



**HAL**  
open science

# Conception de transistors FLYMOSTM verticaux de puissance adaptés aux applications automobiles du futur (batterie 42V)

Stéphane Alves

► **To cite this version:**

Stéphane Alves. Conception de transistors FLYMOSTM verticaux de puissance adaptés aux applications automobiles du futur (batterie 42V). Réseaux et télécommunications [cs.NI]. INSA de Toulouse, 2005. Français. NNT: . tel-00512330

**HAL Id: tel-00512330**

**<https://theses.hal.science/tel-00512330>**

Submitted on 30 Aug 2010

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**Titre de la thèse:**

**CONCEPTION DE TRANSISTORS FLYMOS™ VERTICAUX DE PUISSANCE  
ADAPTES AUX APPLICATIONS AUTOMOBILES DU FUTUR (BATTERIE 42V)**

**Auteur** : Stéphane ALVES

**Organisme** : INSA de Toulouse

**Date de soutenance** : 3 mars 2005 a 10h30 en salle de conférences du LAAS-CNRS

**Composition du jury** :

<b><u>JURY</u> :</b>	<b>FONCTION</b>
<b>Jean-Marie DORKEL</b>	<b>Président</b>
<b>Olivier BONNAUD</b>	<b>Rapporteur</b>
<b>Christian SCHAEFFER</b>	<b>Rapporteur</b>
<b>Marise BAFLEUR</b>	<b>Examinatrice</b>
<b>Nathalie BATUT-CEZAC</b>	<b>Examinatrice</b>
<b>Frédéric MORANCHO</b>	<b>Directeur de thèse</b>
<b>Jean-Michel REYNES</b>	<b>Invité</b>

**Résumé en français** :

Les nouveaux systèmes développés par le secteur automobile font de plus en plus appel à l'électronique et nécessiteront bientôt plus de puissance que ce que peuvent fournir les batteries 12 et 24 Volts actuelles. C'est dans ce cadre que de nouvelles batteries 42 Volts vont être introduites. Dans un premier temps, nous avons montré que les solutions "classiques", permettant de diminuer la résistance à l'état passant des composants unipolaires conventionnels, n'étaient plus satisfaisantes car elles se heurtaient à une limitation fondamentale, dite "limite du silicium". C'est pour cette raison que nos travaux de recherche se sont orientés vers de nouveaux transistors MOS de puissance (FLYMOS™) adaptés au 42 Volts. Le travail présenté dans ce mémoire est basé sur le concept des îlots flottants (FLi-Diode) et de son application aux composants MOS (FLYMOS™), afin d'améliorer le compromis "tenue en tension/résistance à l'état passant". Ce concept consiste en l'introduction d'une région flottante P dans une zone N<sup>-</sup> afin d'étaler le champ électrique dans le volume : la tenue en tension peut ainsi être augmentée sans pour autant dégrader la résistance à l'état passant. Dans un deuxième temps, les paramètres technologiques ont été optimisés à l'aide de la simulation physique bidimensionnelle pour concevoir un transistor FLYMOS™ (cellules de bord et centrale) présentant un compromis optimal entre tenue en tension et résistance à l'état passant. Le concept des îlots flottants a ensuite été validé par la réalisation technologique de FLi-Diodes et de FLYMOS™ basse tension ( $BV_{dss} < 100V$ ). Les meilleurs transistors FLYMOS™ ainsi réalisés présentent une tenue en tension supérieure à la tenue en tension de la jonction plane et une résistance à l'état passant fortement améliorée puisqu'elle est proche de la limite conventionnelle du silicium.

### **Résumé en anglais :**

The new systems developed by automotive sector require more and more electronics and will require more power than what can supply 12 and 24 Volts batteries of today. In this context new 42 Volts batteries are going to be introduced. In a first time, we showed that classical solutions were not suitable anymore to decrease the specific on-resistance of conventional unipolar devices to break the conventional "silicon limit". It is for this reason that our research works turned to new power MOS transistors (FLYMOS™) adapted to 42 Volts. The work presented in this thesis is based on the concept of the Floating Islands (FLIDiode) and on its application to MOS devices (FLYMOS™) in order to improve the "voltage handling capability/specific on-resistance" trade-off. The concept consists in the introduction of a P-buried floating layer in the N<sup>-</sup> drift region, in order to divide, under reverse bias condition, the maximal electric field in two parts and, consequently, to improve the breakdown voltage without degrading the specific on-resistance. In a second time, the technological parameters were optimized by "two dimensional physical simulations" to design the FLYMOS™ transistor (edge and central cells). This FLYMOS™ presents an optimal "voltage handling capability/specific on-resistance" trade-off. Then the floating island concept has been validated by the technical realization of low tension of FLIDiode and FLYMOS™ ( $BV_{ds} < 100V$ ). So the best realized FLYMOS™ transistors present a breakdown voltage higher than the breakdown voltage of "plane junction" and a specific on-resistance strongly improved since it is close to the silicon conventional limit.

**Mots-clés:** transistor MOS de puissance, îlots flottants, tenue en tension, résistance passante spécifique.

**Keywords:** power MOSFET, Floating Islands, breakdown voltage, specific on-resistance.

# THESE

---

Préparée au  
**Laboratoire d'Analyse et d'Architecture des Systèmes du C.N.R.S.**

En vue de l'obtention du grade de  
**DOCTEUR** de l'Institut National des Sciences Appliquées

Spécialité : **ELECTRONIQUE : MICROELECTRONIQUE**

Par  
**STEPHANE ALVES**

---

## **CONCEPTION DE TRANSISTORS FLYMOS™ VERTICAUX DE PUISSANCE ADAPTES AUX APPLICATIONS AUTOMOBILES DU FUTUR (BATTERIE 42V)**

---

**Soutenue le 3 Mars 2005 devant le jury composé de :**

Président	<b>J-M. DORKEL</b>
Rapporteurs	<b>O. BONNAUD C. SCHAEFFER</b>
Examineurs	<b>N. CEZAC M. BAFLEUR</b>
Directeurs de thèse	<b>F. MORANCHO J-M. REYNES</b>

---

**Rapport LAAS**





**Table des matières**

LISTE DES SYMBOLES	1
INTRODUCTION GENERALE	7
<b><u>CHAPITRE 1 : Quel transistor MOS de puissance (choisir) pour les applications automobiles du futur ?</u></b>	<b>11</b>
<b><u>1 INTRODUCTION</u></b>	<b>12</b>
<b><u>2 ARRIVEE DES BATTERIES 42V DANS LE SECTEUR AUTOMOBILE ET SON IMPACT SUR LES COMPOSANTS MOS BASSE TENSION</u></b>	<b>12</b>
2.1 <u>DEFINITIONS DU NOUVEAU RESEAU DE PUISSANCE 42V</u>	12
2.2 <u>LES APPLICATIONS 42 VOLTS</u>	15
<b><u>3 LES TRANSISTORS MOS DE PUISSANCE BASSE TENSION EN MICROELECTRONIQUE</u></b>	<b>16</b>
3.1 <u>PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR MOS DE PUISSANCE</u>	16
3.2 <u>LES TRANSISTORS MOS DISCRETS</u>	17
3.2.1 <u>Le transistor VMOS</u>	17
3.2.2 <u>Les transistors DMOS conventionnels</u>	17
3.2.2.1 <u>Le transistor VDMOS (HDTMOS™ de Freescale)</u>	17
3.2.2.2 <u>Le transistor MOS à tranchées</u>	20
3.3 <u>LES TRANSISTORS MOS INTÉGRÉS</u>	20
3.3.1 <u>Le transistor VDMOS up-drain</u>	21
3.3.2 <u>Le transistor LDMOS et ses variantes</u>	21
3.4 <u>LES NOUVEAUX CONCEPTS DE COMPOSANTS MOS DE PUISSANCE</u>	22
3.4.1 <u>Les transistors MOS à Superjonctions</u>	22
3.4.2 <u>Les transistors MOS à Semi-Superjonctions</u>	23
3.4.3 <u>Les transistors FLIMOS</u>	24
3.4.3.1 <u>Historique du FLIMOS</u>	24
3.5 <u>LES LIMITES CONVENTIONNELLES DU SILICIUM</u>	25
3.5.1 <u>Limite conventionnelle des composants MOS verticaux classique</u>	25
3.5.2 <u>Limite conventionnelle du silicium pour les composants FLYMOS™</u>	26
3.5.3 <u>Comparaison des limites de performances statiques des transistors conventionnels, FLIMOS et à Superjonction.</u>	27
3.6 <u>LES MATÉRIAUX SEMICONDUCTEURS AVANCÉS</u>	29
<b><u>4 CONCLUSION</u></b>	<b>30</b>

<b>CHAPITRE 2 : Simulations prédictives pour la Conception du transistor FLYMOS™ 75V</b>	<b>31</b>
<b>1 <u>INTRODUCTION</u></b>	<b>32</b>
<b>2 <u>LES LOGICIELS DE SIMULATION</u></b>	<b>32</b>
2.1 <u>SIMULATION DU PROCEDE DE FABRICATION</u>	32
2.1.1 <u>Simulation des principales étapes technologiques</u>	33
2.1.2 <u>Simulation d'une structure crée à partir du simulateur DESSIS-ISE</u>	33
2.1.3 <u>Discussions</u>	34
2.2 <u>OUTIL DE SIMULATION PHYSIQUE: DESSIS-ISE</u>	35
2.2.1 <u>Présentation générale</u>	35
2.2.2 <u>Choix des modèles physiques</u>	37
2.2.3 <u>Les autres outils dans ISE</u>	39
<b>3 <u>LES CARACTERISTIQUES STRUCTURELLES DES FLYMOS™</u></b>	<b>39</b>
3.1 <u>LE HDTMOS™</u>	39
3.2 <u>TECHNOLOGIE SQUISH SQUARE</u>	40
3.3 <u>TECHNOLOGIE WELLFET™</u>	41
3.3.1 <u>Structure centrale du WELLFET™</u>	41
3.3.2 <u>Etude analytique de la jonction concave</u>	43
<b>4 <u>ETUDE DES PERFORMANCES DU TRANSISTOR FLYMOS™ EN REGIME BLOQUE</u></b>	<b>44</b>
4.1 <u>LES DIFFERENTES ZONES DE CLAQUAGE</u>	45
4.2 <u>TENSION DE CLAQUAGE DE LA DIODE CONVENTIONNELLE PNN<sup>+</sup></u>	46
4.3 <u>LA FLI-DIODE</u>	46
4.3.1 <u>Cellule centrale</u>	46
4.3.2 <u>Cellule de bord</u>	47
4.3.2.1 <u>Claquage d'une structure FLYMOS™, sans structure de protection</u>	51
4.3.2.2 <u>Utilisation d'anneaux de garde</u>	51
4.3.2.3 <u>Utilisation d'une JTE</u>	53
4.3.2.3.1 <u>Structure n°2</u>	53
4.3.2.3.2 <u>Structure n°3</u>	54
4.3.2.3.3 <u>Structure n°4</u>	54
4.3.2.3.4 <u>Conclusion</u>	55
4.4 <u>LE FLYMOS™</u>	55
4.4.1 <u>Cellule centrale</u>	55
4.4.2 <u>Discussions</u>	58
<b>5 <u>ETUDE DES PERFORMANCES DU TRANSISTOR FLYMOS™ A L'ETAT PASSANT</u></b>	<b>58</b>
5.1 <u>FONCTIONNEMENT A L'ETAT PASSANT</u>	58
5.1.1 <u>La résistance de canal <math>R_{ch}</math></u>	59
5.1.2 <u>La résistance d'accès au drain <math>R_a</math></u>	60
5.1.3 <u>La résistance de drift du HDTMOS™</u>	60



5.2	<i>LES RESISTANCES DES COUCHES N<sup>+</sup></i>	61
5.3	<i>RESULTATS DE SIMULATION</i>	62
6	<b><u>CONCLUSION</u></b>	63

## **CHAPITRE 3 : Développement des technologies FLYMOS™ 65V et 75V**

<b>1</b>	<b><u>INTRODUCTION</u></b>	<b>66</b>
<b>2</b>	<b><u>DESCRIPTION DU PROCEDE DE FABRICATION</u></b>	<b>66</b>
2.1	<i>LES PROBLÈMES RENCONTRÉS</i>	68
2.1.1	<i>L'épitaxie</i>	68
2.1.2	<i>Les diffusions</i>	69
2.1.3	<i>Influence du dopage en surface</i>	71
<b>3</b>	<b><u>LES MESURES</u></b>	<b>72</b>
3.1	<i>ETUDE DES VARIATIONS SUR LE PHV</i>	72
3.1.1	<i>Plan d'expérience</i>	72
3.1.2	<i>Tenue en tension</i>	73
3.1.3	<i>Résistance à l'état passant</i>	74
3.1.4	<i>Conclusion</i>	75
3.2	<i>ETUDE DES DIFFERENTES GEOMETRIE DU SURFACE ET DE VOLUME</i>	75
3.2.1	<i>Plan d'expérience</i>	75
3.2.2	<i>Tenue en tension</i>	77
3.2.3	<i>Résistance à l'état passant</i>	81
3.2.4	<i>Conclusion</i>	82
3.3	<i>ETUDE DE L'IMPACT DU PEDGE SUR LES FINS DE BRANCHE</i>	82
3.3.1	<i>Plan d'expérience</i>	83
3.3.2	<i>Tenue en tension sur les diodes</i>	84
3.3.3	<i>Tenue en tension sur les WELLFET™</i>	85
3.3.4	<i>Conclusion</i>	87
3.4	<i>AMELIORATION DE LA GEOMETRIE DANS LE VOLUME</i>	87
3.4.1	<i>Plan d'expérience</i>	88
3.4.2	<i>Tenue en tension sur les FLi-Diodes</i>	89
3.4.3	<i>Tenue en tension sur les FLYMOS™</i>	91
3.4.4	<i>Résistance à l'état passant</i>	93
3.4.5	<i>Conclusion</i>	93
3.5	<i>MODIFICATION DES GÉOMÉTRIES</i>	93
3.5.1	<i>Les différentes géométries</i>	93
3.5.2	<i>Tenue en tension</i>	94
3.5.3	<i>Conclusion</i>	94

<b>4</b>	<b><u>CONCLUSION</u></b>	<b>95</b>
	CONCLUSION GENERALE	97
	BIBLIOGRAPHIE	101





**Liste des symboles**

$BV_{dss}$	Tension de claquage drain-source du transistor MOS
"d"	Largeur des bandes N et P (notion Superjonctions)
$D_n, D_p$	Constantes de diffusion des électrons et des trous
$E_x$	Composante transversale du champ électrique dans le canal
$E_y$	Composante longitudinale du champ électrique dans le canal
$E_0$	Valeur du champ critique longitudinal
$E_C$	Valeur du champ critique transversal
$E_D$	Tension d'alimentation du drain
$e_{ox}$	Epaisseur de l'oxyde mince de canal
$E_{sub}$	Epaisseur du substrat
$F_T$	Fréquence de transition
H	Hauteur de la couche épitaxiée
$h_2$	Profondeur de la diffusion P
$h_{N^+}$	Profondeur de la diffusion $N^+$ de source
$I_d$	Courant de drain
$I_g$	Courant d'attaque de la grille
$I_s$	Courant de saturation d'une diode
$J_n, J_p$	Densités de courant des électrons et des trous
$K_p$	Facteur de pente (ou paramètre de transconductance)
$l$	Largeur d'un caisson P
L	Longueur du canal
$L_G$	Longueur du polysilicium de grille
$L_{N^+}$	Largeur de la diffusion $N^+$ de source
$N^+$	Zone de type N fortement dopée (contact de drain)
$N^-$	Zone de type N faiblement dopée (zone de "drift")
"n"	Nombre d'îlots $P^+$ (notion FLIMOS)
$N_A$	Densité de dopage de la zone du canal

$N_{Amax}$	Valeur maximale du dopage de la zone du canal
$N_D$	Densité de dopage de la couche épitaxiée
" $N_D$ "	Densité de dopage des couches $N^-$ (notion FLIMOS)
$n_i$	Densité intrinsèque des porteurs à l'équilibre thermodynamique
$N_N^+$	Densité de dopage de la région $N^+$ de source
$N_{sub}$	Densité de dopage de la région de substrat
Phv	Dénomination pour la diffusion P
q	Charge électrique élémentaire
$Q_{SS}$	Charge d'oxyde ramenée à l'interface Si-SiO <sub>2</sub>
$r_1, r_2$	Distances intercellulaires entre deux caissons P
$R_a$	Résistance de la zone d'accès au drain
$R_{a.S}$	Résistance spécifique de la zone d'accès au drain
$R_{acc}$	Résistance de la couche accumulée sous la grille
$R_{acc.S}$	Résistance spécifique de la couche accumulée sous la grille
$R_{bulk}$	Résistance série représentant la contribution résistive de la zone volumique
$R_{CH}$	Résistance de canal
$R_{CH.S}$	Résistance spécifique de canal
$R_D$	Résistance de la zone de "drift"
$R_{D.S}$	Résistance spécifique de la zone de "drift"
$R_G$	Résistance du polysilicium de grille
$r_j$	Rayon de la jonction cylindrique concave
$r_{j_{cyl}}$	Rayon optimum
$r_w$	Courbure du bord de la zone de charge d'espace au moment du claquage
$R_{JFET}$	Résistance de volume de la zone d'accès au drain
$R_{JFET.S}$	Résistance spécifique de volume de la zone d'accès au drain
$R_N^+$	Résistance de la diffusion $N^+$ de source
RON	Résistance à l'état passant du transistor MOS de puissance
RON.S	Résistance spécifique à l'état passant du transistor MOS de puissance

$R_{SUB}$	Résistance du substrat $N^+$ relié au drain
$S$	Surface active de la puce d'un transistor MOS de puissance
$T$	Température (en K)
$T_{OX}$	Epaisseur de l'oxyde épais entre la grille et la métallisation de source
$T_0$	Température initiale (300 K sauf indication contraire)
$U_T$	Unité thermodynamique
$V_{bp}$	Tension de claquage de la jonction plane
$V_{ds}$	Tension drain-source
$V_{DS}$	Potentiel interne de drain
$V_{FB}$	Tension de bandes plates
$V_{gs}$	Tension grille-source
$V_{GS}$	Potentiel interne de grille
$V_p$	Valeur de la tension de drain au début du pincement du canal
$V'_{GS}$	Tension effective de grille
$V_{sat}$	Vitesse limite des porteurs dans le canal
$V_T$	Tension de seuil
$W_N, W_P$	Largeur des bandes N et P (notion FLIMOS)
$Z$	"Périmètre" total du canal
$\mu_n, \mu_p$	Mobilité des électrons et des trous
$\mu_{nacc}$	Mobilité des électrons dans la couche accumulée
$\mu_0$	Mobilité des porteurs dans le volume du semi-conducteur à champ faible
$\mu_{0acc}$	Mobilité des porteurs majoritaires dans la couche accumulée à champ faible
$\mu_{nsub}$	Mobilité des porteurs dans la région de substrat
$\mu_S$	Mobilité de porteurs en surface dans canal d'inversion
$\mu_{eff}$	Mobilité effective des porteurs dans le canal
$\phi_{ms}$	Différence des travaux de sortie métal-semi-conducteur
$\phi_B$	Potentiel interne du substrat
$\phi_F$	Potentiel de Fermi

$\phi_s$	Potentiel électrostatique à la surface du semi-conducteur
$\Psi$	Potentiel transverse de réduction de la mobilité (couche inversée)
$\Lambda$	Potentiel transverse de réduction de la mobilité (couche accumulée)
$\Theta$	Coefficient de dégradation de la mobilité ( $\Theta = 1/\Psi$ )
$\epsilon_0$	Permittivité absolue du vide
$\epsilon_{Si}$	Permittivité relative du silicium
$\xi(y)$	Différence en potentiel des pseudo-niveaux de Fermi
$\alpha_n, \alpha_p$	Coefficients d'ionisation des électrons et des trous
$G_a$	Taux de génération par avalanche
$\Gamma$	Paramètre d'effet substrat







**Introduction  
Générale**

Les progrès dans le domaine de l'électronique de puissance sont depuis longtemps liés aux applications, telles que l'informatique, les télécommunications, l'automobile, la distribution et la conversion d'énergie électrique. L'évolution des composants de puissance au cours des vingt dernières années est étroitement liée aux progrès des technologies microélectroniques réalisés dans le domaine des circuits intégrés. En effet, l'essor important des circuits intégrés du traitement du signal et de l'information s'est accompagné d'un effort de recherche qui a conduit au développement de nouveaux procédés technologiques et à la réduction des dimensions. C'est ce qui se produit actuellement dans le secteur automobile.

L'électronique a été introduite dans l'automobile par vagues successives. La première a été initiée en 1974 par des législations sur l'environnement qui ont conduit à l'introduction de commandes de contrôle du moteur. La deuxième a été déclenchée par l'introduction sur le marché de nouveaux dispositifs de sécurité comme l'ABS et l'airbag qui sont apparus respectivement en 1978 et 1982. La troisième vague provient de la large introduction de systèmes électroniques destinés au confort qui a débuté en 1990. La quatrième vague représente l'introduction des systèmes de transport intelligent (Intelligent Transport System) qui sont entrés sur le marché en 1998. La cinquième vague, dont les premiers systèmes sont apparus en 2000, consiste à remplacer les systèmes mécaniques et hydrauliques par des systèmes électroniques.

L'arrivée de la cinquième vague a entraîné l'introduction de nouveaux systèmes électroniques dont les besoins en puissance dépassent les 6kW au lieu des 1 ou 2kW utilisés actuellement. L'introduction de tous ces nouveaux systèmes électroniques engendre une forte augmentation de la puissance nécessaire dans les voitures.

Différentes études ont été réalisées afin de définir la tension nominale optimale permettant de répondre aux futurs besoins dans l'automobile. La tension nominale de 42 Volts a été choisie en considérant les aspects sécuritaires et économiques. Cette nouvelle tension nominale impose d'augmenter la tenue en tension des composants de puissance utilisés dans ces systèmes électroniques.

Dans le domaine de l'électronique de puissance, les composants semi-conducteurs jouent le rôle d'interrupteurs fonctionnant entre deux états : l'état bloqué et l'état passant. Ainsi, les caractéristiques importantes de ces dispositifs sont la tension blocable, le courant passant, la chute de tension à l'état passant, le temps et les pertes de commutation.

Les transistors MOS sont handicapés par leur résistance à l'état passant - et donc des pertes en conduction - importantes en raison de l'épaisseur de la zone volumique faiblement

dopée qui doit être suffisamment grande pour supporter la tension blocable : le compromis entre la résistance à l'état passant RON et la tenue en tension BVdss est le problème le plus important pour un composant MOS de puissance. Pour améliorer ce compromis, des solutions "classiques", comme la densification des cellules élémentaires (miniaturisation) ou la recherche de configurations géométriques originales de ces cellules, ont été proposées dans le passé. Ces solutions, qui permettent de diminuer de quelques pourcents la résistance passante spécifique, ne sont désormais plus satisfaisantes car elles se heurtent à une limitation fondamentale nommée "limite du silicium", liant la résistance passante spécifique (produit de la résistance à l'état passant RON par la surface active de la puce S) et la tenue en tension BVdss des composants unipolaires de puissance à zone volumique uniformément dopée.

Actuellement dans le secteur automobile, nous sommes dans une phase où les besoins des applications conduisent à développer des composants de puissances spécifiques. Car en plus du changement de gamme de tension, le secteur automobile garde ses exigences et ses contraintes envers les composants électroniques.

C'est dans ce cadre que se situe le travail présenté dans ce mémoire, principalement consacré à l'amélioration des performances des composants MOS de puissance.

Ce mémoire présente les travaux relatifs à la conception de composants de puissance DMOS verticaux à haute densité d'intégration. Ces composants ont été réalisés de manière à optimiser leurs performances vis-à-vis des contraintes du secteur automobile.

La première partie présente les structures MOS classiquement utilisées en électronique de puissance depuis la fin des années 70, c'est-à-dire les transistors VDMOS, ainsi que certaines variantes de ces structures de base. Une attention particulière est portée aux caractéristiques à l'état passant (résistance passante spécifique) et à l'état bloqué (tenue en tension) de ces composants : la "limite du silicium" est ainsi définie et évaluée. Afin d'améliorer le compromis entre résistance passante spécifique et tenue en tension, de nouvelles approches ont été proposées, notamment une solution originale présentée par le LAAS en 1999 ; il s'agit du concept de la diode à îlots flottants insérés dans la zone faiblement dopée (FLi-Diode) et de son application aux composants MOS (FLIMOS).

Dans la deuxième partie, nous présenterons et validerons le concept de la FLi-Diode. Nous montrerons que ce concept peut être appliqué aux transistors MOS de puissance verticaux. L'étude à l'état bloqué (tenue en tension) et à l'état passant (résistance passante spécifique) des transistors FLYMOS™ (nom "commercial" donné par Freescale au FLIMOS) sera présentée.

La dernière partie sera consacrée à la réalisation technologique des FLi-Diodes et des transistors FLYMOS™. Dans un premier temps, nous décrirons le procédé de fabrication du transistor FLYMOS™, puis dans un deuxième temps, nous traiterons des résultats de mesures effectués sur la FLi-Diode et sur le FLYMOS™.

**Chapitre 1 :**  
**Quel transistor MOS de puissance**  
**(choisir) pour les applications**  
**automobiles du futur ?**

## **1 INTRODUCTION**

Depuis 1974, le secteur automobile fait appel à l'électronique et plus particulièrement à la microélectronique pour rendre les véhicules plus fiables, plus économiques, plus sûrs, plus confortables et plus écologiques. L'importance de la microélectronique dans ce secteur n'a fait que croître alors que les sources de puissance n'ont radicalement pas progressé. Le développement de nouvelles applications est à ce jour limité par la puissance disponible.

En effet, à l'heure actuelle, nous atteignons la limite des capacités des batteries 12 Volts. Le secteur automobile doit donc franchir une nouvelle barrière, comme cela avait eu lieu au moment de la suppression des batteries 6 Volts pour laisser la place aux batteries 12 Volts en 1955. Aujourd'hui cette barrière consiste à remplacer un maximum d'éléments hydrauliques et mécaniques par des éléments entièrement électroniques ou mécatroniques.

Pour que ce projet devienne réalité, il a fallu résoudre de nombreux problèmes, et en particulier, celui de la puissance nécessaire au bon fonctionnement de toutes ces nouvelles applications et de tous ces nouveaux systèmes.

Dans ce chapitre, nous présenterons la nouvelle norme 42 Volts et l'étape intermédiaire que représente le système à double batterie 14/42 Volts. Nous présenterons aussi certaines contraintes qui existent déjà et qui continueront à représenter un enjeu important pour l'avenir.

Nous ferons un bref rappel sur le principe de fonctionnement des dispositifs de puissance destinés à jouer le rôle d'interrupteurs, fonctionnant entre deux états : passant et bloqué.

Puis nous nous intéresserons ensuite aux structures basses tensions qui allient à la fois les caractéristiques des composants discrets et intégrés. Nous décrirons plus particulièrement les transistors HDTMOS™, qui sont les composants supports pour notre étude.

Enfin, nous présenterons les nouvelles technologies MOS telles que les MOS à "Superjonction", les MOS à "Semi-Superjonction" et les transistors MOS à îlots flottants, ou "FLIMOS".

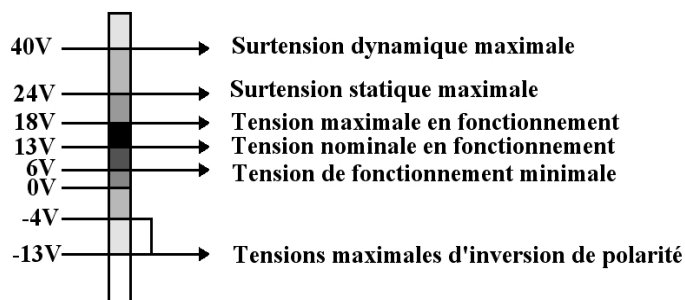
## **2 ARRIVEE DES BATTERIES 42V DANS LE SECTEUR AUTOMOBILE ET SON IMPACT SUR LES COMPOSANTS MOS BASSE TENSION**

### **2.1 DEFINITIONS DU NOUVEAU RESEAU DE PUISSANCE 42V**

De nos jours, le réseau de puissance de 14V, utilisant des batteries de 12V, n'est pas défini de manière très précise. En effet, la gamme de variation définie comme acceptable est très large, ce qui permet des applications très diversifiées. Cependant les composants microélectroniques doivent afficher une gamme de fonctionnement très importante, ce qui implique de forts investissements tant sur les protections que sur les technologies utilisées. La Figure 1 montre la gamme de fonctionnement actuelle, lorsque le moteur est en régime de marche : la plage de fonctionnement est définie entre 6V et 18V pour les batteries de 12V (fonctionnant à 13V). Toutefois, les composants semi-conducteurs doivent répondre à des surtensions dynamiques de 40V, soit trois fois plus que leur tension nominale et supporter des tensions négatives jusqu'à -13V, en inversion de polarité [GRA1].

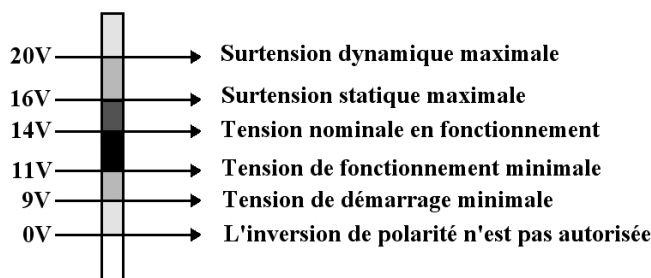
La prise en compte de ces extrema implique des coûts de réalisation technologique importants. Afin de remédier à un de ces extrema, négatif par exemple, l'utilisation de

détrompeurs à chaque borne de batterie supprimerait les systèmes de protection sur chaque composant, diminuant ainsi le surcoût de production.



**Figure 1:** Définition du réseau de puissance 14 Volts actuel.

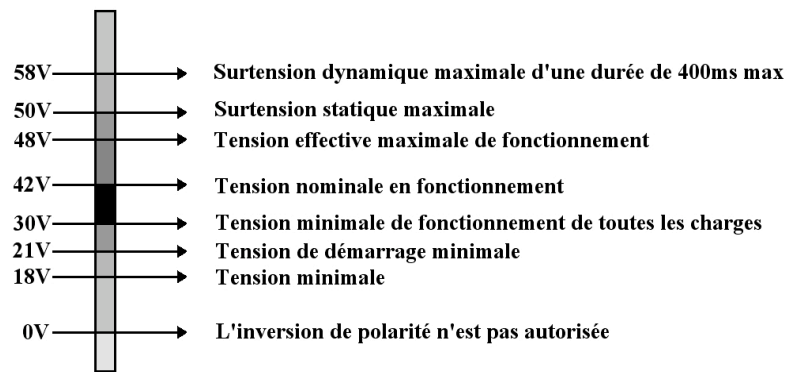
Nous avons noté précédemment la présence grandissante des composants électroniques dans les applications automobiles. Afin de réduire le prix des composants, il devient donc nécessaire de diminuer leurs dimensions et de limiter les surcoûts de production. Cependant le passage aux batteries 42V ne sera pas instantané : on assistera à une période de transition pendant laquelle on utilisera des batteries mixtes de 14 et 42 Volts. Lors de consortiums pour la définition du réseau 42V, une modification des caractéristiques du réseau 14V a également été apportée. Cette nouvelle gamme de tensions est présentée Figure 2 : elle passera de 6V-24V à 9V-16V, la surtension dynamique sera réduite de moitié et l'inversion de polarité ne sera plus autorisée [KAS].



**Figure 2:** Définition du futur réseau de puissance 14 Volts.

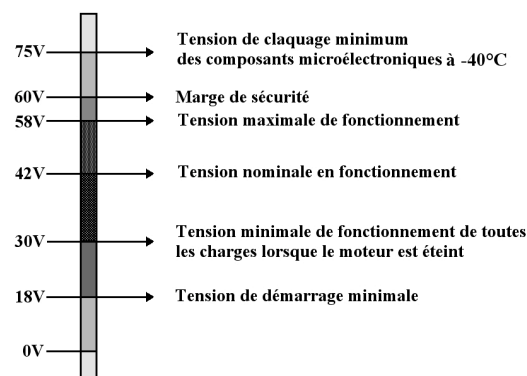
Le réseau de puissance 42 Volts a été défini sur le même principe que le futur 14 Volts [GRA1] [KAS], en interdisant l'inversion de polarisation. Le fonctionnement normal doit être assuré pour des tensions allant de 30 à 48 Volts (Figure 3). Une surtension dynamique de 58 Volts, pendant au maximum 400ms, et une surtension statique, allant jusqu'à 50 Volts, seront permises. Une nouvelle nuance a été ajoutée pour les tensions minimales : elle fait apparaître une hiérarchisation dans l'importance des charges. Toutes les charges doivent pouvoir fonctionner normalement pour une tension de 30 Volts. Le démarrage de la voiture pourra être effectué pour une tension minimale de 21 Volts. Entre 21 et 30 Volts, les différentes applications seront opérationnelles suivant leur importance, les systèmes vitaux (freinage...) seront alimentés avant les applications de confort. La tension minimale de batterie est maintenant fixée à 18 Volts.





**Figure 3:** Définition du futur réseau de puissance 42 Volts.

En ce qui concerne les contraintes en tension pour les composants semi-conducteurs, elles sont directement liées aux contraintes du réseau de puissance 42 Volts. L'inversion de polarité étant interdite, la tension minimale de fonctionnement est fixée à 18 Volts (Figure 4), et certaines protections seront donc supprimées [GRA1] [KAS]. Le fonctionnement nominal sera assuré pour des tensions de 30 à 58 Volts et de nouveaux systèmes devront être mis au point afin de hiérarchiser les différentes applications entre 18 et 30 Volts. Une marge de 2 Volts a été décidée pour la tension maximale, ce qui repousse la tension maximale de fonctionnement à 60 Volts. Les composants de la microélectronique doivent présenter une tension de claquage minimale de 75 Volts à une température de  $-40^{\circ}\text{C}$ , soit 80 Volts à température ambiante.



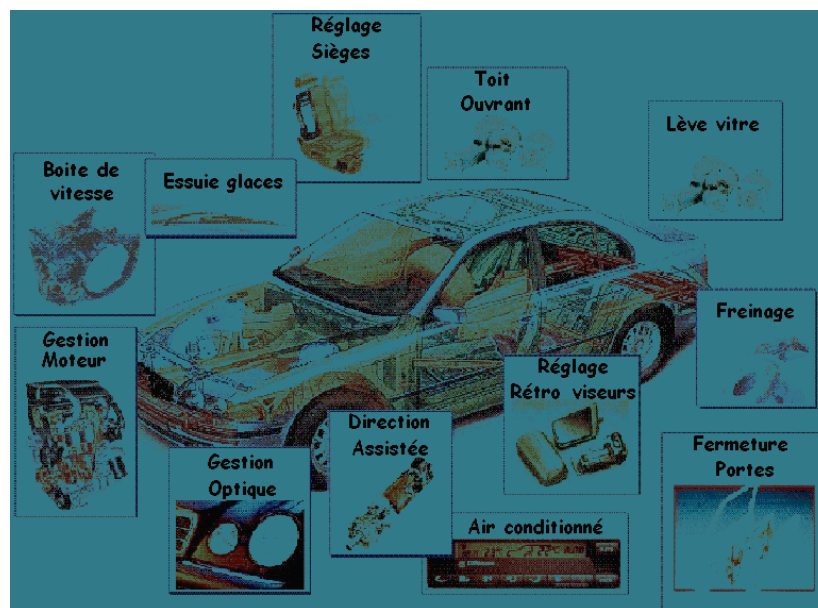
**Figure 4:** Définition de la gamme de fonctionnement des composants semi-conducteurs dédiés au réseau 42 Volts.

La définition du réseau de puissance 42 Volts ne se limite pas à la définition des tensions de fonctionnement, un paragraphe concernant les émissions a été ajouté [HAR] [WOR]. Comme le standard ne contient pas d'autre spécification sur l'émission que la décharge de charges, il apparaît que le standard ne peut pas garantir les limites en tensions spécifiées. Par exemple, il est possible qu'un système ou un composant émette une impulsion parasite (comme il a été décrit dans la norme) de 58 Volts pendant 400ms [WOR]. Si maintenant plusieurs systèmes ou composants se mettent à émettre et/ou si les intervalles entre chaque impulsion sont suffisamment courts, la surtension dynamique se transforme alors en une surtension statique de 58 Volts. Il était donc nécessaire de trouver une échappatoire à ce problème qui a été de limiter les pics de surtension à une tension strictement inférieure à 58 Volts.

Nous noterons que ce problème ne se pose pas pour les systèmes électriques des véhicules traditionnels puisque des normes de C.E.M. (Compatibilité Electro-Magnétique) appropriées existent.

## 2.2 LES APPLICATIONS 42 VOLTS

Le passage du réseau 14 Volts à un réseau 42 Volts ouvre de grandes perspectives pour les applications futures. Les constructeurs automobiles cherchent à trouver des solutions pour générer, stocker et distribuer la puissance électrique à une tension nominale de 42 Volts, en vue d'introduire de nouvelles applications [GRA2] [CHE1]. La Figure 5 regroupe les grandes applications susceptibles d'être développées puis intégrées dans les futures véhicules, comme la direction électrique, le freinage électrique, la suspension électrique active, la pompe à eau électrique...



**Figure 5:** Localisation des futurs systèmes 42 Volts.

Il serait impossible de faire une étude complète de toutes les applications qui pourront être développées avec le nouveau réseau de puissance 42 Volts. Elles se répartissent en deux groupes.

➤ Le premier est "*l'infotainment*" qui vient de l'anglais "*information*" et "*entertainment*" (loisir) qui est le groupe qui connaît l'engouement le plus important car il implique l'apparition de la télévision et des jeux vidéo pour les sièges arrière, la direction par satellite...

➤ Le second groupe est le "*x-by-wire*" qui signifie "commandé par des fils" et où le x indique une fonction. Si nous prenons l'exemple du volant, le "*steer-by-wire*" signifie que le volant sera commandé électriquement [KAS]. Les applications de la catégorie "*x-by-wire*" sont principalement destinées à l'amélioration de la sécurité, à l'économie de carburant et à la réduction de l'émission des gaz pour la protection de l'environnement. Ces applications ont pourtant moins de succès auprès de la presse grand public que les autres, parce que les bénéfices sont moins spectaculaires que, par exemple, l'apparition d'une liaison Internet mobile. Il sera donc plus difficile de faire accepter un surcoût dû aux applications "*x-by-wire*"; c'est pourquoi ces nouvelles applications sont d'abord développées pour les véhicules très hauts de gamme.

### 3 LES TRANSISTORS MOS DE PUISSANCE BASSE TENSION EN MICROELECTRONIQUE

#### 3.1 PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR MOS DE PUISSANCE

L'électronique du transistor MOS de puissance est une électronique de commutation. Les composants de puissance en silicium sont des dispositifs de conversion d'énergie électrique. Ils se différencient de leurs homologues dits de "signal" par la nécessité de supporter des tensions élevées et de conduire des courants importants. De plus, des contraintes d'utilisation ou de montage leur sont spécifiques: thermiques, mécaniques, connectiques et encapsulation.

Comme tous les composants de puissance, le transistor MOS de puissance joue le rôle d'interrupteur fonctionnant entre deux états :

➤ Le premier, dit "bloqué", apparaît lorsque la tension grille-source est inférieure à une tension dite de seuil : le courant ne peut alors pas circuler. La tenue en tension  $BV_{dss}$  (ou tension de claquage) d'un transistor MOS est par définition la tension maximale qui peut être appliquée entre drain et source à l'état bloqué ; c'est alors la zone de transition (appelée zone de "drift") de la jonction de drain qui supporte la tension. Par des dopages et des profondeurs convenablement choisis, le perçage de la région P est évité, et c'est principalement dans la région  $N^-$  que s'étend la zone de charge d'espace. Compte tenu de la configuration multicellulaire des structures MOS de puissance, c'est sur les bords, là où la courbure de jonction est maximale, que pourrait s'effectuer la limitation en tension, par le phénomène de claquage par avalanche [GHA1]. Plusieurs méthodes de garde latérale ont été proposées pour éviter cet effet en tendant à minimiser "les effets de surface" et à "accroître le rayon de courbure" de la jonction pour essayer d'atteindre la tension de claquage théorique d'une jonction plane  $V_{bp}$  [GHA1] [BOI] [SUN1]. Dans la pratique, le calibre en tension d'un composant MOS, représenté par la tension  $BV_{dss}$ , atteint 90 % de la tension de claquage d'une jonction plane  $V_{bp}$  [GHA1].

➤ Le deuxième, dit "passant" ou de "conduction", apparaît lors de l'application d'une tension de grille supérieure à la tension de seuil. Il se caractérise par l'apparition d'une zone d'inversion dans le canal, permettant ainsi le passage du courant de drain dont la valeur est limitée par les contraintes géométriques, technologiques de la structure et par les tensions appliquées. Lorsqu'un transistor fonctionne à l'état passant, il se comporte comme une résistance, notée  $R_{ON}$ , qui impose une chute de tension aux bornes du composant. Cette chute de tension  $V_{ds}$  a tout simplement pour expression :

$$V_{ds} = R_{ON} \cdot I_d \quad (I.1)$$

où  $I_d$  est la valeur efficace du courant de drain.

La résistance à l'état passant est un des paramètres les plus importants pour un composant de puissance : plus cette résistance est faible, plus les pertes en conduction sont faibles.

$$P_D = V_{ds} \cdot I_d = R_{ON} \cdot I_d^2 \quad (I.2)$$

La tension de claquage et la résistance à l'état passant sont étroitement liées : en effet, la zone de drain  $N^-$  faiblement dopée a un double effet : d'une part, elle supporte la quasi-totalité de la tension drain-source à l'état bloqué, et, d'autre part, elle a un effet résistif

important à l'état passant. Le compromis entre  $R_{ON}$  et  $BV_{dss}$  est une des principales caractéristiques des transistors MOS de puissance.

En ce qui concerne les temps de commutation, ils sont étroitement liés au courant appliqué sur la grille qui devra être élevé afin de permettre à la capacité d'entrée du composant de se décharger. Plus ce courant est "fort", plus la commutation est rapide. De plus, pour bloquer le transistor, il faudra fournir un chemin le moins résistif possible au courant afin de permettre à cette capacité d'entrée de se décharger le plus rapidement possible.

Nous décrirons de manière plus précise, dans les paragraphes suivants, les différents principes de fonctionnement des composants MOS de puissance basse tension et haute tension.

## 3.2 LES TRANSISTORS MOS DISCRETS

### 3.2.1 Le transistor VMOS

Les premiers transistors MOS de puissance développés au début des années 70 étaient des VMOS [FAR]. Ces transistors étaient élaborés à partir de sillons en forme de "V" gravés par attaque anisotrope du silicium [SUN2], [TAM]. Par rapport au transistor MOS plan "classique", le progrès essentiel de cette structure était l'utilisation du matériau volumique pour former l'électrode de drain. Le courant de drain circule donc verticalement dans ces dispositifs. Ce concept fondamental de transistor vertical sera également utilisé par la suite dans les transistors VDMOS et MOS à tranchées.

Le transistor VMOS présentait néanmoins certains inconvénients, tels que :

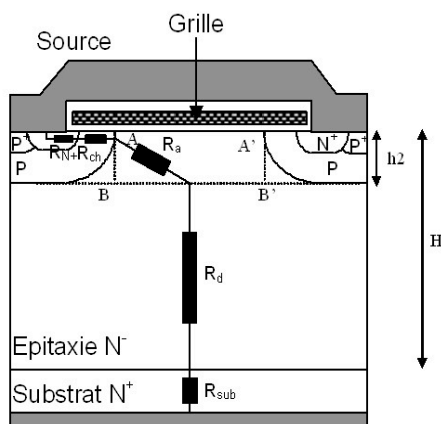
- une difficulté à contrôler le procédé de gravure, due à une instabilité liée à une contamination par le potassium provenant de la solution d'hydroxyde de potassium utilisée pour graver les sillons [BAL2],
- un claquage prématuré de ces composants provenant de l'apparition d'un champ électrique intense à la "pointe" du sillon en "V",
- une configuration des électrodes de grille et source uniquement interdigitée.

### 3.2.2 Les transistors DMOS conventionnels

Les différents problèmes rencontrés avec le transistor VMOS ont été pratiquement résolus par le développement des processus de double-diffusion MOS (DMOS) [SIG] et la technique d'auto-alignement de ces diffusions par le polysilicium de grille pour déterminer la longueur du canal. Cette technique permet ainsi de contrôler la longueur du canal jusqu'à des longueurs submicroniques. Cette technologie est de nos jours largement utilisée pour fabriquer la plupart des composants de puissance, dont les configurations sont essentiellement de deux types : ce sont, d'une part, les structures verticales (VDMOS) où le drain est situé sur la face arrière de la puce et, d'autre part, les structures horizontales (LDMOS) où les électrodes sont coplanaires et le flux de courant horizontal.

#### 3.2.2.1 Le transistor VDMOS (HDTMOS™ de Freescale)

Le transistor à structure verticale VDMOS (**V**ertical **D**ouble diffusé **MOS**) est constitué par une association de cellules élémentaires MOS mises en parallèle. Une de ces cellules est reportée en coupe sur la Figure 6.



**Figure 6:** Coupe schématique du transistor VDMOS de puissance.

Les avantages du transistor VDMOS sont multiples :

- Le courant drain-source est "vertical" (c'est-à-dire perpendiculaire au plan de la tranche) sur la majeure partie de son trajet. Cette configuration permet notamment de réduire considérablement les électrodes de surface qui amènent le courant. De plus la tenue en tension est maintenant dissociée du canal, ce qui entraîne une importante diminution du périmètre de la zone épitaxiée par rapport au périmètre du canal. Toutefois, les deux côtés de la tranche sont à soigner car ils sont tous les deux actifs ; de plus celle-ci risque d'être fragile (d'où le duel "épi-triple diffusé" bien connu pour les transistors bipolaires et les diodes), l'isolation monolithique est également difficile (de nombreuses études ont d'ailleurs été menées sur les diverses techniques d'isolation : nous pouvons citer, pour exemples, la technique des anneaux de garde, les plaques de champ ou même les deux à la fois [KAO] [GRO2] [CHA]).
- La longueur du canal diffusé est contrôlée par la différence des avancées latérales des diffusions P et N<sup>+</sup> auto-alignées. La surface est alors plane et la reproductibilité excellente.
- La grille en polysilicium (silicium polycristallin) est l'élément clé de l'autocentrage des diffusions N<sup>+</sup> et P : elle peut supporter des températures élevées de l'ordre de 1000°C (elle chauffe, mais ne fond pas).
- Les électrodes de source et de grille sont superposées ; cela permet de gagner une place importante. De plus, cette disposition est technologiquement plus commode car l'électrode de grille est réalisée en polysilicium. La faible conductivité de l'électrode de grille, même après son dopage, est un inconvénient majeur, ce qui est extrêmement préjudiciable en régime transitoire.
- Le transistor VDMOS ne présente pas d'effet de focalisation de courant, quelle que soit la tension de polarisation appliquée, car le mécanisme de contrôle du courant est fonction du champ électrique et de la mobilité. Cela entraîne une distribution homogène de la température et du courant sur toute la puce. La taille du transistor, qui dépend du nombre de cellules mises en parallèle, n'a donc pas, a priori, de limite fondamentale : le calibre en courant souhaité peut être obtenu par une simple mise en parallèle du nombre de cellules élémentaires nécessaires. Le courant total est alors égal à la somme des courants des transistors MOS élémentaires pris séparément. Par ailleurs, la configuration du drain du type NN<sup>+</sup> permet d'assurer un certain calibre en tension. La tenue en tension dépend en premier ordre du dopage et de l'épaisseur de la couche épitaxiée, et, là non plus, il n'existe pas apparemment de limitation fondamentale à l'accroissement du calibre en tension.

Toutefois, un compromis est nécessaire lorsqu'on désire accroître à la fois les calibres en tension et en courant. Il existe une limitation fondamentale permettant de concilier une faible valeur de la résistance à l'état passant  $R_{ON}$  et une tenue en tension fixée pour une surface donnée de silicium.

Au début de l'ère des MOS de puissance, une prolifération de dessins de cellules a donc vu le jour. Ils tendaient tous à diminuer fortement la largeur de la source et la longueur de canal pour une surface totale de silicium minimisée, ce qui produisit une plus grande densité d'intégration, c'est-à-dire une plus grande valeur du rapport  $Z/S$  (périmètre du canal / surface de la puce), et par conséquent, un plus grand courant par unité de surface. Les configurations géométriques utilisant les bandes parallèles furent les premières à apparaître, suivies de près par les structures carrées (alignées ou non) et hexagonales [BAL1]. Des cellules en triangle firent également une brève apparition. En pratique, on peut quand même signaler que les écarts observés quant aux performances de ces différentes géométries sont très modérés.

La réduction de la taille des cellules élémentaires est par contre, plus probante et la course aux petites cellules reste à l'heure actuelle un des "chevaux de bataille" des industriels [SUN2].

Cependant, l'évolution de cette technologie ne pourra pas être infinie : un obstacle apparaît à cet accroissement, et provient "du goulot d'étranglement" que forment les zones de charge d'espace qui s'étendent à partir des zones P adjacentes. Ce pincement parasite, appelé également pincement "JFET", résulte de la chute de tension interne liée au passage vertical du courant et devient de plus en plus important au fur et à mesure que la densité d'intégration augmente.

C'est pourquoi des efforts considérables ont été réalisés sur l'encapsulation de ces composants afin d'améliorer leurs performances à l'état passant ainsi que la dissipation thermique.

C'est dans ce cadre que Motorola a développé sa technologie MOS verticale de puissance, la technologie HDTMOS™ (**H**igh **D**ensity **T** Metal **O**xide **S**emiconductor). Ces transistors sont fabriqués avec seulement 6 niveaux de masque (en comptant la passivation) et sont réalisés pour des applications basse tension (30 à 45V), mais peuvent aussi être utilisés dans d'autres applications comme l'informatique.

En régime de commutation, le transistor VDMOS présente une grande capacité parasite entre l'électrode de grille et l'électrode de drain. Deux mécanismes principaux interviennent : l'effet "Miller" et l'accumulation d'électrons à la surface de la zone épitaxiée entre deux caissons P. Plusieurs solutions technologiques ont été proposées pour minimiser cette capacité grille-drain :

Une solution consiste à réaliser des transistors VDMOS à double niveau d'oxyde [UED1], c'est-à-dire un oxyde mince au-dessus du canal, afin de ne pas trop dégrader la résistance de canal lorsqu'on est en régime de conduction, et un oxyde épais, au-dessus de la zone d'accès qui est située entre les deux caissons P, afin de diminuer la capacité grille-drain qui, lorsqu'on est en régime d'accumulation, est égale à la capacité d'oxyde.

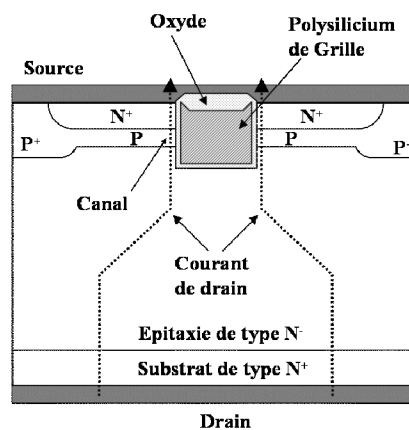
Une solution de réduction de la capacité "Miller" a également été proposée par Tardivo [TAR]. Elle consiste à réaliser un transistor VDMOS à grille partielle en éliminant une partie de la grille située au-dessus de la zone d'accès.

Cette structure permet de diminuer la capacité grille-drain  $C_{GD}$  et donc d'augmenter la fréquence de transition  $F_T$ . Des variantes de cette structure à grille partielle sont également

apparues, notamment celle d'Ishikawa [ISH] qui a proposé une structure utilisant du siliciure de molybdène, qui présente une résistance de contact plus faible, comme électrode de grille. Cette technique a pour conséquence de diminuer de moitié la capacité  $C_{GD}$  par rapport à une structure utilisant une grille totale et d'augmenter ainsi le gain en puissance d'un facteur 2.

### 3.2.2.2 Le transistor MOS à tranchées

Comme cela a été évoqué au paragraphe précédent, la résistance à l'état passant d'un transistor VDMOS est limitée par l'effet résistif de pincement "JFET". Une solution à ce problème a été proposée par Ueda [UED2] grâce à une innovation supplémentaire, l'utilisation de la technologie R.I.E. ("Reactive Ion Etching") [BRO] sur le silicium, qui a permis la fabrication de transistors MOS de puissance à tranchées (Figure 7).



**Figure 7:** Coupe schématique du transistor MOS à tranchées.

La structure d'un MOS à tranchées se caractérise, au même titre que le transistor VDMOS, par une configuration verticale. La nouveauté des transistors MOS à tranchées provient, comme son nom l'indique, de l'utilisation d'une tranchée en forme de "U" enterrée sous la métallisation de source dans la zone active de canal. Cette tranchée est remplie de polysilicium et joue le rôle de l'électrode de grille.

Ce nouveau type de composants présente par rapport au transistor VDMOS, deux avantages :

- la résistance à l'état passant  $R_{ON}$  est diminuée, grâce à l'élimination de la composante  $R_{JFET}$ ,
- la densité d'intégration est augmentée de façon sensible car la grille ainsi "enterrée" occupe moins de place.

Comme les transistors VDMOS, les MOS à tranchées sont constitués par la mise en parallèle d'une multitude de cellules élémentaires identiques. Une grande diversité existe dans les formes géométriques utilisées pour l'élaboration de ces cellules dont l'origine provient du désir des concepteurs d'augmenter la densité d'intégration. Toutefois, les formes géométriques les plus souvent décrites à l'heure actuelle dans la littérature sont les hexagones [BUL], les carrés alignés [GOO] et les bandes parallèles [UED2].

## 3.3 LES TRANSISTORS MOS INTÉGRÉS

Afin d'intégrer des configurations complexes de composants de puissance avec des composants de "signal" analogiques ou logiques, il est impératif de maîtriser les gravures lithographiques sur les deux faces d'une même puce. L'intégration s'effectue entre une

architecture verticale (mono-interrupteur) ou latérale (multi-interrupteur) et un circuit intégré. Ces configurations sont regroupées sous le nom générique de famille "Smart Power" [RIS].

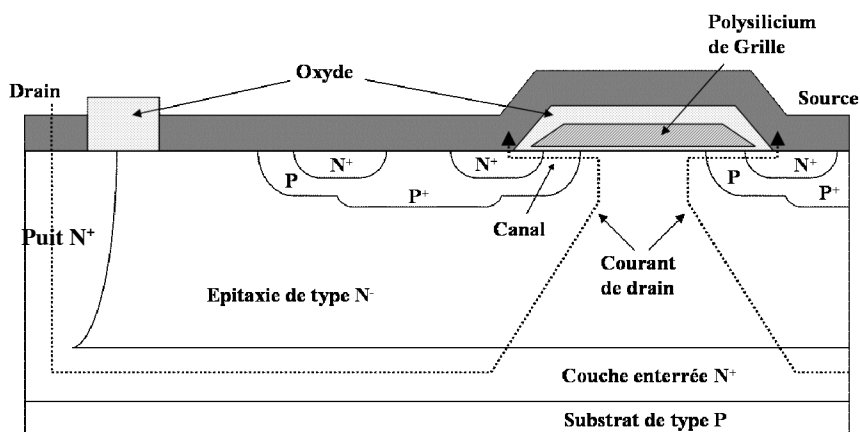
Deux types de composants de puissance peuvent donc être réalisés dans la technologie SmartMOS™ (terme utilisé par Freescale): le transistor latéral DMOS et le transistor Quasi vertical DMOS, appelé également VDMOS up-drain ou encore TMOS-updrain™.

Il est impératif de protéger ces composants de puissance intégrés pendant leur utilisation. En effet, dans cette famille de circuits intégrés, la partie logique ou analogique du circuit qui est réalisée en technologie NMOS, CMOS ou bipolaire, doit être parfaitement isolée du composant de puissance qui subit des contraintes importantes en termes de courant, tension, di/dt et dv/dt. Différentes techniques d'isolation ont donc été développées (auto-isolation [BEC], isolation par jonction [GIV], isolation par diélectrique [NAK]) afin de protéger les composants de puissance. Toutefois, ces techniques de protection ne permettent pas d'assurer des isolations supérieures à quelques Volts. Ce mode d'isolation s'adresse donc à des applications de faible puissance ne nécessitant pas de fortes isolations galvaniques.

Ces types de composants sont dédiés à des applications pour l'électronique automobile et pour les télécommunications.

### 3.3.1 *Le transistor VDMOS up-drain*

Afin de pallier les problèmes d'isolation entre deux VDMOS d'une même puce, de nouvelles structures sont apparues. Une des solutions est le transistor "VDMOS up-drain", présenté sur la Figure 8.



**Figure 8:** Coupe schématique d'un transistor "VDMOS up-drain".

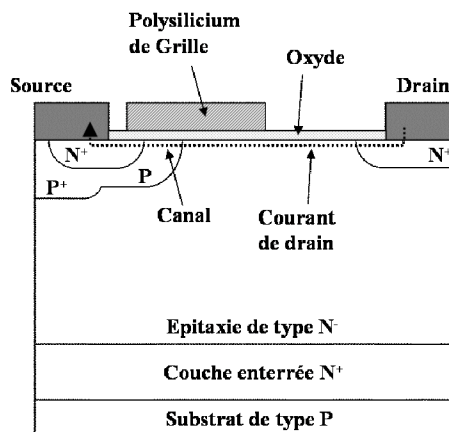
Dans cette structure, le substrat de type P (au lieu du type N dans le cas d'un VDMOS "classique") est relié à la masse. Une couche enterrée fortement dopée  $N^+$ , dans la couche d'épitaxie joue le rôle de collecteur d'électrons. Ces électrons sont ensuite drainés à travers cette couche enterrée et ramenés en surface grâce au puits  $N^+$ . Une telle solution dégrade la résistance passante spécifique du composant par rapport à un VDMOS "classique" équivalent, ceci est dû notamment au trajet plus important parcouru par les électrons entre la source et le drain.

### 3.3.2 *Le transistor LDMOS et ses variantes*

Le transistor LDMOS (**L**atéral **D**ouble diffusé **MOS**) [EFL1] se différencie des autres structures qui viennent d'être décrites, par le chemin qu'emprunte son courant ; en effet, comme son nom l'indique, ce chemin est latéral.



La géométrie du transistor LDMOS se présente le plus souvent sous forme de bandes parallèles source-drain interdigitées. La résistance totale du transistor LDMOS est alors inversement proportionnelle au nombre de bandes élémentaires. De plus, la présence des trois électrodes sur la face supérieure limite la densité d'intégration ; cependant, un des avantages majeurs du transistor latéral DMOS est d'être technologiquement compatible avec des transistors DMOS, MOS et bipolaires, ayant des tenues en tension différentes.



**Figure 9:** Coupe schématique d'un transistor LDMOS "classique".

La structure du transistor LDMOS à canal N (Figure 9), est caractérisée, d'une part, par la présence d'une région faiblement dopée, située entre la fin du canal d'inversion et le drain  $N^+$ , communément appelée région de drift et, d'autre part, par la position de son électrode de drain qui est située sur la face supérieure de la puce. Signalons également qu'une couche fortement dopée est enterrée dans la structure. Cette couche permet de limiter l'extension de la charge d'espace dans la région épitaxiée  $N^-$  et donc d'éviter des problèmes de perçage avec des implantations de type P nécessaires à la conception des transistors DMOS et CMOS. De plus, cette couche permet d'annuler le gain du bipolaire parasite vertical PNP, le substrat jouant le rôle de collecteur.

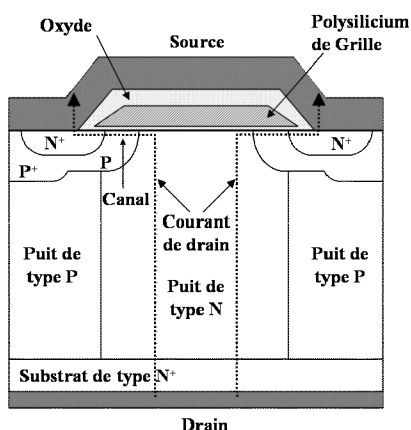
La tenue en tension du transistor LDMOS dépend, d'une part, de la distance qui sépare la grille du drain lorsqu'il n'y a pas d'oxyde de champ entre ces deux électrodes et, d'autre part, du dopage de la région  $N^-$  sous l'oxyde. Sa valeur est plus faible que dans les structures verticales, car elle est limitée par le claquage par avalanche qui se produit au niveau de la jonction cylindrique  $P/N^-$  ou en surface du silicium à la fin de l'électrode de grille [BOU].

Afin de réduire le champ électrique en surface et ainsi augmenter la tenue en tension du LDMOS, de nombreuses variantes à ce transistor latéral, ont donc été proposées : [KWO] [APP] [TSA] [EFL2] [MER] [PAR] [EFL3] [EFL4] [EFL5] [DER] [NEZ] [FUJ1] [ZIT1] [ZIT2].

### 3.4 LES NOUVEAUX CONCEPTS DE COMPOSANTS MOS DE PUISSANCE

#### 3.4.1 Les transistors MOS à Superjonctions

Le concept de la superjonction a été introduit en 1981 par D.J. Coe [COE1] [COE2] et a été repris récemment [UDR] [FUJ2] [LOR1] [LOR2] [SAI]. L'idée est de remplacer la zone uniforme et faiblement dopée (zone de drift) soutenant la majeure partie de la tension appliquée, par une région alternant des puits N et P perpendiculaires aux régions de source et de drain (Figure 10).



**Figure 10:** Coupe schématique d'un transistor MOS à Superjonction.

Pour que ce principe fonctionne, il faut que ces puits N et P soient réalisés sur un pas relativement serré dépendant de leur dopage. Lorsqu'une polarisation inverse est appliquée, les diodes verticales PN se dépeuplent latéralement dans la région de drift, la diode se comporte alors comme une diode PIN avec une région centrale très peu dopée. L'avantage d'une telle structure réside dans le fait que la tenue en tension devient indépendante du dopage des puits verticaux, qui peuvent alors être assez fortement dopés (dopage supérieur à celui de la zone de drift des transistors MOS conventionnels) et ainsi améliorer la résistance à l'état passant. La tenue en tension dépend essentiellement de la hauteur des puits.

La technologie de la Superjonction est en fait basée sur le principe de la compensation de charges, qui est un dérivé de l'idée du RESURF latéral.

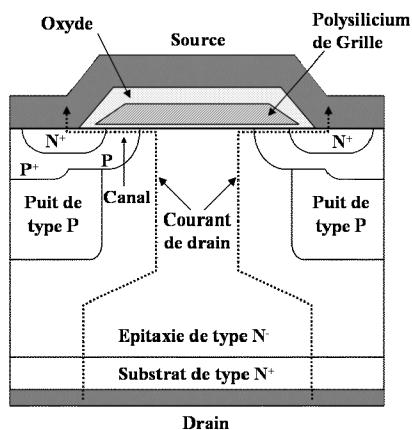
L'excès de charges dans la colonne N est compensé par des charges adjacentes dans la colonne P, contribuant ainsi au champ électrique horizontal sans affecter le champ électrique vertical.

L'avantage majeur des composants à base de superjonctions, est leur capacité à augmenter autant les performances en régime de fonctionnement bloqué que celles en fonctionnement direct. La limite des transistors conventionnels définie par les concepts classiques des transistors unipolaires est ainsi dépassée.

Actuellement les composants utilisant les superjonctions ont été fabriqués et testés dans la gamme de tensions de 100V à 1000V (COOLMOS [LOR2]). Des résultats très récents montrent l'application du concept des superjonctions à la fabrication d'IGBT très haute tension, autour de 6kV.

#### 3.4.2 *Les transistors MOS à Semi-Superjonction*

Dans le but d'obtenir une résistance à l'état passant la plus faible possible, Toshiba a proposé en 2003 une nouvelle structure basée sur le principe des structures à Superjonction [SAI1]. Une coupe schématique d'un transistor à Semi-Superjonction est présentée sur la Figure 11 : cette structure est formée d'une alternance de colonnes P et de colonnes N, les régions P n'étant pas ici connectées au substrat N<sup>+</sup>.

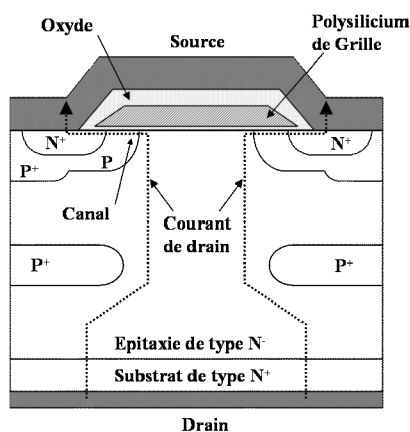


**Figure 11:** Coupe schématique d'un transistor à Semi-Superjonction.

### 3.4.3 Les transistors FLIMOS

La différence principale entre la cellule d'un transistor MOS classique (Figure 6) et la cellule d'un transistor FLIMOS (**F**loating **I**sland **M**OS **T**ransistor) [CEZ2] réside dans l'utilisation d'un (ou plusieurs) puit(s) P<sup>+</sup> flottant(s) dans la zone épitaxiée N<sup>-</sup>. Celui-ci est implanté sous la diffusion du P dans la région de drift. Avec cette nouvelle configuration géométrique, la diode constituée par la diffusion P de canal et par la couche épitaxiée faiblement dopée N<sup>-</sup> qui soutient classiquement la tension appliquée, est remplacée par des zones alternativement dopées N<sup>-</sup> et P<sup>+</sup>. A l'état bloqué, les régions P<sup>+</sup> agissent comme des diviseurs de champ électrique (et donc de potentiel). Il est ainsi possible d'augmenter sensiblement le dopage des couches N<sup>-</sup>.

La Figure 14 présente la coupe schématique d'une cellule élémentaire d'un composant FLIMOS de puissance comprenant un îlot flottant P.



**Figure 12:** Coupe schématique d'un transistor FLIMOS à un îlot flottant.

Les caractéristiques de ce transistor seront plus largement développées dans le deuxième chapitre qui sera entièrement dédié au développement des futures technologies FLYMOS™.

#### 3.4.3.1 Historique du FLIMOS

Ce paragraphe a pour but de faire un petit historique du FLIMOS, depuis les toutes premières idées sur le concept jusqu'aux derniers travaux en cours.

- Le premier transistor unipolaire a été breveté par Westinghouse en 1966. Ce transistor, breveté bien avant l'invention du MOSFET, utilisait des anneaux N, enterrés dans le silicium et était utilisés en tant qu'électrodes de grille [SCH].
- En 1977, la société Sony Corporation a proposé une structure comprenant des îlots P dans une couche épitaxiée N<sup>-</sup>. Ce brevet [MAT] décrit l'avantage d'utiliser des anneaux flottants P sur la tenue en tension de la diode.
- En 1988, Philips propose une nouvelle façon d'améliorer le compromis "tenue en tension/résistance à l'état passant" [COE2] par un empilement de couches épitaxiées alternativement de type P et de type N. Un sillon en "V", à la surface du composant, permet de prendre des contacts d'anode et de cathode de chaque côté. L'anode et la cathode qui sont en métal, contactent le silicium sur une couche implantée et diffusée de différentes polarités N ou P. Ceci ressemble à des diodes PN imbriquées sous forme de "peigne". Les propriétés de cette diode conditionnent donc l'état passant ou l'état bloqué de la diode.
- Toshiba a proposé en 2000 [OMU] un composant composé de deux électrodes, un substrat N<sup>+</sup> et une couche plus résistive N<sup>-</sup>, dans laquelle se trouvent des bandes flottantes P, afin de diviser le champ électrique en plusieurs parties.
- Siemens a proposé en 2001 [KIR] un composant avec en cellules centrales des colonnes de P polarisées, et des îlots flottants P sur la cellule de bord afin de tenir la tension.
- Le LAAS/CNRS a proposé en 2001 [ROS2] une diode Schottky avec des îlots flottants P. Ce dispositif comprend deux électrodes, anode et cathode, entre lesquels, on trouve un substrat N<sup>+</sup> et une couche conductrice N<sup>-</sup>, des îlots flottants P qui ont été disposés de telle sorte qu'ils permettent d'augmenter la tenue en tension soutenue en inverse (état bloqué) et de diminuer la chute de potentiel à l'état passant.
- Toshiba a proposé en 2002, une diode Schottky avec des îlots flottants P qui présente une faible résistance à l'état passant [SAI2]. Toshiba propose une terminaison constituée d'anneaux de garde, et d'anneaux flottants, ces anneaux flottants pouvant être soit des bandes, soit des plots.

### 3.5 LES LIMITES CONVENTIONNELLES DU SILICIUM

#### 3.5.1 Limite conventionnelle des composants MOS verticaux classiques

Nous avons vu précédemment que la tension de claquage et la résistance à l'état passant étaient étroitement liées : en effet, la couche épitaxiée N<sup>-</sup> supporte la quasi-totalité de la tension drain-source à l'état bloqué d'une part, et d'autre part, elle a un effet résistif important à l'état passant (via  $R_d$ ). Le compromis entre  $R_{ON}$  et  $BV_{dss}$  est donc une des principales caractéristiques des transistors MOS de puissance.

En supposant que toutes les autres résistances aient pu être rendues négligeables, la résistance (de drift) de la couche épitaxiée représente donc la résistance passante spécifique minimale que doit présenter tout transistor MOS vertical conventionnel.

Une évaluation approximative de cette résistance consister à considérer simplement que c'est un barreau semi-conducteur ( $R = \frac{\rho \cdot l}{S}$ ), de résistivité  $\rho = \frac{1}{q \cdot \mu_n \cdot N_D}$ , de longueur  $(H - h_2)$  et de section  $S$  ( $S$  étant la surface d'une cellule élémentaire) :

$$R_d = \frac{H - h_2}{q \cdot \mu_n \cdot N_D \cdot S} \quad (I.3)$$

Cette valeur minimale peut se calculer simplement à partir de la relation (I.3) qui est la relation classique de la résistance d'un barreau (Figure 6) :

$$R_{ON} \cdot S = \frac{H - h_2}{q \cdot \mu_n \cdot N_D} \quad (I.4)$$

Plusieurs auteurs ont proposé un choix optimal du couple "épaisseur (H-h<sub>2</sub>) / dopage (N<sub>D</sub>)" pour minimiser cette résistance passante spécifique [GHA1] [GHA2] [PHAM] [BEY] [GHA2]. Par ailleurs, la mobilité  $\mu_n$ , qui est liée à  $N_D$ , dépend donc également de la tenue en tension ; Hu [HU1] a proposé la relation suivante :

$$\mu_n (cm^2 \cdot V^{-1} \cdot s^{-1}) = 7,1 \cdot 10^2 \cdot BV_{dss}^{0,1} \quad (I.5)$$

La résistance passante spécifique minimale en fonction de la tenue en tension :

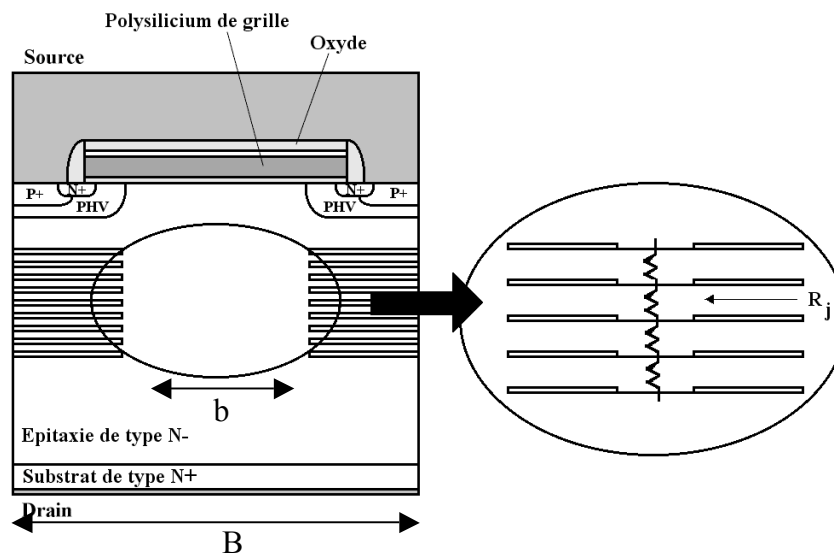
$$R_{ON} \cdot S (\Omega \cdot cm^2) = 8,9 \cdot 10^{-9} \cdot BV_{dss}^{2,4} \quad (I.6)$$

Cette relation définit la "limite conventionnelle du silicium" des composants MOS et, plus généralement, des composants unipolaires de puissance verticaux conventionnels. Lorsqu'un tel composant doit soutenir une tension donnée, sa résistance passante spécifique ne peut donc pas être plus faible que celle optimale calculée avec la relation (I.3). La "course" aux faibles résistances passantes spécifiques présente donc une limite fondamentale que ni la miniaturisation des cellules MOS élémentaires, ni l'invention de nouvelles géométries de surface, ni même l'incorporation d'une tranchée dans la région d'accès au drain ne pourront permettre de "casser".

### 3.5.2 Limite conventionnelle du silicium pour les composants FLYMOS™

On se propose d'établir une expression analytique du premier ordre traduisant les limites du compromis entre la tenue en tension et la résistance passante spécifique des transistors FLYMOS™. Nous appuyant sur la relation (I.4) donnant la limite conventionnelle du silicium, il est possible d'établir le même type de relations pour le transistor FLYMOS™.

La Figure 13 présente la configuration d'un transistor FLYMOS™ possédant 9 îlots P ; elle fait en particulier apparaître la résistance de drift d'une cellule. On se place dans l'hypothèse où les bandes P sont très fines. Il apparaît alors des zones en série semblables à la zone de drift d'un transistor VDMOS classique.



**Figure 13:** Localisation des "n+1" (ici 10) résistances de drift d'un transistor FLYMOST™ à "n" (ici 9) îlots P.

Pour une tenue en tension donnée ( $BV_{dss}$ ), la région de "drift" d'un transistor FLYMOST™ comprenant "n" îlots flottants entre source et drain correspond à l'association de (n+1) jonctions PN qui supportent chacune une part identique de la tenue en tension égale  $\frac{BV_{dss}}{n+1}$ . Chacune des "mini-régions" de drift correspondantes a donc pour limite :

$$R_{ON} \cdot S(\Omega.cm^2) = 8,9 \cdot 10^{-9} \cdot (BV_{dss})^{2,4} \cdot (n+1)^{-2,4} \quad (I.7)$$

Si, de plus, on suppose que la section de conduction d'un transistor FLYMOST™ est égale à 50% de la section de conduction d'un transistor VDMOS conventionnel, on obtient la "résistance spécifique idéale" de la région de drift des transistors FLYMOST™ en associant (n+1) régions en série :

$$R_{ON} \cdot S(\Omega.cm^2) = 1,78 \cdot 10^{-8} \cdot (BV_{dss})^{2,4} \cdot (n+1)^{-1,4} \quad (I.8)$$

En toute rigueur, si la section de conduction  $S_0$  ( $S_0 = \frac{b}{B}$ ) est un paramètre, cette "résistance spécifique idéale" est alors égale à :

$$R_{ON} \cdot S(\Omega.cm^2) = 8,9 \cdot 10^{-9} \cdot (S_0)^{-1} \cdot (BV_{dss})^{2,4} \cdot (n+1)^{-1,4} \quad (I.9)$$

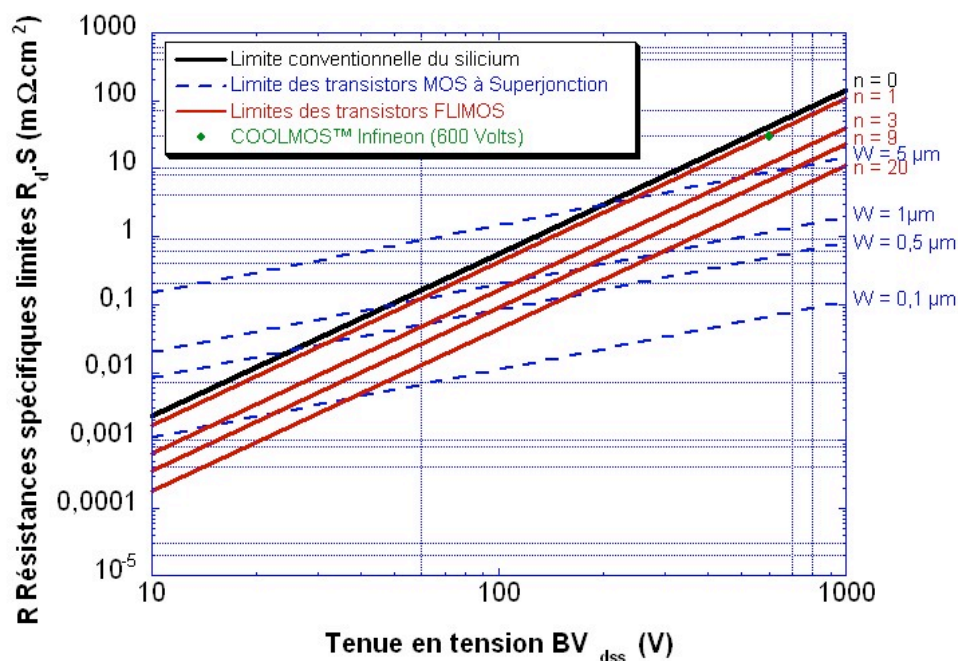
Cette limite dépend donc du nombre "n" d'îlots flottants dans la structure, de sa section de conduction  $S_0$  et, bien sûr, de sa tenue en tension  $BV_{dss}$ .

### 3.5.3 Comparaison des limites de performances statiques des transistors conventionnels, FLIMOS et à Superjonction.

La Figure II.60 présente une comparaison entre des limites de performances pour divers composants de puissance en termes de compromis "résistance spécifique / tenue en tension". "n" représente le nombre d'îlots flottants et "w" la largeur des bandes N et P des composants à Superjonction [FUJ2] [FUJ3].

Les composants à Superjonction présentent un meilleur compromis pour les très hautes tenues en tension ( $BV_{dss} > 1000$ Volts). Ceci était prévisible puisque la résistance passante

spécifique limite de ces composants est proportionnelle à  $BV_{dss}$  (contre  $(BV_{dss})^{2,4}$  pour les composants conventionnels et les composants à îlots flottants). En revanche pour les basses tenues en tension ( $BV_{dss} < 100$  Volts), les composants à îlots flottants semblent plus intéressants : en effet, pour qu'ils puissent rivaliser, les composants à Superjonction devraient alors utiliser des bandes verticales N et P très fines, ce qui n'est pas technologiquement réalisable à ce jour. Quoiqu'il en soit, si on compare les transistors FLYMOS™ avec les composants MOS (limite conventionnelle du silicium), leur résistance spécifique est en effet inférieure, quel que soit le nombre d'îlots, à la limite conventionnelle du silicium des composants unipolaires à zone de drift uniforme.



**Figure 14:** Comparaison des limites de performances pour divers types de composants de puissance (conventionnels, à Superjonction et à îlots flottants) en termes de compromis "résistance à l'état passant/tenue en tension".

Ceci est évidemment un résultat fondamental puisqu'il permet :

- d'atteindre des valeurs de résistance passante spécifique jamais rencontrées à ce jour dans une gamme de tensions inférieures à 1000Volts. A titre d'exemple, pour une tension de claquage de 900Volts, la résistance passante spécifique diminue de 68% par rapport à limite conventionnelle du silicium avec un transistor FLYMOS à 3 îlots, ce qui est une amélioration considérable.
- de proposer un "concurrent sérieux", dans le domaine des moyennes tensions ( $BV_{dss}$  inférieur ou égal à 500Volts), aux composants à Superjonction tels que le COOLMOS™ d'Infineon [LOR2]. En effet, un des paramètres déterminants pour comparer les deux concepts est le coût de fabrication technologique. Celui-ci est à peu près comparable puisqu'ils utilisent des épitaxies multiples, soit pour réaliser des régions P profondes pour la Superjonction, soit pour insérer plusieurs îlots flottants P. La technologie FLYMOS™ devrait être moins chère si on se "limite", par exemple, à insérer un simple îlot flottant dans la zone de drift.

### 3.6 LES MATÉRIAUX SEMICONDUCTEURS AVANCÉS

Les composants électroniques utilisés dans le secteur automobile doivent supporter des contraintes de plus en plus importantes, notamment celles liées à la température. Cette limite due à la température aura pour conséquence une orientation vers des matériaux semi-conducteurs à large bande interdite, qui représentent un grand avenir pour les composants de puissance destinés à fonctionner à de hautes températures [KAS].

Les matériaux les plus prometteurs sont le diamant et le carbure de silicium (SiC) [SHE]. Toutefois le carbure de silicium présente d'évidents avantages économiques par rapport au diamant [BHA], [CHE2]. Les principaux bénéfices apportés par le carbure de silicium par rapport au silicium sont :

- Un bon fonctionnement sur une large gamme de températures,
- Un champ critique de claquage élevé,
- Une saturation élevée de la vitesse de dérive des électrons,
- Une grande conductivité thermique.

Les caractéristiques physiques et électriques des principaux carbures de silicium, ainsi que celles des principaux matériaux semi-conducteurs utilisés actuellement sont présentées dans le Tableau 1. Les deux carbures de silicium présentés sont ceux étudiés par Weitzel en 1996 [WEI].

	Si	AsGa	6H-SiC	4H-SiC
<b>Bande interdite (eV)</b>	1,11	1,43	2,9	3,2
<b>Constante diélectrique</b>	11,8	12,8	9,7	9,7
<b>Champ de claquage (V/cm) à (<math>N_d=1.10^{17} \text{ cm}^{-3}</math>)</b>	$6.10^5$	$6,5.10^5$	$35.10^5$	$35.10^5$
<b>Vitesse de saturation (cm/s)</b>	$1.10^7$	$1.10^7$	$2.10^7$	$2.10^7$
<b>Mobilité des électrons (<math>\text{cm}^2/(\text{v.s})</math>)</b>	1350	6000	$350 \perp$ à l'axe c	$800 \perp$ à l'axe c
<b>Mobilité des trous (<math>\text{cm}^2/(\text{v.s})</math>)</b>	450	330	95	120
<b>Conductivité thermique (<math>\text{W/cm}^{-\text{K}}</math>)</b>	1,5	0,46	4,9	4,9

**Tableau 1:** Propriétés de Si, AsGa, et de deux carbures de silicium.

Alors que les composants en silicium peuvent difficilement dépasser des températures extérieures de fonctionnement de 200°C [KAS], les composants en carbure de silicium peuvent fonctionner à des températures extérieures supérieures à 650°C [WON] [CHE3]. Des expériences ont permis de démontrer le bon fonctionnement de transistors MOS en carbure de silicium pour des températures supérieures à 650°C. D'autres études sur des composants logiques et des amplificateurs opérationnels en carbure de silicium ont prouvé leur bon fonctionnement pour des températures supérieures à 200° [PAL], [CHE3] et [LAM].

Le second avantage du carbure de silicium est la valeur élevée de son champ critique. En effet, une valeur de champ critique élevée implique que la taille du composant peut être



substantiellement réduite pour des applications haute tension (entre quelques centaines et quelques milliers de Volts [KAS]). Cependant, à l'exception des applications spécifiques telles que l'allumage ou les lampes HID, la majeure partie des applications automobiles requièrent des tensions de claquage relativement faibles (de l'ordre de la centaine de Volts au maximum). C'est pourquoi l'impact du champ critique élevé des matériaux de carbure de silicium est réduit.

Pour que les composants en carbure de silicium deviennent accessibles pour le secteur automobile, quelques problèmes critiques doivent être résolus :

➤ Tout d'abord, la densité de défauts du carbure de silicium doit être réduite de manière à obtenir plus facilement de meilleurs rendements et réaliser de plus gros composants.

➤ De plus, des techniques de fabrication spécifiques au carbure de silicium doivent être entièrement développées.

➤ Enfin, des techniques de mise en boîtier et des boîtiers adaptés au carbure de silicium doivent être aussi entièrement développés pour s'adapter à leur grande gamme de température et assurer une durée de vie des composants acceptable.

A long terme, les composants en carbure de silicium représentent l'avenir de l'électronique haute performance pour le secteur automobile. Mais les défis à relever sont tels, qu'à moyen terme, les technologies MOS standard en silicium ont encore un important rôle à jouer.

## **4 CONCLUSION**

Les besoins en puissance électrique dans les voitures ne cessent d'augmenter de telle sorte que d'ici 2010, les batteries 12 Volts ne parviendront plus à fournir suffisamment d'énergie. C'est pour cela qu'une nouvelle norme a émergé avec les batteries 42 Volts. Ce changement de tension de fonctionnement permettra le développement de nouvelles applications comme le freinage, la direction électrique... En contrepartie, les composants semi-conducteurs devront fonctionner à de tensions et des températures de plus en plus élevées, mais devront également être de plus en plus robustes et fiables.

Nous nous sommes exclusivement intéressé à la puce de puissance pour laquelle le compromis "Tenue en tension / Résistance spécifique à l'état passant" représente un véritable enjeu, compte tenu des futures puissances qu'elle devra dissiper.

Nous avons vu dans un premier temps qu'il existait un grand nombre de technologies MOS de puissance basse tension. Nous nous sommes intéressé aux composants discrets de puissance, dont la principale caractéristique est le traitement de l'énergie ; ensuite nous avons présenté les composants intégrés de puissance qui sont utilisés dans les circuits "Smart-Power".

Nous avons également présenté les nouveaux concepts de composants MOS de puissance avec les "Superjonctions" et les "Semi-Superjonctions". Nous avons par la suite décrit la structure et les caractéristiques du transistor MOS à îlots flottants, (FLYMOS™) ; ce dispositif présente des performances fortement améliorées en termes de résistance à l'état passant par rapport aux composants MOS de puissance conventionnels. Il semble également plus performant et technologiquement moins coûteux que les MOS à Superjonction dans la gamme des basses tensions de claquage. C'est pour ces raisons que nous avons choisi d'appliquer le concept du FLYMOS™ sur le transistor VDMOS développé par Freescale, le HDTMOS™.

**Chapitre 2 :**

**Simulations prédictives pour la  
conception du transistor  
FLYMOS™ 75V**

## **1 INTRODUCTION**

Dans le chapitre I, nous avons montré que les solutions "classiques", permettant de diminuer la résistance passante spécifique des composants unipolaires conventionnels, n'étaient plus satisfaisantes car elles se heurtaient à une limite fondamentale : la limite conventionnelle du silicium. C'est pour cette raison que de nouvelles approches ont été proposées, notamment une solution originale présentée par le LAAS en 1999 ; il s'agit du concept de la diode à îlots flottants insérés dans la zone faiblement dopée (FLi-Diode) et de son application aux composants MOS (FLIMOS).

L'objectif du travail présenté dans ce chapitre est d'améliorer le compromis "tenue en tension/ résistance passante " des composants de puissance VDMOS, en utilisant le concept des îlots flottants.

Dans ce chapitre, nous allons tout d'abord présenter et valider le concept de la FLi-Diode. Nous montrerons que ce concept peut être appliqué aux transistors MOS de puissance verticaux. L'étude à l'état bloqué (tenue en tension) et à l'état passant (résistance passante) des transistors FLYMOS™ sera présentée.

## **2 LES LOGICIELS DE SIMULATION**

Les outils de Conception Assistée par Ordinateurs (CAO) dédiés à la microélectronique sont utilisés pour simuler le procédé de fabrication et le comportement physique des composants. Les concepteurs de composants attendent de ces logiciels un support pour réduire les temps de mise en œuvre de nouveaux dispositifs. Après une rapide présentation des simulations du procédé de fabrication des composants, nous aborderons la simulation physique de composants. Dans ces deux cas, l'objectif est plus de présenter les avantages et les limites des techniques abordées que de rentrer dans des considérations d'ordre purement théoriques.

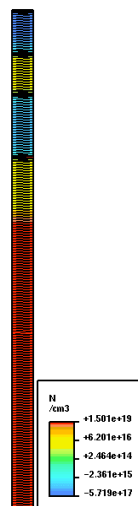
Pour la simulation physique, selon le composant étudié et le niveau de précision souhaité, différentes équations sont résolues. La validité des résultats obtenus avec ce type de logiciels devra donc être discutée.

### **2.1 SIMULATION DU PROCÉDE DE FABRICATION**

La connaissance du procédé de fabrication d'un composant est déterminante pour simuler ensuite son comportement électrique. Certains paramètres caractéristiques tels que la tension de claquage  $BV_{dss}$  et la résistance à l'état passant  $R_{ON}$  sont en effet sensibles à de légères modifications des profils de dopage et de la topologie d'une structure. Des écarts sur la distribution des dopants dans le composant risquent donc de produire des divergences entre les résultats des simulations et la mesure. Il existe cependant plusieurs façons d'intégrer les paramètres du procédé de fabrication dans le simulateur 2D. Une d'entre elle est la simulation du procédé de fabrication ; une autre consiste à développer la structure directement à l'aide de profils analytiques (logiciel DESSIS-ISE). Le choix se portera donc sur la méthode qui permet d'obtenir les résultats les plus proches de la réalité mais également des temps de calcul les plus faibles possibles.

### 2.1.1 *Simulation des principales étapes technologiques*

Les logiciels de CAO tels que DIOS-ISE ou ATHENA-SILVACO sont utilisés pour simuler, en deux dimensions, tous les types de composants semi-conducteurs. Une séquence de commandes est écrite pour modéliser les différentes étapes technologiques (implantations, diffusions, oxydation, métallisations) du procédé de fabrication (Figure 15). La géométrie des masques doit également être définie par des commandes spécifiques. Ces données d'entrée sont confidentielles et ne peuvent être connues que grâce à la collaboration des fondeurs de composants.



**Figure 15:** Simulation du procédé.

Les paramètres de calibrage sont propres à chaque génération technologique. La méthode débute en principe par des simulations en une dimension du procédé de fabrication d'un composant simple. Dans le cas d'un transistor MOS, les profils de dopage du canal, de la source et du drain sont, par exemple, recherchés. Les résultats sont ensuite comparés aux profils SIMS (Spectroscopie de Masses d'Ions Secondaires). Puis les simulations 2D prennent en compte les paramètres ajustés (température ou temps de diffusion) [SZE1]. Il reste alors à comparer les contours d'oxyde et de siliciures des composants simulés aux vues réelles obtenues par micro-sections mécaniques ou au moyen d'un faisceau d'ions focalisés (FIB). Un soin particulier doit être apporté aux coins de grille en polysilicium ainsi qu'aux zones cylindriques des diffusions de source et de drain car ils influent sur le champ électrique et sur le claquage par avalanche des jonctions.

### 2.1.2 *Simulation d'une structure créée à partir du simulateur DESSIS-ISE*

Cette méthode consiste à développer la structure à partir de l'interface de création DESSIS-ISE. Dans ce cas, les différentes données de simulation (en particulier les différentes épaisseurs) de procédé de fabrication peuvent être intégrées à la structure. L'avantage de cette méthode est dans les formes géométriques des différentes couches de la structure qui sont alors simplifiées (rectangulaires) et reprennent les épaisseurs validées de la simulation du procédé de fabrication. Le temps de calcul est donc réduit. L'inconvénient principal est que les profils de dopage sont eux aussi redéfinis à l'aide de l'interface MDRAW-ISE et ne peuvent être que de type ERSREF ou GAUSSIEN. Ces deux types de profils ne reproduisent pas les profils obtenus par une implantation suivie d'une redistribution. Les profils gaussiens sont plus proches mais ils reproduisent plus un profil obtenu par une diffusion de dopants qu'un profil implanté puis redistribué. La différence est principalement remarquable en

surface, ce qui a une influence sur la simulation du  $R_{ON}$  et du  $V_t$ , et très peu sur la tenue en tension.

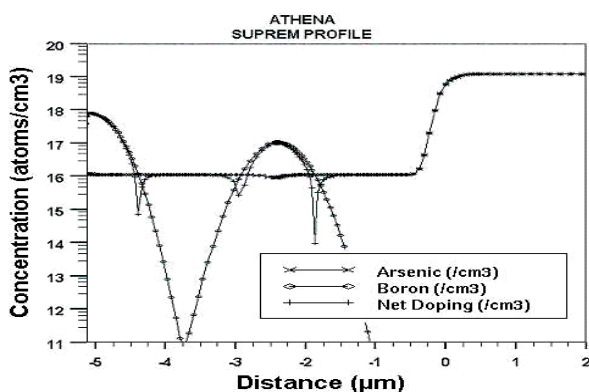
Cependant, afin de pallier cet inconvénient, une autre méthode consiste à implémenter les profils de dopage qui sont extraits de la simulation de procédé de fabrication dans l'interface MDRAW-ISE. Cette méthode présente de nombreux avantages, puisqu'elle permet d'intégrer des profils de dopage réels, des épaisseurs de couches proches de la réalité tout en limitant le nombre de points de simulation et donc le temps de calcul. Le seul inconvénient est la gestion des profils, qui ne peuvent être extraits qu'en une seule dimension et doivent être extrapolés en deux dimensions.

### 2.1.3 Discussion

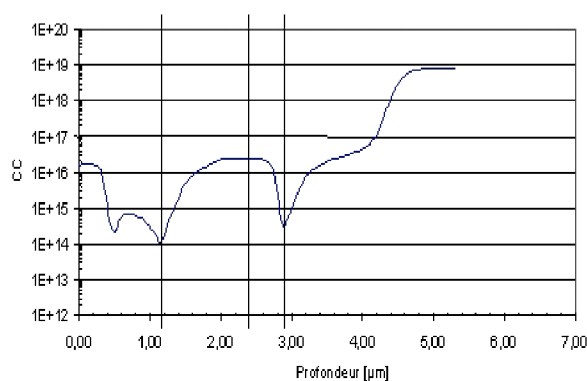
La simulation du procédé de fabrication des composants est une étape déterminante puisqu'elle permet d'obtenir les données d'entrée utilisées ensuite par les logiciels de simulation physique (les deux types de logiciels sont parfaitement compatibles). Souvent réalisée chez les fabricants de semi-conducteurs en parallèle avec la conception, elle permet de donner une estimation des profils de dopage et de la géométrie des composants.

La constante évolution des procédés de fabrication doit être aussi prise en compte. Il est alors nécessaire de calibrer les simulations pour chaque technologie, surtout pour les composants submicroniques dont la validité des modèles physiques disponibles doit également être vérifiée. Il faut enfin préciser que les simulations sont réalisées en deux dimensions. Des mesures expérimentales sont donc indispensables pour corrélérer les résultats.

Cependant, nous avons atteint les limites du simulateur de procédé technologique. En effet, pour simuler une structure comme le FLYMOS<sup>TM</sup> (dont les caractéristiques structurelles seront étudiées dans le paragraphe suivant), le simulateur doit prendre en compte la diffusion de l'îlot flottant P lors de la croissance de la deuxième épitaxie. La Figure 16 montre le profil vertical après une simulation de procédé technologique à l'aide du simulateur ATHENA-SILVACO et la Figure 17, après une SRP ("Spreading Resistance Profiling") du FLYMOS<sup>TM</sup>.



**Figure 16:** Profil vertical d'une structure créée par simulation.



**Figure 17:** SRP du FLYMOS<sup>TM</sup>.

La différence majeure réside au niveau de l'îlot flottant car en simulation nous obtenons une épaisseur de  $1\mu\text{m}$  et un pic de concentration de  $1.10^{17}\text{ cm}^{-3}$ , contre  $1,6\mu\text{m}$  d'épaisseur et une concentration maximale de  $3,5.10^{16}\text{ cm}^{-3}$  par la mesure SRP. Par ailleurs, notons que le "0" sur la Figure 3 ne représente pas la surface du composant, c'est pour cela que nous n'atteignons pas une valeur comprise entre  $10^{17}\text{ cm}^{-3}$  et  $10^{18}\text{ cm}^{-3}$  pour le Pedge (anneaux de garde sur la Figure 51).

## 2.2 OUTIL DE SIMULATION PHYSIQUE: DESSIS-ISE

Il existe de nombreux outils de simulation physique sur le marché [ISE] [SIL] [SYN]. L'outil de simulation physique ISE-TCAD (Integrated Systems Engineering-Technology Computer Aided Design, Suisse) utilisé permet de calculer l'ensemble des équations physiques des semi-conducteurs en allant de l'équation de Poisson, des équations de transport de charges aux équations de continuité de porteurs. De plus, il tient compte des effets thermiques. A l'aide de ces équations, nous pouvons appliquer des techniques d'extraction de paramètres tels que le champ électrique, le potentiel, la zone de charge d'espace... Cet outil répond donc aux besoins de notre étude. L'utilisation de cet outil de simulation physique nécessite un gros effort sur la définition de la structure physique avec une bonne qualité de maillage. De plus, cet outil doit être calibré par rapport aux résultats expérimentaux pour fournir de bons résultats.

### 2.2.1 Présentation générale

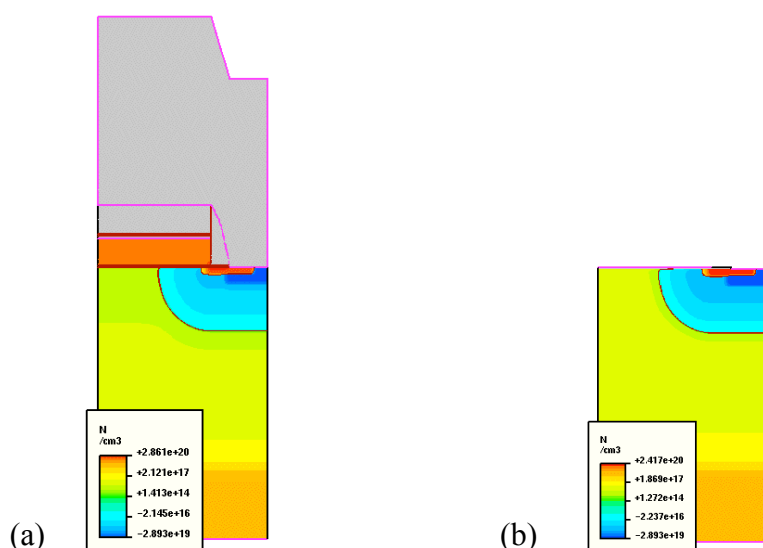
L'outil de simulation physique est devenu au fil des ans indispensable chez les industriels pour le développement des filières technologiques ainsi que des dispositifs électroniques. En effet, il permet une meilleure compréhension des mécanismes physiques mis en jeu. Ainsi les concepteurs peuvent prédire le comportement et optimiser les performances des dispositifs. Par conséquent, il en résulte un gain de temps et d'argent considérable dans le développement d'une technologie ou d'un produit, en minimisant les réalisations technologiques et les circuits tests de caractérisation.

Cet outil propose la résolution des équations physiques du semi-conducteur à travers des structures physiques unidimensionnelles (1D), bidimensionnelles (2D) et tridimensionnelles (3D). Il permet surtout de coupler l'équation de Poisson, les équations de densité de courant des porteurs et les équations de continuité des porteurs. Les phénomènes de diffusion des porteurs ainsi que les phénomènes de recombinaison sont pris en compte. De plus, les variations de température de l'environnement susceptibles de modifier les propriétés physiques et électriques sont également prises en compte par le simulateur.

Les modèles physiques (recombinaison des porteurs, mobilités des porteurs...) sont choisis en fonction du type de structure étudiée et de son mode de fonctionnement. Leurs paramètres sont ajustés en fonction des résultats expérimentaux. On parle alors de calibrage de la simulation. Un bon calibrage permet d'obtenir des résultats précis sur les quantités physiques inaccessibles à la mesure c'est-à-dire les répartitions de potentiel et de la densité de courant de porteurs par exemple ; cette propriété fait d'elle un outil indispensable pour la compréhension des phénomènes physiques. Par ailleurs, un bon calibrage permet également aux concepteurs d'optimiser les performances des structures étudiées. Néanmoins, même si le calibrage est imparfait, la simulation donne des informations qualitatives sur le comportement de la structure étudiée.

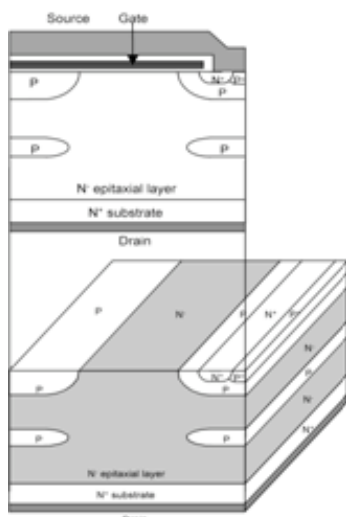
Même si les paramètres physiques sont définis correctement, la précision des résultats dépend surtout de la qualité du maillage de la structure. Un mauvais maillage fournit des informations fausses sur les profils de dopage et donc sur les résultats. La validité des résultats repose donc sur la qualité de la description de la structure physique. La simulation 2D (Figure 5) est couramment utilisée en raison de sa simplicité d'utilisation et de la précision des résultats. Un maillage de bonne précision sur une structure 2D est possible avec un temps de calcul acceptable grâce à la puissance des stations de travail actuelles. Cependant il est nécessaire d'optimiser le maillage, c'est-à-dire de l'affiner dans les zones de fort gradient de grandeurs physiques du composant.

Le passage de la simulation d'une structure 2D à une simulation de structure 3D (Figure 7) est délicat. En effet, une structure 3D bien maillée ne peut être utilisée en simulation en raison de temps de calcul prohibitifs et de la puissance de calcul élevée requise. Une telle simulation nécessite une ressource importante au niveau des calculateurs, c'est-à-dire des machines multiprocesseurs rapides en parallèle avec des capacités de mémoire supérieure à 10 Go, représentant un investissement financier significatif. Une station de travail à 8 processeurs avec une capacité mémoire de 16 Go est disponible au sein du LAAS/CNRS. La réalisation d'une simulation 3D est un travail de compromis entre la qualité de maillage, le temps de calcul et la précision des résultats. Une méthode au niveau du maillage s'impose pour réaliser ce type de simulation avec une bonne précision des résultats. Une optimisation du maillage est possible au niveau des jonctions ; de plus, les régions de polysilicium, de nitrure de silicium et des contacts d'électrodes ne sont pas nécessaires dans la réalisation de la structure physique puisque ces régions ont peu d'impact sur les résultats (Figure 18). Cela se traduit par des simplifications au niveau du maillage sans accroître les erreurs de précision des résultats.

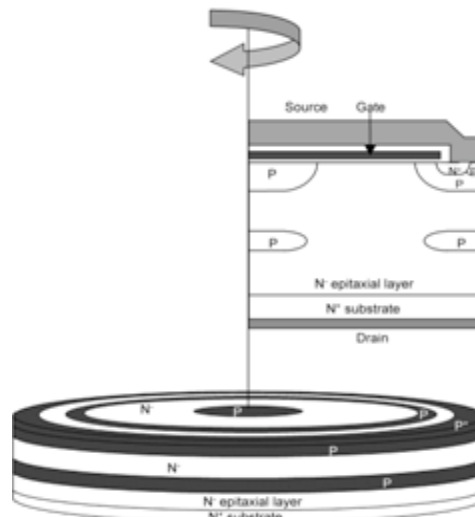


**Figure 18:** Illustration, pour un transistor MOS, de la nécessité d'adapter le maillage aux besoins de la simulation : (a) structure classique, (b) structure optimisée.

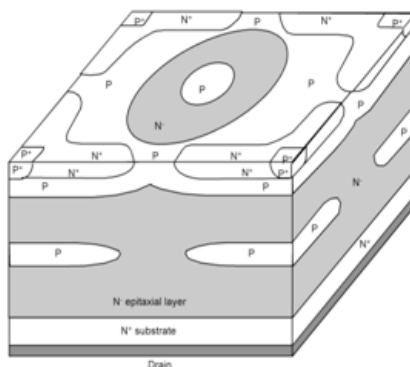
Cependant un bon compromis entre la simulation d'une structure 2D et d'une structure 3D est la simulation d'une structure en "2.5D" (Figure 20).



**Figure 19:** Simulation d'une structure 2D.



**Figure 20:** Simulation d'une structure "2.5D"



**Figure 21:** Simulation d'une structure 3D.

La simulation "2.5D" reprend la structure 2D avec donc une bonne précision de maillage sans l'inconvénient des temps de calcul prohibitifs liés à la simulation d'une structure 3D. La simulation "2.5D" consiste à effectuer une rotation autour d'un axe, afin de rendre compte des effets d'une simulation 3D. Il est ainsi possible de simuler une jonction convexe ou une jonction concave suivant le choix de l'axe de rotation.

La simulation "2.5D" est intéressante pour les structures FLYMOS™ que nous étudions car la géométrie de cellules (WELLFET™) se prête à ce type de simulation.

Nous avons donc effectué des simulations 2D, "2.5D" et 3D tout au long de notre étude.

### 2.2.2 *Choix des modèles physiques*

La résolution du problème numérique nécessite, dans la mesure du possible, de choisir des paramètres physiques adaptés. Le choix des modèles physiques dépend du mode de fonctionnement de la structure étudiée.

Le simulateur résout les équations de physique du semi-conducteur qui sont définies respectivement comme suit [ISE] :

$$\text{L'équation de Poisson : } V(x, y) = - \frac{\rho(x, y)}{\epsilon_0 \epsilon_{si}} \quad (\text{II.1})$$



L'équation **de continuité** des électrons et des trous :

$$\frac{\partial n}{\partial t} = -\frac{n}{\tau_n} + \frac{1}{q}(\nabla \cdot \vec{J}_n) \quad (\text{II.2})$$

$$\frac{\partial p}{\partial t} = -\frac{p}{\tau_p} - \frac{1}{q}(\nabla \cdot \vec{J}_p) \quad (\text{II.3})$$

Les équations **de transport** : (composantes de conduction et de diffusion) :

$$\vec{J}_n = q \cdot p \cdot \mu_n \cdot \vec{E} + q \cdot D_n \cdot \nabla n \quad (\text{II.4a})$$

$$\vec{J}_p = q \cdot p \cdot \mu_p \cdot \vec{E} - q \cdot D_p \cdot \nabla p \quad (\text{II.4b})$$

$\Psi$  est le potentiel électrostatique,  $\rho$  la densité de charge,  $\epsilon_0 \epsilon_{si}$  la constante diélectrique,  $n$  et  $p$  les densités de porteurs,  $\tau_n$  et  $\tau_p$  les durées de vie,  $D_n$  et  $D_p$  les constantes de diffusion,  $\mu_n$  et  $\mu_p$  les mobilités des électrons et des trous dans le volume,  $E$  le champ électrique,  $J_n$  et  $J_p$  les densités de courant,  $q$  la charge élémentaire d'un électron,  $X$  et  $Y$  les coordonnées.

A l'aide de ces équations, le phénomène de transport des porteurs est clairement décrit avec prise en compte du mécanisme de diffusion ainsi que du phénomène de recombinaison.

➤ **La concentration des porteurs** est un paramètre essentiel, elle est décrite par la statistique de Boltzmann qui est une simplification de la fonction de distribution de Fermi-Dirac. Si le semi-conducteur est non dégénéré, le niveau de Fermi est distant des extrema des bandes permises (de valence ou de conduction) d'une énergie de plusieurs  $kT$ , l'approximation de Boltzmann est alors entièrement justifiée. La densité des porteurs intrinsèques est modélisée par le modèle OldSlotboom. Ce modèle décrit la structure de bandes classique du matériau utilisé, le silicium, c'est-à-dire une énergie de bande interdite de ce semi-conducteur de 1,11eV à température ambiante.

➤ **La mobilité des porteurs** dépend d'un facteur de volume (fonction du dopage) et un facteur de surface (fonction de la dispersion due aux phonons et des imperfections de surface). Des formulations empiriques sont utilisées [SZE1]. Elles prennent en compte la concentration des porteurs ("*DopingDependence*") et la température du réseau. Le terme de mobilité est également lié au champ électrique ("*Enormal*") dans la zone de charge d'espace où la jonction PN est polarisée en inverse ("*High FieldSaturation*").

➤ **Les mécanismes de génération-recombinaison** sont très importants. Plusieurs mécanismes illustrent la recombinaison des porteurs :

- Recombinaison Shockley-Read-Hall ("*SRH*" avec "*DopingDependence*"), ou recombinaison sur les niveaux profonds de la bande interdite du silicium (liée à la durée de vie des porteurs.).

- Recombinaison Auger ("*Auger*"), ou recombinaison bande à bande, est un phénomène qui se produit dans la zone de très forte concentration de dopage, en particulier au niveau des contacts ohmiques en surface.

- Génération par impact ou production de paires électron-trou par avalanche ("*Avalanche*"), liée au dopage et à la tension de polarisation en inverse.

En conclusion, l'ensemble des modèles utilisés en simulation est défini comme suit :

Propriétés physiques	Modèles physiques utilisés
Densité des porteurs intrinsèques	OldSlotboom
Mobilité des porteurs	DopingDependence Enormal HighFieldSaturation
Recombinaison des porteurs	Schockley-Read-Hall (SRH) DopingDependence Auger Avalanche

Ce paragraphe a décrit les différents modèles utilisés afin de résoudre les équations locales de la microélectronique. Il sera ensuite indispensable de valider ce choix (étape de calibrage) par des mesures expérimentales pour chaque génération de composants simulés. Cette étape décisive nécessite de disposer de structures tests parfaitement caractérisées, ce qui n'est pas toujours possible. Dans le cas contraire, les résultats des simulations donneront des indications qualitatives sur le comportement des composants soumis à des polarisations directes ou inverses.

### 2.3 LES AUTRES OUTILS DANS ISE

**Inspect-ISE** est un gestionnaire graphique, qui permet de tracer des courbes. Quant à **Picasso-ISE**, il permet de visualiser l'ensemble de la structure, le maillage qui lui est associé, ainsi que la répartition des grandeurs physiques (champ électrique, équipotentielles, lignes de courant...) dans les différentes régions du composant.

## 3 LES CARACTERISTIQUES STRUCTURELLES DES FLYMOS™

Le FLYMOS™ est un transistor VDMOS de puissance basé sur la technologie HDTMOS™, développée par Freescale. Le HDTMOS™ présente une grande densité d'intégration de l'ordre de 2 millions de cellules/cm<sup>2</sup>.

### 3.1 LE HDTMOS™

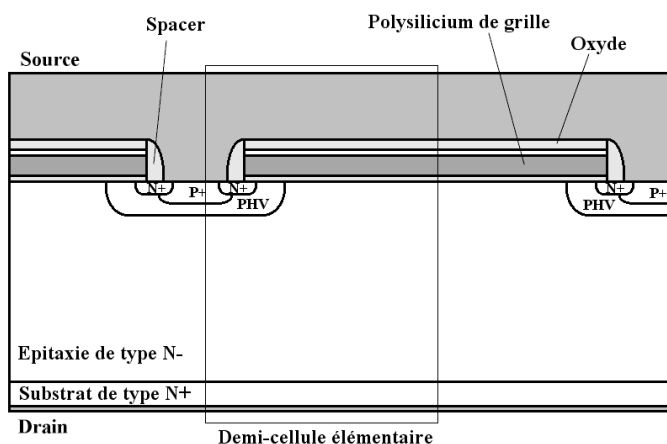
Le transistor HDTMOS™ 45V est actuellement utilisé dans les applications pour les batteries 12V. Nous l'utiliserons donc comme composant de référence pour mettre au point les simulations prédictives qui permettront le développement des transistors FLYMOS™ 65V et 75V.

Comme le montre la coupe schématique de la cellule centrale de la Figure 8, le transistor HDTMOS™ est un transistor VDMOS.

Les transistors HDTMOS™ sont des transistors à canal N. Il est intéressant de noter l'absence de l'implantation N de source dans les cellules de bord : celles-ci ne sont pas des transistors et ne participent donc pas à la conduction de courant. Leur rôle est uniquement de supporter la tension dans le cas d'une polarisation en inverse.

Au niveau de la forme géométrique, les structures HDTMOS™ (et donc FLYMOS™) étudiées sont de deux types : des cellules de forme octogonale disposées en quinconce

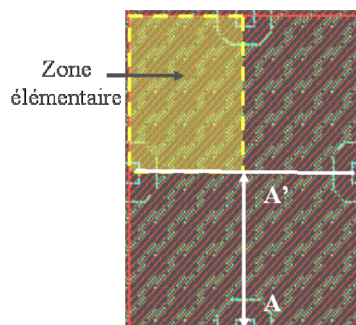
(technologie Squish Square) et des cellules en formes de croix alignées (technologie WELLFET™).



**Figure 22:** Coupe schématique d'un transistor HDTMOS™ développé par Motorola.

### 3.2 *TECHNOLOGIE SQUISH SQUARE*

La configuration géométrique de la cellule élémentaire diffusée PHV est présentée sur la Figure 23. On peut signaler que la région élémentaire (zone de diffusion PHV) du transistor HDTMOS™ a une forme géométrique qui ressemble à un "octogone". Une cellule élémentaire se compose de quatre demi-cellules disposées en quinconce, d'où le nom de Squish Square.



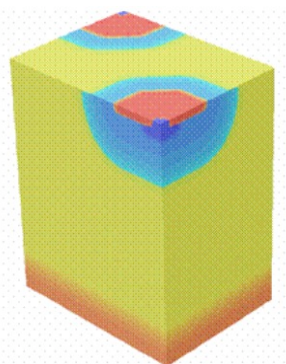
**Figure 23:** Géométrie de la diffusion PHV du transistor HDTMOS™ développé par Motorola.

La simulation du procédé de fabrication est réalisée à l'aide du logiciel de ATHENA-SILVACO [SIL], il permet des simulations bidimensionnelles à l'aide du simulateur SUPREM 4. ATHENA permet de simuler toutes les étapes technologiques, telles que la croissance ou le dépôt d'oxyde et/ou l'implantation et la redistribution de différents dopants. ATHENA permet également de simuler des structures unidimensionnelles. La disposition en quinconce des cellules du HDTMOS™ entraîne l'apparition de phénomènes tridimensionnels. Afin de pouvoir simuler le procédé de fabrication, nous avons pris en compte tous les axes de symétrie de manière à définir une zone élémentaire qui est présentée par la partie jaune sur la Figure 23.

La simulation complète du procédé de fabrication doit tenir compte des différentes couches et régions d'implantation, mais elle ne nécessite pas la prise en compte des interactions entre les deux quarts de cellule. C'est pour ces raisons que nous avons limité la zone de simulation au segment A-A' de la Figure 23.

La simulation des caractéristiques électriques du composant est réalisée avec le logiciel DESSIS-ISE. Nous serons confrontés aux mêmes problèmes rencontrés avec le logiciel ATHENA-SILVACO, puisqu'il faudra simuler électriquement une structure bidimensionnelle alors que la géométrie est tridimensionnelle. Les simulations seront faites selon le même segment A-A' que les simulations de procédé de fabrication. Le simulateur DESSIS-ISE prendra alors une épaisseur par défaut de  $1\mu\text{m}$  que nous corrigerons le cas échéant (en particulier pour le calcul du  $R_{ON}$ ).

Il est tout même possible d'extraire à partir de la simulation du procédé de fabrication des profils unidimensionnels, qui devront ensuite être extrapolés en deux dimensions. Les diffusions latérales seront ajustées afin de corréliser avec la simulation physique d'une structure issue de la simulation de procédé de fabrication. Une fois les diffusions latérales ajustées, il suffira alors d'extrapoler les profils en trois dimensions (Figure 24).



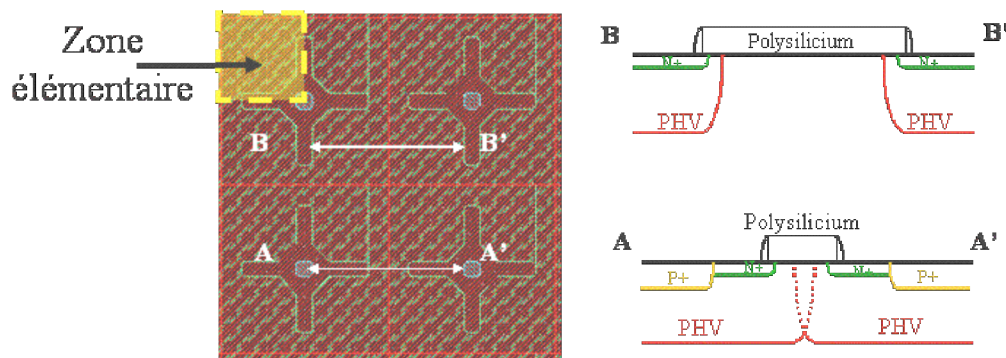
**Figure 24:** Structure 3D du HDTMOST™, Squish Square.

### 3.3 TECHNOLOGIE WELLFET™

#### 3.3.1 Structure centrale du WELLFET™

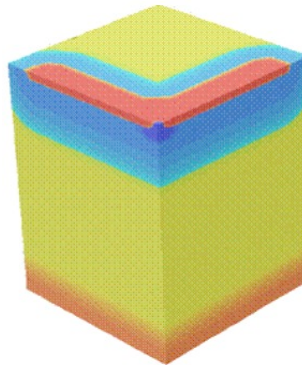
Tout comme le HDTMOST™, le WELLFET™ est un transistor MOS vertical de puissance, et son procédé de fabrication est le même que pour le HDTMOST™, mais sa géométrie particulière doit permettre d'améliorer ses performances en terme de compromis entre la résistance spécifique à l'état passant et la tenue en tension.

La géométrie d'une cellule élémentaire est caractérisée par une croix dans laquelle le PHV est implanté ; le  $N^+$  est implanté dans pratiquement toute la croix, sauf dans la zone bleue au centre. Le  $P^+$  est implanté (après Spacer) au centre de la croix pour permettre d'avoir un bon contact du PHV. Les croix élémentaires sont alignées horizontalement et verticalement les unes par rapport aux autres (Figure 25).



**Figure 25:** Géométrie des transistors WELLFET™.

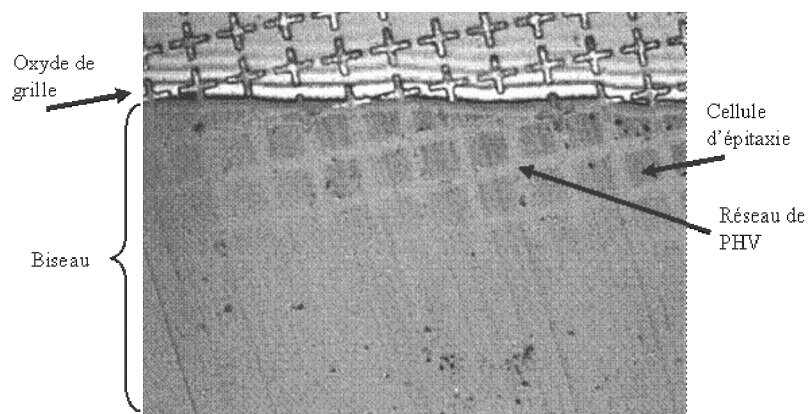
Afin de pouvoir simuler le WELLFET™, nous avons pris en compte tous les axes de symétrie de manière à définir une zone élémentaire qui est présentée par la partie jaune sur la Figure 25. La Figure 26 représente une structure en trois dimensions de la zone élémentaire du WELLFET™.



**Figure 26:** Structure 3D du WELLFET™.

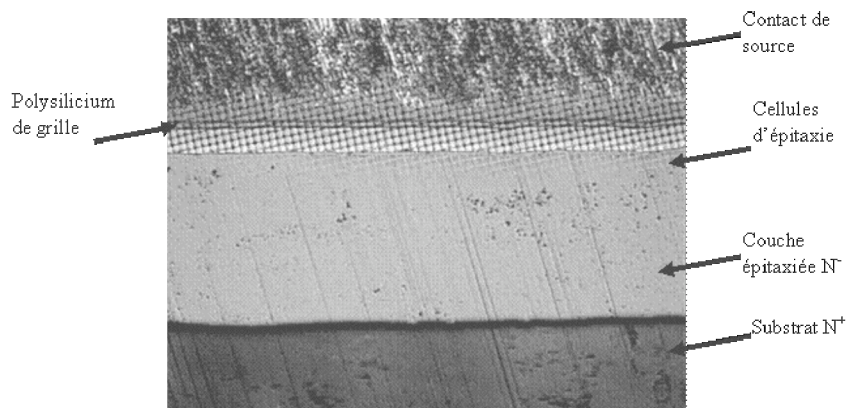
Afin de bien comprendre le principe du WELLFET™, il est intéressant de s'attarder sur deux points géométriquement remarquables (Figure 25). Le premier concerne la coupe B-B' située entre deux branches de croix parallèles : nous remarquons qu'il existe deux régions de PHV séparées par une région d'épitaxie remontant sous le polysilicium de source. Le second, concerne la coupe A-A' située entre les deux branches de croix colinéaire : nous constatons que les deux régions de PHV se rejoignent sous le polysilicium pour ne former qu'un seul PHV. Ceci est réalisé avec une largeur de polysilicium optimisée, de manière à permettre aux deux régions de PHV de se rejoindre grâce à leur diffusion latérale [REY].

Ce phénomène se produit entre chaque branche de croix colinéaires, alors que les régions PHV restent séparées entre chaque branche de croix parallèles. Ceci conduit à l'établissement d'un réseau de PHV unique délimitant des cellules d'épitaxie, présentées sur la Figure 27. Cette figure a été obtenue en réalisant un biseau puis une révélation des régions P. En haut de la figure, nous retrouvons les croix caractéristiques de la géométrie WELLFET™, nous une remarquons également une délimitation blanche qui correspond à l'interface entre l'oxyde de grille et le silicium. En surface, nous retrouvons les croix dessinées par l'implantation  $N^+$  avec l'implantation  $P^+$  au milieu. Dans le silicium, nous trouvons aussi le PHV qui se rejoint grâce à la diffusion latérale et forme ainsi un réseau. Ce réseau fait apparaître des régions d'épitaxie séparées les unes des autres en surface et formant ainsi des "cellules d'épitaxie" en surface et des "puits" ("well" en anglais) d'épitaxie en profondeur, d'où son nom "WELLFET™".



**Figure 27:** Réseau de PHV et cellules d'épitaxie.

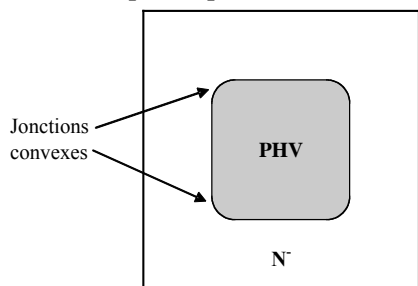
La photographie présentée à la Figure 28 a été réalisée avec la même méthode que précédemment. Elle nous permet de voir les différentes composantes du WELLFET™, depuis le contact de source jusqu'au substrat N<sup>+</sup>.



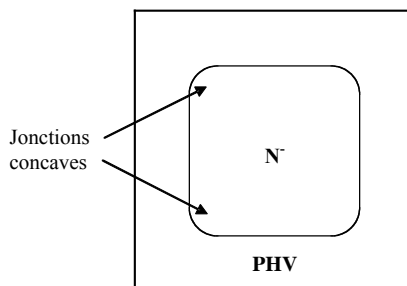
**Figure 28:** Biseau sur un transistor WELLFET™.

### 3.3.2 *Etude analytique de la jonction concave*

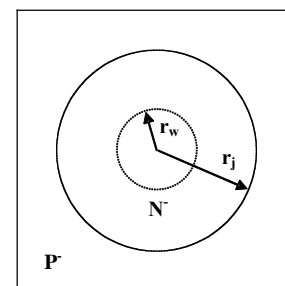
Les jonctions cylindriques et sphériques convexes sont les plus courantes. Elles apparaissent lors des redistributions après implantation d'impureté (Figure 29). Les jonctions cylindriques et sphériques concaves se manifestent dans notre structure de puissance multicellulaire (Figure 30), mais peuvent aussi apparaître dans les coins engendrés en haut des tranchées [HAK].



**Figure 29:** Présentation de jonctions cylindriques et sphériques convexes vues de dessus.



**Figure 30:** Présentation de jonctions cylindriques et sphériques concaves vues de dessus.



**Figure 31:** Schéma d'une jonction cylindrique concave.

À notre connaissance, la seule étude analytique des performances de la jonction concave par rapport à la jonction plane a été réalisée par H. HAKIM [HAK]. Son étude est basée sur la résolution de l'équation de Poisson en coordonnées polaires, en considérant le cas d'une jonction cylindrique concave telle que celle présentée à la Figure 31, où  $r_j$  représente le rayon de la jonction et  $r_w$  la courbure du bord de la zone de charge d'espace au moment du claquage.

L'étude analytique a permis de calculer le rayon optimum  $r_{j\text{cyl}}$  donné par (II.5) correspondant à l'extension maximale de la zone de charge d'espace lorsqu'elle est en non limitation, en négligeant  $r_w^2$  devant  $r_j^2$ . Les expressions reliant la tension de claquage (II.6) et le champ électrique (II.7) au claquage d'une jonction cylindrique à celles d'une jonction plane infinie ont été établis tout en conservant les mêmes approximations.

$$r_{j\text{cyl}} = 4,6 \times 10^{10} \times N_d^{-\frac{7}{8}} \approx 184\% \times W_{bp} \quad (\text{II.5})$$

$$V_{bcyl} \approx \frac{qN_d r_{jcy1}^2}{2\epsilon_s} = 8.10^{13} \times N_d^{-\frac{3}{4}} \approx 171\% \times V_{bp} \quad (II.6)$$

$$E_{bcyl} \approx \frac{qN_d r_{jcy1}}{2\epsilon_s} = 3504 \times N_d^{\frac{1}{8}} \approx 92\% \times E_{bp} \quad (II.7)$$

Ces expressions montrent que le champ maximum au claquage est supérieur à celui de la jonction plane infinie. Nous pouvons ainsi noter que, lorsque nous sommes en présence de jonctions concaves, la limitation sera due à la jonction plane associée. Pour un dopage  $N_d = 1,1.10^{16} \text{ cm}^{-3}$ , nous trouvons  $r_{jcy1} \approx 4\mu\text{m}$ ,  $V_{bcyl} = 75\text{V}$  et  $E_{bcyl} = 3,5.10^5 \text{ V/cm}$ , alors que la tension de claquage d'une jonction plane est de :  $V_{bp} = 54\text{V}$ .

Lorsque nous considérons une jonction sphérique concave, l'expression du rayon optimum  $r_{jsph}$  devient :

$$r_{jsph} = 6,5 \times 10^{10} \times N_d^{-\frac{7}{8}} \approx 260\% \times W_{bp} \quad (II.8)$$

L'expression du maximum de tenue en tension et du champ électrique correspondant s'écrivent sous la forme :

$$V_{bsph} \approx \frac{qN_d r_{jcy1}^2}{6\epsilon_s} = 1.1.10^{14} \times N_d^{-\frac{3}{4}} \approx 234\% \times V_{bp} \quad (II.9)$$

$$E_{bsph} \approx \frac{qN_d r_{jcy1}}{3\epsilon_s} = 3329 \times N_d^{\frac{1}{8}} \approx 87\% \times E_{bp} \quad (II.10)$$

Ces expressions montrent que la tenue en tension de ce type de jonction est bien supérieure aux jonctions plane et cylindrique équivalentes, avec un champ maximal plus réduit. En effet, pour  $N_d = 1,1.10^{16} \text{ cm}^{-3}$ , nous trouvons  $r_{jsph} \approx 6\mu\text{m}$ ,  $V_{bsph} = 100\text{V}$  et  $E_{bsph} = 33.10^5 \text{ V/cm}$ , alors que la tension de claquage d'une jonction plane est de :  $V_{bp} = 54\text{V}$ .

Dans notre cas, la jonction concave se situe dans les cellules centrales, ce qui assure une autoprotection centrale et assure aux composants une tenue en tension optimale.

#### **4 ETUDE DES PERFORMANCES DU TRANSISTOR FLYMOS™ EN REGIME BLOQUE**

En plus de ses propriétés en conduction, une des caractéristiques principales des HDTMOS™, comme de n'importe quel autre composant MOS de puissance, est sa capacité à tenir la tension drain - source élevée à l'état bloqué.

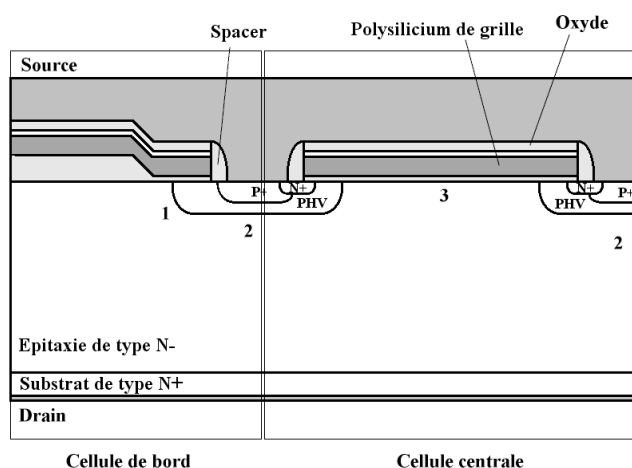
Ce paragraphe est consacré à l'étude de la tenue en tension des composants HDTMOS™ de puissance et plus précisément aux mécanismes de claquage qui les gouvernent. Nous analyserons cette tension maximale (dite tension de claquage) et nous établirons les expressions qui lient cette tension aux deux paramètres, épaisseur et dopage, de la couche épitaxiée N<sup>-</sup>.

A l'état bloqué, c'est-à-dire lorsque la tension grille - source est inférieure à la tension de seuil, la tension appliquée entre le drain et la source est soutenue principalement par la zone de charge d'espace qui apparaît dans la région de drift. Le transistor HDTMOS™ peut

alors être assimilé à une diode  $P^+N^-N^+$  polarisée en inverse. De ce fait, le traitement de la tension de claquage  $BV_{ds}$  est réalisé en fonction des propriétés physiques  $N^-$  de la jonction  $P^+N^-$ . On considèrera que c'est une jonction plane dans le cas du transistor HDTMOS™.

#### 4.1 LES DIFFERENTES ZONES DE CLAQUAGE

Afin d'analyser la tenue en tension du transistor HDTMOS™, il convient tout d'abord de préciser les zones de claquage possibles dans sa structure (Figure 32). Il s'agit des zones latérales des dispositifs (1) où les effets de courbure de jonction sont prépondérants, des zones frontales (2) où l'extension de la charge d'espace peut être ou ne pas être limitée, des zones de surface (3) de la région peu dopée recouverte d'oxyde de grille, ou bien de l'oxyde lui-même (4). Les problèmes liés à la tenue en tension de ces diverses zones ont été largement étudiés par M. Gharbi [GHA1]. Nous allons brièvement rappeler dans un premier temps les résultats relatifs aux zones (1), (3) et (4). Puis nous traiterons de manière plus approfondie le cas de la zone frontale (2) qui est intrinsèquement lié au dopage ( $N_D$ ) et à l'épaisseur de la couche épitaxiée (H).



**Figure 32:** Localisation des zones de claquage dans un transistor HDTMOS™.

Compte tenu de la structure multicellulaire des diffusions P qui constituent les caissons de canal, c'est sur les bords du dispositif, là où la courbure de jonction est maximale, que peut se produire une limitation en tension par le phénomène de claquage par avalanche. A l'heure actuelle, de nombreuses méthodes de garde ont été proposées, pour éviter cet effet latéral. La tendance consiste à minimiser "les effets de surface" et à "accroître" le rayon de courbure de la jonction afin d'atteindre la tension de claquage théorique d'une jonction plane  $BV_{bp}$  [GHA1], [BOI] et [SUN1]. En pratique, la mise en place de terminaisons adéquates (gardes par anneaux flottants, anneaux polarisés, jonctions implantées appelées aussi "terminaisons par jonction", le Sipos et les plaques de polysilicium résistives), dans un composant MOS de puissance, permet à celui-ci de tenir une tension  $BV_{ds}$  pouvant atteindre environ 90 % de la tension de claquage d'une jonction plane  $BV_{bp}$  [GHA1].

Les problèmes concernant la tenue en tension en surface de la zone épitaxiée sous la grille (3) et la tenue en tension dans l'oxyde de grille (4) ont été traités entre autres par T.P Pham [PHA] et M. Gharbi [GHA1].

Dans le cas du transistor HDTMOS™, sujet de cette étude, qui est exempt d'un "surdopage" en surface et auquel on applique, en régime bloqué, une tension nulle entre la grille et la source, il apparaît que la valeur de la tension de claquage de surface est toujours



supérieure à la tension d'avalanche de la jonction plane abrupte  $P^+N^-$ . Cela exclut donc un phénomène de claquage en surface.

Dans ce qui suit, nous nous concentrerons donc plus précisément sur la jonction plane  $P^+N^-$  (2), en considérant que c'est elle qui impose le claquage du composant, soit parce qu'elle claque la première, soit parce qu'elle conditionne le claquage en terminaison.

#### 4.2 TENSION DE CLAQUAGE DE LA DIODE CONVENTIONNELLE $P^+N^-N^+$

Plusieurs auteurs ont proposé des expressions approximatives [GHA1], [PHA], [CEZ1] et [ROS1] liant l'extension de la charge d'espace  $W_N$  et le dopage  $N_D$  de la couche  $N^-$  à la tension de claquage  $BV_{dss}$ . Nous retiendrons plus particulièrement l'approche de Gharbi [GHA1] ; il a considéré deux cas de figure type de la jonction  $PN^-$  :

- la jonction plane infinie ; cela correspond au cas où l'épaisseur de la zone de drift  $N^-$  est plus grande que l'extension de la zone de charge d'espace (Figure 33).
- la jonction plane en limitation de charge d'espace ou en perçage ; la zone de drift  $N^-$  est alors complètement dépeuplée au moment du claquage (Figure 34),

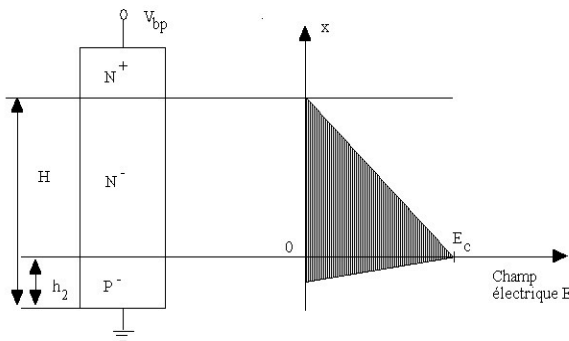
Ses calculs sont apparus comme étant les plus rigoureux car ils sont notamment basés sur des expressions de coefficients d'ionisation  $\alpha_n$  et  $\alpha_p$  non égaux.

Dans le cas d'une jonction en limitation de charge d'espace, il a considéré que le champ critique  $E_C$  restait identique à celui d'une jonction infinie, puis a évalué le couple "épaisseur/dopage" minimisant la résistance par surface unitaire de la zone  $N^-$ .

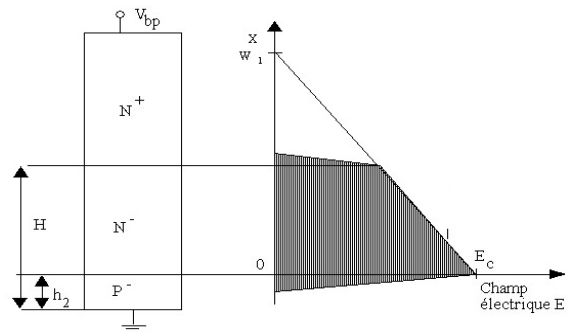
Ce couple s'exprime, dans ce cas, par les relations suivantes :

$$W_N \text{ (cm)} = 1,87 \cdot 10^{-6} \cdot BV_{dss}^{\frac{7}{6}} \tag{II.11}$$

$$N_D \text{ (cm}^{-3}\text{)} = 1,85 \cdot 10^{18} \cdot BV_{dss}^{-\frac{4}{3}} \tag{II.12}$$



**Figure 33:** Répartition du champ électrique au claquage dans une diode  $P^+N^-N^+$  : jonction plane infinie.



**Figure 34:** Répartition du champ électrique au claquage dans une diode  $P^+N^-N^+$  : jonction plane en limitation de charge d'espace.

Dans le cas d'une jonction infinie, il a obtenu les expressions suivantes :

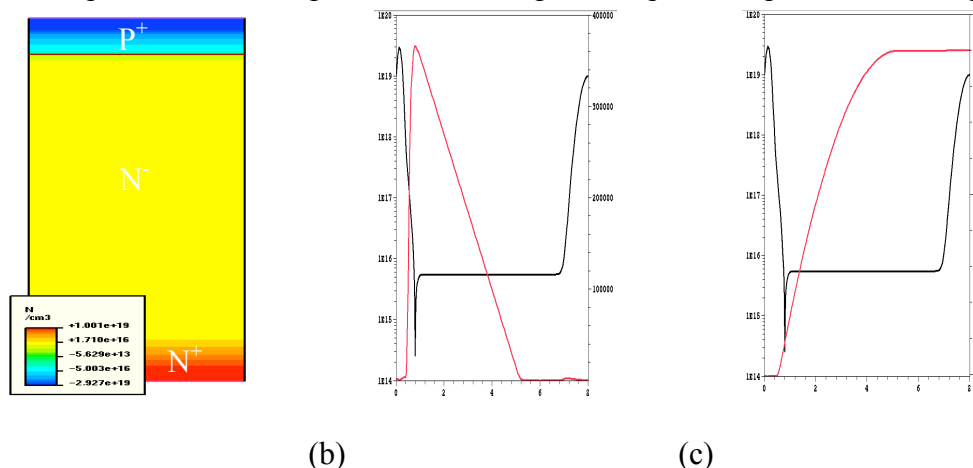
$$W_N \text{ (cm)} = 2,44 \cdot 10^{-6} \cdot BV_{dss}^{\frac{7}{6}} \tag{II.13}$$

$$N_D \text{ (cm}^{-3}\text{)} = 2,16 \cdot 10^{18} \cdot BV_{dss}^{-\frac{4}{3}} \tag{II.14}$$

La résistance de drift et la tenue en tension sont donc étroitement liées car elles dépendent toutes les deux de l'épaisseur et du dopage de la couche épitaxiée. Le compromis

"Résistance de drift / Tenue en tension" est donc un des paramètres d'importance des composants MOS de puissance ; ce compromis devient d'autant plus important que le calibre en tension augmente.

Sur la Figure 35.a, nous présentons les résultats de simulations numériques du claquage par avalanche d'une diode conventionnelle P<sup>+</sup>N<sup>-</sup>N<sup>+</sup> (Figure 24.a). Cette structure classique claque à 90 Volts (Figure 35.a) pour un dopage de  $5,5 \cdot 10^{15} \text{ cm}^{-3}$ . Les Figures 35.b et 35.c présentent, quant à elles, la répartition du champ électrique et du potentiel au claquage.



**Figure 35:** Diode conventionnelle P<sup>+</sup>N<sup>-</sup>N<sup>+</sup> : Structure simulée (a), répartition du champ électrique (b) ainsi que la répartition du potentiel (c) au claquage.

Nous pouvons remarquer que le champ électrique est bien linéaire dans la zone de transition et que le claquage se produit bien au droit de la jonction P<sup>+</sup>N<sup>-</sup>. On peut observer également, que l'allure du potentiel est bien parabolique. Le claquage se produit bien en situation de non perçage.

Nous avons d'abord choisi d'étudier une diode conventionnelle P<sup>+</sup>N<sup>-</sup>N<sup>+</sup> de 80 Volts de tension de claquage (Figure 35.a). Nous nous sommes placé dans le cas où l'épaisseur de la couche N<sup>-</sup> (H) était supérieure à l'extension de la zone de charge d'espace ( $W_N$ ). Nous travaillons donc en situation de "non perçage". On peut ainsi considérer que le claquage se produit en configuration de charge d'espace triangulaire. Nous avons fixé le dopage de la couche N<sup>-</sup> à  $5,5 \cdot 10^{15} \text{ cm}^{-3}$ . Cette donnée a été estimée à partir de l'expression traduisant l'évolution de la tension de claquage en fonction du dopage d'une jonction plane infinie en non perçage [GHA1] :

$$V_{bp} \approx 5,65 \cdot 10^{13} \cdot N_D^{-\frac{3}{4}} \quad (\text{II.15})$$

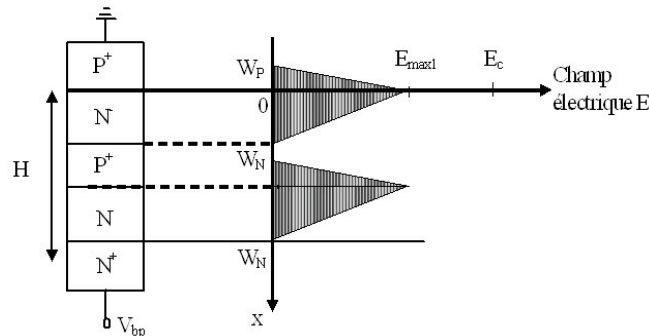
Avec un dopage de  $5,5 \cdot 10^{15} \text{ cm}^{-3}$ , on obtient une tenue en tension théorique de la jonction plane (d'après les formules de Gharbi) de  $V_{bp} = 88 \text{ Volts}$ .

La largeur de la couche N<sup>-</sup> qui, doit dans ce cas de figure, être égale à  $4,5 \text{ } \mu\text{m}$ , a été surévaluée afin d'éviter tout phénomène de perçage lors de l'intégration d'îlots P<sup>+</sup>. De ce fait, la largeur choisie est égale à  $7 \text{ } \mu\text{m}$ .

### 4.3 LA FLI-DIODE

Afin d'améliorer le compromis "Tenue en tension / Résistance à l'état passant" des transistors MOS nous utiliserons le concept de la FLi-Diode [CEZ1].

#### 4.3.1 Cellule centrale



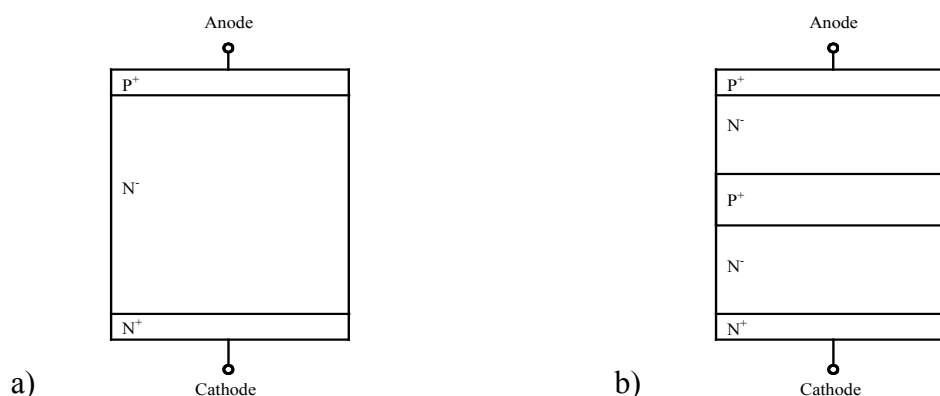
**Figure 36:** Répartition du champ électrique au claquage dans une FLi-Diode comportant 1 îlot flottant.

En se plaçant dans le cas d'une jonction plane infinie, on relève qu'à l'état bloqué, la tenue en tension de la diode est assurée par les zones N<sup>-</sup>, les régions P<sup>+</sup> agissant comme des diviseurs de champ électrique (et donc de potentiel).

La Figure 36 précise la configuration de la charge d'espace dépeuplée qui s'étend dans les différentes régions N<sup>-</sup> de la FLi-Diode pour un dopage des couches N<sup>-</sup> identique à celui d'une diode conventionnelle P<sup>+</sup>N<sup>-</sup>N<sup>+</sup>. Nous avons pris ici le cas d'une FLi-Diode comportant 1 îlot P<sup>+</sup>, qui sera la base de notre étude. L'étude d'une FLi-Diode comportant plusieurs anneaux a été menée par N. CEZAC [CEZ2].

Pour un même dopage des zones N<sup>-</sup>, le champ électrique maximal qui apparaît au niveau des jonctions P<sup>+</sup>N<sup>-</sup> est plus faible dans le cas d'une FLi-Diode que dans une diode conventionnelle P<sup>+</sup>N<sup>-</sup>N<sup>+</sup>. Il est donc possible, pour la même tension, d'augmenter le dopage des couches N<sup>-</sup>, et donc de diminuer la résistance à l'état passant.

Afin de mieux cerner l'effet "diviseur de champ électrique", nous allons comparer les performances électriques, en régime bloqué, des structures présentées sur la Figure 37.

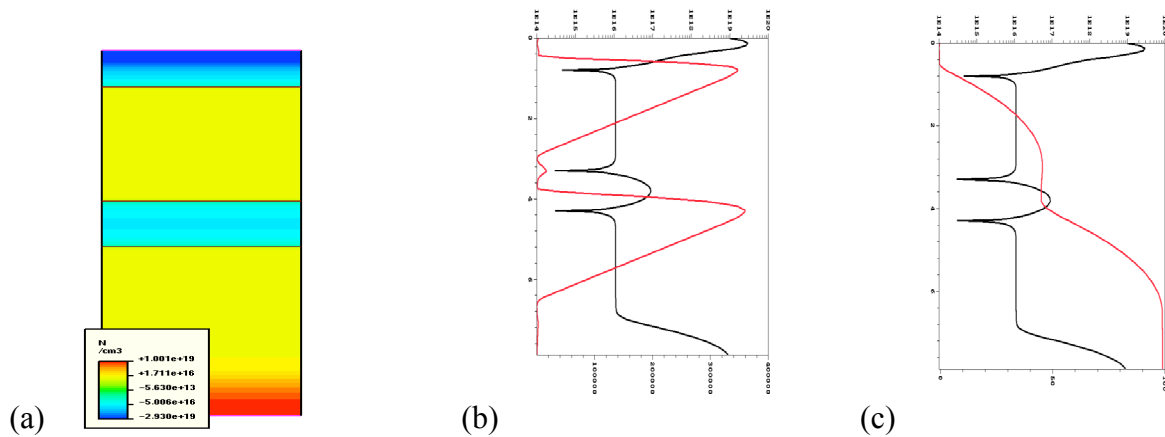


**Figure 37:** Coupes schématiques des structures étudiées : (a) diode conventionnelle P<sup>+</sup>N<sup>-</sup>N<sup>+</sup> et (b) FLi-Diode comportant 1 îlot flottant.

La largeur et le dopage des couches P<sup>+</sup> et N<sup>+</sup> ont été respectivement fixés égaux à 0,8 μm et 10<sup>18</sup> cm<sup>-3</sup> pour l'anode et à 1 μm et 10<sup>20</sup> cm<sup>-3</sup> pour la cathode. La couche P<sup>+</sup> flottante, présente un dopage uniforme égal à 10<sup>17</sup> cm<sup>-3</sup> et une épaisseur de 1 μm.

Une FLi-Diode comportant un îlot a été ensuite étudiée (Figure 37.a). Pour garder une même épaisseur totale de diode, sa largeur a été choisie de manière à ce que les deux bandes N<sup>-</sup> puissent chacune soutenir respectivement au moins 40 Volts. Pour cela, le dopage des couches N<sup>-</sup> est augmenté par rapport à celui de la diode conventionnelle P<sup>+</sup>N<sup>-</sup>N<sup>+</sup>.

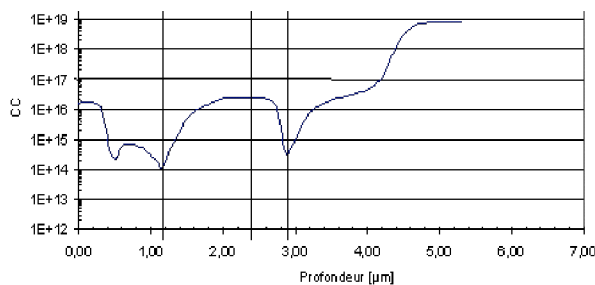
La tension de claquage dépend essentiellement de deux paramètres : la valeur du dopage (qui est imposée à  $1,1 \cdot 10^{16} \text{ cm}^{-3}$ ) et la distance qui sépare les deux régions P. Avec cette distance fixée après simulation à  $2,5 \mu\text{m}$ , nous obtenons une tenue en tension de l'ordre de 100V, ce qui correspond à deux fois la tenue en tension de la diode conventionnelle à dopage équivalent. Notons que les simulations de la FLi-Diode sont ici des simulations unidimensionnelles.



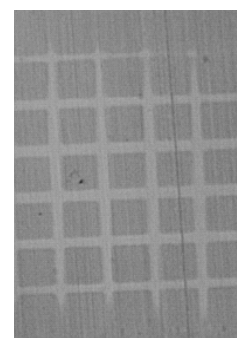
**Figure 38:** FLi-Diode : Structure simulée optimale, (a) répartition du champ électrique (b) ainsi que la répartition du potentiel (c) au claquage.

L'îlot P joue donc bien son rôle de diviseur de champ électrique. On peut également observer que le potentiel, qui est parabolique par morceaux, est uniquement supporté par les couches N<sup>-</sup>. En effet, on n'observe aucune chute de tension dans l'îlot P. On peut noter que le dopage a été multiplié par 2 entre la structure conventionnelle et la FLi-Diode de même tenue en tension.

Nous avons implémenté la FLi-Diode sur silicium. Une SRP a été effectuée (Figure 39), ainsi qu'un biseau sur la FLi-Diode que nous avons plongée dans une solution "Netch". Cette solution permet de révéler les régions P dans une épitaxie N<sup>-</sup> (En gris clair sur la Figure 40).



**Figure 39:** SRP sur la FLi-Diode.

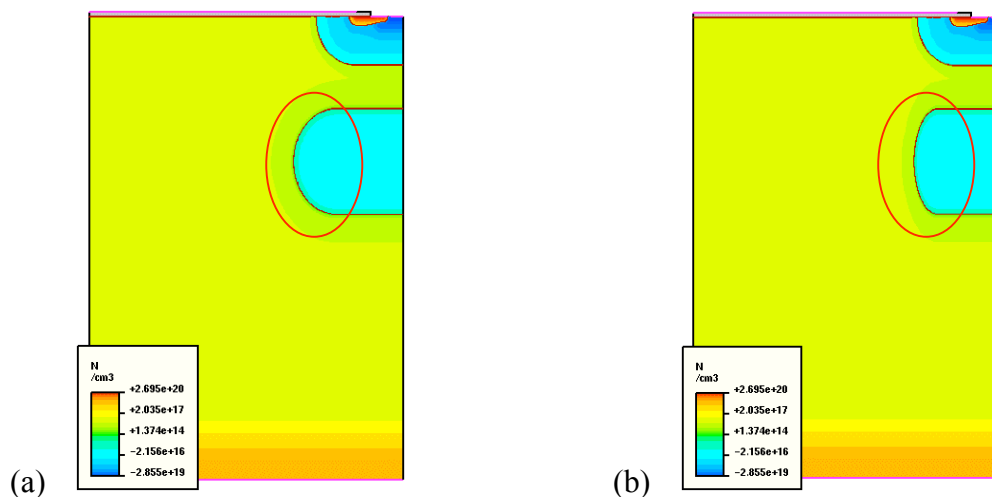


**Figure 40:** Biseau sur la structure FLi-Diode.

La différence majeure réside au niveau de l'îlot flottant car en simulation nous obtenons une épaisseur de  $1 \mu\text{m}$  et un pic de concentration de  $1 \cdot 10^{17} \text{ cm}^{-3}$ , contre  $1,6 \mu\text{m}$  d'épaisseur et une concentration maximale de  $3,5 \cdot 10^{16} \text{ cm}^{-3}$  par la mesure SRP.

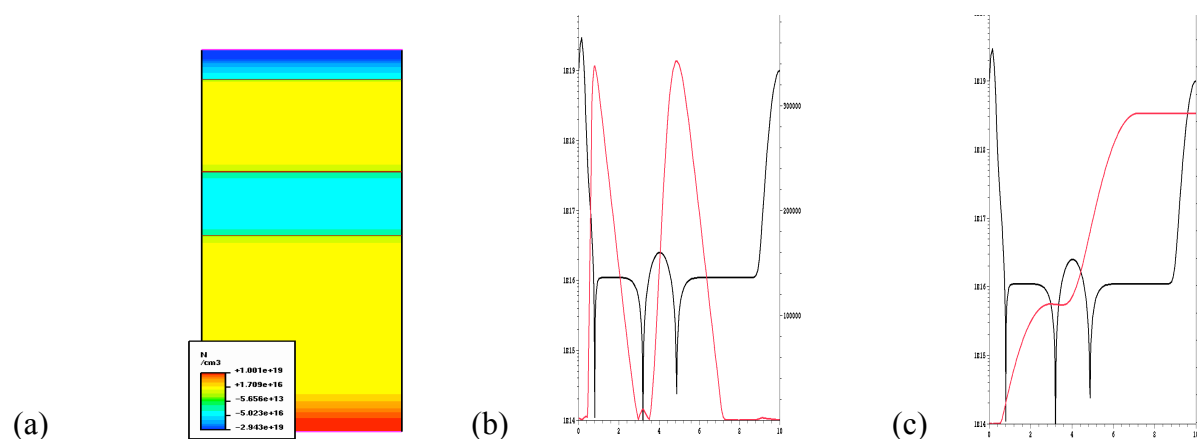
Sur la Figure 40, nous obtenons alors une largeur de  $1,7 \mu\text{m}$  (maille du réseau en gris clair), pour une ouverture de masque de  $1 \mu\text{m}$ , ce qui correspond à une diffusion latérale de  $0,35 \mu\text{m}$ , soit un coefficient multiplicateur pour la diffusion latérale de  $0,44$  au lieu de  $0,80$  précédemment utilisé pour la simulation.

La Figure 41 représente la différence entre une diffusion latérale avec un coefficient multiplicateur de  $0,80$  (a) et de  $0,44$  (b).



**Figure 41:** Différence entre une diffusion latérale ayant un coefficient multiplicateur de  $0,8$  (a) et de  $0,44$  (b).

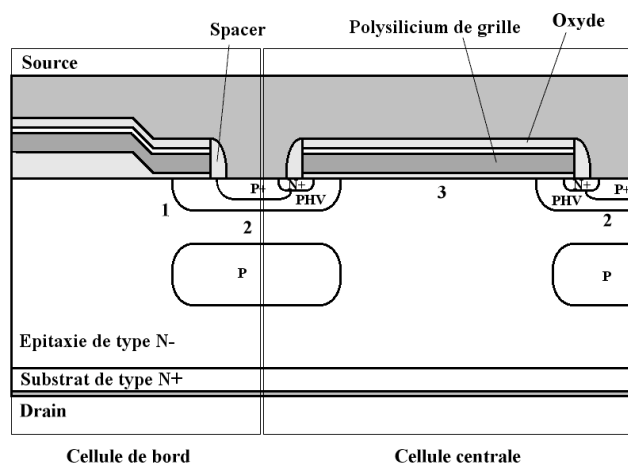
Nous avons effectué une nouvelle série de simulations, tenant compte de ces premières données "silicium", afin de déterminer la distance optimale séparant les deux régions P ( $1,6 \mu\text{m}$  d'épaisseur et un pic de concentration de  $3,5 \cdot 10^{16} \text{ cm}^{-3}$ , pour l'îlot). Cette distance a été fixée à  $2,2 \mu\text{m}$ . Dans cette configuration la tenue en tension obtenue est supérieure à  $100\text{Volts}$ .



**Figure 42:** FLi-Diode : Structure simulée optimale, (a), répartition du champ électrique (b) et répartition du potentiel (c) au claquage.

### 4.3.2 Cellule de bord

Nous avons vu que pour obtenir une tenue en tension identique à celle du transistor VDMOS, le dopage de la couche épitaxiée  $N^-$  du transistor FLYMOS<sup>TM</sup> devait être augmenté. L'inconvénient majeur est que cette augmentation doit provoquer le claquage prématuré des cellules de bord (claquage au niveau des jonctions cylindriques (1) ou sphériques (1)) (Figure 43).



**Figure 43:** Localisation des zones de claquage dans une structure de bord du FLYMOS™.

Toutes les simulations des différentes structures de bord étudiées, sont des simulations bidimensionnelles.

#### 4.3.2.1 Claquage d’une structure FLYMOS™, sans structure de protection

Supposons tout d’abord que le transistor FLYMOS™ n’ait aucune terminaison (Figure 44).



**Figure 44:** Dopage du FLYMOS™ sans structure de garde.



**Figure 45:** Répartition du champ électrique dans le FLYMOS™ sans structure de garde.

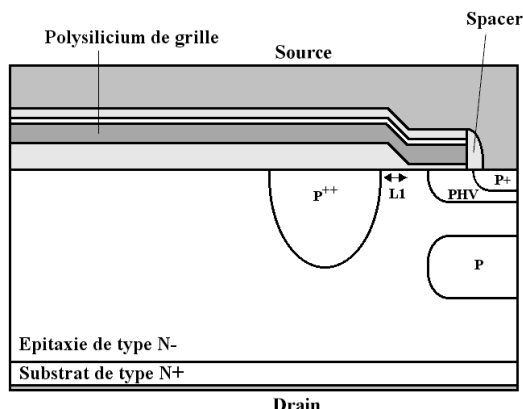
Dans ce cas, la Figure 45 montre les deux régions qui peuvent être responsables du claquage :

- La région de courbure PHV,
- La région située sous la fin de métallisation de grille en surface du silicium.

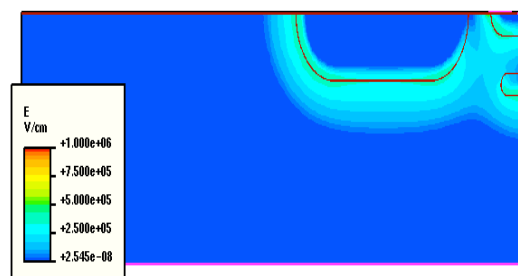
La tenue en tension simulée d’une telle structure est de 36 Volts d’où l’obligation de protéger à la fois la région située sous la fin de métallisation de grille et la courbure du PHV. Pour cela nous allons étudier tout d’abord les "terminaisons classiques", à savoir les anneaux de gardes et les JTE ("Junction Termination Extension"). Le principe de toutes les terminaisons que nous allons proposer est de diviser le champ électrique maximal en plusieurs parties afin d’augmenter la tenue en tension.

#### 4.3.2.2 Utilisation d’anneaux de garde

Notre étude se base sur le principe des anneaux de garde, qui est de limiter le champ électrique en surface pour qu’il reste, autant que possible, inférieur à la valeur du champ critique lorsque la tension inverse augmente. Nous nous sommes donc basé sur ce principe afin de proposer la structure n°1, Figure 46. La distance  $L1$ , entre la fin de métallisation de grille et l’anneau de garde, est de  $1\mu\text{m}$ , pour une tenue en tension de 75 Volts.



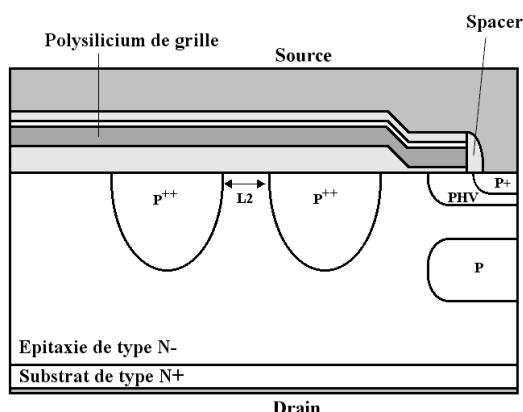
**Figure 46:** Coupe schématique de la structure n°1 avec un anneau de garde.



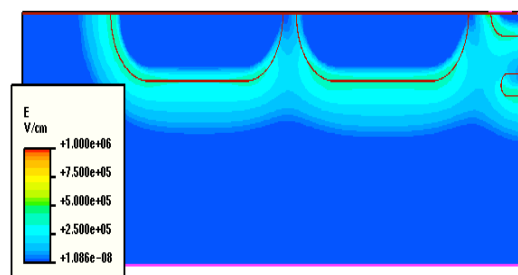
**Figure 47:** Répartition du champ électrique au claquage avec un anneau de garde.

La Figure 47 représente la répartition du champ électrique de la cellule de bord au claquage avec un anneau de garde. Sur cette figure, nous pouvons remarquer l'homogénéité du champ électrique entre l'anneau de garde, le puit flottant et la jonction PHV/épitaxie N-. Cette structure présente une tenue en tension de 65 Volts.

La Figure 48 montre la coupe schématique de la nouvelle structure de bord, sur laquelle nous avons donc décidé d'introduire un deuxième anneau. La distance séparant les deux anneaux de garde a été fixée à  $0,7\mu\text{m}$ .



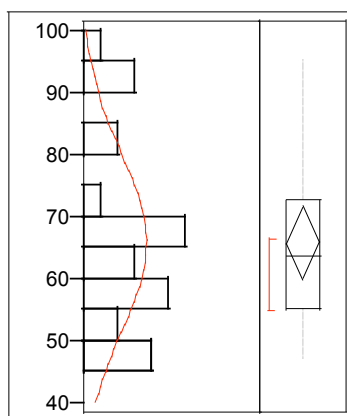
**Figure 48:** Coupe schématique de la structure n°1 avec deux anneaux de garde.



**Figure 49:** Répartition du champ électrique au claquage de la structure n°1 avec deux anneaux de garde.

La Figure 49 montre la répartition du champ électrique de la cellule de bord optimisée, au claquage. Nous pouvons remarquer une homogénéité du champ électrique entre les deux anneaux de garde, l'îlot flottant et la jonction PHV/épitaxie N-. Cette structure affiche une tenue en tension de 84 Volts.

Cette étude a permis de mettre au point, à l'aide de la simulation 2D, les paramètres utiles pour implémenter cette structure sur silicium. La Figure 36 montre les mesures effectuées sur la FLi-Diode. La cellule centrale utilisée est la première qui a été mise au point à l'aide du simulateur de procédé ATHENA, c'est-à-dire avec une concentration maximale de  $10^{17} \text{ cm}^{-3}$  et une épaisseur de  $1\mu\text{m}$ . Cette FLi-Diode utilise comme cellule de bord la structure n°1 avec deux anneaux de garde.



**Figure 50:** Mesures effectuées sur la FLi-Diode issue du premier lot.

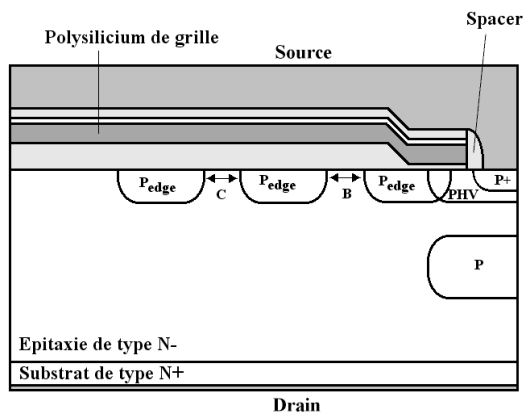
Sur la Figure 50 les mesures relevées sur cette FLi-Diode montrent que nous obtenons quelques valeurs pour lesquelles la tenue en tension est supérieure à 80 Volts. Cependant, la distribution est centrée autour de 65 Volts, avec une très faible reproductibilité. Cette dispersion est due à la distance  $L1$  qui sépare le premier anneau de garde de la fin de la métallisation de grille. En effet, la tenue en tension était très sensible à une faible variation de  $L1$ , même avec la présence du deuxième anneau de garde. Le problème provient du mauvais alignement ( $\pm 0,4\mu\text{m}$ ) entre le masque pour l'implantation des anneaux de garde et le masque servant à l'ouverture de "la zone active", qui servira pour l'implantation du PHV.

#### 4.3.2.3 Utilisation d'une JTE

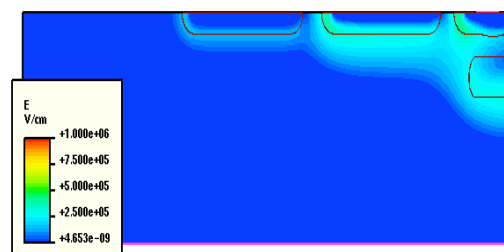
Afin d'améliorer cette dispersion, il faut donc un meilleur contrôle de cette distance  $L1$ . Une solution proposée est d'utiliser la technique des JTE.

##### 4.3.2.3.1 Structure n°2

Nous avons donc tenu compte de ces modifications pour proposer la nouvelle structure qui est présentée Figure 51. Sa configuration présente une JTE (connecté au PHV) et deux anneaux de garde, réalisés avec le même masque, ce qui permet de résoudre le problème lié à  $L1$ . Nous avons mené l'étude sur l'optimisation des distances séparant la JTE du premier anneau (Figure 51, distance  $B=0,7\mu\text{m}$ ) d'une part, et la distance séparant les deux anneaux de garde (Figure 51, distance  $C=1\mu\text{m}$ ) d'autre part. La Figure 52 montre la répartition du champ électrique de la structure n°2 optimisée, au claquage. Dans cette configuration, nous avons obtenu une tenue en tension de 65Volts.



**Figure 51:** Coupe schématique de la structure n°2 avec une JTE et deux anneaux de garde.

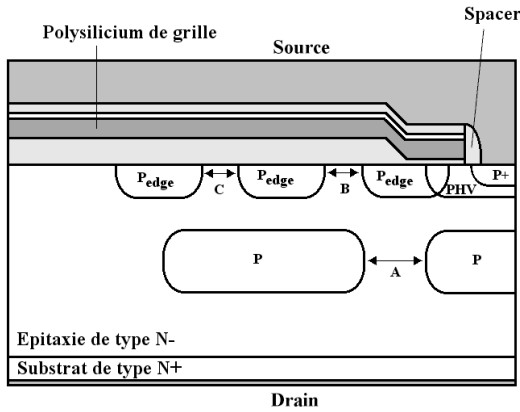


**Figure 52:** Répartition du champ électrique de la structure n°2 au claquage.

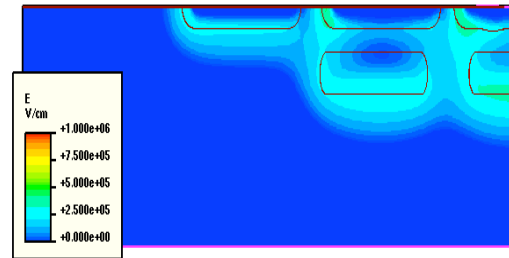


4.3.2.3.2 Structure n°3

La structure n°3 propose d'implanter un nouvel îlot flottant en même temps que l'anneau flottant principal de la cellule centrale. La Figure 53 représente la coupe schématique de la structure n°3. La Figure 53 montre la répartition du champ électrique de la structure n°3 optimisée au claquage. Nous obtenons une tenue en tension maximale de 90Volts pour une distance  $A$  égale à  $2,2\mu\text{m}$ .



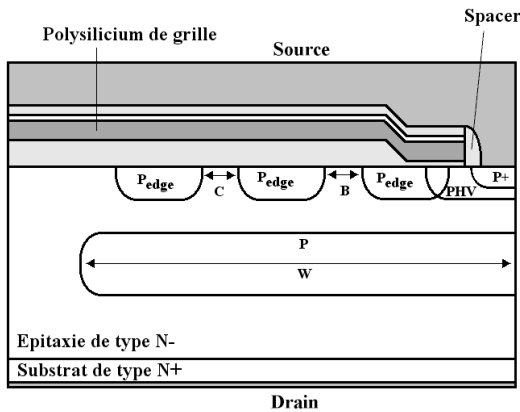
**Figure 53:** Coupe schématique de la structure n°3 avec une JTE, deux anneaux de garde et deux îlots flottants.



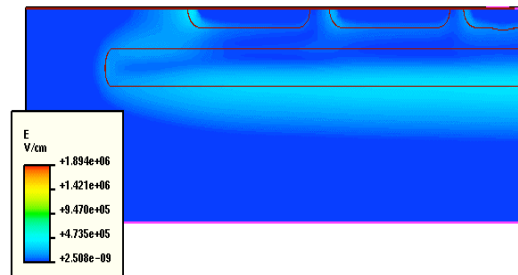
**Figure 54:** Répartition du champ électrique de la structure n°3 au claquage.

4.3.2.3.3 Structure n°4

Enfin la structure n°4 est une variante de la structure n°3, puisque nous avons pris  $A$  égale à  $0\mu\text{m}$ . La Figure 55 représente la coupe schématique de la structure n°4 sur laquelle nous avons fait varier la distance  $W$ .



**Figure 55:** Coupe schématique de la cellule de bord avec une JTE, deux anneaux de garde et un îlot flottant.



**Figure 56:** Répartition du champ électrique de la cellule de bord au claquage.

La Figure 56 montre la répartition du champ électrique de la structure n°4 optimisée, au claquage pour  $W$  égale à  $17\mu\text{m}$ , avec cette structure la tenue en tension est de 100Volts.

Le tableau ci-dessous est un résumé des tenues en tension des différentes structures.

	Sans structure de garde	Structure 1	Structure 2	Structure 3	Structure 4
<b>BV<sub>dss</sub></b> <b>(Volts)</b>	36	84	65	90	100

#### 4.3.2.3.4 Conclusion

Dans ce paragraphe, nous avons montré la démarche mise en place afin d'obtenir une structure de bord ayant une tenue en tension supérieure à 80 Volts. Dans cette étude, nous avons dû tenir compte de la variabilité du procédé, afin d'aboutir à une solution performante et la plus simple possible, sans ajouter trop d'étapes technologiques. La solution préconisée est la structure n°4 dont les caractéristiques sont les suivantes :

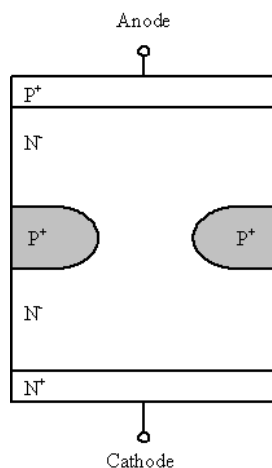
- Une JTE,
- Deux anneaux de garde, le premier séparé d'une distance  $B$  égale à  $0,7 \mu\text{m}$  de la JTE, les deux anneaux de garde étant séparés d'une distance  $C$  égale à  $1 \mu\text{m}$ .
- L'îlot flottant doit dépasser du deuxième anneau de garde : nous avons choisi de prendre une distance  $W$  égale à  $17 \mu\text{m}$ .

Avec cette structure, nous nous attendons donc à obtenir une tenue en tension mesurée proche de 100Volts.

## 4.4 LE FLYMOS™

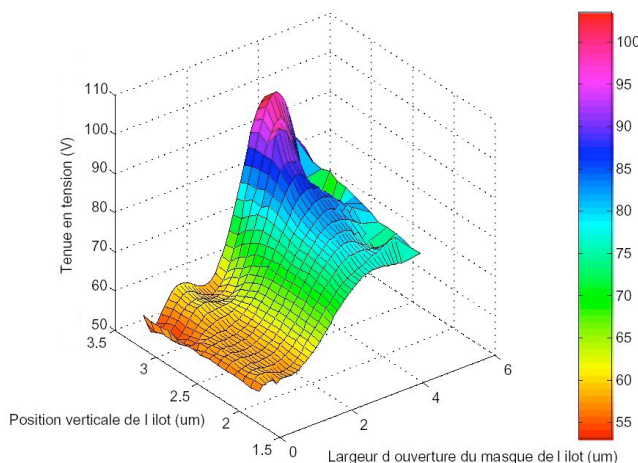
### 4.4.1 Cellule centrale

Le passage de la simulation de la cellule centrale de la FLi-Diode à la simulation de la cellule centrale du transistor FLYMOS™ n'est pas immédiat : en effet, la simulation de la FLi-Diode est une simulation unidimensionnelle car l'îlot est "continu" alors que le FLYMOS™ présente des îlots ouverts afin de permettre le passage du courant à l'état passant : il nécessite donc des simulations bidimensionnelles. Nous allons donc tout d'abord optimiser la position des ces îlots ouverts à l'aide de la FLi-Diode. La Figure 57 représente la coupe schématique d'une structure FLi-Diode avec des îlots ouverts dans le volume.



**Figure 57:** Coupe schématique de la structure FLi-Diode avec des îlots ouverts.

La Figure 58 représente la variation de la tenue en tension en fonction de la position verticale de l'îlot flottant (c'est-à-dire la distance qui sépare la région P<sup>+</sup> d'anode de l'îlot flottant) et la largeur totale de l'îlot (après diffusion)  $d$ . Pour effectuer cette simulation nous avons pris un coefficient de diffusion latérale égal à  $0,44 * X_j$ ,  $X_j$  étant la profondeur de jonction verticale après diffusion.



**Figure 58:** Evolution de la tension de claquage en fonction de la position et de la largeur  $d$  de l'îlot. la diffusion latérale est égal à  $0,44 * X_j$ .

Afin de ne pas être pénalisé en termes de résistance à l'état passant, nous estimons que la largeur de l'îlot flottant totale (ouverture de masque plus diffusion latérale) ne doit pas être supérieure à la moitié de la demi-cellule de base.

Nous avons choisi de positionner l'îlot à une profondeur de  $2,2 \mu\text{m}$ , et de prendre une largeur de  $2 \mu\text{m}$ .

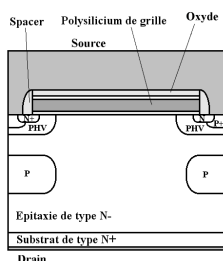
Après avoir déterminé la profondeur et la largeur de l'îlot, nous pouvons maintenant l'appliquer au FLYMOS<sup>TM</sup>, cette structure sera appelé structure 1. Toutes les simulations sur le FLYMOS<sup>TM</sup> sont des simulations 2.5D, ce qui nous permet de simuler correctement la jonction concave. La Figure 59 représente la répartition du champ électrique dans la structure 1 au claquage. Nous pouvons remarquer l'homogénéité des maxima du champ électrique entre l'îlot flottant et la jonction PHV/épitaxie N<sup>-</sup>. Nous pou(60), entraînant un champ électrique élevé dans l'oxyde de grille et le claquage du silicium intercellulaire sous l'oxyde.

Afin de résoudre le problème, la première solution proposée est d'insérer un îlot flottant en surface afin de repousser les lignes de champ vers le bas (Structure 2). La Figure 61 et la Figure 62 montrent respectivement la répartition du champ électrique et la répartition du potentiel dans la structure au claquage. Nous pouvons remarquer que les lignes de potentiel sont repoussées dans le volume, mais pas suffisamment pour tenir la tension souhaitée. Nous avons choisi une ouverture de masque de  $1,3 \mu\text{m}$  afin d'obtenir une tension de 66Volts. Une ouverture de masque plus grande serait préjudiciable pour la résistance à l'état passant et notamment pour la résistance d'accès.

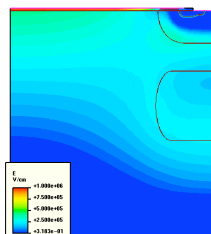
Une autre solution proposée est d'introduire un nouvel îlot flottant dans le volume afin de repousser les lignes de potentiel (Structure 3). Les deux îlots seront implantés en même temps et auront donc les mêmes caractéristiques en termes de diffusion latérale ainsi que d'épaisseur ; l'ouverture du second îlot est de  $0,8 \mu\text{m}$ , pour une tenue en tension de 86Volts.

La Figure 63 et la Figure 64 montrent respectivement la répartition du champ électrique et la répartition du potentiel de la structure 3 au claquage.

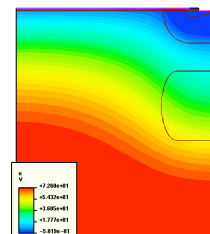
Enfin, la solution retenue est celle dont on garde l'îlot volumique et on retire l'îlot en surface (Structure 4). Toutefois, l'ouverture du second îlot a été réduite puisqu'elle est passée de  $0,8\mu\text{m}$  à  $0,5\mu\text{m}$  ; nous obtenons ainsi une tenue en tension de 88Volts. La Figure 66 et la Figure 67 montrent respectivement la répartition du champ électrique et la répartition du potentiel de la structure 3 au claquage.



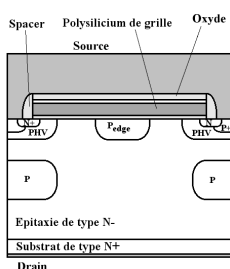
**Figure 59:** Coupe schématique de la Structure 1.



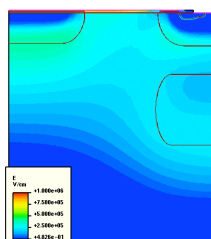
**Figure 60:** Courbes équichamps de la Structure 1 au claquage.



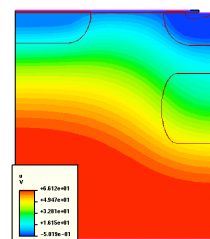
**Figure 61:** Courbes équipotentielles de la Structure 1 au claquage.



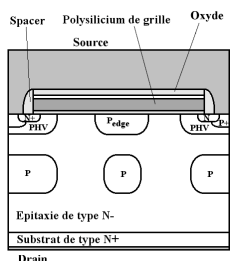
**Figure 62:** Coupe schématique de la Structure 2.



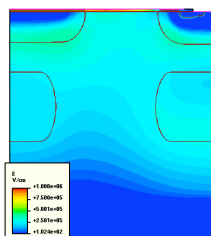
**Figure 63:** Courbes équichamps de la Structure 2 au claquage.



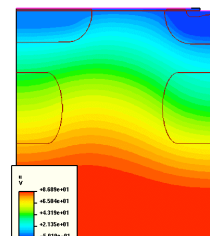
**Figure 64:** Courbes équipotentielles de la Structure 2 au claquage.



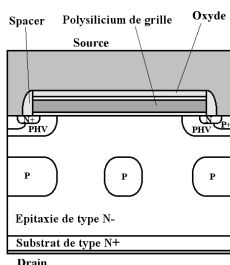
**Figure 65:** Coupe schématique de la Structure 2.



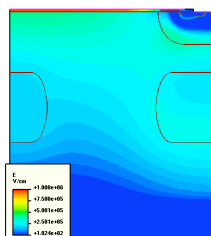
**Figure 66:** Courbes équichamps de la Structure 3 au claquage.



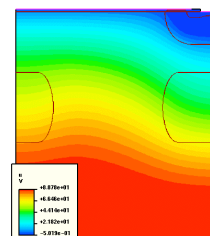
**Figure 67:** Courbes équipotentielles de la Structure 3 au claquage.



**Figure 68:** Coupe schématique de la Structure 4.



**Figure 69:** Courbes équichamps de la Structure 4 au claquage.



**Figure 70:** Courbes équipotentielles de la Structure 4 au claquage.

Le tableau ci-dessous résume les tenues en tension simulées des différentes structures.

	Structure 1	Structure 2	Structure 3	Structure 4
<b>BV<sub>dss</sub></b> <b>(Volts)</b>	72	66	86	88

#### 4.4.2 Discussion

Il n'a pas été possible de simuler correctement les structures FLYMOS™ à l'état bloqué car deux problèmes sont apparus :

➤ Afin de pouvoir effectuer des simulations paramétriques, il nous a fallu mailler la structure très grossièrement, afin que ces simulations soient les plus rapides possibles. Dans ce cas, les résultats obtenus sont peu précis et souvent même faux. Nous avons obtenu des tensions de claquage variant de 60Volts à 150Volts, en ne modifiant que le maillage, ce qui n'était absolument pas satisfaisant.

➤ Le second problème était que si nous maillions finement la structure afin d'obtenir des résultats les plus proches de la réalité, dans ce cas-là, le temps de simulation devenait trop important (environ une semaine par structure simulée). Or il arrive fréquemment que la simulation s'arrête au bout de quelques jours par manque de mémoire du calculateur. Par ailleurs, en 2D (où 2.5D), le nombre de points de maillage est proche de  $10^4$  points (100 X 100) : si nous avons voulu mailler aussi finement en 3D qu'en 2D, il nous aurait donc fallu simuler une structure comprenant  $10^6$  points (100 X 100 X 100). Le temps de simulation serait alors de plusieurs mois.

En conclusion, les structures FLYMOS™ simulées en 3D à l'état bloqué, présentent à ce jour trop d'inconvénients : le maillage doit être très fin en surface mais aussi dans le volume où est localisé l'îlot flottant contrairement à des structures conventionnelles, dans lesquelles la zone volumique uniformément dopée nécessite peu de points de maillage. Une étude paramétrique complète en 3D n'est donc pas envisageable du fait des temps de calcul.

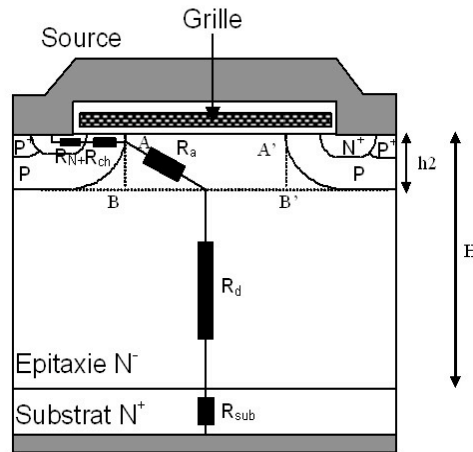
## 5 ETUDE DES PERFORMANCES DU TRANSISTOR FLYMOS™ A L'ETAT PASSANT

### 5.1 FONCTIONNEMENT A L'ETAT PASSANT

Le transistor VDMOS, comme n'importe quel autre composant de puissance, doit être capable de présenter une faible chute de tension à l'état passant. La résistance à l'état passant

$R_{dson}$  est définie selon l'expression :  $\left. \frac{V_{ds}}{I_{ds}} \right|_{V_{ds} \rightarrow 0}$ . Classiquement, sa valeur est déterminée

pour une tension de grille de 10 Volts. Cette résistance, schématisée sur la Figure 71, se décompose en quatre résistances principales : la résistance  $R_{ch}$  du canal d'inversion, la résistance d'accès au drain  $R_a$  correspondant à la région située sous la grille entre deux caissons P de canal adjacents, la résistance de drift  $R_d$ , qui représente le volume de drain épitaxié, et la résistance  $R_{sub}$  de substrat N<sup>+</sup> reliée au drain.



**Figure 71:** Les composantes de la résistance à l'état passant d'un transistor HDTMOS™ de puissance.

Dans ce paragraphe, nous allons donner les expressions analytiques de ces différentes composantes. Celles-ci se calculent, pour les plus compliquées, à partir des paramètres géométriques, technologiques et de la polarisation  $V_{GS}$ , et, pour les autres, plus simplement à partir de la formule classique de calcul de la résistance d'un barreau ( $R = \rho \cdot \frac{L}{S}$ ). Nous évaluerons également l'importance relative de chacune de ces composantes.

### 5.1.1 La résistance de canal $R_{ch}$

La résistance de canal est liée à la zone d'inversion qui se développe en surface de la couche P sous la grille. Celle-ci est calculée en déterminant le rapport ( $V_{ch} / I_{ds}$ ) lorsque  $V_{ch}$  tend vers 0,  $V_{ch}$  représente la tension appliquée aux bornes du canal d'inversion.

La détermination de  $R_{ch}$  se fait en considérant en première approximation que le dopage dans le canal est uniforme et égal à  $N_{Amax}$ . Son expression est la suivante :

$$R_{ch} = \left( \mu_0 C_{ox} \Psi \frac{Z}{L} \right)^{-1} \cdot \frac{V_{GS}' + \Psi - 2\phi_F}{V_{GS}' - V_T} \quad (II.15)$$

où  $V_{GS}' = V_{GS} - V_{FB}$  et  $\Psi$ , qui est appelé "potentiel de réduction de la mobilité sous l'effet du champ électrique transversal", est un paramètre dépendant de l'épaisseur d'oxyde. Cette approximation du canal dopé uniformément est très utile car elle nous permet d'évaluer assez simplement l'évolution de  $R_{ch}$  en fonction de  $V_{GS}$ . Cependant, on relève un écart évalué à environ 40% à  $V_{GS} = 12$  Volts entre le résultat de la simulation 2D et ce calcul analytique.

Ne pouvant nous contenter de cette approximation, nous avons donc tenu compte de la non-uniformité du dopage dans le canal dans la direction source-drain. Ce profil peut être défini en première approximation par une dépendance exponentielle de la coordonnée  $x$  dans la direction drain-source :

$$N_A(X) = N_{Amax} \cdot \exp\left(\frac{x}{L} \cdot \ln\left(\frac{N_D}{N_{Amax}}\right)\right) \quad (II.16)$$

où  $N_D$  et  $N_{Amax}$  représentent respectivement la valeur extrapolée du dopage au droit du drain et la valeur maximale du dopage dans le canal.

La résistance de canal a alors pour expression "rigoureuse" [ROS] :

$$R_{ch} = \left( \mu_0 C_{ox} \frac{Z}{L} \right)^{-1} \cdot \left( 1 + \frac{V'_{GS} - 2 \cdot \Phi_F}{\Psi} \right) \cdot \frac{\ln \left[ 1 + \frac{(V'_{GS} - 2 \cdot \Phi_F) \cdot \left( \sqrt{\frac{N_D}{N_{Amax}}} - 1 \right)}{(V_{GS} - V_t) \cdot \sqrt{\frac{N_D}{N_{Amax}}}} \right]}{\ln \sqrt{\frac{N_D}{N_{Amax}}} \cdot (V'_{GS} - 2 \cdot \Phi_F)} \quad (II.17)$$

### 5.1.2 La résistance d'accès au drain $R_a$

La zone d'accès correspond à la région du semi-conducteur de type N<sup>-</sup> fonctionnant en régime accumulé dans la zone intercellulaire sous l'électrode de grille. La résistance de cette région est définie comme étant la résistance qui relie la fin du canal (point A) à la ligne BB' (Figure 71), considérée comme l'équipotentielle délimitant la zone de défocalisation des lignes de courant dans le volume de la zone épitaxiée. Cette ligne BB', est située à une distance  $h_2$  de l'interface Si-SiO<sub>2</sub>, et est égale à la profondeur de jonction de la diffusion P.

La résistance d'accès au drain est contrôlée par deux mécanismes dont les effets sont répartis et sont liés à :

- la présence d'une couche accumulée induite par la polarisation positive de grille, à la surface de la zone N<sup>-</sup> faiblement dopée située sous l'oxyde de grille,
- la présence de la résistance du volume de la zone N<sup>-</sup> située au-dessous de cette couche accumulée, entre deux caissons P adjacents.

Elle peut être considérée comme le produit de la résistance d'un barreau semi-conducteur de section  $Z \cdot (r/2)$ , d'épaisseur  $h_2$  et de dopage  $N_D$ , par un coefficient  $\lambda$  qui dépend des dimensions géométriques, du dopage et de la tension de grille  $V_{GS}$ . Cette résistance s'écrit [SAN] :

$$R_a = \frac{2 \cdot h_2}{q \cdot \mu_n \cdot N_D \cdot Z \cdot r} \cdot \lambda \quad (II.18)$$

où  $r$  est l'espace intercellulaire compris entre deux caissons P, le coefficient  $\lambda$  étant défini par :

$$\lambda = \frac{r}{2} \cdot \frac{\sqrt{q \cdot a \cdot N_D \cdot (\Lambda + V'_{GS})}}{C_{ox} \cdot h_2 \cdot \Lambda \cdot V'_{GS}} \cdot \frac{1}{\text{th} \left[ \frac{r}{2} \cdot \frac{\sqrt{q \cdot a \cdot N_D \cdot (\Lambda + V'_{GS})}}{C_{ox} \cdot h_2 \cdot \Lambda \cdot V'_{GS}} \right]} \quad (II.19)$$

où  $\Lambda$  est le potentiel de réduction de la mobilité dans la couche accumulée et où le coefficient "a" représente le rapport ( $\mu_n/\mu_{0acc}$ ) de la mobilité des porteurs dans le volume sur la mobilité à champ faible dans la couche accumulée. Les valeurs de  $\mu_n$  et  $\mu_{0acc}$  étant du même ordre de grandeur, ce coefficient est en général pris égal à l'unité.

### 5.1.3 La résistance de drift du HDTMOS<sup>TM</sup>

La résistance de drift représente la contribution de la couche épitaxiée. Elle correspond à la zone de semi-conducteur N<sup>-</sup> faiblement dopée qui s'étend de l'équipotentielle BB' à la

zone  $N^+$  de drain. Une évaluation approximative de cette résistance consiste à considérer simplement que c'est un barreau semi-conducteur ( $R = \frac{\rho \cdot l}{S}$ ), de résistivité  $\rho = \frac{1}{q \cdot \mu_n \cdot N_D}$ , de longueur  $(H - h_2)$  et de section  $S$  ( $S$  étant la surface d'une cellule élémentaire) :

$$R_d = \frac{H - h_2}{q \cdot \mu_n \cdot N_D \cdot S} \quad (\text{II.20})$$

Une approche plus rigoureuse [HU] consiste à considérer la défocalisation des lignes de courant sous la zone diffusée P selon un angle constant qui a pour valeur  $45^\circ$  (Figure 54). Deux expressions de  $R_d$  ont ainsi été établies selon que l'épaisseur de la couche épitaxiée  $(H - h_2)$  est supérieure ou non à la demi-largeur  $l/2$  des caissons P :

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[ \ln\left(\frac{l+r}{r}\right) + \frac{2(H-h_2)-l}{r+l} \right] \quad (H - h_2) < l/2 \quad (\text{II.21})$$

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[ \ln\left(\frac{l+r}{r}\right) + \frac{2(H-h_2)-l}{r+l} \right] \quad (H - h_2) > l/2 \quad (\text{II.22})$$

où  $\mu_n$  est la mobilité de la couche épitaxiée  $N^-$ .

Plus récemment, d'autres auteurs [PHAM] , [FER], [KIM] ont également établi des expressions analytiques de  $R_d$  adaptées à diverses configurations géométriques.

#### 5.1.4 Les résistances des couches $N^+$

La contribution de la région du substrat ne peut pas être négligée, surtout dans le cas des composants basse tension où les valeurs des composantes résistives déjà citées sont relativement faibles alors que les épaisseurs de substrat varient de 250 à 400  $\mu\text{m}$  environ. Ainsi, la résistance de substrat  $N^+$  a pour expression :

$$R_{\text{sub}} = \frac{1}{q \cdot \mu_{\text{nsub}} \cdot N_{\text{sub}}} \cdot \frac{E_{\text{sub}}}{S} \quad (\text{II.23})$$

où  $\frac{1}{q \cdot \mu_{\text{nsub}} \cdot N_{\text{sub}}}$  est la résistivité du substrat, qui est fonction de la mobilité et du dopage dans la couche  $N^+$ ,  $E_{\text{sub}}$  étant l'épaisseur de ce substrat.

La résistance  $R_{N^+}$  de la couche diffusée de source est, elle, très faible et donc négligeable car l'épaisseur et la largeur de cette couche sont en général inférieures ou proches du micron.

Les autres résistances sont externes à la puce de silicium. Il s'agit des résistances des métallisations de drain et de source, des résistances des contacts de drain et de source, des résistances des fils d'interconnexion entre le boîtier et la puce et des résistances des pattes de drain et de source. Ces résistances étaient souvent négligées dans le passé. Désormais, avec l'avènement de transistors MOS à haute densité d'intégration présentant de très faibles résistances à l'état passant, leur contribution à la résistance à l'état passant  $R_{\text{ON}}$  ne peut plus être négligée : on met en évidence ici une autre problématique qui ne sera pas abordée dans ce travail consacré uniquement à la partie "silicium" : il s'agit de l'encapsulation ("packaging"). Améliorer la résistance de la partie "silicium" est certes un défi important mais il devra



s'accompagner d'une amélioration également importante de l'encapsulation, en particulier pour les composants MOS basse tension.

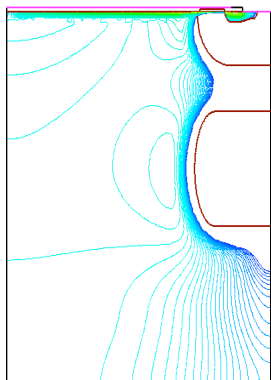
## 5.2 RESULTATS DE SIMULATION

Le paramètre le plus important en conduction n'est pas la résistance à l'état passant mais le produit de cette résistance par la surface active " $R_{dson} \cdot S$ " ( $S$  étant la surface active d'une cellule élémentaire). Ce produit est appelé "*résistance passante spécifique*", terme inspiré de la littérature anglo-saxonne [BAL1] qui l'a baptisé "*specific on-resistance*". La détermination de  $S$  mais aussi de  $Z$  (périmètre de canal qui apparaît dans les expressions de la résistance de canal (II.17) et de la résistance d'accès (II.20)) ont été réalisées pour les principales géométries de cellules MOS élémentaires : hexagones, carrés alignés ou non, cercles, bandes parallèles [HU2] [MOR].

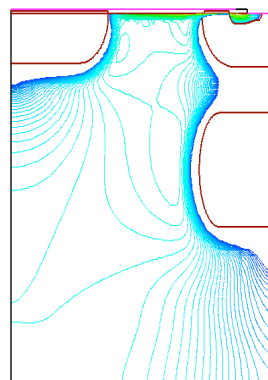
Les paramètres électriques obtenus lors de la simulation de la caractéristique de transfert  $I_d=f(V_{gs})$  sont regroupés dans le tableau ci-dessous. La tension de seuil est identique pour les structures simulées. La résistance à l'état passant permet de définir quelle est la structure plus performante. Les structures 1 à 4 sont celles utilisées pour la détermination de la tenue en tension de la cellule centrale.

	HDTMOS™		FLYMOS™			
	80Volts	45Volts	Structure 1	Structure 2	Structure 3	Structure 4
<b>BV</b> (Volts)	82	47	72	66	86	88
<b><math>R_{ch} \cdot S</math></b> ( $m\Omega \cdot mm^2$ )	15	14	14	14	14	14
<b><math>R_a \cdot S</math></b> ( $m\Omega \cdot mm^2$ )	25	10	13,8	12,8	13,5	12,2
<b><math>R_d \cdot S</math></b> ( $m\Omega \cdot mm^2$ )	50	22,8	33	35,8	39,8	37,5
<b><math>R_{dsOn} \cdot S</math></b> ( $m\Omega \cdot mm^2$ )	90	47,1	60,8	62,6	67,3	63,7

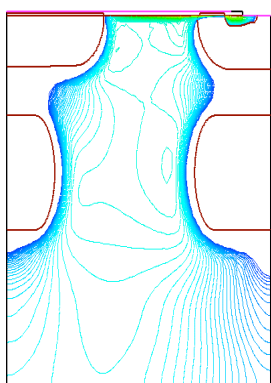
Les Figures 72, 73, 74 et 75 représentent les lignes de courant dans une demi-cellule d'un transistor FLYMOS™ des différentes structures étudiées. Les figures présentées sont données pour  $V_{ds}=10mV$  et  $V_{gs}=12V$ .



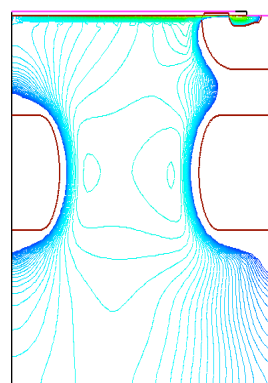
**Figure 72:** Lignes de courant de la Structure 1.



**Figure 73:** Lignes de courant de la Structure 2.



**Figure 74:** Lignes de courant de la Structure 3.



**Figure 75:** Lignes de courant de la Structure 4.

Ceci permet de mettre en évidence la défocalisation des lignes de courant après le canal puis le resserrement de celles-ci entre les îlots flottants dans le volume.

## 6 CONCLUSION

Dans ce chapitre, nous avons présenté le concept de la FLi-Diode, qui consiste en l'introduction d'îlots flottants de type P dans la zone N<sup>-</sup> d'une diode PN<sup>-</sup>N<sup>+</sup>. L'objectif était d'utiliser ces régions flottantes pour étaler le champ électrique dans la région volumique N<sup>-</sup>.

Les simulations physiques bidimensionnelles ont montré que l'utilisation de la FLi-Diode permettait d'atteindre une tenue en tension supérieure à la tenue en tension de la jonction plane. Nous avons appliqué ce concept aux transistors VDMOS, et optimisé les paramètres en liaison avec les premiers retours "technologiques" pour obtenir un bon compromis "tenue en tension/ résistance passante spécifique". Les composants FLYMOS™ présentent également des tenues en tension supérieures aux tenues en tension de la jonction plane et des résistances passantes spécifiques fortement améliorées, car la résistance passante spécifique du FLYMOS™ 80V est quasiment égale à la résistance passante spécifique du HDTMOS™ 45V. Il reste maintenant à valider sur silicium ces résultats théoriques prometteurs.



**Chapitre 3 :**  
**Développement des technologies**  
**FLYMOS™ 65V et 75V**

## **1 INTRODUCTION**

Dans le chapitre précédent, nous avons présenté les simulations physiques bidimensionnelles de la FLi-Diode qui permet d'atteindre une tenue en tension supérieure à la tenue en tension de la jonction plane. Les composants FLYMOS™, quant à eux, présentent des tenues en tension supérieures aux tenues en tension de la jonction plane et des résistances passantes spécifiques proche de la limite conventionnelle du silicium qui améliore fortement le compromis " $R_{\text{dson}} \cdot S / BV_{\text{dss}}$ ".

Le chapitre 3 est consacré à la réalisation technologique des FLi-Diodes et des transistors FLYMOS™.

Dans la première partie, nous décrirons le procédé de fabrication du transistor FLYMOS™, et les différents problèmes rencontrés.

La deuxième partie traitera des résultats de mesures effectués sur la FLi-Diode et sur le FLYMOS™. Plusieurs lots de transistors FLYMOS™ ont été conçus, en faisant varier des paramètres essentiels tels que les épaisseurs et les résistivités des deux épitaxies, ainsi que les largeurs et doses des îlots flottants.

## **2 DESCRIPTION DU PROCÉDE DE FABRICATION DU TRANSISTOR**

### **FLYMOS™**

Toutes les étapes technologiques ont été réalisées sur le site de Freescale à Toulouse (MOS20). Le matériau de départ est un substrat silicium (Si) fortement dopé à l'arsenic (As) à  $1,5 \cdot 10^{19} \text{ cm}^{-3}$  (soit une résistivité de  $5,5 \text{ m}\Omega \cdot \text{cm}$ ). Nous réalisons une première épitaxie dopée à l'arsenic, afin d'obtenir une épitaxie dopée à  $1,1 \cdot 10^{16} \text{ cm}^{-3}$  (soit une résistivité de  $0,50 \Omega \cdot \text{cm}$ ), et une épaisseur de  $4,5 \mu\text{m}$ , car la zone de transition est large de  $1,5 \mu\text{m}$  (Figure 76). Ensuite il faut marquer le silicium (pré-alignement), afin de pouvoir aligner les autres masques sur cette marque.

La deuxième étape consiste à faire croître un oxyde sur toute la plaquette et à implanter, à travers un masque, le bore qui formera l'îlot flottant (Figure 77). Nous enlevons ensuite l'oxyde afin de faire croître la deuxième épitaxie (Figure 78).

L'implantation de bore, pour la réalisation des anneaux de garde ainsi que de la JTE, se fait à travers un masque en résine (Figure 79).

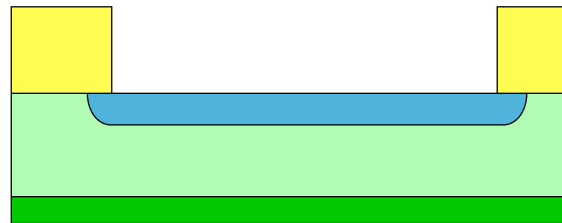
Les étapes qui suivent sont identiques pour la réalisation du HDTMOS™ :

- Croissance d'un oxyde épais sur toute la plaquette afin de préparer la zone active (Figure 5),
- Ouverture de la zone active, puis croissance thermique de l'oxyde mince de grille,
- Dépôt du polysilicium de grille, puis implantation de phosphore pour doper la grille (Figure 6),
- Croissance d'un oxyde de polysilicium, puis dépôt de nitrure puis d'un oxyde. Ces trois couches constituent l'ONO (Oxyde-Nitrure-Oxyde) (Figure 82),
- Ouverture de la région de source, par gravure de l'ONO et du polysilicium,

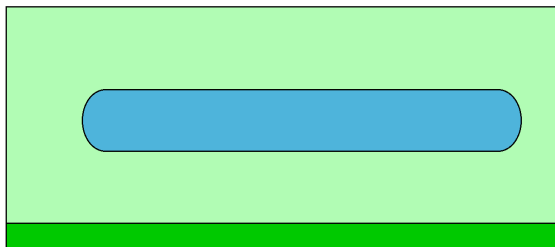
- Implantation de bore pour créer la région PHV, puis redistribution afin de former le canal (Figure 83),
- Dépôt d'un masque de résine ( $N^+$  bloc), servant à implanter de l'arsenic dans la source. L'arsenic est uniquement implanté dans la cellule centrale, car la cellule de bord ne participe pas à la conduction (Figure 84),
- Dépôt d'un oxyde épais, suivi d'une gravure afin de créer l'espaceur (Spacer),
- Implantation du bore afin de créer la zone  $P^+$  de source, puis redistribution des régions  $N^+$  et  $P^+$  de source (Figure 85),
- Ouverture des contacts de grille et dépôt de métal,
- Gravure du métal,
- Dépôt de la passivation,
- Dépôt du métal de drain (Figure 86).



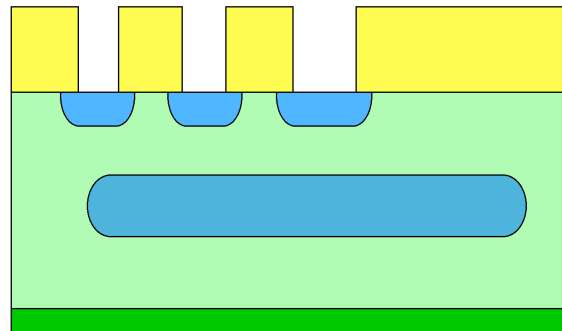
**Figure 76:** Croissance de la première épitaxie sur un substrat  $N^+$  et pré-alignement.



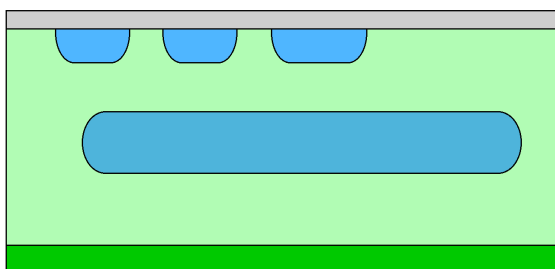
**Figure 77:** Implantation de l'îlot de Bore.



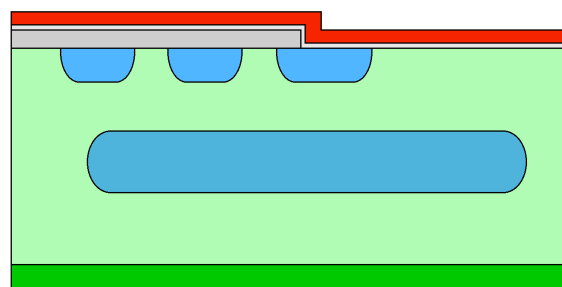
**Figure 78:** Croissance de la deuxième épitaxie.



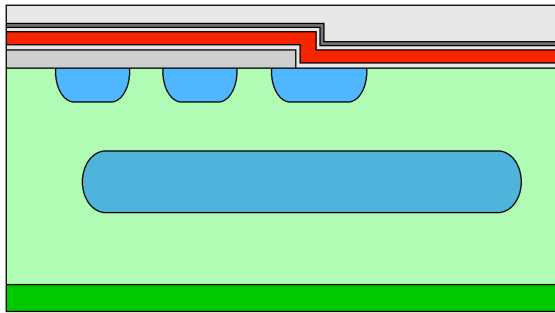
**Figure 79:** Implantation des anneaux de garde et de la JTE.



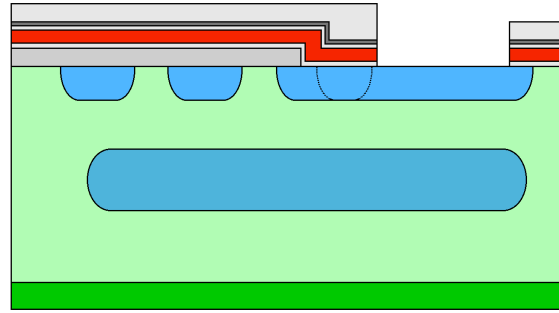
**Figure 80:** Croissance de l'oxyde épais.



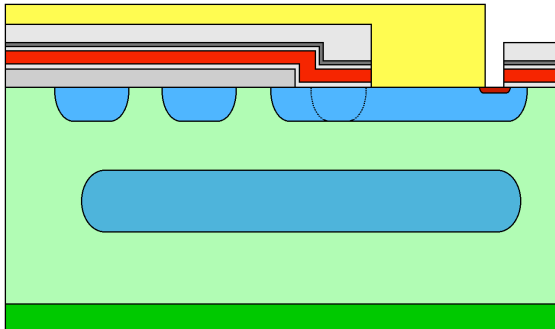
**Figure 81:** Ouverture de la zone active, croissance de l'oxyde de grille, dépôt de polysilicium et implantation du phosphore dans le polysilicium.



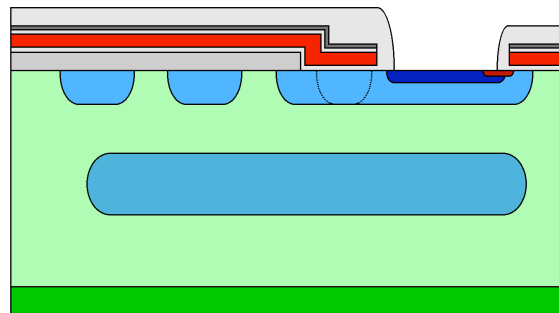
**Figure 82:** Croissance de l'oxyde de polysilicium, dépôt de nitrure et d'oxyde.



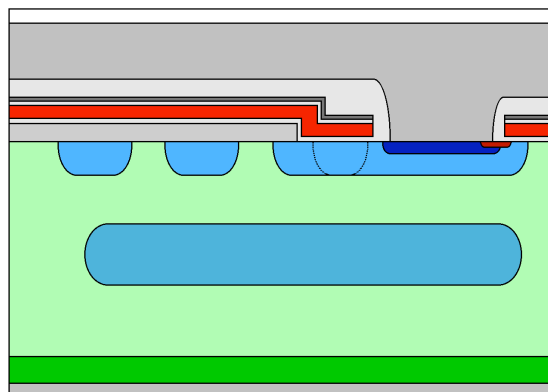
**Figure 83:** Gravure de l'ONO et du polysilicium, implantation du PHV puis redistribution



**Figure 84:** Dépôt du N<sup>+</sup> bloc et implantation du N<sup>+</sup>.



**Figure 85:** Dépôt et gravure du Spacer, implantation du P<sup>+</sup> et redistribution du P<sup>+</sup> et N<sup>+</sup>.

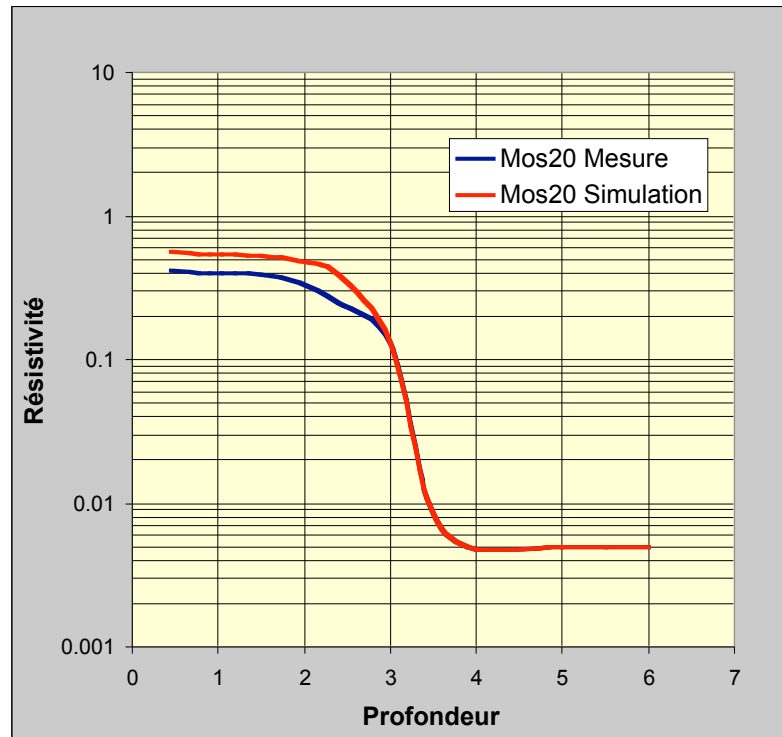


**Figure 86:** Dépôt métal face avant, dépôt de la passivation et dépôt métal face arrière.

## 2.1 LES PROBLÈMES RENCONTRÉS

### 2.1.1 L'épitaxie

Une des difficultés est d'obtenir une zone de transition "substrat/1<sup>ère</sup> épitaxie" la plus abrupte possible. Pour une même épaisseur d'épitaxie, plus la zone de transition sera abrupte et plus la zone de charge d'espace pourra s'étendre et arriver ainsi en limitation de charge d'espace. Le champ électrique aura de préférence une forme trapézoïdale et non pas une forme triangulaire. La Figure 83 représente la comparaison entre la simulation et la mesure par SRP du profil de dopage "substrat/1<sup>ère</sup> épitaxie".

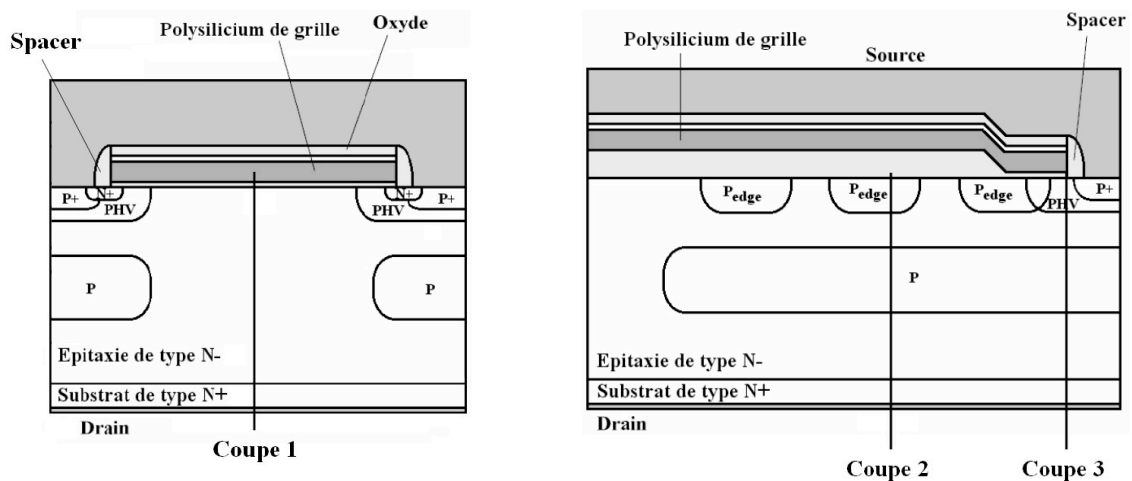


**Figure 87:** Comparaison entre la simulation et la mesure par SRP du profil de dopage substrat/1<sup>ère</sup> épitaxie.

La Figure 87 montre toute la difficulté de corrélérer la simulation à la mesure, compte tenu du phénomène d'autodopage dû au substrat.

2.1.2 Les diffusions

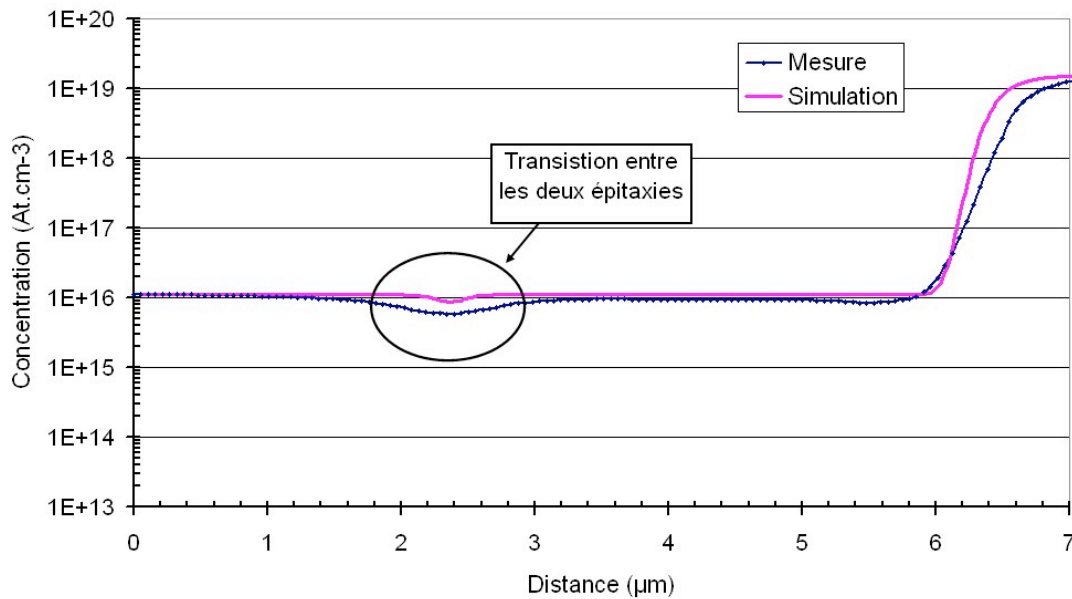
Une des difficultés majeures à laquelle nous avons été confronté a été celle de l'îlot flottant. En effet, comme nous l'avons vu dans le chapitre 2, nous avons atteint les limites du simulateur de procédé technologique. Afin de simuler une structure comme le FLYMOST™, le simulateur doit prendre en compte la diffusion de l'îlot flottant P lors de la croissance de la deuxième épitaxie. La Figure 91 montre le profil vertical après une simulation de procédé technologique à l'aide du simulateur ATHENA-SILVACO et la Figure 90, après une SRP du FLYMOST™.



**Figure 88:** Coupes schématiques du transistor FLYMOST™.

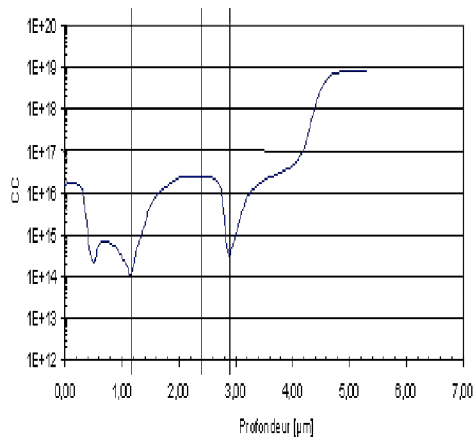


La Figure 89 montre le profil vertical simulé et mesuré par SRP du FLYMOS™ au niveau de la coupe 1. La légère perte en concentration à une distance de 2,4 μm représente la transition entre les deux épitaxies. Nous retrouvons cette légère perte de concentration lors de la simulation, toutefois moins prononcée.

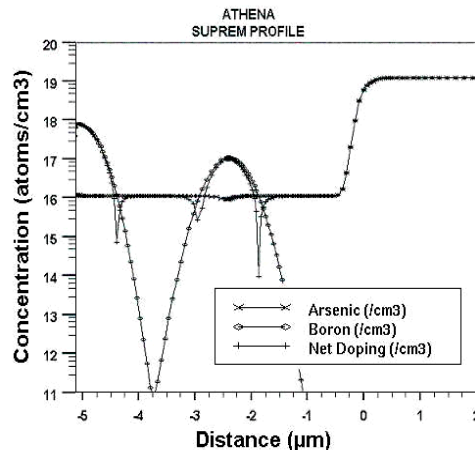


**Figure 89:** Confrontation simulation et SRP du FLYMOS™ au niveau de la coupe 1.

Dans la Figure 88, le trait noté "Coupe 2", représente le lieu où a été faite la SRP, cette SRP montre les profils de dopage du Pedge et de l'îlot flottant (Figure 90). Le trait noté "Coupe 3", montre les profils de dopage du PHV et de l'îlot flottant, mais par simulation (Figure 87).



**Figure 90:** SRP du FLYMOS™ au niveau de la coupe 2.



**Figure 91:** Profil vertical d'une structure créée par simulation au niveau de la coupe 3.

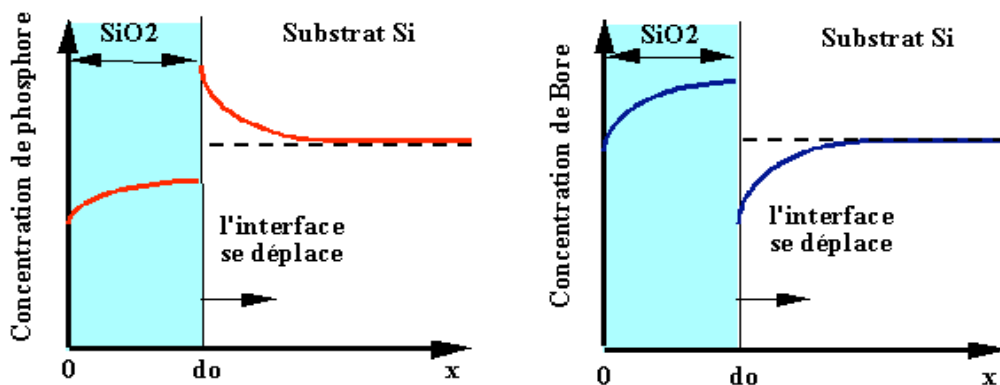
En comparant la Figure 90 et la Figure 91 et en nous concentrant uniquement sur l'îlot flottant (nous négligeons la surface), nous pouvons nous apercevoir que la concentration et la forme des îlots sont différentes. En effet sur la Figure 91, nous obtenons par simulation une épaisseur de 1 μm et un pic de concentration de  $10^{17} \text{ cm}^{-3}$  et par la mesure SRP (Figure 90) nous obtenons une épaisseur d'environ 2 μm et un pic de concentration de  $2,5 \cdot 10^{16} \text{ cm}^{-3}$ .

### 2.1.3 Influence du dopage en surface

Lors de l'oxydation de couches dopées, cette opération s'effectuant à haute température, les dopants se redistribuent dans le substrat. De plus, étant donnée la consommation de silicium lors de l'oxydation, une partie des atomes dopants se retrouve dans l'oxyde. Mais les coefficients de diffusion des atomes dopants, à une température donnée, dans le silicium et dans l'oxyde, sont en général différents. Il se crée alors une discontinuité de concentration de dopants à l'interface Si/SiO<sub>2</sub> [SZE1] [FAI] [SZE2].

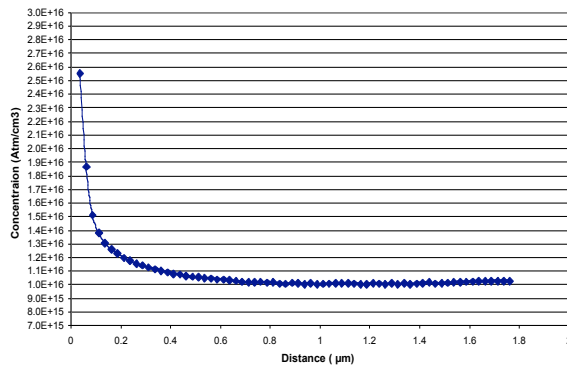
L'arsenic étant moins soluble dans le SiO<sub>2</sub>, il y a accumulation d'arsenic dans le silicium près de l'interface. Par contre, la concentration dans l'oxyde est plus faible, comme le représente la Figure 92. C'est le phénomène inverse pour le bore. Il y a appauvrissement en bore du substrat de silicium près de l'interface, et la concentration dans l'oxyde est supérieure. Le rapport des concentrations à l'interface s'appelle "coefficient de ségrégation". Ce coefficient dépend des éléments diffusants et des matériaux considérés [FUR].

Ce phénomène de ségrégation de dopants sera bien sûr à prendre en compte dans la simulation technologique de l'oxydation. Notons que les atomes dopants qui diffusent dans l'oxyde ne sont pas en général activés, ce qui signifie qu'ils ne créent pas de charges électriques dans cet oxyde et n'affectent pas en général les propriétés électriques telles que la tension de seuil d'un transistor MOS.

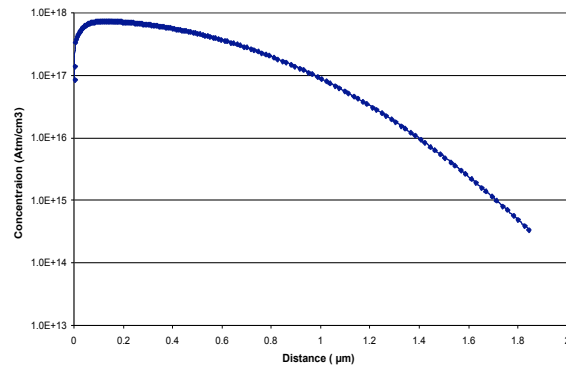


**Figure 92:** Redistribution des dopants dans une couche de silicium en cours d'oxydation. L'interface du côté Silicium s'enrichit en Phosphore ou s'appauvrit en Bore [GRO1].

La Figure 93 représente le profil de dopage à la surface du composant en arsenic et la Figure 94 représente le profil de dopage du PHV, ce profil étant très important lors du calibrage des simulations, car il détermine le  $V_t$ , tandis qu'une simple gaussienne fournit des valeurs de  $V_t$  erronées de l'ordre de 100%.



**Figure 93:** Estimation du profil de dopage en arsenic en surface du FLYMOS™ au niveau de la coupe 1 par la mesure de la capacité Drain-Source.



**Figure 94:** Profil de dopage en bore en surface du FLYMOS™ obtenu par simulation au niveau de la coupe 3.

### 3 LES MESURES

Dans le paragraphe 2, qui décrivait le procédé de fabrication du transistor FLYMOS™, nous avons vu que ce transistor était composé d'un îlot flottant P dans une zone épitaxiée N<sup>-</sup>. Dans le chapitre II, nous avons montré que l'épaisseur de l'îlot devait être la plus faible possible (de l'ordre de 1 μm), pour ne pas pénaliser la résistance à l'état passant. Il faut donc minimiser les étapes de température pour ne pas trop diffuser cet îlot. Nous avons listé ci-dessous les étapes thermiques :

- La croissance de la deuxième épitaxie. Cette étape ne peut pas être modifiée car elle engendrerait une mauvaise qualité de silicium.
- La redistribution du PHV. En modifiant, non pas la température, mais le temps de redistribution, on obtiendrait une épaisseur de PHV plus faible et un îlot par conséquent moins épais ; on pourrait donc réduire l'épaisseur de la deuxième épitaxie.

Toutes les études présentées dans ce paragraphe sont destinées à minimiser l'épaisseur de l'îlot.

#### 3.1 ETUDE DES VARIATIONS SUR LE PHV

##### 3.1.1 Plan d'expérience

Le but de cette première étude est de définir la faisabilité du transistor FLYMOS™ et d'étudier les différents paramètres liés à l'îlot flottant :

- Variation de la dose d'implantation de l'îlot,
- Variation de la dose d'implantation du PHV,
- Variation du temps de redistribution du PHV.

Ce plan d'expérience a été réalisé pour réduire l'épaisseur de l'îlot flottant, en modifiant le temps de redistribution du PHV, afin de réduire l'épaisseur de celui-ci et pouvoir ainsi réduire l'épaisseur de la deuxième épitaxie afin de diminuer la résistance à l'état passant.

L'épaisseur de la deuxième épitaxie a été fixée par simulation à 2,4 μm, et la géométrie utilisée est une géométrie Squish Square.

Le tableau 2 définit le plan d'expérience utilisé.

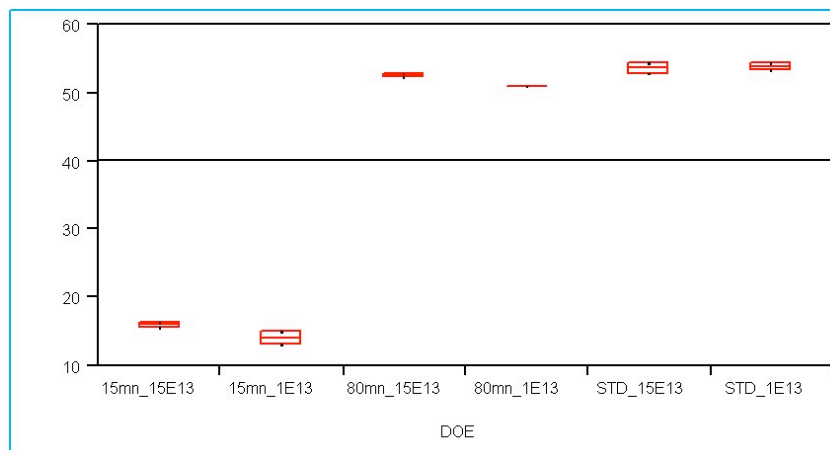
Numéro des plaquettes	Dose de l'îlot (cm <sup>-2</sup> )	Implantation du PHV (cm <sup>-2</sup> )	Redistribution du PHV (min)
1, 2, 3	10 <sup>13</sup>	5.10 <sup>13</sup>	Std-130
4, 5, 6	10 <sup>13</sup>	4,1.10 <sup>13</sup>	80
7, 8, 9	10 <sup>13</sup>	3,25.10 <sup>13</sup>	15
10, 11, 12	1,5.10 <sup>13</sup>	5.10 <sup>13</sup>	Std-130
13, 14, 15	10 <sup>13</sup>	4,1.10 <sup>13</sup>	80
16, 17, 18	1,5.10 <sup>13</sup>	3,25.10 <sup>13</sup>	15

**Tableau 2:** Plan d'expérience sur les variations sur le PHV.

La variation de la dose d'implantation du PHV est uniquement faite afin de compenser le Vt. Car moins on diffuse et plus la concentration de surface est importante.

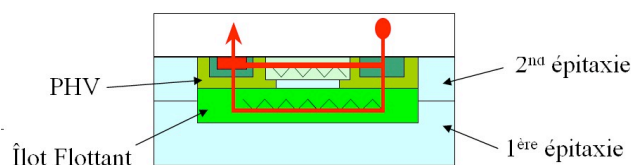
### 3.1.2 Tenue en tension

La Figure 95 représente la tenue en tension mesurée sur le FLYMOST™ (géométrie Squish Square), avec des doses de l'îlot et des temps de redistribution du PHV différents.



**Figure 95:** Etude de la variation de la tenue en tension en fonction de la dose de l'îlot et du temps de redistribution du PHV, sur le FLYMOST™.

Sur les FLYMOST™, à première vue l'îlot flottant P et le PHV se touchent lorsque nous utilisons des temps de redistribution de 80 et 130 minutes (méthode de mesure de variation de résistance, Figure 96), ce qui doit expliquer les valeurs de BV<sub>dss</sub> de l'ordre de 50 à 55 Volts. Le champ électrique doit uniquement s'étaler dans la première épitaxie, la majeure partie étant supportée par l'îlot qui est ainsi polarisé (configuration Semi-Superjonction, voir Chap. 1, Figure 11).



**Figure 96:** Méthode pour mesurer la distance entre PHV et îlot flottant.

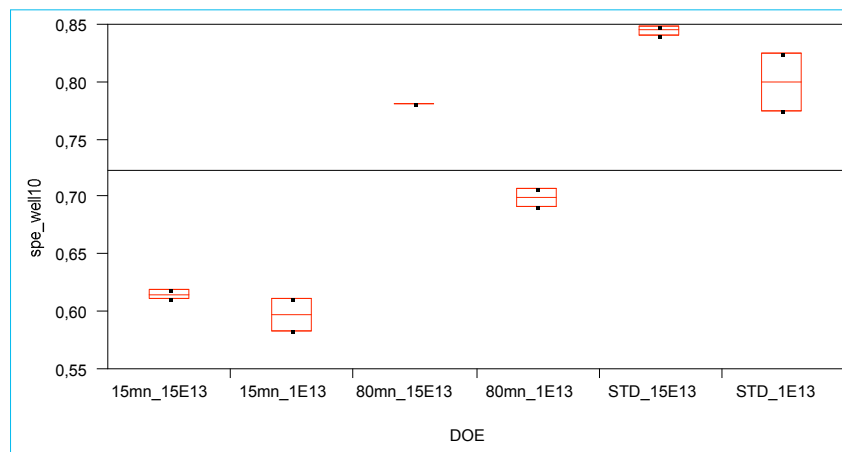
Cependant avec un temps de redistribution de 15 minutes du PHV, ce qui correspond à une profondeur de  $0,8 \mu\text{m}$ , l'îlot flottant P et le PHV ne se touchent pas : on doit alors "loger" une partie de la tension dans la deuxième épitaxie, qui doit être, par contre, complètement dépeuplée.

La tenue en tension de la plaquette 7 a été remesurée à  $V_{gs} = -10\text{Volts}$ , au lieu de  $V_{gs} = 0\text{Volts}$  : la tenue en tension passe alors de 15 Volts à plus de 45 Volts. Ceci nous indique que nous avons un champ électrique élevé à la surface du silicium (dans le cas où la redistribution du PHV est de 15 minutes), et donc un claquage prématuré. Comme le temps de redistribution est plus petit, les PHV diffusent moins et donc la distance entre les PHV augmente. Cette augmentation provoque une diminution de l'effet d'autoblindage et donc un claquage prématuré des jonctions sphériques du Squish Square (géométrie convexe).

Il nous faut alors reconsidérer la géométrie utilisée (Squish Square) tant en surface que dans le volume, car la géométrie, la dose de l'îlot et le temps de redistribution jouent un rôle prépondérant sur la tenue en tension.

### 3.1.3 *Résistance passante spécifique*

La Figure 97 montre les variations de la résistance passante spécifique en fonction de la dose d'implantation de l'îlot flottant et du temps de redistribution du PHV.



**Figure 97:** Etude de la variation de la résistance passante spécifique en fonction de la dose d'implantation de l'îlot flottant et de du temps de redistribution du PHV, sur le FLYMOS™.

Nous pouvons constater des valeurs élevées de résistances spécifiques par rapport à nos simulations : ceci s'explique par le fait que nous utilisons une première épitaxie qui n'est pas optimale puisque son épaisseur est de  $4,5\mu\text{m}$ . Néanmoins avec un temps de redistribution du PHV de 15 minutes, nous obtenons une résistance passante spécifique de l'ordre de  $0,6 \text{ m}\Omega\cdot\text{cm}^2$ , ce qui tend à démontrer qu'en utilisant une première épitaxie moins épaisse, nous obtiendrons des valeurs proches de celles obtenues par simulation. La résistance passante spécifique diminue d'environ 35% lorsque l'on compare un temps de recuit de 15 minutes avec celui de 130 minutes. En effet, comme le temps de diffusion est plus faible, le PHV diffusant moins, nous avons une distance entre les PHV qui augmente, ce qui a pour conséquence de diminuer considérablement la résistance d'accès.

On peut noter également une légère dépendance de la résistance spécifique avec la dose de l'îlot flottant P.

### 3.1.4 Conclusion

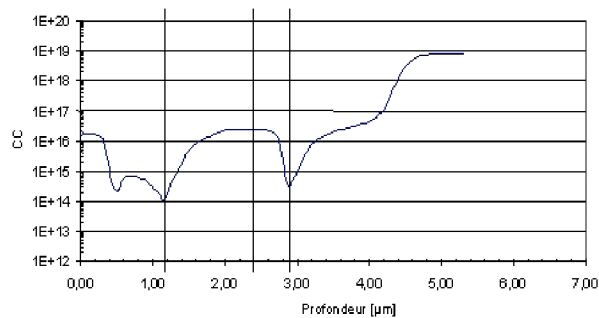
Cette première étude a mis en évidence la faisabilité du FLYMOST™. Avec un temps de redistribution de 15 minutes du PHV, l'îlot flottant P et le PHV ne se touchent pas, et nous obtenons une profondeur de jonction du PHV de 0,8  $\mu\text{m}$ .

Cependant nous obtenons des tenues en tension de l'ordre 45 Volts pour  $V_{gs}=-10\text{Volts}$ , ce qui indique un problème dû à la géométrie convexe du Squish Square. Toutefois s'agissant d'une étude sur la faisabilité du FLYMOST™, le masque de l'îlot flottant n'a pas subi de pré-alignement (alignement à  $\pm 10\mu\text{m}$ ), ce qui peut également expliquer la faible tenue en tension.

La résistance passante spécifique est plus faible de 35% par rapport à un temps de diffusion standard. Elle est de l'ordre de  $0,6\text{ m}\Omega\cdot\text{cm}^2$  (avec une première épitaxie qui n'est pas optimale), ce qui confirme les résultats préliminaires que nous avons obtenus par simulation.

## 3.2 ETUDE DES DIFFERENTES GEOMETRIES DE SURFACE ET DE VOLUME

Après avoir effectué cette première étude, nous avons effectué des SRP sur une FLi-Diode (Figure 98), et nous nous sommes aperçus que l'îlot flottant était plus large que ne l'avait prédit les simulations (cf. Chapitre II, paragraphe 4.3).



**Figure 98:** SRP sur la FLi-Diode.

### 3.2.1 Plan d'expérience

Dans cette étude, nous nous sommes donc intéressé aux dimensions de l'îlot P. Le tableau ci-dessous reprend le plan d'expérience réalisé pour cette étude, qui consiste à faire varier la dose d'implantation de l'îlot d'une part, et d'autre part l'épaisseur de la deuxième épitaxie (Tableau 3).

Le but de ce plan d'expérience (Tableau 4) est de déterminer quel impact a l'épaisseur de la deuxième épitaxie sur l'îlot flottant.

La première épitaxie a été fixée à  $2,7\mu\text{m}$  d'épaisseur.

Numéro des plaquettes	Dose de l'îlot P ( $\text{cm}^{-2}$ ) Energie (30 keV)	Épaisseur de la 2 <sup>nd</sup> Epitaxie ( $\mu\text{m}$ )
6, 23	$5.10^{12}$	2,4
1, 24	$5.10^{12}$	2,9
2, 16	$5.10^{12}$	3,4
3, 20	$8.10^{12}$	2,4
7, 15	$8.10^{12}$	2,9
5, 19	$8.10^{12}$	3,4
12, 14	$10^{13}$	2,4
17	$10^{13}$	2,9
10	$10^{13}$	2,9
8, 18	$10^{13}$	3,4
9, 13, 21	$8.10^{12}$	2,9
4, 11, 22	$8.10^{12}$	2,9

**Tableau 3:** Plan d'expérience sur les variations de l'îlot flottant et sur l'épaisseur de la deuxième épitaxie.

Nous avons appliqué ce plan d'expérience sur différentes géométries (Squish Square et WELLFET™), afin de déterminer quelle géométrie serait la plus adaptée à la technologie FLYMOS™. Sur ces géométries, nous avons fait varier certains paramètres, tels que l'ouverture du masque de l'îlot P pour le Squish Square, ou la distance entre les branches pour le WELLFET™ (Tableau 4).

Code de la géométrie	Description de la géométrie
A: FLSQ08_20	Squish Square Pfloat 2 x 2 $\mu\text{m}$
B: FLSQ08_16	Squish Square Pfloat 1.6 x 1.6 $\mu\text{m}$
C: FLWELL8	WELLFET™ Wpoly 8 $\mu\text{m}$
E: FLWELL8B	WELLFET™ Wpoly 8 $\mu\text{m}$ B different
F: FLWELL8A	WELLFET™ Wpoly 8 $\mu\text{m}$ A different
G: FLWELL8N	WELLFET™ Wpoly 8 $\mu\text{m}$ No N <sup>+</sup> scotch

**Tableau 4:** Description des différentes géométries utilisées.

La géométrie A (FLSQ08\_20) correspond à une ouverture N<sup>+</sup> de source de 0,8  $\mu\text{m}$ , et une ouverture de masque de l'îlot P de 2 x 2  $\mu\text{m}$ .

La géométrie B (FLSQ08\_16) correspond à une ouverture N<sup>+</sup> de source de 0,8  $\mu\text{m}$ , et une ouverture de masque de l'îlot P de 1,6 x 1,6  $\mu\text{m}$ .

La géométrie C (FLWELL8) correspond à une géométrie WELLFET™ avec une ouverture entre les branches de 8  $\mu\text{m}$ , et une distance B, correspondant à la distance entre la JTE et le premier anneau de garde de la structure de bord (Voir Chap. 2 Figure 53) de 2,6 $\mu\text{m}$ , et une distance A correspondant la distance entre deux îlots flottants dans la structure de bord (Voir Chap. 2 Figure 53) de 2,6 $\mu\text{m}$ .

La géométrie E (FLWELL8B) correspond à une géométrie WELLFET™ avec une ouverture entre les branches de 8  $\mu\text{m}$ , et le B (FLWELL8B) égale à 2,4 $\mu\text{m}$  (Voir Chap. 2 Figure 53).

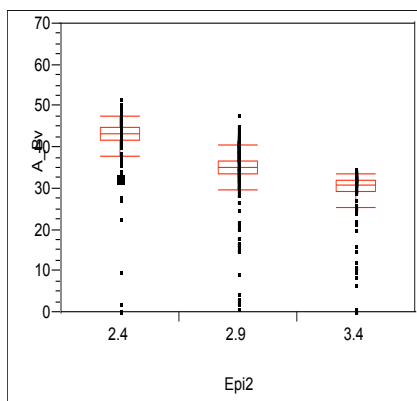
La géométrie F (FLWELL8A) est une géométrie identique à la géométrie E, et le A (FLWELL8A) égale à 0 $\mu\text{m}$  (Voir Chap. 2 Figure 55).

Sur les structures C, D et E, nous avons bloqué la diffusion du  $\text{N}^+$  de source dans les branches, afin d'étudier l'influence des fins de branche sur la tenue en tension.

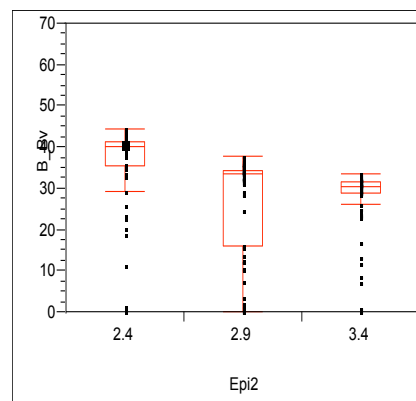
La géométrie G (FLWELL8N) est une géométrie identique à la géométrie E, sur laquelle nous ne bloquons pas le  $\text{N}^+$  de source dans les fins de branche.

### 3.2.2 Tenue en tension

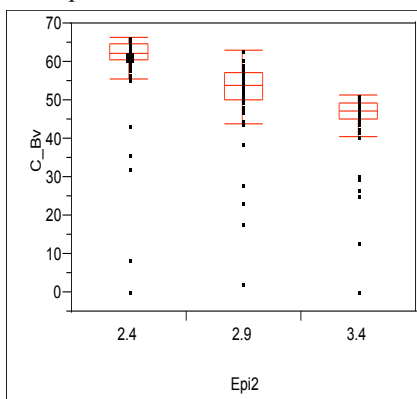
Les Figures 99 à 104 montrent l'influence de l'épaisseur de la deuxième épitaxie sur la tenue en tension pour une dose d'implantation de l'îlot de  $5 \cdot 10^{12} \text{cm}^{-3}$ .



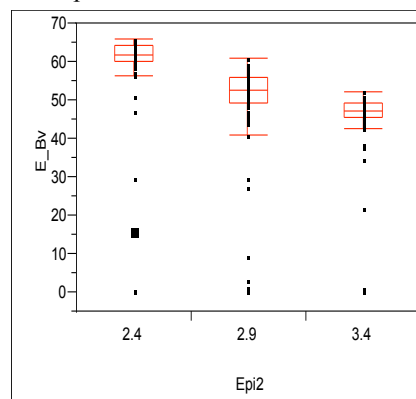
**Figure 99:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie A et pour une dose d'implantation de l'îlot de  $5 \cdot 10^{12} \text{cm}^{-3}$ .



**Figure 100:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie B et pour une dose d'implantation de l'îlot de  $5 \cdot 10^{12} \text{cm}^{-3}$ .

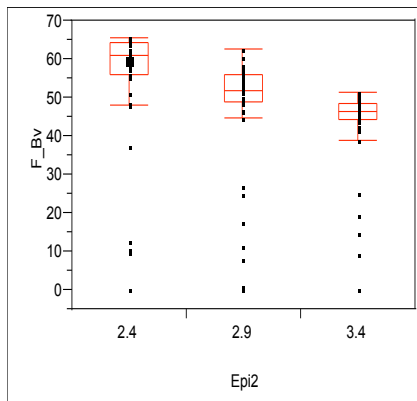


**Figure 101:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie C et pour une dose d'implantation de l'îlot de  $5 \cdot 10^{12} \text{cm}^{-3}$ .

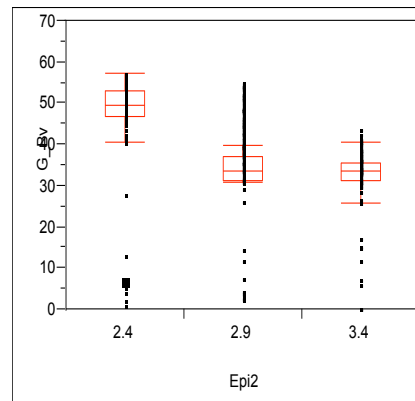


**Figure 102:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie E et pour une dose d'implantation de l'îlot de  $5 \cdot 10^{12} \text{cm}^{-3}$ .





**Figure 103:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie F et pour une dose d'implantation de l'îlot de  $5.10^{12}cm^{-3}$ .



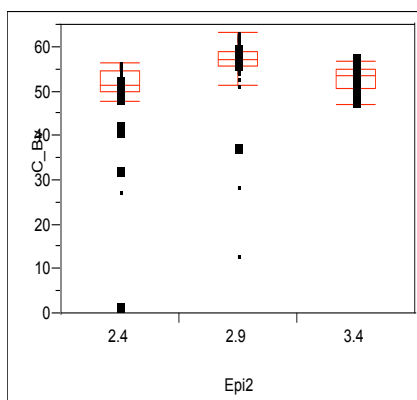
**Figure 104:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie G et pour une dose d'implantation de l'îlot de  $5.10^{12}cm^{-3}$ .

Sur les géométries Squish Square (A, B), nous obtenons une chute de tension de l'ordre de 20 Volts lorsque nous les comparons aux technologies WELLFET™. Pour ces raisons, nous avons décidé d'abandonner l'étude sur le Squish Square (géométrie convexe) et de nous focaliser sur le WELLFET™ (géométrie concave) sur laquelle l'autoblindage est meilleur.

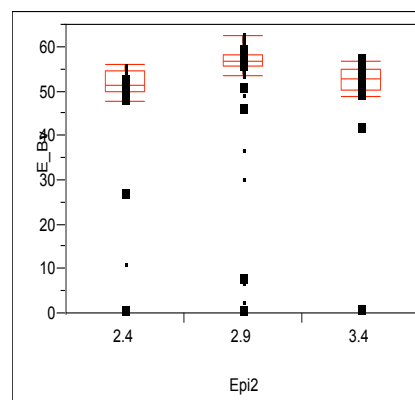
Nous pouvons constater également que quelles que soient les géométries utilisées, lorsque l'îlot flottant P s'éloigne du PHV c'est-à-dire lorsque nous augmentons l'épaisseur de la deuxième épitaxie, le champ électrique n'est plus réparti entre la diffusion du PHV et l'îlot mais devient maximum à la courbure de la jonction PHV épitaxie N.

Lorsque nous comparons les géométries C, E et F, nous pouvons constater que ces trois géométries ont des tenues en tension proches de 65 Volts, pour une épaisseur de deuxième épitaxie maximale de 2,4μm ; on obtient 55 Volts pour une épaisseur de 2,9μm, et 47 Volts pour une épaisseur de 3,4μm.

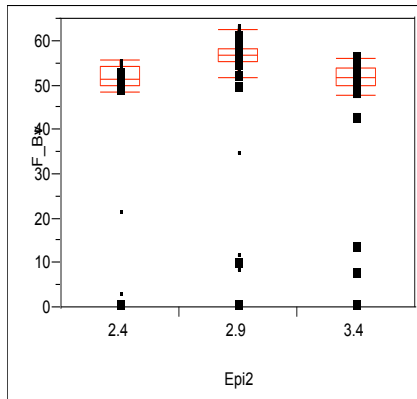
Les Figures 105 à 106 montrent l'impact de l'épaisseur de la deuxième épitaxie sur la tenue en tension pour une dose d'implantation de l'îlot de  $8.10^{12}cm^{-3}$ .



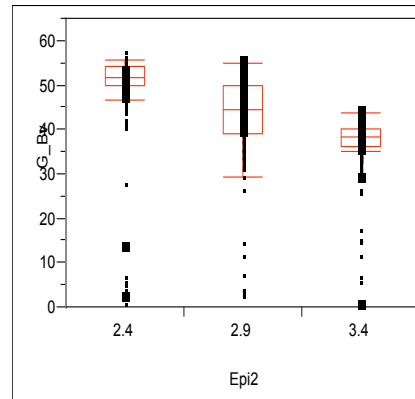
**Figure 105:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie C et pour une dose d'implantation de l'îlot de  $8.10^{12}cm^{-3}$ .



**Figure 106:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie E et pour une dose d'implantation de l'îlot de  $8.10^{12}cm^{-3}$ .



**Figure 107:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie F et pour une dose d'implantation de l'îlot de  $8 \cdot 10^{12} \text{cm}^{-3}$ .



**Figure 108:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie G et pour une dose d'implantation de l'îlot de  $8 \cdot 10^{12} \text{cm}^{-3}$ .

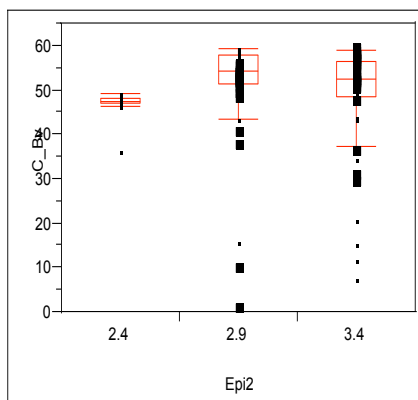
Lorsque nous comparons les géométries C, E et F, nous pouvons constater que le claquage a toujours lieu dans les cellules centrales. De plus pour une épaisseur de deuxième épitaxie de  $2,4 \mu\text{m}$  le claquage a lieu dans le volume, l'îlot est trop proche du PHV. Les pics de champ électriques ne sont plus répartis entre l'îlot flottant et le PHV, il y a un déséquilibre qui se crée, et le maximum de champ est localisé au niveau de l'îlot flottant.

Pour une épaisseur de  $2,9 \mu\text{m}$ , nous obtenons un optimum au niveau de la tenue en tension ce qui semblerait signifier que les maxima des pics de champ électriques sont bien répartis entre le PHV et l'îlot flottant.

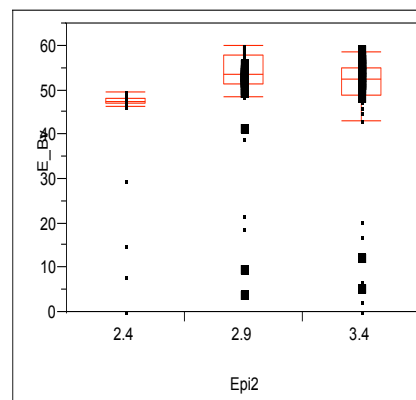
Pour une épaisseur de  $3,4 \mu\text{m}$ , lorsque nous éloignons l'îlot flottant, celui-ci ne jouant plus son rôle de répartiteur de champ, il y a un nouveau déséquilibre qui se crée, et le maximum de champ électrique est situé au niveau du PHV.

Concernant la géométrie G, sur laquelle nous n'avons pas bloqué le  $\text{N}^+$  dans les fins de branche, lorsque l'on éloigne l'îlot flottant et quelque soit l'épaisseur de la deuxième épitaxie, le maximum de champ est toujours localisé au niveau du PHV.

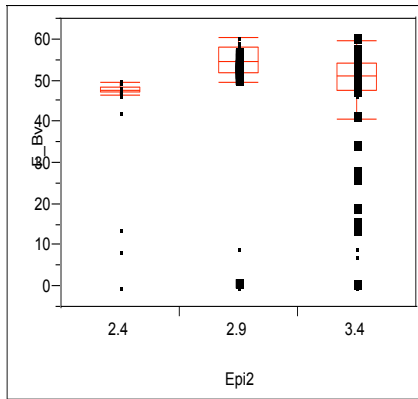
Les Figures 109 à 112 montrent l'impact de l'épaisseur de la deuxième épitaxie sur la tenue en tension pour une dose d'implantation de l'îlot de  $10^{13} \text{cm}^{-3}$ .



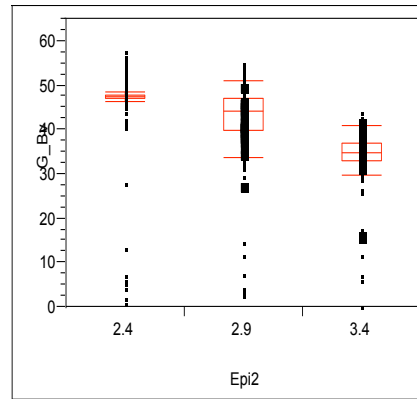
**Figure 109:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie C et pour une dose d'implantation de l'îlot de  $10^{13} \text{cm}^{-3}$ .



**Figure 110:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie E et pour une dose d'implantation de l'îlot de  $10^{13} \text{cm}^{-3}$ .



**Figure 111:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie F et pour une dose d'implantation de l'îlot de  $10^{13}\text{cm}^{-3}$ .

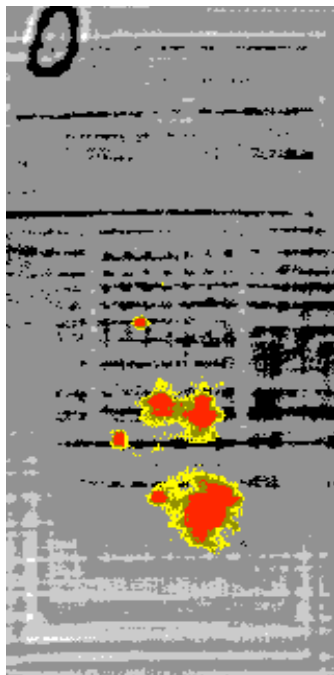


**Figure 112:** Etude de la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie pour la géométrie G et pour une dose d'implantation de l'îlot de  $10^{13}\text{cm}^{-3}$ .

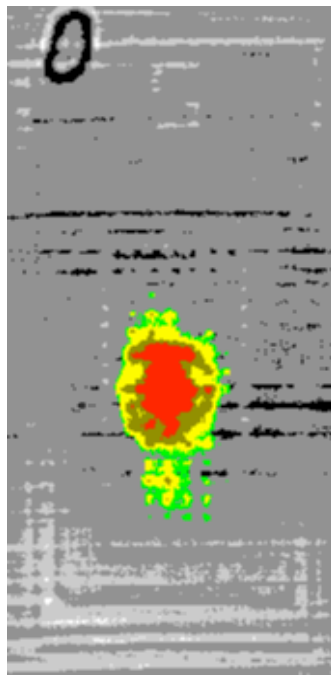
Pour une dose d'implantation de l'îlot à  $10^{13}\text{cm}^{-3}$ , les tenues en tension des géométries C, E et F augmentent lorsque nous éloignons l'îlot du PHV. Pour une épaisseur de  $2,4\mu\text{m}$ , le pic de champ électrique est situé au niveau de l'îlot, et lorsque nous augmentons l'épaisseur de la deuxième épitaxie, le champ est bien réparti entre le PHV et l'îlot.

Pour la géométrie G, plus l'îlot s'éloigne, plus la répartition du champ est déséquilibrée, et le maximum de champ est situé au niveau du PHV.

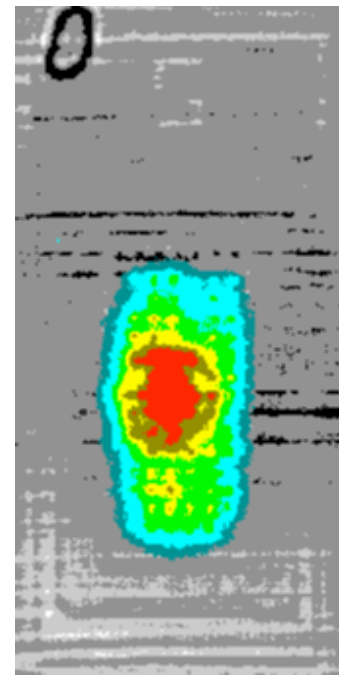
Les Figures de 113 à 115 présentent des images en EMMI (EMission Microscope) qui montrent que le claquage a bien lieu au centre du composant et non pas à sa périphérie. Il s'agit d'un composant ayant une épaisseur de deuxième épitaxie de  $3,4\mu\text{m}$  et une dose d'implantation de l'îlot de  $8.10^{12}\text{cm}^{-3}$ .



**Figure 113:** Image en EMMI (Face avant) sur la géométrie FLWELL8, pour un courant de  $1\mu\text{A}$  et une tension de 58Volts.



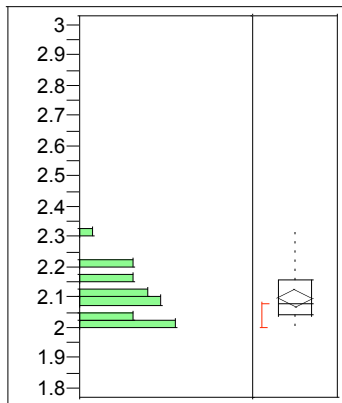
**Figure 114:** Image en EMMI (Face avant) sur la géométrie FLWELL8, pour un courant de  $100\mu\text{A}$  et une tension de 59Volts.



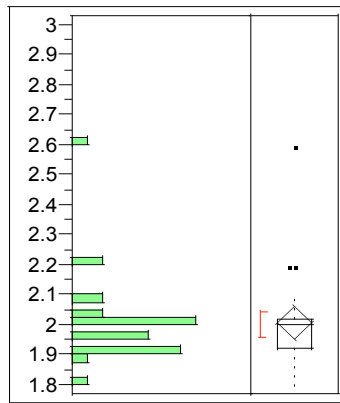
**Figure 115:** Image en EMMI (Face avant) sur la géométrie FLWELL8, pour un courant de  $2\text{mA}$  et une tension de 61Volts.

3.2.3 Résistance à l'état passant

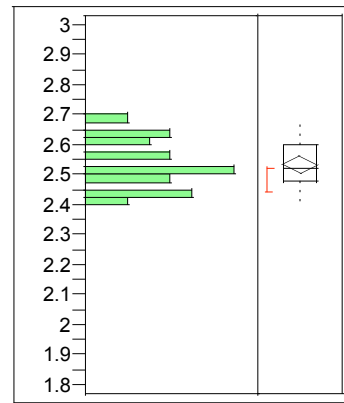
Les Figures 116 à 121 montrent les distributions de la résistance à l'état passant pour différentes géométries.



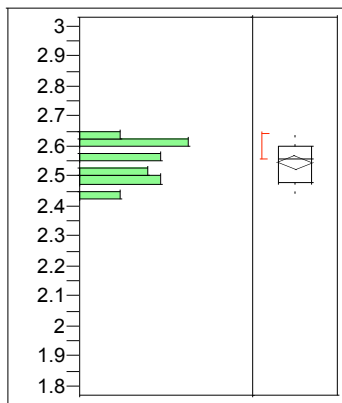
**Figure 116:** Etude de la distribution de la résistance à l'état passant pour la géométrie A.



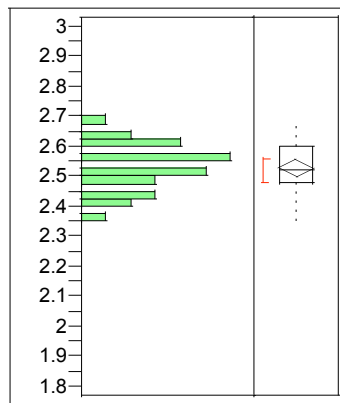
**Figure 117:** Etude de la distribution de la résistance à l'état passant pour la géométrie B.



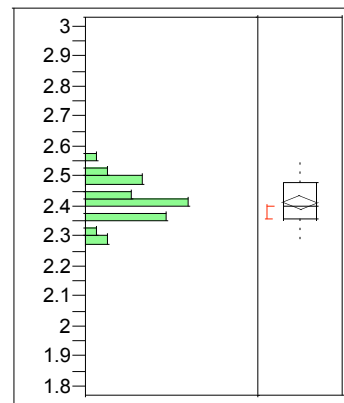
**Figure 118:** Etude de la distribution de la résistance à l'état passant pour la géométrie C.



**Figure 119:** Etude de la distribution de la résistance à l'état passant pour la géométrie E.



**Figure 120:** Etude de la distribution de la résistance à l'état passant pour la géométrie F.



**Figure 121:** Etude de la distribution de la résistance à l'état passant pour la géométrie G.

Le tableau 5 regroupe les valeurs moyennes des distributions ci-dessus.

Géométrie	A	B	C	E	F	G
$R_{dsON}$ moyen (mΩ)	2	2	2,6	2,6	2,6	2,4
$R_{dsON-S}$ (mΩ.cm <sup>2</sup> )	0,65	0,65	0,85	0,85	0,85	0,78

**Tableau 5:** Valeurs moyennes des distributions.

Les géométries Squish Square présentent une résistance à l'état passant meilleure que les géométries WELLFET™, car l'îlot, du fait de sa géométrie, empêche moins le courant de passer contrairement aux géométries WELLFET™.

Nous pouvons également constater une différence dans les géométries WELLFET™. Les géométries C, E et F affichent des valeurs de  $R_{dsON}$  identiques, ce qui est tout à fait normal car les variations effectuées sur ces géométries ne concernent que la cellule de bord, qui ne participe pas à la conduction.

La variation observée sur la géométrie G ( $R_{dsON}$  plus petit que sur les autres géométries WELLFET™), est également tout à fait logique, car le périmètre de source est plus important ; en effet, nous ne bloquons pas le  $N^+$  de source dans les fins de branche.

#### 3.2.4 *Conclusion*

Concernant les géométries, nous continuerons notre étude uniquement sur les géométries WELLFET™ (géométrie concave). Les géométries Squish Square (géométrie convexe) sont quant à elles, abandonnées, car nous obtenons des tenues en tension inférieures (jusqu'à 20 Volts) à celles des géométries WELLFET™.

A l'aide de cette étude, nous avons montré que le claquage se produisait dans les cellules centrales, et non pas sur les cellules de bord, ce qui valide l'efficacité de notre cellule de bord (au moins jusqu'à 65 Volts).

Nous avons mesuré des transistors FLYMOS™ aux alentours de 70 Volts ; cependant le compromis "dose de l'îlot flottant / épaisseur de l'épitaxie" est très important. Nous avons montré que lorsque l'îlot était implanté avec une faible dose ( $5.10^{12} \text{cm}^{-3}$ ), le maximum de tenue en tension était obtenu pour une faible épaisseur de la deuxième épitaxie ( $2,4 \mu\text{m}$ ). Si toutefois, nous augmentons la dose de l'îlot, il faut également augmenter l'épaisseur de la deuxième épitaxie, c'est-à-dire éloigner l'îlot du PHV.

Cette étude a permis de mettre en avant un point essentiel pour la conception du FLYMOS™ ; plus l'îlot est dopé et plus il doit être éloigné du PHV, ceci ayant pour conséquence d'augmenter l'épaisseur de la deuxième épitaxie donc de la résistance à l'état passant. Il faut donc choisir une dose faible pour l'implantation de l'îlot flottant P afin de tenir la tension et de diminuer la résistance à l'état passant.

Nous allons donc nous focaliser sur la géométrie du WELLFET™, afin d'améliorer la tenue en tension dans la cellule centrale, car les structures C, E et F dont la diffusion du  $N^+$  des fins de branche a été bloquée, ont des tenues en tension supérieures à la structure G d'environ 10 Volts. Ceci nous permet de mettre en avant que le  $N^+$  dans les fins de branche provoque le claquage prématuré de la cellule centrale.

### 3.3 ETUDE DE L'IMPACT DU PEDGE SUR LES FINS DE BRANCHE

Nous avons montré dans le paragraphe précédent que nous pouvions améliorer la tenue en tension du FLYMOS™ d'environ 10% si la diffusion du  $N^+$  de source était bloquée dans les fins de branche, en provoquant toutefois une augmentation d'environ 9% sur le  $R_{dsON.S}$ .

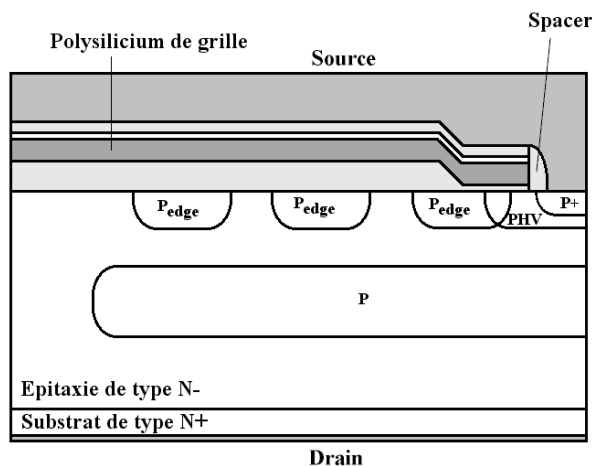
Nous avons décidé non pas de bloquer la diffusion du  $N^+$  mais d'implanter une couche supplémentaire de bore dans les fins de branche, sans toutefois rajouter d'étape supplémentaire car cette implantation de bore sera une implantation à l'aide du Pedge.

### 3.3.1 Plan d'expérience

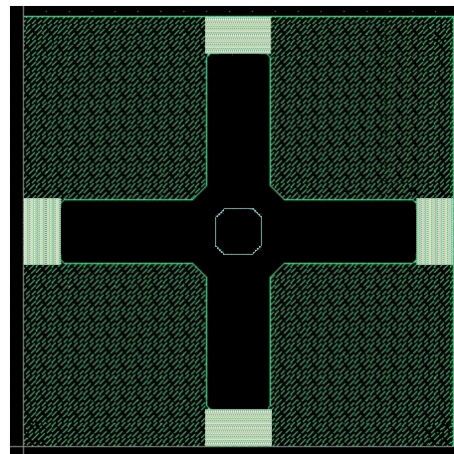
Le but de ce plan d'expérience est donc d'essayer de voir l'impact du Pedge sur la fin des branches du transistor WELLFET™ d'une part et d'étudier les différents paramètres liés à l'îlot flottant d'autre part. Les différents paramètres à étudier sont :

- Variation de la dose d'implantation du Pedge,
- Variation de la dose d'implantation de l'îlot,
- Variation de l'épaisseur d'oxyde à travers laquelle on implante l'îlot,
- Variation de l'épaisseur de la deuxième épitaxie.

Nous allons donc implanter du Pedge à la fois dans la cellule de bord (Figure 122) mais également à la fin des branches du WELLFET™ (Figure 123).



**Figure 122:** Coupe schématique de la cellule de bord avec une JTE (Pedge), deux anneaux de garde (Pedge) et un îlot flottant.



**Figure 123:** Géométrie standard du WELLFET™ avec implantation du Pedge en fin de branche (gris clair).

La croissance de la deuxième épitaxie, notamment l'étape de température nécessaire à cette croissance, entraîne une forte augmentation de l'épaisseur de l'îlot (effet de diffusion).

Deux possibilités s'offrent à nous, soit diminuer la température de croissance de la deuxième épitaxie, soit implanter l'îlot plus en profondeur dans la première épitaxie.

La première option ne peut pas être retenue car comme nous l'avons dit précédemment, une température inférieure à 1050°C entraînerait une mauvaise qualité d'épitaxie ; c'est pour cela que nous avons fixé l'épaisseur de la deuxième épitaxie à 2,6µm avec une résistivité de 0,50 Ω.cm . La première quant à elle a été fixée à 2,8µm avec une résistivité de 0,48 Ω.cm .

La variation de la dose d'implantation de l'îlot, ainsi que la variation de l'épaisseur d'oxyde à travers lequel nous implantons l'îlot, ont pour but de diminuer au maximum l'épaisseur de l'îlot flottant P. Le plan d'expérience est présenté Tableau 6 et Tableau 7.

Numéro des plaquettes	Epaisseur de l'oxyde de l'îlot	Dose de l'îlot (cm <sup>-2</sup> )	Epaisseur de la 2 <sup>nde</sup> Epitaxie (µm)
1, 2, 3	200 Å	5.10 <sup>12</sup>	2,9
4, 5, 6	200 Å	5.10 <sup>12</sup>	3,4
7, 8, 9	200 Å	10 <sup>13</sup>	2,9
10, 11, 12	200 Å	10 <sup>13</sup>	3,4
13, 14, 15	1k Å	5.10 <sup>12</sup>	2,9
16, 17, 18	1k Å	5.10 <sup>12</sup>	3,4
19, 20, 21	1k Å	10 <sup>13</sup>	2,9
22, 23, 24	1k Å	10 <sup>13</sup>	3,4

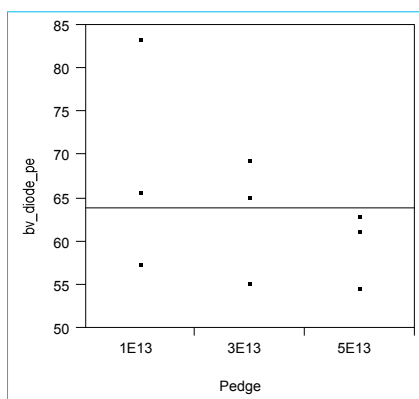
**Tableau 6:** Plan d'expérience sur l'îlot flottant.

Numéro des wafers	Dose du Pedge (cm <sup>-2</sup> )
1, 4, 7, 10	1.10 <sup>13</sup>
2, 5, 8, 11	3.10 <sup>13</sup>
3, 6, 9, 12	5.10 <sup>13</sup>

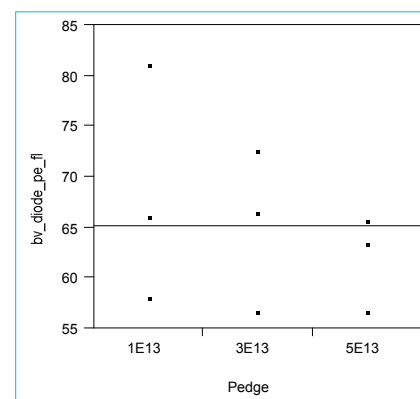
**Tableau 7:** Plan d'expérience sur la dose du Pedge.

### 3.3.2 Tenue en tension sur les FLi-Diodes

La Figure 124 et la Figure 125 représentent respectivement la variation de la tenue en tension en fonction de la dose du Pedge pour deux géométries de diodes différentes, au niveau de leurs structures de bord. La première est la structure n°3 (Voir Chapitre II, Figure II.39). La deuxième est la structure n°4 (Voir Chapitre II, Figure II.41).



**Figure 124:** Etude de la variation de la tenue en tension en fonction de la dose du Pedge pour A=2,6µm.



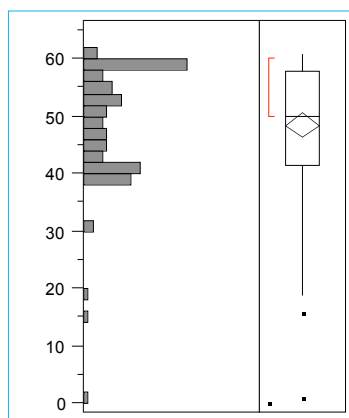
**Figure 125:** Etude de la variation de la tenue en tension en fonction de la dose du Pedge pour A=0µm.

Chaque point représenté sur les figures correspond à une mesure effectuée sur un plaquette. Nous pouvons constater sur ces deux figures que la tenue en tension est identique, quel que soit la géométrie utilisée, indépendamment de la dose du Pedge, de l'épaisseur de la deuxième épitaxie ainsi que de la dose de l'îlot flottant. Nous obtenons des valeurs supérieures à 80 Volts, ce qui indique que la tenue en tension de la structure de bord est au minimum de 80 Volts.

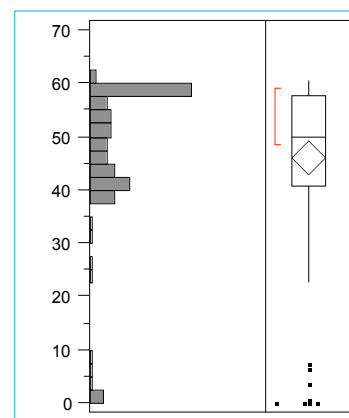
La dose du Pedge a donc un impact très important sur la tenue en tension des diodes. Pour une même épaisseur de deuxième épitaxie et une même dose d'implantation de l'îlot flottant, nous observons une dégradation de la tenue en tension lorsque la dose du Pedge augmente.

### 3.3.3 Tenue en tension sur les WELLFET™

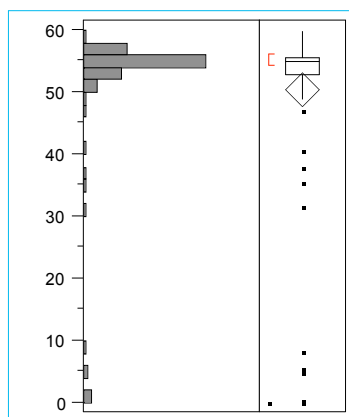
Nous avons effectué la même démarche concernant le WELLFET™, en faisant varier la dose d'implantation du Pedge et la géométrie de la structure de bord.



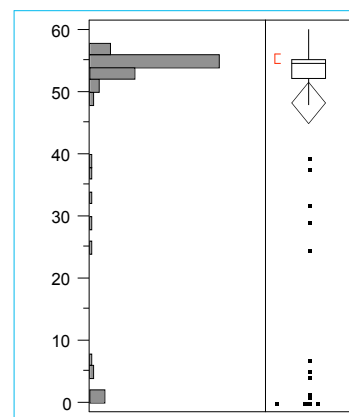
**Figure 126:** Etude de la variation de la tenue en tension pour une dose du Pedge à  $10^{13}\text{cm}^{-2}$  et pour  $A=2,6\mu\text{m}$ .



**Figure 127:** Etude de la variation de la tenue en tension pour une dose du Pedge à  $10^{13}\text{cm}^{-2}$  et pour  $A=0\mu\text{m}$ .



**Figure 128:** Etude de la variation de la tenue en tension pour une dose du Pedge à  $5.10^{13}\text{cm}^{-2}$  et pour  $A=2,6\mu\text{m}$ .



**Figure 129:** Etude de la variation de la tenue en tension pour une dose du Pedge à  $5.10^{13}\text{cm}^{-2}$  et pour  $A=0\mu\text{m}$ .

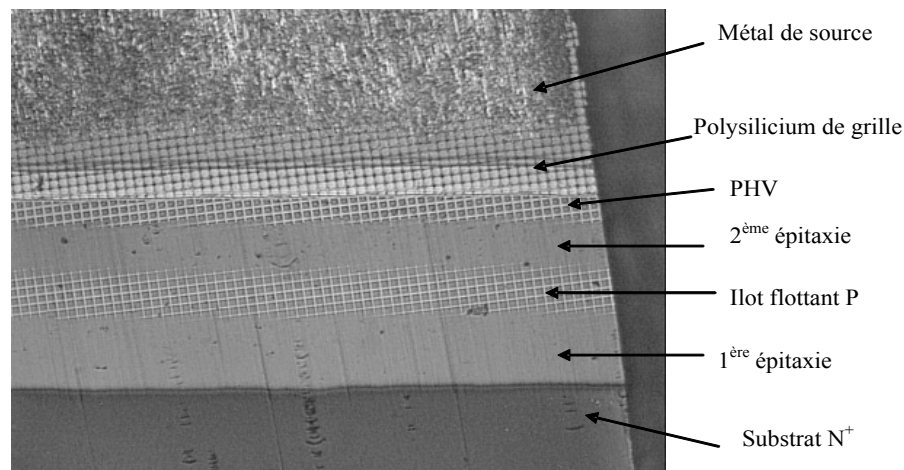
Nous pouvons constater sur ces quatre figures que la tenue en tension est identique en fonction de la dose du Pedge, quelle que soit la géométrie utilisée, indépendamment de l'épaisseur de la deuxième épitaxie ainsi que de la dose du l'îlot flottant. D'après ces distributions, nous pouvons constater que la structure avec A égal à 0µm est toute aussi performante que la structure avec A égal à 2,6µm. Ces résultats ne valident pas les simulations 2D, car la structure avec A égal à 0µm était meilleure de 10 Volts par rapport à la



structure avec A égal à  $2,6\mu\text{m}$ . En terme de reproductibilité de procédé, nous opterons pour la structure avec A égal à  $0\mu\text{m}$ . Cependant le claquage a lieu en cellule centrale.

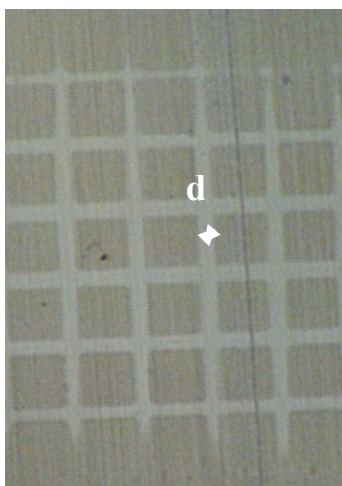
Pour une même épaisseur de deuxième épitaxie et une même dose d'implantation de l'îlot flottant, nous observons une légère augmentation de la tenue en tension lorsque la dose du Pedge augmente.

Nous avons effectué une révélation cristalline sur un biseau représenté sur la Figure 126. Afin de révéler les régions P dans une épitaxie  $\text{N}^-$ , nous avons plongé le composant dans une solution "Netch".

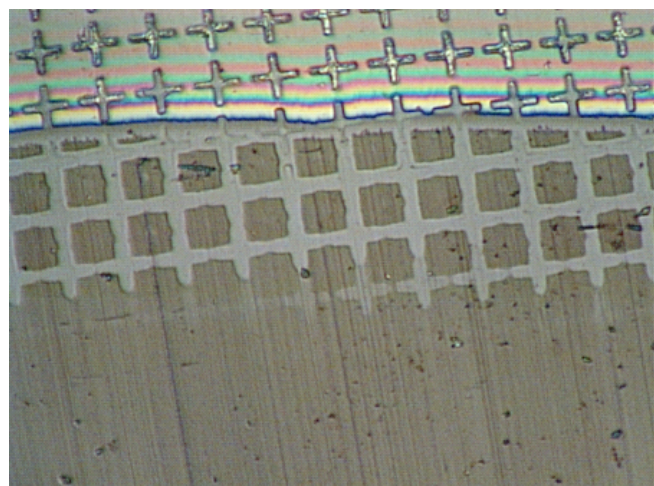


**Figure 130:** Révélation cristalline sur le FLYMOS™.

Les deux figures ci-dessous représentent une vue "rapprochée" sur les îlots flottants (Figure 131) et sur la surface (Figure 132).



**Figure 131:** Révélation cristalline sur le FLYMOS™. Zoom sur les îlots flottants.



**Figure 132:** Révélation cristalline sur le FLYMOS™. Zoom sur la surface.

Sur la Figure 131, nous obtenons alors une largeur de  $1,7\mu\text{m}$  (distance d), pour une ouverture de masque de  $1\mu\text{m}$ , ce qui correspond à une diffusion latérale de  $0,35\mu\text{m}$ , soit un coefficient multiplicateur pour la diffusion latérale de 0,44 au lieu de 0,8 précédemment utilisé pour la simulation.

Sur la Figure 132, nous pouvons bien voir qu'entre les PHV on retrouve bien une continuité du P dans les branches ce qui prouve la présence du Pedge.

### 3.3.4 Conclusion

Nous avons obtenu des tenues en tension supérieures à 80 Volts sur les diodes, ce qui a permis de qualifier la géométrie avec un anneau flottant unique dans la terminaison ( $A=0\mu\text{m}$ ), et d'affirmer que la cellule de bord affiche une tension de claquage minimale de 80 Volts. Cependant nous ne connaissons pas la tension maximale que peut supporter cette cellule car le claquage se produit toujours en cellule centrale.

Nous avons décidé de garder la valeur de  $10^{13}\text{cm}^{-3}$  comme dose d'implantation du Pedge, car nous obtenons de bons résultats sur les diodes. Par ailleurs, les résultats sur les WELLFET™ sont bien inférieurs à ceux obtenus sur les diodes.

L'ajout d'une implantation de Pedge à la fin des branches du WELLFET™ n'améliorerait pas la tenue en tension lorsque nous la comparons à la structure sur laquelle nous avons bloqué la diffusion du  $N^+$  de source, dans l'étude précédente.

Toutefois, nous porterons une attention toute particulière à améliorer la tenue en tension de ces WELLFET™ et notamment en fin de branche.

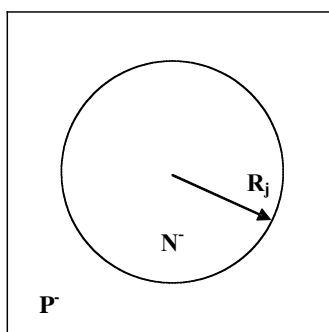
Nous devons donc améliorer la tenue en tension dans le volume, car d'après les révélations cristallines ces îlots étaient plus petits que prévu, il faut donc revoir la géométrie des îlots flottants, mais également améliorer la tenue en tension à la surface du silicium en dessinant une nouvelle cellule centrale.

## 3.4 AMELIORATION DE LA GEMOETRIE DANS LE VOLUME

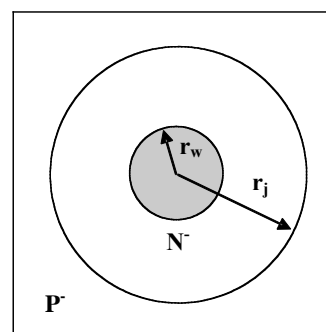
Nous avons vu qu'il fallait améliorer la tenue en tension dans la cellule centrale en améliorant tant la tenue en tension à la surface du silicium mais aussi dans le volume. En effet, les révélations cristallines ont montré que, après diffusion, les îlots flottants étaient plus petits que prévu. Il faut donc revoir la géométrie de ces îlots, soit en augmentant l'ouverture d'implantation (Figure 133), soit en gardant la même ouverture d'implantation et en ajoutant des îlots flottants dans le volume au milieu du réseau déjà existant (Figure 134).

Considérons un cas simple pour nos calculs, c'est-à-dire que la section de passage du courant entre les îlots flottants après diffusion sont des cercles.

Afin de compenser le manque de diffusion latérale de  $0,35\mu\text{m}$ , vaut-il mieux augmenter l'ouverture de diffusion de  $0,35\mu\text{m}$ , ou diminuer l'ouverture de  $0,35\mu\text{m}$  et rajouter un autre îlot flottant de rayon  $0,35\mu\text{m}$  ?



**Figure 133:** Augmentation de l'ouverture d'implantation de l'îlot flottant.



**Figure 134:** Insertion d'un nouvel îlot flottant, en gardant la même ouverture d'implantation.

Calcul de l'aire (en blanc sur la Figure 133) du passage du courant :

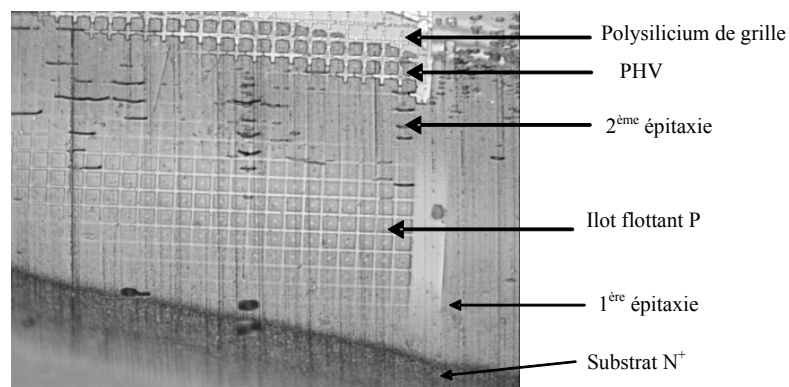
$$A = \pi.R_j^2 = \pi.(3,1 - 0,35)^2 = 23,81\mu\text{m}^2$$

Calcul de l'aire (en blanc sur la Figure 134) du passage du courant :

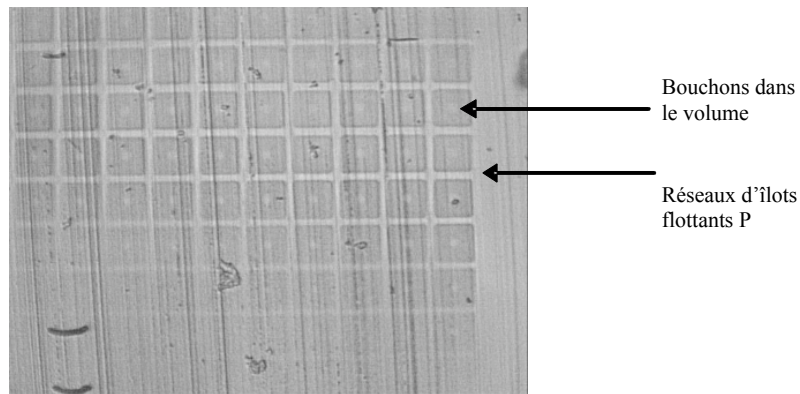
$$A = \pi.r_j^2 - \pi.r_w^2 = \pi.(3,1)^2 - \pi.(0,35)^2 = 29,87\mu\text{m}^2$$

Dans la suite du travail, nous choisisons la deuxième option, car en intégrant un îlot au milieu du réseau (appelé par la suite "bouchon" dans le volume) existant : cette option est moins contraignante en terme de résistance à l'état passant, car la section de passage du courant est plus importante, de l'ordre de 20%.

Nous avons à nouveau effectué une révélation cristalline sur un biseau représenté sur la Figure 134 et Figure 136 pour révéler les îlots flottants P et les "bouchons" dans le volume.



**Figure 135:** Révélation cristalline sur le FLYMOS™ avec des "bouchons" dans le volume.



**Figure 136:** Agrandissement sur les îlots flottants avec les "bouchons" dans le volume.

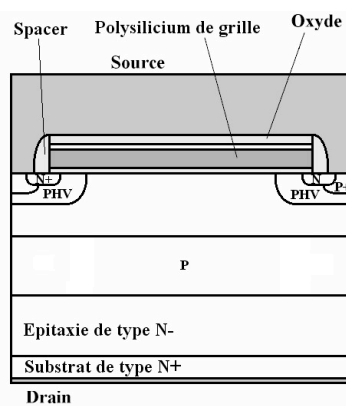
Nous allons maintenant appliquer cette nouvelle géométrie à la suite de notre travail.

### 3.4.1 Plan d'expérience

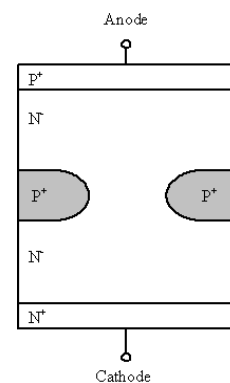
Le but de ce plan d'expérience est d'étudier la variation de la dose d'implantation de l'îlot flottant, en faisant varier la dose et l'épaisseur de l'oxyde à travers lequel on implante l'îlot. Nous considérons que lorsque nous implantons au travers de 200Å d'oxyde, toute la quantité de la dose traverse l'oxyde. Lorsque l'on implante au travers de 1kÅ d'oxyde, seule la moitié de la quantité de la dose traverse l'oxyde.

L'épaisseur de la première épitaxie a été fixée à 2,5µm avec une résistivité de 0,44 Ω.cm ( $1,25 \cdot 10^{16} \text{cm}^{-3}$ ) ; or nous souhaitons une résistivité de 0,50 Ω.cm ( $1,1 \cdot 10^{16} \text{cm}^{-3}$ ). Il faut donc nous attendre à une diminution d'au moins 5 Volts de la tenue en tension dans la première épitaxie, puisque avec un dopage de  $1,25 \cdot 10^{16} \text{cm}^{-3}$ , nous obtenons une tenue en tension de 49Volts, contre 54Volts pour un dopage de  $1,1 \cdot 10^{16} \text{cm}^{-3}$  (d'après les formules de la tenue en tension de Leturcq [LET]).

Nous avons vu que le claquage du FLYMOS™ se produisait toujours en cellule centrale. Afin de connaître le lieu de claquage, surface ou volume, nous avons la possibilité de modifier à la fois le procédé mais également les dessins de masque. Nous allons combiner à la fois Diode et WELLFET™. Nous allons utiliser le WELLFET™ en surface avec une Diode dans le volume (Figure 137) et utiliser une Diode en surface avec un WELLFET™ dans le volume (Figure 138).



**Figure 137:** Coupe schématique WELLFET™ en surface avec une Diode dans le volume.



**Figure 138:** Coupe schématique d'une Diode en surface avec WELLFET™ dans le volume.

Le tableau 8 définit le plan d'expérience utilisé.

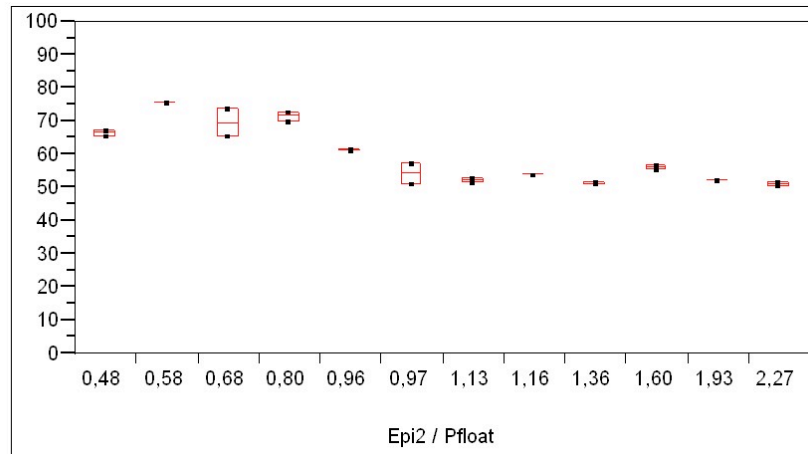
Numéro des plaquettes	Epaisseur de l'oxyde de l'îlot	Dose réelle de l'îlot (cm <sup>-2</sup> )	Epaisseur de la 2 <sup>nde</sup> Epitaxie (µm)
1, 2	200Å	$6 \cdot 10^{12}$	2,4
3, 4	200Å	$6 \cdot 10^{12}$	2,9
5, 6	200Å	$6 \cdot 10^{12}$	3,4
7, 8	200Å	$10^{13}$	2,4
9, 10	200Å	$10^{13}$	2,9
11, 12	200Å	$10^{13}$	3,4
13, 14	1kÅ	$3 \cdot 10^{12}$	2,4
15, 16	1kÅ	$3 \cdot 10^{12}$	2,9
17, 18	1kÅ	$3 \cdot 10^{12}$	3,4
19, 20	1kÅ	$5 \cdot 10^{12}$	2,4
21, 22	1kÅ	$5 \cdot 10^{12}$	2,9
23, 24	1kÅ	$5 \cdot 10^{12}$	3,4

**Tableau 8:** Plan d'expérience sur la dose de l'îlot flottant.

3.4.2 *Tenue en tension sur les FLi-Diodes*

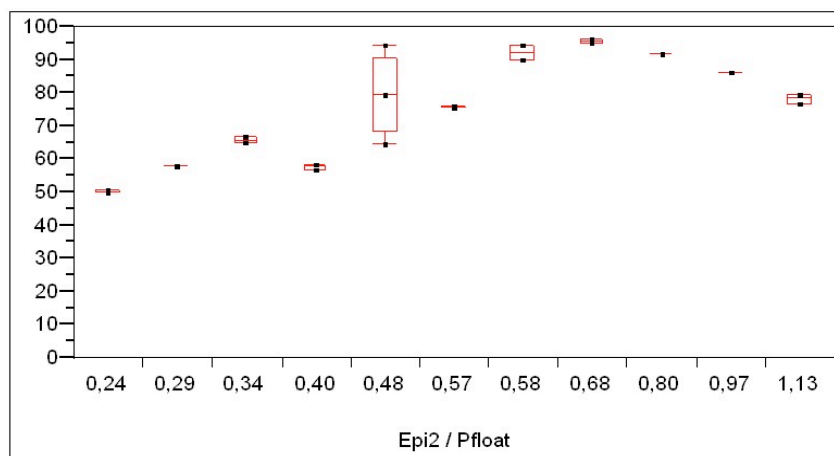
Les figures présentées ci-dessous sont données en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant", ce qui permet de situer à la fois l'emplacement de l'îlot (épaisseur de la deuxième épitaxie) et de connaître son épaisseur (dose de l'îlot flottant).

La Figure 139 représente la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour la diode en surface et dans le volume, appelé Diode-Diode. Cependant cette structure possède la mauvaise terminaison, A égale à 2,6µm.



**Figure 139:** Etude de la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour la Diode-Diode, avec A égale à 2,6µm.

La Figure 140 représente la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour la diode en surface et dans le volume avec la bonne terminaison, A égal à 0µm.

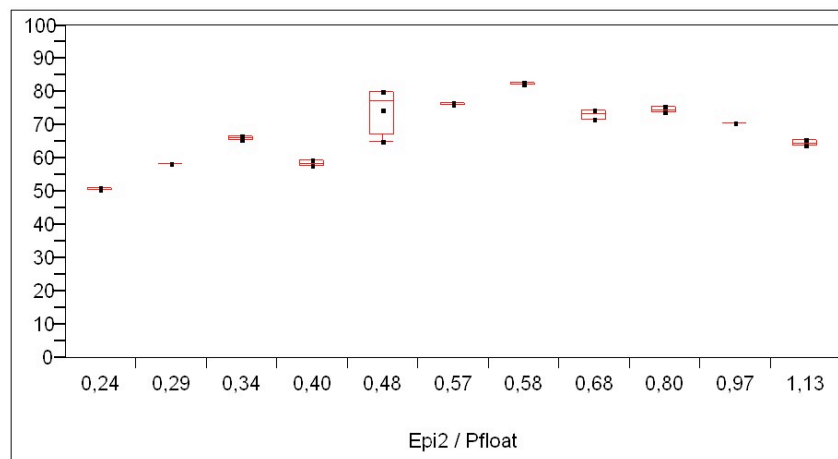


**Figure 140:** Etude de la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour la Diode-Diode, avec A égale à 0µm.

Lorsque nous comparons ces deux figures, nous pouvons noter que l'impact de la terminaison est très important. Pour un rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" de 0,68 par exemple, nous obtenons 70 Volts pour une terminaison avec A égale à 2,6µm, et 97 Volts pour A égale à 0µm, soit une amélioration de 38% sur la tenue en

Lorsque nous comparons ces deux figures, nous pouvons noter que l'impact de la terminaison est très important. Pour un rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" de 0,68 par exemple, nous obtenons 70 Volts pour une terminaison avec A égale à 2,6 $\mu\text{m}$ , et 97 Volts pour A égale à 0 $\mu\text{m}$ , soit une amélioration de 38% sur la tenue en tension. Cette valeur de 97 Volts correspond à 3 Volts près à la tension maximale que nous avons déterminé lors de nos simulations.

La Figure 141 représente la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour la diode en surface et le WELLFET™ dans le volume, appelé Diode-WELLFET™ avec la bonne terminaison, A égale à 0 $\mu\text{m}$ .

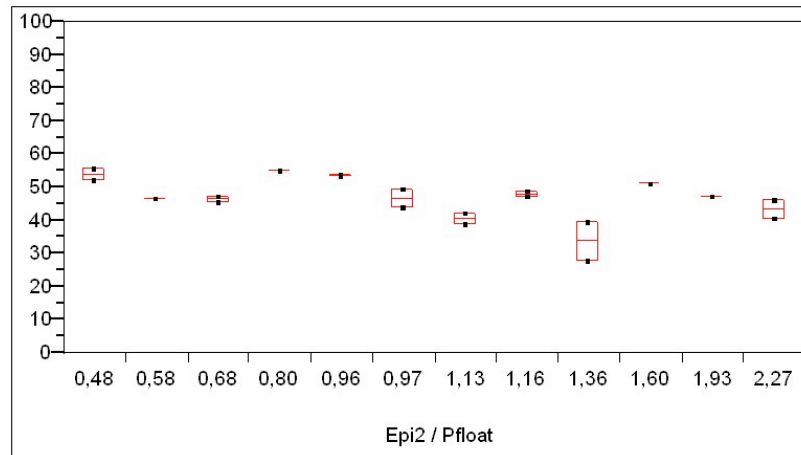


**Figure 141:** Etude de la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour la Diode-WELLFET™, avec A égale à 0 $\mu\text{m}$ .

Pour la structure Diode-WELLFET™, nous obtenons des tenues en tension autour de 85 Volts, ce qui représente environ 10 Volts de moins que la structure Diode-Diode (autour de 97 Volts), ce qui indiquerait qu'il y a toujours un problème dans le volume malgré le rajout de bouchons flottants. Si on considère un rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" de 0,68, on obtient une tension de claquage autour de 75 Volts, ce qui représente une chute de 30% sur la tenue en tension de la structure Diode-WELLFET™ par rapport à la structure Diode-Diode.

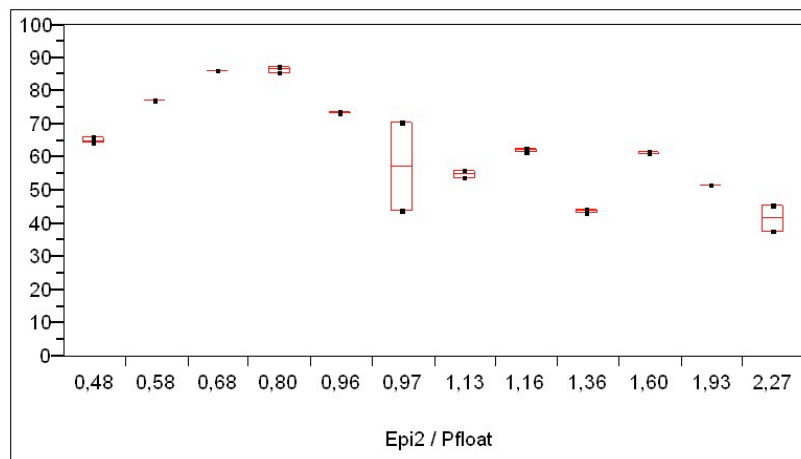
### 3.4.3 Tenue en tension sur les FLYMOS™

La Figure 142 représente la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour le WELLFET™ en surface et dans le volume, appelé WELLFET™-WELLFET™ avec la terminaison A égale à 0 $\mu\text{m}$ .



**Figure 142:** Etude de la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour le WELLFET™-WELLFET™, avec A égale à 0 $\mu$ m.

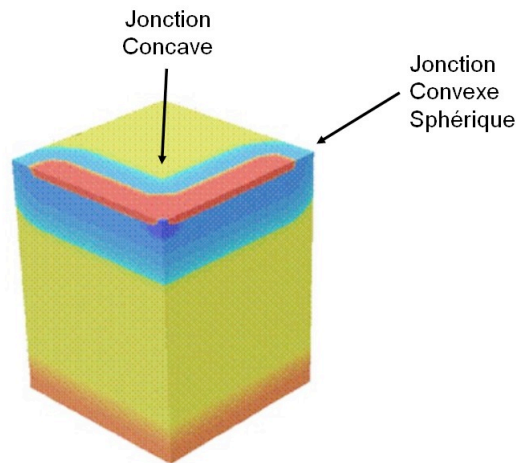
La Figure 143 représente la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour le WELLFET™ en surface et la diode dans le volume, appelé WELLFET™-Diode avec la terminaison, A égale à 0 $\mu$ m.



**Figure 143:** Etude de la variation de la tenue en tension en fonction du rapport "épaisseur de la deuxième épitaxie sur dose de l'îlot flottant" pour le WELLFET™-Diode, avec A égale à 0 $\mu$ m.

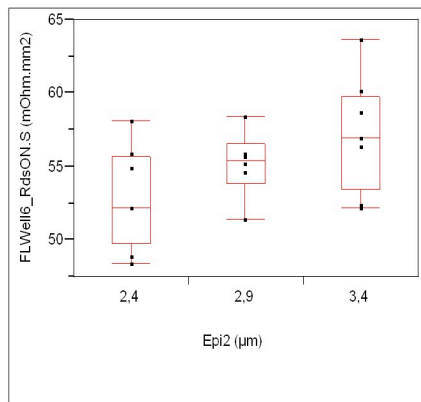
Pour la structure WELLFET™-WELLFET™, nous obtenons de faibles valeurs de tenue en tension autour de 50 Volts, dues à une trop faible résistivité de la première épitaxie (0,44  $\Omega$ .cm au lieu de 0,55  $\Omega$ .cm). Toutefois si nous avions eu la bonne résistivité, les valeurs de tenue en tension auraient été de l'ordre de 55-60 Volts.

Les tenues en tension obtenues pour la structure WELLFET™-WELLFET™, autour de 50 Volts, représentent environ 30 Volts de moins que la structure WELLFET™-Diode ; ceci indique que, en plus du problème dans le volume dû aux courbures des îlots, le problème principal provient de la surface, et notamment du N<sup>+</sup> dans les fins de branches. Bien que la technologie WELLFET™ soit une technologie concave, il existe dans les angles des fins de branche des jonctions convexes sphériques.

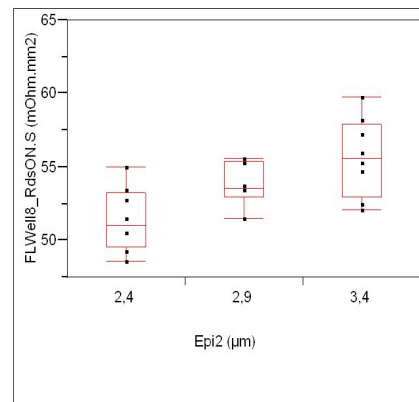


**Figure 144:** Localisation des jonctions concaves et convexes dans le FLYMOS™.

### 3.4.4 Résistance à l'état passant



**Figure 145:** Etude de la variation de la résistance à l'état passant en fonction de l'épaisseur de la deuxième épitaxie sur le WELLFET™ 6µm.



**Figure 146:** Etude de la variation de la résistance à l'état passant en fonction de l'épaisseur de la deuxième épitaxie sur le WELLFET™ 8µm.

Nous obtenons des valeurs de résistances passantes spécifiques aux alentours de  $55 \text{ m}\Omega.\text{mm}^2$ , ce qui est 15% inférieur aux valeurs obtenues précédemment (autour de  $66 \text{ m}\Omega.\text{mm}^2$ ). Toutefois, la valeur de résistivité de la première épitaxie est inférieure de 12% par rapport à celle attendue, donc la résistance passante spécifique devrait être supérieure de 10% : nous devrions donc obtenir des valeurs de résistance passante spécifique autour de  $60 \text{ m}\Omega.\text{mm}^2$ .

### 3.4.5 Conclusion

En terme de compromis "Tenue en tension/Résistance à l'état passant", lorsque nous utilisons un oxyde avec une épaisseur de  $1 \text{ k}\text{\AA}$ , il semble que le PHV et l'îlot flottant P ne se touchent pas et ce, quelles que soient la dose de l'îlot et l'épaisseur de la deuxième épitaxie. De plus, avec un oxyde à  $1 \text{ k}\text{\AA}$ , la tenue en tension et la résistance à l'état passant sont plus reproductibles qu'avec un oxyde à  $200 \text{\AA}$ .

Nous avons corrélé la simulation avec la mesure pour la structure de bord avec une tension de claquage de 97 Volts. Toutefois sur la structure WELLFET™-WELLFET™

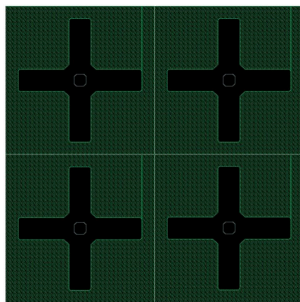


(structure FLYMOS™), nous avons identifié le problème des fins de branche qui provoque le claquage prématuré car, dans les fins de branches, nous avons des jonctions sphériques.

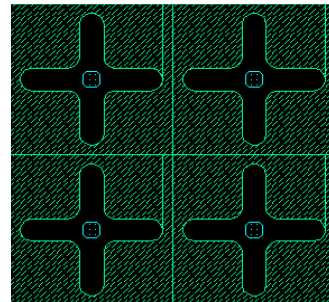
### 3.5 MODIFICATION DES GÉOMÉTRIES

#### 3.5.1 Les différentes géométries

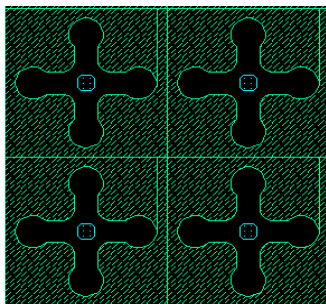
Dans le paragraphe précédent, nous avons identifié la cause du claquage prématuré de la structure centrale, ce qui nous a amené à étudier l'influence de la géométrie de surface du WELLFET™. Pour cela nous avons dû éliminer la variable qui pouvait entraîner des variations dans cette étude, et notamment les îlots flottants. Nous avons également changé la résistivité de l'épitaxie puisque nous sommes passés d'une épitaxie de  $0,55 \Omega \cdot \text{cm}$  à une épitaxie à  $1,05 \Omega \cdot \text{cm}$ . Les figures ci-dessous (Figure 147 à Figure 150) montrent les quatre géométries étudiées pour montrer l'impact sur les fins de branche des jonctions sphériques.



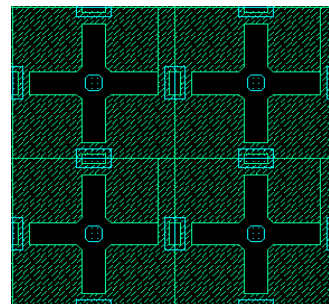
**Figure 147:** Géométrie standard du WELLFET™.



**Figure 148:** Géométrie WELLFET™ avec les fins de branche arrondies.



**Figure 149:** Géométrie WELLFET™ avec les fins de branche en trèfles.

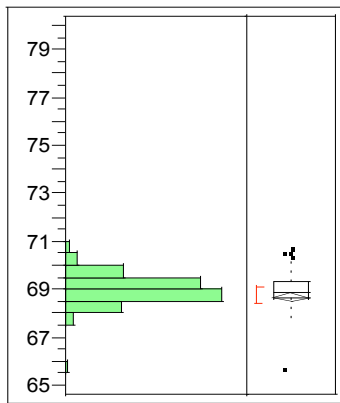


**Figure 150:** Géométrie WELLFET™ avec les fins de branche carrées.

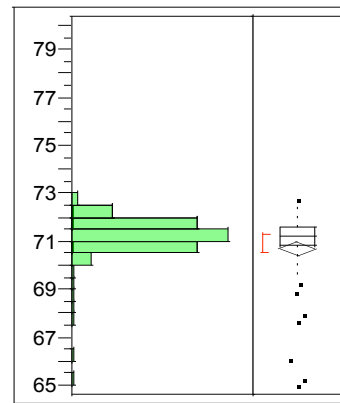
Sur la Figure 148, géométrie WELLFET™ avec les fins de branche arrondies, nous avons essayé de voir l'impact du rayon de courbure sur les fins de branche, et nous avons augmenté encore le rayon sur la Figure 149. La Figure 150 représente des fins de branche carrées, mais nous avons implanté entre ces fins de branches uniquement du P<sup>+</sup> et du PHV (pas de N<sup>+</sup>), ce qui formera un réseau uniforme.

#### 3.5.2 Tenue en tension

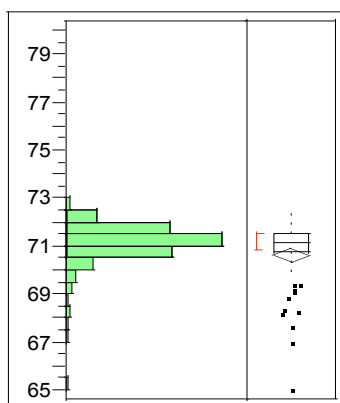
Les figures ci-dessous montrent les distributions des mesures effectuées suivant les différentes géométries.



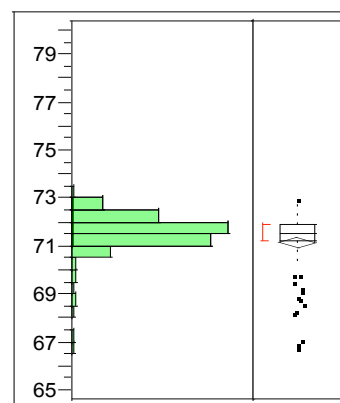
**Figure 151:** Etude de la variation de la tenue en tension en fonction de la géométrie standard du WELLFET™.



**Figure 152:** Etude de la variation de la tenue en tension en fonction de la géométrie du WELLFET™ avec les fins de branche arrondies.



**Figure 153:** Etude de la variation de la tenue en tension en fonction de la géométrie du WELLFET™ avec les fins de branche en trèfles.



**Figure 154:** Etude de la variation de la tenue en tension en fonction de la géométrie du WELLFET™ avec les fins de branche carrées.

Nous pouvons remarquer une légère amélioration de la tenue en tension de l'ordre de 2,6Volts, lorsque nous comparons un WELLFET™ standard avec un WELLFET™ ayant des fins de branche différentes. La résistance passante spécifique, quant à elle, n'est pas très affectée.

Géométrie du WELLFET™	Standard	Trèfle	Arrondie	Carrée
<b>BV<sub>dss</sub> (Volts)</b>	68,9	71,5	71,2	71,5
<b>Ron.S (m<sub>2</sub>.cm<sup>2</sup>)</b>	0,84	0,85	0,82	0,85

### 3.5.3 Conclusion

Lorsque nous comparons les différentes géométries des fins de branche, nous pouvons remarquer que nous avons amélioré la tenue en tension : le meilleur WELLFET™ obtenu en terme de tenue en tension est le WELLFET™ dont les fins de branches ont des formes en trèfles ou carrées. Cependant le meilleur WELLFET™ en terme de compromis "tenue en tension/ résistance à l'état passant" est celui dont les fins de branches ont une forme arrondie.

---

## 4 CONCLUSION

Dans ce chapitre, la première partie a été consacrée à la réalisation technologique des FLi-Diodes et des transistors FLYMOS™. Nous avons décrit le procédé de fabrication du transistor FLYMOS™, de la cellule centrale et de la cellule de bord, et les différents problèmes rencontrés.

La deuxième partie a traité des résultats des mesures effectuées sur la FLi-Diode et sur le transistor FLYMOS™. Nous avons vu que le transistor FLYMOS™ était composé d'un îlot flottant P dans une zone épitaxiée N. Afin de ne pas pénaliser la résistance à l'état passant, nous avons montré que l'épaisseur de l'îlot devait être la plus faible possible. Il a donc fallu limiter les étapes de diffusion et donc les étapes à hautes températures. Nous avons conçu plusieurs lots de transistors FLYMOS™, en faisant varier des paramètres essentiels tels que les épaisseurs et les résistivités des deux épitaxies, ainsi que les épaisseurs et doses des îlots flottants. Toutes les études présentées dans de cette partie ont été destinées à minimiser l'épaisseur de l'îlot tout en améliorant la tenue en tension du FLYMOS™.

Toutefois, nous avons identifié la cause du claquage prématuré des structures centrales du FLYMOS, qui est dû à la structure même du WELLFET™, car dans les fins de branche nous avons des jonctions sphériques. Nous avons alors redessiné des géométries afin de limiter ce claquage prématuré, et le meilleur WELLFET™ en terme de compromis "tenue en tension/ résistance à l'état passant" est celui dont les fins de branche ont une forme arrondie.

Le meilleur résultat obtenu sur le FLYMOS™ est une tenue en tension de 73 Volts pour une résistance à l'état passant de  $65 \text{ m}\Omega \cdot \text{mm}^2$ . En ce qui concerne la tenue en tension nous nous situons une dizaine de volts en dessous de l'objectif qui était de 80-85 Volts ; pour la résistance à l'état passant, nous corrélons parfaitement avec nos simulations car nous avons obtenu une résistance à l'état passant de  $64 \text{ m}\Omega \cdot \text{mm}^2$ .

**Conclusion  
Générale**

Les besoins en puissance électrique dans les voitures ne cessent d'augmenter de telle sorte que d'ici 2010, les batteries 12 Volts ne parviendront plus à fournir suffisamment d'énergie. C'est pour cela qu'une nouvelle norme a émergé avec les batteries 42 Volts. Ce changement de tension de fonctionnement permettra le développement de nouvelles applications comme le freinage, la direction électrique... En contrepartie, les composants semi-conducteurs devront fonctionner à de tensions et des températures de plus en plus élevées, mais devront également être de plus en plus robustes et fiables.

Dans ce mémoire, nous nous sommes exclusivement intéressé à la puce de puissance pour laquelle le compromis "Tenue en tension / Résistance à l'état passant" représente un véritable enjeu, compte tenu des futures puissances qu'elle devra commuter.

Dans le premier chapitre, nous avons vu dans un premier temps qu'il existait un grand nombre de technologies MOS de puissance basse tension. Nous nous sommes intéressé aux composants discrets de puissance, dont la principale caractéristique est le traitement de l'énergie ; ensuite nous avons présenté les composants intégrés de puissance qui sont utilisés dans les circuits "Smart-Power". Nous avons également présenté les nouveaux concepts de composants MOS de puissance avec les "Superjonctions" et les "Semi-Superjonctions". Nous avons par la suite décrit la structure et les caractéristiques du transistor MOS à îlots flottants, (FLYMOS™) ; ce dispositif présente des performances fortement améliorées en termes de résistance à l'état passant par rapport aux composants MOS de puissance conventionnels. Il semble également plus performant et technologiquement moins coûteux que les MOS à Superjonction dans la gamme des basses tensions de claquage. C'est pour ces raisons que nous avons choisi d'appliquer le concept du FLYMOS™ sur le transistor VDMOS développé par Freescale, le HDTMOS™.

Dans le deuxième chapitre, nous avons présenté le concept de la FLi-Diode, qui consiste en l'introduction d'îlots flottants de type P dans la zone N<sup>-</sup> d'une diode PN<sup>-</sup>N<sup>+</sup>. L'objectif était d'utiliser ces régions flottantes pour étaler le champ électrique dans la région volumique N<sup>-</sup>. Les simulations physiques bidimensionnelles ont montré que l'utilisation de la FLi-Diode permettait d'atteindre une tenue en tension supérieure à la tenue en tension de la jonction plane. Nous avons appliqué ce concept aux transistors VDMOS, et optimisé les paramètres en liaison avec les premiers retours "technologiques" pour obtenir un bon compromis "tenue en tension/ résistance passante spécifique". Les composants FLYMOS™ présentent également des tenues en tension supérieures aux tenues en tension de la jonction plane et des résistances passantes spécifiques fortement améliorées, car la résistance passante spécifique du FLYMOS™ 80V est quasiment égale à la résistance passante spécifique du HDTMOS™ 45V. Il restait à valider sur silicium ces résultats théoriques prometteurs.

Le troisième chapitre a été consacré à la réalisation technologique des FLi-Diodes et des transistors FLYMOS™. Dans une première partie, nous avons décrit le procédé de fabrication du transistor FLYMOS™, de la cellule centrale et de la cellule de bord et les différents problèmes rencontrés. La deuxième partie a traité des résultats des mesures effectuées sur la FLi-Diode et sur le transistor FLYMOS™. Nous avons vu que le transistor FLYMOS™ était composé d'un îlot flottant P dans une zone épitaxiée N<sup>-</sup>. Afin de ne pas pénaliser la résistance à l'état passant, nous avons montré que l'épaisseur de l'îlot devait être la plus faible possible. Il a donc fallu limiter les étapes de diffusion et donc les étapes de hautes températures. Nous avons conçu plusieurs lots de transistors FLYMOS™, en faisant varier des paramètres essentiels tels que les épaisseurs et les résistivités des deux épitaxies, ainsi que les épaisseurs et doses des îlots flottants. Toutes les études présentées dans cette partie ont été

destinées à minimiser l'épaisseur de l'îlot tout en améliorant la tenue en tension du FLYMOS™.

Toutefois, nous avons identifié la cause du claquage prématuré des structures centrales du FLYMOS, qui est dû à la structure même du WELLFET™, car dans les fins de branche nous avons des jonctions convexes sphériques. Nous avons alors redessiné des géométries afin de limiter ce claquage prématuré, et le meilleur WELLFET™ en terme de compromis "tenue en tension/ résistance à l'état passant" est celui dont les fins de branche ont une forme arrondie.

Le meilleur résultat obtenu sur le FLYMOS™, est une tenue en tension de 73 Volts pour une résistance à l'état passant de  $65 \text{ m}\Omega.\text{mm}^2$ . En ce qui concerne la tenue en tension nous sommes 10 Volts en dessous de l'objectif qui était de 80-85 Volts ; pour la résistance à l'état passant, nous corrélons parfaitement avec nos simulations car nous avons obtenu une résistance à l'état passant de  $64 \text{ m}\Omega.\text{mm}^2$ .





**Bibliographie**



[APP] J.A. APPELS, H.M.J. VAES, “*HV thin layer devices (Resurf Devices)*”, IEDM, pp 238-241, 1979.

[BAL1] B.J. BALIGA, “*Modern power devices*”, Ed. J. Wiley & Sons, 1987.

[BAL2] B.J. BALIGA, “*Power Electronics in Action*”, IEEE Spectrum, p. 33-49, Juillet 1995.

[BEC] H.W. BECKE, “*Approaches to isolation in high integrated circuits*”, Proceedings of the IEDM, pp. 724-727, 1985.

[BEY] B. BEYDOUN, “*Simulation et conception de transistor MOS de puissance*”, Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, 1994.

[BHA] M. BHATNAGAR, B. J. BALIGA, “*Comparison of 6H-SiC, 3C-SiC, and Si power Devices*”, IEEE trans. Electron Device, Vol. 40, n°3, pp. 645-655, 1993.

[BOI] V. BOISSON, “*Etude de la Géométrie Optimale des Périphéries des Jonctions Planar*”, Thèse N° ECL 85-05, Ecole centrale de Lyon, 1985.

[BOU] M.A. BOUANANE, “*Conception et Optimisation des Composants DMOS Latéraux Haute Tension en technologie RESURF*”, Thèse de Doctorat, Université Paul Sabatier, Toulouse, 1985.

[BRO] D.M. BROWN, B.A. HEATH, “*Reactive Ion Beam Etching of SiO<sub>2</sub> and Polycrystalline Silicon*”, Journal of Applied Physic Letters, Vol. 37, N°15, p. 159-161, 1980.

[BUL] C. BULUCEA, R. ROSSEN, “*Trench DMOS structure technology for high-current (100 A range) switching*”, Solid-State Electronics, Vol. 34, n° 5, pp. 493-507, 1991.

[CHA] G. CHARITAT, J.L. SANCHEZ, “*Planar junction termination techniques: the state of the art*”, Proceedings of the CAS, 1992.

[CHE1] A. CHENG, M. WILLIAWS, “*The drive to 42 volts*”, Gartner group, 2000.

[CHE2] V. E. CHELNOKOV, A. L. SYRKIN, V. A. DMITRIEV, “*Overview of SiC Power Electronics*”, Diamond and related materials, Vol. 6, pp1480-1484, 1997.

[CHE3] J. S. CHEN, K.T. KORNEGAY, S.H. RYU, “*A Silicon carbide CMOS Intelligent Gate driver circuit with stable operation over a wide temperature range*”, IEEE, journal of Solid-State Circuits, Vol.34, n°2, pp. 192-204, 1999.

[CEZ1] N. CEZAC, P. ROSSEL, F. MORANCHO, A. PEYRE-LAVIGNE, I. PAGES, “*A new generation of power devices based on the concept of the Ffloating Island*”, Proceedings of the MIEL'00, pp. 637-640, 2000.

[CEZ2] N. CEZAC, P. ROSSEL, F. MORANCHO, A. PEYRE-LAVIGNE, “*A New Generation of Power Unipolar Devices: the Concept of the Ffloating Islands MOS Transistor (FLIMOST)*”, Proceedings ISPSD'2000 (Toulouse), pp. 69-72, May 2000.

[CEZ3] N. CEZAC, “*Transistor MOS de puissance à faible résistance à l'état passant*”, Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier de Toulouse, 2001.

[COE1] D.J. COE, European Patent 0053854, 1981.

[COE2] D.J. COE, United States of America Patent 4754310, 1988.

- [DER] **DER-GAO LIN, S. LARRY TU, Y. SEE, P. TAM**, "A novel LDMOS structure with a step gate oxide", Motorola, IEDM, pp 963-966, 1995.
- [EFL1] **T. EFLAND**, "Lateral DMOS structure development for advanced power technologies", Technical Journal, Vol. 11, n° 2, pp. 10-23, 1994.
- [EFL2] **T. EFLAND, C.Y. TSAI, J. ERDELJAC**, "A performance comparison between Reduced Surface Drain (RSD) LDMOS and RESURF and conventional planar power devices rated at 20V", Texas Instrument, ISPSD, pp 185-188, 1997.
- [EFL3] **T. EFLAND, S. MALHI, W. BAILEY, O.K. KWON**, "An optimized RESURF LDMOS power device module compatible with advanced logic process", Texas Instrument, IEDM, pp 273-240, 1992.
- [EFL4] **T. EFLAND, T. KELLER, J. RODRIGUEZ**, "Optimized complementary 40V power LDMOS-FETs use existing fabrication steps in submicron CMOS technology", Texas Instrument, IEDM, pp 399-402, 1994.
- [EFL5] **T. EFLAND, P. MEI, D. MOSHER**, "Self-aligned RESURF to LOCOS region LDMOS characterization shows excellent Rsp vs BV performance", Texas Instrument, ISPSD, pp 147-150, 1996.
- [FAI] **R.B. FAIR**, "Concentration profiles of diffused dopants in silicon", in F.F.Y. Wang, Ed. Impurity Doping Process in Silicon, North Holland, New York, 1981.
- [FAR] **B. FARZAN, C.A.T. SALAMA**, "Depletion V-Groove MOS (VMOS) Power Transistors", Solid-State Electronics, Vol. 19, N°4, p. 297-306, 1976.
- [FER] **J. FERNADEZ, S. HIDALGO, J. PARADES, F. BERTA, J. REBOLLO, J. MILLAN, F. SERRA-MESTRES**, "An ON-resistance closed for VDMOS devices", IEEE Transaction on Electron Devices, Vol.10, pp.212-215, 1989.
- [FUJ1] **N. FUJISHIMA, C.A.T. SALAMA**, "A trench Lateral power MOSFET using self-aligned trench bottom contact holes", IEDM, pp 359-362, 1997.
- [FUJ2] **T. FUJIHIRA**, "Theory of Semiconductor superjunctions devices", Japanese Journal of Applied Physics, Vol.36, pp. 6254-6262, 1997.
- [FUJ3] **T. FUJIHIRA and Y. MIYASAKA**, "Simulated superior performance of semiconductor Superjunction devices", Proceedings of ISPSD'98, pp. 423-426, 1998.
- [FUR] **S. FURUKAWA, H. MATSUMURA, and H. ISHIRWARA**, "Theoretical consideration of lateral spread of implanted ions", Japanese Journal of Applied Physics., vol. 1, 1972.
- [GHA1] **M. GHARBI**, "La Tenue en Tension et le Calibre en Courant du Transistor MOS Vertical dans la Gamme des Tensions (300 V à 1000 V)", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, 1985.
- [GHA2] **S. K. GHANDI**, "Semiconductor power devices", Edition Willey&Sons, New York, 1977.
- [GIV] **P. GIVELIN**, "Bibliothèque compatible CMOS/DMOS de fonctions de commande et de protection pour les applications automobiles de puissance intelligente", Thèse de Doctorat, INSA de Toulouse, 1994. [RIS] **K. G. RISHMULLER**, "SmartPower – Quo Vadis ?", EPE-MADEP, 1991.

[GOO] F. GOODENOUGH, "Trench-gate DMOSFET's in SO-8 switch 10 A at 30 V", *Electronic Design*, pp. 65-72, Mars 1995.

[GRA1] A. GRAF, "Semiconductor technologies and power switches for new automotive electrical systems with higher voltage", *Powering future vehicles 1<sup>st</sup> International congress 42V Powernet : the first solutions*, Villach, 1999.

[GRA2] A. GRAF, J.GANTIOLER, C.PREUSHOFF, "Semiconductor technologies and switches for new automotive electrical systems", *Proceeding 18<sup>th</sup> conference "vehicle electronics"*, ref HDT98E.doc, Munich, 1998.

[GRO1] A.S. GROVE, O. LEISTIKO, and C.T. SAH, "Redistribution of acceptor and donor impurities during thermal oxidation of silicon", *Japanese Journal of Applied Physics* vol.35, 1964.

[GRO2] A.S. GROVE, O. LEISTIKO, W. HOOPER, "Effect of surface fields on the breakdown of planar silicon p-n junctions", *IEEE Transactions on Electron Devices*, Vol. ED-14, n° 3, pp. 157-162, 1967.

[HAK] H. HAKIM, "Intégration de composants passifs sur silicium", *Thèse de Doctorant de l'université Paul Sabatier de Toulouse*, 2001.

[HAR] H.D. HARTMANN, "Standardization of the 42V Powernet – Intentions, values", *Sci-Worx GmgH*, ref ISO/TC22: SC3 :WG14, n°24, Hanover, p14, 2000.

[HU1] C. HU, "A parametric study of power MOSFETs", *Conf. Record of Power electronics specialist Conference*, San Diego, 1979.

[HU2] C. HU, "Optimum design of power MOSFET's", *IEEE Transaction on Electron Devices*, Vol. ED-31, N° 12, pp. 1693-1700, 1984.

[ISH] O. ISHIKAWA, H. ESAKI, "A high Power high gain VD-MOSFET operating at 900 MHz", *IEEE Transactions on Electron Devices*, Vol. ED 34, n°5, pp. 1157-1161, 1987.

[ISE] ISE-TCAD manual, release 6.0, 1999.

[KAO] Y.C. KAO, E.D. WOLLEY, "High-voltage planar p-n junctions", *Proceedings of the IEEE*, Vol. 55, 1967.

[KAS] J. KASSAKIAN, D. PERREAULT, "The future of electronics in automobiles", *ISPSD*, pp 15-19, 2001.

[KIM] S-D. KIM, I-J. KIM, M-H HAN, Y-I CHOI, "An accurate ON-resistance model for low VDMOS devices", *Solid-State Electronics*, Vol.38, pp.345-350, 1995.

[KIR] J. KIRCHHEIM, Siemens, United States of America Patent 4754310, 2001.

[KWO] O.K. KWON, T. EFLAND, W.T. NG, S. MALHI, R. TODD, J.K. LEE (Texas Instrument), "Optimized 60 V lateral DMOS devices for VLSI power applications", *Symposium on VLSI technology*, 1991.

[LAM] M. P. LAM, K. T. KORNEGAY, "Recent progress of submicron CMOS using 6H-SiC for smart power applications", *IEEE trans. Electron Device*, Vol. 46, n°3, pp. 546-554, 1999.

[LET] P.LETURCQ, "Tenue en tension des semi-conducteurs de puissance", *Rapport LAAS*, n°00565.

- [LOR1] L. LORENZ, M. MARZ, G. DEBOY, "COOLMOS – an important milestone towards a new power MOSFET generation", Proceedings of PCIM 1998.
- [LOR2] L. LORENZ, G. DEBOY, A. KNAPP M. MARZ, "COOLMOS – a new milestone in high voltage Power MOS", Proceedings of ISPSD'99, pp. 3-10, 1999.
- [MAT] T. MATSUSHITA, Sony Corporation, United States of America Patent 4003072, 1977.
- [MER] S. MERCHANT, R. BAIRD, P. HUI, "High performance 20-30V LDMOS Transistors in a 0,65 $\mu$ m-based BiCMOS compatible process", IEEE BCTM, pp 202-205, 1997.
- [MOR] F. MORANCHO, "Le transistor MOS de puissance à tranchées : modélisation et limites des performances", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 1996.
- [NAK] A. NAKAGAWA, "Impact of dielectric isolation technology on power ICs", Proceedings of the IEDM, pp. 16-21, 1991.
- [NEZ] A. NEZAR, C.A.T. SALAMA, "Breakdown voltage in LDMOS transistor using internal field rings", IEEE Transactions On Electron Devices, Vol. 38, No. 7 July 1991.
- [OMU] I. OMURA, Toshiba, United States of America Patent 6037632, 2000.
- [PAL] J. PALMOUR, H. S. KONG, D.C. WALTZ, "6H Silicon Carbide transistors for high temperature operation", Proceedings 1<sup>st</sup> intl. High-temperature Electronics conference, pp. 207-212, 1991.
- [PAR] V. PARTHASARATHY, T. MIHARA, H. IKEDA, "A 33V, 0,25m<sup>2</sup> cm<sup>2</sup> n-channel LDMOS in a 0,65 $\mu$ m Smart Power technology for 20-30V applications", ISPSD, pp 61-64, 1998.
- [PHAM] T. P.PHAM, "Le compromis entre la résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, 1982.
- [REY] J-M. REYNES, I. DERAM, A. FEYBESSE, "Power Semiconductor device and method of manufacturing a power semiconductor device", Brevet mondial n°WO2003107432 A1, 2004.
- [RIS] K. G. RISHMULLER, "SmartPower – Quo Vadis ?", EPE-MADEP, 1991.
- [ROS1] P. ROSSEL, H. MARTINOT, M. ZAMORANO, "Propriétés statiques des transistors MOS de puissance à canal vertical. Cas du régime de pincement", Revue de Physique Appliquée, Vol.13, pp.23-28, 1978.
- [ROS2] P. ROSSEL, LAAS/CNRS, Numéro de publication international WO0178152, 2001.
- [SAI1] W. SAITO, I. SATOCHI, S. KODUKI, "600V Semi-Superjunction", Proceedings of ISPSD'03, pp. 45-48, 2003.
- [SAI2] W. SAITOH, I. OMURA, K. TAKANO, "Ultra low On-resistance SBD with P-Buried Floating Layer", Proceedings of ISPSD'99, pp. 3-10, 2002.

[SAN] J. L. SANCHEZ, H. TRANDUC, T. P. PHAM, M. GHARBI, P. ROSSEL, G. CHARITAT, B. VERTONGEN, "Influence des zones d'accès sur la résistance à l'état passant des transistors moyennes tensions VDMOS de puissance", Revue de Physique Appliquée, Vol.20, pp.759-770, 1985.

[SCH] P.F. SCHMIDT, Westinghouse, United States of America Patent 3252003, 1966.

[SHE] K. SHENAI, R. S. SCOTT, B. J. BALIGA, "Optimum Semiconductors for High-Power Electronics", IEEE trans. Electron Device, Vol. 40, n°3, pp. 1811-1823, 1993.

[SIG] H.J. SIGG, G.D. VENDELIN, T.P. CAUGE, J. KOCSIS, "D-MOS Transistor for Microwave Applications", IEEE Transactions On Electron Devices, Vol. 19, N° 2, p. 45-53, 1972.

[SIL] SILVACO-TCAD manual, 1999.

[SUN1] S.C. SUN, "Physics and Technology of Power MOSFET's", Thesis Ph. D, Stanford University, 1982.

[SUN2] S.C. SUN, J.D. PLUMMER, "Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors", IEEE Transactions On Electron Devices, Vol. 27, N° 2, p. 356-367, 1980.

[SYN] SYNOPSYS, Taurus-Workbench, TCAD manual, 2003.

[SZE1] S.M. SZE, "VLSI Technology", 1st edition, McGraw-Hill International Editions, 1983.

[SZE2] S.M. SZE, "VLSI Technology", 2nd edition, McGraw-Hill International Editions, 1988.

[TAM] A.T. TAMER, K. RAUCH, J.L. MOLL, "Numerical Comparison of DMOS, VMOS and UMOS Power Transistors", IEEE Transactions On Electron Devices, Vol. 30, N° 1, p. 73-76, 1983.

[TAR] G. TARDIVO, "Le transistor D.MOS vertical en amplification haute fréquence de puissance", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier de Toulouse, 1987.

[TSA] C.Y. TSAI, J. ARCH, T. EFLAND, "Optimized 25V, 0,34m<sub>μ</sub>cm<sup>2</sup> Very-Thin-RESURF (VTR), Drain Extended IGFETs in a compressed BiCMOS Process", Texas Instrument, IEDM, pp 469-472, 1996.

[UDR] F. UDREA et Al., "The 3D RESURF double gate MOSFET: a revolutionary power device concept", IEEE Electronics Letters, Vol.34, N°8, pp 808, Avril 1998.

[UED1] D. UEDA, H. TAKAGI, G. KANO, "A new vertical double diffused MOSFET – The self-aligned terraced-gate MOSFET", IEEE Transactions on Electron Devices, Vol. 31, n° 4, pp. 416-420, 1984.

[UED2] D. UEDA, H. TAKAGI, G. KANO, "A New Vertical Power MOSFET Structure with Extremely Reduced On- Resistance", IEEE Transactions On Electron Devices, Vol. 31, N°1, p. 2-6, 1984.

[WEI] C. E. WEITZEL, J. W. PALMOUR, C. H. CARTER, "Silicon carbide, high power devices", IEEE trans. Electron Device, Vol. 43, n°10, pp. 1732-1740, 1996.

[WON] **W. WONDRAK**, “*Physical limits and lifetime limitations of semiconductor devices at high temperatures*”, *Microelectronics, Reliability*, 39, pp.1113-1120, 1999.

[WOR] **WORK GROUP**, “*Standardization, Road vehicles – Conditions for electrical and electronic equipment for a 42V powernet – Part 2: Electrical loads*”, ref WGS/WD 03/2000-04, Hannover, p11, 2000.

[ZIT1] **M. ZITOUNI, F. MORANCHO, H. TRANDUC, P. ROSSEL**, “*A new device for smart power integrated circuits: trench lateral DMOSFET*”, *Proceeding of CAS*, pp 137-140, 1998.

[ZIT2] **M. ZITOUNI**, “*Une nouvelle structure d'interrupteurs pour circuits intégrés de puissance: le concept du transistor LUDMOS*”, Thèse de Doctorat, Université Paul Sabatier de Toulouse, 1999.

