



**HAL**  
open science

## Efficacité d'isolation dans les circuits intégrés de puissance isolés par jonction

Olivier Gonnard

► **To cite this version:**

Olivier Gonnard. Efficacité d'isolation dans les circuits intégrés de puissance isolés par jonction. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2001. Français. NNT: . tel-00515821

**HAL Id: tel-00515821**

**<https://theses.hal.science/tel-00515821>**

Submitted on 8 Sep 2010

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Thèse

Présentée au  
**Laboratoire d'Analyse et Architecture des Systèmes du CNRS.**

En vue de l'obtention du grade de  
**Docteur de l'université Paul Sabatier de Toulouse.**

Spécialité :  
**Micro-électronique**

Par  
**Olivier GONNARD**

---

## **EFFICACITE D'ISOLATION DANS LES CIRCUITS INTEGRES DE PUISSANCE ISOLEES PAR JONCTION.**

---

Date de soutenance le 10 décembre 2001

### **Jury**

Rapporteurs :

C.	GONTRAND	Professeur Ecole centrale de Lyon.
C.A.T	SALAMA	Professeur Université de Toronto.

Examineurs :

M.	SUQUET	Ingénieur SIEMENS Automotive.
A.	CAZARRE	Professeur Université Paul Sabatier.
E.	DUBOIS	Chargé de recherche IEMN Lille.
J.F.	CLERC	Ingénieur CEA-LETI Grenoble.
A.	PEYRE-LAVIGNE	Ingénieur Motorola SPS.

Directeur de thèse :

G.	CHARITAT	Directeur de recherche LAAS.
----	----------	------------------------------

<b>1</b>	<b><i>Introduction : Présentation des technologies SMART-POWER</i></b> .....	<b>4</b>
<b>1.1</b>	<b>Circuit intégré de puissance</b> .....	<b>5</b>
<b>1.2</b>	<b>Filières technologiques des produits Smart-Power</b> .....	<b>8</b>
1.2.1	Isolation par Auto-blindage .....	8
1.2.2	Isolation par jonction .....	10
1.2.2.1	Intégration de composants de puissance verticaux .....	10
1.2.2.2	Intégration de composants de puissance latéraux .....	11
1.2.3	Isolation par diélectrique .....	12
<b>1.3</b>	<b>Objectifs et plan de la thèse</b> .....	<b>14</b>
<b>1.4</b>	<b>Références bibliographique</b> .....	<b>16</b>
<b>2</b>	<b><i>Présentation des courants de substrat</i></b> .....	<b>17</b>
<b>2.1</b>	<b>Mise en évidence de la problématique</b> .....	<b>18</b>
2.1.1	Montage classique de l'électronique de puissance : pont en H .....	19
2.1.1.1	Présentation d'un pont en H .....	19
2.1.1.2	Régime de commutation.....	21
2.1.2	Recirculation dans un montage High-side : injection de porteurs majoritaires .....	21
2.1.3	Recirculation dans un montage Low-side : injection de porteurs minoritaires .....	23
<b>2.2</b>	<b>Origines des courants de substrat</b> .....	<b>24</b>
2.2.1	Coupure de la ligne d'alimentation .....	25
2.2.2	Résonance des étages de puissance .....	26
2.2.3	Résonance en hautes fréquences .....	27
2.2.4	Signaux analogiques externes trop élevés .....	27
2.2.5	Dérive du potentiel de masse .....	28
2.2.6	Conclusion .....	29
<b>2.3</b>	<b>Effets induits par les courants de substrats</b> .....	<b>30</b>
2.3.1	Perte de contrôle des charges pilotées (couplages des sorties) .....	31
2.3.2	Perturbation des blocs analogiques et logiques .....	31
2.3.2.1	Perturbations des signaux transmis .....	31
2.3.2.2	Perturbation des circuits de tension de référence .....	32
2.3.2.3	Commandes incontrôlées .....	33
2.3.3	Surconsommation .....	34
2.3.4	Latch-up .....	35
2.3.5	Récapitulatif des conséquences des courants de substrat .....	37
<b>2.4</b>	<b>État de l'art des protections employées</b> .....	<b>38</b>
2.4.1	Protections Passives .....	38
2.4.1.1	Anneaux de garde : collecteur préférentiel .....	38

2.4.1.2	Diode Schottky .....	41
2.4.1.3	MOS isolé .....	42
2.4.2	Protections Actives.....	43
2.4.2.1	Substrat flottant.....	43
2.4.2.2	Polarisation négative du substrat : barrière active .....	45
2.4.3	Protection logicielle .....	47
<b>2.5</b>	<b>Conclusion et objectifs .....</b>	<b>48</b>
<b>2.6</b>	<b>Références bibliographique .....</b>	<b>49</b>
<b>3</b>	<b>Protections passives .....</b>	<b>52</b>
<b>3.1</b>	<b>Introduction : protections passives .....</b>	<b>53</b>
<b>3.2</b>	<b>Protection passive par anneau de garde.....</b>	<b>53</b>
3.2.1	Méthode de mesure et de simulation .....	54
3.2.1.1	Présentation des structures étudiés .....	54
3.2.1.2	Présentation des résultats .....	55
3.2.2	Influence de l'espacement injecteur collecteur : .....	56
3.2.3	Influence de la durée de vie des porteurs .....	58
3.2.4	Influence du dopage du substrat.....	61
3.2.5	Saturation de l'anneau de garde .....	62
<b>3.3</b>	<b>Amélioration des protections par anneaux .....</b>	<b>65</b>
3.3.1	Réduction largeur de base du transistor npn parasite .....	65
3.3.1.1	Structure basée sur l'alignement de la couche enterrée .....	65
3.3.1.2	Efficacité d'une couche enterrée décalée .....	67
3.3.1.3	Contraintes et intégrations .....	68
3.3.2	Modification des polarisations des contacts de du substrat.....	70
3.3.2.1	Structures basée sur la polarisation des contacts substrat.....	70
3.3.2.2	Mesures en fonction de la polarisation sdes diffusions P+.....	70
3.3.3	Discussion sur les protections par anneau.....	73
<b>3.4</b>	<b>Transistor LDMOS Isolé .....</b>	<b>75</b>
3.4.1	Concept et performance .....	75
3.4.1.1	Structure du transistor LDMOS isolé .....	75
3.4.1.2	Performance du ILDMOS .....	76
3.4.1.3	Tenue en tension .....	77
3.4.1.4	Aire de sécurité : problème du second claquage .....	82
3.4.1.5	Dimensionnement du contact d'épitaxie .....	83
3.4.2	Fabrication et utilisation du transistor ILDMOS .....	83
<b>3.5</b>	<b>Références bibliographiques .....</b>	<b>84</b>

<b>4</b>	<b><i>Protections actives</i></b> .....	<b>85</b>
<b>4.1</b>	<b>Protection active : barrière MAAP</b> .....	<b>86</b>
4.1.1	Présentation et fonctionnement.....	86
4.1.1.1	Comparaison expérimentale entre la protection standard et la MAAP .....	87
4.1.1.2	Simulation et comportement de la MAAP .....	88
4.1.1.3	Schéma équivalent.....	91
4.1.2	Dépendances géométriques de la MAAP .....	92
4.1.2.1	Influence de l'espacement entre les puits P .....	93
4.1.2.2	Influence de la résistance de court-circuit.....	94
4.1.3	Confrontation simulation expérience .....	95
4.1.3.1	Résultats simulations .....	95
4.1.3.2	Limites des simulateurs 2D .....	96
4.1.4	Contraintes d'intégrations .....	97
4.1.4.1	Courant sur les collecteurs voisins .....	97
4.1.4.2	Influence de l'environnement sur la MAAP .....	99
4.1.4.3	Structure de protection symétrique .....	101
4.1.5	Bilan sur les structures MAAP de première génération .....	104
<b>4.2</b>	<b>MAAP deuxième génération</b> .....	<b>106</b>
4.2.1	Présentation et fonctionnement.....	106
4.2.2	Structure de test .....	107
4.2.2.1	Résultats empiriques préliminaires .....	107
4.2.3	Règles de conception pour l'intégration .....	110
4.2.3.1	Choix du transistor actif .....	110
4.2.3.2	Effet de la taille du transistor de protection. ....	111
4.2.3.3	Influence de la largeur de la diffusion P .....	112
4.2.3.4	Bilan sur la structure MAAP deuxième génération .....	113
4.2.4	Protection active avec un transistor piloté .....	114
4.2.4.1	Fonctionnement .....	114
4.2.5	Conclusion et perspectives.....	116
	<b><i>Conclusion</i></b> .....	<b>118</b>

# **1 Introduction : Présentation des technologies SMART-POWER**

## 1.1 Circuit intégré de puissance

Les progrès constants des procédés technologiques concernant l'électronique permettent actuellement de réaliser des avancées significatives dans le domaine de l'intégration [ 1 ]. Les différentes filières technologiques ne sont plus cloisonnées dans des gammes d'utilisations restrictives. Nous pouvons désormais intégrer, dans le même système, des composants de commande fonctionnant sous quelques Volts (CMOS) et des interrupteurs dits de puissance pouvant commuter des dizaines de Volts et conduire des courants de plusieurs ampères (LDMOS, IGBT ou VDMOS), [ 2 ].

Les avantages de ces nouveaux modes d'intégration sont multiples. En terme de coût de fabrication et d'assemblage d'une part, puisqu'un seul circuit intégré peut assurer les fonctions jusque là remplies par l'emploi de multiples boîtiers distincts. Un grand nombre d'interfaces peut donc être supprimé, ce qui réduit largement la masse de connectique. D'autre part, ces nouveaux modes d'intégration apportent un certain nombre de fonctionnalités difficilement réalisable avec des composants discrets. Par exemple, nous pouvons intégrer, dans le même substrat, de nouvelles fonctions de contrôle permettant de détecter les défaillances du circuit intégré, telles que la détection des phénomènes de surchauffe, de surtension ou de surintensité (court-circuit).

En complément des modules de puissance, de commande et de diagnostic, les récentes avancées dans le domaine du multiplexage permettent d'intégrer également dans la même puce des fonctions dédiées au traitement du signal et à l'échange de données vers des composants périphériques. En raison de ces compétences multiples, ce type d'intégration est appelé « Smart Power Integrated circuit », que l'on peut traduire par circuit intégré de puissance « intelligent » [ 1 ] [ 4 ].

Le circuit représenté Figure 1 illustre bien le degré d'intégration et de complexité présent dans ces technologies. Nous y retrouvons toute la diversité des fonctions réalisables dans ces technologies Smart Power.

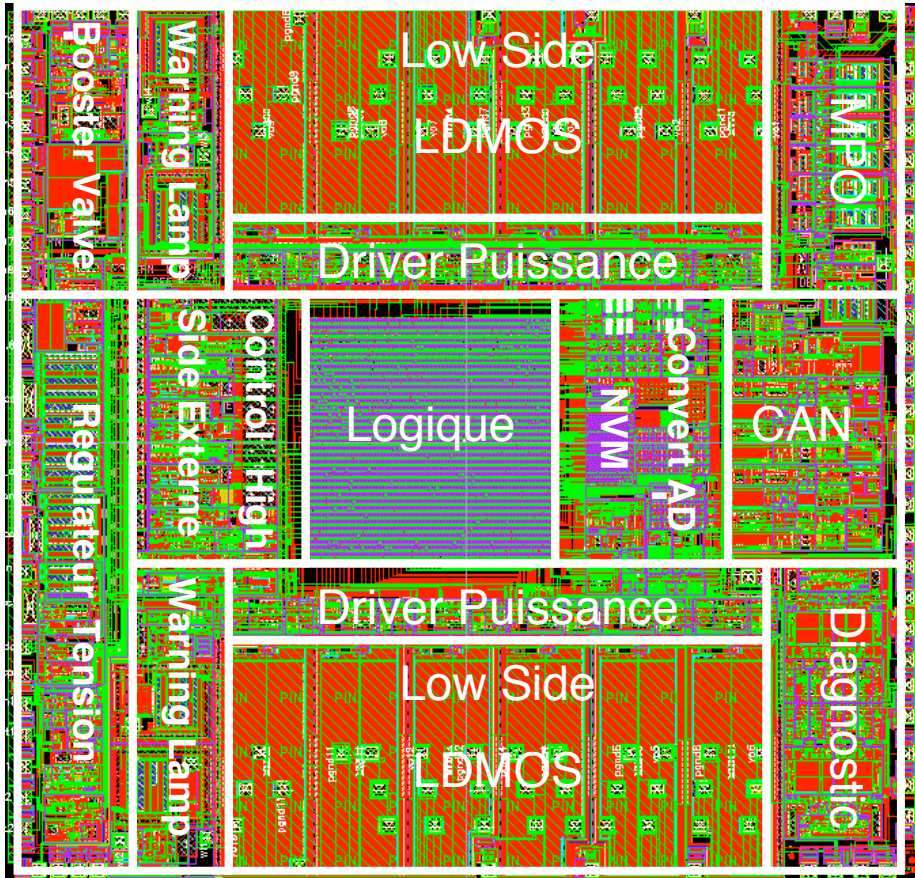


Figure 1: Circuit intégré de puissance pilote ABS-ESP de la société Motorola.

Nous y retrouvons :

- 12 Transistors de puissance montés en Low-Side avec leurs différents pilotes.
- Un étage dédié au multiplexage, le bloque CAN (Controler Area Network).
- Un convertisseur analogique numérique.
- Un bloque de programmation basé sur des mémoires non volatiles NVM
- Un bloque de diagnostic où sont insérés différents tests de température et sur le fonctionnement de la puce et où sont également intégrés des régulateurs de tension de type Band-Gap.
- Un calculateur en logique CMOS.
- Son régulateur de tension associé.
- Des étages de sortie vers le tableau de bord, warning lamp.
- Un pré-driver pour un transistor de puissance Low-Side externe, booster valve.
- Un driver pour des transistors de puissance High-Side externes.
- Et un module MPO (Multi-Purpose-Output) permettant au constructeur automobile de rajouter diverses fonctionnalités.



Les domaines d'application couverts par ces circuits intégrés de puissance sont vastes ; ils couvrent toute la gamme de produits travaillant dans des polarisations de 0 à 100V et pouvant conduire des courants de l'ordre de la dizaine d'Ampères. Cette gamme d'utilisation recouvre par exemple les applications domestiques, comme les pilotes d'imprimantes ou les modules de puissance dans les produits audiovisuels, et les applications de l'électronique embarquée comme la gestion de l'énergie dans les téléphones cellulaires, ou les applications liées au secteur des transports.

La Figure 2 présente quelques unes des fonctions qui utilisent ces circuits dans les secteurs des transports . Aujourd'hui, plus aucune automobile n'est produite sans avoir un module de sécurité utilisant des produits Smart Power, tels que des systèmes de freinage contrôlés par ABS ou bien des protections anti-collision type AirBag.

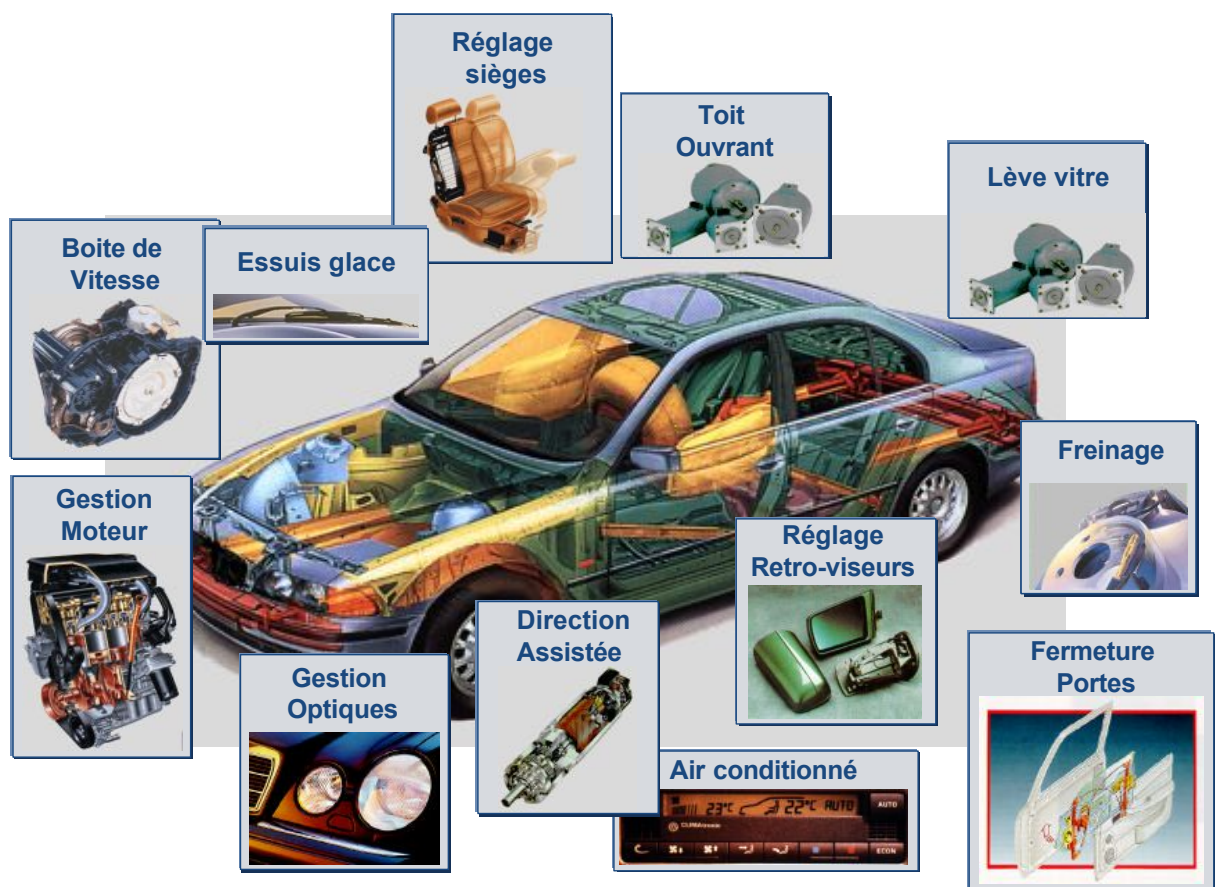


Figure 2 : Utilisation des circuits Smart-Power dans les applications automobiles.

## 1.2 Filières technologiques des produits Smart-Power

Le premier critère de sélection pour une filière technologique est avant tout le calibre en puissance que devra fournir le circuit intégré. Pour les applications nécessitant des polarisations importantes (tension bloquable  $> 100\text{V}$ ), les technologies utilisant des transistors de puissance de type vertical s'imposent. Pour des applications moyennes tensions (tension bloquable  $< 100\text{V}$ ), il est préférable d'employer des composants planars tel que des LDMOS, qui permettent de simplifier considérablement l'assemblage et le montage du dispositif. Les composants basses tensions peuvent être de deux types, CMOS pour les traitements logiques et bipolaires pour les applications analogiques.

La principale difficulté liée à ces technologies Smart-power réside dans l'intégration conjointe de composants de puissance et de ces composants faible tension dans un même substrat. Chacune des fonctions doit être isolée électriquement, quel que soit son régime de fonctionnement, statique ou dynamique.

Dans le paragraphe suivant, nous présentons les trois techniques d'isolation les plus utilisées. Ce sont les techniques dites de l'autoblindage, de l'isolation par jonction et de l'isolation par diélectrique.

### 1.2.1 Isolation par Auto-blindage

Dans cette première filière technologique, l'isolation entre les composants haute et basse tension se fait, sans développement ou étapes technologiques supplémentaires. Cette simplicité en fait une technologie peu coûteuse.

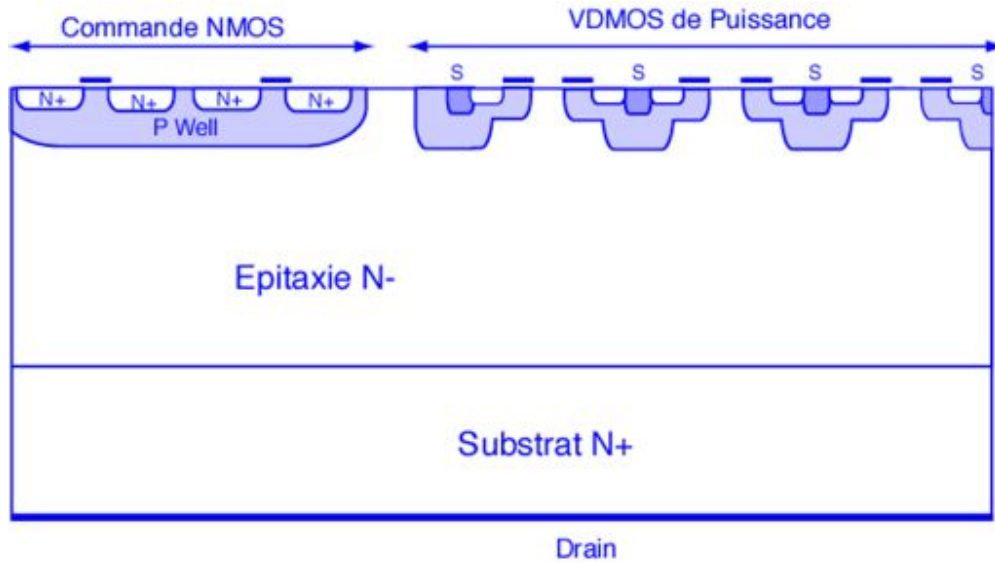


Figure 3 : Auto-blindage (MOS vertical).

Les interrupteurs de puissance sont intégrés verticalement. Nous rencontrons généralement deux types de transistors de puissance : VDMOS ou bipolaire. Pour ces deux types de transistors, la tenue en tension à l'état bloqué est assurée par la déplétion d'une couche épitaxiée N- déposée sur un substrat N+ (Figure 3). Les composants de commande, NMOS et bipolaires basse tension, sont eux intégrés dans une diffusion P implantée en surface. Cette diffusion P est maintenue à la masse par une prise de contact spécifique.

Lorsque le composant de puissance est soumis à une tension  $V_{BAT}$  positive, la jonction N (épitaxie)/ P(Well) est sous polarisation inverse. Les composants basse tension sont donc naturellement isolés.

Si en régime statique une bonne protection est assurée, en régime transitoire, des couplages capacitifs peuvent cependant se produire. Ceux-ci sont souvent le vecteur de dysfonctionnements important notamment dans la partie commande du circuit. Ces couplages capacitifs limitent largement le domaine d'application de ces produits : ils ne peuvent donc ni travailler à des fréquences trop élevées (<500KHz) ni avoir des fronts de commande trop abrupts.

De plus, il faut veiller à ce que le potentiel du substrat N+ ne varie pas. Dans le cas où une tension légèrement inférieure à la masse est appliquée sur le substrat, nous observons les jonctions Pwell/N+ devenir passantes. Les blocs de commandes sont alors affectés par des courants parasites importants, ce qui rend le dispositif incontrôlable. Pour se prévenir de ces

possibles fluctuations de potentiel, seules les configurations dites «hautes» sont acceptables (configuration high-side). Dans ce cas le substrat est connecté directement à l'alimentation ( $V_{BAT}$ ) et la charge à la source du MOS de puissance. L'intégration dans des applications nécessitant l'usage des ponts complets est donc restreinte.

Les produits issus de ces technologies couvrent des gammes d'utilisation allant de la dizaine au millier de Volts, travaillant à des fréquences de l'ordre de la centaine de kHz. Nous les retrouvons comme régulateurs des étages de puissance dans l'automobile ou l'électronique domestique.

### **1.2.2 Isolation par jonction**

A l'heure actuelle la plupart des composants smart power présents sur le marché de l'électronique sont intégrés de la sorte. Ils présentent le double avantage d'être compatibles avec toutes les applications grand public (automobile domestique et téléphonie) et d'avoir un faible coût de revient. Deux architectures sont possibles, l'une où les transistors de puissance sont intégrés verticalement dans le substrat et l'autre où les composants de puissance sont intégrés en surface.

Tout comme la technique de l'auto-blindage, l'isolation entre les différents blocs du dispositif est assurée par des jonctions PN polarisées en inverse, mais dans ce cas, une diode supplémentaire est insérée entre la partie puissance et la partie commande.

#### **1.2.2.1 Intégration de composants de puissance verticaux**

Le composant de puissance vertical est réalisé sur le substrat lui même, généralement de type N-/N+, et des îlots diffusés permettent de réaliser les circuits de commande CMOS ou bipolaire (Figure 4.). Du fait de son intégration verticale la puissance contrôlée par le composant de puissance peut être importante (plusieurs centaines de volts de tension bloquable pour des dizaines d'ampères en mode de conduction) [ 2 ][ 3 ][ 5 ][ 6 ].

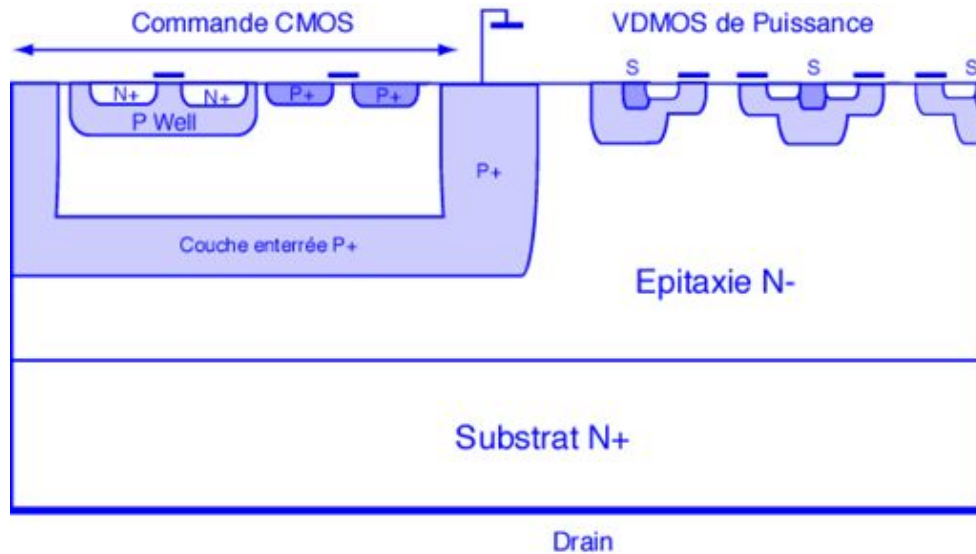


Figure 4 : Coupe isolation par jonction sur substrat N.

Technologiquement, les îlots d'isolation sont réalisés par diffusion profonde d'impuretés P dans un substrat N+ épitaxié N-, jusqu'au contact d'une couche enterrée P+. Il faut cependant remarquer que le substrat N+ est commun à toutes les cellules du transistor de puissance. Ainsi il ne permet de travailler qu'avec un seul interrupteur de puissance. Il convient donc, pour des applications plus complexes nécessitant l'emploi de plusieurs interrupteurs, de choisir un mode d'intégration en surface.

### 1.2.2.2 Intégration de composants de puissance latéraux

Ce mode d'intégration est sans nul doute le plus répandu dans le secteur des circuits intégrés Smart-Power. Cette technologie porte le nom générique de « BCD » pour Bipolaire, Cmos et Dmos.[ 1 ] [ 4 ] [ 5 ] [ 6 ]

Techniquement il s'agit, sur un substrat P épitaxié N, de délimiter des caissons d'intégration dans lesquels sont insérés tous les composants du dispositif y compris les transistors de puissance. Ceux-ci sont généralement des transistors MOS doubles diffusés, latéraux LDMOS ou verticaux DMOS up-drain. Tous les contacts de source de drain et de grille de ces MOS sont pris en surface (Figure 5).

L'isolation se fait comme précédemment par l'interposition de jonctions polarisées en inverse entre les différents caissons d'intégration. Les diffusions profondes P+ et le substrat P sont maintenus à un potentiel plus faible que celui appliqué dans les caissons N.

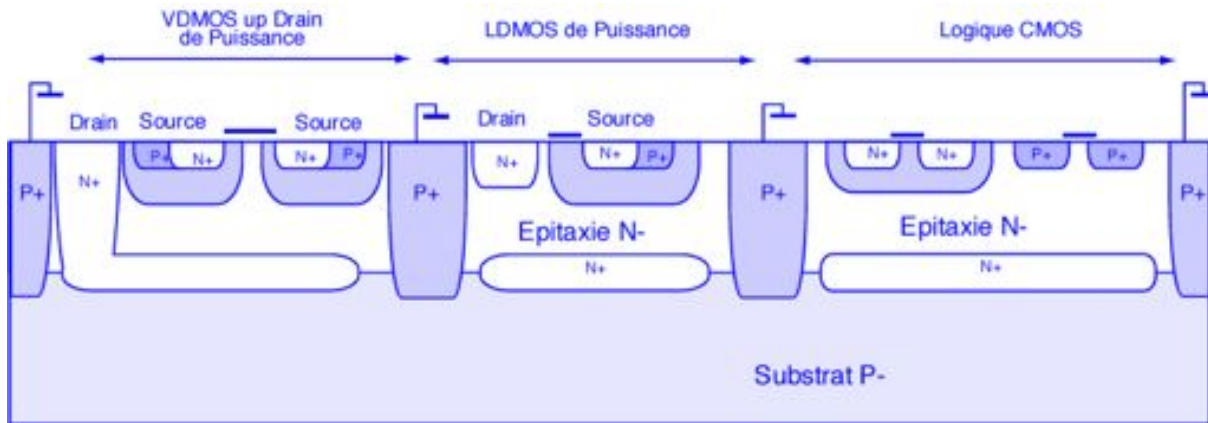


Figure 5 : Coupe circuit type BCD.

Ce type d'isolation assure des courants de fuite en mode statique minimales : quelques pA à température ambiante. Il présente néanmoins deux inconvénients majeurs. En premier lieu au niveau de leur tenue en tension, celle-ci étant directement reliée à la taille du caisson épitaxié dans lequel le MOS de puissance est intégré. Il est donc impératif pour augmenter la tenue en tension de ces transistors de puissance, soit d'augmenter significativement la surface consommée par les étages de puissance soit de déposer une couche épitaxiée moins dopée et plus épaisse. De fait pour garder des coûts de fabrication compétitifs, ces technologies ne sont employées que pour des applications ne nécessitant pas des tensions d'alimentation supérieures à 100V.

Le deuxième point critique concerne l'isolation en régime dynamique : tout comme pour les solutions par auto-blindage, ce mode d'isolation ne prévient pas des couplages capacitifs ni des couplages dus aux éléments parasites intrinsèques. Pour se protéger de tels couplages parasites seules les isolations par diélectriques sont envisageables [ 7 || 8 ].

### 1.2.3 Isolation par diélectrique

La technologie d'isolation par diélectrique consiste à séparer chaque bloc actif non plus par une jonction PN polarisée en inverse mais par un matériau isolant, typiquement par de l'oxyde de silicium. Cet isolant apporte à la fois une bonne protection en régime statique mais également en régime dynamique, les capacités de couplage inhérentes aux jonctions en inverse étant supprimées. Notons qu'en plus de cette remarquable isolation électrique ces matériaux procurent également une bonne isolation thermique. Cet aspect peut s'avérer bénéfique ou rédhibitoire selon les applications. On peut envisager deux modes d'intégration

distincts : soit sur un substrat oxydé sur toute sa surface (Full SOI) [ 9 ][ 10 ][ 11 ], soit sur un substrat oxydé localement [ 12 ][ 13 ], représenté Figure 6 et Figure 7.

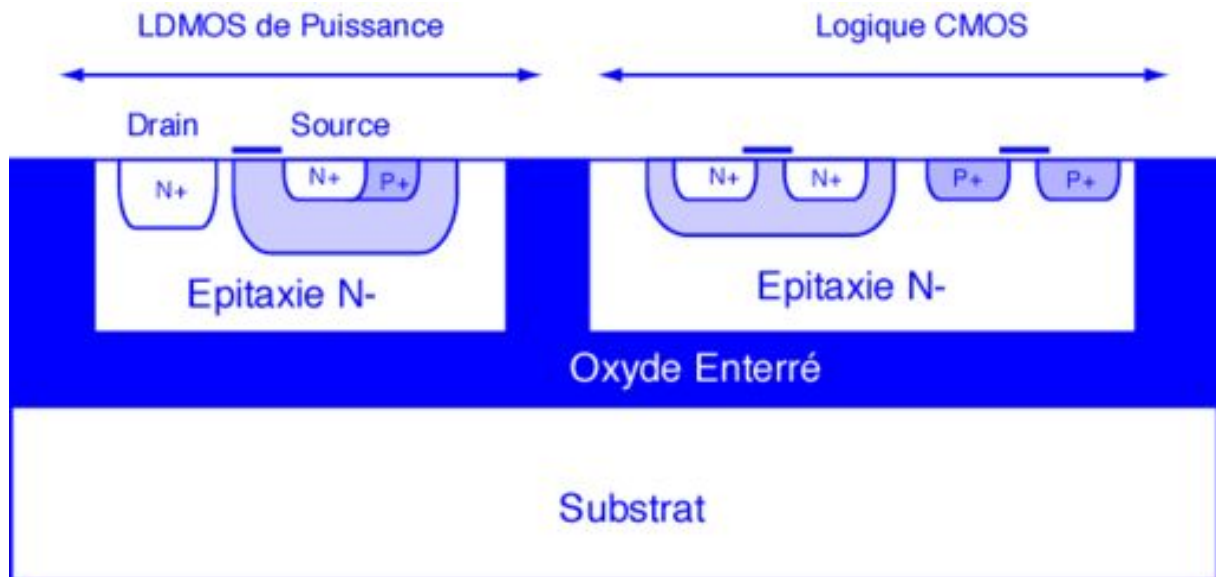


Figure 6 : Full SOI.

Pour ce premier mode d'intégration, chaque module basse et haute tension, est intégré dans un caisson entouré d'oxyde. Cela pose deux problèmes majeurs : au niveau de la tenue en tension des MOS de puissance d'une part et au niveau de la dissipation thermique en régime de fonctionnement d'autre part.

Pour assurer une tenue en tension suffisante il faut dimensionner suffisamment ces caissons dédiés aux étages de puissance, ce qui en terme de coût peut être pénalisant. De plus, se pose le problème de la dissipation thermique. L'oxyde de silicium étant un très bon isolant thermique il peut arriver que les caractéristiques électriques des MOS dérivent en régime de fonctionnement sous l'effet d'une température trop élevée.

En ce qui concerne leur fabrication, deux techniques sont couramment citées : la technique par auto-soudage où un wafer oxydé est brasé à un second wafer mono-cristallin [ 14 ], et la technique Simox où c'est l'implantation d'atomes d'oxygène à l'intérieur du substrat qui génère la couche de  $\text{SiO}_2$ .

Le deuxième mode d'intégration utilise un oxyde local, Figure 7, et permet de s'affranchir de ces deux limitations. L'oxyde est là utilisé uniquement pour les parties basse tension ; cela permet d'utiliser tout le substrat verticalement pour l'intégration des interrupteurs de puissance. Dans ce cas, l'oxyde isole à la fois électriquement et thermiquement. La température générée par les étages de puissance est écrantée par les couches d'oxyde ; ainsi les modules basse tension travaillent quasiment à température constante.

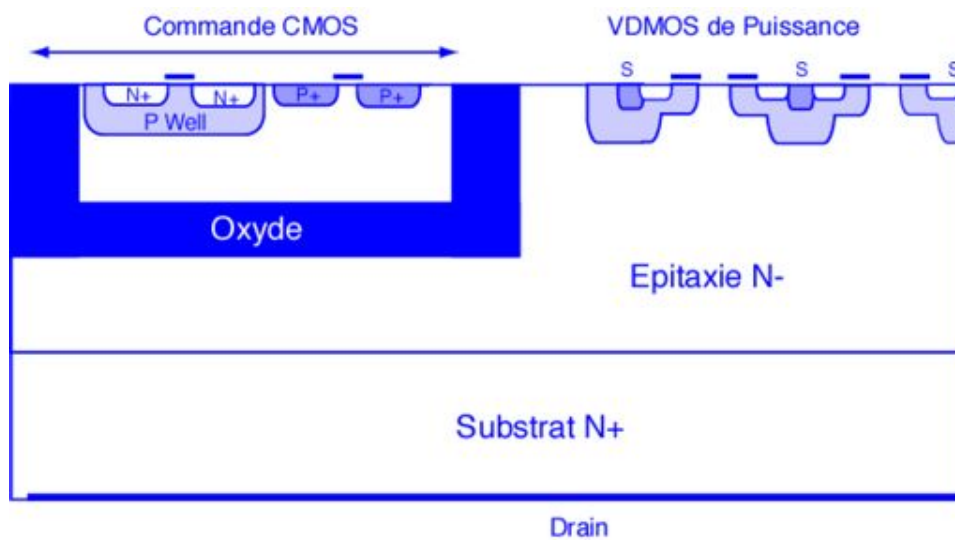


Figure 7: Substrat oxydé localement.

Quel que soit le mode d'intégration choisi, ces technologies restent pour l'instant chères et réservées à des domaines d'application limités. Nous les retrouvons pour des utilisations très spécifiques, dans lesquelles l'immunité aux perturbations extérieures est le critère prépondérant. Ce sont typiquement les applications militaires ou pour l'avionique.

### 1.3 Objectifs et plan de la thèse

Les travaux de recherche présentés dans ce mémoire porteront sur le problème d'isolation haute/basse tension dans les circuits intégrés de puissance du type Smart-power et plus particulièrement sur ceux utilisant une isolation dite par jonction.

Nous présenterons un régime de fonctionnement hors norme durant lequel l'isolation n'est plus assurée. Nous détaillerons les causes de déclenchement de ce mode de défaillance ainsi que ses effets sur les jonctions d'isolation, qui d'une polarisation normalement inverse vont



devenir passantes. Nous verrons que le fort courant ainsi généré circulera à travers le substrat et pourra affecter l'ensemble des parties du circuit intégré.

Nous illustrerons les caractéristiques de ce courant de substrat ainsi que ses effets sur les différents modules du circuit. Nous verrons ainsi qu'il peut être la cause de phénomènes parasites pouvant provoquer jusqu'à la destruction du produit (Latch-up des blocs CMOS). Enfin, nous ferons dans ce deuxième chapitre un inventaire non-exhaustif des solutions déjà proposées pour supprimer ce courant de substrat. Cet inventaire s'appuiera pour l'essentiel sur une étude de brevets industriels. Nous verrons ainsi que les solutions utilisées pour se prémunir de ces phénomènes parasites sont multiples. Nous les classerons en trois catégories, protection passive, protection active et enfin protection « logiciel ». Protection passive, où la protection n'est apportée que par la collection et les recombinaisons des porteurs injectés, protection active où c'est le déclenchement de composants de protection spécifiques qui détourne les courants parasites des zones sensibles et enfin la protection logiciel où le circuit de puissance est conçu pour travailler dans un environnement où les courants de substrat ne sont pas atténués.

Dans le troisième chapitre, nous présenterons nos travaux sur les protections passives. Il s'agira, dans un premier temps, de comprendre et de modéliser les modes de conduction du courant de substrat et, dans un deuxième temps, de proposer des solutions de conception permettant de réduire l'impact de celui-ci. Toutes ces propositions auront été au préalable simulées via des outils de modélisation physique s'appuyant sur la résolution des équations fondamentales des semi-conducteurs (l'équation de Poisson ainsi que les équations de continuités des électrons et des trous) et validées par des mesures électriques sur des composants tests issus des technologies SmartMOS<sup>TM</sup> de la société Motorola. En complément de ces protections passives nous présenterons un nouveau type de MOS de puissance ne générant plus de courant de substrat : MOS dit isolé (ILDMOS). Nous exposerons ses spécificités ainsi que ses limites.

Dans le quatrième chapitre nous présenterons nos résultats sur les protections actives. Nous insisterons sur les différents phénomènes physiques impliqués dans ces solutions ainsi que sur les paramètres technologiques limitant leurs effets. Nous verrons en détail en quoi les simulations numériques 2D ne peuvent pleinement rendre compte des phénomènes physiques mis en jeu et nous donnerons les solutions utilisées pour pallier cette difficulté. Une partie du

chapitre sera consacrée aux problèmes liés à l'intégration de ces protections dans un produit complexe et aux solutions que nous envisageons pour les supprimer.

En conclusion, nous ferons la synthèse de nos résultats et tenterons de comparer les solutions proposées, non seulement par rapport à leur efficacité contre les courants de substrat mais en prenant également en compte leur coût, leur domaine de validité et leur capacité à être exportables vers d'autres technologies que les technologies SmartMos.

## 1.4 Références bibliographique

- [ 1 ] B. MURARI et al., SMART POWER IC's Technologies and Applications, Edition Springer 1995.
- [ 2 ] B.J. BALIGA, " The future of Power Semiconductor device Technology", Proceedings of the IEEE vol.89, n°6, pp822-832, ISSN : 0018-9219.
- [ 3 ] D. TAGLIAVA et al., " VIPower/sup TM/M3 technology : an example of smart power solution in quasi resonant flyback applications", ECCTD'99, pp979-982 vol n°2.
- [ 4 ] B. MURARI, " Smart Power technologies evolution", IEEE Industry Application Conference 2000, volume 1, pp10-19.
- [ 5 ] B. MURARI, " Power IC's in motor control", IEEE ISPSD'96, pp29-32.
- [ 6 ] K. JOARDAR, "Signal isolation in BICMOS Mixed Mode integrated circuits", Bipolar/BiCMOS Circuits and Technology Meeting, 1995., pp178 -181
- [ 7 ] K. JOARDAR, "Comparaison of SOI and junction isolation for substrate crosstalk suppression in mixed mode integrated circuits", IEEE Electronics Letters , 07/1995, vol.31, n°15, pp1230-1231.
- [ 8 ] E.N. STEFANOV et al., "Transient behavior of isolation architectures in Smart Power Integrated circuits", EPE'97, Vol n°3, pp3.036-3.041.
- [ 9 ] J. WEYERS et al., "A CMOS compatible Smart Power Process with complete dielectric Isolation", EPE, 1997, pp308-313.
- [ 10 ] J.P. RASKIN et al., "Substrate crosstalk reduction using SOI Technology", IEEE Trans. On Elec. Devices , 12/1997, vol.44, n°12, pp2252-2261.
- [ 11 ] J.S. HAMEL et al., "Substrate Crosstalk suppression capability of Silicon on Insulator Substrates with buried ground planes (GPSOI)", IEEE microwave and guided wave letters , 4/2000, vol.10, n°4, pp134-135.
- [ 12 ] S. ROUX., "SOI technology applied to an advanced smart power structure", International semiconductor device research symposium (ISDRS-99), 1999, pp 433-436.
- [ 13 ] S. ROUX.et al., "Advanced SOI materials for high voltage integrated circuits", 5<sup>th</sup> International Seminar on Power Semiconductors (ISPS'2000), pp65-70.
- [ 14 ] A. WITTKOWER et al., "SMART-CUT technology for SOI : A new high volume application for ion implantation", IEEE Ion Implantation Technology 2000, pp269-272.

## **2 Présentation des courants de substrat**

## 2.1 Mise en évidence de la problématique

Nous proposons à travers ce chapitre de présenter l'un des problèmes majeurs de l'intégration monolithique en électronique de puissance : l'isolation entre les parties basse et haute tension. Nous nous concentrons sur les applications relevant des technologies dites BCD, technologies Smart-Power intégrées sur substrat P ayant pour mode d'isolation une isolation par jonction. Nos travaux abordent un mode de fonctionnement hors norme, appelé « courant négatif » ou courant de substrat, pendant lequel les différents modules du circuit subissent des agressions importantes [ 15 ] [ 16 ] [ 17 ] [ 31 ].

La maîtrise de ces phénomènes parasites représente un enjeu important pour le milieu industriel. Pour juger du poids que prend ce nouvel aspect, examinons l'inventaire des causes à l'origine de redesign, **Figure 8**. Nous constatons qu'hormis pour les problèmes de décharge électrostatique les courants de substrat sont impliqués dans la plupart des erreurs de conception nécessitant une modification du circuit, que ce soit pour des problèmes de compatibilité électromagnétique ou bien encore de latch-up. Bien entendu, leur contribution est plus ou moins grande suivant les cas ; néanmoins en les supprimant, les fréquences d'apparition de ces défaillances pourraient être moindres.

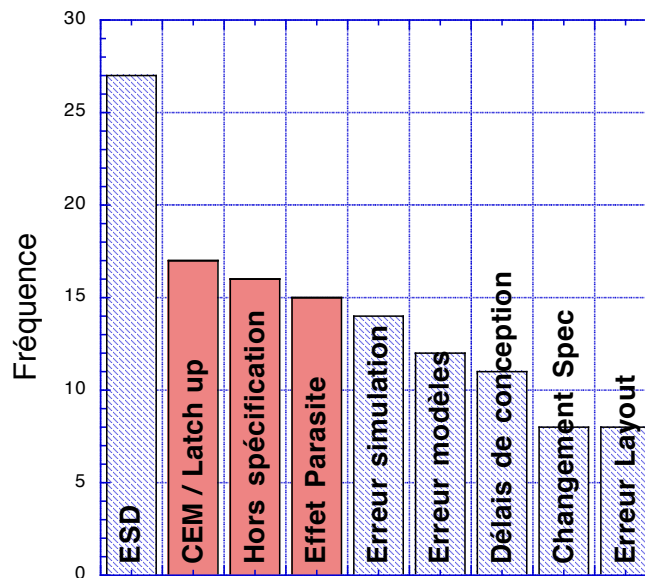


Figure 8 : Implication des courants de substrat dans les causes de redesign circuit.

D'abord, nous présenterons les diverses causes à l'origine de ce mode de défaillance en insistant plus particulièrement sur le cas des ponts en H.

Puis nous verrons les conséquences désastreuses que ces phénomènes parasites peuvent engendrer au sein du dispositif, pouvant aboutir à la destruction du composant.

Pour conclure ce chapitre, nous établirons un inventaire des solutions technologiques répertoriées qui permettent de limiter ces courants de substrat. Comme nous le verrons, la plupart de ces travaux émanent de brevets ; rares sont les publications scientifiques qui apportent des solutions innovantes à ce sujet.

### **2.1.1 Montage classique de l'électronique de puissance : pont en H**

Avant de présenter les modes de fonctionnement hors normes à l'origine des courants de substrat, présentons rapidement ici les modes d'utilisation standards des composants de puissance.

#### **2.1.1.1 Présentation d'un pont en H**

La fonction clé des composants Smart-power est de fournir la puissance pour le pilotage de charge. A l'heure actuelle, ce contrôle de l'énergie se fait exclusivement par l'intermédiaire de transistors de puissance de type MOS (LDMOS). Comparativement aux transistors bipolaires, ils présentent le double avantage d'être plus économes en terme de consommation d'énergie et de pouvoir travailler avec des vitesses de commutation plus élevées.

Vis-à-vis de la charge, plusieurs modes de connexion sont envisageables : le montage High-side où la charge est placée entre la masse et la source du transistor de puissance, ou bien le montage Low-side, dans lequel la charge est placée entre la haute tension ( $V_s$ ) et le drain du LDMOS.

Ces mêmes montages peuvent être employés dans des dispositifs plus complexes, demi-ponts ou ponts complets, tels que le pont en H représenté Figure 9. Nous y reconnaissons deux MOS de puissance montés en mode Low-side (L1 et L2) et deux autres montés en High-side (H1 et H2) ainsi que la charge pilotée (un moteur par exemple). Ces quatre transistors sont alimentés par deux lignes de potentiel ; l'une à la tension positive  $V_s$  et l'autre à la masse. En terme d'application, ces dispositifs sont généralement dédiés au pilotage des moteurs pas à pas ou à courant continu.

En fonctionnement normal et suivant les signaux de commande, le courant circule dans la charge soit au travers de H1 et de L2, soit au travers de H2 et L1. Ce double sens du courant permet au circuit de piloter la charge dans deux sens.

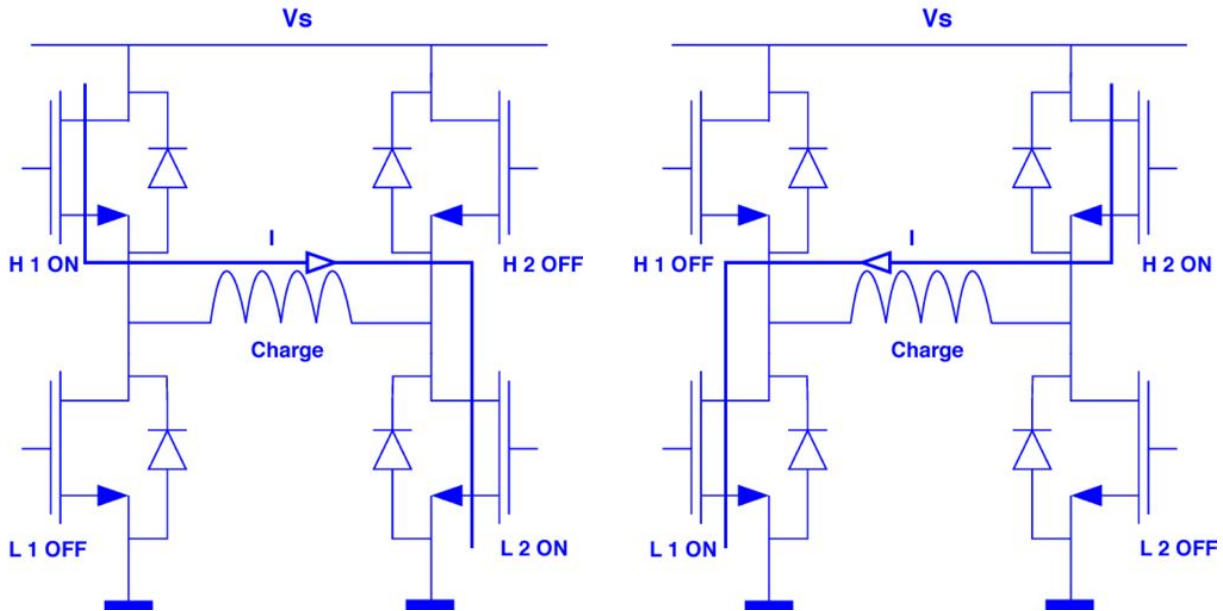


Figure 9: Les deux modes de fonctionnement classiques d'un ponts en H.

D'un point de vue technologique, les quatre transistors sont intégrés dans le même substrat et isolés les uns des autres par des jonctions PN polarisées en inverse, comme représenté Figure 10. Nous avons repéré ces jonctions d'isolation dans le schéma électrique précédent par des diodes mises en parallèle sur chaque transistor. Typiquement, leur polarisation en inverse est obtenue en maintenant le substrat P à la masse, soit par des contacts pris en surface, soit par un contact face arrière.

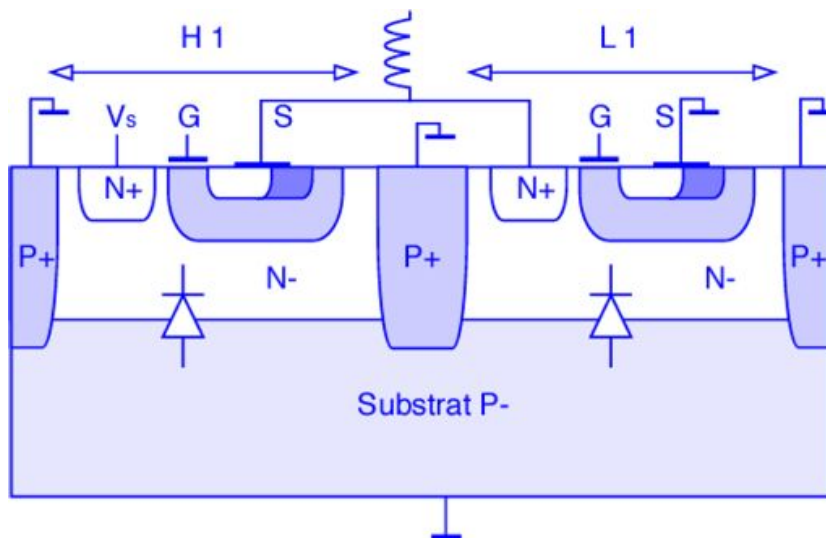


Figure 10 : Coupe technologique d'un demi pont en H : transistors high side et Low side.

### 2.1.1.2 Régime de commutation

Lorsque tous les transistors se bloquent, l'énergie stockée dans l'inductance se libère et tend à maintenir le courant dans la charge. En se basant sur les configurations présentés Figure 9, cette force électromotrice se traduit par un fort courant de recirculation circulant comme indiqué Figure 11. Ainsi, dans le premier cas ce sont les diodes d'isolations des transistors L1 et H2 qui sont mises en conduction alors que dans le deuxième cas ce sont les diodes des transistors L2 et H1 qui sont impliquées. Ce type de courant, représenté ici par des flèches en pointillées, est généralement connu sous le nom de courant négatif.

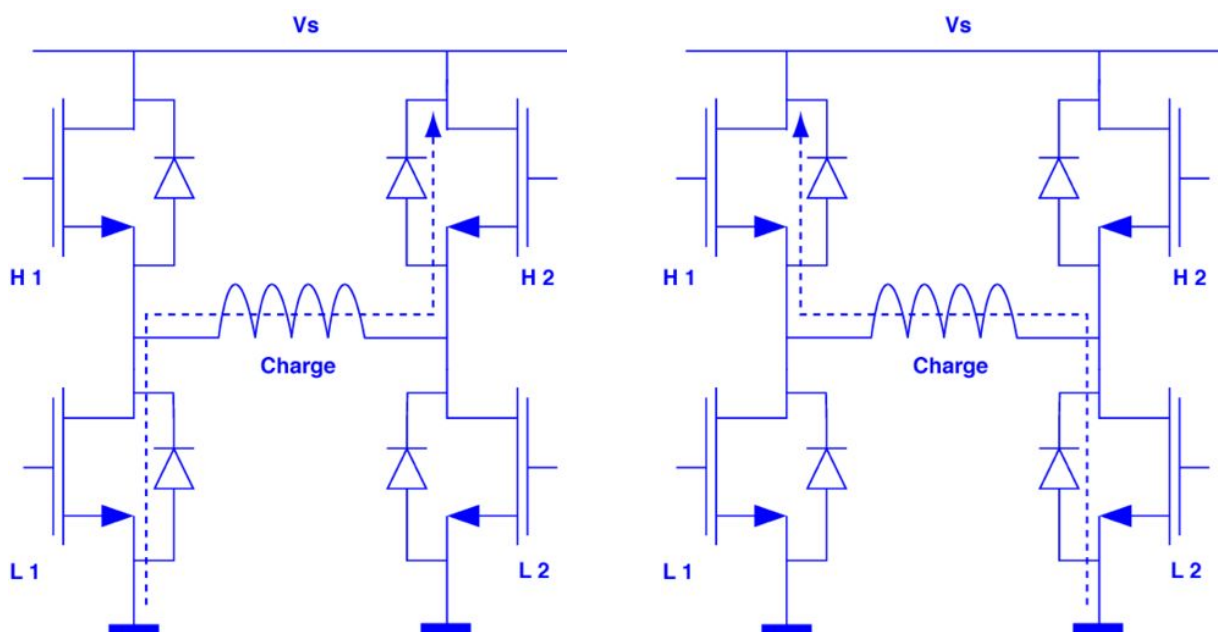


Figure 11 : Courant de recirculation dans un pont en H sous charge inductive.

Au cœur du silicium, ce courant peut être de différentes natures et prendre différents chemins de conduction selon les types de montage affectés (High-Side ou Low-Side). Revenons sur la coupe du pont en H, Figure 10, et décrivons chaque transistor pendant qu'un courant négatif circule.

### 2.1.2 Recirculation dans un montage High-side : injection de porteurs majoritaires

Dans le cas du transistor High-Side noté H2, le potentiel de la source croît sous l'effet de la charge inductive. Ceci a pour effet de mettre en conduction un transistor PNP vertical parasite dont l'émetteur est la diffusion P de source, la base le caisson épitaxie N et le collecteur le substrat P, Figure 12.

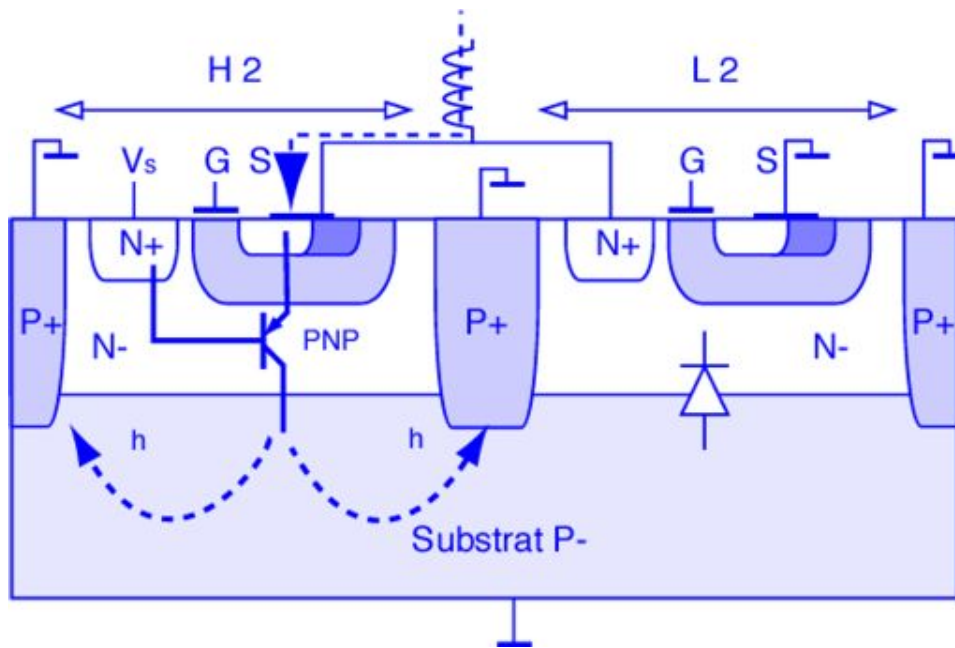


Figure 12 : Transistor High-side pendant injection.

Ainsi, la diffusion P de source émet un courant de trous qui, après avoir traversé le caisson épitaxié N, est collecté par le substrat P. Ce courant parasite est le premier type de courant de substrat, il s'agit d'un courant de porteur majoritaire. La conséquence principale induite par ces porteurs est l'augmentation locale du potentiel du substrat [ 25 ]. Cela peut mettre en conduction les diodes d'isolation des caissons voisins et donc activer un deuxième transistor parasite, NPN cette fois ci, comme indiqué Figure 13.

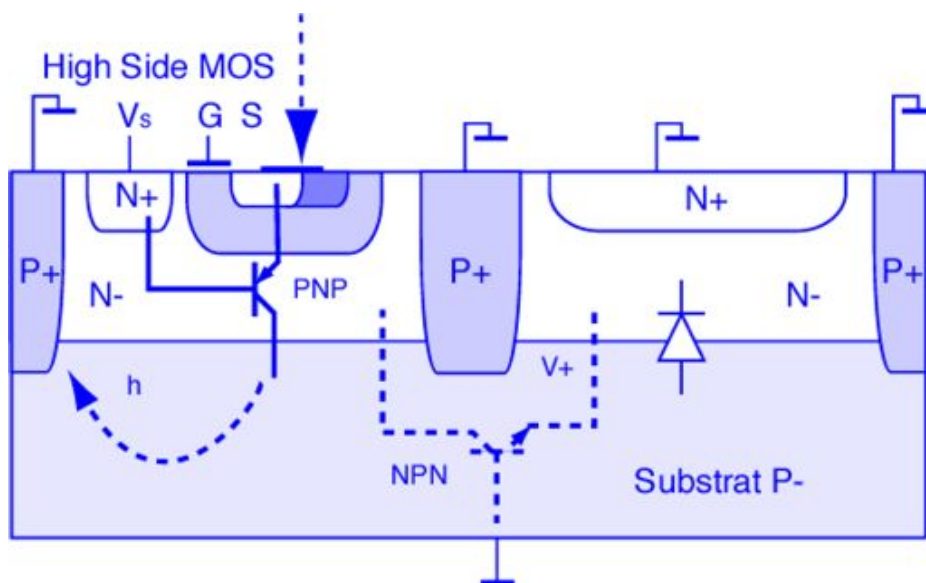


Figure 13: Mise en conduction de diode PN voisine sous l'effet du PNP.



Mais les moyens pour limiter les effets de ce PNP parasite sont facilement réalisables. En premier lieu nous pouvons réduire son gain grâce à l'utilisation de couches N fortement dopées enterrées ou profondes. Par ce biais, les recombinaisons au travers de la base du transistor se font plus nombreuses et la part du courant collecté par le substrat plus faible, Figure 14.

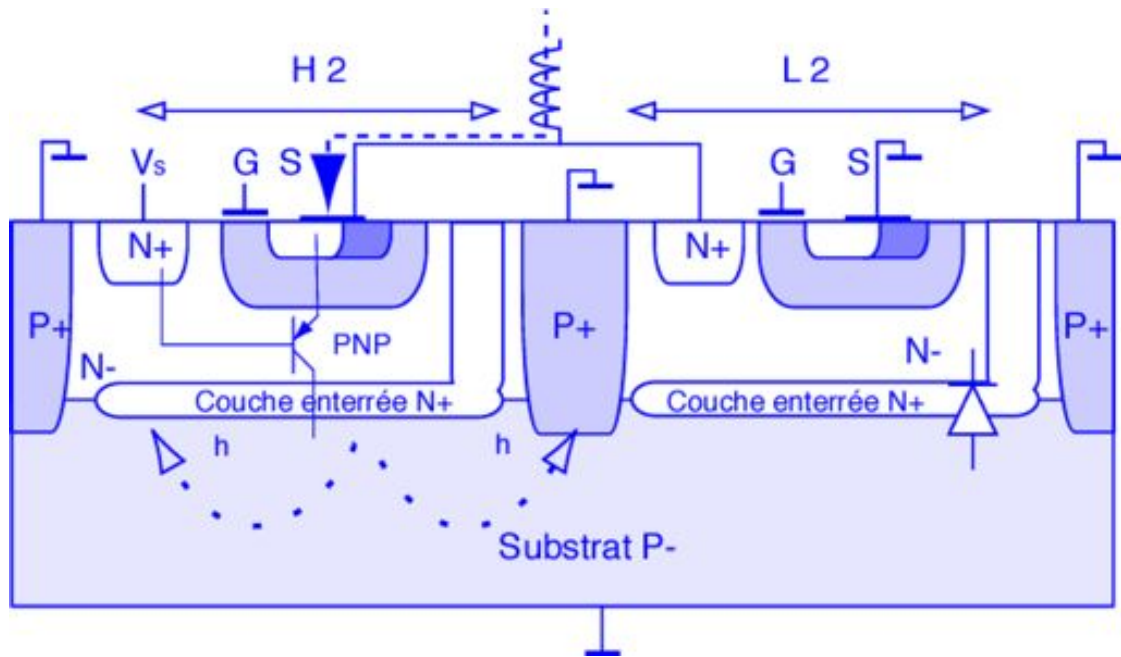


Figure 14 : Demi pont avec couche enterrée.

D'autre part, le fait qu'il s'agisse d'un courant de porteurs majoritaires facilite également sa canalisation. En multipliant les prises de contact du substrat, il est possible d'évacuer rapidement toutes ces charges injectées vers la masse. Il faut cependant veiller à ce que le dimensionnement de ces contacts soit suffisant pour limiter les phénomènes de saturation.

En conclusion, l'injection de porteurs majoritaires est sans aucun doute un problème à prendre en compte, néanmoins il est aisé de le contrôler, voire de l'éviter.

### 2.1.3 Recirculation dans un montage Low-side : injection de porteurs minoritaires

Ces mêmes phénomènes induits par la recirculation de courant en régime de commutation, sont nettement plus délicats à contrôler pour les transistors en configuration Low-side. Dans le cas présenté Figure 15, le transistor L1 voit sa diffusion de drain forcée à un potentiel négatif. Quand celui ci devient inférieur à la tension seuil  $V_{be}$ , les deux diodes,  $/N_{epi}/P\text{-body}$

et celle d'isolation, entrent en conduction. Le caisson N, se comporte comme l'émetteur d'un transistor NPN, ayant comme base le substrat P et comme collecteurs, les caissons N voisins. Un courant d'électrons circule alors dans le substrat.

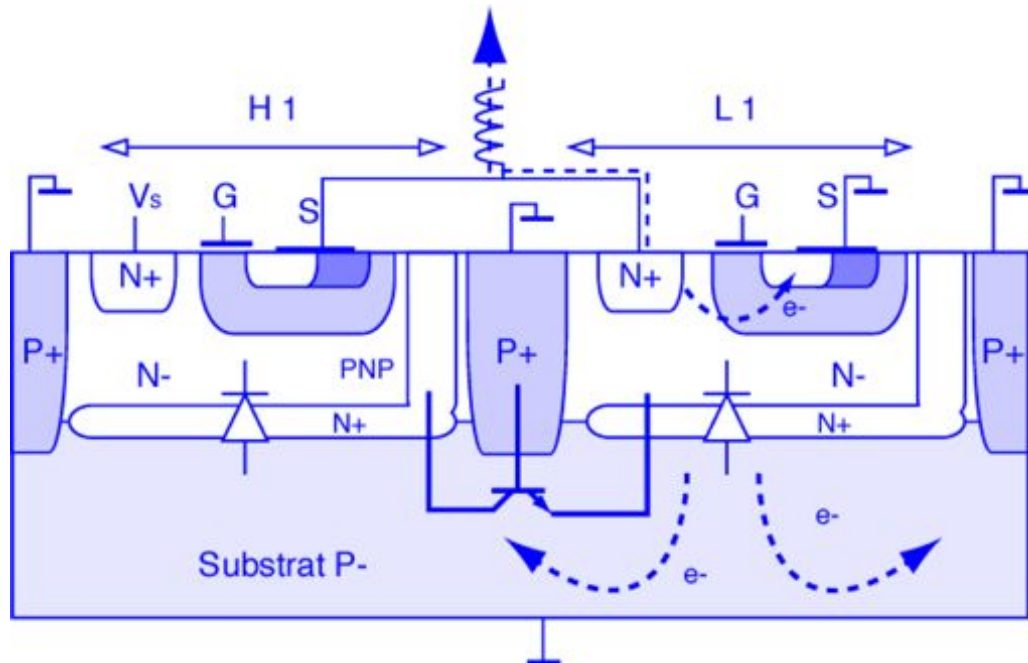


Figure 15 : Transistor Low side pendant injection.

Etant donné que la surface de la jonction émettrice correspond à celle du transistor de puissance, le courant peut atteindre des valeurs très importantes. Certaines spécifications automobiles imposent même, pour la robustesse du circuit intégré, des normes allant jusqu'à la dizaine d'ampères. Ce sont donc des courants de l'ordre de l'Ampère qu'il va falloir contrôler.

## 2.2 Origines des courants de substrat

L'exemple du pont en H résume bien les cas les plus fréquemment rencontrés dans l'électronique de puissance, dûs à la nature inductive de la charge pilotée. D'autres causes, ne touchant pas uniquement les étages de puissance, peuvent s'avérer tout aussi pénalisantes et aboutir au même résultat : la mise en conduction de la diode d'isolation. Nous les inventorions dans ce chapitre. Pour ce faire, nous nous sommes placés dans un environnement particulièrement contraignant : celui de l'automobile.

Pour généraliser nos exemples, nous ferons abstraction du dispositif subissant l'agression des courants de substrat. Nous nous placerons donc, non plus au niveau du composant mais au niveau du système complet. Le composant stressé pourra donc avoir plusieurs natures, soit un transistor MOS de puissance, soit une entrée logique ou analogique de basse tension. Dans tous ces cas, le composant agressé ne sera plus représenté que par sa diode de substrat.

### 2.2.1 Coupure de la ligne d'alimentation

Le premier point décrit ici est une généralisation de l'exemple présenté en introduction. Il regroupe tous les cas où une charge inductive va perdre subitement sa ligne de polarisation. A chaque coupure de celle-ci, nous voyons un courant de recirculation dû à l'inductance circuler dans le substrat au travers de la diode d'isolation.

Dans l'automobile, ces coupures d'alimentation intempestives se rencontrent pendant les phases d'allumage du moteur ou bien au cours de déconnexions involontaires de la batterie.

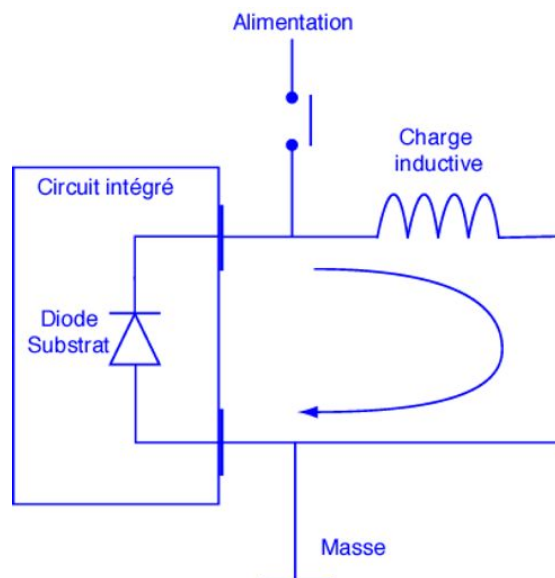


Figure 16: Génération de courant parasite : cas général des charges inductives.

Suite à la nature des charges à l'origine de ces phénomènes (bobine d'allumage, pompe à essence, commande de moteur), nous constatons des courants allant de 1 à 10 A, quasiment constants pendant des temps de l'ordre de la milli-seconde.

### 2.2.2 Résonance des étages de puissance

En plus des problèmes relatifs aux seules inductances, il peut arriver que la charge entre en résonance avec des capacités environnantes. Dans ce cas, ce sont souvent les commutations normales du dispositif qui sont à l'origine du phénomène.

Dans les applications automobiles, les inductances peuvent avoir des valeurs entre 1 et 50mH, alors que le circuit de commande ainsi que les différents couplages peuvent être représentés par une capacité équivalente allant jusqu'à 10 nF (Figure 17).

En conséquence, ce régime oscillatoire peut avoir une fréquence propre entre 10 et 100 kHz, proche des fréquences de travail de la puce. Dans le cas où ces oscillations sont libres, i.e sans diode de substrat, le signal s'amortit progressivement.

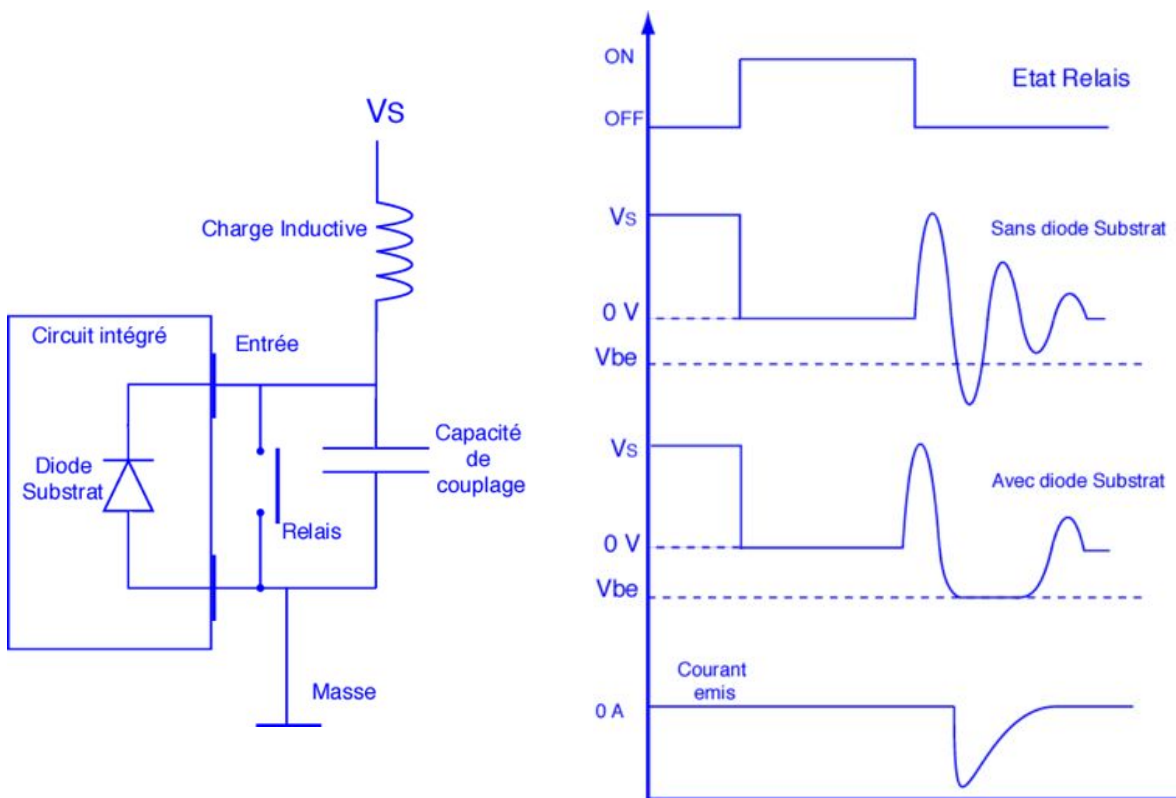


Figure 17 : Génération de courant parasite : résonance de la charge.

Par contre, si ces oscillations affectent une entrée isolée par une diode de substrat, cette dernière se comporte comme une diode de redressement. Une fois le potentiel  $V_{be}$  atteint, les oscillations disparaissent et un courant de substrat apparaît.

Cependant, même si ce mode de mise en conduction est fréquent, il faut remarquer que le courant transitoire généré est relativement faible, c'est à dire de l'ordre de la dizaine de milliampères.

### **2.2.3 Résonance en hautes fréquences**

Des phénomènes similaires peuvent se produire dans des gammes de fréquences nettement plus élevées (100 MHz). Nous nous situons alors dans le domaine de la compatibilité électromagnétique.

Un fil connecté à l'extérieur du dispositif peut jouer le rôle d'antenne et transmettre des modulations de tension à l'intérieur du circuit intégré. Si la modulation est suffisante, nous verrons là encore des diodes d'isolation commuter et injecter un courant d'électrons dans le substrat. Ce phénomène, qui s'applique essentiellement aux étages de logique, peut générer au total des courants parasite allant jusqu'à 200 milliampères.

Même si ce sont des valeurs nettement plus faibles que celles observées dans les étages de puissance cela peut être une source de bruit importante et pénaliser fortement les performances du dispositif.

### **2.2.4 Signaux analogiques externes trop élevés**

Les cas répertoriés ici mettent en cause non seulement le circuit intégré lui même, mais également ses différents capteurs périphériques. Dans le cas où ceux ci procurent des signaux hors norme au circuit intégré, nous voyons les entrées du circuit forcées à un potentiel anormalement négatif, Figure 18.

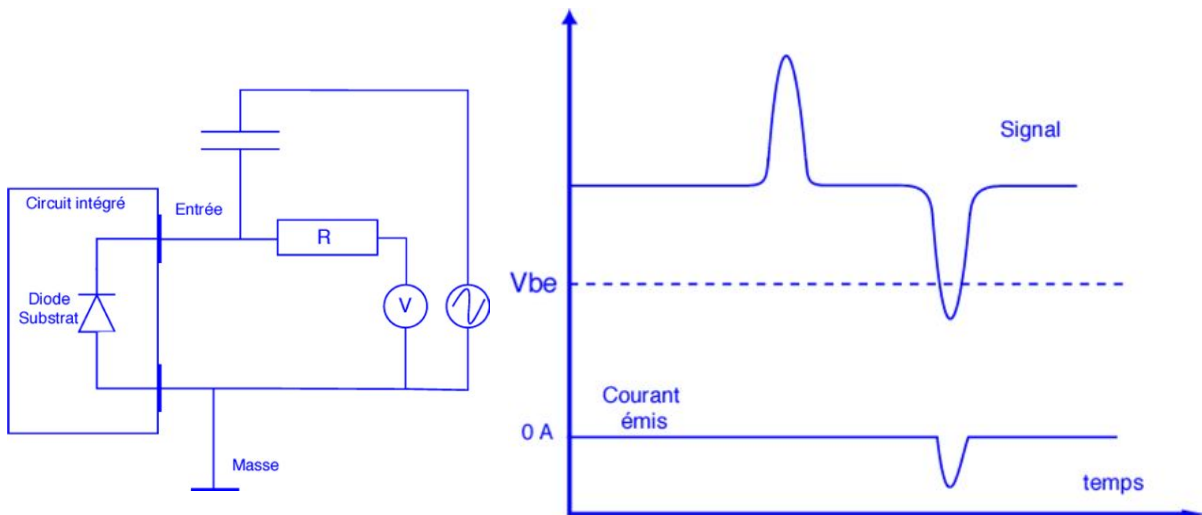


Figure 18 : Génération de courant parasite : signaux analogiques.

En conséquence, si le potentiel de ces entrées n'est pas suffisamment maintenu, les diodes d'isolation peuvent entrer en conduction. Là encore, les courants injectés sont peu importants, de quelques milliampères et de nature transitoire.

### 2.2.5 Dérive du potentiel de masse

Les deux derniers modes de défaillance répertoriés ici sont imputables au potentiel de la masse. Dans le premier cas, la ligne de masse est le vecteur de signal perturbateur. Lorsque plusieurs entrées d'un même circuit sont connectées à celle-ci, nous pouvons voir le fonctionnement d'une entrée perturbée par les commutations de ses voisines. C'est notamment le cas des étages analogiques vis-à-vis des étages de puissance. Ces derniers véhiculent beaucoup d'énergie, il peut donc arriver qu'au cours de leur commutation, ils génèrent sur la ligne de masse des pics de tension négative. Ce signal perturbateur se propage sur la ligne de potentiel et provoque dans les étages voisins la mise en conduction des diodes de substrat, comme illustré dans la Figure 19. Pour les applications automobiles, ces erreurs de fonctionnement sont le plus souvent imputables à des pics de courant à l'allumage ou à des erreurs de manipulations pendant des travaux d'entretien (mauvais câblage ou court circuit involontaire).

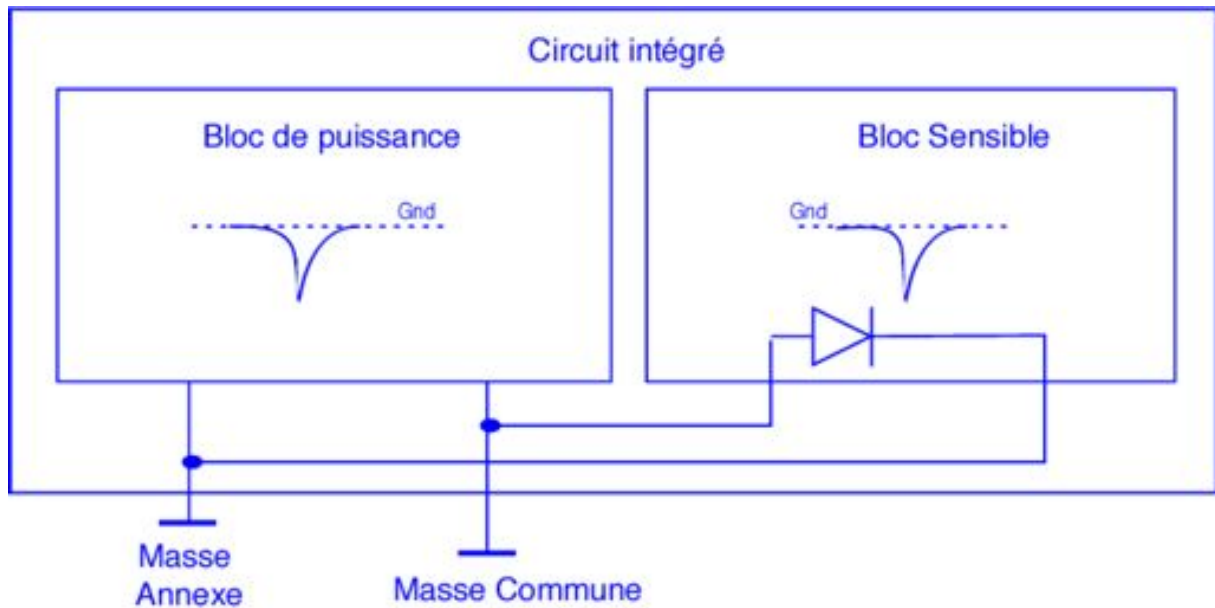


Figure 19: Génération courant parasite : pic sur ligne de masse.

Le deuxième problème lié aux lignes de masse se rencontre dans des circuits où plusieurs d'entre-elles sont disponibles. Il peut arriver que le concepteur du circuit prenne comme potentiel de référence une de ces lignes et comme potentiel de substrat une autre de ces lignes de masse. Or si leurs chemins d'alimentation ne sont pas strictement identiques en terme de résistance d'accès, nous pouvons voir des écarts de potentiel entre celles-ci, écart de l'ordre du Volt. Le cas échéant, une des deux masses va être polarisée négativement par rapport à l'autre, ce qui peut là aussi aboutir à la mise en conduction des diodes d'isolation et donc à l'injection de porteurs minoritaires dans le substrat.

### 2.2.6 Conclusion

Comme nous venons de le voir, les causes susceptibles de rendre les diodes d'isolation conductrices sont multiples. Les courants de substrat ainsi générés peuvent atteindre des valeurs allant du milliampère jusqu'à la dizaine d'Ampères, selon les cas. Ils peuvent être de nature transitoire, comme dans le cas du couplage par antenne, ou être de nature quasiment continue, comme le cas des décharges inductives.

Nos travaux rentrant dans le cadre particulier de l'électronique de puissance, nous nous concentrerons principalement sur les phénomènes générant de forts courants parasites pendant des temps relativement longs.

### 2.3 Effets induits par les courants de substrats

Les causes à l'origine de ces courants étant désormais connues, voyons maintenant quels sont leurs effets au sein du circuit intégré. Au moment où la diode de substrat va se polariser en direct, c'est un flux important de porteurs minoritaires (électrons) qui va être injecté dans le substrat. Ces porteurs peuvent, soit se recombiner avec les trous du substrat P, soit diffuser au travers de celui-ci et être collectés par des diffusions N voisines.

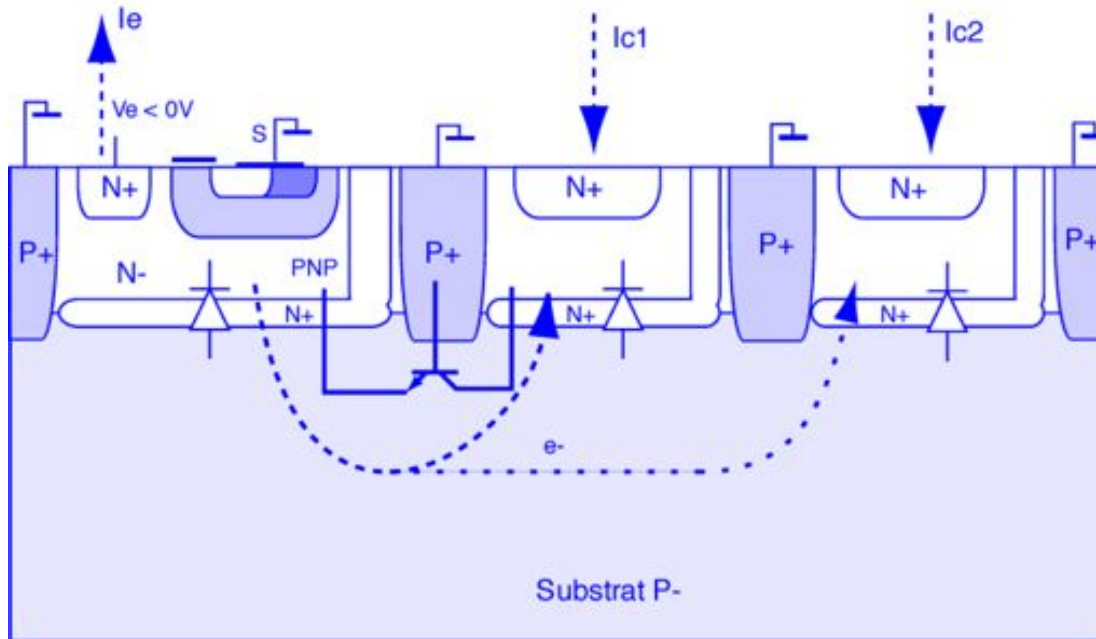


Figure 20: Couplage entre caissons voisins.

Ainsi Figure 20, les électrons injectés par le MOS de puissance vont être collectés par les deux caissons N voisins, ces courants sont repérés par les courants  $I_{c1}$  et  $I_{c2}$ .

Concernant les recombinaisons dans le substrat, elles sont dans notre cas insuffisantes pour réduire ou supprimer le flux de porteurs minoritaires. Cela est dû aux niveaux de dopage des substrats, nécessairement faibles pour les tensions maximales nécessitées par l'application (>50V) [ 18 ]

Un courant très important va donc circuler dans les caissons N voisins et sur une distance importante, nous avons recensé des cas où les effets induits peuvent se faire ressentir à des distances allant jusqu'au millimètre. Ce courant indésirable va être à l'origine de nombreuses perturbations que nous allons détailler ci-dessous et qui peuvent, au mieux altérer le



fonctionnement du dispositif, faire perdre les fonctionnalités du circuit, au pire détruire ce circuit.

### 2.3.1 Perte de contrôle des charges pilotées (couplages des sorties)

L'impact des courants de substrat sur les étages de puissance se traduit essentiellement par une perte de contrôle des charges pilotées. En effet, une charge connectée à un transistor de puissance voisin de l'injecteur peut être traversée par un courant alors que son circuit de commande est ouvert. Nous avons alors un couplage intempestif entre les différentes sorties du circuit intégré.

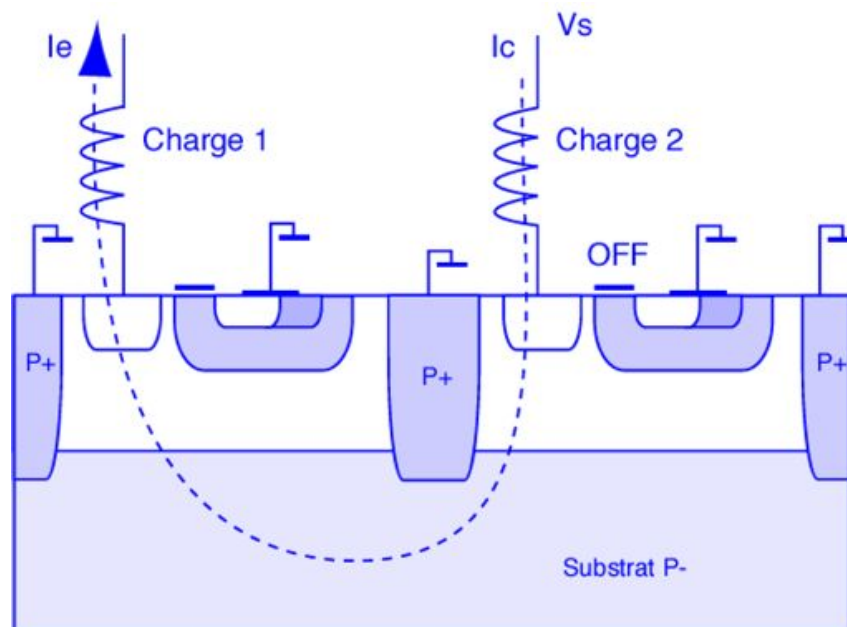


Figure 21 : Couplage des étages de puissances.

Ainsi Figure 21, la charge nommée Charge 2 est traversée par le courant  $I_c$  alors que la grille du transistor de puissance qui la pilote est à l'état OFF, cette charge n'est donc plus contrôlée.

### 2.3.2 Perturbation des blocs analogiques et logiques

#### 2.3.2.1 Perturbations des signaux transmis

Pour comprendre l'importance que peuvent avoir les courants de substrat sur la qualité des signaux véhiculés au sein de la puce, il faut savoir que les blocs régissant les étages de puissance sont des blocs analogiques, et que ceux-ci travaillent essentiellement par des

modulations de signaux, principalement des modulations de courant, fournis par des capteurs intégrés.

Nous comprenons donc bien que si, en plus de l'information normale, un signal parasite imputable au courant de substrat est véhiculé, c'est toute la cohérence et le fonctionnement du circuit qui peuvent être altérés ou modifiés. Par exemple, si le signal relatant la température de fonctionnement est erroné sous l'effet des courants de substrat, le bloc de diagnostic repérera une température fausse et véhiculera en réponse des ordres inadéquats. Il se pourra alors que certaines fonctions importantes soient neutralisées momentanément pour des raisons injustifiées.

### 2.3.2.2 Perturbation des circuits de tension de référence

Un autre moyen de perturber le fonctionnement du circuit est de changer ses données de référence. Prenons le cas du bloc appelé « band-gap référence » qui doit fournir en permanence une tension de référence stable en température.

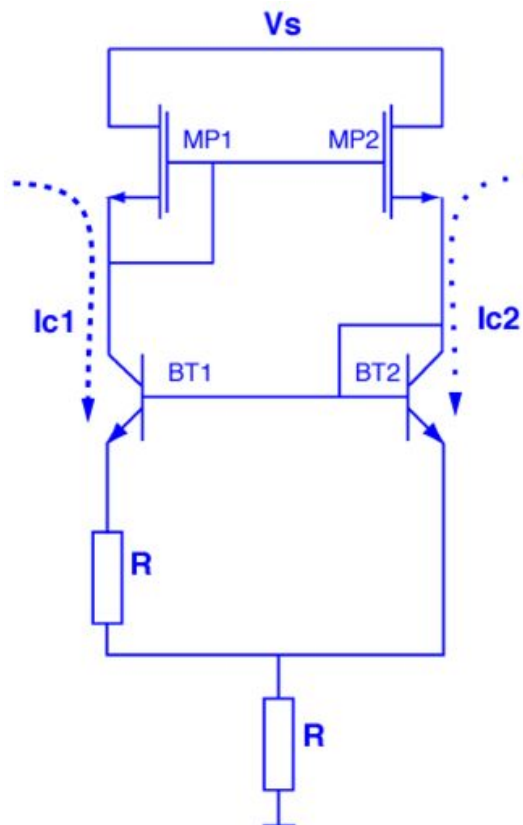


Figure 22 : Perturbation du bloc « band gap référence » par les courants de substrat  $I_{c1}$  et  $I_{c2}$ .

Sous l'effet des courants de substrat, les deux transistors bipolaires BT1 et BT2 ne seront plus alimentés de manière convenable : en plus des courants fournis par les deux transistors PMOS (MP1 et MP2) viennent s'ajouter les composantes dues aux courants de substrat ( $I_{C1}$  et  $I_{C2}$ ). Celles-ci dépendent essentiellement des positions respectives des transistors bipolaires vis-à-vis de l'émetteur du courant parasite. La composante de courant de substrat traversant BT1 ayant peu de chance d'être la même que celle traversant BT2, le miroir de courant ne fonctionne plus, Figure 22. Il en résulte une instabilité de la tension de sortie. La référence qu'est le bloc band-gap n'est donc plus fiable.

Pour généraliser, nous pouvons dire que ce sont tous les circuits construits autour d'un miroir de courant qui peuvent être perturbés de la sorte.

### 2.3.2.3 Commandes incontrôlées

Les courants de substrat peuvent également modifier le fonctionnement normal de certains composants intégrés spécifiques. Cela concerne spécialement les capacités par jonction ainsi que les transistors MOS.

En ce qui concerne les capacités par jonction, le courant de substrat modifie leur état de charge et ce de manière incontrôlable. Dans le cas où les fonctions d'initialisation de la puce sont pilotées par l'état de charge d'une telle capacité, cette dernière étant chargée involontairement, on observe des « resets » intempestifs.

Les transistors MOS, quant à eux, sont perturbés via une modulation relative de leur tension de seuil. Dans le cas d'un transistor PMOS, le courant qui traverse le caisson N provoque une chute de potentiel qui modifie la tension de seuil du transistor, Figure 23.

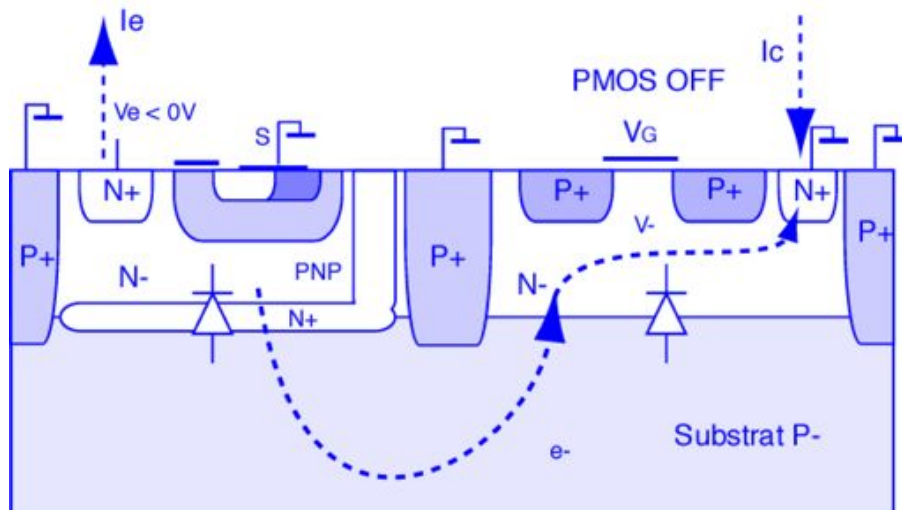


Figure 23: Changement d'état logique PMOS.

Sur cette figure, le PMOS devrait normalement se trouver à l'état ON, sa tension de grille étant polarisée à sa tension de seuil  $V_T$ . Or, sous l'effet de la dépolarisation du caisson N, il peut passer à l'état OFF, le potentiel du caisson n'étant plus strictement à la masse mais à une tension négative.

La présence d'une couche enterrée N+, peu résistive, permet généralement d'éviter ce problème.

### 2.3.3 Surconsommation

Une autre conséquence des courants de substrat concerne la consommation énergétique des blocs affectés qui va s'accroître. Cela est d'autant plus pénalisant quand ce sont les caissons basse tension qui sont perturbés. En effet, la consommation de ces blocs est souvent utilisée comme source d'information pour les organes de régulation. Ainsi, les commandes d'initialisation sont généralement pilotées après la détection d'une surconsommation flagrante. Il se peut donc que sous l'effet des courants de substrat l'ensemble des fonctionnalités du dispositif soit inutilisable momentanément, Figure 24.

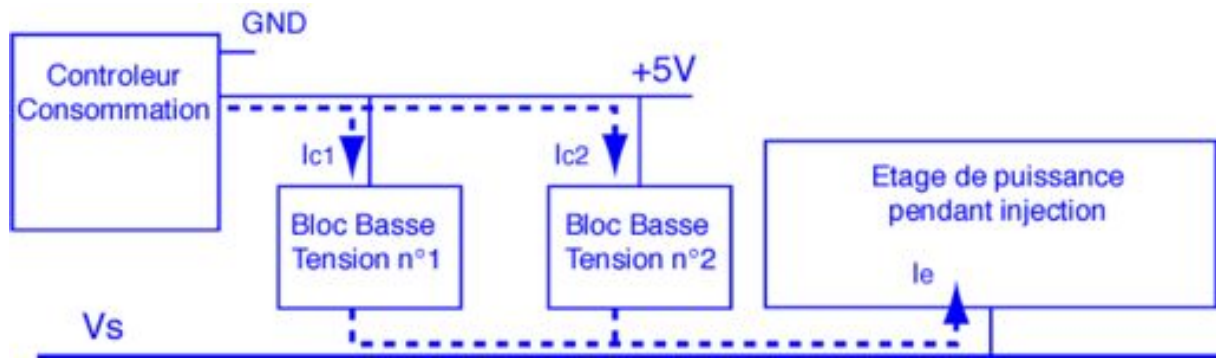


Figure 24: Surconsommation étages basse tension.

Au delà de ces perturbations, il convient de tenir compte de ces sur-courants dès la phase de conception du circuit, spécialement pour le dimensionnement des prises de contact et des lignes métalliques. Un courant trop fort au travers d'une fine piste de métal peut aboutir à des densités de courant telles que l'on peut assister à la fusion du métal et donc à la destruction du composant.

### 2.3.4 Latch-up

Les cas présentés jusque-là montrent clairement que les courants de substrat peuvent générer de nombreuses perturbations analogiques ou numériques qui, au final, affectent sensiblement le fonctionnement des circuits affectés. Cependant, aussi pénalisantes que soient ces erreurs, nous constatons que l'intégrité du composant est souvent préservée. Il n'en est pas de même quand, sous l'effet des courants de substrat, un phénomène de latch-up s'enclenche.

Le latch-up, ou phénomène de blocage des structures quatre couches (npnp), se rencontre quand deux transistors NPN et PNP s'alimentent mutuellement [ 21 ]. Le courant de collecteur de l'un fournit le courant de base de l'autre formant ainsi une structure thyristor, comme indiqué Figure 25. Ce phénomène s'amorce via une source de courant extérieur, appelé courant de gâchette. Celui-ci, en traversant l'une des résistances  $R_s$  ou  $R_w$ , va fournir le courant de base nécessaire à la mise en conduction de l'un des deux transistors.

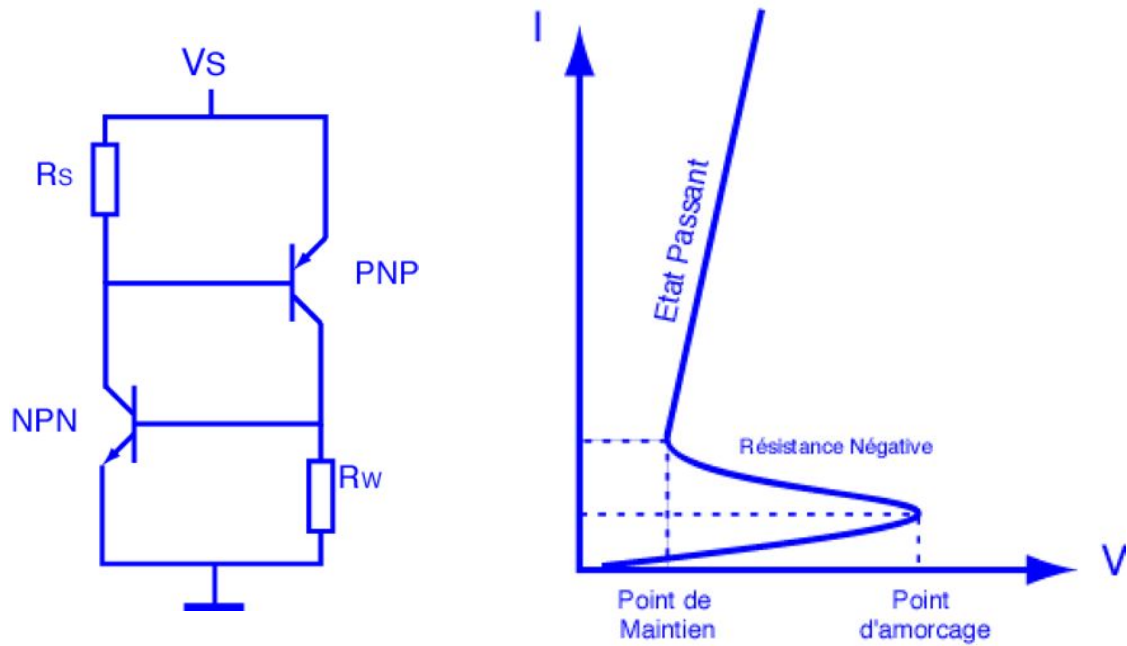


Figure 25: Circuit équivalent et caractéristique d'un thyristor.

Une fois le thyristor enclenché, sa caractéristique  $I(V)$  présente une pente négative : on dit qu'il se retourne. Lorsque ce retournement est indésirable et incontrôlé, on appelle ce phénomène latch-up. Dans cet état, le composant va conduire des courants extrêmement forts et impossibles à stopper sans couper les alimentations. La destruction du composant est quasiment inévitable. Les densités de courant sont telles que localement la température peut atteindre le point de fusion du silicium.

Les courants de substrat tiennent le rôle du courant de gâchette. Nous présentons ci dessous, Figure 26, un cas de latch-up dans un bloc CMOS.

Les porteurs minoritaires collectés par le caisson N sont évacués par le contact N+ de substrat du PMOS. Cette circulation de courant va s'accompagner d'une chute de potentiel dans ce caisson N, à travers la résistance  $R_s$ . La diffusion P du MOS se trouve polarisée positivement par rapport au caisson N. Le transistor vertical NPN noté Q1 se déclenche. Ce transistor fournit alors le courant nécessaire à l'allumage d'un deuxième transistor bipolaire PNP noté Q2. En conséquence, nous nous retrouvons dans la situation présentée Figure 25 où les deux transistors NPN et PNP s'entretiennent l'un l'autre.

Une fois que les transistors Q1 et Q2 sont entrés en conduction, il devient impossible d'arrêter ce processus. Ainsi, même sans courant de substrat, les cellules CMOS restent en mode thyristor. L'unique solution qui permette de supprimer ce courant est de couper les lignes d'alimentation (la masse et le +5V).

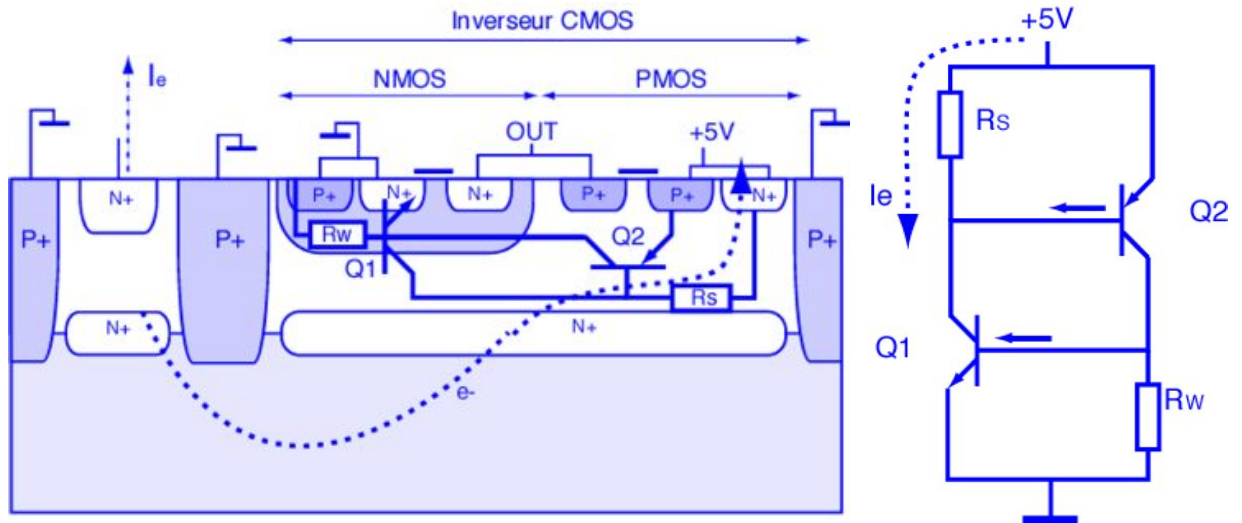


Figure 26: Déclenchement latch-up dû aux courants de substrat dans une cellule CMOS.

### 2.3.5 Récapitulatif des conséquences des courants de substrat

Si les causes sont multiples, les conséquences de ces courants n'en sont pas moins nombreuses et de natures diverses. Elles peuvent aussi bien affecter les blocs logiques qu'analogiques, produire des perturbations passagères que détruire le dispositif définitivement. Les courants de substrat ne sont donc pas uniquement une source de bruit supplémentaire, mais surtout une des causes principales de mauvais fonctionnement des produits Smart-power.

## 2.4 État de l'art des protections employées

Les critères de robustesse et de fiabilité étant primordiaux, la maîtrise de ces courants de substrat devient un impératif majeur dans les circuits intégrés de puissance.

Un cahier des charges relatives à ce point précise que le produit subissant l'agression de courant négatif doit être sauf quelque soit la valeur de ce courant parasite, c'est à dire qu'il doit être réutilisable après une telle agression. De plus, cette spécification impose des normes quantitatives. En effet, si un courant parasite de plusieurs Ampères est tiré sur une entrée de la puce, les entrées voisines ne doivent pas voir circuler un courant supérieur à quelques milliampères. Nous avons donc deux types de critères, le premier qualitatif : assurer la survie du dispositif, et le deuxième quantitatif : limiter le plus possible les couplages parasites.

En premier lieu, il s'agit de sécuriser les blocs fragiles, à savoir les blocs de logique CMOS. Différentes techniques de conception existent pour le déclenchement du latch-up, nous ne les détaillerons pas ici, voir [ 19 ][ 20 ][ 22 ][ 23 ][ 24 ][ 21 ]. Ces techniques reposent sur une réduction des résistances internes à l'origine du latch-up ( $R_s$  et  $R_w$  dans la Figure 26).

Nous présentons ici un état de l'art des solutions existantes. Celui-ci s'appuie pour l'essentiel sur une étude de brevets industriels ; les publications sur le sujet étant peu nombreuses. Suivant leur principe de fonctionnement, nous classerons ces protections en trois familles que nous nommerons passives, actives et logicielles.

### 2.4.1 Protections Passives

Les protections passives sont celles qui font intervenir de simples anneaux de protection afin de collecter ou détourner les porteurs minoritaires injectés. Les chemins de courant mis en place sont simplement résistifs et font intervenir des diodes élémentaires en inverse.

#### 2.4.1.1 Anneaux de garde : collecteur préférentiel

La protection la plus simple, et la plus largement utilisée, consiste à insérer une zone de collection préférentielle entre les parties du circuit intégré les plus sensibles et les zones susceptibles d'injecter des porteurs minoritaires. Il s'agit de collecter le maximum de courant parasite avant qu'il n'atteigne les zones critiques du circuit [ 31 ]



En général, on préfère entourer les transistors de puissance d'une large diffusion N polarisée positivement par rapport à la masse. Cette diffusion N+ est isolée du reste du circuit intégré par des diffusions profondes P+ contactant le substrat. Selon les filières technologiques, nous avons distingué deux sortes d'anneaux de garde, selon qu'ils sont utilisés sur des substrats fortement ou faiblement résistifs (P- ou P+).

#### 2.4.1.1.1 Anneau de gardes sur substrat P-

Nous avons déjà signalé que pour les substrats faiblement dopés, la durée de vie des porteurs minoritaires est grande et les recombinaisons y sont peu importantes : par exemple pour un substrat dopé à  $10^{15} \text{ cm}^{-3}$ , la durée de vie des porteurs minoritaires est de l'ordre de  $10 \mu\text{s}$ . Ces durées de vie, se traduisent par des longueurs de diffusion des porteurs injectés extrêmement importantes. Ainsi, pour être efficaces, les anneaux de gardes doivent être très larges (de l'ordre de la centaine de microns) [ 26 ] [ 27 ] [ 28 ] [ 29 ] [ 30 ]

Sur la coupe présentée Figure 27, le caisson intermédiaire joue le rôle d'un anneau de garde vis-à-vis du caisson sensible (nommé collecteur). Si cette protection collecte une part importante du courant parasite injecté, il reste néanmoins une part de courant peu négligeable qui affecte le collecteur sensible,  $I_{C2}$ .

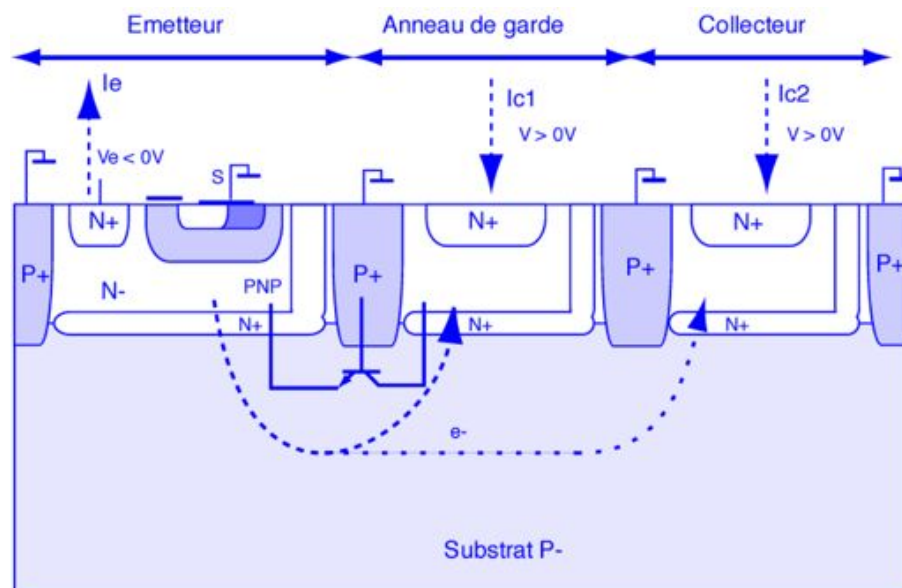


Figure 27: Anneau de garde sur substrat P-.

Nous reviendrons donc en détail dans le chapitre suivant sur les paramètres et les phénomènes qui régissent ce premier type de protection.

#### 2.4.1.1.2 Anneaux de garde sur substrat P+

Le dopage plus élevé du substrat se traduit par une réduction sensible de la durée de vie des porteurs minoritaires. Pour un dopage de substrat de  $10^{18} \text{ cm}^{-3}$ , la durée de vie des électrons est de l'ordre de  $0,1 \mu\text{s}$ ; soit 100 fois moins grande que dans le cas du substrat P-. Les longueurs de diffusion des porteurs injectés étant plus courtes, des largeurs d'anneaux de quelques microns suffisent [ 34 ][ 35 ][ 21 ].

Il faut également remarquer que ces substrats sont très souvent épitaxiés en surface par une couche P-. Le champ électrique généré à cette homo-jonction P-/P+ joue également un rôle très important pour la prévention des problèmes d'injection de substrat. Les porteurs minoritaires injectés sont en effet maintenus en surface et il est plus aisé de les collecter en périphérie de la zone injectante, comme indiqué Figure 28.

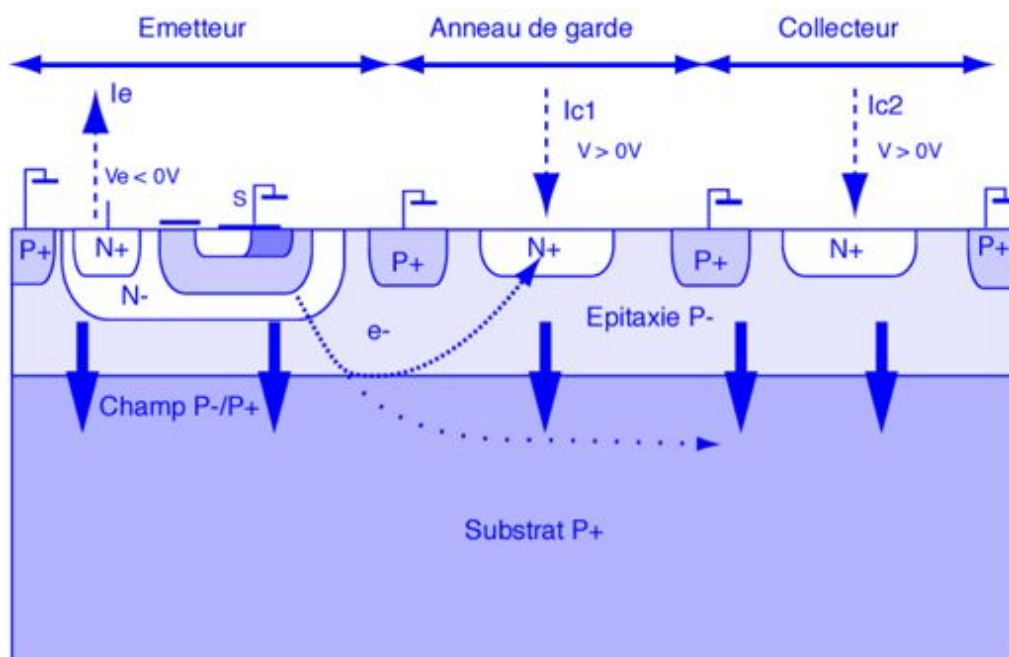


Figure 28 : Anneau de garde sur substrat épitaxié P-/P+.

Ainsi, en plus de la largeur de l'anneau de garde, l'épaisseur de la couche épitaxiée devient également un paramètre clef, comme le démontrent les résultats présentés ci dessous :

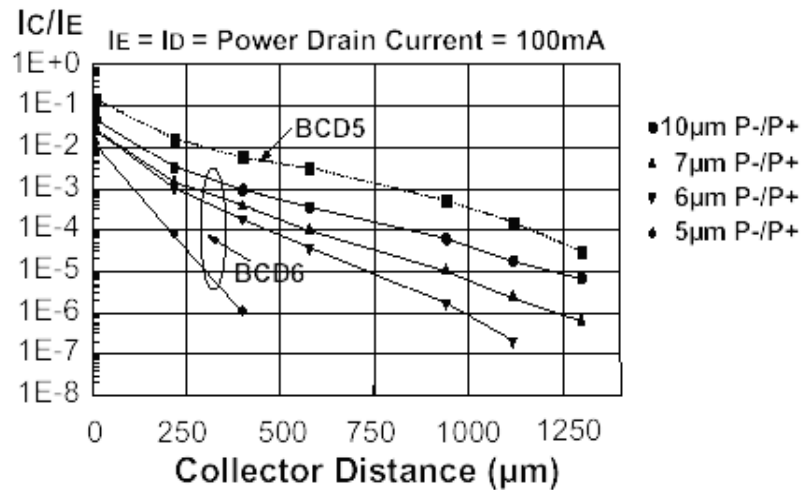


Figure 29 : Influence de l'épaisseur d'épitaxie sur les courants collectés , cas d'un substrat P-/P+ [ 34 ].

### 2.4.1.2 Diode Schottky

Une autre stratégie de protection consiste à intégrer une diode Schottky à l'intérieur du caisson perturbateur. La tension seuil de celle-ci étant plus faible que celle de la diode d'isolation, nous pouvons la considérer comme une diode de roue libre [ 40 ] [ 41 ] [ 42 ] [ 43 ]. Elle va entrer en conduction avant la diode de substrat, la mise en conduction de cette dernière est donc retardée. Dans la Figure 30, nous avons représenté le schéma électrique équivalent d'un transistor LDMOS utilisant une telle protection, ainsi que des résultats caractéristiques.

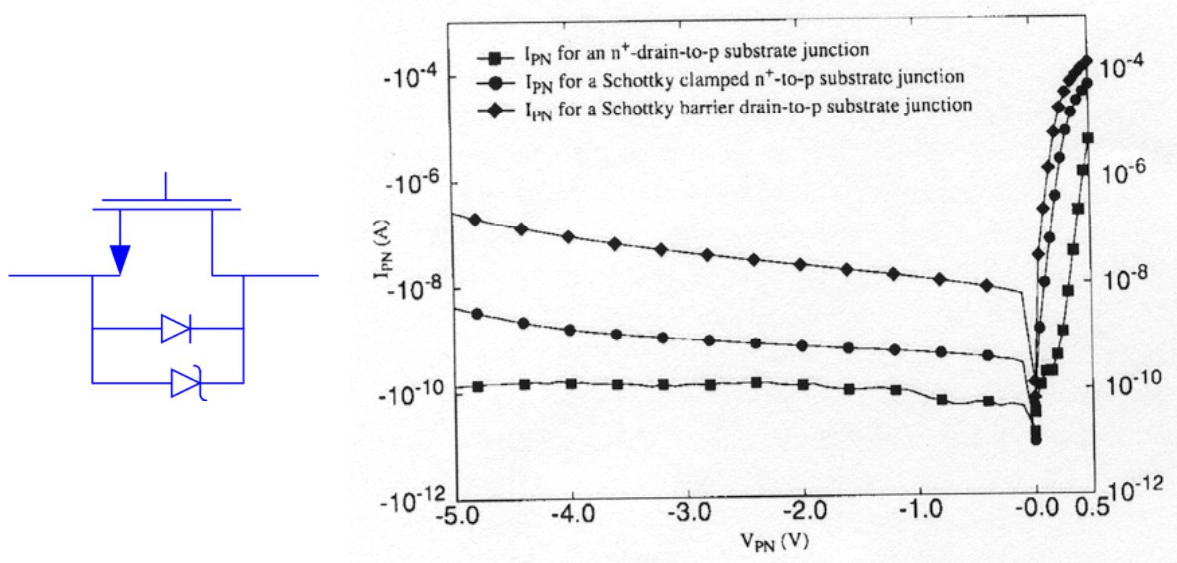


Figure 30 : Schéma équivalent d'un MOS de puissance protégé par une diode Schottky et caractéristique des diodes Schottky et de substrat [ 40 ].

Concrètement, cette diode se présente sous la forme d'une couche de silicure déposée directement sur l'épithaxie N- ( $\text{TiSi}_2\text{-Si}$ ), comme représenté Figure 31. Il faut cependant remarquer que son intégration ne peut se faire sans avoir résolu le problème majeur inhérent aux diodes Schottky : leur faible tenue en tension à l'état bloqué.

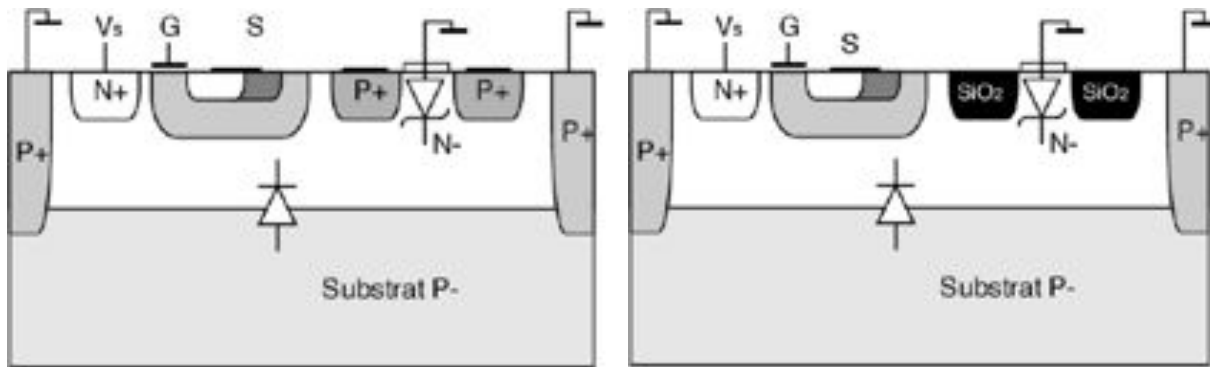


Figure 31 : Possibilités d'intégration des diodes Schottky.

Pour améliorer la tenue en tension de la diode schottky les solutions classiques sont utilisables, telles que l'utilisation d'anneaux de champs, l'emploi de diode schottky bipolaire (JBS) ou de diode schottky à tranchée d'oxyde [ 42 ] [ 44 ] Figure 31.

### 2.4.1.3 MOS isolé

La dernière solution, que nous avons classée dans les protections passives, consiste à modifier les composants de puissance classiques en séparant la diffusion N polarisée négativement du substrat mis à la masse, Figure 32. Ainsi isolé, aucun porteur minoritaire ne peut être injecté dans le substrat [ 36 ] [ 37 ] [ 38 ].

Comparativement à un MOS de puissance classique, il présente deux différences majeures :

- la diffusion P de source englobe entièrement la diffusion de drain, cette dernière se trouve ainsi séparée de la couche enterrée N.
- cette couche enterrée étant maintenant dissociée du potentiel du drain, elle peut être maintenue en permanence à un potentiel positif. Elle constitue alors un collecteur idéal pour les porteurs injectés par le drain. Ainsi, le courant de recirculation est confiné au sein du transistor agressé et n'affecte plus son voisinage.

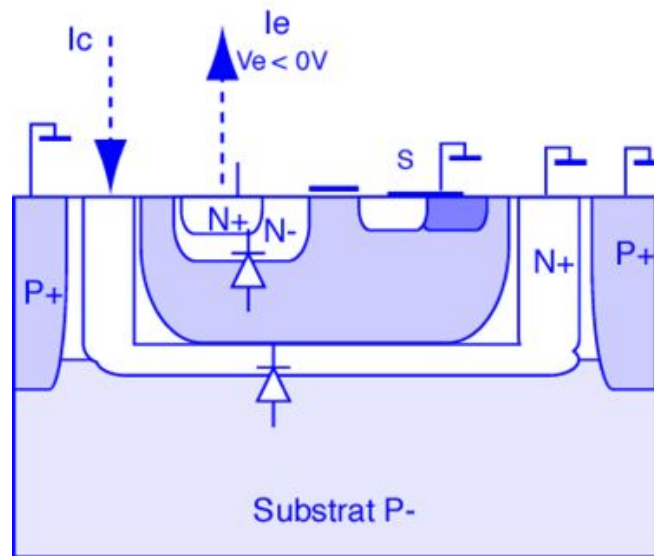


Figure 32 : Couche d'un MOS de puissance isolé.

Il faut cependant remarquer que les modifications technologiques introduites pour résoudre le problème des courants parasites affectent sensiblement les caractéristiques propres du composant, en particulier sa tenue en tension et son aire de sécurité [ 39 ].

L'emploi de ce type de composant ne peut se faire sans dégrader les propriétés des étages de puissance. Nous reviendrons largement sur les caractéristiques ainsi que sur les limitations de ces composants dans le chapitre suivant.

## 2.4.2 Protections Actives

Ce type de protections ne repose plus seulement sur l'amélioration de la collection des porteurs minoritaires par des éléments passifs, mais aussi sur la modulation du potentiel du substrat via des composants actifs commandables ou auto-polarisés.

### 2.4.2.1 Substrat flottant

La première solution active répertoriée ici consiste à polariser le substrat non plus au travers de simples contacts de masse, pris en surface de la puce par l'intermédiaire de puits P+, mais par un transistor bipolaire, comme représenté Figure 33. Le potentiel du substrat est alors directement lié au potentiel du collecteur de ce transistor d'alimentation.

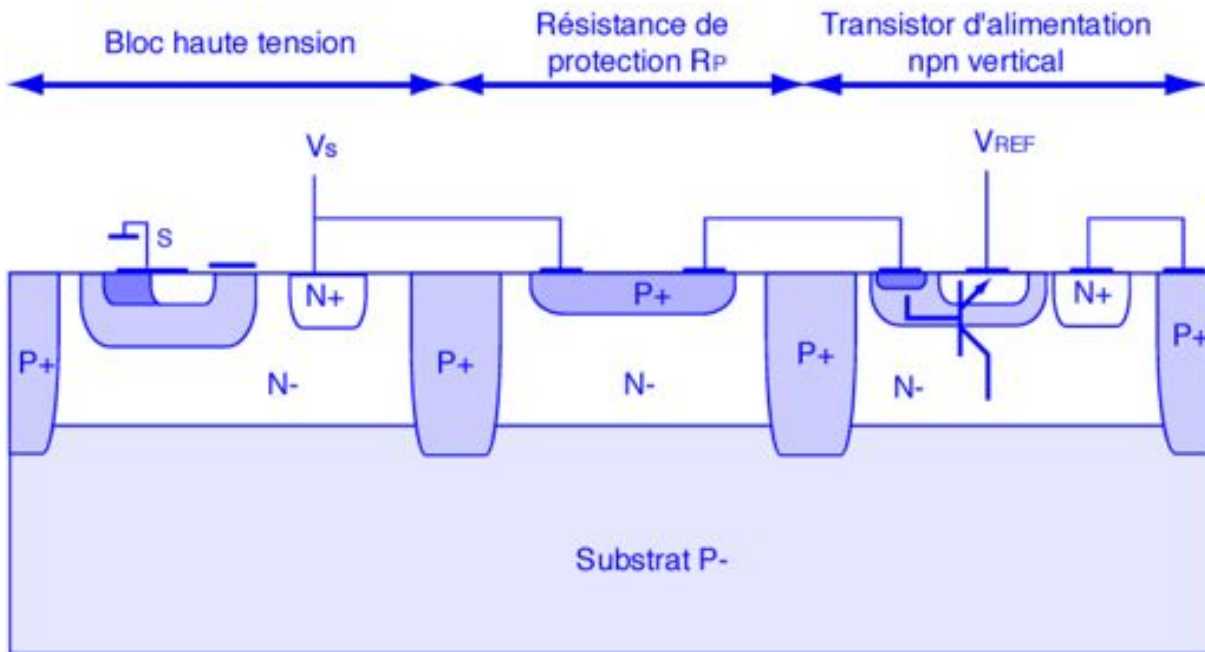


Figure 33: Protection active, alimentation du substrat au travers d'un transistor commandable [ 45 ].

Tant que le potentiel du bloc de puissance est polarisé à une tension positive, le transistor d'alimentation est saturé et sa base polarisée positivement par la résistance de protection notée  $R_p$ . Le collecteur et le substrat sont alors polarisés au même potentiel de référence  $V_{REF}$ . Quand le bloc de puissance est forcé à un potentiel négatif, celui-ci est appliqué en même temps sur la base du transistor d'alimentation qui passe alors à l'état bloqué. Le substrat ne voit plus aucune tension d'alimentation, il devient flottant. La diode d'isolation  $N_{epi}/P$ -substrat ne peut pas devenir passante et les phénomènes d'injection de porteurs minoritaires sont supprimés.

Néanmoins, il convient de faire quelques remarques sur l'utilisation d'une telle protection :

- En ce qui concerne la polarisation de la base du transistor, il est nécessaire d'insérer une résistance de protection  $R_p$  afin de ne pas connecter directement la base du transistor au potentiel  $V_N$ . La tension de la base du transistor étant ainsi réduite, son courant d'alimentation est contrôlé.
- A propos du comportement en dynamique du dispositif ensuite : nous pensons que la mise à l'état flottant du substrat doit être sensiblement retardée par sa capacité

de stockage ; pour des agressions rapides, ce type de solution risque d'être insuffisant.

- Enfin, l'impact que peut avoir un substrat entièrement flottant sur le bon fonctionnement du circuit doit être évalué. Sans prise de masse, les charges stockées ne peuvent plus s'évacuer. Si en parallèle une injection de porteur majoritaire est observée, le potentiel du substrat va augmenter et aboutir à nouveau à la mise en conduction des diode PN substrat-épitaxie. (cf Figure 6)

Pour résumer, la technique de substrat flottant peut s'avérer très efficace dans des cas peu contraignants, où les signaux perturbateurs sont relativement lents, et pour des circuits simples, c'est à dire n'utilisant pas des MOS montés en High-Side.

#### 2.4.2.2 Polarisation négative du substrat : barrière active

La plupart des brevets qui répondent aux problèmes des courants de substrat utilisent les techniques présentées ici [ 46 || 47 || 48 || 49 || 50 || 51 || 52 || 53 || 54 ]. Sans entrer dans des explications physiques ou comportementales, qui seront largement décrites dans notre quatrième chapitre, nous donnons ici un bref aperçu des modes de fonctionnement de ces protections.

Il s'agit de moduler la polarisation du substrat afin de créer en son sein des champs électriques capables de s'opposer aux parcours des porteurs minoritaires injectés. Concrètement, on laisse le substrat à la masse près de l'injecteur (1) et on impose un potentiel négatif sur une deuxième prise de substrat périphérique (2), comme représenté Figure 34. Si l'écart de potentiel, entre les deux puits de contact substrat, est suffisant le champ électrique appliqué permet alors de repousser les porteurs injectés.

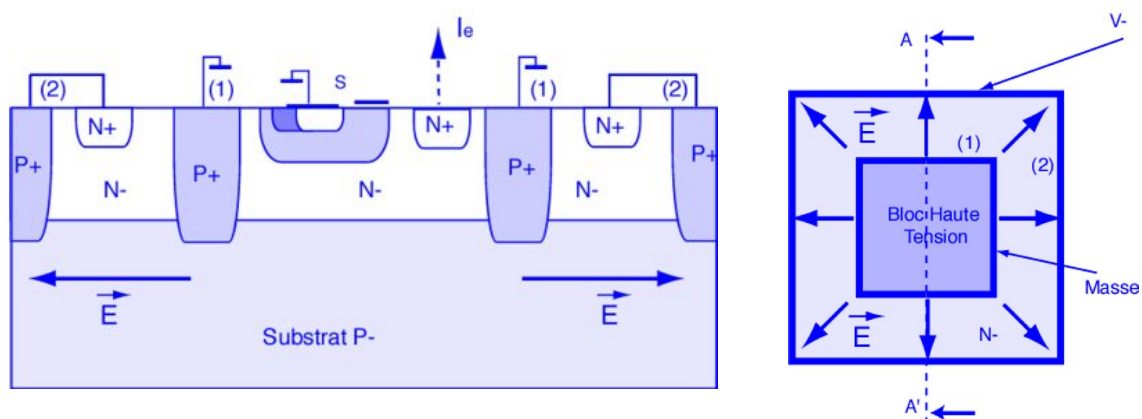


Figure 34: Schéma de fonctionnement d'une protection active coupe et vue de dessus.

Pour imposer spontanément ce potentiel, une solution classique consiste à insérer entre la diffusion N émettrice et le second contact de substrat, un transistor bipolaire NPN travaillant en régime de saturation.

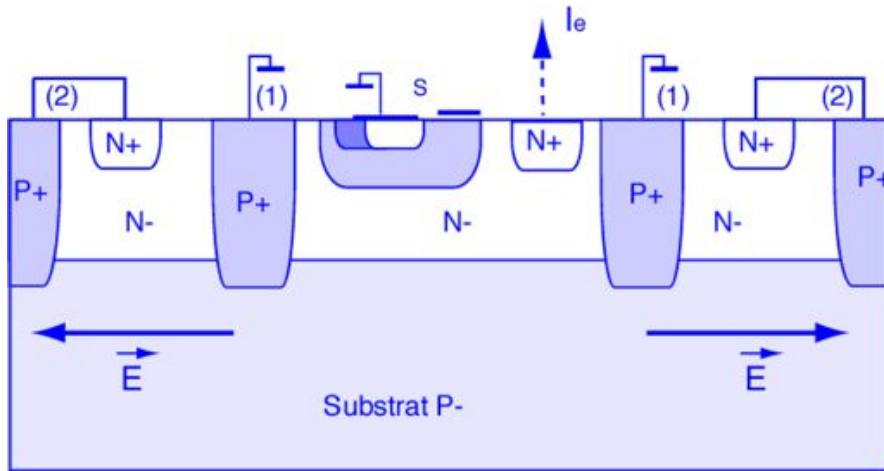


Figure 35 : Coupe protection active.

Sur la Figure 35, le transistor de protection est directement intégré en périphérie du caisson à protéger. Son émetteur correspond au drain du transistor de puissance, sa base au premier puits P mis à la masse (1) et son collecteur au deuxième caisson N, ce dernier étant directement connecté au second puits P (2). Plusieurs possibilité d'intégration de ce transistor sont évoquées, il peut être soit intégré en périphérie de l'injecteur (Figure 36) soit à l'intérieur de la diffusion N émettrice, (Figure 37).

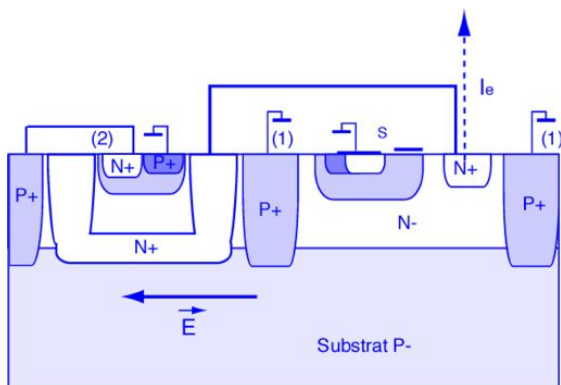


Figure 36 :protection active variante 1.

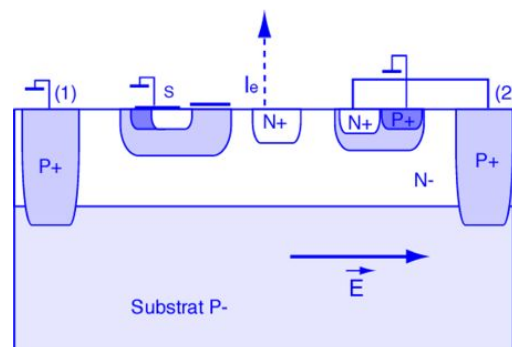


Figure 37 :Protection active variante 2.

Nous avons déjà mentionné que le haut degré de confidentialité de ce type recherche fait que les rares informations disponibles le sont sous forme de brevet. Très peu de résultat expérimentaux ont donc été publiés. Seule la publication [ 47 ] évalue les valeurs des courants



de substrat résiduels dans le cas où une protection appelée « barrière active » est employée. La Figure 31 donne les valeurs des courants résiduels  $I_C$  en fonction de la valeur du courant injecté  $I_E$  et de la distance entre l'injecteur et le collecteur. Même si la protection n'est pas détaillée dans cette publication, nous pouvons affirmer qu'il s'agit bien d'une protection s'appuyant sur une polarisation locale du substrat.

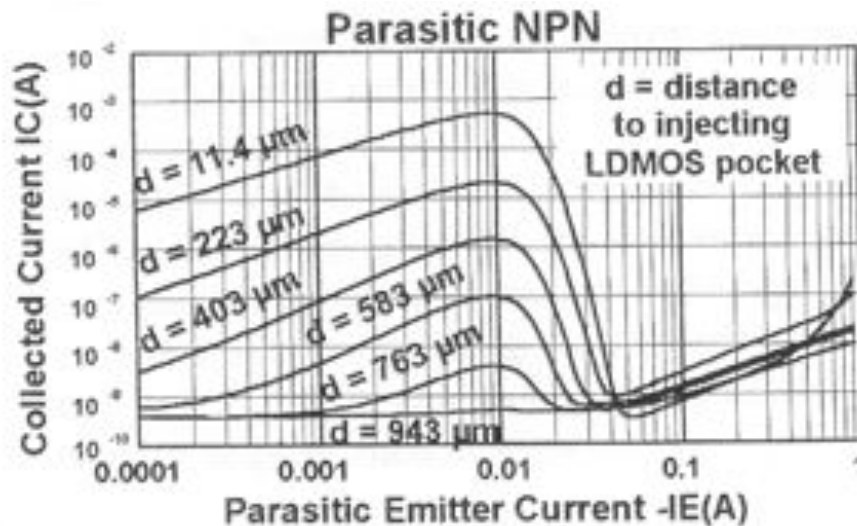


Figure 38 : Courant collecté en fonction du courant injecté et de la distance [ 47 ].

Dans le quatrième chapitre, nous reviendrons en détail sur les modes de fonctionnement de ces protections actives, en insistant plus particulièrement sur les paramètres critiques qui contrôlent leurs efficacité.

### 2.4.3 Protection logicielle

Un dernier type de protection mérite d'être mentionné : il s'agit des protections « logicielles ». L'approche du problème est différente, les perturbations liées au substrat ne sont plus évitées mais simplement détectées. Les concepteurs tiennent compte des possibles perturbations induites par les courants de substrat, dès les phases de design. Par exemple dans le cas des capteurs intégrés, nous pouvons envisager une commande qui impose au circuit de ne plus tenir compte des informations délivrées par ces capteurs dans le cas où un courant de substrat a été détecté.

Ce type de solution impose deux impératifs :

- Que les agressions subies par le circuit ne soit jamais destructives, donc que le dispositif soit « immunisé » contre le latch-up.
- Que les causes et les caractéristiques des courants de recirculation soient parfaitement connues et modélisées.

En pratique, cette méthode est difficilement utilisable dans des technologies Smart Power, pour des applications automobiles où les perturbations sont multiples et souvent très agressives. Cela est dû à la difficulté de modélisation des transistors parasites, surtout à l'échelle d'une puce complète. Ce point est d'autant plus délicat que ces transistors ont une base fortement résistive et distribuée donc très sensible à la géométrie du dispositif.

Il n'en est pas de même pour les applications développées sur substrat P+. Comme l'injection de porteurs minoritaires reste un problème marginal pour ces filières technologiques, les efforts de modélisation se sont portés principalement sur la représentation du substrat par des réseaux de capacités et de résistances. Comme le montrent les résultats présentés dans les publications que nous avons référencées, cette technique paraît aboutie et permet une représentation fidèle du substrat notamment pour les applications haute fréquence [ 55 ][ 56 ][ 57 ][ 58 ][ 59 ][ 60 ] .

## 2.5 Conclusion et objectifs

Comme nous le voyons, les possibilités de protections sont multiples. Cependant, leurs efficacités relatives ainsi que leurs contraintes d'intégration ne sont pas clairement exposées. De fait, il est difficile de comparer chacune de ces solutions entre elles.

En conséquence, pour pallier ce manque d'information et compléter notre expertise en ce domaine, nous proposons au travers des deux prochains chapitres de détailler plus précisément les deux principales familles de protections que sont les protections passives et actives. Pour cela nous nous intéresserons uniquement aux solutions compatibles avec les plates-formes technologiques de notre partenaire industriel, technologies SmartMOS™.

## 2.6 Références bibliographique

- [ 15 ] J.BRIAIRE et al., “Principles of substrate Crosstalk generation in CMOS circuits”, IEEE Trans. On Elec. Devices , 06/2000, vol.19, n°6, pp645-653.
- [ 16 ] J.M.CASALTA et al., “Substate Coupling Evaluation in BiCMOS Technology”, IEEE Journal of Solid-states circuits , 04/1997, vol.32, n°4, pp598-603.
- [ 17 ] R.J.WILDAR., “Controlling Substrate Currents in Junction Isolated IC’s”, IEEE Journal of Solid-states circuits , 08/1991, vol.26, n°8, pp1090-1097.
- [ 18 ] D.K.SHRODER., “Carrier Lifetimes in Silicon”, IEEE Trans. On Elec. Devices , 01/1997, vol.44, n°1, pp160-168.
- [ 19 ] R.MENOZZI et al., “Layout dependance of CMOS latch-up”, IEEE Trans. On Elec. Devices , 11/1988, vol.35, n°11, pp1892-1901.
- [ 20 ] C.MAZURE et al., “Improvement of latch-up hardness by geometry and technology tuning ”, IEEE Trans. On Elec. Devices , 10/1988, vol.35, n°10, pp1609-1615.
- [ 21 ] R.R.TRAUTMAN, Latchup in CMOS Technology The problem and its cure, Kluwer Academic Publishers second printing, 1995.
- [ 22 ] R.R. TROUTMAN et al., “layout and bias considerations for preventing transiently triggered latch-up in CMOS ”, IEEE Trans. On Elec. Devices, 3/1984, vol.ED-31, n°3, pp315-321.
- [ 23 ] M.D.KER et al., “New experimental methodoly to extract compact layout rules for latchup prevention in bulk CMOS IC’s”, IEEE Custom Integrated Circuits Conferenc, 1999, pp143-146.
- [ 24 ] R.D.RUNG et al., “DC Holding and dynamic Triggering characteristics of bulk CMOS Latchup”, IEEE Trans. On Elec. Devices, 12/1983, vol.ED-30, n°12, pp1647-1655.
- [ 25 ] M.SCHENKEL, “Substrate potential schift due to parasitic minority carrier injection in smart-power IC’s measurements and full-chip 3D device simulation”, Microelectronics Reliability vol 41, n°6, pp815-822.
- [ 26 ] G.DECREMOUX et al., “Simulation and Measurement of Cross-Talk Phenomena in BiCMOS Technology for Hard Disk Drives”, IEEE-IEDM.96, pp481-484.
- [ 27 ] V.VENKATESAN et al., “DC substrate coupling between LDMOS and CMOS devices in Hyperintegration 1 technology”, IEEE-BCTM.98, pp57-60.
- [ 28 ] W.W.T.CHAN et al., “A Novel Crosstalk Isolation Structure for bulk CMOS Power IC’s”, IEEE Trans. On Elec. Devices” , 07/1998, vol.45, n°7, pp1580-1584.
- [ 29 ] W.W.T.CHAN et al., “A power IC Technology with Excellent Cross-Talk Isolation”, IEEE Trans. On Elec. Devices” , 10/1996, vol.17, n°10, pp467-469.
- [ 30 ] W.W.T.CHAN et al., “An Effective cross-Talk Isolation for Power IC Application” , IEEE-IEDM, 1995, pp971-974.
- [ 31 ] B.MURARI et al., SMART POWER IC’s Technologies and Applications, Edition Springer 1995.
- [ 32 ] O.GONNARD et al., “Substrate Current Protection in Smart Power IC’s”, IEEE-ISPSPD, 2000, pp169-172.

- [ 33 ] T.YASHITA et al, "Semiconductor device for a motor driving circuit", Mitsubishi Electric Engineering Co., United States Patent, 05/1998, n°US5753964.
- [ 34 ] A.MOSCATELLI et al., "LDMOS IMPLEMENTATION IN A 0.35 $\mu$ m BCD TECHNOLOGY (BCD6)", IEEE-ISPSPD, 2000, pp323-326.
- [ 35 ] C-Y. HUANG et al., "Design Model and Guideline for n-Well Guard Ring in Epitaxial CMOS ", IEEE Trans. On Elec. Devices , 10/1994, vol.41, n°10, pp1806-1810.
- [ 36 ] R.ZHU et al., "Suppression of substrate injection by RESURF LDMOS devices in a SMART POWER technology for 20-30V applications", IEEE-BCTM, 1998, pp184-186.
- [ 37 ] M.S.SHEKAR et al., "Optimizing 60V Integrated Free-Wheeling Diode for Automotive 0.8 $\mu$ m Bi-CMOS-DMOS Technology", IEEE-ISPSPD, 1998, pp69-72.
- [ 38 ] T.TERASHIMA, "Multi-voltage device integration technique for 0.5 $\mu$ m BiCMOS & DMOS process", IEEE-ISPSPD, 2000, pp331-334.
- [ 39 ] R.ZHU et al., "Implementation of High-Side High-Voltage Resurf LDMOS in a sub-Half micron Smart Power Technologie", IEEE-ISPSPD, 2001, pp403-406.
- [ 40 ] F.J.HUANG et al., "Schottky-Clamped NMOS Transistors Implemented in a conventional 0.8 $\mu$ m CMOS Process", IEEE Elec. Device Letters, Vol.19, n°9, 09/1998, pp326-328.
- [ 41 ] KEETH et al, "Method and integrated circuit structure for preventing Latch-up in CMOS integrated circuit devices", Micron Technology Inc., United States Patent, 03/2000, n°US6043542.
- [ 42 ] P.MENEGOLI et al., "Process for co-integrating DMOS transistors with schottky diode body
- [ 43 ] R.K.Williams, "Pseudo Schottky diode", Siliconix incorporated, United States Patent, 10/1998, n°US5818084.
- [ 44 ] B.J.BALIGA, Power Semiconductor Devices, PWS Publishing Company, Boston, 1996.
- [ 45 ] K.HEUBER, "Integrated semiconductor structure with means to prevent unlimited current flow ", IBM., United States Patent, 5/1977, n°US4024417.
- [ 46 ] B.MURARI et al., "Smart Power Technologies Evolution", Industry Applications Conference, 2000. Conference Record of the 2000 IEEE , Vol.1 , pp10-19.
- [ 47 ] C.CONTIERO et al., "Smart Power Approaches VLSI complexity", IEEE-ISPSPD, 1998, pp11-16.
- [ 48 ] R.RAVANELI et al., "Method and device for suppressing parasitic effects in a junction isolation integrated circuit", STMicroelectronics Inc., United States Patent, 5/2000, n°US6060758.
- [ 49 ] S.SCACCIANOCE et al., "Integrated structure with reduced injection of current between homologous regions", CORIMMIE., United States Patent, 5/2000, n°US6060762.
- [ 50 ] G.G.SKEBE et al., "Self-biased moat for parasitic current suppression in integrated circuits", Reliance Electric Industrial Company, 5/1999, n°US5907163.
- [ 51 ] W.WERNER et al., "Integrated driver circuit configuration for an inductive load element", SIEMENS , United States Patent, 2/1998, n°US5719431.
- [ 52 ] PEPIETTE et al., "Separate protective transistor ", Allegro Microsystems Inc., United States Patent, 8/1996, n°US5545917.
- [ 53 ] CANCLINI et al. "Structure to protect against below ground current injection ", SGS-Thomson Microelectronics Inc., United States Patent, 2/1996, n°US5495123.

- [ 54 ] F.BERTOTTI, "Integrated device for shielding the injection of charges into the substrate", SGS-Thomson Microelectronics Inc., United States Patent, 6/1991, n°US5021860.
- [ 55 ] J.P.COSTA et al. , "Efficient techniques for Accurate Modeling and Simulation of Substrate Coupling in Mixed-Signal IC's", IEEE Trans. on Computer-aided design of integrated circuits and systems, Vol.18, n°5, 05/1999, pp597-607.
- [ 56 ] R.GHARPUREY et al., "Modeling and Analysis of substrate coupling in integrated circuits", IEEE Journal of solid-state circuits, Vol 31, n°3, 03/1996, pp344-353.
- [ 57 ] D.K.SU et al., "Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits", IEEE Journal of solid-state circuits, Vol 28, n°4, 04/1993, pp420-430.
- [ 58 ] K.JOARDAR, "A simple approach to modeling cross-talk in integrated circuits", IEEE Journal of solid-state circuits, Vol 29, n°10, 10/1994, pp1212-1219.
- [ 59 ] N.SPECIALE, "A compact model for multiterminal bipolar devices used in smart power applications", IEEE Trans. on electron devices, Vol 45, n°9, 09/1998, pp2037-2046.
- [ 60 ] B.R.STANSIC, "Addressing substrate coupling in mixed-mode IC's : simulation and power distribution synthesis", IEEE Journal of solid-state circuits, Vol 29, n°3, 03/1994, pp226-237.

## **3 Protections passives**

### 3.1 Introduction : protections passives

Ce chapitre est consacré à l'analyse et à l'amélioration de protections passives contre les courants de substrat, dans les technologies Smart Power.

Dans un premier temps, nous détaillons le fonctionnement des protections par anneaux de garde. Au travers de cette étude préliminaire, nous insistons sur les paramètres physiques et géométriques qui régissent les modes de conduction parasite. Puis nous comparons nos résultats de simulation aux mesures effectuées sur des composants tests.

Dans un deuxième temps, nous proposons des modifications de ces protections classiques afin d'améliorer leurs performances. Les résultats, de simulation physique sont confrontés à des mesures sur des lots de tests.

Enfin, la dernière partie de ce chapitre est consacrée au développement d'un nouveau MOS de puissance, appelé MOS isolé. Nous détaillons ses performances du point de vue de l'injection de porteurs minoritaires ainsi que ses limites en termes de tenue en tension et de tenue en énergie.

### 3.2 Protection passive par anneau de garde

Les modes de conduction présents dans ce type de protection sont exclusivement contrôlés par les phénomènes de diffusion. Les porteurs injectés diffusent dans le substrat et sont collectés par toutes les régions N polarisées en inverse. On peut quantifier au premier ordre la longueur  $L$  de diffusion de ces porteurs par l'Équation 1, qui représente la distance que parcourt un porteur minoritaire dans le substrat avant qu'il ne se recombine,  $D$  est le coefficient de diffusion et  $\tau$  la durée de vie de ce porteur [61-63 ]

$$L = \sqrt{D \cdot \tau}$$

Équation 1: Equation de diffusion.

Le courant collecté dépend alors des paramètres suivants :

- la distance entre l'injecteur et le collecteur,  $W$ .
- la durée de vie des porteurs injectés.
- le dopage du substrat qui contrôle en partie cette durée de vie.

### 3.2.1 Méthode de mesure et de simulation

Pour comprendre ces phénomènes de diffusion et quantifier les différents paramètres qui les contrôlent, nous avons mené conjointement deux études : l'une se basant sur l'analyse de mesures électriques faites sur des composants de tests dédiés, l'autre s'appuyant sur une interprétation de simulations physique 2D, réalisées sur ces mêmes structures de tests [ 68 ]. Ces dernières nous permettent de faire varier certains paramètres difficilement modifiables concrètement, tels que la durée de vie ou les profils de dopage.

#### 3.2.1.1 Présentation des structures étudiés

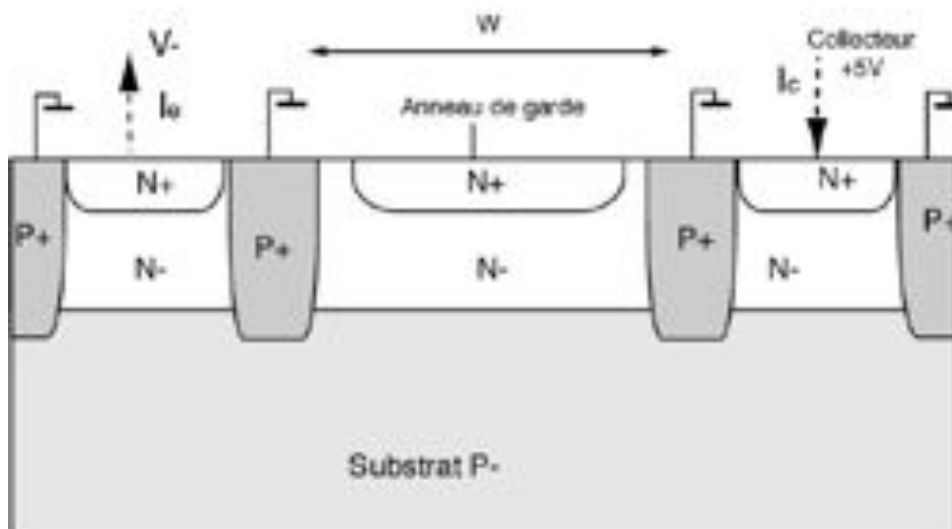


Figure 39 : Coupe d'une structure de test.

La coupe transversale des composants testés est représentée Figure 39. Il s'agit de caissons épitaxiés N intégrés sur un substrat P faiblement dopé (dopage substrat =  $2.10^{15} \text{ cm}^{-3}$ ). Ces caissons, d'une surface de  $1500 \mu\text{m}^2$ , sont séparés par des diffusions P+ profondes. L'épaisseur de la couche épitaxiée est de  $9 \mu\text{m}$  et son dopage de  $5.10^{15} \text{ cm}^{-3}$ .



Le substrat est fixé à la masse au travers des diffusions P+. Le caisson N de gauche est polarisé négativement et joue le rôle de l'émetteur du transistor parasite npn. Le caisson N de droite est maintenu à un potentiel positif (+5V) : il s'agit du collecteur du transistor parasite.

Le contact N inséré entre ces deux caissons N peut avoir deux polarisations : il peut être laissé flottant, dans ce cas il n'apporte aucune protection et seuls les phénomènes de recombinaison contribuent à l'atténuation du courant injecté. Il peut être également polarisé positivement, dans ce cas-là, il devient un collecteur supplémentaire entre l'émetteur et le collecteur. Il remplit alors un rôle d'anneau de garde.

Différentes largeurs d'anneaux de garde ont été considérées ; de 25 à 200  $\mu\text{m}$ . Le layout de cette structure de test est représenté Figure 40.

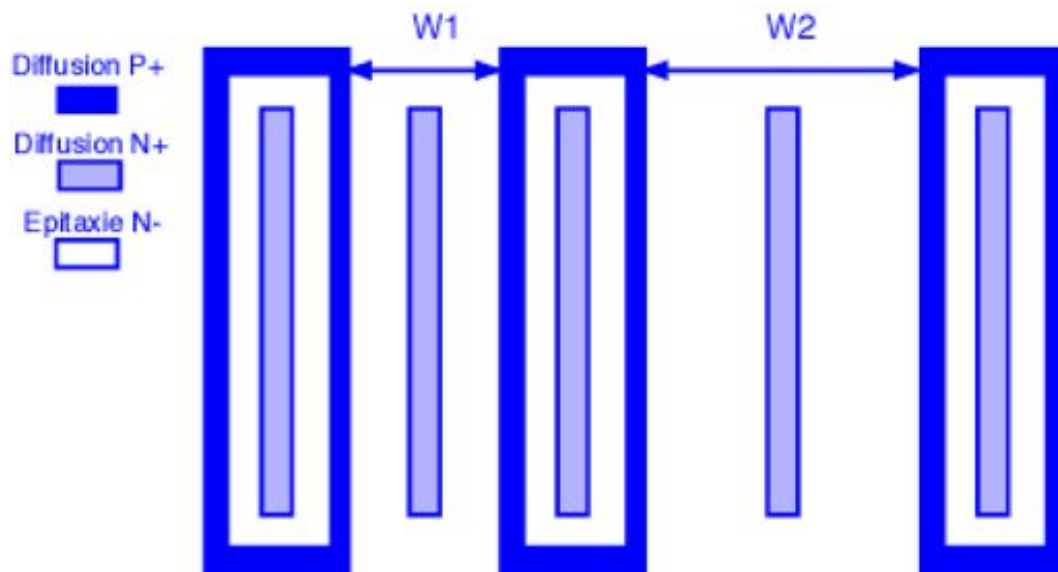
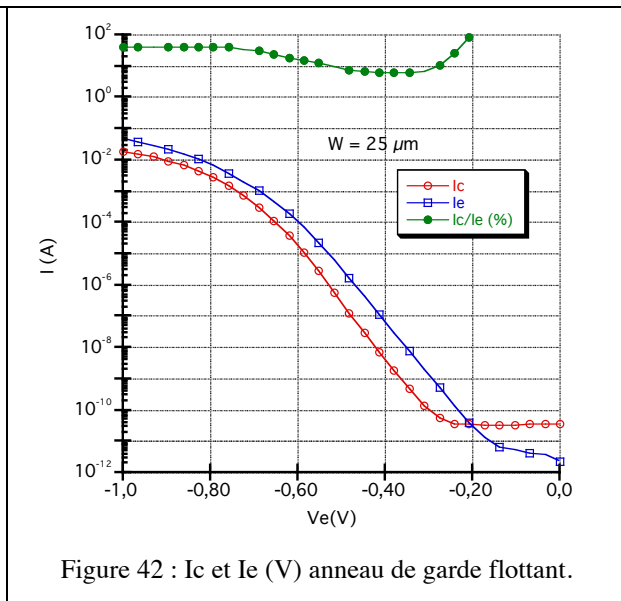
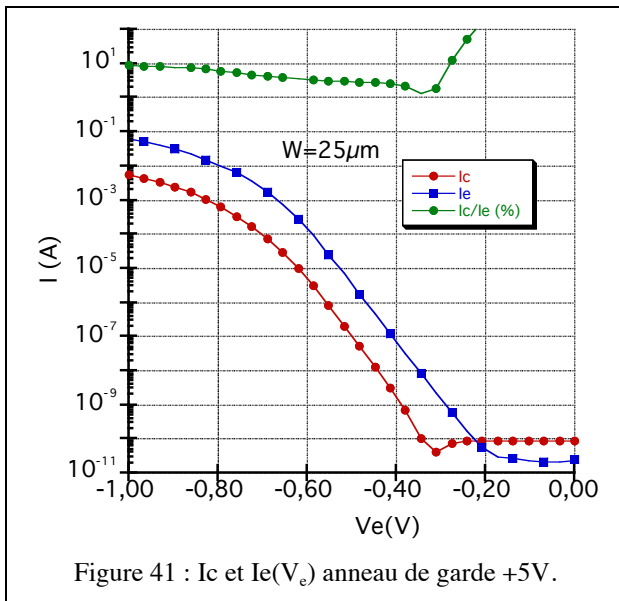


Figure 40 : Layout de la structure de test.

### 3.2.1.2 Présentation des résultats

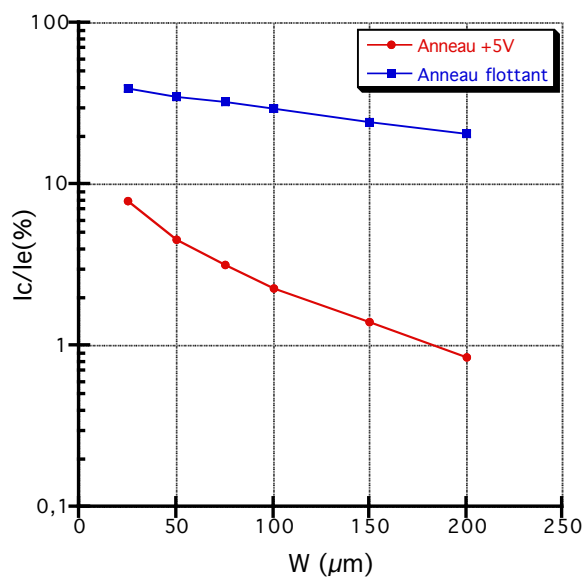
Pour chaque valeur de  $W$ , nous avons imposé un potentiel négatif sur l'émetteur (de 0 à  $-1$  V) et mesuré les courants émis et collectés. Ce type de mesures a été effectué pour les deux polarisations de l'anneau de garde (+5V et flottant). Un exemple de courbe mesurée est donné **Figure 41** (anneau de garde à +5V) et **Figure 42** (anneau de garde flottant).



Le rapport  $I_c/I_e(V_e)$  (gain du transistor bipolaire parasite) est relativement constant comme nous le voyons **Figure 41**. C'est ce rapport de courant que nous utiliserons pour comparer l'efficacité de chaque configuration.

### 3.2.2 Influence de l'espaceur injecteur collecteur :

Sur la Figure 43, sont reportées les valeurs du rapport de courant en fonction de la distance émetteur-collecteur ( $W$ ) pour les deux configurations étudiées. Ces rapports ont été mesurés à  $V_e = -1$  V, ce qui correspond, pour nos composants, tests à un courant émis de 60 mA.



Dans le cas où aucune protection n'est insérée (cas de l'anneau de garde central flottant), la part de courant collecté peut atteindre des valeurs très importantes, supérieures à 40% du courant émis. Dans ce cas, l'atténuation du courant parasite est provoquée par les seules recombinaisons des porteurs minoritaires dans le substrat. Celles-ci sont faibles car le substrat P- est relativement peu dopée et la durée de vie des électrons grande. Le courant collecté reste très important, même pour un large espacement.

Dans la deuxième configuration, où le collecteur intermédiaire est polarisé à +5V, la part du courant collecté est moindre mais reste conséquente. Même pour  $200\mu\text{m}$  de distance il reste 1% du courant injecté.

Ces différences de comportement sont clairement mises en évidence sur les deux coupes de la Figure 44, qui représentent les tubes des courants pour ces deux types de polarisation. Dans chacune des figures, la région entre deux lignes consécutives véhicule 5% du courant total. Il y a donc 20 tubes de courant dessinés.

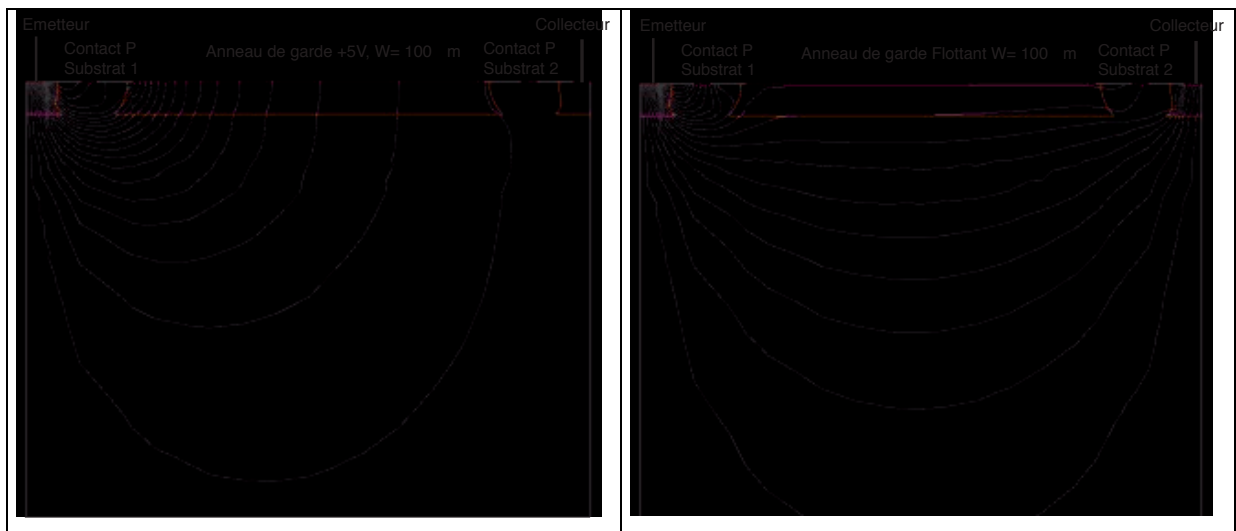


Figure 44 : Répartition des lignes de courants (gauche anneau de garde polarisé, droite anneau flottant).

Plusieurs remarques peuvent être faites à partir de ces coupes. Tout d'abord l'injection des porteurs dans le substrat se fait verticalement et en profondeur, plutôt que latéralement et en surface. Ceci est lié principalement aux dopage des diffusions profondes P+ d'isolation en périphérie de l'émetteur, deux transistors npn sont susceptibles de conduire le courant, le premier latéral, ayant pour base la diffusion P+, le second plus vertical, ayant pour base le substrat P-, (Figure 45). Fortement dopée, la diffusion d'isolation réduit sensiblement le gain

du transistor latéral ; de ce fait les conduction entre l'émetteur et l'anneau de garde se font principalement par le substrat peu de tubes traversent la première diffusion P+.

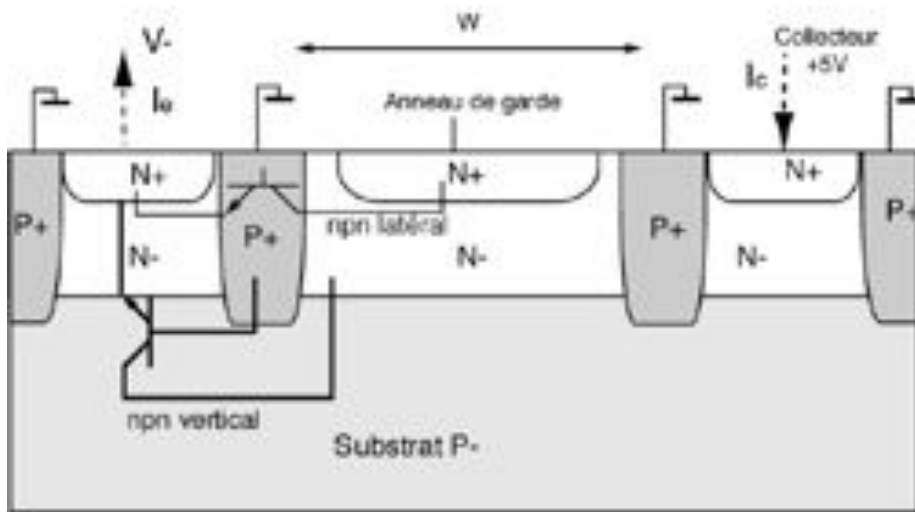


Figure 45 : Transistors npn autour de l'émetteur.

Deuxièmement, il apparaît clairement que la majorité du courant collecté par l'anneau de garde est situé près de l'injecteur, sa partie plus éloignée (sa partie droite) ne collectant que les porteurs les plus profondément injectés.

Lorsqu'aucune polarisation n'est imposée sur l'anneau de garde, nous pouvons vérifier que la conduction des porteurs se fait directement depuis l'émetteur jusqu'au collecteur, et que les recombinaisons des porteurs se traduisent par un large courant sur les prises de masse de substrat.

### 3.2.3 Influence de la durée de vie des porteurs

Un paramètre de premier ordre, régissant les mécanismes de diffusion mis en jeu ici, est la durée de vie des porteurs injectés. Ce paramètre  $\tau$ , est essentiellement contrôlé par les recombinaisons de type Shockley-Read-Hall (SRH) car les recombinaisons Auger sont marginales pour les substrats faiblement dopés [ 64- 65].

#### Critères déterminant les valeurs de durée de vie :

- la qualité métallurgique du substrat :

Si la qualité cristalline du substrat est faible, s'il présente des impuretés ou des dislocations, sa durée de vie s'en trouve grandement dégradée. Ce facteur de qualité détermine une valeur de durée de vie maximale, valeur de référence  $\tau_0$ .

- Le dopage du substrat :

Plus le dopage du substrat est important plus les porteurs minoritaires injectés ont des possibilités de se recombiner avec les impuretés dopantes. La durée de vie est également dépendante du dopage, la valeur  $\tau$  effective est donc inférieure à la valeur de référence  $\tau_0$ . Cette dépendance vis-à-vis du dopage est donnée Équation 2, où  $N_{ref}$  est la valeur du dopage correspondant à la durée de vie  $\tau_0$  et  $N_i$  la valeur du dopage du substrat étudié.

$$\tau = \frac{\tau_0}{1 + \left( \frac{N_i}{N_{Ref}} \right)}$$

Équation 2 : durée de vie en fonction du dopage.

Si la valeur du dopage est parfaitement contrôlable pendant les processus de fabrication, il n'en est pas de même de la durée de vie du substrat de départ. Des variations de plusieurs décades peuvent être observées suivant la qualité cristalline du substrat, donnant une fourchette pour la durée de vie comprise entre 1  $\mu$ s et 100  $\mu$ s.

Afin de lever l'ambiguïté sur la valeur  $\tau$ , nous avons simulé les structures de test avec différentes valeurs de  $\tau_0$ , de 1 à 100  $\mu$ s et confronté nos simulations physiques bidimensionnelles (2D) aux résultats expérimentaux, Figure 46.

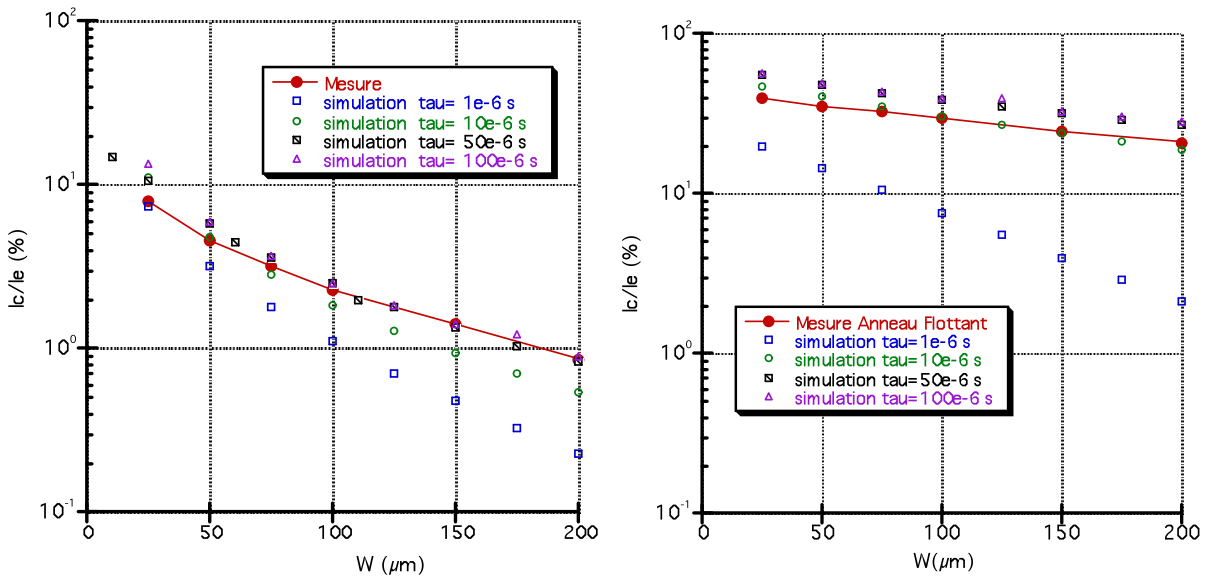


Figure 46 :  $I_c/I_e$  (%) en fonction de la durée de vie  $\tau_0$  (gauche : anneau de garde a 5V, droite : anneau flottant).

Comme nous pouvons le voir, **Figure 46**, pour une durée de vie  $\tau_0$  comprise entre 10 et 50  $\mu s$ , l'accord simulation expérience est remarquable. C'est cette dernière valeur que nous utiliserons par la suite.

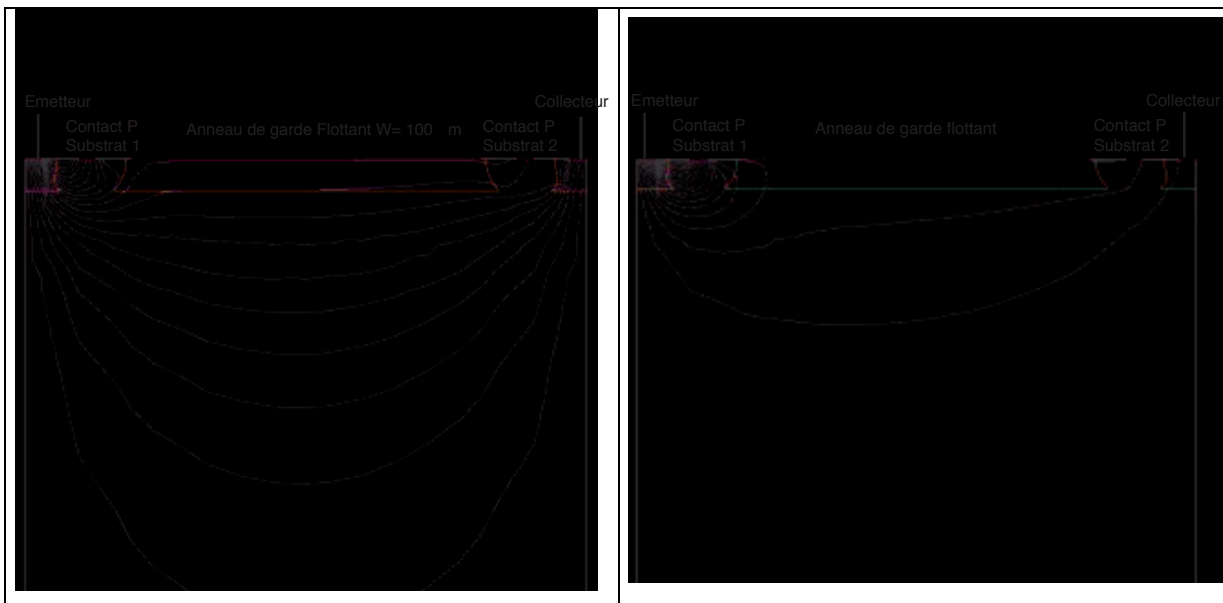


Figure 47 :répartitions des tubes de courant (anneau flottant  $W=100\mu m$ ) gauche  $\tau =50\mu s$  droite  $\tau=1\mu s$ .

Concernant la répartition des courants dans le substrat, nous observons Figure 47, que la principale différence concerne la profondeur de l'injection. Une durée de vie plus faible se traduit par une injection moins profonde. Nous constatons également que le plus grand nombre de recombinaisons s'accompagne d'une augmentation importante du courant sur le premier contact de substrat (proche de l'émetteur).

### 3.2.4 Influence du dopage du substrat

Pour compléter ces résultats, nous avons fait varier, le dopage du substrat de  $10^{15}$  à  $10^{18} \text{ cm}^{-3}$ , pour une valeur de  $\tau_0$  de  $50 \mu\text{s}$ . Un rapide calcul à partir l'Équation 2, nous indique que la durée de vie effective des porteurs dans un substrat dopé à  $10^{18} \text{ cm}^{-3}$  est 1000 fois inférieure à la durée de vie de référence, soit  $\tau = 50\text{ns}$ .

Comme le confirme la Figure 48, l'impact du dopage est considérable. En effet, la part du courant collecté pour un substrat de  $10^{18} \text{ cm}^{-3}$  doté d'un anneau de garde polarisé de  $200 \mu\text{m}$  est 6 décades plus faible que dans le cas d'un substrat faiblement dopé.

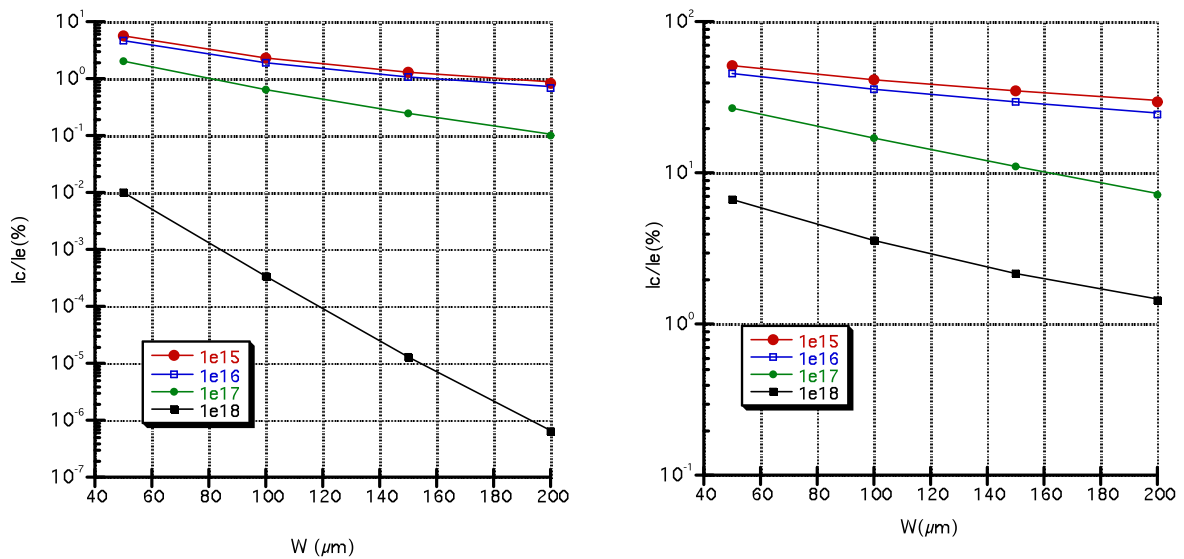


Figure 48 :  $I_C/I_E$  (%) en fonction du dopage du substrat,  $\tau_0 = 50 \mu\text{s}$  (gauche : anneau de garde a 5V, droite : anneau flottant).

Pour synthétiser ces résultats et en remarquant que les courbes de la Figure 48 sont de formes exponentielles, nous avons extrait de nos simulations une lois empirique qui donnent la part du courant collecté en fonction de la largeur de l'anneau de garde (exprimé en microns). Nous n'avons pris en compte que le cas où celui ci est polarisé positivement à +5V, Tableau 1.

Cette loi s'écrit :

$$\frac{I_C}{I_E} (\%) = M_1 \times \exp(-M_2 \cdot W(\mu\text{m}))$$

Dopage du substrat ( $\text{cm}^{-3}$ )	$M_1$	$M_2$
$1.10^{15}$	9,82	0.01275
$1.10^{17}$	5.22	0.02
$1.10^{18}$	0.2344	0.0645

Tableau 1 : Paramètres de la loi empirique  $I_C/I_E$  (%) en fonction du dopage du substrat.

Une autre différence majeure entre un substrat P peu dopé et un très dopé concerne la façon dont les courants de porteurs minoritaires et de majoritaires circulent dans la structure. La Figure 49 donne les lignes de courants obtenues par simulation pour des substrats dopés  $10^{15}$  et  $10^{18} \text{ cm}^{-3}$ . Il convient de faire une remarque importante sur la seconde coupe. A première vue nous observons un tube de courant allant jusqu'au collecteur, soit 5 % du courant total. Or les courbes de  $I_c/I_e(W)$  indiquent que pour un anneau de  $100 \mu\text{m}$  de large le collecteur conduit  $4 \cdot 10^{-4} \%$  du courant émis, ce courant observé n'est donc pas un courant de porteurs minoritaires. En fait, il s'agit d'un courant de trou, circulant de la seconde prise de substrat vers l'émetteur.

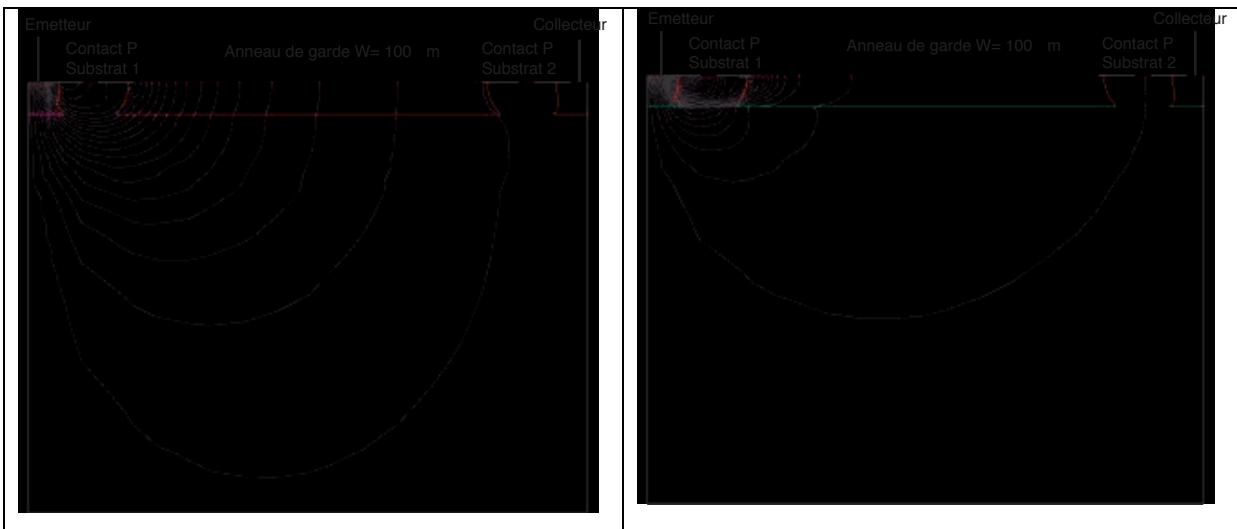


Figure 49 : Tubes de courant, anneau de garde polarisé,  $W=100\mu\text{m}$  (gauche  $N_A=10^{15}$ , droite  $N_A=10^{18}$ ).

Le problème a donc changé de nature : si la structure peut être assimilée à un transistor npn parasite pour des dopages de substrat faible, celle-ci s'apparente plus à une diode pour des dopages de substrat plus élevés. C'est à dire que la majeure partie du courant injecté est évacuée par les prises de masses substrat et non plus par l'anneau de garde. L'important volume de courant qui circule par le premier contact de substrat le confirme également.

### 3.2.5 Saturation de l'anneau de garde

Dans le cas, d'un substrat faiblement dopé, l'anneau de garde doit évacuer une part importante du courant injecté. Il convient donc de s'assurer que le transistor npn dont l'anneau de garde est le collecteur, ne passe pas à l'état saturé, Figure 50.



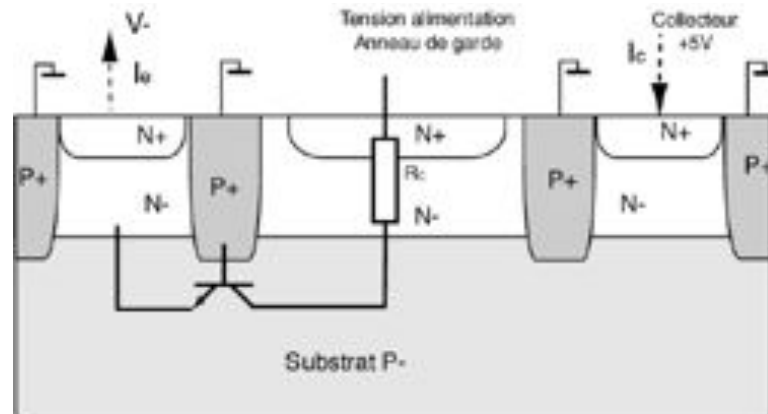


Figure 50 : Effet de la résistance collecteur de l'anneau de garde.

Cette saturation s'observe quand la dépolarisation induite par le courant dans l'anneau de garde est suffisante pour que le potentiel du caisson devienne négatif.

L'anneau de garde, normalement polarisé à une tension positive, se trouve alors polarisé à une tension  $V_{\text{eff}} = V_{\text{alim}} - I \times R_C$ , qui dépend exclusivement de sa résistance interne et du volume des courants. Si  $V_{\text{eff}}$  devient négatif, l'anneau de garde est saturé.

Cette dépolarisation locale est facilement observable par simulation. Sur la Figure 51, nous constatons que la diffusion N où est intégré l'anneau de garde se trouve ponctuellement polarisée négativement. Dans ce cas précis, la saturation n'est pas encore complète et la protection reste encore en partie efficace.

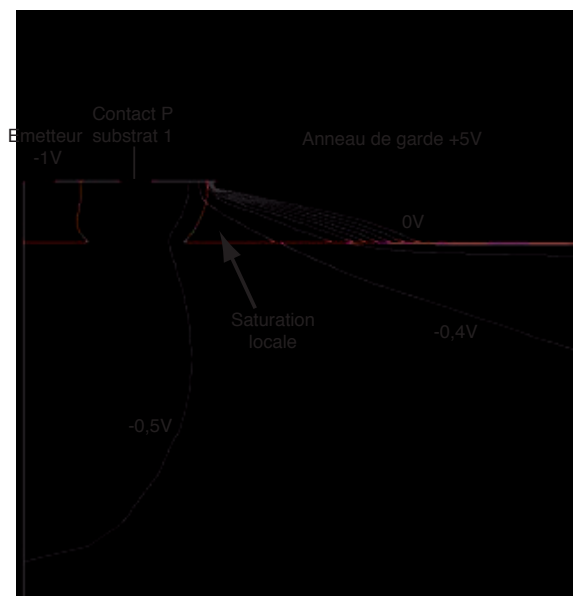


Figure 51 : Lignes de potentiel dans l'anneau de garde pendant le phénomène de saturation.

Une fois que ce régime de saturation est installé, la protection ne remplit plus son rôle, le flux de porteur injecté circule alors essentiellement vers le collecteur N suivant qui n'est plus protégé. Pour mettre expérimentalement en évidence ce phénomène, nous avons effectué des mesures où une résistance externe est insérée entre le plot de contact de l'anneau de garde et sa source d'alimentation. De cette façon, nous augmentons de manière artificielle sa résistance d'accès  $R_C$  et donc amplifions le phénomène de saturation.

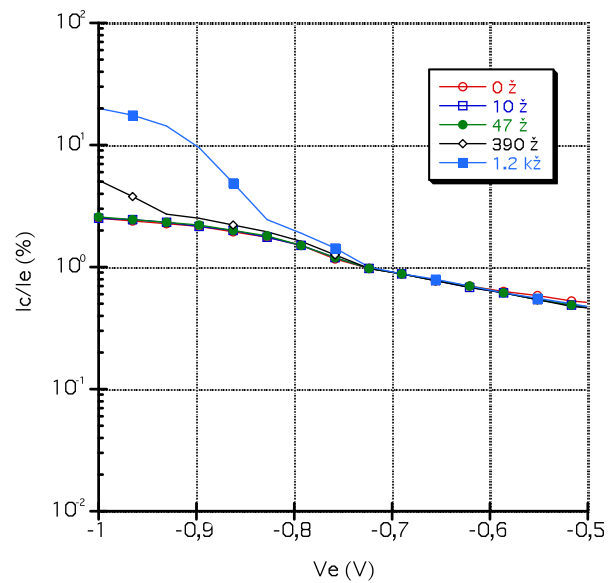


Figure 52 :  $I_c/I_e$  (%) ( $W=100\mu\text{m}$ ) en fonction de  $R_{\text{série}}$ .

La valeur de la résistance à utiliser dépend bien sûr de l'amplitude des courants injectés. Dans le cas où l'injection est de plusieurs Ampères, quelques Ohms de résistance série peuvent suffire pour rendre la protection inefficace. Deux solutions sont envisageables pour retarder ces mécanismes : augmenter la tension d'alimentation de l'anneau de garde, afin de reculer le seuil de saturation, et réduire au mieux la résistance interne des anneaux de protection. Pour cela, il convient d'utiliser des couches les moins résistives possibles, par exemple avec un caisson de garde constitué d'une couche N+ enterrée et d'une diffusion profonde dopée N+ également, Figure 53.

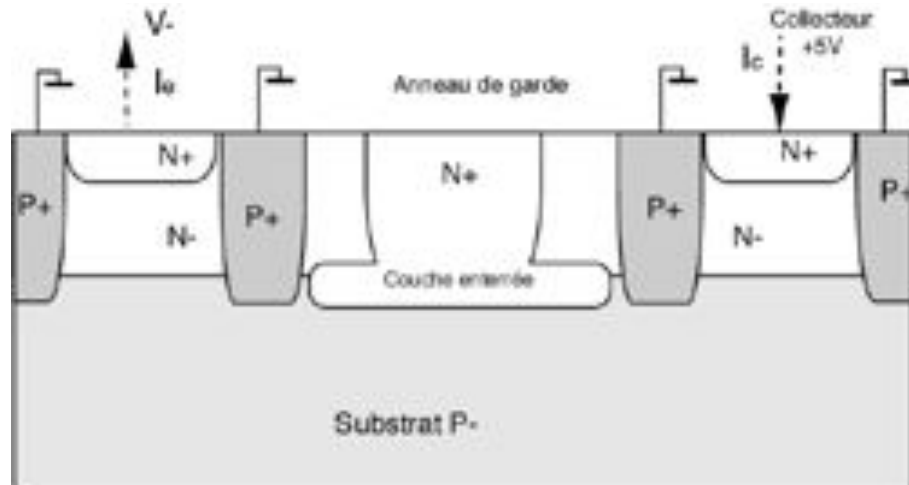


Figure 53 : Anneau de garde avec résistance d'accès réduite.

### 3.3 Amélioration des protections par anneaux

Nous présentons ici deux solutions qui permettent d'améliorer sensiblement les caractéristiques de ces anneaux de garde. Elles ne mettent pas en jeu de développement technologiques spécifiques, mais sont soit une modification des règles d'alignement des masques de lithographies, soit une polarisation particulière des contacts du substrat.

#### 3.3.1 Réduction largeur de base du transistor npn parasite

Nous avons vu que les diffusions P+ qui contactent le substrat obligent l'injection de porteurs à se faire verticalement et en profondeur. Pour que l'anneau de garde N collecte la majeure partie des électrons, il faut lui consacrer une surface importante. Nous proposons ici de réduire la largeur de base du transistor parasite, pour favoriser au maximum le transistor latéral au détriment du transistor vertical, (cf Figure 45 page 58).

##### 3.3.1.1 Structure basée sur l'alignement de la couche enterrée

Nous avons modifié les règles d'alignement des masques servant à placer la zone de diffusion P+ par rapport à la couche enterrée N+. Cette dernière est décalée à l'intérieur de la diffusion P+, comme représenté Figure 54.

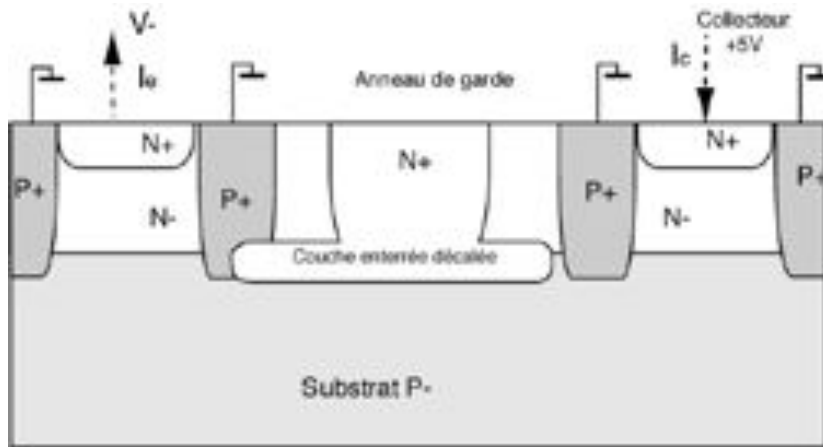


Figure 54 : Coupe d'une structure avec couche enterrée décalée.

La partie de la diffusion P+ qui correspond à la base du transistor npn devient alors moins épaisse et le gain du transistor latéral est augmenté.

Alignement	Masque	Structure
« règle 60V »	<p>Masque diffusion P+</p> <p>Masque couche enterrée N+</p> <p>Si</p>	
Alignement bord droit	<p>Masque diffusion P+</p> <p>Masque couche enterrée N+</p> <p>Si</p>	
Alignement bord gauche	<p>Masque diffusion P+</p> <p>Masque couche enterrée N+</p> <p>Si</p>	

Tableau 2 : Tableau récapitulatif des règles d'alignement testés.

Nous avons réalisé des composants de test pour lesquels nous avons évalué trois alignements différents : celui correspondant à la règle habituelle d'alignement, dite « règle 60 V », puis deux autres où le masque de la couche enterrée est soit contigu au bord droit du masque de la diffusion d'isolation P+, soit contigu à son bord gauche, comme présenté Tableau 2. Chacun de ces composants a été réalisé sur la base d'un anneau de garde d'une largeur W de 25  $\mu\text{m}$ .

### 3.3.1.2 Efficacité d'une couche enterrée décalée

Nous avons reporté dans le Tableau 3 nos résultats de mesures et de simulations effectués sur ces lots de tests. Nous constatons un accord simulation/expérience, malgré les approximations gaussiennes faites sur les profils des couches.

Règle d'alignement couche enterrée	Ic/Ie (%) simulé	Ic/Ie (%) mesuré	Tenue en tension garantie N+/P+
Règle "60V"	<b>8.5 %</b>	<b>11.5%</b>	<b>60 V</b>
Bord droit diffusion P+	<b>5%</b>	<b>5.3%</b>	<b>20 V</b>
Bord gauche diffusion P+	<b>3%</b>	<b>1.5%</b>	<b>15V</b>

Tableau 3 : Ic/Ie (%) pour différent alignement diffusion P+/couche enterrée N+.

Quantitativement, nous notons expérimentalement une réduction de 80% du courant collecté entre l'alignement standard et l'alignement « bord gauche ». En comparaison, l'efficacité de cet anneau modifié correspond à l'efficacité d'un anneau classique d'une centaine de micron au lieu des 25 $\mu\text{m}$  utilisés. En ce qui concerne l'alignement « bord droit », l'amélioration est encore de l'ordre 50 %.

Qualitativement, le courant traverse plus facilement la diffusion P+, comme nous pouvons le voir Figure 55. Nous avons représenté ici dix lignes de courants, chaque tube représente donc 10% du courant total.

Par cette nouvelle règle de conception, l'injection se fait plus latéralement que verticalement. La couche enterrée canalise mieux les porteurs injectés et, à surface égale, l'efficacité de l'anneau de garde est accrue.

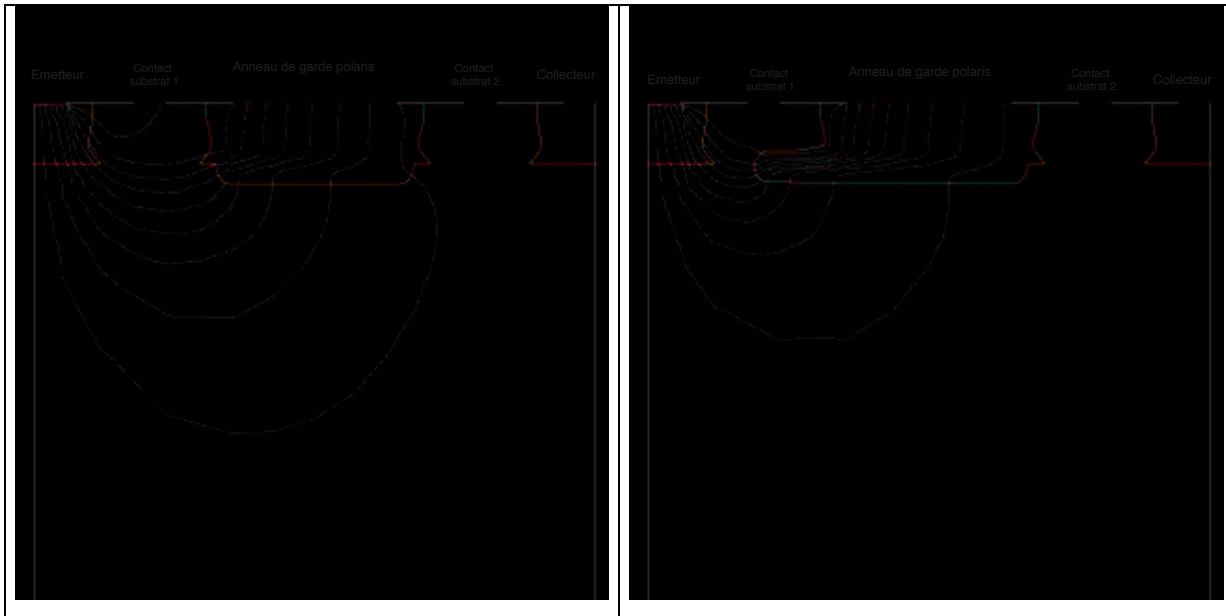


Figure 55 : Répartition des lignes de courant (gauche : alignement « 60 V », droite : couche enterrée décalée « bord gauche »).

### 3.3.1.3 Contraintes et intégrations

Nous aurions pu pousser notre expérimentation plus loin, à savoir décaler encore plus la couche enterrée N dans la diffusion P. Cependant l'alignement donnant les meilleurs résultats, « alignement gauche » est une limite extrême à ne pas dépasser. En effet, si le masque d'alignement de la couche enterrée déborde le masque de la diffusion P, les deux caissons normalement isolés peuvent se retrouver court-circuités, comme indiqué Figure 56.

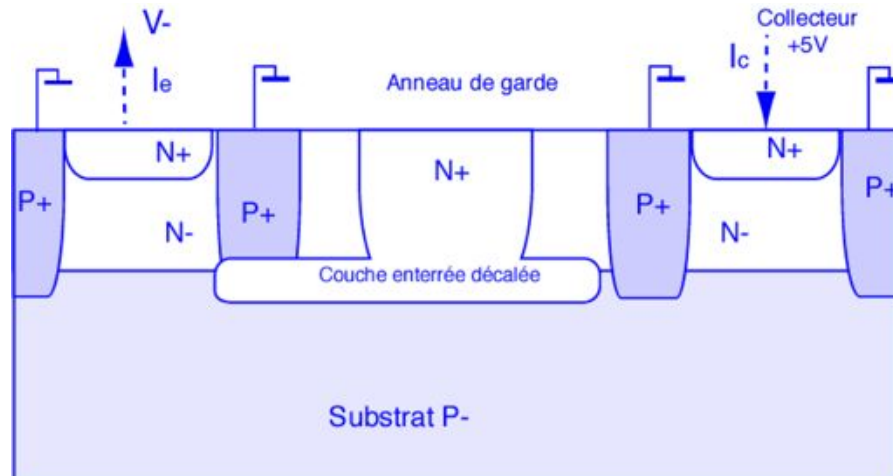


Figure 56 : Caisson d'émetteur et anneau de garde court-circuité.

Nous avons évalué l'efficacité de ces anneaux modifiés, non plus dans de simples composants tests, mais dans un produit réel, où les surfaces émettrices sont nettement plus larges et les courants de substrat plus importants.

Pour cette implantation, nous avons dû tenir compte, de la variabilité des processus technologiques. Les couches enterrées N sont déposées au tout début du processus, elles peuvent donc subir toutes les variations possibles, que ce soit une variation du bilan thermique, de l'épaisseur d'épithaxie, d'une erreur d'alignement ou de doses implantées. Au final, nous avons estimé que l'écart total que peut subir cette couche, par rapport à la diffusion P, est de plus ou moins 1 micron.

Ensuite, nous avons dû prendre en considération le fait qu'en rapprochant ces couches fortement dopées l'une de l'autre nous avons modifié leur tenue en tension. Ces tenues en tension sont reportées dans le Tableau 3. La règle d'alignement standard tient bien évidemment 60 V, c'est-à-dire que l'on peut appliquer 60 V sur l'anneau de garde et maintenir le substrat à la masse sans craindre un claquage. Pour les deux autres alignements, nos mesures et nos simulations nous donnent respectivement, pour chaque alignement, des tenues en tension de 20 et 15 V.

Au final, nous nous sommes limités à l'alignement « bord droit ». Les résultats que nous avons obtenus sur ces composants sont tout à fait en ligne avec ceux présentés ci dessus. En utilisant cet anneau modifié, nous avons constaté une diminution de 40% des couplages parasites, ce qui correspond parfaitement à l'amélioration escomptée.

### 3.3.2 Modification des polarisations des contacts de du substrat

Notre deuxième proposition consiste à changer la polarisation du substrat. En effet, si ce substrat, normalement maintenu uniformément à la masse, présente en son sein une modulation adéquat de son potentiel, les champs électriques ainsi générés pourront s'opposer à la circulation des porteurs. Ceux-ci n'étant mus que par les phénomènes de diffusion, une modulation même légère du potentiel pourra suffire à détourner les courants parasites des zones sensibles.

#### 3.3.2.1 Structures basée sur la polarisation des contacts substrat

Notre première approche a donc consisté à changer les polarisations du substrat, sans introduire de composant spécifique à cet effet. Concrètement, nous avons étudié différentes alimentations du substrat pour en retenir deux particulières : la première où toutes les diffusions P+ sont maintenues à la masse (cas classique), la seconde où les diffusions P+, proches du collecteur à protéger, sont flottantes tandis que celles proches de l'émetteur, laissées à la masse, cf. Figure 57. Pour la suite, nous repérerons ces deux configurations par les lettres GG et GF, GG lorsque les deux diffusions sont à la masse (Grounded-Grounded) et GF quand la seconde diffusion est flottante.

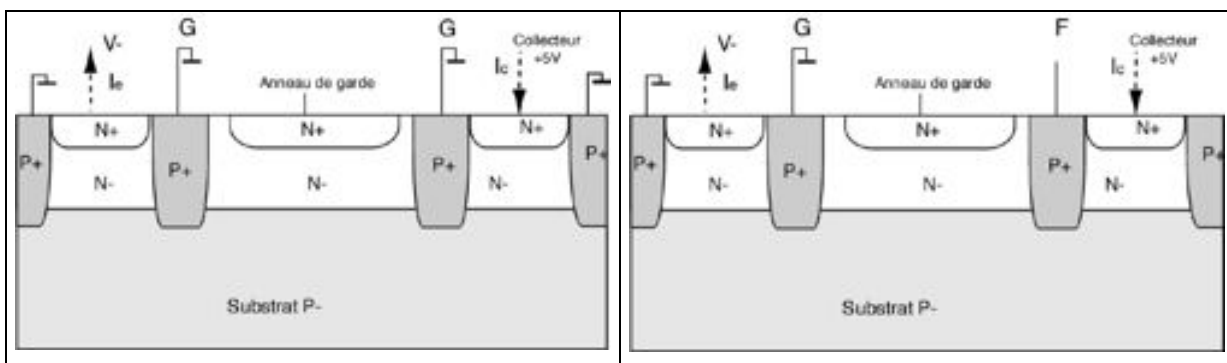


Figure 57 : Polarisation du substrat GG et GF.

#### 3.3.2.2 Mesures en fonction de la polarisation des diffusions P+

Pour les expérimentations et les simulations présentées ici, nous avons utilisé les composants tests, décrits page 54.



Nous mesurons toujours la part du courant émis qui circule dans le collecteur en fonction de la largeur de l'anneau de garde  $W$ , de sa polarisation, +5V ou flottant, et des configurations d'alimentation des diffusions P+, GG ou GF.

Ces résultats expérimentaux, présentés Figure 58, nous permettent de faire deux remarques: d'une part l'amélioration apportée est sensible et, d'autre part, elle tend à croître avec la largeur de l'anneau. Ainsi, pour un anneau de garde polarisé de 100  $\mu\text{m}$  de large, le passage d'une configuration GG à GF réduit de moitié le couplage parasite. Mais pour une largeur d'anneau de 200 $\mu\text{m}$ , ce couplage est réduit d'un facteur 4. Nous pouvons donc dire que plus un collecteur est éloigné d'un contact de masse substrat, moins il est susceptible d'être affecté par ces courants parasites.

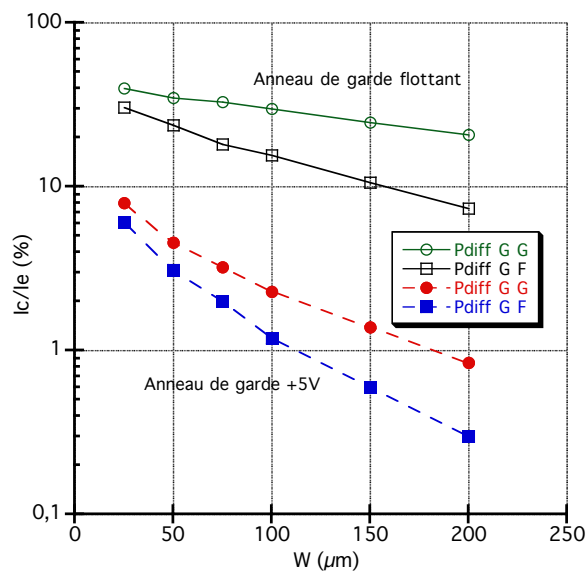


Figure 58 : Mesures  $I_c/I_e$ (%) pour les polarisations de substrat GG et GF.

La confrontation de ces résultats expérimentaux avec nos simulations physiques 2D est donnée par la Figure 59. Nous constatons une bonne concordance surtout l'anneau de garde N est polarisé à +5V. Le cas où cet anneau est laissé flottant est plus difficile à représenter en simulation car là, les courants ont très certainement des flux 3D, dus à la présence d'autres contacts sur la puce qui ne sont pas pris en compte par l'approximation 2D. Une partie du courant est donc dérivée sur ces contacts et la mesure sur le collecteur est plus petite expérimentalement. Cela se vérifie lorsque l'on compare les simulations faites pour la structure GG à celles faites pour la configuration GF.

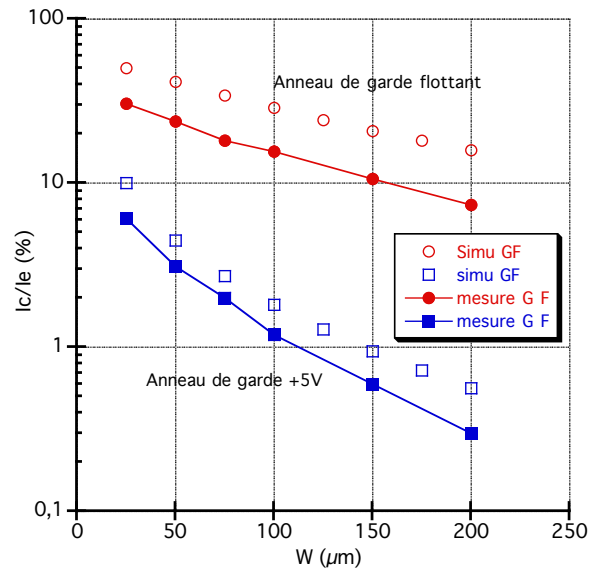


Figure 59 :  $I_c/I_{c0}(\%)$  en fonction de  $W$  et des polarisations de l’anneau de garde. Confrontation Simulation/Expérience.

Les simulations nous permettent également de vérifier les modulations du potentiel à l’intérieur du substrat. Figure 60, nous avons représenté la répartition de ces potentiels internes lorsque  $V_c$  est à  $-1$  V et pour une structure où l’anneau de garde fait  $100 \mu\text{m}$  de large. Ainsi nous vérifions que, dans le cas où le second puits P+ est laissé flottant, le potentiel du substrat est légèrement plus faible de quelques millivolts.

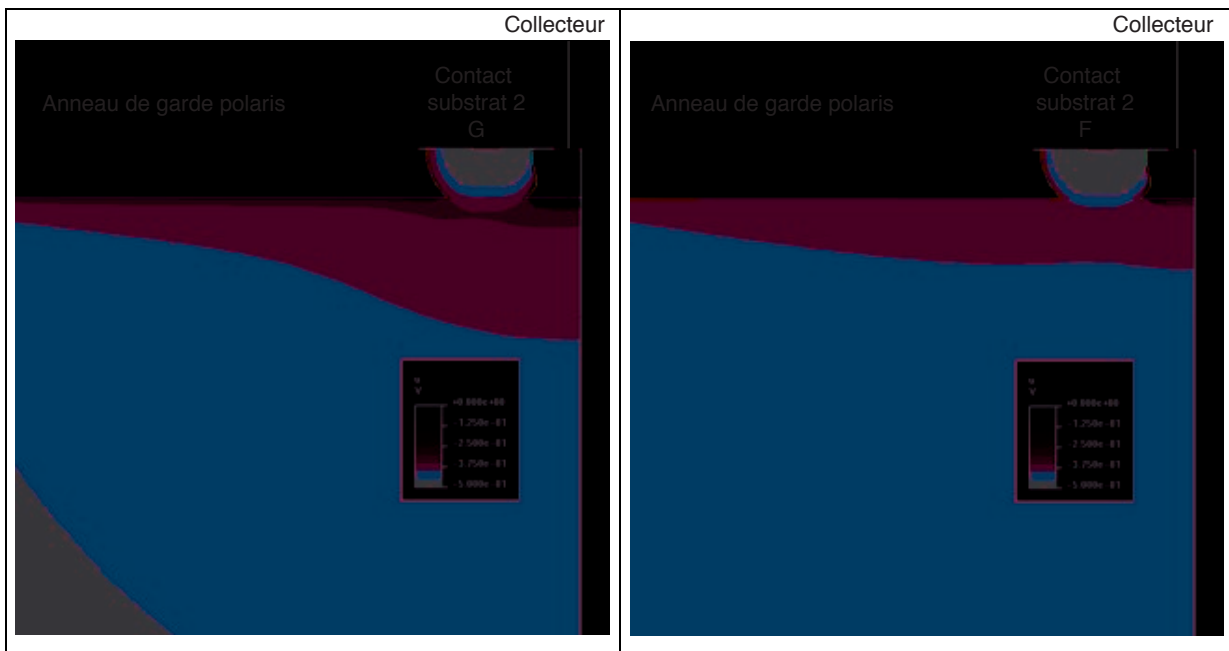


Figure 60 : Répartition du potentiel autour de la deuxième diffusion P+ (gauche GG, droite GF).

Une remarque s'impose sur cette étude. Elle constitue clairement la première étape d'une analyse plus générale que nous pouvons intituler « suppression des courants parasites par la modulation du potentiel du substrat ». C'est en quelque sorte le point de départ du développement des structures actives, développées dans le chapitre suivant. Nous verrons que ces structures actives vont tenter de générer et de maintenir une différence de potentiel suffisante dans le substrat pour que les porteurs injectés ne perturbent pas les blocs sensibles.

### 3.3.3 Discussion sur les protections par anneau

L'efficacité de cette solution reste faible. Pour réduire de 4 à 5 décades les couplages parasites il faudrait leur consacrer une surface énorme, plusieurs centaines de microns. Ce type de protections n'est donc pas idéal pour se prémunir des courants de substrat, surtout si celui-ci est faiblement dopé.

Nous avons déjà signalé (p70) que la simulation 2D atteignait ses limites dans certaines confrontations avec l'expérience, plus particulièrement lors de simulation de régions laissées flottantes. En effet, les zones contactées à un potentiel donné seront bien représentées en simulation, alors que les zones flottantes vont fixer leur potentiel à partir des courants et potentiel des autres régions. Si donc ces autres régions ne sont pas, ou mal, décrites dans la structure simulée des erreurs significatives seront observées.

C'est aussi le cas d'un anneau P ou N mis à la masse sur une portion réduite de sa surface (par exemple un anneau fermé rectangulaire mis à la masse dans un coin seulement). Si l'on peut justement supposer que la région de contact est bien à la masse, il n'en est probablement pas de même pour le reste de l'anneau. La simulation 2D sera alors impuissante à représenter correctement le potentiel de l'anneau et seule une approche 3D le pourra.

Notre conclusion sur cette possible stratégie peut se résumer en deux points :

- Problème de la modélisation à grande échelle :

Pour que la modélisation des couplages parasites soit complète il ne suffit donc pas d'avoir une représentation fidèle de l'anneau de garde, il faut également rajouter une image précise des connexions de ce substrat, et donc une image précise de l'environnement des collecteurs affectés.

Pour illustrer cette dépendance vis-à-vis du layout, nous donnons sur la Figure 61 une photo montrant une partie d'un transistor LDMOS de puissance pendant l'injection de porteurs minoritaires. Cette photo a été prise par un banc de test EMMI (émission microscopie). Cette analyse optique permet de visualiser les photons émis pendant la recombinaison des électrons injectés. Ainsi nous observons les lieux de conduction privilégiés de ces porteurs [ 69 ]. Nous observons que l'injection ne se fait pas de manière homogène autour du transistor ; au contraire celle ci se fait principalement au plus près du contact de masse du substrat. L'injection se fait de manière distribuée par rapport à la résistance d'accès de ce plot.

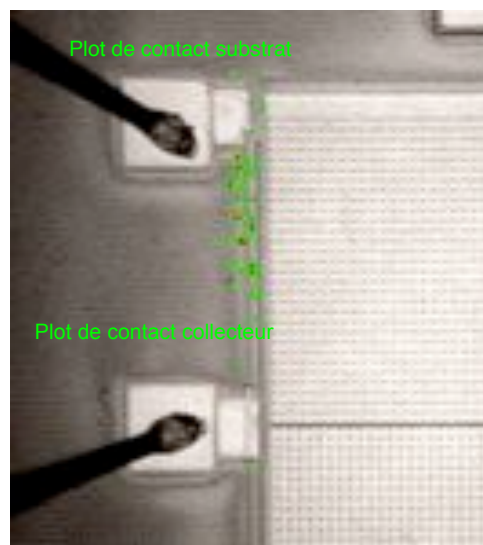


Figure 61 : LDMOS pendant injection porteur minoritaire (EMMI).

Si une protection de ce type permet de garantir la survie des dispositifs, il n'en est pas de même pour le respect des spécifications produits. En effet, celles-ci imposent un cahier des charges bien trop sévère pour qu'une simple protection par anneau soit suffisante. Les courants parasites devant parfois être inférieurs à quelques microampères. Pour obtenir un tel degré de protection, il faudrait que les anneaux de garde occupent une surface colossale.

### 3.4 Transistor LDMOS Isolé

Comme nous l'avons indiqué dans le chapitre précédent, il est possible de supprimer entièrement le courant parasite en modifiant les transistors de puissance conventionnels pour en faire des composants « isolés ». Notre objectif est de prouver que ce type de transistor est facilement réalisable, qu'il permet de s'affranchir totalement des courants parasites et que les caractéristiques de ce nouveau composant sont en tout point comparables à celles d'un MOS de puissance standard.

#### 3.4.1 Concept et performance

Ce transistor modifié doit rester un MOS de puissance performant, il doit donc être capable de soutenir une tension importante, pour les applications issues de la technologie SmartMos5AP, une tension de 65 V est souhaitable. Il doit également avoir une résistance passante la plus faible possible et une aire de sécurité importante (SOA).

##### 3.4.1.1 Structure du transistor LDMOS isolé

Pour réaliser ce MOS Isolé, nous sommes partis sur la base du transistor LDMOS-Resurf65, Figure 62. Ce transistor est basé sur le principe du RESURF qui consiste à placer la couche de drift (N Resurf) sur une couche P-, ici le puits diffusé Pwell [ 66 ].

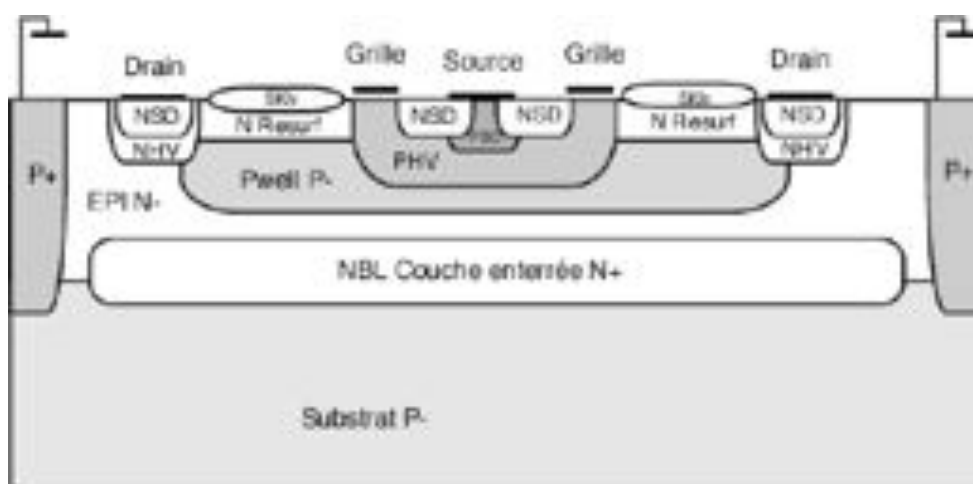


Figure 62: Coupe du transistor LDMOS-Resurf 65 standard.

La tenue en tension est alors contrôlée par la déplétion 2D dans la couche N-Resurf et correspond pratiquement à celle de la jonction plane, si la dose est bien choisie.

Pour que ce composant soit isolé, il faut englober entièrement les diffusions de drain par une couche P. Ainsi, les couches NSD et NHV de drain ne sont plus en contact avec l'épithaxie N, comme représenté Figure 63. Nous baptiserons ce composant du nom de ILDMOS, I pour isolé.

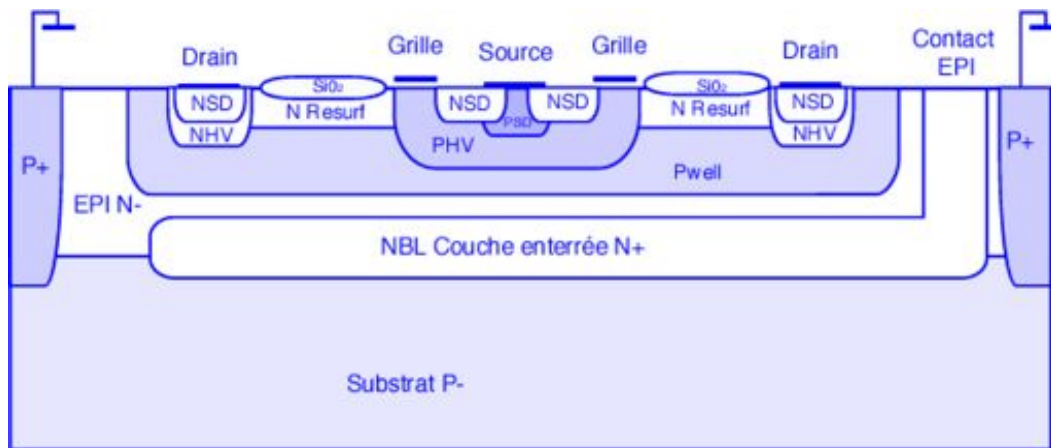


Figure 63 : Coupe ILDMOS.

### 3.4.1.2 Performance du ILDMOS

Lorsque une tension négative est appliquée sur le drain, au lieu de voir la jonction NSD-NHV-EPI-NBL/substrat P polarisée en direct, Figure 62, c'est la jonction NSD-NHV/Pwell qui est concernée, Figure 63. Les électrons injectés dans le Pwell sont en partie collectés par la source et en partie injectés dans l'épithaxie N et la couche enterrée NBL. Ces électrons sont ensuite évacués par le contact d'épithaxie, contact pris en surface par l'intermédiaire d'une couche profonde dopée N+. Ainsi, les porteurs injectés sont collectés avant leur injection dans le substrat et le transistor parfaitement isolé.

Nous avons reporté sur la Figure 64, une mesure effectuée sur un tel dispositif : un MOS isolé est utilisé comme injecteur et un second MOS de puissance comme collecteur. Pour cette mesure aucune autre protection supplémentaire n'est employée. Nous avons polarisé, le ILDMOS de telle façon qu'un courant de 10 A circule par son drain et avons mesuré le courant résiduel sur le MOS voisin.

Nous constatons dans ces conditions que le courant de substrat est quasiment inexistant : en régime stationnaire le courant collecté est inférieur à  $10 \mu\text{A}$  et seuls les couplages capacitifs sont réellement perceptibles.

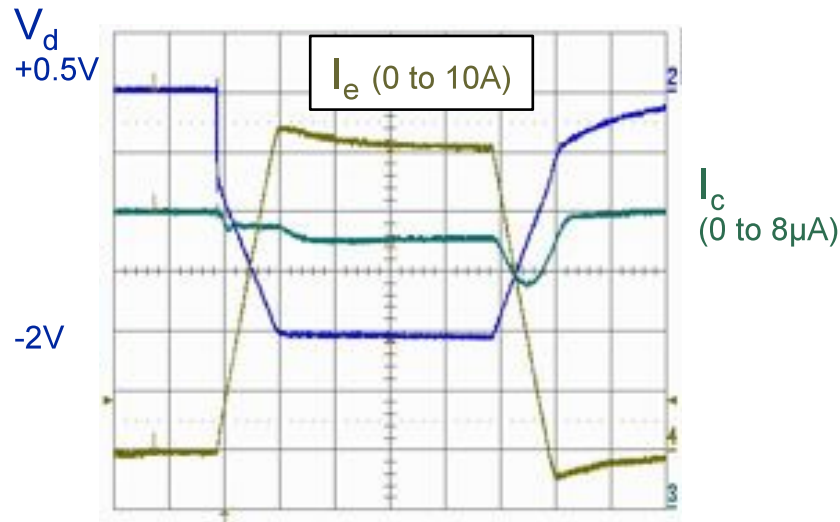


Figure 64: Performance de l'ILD MOS.

L'efficacité d'isolation de ce composant étant vérifiée, intéressons nous à ses autres caractéristiques électriques et à sa fabrication.

### 3.4.1.3 Tenue en tension

Une première analyse à réaliser concerne la tenue en tension de ce nouveau composant. Si en configuration normale la tension de drain est contrôlée par le phénomène du Resurf, nous pouvons craindre que ce mécanisme de protection soit inefficace dans le cas du MOS isolé.

La technique « Resurf » permet de répartir le champ électrique sur toute la surface de la jonction plane N-Resurf/Pwell. Ainsi, le point critique de claquage n'est plus la jonction cylindrique PHV/N-Resurf mais la partie plane de cette jonction. Dans ces conditions, le LDMOS est donné pour une tenue en tension garantie de  $65\text{V}$  soit une tenue en tension maximale de  $80\text{V}$ . Pour que le phénomène Resurf soit efficace, il faut que le dopage de la couche N-resurf soit précisément contrôlé: trop peu dopée, elle se déplète prématurément et le claquage a lieu à la jonction cylindrique NHV/Pwell ; trop dopée, elle ne se déplète pas assez et le lieu du claquage n'est pas modifié.

Si la déplétion optimale de la couche Nresurf dépend d'abord de son dopage, elle dépend aussi des caractéristiques de la couche qui lui est associée, à savoir de la couche Pwell. Cette

dernière étant relativement peu dopée, une charge d'espace non négligeable va s'y déployer. Ainsi, les comportements électrostatiques de la jonction NResurf/Pwell seront fortement influencés par le dopage et la profondeur de la couche Pwell. Donc le fait de modifier cette dernière, en dopage, en profondeur ou les deux aura un effet tangible sur la tenue en tension du composant.

Il semble donc intéressant de savoir si la couche Pwell telle qu'elle est définie pour le composant standard, peut être utilisée comme couche d'isolation. Nous avons donc élaboré un composant test construit de la sorte et évalué expérimentalement sa tenue en tension.

- ILDMOS construit avec la couche PWell

Comme nous pouvons le constater Figure 65, la tenue en tension du ILDMOS est très fortement dégradée par rapport à celle du LDMOST standard. Cette tension dépend largement de la polarisation du contact d'épitaxie (EPI). Avec ce contact à la masse le ILDMOS tient environ 35 V, alors que si nous lui appliquons une tension positive  $V_{EPI}$  sa tenue en tension est augmentée d'autant, dans la limite où  $V_{EPI}$  est inférieur à 10 V.

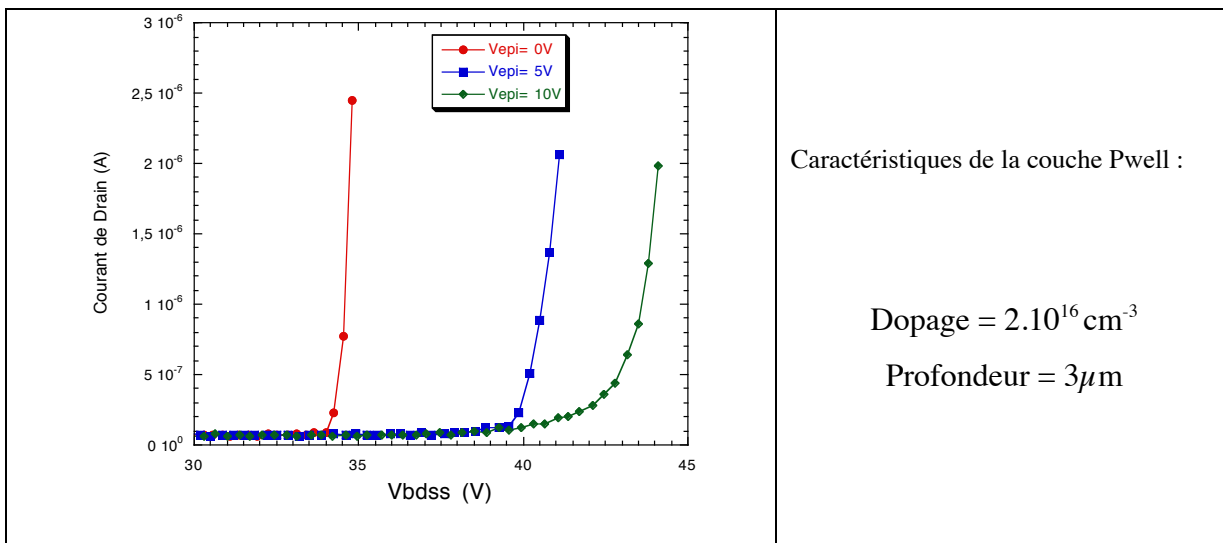


Figure 65 : Mesure de la tenue en tension d'un ILDMOS avec Pwell standard.

En fait, pour les faibles polarisations d'épitaxie, nous sommes dans un mode de claquage par Punch-Through, clairement visible sur la couche  $V_{EPI} = 10\text{V}$  de la Figure 65 pour laquelle le claquage n'a plus la caractéristique abrupte d'un claquage par avalanche. Ce n'est plus la tenue en tension de la jonction plane N-resurf/Pwell qui limite le composant mais le perçage de la couche Pwell. Cette couche se trouve alors entièrement déplétée verticalement et les



couches NHV et NBL sont donc en court-circuit. La Figure 66, représente les tubes de courant simulés pour une couche enterrée a la masse.

Nous pouvons pallier ce problème en appliquant une tension positive sur le contact d'épitaxie : nous créons alors un champ électrique à la jonction NBL/Pwell qui s'oppose à celui généré par la tension de drain ; le champ électrique total ainsi que la charge dans la région Pwell se trouve alors réduit. Cette solution a cependant ses limites puisqu'il faut alimenter une grande surface de silicium et donc fournir en permanence un courant.

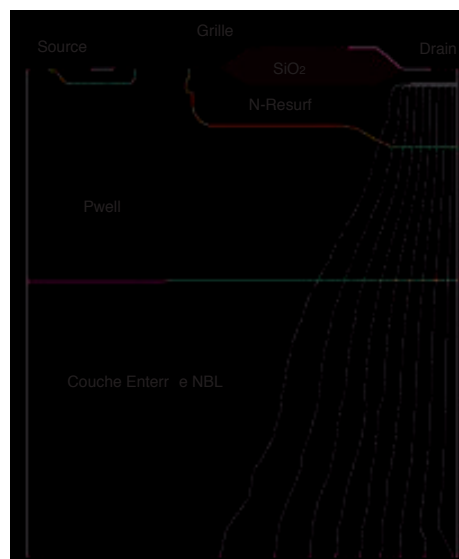


Figure 66 : Perçage vertical ILDMOS : tubes de courant.

De plus, il faut remarquer qu'au-delà de 45 V la tenue en tension du ILDMOS n'est plus dépendante de  $V_{EPI}$ . Nous ne sommes plus en situation de punch-through mais c'est la diode NHV/Pwell qui limite la tension.

Nous pouvons conclure que la couche Pwell n'est pas adaptée pour la réalisation du ILDMOS. Nous devons concevoir une nouvelle couche P, plus profonde pour empêcher les phénomènes de perçage, et moins dopée pour repousser les phénomènes d'avalanche au-delà de 50 V. De plus, cette couche devant s'insérer dans un processus technologique complexe et complet, il faut impérativement que sa mise en place ne modifie en rien le bilan thermique de l'ensemble du processus. Plus précisément, il faut que sa réalisation ne nécessite pas de nouveaux recuits, nous devons donc nous servir d'étapes thermiques déjà existantes pour élaborer cette nouvelle couche, baptisée Pwell-HV (HV pour High Voltage).

- ILDMOS construit avec la couche Pwell-HV

Cette couche Pwell-HV sera implantée avant les recuits servant à la diffusion des couches d'isolation P+. Cela nous permet d'obtenir une couche Pwell-HV profonde, en fait jusqu'à la couche enterrée NBL, soit une profondeur de  $6\mu\text{m}$ , Figure 67. Notre but ici, a été de trouver une valeur de dopage optimale pour que l'ILDMOS puisse soutenir une tension de drain de 50 V minimum.

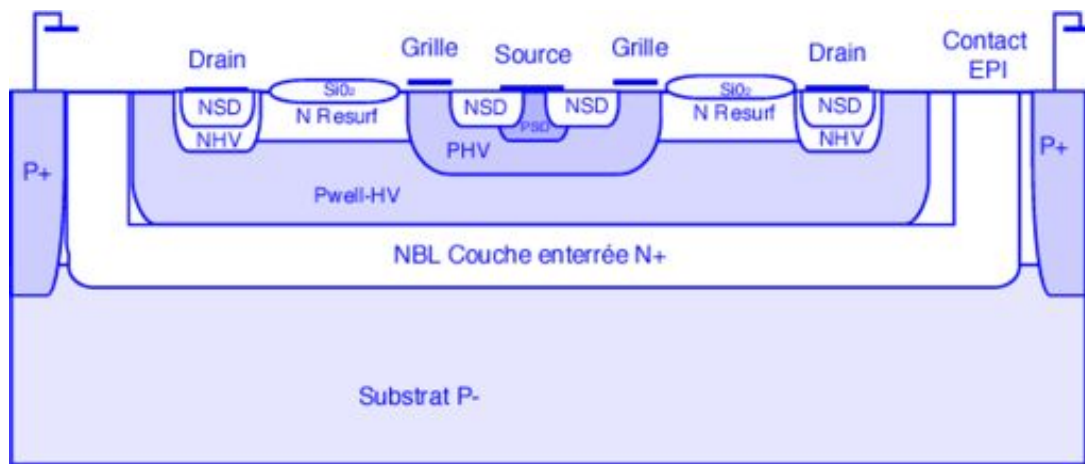


Figure 67 :ILDMOS avec couche Pwell-HV.

La Figure 68 donne nos résultats de simulation concernant la tenue en tension de ce ILDMOS vis-à-vis du dopage de la couche Pwell-HV. Nous avons étudié deux types de ILDMOS, le premier ayant une structure de drain standard (NSD+NHV+Nresurf), le deuxième sans couche NHV. Pour un dopage inférieur à  $5.10^{15} \text{ cm}^{-3}$ , la tenue en tension est limitée comme précédemment par le perçage de la couche Pwell-HV. Pour des concentrations supérieures, la tenue en tension du composant est bien régie par les mécanismes d'avalanche, elle décroît légèrement quand le dopage devient trop grand.

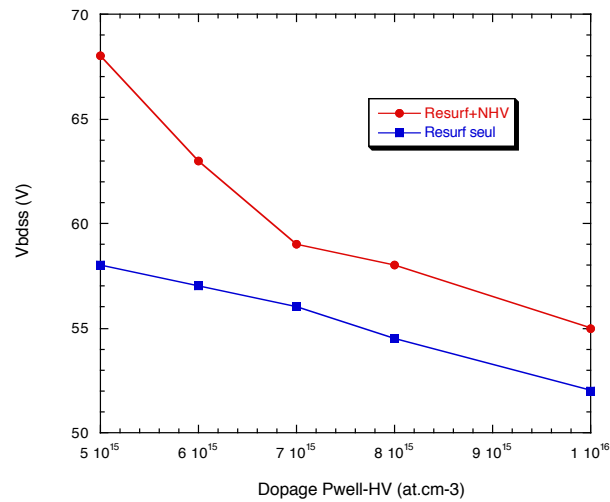


Figure 68 : Tension de claquage du ILDMOS en fonction du dopage de la couche Pwell-HV.

Les résultats obtenus avec la couche NHV sont sensiblement meilleurs que sans cette couche. Nous pensons que cette constatation vient du très délicat équilibre des charges dans un structure Resurf. A priori, si la couche N Resurf se déplète correctement (Figure 69) lors de la montée en tension sur le drain, la présence de la couche NHV ne devrait pas modifier la tenue en tension du composant, qui doit alors être celle de la jonction plane N Resurf/ Pwell-HV.

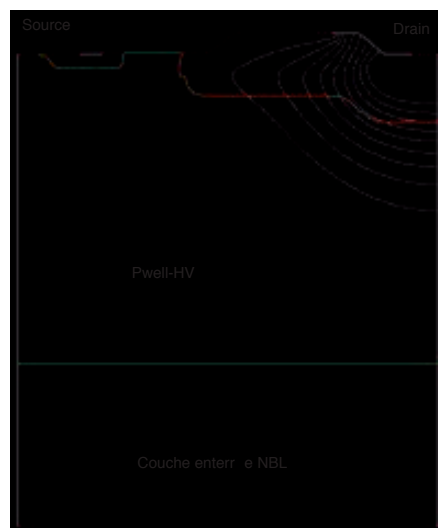


Figure 69 : Répartition du potentiel dans un ILDMOS à l'état bloqué.

Cette étude, bien qu'exclusivement basée sur des simulations électriques, et non technologiques, nous a néanmoins permis de valider notre concept et d'affirmer que la réalisation d'un MOS isolé de puissance dans la gamme de 50 V est parfaitement réalisable.

### 3.4.1.4 Aire de sécurité : problème du second claquage

Nous devons nous assurer que ce nouveau composant possède une aire de sécurité comparable à celle du LDMOS standard. Cette aire de sécurité est limitée par un point de fonctionnement particulier appelé second claquage. Celui-ci se produit lorsque les porteurs libres générés par les phénomènes d'avalanche ou par des commutations trop brutales provoquent la mise en conduction des transistors npn internes du LDMOS.

Dans notre cas, cette défaillance se produit lorsqu'une circulation de trous au travers de la diffusion de source est suffisante pour provoquer un écart de potentiel susceptible de mettre en conduction la jonction PN de source. Une fois sous polarisation directe, cette diode produit à son tour des porteurs ainsi le transistor NSD/PHV/N-Resurf commute à l'état passant. Le courant de source finit par atteindre de telles valeurs que l'élévation de température qui lui est associée provoque la destruction du composant.

Pour le LDMOS standard, c'est le transistor parasite N-resurf/PHV/NSD-source qui fixe cette tenue en énergie : sa résistance de base étant faible puisque la couche PHV est fortement dopée.

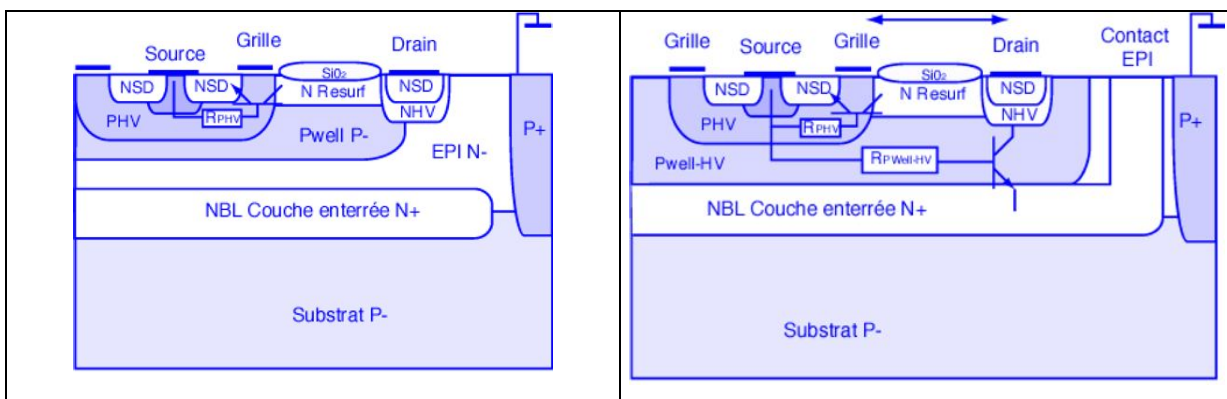


Figure 70 : Transistors parasites contrôlant l'aire de fonctionnement des transistors LDMOS et ILDMOS.

Dans le cas du ILDMOS, un deuxième transistor parasite vient s'ajouter. Ce transistor vertical est composé des couches N-resurf/Pwell-HV/NBL. Sa résistance de base est plus élevée, la couche Pwell-HV étant moins dopée que la couche PHV. Un plus faible courant circulant au travers de sa base est capable de mettre à l'état passant la jonction Pwell-HV/NBL. Cela se traduit par une tenue au second claquage nettement plus médiocre.

Pour rétablir une aire de sécurité comparable à celle du LDMOS standard il nous faut réduire cette résistance d'accès et plus particulièrement celle imputable à la seule couche Pwell-HV. Le dopage de cette couche ayant été optimisée vis-à-vis de la tenue en tension, le seul moyen de réduire cette résistance est de raccourcir la couche Pwell-HV. Bien entendu, cela impose de réduire aussi la largeur de la couche N Resurf, en veillant à ne pas dégrader la tenue en tension.

Au final, en réduisant l'espacement Drain-Source, nous avons obtenu des composants ILDMOS ayant un  $V_{BDSS}$  de 50 V garanti et une tenue au second claquage tout à fait comparable à celle d'un LDMOS standard.

#### **3.4.1.5 Dimensionnement du contact d'épitaxie**

Tout comme pour les protections par anneau, la résistance d'accès à la couche enterrée NBL est à prendre en considération. Lorsqu'une tension négative est appliquée sur le drain, c'est un courant important qui va circuler dans cette couche. Il faut veiller, à ce que la résistance intrinsèque de cette couche soit suffisamment faible pour que les phénomènes de saturation soient évités.

La minimisation de cette résistance peut se faire de deux manières : connecter la couche enterrée par une couche N profonde fortement dopée, et prévoir une surface de contact suffisante.

#### **3.4.2 Fabrication et utilisation du transistor ILDMOS**

Les travaux que nous venons de présenter ont servi de point de départ à des études plus complètes menées par les équipes de développement de Motorola aux USA, et qui ont abouti aux règles de conception complètes et à la mise à disposition des concepteurs d'un transistor ILDMOS 50V dans les technologies SMART-MOS. Cet interrupteur est essentiellement employé comme interrupteur Low-Side dans les circuits d'ABS et d'airbag.

Les dernières versions de ce composant sont maintenant disponibles dans les technologies de puissance  $0,35\mu\text{m}$ , [ 67 ].

### 3.5 Références bibliographiques

- [ 61 ] J.BRIAIRE et al., “Principles of substrate Crosstalk generation in CMOS circuits”, IEEE Trans. On Elec. Devices , 06/2000, vol.19, n°6, pp645-653.
- [ 62 ] J.M.CASALTA et al., “Substate Coupling Evaluation in BiCMOS Technology”, IEEE Journal of Solid-states circuits , 04/1997, vol.32, n°4, pp598-603.
- [ 63 ] R.J.WILDAR., “Controlling Substrate Currents in Junction Isolated IC’s”, IEEE Journal of Solid-states circuits , 08/1991, vol.26, n°8, pp1090-1097.
- [ 64 ] D.K.SHRODER., “Carrier Lifetimes in Silicon”, IEEE Trans. On Elec. Devices“ , 01/1997, vol.44, n°1, pp160-168.
- [ 65 ] P.RENAUD, “Monitoring epitaxy quality”, Solid state Technology, june 2000, pp143-146.
- [ 66 ] A.LUDIKHUIZE, “A review of Resurf Technology”, IEEE-ISPSD, 2000, pp11-19.
- [ 67 ] R.ZHU et al., “Implementation of High-Side High-Voltage Resurf LDMOS in a sub-Half micron Smart Power Technologie”, IEEE-ISPSD, 2001, pp403-406.
- [ 68 ] R.ESCOFFIER, W.FICHTNER, DESSIS-ISE TCAD manual 6.0, 1999
- [ 69 ] C.LEROUX, “Light Emission Microscopy for reliability studies“, Microelectronics Engineering 1999 , vol 49, pp169 180.

## **4 Protections actives**

## 4.1 Protection active : barrière MAAP

Nous présentons ici nos travaux sur les protections actives. Nous y détaillons les mécanismes physiques et électriques sur lesquels s'appuient ces protections, ainsi que les paramètres géométriques et électriques qui les contrôlent. Enfin, nous proposons une évolution de ces protections qui permet de s'affranchir de certaines de leur limitations généralement rencontrées.

### 4.1.1 Présentation et fonctionnement

Notre premier objectif est de comprendre le mode de fonctionnement de ces protections, pour cela nous avons étudié la structure la plus élémentaire, donnée Figure 71. Comme précédemment, un caisson N joue le rôle de l'émetteur (à gauche sur la figure), un autre celui du collecteur (à droite) et un troisième celui de la protection (caisson central de largeur  $W$ ). Nous avons vu que lorsque ce dernier caisson est polarisé à une tension positive, il fait office d'anneau de garde. Ici il est laissé flottant et directement connecté à la diffusion P+ la plus proche du collecteur. Ces deux diffusions ne sont pas polarisées. La première diffusion P, celle proche de l'émetteur, reste à la masse.

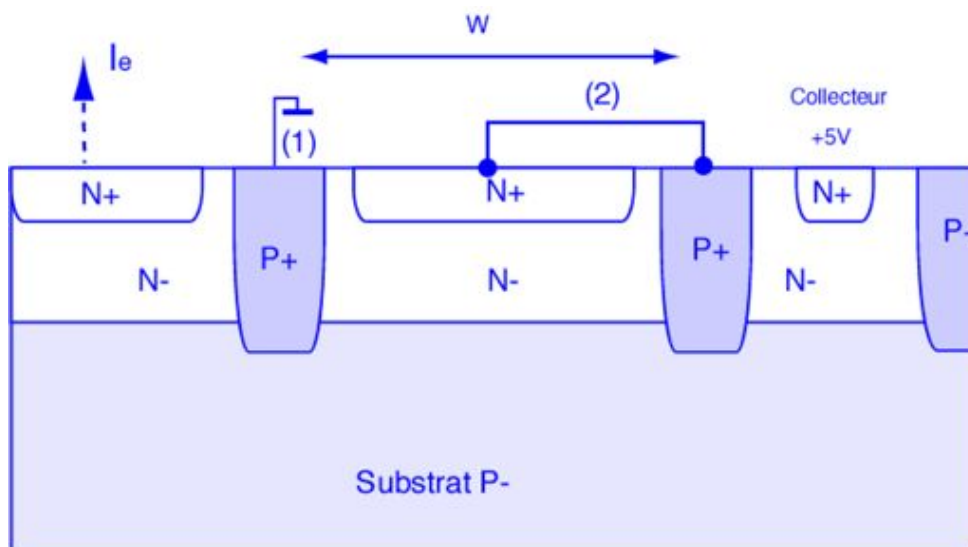


Figure 71 : Structure d'étude MAAP.

Nous appelons ce type de protection active « MAAP », pour « Multiring Active Analogic Protection ».



#### 4.1.1.1 Comparaison expérimentale entre la protection standard et la MAAP

La première série de mesures a été réalisée sur notre premier lot de test (cf page 54). Nous avons changé la polarisation de l'anneau de garde intermédiaire en le laissant flottant et court-circuité, via un fil extérieur, à la diffusion P la plus proche du collecteur. Nous avons polarisé l'émetteur de 0 à  $-1$  V, mesuré le courant sur le collecteur, et tracé les courbes  $I_C$  en fonction de  $V_e$ . Nous avons reporté les courbes des courants collectés pour une structure standard, structure utilisant un anneau de garde polarisé, et pour cette structure MAAP, sur la Figure 72.

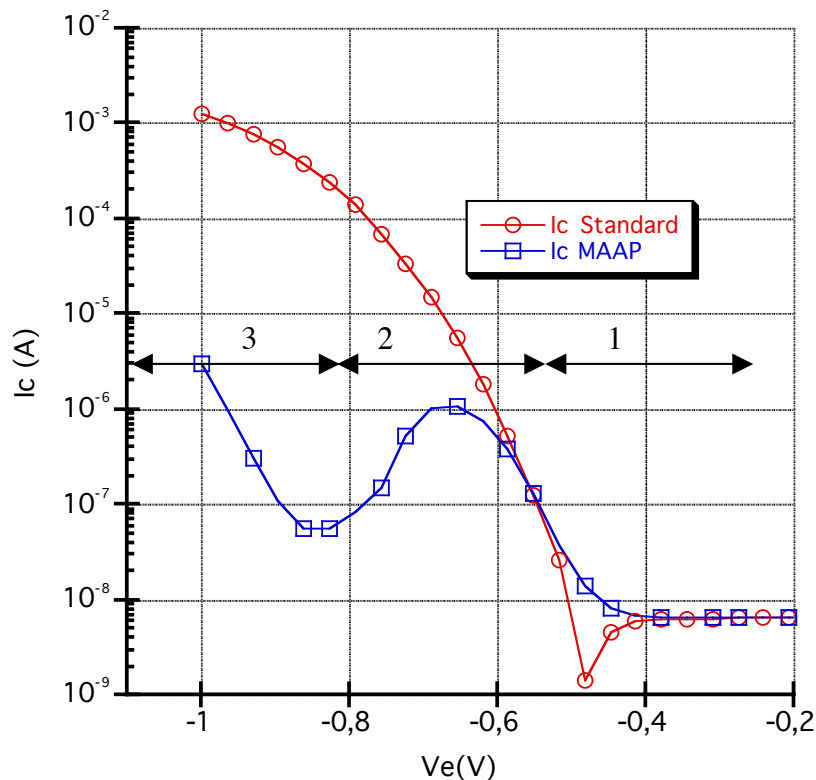


Figure 72 :  $I_C$  (standard)  $I_C$  (MAAP)  $W=100 \mu\text{m}$ .

La supériorité de la protection active apparaît clairement. Nous distinguons très distinctement les trois régimes de fonctionnement de cette nouvelle protection, comme suit :

- Lorsque  $-0,2 \text{ V} > V_e > -0,6 \text{ V}$  (phase 1) : les deux protections donnent des résultats identiques, la structure MAAP n'est pas déclenchée.
- Pour des tension de  $V_e$  comprises entre  $-0,6 \text{ V}$  et  $-0,8 \text{ V}$  (phase 2), la protection MAAP est pleinement effective le courant sur le collecteur diminue.
- Enfin pour les tensions d'émetteur plus basses,  $V_e < -0,8 \text{ V}$  (phase 3), la protection perd de son efficacité et le courant collecté croît de nouveau.

Pour comprendre et illustrer ces trois modes de fonctionnement, nous avons réalisé un certain nombre de simulations, à partir de la même structure employée pour l'étude des protections

passives. Pour représenter la polarisation flottante des deux diffusions N et P, nous avons utilisé une simulation de type « mixed mode » en faisant intervenir en plus de la simulation physique du silicium, une simulation circuit. Cette dernière gère le court circuit intrinsèque à la structure MAAP.

#### 4.1.1.2 Simulation et comportement de la MAAP

Une comparaison entre les résultats de ces mesures et ceux issus de ces simulations bidimensionnelles est donnée Figure 73.

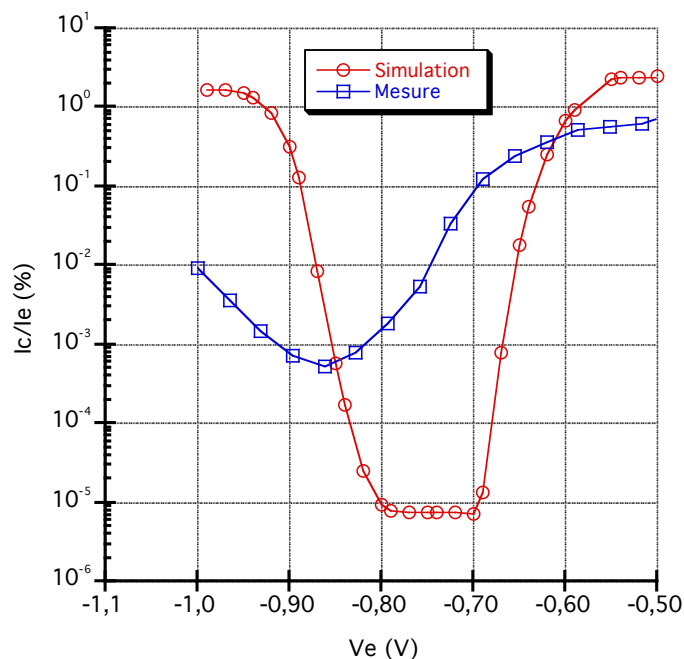


Figure 73 :  $I_c/I_e$ (mesure) et  $I_c/I_e$ (simulation).

Nous pouvons faire deux remarques sur cette première confrontation : les trois modes de fonctionnement sont similaires (MAAP inactive, MAAP active puis MAAP saturée). Cela prouve que la modélisation du nœud flottant est correcte. Par contre la perte de la protection en haute injection est largement surévaluée en simulation. En détaillant les mécanismes mis en jeu dans la structure MAAP, nous comprendrons pourquoi notre représentation est, sur certains points, insuffisante.

Pour décrire le fonctionnement de la structure de protection MAAP, nous reprenons les trois régimes de fonctionnement déjà cités, à savoir : avant sa pleine activation, pendant son déclenchement et enfin lorsque la protection commence à perdre de son efficacité. Pour cela

nous donnons dans le Tableau 4 les répartitions de potentiel ainsi que les densités de porteurs minoritaires pour trois polarisations de l'émetteur,  $V_e = -0,55 \text{ V}$ ,  $V_e = -0,7 \text{ V}$  et  $V_e = -0,75 \text{ V}$ .

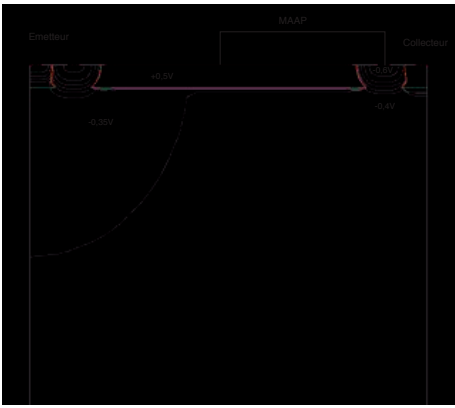
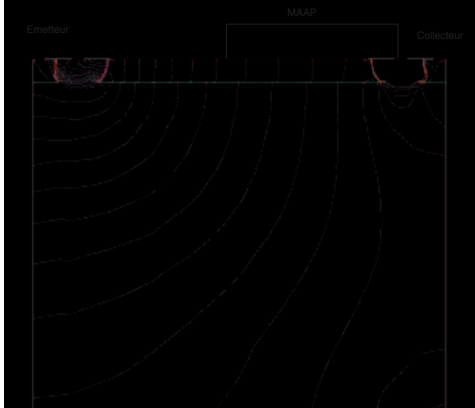
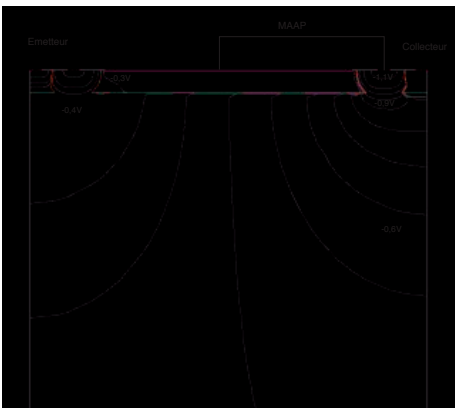
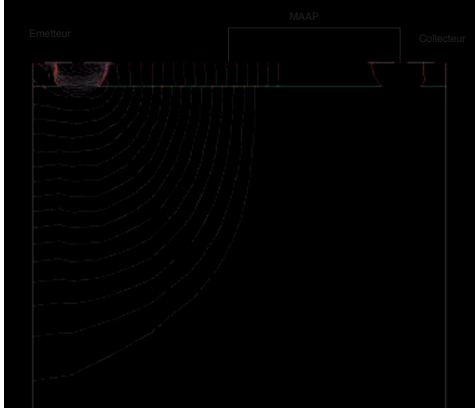
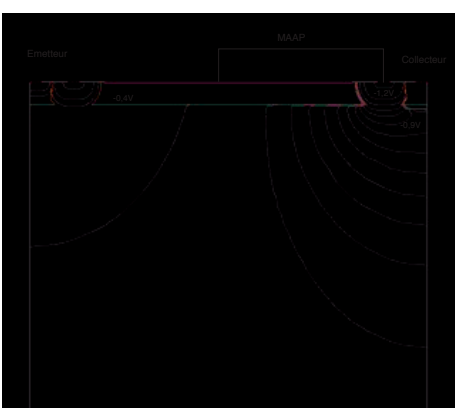
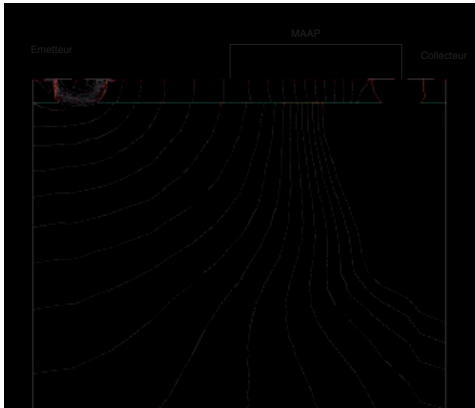
Polarisation émetteur	Répartition du Potentiel	Densité porteurs Minoritaires
MAAP inactivée Phase1 : $V_e = -0.55\text{V}$		
MAAP activée Phase2 : $V_e = -0.7\text{V}$		
MAAP saturée Etape3 : $V_e = -0.75\text{V}$		

Tableau 4 : Répartition du potentiel et des porteurs injectés pendant l'activation d'une structure MAAP.

- Phase 1 : Avant que la MAAP soit pleinement active, le potentiel dans la structure est principalement contrôlé par les potentiels internes de chacune des couches. Ainsi le

caisson N intermédiaire est à un potentiel légèrement positif, la diffusion P qui lui est connectée a un potentiel légèrement négatif et le substrat est quasiment isopotential. La diffusion émettrice est à un potentiel négatif, fixé par sa polarisation extérieure  $V_e$ .

Au niveau de la répartition des porteurs, nous constatons qu'elle reste homogène, elle n'est alors régie que par les phénomènes de diffusion.

- Phase 2 : Les phénomènes de conduction deviennent importants et ce sont eux qui contrôlent les répartitions du potentiel. Ainsi, le courant circulant dans le caisson intermédiaire va forcer celui-ci à un potentiel négatif, le caisson étant laissé flottant tout en étant court-circuité au puits P de droite (2). Celui-ci se trouve donc polarisé à un potentiel négatif, somme de son potentiel interne et de la polarisation du caisson intermédiaire. Il en résulte un écart de potentiel important au niveau du substrat : nous constatons entre les deux diffusions P+ un écart de l'ordre de 0,5V.

A ce stade, les mécanismes de diffusion sont insuffisants pour mouvoir les porteurs et ce sont les champs électriques dans le substrat qui contrôlent les flux de porteurs injectés. Ceux-ci sont alors repoussés de la diffusion P+ polarisée négativement et sont cantonnés au plus près de l'injecteur. Parallèlement, un second flux de porteurs majoritaires provenant du puits P à la masse apparaît. Celui-ci circule jusqu'au second puits P et assure la neutralité électrique du système.

- Phase 3 : A plus forte injection, une chute du potentiel de l'émetteur n'est plus suivie d'une chute du potentiel dans le nœud flottant. Cette limitation est principalement imputable au courant de porteurs majoritaires complémentaires. Celui-ci, en traversant le substrat et la seconde diffusion P, finit par provoquer une hausse du potentiel qui vient contrer l'effet précédent. La dépolarisation du substrat est donc moins marquée. Les porteurs minoritaires diffusent alors plus profondément dans le substrat et affectent à nouveau le collecteur protégé.

Nous pouvons schématiser les flux de porteurs et les champs électriques dans le substrat de la manière suivante (Figure 74) :

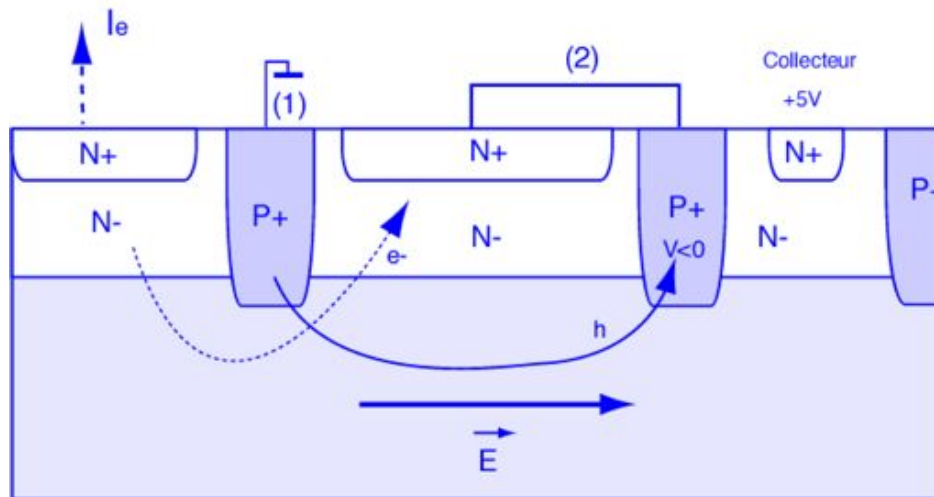


Figure 74 : Flux de porteurs et champ électrique dans une structure MAAP.

Le flux de porteur injecté est collecté par le caisson épitaxié intermédiaire (flèche pointillée). Simultanément le puits P, proche du collecteur (2), devient polarisé négativement induisant un champ électrique au sein du substrat et un flux de porteurs majoritaires depuis le puits laissé à la masse (1) (flèche pleine).

#### 4.1.1.3 Schéma équivalent

Nous pouvons maintenant représenter la structure de protection MAAP ainsi que le transistor parasite par un circuit électrique équivalent (Figure 75).

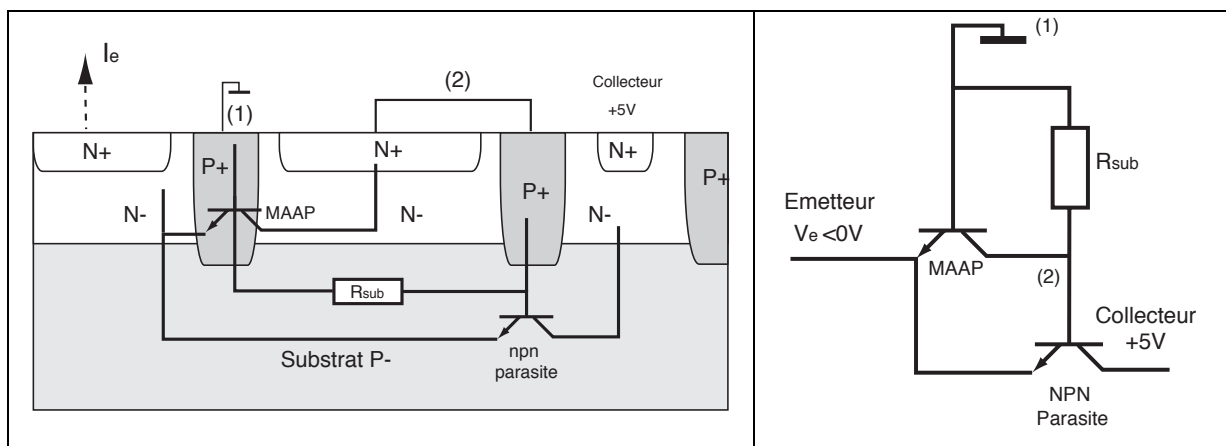


Figure 75 : Schéma équivalent de la protection MAAP.

La structure MAAP peut être assimilée à un transistor bipolaire connecté entre l'émetteur et la base du transistor parasite. Pour représenter la région entre les deux puits P (1) et (2) nous utilisons une résistance équivalente  $R_{SUB}$ . A partir de ce type de représentation, nous pouvons de nouveau décrire les trois modes de fonctionnement de la structure MAAP:

- Phase 1 : Pour  $-0,2 \text{ V} > V_e > -0,6 \text{ V}$ , les deux transistors (MAAP et parasite) conduisent de manière identique le courant issu de l'émetteur, la protection est inactive.
- Phase 2 : Pour  $V_e$  inférieur à  $-0,6 \text{ V}$ , et à faible injection, le transistor MAAP est en régime dit de saturation, le potentiel de son collecteur suit le potentiel de l'émetteur. Ainsi la base du transistor parasite est polarisée négativement, ce transistor devient alors bloqué et le courant sur son collecteur négligeable.
- En forte injection, le courant sur la masse devient tel que le potentiel du collecteur du transistor MAAP ne suit plus celui de l'émetteur, le transistor parasite redevient passant et le courant de collecteur croît à nouveau.

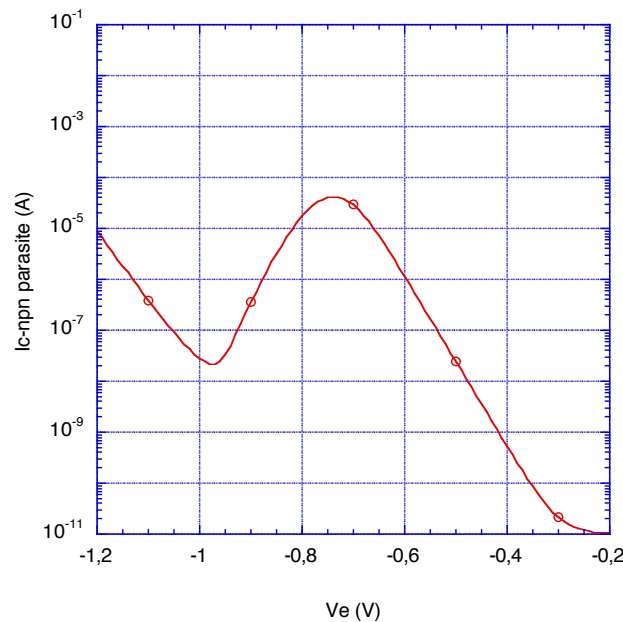


Figure 76 : Courant sur le collecteur du transistor parasite, simulation Spice.

Les simulations Spice réalisées avec ce type de circuit confirment parfaitement ce choix de représentation. Ainsi, Figure 76, le courant circulant dans le collecteur du transistor parasite est comparable à ceux déjà obtenus par l'expérimentation et par simulation 2D. Nous aurions pu pousser plus avant dans cette voie de la modélisation, mais cela n'étant pas pour l'heure un objectif prioritaire, nous avons préféré poursuivre nos travaux sur la mise en évidence des paramètres environnementaux et géométriques qui régissent la protection MAAP.

#### 4.1.2 Dépendances géométriques de la MAAP

Comme nous l'avons vu, l'efficacité de la protection active MAAP repose sur la génération et le maintien d'un champ électrique dans le substrat. Celui ci dépend exclusivement des chutes

de potentiel imposées par les flux de porteurs injectés. En d'autres termes, ce sont les phénomènes de conduction au travers des résistances internes de la structure qui contrôlent l'activation et la saturation de la MAAP : chute de potentiel dans la diffusion N pendant l'activation et remontée progressive du potentiel dans le puits P noté (2) lorsque la protection sature en haute injection.

Ce sont donc principalement les résistances internes de la structure qui imposent les points de fonctionnement de la protection. Nous en avons identifié deux particulièrement importantes, la résistance entre les deux puits P+ (1) et (2), appelée résistance de substrat  $R_{SUB}$  et celle du second puits P (2).

#### 4.1.2.1 Influence de l'espacement entre les puits P

Ce premier paramètre fixe la résistance  $R_{SUB}$ . Pour mettre en évidence son influence, nous avons poursuivi nos expérimentations en changeant la distance entre chaque puits et avons évalué l'efficacité de la structure MAAP pour chaque valeur de  $W$ , (Figure 71).

Comme précédemment nous avons polarisé l'émetteur de 0 à  $-1$  V, connecté l'anneau de garde N+ au puits P proche du collecteur et mesuré le courant sur ce dernier.

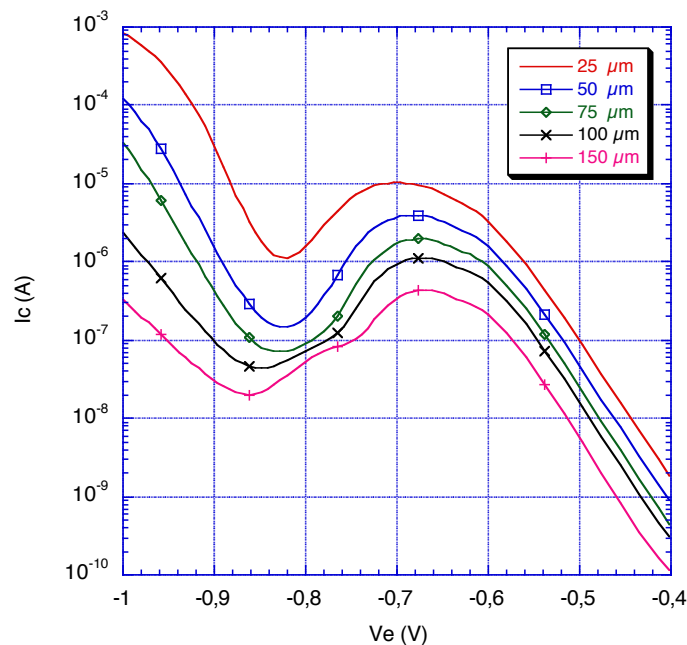


Figure 77 : Influence de l'espacement entre les puits P sur la structure MAAP.

Les résultats présentés Figure 77 permettent d'apporter plusieurs précisions. Avant que la MAAP ne soit réellement active, pour  $-0,2\text{V} > V_e > -0,6$  V, c'est la collection de l'anneau par garde ainsi que les recombinaisons des porteurs minoritaires dans le substrat qui contrôlent le

volume du courant collecté. La MAAP se comporte alors comme une protection passive, les collecteurs les plus éloignés collectent naturellement moins de courant. Ces résultats sont comparables à ceux présentés dans le chapitre précédent.

Une fois que la protection devient active, nous constatons que la saturation du transistor MAAP se fait d'autant mieux que le Puits (2) est éloigné de la masse. Pour les valeurs élevées de  $W$ , le potentiel de la couche N intermédiaire est moins lié à la masse. Sa tension est plus basse, la saturation du transistor de protection peut se faire à un plus faible niveau d'injection et l'activation du MAAP est anticipée. Ceci est vrai jusqu'à ce que le potentiel de la couche N intermédiaire ne dépende plus de  $W$ , alors ce potentiel d'activation est fixé au potentiel interne de la couche N.

De même, nous observons, en haute injection, une perte de protection moins marquée pour les structures larges. En fait, en élargissant la couche N intermédiaire, nous permettons au transistor MAAP de rester à l'état saturé sur une plage de tensions plus grandes.

#### 4.1.2.2 Influence de la résistance de court-circuit.

Nous avons observé que la perte d'efficacité en haute injection est largement imputable aux courants de porteurs majoritaires dans le second puits P. Afin de mettre en lumière cette limitation nous avons augmenté cette résistance par l'ajout d'une résistance série externe  $R_s$ , Figure 78. Les résultats de mesures présentés ici ont été effectués pour la structure ayant une largeur  $W$  égale à  $100 \mu\text{m}$ .

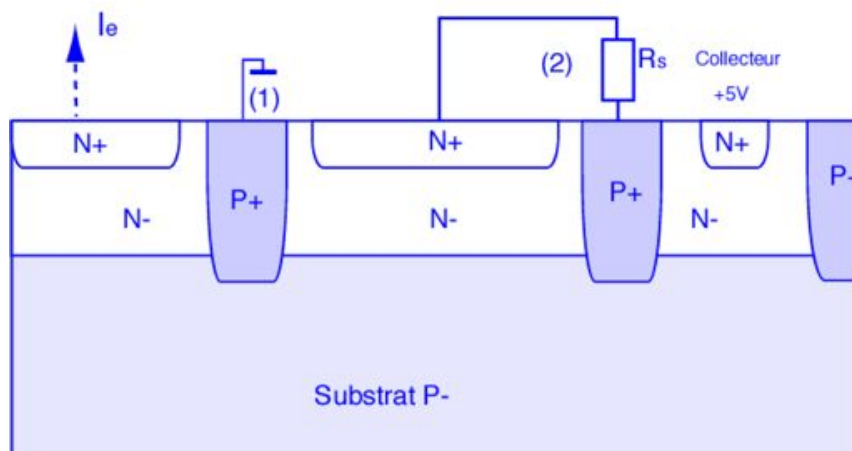


Figure 78 : Structure d'évaluation de l'influence de la résistance du puits P (2).



Nous constatons très clairement sur la Figure 79 que la structure perd de son efficacité d'autant plus rapidement que la résistance série est importante. Notre hypothèse est donc confirmée : pour repousser le seuil de défaillance de la protection tout en gardant une taille de protection acceptable, il nous faut impérativement limiter la résistance d'accès du nœud flottant (2).

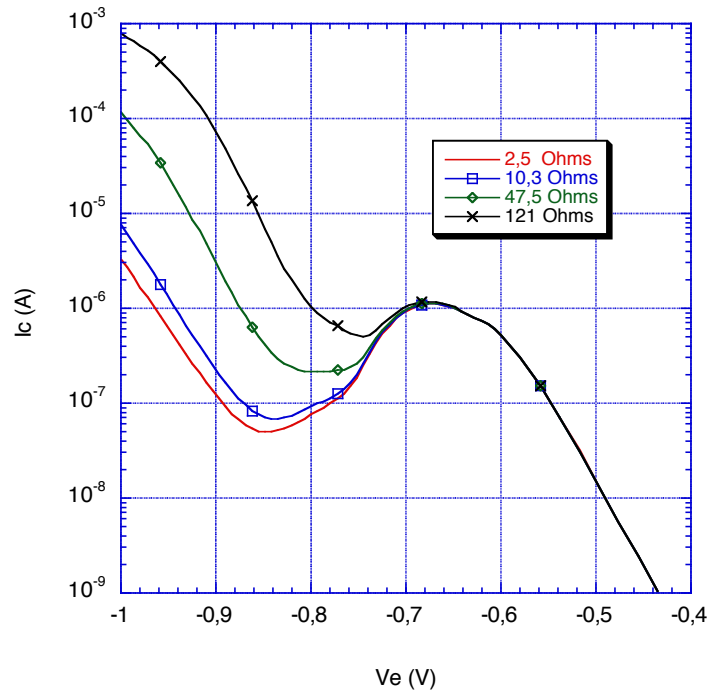


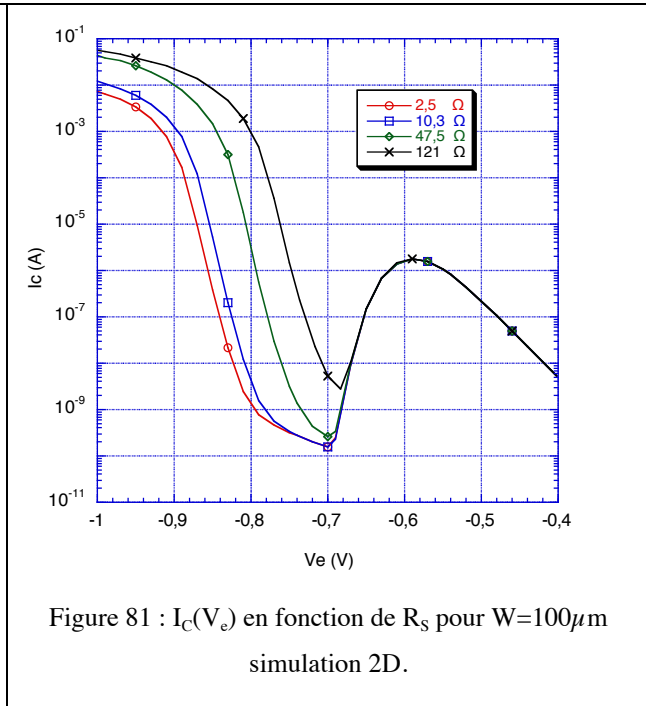
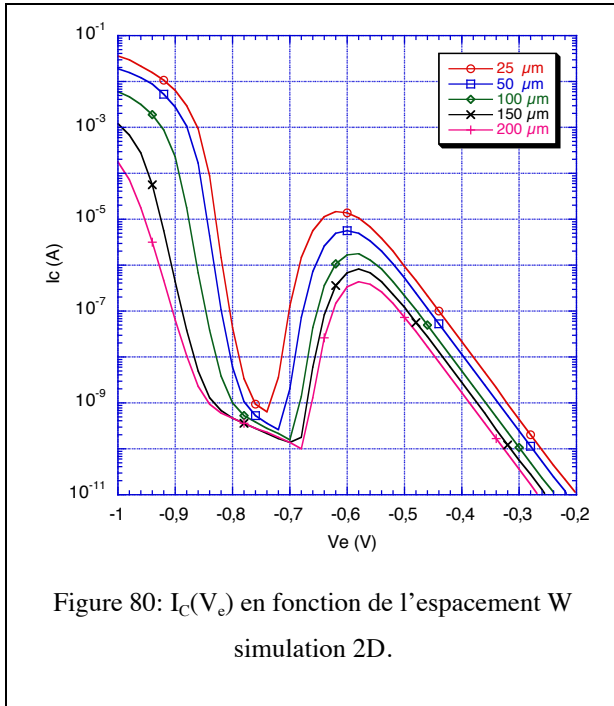
Figure 79:  $I_c(V_e)$  en fonction de  $R_s$  pour  $W=100\mu\text{m}$ .

### 4.1.3 Confrontation simulation expérience

Nous avons confronté nos résultats expérimentaux aux simulations 2D. Nous avons repris nos structures de simulation et porté une attention particulière à leur résistances internes. Pour cela, nous avons dû prendre en compte leur profondeur. Nous avons donc imposé un facteur d'échelle permettant de se rapprocher de la géométrie des composants de test.

#### 4.1.3.1 Résultats simulations

Les résultats de simulations reportés Figure 80 et **Figure 81** donnent les courbes  $I_c(V_e)$  en fonction de la largeur  $W$  et de la résistance de la résistance série  $R_s$ . Nous constatons que ces courbes vérifient parfaitement les tendances observées par l'expérience. D'un point de vue quantitatif ces résultats sont néanmoins peu satisfaisants, l'activation de la MAAP est plus importante en simulation que dans la réalité.



### 4.1.3.2 Limites des simulateurs 2D

Nous pouvons expliquer ces différences notables par un effet que nous qualifions d'effet 3D. En effet, si les résistances internes dues aux différentes résistivités des couches impliquées dans la structure MAAP sont correctement modélisées par notre simulateur, il n'en est pas de même des couches métalliques servant pour le court-circuit.

Ces fines bandes de métaux qui recouvrent l'ensemble des diffusions ne sont reliées aux plots de contact que par de minces fils métalliques, comme nous pouvons le voir sur la vue de dessus de nos structures Figure 82. Il en découle une distribution importante de la résistance le long de ces fines pistes métalliques. Ainsi, leur résistance est minimale au plus près du plot de contact et de l'ordre de la centaine d'ohms à son opposé. De ce fait, la protection MAAP n'impose pas une répartition homogène du potentiel le long de la diffusion P (2), près du plot de contact de cette diffusion, P celui-ci est effectivement fortement négatif alors qu'à son opposé il est nettement plus élevé. Nous pouvons donc conclure que les mesures ont été effectuées dans un cas plus défavorable que celui des simulations, en simulation 2D le potentiel sur le puits (2) étant nécessairement homogène.

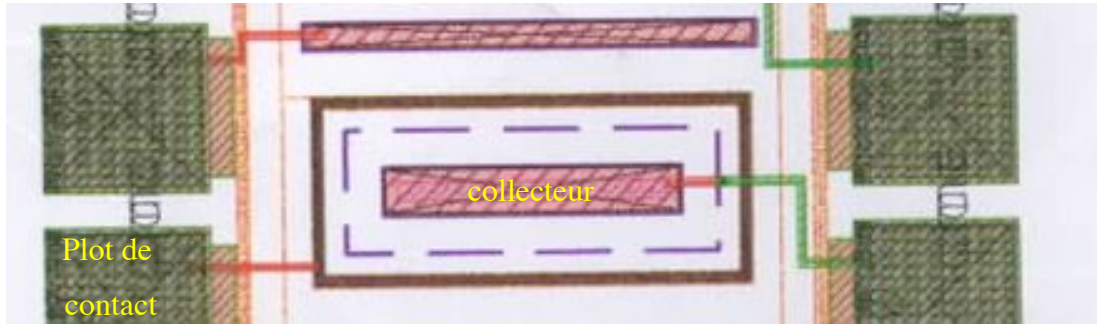


Figure 82 : Vue de dessus d'une structure de test.

Nous atteignons donc là, la limite des simulateurs 2D, la prise en compte de cette résistance distribuée ne pouvant se faire que par une représentation plus complexe en trois dimensions.

#### 4.1.4 Contraintes d'intégrations

Maintenant que sont connus les paramètres géométriques et électriques qui contrôlent les modes de fonctionnement de la structure MAAP, nous nous intéressons à son comportement dans un cas réel de circuit intégré. Nous évaluons donc les interactions de cette protection avec son environnement proche dans un système plus complexe impliquant plusieurs collecteurs et plusieurs contacts de substrat.

##### 4.1.4.1 Courant sur les collecteurs voisins

Nous étudions ici l'impact d'une protection MAAP en présence d'un collecteur supplémentaire voisin, protégé de manière standard, c'est-à-dire soit par un anneau de garde mis à un potentiel positif, soit sans protection.

Pour mettre en évidence l'impact d'une protection MAAP sur son environnement, nous avons étudié le cas d'une configuration où la diffusion émettrice est entourée de deux collecteurs distincts, comme présenté Figure 83. Le premier, distant de  $W = 75 \mu\text{m}$  de l'émetteur n'est pas protégé, son caisson intermédiaire est laissé sans polarisation. Le second, peut être protégé par deux techniques différentes : soit par une protection standard, dans ce cas l'anneau de garde le séparant de l'émetteur est polarisé à +5V, soit par une protection MAAP, dans ce cas la diffusion intermédiaire N est connectée au contact de substrat (2). Ce second collecteur est quant à lui distant de  $100 \mu\text{m}$  de l'émetteur.

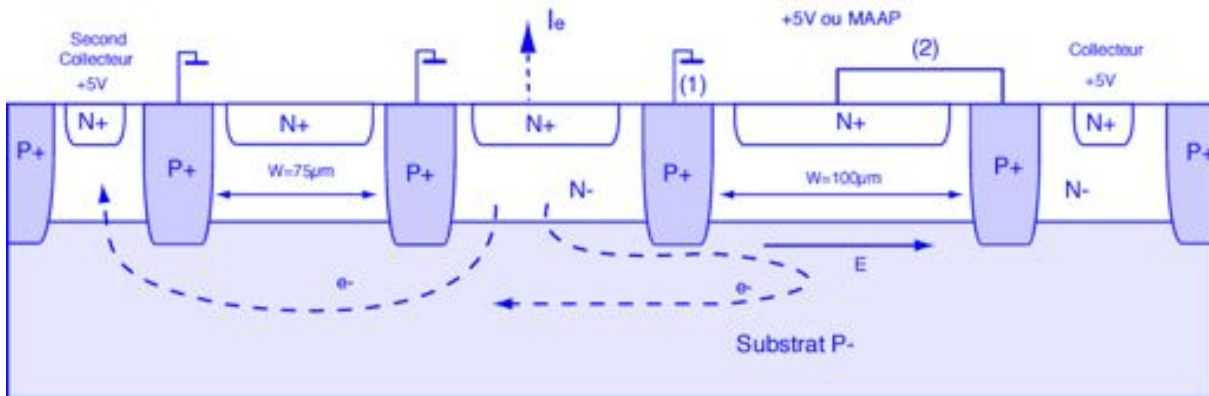


Figure 83 : Structure d'étude : 2 collecteurs protégés différemment (standard et MAAP).

Les mesures des courants de substrat indiquent clairement que l'emploi d'une structure MAAP sur le collecteur droit se traduit par un courant parasite plus élevé sur le collecteur de gauche. Ainsi sur la Figure 84, nous voyons que lorsque la MAAP est pleinement active, pour  $V_e$  inférieure à  $-0,8$  V, le collecteur supplémentaire voit la part du courant qui l'affecte doublée.

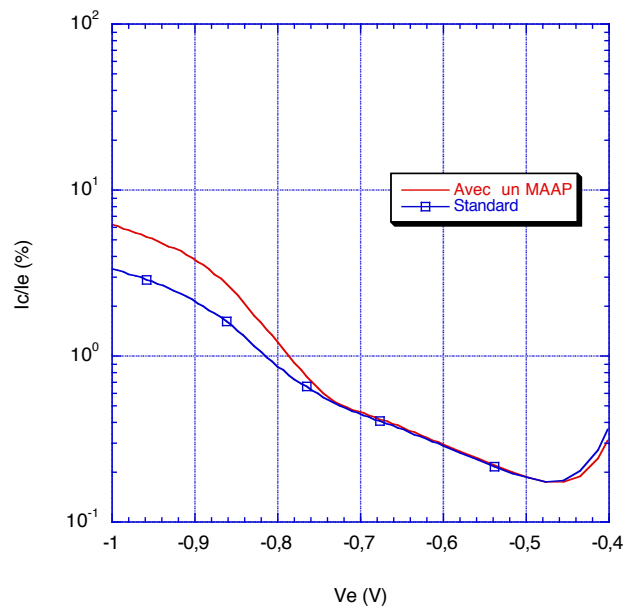


Figure 84 : Part du courant collecté par le collecteur de gauche (Figure 83) en fonction de la protection employée sur celui de droite.

Ce détournement du courant injecté est encore plus visible sur les deux photos présentées Figure 85. Il s'agit de deux caractérisations EMMI faites sur ces mêmes structures. Sur la photo de gauche, il s'agit du cas où les deux anneaux sont sans polarisation (protection standard) ; sur celle de droite, le caisson de largeur  $100 \mu\text{m}$  est en configuration MAAP. Ces deux clichés ont été pris pour  $V_e = -0,8$  V.

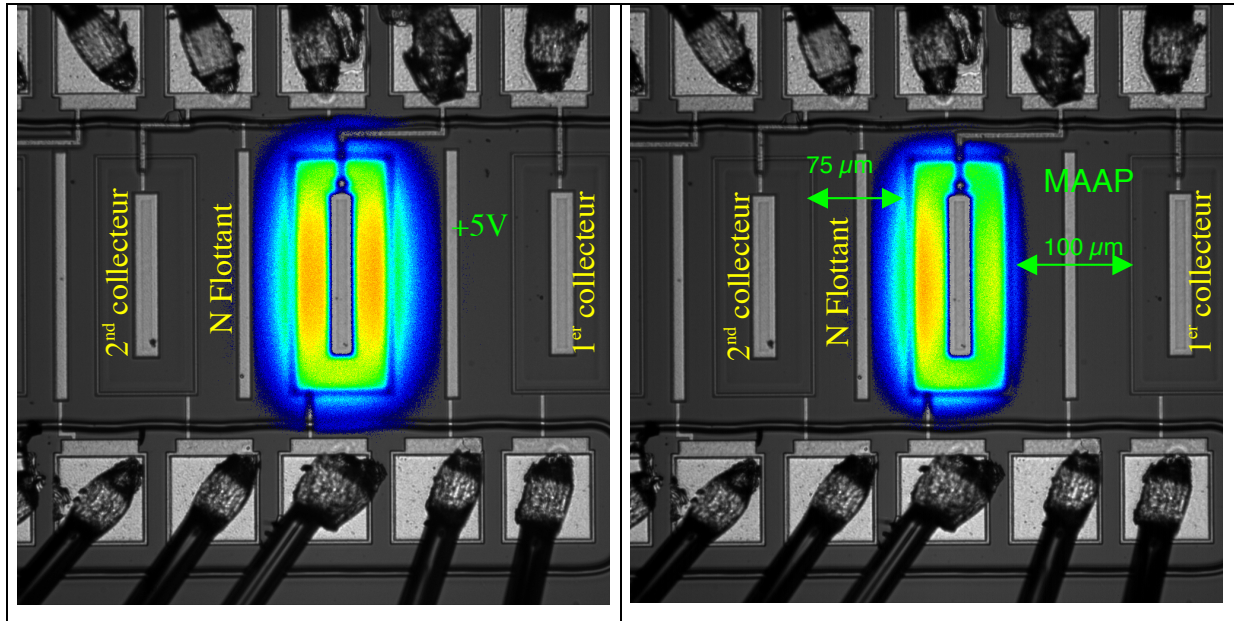


Figure 85: Caractérisations EMMI  $V_c = -0,8V$ : Gauche cas standard, Droite anneau de  $100\mu m$  en configuration MAAP.

Sur la photo de gauche, nous voyons que les recombinaisons sont réparties de manière homogène autour de l'émetteur, les deux collecteurs sont affectés de manière semblable.

Sur celle de droite, la MAAP est clairement active, cela se traduit par une répartition nettement moins homogène des recombinaisons. Près du collecteur de droite, elles se font moins nombreuses. A l'inverse, le signal traduisant les recombinaisons dans le substrat se fait plus important sur le bord gauche de l'émetteur, l'injection se fait donc de manière préférentielle vers ce collecteur de gauche.

Nous pouvons donc dire que la protection apportée par la MAAP sur le collecteur de droite se fait au détriment de celle apportée sur celui de gauche.

#### 4.1.4.2 Influence de l'environnement sur la MAAP

A partir de ces lots de test, en changeant simplement leurs connexions, nous avons évalué l'influence des prises de masse substrat supplémentaires imposées par la conception du circuit intégré sur l'efficacité de la protection MAAP. Pour cela, nous nous sommes placés dans la configuration présentée, Figure 86. L'anneau diffusé P, noté (2), entourant le collecteur connecté à la protection MAAP est proche de deux puits P connectés à la masse, le puits (1) distant de  $100\mu m$  et le puits (3) distant de  $75\mu m$ . La structure MAAP, quant à elle, est construite autour du premier anneau N de largeur  $W = 100\mu m$ .

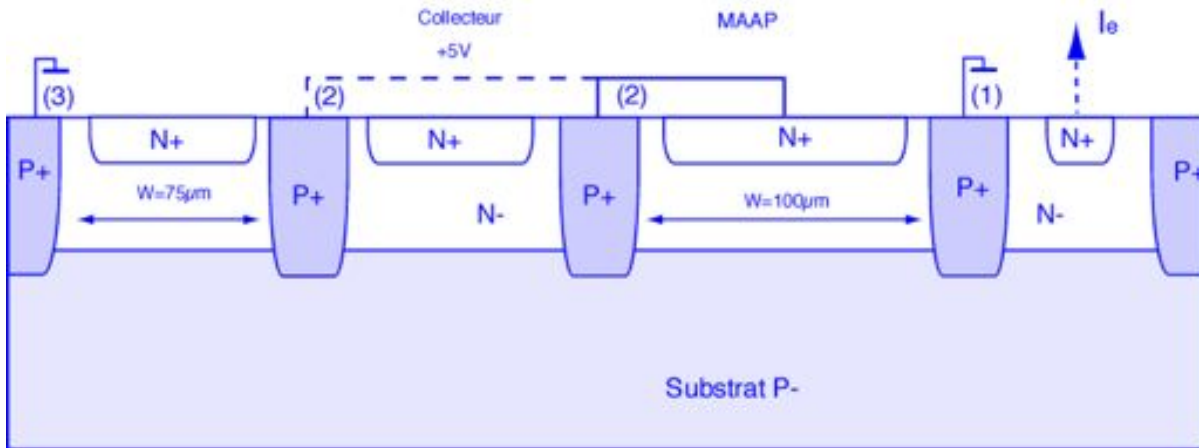


Figure 86 : MAAP avec plusieurs prise de masse substrat.

Pour évaluer les modifications apportées sur les caractéristiques de la MAAP par cet environnement plus complexe, nous avons reporté sur la Figure 87 trois résultats de mesures :

1. Ceux déjà obtenus dans les cas simples pour une MAAP de 75  $\mu\text{m}$  et de 100  $\mu\text{m}$  de large, (cf Figure 77).
2. Ceux obtenus dans cette configuration : avec une MAAP de 100  $\mu\text{m}$  de large et une masse supplémentaire placée à 75  $\mu\text{m}$ .

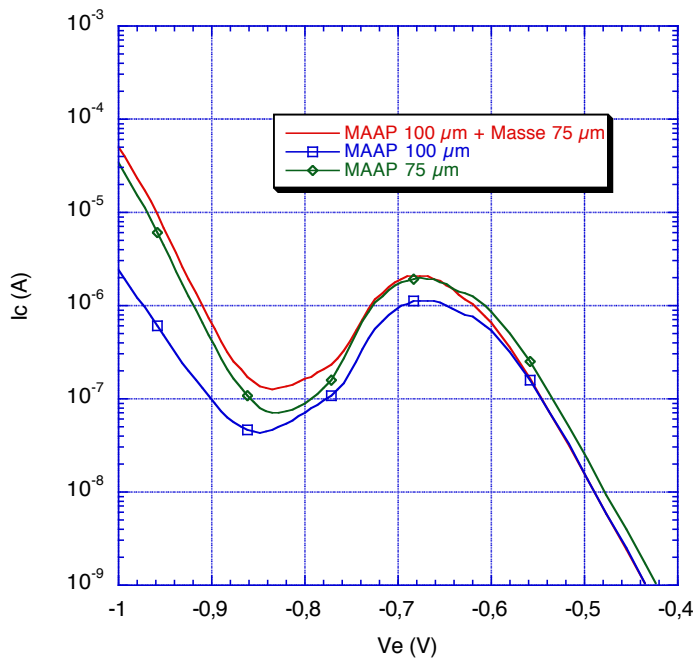


Figure 87 : Efficacité de la structure MAAP dans un système multi-masse.

Avant l'activation de la MAAP, c'est la protection passive apportée par l'anneau de 100  $\mu\text{m}$  qui contrôle l'efficacité du système. Le courant collecté dans ce cas est identique à celui observé précédemment pour la MAAP simple de 100  $\mu\text{m}$  de large.

L'activation de la MAAP est ici clairement contrôlée par la distance entre le puits (2) et le puits (3). Le seuil d'activation de cette configuration et le courant collecté en haute injection sont identiques à ceux mesurés pour la MAAP simple de  $75 \mu\text{m}$ .

Le paramètre  $W$  n'est donc pas directement un paramètre clef de la protection. Il vaut mieux raisonner en terme de distance par rapport à la masse : c'est clairement la distance la plus courte entre le puits (2) et la masse qui fixe les modes de fonctionnement de la protection active. Nous pouvons maintenant affiner la représentation circuit de ce dispositif de protection, Figure 88. Ce sont les deux résistances du substrat qui contrôlent le dispositif, celle pour  $W = 75 \mu\text{m}$  étant de plus faible valeur, c'est elle qui impose le point de fonctionnement.

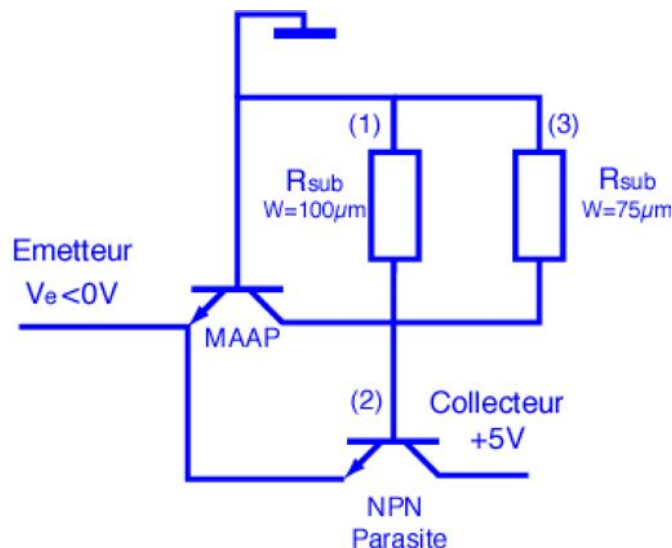


Figure 88 : Circuit équivalent d'une structure multi-masse.

#### 4.1.4.3 Structure de protection symétrique

Nous avons considéré jusqu'à présent que les rôles de l'émetteur et du collecteur étaient bien définis. Dans la réalité d'un circuit intégré complexe, il n'en est pas de même. En effet dans le cas où plusieurs transistors de puissance sont présents dans le substrat, les régions N dans lesquelles ils sont intégrés peuvent tour-à-tour devenir émettrices ou collectrices de courant parasite. Il est donc intéressant de juger l'efficacité de la structure MAAP dans un système multi-directionnel. La protection doit être efficace quelles que soient les positions de l'émetteur et du collecteur. Nous avons vu que la protection MAAP repose sur la génération et l'entretien d'un champ électrique à l'intérieur du substrat. Pour que la MAAP soit

symétrique il faut que le sens du champ électrique dépende de la position de l'émetteur du courant parasite.

Nous avons évalué plusieurs possibilités, représentées Figure 89 et Figure 91.

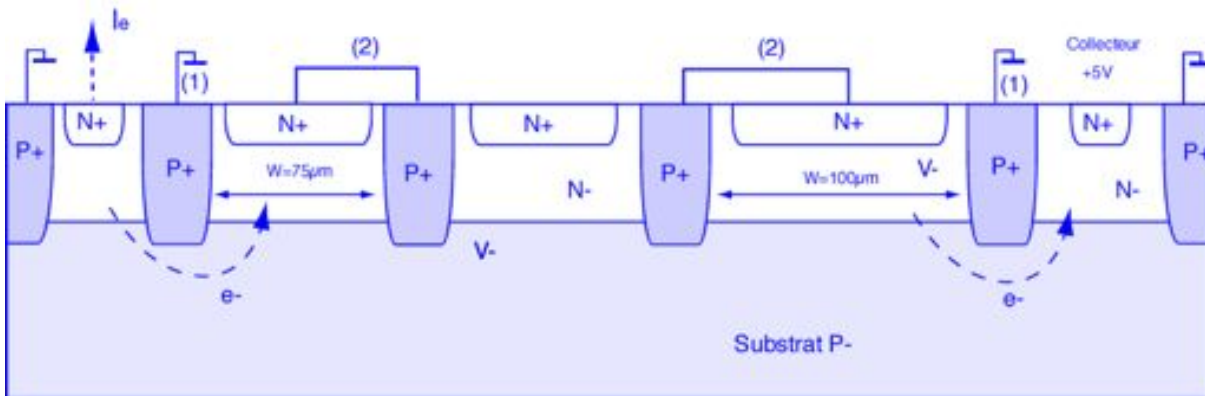


Figure 89 : MAAP bidirectionnelle, essai n°1.

Dans la première, Figure 89, nous avons placé deux structures MAAP du même côté d'un injecteur mais dirigées dans deux directions opposées. La MAAP de largeur  $W = 75\mu\text{m}$  doit protéger le collecteur de droite quand la diffusion de gauche est émettrice. La MAAP de droite,  $W = 100\mu\text{m}$ , doit éviter l'injection de la diffusion de droite quand celle-ci est l'émetteur.

Prenons le cas où la diffusion de gauche devient émettrice : le courant d'électrons injectés active la structure MAAP de gauche, induisant une chute de potentiel importante dans le substrat. Via le substrat, cette chute de potentiel se propage à la deuxième protection MAAP, ainsi le deuxième puits P (2) et la diffusion N qui lui est connectée se trouve également polarisées négativement. Ceci aboutit à la mise en conduction de la jonction PN constituée de la diffusion N, de la seconde MAAP, et de la diffusion P entourant le collecteur. Cette solution n'est donc pas utilisable.



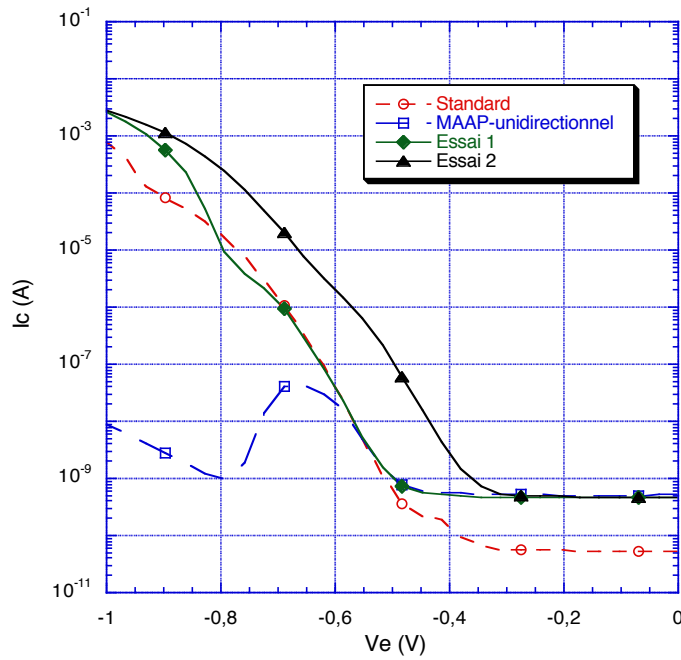


Figure 90 :  $I_C(V_e)$  structure symétriques.

Afin d’éviter ce problème, nous avons donc proposé une nouvelle structure, Figure 91. Ici, les deux protections MAAP sont construites autour d’une seule et unique diffusion N. Cette diffusion est connectée aux diffusions P qui l’entourent (2). Les caissons N proches des zones à protéger sont, quant à eux, laissés flottants.

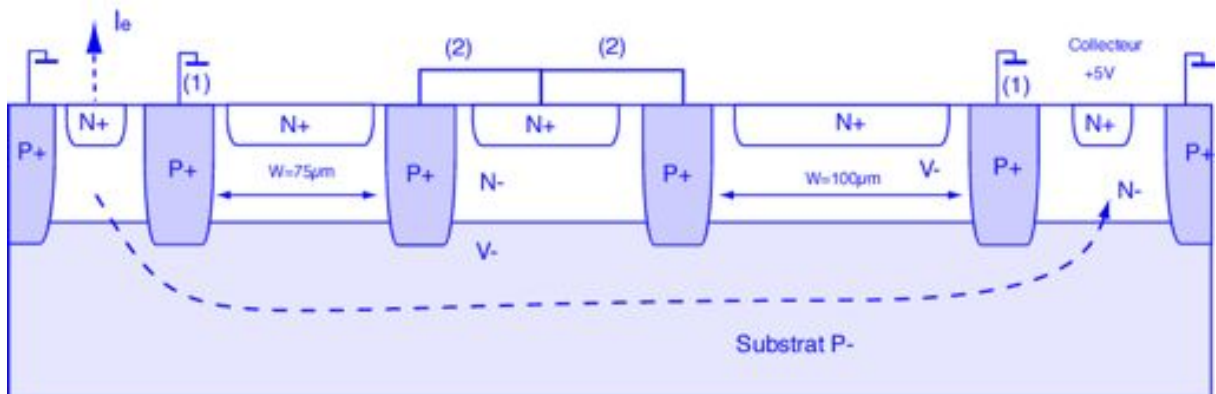


Figure 91 : MAAP bidirectionnelle, essai n°2.

Le fonctionnement de cette seconde proposition, aboutit malheureusement au même résultat que le précédent. Lorsque des électrons sont injectés dans le substrat, une partie d’entre eux peut être collectée par la diffusion N de la MAAP, ce qui peut induire une chute du potentiel du substrat. Or, si le potentiel du substrat devient négatif, plus aucun porteur minoritaire ne peut atteindre la diffusion N de la MAAP, en effet le potentiel négatif du substrat remplit son objectif, il les détourne et plus aucun porteur injecté ne peut entretenir la protection. Nous

sommes donc en présence d'une boucle négative. L'activation de la protection la rend inefficace et le seul transistor qui est bloqué ici est le transistor de protection MAAP. De plus la collection par la diffusion N de la MAAP en faible injection elle aussi perturbée, cela se traduit Figure 90 par un courant collecté plus important.

Ces deux essais infructueux mettent en lumière le défaut principal de ces protections actives MAAP: leur intégration difficile dans un système complexe où les zones sensibles et les émetteurs potentiels ne sont pas clairement identifiés.

#### **4.1.5 Bilan sur les structures MAAP de première génération**

En terme d'efficacité, les protections MAAP présentent des qualités remarquables par rapport aux protections classiques : atténuation du courant collecté de plusieurs décades par rapport aux protections classiques. Elles ne sont cependant efficaces que dans des conditions de fonctionnement très spécifiques et uniquement si certaines règles de conception sont assurées :

- Les prises de contact substrat impliquées dans la structure MAAP, contact (2) dans la Figure 71, doivent être le plus éloignées possible des prises de masse, contact noté (1), afin d'assurer une saturation convenable du transistor MAAP.
- Ces diffusions P (2), doivent être très peu résistives, pour améliorer la gamme de tension pour laquelle la protection active est efficace.
- Les structures MAAP ne peuvent pas être une protection active symétrique indépendante des zones émettrices et collectrices. Cela implique une bonne spécification des zones perturbatrices et des zones sensibles à protéger.

En conclusion, nous préconisons d'utiliser ce type de protection pour des cas simples où les zones sensibles sont bien définies, et où les émetteurs peuvent être à leur tour collecteurs sans que cela entraîne des perturbations importantes.

Ce cas de figure s'est présenté lors du développement d'un pilote d'ABS, dans la technologie SM7LV. Ici, nous étions en présence d'un étage de pré-régulation appelé SMPS (Switch Mode Power Supply) devant fournir, à partir de la tension brute de la batterie (de 6 à 30V), une tension régulée de quelques Volts et ce sans consommation d'énergie exagérée.

Le cahier des charges de cette application imposait une contrainte sévère d'isolation sur le pilote de ce bloc SMPS, qui ne doit jamais être affecté par les courants négatifs, ce qui

signifie que sa consommation doit rester inchangée quel que soient les courants parasites injectés. Par contre aucune spécification n'est donnée sur les transistors LDMOS Low Side de puissance qui ne nécessitent donc pas de protection particulière. En d'autres termes, nous devons ici uniquement protéger le pilote et laisser les MOS de puissance sans protection. Le circuit ne nécessitant donc pas de protection bidirectionnelle, une structure MAAP s'avère suffisante.

Le masque test de ce bloc, a été réalisé de telle façon que nous avons accès à la polarisation de la diffusion N et de la diffusion P impliquées dans la MAAP. Nous avons pu étudier le bloc SMPS dans deux configurations. Une configuration dite standard où le nœud (2) est maintenue à la masse, dans ce cas là nous sommes revenus à une protection par anneaux et une configuration MAAP où ce nœud est laissé flottant.

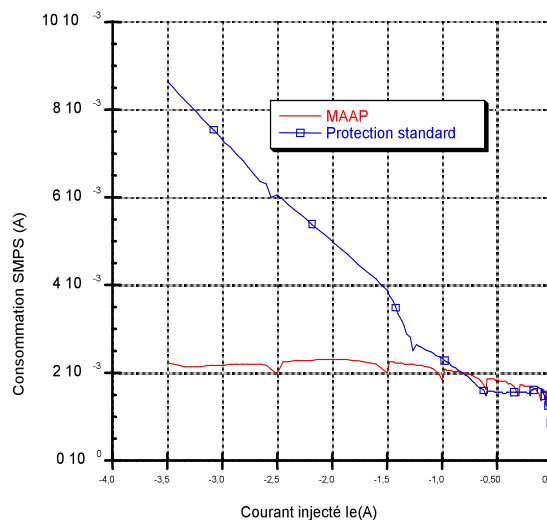


Figure 92 : Layout et performance de la MAAP intégrée dans le bloc SMPS/PCU03.

Pour évaluer l'efficacité de notre protection nous avons mesuré la consommation du pilote pendant l'injection du courant de substrat dans ces deux cas de figure, les résultats sont reportés Figure 92. Nous constatons que dans le cas où la MAAP est employé, la consommation reste inchangée pendant l'injection, alors que celle-ci croît d'un facteur 5 dans le cas d'une protection classique. La supériorité de la structure MAAP dans ce type d'application est clairement apparente.

Pour pallier le problème du comportement unidirectionnel de la structure MAAP nous allons maintenant présenter le développement d'une deuxième génération de protection active moins sensible à leur environnement proche et capable de protéger tous les types de collecteur.

## 4.2 MAAP deuxième génération

La dernière partie de ce chapitre présente nos travaux préliminaires sur une nouvelle famille de protections actives, capable de résoudre tout ou partie des problèmes d'intégration des structures MAAP. Après avoir décrit le fonctionnement de ce nouveau dispositif, puis avoir validé ce nouveau concept par des tests effectués sur des composants discrets, nous concluons sur les règles de conception permettant son intégration.

### 4.2.1 Présentation et fonctionnement

Notre proposition s'inspire très largement de la structure MAAP. Comme pour celle-ci, c'est le maintien d'un potentiel négatif dans le substrat qui est à l'origine de la protection. La différence réside dans le fait que ce potentiel n'est plus appliqué près des collecteurs mais autour des zones d'émissions. Le potentiel du substrat ainsi lié au potentiel de l'émetteur, la diode injectante reste bloquée et le courant de substrat évité.

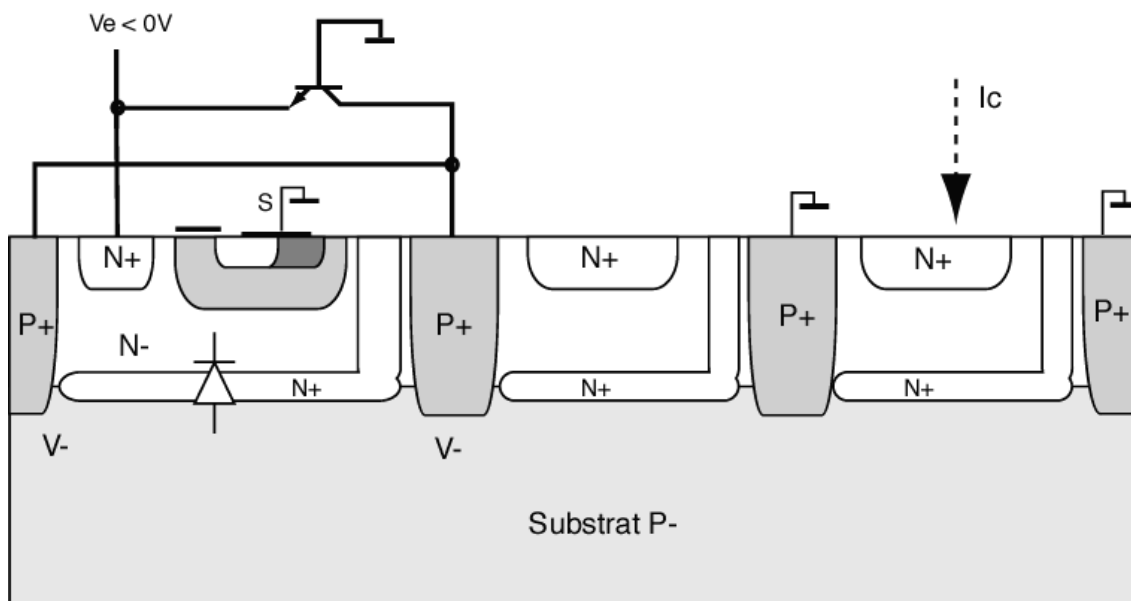


Figure 93 : Structure de présentation MAAP 2<sup>ème</sup> génération.

Sur la Figure 93 est représentée la coupe de ce nouveau dispositif de protection ; ici un transistor bipolaire est inséré entre l'émetteur (le drain du LDMOS de puissance) et le substrat. Une deuxième différence réside dans la nature du transistor de protection. Si dans la structure MAAP1 il était construit sur des caissons épitaxés N et des diffusions P déjà existantes, ici il peut tout à fait être un composant spécifique spécialement conçu à cet effet.

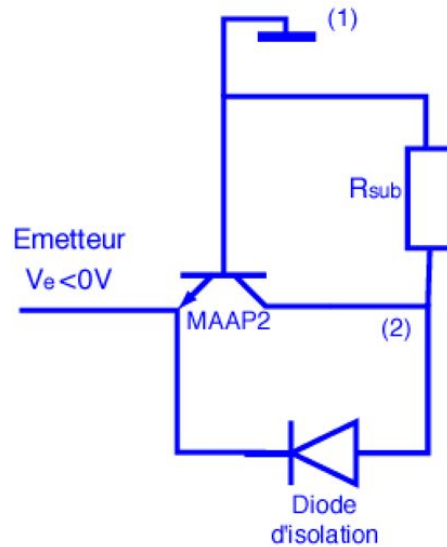


Figure 94 : Circuit équivalent protection MAAP-2.

Le schéma équivalent de ce système Figure 94 est sensiblement identique à celui de la MAAP, Figure 75. Afin de souligner le fait qu'ici la protection joue sur l'état de la diode d'isolation et non pas sur le collecteur parasite, nous avons remplacé le transistor parasite par sa seule jonction émetteur base. Comme précédemment, la résistance  $R_{sub}$  représente la résistance du substrat entre le nœud flottant (2) et la masse (1).

## 4.2.2 Structure de test

Cette nouvelle protection s'appliquant sur l'émetteur, il est impératif dans nos structures d'études de tenir compte non seulement de la diode d'isolation mais également de la jonction PN drain/source. En effet, c'est par ce contact de source que sera évacuée la majeure partie du courant injecté. En conséquence, que ce soit pour nos structures de test ou de simulation, l'émetteur est maintenant un MOS de puissance complet où les diffusions de drain et de source sont inter-digitées.

### 4.2.2.1 Résultats empiriques préliminaires

Nous voulons vérifier ici le fonctionnement de cette nouvelle structure. Les dispositifs de test impliqués utilisent comme émetteur un LDMOS de puissance, de surface  $800 \mu\text{m} \times 500 \mu\text{m}$ , et un transistor bipolaire npn discret (ZTX650) comme transistor de protection. Ce dernier est monté en sens inverse de son sens de travail normal, c'est à dire que son collecteur est connecté au drain du LDMOS, sa base à la masse et son émetteur au nœud flottant (2), Figure 95.

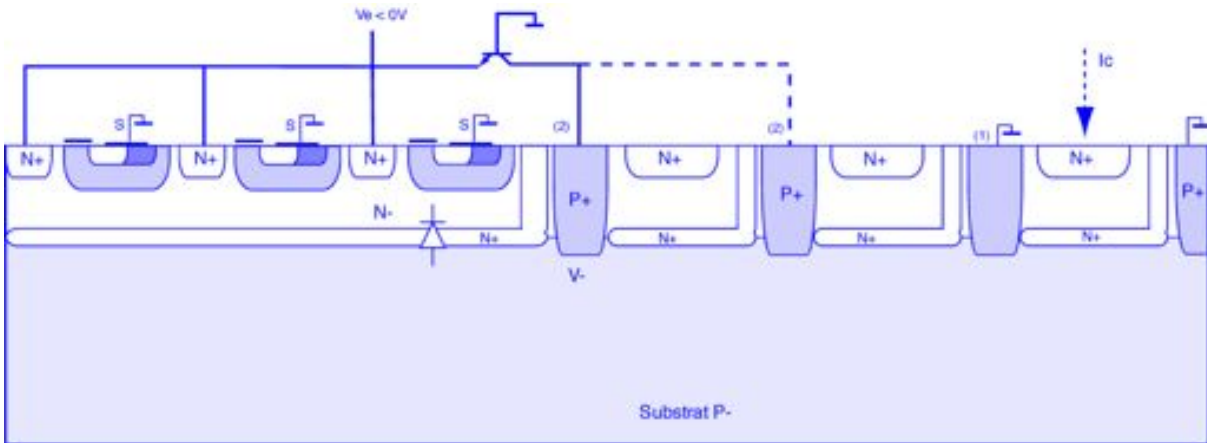


Figure 95 : Structure d'étude MAAP-2.

Le LDMOS est entouré de trois anneaux N de  $42 \mu\text{m}$  de large et de trois anneaux P de  $3,6 \mu\text{m}$  de large. L'anneau N le plus éloigné de l'émetteur nous sert à mesurer les courants parasites résiduels  $I_C$ . Nous nous sommes placés dans une configuration où les protections actives type MAAP1 ne sont pas efficaces : le collecteur est proche d'une prise de masse, comme indiqué Figure 95. Nous avons comparé l'efficacité de deux configurations distinctes, celle où cet anneau n'est pas protégé (cas standard) et celle où la nouvelle protection active est employée. Dans ce dernier cas, le transistor bipolaire de protection est connecté aux deux anneaux P proches de l'émetteur, (ce choix de configuration sera explicité ultérieurement). Les résultats expérimentaux sont portés sur la Figure 96.

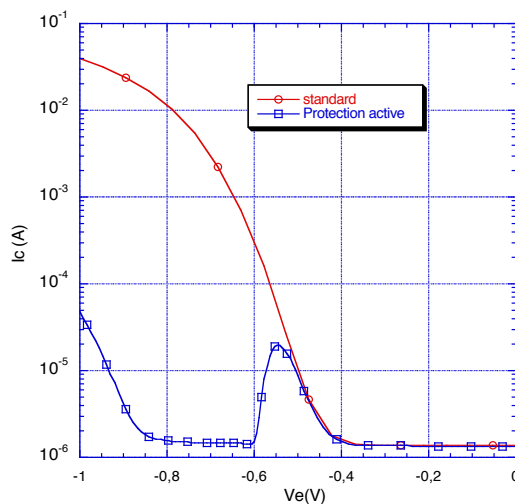


Figure 96 : Mesures préliminaires ( $I_C$  (standard)/  $I_C$  (MAAP2)).

Comme nous l'attendions, la protection se montre très efficace : une fois activée, le courant résiduel est faible, de l'ordre du micro-ampère. Cette nouvelle protection nous permet donc de protéger tous les types de collecteur, quelques soient leurs positions par rapport à la masse.

Nous avons poursuivi ces mesures par deux séries de tests complémentaires pour mettre en évidence les influences respectives de chacune des résistances internes. Nous avons alors modifié à l'aide de résistances externes la résistance de collecteur et de base du transistor de protection. Le schémas équivalent de ces structures ainsi que nos résultats expérimentaux, sont représentés Figure 97 pour la résistance de collecteur et Figure 98 pour celle de base.

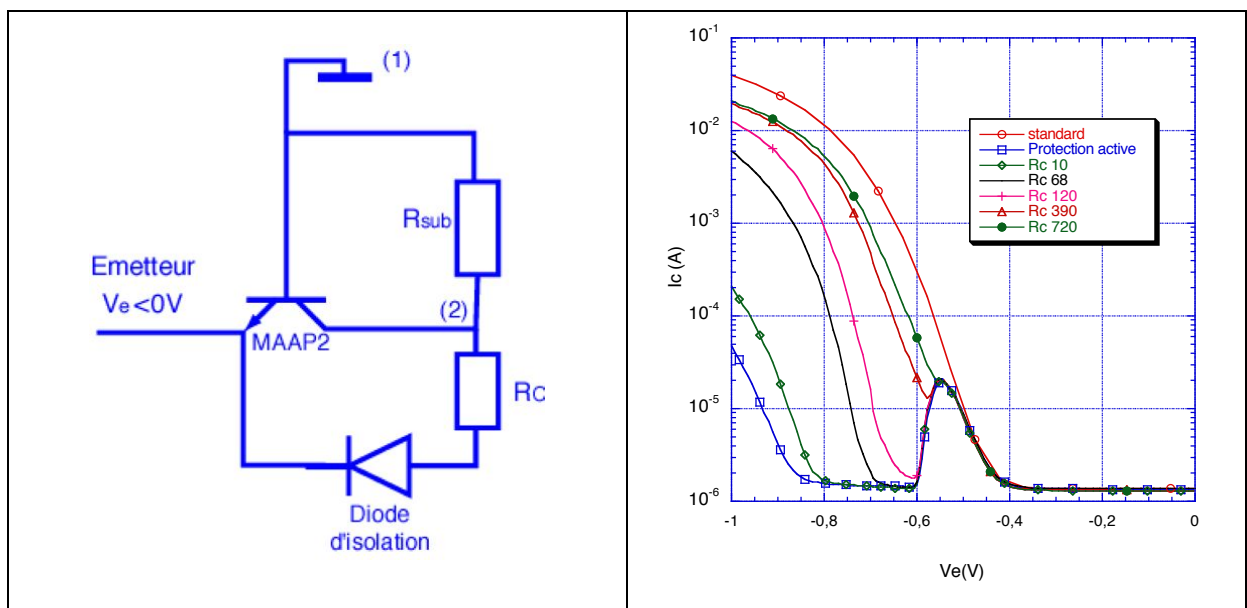
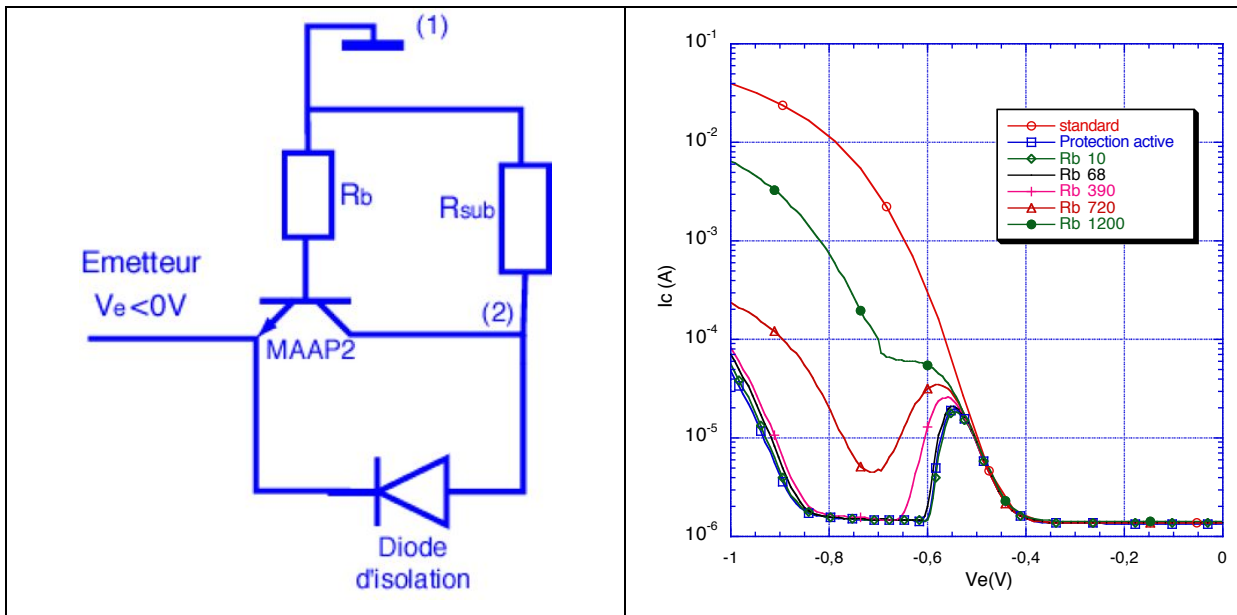


Figure 97 : Influence de  $R_C$ .

Ces deux séries de tests confirment l'importance qu'ont ces résistances internes. Une résistance de base élevée se traduit par une activation retardée et de plus faible amplitude. De même, quand la résistance d'accès au nœud (2) est importante, le transistor de protection défaille prématurément.

Tout comme pour les structures MAAP ces défaillances sont imputables au courant circulant au travers de la base du transistor de protection. La dépolarisation qu'il provoque dans la base fait remonter le potentiel du substrat. Ainsi, à forte injection, la diode d'isolation redevient passante et les courants parasites affectent à nouveau notre collecteur.

Figure 98 : Influence de  $R_b$ .

Ces premières séries d'expérimentations avec un transistor de protection discret nous permettent d'être relativement optimistes quant aux possibilités d'intégration de ces dispositifs de protection. La protection est simple à mettre en place puisque les contraintes vis à vis des positions des prises de masse par rapport aux collecteurs sont supprimées et que les seuls paramètres importants sont les dimensions du transistor de protection et des contacts qui fixent les résistances internes du dispositif.

### 4.2.3 Règles de conception pour l'intégration

#### 4.2.3.1 Choix du transistor actif

Une première analyse doit concerner la nature et le dimensionnement du transistor de protection. En effet celui-ci, contrairement à la structure active précédente MAAP, est en contact direct avec le caisson de puissance. En conséquence, il doit avoir des caractéristiques parfaitement compatibles avec un environnement haute tension. Il est donc impératif que la tenue en tension de sa jonction base émetteur soit équivalente à celle du transistor MOS de puissance, soit dans une gamme de 15 à 65 V.

Ce critère a considérablement réduit nos choix puisque dans la librairie de conception de Motorola, seul le transistor bipolaire npn haute tension, appelé npnhh, satisfait ces exigences. De plus, nous devons l'utiliser en sens inverse de son sens normal, son collecteur connecté au drain du LDMOS, sa base à la masse et son émetteur au nœud flottant (2). Ainsi, c'est sa



jonction collecteur-base qui soutient la haute tension en régime normal et son gain en inverse (BR) qui caractérise son efficacité pendant l'injection.

De plus, il faut que ses résistances internes d'émetteur et de base lui permettent de rester le plus possible en régime de saturation.

#### 4.2.3.2 Effet de la taille du transistor de protection.

Pour évaluer l'influence de ce premier paramètre, nous avons inséré dans nos simulations des transistors npnhh de tailles diverses. Dans les résultats présentés ci-dessous, le facteur U représente le nombre de cellules élémentaires mises en parallèle.

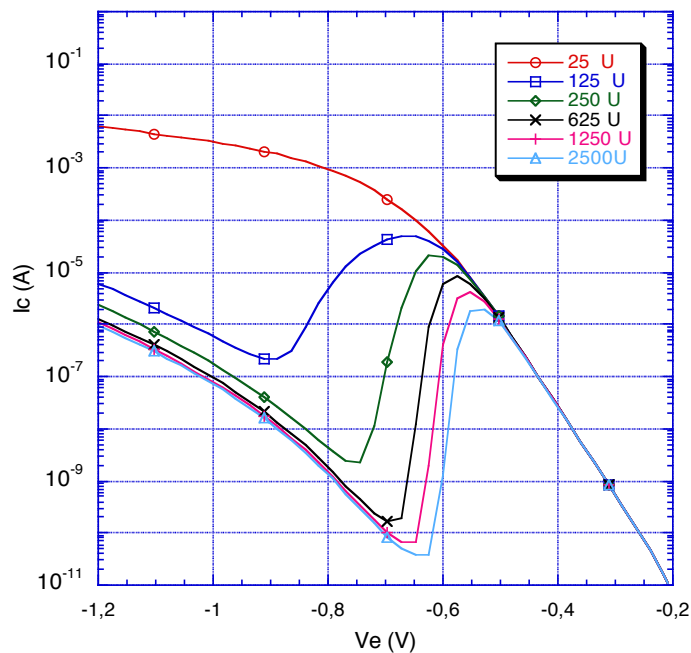


Figure 99 : Protection MAAP2 en fonction du nombre de npnhh mis en parallèle (simulation).

D'après les résultats de la Figure 99 nous retrouvons les mêmes mécanismes déjà observés dans la structure MAAP1. Le seuil de déclenchement est plus précoce pour les transistors de protection ayant une résistance de base plus faible. Ainsi, le transistor noté 2500U s'amorce pour  $V_e = -0,55$  V alors que le transistor 250U pour  $V_e = -0,62$  V.

Quant au comportement de la structure lorsque  $V_e$  est inférieure à  $-0,8$  V, nous constatons dans un premier temps que l'augmentation de la taille du transistor de protection s'accompagne d'une diminution du courant collecté puisque la résistance d'accès au nœud (2)

diminue proportionnellement avec la taille de la protection. Ainsi la structure reste efficace pour des tensions plus négatives.

Dans un second temps, pour des transistors de protection de grande taille ( $U > 625U$ ), le courant collecté reste inchangé, donc la résistance d'accès au nœud (2) ne dépend plus de la taille de la protection. Celle-ci n'est alors dépendante que la géométrie de l'anneau P (2).

### 4.2.3.3 Influence de la largeur de la diffusion P

En se référant au circuit illustré **Figure 97**, la résistance du contact de substrat (2) représente une part importante de la résistance du collecteur du transistor de protection. En augmentant la surface de ce contact nous pouvons diminuer le courant de substrat. Pour évaluer l'influence de ce paramètre, nous avons, par simulation, modifié la largeur de cette diffusion P. Pour cela nous nous sommes placés dans une configuration moins favorable que celle étudiée jusqu'ici, (cf Figure 95). Ici le nœud flottant (2) n'est pris que sur une seule diffusion P, ainsi sa résistance d'accès ne dépend que de la largeur de cette première diffusion, d'une largeur initiale de  $3,6 \mu\text{m}$ . Les résultats de simulation donnés ci-dessous, Figure 100, ont été obtenu pour un transistor de protection npnhh ayant une taille égale à  $625U$ .

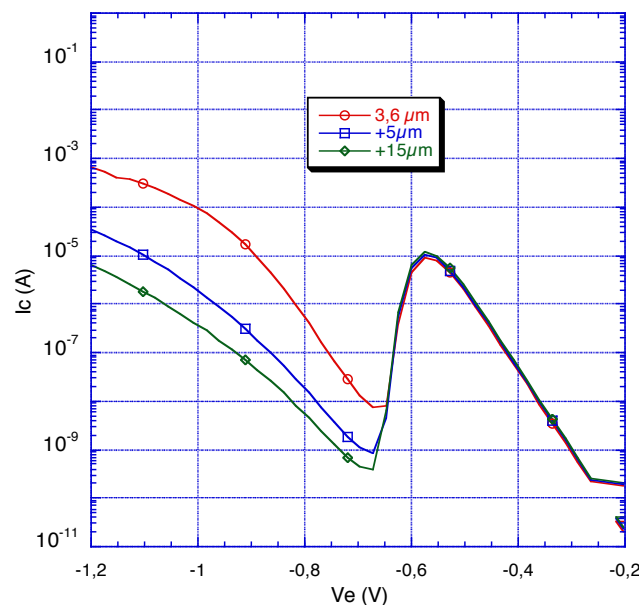


Figure 100 : Courant collecté en fonction de la largeur de l'anneau P (2).

L'élargissement de cette diffusion de  $5 \mu\text{m}$  puis de  $15 \mu\text{m}$  se traduit par une amélioration sensible de la protection à fort courant. Ceci explique pourquoi nous avons dû connecter, le transistor discret à deux puits P. Par ce moyen, nous avons élargi de manière artificielle la

surface couverte par le nœud (2) ce qui a pour effet de réduire considérablement sa résistance d'accès et donc de rendre la protection plus efficace.

Nous retrouvons les mêmes contraintes que pour la MAAP de première génération : il nous faut à la fois éloigner le nœud (2) de la masse pour garantir la mise en négatif du substrat en augmentant  $R_{Sub}$  et avoir une diffusion P la moins résistive possible pour favoriser la protection à fort niveau d'injection.

#### 4.2.3.4 Bilan sur la structure MAAP deuxième génération

Le premier bilan sur ce nouveau type de protection peut se résumer en deux points, l'un quantitatif et l'autre qualitatif :

- Quantitativement : tant que les limites de la protection ne sont pas atteintes, la protection apportée par ce dispositif est remarquable, les courants collectés sont de l'ordre du micro-ampère.
- Qualitativement : sa mise en place au sein d'un circuit complexe est nettement plus simple que pour les structures actives MAAP1. Tous les collecteurs sont protégés de la même manière, les seules zones modifiées concernent les émetteurs. Les problèmes d'intégration rencontrés avec la MAAP1 sont donc en partie levés. Le problème de la symétrie de protection reste cependant entier : un transistor MOS de puissance protégé de la sorte reste mal isolé de ses voisins, son transistor de protection étant le vecteur des perturbations extérieures.

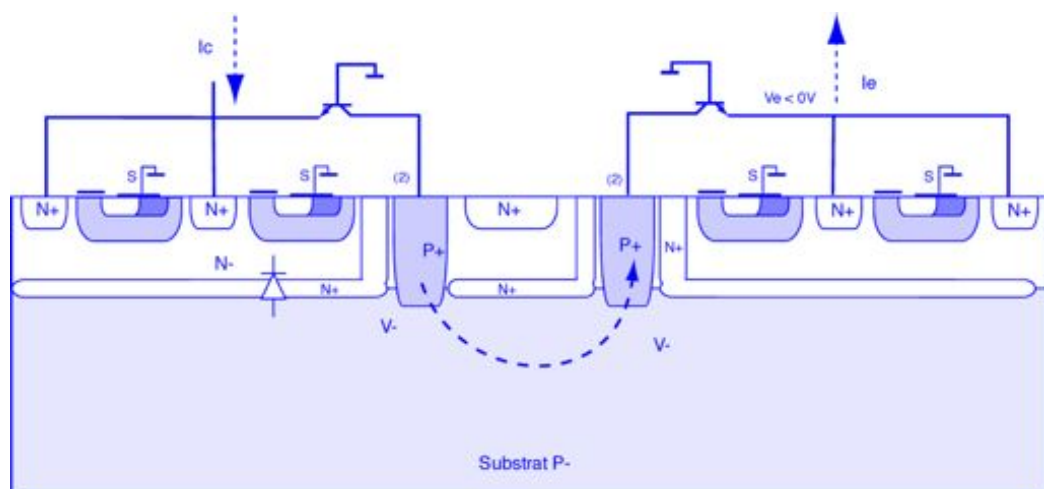


Figure 101: Problème de symétrie MAAP2

En effet en considérant la Figure 101, quand un courant  $I_c$  est tiré sur le LDMOS de droite, son transistor de protection associé impose un potentiel négatif dans le substrat (2). Le

collecteur du transistor de protection de gauche se trouve alors lui aussi polarisé négativement ce qui peut aboutir à sa mise en conduction. Ainsi, le LDMOS de gauche se trouve traversé par un courant parasite  $I_C$ . Les couplages entre les transistors de puissance sont donc toujours possibles.

En conclusion, cette protection protège parfaitement tous les types de collecteurs quelque soit leur position vis-à-vis de la masse à l'exception des zones elles-mêmes potentiellement émettrices. Pour supprimer cette dernière limite, il faut commander les transistors de protection pour qu'ils ne soient actifs que lorsque le potentiel du drain du MOS à protéger devient négatif. Ceci impose d'avoir un circuit de commande et de détection performant et rapide.

#### **4.2.4 Protection active avec un transistor piloté**

##### **4.2.4.1 Fonctionnement**

Ces protections actives vont donc perdre leur qualité d'auto-amorçage comme c'était le cas pour les structures MAAP1 . Elles s'inséreront dans un module dédié au diagnostic et au contrôle des courants de substrat.

Ainsi, les critères de sélection du transistor de protection sont modifiés puisqu'en plus de sa capacité à polariser le substrat en négatif, il faut que son temps de commutation soit rapide. C'est donc naturellement que nous allons utiliser un transistor de protection de type LDMOS. Celui-ci présente le triple avantage d'être rapide, parfaitement compatible avec les étages de puissance, puisque nous pouvons envisager de protéger un MOS de puissance par un second MOS issu de la même filière, et il permet de simplifier sensiblement le circuit de commande.

Ainsi Figure 102, le circuit est protégé par un LDMOS inséré entre la diffusion émettrice et le substrat (2). Lorsque que le contrôleur détecte une tension anormalement négative, il ferme le transistor MOS de protection en lui imposant une tension de grille positive  $V_G$ . Le courant parasite circule alors depuis la masse au travers de la résistance  $R_{SUB}$  et du transistor MOS, la diode d'isolation reste bloquée et l'injection de porteurs minoritaires est supprimée. Nos premiers résultats de simulation sur ce dispositif sont donnés Figure 103. Dans ce cas, la structure étudiée est identique à celle présentée Figure 95.

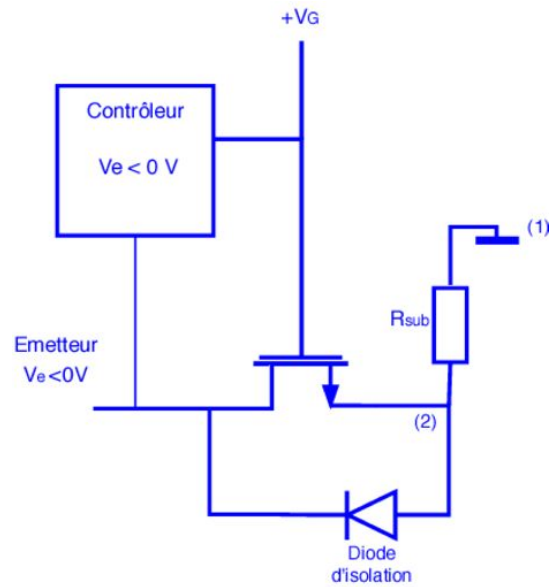


Figure 102 : Circuit de protection utilisant un LDMOS de puissance comme protection.

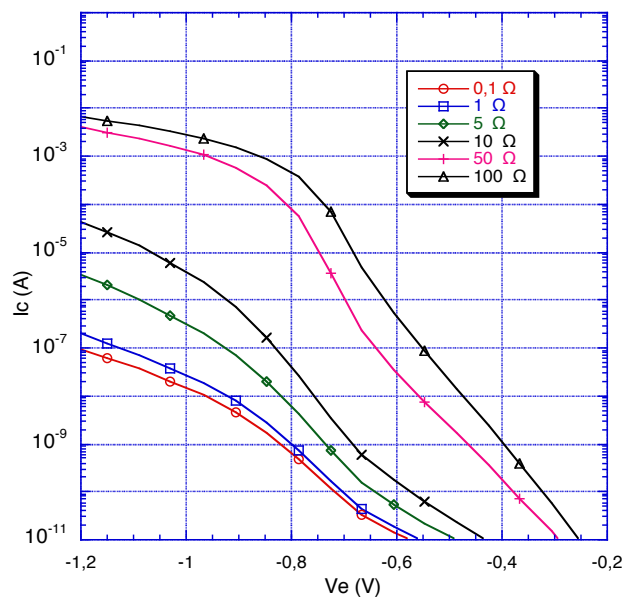


Figure 103 :  $I_C$  simulé, en fonction de la résistance passante du LDMOS de protection.

Tout comme pour les protections utilisant un transistor bipolaire, cette solution est limitée par les phénomènes de saturation à fort niveau de courant. Lorsque celui-ci devient trop important, le potentiel au nœud (2) commence à croître, la diode d'isolation devient passante et les courants parasites réapparaissent à nouveau. Là encore, l'optimisation de la protection passe donc par la réduction de la résistance d'accès au nœud (2). Il faut donc à la fois augmenter la taille de la diffusion P et réduire la résistance passante  $R_{ON}$  du transistor MOS de protection en augmentant sa taille.

Dans un système où plusieurs MOS de puissance sont protégés, Figure 104, la supériorité de cette structure est évidente. En effet, tant que les MOS de protection ne sont pas fermés, les couplages liés aux transistors de protections, présentés Figure 101, sont impossibles.

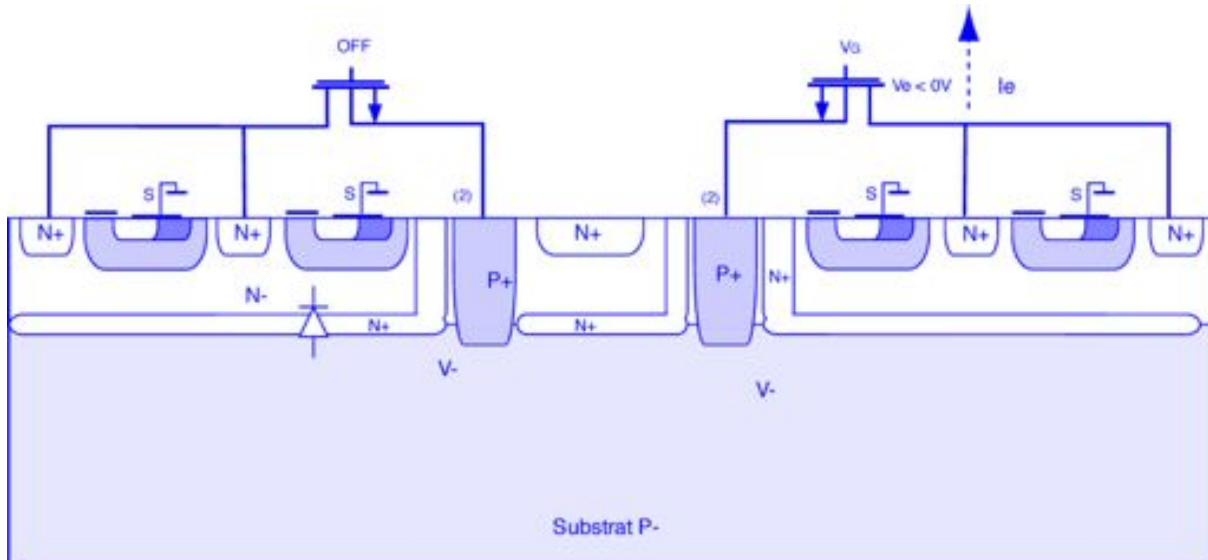


Figure 104 : Suppression des couplages entre injecteur potentiel.

En ce qui concerne le développement du bloc dédié au pilotage du transistor de protection, le problème majeur sa vitesse de commande à la fermeture et surtout à l'ouverture du LDMOST. Les courants parasites que nous avons à supprimer se déclenchent lentement donc la vitesse de fermeture du LDMOST n'est pas critique. En revanche, il nous faut être particulièrement attentif à son ouverture, quand la tension de l'émetteur redevient positive. Si le transistor MOS de protection est alors fermé, ce potentiel positif se retrouve appliqué au substrat, et toutes les diodes d'isolations se retrouveraient mises en directe.

#### 4.2.5 Conclusion et perspectives

A l'heure où nous soumettons ce mémoire, ces propositions n'ont été confirmées que par l'intermédiaire de composants discrets, les étapes de l'intégration du système et de la conception du contrôleur étant encore en devenir.

Nous pouvons néanmoins anticiper l'avenir de ces techniques de protection. Dans un premier temps il nous faudra édicter des règles de conception permettant de dimensionner précisément à la fois le transistor et les diffusions P de protection, et ce en fonction de l'environnement et de la taille du transistor à protéger.

Dans un second temps il nous faudra impérativement nous intéresser à la dynamique de notre de système de protection ; il est évident que l'introduction d'un contrôleur nous oblige à faire évoluer notre représentation vers une étude en transitoire. De surcroît, notre approche en deux dimensions qui s'est montrée suffisante pour comprendre et définir le fonctionnement de ces structures actives paraît dépassée pour ces futures études.

Ainsi, seul un outil travaillant en trois dimensions nous permettra de résoudre le problème de l'interaction de la protection avec son environnement.

# Conclusion



Les travaux présentés dans ce mémoire traitent du problème de l'isolation entre les parties de puissance haute tension et les parties de contrôle basse tension dans les circuits intégrés de puissance SMART POWER. Il aborde tout spécialement un mode de fonctionnement hors norme, où les isolations par jonction ne sont plus assurées.

Dans un premier chapitre nous avons présenté les mécanismes à l'origine de ces perturbations, les conséquences qu'elles engendrent ainsi que les solutions existantes pour s'en affranchir.

Nous avons montré que dans certaines conditions de fonctionnement les diodes d'isolation, normalement maintenues dans une polarisation inverse, deviennent passantes et injectent dans le substrat de forts courants parasites, courants de porteurs minoritaires. Nous avons également constaté que ces courants négatifs sont à l'origine de dysfonctionnements extrêmement pénalisants, pouvant aller jusqu'à la destruction du circuit (latch-up des structures quatre couches). La dernière partie de ce chapitre fut consacré à un inventaire des protections les plus souvent employées. Celles-ci ont été classées en trois familles, les protections passives, actives et « logicielles ».

Dans le chapitre suivant nous avons détaillé la première de ces familles, où la protection est assurée par la collection des porteurs minoritaires injectés. Les techniques des anneaux de garde et des composants isolés ont été détaillées. Le faible rendement des protections par anneaux de garde sur un substrat P- a été clairement illustré. Pour le transistor MOS isolé nous avons mis en lumière son efficacité ainsi que ses contraintes de développement.

Dans le chapitre suivant, la famille des protections actives a été présentée. Dans un premier temps nous avons détaillé le fonctionnement de la protection la plus couramment rencontrée, appelée barrière active ou MAAP1. Nous avons montré que son fonctionnement repose sur la génération d'un champ électrique dans le substrat. Les paramètres géométriques importants ont été détaillés. Nous avons également mis en lumière le défaut majeur de ces protections : leur difficile intégration dans un environnement complexe. En effet, elles se montrent peu efficaces dans un système où de nombreuses prises de masse existent et ne peuvent être employées que dans des circuits intégrés simples où les zones émettrices et collectrices sont connues et repérées.

Pour pallier ce défaut, nous avons proposé une nouvelle possibilité de protection, dénommée MAAP2, reposant sur une variante de la protection active MAAP1. Celle-ci polarise le substrat négativement autour des zones émettrices seulement ce qui maintient la diode d'isolation à l'état bloqué et supprime l'injection de porteurs minoritaires.

Nous voulons ici comparer chacune de ces possibilités de protection. Nous avons reporté dans le tableau suivant toutes les solutions évoquées dans ce mémoire ainsi que leurs points faibles et leurs atouts. Six facteurs de qualité ont été utilisés, qui synthétisent à la fois leur efficacité, leur complexité d'utilisation, leur coût de conception et de fabrication :

### **3. Efficacité contre les courants de substrat :**

capacité de ces protections à protéger le circuit de puissance où elles sont intégrées. Il s'agit d'un critère de performance.

### **4. Facilité de process :**

Ce critère de qualité traduit la simplicité de fabrication des protections employées. Par exemple, l'usage de composant isolé nécessite des modifications profondes des processus technologiques, de ce fait le ILDMOST est mal noté quant à ce critère, à l'inverse des protections par anneaux, qui ne nécessitent aucune modification.

### **5. Facilité de conception du circuit :**

Ici nous avons traduit l'effort que doivent fournir les concepteurs de circuit pour mettre en place ces protections. La protection MAAP1 y est mal notée puisqu'elle nécessite une attention particulière pour la définition des zones émettrices et collectrices ainsi que pour le positionnement des prises de masses. A l'inverse, l'emploi de substrat SOI ou P+ permet une conception plus simple.

### **6. Compatibilité avec les circuits de puissance :**

Ce critère qualifie l'impact qu'ont ces solutions sur les qualités intrinsèques des composants de puissance. Par exemple, la modification des composants standards en composants isolés provoque la réduction de leur tenue en tension et de leur aire de sécurité. Leurs qualités globales sont ainsi sensiblement réduites. Ceci est également vrai pour l'emploi des substrats SOI ou P+ ainsi que pour l'intégration de diodes schottky.

### 7. Coût en surface :

Il s'agit de définir la taille nécessaire à la protection pour qu'elle soit efficace. Ici, seules les anneaux de garde sur substrat P- se singularisent puisque le « rendement » de ces protections est de loin le moins bon de tous ceux présentés. A l'inverse, les anneaux de garde sur substrat P+ présentent un bon facteur de qualité  $I_C/I_E(W)$ .

### 8. Coût global :

Nous regroupons dans cette catégorie non seulement les coûts relatifs aux surfaces de silicium consommées, mais également les sur-coûts introduits par les modifications du process, et ceux dus au temps de conception supplémentaire. L'emploi de substrat SOI se montre très pénalisé du fait que ces technologies restent pour l'heure extrêmement onéreuses.

Type de protection	Efficacité Courant de substrat	Facilité process	Facilité conception circuit	Compatibilité avec circuit de puissance	Coût en surface	Coût global
Substrat SOI	+++	--	++	-	+	---
Anneau de garde sur substrat P+	+++	+	++	-	+	+
Anneau de garde sur substrat P-	--	++	++	++	--	++
Diode Schottky	+	--	+	-	-	-
ILD MOST	+++	--	+	+-	+	+-
MAAP 1	+	++	--	++	-	++
MAAP 2	++	++	+	+	+	++

Tableau 5 : Tableau de synthèse.

Nous constatons que la protection active MAAP 2 remplit l'ensemble des critères définis. Du fait qu'elle soit compatible avec les technologies sur substrat P- cela en fait pour l'heure une

protection très compétitive. Son utilisation nécessite cependant des études complémentaires notamment concernant son dimensionnement et sur sa vitesse d'exécution à l'ouverture et à la fermeture.

En effet, plusieurs aspects ont été pour l'instant négligés, notamment le comportement dynamique de ces protections. Ce point est assurément l'un des axes d'étude prioritaires pour l'avenir.

Il en est de même pour la modélisation approfondie de nos propositions. Nous avons vu que toutes ces solutions étaient largement dépendantes de leur environnement. Ceci nous conduit donc à penser qu'une approche vers une représentation volumique en trois dimensions du substrat rendra mieux compte des interactions liés au substrat et des distributions des résistances internes des couches diffusées ou métalliques.

Néanmoins, cette étude nous permet de faire quelques commentaires sur l'avenir des méthodes d'isolations des circuits intégrés de puissance. Que ce soit pour les problèmes de courants de substrat, comme pour celui de la CEM ou des ESD, nous constatons que les développements spécifiques qu'ils engendrent, introduisent des sur-coûts de moins en moins négligeables. Ce problème nouveau pour l'électronique de puissance fait évoluer sensiblement les critères de sélections des nouvelles filières technologiques.

Ainsi, apparaissent de nouvelles technologies de puissance qui revendiquent comme performances principales, leur immunité au couplage électromagnétique ou aux courants négatifs, les critères purement relatifs aux applications de puissance passant au second plan. Ce sont notamment le cas des composants de puissances intégrés sur substrat P+ ou sur substrat SOI. Il paraît évident qu'une fois que ces technologies auront résolu leur problème de coût et amélioré leurs performances en hautes tensions, elles tendront à se généraliser dans les applications Smart Power.

Cette prépondérance des aspects de fiabilité fait également évoluer le concept du tout SoC « System on Chip », l'intérêt de tout intégrer dans un seul substrat devenant moindre. Là aussi apparaissent, pour des applications spécifiques, des circuits faisant cohabiter dans un même boîtier mais sur des substrats différents à la fois des composants de puissance performants et des contrôleurs du type CMOS, ce mode d'intégration hybride est appelé System On package, SoP.