



**HAL**  
open science

## Mise en place d'une nouvelle méthode de conception orientée DFM

Laurent Remy

► **To cite this version:**

Laurent Remy. Mise en place d'une nouvelle méthode de conception orientée DFM. Micro et nanotechnologies/Microélectronique. Université de Provence - Aix-Marseille I, 2010. Français. NNT : . tel-00524319

**HAL Id: tel-00524319**

**<https://theses.hal.science/tel-00524319>**

Submitted on 7 Oct 2010

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : XXXX

**Université d'Aix-Marseille I**

# **Thèse**

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITE D'AIX-MARSEILLE I**  
**Mention MICRO ET NANOELECTRONIQUE**

Présentée et soutenue publiquement par

**Laurent REMY**

Equipe d'accueil : IM2NP-Polytech Marseille  
Ecole Doctorale : Sciences pour l'Ingénieur : Mécanique, Physique, Micro et  
Nanoélectronique

Titre de la thèse :

## **Mise en place d'une nouvelle méthode de conception orientée DFM**



Soutenue le 13/01/2010 devant la commission d'examen :

Directeur de thèse	Jean-Michel PORTAL	Professeur, Université de Provence
Rapporteurs	Guy CATHEBRAS	Professeur, Université Montpellier II
	Régis LEVEUGLE	Professeur, Université de Grenoble
Examineurs	Rachid BOUCHAKOUR	Professeur, Université de Provence
	Pascal MASSON	Professeur, Université de Nice-Sophia-Antipolis
	Fabrice PICOT	Docteur Ingénieur, ATMEL Rousset
Invités	Philippe COLL	Docteur Ingénieur, ATMEL Rousset
	Philippe MICO	Ingénieur, ATMEL Rousset



# Sommaire

<i>Sommaire</i> .....	3
<i>Remerciements</i> .....	7
<i>Table des acronymes</i> .....	9
<i>Table des anglicismes</i> .....	11
<i>Introduction générale</i> .....	13
<i>Chapitre I</i> .....	15
<i>Introduction au DFM</i> .....	15
<b>I.1 Introduction</b> .....	16
<b>I.2 Historique du DFM</b> .....	16
I.2.1 Evolution technologique .....	16
I.2.1.1 Les avancées technologiques dans la microélectronique.....	16
I.2.1.2 Les limitations induites par la progression technologique.....	17
I.2.2 De la nécessité du DFM.....	19
I.2.2.1 Les premiers pas du DFM.....	19
I.2.2.2 Emergence de deux orientations fondamentales.....	22
I.2.2.2.1 DFM géométrique ou DFM électrique ?.....	22
I.2.2.2.2 Classification des défauts.....	24
I.2.2.2.3 Fusion des deux orientations fondamentales .....	28
I.2.2.3 Recadrage des différentes orientations du DFM.....	29
<b>I.3 Définition d'une nouvelle méthode de conception</b> .....	30
I.3.1 Les interactions de la conception cellules avec les différentes parties du processus de conception .....	30
I.3.2 Fusion des deux dimensions dans l'espace DFM <sup>2</sup> .....	35
I.3.2.1 Nécessité de confronter les deux dimensions Conception et Technologie.....	35
I.3.2.2 La pierre angulaire de cette interconnexion : la Conception cellule .....	36
<b>I.4 Conclusion</b> .....	37
<i>Chapitre II</i> .....	39
<i>Application de la méthode DFM au niveau FEOL</i> .....	39
<b>II.1 Introduction</b> .....	40
<b>II.2 Introduction de l'impact du DFM sur le FEOL</b> .....	40
<b>II.3 Identification des problèmes existants</b> .....	43
II.3.1 Les modes de communication entre le monde de la fabrication et le monde de la conception. ....	43

II.3.2 Problèmes relatifs au procédé de fabrication.....	44
II.3.3 Manque d'anticipation sur les phénomènes à prendre en compte.....	54
<b>II.4 Mise en place de solutions .....</b>	<b>59</b>
II.4.1 Mise en relation de la technologie et de la conception.....	59
II.4.1.1 Intensification des interactions entre technologie et conception.....	59
II.4.1.2 Définition de structures de test .....	59
II.4.2 Définition de nouvelles règles .....	62
II.4.2.1 Modification des règles standard.....	62
II.4.2.2 Définition de règles DFM.....	63
II.4.3 Définition d'une structure de remplissage innovante : la DFM Filler Cell.....	65
<b>II.5 Conclusion.....</b>	<b>73</b>
<b>Chapitre III.....</b>	<b>75</b>
<b><i>Influence des variations de la métallisation sur les performances temporelles des circuits .....</i></b>	<b>75</b>
<b>III.1 Introduction .....</b>	<b>76</b>
<b>III.2 Les phénomènes de variation de la métallisation .....</b>	<b>76</b>
III.2.1 Impact du CMP sur la fabrication au niveau BEOL d'un point de vue global .....	76
III.2.2 Etat de l'art de l'étude de l'impact des dispositifs de remplissage métalliques .....	80
<b>III.3 Modélisation de l'impact de la géométrie du motif des dispositifs de remplissage métalliques</b>	<b>82</b>
III.3.1 Présentation de la méthode <i>Design Of Experiment</i> .....	82
III.3.2 Définition des structures de test .....	83
III.3.2.1 Structure RO <sub>C</sub> : cellules standard et leurs interconnexions.....	83
III.3.2.2 Structure RO <sub>I</sub> : Interconnexions pour différents niveaux métalliques .....	85
III.3.3 Application de la méthode DOE à l'étude de l'impact de la géométrie des dispositifs de remplissage métalliques .....	86
<b>III.4 Exploitation des résultats.....</b>	<b>92</b>
III.4.1 Dispersion de l'impact de la géométrie du motif des dispositifs de remplissage métalliques sur le délai des interconnexions .....	92
III.4.1.1 Présentation des résultats de la structure RO <sub>C</sub> .....	92
III.4.1.2 Présentation des résultats de la structure RO <sub>I</sub> .....	95
III.4.1.3 Relation entre l'impact des dispositifs de remplissage métalliques et la densité.....	99
III.4.2 Définition du concept de " <i>Metal Filling Corner</i> " .....	103
III.4.2.1 Comparaison des impacts des variations technologiques et des caractéristiques des dispositifs de remplissage métalliques .....	103
III.4.2.2 Définition du « <i>Metal Filling Corner</i> » .....	106
<b>III.5 Conclusion .....</b>	<b>110</b>
<b>Chapitre IV.....</b>	<b>111</b>
<b><i>Développement d'un outil en adéquation avec la méthode DFM<sup>2</sup> : le DUTY .....</i></b>	<b>111</b>
<b>IV.1 Introduction.....</b>	<b>112</b>
<b>IV.2 La place du DUTY au sein du processus de conception industriel .....</b>	<b>112</b>
IV.2.1 Motivations du développement.....	112

---

IV.2.2 Un outil dédié a la conception des cellules.....	113
<b>IV.3 Fonctionnement du DUTY .....</b>	<b>114</b>
IV.3.1 Généralités .....	114
IV.3.2 YAM - Yield Analysis Module.....	116
IV.3.3 YEM - Yield Enhancement Module .....	123
IV.3.4 DUTY Metric .....	125
<b>IV.4 Conclusion .....</b>	<b>127</b>
<b><i>Conclusion générale .....</i></b>	<b><i>129</i></b>
<b><i>Annexe I.....</i></b>	<b><i>132</i></b>
<b><i>Références de l'auteur.....</i></b>	<b><i>134</i></b>
Conférences internationales IEEE.....	134
Conférences internationales .....	134
Revue internationale .....	134
<b><i>Références .....</i></b>	<b><i>135</i></b>
<b><i>Table des figures .....</i></b>	<b><i>141</i></b>

*A Thomas, mon frère jumeau*

## Remerciements

*Le travail de recherche que décrit ce mémoire à été effectué dans le cadre d'une convention CIFRE entre la société ATMEL Rousset et le laboratoire IM2NP (Institut Matériaux Microélectronique Nanosciences de Provence). J'ai un devoir de reconnaissance que je voudrais sincèrement exprimer ici.*

*J'adresse mes plus sincères remerciements au Pr. Rachid BOUCHAKOUR – Directeur du laboratoire IM2NP – pour m'avoir accueilli chaleureusement au sein de son institut, et pour avoir accepté de faire partie de mon jury de thèse.*

*Je voudrais saluer particulièrement M. Marc ROUGEE – Vice-Président d'ATMEL – et M. Steve SCHUMANN – Responsable du Département Central Engineering – pour m'avoir intégré au département du Central Engineering. Le contexte industriel d'ATMEL m'a permis de laisser libre cours à mon imagination pour mener à bien mes recherches.*

*Je veux adresser ma grande reconnaissance au Pr. Régis LEVEUGLE et au Pr. Guy CATHEBRAS qui ont accepté de faire partie du jury en qualité de rapporteurs. Leurs remarques et nos échanges témoignent de l'intérêt qu'ils portent à mon travail et ont permis d'améliorer la qualité du manuscrit. Je tiens également à remercier le Pr. Pascal MASSON de faire partie de mon jury de soutenance. J'ai toujours souvenir de la qualité de ses enseignements et de sa bonne humeur. C'est un honneur pour moi qu'il soit un de mes examinateurs.*

*Je remercie tout particulièrement le Dr. Philippe COLL – Responsable du service PDK & Librairies – pour sa contribution à ces travaux. Il m'a recruté dans son service à l'issue de mon stage de Master Micro-Nanoélectronique pour cette thèse, et m'a naturellement intégré à son équipe. Les responsabilités qu'il m'a confiées ainsi que sa confiance en mes travaux ont grandement contribué à l'aboutissement de mes recherches.*

*Je tiens à témoigner ma plus profonde gratitude au Pr. Jean-Michel PORTAL, mon directeur de thèse. A chaque instant, du moment où il m'a proposé cette thèse à la correction du manuscrit, en passant par nos appels hebdomadaires pour parler de nos recherches ou de nos articles, son investissement personnel n'a eu d'égal que la qualité de ses contributions. Patient, compréhensif, motivant, brillant, telles sont les quelques caractéristiques d'un homme sans qui ce travail n'aurait pas été le même.*

*Je salue également M. Philippe MICO, qui fut mon tuteur de stage de Master chez ATMEL. Cela fait maintenant 4 années que nous travaillons en collaboration, et je le remercie pour m'avoir fait bénéficier de ses analyses constructives sur mes travaux. Nos excellentes relations ont eu un impact très positif sur l'avancée des travaux.*

*Je veux témoigner au Dr. Fabrice PICOT – Responsable PDK – toute l'expression de ma gratitude envers lui, qui m'a accompagné durant ma thèse. Véritable mentor, il a su écouter, comprendre, m'apprendre et recadrer mes travaux. Attentif au quotidien tout en préparant l'avenir, sa vision éclairée de l'évolution de l'industrie microélectronique a été une réelle source d'inspiration pour mes recherches. Tant humainement que professionnellement, je lui dois beaucoup et l'en remercie du fond du cœur en lui assurant mon profond respect.*

*J'aimerais également associer à ce moment particulier mes collègues de travail, avec lesquels des liens étroits se sont tissés. Ce cadre de travail agréable a été très bénéfique pour les travaux. Un grand merci à Alex, David, Biloute, Francky et Antoine, pour les moments de travail comme pour les moments de détente, voire de franche rigolade. Je salue également tout le reste de l'équipe, Florent, Christophe, Sandrine, David et Vincent pour m'avoir intégré si naturellement.*

*J'adresse à mes parents, Isabelle et Alain, ma plus profonde gratitude pour m'avoir amené là où je suis. Leur amour m'a toujours porté et je leur dois une grande partie de ma réussite scolaire. Répondant présents à chacune de mes sollicitations, ils ont toujours su me comprendre et me conseiller judicieusement. Je les remercie du plus profond de mon cœur d'être présent à mes côtés. Je remercie également chaleureusement mon petit frère Matthieu, dont le regard ne me donne d'autres choix que de donner le meilleur de moi-même. Merci de croire en moi.*

*Je tiens à apporter mes plus sincères remerciements à Fanny, ma fiancée, pour son soutien sans faille durant toutes ces années. Elle a su m'apporter le cadre de vie nécessaire à mon épanouissement personnel et professionnel, et je lui serai à jamais reconnaissant des sacrifices qu'elle a su consentir à réaliser pour moi. Sa patience, sa curiosité, son soutien et notre amour immarcescible sont indissociables de l'aboutissement de mes travaux.*

*A Thomas, mon frère jumeau. Compagnon de tous les instants durant ma scolarité, je ne serai pas là si tu n'avais pas été là. Même si je dois terminer le travail seul, je tiens à ce que tu saches que cette réussite n'est pas la mienne. C'est la nôtre.*

## Table des acronymes

BEOL	Back-End-Of-the-Line : le BEOL fait référence à toutes les étapes concernant la réalisation de la métallisation d'un circuit intégré.
CAA	Critical Area Analysis
CMOS	Complementary Metal Oxide Semiconductor
CMP	Chemical Mechanical Polishing
DFM	Design For Manufacturing
DFS	Design Finishing Step
DOE	Design Of Experiment
DUTY	DFM Utilities for Yield
eDFM	Electrical Design For Manufacturing
FEOL	Front-End-Of-the-Line : Le FEOL fait référence à toutes les étapes du procédé de fabrication d'un circuit intégré qui sont en amont des étapes de métallisation
HDP	High Density Plasma
LER	Line-Edge Roughness
LWR	Line-Width Roughness
MDP	Mask Data Preparation
MOS	Metal Oxide Semiconductor
NBTI	Negative Bias Temperature Instability
NMOS	Transistor MOS implanté N+
OPC	Optical Proximity Correction

PCM	Process Control Monitoring
PDK	Physical Design Kit
PMOS	Transistor MOS implanté P+
PVT	Process Voltage Temperature
PVTF	Process Voltage Temperature Filling
ROA	Residue On Active
RO <sub>C</sub>	Ring Oscillator Cell
RO <sub>I</sub>	Ring Oscillator Interconnect
STI	Shallow Trench Isolation
WEE	Wire Edge Enlargement
YAM	Yield Analysis Module
YEM	Yield Enhancement Module

## Table des anglicismes

Design Of Experiment	Méthode des plans d'expérience
Dishing	Phénomène d'affaissement d'un niveau actif consécutif à une défaillance du procédé CMP
Filling	Insertion de dispositifs de remplissage
Flat band voltage	Tension de bandes plates
Floorplanning	Etape de placement des cellules dans un produit
Hard defect	Défaut catastrophique. Se dit d'un défaut qui ne permet au circuit de fonctionner
Hot Carrier	Porteur chaud
Metal Filling Corner	Conditions de simulations incluant le paramètre « Filling »
Open	Circuit ouvert
Packaging	Solution d'encapsulation d'un circuit électronique permettant d'accéder aux cellules d'entrée/sortie
Pitting	Type de défaut se caractérisant par des anfractuosités dans le niveau actif
Process	Nœud technologique
Process variation	Variations technologiques relatives au procédé de fabrication
Ring Oscillator	Oscillateur en anneau
Short	Court-circuit
Soft defect	Défaut paramétrique. Se dit d'un défaut qui n'affecte pas la fonctionnalité directe d'un circuit, mais ses performances

	électriques. Lorsque la fréquence de fonctionnement est trop dégradée, le circuit devient inutilisable.
Wafer	Tranche de silicium destinée à être transformée pour obtenir un ensemble de circuits intégrés
Well Edge Proximity Effect	Phénomène physique de dispersion des dopants lors de l'implantation ionique. Cela conduit à une implantation non uniforme des caissons de polarisation

# Introduction générale

Le secteur de la microélectronique est continuellement en évolution. Les attentes du marché et les progrès techniques imposent une réactivité soutenue de la part des industriels, tant sur le plan de l'innovation que sur le plan des temps de développement. La course dictée par la loi de Moore impose l'adoption de technologies de plus en plus avancées et restreint le temps disponible pour les porter à maturation. La conséquence principale est la difficulté grandissante à obtenir des rendements comparables avec ceux obtenus pour les technologies précédentes. En effet, l'avancée technologique accompagnant la réduction des dimensions des transistors pose certaines limitations à l'industrie microélectronique. Celles-ci concernent aussi bien le monde de la fabrication, avec l'apparition de limitations physiques jusqu'alors méconnues, que le monde de la conception qui voit ses contraintes se multiplier. Parmi elles, la complexification des règles de conception et l'apparition de règles dites « recommandées » complique grandement le travail des concepteurs. En effet, là où le respect des règles de conception standard assurait la possibilité de réaliser un circuit sur silicium, la variabilité technologique et les chutes de rendement ont fait émerger une nouvelle catégorie de règles de conception, dont le respect facilite le travail de fabrication et augmente le rendement mais augmente la surface des circuits dans la plupart des cas.

Les pressions technologiques et industrielles ne s'accommodant pas facilement de ce type de contrainte, cette nouvelle approche de la conception nommée DFM (pour « *Design For Manufacturing* ») peine à s'affirmer comme une référence. En effet, le retour sur investissement de l'adoption d'une méthode de conception de type DFM est une question récurrente chez les principaux groupes industriels. Pourtant, de nombreux exemples montrent que les industriels exploitants des nœuds technologiques très avancés ont adopté une méthode de conception orientée DFM. Il apparaît que les solutions DFM ne se limitent pas uniquement à l'ajout de règles supplémentaires. L'approche DFM passe également par une réorganisation de la méthode de conception dans le but d'améliorer le rendement. Pour ce faire, il est nécessaire de démontrer les bénéfices de l'adoption du DFM et d'accompagner les différentes parties du flot de production face à ce nouveau défi.

Après un état de l'art du DFM, le chapitre I permet de définir une nouvelle méthode de conception innovante baptisée DFM<sup>2</sup>. Le principe du DFM<sup>2</sup> repose sur l'intensification des interactions entre les différents acteurs du processus d'élaboration d'un circuit, en partant de la conception jusqu'à la fabrication. Il s'agit de regrouper les mondes de la fabrication et de la conception en mettant en balance leurs contraintes et attentes. En effet, on peut trouver des solutions du côté de la conception aux problèmes rencontrés par la fabrication, et vice-versa. Pour ce faire, les différentes parties sont regroupées dans deux dimensions : technologie et conception. Celles-ci sont interconnectées au niveau de l'étape de conception cellule afin de centraliser les informations à la base du développement d'un circuit. Un tel

fonctionnement permet de mieux prévenir les problèmes de fabrication et d'améliorer la qualité des cellules qui composent un circuit. Le but de cette organisation est de mettre en place une méthode de conception basé sur les concepts du DFM, dans le but de faciliter l'adoption de nouvelles technologies et d'ainsi améliorer le rendement.

Une fois cette méthode définie, des études sur le DFM du côté FEOL sont présentées dans le chapitre II, où des solutions aux problèmes de fabrication sont trouvées au niveau de la conception. En effet, après un état de l'art des problèmes liés à la fabrication, l'étude se recentre sur l'efficacité du CMP et sur les facteurs favorisant la planéité. Les limitations rencontrées à cette étape sont recensées et des solutions au niveau de la conception sont proposées. De nouvelles règles de conception adaptées aux problèmes rencontrés sont définies, telles que l'uniformisation des gradients de densité ou encore l'élaboration d'un *floorplanning* au niveau cellule. Une structure de remplissage innovante, baptisée DFM Filler Cell, est présentée. Son but est de regrouper en une cellule des solutions à des problèmes de diverses natures, telles que la planéité, le stress mécanique ou les variations de lithographie. Des mesures sur silicium sont réalisées et démontrent l'efficacité de cette approche.

Le chapitre III présente quant à lui l'étude complète de l'influence de la géométrie du motif des dispositifs de remplissage métallique sur le délai de propagation des circuits. Le but est de réaliser un modèle mathématique prédisant le comportement du phénomène, ceci afin de définir des configurations dont l'impact sur les délais de propagation soit prévisible. Pour ce faire, des structures de test sont définies et la méthode des plans d'expérience est appliquée pour générer un modèle. Une fois validé, il est utilisé pour démontrer l'impact de la géométrie du motif des dispositifs de remplissage métalliques. Le concept de « *Metal Filling Corner* » est alors introduit au niveau de la simulation des cellules. Il permet d'anticiper l'impact des dispositifs de remplissage sur les performances électriques des cellules dès leur conception, et ce pour différentes conditions d'utilisation.

Enfin, le chapitre IV expose la mise en pratique des travaux présentés dans les chapitres précédents. Il présente un outil d'aide à la conception appelé DUTY (pour « *DFM UTilities for Yield* ») qui permet de par sa définition d'appliquer la méthode de conception DFM<sup>2</sup> au sein du processus de conception industriel. L'un des buts du DUTY est l'accompagnement des concepteurs dans leur approche du DFM. Cet outil propose donc des modules d'aide à la conception dont la définition repose en grande partie sur les résultats présentés dans les chapitre II et III. De plus, l'un des objectifs du DUTY est de faire le lien entre le respect des règles DFM et le gain de rendement effectif, via l'utilisation d'une métrique DFM. Le DUTY permet de ramener certaines étapes essentielles au niveau de la conception cellule, et s'affirme ainsi comme la mise en pratique de la théorie du DFM<sup>2</sup> au sein du processus de conception industriel.

---

# Chapitre I

## Introduction au DFM

*Le DFM (pour « Design for Manufacturing ») est adoptée dans ces dernières années comme solution aux limitations inhérentes à la course technologique menée par les différents acteurs du monde de la microélectronique. En réponse à une complexification grandissante des méthodes de conception et de fabrication, cette nouvelle branche entend améliorer les rendements des technologies avancées. Ses principaux buts sont de changer les mentalités et de tenter de pallier la variabilité grandissante des procédés de fabrication par des méthodes de conception tenant compte de ces nouvelles contraintes. Cependant, le bon déroulement de son adoption par l'industrie est dégradé par les contraintes économiques importantes qui régissent ce secteur. La difficulté à chiffrer le retour sur investissement d'un changement de méthode de conception a pour effet la multiplication des interprétations de l'approche DFM, et on assiste à l'apparition de nombreuses ramifications parallèles. Celles-ci permettent de résoudre certains problèmes, mais n'autorisent pas l'anticipation des dérives physiques futures promise par la solution DFM. C'est pourquoi une nouvelle méthode de conception, le DFM<sup>2</sup>, est définie. Elle permet de créer des interactions entre les différents acteurs du processus de développement d'un produit, afin de confronter leurs contraintes pour définir des solutions innovantes dans le but d'améliorer le gain de rendement.*

## **I.1 Introduction**

La course à la réduction des dimensions dans le secteur de la microélectronique s'accompagne de limitations jusqu'alors ignorées, car leur impact sur le rendement n'est pas significatif. Les solutions aux difficultés rencontrées ne se limitent pas à la résolution des défis physiques générés par l'avancée technologique, car le facteur de variabilité de la fabrication représente une part de plus en plus conséquente dans les pertes de rendement et est par nature imprévisible. De ce fait, l'espace des solutions s'est recentré autour d'une nouvelle approche de la méthode de conception plus à l'écoute des contraintes de la fabrication : le DFM, qui est présenté en partie I.2. Cependant, les différentes orientations et interprétations données à l'approche DFM ne suffisent pas toujours à adresser de la meilleure manière les défis technologiques. Ainsi, la partie I.3 présente un nouveau concept de méthode de conception, où les mondes de la conception et de la fabrication sont interconnectés autour d'un acteur qui gère les flux d'informations à travers les canaux de communication ainsi créés. Cette méthode de conception innovante est baptisée DFM<sup>2</sup>, et sa définition théorique sert de cadre aux travaux et résultats présentés dans la suite de cette thèse.

## **I.2 Historique du DFM**

### **I.2.1 Evolution technologique**

#### **I.2.1.1 Les avancées technologiques dans la microélectronique**

L'industrie du semi-conducteur est un secteur très compétitif et à forte croissance. De ce fait, la survie dans ce secteur passe nécessairement par une réactivité extrême. Les évolutions technologiques de ce domaine ont été prédites par Gordon Moore en 1965 [Moore'65], à l'origine d'un modèle économique qui permet de prévoir notamment la réduction des dimensions des transistors, qui sont les briques élémentaires des circuits microélectroniques, afin d'améliorer à la fois ses caractéristiques électriques et la densité d'intégration de ces composants (Figure 1). Les différentes générations de transistors sont attachées au concept de nœud technologique, déterminé par des contraintes électriques et dimensionnelles qui sont définies par l'ITRS (International Technology Roadmap for Semiconductors) [ITRS'07]. Cette loi, prédisant le doublement du nombre de transistors tous les dix-huit mois (réajustement de 1975) dans des circuits de même taille, est aujourd'hui plus ou moins suivie par les industriels en raison du défi technologique majeur que représente une telle évolution. En effet, de nombreuses contraintes physiques apparaissent avec la réduction des dimensions et les processus standard de fabrication et de vérification ne permettent plus de suivre ce modèle d'évolution. Le fonctionnement d'un processus de conception pour des technologies dites « anciennes » autorise la séparation des différentes étapes de la fabrication. Les règles de dessin fournies par le département du développement des technologies se limitent

principalement à des contraintes géométriques basiques, comme la taille minimale d'un rectangle ou encore l'espacement minimal entre deux polygones. En effet, pour des nœuds technologiques supérieurs à 350nm, la dimension de la longueur de grille minimale à imprimer par lithographie est supérieure à la longueur d'onde de la lumière utilisée, et de ce fait n'implique pas de spécifications de dessin contraignantes. La maîtrise de la technologie se fait de manière assez rapide et l'arrivée du rendement dans une phase mature n'est pas entravée par des dérives physiques non contrôlées.

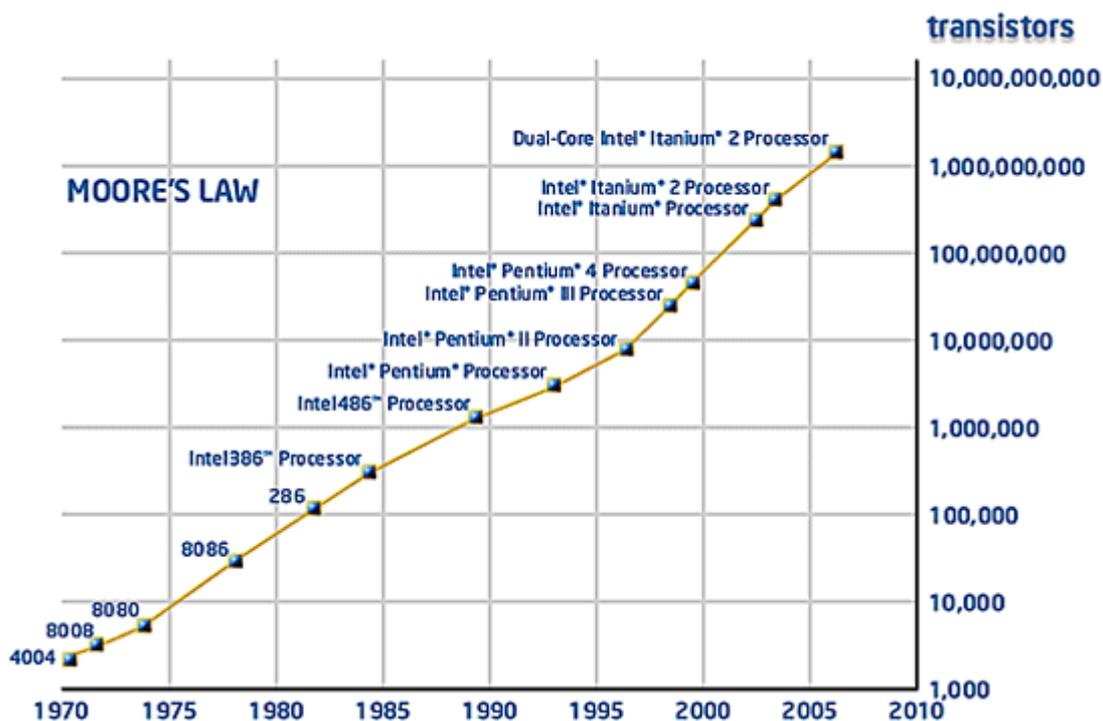
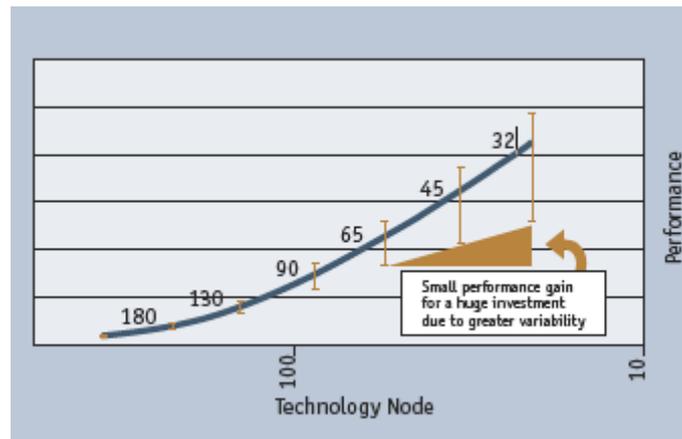


Figure 1 : Illustration de la Loi de Moore (Source : Intel)

### I.2.1.2 Les limitations induites par la progression technologique

Pour les technologies avancées, il devient de plus en plus difficile de contrôler le processus de fabrication. En effet, la maîtrise des différentes étapes de la réalisation d'un produit se heurte à une variabilité des résultats produits. Celle-ci est inhérente au rapprochement continu des attentes industrielles vers les limites technologiques des procédés de fabrication. Ainsi les paramètres électriques définis lors de la phase de conception d'un composant électronique ne seront pas les mêmes que ceux du composant réalisé sur silicium [Raghavendra'08]. Ce phénomène est appelé variation de fabrication ou « *process variation* ». Il apparaît à différentes étapes du processus de fabrication, telles que la lithographie, l'implantation ionique ou encore le polissage mécanico-chimique (connu sous le sigle CMP : « *Chemical Mechanical Polishing* »). Les principaux facteurs de variation de fabrication sont le désalignement de la plaque de silicium lors de la phase de lithographie, la fluctuation aléatoire des dopants (particules introduites dans la structure cristalline d'un matériau semi-conducteur afin de modifier ses paramètres

électroniques, comme la conductivité) ou encore des imperfections dans la planéité des différents niveaux. Durant les quarante dernières années, la réduction des dimensions a permis de réduire la taille des circuits, et donc des coûts de fabrication, et d'augmenter la vitesse tout en diminuant la consommation d'énergie des produits. Cependant, ces avantages ont été contrebalancés par l'apparition de nouveaux défis technologiques tels que les courants de fuites, les chutes de tension, la prévision des variations de délai ou encore les variations de géométrie pour les lignes métalliques ou les tailles des transistors (Figure 2) [Buurma'08].



**Figure 2 : Variabilité en fonction du noeud technologique [Buurma'08]**

Les coûts des équipements de fabrication adaptés aux nœuds technologiques avancés représentent une part conséquente des investissements des entreprises du fait de leur complexité, nécessaire pour fabriquer des composants approchant la limite atomique. De nombreuses précautions doivent être prises tant au niveau de la conception qu'au niveau de la fabrication des circuits afin d'assurer les rendements imposés par le marché. Les concepteurs de cellules ont besoin de modèles fiables qui prennent en compte tous les effets physiques, y compris ceux découverts récemment. De plus, ils doivent multiplier les vérifications de tous types afin de s'assurer que la marge de fonctionnalité du produit soit incluse dans la marge de variation induite par les procédés de fabrication. La robustesse des circuits est un facteur essentiel, spécialement dans certains domaines d'utilisation comme les secteurs automobile et aérospatial. Le facteur économique est également déterminant dans le développement des nouvelles technologies. Afin d'atteindre un rendement qui rendra la technologie industriellement exploitable, les investigations ne se limitent plus à la maîtrise des caractéristiques basiques de la technologie ou à la validation des nouvelles machines (Figure 3). On observe sur la Figure 3 que dans la première phase de qualification de la technologie, le gain en rendement est de moins en moins important à temps d'étude constant pour les nouveaux nœuds. De même, lors de l'arrivée en phase mature, des limitations physiques empêchent d'atteindre les niveaux de rendement obtenus pour des technologies plus anciennes.

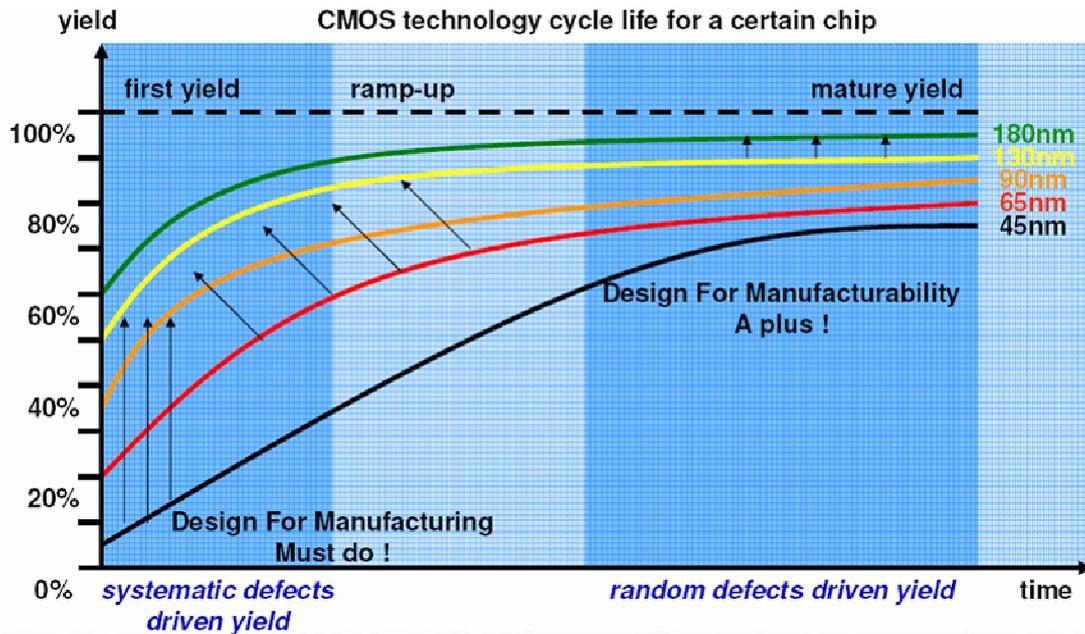


Figure 3 : Courbe de rendement pour différents nœuds technologiques (Source : Mentor Graphics)

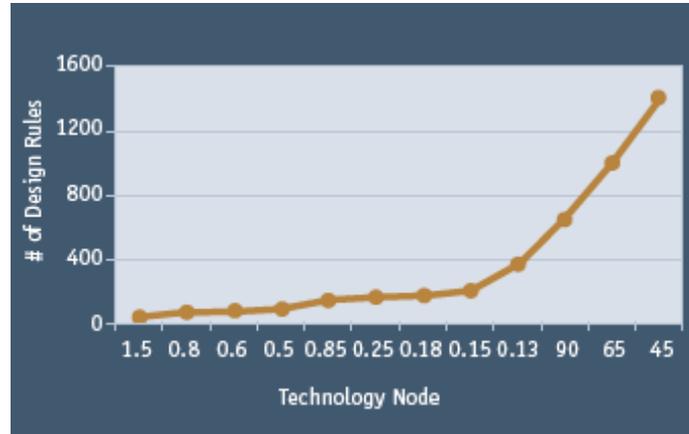
Des stratégies doivent être mises en place afin de modéliser les effets physiques découverts récemment et de prédire les variations de fabrication. Cela passe par des analyses théoriques et par le développement de solutions alternatives de fabrication qui permettront de profiter au mieux des possibilités offertes par une nouvelle technologie tout en conservant au maximum la qualité attendue par les clients. Dans de nombreux cas, par exemple pour le développement de cellules analogiques, la robustesse face aux variations de fabrication impose la mise en place d'une méthode de conception sur-contrainte et ne permet donc pas de tirer partie des avantages du nœud technologique considéré. Cette limitation n'est pas acceptable du fait des coûts colossaux engendrés par l'adoption d'une technologie. De nouvelles solutions doivent donc être trouvées afin de maximiser le retour sur investissement tout en préservant la qualité. Cela passe par une méthode de conception qui prend en compte les contraintes technologiques de l'étape de fabrication afin d'optimiser le rendement. On assiste donc à une intensification des interactions entre les deux mondes de la conception et de la fabrication dans le but de relever le défi de la variabilité technologique. Cette association constitue la base de l'approche DFM.

## I.2.2 De la nécessité du DFM

### I.2.2.1 Les premiers pas du DFM

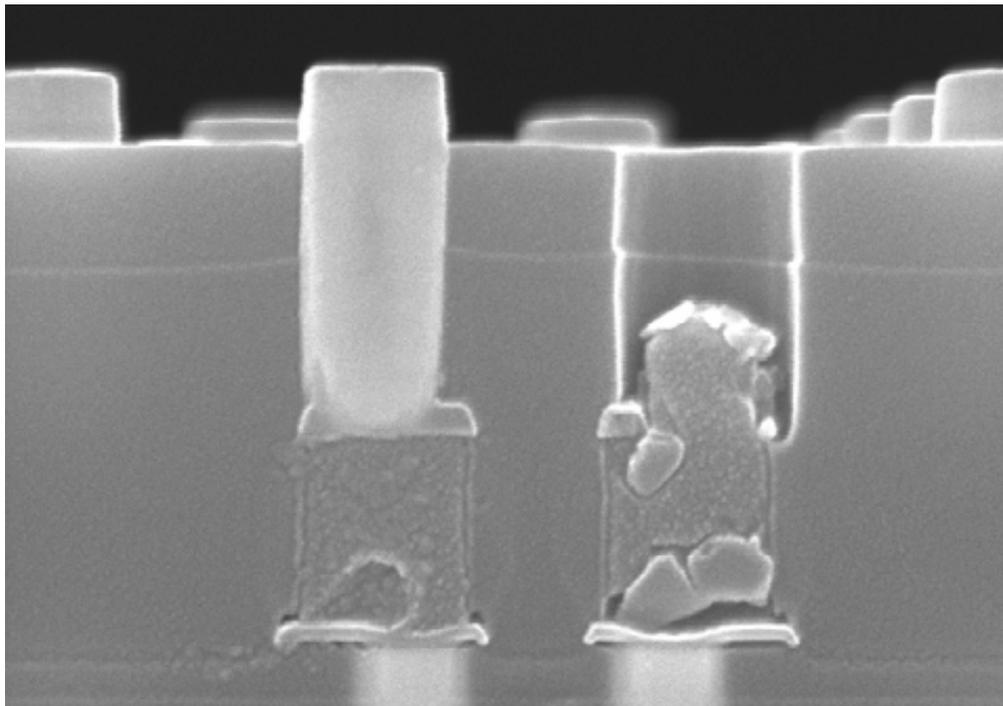
Dans le cas des nœuds technologiques inférieurs à 180nm, les concepteurs sont libres de dessiner des cellules sans autres contraintes que des espacements et tailles minimales. La technologie utilisée ne nécessitant pas de précautions particulières, les règles de dessin sont assez peu contraignantes et ne limitent pas réellement la conception des cellules. Pour les technologies avancées, le nombre des

règles de conception augmente de manière considérable (Figure 4). De plus, les règles dépendent à présent du contexte dans lequel elles sont appliquées, ce qui augmente considérablement leur complexité. La notion de contexte est essentielle dans une approche DFM.



**Figure 4 : Augmentation des règles de dessin en fonction du nœud technologique [Buurma'08]**

On assiste à l'apparition de nouveaux types de règles tels que des valeurs minimale et maximale de densité pour un niveau de masque, des espacements spécifiques entre polygones de petite taille et polygones de grande taille, des directions privilégiées pour les différents niveaux de routage ou encore des tailles minimales d'excroissance géométriques. Dans le monde industriel, l'impact de cette évolution se traduit par une difficulté croissante à dessiner des cellules à la fois miniaturisées et fonctionnelles du fait de ces nouvelles contraintes. De nouveau, la réduction des dimensions est accompagnée par de nouvelles entraves qui contraignent fortement les possibilités géométriques. Il faut ajouter à cela la prise en compte de la défektivité non systématique, donc l'impact sur le rendement n'est plus négligeable en termes de coûts pour les technologies avancées. Il s'agit de repérer les configurations géométriques qui peuvent générer des défauts lors de la fabrication. On parle de probabilité de défektivité, qui est la conséquence d'une technologie non totalement maîtrisée du fait du trop grand nombre de paramètres de variabilité. Ces défauts peuvent aussi bien résulter d'une mauvaise réalisation de l'étape de lithographie dans une zone localisée, d'une particule parasite déposée sur le circuit ou d'un via non fonctionnel (Figure 5).



**Figure 5 : Via fonctionnel à gauche ; Via non rempli à droite**

Afin de prévenir ces problèmes inhérents à l'étape de fabrication, la recherche de solutions s'est en partie focalisée sur l'étape de conception. Des structures de caractérisation sont mises en place afin de mettre en lumière les points faibles de la technologie et définir les parades adéquates [Nourani'06][Craig'02], concernant à la fois les variations de puce à puce et celles à l'intérieur d'une même puce [Agarwal'07]. Chez les principaux fondeurs, de nouvelles règles sont donc définies et fournies aux concepteurs de cellules, souvent connues sous le nom de « règles recommandées ». Comme leur nom l'indique, le non-respect de ces règles recommandées ne met pas directement en péril la fonctionnalité du produit mais permet d'augmenter sa robustesse face aux variations de fabrication. Cependant, le respect de ces règles impose des contraintes supplémentaires de dessin et donc un surcoût potentiel de surface pour des cellules de fonctionnalités équivalentes. La difficulté est donc de trouver le bon compromis entre augmentation de la robustesse et réduction des dimensions. Cette problématique est traitée dans de nombreux articles, qui confrontent la mise en place de stratégies coûteuses pour s'affranchir de la variabilité de fabrication et le retour sur investissement qu'elles occasionnent [Balasinski'06]. Cette approche s'inscrit dans une nouvelle méthode de conception appelée DFM. Elle a pour ambition de couvrir toutes les zones à risques inhérentes aux nouvelles technologies et à leurs dérives potentielles, connues et inconnues. Il s'agit d'améliorer la robustesse des produits non seulement en s'adaptant à la variabilité de fabrication, mais également en anticipant la découverte de phénomènes physiques critiques. C'est la première fois dans l'industrie de la microélectronique qu'une méthode de conception se base sur la prévention de problèmes à venir. Du fait des contraintes économiques et industrielles, l'approche standard consiste à traiter les problèmes connus sans réelle possibilité d'anticiper les difficultés futures. Des problèmes physiques sont

identifiés et font l'objet d'une étude théorique, et des solutions sont proposées et implémentées dans le processus de fabrication. Aujourd'hui, le délai entre l'instant de détection du problème et sa résolution technique est trop important et coûteux au regard d'un marché à la compétitivité extrême, et il n'est plus acceptable en termes de rentabilité de subir sans anticiper. Cependant la mise en place d'une telle méthode de conception nécessite un changement profond des mentalités dans une industrie souvent réticente face à des modifications de son processus de conception standard n'offrant pas de retour sur investissement directement mesurable à court terme. C'est pourquoi l'approche globale du DFM est souvent réduite à l'étude de certains phénomènes physiques ciblés dont l'étude est jugée prioritaire au regard de leur impact sur le rendement. On assiste à une multiplication des articles scientifiques concernant l'approche DFM dans les différents secteurs de la conception. Les domaines d'études sont choisis sans *a priori*, ce qui différencie bien l'approche scientifique de l'approche industrielle. Ainsi, de nombreux phénomènes physiques font l'objet de publications scientifiques des années avant que le monde industriel ne juge opportun, en termes de rentabilité, de les prendre en compte. Citons comme exemple le phénomène physique du NBTI (pour « *Negative Bias Temperature Instability* »), qui décrit la dégradation accélérée par la température des paramètres électriques d'un transistor PMOS lorsqu'il est polarisé avec une tension négative. Le NBTI est connu depuis les années 1960 [Deal'67] mais son impact n'a été réellement considéré qu'à l'approche du nœud technologique 130nm. L'intérêt porté par le monde industriel à ce phénomène peut se mesurer à l'augmentation exponentielle du nombre d'articles sur le sujet présentés aux conférences IEEE entre 1999 et 2004 [Massey'04]. Les récentes découvertes sur le NBTI [Vattikonda'06] ont permis l'élaboration de stratégies efficaces de conception prenant en compte cet effet physique. L'étendue du DFM est très large et les solutions que cette méthode peut apporter sont multiples. Aussi, une classification des champs d'action est devenue rapidement nécessaire afin d'introduire cette notion au sein du processus de conception industriel. Le DFM restreint à la notion de « règles recommandées » a rapidement évolué pour prendre une forme plus adaptée aux contraintes de la conception.

### **I.2.2.2 Emergence de deux orientations fondamentales**

#### **I.2.2.2.1 DFM géométrique ou DFM électrique ?**

Historiquement, l'introduction du DFM dans l'industrie n'est faite que dans le but de prévenir les variations induites par les procédés de fabrication. Le DFM prend donc la forme de règles recommandées venant en complément des règles de dessin standard et leur définition ne prend en compte que des considérations uniquement liées l'aspect manufacturable des produits. C'est ce qui est souvent appelé le « *DFM géométrique* ». Celui-ci ne concerne que des notions de topologies, dans le sens de configurations géométriques. Ainsi, les configurations critiques qu'il cible et les recommandations associées ne prennent en compte que des contraintes liées à la fabrication. Les domaines ciblés sont multiples. Prenons

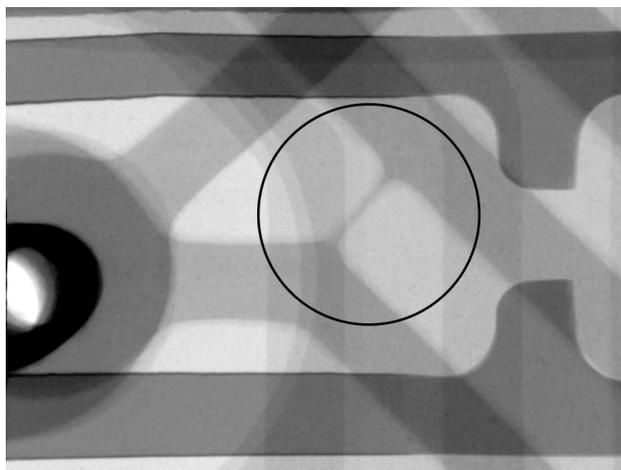
l'exemple de l'étape de lithographie, particulièrement sensible pour des nœuds technologiques avancés. Du fait de la diffraction de la lumière, le DFM géométrique recommande d'utiliser des motifs de polygones les plus réguliers possibles afin de s'affranchir le plus possible des variations d'exposition et de luminosité. Dans le cas des niveaux concernés par l'étape de CMP, des règles de densité minimales et maximales apparaissent, ainsi que des restrictions sur les aires maximales des polygones. Concernant l'étape de métallisation, les recommandations les plus courantes concernent aussi bien le doublement des via (interconnexions métallique entre deux polygones de métal différents), l'élargissement des lignes isolées ou encore l'espacement de lignes métalliques juxtaposées à la distance minimale autorisée. Ces règles sont proposées au concepteur afin de pallier les dérives connues et inévitables du procédé de fabrication. Elles vont bien souvent à l'encontre des contraintes très strictes de surface imposées par la volonté de rentabiliser l'investissement inhérent à l'adoption d'un nouveau nœud technologique. Une limitation supplémentaire du DFM réduit à une vision purement géométrique est qu'il ignore totalement la variabilité de la fabrication. Du point de vue du concepteur de cellule, appliquer à la lettre des règles ne prenant en compte que des contraintes liées à la fabrication peut avoir des impacts non négligeables sur les performances électriques du circuit, tout simplement parce que ces règles ne prennent pas en compte les contraintes électriques. Agrandir une ligne métallique de taille minimale pour éviter qu'elle ne soit coupée lors de la l'étape de métallisation est positif dans le cadre de la prévention des défauts catastrophiques. Cependant, la modification des paramètres géométriques de la ligne impacte directement ses paramètres électriques comme sa capacité ou sa résistance et peut poser de sérieux problèmes de délais de propagation, notamment dans le cas d'arbre d'horloges. On assiste donc à l'émergence d'une autre catégorie de règles DFM sensibles aux contraintes électriques, le « *DFM électrique* » ou « *eDFM* » (« *electrical Design For Manufacturing* »). Le DFM électrique prend en compte l'aspect paramétrique de la variabilité. Contrairement au DFM géométrique dont le seul but est de garantir la bonne fabrication du produit, le DFM électrique s'intéresse aux corrections qui impactent directement le rendement des produits du point de vue de la fonctionnalité. Les règles sont donc définies de manière à garantir les paramètres électriques des composants. Elles concernent également la réduction de la consommation ou des courants de fuite. Cependant, des corrections recommandées par le DFM électrique peuvent aller à l'encontre du DFM géométrique. Par exemple, il arrive que les dimensions d'un transistor fabriqué varient avec son contexte environnant. Aussi, il est conseillé de placer le composant dans un environnement bien défini (souvent dans un contexte régulier ou bien entouré par des anneaux de protection à une certaine distance). Ceci peut aller à l'encontre de contraintes de densité préconisées par le DFM géométrique. On assiste donc à une dualité des règles orientées DFM : géométrique et électrique. Considérées séparément, ces deux approches peuvent dans certains cas devenir antagonistes et amoindrir le gain de rendement escompté. La solution est donc de ne pas dissocier le binôme géométrique/électrique mais bien de le considérer comme un tout au sein d'une approche DFM. Considérer séparément les

contraintes de conception ou de fabrication ne permet pas de couvrir l'étendue des problèmes dans sa globalité et ne va pas dans le sens de l'amélioration de la rentabilité d'un nœud technologique avancé. Au contraire, prendre en compte les attentes des deux mondes de la conception et de la fabrication permet d'avoir une vision globale et de définir des solutions efficaces pour les deux parties en minimisant les sur-contraintes. Afin d'appréhender au mieux la défectivité des produits, il est nécessaire de mettre en place une classification des défauts.

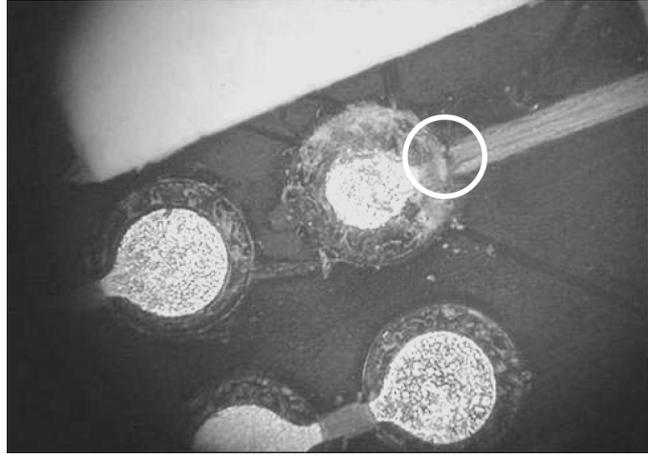
#### I.2.2.2 Classification des défauts

Historiquement, deux types de classification sont distingués : une étant relative à l'impact des défauts sur les cellules, et l'autre concernant la nature des défauts. Cependant, l'approche traditionnelle qui consiste à relier ces deux classifications d'une manière arbitraire s'avère limitée pour gérer l'ensemble des défauts et leur attribuer des priorités.

Le premier type de classification s'attache à l'impact des défauts sur les cellules. Deux catégories sont distinguées : les défauts catastrophiques (connus sous l'appellation « *Hard defects* ») et les défauts paramétriques (connus sous l'appellation « *Soft defects* »). Ces deux notions de défectivité sont directement liées à deux facettes du rendement des produits. On distingue donc la notion de rendement traditionnel, à savoir la part de circuits fonctionnels sur la part totale des circuits fabriqués. Dans ce cas, les pertes sont dues à des défauts catastrophiques qui ne permettent pas au circuit de fonctionner. On distingue également la notion de rendement tenant compte des performances, à savoir la part des circuits fonctionnels avec des délais de propagation conformes aux spécifications initiales sur la part totale des circuits fabriqués. Ici les pertes sont dues à des défauts paramétriques n'autorisant pas le circuit à fonctionner à la fréquence attendue. Les défauts catastrophiques les plus connus sont les courts-circuits (également appelés « *shorts* ») (Figure 6) et circuits ouverts (également appelés « *open* ») (Figure 7)

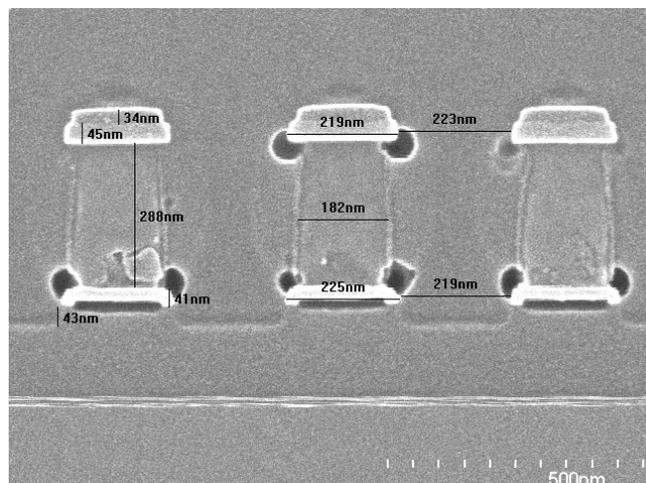


**Figure 6 : Exemple de défaut catastrophique : Photographie d'un court-circuit**  
(Source : phoenix-xray.com)

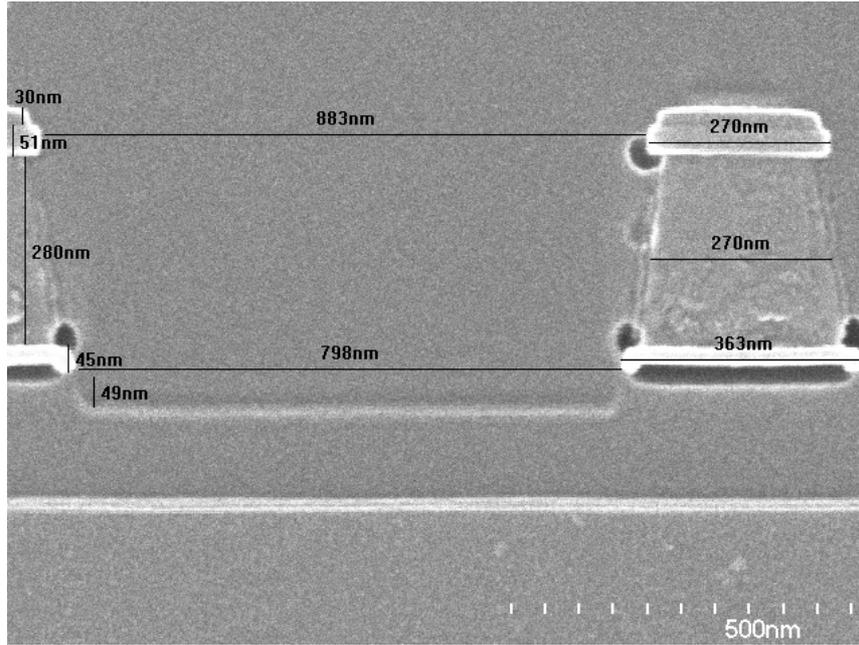


**Figure 7 : Exemple de défaut catastrophique : Photographie d'un circuit ouvert  
(Source : emeraldinsight.com)**

Les défauts paramétriques englobent tous les types de défauts qui impactent les performances électriques d'un circuit, ce qui dégradera sa fréquence de fonctionnement. De nombreuses configurations topologiques génèrent des défauts de type paramétrique. Citons l'exemple de la modification de la géométrie d'une interconnexion métallique qui dépend du contexte avoisinant de l'interconnexion. Ce phénomène, aussi connu sous le nom de WEE pour « *Wire Edge Enlargement* », est plus ou moins accentué selon que l'interconnexion métallique est dans un environnement métallique plus ou moins dense. On assiste à un affaissement de la ligne métallique qui impacte directement sa largeur, son espacement par rapport aux interconnexions voisines, sa valeur de résistance et sa valeur de capacité. La Figure 8 montre des lignes non impactées par le WEE, et la Figure 9 présente une interconnexion métallique déformée qui est impactée par le WEE. De telles modifications géométriques ont donc un impact sur le délai de propagation l'interconnexion. Dans le cas de chemins critiques, comme un arbre d'horloge par exemple, ces dérives temporelles peuvent engendrer des défauts fonctionnels.

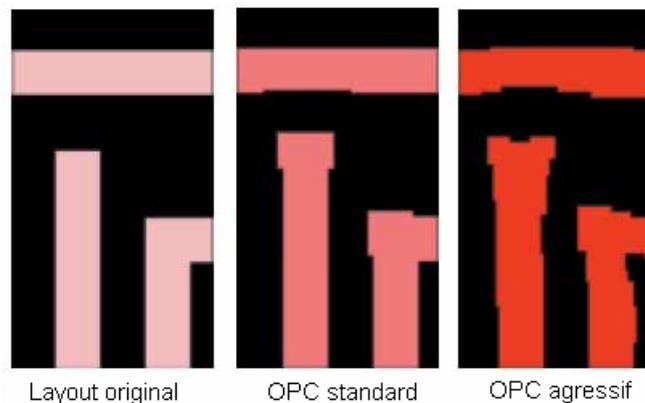


**Figure 8 : Interconnexion métallique dans un contexte dense : la ligne n'est pas impactée par le WEE**



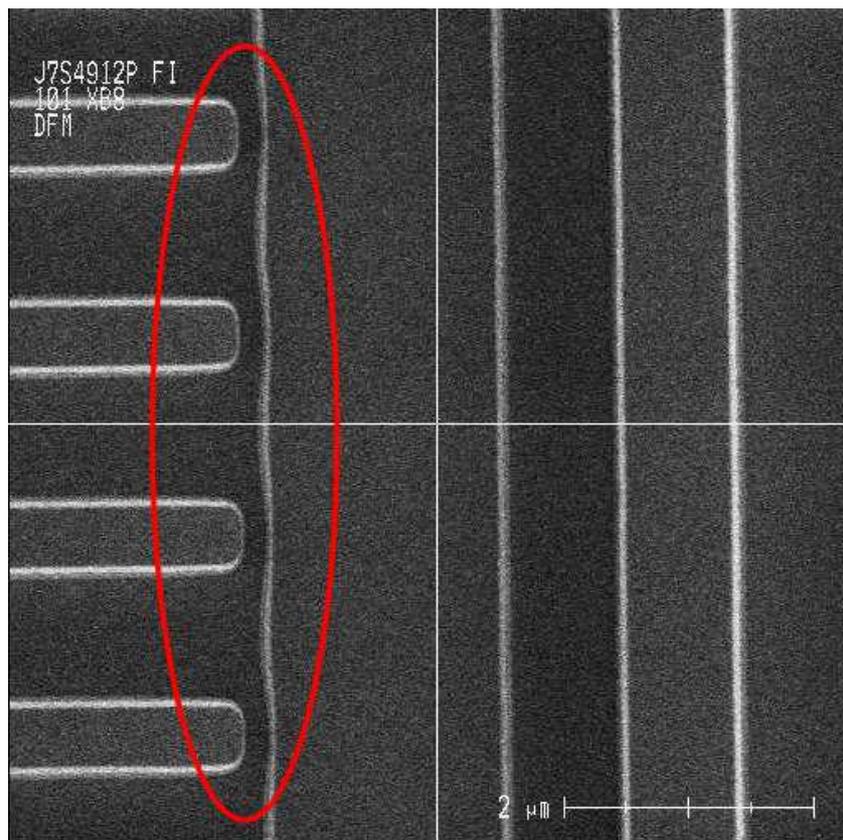
**Figure 9 : Interconnexion métallique dans un contexte isolé : la ligne est impactée par le WEE**

Le second type de classification concerne la nature des défauts indépendamment de leur impact sur le rendement des circuits. Elle comporte deux catégories, qui sont les défauts dits « systématiques » et les défauts dits « aléatoires ». Les défauts systématiques font référence à des défauts automatiquement engendrés par la présence d'une configuration topologique définie. Ces défauts sont le plus souvent inhérents aux procédés de fabrication associés à un nœud technologique donné ou à des équipements manufacturiers particuliers. Ils peuvent également être le fruit d'un processus de conception agressif, voulant profiter au maximum des possibilités offertes par une technologie avancée. Prenons l'exemple de l'étape de correction des effets de proximité (OPC pour « *Optical Proximity Correction* »). Cette étape consiste à modifier les polygones dessinés lors de la conception afin de s'affranchir des variations induites par le phénomène de diffraction de la lumière lors de l'étape de lithographie (Figure 10).



**Figure 10 : Différents types de correction OPC (Source : Mentor Graphics)**

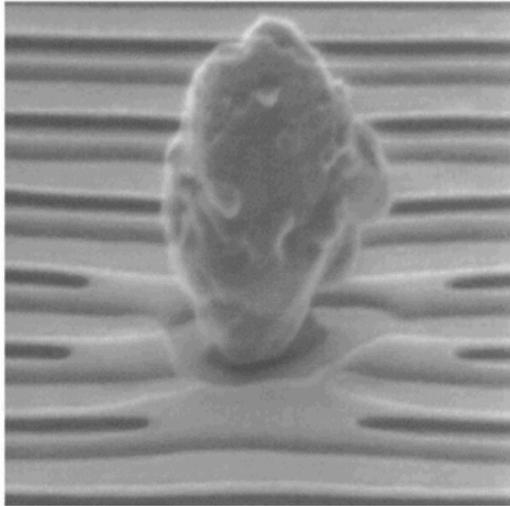
L'OPC est vite devenue indispensable pour les nœuds technologiques avancés car les dimensions à imprimer durant l'étape de lithographie sont devenues inférieures à la longueur d'onde de la lumière utilisée. Afin de tirer au mieux partie de la réduction des dimensions en réduisant l'espacement minimale entre deux lignes, des règles d'OPC agressives sont parfois mises en place. Leur exécution peut générer des défauts systématiques qui conduisent à la modification de la géométrie des lignes fabriquées. La Figure 11 montre une déformation d'une ligne métallique proche d'autres lignes disposées perpendiculairement, qui impacte directement sa résistance et sa capacité.



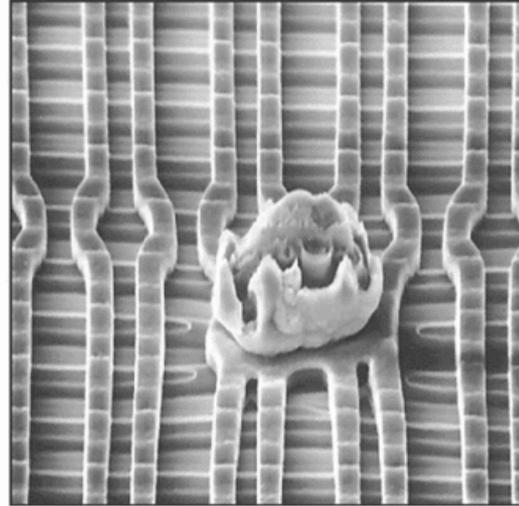
**Figure 11 : Défaut systématique généré par des règles de correction de proximité trop agressives**

Les défauts aléatoires font référence aux défauts dont l'apparition est indépendante de la configuration topologique du circuit et sont donc par définition imprévisibles. La grande majorité des défauts aléatoires sont dus à la chute de particules de poussière sur le circuit lors de la fabrication. Ces particules peuvent aussi bien engendrer des défauts catastrophiques (Figure 12) que n'avoir aucun impact sur le rendement, suivant l'endroit où elles sont identifiées. Il existe cependant des techniques qui permettent de réduire les risques liés à l'apparition de défauts aléatoires. Une des techniques les plus connues s'inscrit dans le cadre du DFM et s'appelle l'analyse d'aires critiques (CAA pour « *Critical Area Analysis* »). Il s'agit de déterminer les zones qui souffriraient le plus d'une chute de particule de poussière, comme par exemple une large zone constituée d'interconnexions avec des espacements minimaux, et de proposer des

corrections afin d'améliorer la robustesse de ces zones face à ce type de défauts, comme par exemple augmenter l'espacement entre les lignes. Dans ce cas, l'application d'une méthode DFM ne permet de pas s'affranchir complètement de l'apparition de défauts aléatoires, mais bien de donner au produit une topologie géométrique qui réduira la part de défaut aléatoire menant à des défauts catastrophiques.



Particule provoquant  
un circuit ouvert



Particule provoquant le court-circuit  
de quatre lignes métalliques

**Figure 12 : Exemple de défaut aléatoire : particule tombée sur un circuit  
(Source : Mentor Graphics)**

#### **I.2.2.2.3 Fusion des deux orientations fondamentales**

D'une manière générale, les défauts catastrophiques sont rattachés aux défauts aléatoires et les défauts paramétriques sont rattachés aux défauts systématiques et à la variabilité de la fabrication. L'origine de cette association est principalement historique. En effet, pour des technologies dites « anciennes », les origines des défauts catastrophiques sont connues car la maîtrise de la technologie de fabrication est excellente. De ce fait, lorsqu'un défaut catastrophique apparaît, il est nécessairement lié à un défaut de type aléatoire, le haut niveau de maturité de la technologie interdisant les défauts à la fois systématiques et catastrophiques. De la même manière, les défauts de type paramétrique sont rattachés aux défauts systématiques, dans la mesure où les dérives physiques des technologies anciennes sont moins critiques et ne nécessitent pas spécialement de plan d'action. La réduction des dimensions va de pair avec des dérives électriques telles qu'elles ne peuvent plus être ignorées ou subies par les utilisateurs des technologies actuelles. Le fait de considérer uniquement les couples catastrophiques/aléatoires et paramétriques/systématiques est trop réducteur pour appréhender le défi des nœuds technologiques avancés. En effet, les différents défauts rencontrés aujourd'hui appartiennent aux couples croisés suivants : catastrophiques/aléatoires, catastrophiques/systématiques, paramétriques/aléatoires et

paramétriques/systématiques. De plus, la prédominance des défauts aléatoires sur les défauts systématiques observée dans les technologies anciennes ne décrit plus la réalité technologique, dans la mesure où les défauts systématiques prennent le pas sur les défauts aléatoires pour les nœuds technologiques inférieurs à 100nm [Peters'04]. Afin d'appréhender le problème dans sa globalité, il est donc nécessaire de réorganiser les catégories de défauts, en prenant à la fois en compte leur nature et leur impact. L'approche DFM propose donc de catégoriser les causes des différents défauts afin de définir des priorités dans la gestion des défauts. Cela permet d'introduire la notion de retour sur investissement, chère aux industriels, qui permet d'appuyer les coûts engendrés par la mise en place d'une méthode DFM [Balasinski'05]. En effet, le DFM incluant ses multiples champs d'action est souvent perçu comme un concept assez flou dont les retombées économiques immédiates sont difficilement quantifiables. La gestion de la défectivité et sa complexité grandissante sont donc des défis majeurs à adresser en priorité, et l'approche DFM apparaît être une bonne méthode pour gérer les priorités dans ce domaine. On assiste donc à l'émergence de la notion de métrique DFM [LeMaitre'07][Aitken'06], très présente chez les fournisseurs de logiciels de conception. Il s'agit de définir des priorités dans la gestion des différentes configurations critiques à l'origine de défauts afin de les lier aux informations de rendement disponibles pour la technologie considérée. En effet, l'application systématique des règles DFM ne peut raisonnablement pas être imposée en raison du coût en surface qu'elle engendre. Ainsi, suivant le nœud technologique exploité, certaines règles recommandées sont favorisées par rapport à d'autres en fonction des faiblesses connues du processus de fabrication. La métrique DFM prend traditionnellement la forme d'une note et d'un rapport associés à un produit qui rendent compte de son degré de robustesse face aux dérives de la fabrication, calculé en tenant compte de son respect des différentes règles orientées DFM. La principale limitation des règles DFM concerne leur aspect localisé car les principales recommandations DFM sont des solutions locales à des problèmes locaux. En effet, on trouve dans la bibliographie de nombreuses solutions efficaces adressant des problèmes bien particuliers, mais cantonnés à un domaine d'application restreint. Ainsi, bien que des recommandations DFM existent au sujet de l'optimisation du délai des interconnexions [Serdar'06], du routage [Hong'06] ou encore de la modélisation de la complexité de l'OPC [Gupta'05], il n'existe pas de méthode DFM organisée qui englobe les solutions locales en y ajoutant les notions d'interactions entre les différents acteurs des processus de conception et de fabrication. Cette vision globale est nécessaire afin de profiter de tous les avantages qu'offre une approche DFM.

### **I.2.2.3 Recadrage des différentes orientations du DFM**

La notion de DFM est entrée assez tardivement dans les mœurs, principalement pour des contraintes économiques. Ainsi, les principales solutions DFM les plus abouties proposées aujourd'hui concernent en majorité les nœuds technologiques avancés et très avancés (90nm, 65nm et 45nm). L'explosion du nombre d'outils proposés par les fournisseurs de logiciels est une réponse à une demande

expresse d'un grand nombre de leurs clients qui se retrouvent confrontés à la nécessité absolue de solutions type DFM lors de l'exploitation d'un nœud technologique avancé. Ainsi, certains grands fondeurs proposent des solutions clés en main pour à la fois leurs clients novices en matière de DFM et ceux qui ne peuvent assumer les coûts autant financiers que temporels engendrés par l'adoption d'une méthode orientée DFM. Il s'agit de leur proposer des outils et processus de conception validés et qualifiés par les fondeurs pour adresser efficacement le défi DFM. La seule contrainte concerne le format d'entrée des bases de données des produits qui doit être en adéquation avec les attentes du fondeur afin de pouvoir appliquer son processus DFM standardisé. Cependant, les bénéfices du DFM ne se limitent pas aux technologies avancées. Certes, l'application de la plupart des règles recommandées, notamment concernant les effets physiques relatifs aux dérives lithographiques, n'a pas de sens pour les nœuds technologiques antérieurs au 130nm. En revanche, l'application d'une méthode de conception globale orientée DFM peut permettre d'optimiser les coûts en améliorant le rendement et en optimisant les échanges entre les différents acteurs des processus de conception et de fabrication, notamment en réduisant les interactions redondantes. Il s'agit donc de définir les lignes directrices qui serviront de fondements à la nouvelle méthode de conception afin de pouvoir l'appliquer aussi bien aux technologies avancées qu'aux technologies « anciennes », indépendamment des outils logiciels à disposition qui ne doivent servir que de support au développement. La définition de la méthode est centrée autour de la conception tout en incluant les interactions avec la partie fabrication.

## I.3 Définition d'une nouvelle méthode de conception

### I.3.1 Les interactions de la conception cellules avec les différentes parties du processus de conception

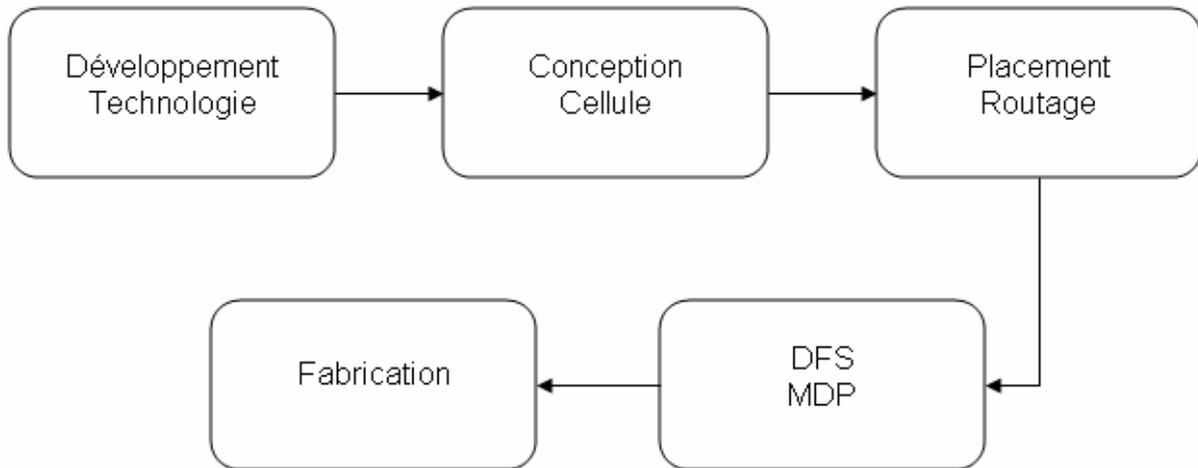
Afin de définir de la manière la plus efficace possible une nouvelle méthode de conception, il est nécessaire de lister précisément les interactions qui permettront d'introduire la notion DFM au sein même du processus de conception. Ces interactions, de par leur nature, doivent donc apporter une valeur ajoutée à la méthode standard. Les différents acteurs du processus de production sont les suivants :

- **Conception cellule** : cette appellation fait référence à tout ce qui concerne la conception des cellules. Cela englobe aussi bien les concepteurs de cellules que les développeurs de logiciels qui permettent le développement et la mise en forme des cellules. Cela concerne les différentes vues physiques qui serviront de points d'entrée aux étapes postérieures de la conception. Les développeurs du Kit de conception physique (PDK pour « *Physical Design Kit* ») interagissent principalement au niveau de la conception cellule.
- **Placement / Routage** : cette étape désigne le processus durant lequel les différentes parties d'un circuit sont positionnées et interconnectées. Il s'agit donc de placer les briques élémentaires du

produit que sont les cellules. Ces dernières peuvent aussi bien être des cellules standard que des macro cellules (comme les cellules analogiques ou les mémoires par exemple). Après avoir réalisé le plan de masse (ou « floorplanning », désignant les positionnements des blocs et du réseau d'alimentation) et le placement des cellules dans le produit, il reste à effectuer le routage. Cela concerne la connexion aux rails d'alimentation et la réalisation des interconnexions entre les cellules. Une fois le routage effectué, l'étape de remplissage (« *filling* ») est réalisée sur le produit. Il s'agit d'insérer des polygones sur les niveaux métalliques dans les zones vides afin d'augmenter et d'uniformiser la densité de métal sur la surface du produit.

- **DFS/MDP** : le sigle DFS signifie « *Design Finishing Step* ». Cette étape englobe les vérifications finales du produit, l'insertion de motifs de remplissage pour les niveaux actifs et l'insertion de divers modules comme l'identification du produit ou les marques d'alignement des masques. Le sigle MDP signifie « *Mask Data Preparation* » et désigne l'étape durant laquelle sont réalisées les corrections des effets de proximité (OPC) et la génération des données qui servent à la création des masques.
- **Développement technologique** : l'équipe du développement technologique s'occupe du développement de la technologie considérée, en prenant en compte les dérives physiques potentielles et les contraintes du procédé de fabrication. Il fournit notamment aux concepteurs un document regroupant les règles de dessin et les règles électriques de la technologie.
- **Fabrication** : l'étape de fabrication fait bien entendu référence à l'étape de réalisation sur silicium des produits (englobant les équipes de CMP, de lithographie, et d'implantation ionique par exemple), mais également au travail des équipes de défectivité, de mesure du rendement, de test, et d'une manière générale de tout ce qui concerne la réalisation physique du circuit.

Dans le processus de conception standard, les échanges entre ces acteurs sont régis par un fonctionnement la plupart du temps historique. Le développement technologique définit les spécifications de la technologie utilisée, en se servant des retours de la fabrication pour mener la maîtrise de la technologie à maturation. Il fournit ainsi aux concepteurs de cellules les règles régissant la conception. Une fois les cellules réalisées, celles-ci sont agencées entre elles et connectées par le Placement / Routage afin de former le produit. Enfin, l'étape de DFS / MDP finalise le produit afin de l'envoyer en fabrication (Figure 13).



**Figure 13 : Organisation standard du processus de conception**

A travers ce résumé succinct des étapes de la réalisation d'un circuit, certaines interactions privilégiées entre les différentes parties se dégagent. Toutes les autres formes de communication, par exemple entre Conception cellule et DFS/MDP, ne sont pas prévues dans l'organisation standard. Ce type de fonctionnement repose en partie sur le cloisonnement des différents acteurs afin de maîtriser au mieux les interactions pour éviter les communications redondantes et optimiser le temps de développement. Cette organisation conviendrait dans le cadre d'un développement parfaitement établi, où les échanges d'informations non prévus par le processus de conception standard ne peuvent être que superflus, car ils ne rentrent pas dans une logique de gain de temps. Cependant, l'établissement de telles barrières a des effets secondaires qui vont à l'encontre de la productivité. En effet, si l'on définit l'approche locale comme étant le point de vue de la conception cellule, et la vision globale comme étant le point de vue de la conception du produit, certaines limitations intrinsèques aux barrières entre les deux mondes de la conception et de la fabrication apparaissent. Prenons l'exemple fictif d'un concepteur de cellule qui réalise les vérifications standard de densité sur sa cellule. Les règles de conception imposent des densités entre 20% et 80% pour des zones d'une certaine aire, définie par l'équipe du développement technologique. Dans le cas où la cellule respecte ces contraintes, rien ne permet d'affirmer que cela sera le cas une fois la cellule instanciée dans le produit. L'exemple exposé dans la Figure 14 montre l'importance de la prise en compte du futur contexte de la cellule dans le produit. Considérée d'un point de vue local, la cellule a une densité conforme aux règles de conception, mais d'un point de vue global, ce n'est plus le cas à cause de son contexte. Il est donc nécessaire lors de la définition de la nouvelle méthode de conception de réorganiser les interactions locales / globales afin de s'affranchir de cette approche hiérarchique à l'origine de ce type de limitations. Il faut abandonner la conception du produit

« étape par étape » et connecter les différents acteurs du développement d'une manière organisée pour bénéficier de la confrontation des différents points de vue.

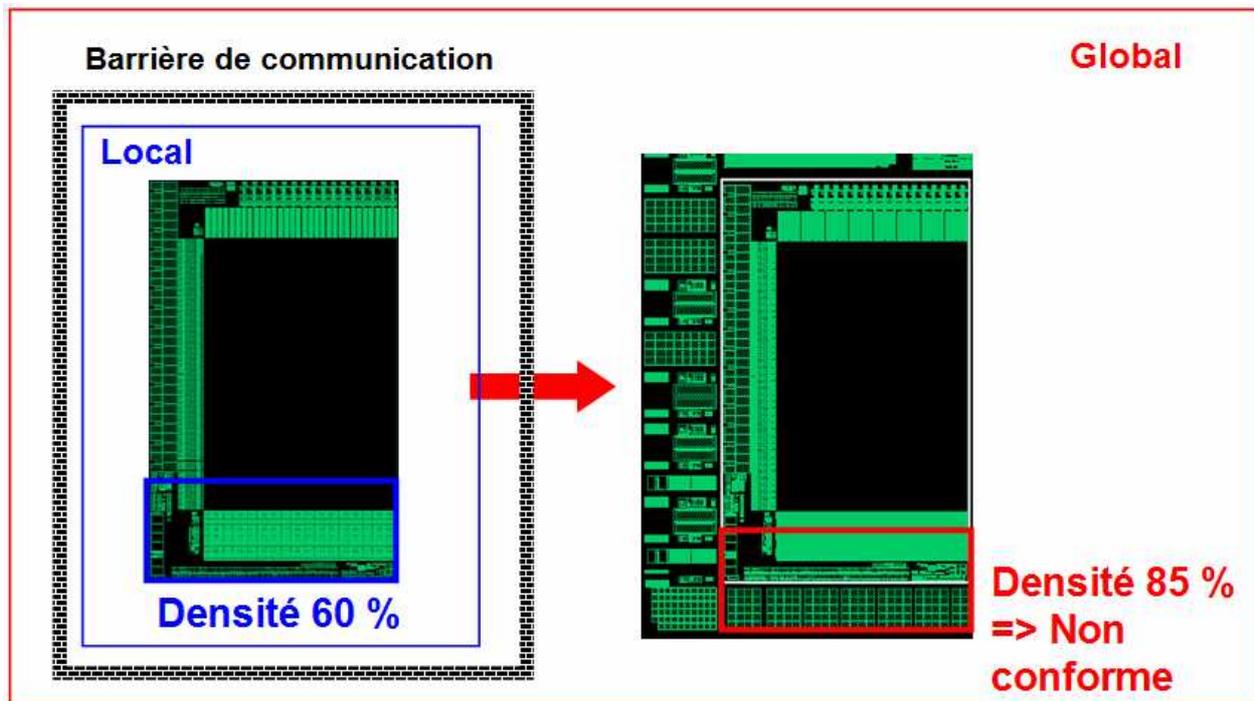


Figure 14 : Exemple d'un dysfonctionnement inhérent à l'approche locale / globale standard

Il s'agit donc de définir le type d'interactions nécessaires au fonctionnement optimal de la méthode de conception. Les connexions à effectuer ainsi que leur contenu apportant une valeur ajoutée à l'organisation standard sont décrits ci-dessous :

- **Interaction entre Conception cellule et Placement / Routage** : de nombreux avantages peuvent être créés par cette mise en relation. Elle permet en effet de relier la vision locale (conception cellule) à la vision globale (élaboration du produit). Afin de permettre au Placement / Routage d'effectuer un placement optimal en termes de densité et gradients de densité, il est intéressant que les concepteurs de cellules communiquent au plus tôt au Placement / Routage des informations relatives à la topologie de leur cellule. Ainsi, ayant accès à une cartographie de répartition de densité pour chaque cellule, le Placement / Routage sera à même d'améliorer l'agencement afin de prévenir des problèmes de forte densité et de forts gradients de densité. Il devient possible d'éviter la création de zones de trop forte densité créées par l'aboutement de deux cellules non compatibles en termes de topologie. Cela permet également d'éviter de placer côte à côte une cellule présentant une faible densité et une cellule présentant une forte densité, ceci afin de prévenir les forts gradients de densité. Il devient de plus possible de placer dans des

cellules identiques dans des contextes similaires pour limiter les impacts de la variabilité de fabrication.

- **Interaction entre Conception cellule et DFS / MDP** : l'étape de finalisation du produit est essentielle et permet souvent de pointer certains problèmes passés inaperçus auparavant, comme par exemple une cellule présentant une trop faible densité et n'autorisant pas l'insertion de polygones de remplissage. Dans ce cas, le fait de connecter directement l'équipe du DFS et le responsable de la cellule permet un gain de temps non négligeable pour définir les corrections à apporter. De même, il arrive qu'une configuration particulière pose problème lors de la correction des effets de proximité (OPC). Cela peut concerner une configuration à risque non corrigable, ou encore une configuration dont la correction est si complexe qu'elle engendre un temps de traitement non compatible avec les plannings de développement. Dans ce cas, un canal de communication direct avec l'OPC permet de faire passer l'information directement aux concepteurs de cellules qui seront plus attentifs à éviter les configurations critiques. Bien souvent, ce type d'information n'est même pas communiqué à cause des barrières établies entre les différents acteurs du processus de conception.
- **Interaction entre Conception cellule et Fabrication** : du fait de la différence de métier entre ces deux parties, il arrive que les données concernant le rendement et les rapports de défektivité ne sont pas fournis directement aux concepteurs de cellules, mais au Développement technologie et aux chefs de projet. En effet, la notion de rendement s'applique au niveau produit. Le fait d'analyser ces données avec un point de vue orienté conception peut s'avérer très intéressant pour l'interprétation, et surtout pour les mesures à prendre du côté de la conception pour prévenir certaines dérives. Dans un grand nombre de cas, des problèmes observés du côté de la fabrication trouvent leurs solutions dans une optimisation de la méthode de conception.
- **Interaction entre Conception Cellule et Développement technologie** : l'interface entre la Conception cellule et le Développement technologie existe déjà par le biais du document référence des spécifications de la technologie. Cependant, cette communication peut être poussée plus loin en créant un dialogue au sujet de la définition de ces spécifications. Certes le procédé de fabrication dicte l'essentiel des règles de conception, mais le fait de confronter les attentes du monde de la conception et les contraintes de la fabrication peut permettre de trouver des compromis et de réduire les solutions sur-contraindantes. Introduire le point de vue de la conception dans la définition des règles technologiques apporte une valeur ajoutée à la technologie considérée. De plus, ce type d'interaction doit inciter à la prise d'initiative et à la proposition de solutions par le monde la conception. Un concepteur doit pouvoir proposer des solutions de structures innovantes et avoir un retour sur leur faisabilité au niveau technologique, demander la prise en compte de nouveaux paramètres électriques dans les modèles de simulation,

tout ceci étant basé sur son expérience de la conception. Les réponses à ces interrogations se trouvent du côté du Développement technologique qui maîtrise les possibilités offertes par la technologie utilisée. C'est pourquoi ce type d'interaction doit être approfondi.

En listant les interactions qui doivent être mises en place afin de définir une méthode de conception optimale, on peut définir deux types de dimensions : la dimension dite de « Conception » (Figure 15) et la dimension dite de « Technologie » (Figure 16).

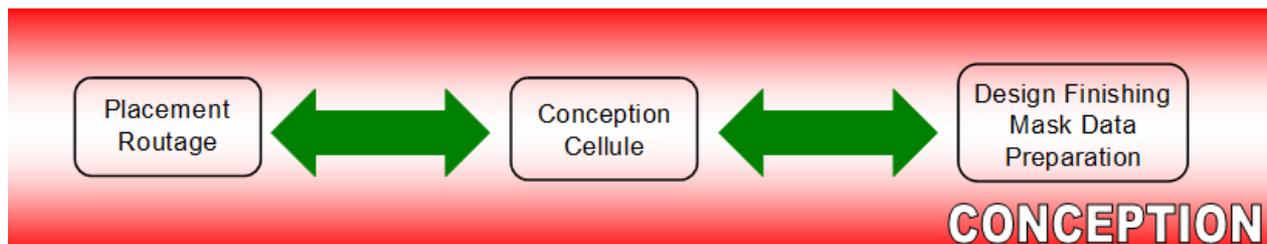


Figure 15 : Diagramme de la dimension "Conception"

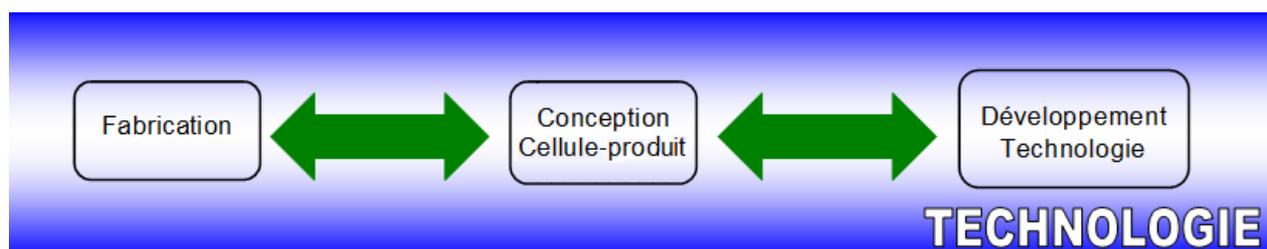


Figure 16 : Diagramme de la dimension "Technologie"

## I.3.2 Fusion des deux dimensions dans l'espace DFM<sup>2</sup>

### I.3.2.1 Nécessité de confronter les deux dimensions Conception et Technologie

On a donc créé deux dimensions de communication qui servent de bases à l'établissement d'une nouvelle méthode de conception. La dimension Conception regroupe le Placement / Routage, la Conception cellule et le DFS / MDP. On retrouve donc à l'intérieur de cette dimension une mise en commun des visions locale et globale, à savoir les visions cellule et produit. Cela permet au concepteur de suivre la vie future de sa cellule, de son contexte dans le produit, et d'intervenir soit à son initiative, soit sur les demandes des autres membres de la dimension Conception. La dimension technologie regroupe la Conception cellule, la Fabrication et le Développement technologie. Les interactions possibles en son sein sont multiples, et les informations qui y circulent peuvent concerner de nouvelles règles de conception adaptées à la fois aux contraintes de la fabrication et à celles de la conception, des informations de rendement et de défektivité, ou encore la validation de nouvelles structures innovantes. Considérées

séparément, ces deux dimensions n'ont pas le potentiel pour servir de base à une méthode d'élaboration d'un produit. A titre d'exemple, l'intérêt de communiquer des informations au sujet de défauts observés sur les via à la Conception cellule est assez limité si l'information ne passe pas jusqu'au Placement / Routage. Il est donc nécessaire de trouver un moyen d'interconnecter ces deux dimensions afin d'avoir un réseau organisé où l'information peut circuler librement.

### **I.3.2.2 La pierre angulaire de cette interconnexion : la Conception cellule**

Tout l'intérêt de la mise en place d'une nouvelle méthode de conception repose sur la confrontation des savoirs issus de la conception et de la technologie. Les uns recherchent une technologie ouverte qui leur permet d'avoir les outils pour fournir des produits performants et fiables, une fiabilité qui leur assure que le comportement des cellules en simulation soit aussi proche que possible de la réalité du silicium. Les autres recherchent la maîtrise de la technologie et un rendement maximum. Ces attentes, loin d'être opposées, sont plus que complémentaires : elles sont dépendantes l'une de l'autre. Il s'agit donc de définir un centre névralgique capable d'orienter les informations et de coordonner les priorités émanant des deux dimensions Conception et Technologie. Le meilleur candidat pour être le point d'intersection se trouve être l'étape de Conception Cellule. Proche du développement, car les cellules sont les briques de base des produits, et proche de la technologie, car l'innovation présente dans la conception pousse souvent à tirer le maximum du nœud technologique utilisé. En connectant les dimensions Conception et Technologie autour de la Conception cellule, on dépasse le simple cadre du DFM, qui est le « *Design for Manufacturing* ». Ici, on est autant dans une approche « *Manufacturing for Design* », et la conception cellule devient la pierre angulaire de cette méthode de conception à double sens, orientée vers une productivité optimale. En rebouclant l'approche DFM sur elle-même, on définit une nouvelle méthode de conception baptisée le DFM<sup>2</sup> (Figure 17) [Remy'09-1][Remy'09-3].

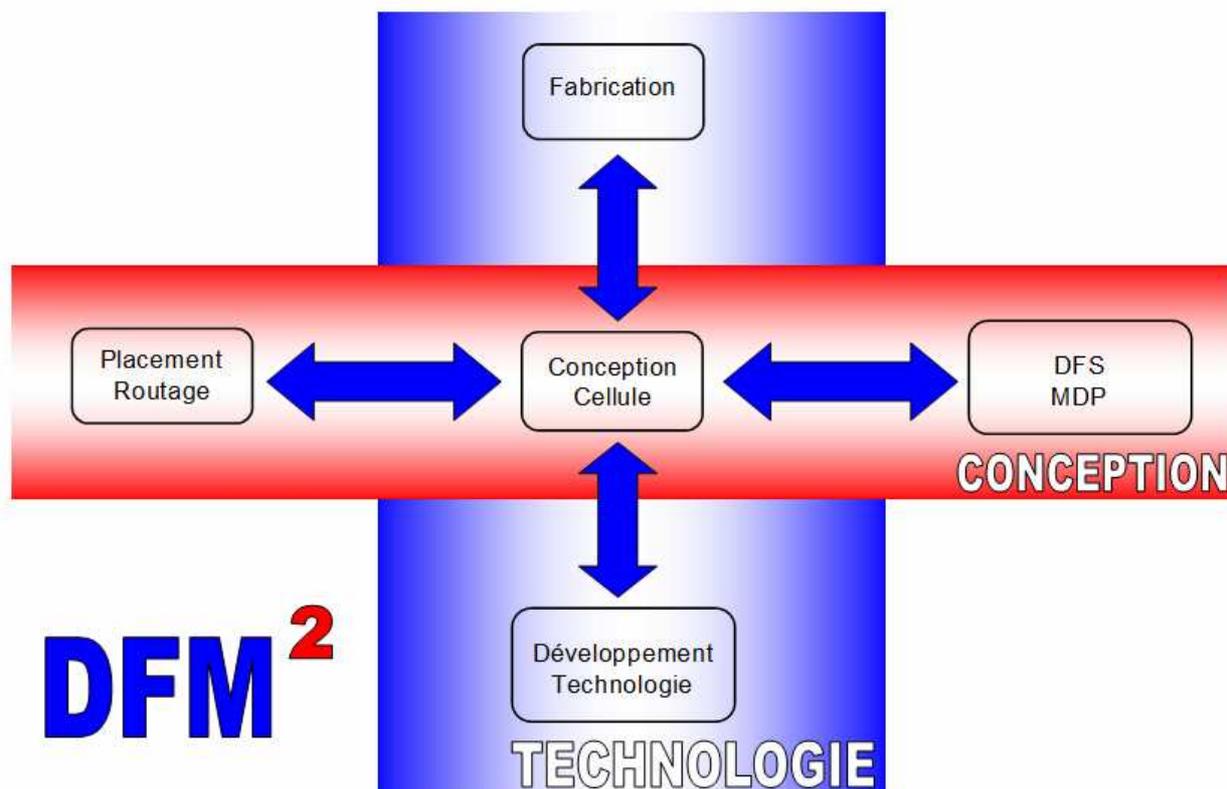


Figure 17 : Diagramme de la méthode de conception DFM<sup>2</sup>

## I.4 Conclusion

L'évolution vers les technologies nanométriques de ces dernières années a mis en lumière les limites de la méthode de conception commune. De nouveaux effets physiques sont découverts, et on observe une régression de la maîtrise de la technologie avec la difficulté grandissante à gérer les dérives de fabrication, inhérentes à la complexité induite par la réduction des dimensions. Afin d'appréhender une défektivité nouvelle, souvent systématique, composée à la fois de défauts paramétriques et catastrophiques, la notion de DFM est apparue. Il s'agit de mettre en place des nouvelles techniques de conception qui tiennent mieux compte de la complexité grandissante du processus de fabrication afin de rendre les produits plus robustes face aux variations de la technologie. Le DFM, bien souvent réduit à l'ajout de règles de conception supplémentaires, est une philosophie à part entière, qui a pour but d'optimiser la productivité en mettant la conception au service de la fabrication. Afin de compléter cette approche, deux dimensions de communication ont été définies : la dimension « Conception » et la dimension « Technologie ». Le but est de confronter les différentes expériences, issues du monde de la conception et de la fabrication, afin de mettre en relation leurs différentes attentes et de définir une organisation qui servira la mise en place d'une nouvelle méthode de conception. Cette dernière se base

sur une interconnexion des deux dimensions, autour d'un centre névralgique qu'est la Conception cellule. Véritable pierre angulaire de la méthode de conception DFM<sup>2</sup>, la Conception cellule coordonne de nouvelles interactions sous la forme d'échanges d'informations avec les différents acteurs du processus de réalisation d'un produit. Ce type d'organisation permet de faire tomber les barrières entre approche locale (cellule) et approche globale (produit), afin que le concepteur d'une cellule soit informé de toutes les modifications qu'elle subira dans les étapes postérieures à sa création, telle que son instanciation dans un contexte de produit. En communiquant des informations de rendement et proposant une interaction privilégiée avec le développement technologie, cette méthode donne une vision globale aux différentes équipes de développement, engendrant des initiatives productives et développant une responsabilisation des acteurs du DFM<sup>2</sup>, indispensable pour tirer bénéfice de l'adoption d'un nœud technologique avancé.

## Chapitre II

### Application de la méthode DFM au niveau FEOL

*La mise en pratique des principes du DFM<sup>2</sup> dans le processus de conception industriel doit permettre d'améliorer la productivité et de transformer la méthode de conception en place pour introduire notamment le renforcement des interactions préconisées par le DFM<sup>2</sup>. Ainsi, après avoir listé les différents secteurs d'activité en amont de l'étape de métallisation qui peuvent bénéficier d'une telle transformation, le monde de la conception et celui de la fabrication sont réunis autour la question DFM. En mettant en commun à la fois les contraintes et les expériences des deux parties, des solutions sont trouvées. Elles prennent la forme de nouvelles règles de conception ou de structures innovantes, dont la validation est réalisée par la réalisation de véhicules de test sur silicium, dans des technologies 150nm et 130nm. L'une de ces innovations est la DFM Filler Cell. C'est une structure de remplissage qui apporte une solution à des problèmes d'ordre DFM rencontrés à différentes étapes du processus de production, comme le CMP, la lithographie ou encore le stress physique auquel les cellules standards sont soumises.*

## II.1 Introduction

Après avoir exposé la théorie d'une méthode de conception orientée DFM dans le chapitre I, il est maintenant question d'appliquer ces préceptes au contexte industriel. Le travail de conception de cellule dans une technologie avancée peut être optimisé, et cela nécessite aussi bien des changements de mentalité que des nouvelles solutions techniques. Le DFM<sup>2</sup> préconise d'intensifier les relations entre les dimensions Conception et Technologie afin de définir des solutions nouvelles adaptées aux contraintes de chacun. Il faut donc travailler autour de la mise en commun du savoir des concepteurs et des technologues. Cela permet de définir de nouvelles règles DFM qui facilitent l'étape de fabrication. De manière à mettre en valeur l'esprit d'innovation indissociable de la conception, des solutions innovantes sont également développées et soumis à validation du département technologie. Cette approche commune permet d'affronter les difficultés inhérentes aux technologies avancées de la meilleure manière qui soit.

L'introduction de la notion DFM dans les différents secteurs localisés autour de l'étape FEOL (pour « *Front-End-Of-Line* ») est présentée dans une première partie. Dans un second temps, l'étude se focalise sur la mise en évidence des limitations existantes qui freinent la productivité. Ensuite, des solutions innovantes sont présentées dans la troisième partie afin de pallier les problèmes évoqués dans le paragraphe précédent. Enfin, la quatrième partie synthétise et conclue les travaux autour du FEOL.

## II.2 Introduction de l'impact du DFM sur le FEOL

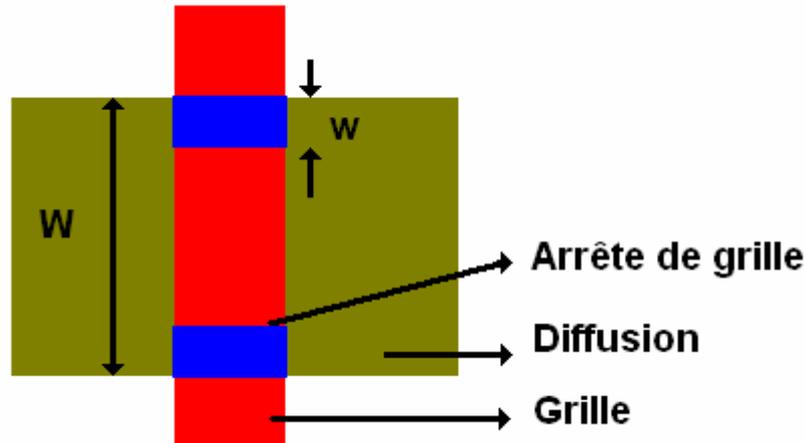
L'utilisation de technologies fortement submicroniques implique de sérieuses contraintes autant au niveau de la conception que de la fabrication. Les dérives physiques sont nombreuses et ne peuvent être maîtrisées. Il s'agit donc de les prendre en compte au niveau de la définition des spécifications électriques des produits, et de trouver des parades de conception (réduction de la puissance, amélioration de la densité d'intégration) afin de profiter des avantages des nouvelles technologies sans imposer des innovations coûteuses au niveau de la fabrication. En effet, les contraintes à ce niveau sont déjà suffisamment nombreuses. Les principales limitations techniques propres aux nouvelles technologies sont les suivantes :

- Effets de stress et robustesse : la modélisation des courants de fonctionnement des dispositifs électriques repose aujourd'hui sur la connaissance des stress induits par les procédés de fabrication, qui ont un impact conséquent sur les performances. En effet, le stress généré par l'oxyde d'isolation entre les zones de diffusion (STI pour « *Shallow Trench Isolation* ») peut dégrader significativement les performances électriques d'un transistor. Tandis que les stress dus aux étapes du BEOL (pour « *Back-End-Of-Line* ») affectent principalement la robustesse, les stress inhérents au FEOL ont un impact sur la mobilité des porteurs, et par conséquent sur tous les

paramètres qui en découlent, comme la tension de seuil ou le courant de saturation. Il est donc nécessaire de parfaitement modéliser les différents types de stress afin d'améliorer les performances électriques.

- Courants de fuite : cela concerne aussi bien les courants de fuite de jonction ou de grille que les dégradations d'oxyde par effet tunnel. Les fuites de courant affectent non seulement les performances des circuits, mais ont également un impact sur le choix du « *packaging* » et sur la robustesse globale des produits. Couplés à la variabilité du procédé de fabrication qui joue sur la dimension critique des grilles et aux variations de température, les courants de fuite en deviennent imprévisibles et peuvent varier de 5 à 20 fois pour les puces d'une même plaque de silicium. Des techniques ont déjà été développées pour contrer ce phénomène [Dobre'06]. Une modification automatique de la taille des grilles est opérée au niveau de l'OPC afin d'ajuster la dimension critique au contexte du transistor. Cela permet de réduire de 10% à 40% les courants de fuite et donc d'améliorer la robustesse des circuits face aux variations des conditions de fonctionnement.
- Variabilité de la technologie : le contrôle des dimensions critiques est un défi permanent pour la conception et la fabrication dans les technologies avancées [Nandra'07]. Bien que des techniques comme la sur-contrainte des règles de dessin ou l'amélioration des structures d'uniformisation de la densité permettent de faciliter les procédés de fabrication, ce problème reste bien présent, et les dimensions critiques restent dépendantes des variations de la lithographie. On assiste également à une variabilité de l'épaisseur des zones de diffusions et des interconnexions due aux dérives du CMP.

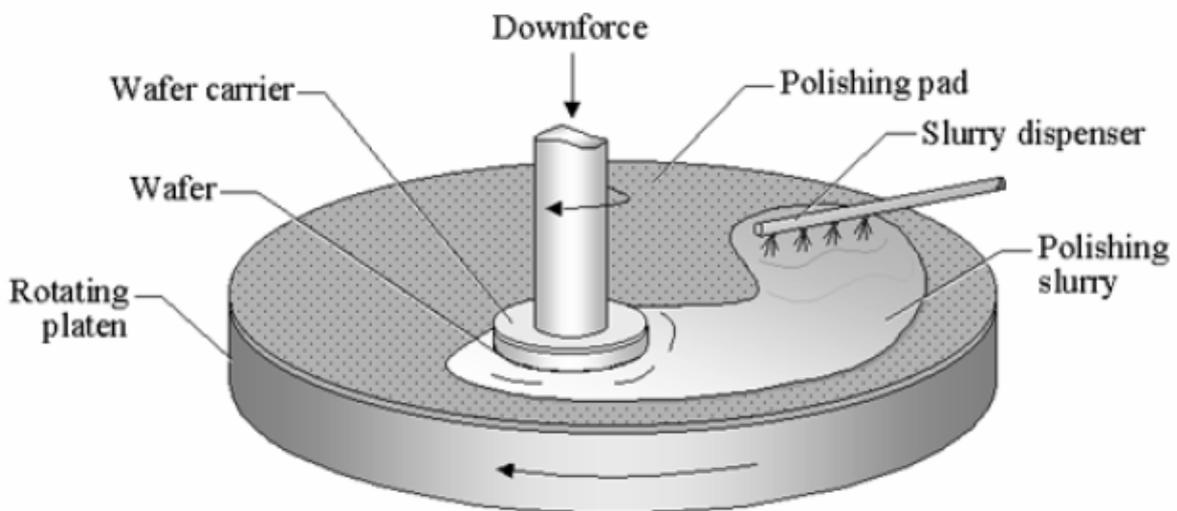
D'autres phénomènes localisés aux étapes du FEOL impactent directement la robustesse des circuits. Citons les effets parasites, comme le couplage au substrat, qui nécessitent la mise en place d'outils et de modèles permettant au concepteur d'en tenir compte au moment de la simulation [Kahng'06-1]. La notion de largeur de diffusion efficace devient également incontournable avec l'avancée technologique. En effet, les configurations des transistors observées dans les cellules standard deviennent de moins en moins régulières, ceci étant dû à des contraintes de densité d'intégration. On assiste donc à une complexification de la géométrie des zones de diffusion qui rend difficile la prédiction du fonctionnement. De même, l'impact de la lithographie sur les dimensions critique des grilles joue sur les performances des transistors [Gupta'06].



**Figure 18 : Les dimensions impactant la dimension critique de la grille**

Ainsi, la tension de seuil du transistor dépend du ratio Largeur de zone de diffusion ( $W$ ) / Largeur de l'arrêt de grille ( $w$ ) (présenté en Figure 18). La largeur de l'arrêt de grille est un paramètre essentielle pour la modélisation de la variabilité entre les différents dispositifs électriques en 45nm. Afin de tenir compte de ce paramètre, il est nécessaire d'utiliser des modèles spécifiques prenant en compte les effets de LER (pour « *Line-Edge Roughness* ») et de LWR (pour « *Line-Width Roughness* »).

Les domaines d'étude consacrés aux défaillances électriques engendrées par des phénomènes physiques non maîtrisés sont multiples et vastes. Dans la suite, nous nous concentrerons sur l'impact du CMP sur la variation de planéité des zones de diffusion et sur des solutions innovantes. Le CMP a été adopté au milieu des années 1990 comme la technique de référence pour la planéité (Figure 19).



**Figure 19 : Fonctionnement du Chemical Mechanical Polishing (CMP) (Source : icyield.com)**

C'est un procédé global, durant lequel le *wafer* est positionné entre une plaque de polissage et un support. Un composé chimique abrasif est ensuite appliqué entre le *wafer* et la plaque de polissage, et le mouvement de rotation de la plaque de polissage est contrôlé par ordinateur afin de gérer précisément la planéité. Un des principaux avantages du CMP est qu'il peut adresser différents matériaux, simplement en changeant le type d'abrasif. Ainsi, les solutions chimiques de référence sont l'hydroxyde d'ammonium avec particules de silicate pour le CMP oxyde, le peroxyde d'hydrogène avec poudre d'aluminium pour le tungstène et une solution basique d'hydroxyde d'ammonium avec particules d'aluminium pour le cuivre. La plaque de polissage est le plus souvent en polyuréthane poreux. Le point important du CMP est sa condition d'arrêt, qui détermine le moment où la planéité atteinte est suffisante. Cette condition repose sur une mesure mécanique ou optique selon les équipements. Avec la réduction des dimensions, les contraintes de planéité deviennent de plus en plus importantes, et l'efficacité de l'étape CMP est un facteur clé du rendement. En effet, une mauvaise planéité génère des topologies de dispositifs électriques qui n'ont pas été prises en compte par le concepteur et qui peuvent générer des défauts paramétriques, voire catastrophiques dans le pire des cas. Afin d'obtenir des bons résultats, il est nécessaire d'avoir une densité aussi uniforme que possible et de minimiser les disparités entre les tailles des différents polygones. On assiste donc parfois à des incompatibilités entre les topologies attendues en entrée de CMP et celles réalisées par les concepteurs de cellule. Il est donc nécessaire de confronter les contraintes de la fabrication et de la conception afin de trouver des solutions adaptées aux deux parties afin d'améliorer la fiabilité des produits.

## II.3 Identification des problèmes existants

### II.3.1 Les modes de communication entre le monde de la fabrication et le monde de la conception

La principale limitation à la mise en place d'une méthode de conception de type DFM<sup>2</sup> concerne le manque de canaux de communication entre le monde de la conception et le monde de la fabrication. De manière générale, l'interaction principale se limite aux documents définissant les spécifications relatives à la technologie utilisée. La mise en place d'interactions privilégiées est d'autant plus nécessaire que les deux parties en bénéficieraient. Des exemples de problèmes pouvant être adressés par une communication bidirectionnelle accrue sont listés ci-dessous :

- **De la conception vers la fabrication** : lors de la conception, des questions apparaissent en fonction du degré de complexité de développement des cellules. Bien que certaines de ces interrogations trouvent leur réponse dans les documents technologiques, les concepteurs de cellule ont parfois besoin de jouer avec les limites de la technologie pour améliorer la compétitivité des produits, tant au niveau de la densité d'intégration que des performances

électriques. Prenons l'exemple concret de l'utilisation d'une capacité MOS : la taille maximale est définie par les spécifications de la technologie. Cependant, il arrive qu'il ne soit pas envisageable d'utiliser deux capacités aboutées pour des considérations de taille de cellule. Dans ce cas, le concepteur a besoin d'utiliser une capacité dont la taille est supérieure à la limite autorisée, avec l'inconvénient que la modélisation de celle-ci ne soit pas suffisamment précise. Dans ce cas, une interaction directe avec l'équipe du développement technologique peut permettre de lever le doute et de définir la stratégie la plus adaptée aux contraintes de conception. Le manque de communication joue également un rôle très important dans le cas où les méthodes de conception « historiques » complexifient les étapes de fabrication. Il est nécessaire de confronter les contraintes afin de définir des solutions adaptées aux deux mondes sans sur-contraintes.

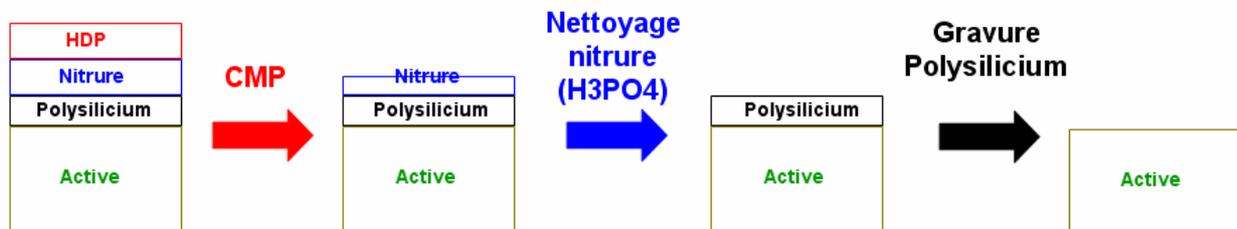
- **De la fabrication vers la conception** : l'étape de fabrication dans sa globalité subit directement les contraintes inhérentes à l'utilisation d'un nœud technologique avancé. Les difficultés à maîtriser les dérives physiques rendent difficile la maturation de la technologie et les gains en rendement qui en découlent. Pourtant, dans de nombreux cas, les problèmes rencontrés à l'étape de fabrication viennent d'une méthode de conception non adaptée aux nœuds technologiques avancés. Ainsi des solutions aux limitations rencontrées par la fabrication se trouvent au niveau de la conception. Si l'on prend l'exemple du CMP, on constate que la qualité de la planéité est grandement dépendante de la topologie de densité du produit considéré, et cela nécessite la mise en place de solutions complexes et souvent non universelles du côté de la fabrication. Le fait d'uniformiser la densité au niveau de la conception réglerait ce type de limitation.

### II.3.2 Problèmes relatifs au procédé de fabrication

Les résultats obtenus après l'étape de CMP sont fortement dépendants de la topologie de densité du produit à traiter. L'obtention d'une planéité satisfaisante repose sur un savant mélange entre dosage d'abrasif, vitesse de rotation et pression appliquée. Ainsi, il n'existe pas de recette universelle pour adresser tous les types de configuration qui peuvent être rencontrés. Afin de mettre en évidence les topologies critiques et de faire ressortir les points qui nécessitent une amélioration, un programme d'analyse est lancé en partenariat avec l'équipe de fabrication, incluant les équipes de défektivité, de développement de la technologie, de lithographie et du rendement. Une équipe du Kit de conception physique (PDK pour « *Physical Design Kit* ») a été intégrée au projet afin de profiter de leur expertise de la conception pour analyser les résultats. Des concepteurs viennent compléter ce groupe de travail, qui s'inscrit donc parfaitement dans la philosophie de la méthode de conception DFM<sup>2</sup>.

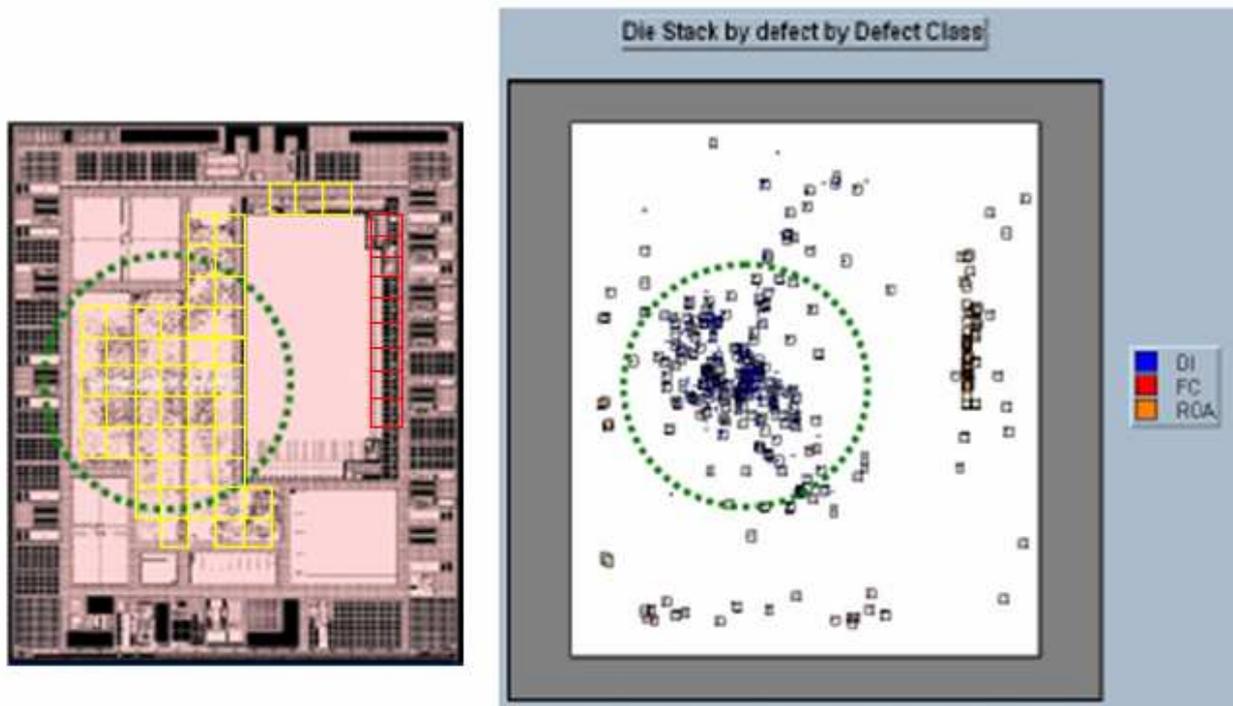
Certains produits spécifiques identifiés comme présentant des configurations à risque pour le CMP ont permis de mettre en lumière différents types de défauts. Ces derniers découlent de

configurations de densité extrêmes, qui impactent la qualité des résultats du CMP. L'étude a été concentrée sur les défauts relatifs aux zones actives. On retrouve donc dans ces produits des zones avec une densité d'active très faible, et d'autres avec une densité d'active très élevée. L'étape de CMP pour cette étape de la fabrication est exposée dans la Figure 20.



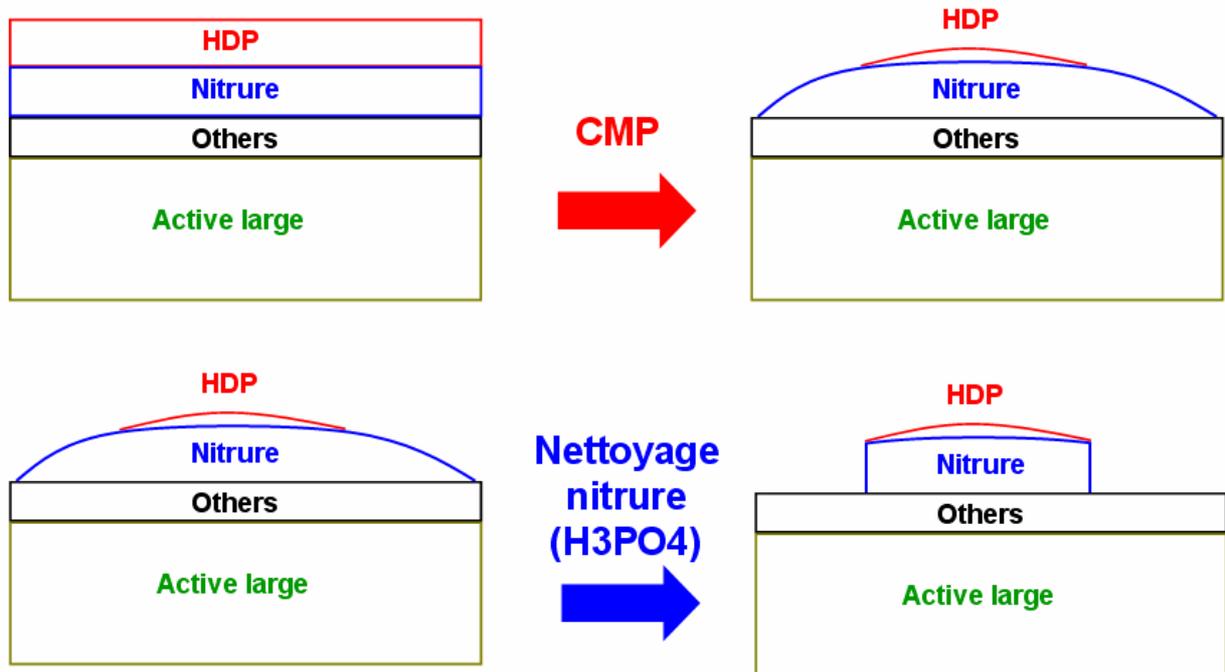
**Figure 20 : Enchaînement des étapes du CMP active**

Le CMP intervient pour retirer la couche d'HDP (pour « *High Density Plasma* »), qui est un oxyde fortement densifié. Ce type d'oxyde est utilisé afin d'éviter de recuire un oxyde qui ne serait pas aussi dense. Le CMP trouve sa couche d'arrêt au sein de la couche de nitrure. Dans l'étape suivante, le nitrure est nettoyé avec une solution de  $H_3PO_4$ . Le polysilicium restant est ensuite gravé. Le bon déroulement de ces étapes dépend de l'efficacité du CMP en amont, qui dépend elle-même de la répartition de densité du produit. Des analyses de défektivité sont donc réalisées sur les produits identifiés afin de corréler les résultats avec des topologies particulières. On peut voir sur la Figure 21 une cartographie de densité d'un produit à gauche (les zones de faible densité sont entourées par des carrés jaunes et celles de forte densité en rouge) et la cartographie de défektivité associée sur la droite. Cette photographie et les suivantes ont été réalisées dans le cadre des études présentées dans ce chapitre.



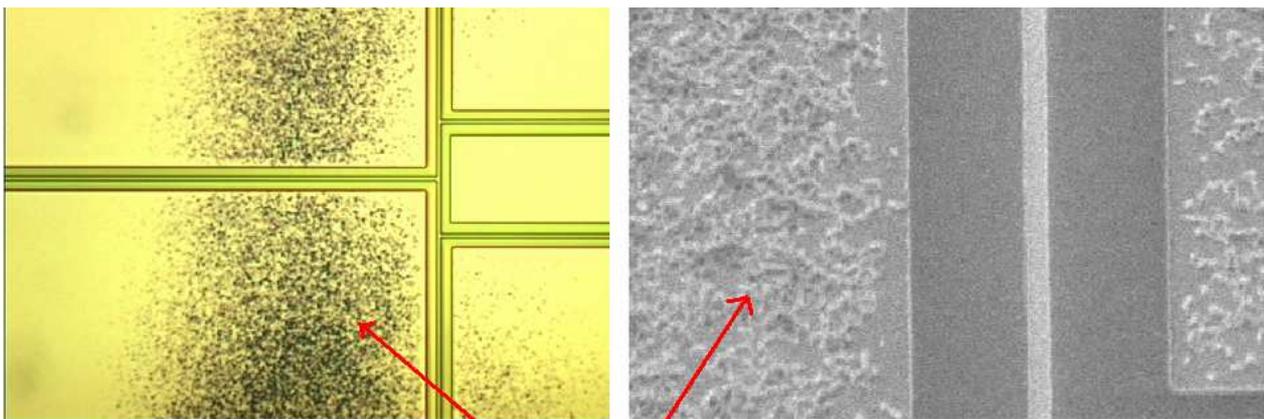
**Figure 21 : Corrélation entre les topologies critiques de densité d'un produit et la cartographie de défektivité associée**

Les types de défauts observés appartiennent principalement à trois catégories différentes. La première d'entre elles est connue sous le nom de ROA (Residue On Active), et apparaît lorsque l'on rencontre des larges zones d'active à très forte densité. Cela peut concerner par exemple les pompes de charges des mémoires flash lorsqu'elles sont à proximité d'autres capacités. Le mécanisme conduisant à l'apparition de ROA est décrit dans la Figure 22.



**Figure 22 : Enchaînement des étapes conduisant à la formation de ROA**

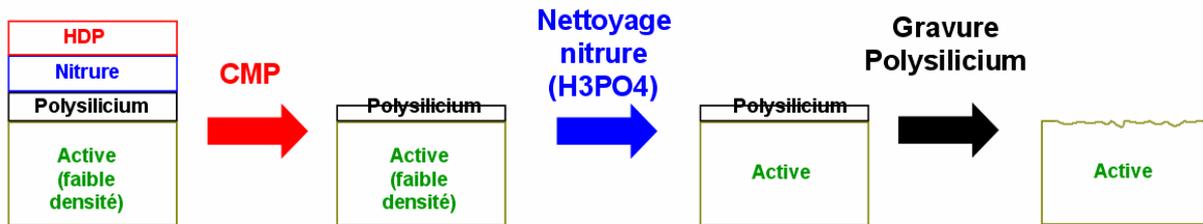
Due fait de la largeur de la zone d'active, la pression relative à la recette CMP utilisée n'est pas suffisante et ne parvient à éliminer la totalité du HDP. Ce dernier forme ensuite une couche protectrice pour le nitruire lors de l'étape suivante, et il reste des résidus sur l'active. Ce défaut est de type catastrophique et conduit systématiquement à la disqualification du *wafer* qui le contient. Des exemples de ROA sont présentés dans la Figure 23.



**ROA (Residue On Active)**

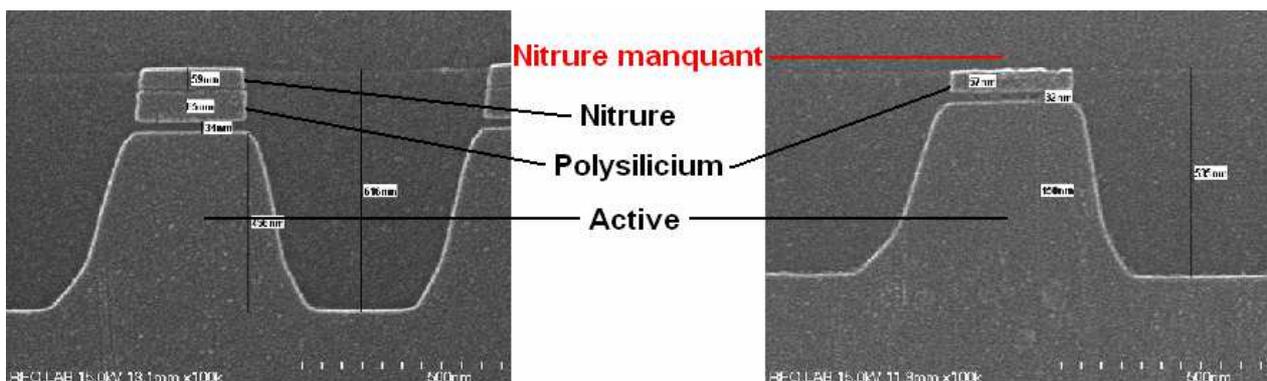
**Figure 23 : Photographies de ROA (Residue On Active)**

Inversement, le fait d'avoir une zone de très faible densité d'active peut générer des problèmes au niveau CMP. Les défauts en résultant sont appelés défauts de type « *pitting* ». Le descriptif de ce disfonctionnement est présenté dans la Figure 24.



**Figure 24 : Enchaînement des étapes conduisant à la formation de défauts de type *pitting***

Du fait de la faible densité d'active, la pression du CMP est trop forte et la gravure est trop profonde. De fait, le polissage dépasse la couche d'arrêt du nitrure et vient attaquer le polysilicium (voir Figure 25). Ainsi lors de l'étape de gravure du polysilicium, l'active est directement rognée du fait de la faible épaisseur de polysilicium.



**Figure 25 : Disparition du nitrure due à un polissage trop important du CMP**

L'impact physique de ce phénomène se traduit par des dérives électriques, et par des défauts catastrophiques dans le pire des cas. Il est possible d'observer les zones souffrant potentiellement d'active *pitting* au microscope électronique, qui permet de visualiser avec un dégradé de couleur les zones de différentes hauteurs. Lorsque les variations sont trop importantes, on dit qu'il y a de la « discoloration ». Les zones les moins hautes seront les plus impactées par les défauts de type *pitting*. Sur la Figure 26, on observe une photographie présentant de la discoloration sur l'active. Le dégradé de couleur va du jaune au rouge et correspond respectivement à la hauteur plus ou moins haute de l'active. On observe que les dispositifs de remplissage carrés sont les plus impactés (en rouge), et que des variations existent pour des zones de diffusion aboutées.

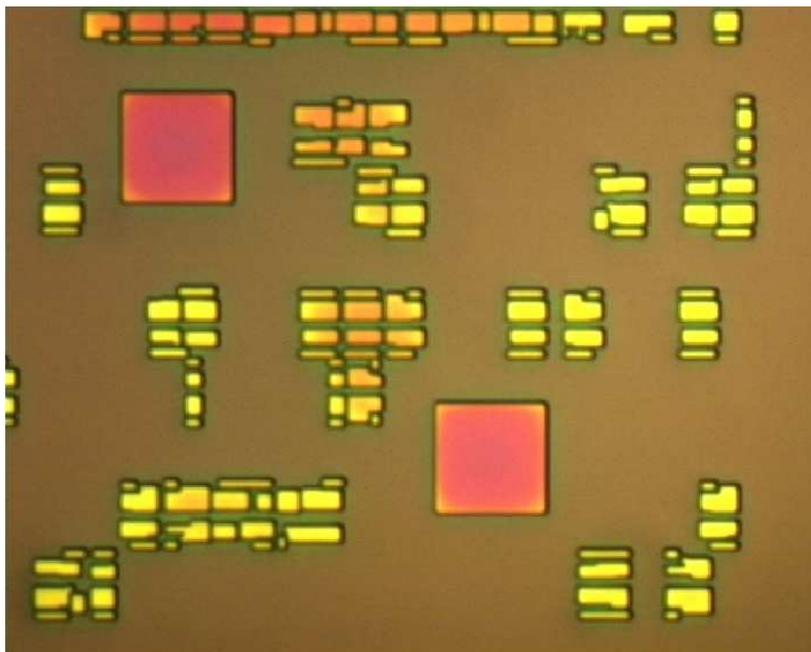


Figure 26 : Discoloration de l'active

Les Figure 27 et Figure 28 sont des photographies montrant l'impact du *pitting* sur les zones d'active.

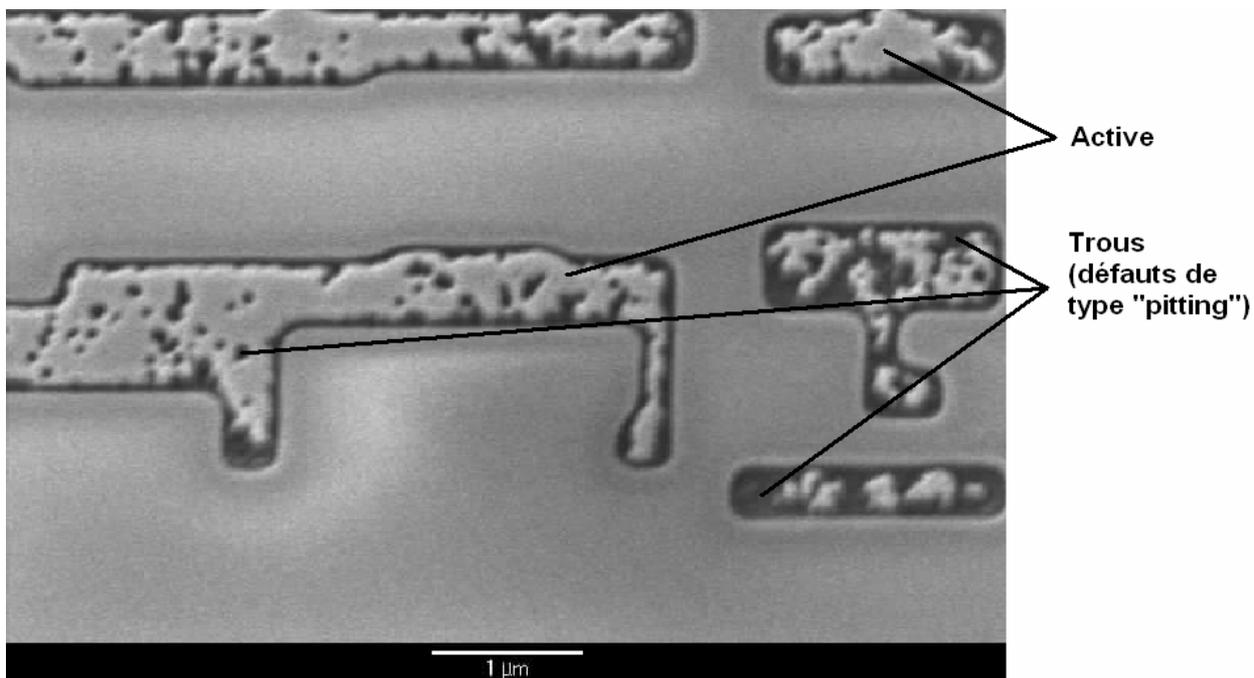
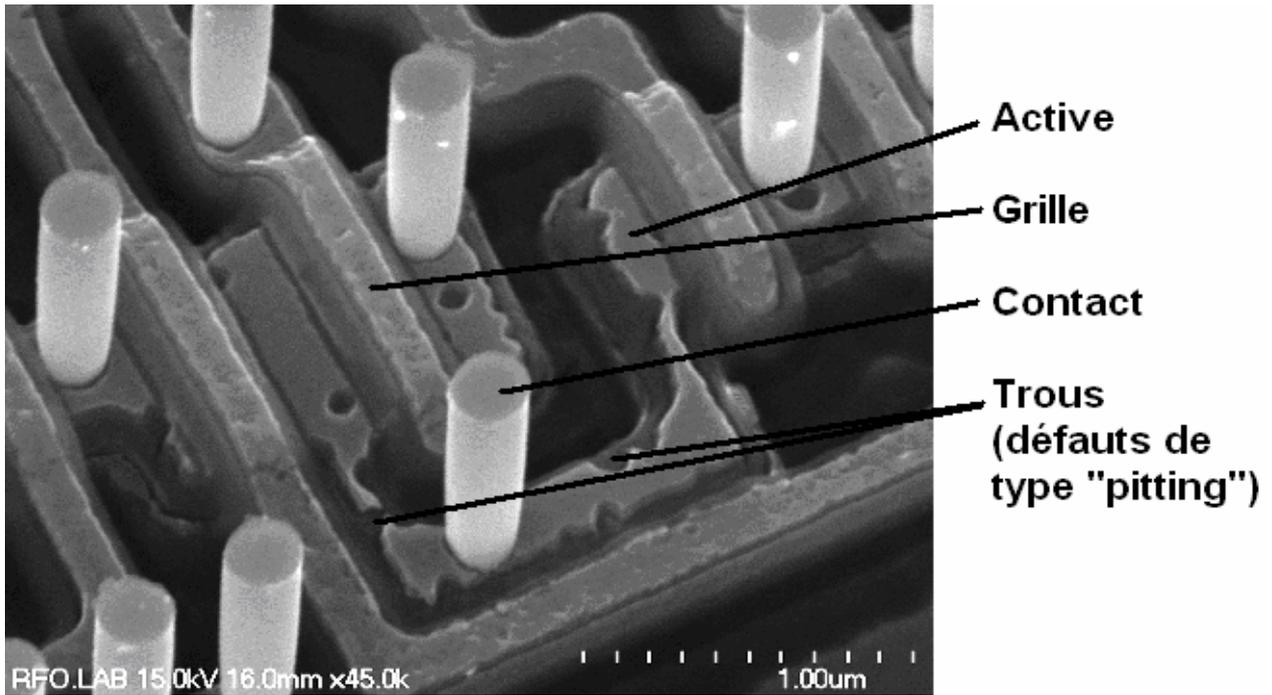
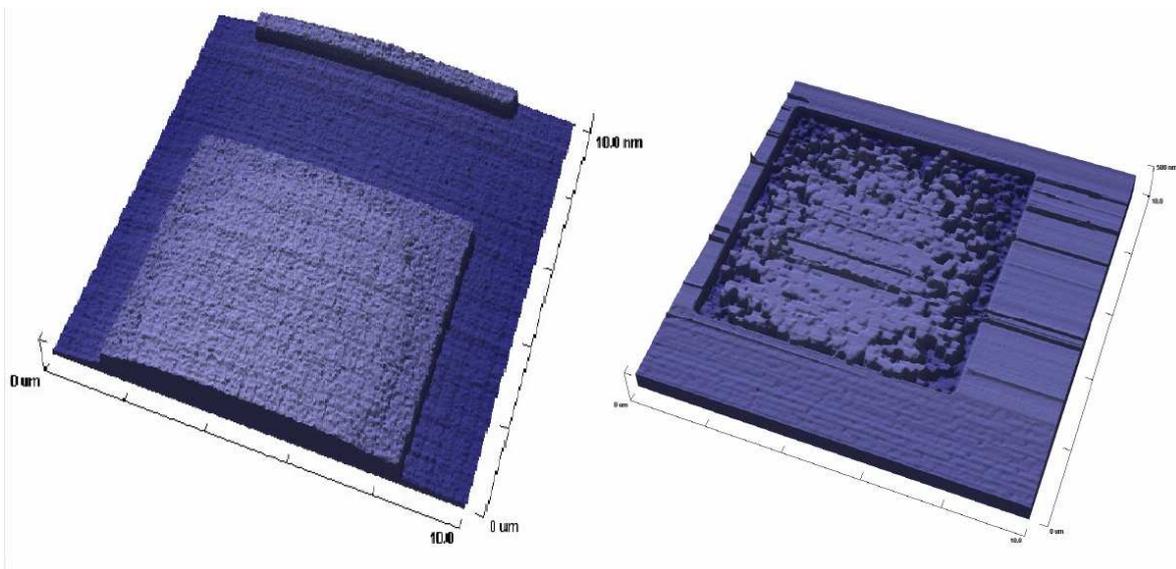


Figure 27 : Photographie de défauts de type "*pitting*"

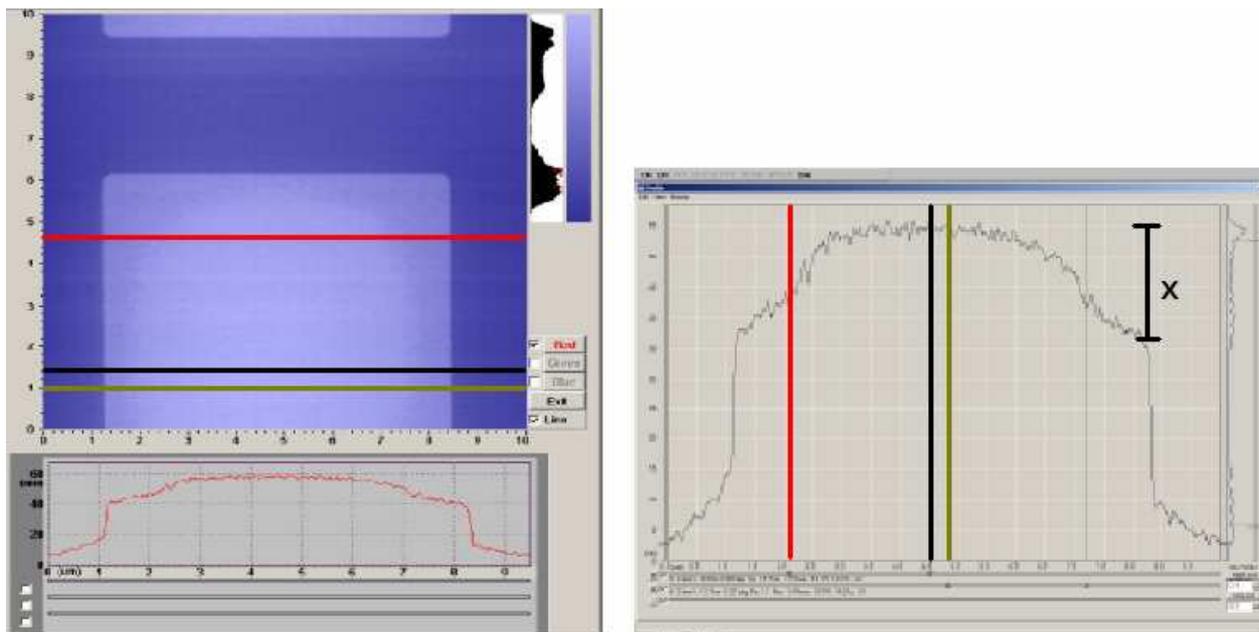


**Figure 28 : Photographie de défauts de type *pitting* sur un transistor**

Ces défauts sont observés dans des zones très peu denses, comme certains blocs logiques ou encore certains transistors isolés dans des cellules analogiques. Suite à une discoloration analogue à celle visible dans la Figure 26, une étude parallèle est menée et montre les résultats de l'impact du *pitting* sur les dispositifs de remplissage dans les zones peu denses. La Figure 29 montre des représentations en trois dimensions de dispositifs de remplissage impactés par le *pitting*, et le graphe de la Figure 30 détaille les variations de hauteur correspondantes.



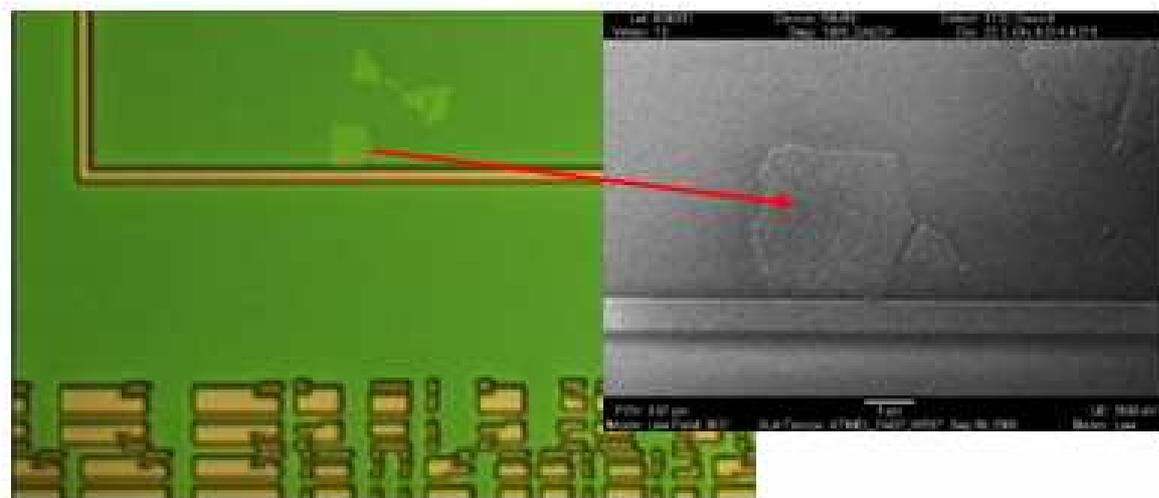
**Figure 29 : Représentation en 3D de dispositifs de remplissage impactés par le *pitting***

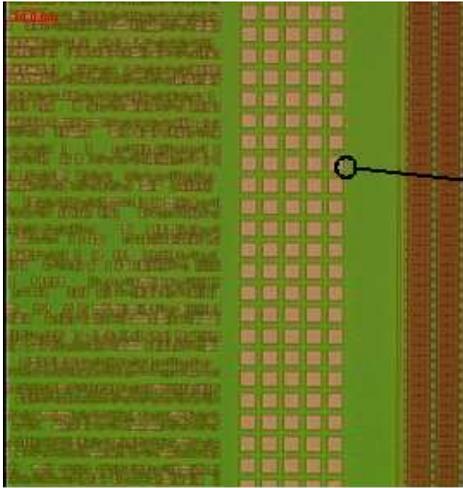


Vue de dessus

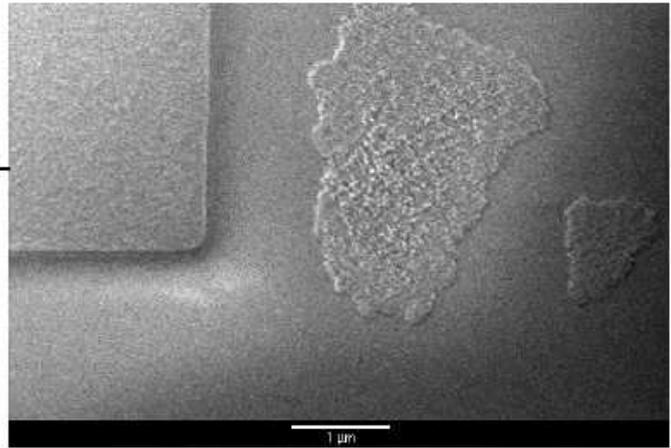
Vue en coupe ( $x = 13.44\text{nm}$ )Figure 30 : Mesure de l'impact du *pitting* sur un dispositif de remplissage

Le dernier défaut étudié est le dépôt de larges particules d'active consécutif au phénomène de *pitting*. En effet, les particules d'active arrachées par la gravure polysilicium (configuration de la Figure 24) se retrouvent disséminées sur le produit et peuvent provoquer des défauts catastrophiques suivant l'endroit où elles se déposent. Des illustrations de ce type de particules sont présentées Figure 31 et Figure 32.

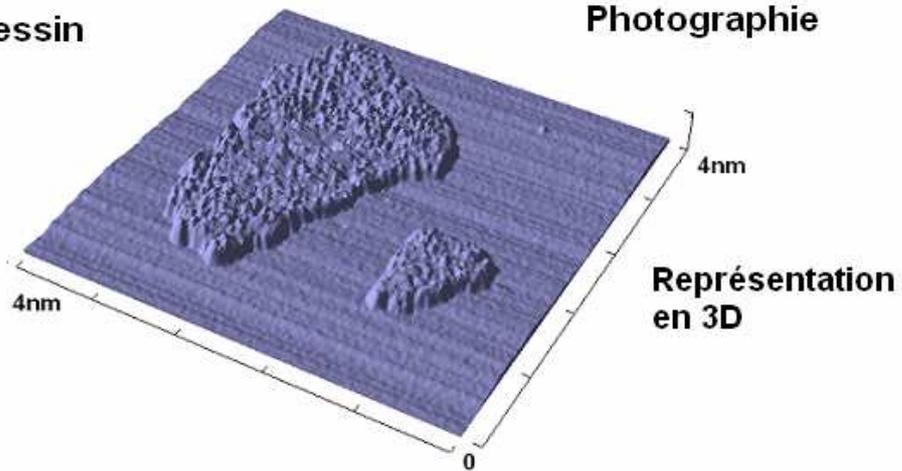
Figure 31 : Large particule déposée suite au phénomène de *pitting*



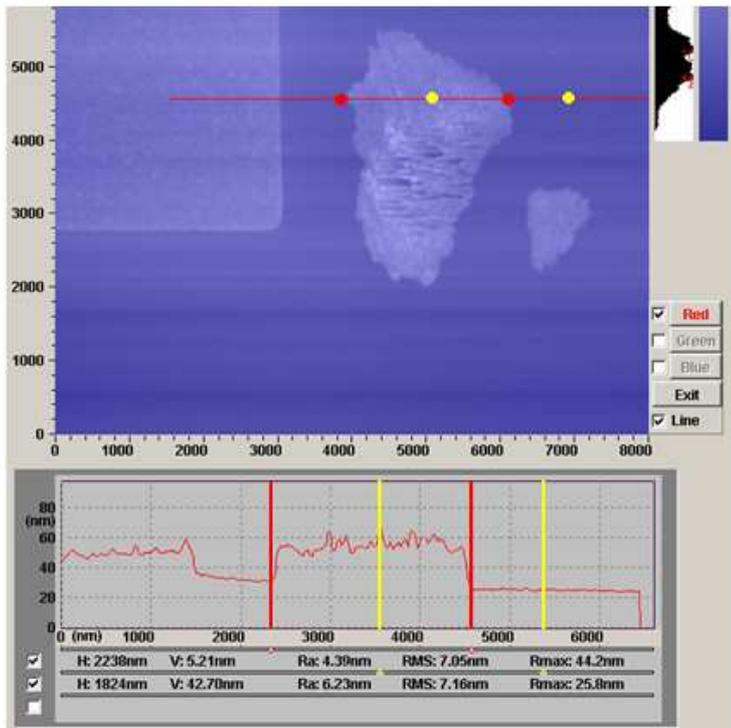
**Vue dessin**



**Photographie**



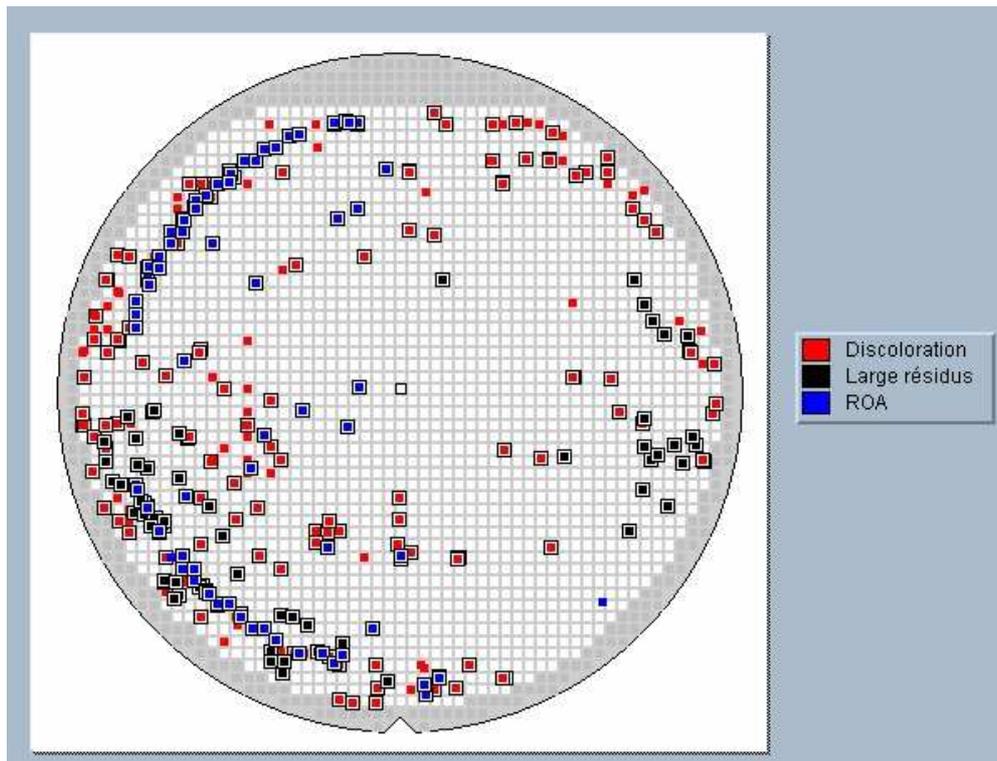
**Représentation en 3D**



**Mesure de la hauteur et de ses variations**

**Figure 32 : Analyse d'un résidu issu du phénomène de *pitting***

Ces différents types de défauts sont détectés par le département défectivité qui fournit des rapports d'analyse relatifs à des lots de *wafer*. Le type de cartographie représenté en Figure 33 montre la répartition des défauts sur un *wafer*. Il apparaît que la signature de la défectivité a une topologie de couronne, spécifique aux problèmes découlant du CMP, et s'expliquant par les différences de pression exercée au centre et en périphérie du *wafer*. Ainsi, si les topologies critiques sont correctement traitées au centre du *wafer*, la marge de manœuvre du CMP n'est pas la même lorsque l'on s'approche de la périphérie, où les défauts sont localisés. La recette de CMP utilisée ne permet donc pas d'obtenir un bon rendement pour le *wafer* dans sa globalité.



**Figure 33 : Exemple de cartographie de défectivité**

Toute la difficulté du problème réside donc en la dépendance des performances du CMP vis-à-vis de la topologie du produit à traiter. Pour des produits majoritairement dense, des recettes CMP adaptées existent et fournissent de bons résultats. Il existe également des solutions pour traiter les produits peu denses. Cependant, il n'existe pas de recette universelle qui permettrait de traiter indifféremment des configurations très denses et très peu denses. Le résultat est que de multiples recettes de CMP sont développées, en fonction de la signature de densité de chaque produit, et constituent une perte de temps non acceptable dans un contexte industriel. Il est donc nécessaire de se tourner du côté de la conception pour adapter au mieux la topologie des produits afin de faciliter le travail du CMP, limité par les contraintes de la technologie. Les conséquences principales d'un mauvais fonctionnement du CMP sont une planéité non uniforme des niveaux traités et les dérives électriques qui en découlent.

### II.3.3 Manque d'anticipation sur les phénomènes à prendre en compte

L'apparition constante de nouveaux phénomènes physiques implique une veille technologique active, autant pour les concepteurs que pour les technologues. Les moyens d'information sont multiples, tels que le suivi régulier de sites Internet dédiés ou encore l'étude bibliographique, et il est fréquent que les concepteurs aient des questions sur des phénomènes nouveaux dont ils veulent se prémunir pour augmenter la robustesse de leurs cellules. Ils se heurtent cependant à la barrière de la connaissance technologique et ont besoin du savoir des technologues pour mieux appréhender les phénomènes et définir les parades adéquates. Cela ne concerne pas forcément les technologies très avancées comme le 65nm ou le 45nm. Certains effets physiques encore trop méconnus méritent d'être pris en compte dès le nœud technologique du 90nm.

Un exemple concret concerne la densité du STI. Le STI est le principal isolant utilisé en technologie CMOS pour séparer les zones actives de silicium. La partie II.3.2 a mis en lumière la dépendance du CMP vis-à-vis de la densité d'active, mais le CMP est également dépendant de la densité du STI, c'est-à-dire toutes les zones qui ne contiennent pas d'active. L'impact d'une mauvaise uniformité de densité de STI peut conduire à des défauts paramétriques, du fait du phénomène d'érosion de l'oxyde. Ainsi, des méthodes d'insertion de dispositifs de remplissage adaptées aux contraintes du CMP dédié au STI ont fait l'objet de publications [Kahng'06] et permettent de réduire de 63% la variation de hauteur du STI en comparaison avec un remplissage standard.

Un phénomène physique relativement récent qui intéresse beaucoup les concepteurs est l'impact de la proximité des caissons polarisés par rapport aux dispositifs électriques. Il est connu sous le nom de « *Well Edge Proximity Effect* ». La Figure 34 explique le fonctionnement de ce phénomène.

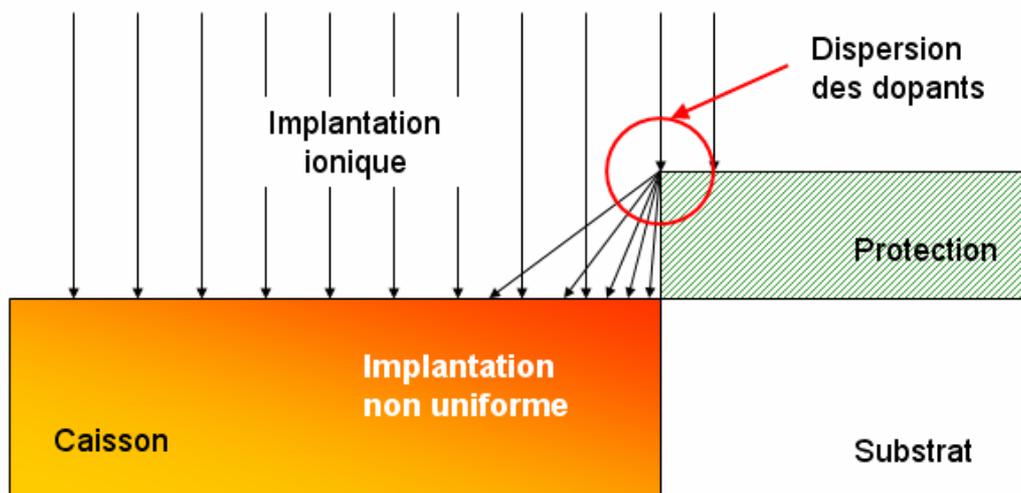


Figure 34 : Fonctionnement du phénomène de *Well Edge Proximity Effect*

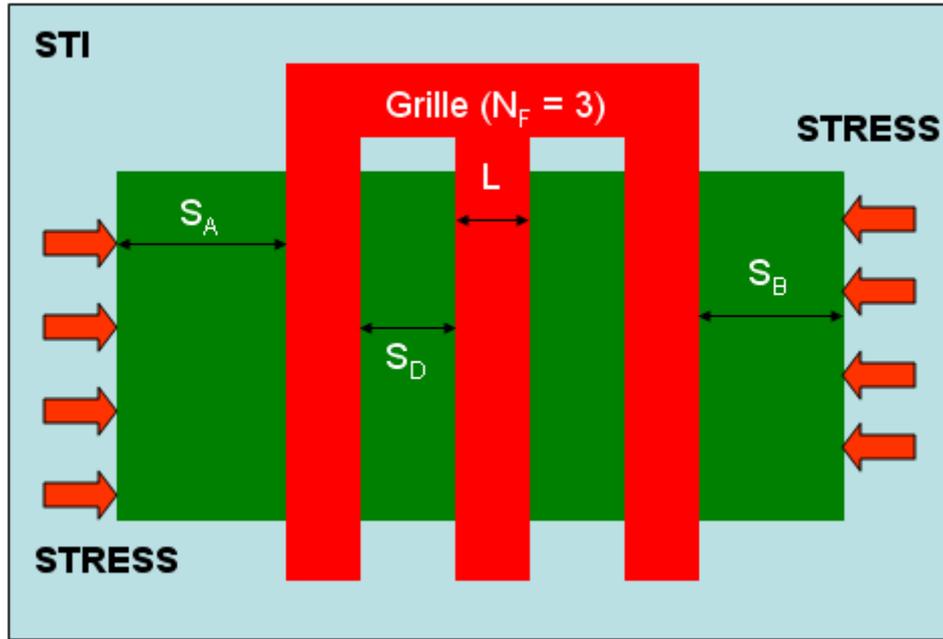
Lors de l'implantation ionique du caisson, les porteurs arrivent verticalement et se dispersent au contact de l'arrête de la protection d'implantation (le plus souvent un masque photo-résistif). Cela provoque une implantation non uniforme du caisson et conduit à des modifications de paramètres électriques tels que la tension de seuil du transistor. (voir Equations 1 et 2) ou l'uniformité de la mobilité des porteurs. Ce phénomène peut augmenter jusqu'à 10% les délais de fonctionnement des dispositifs électriques [Kanamoto'07] et impacte différemment les transistors NMOS et PMOS.

$$V_{th} = V_{FB} + \Phi_S + \gamma\sqrt{\Phi_S - V_{BS}} \quad \text{Équation 1}$$

$$dV_{th} = K_{VTH0WE} (SCA + WEB \times SCB + WEC \times SCC) \quad \text{Équation 2}$$

avec  $V_{th}$  est la tension de seuil,  $V_{FB}$  est la tension de *flat band*,  $\Phi_S$  est le potentiel de surface,  $\gamma$  est le coefficient de polarisation et  $V_{BS}$  est la tension entre le substrat et la source.  $dV_{th}$  est la variation de tension de seuil due au *Well Edge Proximity Effect*,  $SCA, SCB, SCC$  sont des paramètres du dispositif électrique (représentant son espacement par rapport au caisson) et  $K_{VTH0WE}, WEB, WEC$  sont des paramètres du modèle de simulation [BSIM'05][Watts'06]. Cet effet est connu comme étant très dépendant du procédé technologique utilisé. Ainsi, bien que les paramètres du phénomène soient pris en compte par les modèles de simulation, l'expérience des technologues est essentielle pour aider les concepteurs à cerner cet effet physique.

Il existe des cas où le phénomène n'est pas encore décrit par les modèles, et dans ce cas, il est nécessaire de prendre des précautions *a priori* dès la conception, ce qui nécessite une bonne compréhension du mécanisme. Citons l'exemple de l'impact de la largeur de la zone de STI sur les performances des dispositifs électriques, appelé effet « *STI Width* », qui est à considérer en plus de l'effet STI classique. Aujourd'hui, les modèles électriques tiennent compte de l'effet STI, c'est-à-dire du stress physique compressif non uniforme (car découlant d'une pression hydrostatique) exercé par le STI sur les zones de diffusion d'un transistor. La mobilité des porteurs en est affectée : les trous (porteurs chargés positivement) sont accélérés tandis que les électrons (porteurs chargés négativement) sont ralentis. Les paramètres  $S_A$ ,  $S_B$ ,  $S_D$  et  $N_F$  sont présents dans les modèles de simulation et permettent de prendre en compte cet effet (voir Figure 35).  $S_A$  et  $S_B$  représentent les largeurs des zones de diffusion,  $S_D$  est l'espacement entre les doigts de grille et  $N_F$  représente le nombre de doigts de la grille. On retrouve dans les publications [Moroz'06] des méthodes de conception permettant de s'affranchir ou au pire de minimiser les impacts électriques dus au stress.



**Figure 35 : Paramètres de modélisation de l'effet STI**

L'équation modélisant le stress relatif à l'effet STI est reportée ci-dessous (Equation 3) :

$$STRESS = \frac{1}{N_F} \sum_{i=0}^{N_F-1} \left( \frac{1}{S_A + 0.5 \times L + i \times (S_D + L)} + \frac{1}{S_B + 0.5 \times L + i \times (S_D + L)} \right) \quad \text{Équation 3}$$

Cette équation prend une forme plus complexe dans le cas de transistors présentant une topologie d'active non régulière. Cependant, un paramètre fait défaut à cette modélisation : il s'agit de la largeur de la zone STI adjacente à l'active, qui est égale à l'espacement entre la zone d'active considérée et une zone d'active voisine. En effet, il apparaît clairement que le stress généré par la zone STI est dépendant de sa taille. Plusieurs études [Kahng'07] [Topaloglu'07] [Kahng'08] démontrent l'impact de ce paramètre, appelé  $STI_w$  (voir Figure 36). Un modèle a été déterminé afin de définir un paramètre d'ajustement de la mobilité, celle-ci étant augmentée pour les porteurs négatifs et diminuée pour les porteurs positifs. Ce paramètre appelé  $MOB_N$  dans le cas de transistors NMOS est calculé en utilisant les Equations 4, 5 et 6. Dans le cas de transistors PMOS, le paramètre d'ajustement de la mobilité s'appelle  $MOB_p$  et se calcule en utilisant les Equations 7, 8 et 9. Les paramètres  $\alpha$ ,  $\beta$ ,  $\zeta$  et les valeurs 0.26 et 0.14 sont des paramètres et valeurs arbitraires dépendants du procédé technologique considéré.

$$MOB_{N,L} = \zeta + \frac{1 - \left(\frac{STI_{W,L}}{2}\right)^\alpha}{S_A^\beta} \quad \text{Équation 4}$$

$$MOB_{N,R} = \zeta + \frac{1 - \left(\frac{STI_{W,R}}{2}\right)^\alpha}{S_B^\beta} \quad \text{Équation 5}$$

$$MOB_N = (MOB_{N,L} \times MOB_{N,R})^{0.26} \quad \text{Équation 6}$$

$$MOB_{P,L} = \frac{\zeta + \left(\frac{STI_{W,L}}{2}\right)^\alpha}{S_A^\beta} \quad \text{Équation 7}$$

$$MOB_{P,R} = \frac{\zeta + \left(\frac{STI_{W,R}}{2}\right)^\alpha}{S_B^\beta} \quad \text{Équation 8}$$

$$MOB_P = (MOB_{P,L} \times MOB_{P,R})^{0.14} \quad \text{Équation 9}$$

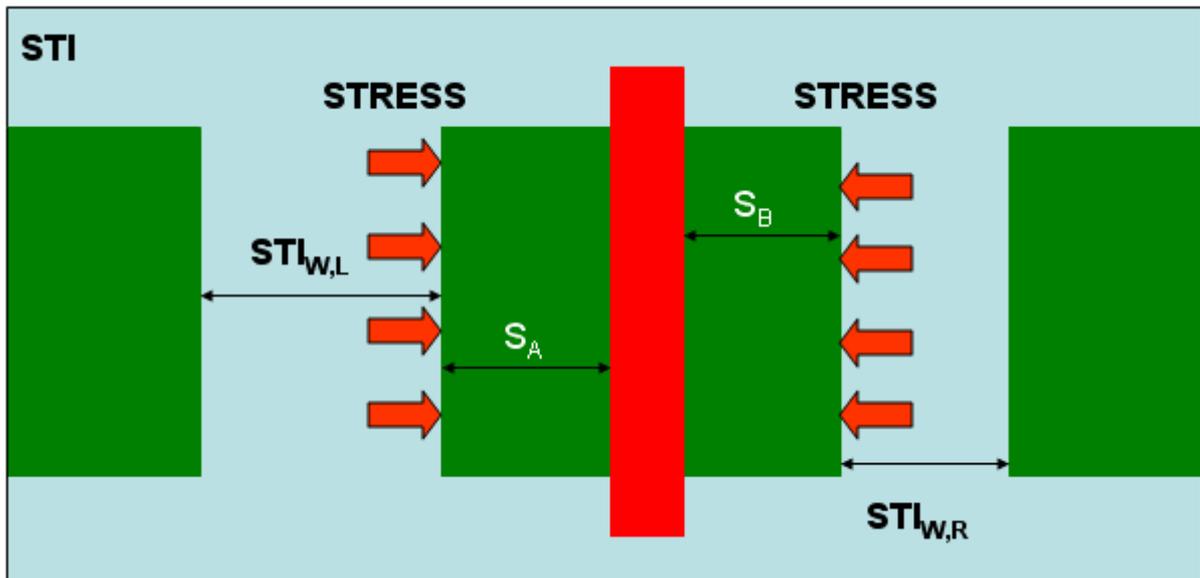
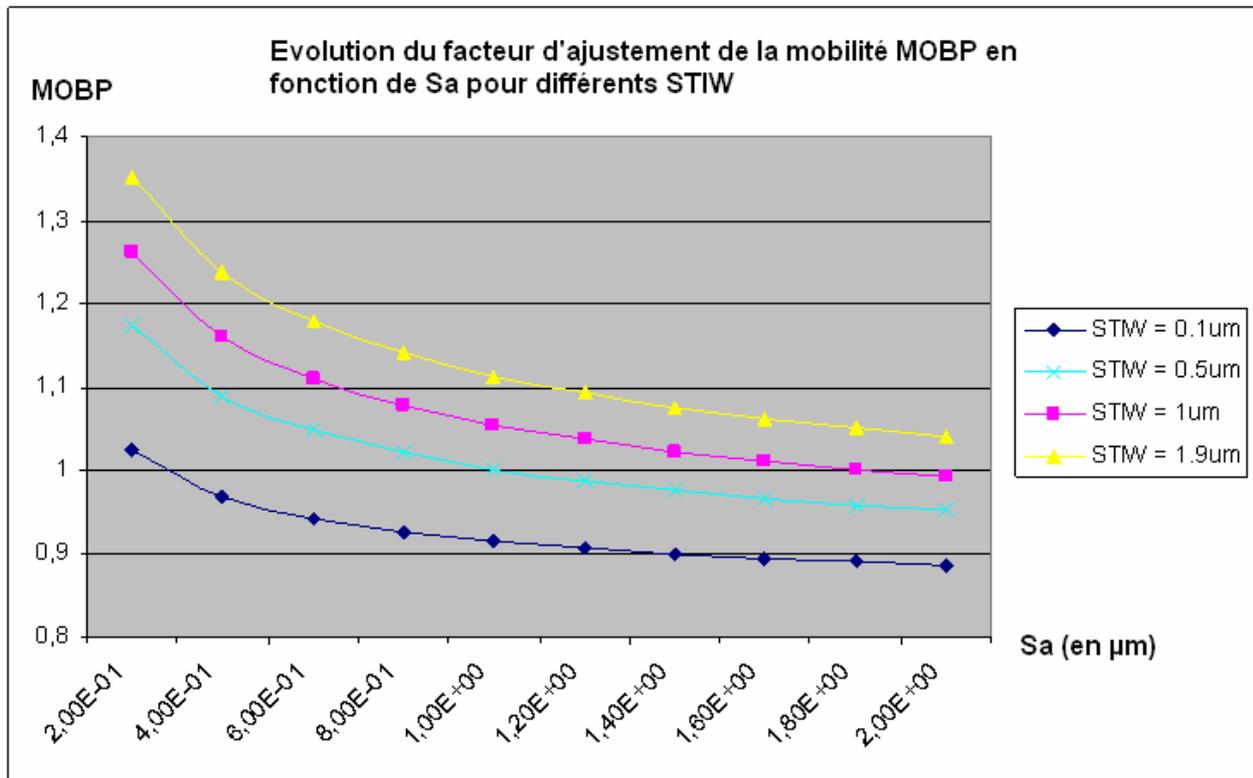


Figure 36 : Paramètres de modélisation de l'effet de la largeur de la zone STI

La courbe présentée dans la Figure 37 montre l'évolution du facteur d'ajustement de la mobilité pour un transistor PMOS en fonction de la largeur de la zone de diffusion, pour différentes largeurs de STI.



**Figure 37 : Evolution du facteur d'ajustement de la mobilité pour un transistor PMOS en fonction de la largeur de la zone de diffusion, pour différentes largeurs de zones STI**

Ce paramètre n'étant pas présent dans les modèles de simulation, les concepteurs ont besoin du support des technologues pour en tenir compte lors de la conception.

Il existe de nombreux autres phénomènes physiques dont l'influence devient non négligeable dans les technologies très avancées, comme le 65nm ou le 45nm. Les plus connus sont les effets de « *Hot carrier* » et du NBTI (pour « *Negative Bias Temperature Instability* »), qui a fait l'objet de nombreuses publications [Islam'07] [Kang'08] ces dernières années. Nous ne nous intéresserons pas à ces effets par la suite. Cependant, il est important de préciser que la compréhension de ces phénomènes par les concepteurs est essentielle afin de fournir des produits robustes, et que le simple fait de respecter les règles définies par les technologues sans les comprendre réellement peut avoir des impacts négatifs sur le comportement des circuits et leur rendement. Une interaction privilégiée favorisant l'échange de compétences est plus que nécessaire.

## II.4 Mise en place de solutions

### II.4.1 Mise en relation de la technologie et de la conception

#### II.4.1.1 Intensification des interactions entre technologie et conception

Il a été vu que l'intensification des interactions entre les mondes de la conception et de la technologie devient de plus en plus indispensable pour utiliser au mieux les possibilités offertes par les technologies avancées et très avancées, et par la même occasion pour améliorer le rendement. Le fait de confronter les mondes de la conception et de la technologie permet d'appréhender de manière efficace des problèmes trouvant leurs solutions dans une mise en commun des savoirs. A titre d'exemple, une étude est lancée autour de la mise en place de structures innovantes de résistances polysilicium, respectant certaines contraintes DFM comme la densité d'active. En effet, par construction, une résistance polysilicium standard ne comporte que très peu d'active. Ainsi, pour une résistance de grande taille, cela crée une large zone avec une très faible densité d'active et peut potentiellement générer des défauts comme ceux exposés au II.3.2. La production de ce type de résistance pose certains problèmes physiques lors de la fabrication. Aussi, afin de faciliter la production, des structures innovantes répondant aux contraintes de la fabrication sont développées en usant de l'expérience du monde de la conception et soumis pour validation au département technologique afin de juger des améliorations qu'elles apportent au niveau de la fabrication. Ces structures sont donc testées sur silicium sous la forme de modules de tests embarqués dans les lignes de découpe des *wafers*.

#### II.4.1.2 Définition de structures de test

Les structures de tests réalisées pour cette étude sont les suivantes, pour une technologie 130nm :

- Une structure de résistance polysilicium intégrant des bandes d'active afin d'améliorer la densité
- Des structures de test visant à modéliser l'impact de l'effet STI
- Des structures de test permettant de modéliser l'impact de la largeur de la zone STI sur les performances des dispositifs électriques
- Des structures de test visant à quantifier l'impact de l'effet de *Well Edge Proximity Effect*

Les structures relatives à l'étude de l'impact de l'effet STI sont présentées Figure 38. Ces structures ont été dupliquées pour adresser les transistors NMOS et PMOS.

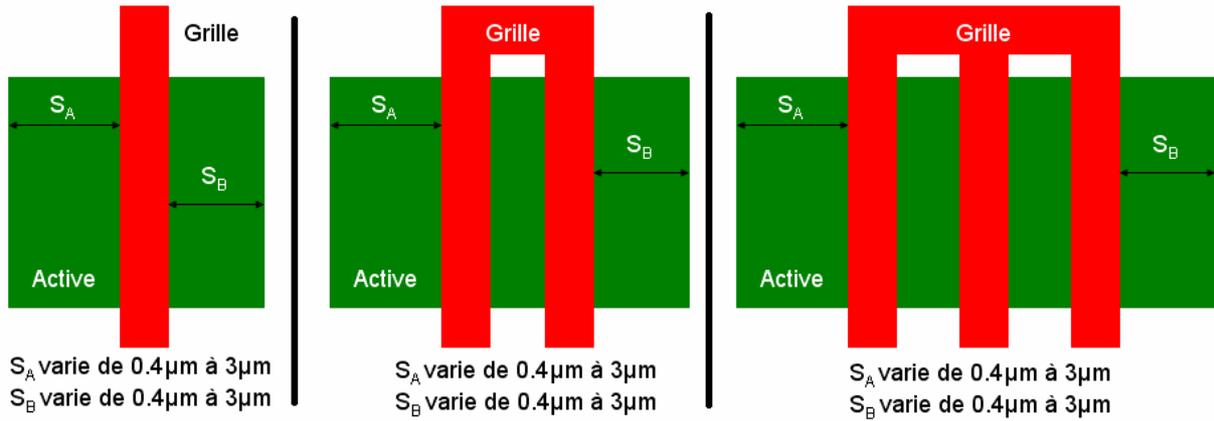


Figure 38 : Structures de test de l'impact de l'effet STI

De la même manière, les structures de test ayant pour but d'étudier l'effet de la largeur de la zone STI sur le fonctionnement des transistors sont présentées Figure 39 et Figure 40. Les configurations parallèle et orthogonale ont été étudiées, et les structures ont été dupliquées pour mesurer l'impact sur les transistors NMOS et PMOS.

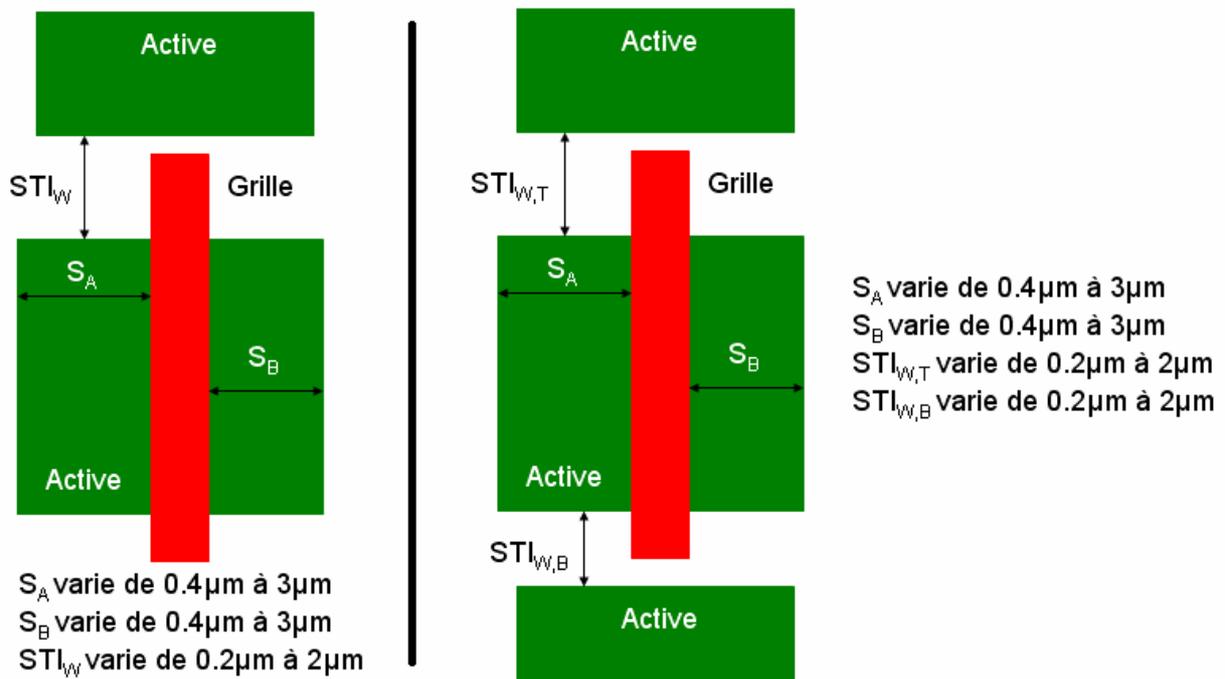
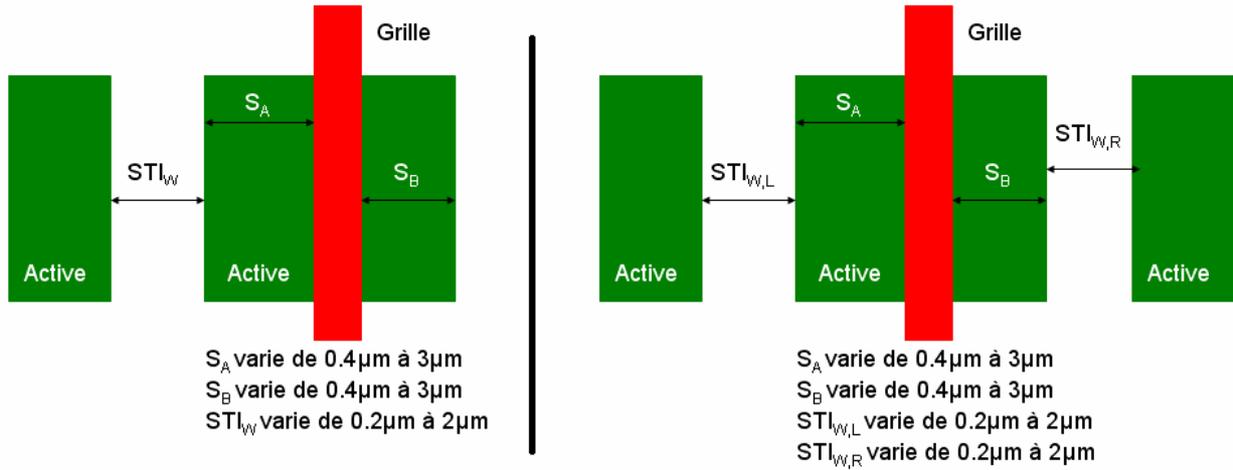
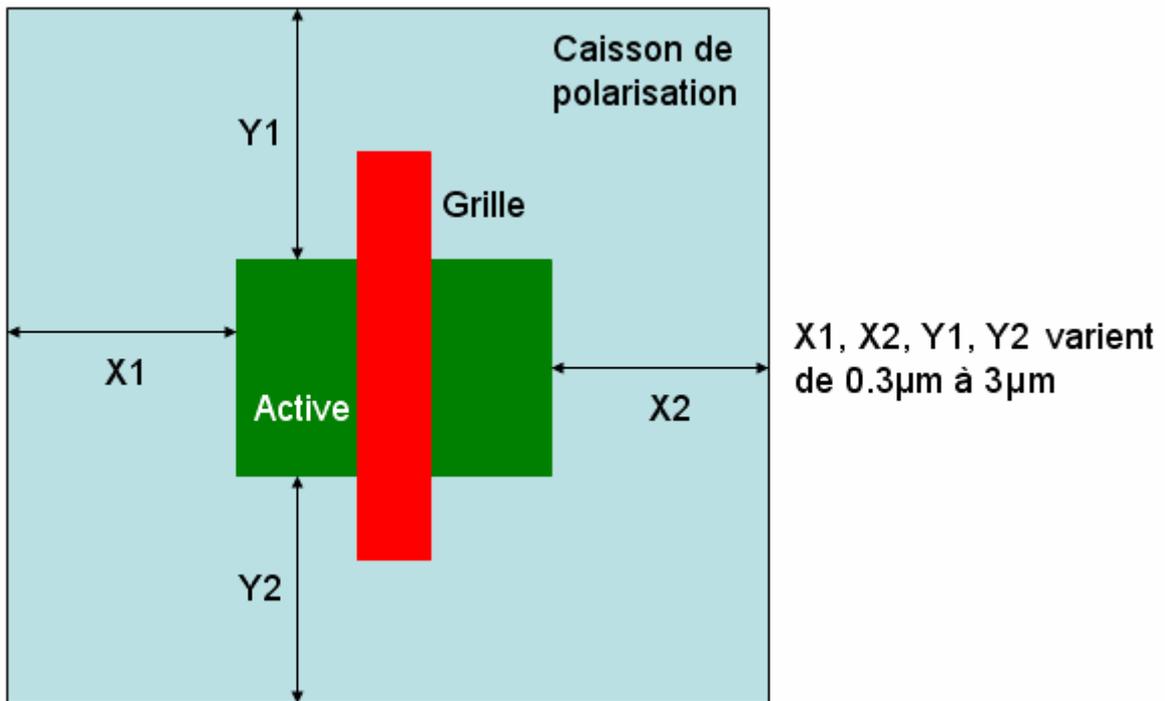


Figure 39 : Structure de test de l'impact de la largeur de la zone STI en configuration orthogonale



**Figure 40 : Structure de test de l'impact de la largeur de la zone STI en configuration parallèle**

Le type de structure dédiée à l'étude de l'impact du *Well Edge Proximity Effect* est présentée Figure 41, sachant que la structure a été dupliquée afin de prendre en compte les effets du caisson implanté N+ sur les transistors PMOS et les effets du caisson implanté P+ sur les transistors NMOS.



**Figure 41 : Structure de test de l'impact du *Well Edge Proximity Effect***

Ces structures de tests ont été embarquées dans les lignes de découpe de produit, aussi appelés PCM (pour « *Process Control Monitoring* »), et disposent de 24 points d'accès (Figure 42), permettant de mesurer les paramètres électriques des transistors testés. Les contraintes liées à la mesure, comme la capacité des pointes de mesure, ont été prises en compte lors de l'élaboration des structures de test. Les

résultats de ces mesures permettront de modéliser ces effets afin de définir des règles de conception adaptées.

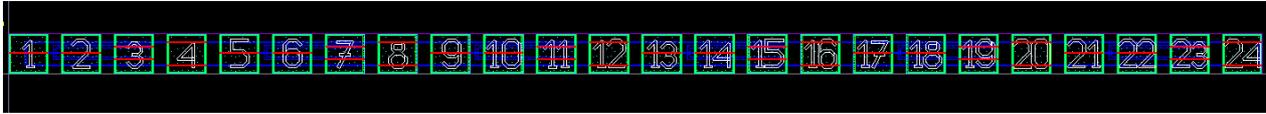


Figure 42 : Structure de test embarquée à 24 points d'accès

## II.4.2 Définition de nouvelles règles

### II.4.2.1 Modification des règles standard

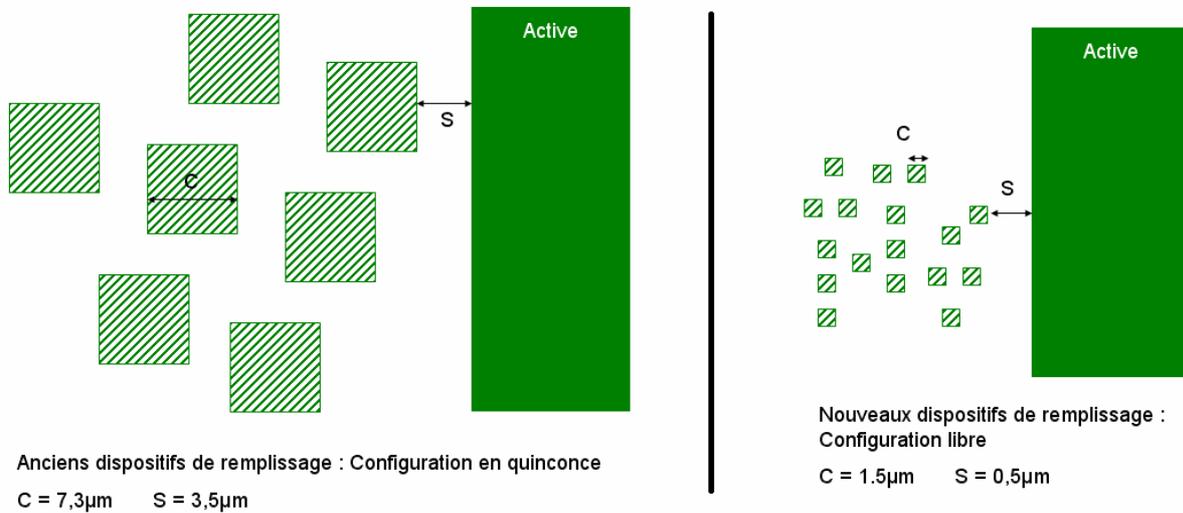
La mise en commun des contraintes du monde de la conception et de la fabrication a permis de faire remonter certaines limitations rencontrées par les deux parties. Une des améliorations majeures apportées concerne les moyens mis à disposition pour optimiser la densité d'active. Pour la technologie considérée (150nm), les règles standard de conception demandent une densité d'active comprise entre 20% et 80% dans une fenêtre de 200 $\mu$ m par 200 $\mu$ m. Pour cela, des dispositifs de remplissage sont disponibles pour permettre aux concepteurs d'améliorer la densité d'active dans leurs cellules. Cependant, on constate que :

- Les concepteurs peinent à satisfaire les contraintes de densité en partie à cause d'une définition mal adaptée des dispositifs de remplissage.
- Les technologues ne se satisfont pas des règles de densité standard, qui ne permettent pas d'avoir des configurations suffisamment uniformes pour faciliter le travail du CMP. Malgré les difficultés rencontrées par les concepteurs pour obtenir une densité en adéquation avec les spécifications standard, il est nécessaire de contraindre encore plus les règles.

En confrontant les contraintes de la technologie et de la conception, une solution est définie. Un nouveau dispositif de remplissage qui permet d'atteindre les densités souhaitées est soumis en vue de la validation technologique. Une fois le nouveau dispositif validé, les règles de conception qui s'y rattachent sont définies et les technologues ont pu durcir les règles de densité en introduisant la notion de gradient de densité. Cela a pour effet d'uniformiser la densité des cellules, et donc des produits, et permet de réduire la dépendance du CMP vis-à-vis de la topologie des circuits à traiter.

Au final, l'optimisation des règles de conception facilite la tâche du CMP tout en autorisant l'adoption d'un nouveau type de dispositif de remplissage. L'augmentation des contraintes de densité est donc transparente pour les concepteurs, qui ont à leur disposition des outils pour gérer efficacement ce durcissement des règles. Ce type d'optimisation n'est possible qu'en confrontant les connaissances des mondes de la conception et de la technologie et en anéantissant les barrières qui les séparent, en accord

avec la méthode de conception DFM<sup>2</sup>. La comparaison entre les anciens et les nouveaux dispositifs de remplissage est présentée Figure 43.



**Figure 43 : Comparaison entre anciens et nouveaux dispositifs de remplissage**

Du fait de la réduction importante de leur taille et de leur espacement par rapport aux polygones existants et de la suppression de la configuration en quinconce, les nouveaux dispositifs de remplissage s'adaptent beaucoup mieux aux diverses topologies rencontrées dans les cellules et permettent un remplissage beaucoup plus efficace.

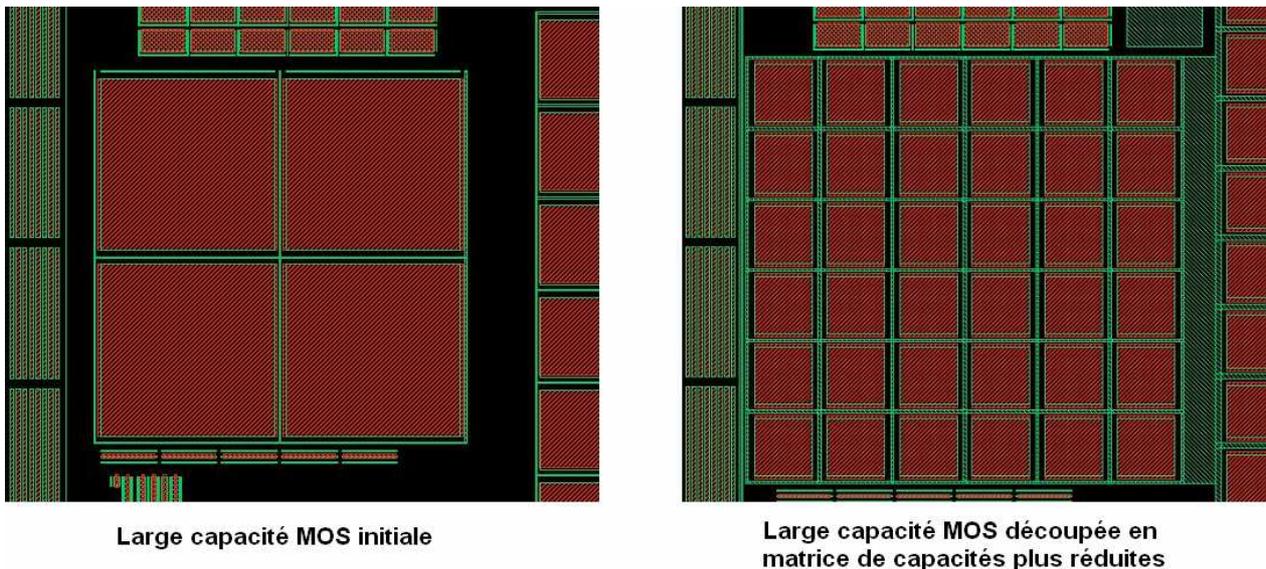
#### II.4.2.2 Définition de règles DFM

Les améliorations apportées ne se limitent pas aux modifications des règles de conception standard. Des règles de dessin orientées DFM ont également été définies, en prenant soin de mettre en balance le gain qu'elles apportent au niveau de la fabrication et les contraintes qu'elles imposent au niveau de la conception. Le but principal est d'optimiser l'uniformité de la densité et d'éviter certaines configurations critiques pour le CMP. Les règles qui ont été adoptées sont les suivantes :

- **L'abolition de l'utilisation abusive des marqueurs bloquant l'insertion de dispositifs de remplissage** : Cette pratique historique est souvent rencontrée chez les concepteurs de cellules analogiques. Il s'agit d'apposer systématiquement un marqueur qui interdit l'insertion de dispositifs de remplissage dans les cellules. En effet, dans la méthode de conception standard, cette insertion a lieu durant une étape postérieure à la conception. De ce fait, les concepteurs analogiques, ayant des contraintes très strictes en termes de couplage et d'appariement, sont assez réservés lorsqu'il s'agit de modifier une cellule dont les performances ont déjà été validées en simulation. L'approche pratique est donc de bloquer le remplissage futur en utilisant un marqueur approprié. Dans le cas de cellule ne respectant pas les règles de densité, aucune modification

ultérieure n'est possible et des configurations critiques sont détectées en CMP, avec les risques de défauts que l'on connaît. L'interdiction de l'utilisation de ce type de marqueur a donc été décidée dans le cas où les cellules ne respectent pas les contraintes de densité.

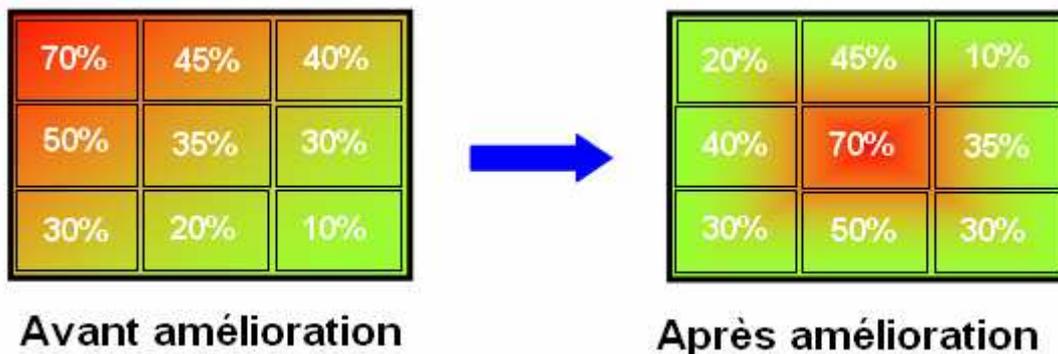
- **Le remplacement des larges capacités MOS par des matrices de capacités MOS** : Les larges capacités MOS sont des configurations critiques propices à la formation de ROA. Ces topologies sont à éviter à tout prix, car ces défauts catastrophiques peuvent avoir un impact très néfaste sur le rendement. Il est donc conseillé de séparer les larges capacités en matrices de capacités plus petites, en insérant des barreaux d'active afin d'augmenter la densité. Cela améliore également la précision de la simulation, car les capacités de petite taille sont mieux modélisées que celles de grande taille. Cette modification a néanmoins un coût en surface, et le changement doit bien entendu être réalisé en concordance avec les contraintes de taille de cellules. Le choix du bon compromis repose donc sur l'expérience du concepteur. Un exemple d'amélioration de ce type est présenté Figure 44.



**Figure 44 : Large capacité MOS avant et après modifications**

- **L'optimisation de la topologie des cellules par rapport à leur contexte futur** : la plupart des cellules étant utilisées dans différents produits, il est nécessaire d'optimiser au maximum leur topologie. Ainsi, la réutilisation des mêmes cellules dans des produits différents ne posera pas de problème de gradient de densité. On résout donc un problème global en apportant des améliorations au niveau local, c'est-à-dire au moment de la conception de la cellule. A ce stade, il est impossible de prédire son environnement futur et les problèmes potentiels qui peuvent être créés. Par exemple, une cellule ayant une très forte densité en périphérie tout en respectant les contraintes de densité au niveau local ne doit pas être aboutée à une zone de forte densité afin d'éviter de créer une zone qui ne respecterait pas la limite maximum de densité. La règle qui a été

définie est donc d'optimiser le placement des composants à l'intérieur même des cellules afin de s'affranchir de l'influence de son contexte futur dans le produit. Pour cela, il est conseillé durant la phase de dessin de regrouper au centre de la cellule les zones de fortes densités. Ainsi, les contraintes d'aboutement lors de la conception du produit sont plus relâchées et les gradients de densité entre cellules sont diminués. Le type d'amélioration de répartition de la densité dans une cellule demandé est représenté dans la Figure 45.

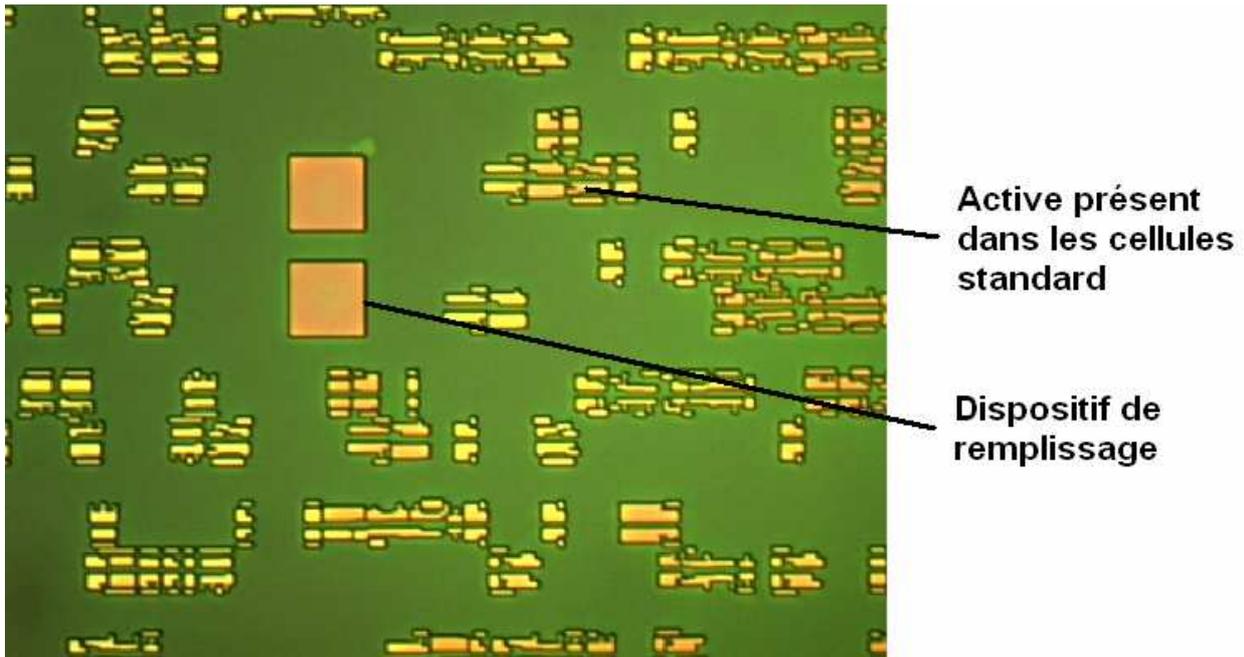


**Figure 45 : Amélioration de la cartographie de densité d'une cellule en vue de s'adapter aux différents contextes futurs**

Les règles définies sont principalement dédiées aux cellules assez volumineuses, dites macro cellules. Ce type d'amélioration ne concerne pas les cellules standard, du fait de leur petite taille. Il est donc nécessaire de traiter les blocs logiques (regroupement de cellules standard) dans leur globalité pour les rendre moins critiques à réaliser en CMP.

### II.4.3 Définition d'une structure de remplissage innovante : la DFM Filler Cell

Les blocs logiques sont constitués de cellules standard et réalisent les fonctionnalités numériques dans un produit. La taille de ce type de bloc est le plus souvent une part conséquente de la taille d'un produit, hors blocs mémoires, et de ce fait il est essentiel d'en soigner la densité. Sachant qu'une cellule standard classique a au moins 20% d'active et respecte donc les règles de densité, les blocs logiques très denses ne posent pas de problème au CMP. En revanche, les blocs logiques peu denses (du fait des contraintes de congestion métallique de routage) n'atteignent pas la densité minimum requise, et nécessitent une optimisation. Ceci ne peut pas être fait en utilisant les dispositifs de remplissage standard, non adaptés à la topologie complexe des blocs logiques (voir Figure 46). C'est pourquoi l'approche majeure pour traiter ce problème est d'utiliser des cellules de remplissage, qui n'ont aucune fonctionnalité mais contiennent de l'active pour augmenter la densité.



**Figure 46 : Limitations induites par l'utilisation de dispositifs de remplissage dans un bloc logique peu dense**

Le but est donc de définir une nouvelle cellule de remplissage innovante orientée DFM qui permettrait de faciliter le travail du CMP en aval. Les points qui doivent être traités englobent ceux exposés dans la partie II.3 :

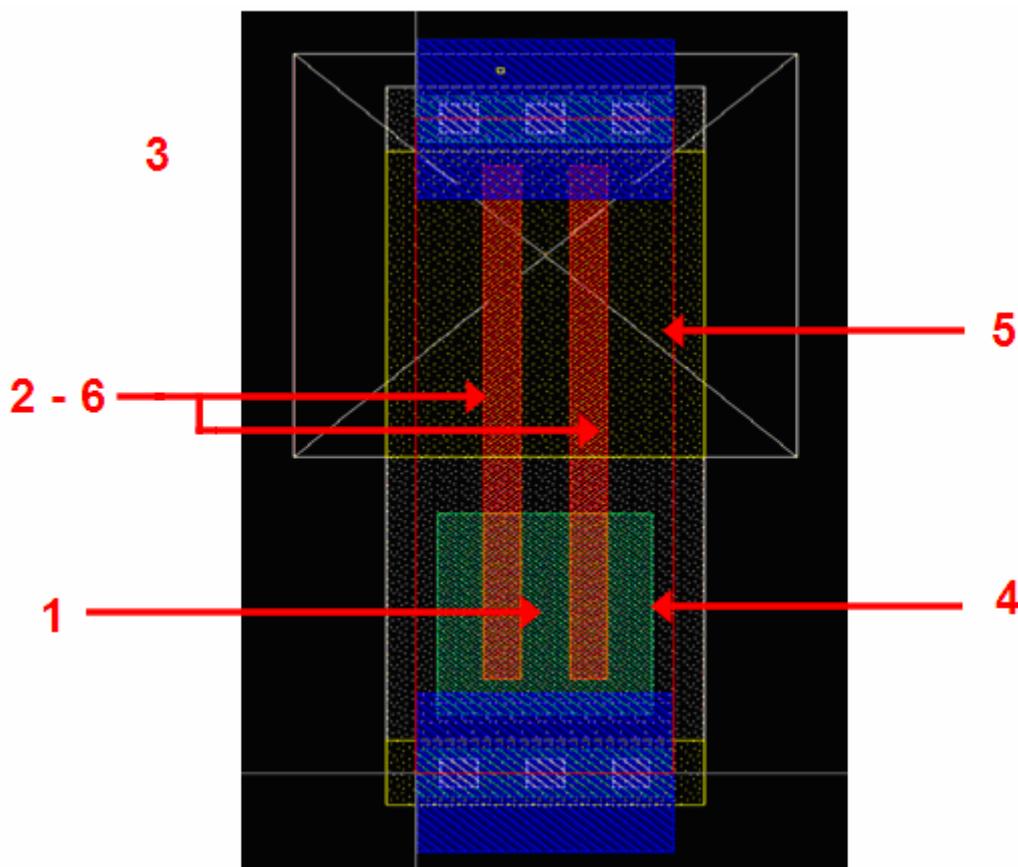
- Uniformisation de la densité d'active
- Uniformisation de la densité de STI
- Réduction de l'impact de la largeur de la zone de STI

A cela il faut ajouter des contraintes supplémentaires qui permettront de faciliter l'utilisation de ce type de cellules dans le processus de conception :

- Absence de métal pour ne pas augmenter la congestion et faciliter le routage
- Avoir une empreinte identique aux cellules capacitives de remplissage disponibles. Ce type de cellule est composé d'une capacité de découplage et son insertion dans les blocs logiques permet de réduire l'effet de chute de tension. Le fait d'avoir une empreinte identique permet de substituer certaines cellules de remplissage par des cellules capacitives de remplissage d'une manière automatique lors de l'étape de placement / routage.

Cette cellule de remplissage innovante est appelée DFM Filler Cell [Remy'09-4][Remy'09-5], et sa principale originalité par rapport aux autres cellules de remplissages existantes est de concentrer en une seule cellule de nombreuses solutions DFM. Elle est déclinée en différentes tailles, toutes multiples du pas de grille de routage afin de pouvoir assurer un remplissage de 100% de tous les blocs logiques. Les tailles disponibles sont donc : 1X, 2X, 3X, 4X, 5X, 6X, 7X, 8X et 16X. Au-delà de 16X, la taille de

l'active présente devient trop importante et les tailles supérieures sont donc disqualifiées en raison des risques de ROA. Le dessin de la DFM Filler Cell est présenté dans la Figure 47.

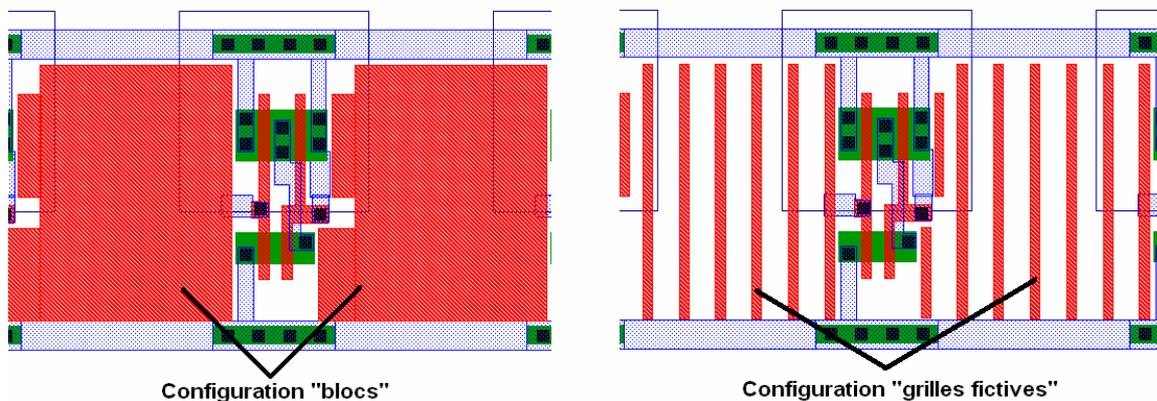


**Figure 47 : La DFM Filler Cell**

La légende explicative de la Figure 47 est ci-dessous :

1. La DFM Filler Cell contient environ 40% d'active (cela varie selon les tailles de cellules). Cela permet d'augmenter la densité d'active du bloc logique tout en diminuant les gradients de densité, car 40% est proche de la valeur optimale 50% en termes de gradient de densité.
2. La DFM Filler Cell permet également d'augmenter la densité de polysilicium, souvent assez faible dans les blocs logiques. Elle est proche de 30% dans une DFM Filler Cell, pour un minimum fixé à 15% dans les spécifications technologies.
3. La DFM Filler Cell ne contient pas de métal (excepté le métal 1 utilisé pour assurer la continuité des rails d'alimentation du bloc logique. Ainsi, il n'y a pas d'augmentation de la congestion. De même, l'empreinte des DFM Filler Cell est la même que celle des cellules capacitives de remplissage. Cela autorise une substitution automatique lors l'étape de placement / routage afin de réduire les chutes de tension due à la résistivité des rails d'alimentation au niveau du produit.

4. La zone d'active contenue dans la DFM Filler Cell se trouve uniquement dans la zone implantée N+. De ce fait, les cellules standards directement aboutées aux DFM Filler Cell auront une largeur de STI minimale autour de leur active implantée N+, et une largeur de STI importante autour de leur active implantée P+. En effet, il a été vu au II.3.3 que pour un transistor NMOS, plus la largeur de la zone de STI est faible et moins ses performances électriques sont dégradées. Inversement, pour un transistor PMOS, ses performances électriques sont moins dégradées lorsqu'il est abouté à une large zone de STI. Ainsi, l'insertion de DFM Filler Cell permet d'utiliser l'effet de la largeur de STI pour optimiser les performances des transistors présents dans les cellules standard.
5. La DFM Filler Cell permet d'uniformiser la densité de STI autour de 60%. Cela permet de faciliter le travail du CMP, comme vu au II.3.3.
6. Le polysilicium ajouté dans les DFM Filler Cell a une forme bien particulière : il prend l'apparence de grilles fictives, dont la largeur est de plus ou moins 5% celle qui est retrouvée dans les cellules standard. Ceci a été réalisé afin d'améliorer le processus de lithographie des grilles. En effet, une étude a été publiée au sujet de l'impact sur la lithographie des différentes méthodes de remplissage de polysilicium dans un bloc logique [Wright'06]. Les configurations comparées sont les suivantes : une cellule standard seule, une cellule standard entourée par des blocs de polysilicium et une cellule standard entourée de grilles fictives (voir Figure 48). L'étude a ensuite comparée les résultats de simulation de la dimension critique de la grille de la cellule standard étudiée pour différentes distances focales de lithographie. Les résultats pour le plan N et le plan P sont exposés Figure 49. L'impact sur les délais de montée et de descente en relatif est présenté pour les différentes configurations de remplissage dans les Figure 50, Figure 51 et Figure 52. On observe que la configuration souffrant le moins des variations lithographiques, comme la distance focale et la luminosité d'exposition, est la configuration « grille fictive », soit celle utilisée dans les DFM Filler Cell.



**Figure 48 : Configurations de remplissage de polysilicium [Wright'06]**

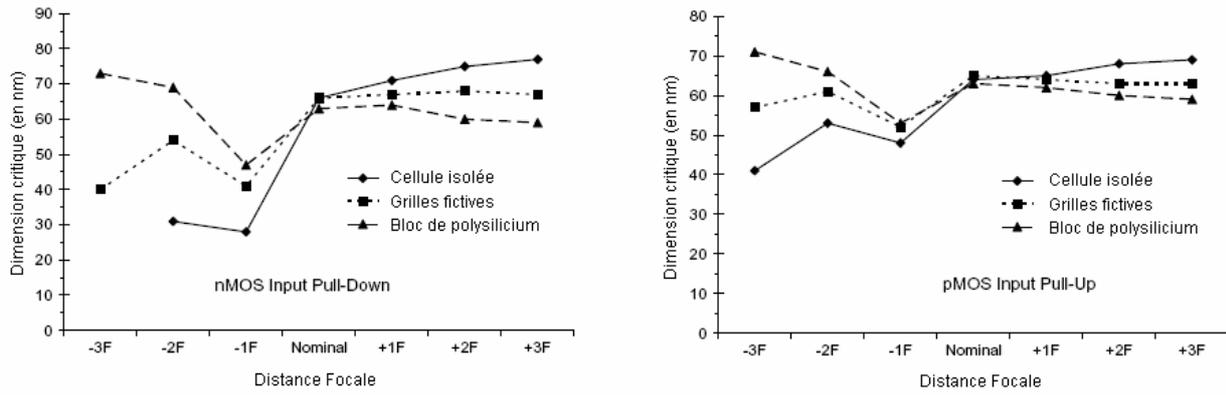


Figure 49 : Variation de la dimension critique de la grille des NMOS et PMOS en fonction de la variation de la distance focale pour les trois configurations de remplissage [Wright'06]

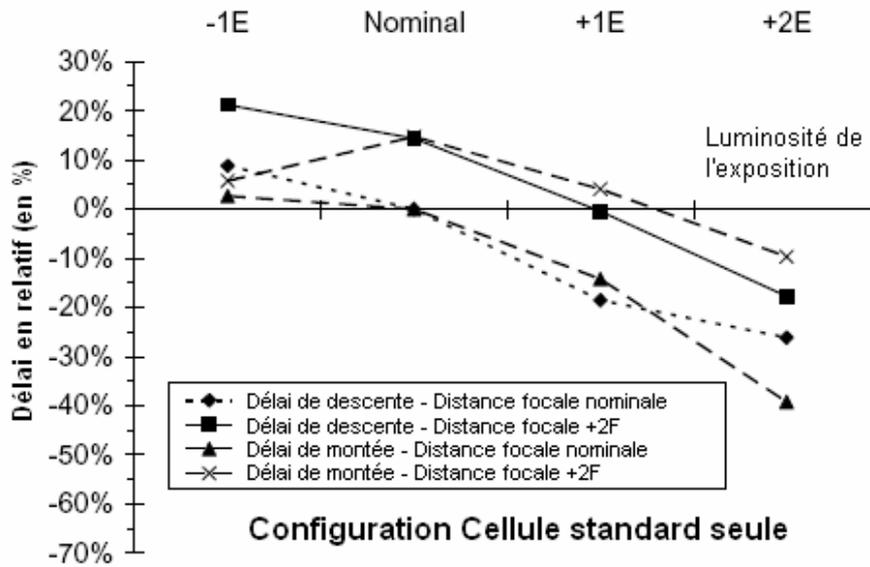


Figure 50 : Variations relatives des délais de montée et descente en fonction de la luminosité d'exposition pour différentes distances focales dans le cas d'une cellule standard isolée [Wright'06]

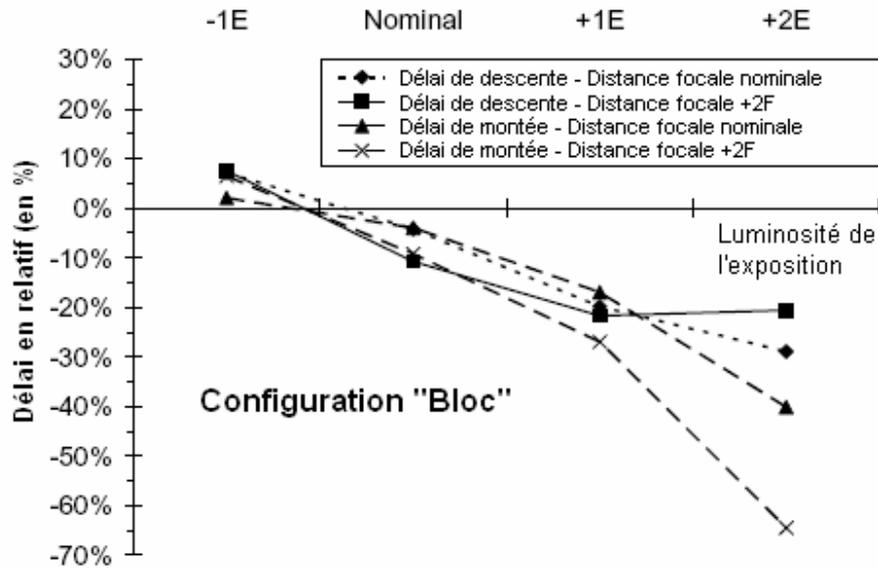


Figure 51 : Variations relatives des délais de montée et descente en fonction de la luminosité d'exposition pour différentes distances focales dans le cas d'une cellule standard dans la configuration « bloc » [Wright'06]

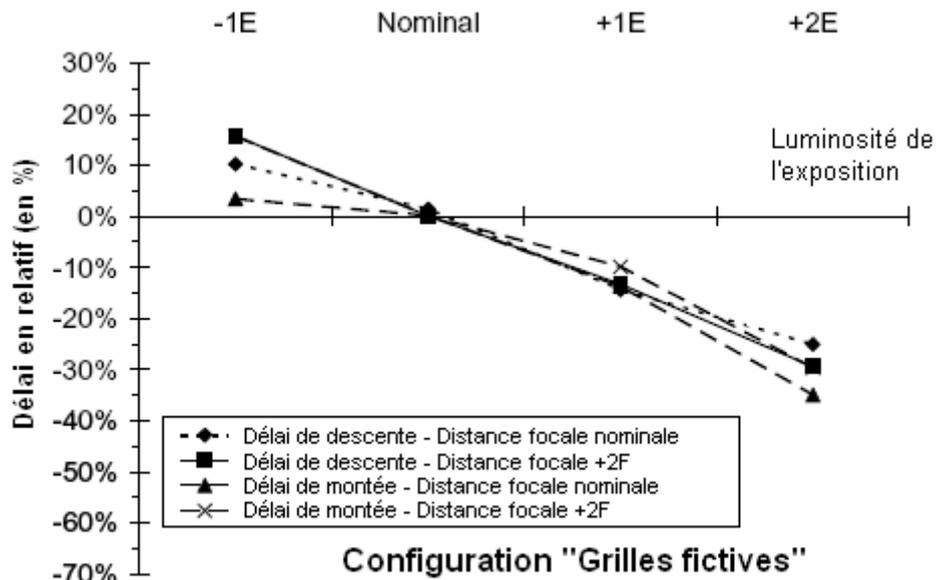
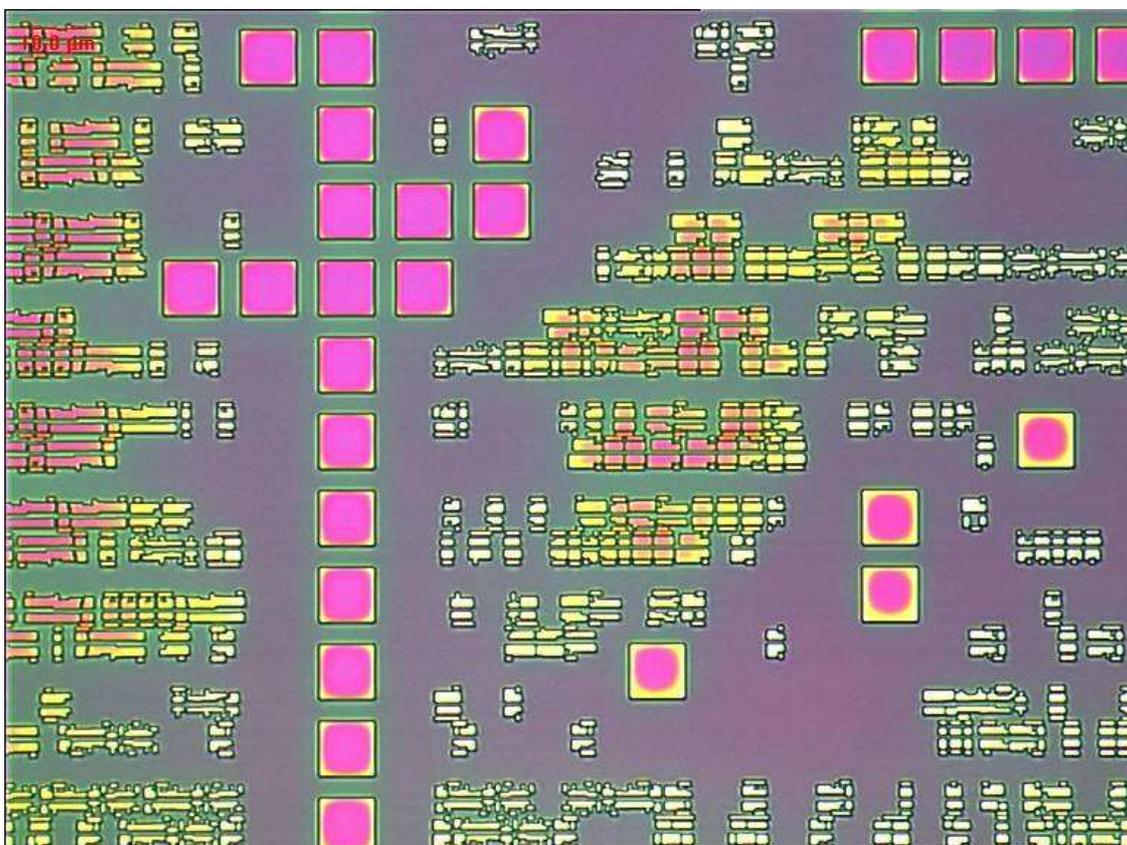


Figure 52 : Variations relatives des délais de montée et descente en fonction de la luminosité d'exposition pour différentes distances focales dans le cas d'une cellule standard dans la configuration « grilles fictives » [Wright'06]

Une analyse est ensuite lancée en partenariat avec les technologues et l'équipe en charge du CMP afin de valider les bénéfices de l'insertion de DFM Filler Cell dans les blocs logiques des produits. Il s'agit de réaliser des mesures de défektivité et des coupes afin de s'assurer que les résultats du CMP sont

meilleurs pour les produits intégrant des DFM Filler Cell. Les photographies fournies par le microscope électronique permettent de visualiser les défauts de discoloration, c'est-à-dire une variation de couleur pour une même géométrie correspondant à une variation de hauteur. Ces résultats sont présentés dans la Figure 53 pour le produit ne contenant pas de DFM Filler Cell, et dans la Figure 54 pour le produit contenant des DFM Filler Cell d'une génération antérieure à celle présentée en Figure 47. On observe que l'impact positif des DFM Filler Cell est indéniable, car leur utilisation annule tous les défauts de discoloration. Afin de pousser l'analyse plus loin, des coupes sont réalisées sur les deux produits afin de déterminer les variations de hauteur d'active le long du *waffer*. Les Figure 55 et Figure 56 permettent de comparer l'impact des DFM Filler Cell sur les performances du CMP.



**Figure 53 : Photographie au microscope électronique d'un bloc logique ne contenant pas de DFM Filler Cell, utilisant l'ancien motif de remplissage : les défauts de discoloration (variation de couleur pour une même géométrie) sont nombreux.**

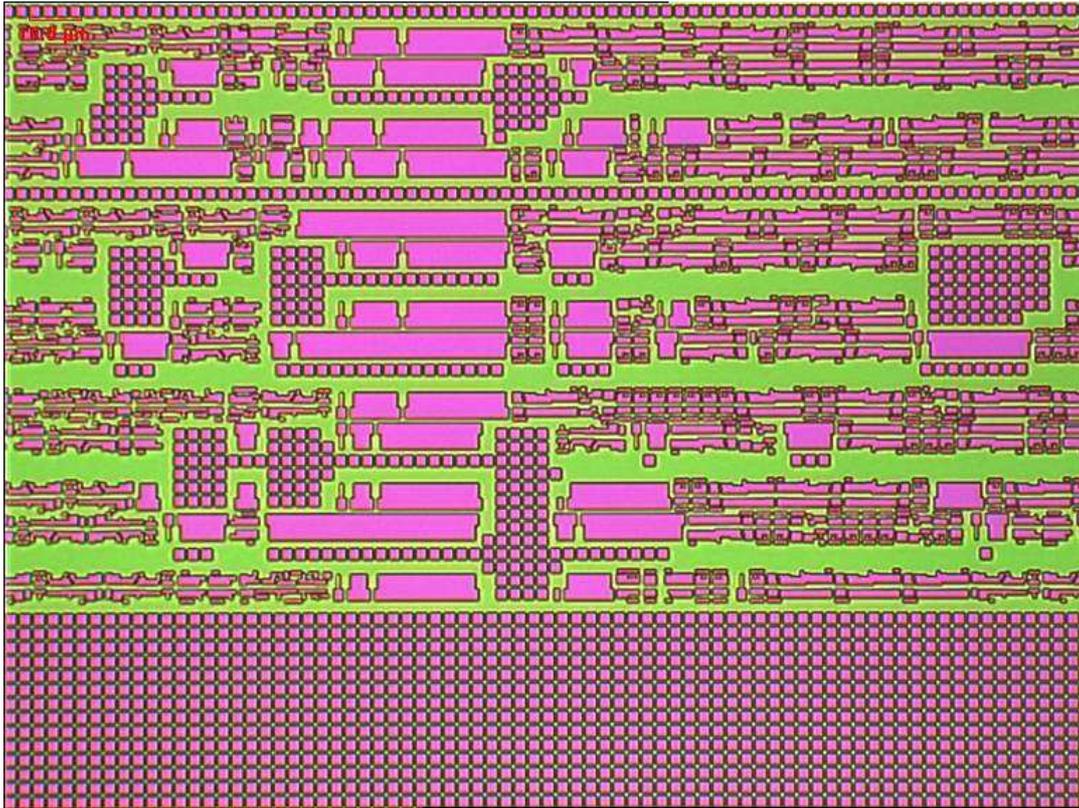


Figure 54 : Photographie au microscopique électronique d'un bloc logique contenant des DFM Filler Cell, utilisant le nouveau motif de remplissage : les défauts de discoloration (variations de couleur pour une même géométrie) ont totalement disparus

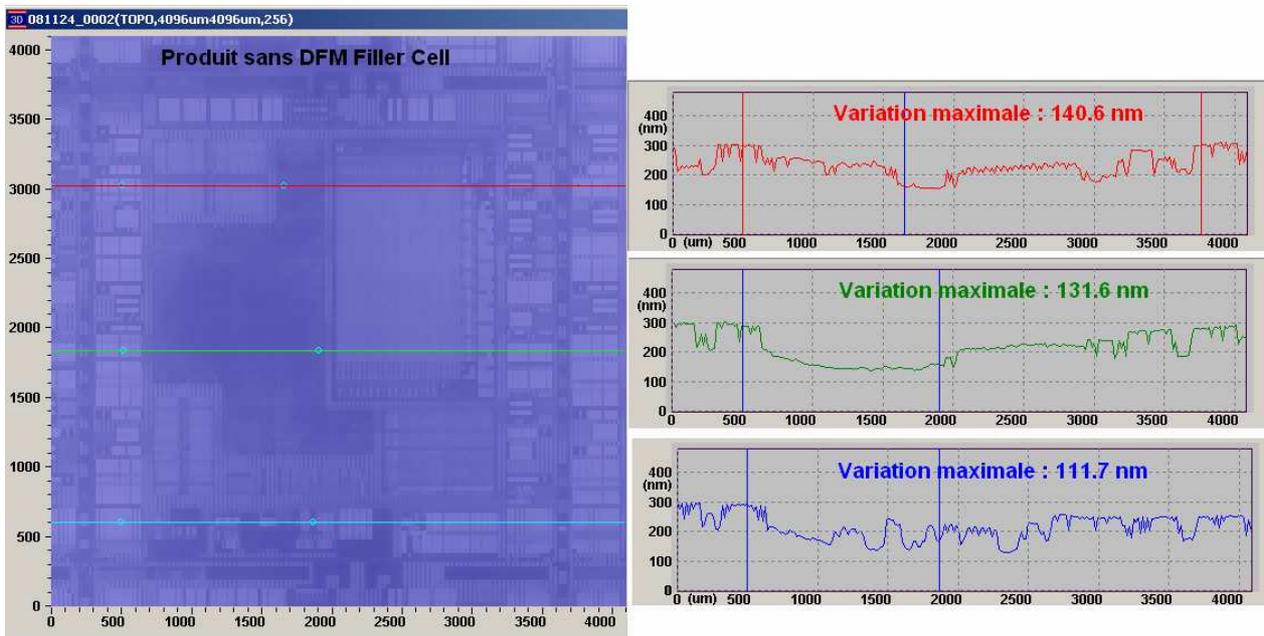
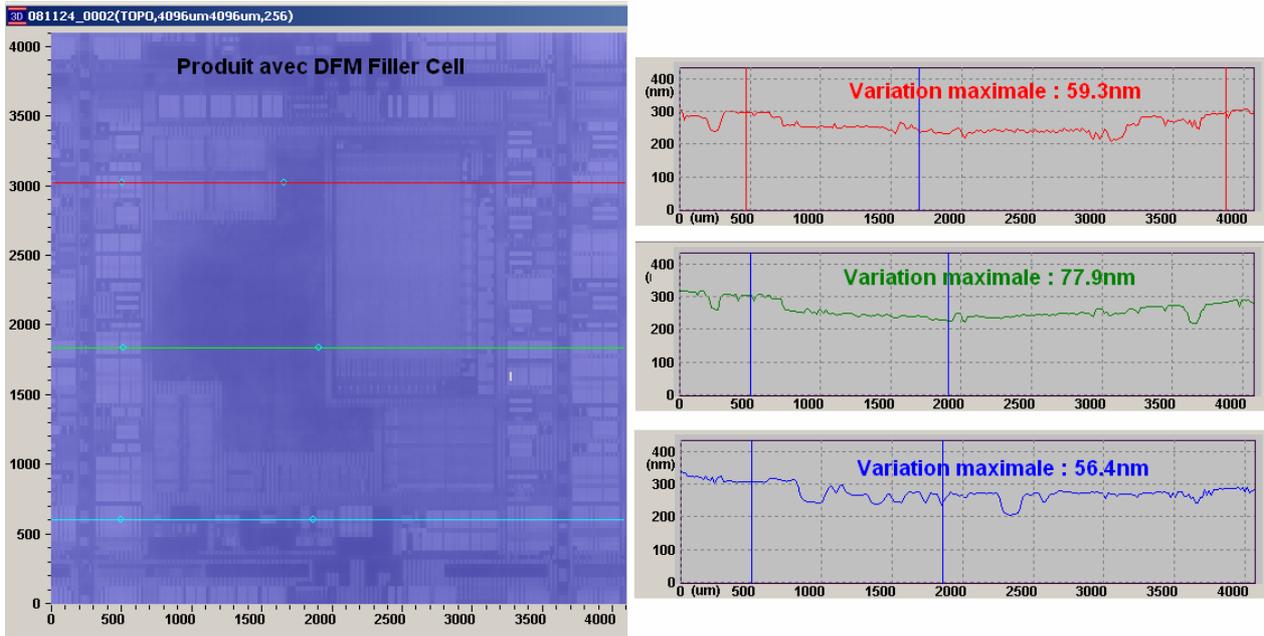


Figure 55 : Variation de l'épaisseur d'active dans un produit ne contenant pas de DFM Filler Cell



**Figure 56 : Variation de l'épaisseur d'active dans un produit contenant des DFM Filler Cell**

On constate que les bénéfices de l'utilisation de DFM Filler Cell vont bien au-delà de l'uniformisation de la planéité de l'active du bloc logique. C'est tout le produit qui bénéficie de leur présence, car l'uniformisation de la densité du bloc logique permet d'uniformiser la densité du produit dans sa globalité. Ainsi, en recevant en entrée un produit avec une telle topologie, le CMP a beaucoup plus de marge de manœuvre pour uniformiser la planéité d'active. On constate une diminution moyenne de 50.2% des variations de hauteur de l'active pour le produit contenant des DFM Filler Cell par rapport au produit sans ce type de cellules.

Par la suite, l'utilisation des DFM Filler Cell ayant été validée dans le processus de conception et le gain de planéité qu'elles engendrent ayant été prouvé par une validation technologique, leur utilisation devient obligatoire pour les produits futurs et les nouvelles révisions des produits existants. On observe depuis dans les publications récentes que ce type de cellule de remplissage est devenu un standard du marché chez les plus grand industriels [Corley'09].

## II.5 Conclusion

Après avoir listé les différents impacts des variations technologiques sur les procédés technologiques dédiés au FEOL, l'étude s'est focalisée sur les paramètres impactant les performances du CMP. Les dérives physiques et les différents types de défauts en découlant sont analysés en partenariat avec les technologues. Afin de définir des parades efficaces, il apparaît essentiel de créer des interactions organisées entre les mondes de la conception et de la technologie. La mise en commun des différentes visions et contraintes des deux parties permet de définir des solutions adaptées. Des structures de test

permettant d'étudier à la fois des effets physiques rencontrés dans les technologies considérées et ceux qui apparaîtront avec l'adoption de nœuds technologiques plus avancés sont définies en vue d'être fabriquées. Les résultats, pas encore disponibles, permettront de valider certains résultats et d'ajuster les modèles de simulation. De plus, l'étude a permis de réaliser une optimisation des règles de conception en vigueur afin de faciliter les étapes technologiques postérieures à la conception, tout en minimisant les contraintes qu'elles imposent au niveau de la conception. De nouvelles règles orientées DFM ont également été définies afin d'améliorer la robustesse des cellules. Cela permet d'adresser la conception au niveau cellule, c'est-à-dire d'un point de vue local. Pour gérer les problèmes du CMP relatifs au point de vue global de la conception, c'est-à-dire au niveau des produits, une structure innovante de cellule de remplissage est proposée dans ce chapitre. L'originalité de cette cellule est de regrouper de nombreuses techniques d'améliorations orientées DFM, tout en assurant une parfaite insertion dans le processus de conception. L'impact de cette DFM Filler Cell a été mesuré sur silicium, et a permis l'élimination des défauts rencontrés auparavant. De plus, elle permet d'améliorer de 50% en moyenne la planéité d'active des produits qui l'utilisent. Il reste à guider les concepteurs qui ont maintenant à gérer de nouvelles règles et une nouvelle méthode de conception visant à faciliter la production en aval. Il est nécessaire de leur fournir un outil pour leur permettre de choisir en toute connaissance de cause les priorités des règles à appliquer durant la conception des cellules. Cet outil est présenté au chapitre IV.

## Chapitre III

# Influence des variations de la métallisation sur les performances temporelles des circuits

*Les variations inhérentes à l'étape de métallisation affectent le fonctionnement des circuits et peuvent diminuer le rendement par le biais de défauts paramétriques. Il est nécessaire de prendre en compte ces variations futures dès l'étape de conception afin d'augmenter la robustesse des circuits. Après avoir listé les différentes variations possibles de l'étape de métallisation, l'étude se concentre sur les dispositifs de remplissage. De nombreuses études démontrent leur impact sur les performances des circuits. Cependant, il n'existe pas de résultats analysant l'impact de la géométrie des motifs des dispositifs de remplissage sur les délais de propagation des cellules. Des structures de test sont définies, et une modélisation complète de ce phénomène est réalisée en utilisant la méthode mathématique des plans d'expériences (DOE). Les résultats montrent que cette variation a une influence non négligeable notamment sur le délai de propagation de ces structures de test. Ces dernières sont embarquées sur un véhicule de test en vue d'être testées sur silicium. En utilisant les données fournies par les modèles générés, un nouveau concept de « Metal Filling Corner » est défini, permettant aux concepteurs de prendre en compte les effets des motifs de remplissage dès l'étape de simulation. Cela permet de simuler les cellules en anticipant des contextes plus ou moins contraignants dans le but d'améliorer la robustesse des circuits.*

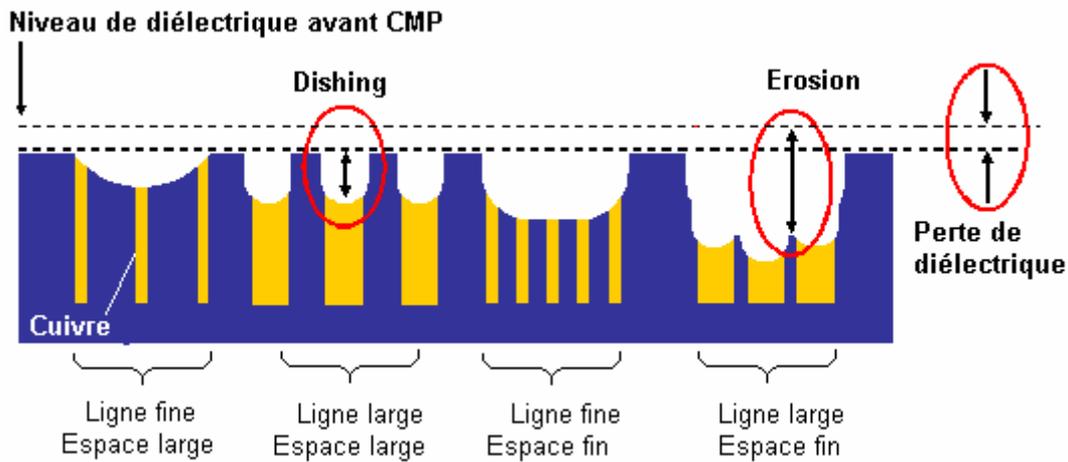
## III.1 Introduction

Après avoir exploré les pistes d'amélioration DFM possibles du côté FEOL, ce chapitre concerne l'étape de métallisation. Il est en effet observé que cette étape est sujette à de nombreuses variations qui peuvent mener à des défauts paramétriques et impacter de manière significative le rendement. Ainsi, un état de l'art des phénomènes de variation de la métallisation connus est présenté dans la première partie. L'étude se concentre par la suite sur l'impact des dispositifs de remplissage. En effet, ceux-ci sont insérés ultérieurement à la conception des cellules, et de ce fait ne sont pas pris en compte durant les étapes de simulation. Largement représentée dans les publications scientifiques, leur influence sur les performances des circuits est clairement démontrée. Cependant, les dégradations de délais de propagation dues à la géométrie du motif de remplissage métallique ne sont pas connues à ce jour. C'est pourquoi la deuxième partie propose une méthode de modélisation réalisée à ce sujet, utilisant la technique des plans d'expérience appliquée à des structures de test. La troisième partie présente l'analyse des résultats obtenus à l'aide des modèles. Enfin dans la quatrième partie, ils sont exploités afin de définir le concept de « *Metal Filling Corner* ». Il s'agit de nouvelles conditions de fonctionnement qui permettent dès l'étape de simulation d'anticiper de manière plus ou moins contraignante l'impact de la géométrie du motif de remplissage sur les performances des circuits.

## III.2 Les phénomènes de variation de la métallisation

### III.2.1 Impact du CMP sur la fabrication au niveau BEOL d'un point de vue global

Le procédé CMP est utilisé pour améliorer la planéité des niveaux métalliques. Cependant, les limitations du CMP exposées dans le chapitre II sont également valables pour la partie BEOL du processus de fabrication. Ainsi, la topologie des lignes d'interconnexion peut être modifiée de manière horizontale (effet WEE) et verticale (effet de « *dishing* » ou d'érosion). L'effet de *dishing* s'explique par un polissage du métal supérieur à celui du diélectrique environnant et conduit à des modifications géométriques des lignes métalliques, ce qui impacte leur résistance et capacité (Figure 57).



**Figure 57 : Effets physiques du CMP sur les lignes métalliques**

L'effet de *dishing* est caractérisé par un paramètre nommé rayon de *dishing*, dépendant de la technologie considérée et du matériel utilisé. Ainsi la modélisation de cet effet fait l'objet de différentes publications afin de se prémunir de ses impacts néfastes pour les performances électriques des circuits [Chang'05]. Certaines techniques d'ajustement de la pression du CMP afin de réduire l'effet de *dishing* sont proposées par [Guohai'01]. De plus, certaines combinaisons de produits chimiques et de types de matériau utilisés par le CMP ne sont pas adaptées pour tous les types de métaux. Par exemple, associer une plaque de polissage en polyuréthane à un abrasif à base de peroxyde d'hydrogène ne permet pas d'obtenir des bons résultats de planéité pour le cuivre. Il s'agit donc de choisir judicieusement la recette de CMP en fonction du procédé technologique utilisé [Obeng'05]. L'impact des variations du CMP sur la géométrie des interconnexions fait l'objet de nombreuses études, ainsi que la manière de détecter les défauts générés [Forli'03]. [Nagaraj'04] se concentre sur l'établissement d'un modèle d'interconnexion pour des technologies utilisant le cuivre et un matériau diélectrique à faible constante diélectrique tenant compte des effets de *dishing* induits par l'utilisation du CMP. De la même manière, [Wildman'03] et [Zhang'01] s'intéressent à la définition d'une méthode d'optimisation à critères multiples des interconnexions afin de d'ajuster certains paramètres en fonction du contexte physique de la ligne métallique. Cela permet de réduire les effets électriques dus aux variations géométriques générées par le CMP. [Lu'07] présente un travail de caractérisation des performances électriques des interconnexions en fonction du contexte environnant pour une technologie 65nm, incluant l'étape de CMP. La signature topologique d'un produit est un facteur-clé du bon déroulement du CMP. En effet, de la même manière que pour le FEOL, l'efficacité de l'étape de planéité du BEOL repose en grande partie sur la répartition de la densité métallique le long du produit. Il n'est pas suffisant de considérer uniquement la densité de manière globale, il est nécessaire de réaliser l'analyse de densité par fenêtre de taille réduite. Cela permet d'avoir une approche locale et de prendre en compte les gradients de densité, c'est-à-dire les différences de densité entre des fenêtres adjacentes. Les gradients de densité sont à considérer de manière impérative

pour s'assurer des bons résultats fournis par le CMP. Il faut uniformiser au maximum la densité métallique et pour cela, différents industriels et scientifiques proposent des solutions orientées DFM largement reconnues et utilisées dans l'industrie. L'une d'entre elles est l'élargissement des lignes de métal. Cela permet d'une part d'augmenter la densité métallique, et d'autre part de diminuer les risques d'apparition de défauts de type circuits ouverts, dus à des dérives de fabrication ou à des phénomènes physiques comme l'électromigration par exemple. Il s'agit donc d'élargir les lignes de métal lorsque leur contexte environnant le permet. Il n'est cependant pas envisageable d'élargir arbitrairement toutes les lignes de métal, du fait des modifications électriques induites par ce type de modifications. En effet, les caractéristiques de la ligne telles que sa résistance ou sa capacité sont directement impactées par un élargissement et leurs modifications peuvent mener à des déviations de délais de propagation non désirées. C'est pourquoi des chercheurs proposent des techniques d'élargissement de lignes en tenant compte de contraintes DFM afin de minimiser l'impact sur le comportement des circuits. [Hong'06] propose une méthode de routage avancée tenant compte du contexte des lignes métalliques afin de prédire les variations du CMP. Les résultats montrent qu'il est possible de conserver les délais d'un arbre d'horloge tout en appliquant la méthode d'élargissement des interconnexions. Afin d'uniformiser la densité des lignes métalliques, il est également conseillé dans une approche DFM d'espacer et de décaler les lignes directement adjacentes lorsque le contexte le permet. [Serdar'06] s'intéresse aux impacts sur les délais de ce type de modifications géométriques et propose des méthodes qui permettent d'augmenter le rendement de manière significative. De plus, afin de rendre ce type de technique applicable à des circuits industriels (où des millions de modifications doivent être réalisées), [Allan'04] propose un programme en Perl basé sur un système de reconnaissance de polygone qui permet notamment d'espacer et de décaler automatiquement les lignes métalliques. Ce sujet est également traité par [Rizzo'07]. La Figure 58 montre un contexte d'interconnexions avant correction et la Figure 59 présente la même structure après espacement des lignes. Cependant, ce type de correction automatique peut poser certains problèmes, notamment au sujet des configurations générées qui peuvent complexifier grandement les étapes d'OPC.

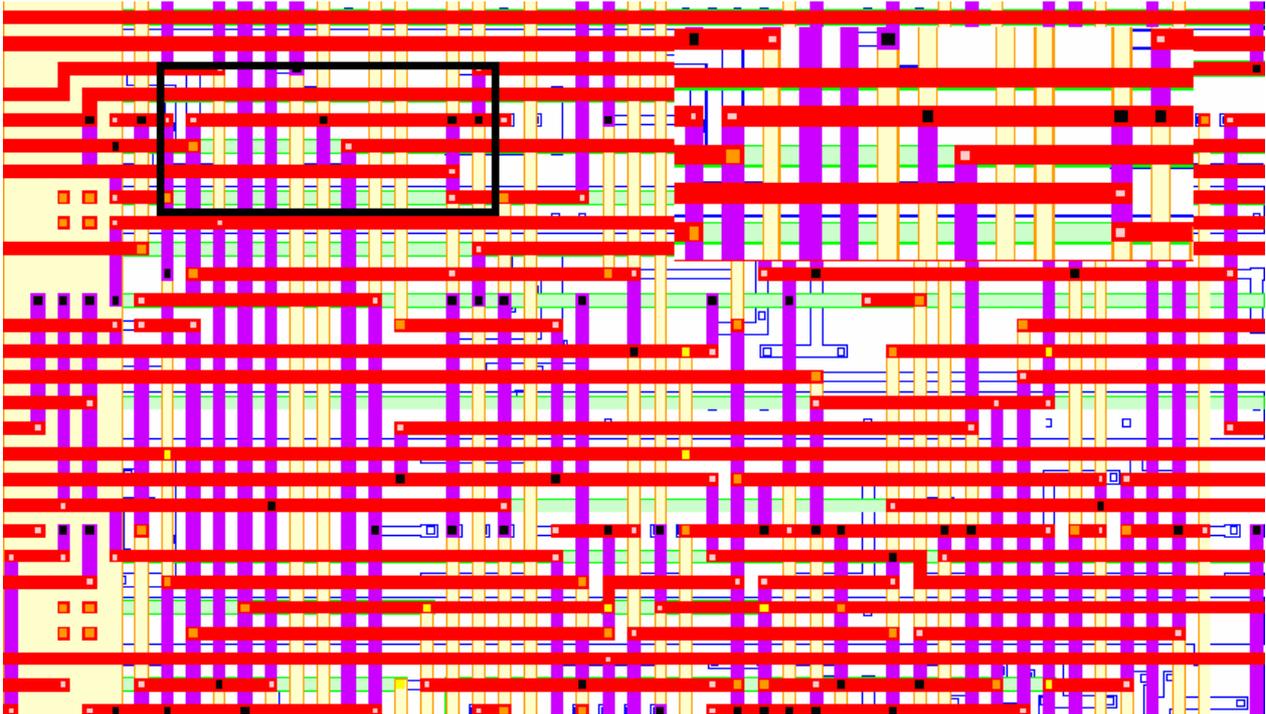


Figure 58 : Contexte de lignes métalliques avant espacement (Source : icyield.com)

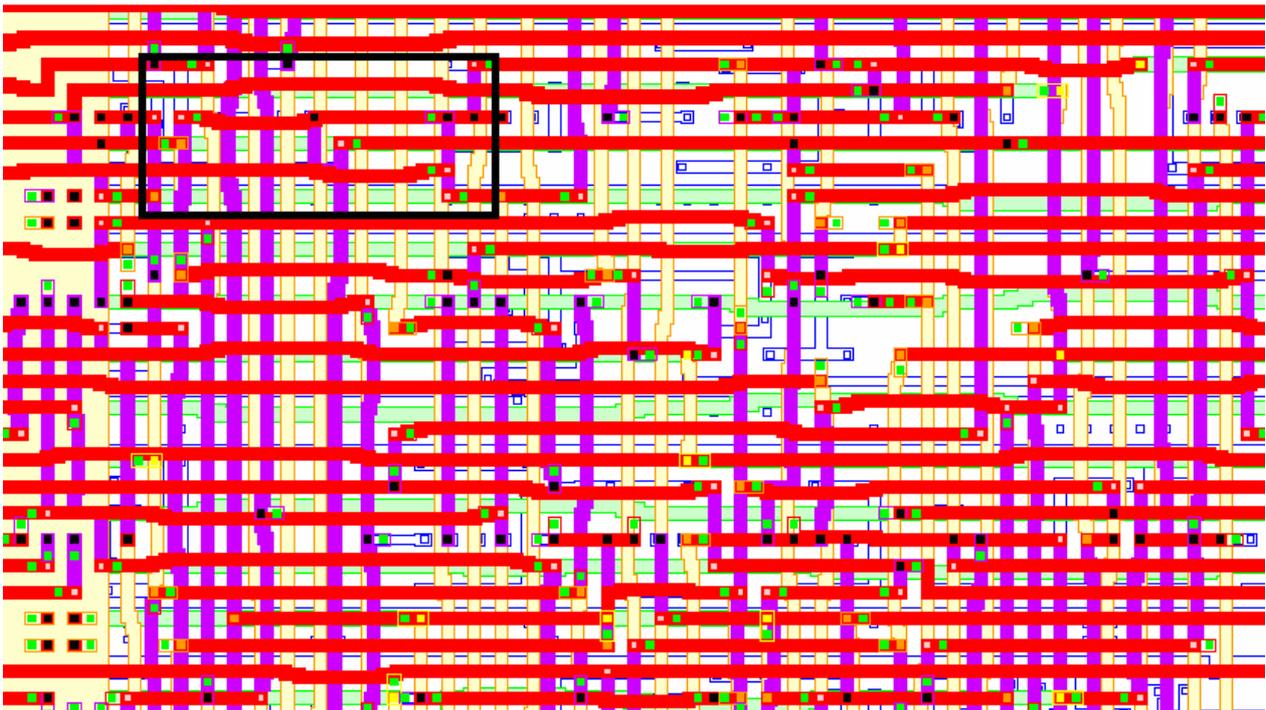


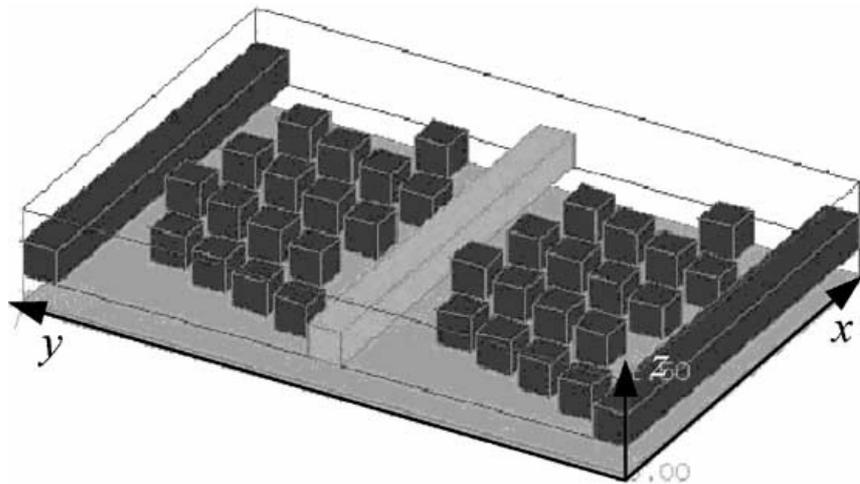
Figure 59 : Contexte de lignes métalliques après espacement et décalage (Source : icyield.com)

On peut trouver chez [Gupta'05-1] une étude au sujet des différents facteurs affectant les interconnexions, en particulier le CMP mais également le traitement OPC, et leur influence sur les délais. Il propose également des solutions permettant d'optimiser le rendement, sensiblement similaires à celles précédemment exposées. Ces techniques DFM permettent d'uniformiser la densité de lignes métalliques.

Il existe cependant dans tout circuit des zones où les lignes de métal sont inexistantes et qui par conséquent sont des zones présentant une densité de métal nulle. La technique universellement utilisée pour combler ces vides est l'insertion de dispositifs métalliques de remplissage. Il s'agit de polygones n'ayant pas d'autres fonctionnalités que d'augmenter la densité d'une zone considérée.

### III.2.2 Etat de l'art de l'étude de l'impact des dispositifs de remplissage métalliques

L'insertion de dispositifs de remplissage métalliques est la principale technique utilisée pour augmenter la densité d'un circuit, et de ce fait améliorer les performances du CMP. Leur taille et le motif utilisé peut varier suivant les contraintes technologiques, mais le principe reste toujours le même : insérer des formes métalliques dans les zones vides pour augmenter la densité (Figure 60).



**Figure 60 : Ligne métallique entourée par des dispositifs de remplissage**

La principale limitation de cette technique concerne l'apparition de capacités de couplage entre les dispositifs de remplissage et les lignes métalliques. Dans certains cas bien particuliers, ces dispositifs sont connectés à un potentiel de référence, qui peut être la masse ou l'alimentation, afin de pouvoir prédire l'impact capacitif que leur insertion aura sur les performances du circuit. Cependant ce type de solutions n'est pas réellement applicable dans un contexte produit. En effet, le fait de connecter tous les dispositifs de remplissage utilise énormément de ressources de routage et augmente de manière considérable la congestion des niveaux métalliques des produits. Ceci explique que dans la plupart des technologies avancées et très avancées, les dispositifs de remplissage métalliques sont laissés flottants, c'est-à-dire qu'ils ne sont connectés à aucun nœud et n'ont pas de potentiel fixe. De ce fait, leur impact capacitif est difficilement prévisible, et il est nécessaire de recourir à des méthodes avancées pour les prendre en compte. L'extraction des capacités relatives aux dispositifs de remplissage flottants peut être fastidieuse en fonction du nombre de polygones dont le potentiel n'est pas fixé. C'est pourquoi les études

concernant les méthodes d'extraction de parasites liés aux dispositifs de remplissage sont très nombreuses, comme le témoigne le nombre important de publications sur le sujet. Ainsi, [Kurokawa'04] propose une méthode d'extraction de capacité simplifiée basée sur la théorie des champs électriques d'une précision de 92% pour une technologie 90nm. Une solution d'extraction en trois dimensions des capacités induites par la présence de dispositifs de remplissage métalliques basée sur la méthode des éléments finis est proposée par [Yu'06]. Particulièrement efficace pour gérer un très grand nombre de dispositifs, elle permet d'améliorer d'un facteur mille la vitesse de calcul en comparaison avec les standards de l'industrie, tout en conservant une précision amplement suffisante. [Kahng'07-1] et [Kahng'06-2] proposent quant à eux un algorithme de génération de tables de valeurs de capacités normalisées, basé sur la définition d'un plan d'expérience. Cela permet d'ajuster les valeurs de capacité fournies par les outils d'extraction de parasites en utilisant une table de normalisation préalablement générée, afin de pallier les imprécisions des méthodes standard d'extraction de capacités. [Lee'01] présente une étude de l'influence capacitive des dispositifs de remplissage métalliques en partant d'un point de vue local et en allant jusqu'au point de vue global qu'est le contexte du produit, afin de prouver que la prise en compte de cet effet est essentiel dès le nœud technologique 0.18 $\mu$ m. On peut également trouver chez [Lee'03] une étude complète sur les facteurs qui modifient les capacités de couplage des interconnexions, incluant la présence de dispositifs de remplissage. Une des valeurs ajoutée de ce travail est que ces résultats sont corrélés avec les modifications géométriques des interconnexions métalliques. Les dispositifs de remplissage métalliques ont également une influence néfaste sur les caractéristiques des circuits à haute fréquence en raison du couplage magnétique qu'ils induisent [Tsuchiya'06], mais cet aspect n'est pas étudié dans la suite. Ces derniers sont grandement dépendants de la taille et du motif utilisés pour la génération des dispositifs de remplissage. Ainsi, on peut trouver chez [Kurokawa'05] une méthode de définition de motifs de remplissage afin de réduire les capacités de couplage. Cela se résume principalement à réduire les surfaces en regard entre dispositifs de remplissage et interconnexions métalliques. Enfin, [Stine'98] propose une étude poussée sur la dépendance des variations de hauteur de l'isolant diélectrique par rapport à la densité de métal, incluant les dispositifs de remplissage. Les résultats montrent une réduction de 82% des variations de hauteur. Cependant, il n'existe pas à ce jour d'étude exhaustive s'intéressant à l'impact de la géométrie et de la position des motifs de remplissage sur les délais de propagation des circuits. En effet, suivant le type de motif utilisé, et le contexte métallique dans lequel il est généré, les impacts capacitifs sont différents et il est nécessaire de modéliser cette dépendance afin de prédire les déviations temporelles. Aussi, afin de mener à bien cette étude, il est nécessaire de se focaliser sur un fonctionnement local, car les variations observées au niveau d'un produit complet sont la résultante des variations cumulées observées dans les cellules et les zones de routage. Il est donc nécessaire de réaliser l'étude au niveau local afin de solutionner les problèmes rencontrés au niveau global, comme les déviations de délais, les limitations du CMP et d'une manière plus générale les

problèmes de rendement. Cependant, il n'est pas possible d'étudier tous les cas possibles de motifs de remplissage, du fait de la complexité du phénomène à traiter. C'est une problématique à variables continues, et une modélisation de l'impact de la géométrie du motif des dispositifs de remplissage métallique est indispensable du fait du nombre infini de combinaisons à traiter. Afin de traiter ce sujet, il faut donc utiliser une méthode rigoureuse. La méthode du plan d'expérience, ou *Design Of Experiment*, apparaît être tout à fait adaptée pour cette étude [Forli'05].

### **III.3 Modélisation de l'impact de la géométrie du motif des dispositifs de remplissage métalliques**

#### **III.3.1 Présentation de la méthode *Design Of Experiment***

L'utilisation d'une méthode exhaustive et rigoureuse afin de traiter l'impact de la géométrie du motif des dispositifs de remplissage métalliques est indispensable du fait de la complexité du problème. Il n'est pas envisageable d'étudier toutes les configurations possibles, et il est donc nécessaire de sélectionner judicieusement les expériences qui permettront de cerner correctement le sujet traité. Une expérience peut être définie comme étant une épreuve ou un essai effectué afin d'étudier un phénomène. Dans le domaine scientifique et d'une manière générale, il s'agit d'un fait provoqué ou attendu pour vérifier une hypothèse, une loi, et arriver ainsi à une connaissance théorique du fonctionnement du phénomène étudié. La planification expérimentale propose une série d'outils statistiques pour organiser efficacement des expériences et en analyser les résultats. De plus, le déroulement de l'expérience est conditionné par les résultats obtenus au fur et à mesure que le plan d'expérience est exécuté, et ceci afin de gagner du temps. D'une manière générale, l'étude d'un phénomène peut être schématisé de la manière suivante : on s'intéresse à une grandeur, la réponse, qui dépend d'un grand nombre de variables d'entrée, appelés facteurs. Le concept de plan d'expérience ou "DOE" (pour « *Design Of Experiment* ») a été introduit au début du siècle dernier (1919) en Angleterre par Ronald A. Fisher [Fisher'90] dans le secteur agronomique puis, dans le secteur industriel et enfin dans le domaine biologique et médical. Les plans d'expérience sont utilisés dans le domaine de la microélectronique, notamment pour améliorer la qualité d'un processus de fabrication. En effet, le DOE permet de déterminer, grâce à une série d'expériences judicieusement choisies, les facteurs et paramètres ayant une influence sur la réponse à étudier. Une fois le plan d'expérience exploré, il est possible de prédire le comportement de la réponse pour chaque point du domaine expérimental défini par les variables d'entrée. Les points essentiels qui permettent d'étudier, de décrire et maîtriser le phénomène étudié sont exposés ci-dessous :

- La formulation claire du problème étudié
- La définition des différents facteurs susceptibles d'avoir une influence sur le résultat, la liste des réponses étudiées, et les contraintes associées

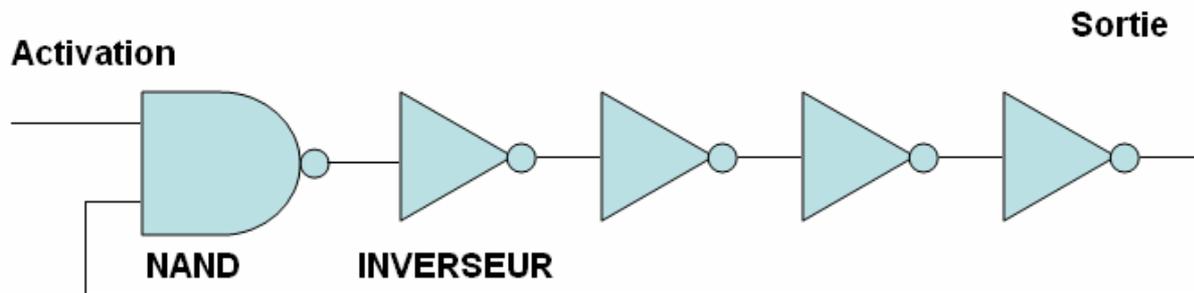
- L'établissement du DOE, c'est-à-dire choisir les expériences devant être réalisées en fonction des objectifs
- La réalisation des expériences, c'est-à-dire mesurer la valeur des réponses pour les valeurs des variables d'entrée définies par le DOE
- L'utilisation des résultats du DOE pour établir un modèle mathématique permettant de prédire le comportement des réponses pour toutes les configurations de variables d'entrée possibles, restreintes cependant au domaine de validité du modèle

L'étude d'un phénomène commence toujours par l'établissement d'une liste de tous les facteurs indépendants qui pourraient avoir une influence sur ce phénomène. L'influence relative de chaque facteur et l'influence des interactions entre facteurs sont ensuite déterminées expérimentalement lors d'une opération appelée « criblage ». Les facteurs dont l'influence sur la réponse est la plus importante sont ensuite sélectionnés pour être réutilisés lors d'une étude ultérieure. Cette étape consiste à réduire le nombre de facteurs étudiés et à définir des domaines de variation suffisamment restreints pour avoir une bonne précision du comportement de la réponse en fonction des variables d'entrée. Une fois les facteurs les plus influents connus, il est possible dans une deuxième étape de les étudier de façon plus fine, c'est-à-dire de connaître en tout point du domaine expérimental la valeur d'une ou plusieurs réponses expérimentales. L'intérêt est de prévoir en tout point intérieur au domaine expérimental la valeur de la réponse, sans avoir à effectuer l'expérience. Pour cela, il faut trouver les relations existant entre les facteurs et les réponses. Cette partie de l'outil méthodologique est appelée « méthode des surfaces de réponse » [Dagnelie'03]. La méthode des plans factoriels est utilisée pour déterminer les interactions entre facteurs d'entrée. Une fois celles-ci déterminées, l'influence directe de chaque facteur et les influences combinées des facteurs doivent être reliés au comportement de la réponse [Alexis'99]. Cette relation est dans la plupart des cas obtenue en modélisant le phénomène, c'est-à-dire en le simplifiant sous la forme d'un modèle mathématique. Ces modèles peuvent être infiniment variés et dépendent du type de problème étudié : modèles linéaires ou non linéaires, équations différentielles et autres. Toutefois les modèles les plus utilisés sont les modèles polynomiaux. La première étape consiste à déterminer le type d'expérience à réaliser. Dans le cas de cette étude, il s'agit de définir les structures de test ainsi que le flot de simulation utilisé.

### III.3.2 Définition des structures de test

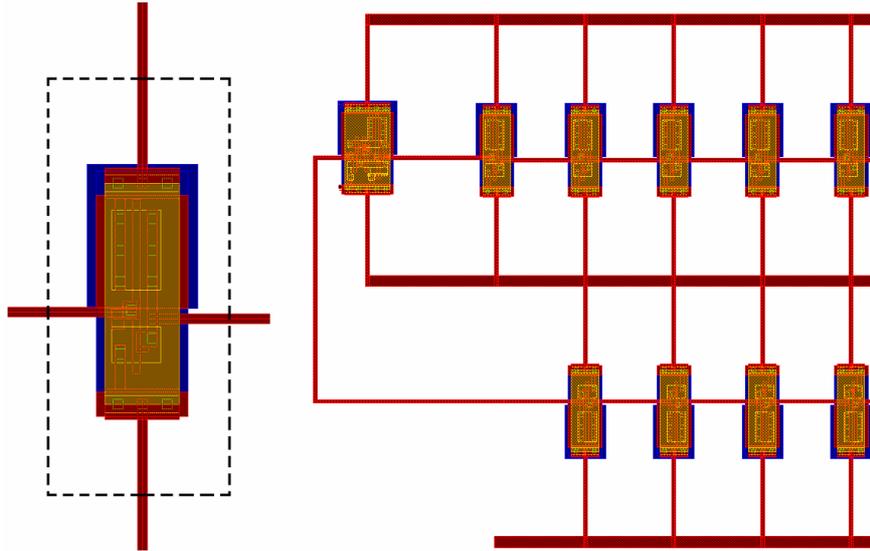
#### III.3.2.1 Structure $RO_C$ : cellules standard et leurs interconnexions

Afin d'étudier l'impact de la géométrie du motif des dispositifs de remplissage métalliques sur les performances temporelles, il est nécessaire de définir des structures de test dont les délais sont facilement mesurables. L'oscillateur en anneau, fréquemment utilisé pour des tests de fiabilité [Le'00], est un circuit qui est un bon candidat pour ce type d'étude (voir Figure 61).



**Figure 61 : Oscillateur en anneau composé d'un nombre impair d'inverseurs**

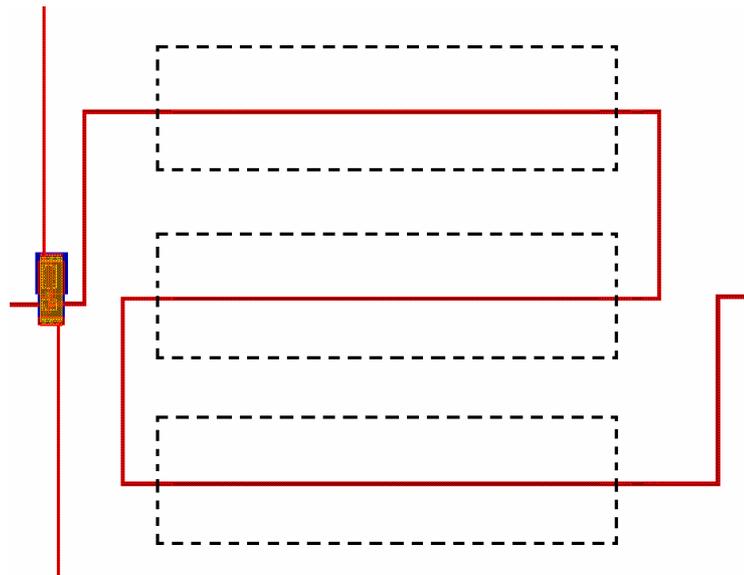
En effet, les mesures de délai sur ce type de circuit sont aisées et très bien maîtrisées. De plus, l'oscillateur en anneau se prête également tout à fait aux mesures fréquentielles [Duan'06]. Il s'agit donc de construire un oscillateur en anneau permettant d'étudier l'impact des dispositifs de remplissage. Cet oscillateur en anneau est composé d'inverseurs interconnectés par des lignes métalliques courtes, de manière à être dans une situation similaire à celle d'un bloc logique. Une zone de remplissage est ensuite définie autour des inverseurs afin de délimiter la génération des dispositifs de remplissage métalliques. Cette structure est référencée sous l'appellation  $RO_C$  (Oscillateur en anneau avec  $RO$  pour « *Ring Oscillator* ») dans la suite (Figure 62). Les différents motifs générés par le DOE sont donc appliqués tour à tour dans cette zone, qui est dupliquée autour de chaque inverseur. Ce type de fonctionnement correspond tout à fait à l'étude statistique nécessaire à la modélisation de l'impact de la géométrie du motif des dispositifs de remplissage sur les performances des circuits. La structure  $RO_C$  est composée de 41 inverseurs ayant une capacité de sortie suffisante pour supporter la charge correspondante aux autres inverseurs chaînés dans l'oscillateur. L'entrée de la boucle est assurée par une cellule NAND qui permet d'activer le mode chaîne en envoyant un signal non prioritaire sur l'entrée correspondante. Le mode chaîne correspond à une libre oscillation de la structure rebouclée sur elle-même et permet notamment d'effectuer des mesures fréquentielles. En envoyant un signal prioritaire sur l'entrée du NAND, l'oscillateur n'est plus en situation d'oscillation autonome et il devient possible de mesurer le délai de propagation du signal à travers la structure  $RO_C$ .



**Figure 62 : Structure  $RO_C$  : La zone en pointillé délimite l'insertion de dispositifs de remplissage autour des inverseurs**

### III.3.2.2 Structure $RO_I$ : Interconnexions pour différents niveaux métalliques

Afin de déterminer l'impact de la géométrie du motif des dispositifs de remplissage sur les interconnexions métalliques, une structure de test basée sur un oscillateur en anneau est définie. Cette structure appelée  $RO_I$  est composée de 61 inverseurs interconnectés par une ligne métallique relativement longue, en forme de serpent. L'espace entre les branches du serpent est choisi suffisamment important pour éliminer toute capacité de couplage entre elles. D'une manière analogue à la structure  $RO_C$ , une zone de remplissage est délimitée autour de chaque partie du serpent (Figure 63).



**Figure 63 : Structure  $RO_I$  : les zones en pointillé délimitent la génération des dispositifs de remplissage au-dessus des interconnexions métalliques**

Pour une structure  $RO_I$  donnée, le motif de remplissage est le même pour chaque branche du serpentín de chaque interconnexion entre les inverseurs. Il reste à présent à utiliser la méthode DOE pour définir les motifs de dispositifs de remplissage métalliques qui seront insérés dans les différentes structures de test  $RO_C$  et  $RO_I$  [Remy'08].

### III.3.3 Application de la méthode DOE à l'étude de l'impact de la géométrie des dispositifs de remplissage métalliques

La méthode des plans d'expérience est bien adaptée pour mener l'étude de l'impact de la géométrie du motif des dispositifs de remplissage métalliques. Le DOE permet de déterminer les expériences à mener afin d'être en mesure de modéliser cet impact. La formulation du problème est clairement définie et les structures de test ayant pour but d'intégrer les différents motifs le sont également. Il reste à définir les facteurs influant sur la réponse attendue. Les variables d'entrée sont donc les caractéristiques géométriques du motif de remplissage. Une topologie en quinconce, largement utilisée dans l'industrie microélectronique, est choisie pour le motif. Celle-ci est définie par des rectangles de remplissage, séparés entre eux par une forme rectangulaire vide qui définit l'espacement entre les blocs métalliques du motif. Une des variables à prendre en compte est le point d'instanciation du motif. En effet, sachant que les dispositifs de remplissage sont insérés dans des zones délimitées des structures  $RO_C$  et  $RO_I$ , il est nécessaire de prendre en compte pour des motifs identiques leur positionnement par rapport à ces zones. Les variables d'entrée du DOE sont présentées dans la Figure 64.

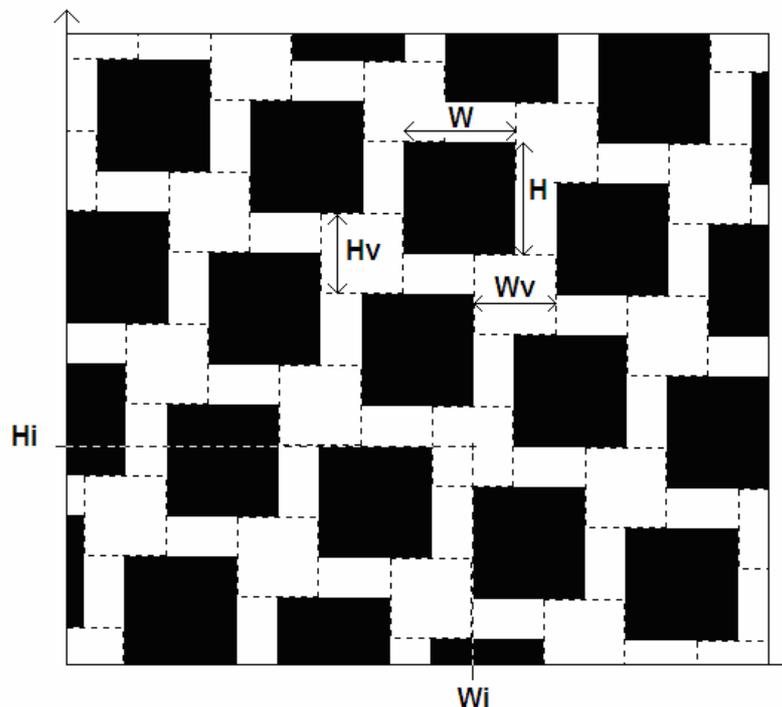


Figure 64 : Définition des variables d'entrée du DOE : le format du motif de remplissage

Les variables d'entrée du DOE sont les suivantes :

- $H$ ,  $W$  correspondent respectivement à la longueur et largeur d'un dispositif de remplissage métallique.
- $H_v$ ,  $W_v$  correspondent respectivement à la longueur et largeur du rectangle séparant les dispositifs de remplissage métalliques.
- $H_i$ ,  $W_i$  correspondent respectivement aux coordonnées du point d'instanciation du motif dans les zones délimitées des structures  $RO_C$  et  $RO_I$ .

Les variations de ces six paramètres permettent de couvrir tout le spectre des différents motifs de remplissage en quinconce. Il s'agit ensuite de définir leurs domaines de variation respectifs qui vont permettre d'avoir une bonne corrélation entre la modélisation et l'impact réel. Les domaines de variation des variables d'entrée sont les suivants (pour une technologie 130nm):

- $H$ ,  $W$  varient de  $0.8\mu\text{m}$  à  $3\mu\text{m}$
- $H_v$ ,  $W_v$  varient de  $0.8\mu\text{m}$  à  $3\mu\text{m}$
- $H_i$ ,  $W_i$  varient de  $0$  à  $5\mu\text{m}$

Il reste à définir les variables de sortie, c'est-à-dire les paramètres influencés par la variation des variables d'entrée et dont on veut prédire les comportements. Afin de modéliser l'impact de la géométrie du motif des dispositifs de remplissage métalliques sur les performances temporelles des circuits, les réponses choisies concernent les performances temporelles et fréquentielles des structures de test. Elles sont listées ci-dessous :

- Délai de propagation des structures  $RO_C$  et  $RO_I$
- Fréquence fondamentale des structures  $RO_C$  et  $RO_I$
- Gain de la fréquence fondamentale de fonctionnement des structures  $RO_C$  et  $RO_I$
- Gain de la 1<sup>ère</sup> harmonique des structures  $RO_C$  et  $RO_I$
- Fréquence de la 1<sup>ère</sup> harmonique des structures  $RO_C$  et  $RO_I$
- Gain de la 2<sup>ème</sup> harmonique des structures  $RO_C$  et  $RO_I$
- Fréquence de la 2<sup>ème</sup> harmonique des structures  $RO_C$  et  $RO_I$
- Gain de la 3<sup>ème</sup> harmonique des structures  $RO_C$  et  $RO_I$
- Fréquence de la 3<sup>ème</sup> harmonique des structures  $RO_C$  et  $RO_I$

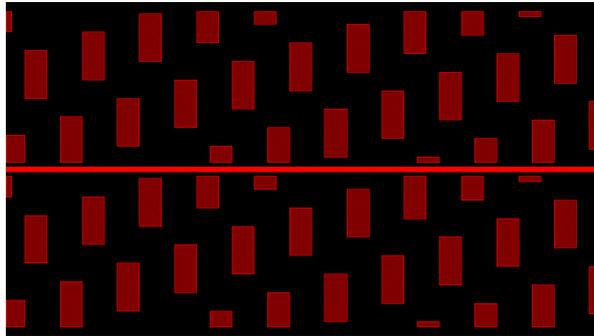
L'étape suivante est la génération de chacun des neuf modèles qui définiront les comportements de chacune des neuf réponses en fonction des six variables d'entrée. Il s'agit donc de définir le type d'expression mathématique appropriée à cette étude. Il est nécessaire de tenir compte des effets directs de chacune des variables d'entrée, mais également de leur effet au carré. Il faut également prendre en compte les effets croisés entre les variables d'entrée. Le polynôme apparaît donc être le meilleur candidat pour

modéliser l'impact de la géométrie du motif des dispositifs de remplissage sur les performances des circuits. Le type de polynôme utilisé est présenté à l'Equation 10.

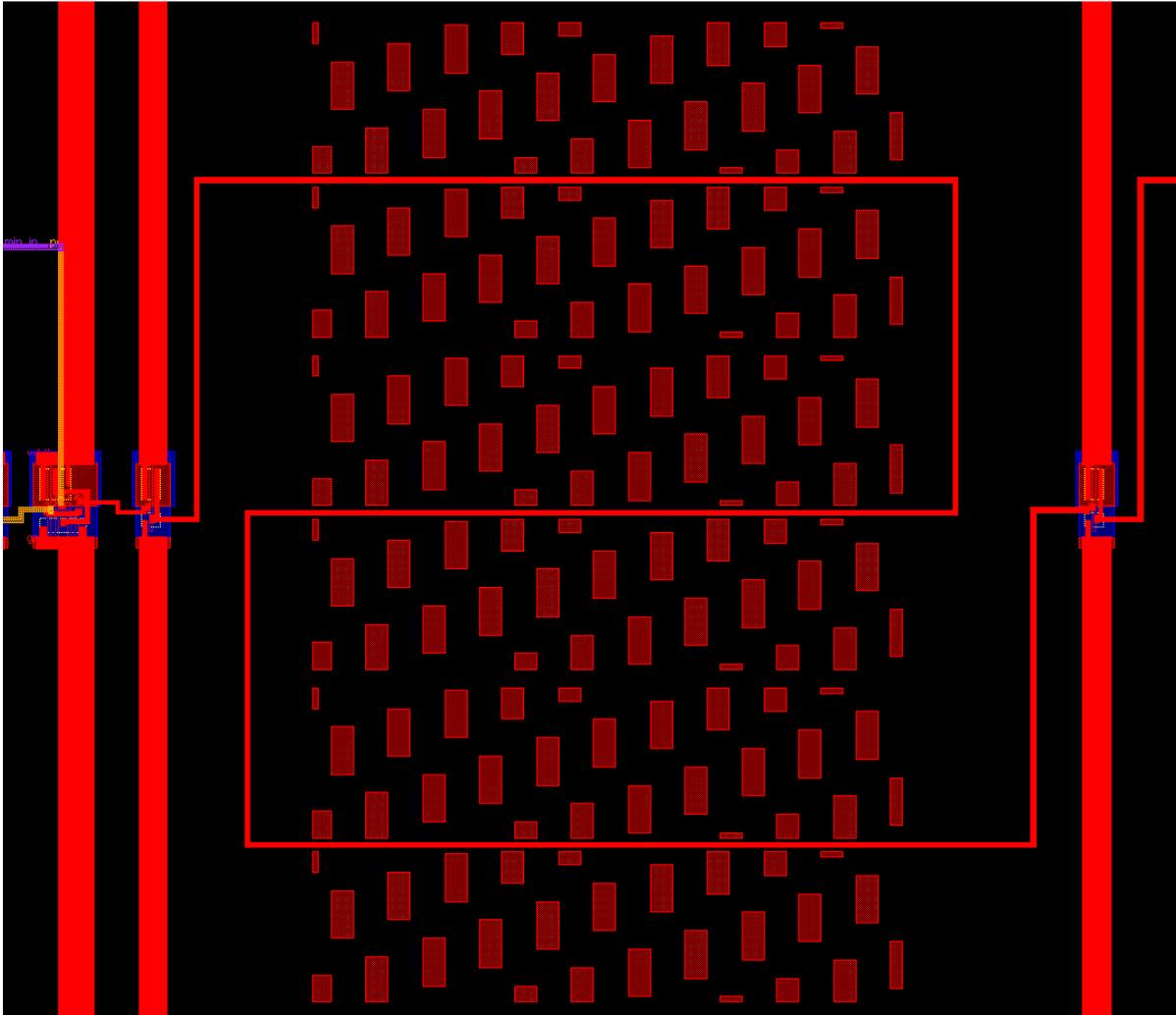
$$\forall k \in [1,9],$$

$$y_k = \sum_{1 \leq i \leq 6} (a_{k,i} X_i + a_{k,ii} X_i^2) + \sum_{1 \leq i \leq 6} \sum_{i < j \leq 6} a_{k,ij} X_i X_j \quad \text{Équation 10}$$

L'indice de variation  $k$  fait référence à chacune des neuf réponses.  $\forall (i, j) \in [1,6]^2$ ,  $X_i$  et  $X_j$  représentent les variables d'entrée,  $a_{k,i}$  et  $a_{k,ij}$  sont les coefficients polynomiaux qui sont déterminés par la génération du modèle. On retrouve bien pour chacune des variables d'entrée l'effet direct, l'effet au carré et les effets croisés. Ayant définis les variables d'entrée et leur domaine de variation, les réponses et le type de polynôme à utiliser, la méthode DOE va maintenant permettre de déterminer le nombre et la nature des expériences qui doivent être menées afin de générer les modèles analytiques. Ainsi, 43 motifs de dispositifs de remplissage métallique sont définis pour chacune des structures  $RO_C$  et  $RO_I$  par la méthode DOE. Un exemple de motif généré pour la structure  $RO_I$  est présenté Figure 65 et Figure 66.



**Figure 65 : Exemple de motif de dispositifs de remplissage généré autour d'une interconnexion**

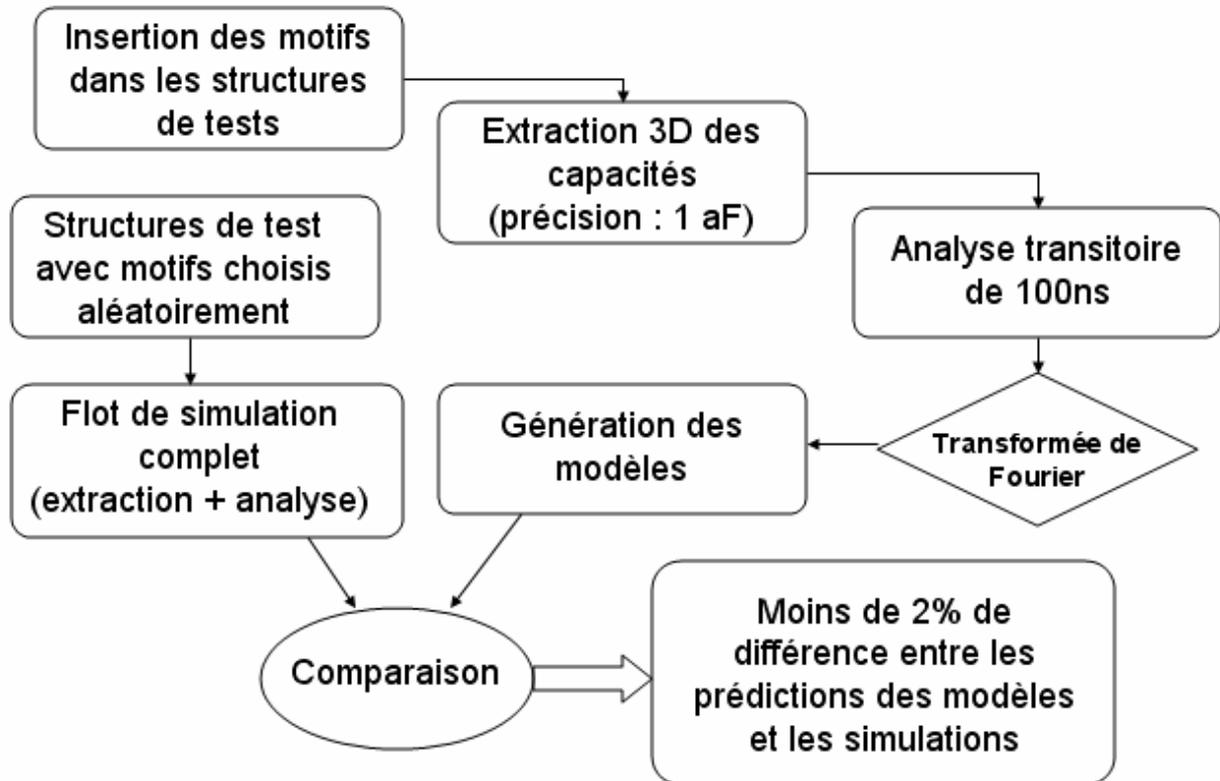


**Figure 66 : Exemple de motif de dispositifs de remplissage généré autour de l'interconnexion en serpentin (structure RO<sub>1</sub>)**

L'intérêt de l'utilisation de la méthode DOE est donc confirmé : face à un problème dont les variables d'entrée ont des domaines de variation continus, il est possible de modéliser le comportement des réponses en étudiant simplement 43 configurations pour chacune des structures RO<sub>C</sub> et RO<sub>1</sub>. Sans ce type de méthode, il n'aurait pas été possible de réaliser cette étude du fait de l'infinité d'expériences à mener.

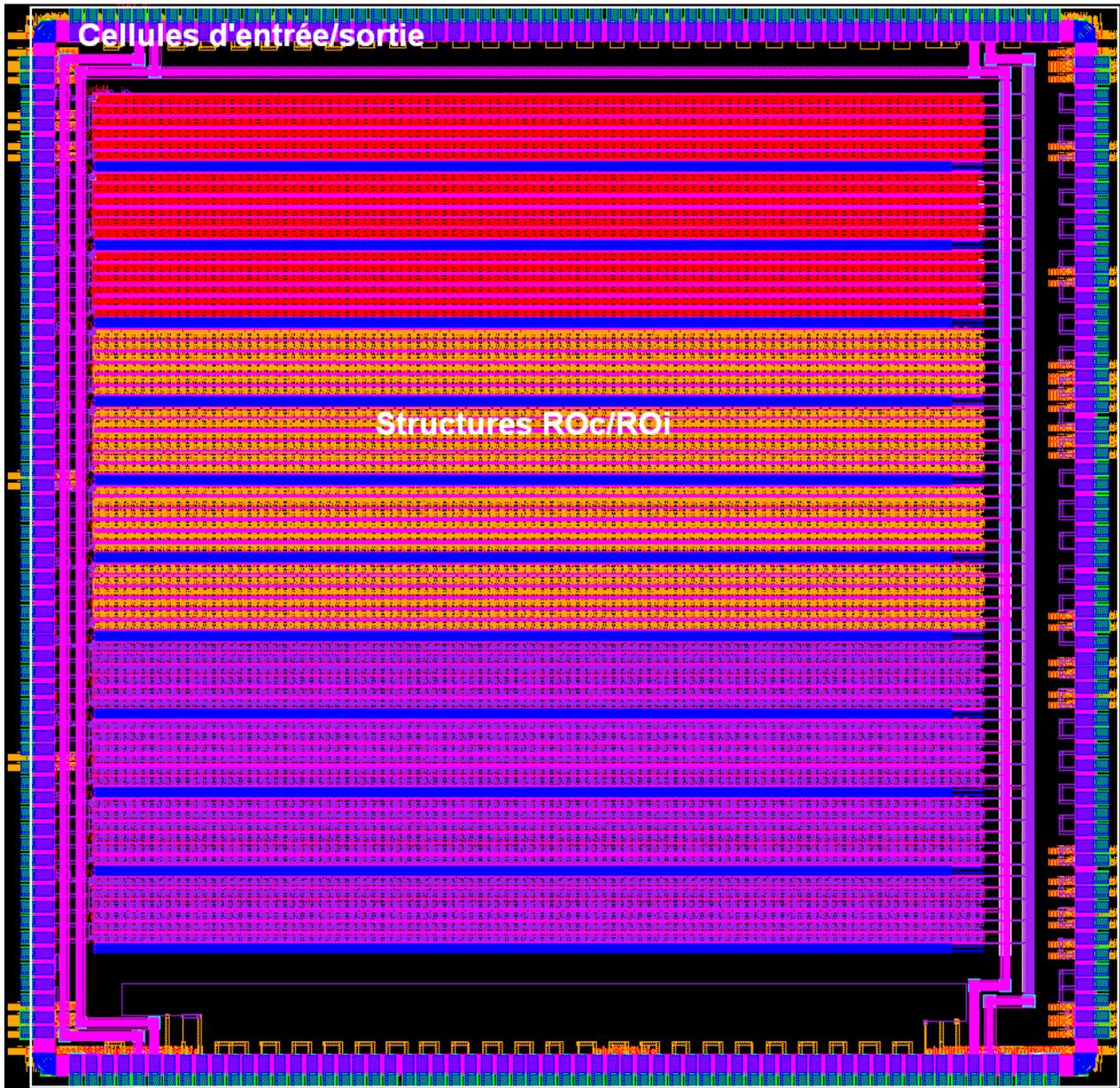
Afin de générer les modèles, les 86 expériences déterminées par la méthode DOE sont menées suivant le processus présenté Figure 67. Après l'insertion des motifs de dispositifs de remplissage dans les structures RO<sub>1</sub> et RO<sub>C</sub>, une extraction des capacités en 3 dimensions est réalisée avec une précision de 1 attoFarrad. S'en suit une simulation transitoire de 100ns, en tenant compte des parasites extraits précédemment. Le signal de sortie des structures RO<sub>1</sub> et RO<sub>C</sub> est ensuite soumis à une transformée de Fourier afin d'obtenir les gains et harmoniques de la fréquence fondamentale et des trois premières harmoniques. En associant ainsi les réponses de chacune des 86 structures de test à leurs variables d'entrée (définissant le motif des dispositifs de remplissage appliqué à la structure en question), on

obtient les résultats des expériences dictées par la méthode DOE. Il suffit ensuite d'utiliser ces données afin de générer les modèles.



**Figure 67 : Processus de génération et de validation des modèles**

Une fois les modèles générés via l'outil de DOE, il reste à les valider. Pour ce faire, des motifs de dispositifs de remplissage sont choisis aléatoirement et sont appliqués sur des structures de test qui vont suivre le même processus de simulation. Les résultats obtenus sont ensuite comparés avec les prédictions des modèles précédemment générés, ayant pris comme variables d'entrée les caractéristiques du motif choisi aléatoirement. La comparaison montre qu'il existe moins de 2% de différence entre les prédictions du modèle et les résultats obtenus par simulation, pour tous les motifs choisis aléatoirement. Ceci valide donc la précision des neuf modèles générés. Cependant, afin de conforter la confiance en ces modèles, un véhicule de test est conçu afin de vérifier que les résultats sur silicium sont en adéquation avec ceux fournis par la simulation. Ce véhicule de test est composé de structures  $RO_C$  et  $RO_I$  intégrant différents motifs de dispositifs de remplissage. Certains sont les mêmes que ceux définis par la méthode DOE, et d'autres sont des motifs dont les caractéristiques sont à la limite du domaine de validité des modèles, afin d'éprouver leur fiabilité. Une illustration de ce véhicule de test conçu dans une technologie 130nm utilisant du cuivre pour la métallisation est présentée Figure 68.



**Figure 68 : Véhicule de test en technologie cuivre 130nm intégrant des structures permettant la validation des modèles générés par la méthode DOE**

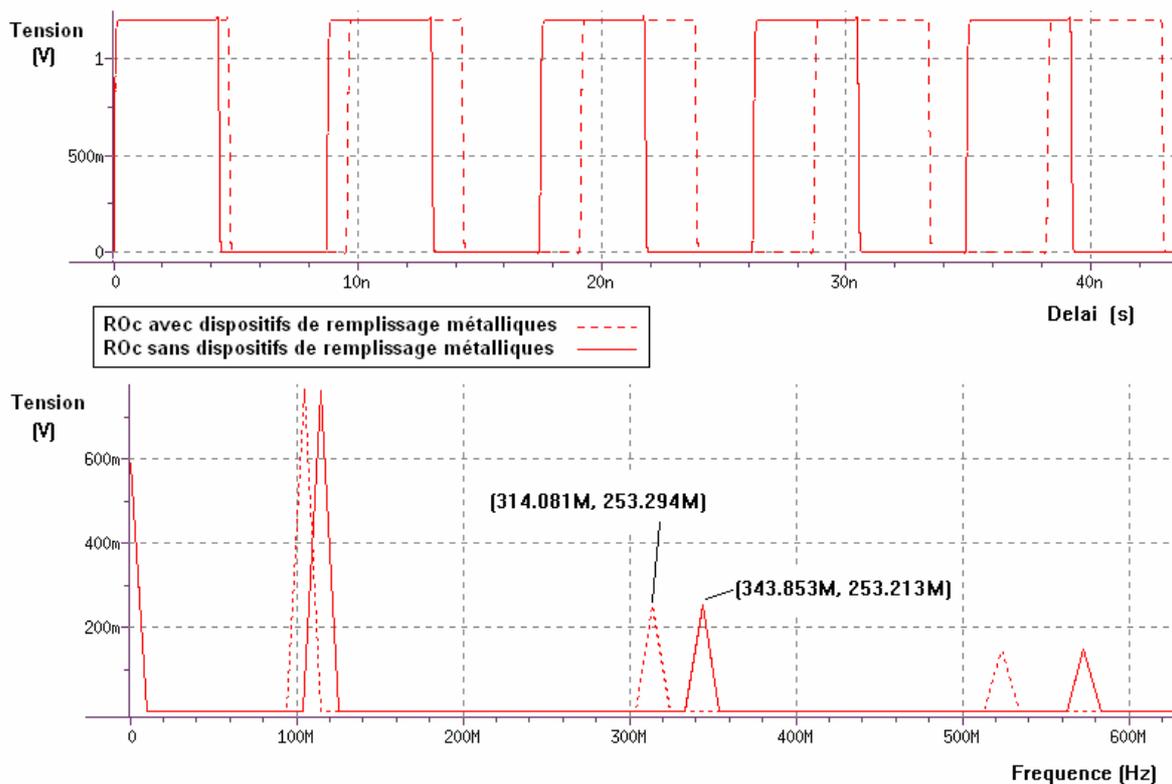
Les mesures des délais de propagation des structures insérées dans ce véhicule de test permettent de valider à la fois l'approche DOE et la précision des modèles générés. Si des dérives temporelles sont observées entre les mesures et les prédictions du modèle, un ajustement des coefficients polynomiaux est possible dans la mesure où les structures de tests contenant les motifs définis par les expériences du DOE sont présentes dans le véhicule de test. Il s'agit donc de régénérer les modèles en utilisant les données fournies par les mesures silicium. Disposant à présent de modèles analytiques validés de l'impact de la géométrie du motif des dispositifs de remplissage métalliques sur les paramètres temporels, il est possible d'effectuer des analyses statistiques sur cet impact.

## III.4 Exploitation des résultats

### III.4.1 Dispersion de l'impact de la géométrie du motif des dispositifs de remplissage métalliques sur le délai des interconnexions

#### III.4.1.1 Présentation des résultats de la structure RO<sub>C</sub>

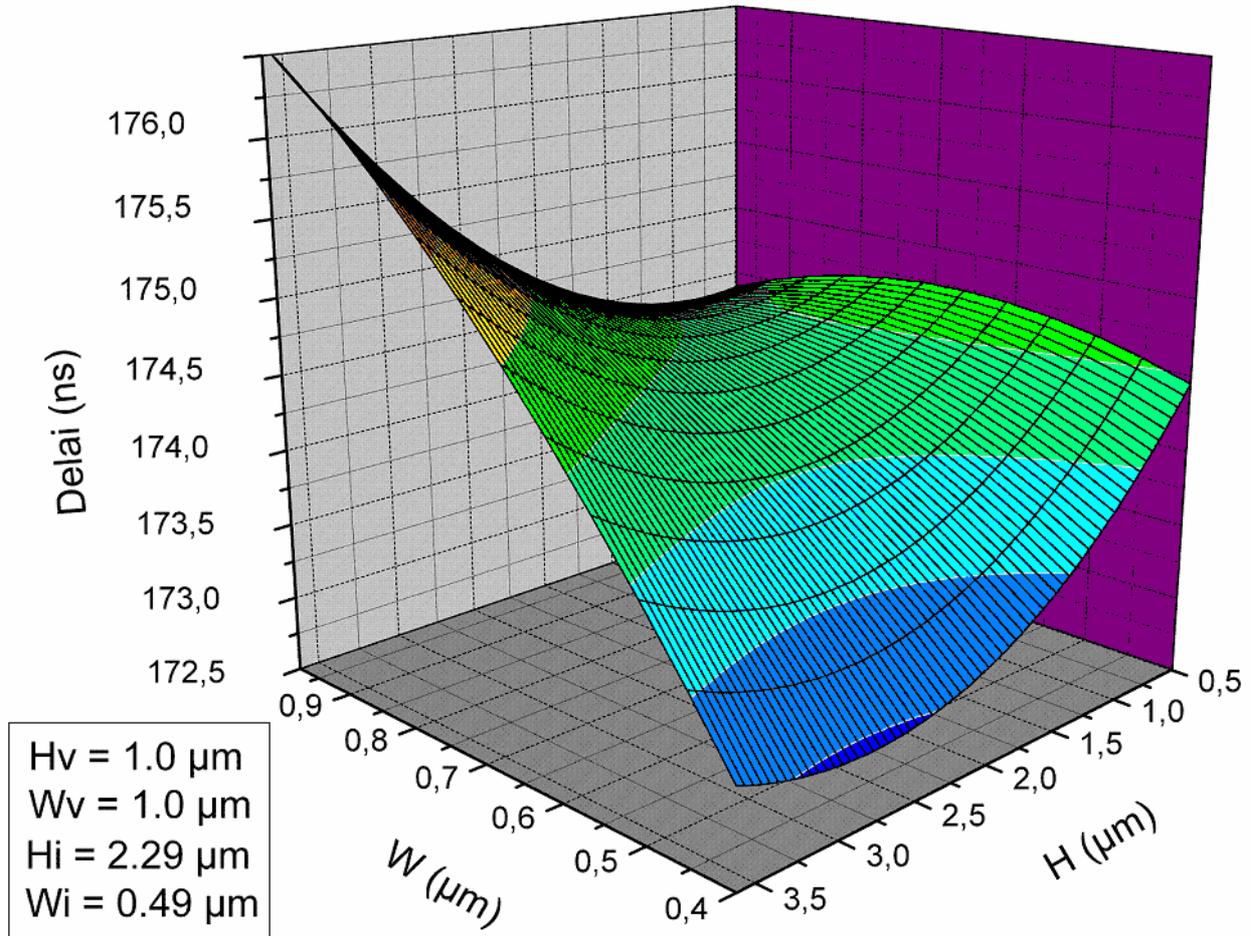
Les modèles générés prédisent l'impact de la géométrie du motif des dispositifs de remplissage métalliques sur les performances temporelles de la structure RO<sub>C</sub>. Cela permet, en fournissant en entrée les caractéristiques géométriques du motif de remplissage utilisé, d'obtenir le délai de propagation et les caractéristiques de sa réponse fréquentielle. La suite de l'étude se concentre sur les variations du délai de propagation des structures de test. En effet, les données fréquentielles sont utilisées pour valider les mesures sur silicium, car le test fréquentiel est moins dépendant du bruit inhérent à la mesure. A titre d'exemple, une comparaison des signaux et du spectre fréquentiel obtenus pour une structure RO<sub>C</sub> sans dispositifs de remplissage et pour une structure RO<sub>C</sub> avec dispositifs de remplissage est présentée à la Figure 69.



**Figure 69 : Comparaison des réponses temporelles et fréquentielles pour des structures RO<sub>C</sub> avec et sans dispositifs de remplissage métalliques**

L'utilisation d'un modèle mathématique permet d'étudier l'impact séparé des variables d'entrée sur le délai de propagation. Sans ce type de modèle, le nombre de simulations à réaliser est prohibitif et interdit

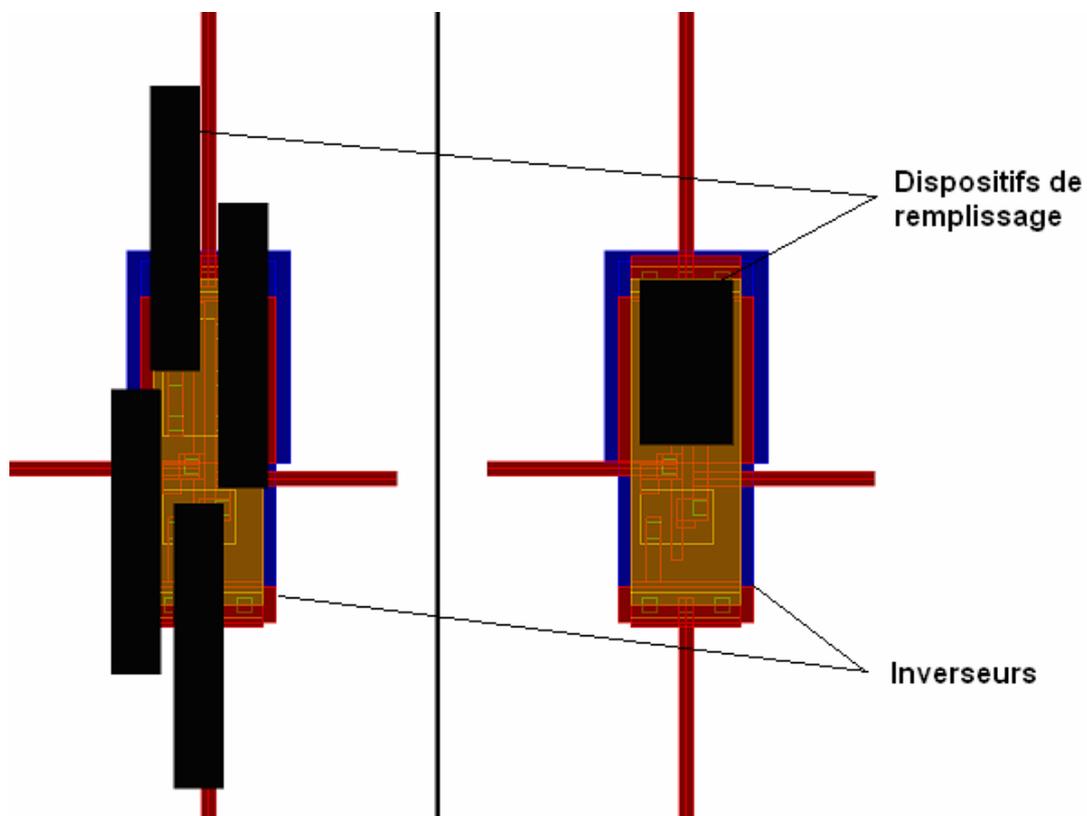
ce type d'étude. Ainsi, pour les variables  $H_v$ ,  $W_v$ ,  $H_i$  et  $W_i$  fixés à des valeurs arbitraires, il est possible de modéliser le comportement du délai de propagation de la structure  $RO_C$  en fonction de la variation de la taille des dispositifs de remplissage, c'est-à-dire des variables  $H$  et  $W$ . Un graphe en 3 dimensions de ces influences est présenté en Figure 70.



**Figure 70 : Variation du délai de propagation de la structure  $RO_C$  en fonction des variations de  $H$  et  $W$ , pour des valeurs de  $H_v$ ,  $W_v$ ,  $H_i$  et  $W_i$  fixées**

On observe clairement le comportement non linéaire du délai de propagation face à respectivement la hauteur et la largeur de la forme des dispositifs de remplissage métalliques. Ce type de résultat peut être exploité de différentes manières. Il est possible de définir le motif de remplissage qui impacte le moins possible le délai de propagation de la structure, et ainsi réduire la dépendance des performances temporelles du circuit face à l'impact des dispositifs de remplissage métalliques. Une autre manière d'interpréter ce type de courbe est de repérer la zone présentant des gradients les plus faibles possibles. Il s'agit donc de trouver un couple  $(H_0, W_0)$  au centre d'une zone stable. Ainsi, les valeurs de  $H$  et de  $W$  autour du couple  $(H_0, W_0)$  ont un faible impact sur la variation du délai de propagation.  $(H_0, W_0)$  n'est certes pas la configuration ayant le moins d'impact sur le délai de propagation, mais c'est celle dont les

variations impactent le moins les variations du délai de propagation. Le modèle analytique prédisant l'impact induit par la configuration  $(H_0, W_0)$ , il est assuré que les variations du motif de remplissage inhérentes aux variations du procédé de fabrication impactent de manière minimale les délais de propagation. Cette approche permet donc bien de réduire l'impact de la géométrie du motif des dispositifs de remplissage sur les délais de propagation, tout en ayant une valeur précise de l'impact du motif des dispositifs de remplissage métallique sur les délais de propagation grâce au modèle analytique. Il est possible de déterminer le sextet  $(H_{opt}, W_{opt}, H_{v\ opt}, W_{v\ opt}, H_{i\ opt}, W_{i\ opt})$  qui remplit ces conditions en utilisant la méthode de Newton-Raphson sur le modèle analytique. Une illustration des deux sextets solutions trouvés avec cette méthode est présentée en Figure 71. Les dispositifs de remplissage sont représentés en noir au dessus de l'inverseur composant la structure  $RO_C$ .



**Figure 71 : Les deux motifs de remplissage dont les variations affectent le moins le délai de propagation de la structure  $RO_C$ , issues du modèle**

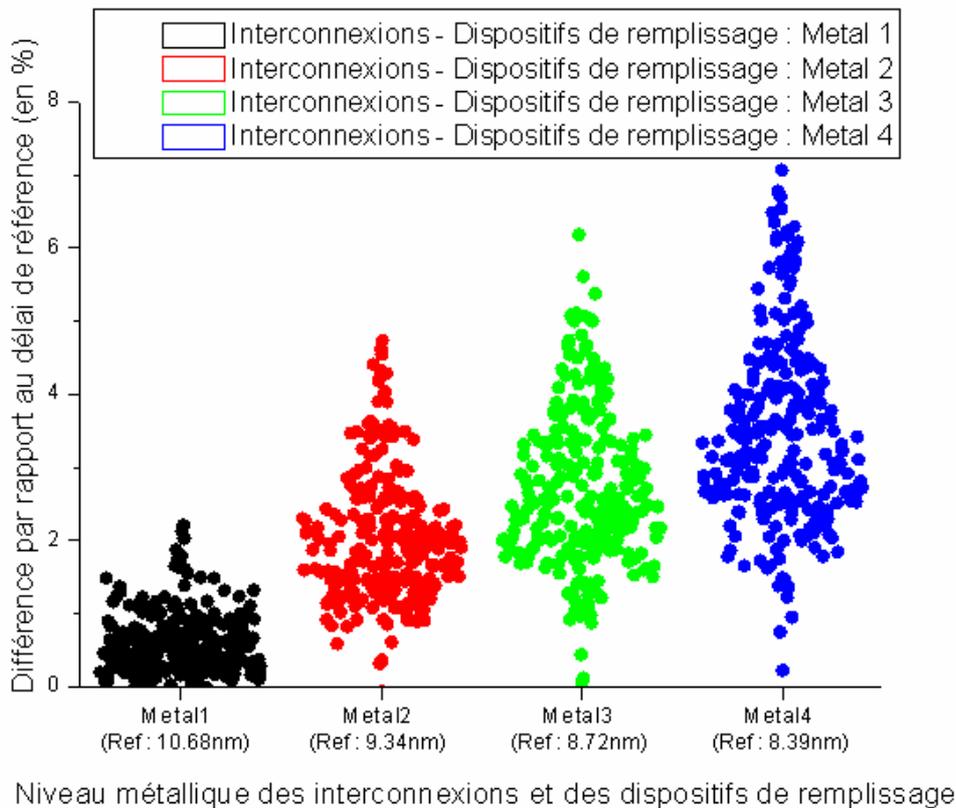
Après la structure  $RO_C$ , les parties suivantes s'intéressent à l'étude des résultats obtenus pour les interconnexions, à travers la structure  $RO_I$ .

### III.4.1.2 Présentation des résultats de la structure RO<sub>I</sub>

L'utilisation du modèle analytique relatif à la structure RO<sub>I</sub> permet d'effectuer des analyses statistiques sur l'impact de la géométrie du motif des dispositifs de remplissage métalliques sur le délai de propagation de la structure de test. Pour ce faire, mille sextets de variables d'entrée du modèle, définissant le motif de remplissage, sont générés aléatoirement. Le modèle fournit en sortie les valeurs de délai de propagations dégradées par le motif de remplissage considéré. Cette étude est réalisée pour des structures RO<sub>I</sub> dans les configurations suivantes :

- Interconnexion en métal 1 – Dispositifs de remplissage en métal 1
- Interconnexion en métal 2 – Dispositifs de remplissage en métal 2
- Interconnexion en métal 3 – Dispositifs de remplissage en métal 3
- Interconnexion en métal 4 – Dispositifs de remplissage en métal 4

Les résultats sont présentés dans la Figure 72. Le délai de référence est celui de la structure RO<sub>I</sub> sans dispositifs de remplissage métalliques.



**Figure 72 : Répartition des dispersions des impacts des dispositifs de remplissage métalliques sur la structure RO<sub>I</sub> par niveau de métal**

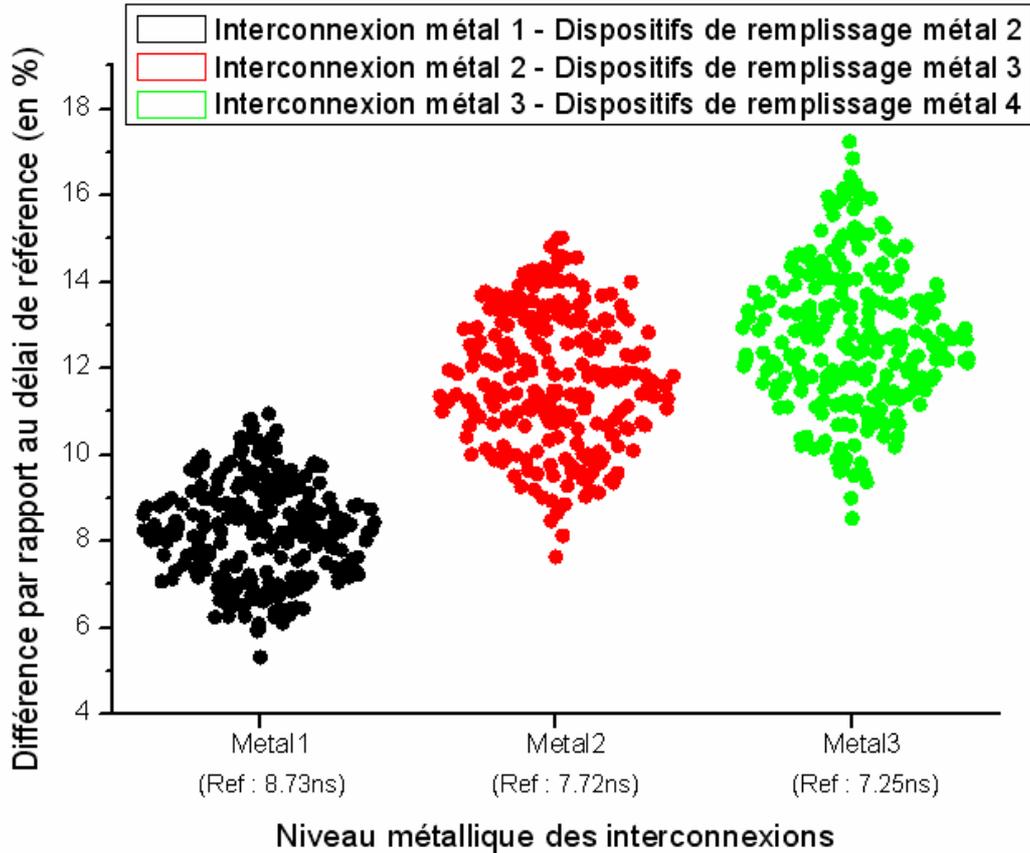
L'impact croissant des dispositifs de remplissage sur le délai de propagation de la structure RO<sub>I</sub> avec le niveau de métallisation s'explique de manière suivante : plus l'interconnexion et ses dispositifs de

remplissage se trouvent à un niveau de métallisation élevé, et moins l'effet de couplage de l'interconnexion avec le substrat est important. De ce fait, l'effet capacitif rapporté par les dispositifs de remplissage est prédominant pour les niveaux de métallisation supérieurs. Si l'on nomme  $C_D$  la capacité entre l'interconnexion et  $C_{Substrat}$  le dispositif de remplissage en regard et la capacité entre l'interconnexion et le substrat, la capacité équivalente rapportée à l'interconnexion est de la forme  $C_{Eq} = C_D + C_{Substrat}$ . Or, une capacité pouvant s'exprimer sous la forme  $C = \epsilon \times \frac{S}{d}$ , où  $\epsilon$  est la permittivité du diélectrique considéré,  $S$  est la surface de la capacité et  $d$  est la distance entre les deux électrodes. Dans le cas de  $C_{Substrat}$ , plus le niveau métallique est élevé et plus  $d_{Substrat}$  est importante. De ce fait, la contribution de  $C_{Substrat}$  dans  $C_{Eq}$  diminue et celle de  $C_D$  augmente.

Afin d'approfondir l'étude, des nouveaux modèles sont générés, basés sur une structure RO<sub>1</sub>. Cependant, l'insertion des dispositifs de remplissage est réalisée sur le niveau métallique directement supérieure à celui de l'interconnexion métallique de la structure RO<sub>1</sub>. Les configurations étudiées sont donc les suivantes :

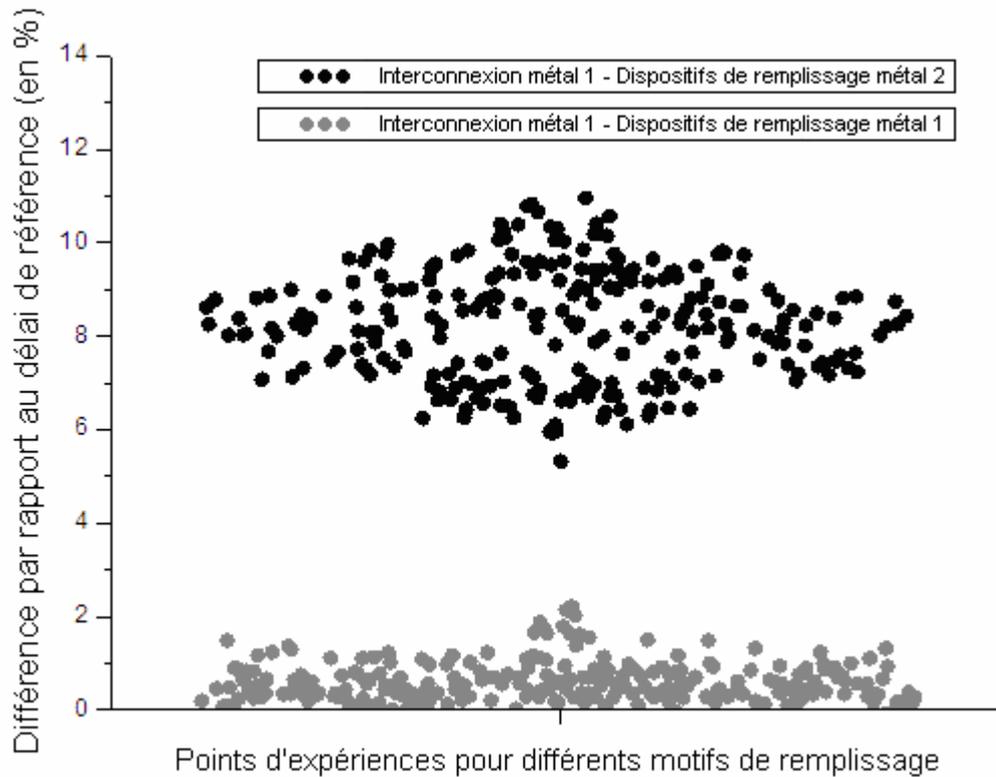
- Interconnexion en métal 1 – Dispositifs de remplissage en métal 2
- Interconnexion en métal 2 – Dispositifs de remplissage en métal 3
- Interconnexion en métal 3 – Dispositifs de remplissage en métal 4

Les résultats sont présentés dans la Figure 73. Le délai de référence est celui de la structure RO<sub>1</sub> sans dispositifs de remplissage.



**Figure 73 : Répartition des dispersions des impacts des dispositifs de remplissage au niveau métallique n+1 sur la structure  $RO_1$  avec un niveau métallique n**

Les différences d'impacts entre niveaux métalliques s'expliquent de la même manière que pour les configurations de même niveau métallique. La capacité de couplage avec le substrat devient de moins en moins prédominante pour les niveaux métalliques supérieurs, et de ce fait l'impact des dispositifs de remplissage sur le délai de propagation de la structure  $RO_1$  augmente. Cependant, on observe que pour une interconnexion d'un niveau métallique n, l'impact des dispositifs de remplissage de niveau n+1 est beaucoup plus important que celui de ceux d'un niveau n. Un exemple comparatif pour une interconnexion en métal 1 est présenté Figure 74.

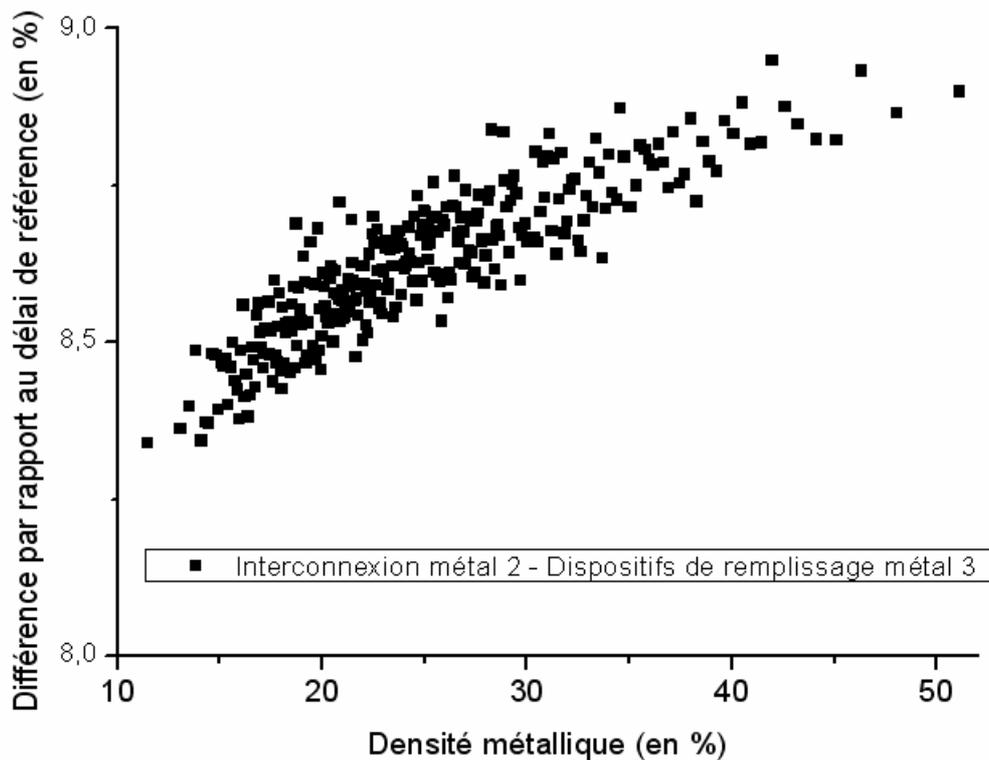


**Figure 74 : Comparaison de l'impact des dispositifs de remplissage sur le délai de propagation d'une structure  $RO_1$  pour des configurations de remplissage inter niveaux et intra niveaux, appliquée au métal 1**

Une nette différence est observée entre l'impact des dispositifs de remplissage de même niveau métallique que l'interconnexion (configuration intra niveaux) et de ceux situés à un niveau métallique supérieur (configuration inter niveaux). Cela s'explique de la manière suivante : dans la configuration {interconnexion métal  $n$  – dispositifs de remplissage métal  $n$ }, les capacités de couplage sont des capacités intra niveaux, donc des capacités entre deux géométries métalliques directement en regard. Dans le cas de la configuration {interconnexion métal  $n$  – dispositifs de remplissage métal  $n+1$ }, la capacité est une capacité inter niveaux, avec et sans recouvrement de l'interconnexion. On a donc une capacité en regard à travers le diélectrique, mais également une capacité de frange, ce qui explique l'impact plus important sur le délai de propagation de ce type de configuration. [Bernard'00] présente notamment dans son étude des résultats comparatifs entre ces configurations capacitives qui confirment cette explication. De plus, les épaisseurs de diélectrique ne sont pas les mêmes pour des configuration inter et intra-niveaux. Afin d'utiliser les résultats obtenus grâce aux modèles dans un contexte industriel, il est nécessaire d'introduire la notion de densité métallique.

### III.4.1.3 Relation entre l'impact des dispositifs de remplissage métalliques et la densité

L'insertion de dispositifs de remplissage métallique est réalisée afin d'améliorer les performances du CMP. De ce fait, il est nécessaire d'introduire la notion de densité métallique. En effet, dans le flot de conception, les limites définies par la technologie concernent les valeurs minimales et maximales de densité métallique à respecter. C'est pourquoi, en utilisant la formule fournie en annexe 1, la valeur de densité métallique relative au motif de remplissage utilisé est exprimée en fonction des variables d'entrée des modèles. Ainsi, en générant aléatoirement 50 000 sextets de variables d'entrée, on obtient 50 000 valeurs de densité métalliques. Ensuite, le modèle fournit leur impact sur le délai de propagation de la structure RO<sub>1</sub>. La Figure 75 présente donc ces résultats pour une configuration de type {Interconnexion métal 2 – Dispositifs de remplissage métal 3}. Cela illustre la variation du délai de propagation en fonction de la densité métallique du motif de remplissage utilisé.



**Figure 75 : Impact de la densité métallique du motif de remplissage sur le délai de propagation de la structure RO<sub>1</sub> pour une interconnexion en métal 2 et des dispositifs de remplissage en métal 3**

On constate que pour une densité donnée, il existe de nombreux motifs de remplissage différents ayant des impacts différents sur le délai de propagation. Cela n'est pas vrai pour des densités élevées autour de 50%, où le motif en quinconce devient le facteur limitant. En effet, en respectant les domaines de validité des variables d'entrée du modèle, seule une configuration permet de dépasser les 50% de densité. Ces résultats montrent donc qu'entre deux circuits présentant la même densité métallique, les performances

temporelles peuvent être différentes du fait du motif de remplissage utilisé. Il est donc possible de définir un algorithme de remplissage qui génère, pour une densité donnée, le motif de dispositifs de remplissage impactant le moins les performances du circuit.

Disposant de modèles prédisant l'impact du motif de dispositifs de remplissage pour les configurations {Interconnexion métal  $n$  – Dispositifs de remplissage métal  $n$ } et {Interconnexion métal  $n$  – Dispositifs de remplissage métal  $n+1$ }, une étude est menée afin d'évaluer l'impact de la configuration {Interconnexion métal  $n$  – Dispositifs de remplissage métal  $n$  + métal  $n+1$ }. Pour cela, on réalise une approximation en ajoutant les résultats fournis par les deux modèles afin de simuler le comportement de la configuration {Interconnexion métal  $n$  – Dispositifs de remplissage métal  $n$  + métal  $n+1$ }. Dans le cas de résultats présentant une précision satisfaisante par rapport aux données de simulation, cette approximation certes grossière permettrait d'utiliser les deux modèles pour aborder une configuration plus proche de la réalité, à savoir la présence de dispositifs de remplissage à la fois sur même niveau métallique que l'interconnexion et sur le niveau supérieur. Des simulations sont donc réalisées afin d'avoir une référence que l'on compare aux résultats fournis par l'addition des deux modèles. Les comparaisons sont réalisées pour les cas suivants :

- Interconnexion métal 1 – Dispositifs de remplissage métal 1 + métal 2 : 3 types de motifs de remplissage (faible densité, densité moyenne, forte densité) (Figure 76)
- Interconnexion métal 2 – Dispositifs de remplissage métal 2 + métal 3 : 3 types de motifs de remplissage (faible densité, densité moyenne, forte densité) (Figure 77)
- Interconnexion métal 3 – Dispositifs de remplissage métal 3 + métal 4 : 3 types de motifs de remplissage (faible densité, densité moyenne, forte densité) (Figure 78)

On constate que si la simple addition des modèles permet d'avoir une précision acceptable pour les faibles densités, cela n'est pas le cas pour les fortes densités, a fortiori pour les niveaux métalliques élevés. Cette divergence s'explique de la manière suivante : les capacités inter niveaux ( $C1$  dans la Figure 79) et intra niveaux ( $C2$  dans la Figure 79) sont prises en compte par les modèles. Cependant, les capacités de couplage entre dispositifs de remplissage ( $C3$  dans la Figure 79) eux-mêmes n'est pas prise en compte par l'addition pure et simple des deux modèles. De ce fait, les impacts sur les délais de propagation fournis par cette approximation sont pessimistes. Ils le sont d'autant plus que le nombre de dispositifs de remplissage augmente. En effet, leur nombre augmente avec la densité, du fait des limites de taille imposées par le domaine de validité des variables d'entrée des modèles. L'écart important entre les prédictions de l'addition des deux modèles et les résultats issus de la simulation est dû à la capacité de couplage avec le substrat qui devient moins prédominante pour les niveaux métalliques élevés. Les capacités de couplage entre dispositifs de remplissage ne sont pas prises en compte par l'approximation. Lorsque la densité augmente, celles-ci deviennent donc plus prédominantes et leur impact influe de

manière plus importante la précision. Cela explique donc que cette approximation n'est pas précise pour les fortes densités, spécialement pour les niveaux métalliques élevés.

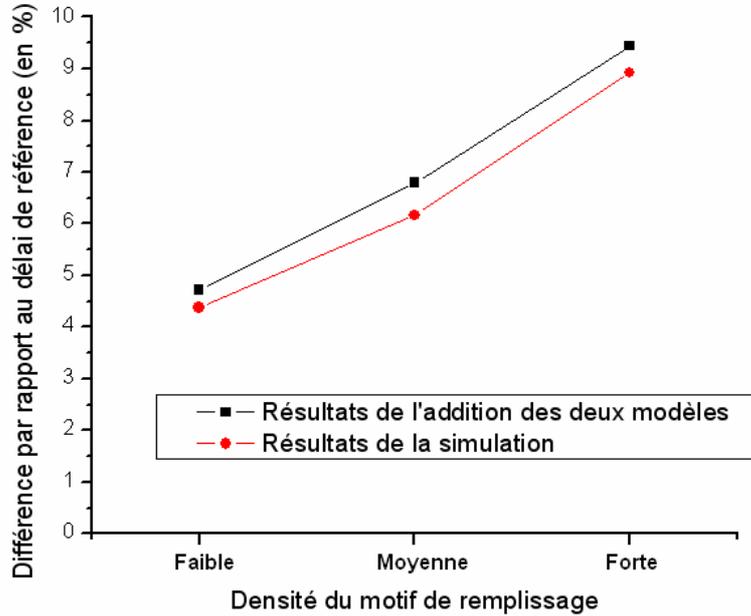


Figure 76 : Comparaison entre les résultats fournis par l'addition des modèles et ceux obtenus par simulation pour la configuration {Interconnexion métal 1 - Dispositifs de remplissage métal 1 + métal 2}

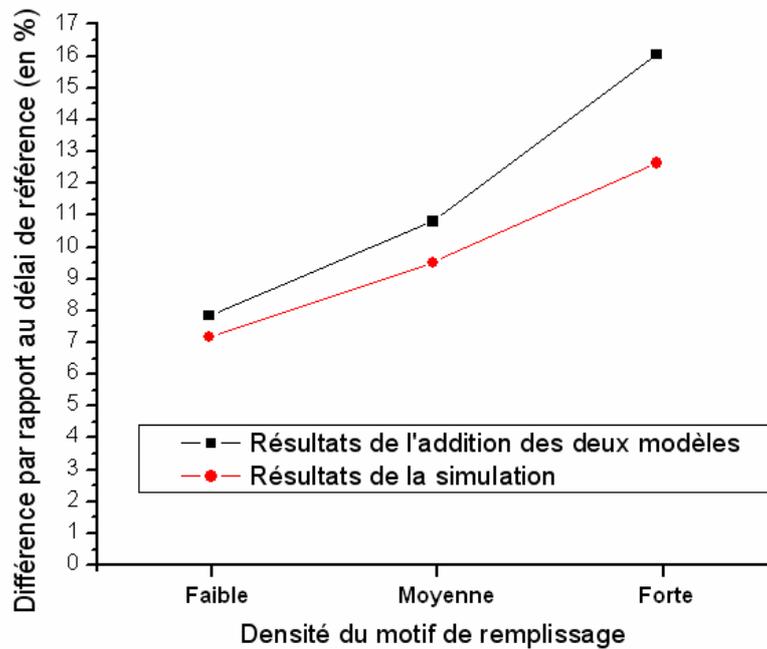


Figure 77 : Comparaison entre les résultats fournis par l'addition des modèles et ceux obtenus par simulation pour la configuration {Interconnexion métal 2 - Dispositifs de remplissage métal 2 + métal 3}

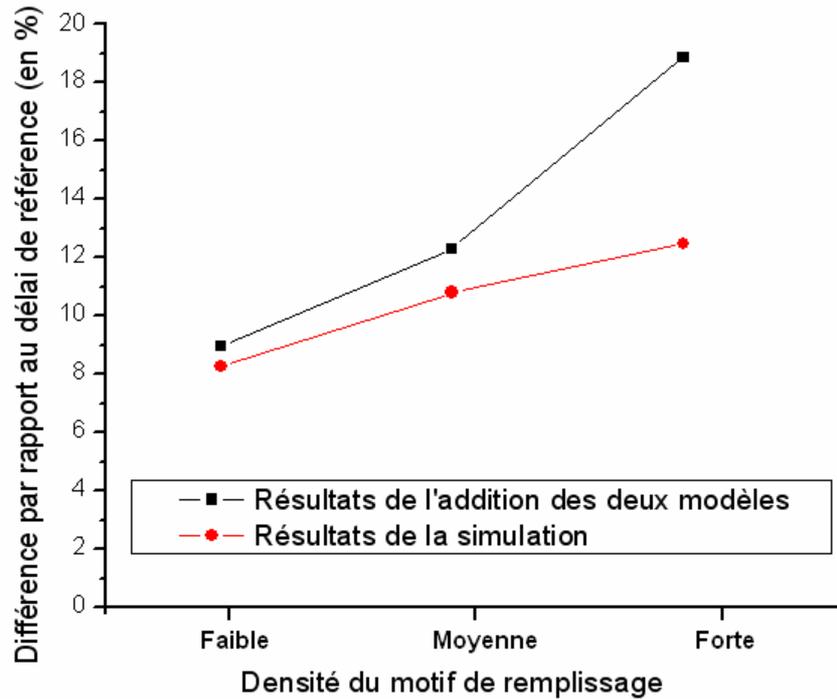


Figure 78 : Comparaison entre les résultats fournis par l'addition des modèles et ceux obtenus par simulation pour la configuration {Interconnexion métal 3 - Dispositifs de remplissage métal 3 + métal 4}

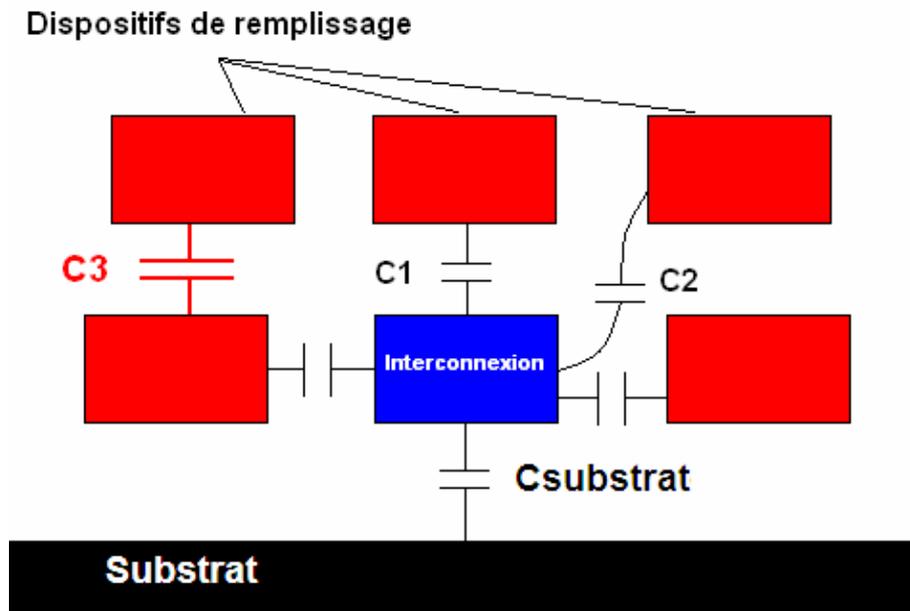


Figure 79 : Représentation des capacités prises en compte par l'addition des deux modèles (en noir) et ignorées par cette approximation (en rouge)

Cependant, la différence entre l'approximation de l'addition des deux modèles et les résultats de la simulation n'excède pas 2% pour les densités faibles et moyennes. L'addition des deux modèles permet

un gain de temps non négligeable, car il n'est pas nécessaire de générer un nouveau modèle dédié aux configurations {Interconnexions métal  $n$  – Dispositifs de remplissage métal  $n$  + métal  $n+1$ }. En conséquence, l'utilisation de cette approximation peut s'avérer utile dans certains cas où le temps est le facteur limitant. Il est démontré que l'impact de la géométrie du motif des dispositifs de remplissage sur le délai de propagation est réel, et que pour une densité donnée, il est possible d'utiliser des motifs qui dégradent plus ou moins les délais de propagation. Il reste à présent à introduire ces résultats sous la forme d'une nouvelle notion directement utilisable dans un contexte de production industrielle.

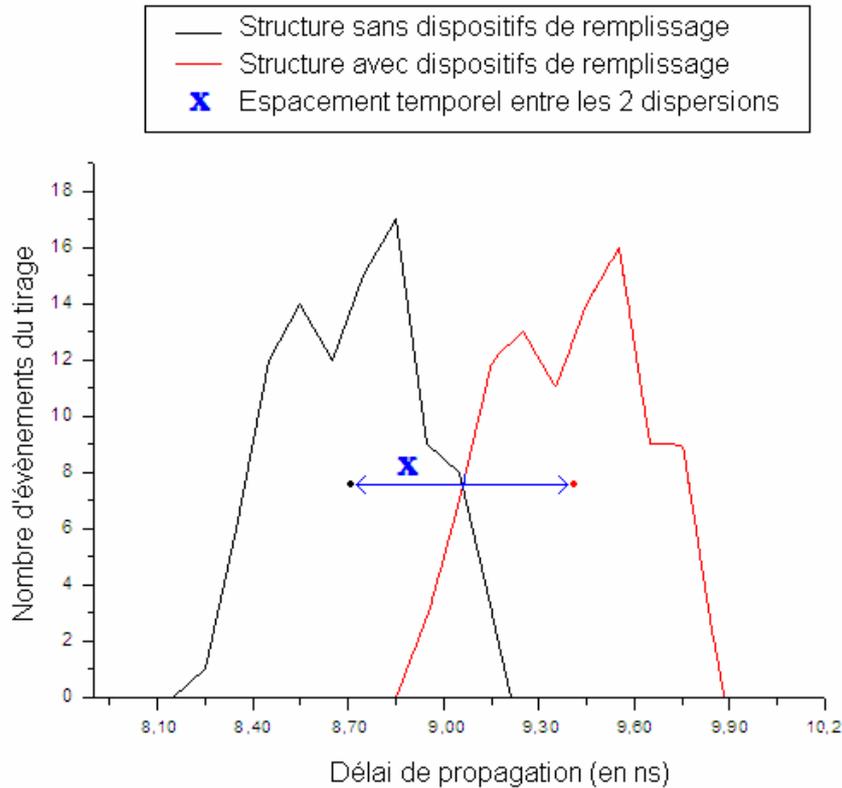
### III.4.2 Définition du concept de "*Metal Filling Corner*"

#### III.4.2.1 Comparaison des impacts des variations technologiques et des caractéristiques des dispositifs de remplissage métalliques

Les caractéristiques du motif des dispositifs de remplissage impactent le délai de propagation des structures de test étudiées. Les différentes configurations de motif constituent un facteur de variabilité qui peut générer des défauts de type paramétriques. Afin d'évaluer la criticité de cet impact, il est nécessaire de le comparer à un facteur de variabilité bien connu : celui des variations technologiques. Lors de la conception d'une cellule, il est possible de la simuler dans des conditions d'utilisation différentes. On utilise un tirage aléatoire de conditions de fonctionnement appelé « tirage Monte-Carlo », qui permet de couvrir les différents cas de figure. Les paramètres impactés sont les tailles effectives des transistors, la mobilité des porteurs, influant notamment sur la tension de seuil et le courant de saturation des transistors. Il s'agit donc de comparer la dispersion des délais de propagation de la structure  $RO_1$  dues aux variations des paramètres technologiques et aux caractéristiques du motif des dispositifs de remplissage métalliques. Cependant, avant de les comparer, il est indispensable de vérifier que les impacts de ces variations ne sont pas en corrélation. Ainsi, étant indépendants l'un de l'autre, il devient possible de mener l'étude comparative. Afin de prouver cette indépendance, les simulations suivantes sont réalisées :

- Une analyse Monte-Carlo sur une structure  $RO_1$  sans dispositifs de remplissage
- Une analyse Monte-Carlo sur une structure  $RO_1$  intégrant un motif de dispositifs de remplissage défini

Les variables d'entrée du modèle définissant le motif de remplissage utilisé permettent via l'utilisation du modèle de prédire l'impact de ce motif de remplissage sur le délai de propagation de la structure. Ainsi, on réalise le graphe illustrant la dispersion des délais de propagation due à l'analyse Monte-Carlo pour la structure n'intégrant pas de dispositifs de remplissage, et pour celle qui les intègre. Les résultats sont présentés dans la Figure 80.

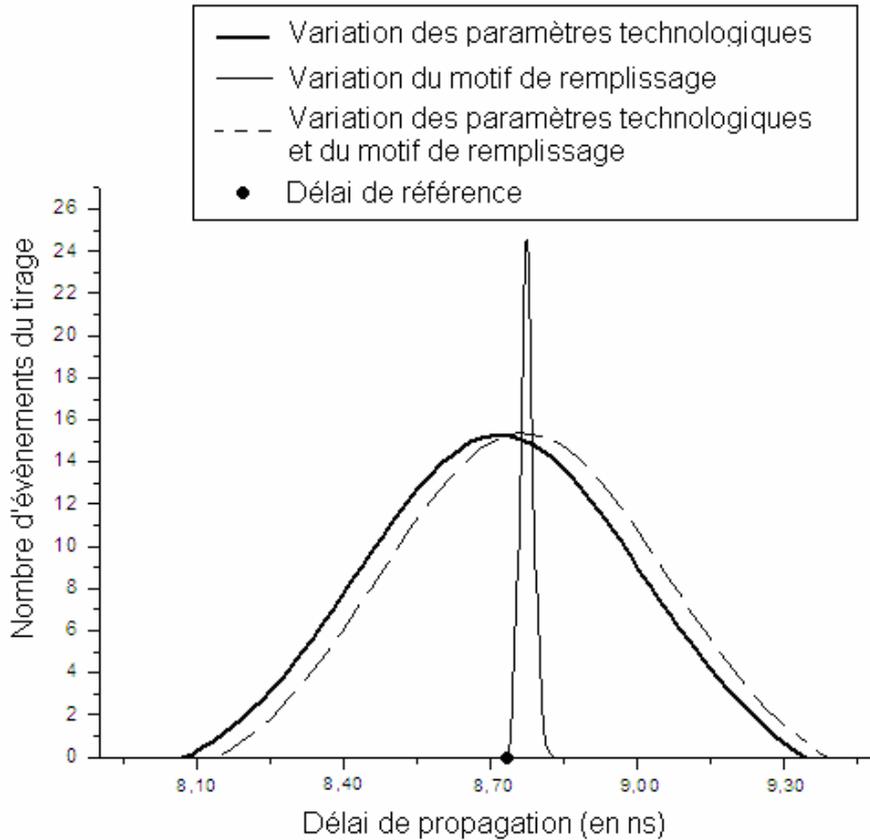


**Figure 80 : Comparaison des dispersions des délais de propagation dues à l'analyse Monte-Carlo pour des structures avec et sans dispositifs de remplissage**

On constate que les deux dispersions ont des formes similaires, ce qui confirme le fait que la variation des paramètres technologiques impacte de la même manière la structure dépourvue de dispositifs de remplissage et celle qui les intègre. L'étude comparative peut donc être menée sans limitation. De plus, on observe qu'un délai  $x$  sépare les centres des deux dispersions. Or ce délai de 0,73ns correspond à celui prédit par le modèle (0,728ns) ayant pris comme valeurs d'entrée les caractéristiques du motif de remplissage utilisé pour la structure intégrant des dispositifs de remplissage. Ce résultat est une validation de plus de la précision du modèle. Les études comparatives menées considèrent à la fois les structures  $RO_C$  et  $RO_I$  :

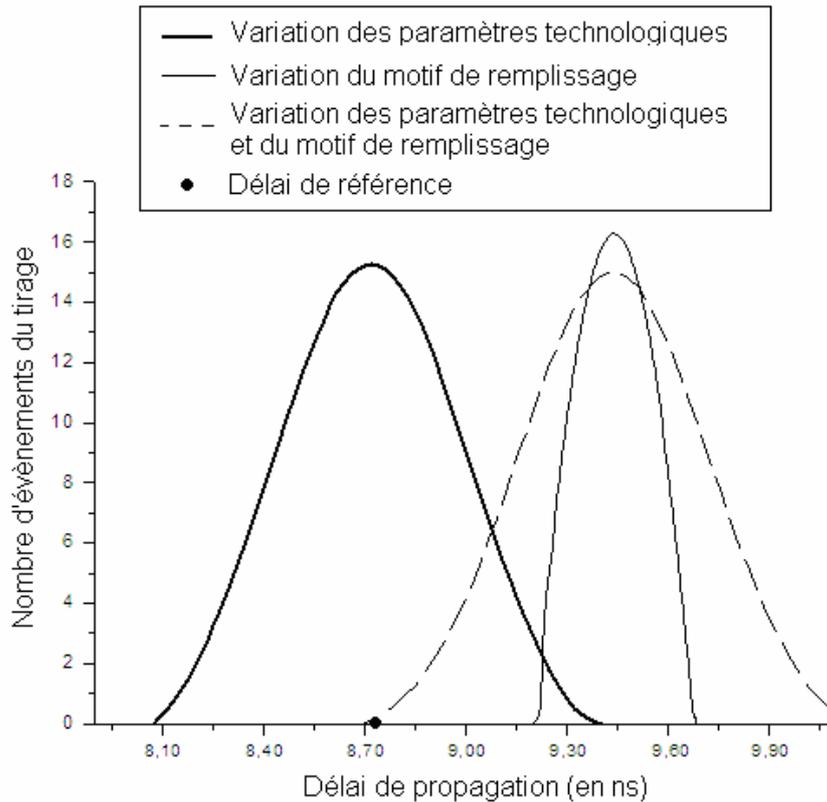
- Tirage Monte-Carlo sur les paramètres technologiques
- Tirage Monte-Carlo sur les caractéristiques du motif de remplissage
- Tirage Monte-Carlo sur les paramètres technologiques et les caractéristiques du motif de remplissage.

Les dispersions des délais de propagation de la structure  $RO_C$  sont présentées à la Figure 81.



**Figure 81 : Comparaison des dispersions des délais de propagation de la structure RO<sub>C</sub> dues aux variations des paramètres technologiques et à la géométrie du motif de remplissage**

On observe que la dispersion des délais de propagation de la structure RO<sub>C</sub> due à la géométrie du motif de remplissage est bien moindre que celle due à la variation des paramètres technologiques. En conséquence, la gaussienne résultant de la combinaison des deux variations est très proche de celle résultant de la variation des paramètres technologiques (augmentation de 2% de la largeur de la dispersion). On peut donc conclure que pour la structure RO<sub>C</sub>, l'impact des caractéristiques du motif de remplissage n'est pas significatif par rapport à l'impact introduit par la variation des paramètres technologiques. Le même type de comparaison est réalisé pour la structure RO<sub>I</sub>. Les résultats sont présentés à la Figure 82. On observe dans ce cas que la dispersion des délais de propagation due aux caractéristiques du motif de remplissage est comparable avec celle induite par la variation des paramètres technologiques. En effet, la largeur de la gaussienne associée à la combinaison des deux variations est 11,64% supérieure à celle de la gaussienne associée à la variation des paramètres technologiques. Cette augmentation n'est pas négligeable, elle démontre la nécessité de prendre en compte les caractéristiques du motif de remplissage comme un facteur de variabilité au niveau de la simulation des cellules.



**Figure 82 : Comparaison des dispersions des délais de propagation de la structure RO<sub>1</sub> dues aux variations des paramètres technologiques et à la géométrie du motif de remplissage**

#### III.4.2.2 Définition du « *Metal Filling Corner* »

Afin d'évaluer le comportement d'une cellule dans son environnement futur, la phase de simulation est effectuée pour différentes conditions d'utilisation. Ces conditions sont communément appelées conditions PVT (P pour « *Process* », V pour « *Voltage* », T pour « *Temperature* »), traduisant respectivement le degré de dégradation des paramètres technologiques, la tension d'alimentation et la température ambiante. Différents triplés PVT existent et permettent de simuler le fonctionnement des cellules en tenant compte d'un contexte de fabrication et d'un environnement de fonctionnement plus ou moins contraignants. Afin de mettre à disposition des concepteurs de cellules les résultats obtenus précédemment, on définit un paramètre F qui vient s'ajouter aux conditions PVT [Remy'08-1][Remy'09-2]. Les conditions de fonctionnement PVTF sont donc à utiliser lors de la simulation des cellules. En utilisant les modèles, les types de motifs de remplissage sont classés en trois catégories suivant leur impact sur les délais de propagation : faible impact, impact moyen et fort impact. Ces trois catégories sont réalisées pour des intervalles de densité entre 5% et 55%, d'une largeur de 10%. Ainsi, suivant la densité de remplissage désirée, il est possible d'utiliser le paramètre F afin de placer la cellule dans des conditions de fonctionnement où le motif de remplissage impacte plus ou moins ses performances. Les trois nouvelles conditions de fonctionnement sont les suivantes :

- Condition MIN :
  - P : Faibles variations des paramètres technologiques
  - V : Tension d'alimentation améliorée
  - T : Température faible
  - F : Motif de remplissage impactant faiblement les délais de propagation
- Condition TYP :
  - P : Variations moyennes des paramètres technologiques
  - V : Tension d'alimentation nominale
  - T : Température moyenne
  - F : Motif de remplissage impactant moyennement les délais de propagation
- Condition MAX :
  - P : Fortes variations des paramètres technologiques
  - V : Tension d'alimentation fortement dégradée
  - T : Haute température
  - F : Motif de remplissage impactant fortement les délais de propagation

Les Figure 83, Figure 84, et Figure 85 présentent respectivement les délais de propagation des structures de test RO<sub>1</sub> intégrant des motifs de remplissage de différentes densités. Ces courbes comparent les délais obtenus en utilisant les conditions de fonctionnement PVT et les nouvelles conditions PVTF. On observe que dans les conditions MIN, l'augmentation du délai de propagation va de 5,21% à 9,56% en intégrant le paramètre F. Pour les conditions TYP, la variation est comprise entre 6,89% et 10,34%. Dans le cas des conditions MAX, l'introduction du paramètre F pour différentes densités de remplissage augmente le délai de propagation de 7,59% à 10,35%. Les impacts du paramètre F pour les densités maximales sont sensiblement les mêmes pour les trois conditions de fonctionnement. En effet, le fait d'imposer une densité de 55% au type de motif étudié ne permet pas d'avoir une variation significative des caractéristiques du motif. Cette limitation géométrique liée aux domaines de validité des modèles impose une limite maximale à l'impact de la géométrie du motif des dispositifs de remplissage métalliques pour des densités élevées.

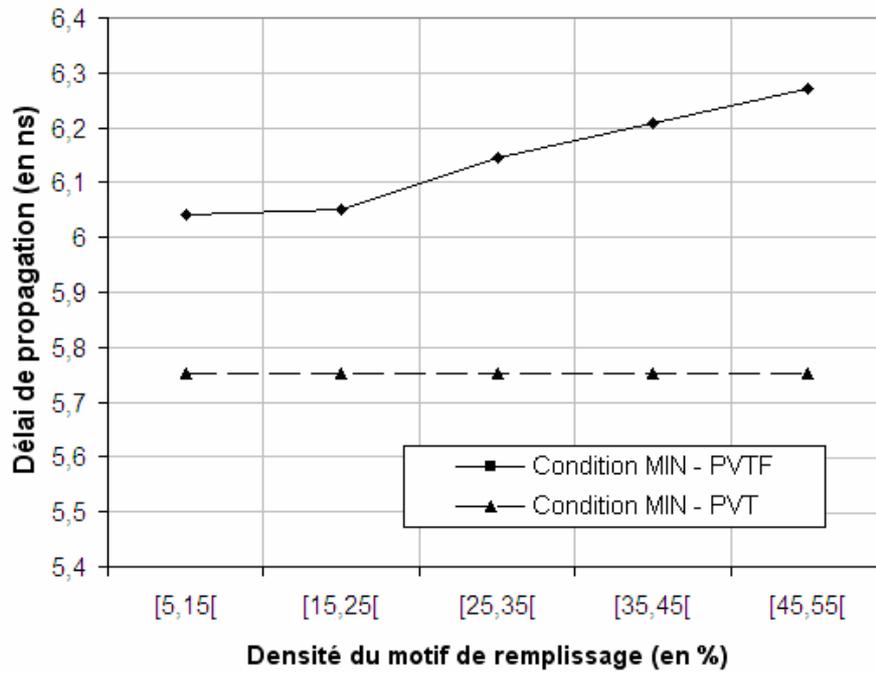


Figure 83 : Comparaison des résultats des simulations menées dans les conditions MIN - PVT et MIN - PVTF pour différentes densités de motif de remplissage

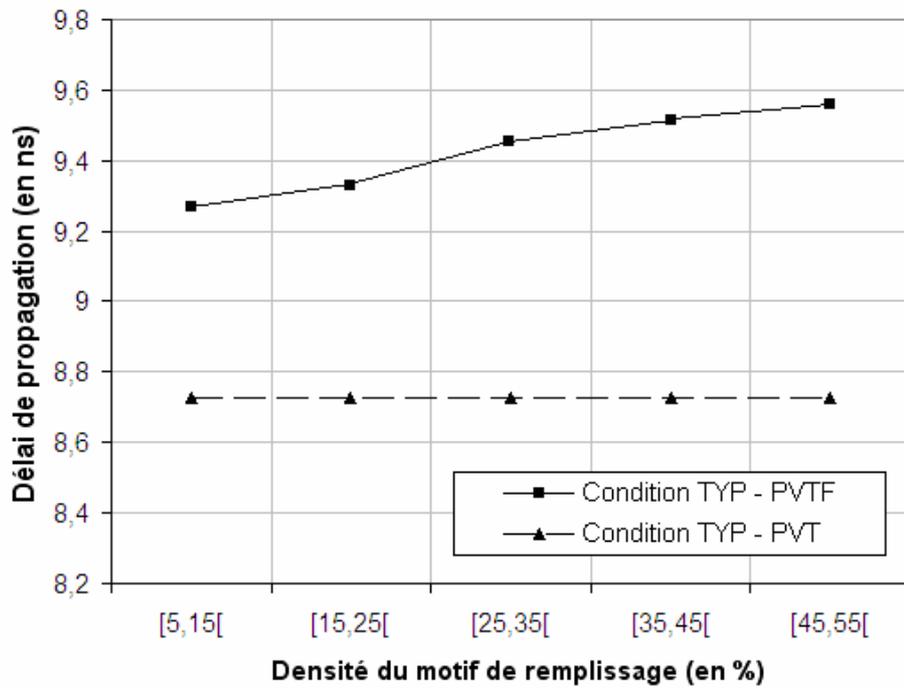


Figure 84 : Comparaison des résultats des simulations menées dans les conditions TYP - PVT et TYP - PVTF pour différentes densités de motif de remplissage

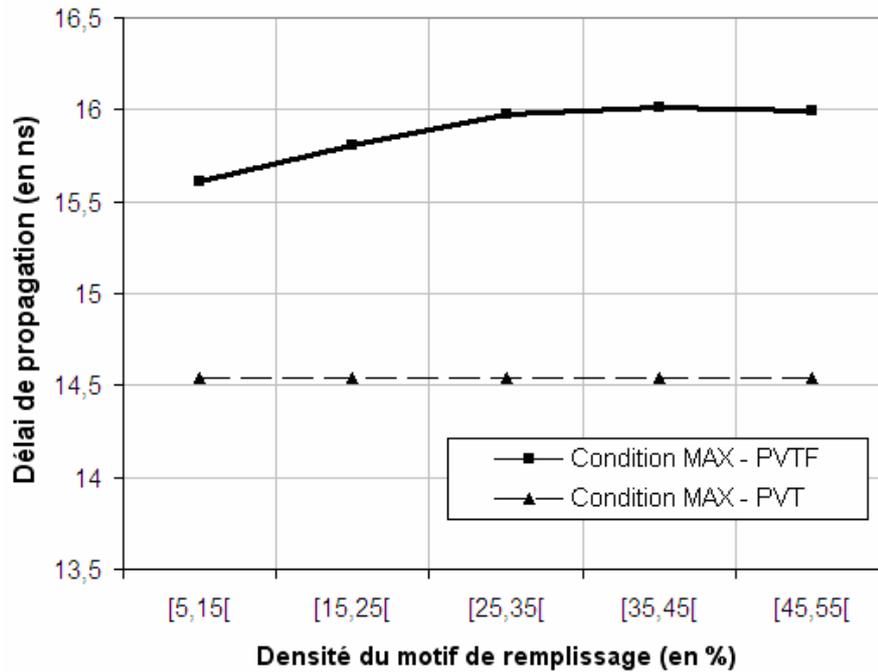


Figure 85 : Comparaison des résultats des simulations menées dans les conditions MAX - PVT et MAX - PVTF pour différentes densités de motif de remplissage

La Figure 86 regroupe tous les résultats sur un même graphe.

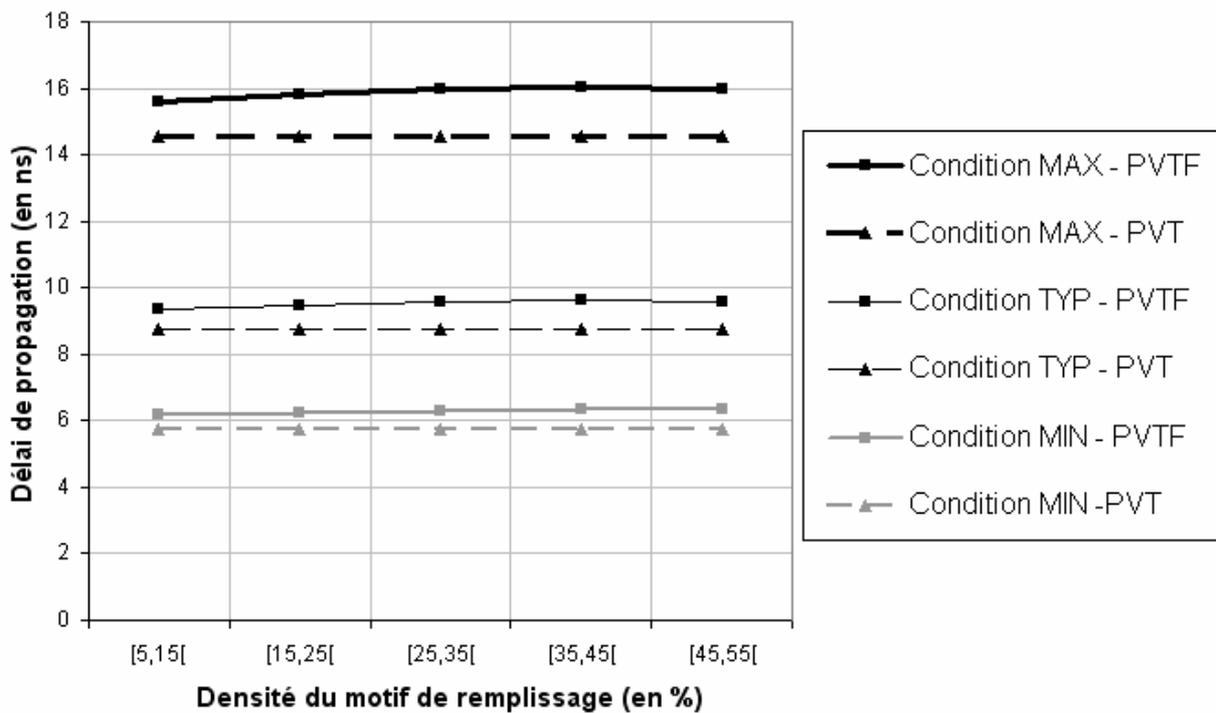


Figure 86 : Comparaison des résultats des simulations menées dans les conditions PVT et PVTF pour différentes densités de motif de remplissage

### III.5 Conclusion

Dans une première partie, il est observé que l'étape de métallisation est sujette à de nombreuses variations qui peuvent être à l'origine de défauts paramétriques et donc affecter de manière significative le rendement. L'étude s'attache à l'influence des dispositifs de remplissage, et plus spécialement sur les impacts de la géométrie du motif de remplissage sur les délais de propagation. Dans la deuxième partie, des structures de test sont définies et embarquées sur un véhicule de test pour être mesurées sur silicium. Un modèle mathématique de ce phénomène est réalisé à l'aide de la méthode des plans d'expérience (DOE) et permet d'étudier en profondeur les conséquences de cette variabilité. En utilisant les résultats de la modélisation, il est démontré que cet impact est non négligeable et doit être pris en compte dès la conception des cellules, et plus particulièrement lors de l'étape de simulation. C'est pourquoi des conditions de fonctionnement spécifiques incluant la géométrie du motif des dispositifs de remplissage métallique sont définies sous le nom de « *Metal Filling Corner* ». L'introduction de cette nouvelle notion permet aux concepteurs d'anticiper les dérives temporelles des cellules dues à ce phénomène, et d'adapter le type de simulation à la criticité de la cellule considérée.

Il apparaît donc que ce type de variation doit être anticipé dès la conception, et cela s'inscrit totalement dans la définition de la méthode de conception DFM<sup>2</sup>. Pour ce faire, il est nécessaire d'améliorer les densités métalliques des cellules tout en étant capable de prédire l'impact qu'aura l'insertion de dispositifs de remplissage sur les performances électriques. C'est pourquoi une solution logicielle dédiée à la conception de cellule est définie et présentée dans le chapitre IV. Cela permet de fournir aux concepteurs un outil d'aide à la conception, dont la définition repose sur les bases du DFM<sup>2</sup>.

## Chapitre IV

# Développement d'un outil en adéquation avec la méthode DFM<sup>2</sup> : le DUTY

*La mise en place d'un outil d'aide à la conception orientée DFM est une manière efficace d'appliquer concrètement les résultats présentés dans les chapitres précédents. Ainsi, le processus de développement du DUTY (pour « DFM UTilities for Yield ») s'inscrit dans le cadre de la méthode de conception DFM<sup>2</sup>, définie dans le chapitre I. Le choix des règles et améliorations proposées par le DUTY est réalisé en se basant à la fois sur l'état de l'art connu du DFM et sur les résultats innovants présentés dans les chapitres II et III. Le DUTY doit aider les concepteurs de cellules à appréhender de la meilleure manière les nouveautés du DFM. Ainsi, trois modules composent le DUTY : le YAM, le YEM et le DUTY Metric. Ils correspondent respectivement aux trois étapes suivantes : l'analyse DFM des cellules, l'amélioration automatique de leur contexte et la notation des corrections DFM apportées. Ainsi, le YAM propose des fonctionnalités d'analyse telles que la détection des zones dans lesquelles des vias redondants peuvent être ajoutés, la détection des configurations géométriques critiques pour l'étape d'OPC ou encore l'élaboration de rapports complets sur les densités et gradient de densités. Le YEM propose l'insertion de dispositifs de remplissage au niveau cellules, dont l'algorithme découle des résultats présentés dans le chapitre III. Le module DUTY Metric permet d'attribuer une notation DFM à chaque cellule afin de témoigner de son degré d'amélioration à travers le DUTY. Ainsi, ces notes sont reportées au niveau du circuit complet afin d'anticiper les éventuelles pertes de rendement.*

## IV.1 Introduction

Il est nécessaire de permettre aux concepteurs de cellules d'orienter leurs développements en suivant les lignes directrices définies par le DFM<sup>2</sup>. L'implémentation de la méthode DFM<sup>2</sup> au sein du processus de conception industriel ATMEL est donc réalisée dans le cadre de cette étude. Pour ce faire, un outil d'aide à la conception de cellules orienté DFM, appelé DUTY (pour « *DFM Utilities for Yield* »), est développé. Son but n'est pas de concurrencer les outils DFM proposés par les professionnels du secteur mais réellement d'apporter des améliorations sur les aspects non couverts mais indispensables dans l'approche DFM<sup>2</sup> telle qu'elle est définie. Ainsi, le choix des règles DFM qui le composent est réalisé en accord avec la partie technologique et la partie conception. De plus, sa place au sein du processus de conception industriel est définie d'une manière particulière, qui est présentée dans une première partie. Le DUTY doit permettre de guider les concepteurs qui se trouvent confrontés à la nécessité de la mise en place d'une méthode de conception orientée DFM. Il doit également proposer des applications concrètes des résultats présentés dans les chapitres II et III. Ainsi, le DUTY est composé de trois modules, ayant chacun des fonctionnalités bien particulières qui sont présentées dans une seconde partie. Le DUTY doit devenir une référence de la conception DFM chez ATMEL, intégrant aussi bien des recommandations dites « classiques » que les résultats innovants présentés dans cette thèse.

## IV.2 La place du DUTY au sein du processus de conception industriel

### IV.2.1 Motivations du développement

Dans le contexte technologique actuel, on observe une complexification des règles de conception et une multiplication des règles dites « recommandées ». L'ambiguïté inhérente à ce type de dénomination pose le problème du contexte d'application de ces règles. Contrairement aux règles de conception classiques qui doivent être respectées dans tous les cas, les règles « recommandées » doivent être appliquées en fonction du cahier des charges du produit considéré. En effet, le respect de ce type de règles apporte certes des garanties au niveau de l'amélioration de la qualité des circuits, mais la contrepartie est souvent une perte en surface. Pour pouvoir juger du bien-fondé de l'application ou non des règles « recommandées », il est indispensable que les concepteurs soient aux faits de leur réel impact au niveau de l'étape de fabrication. Cela permet d'être plus à même de définir des priorités entre le type de règle à appliquer et les contraintes engendrées. On constate donc que les règles « recommandées » n'ont pas leur place aux côtés de celles de conception classiques, et ceci afin d'éviter de les confondre. Il est donc important de leur définir un cadre d'application bien précis qui facilitera la prise de décision du concepteur. Un système de priorités basé sur les préconisations de la fabrication permet s'éloigner de l'application systématique des règles standard. Il est également nécessaire d'intégrer au processus de

conception les règles DFM définies dans le chapitre II, concernant à la fois les impacts électriques et topologiques de certaines configurations critiques à éviter. Le chapitre II montre que des solutions du côté de la conception existent pour pallier les contraintes grandissantes de la fabrication découlant de la variabilité technologique. En effet, en accord avec la définition de la méthode de conception DFM<sup>2</sup>, les interactions des différents acteurs du processus de conception d'un circuit doivent renforcer les interactions avec l'étape de conception de cellule. Aussi, un support est nécessaire pour à la fois organiser ces interactions et introduire les résultats DFM présentés dans les chapitres précédents au sein du processus de conception. C'est pourquoi un logiciel d'aide à la conception orientée DFM est développé dans cet esprit.

### **IV.2.2 Un outil dédié a la conception des cellules**

Le logiciel d'aide à la conception de cellules, créé dans l'esprit du DFM<sup>2</sup>, est introduit sous le nom de DUTY (pour « *DFM Utilities for Yield* »). Cette dénomination traduit le rôle essentiel que prend la conception de cellule dans le DFM<sup>2</sup>. Il s'agit d'aider les concepteurs à choisir quel type de règles DFM appliquer, suivant le cas particulier de la cellule à traiter. Il s'agit de remplacer l'application systématique des règles « recommandées » par un choix stratégique et réfléchi basé sur la prise en compte des priorités émanant des contraintes de la fabrication et de l'amélioration du rendement. Cela implique que le DUTY ne doit pas être un outil automatisé, afin de mettre en avant l'esprit d'initiative et de responsabilisation sur lequel repose en partie l'approche DFM<sup>2</sup>. Le choix doit également être laissé au concepteur car suivant le type de technologie utilisé, le type de produit visé, et le type de cellule traitée, les améliorations à apporter peuvent être très différentes. Ainsi, en apportant la connaissance des enjeux au sein de l'étape de conception de cellules selon le schéma fonctionnel du DFM<sup>2</sup>, le concepteur décisionnaire dispose de toutes les informations nécessaires pour faire les bons choix. Ces changements de mentalité sont bénéfiques non seulement pour l'exploitation des technologies actuelles, mais surtout pour les technologies futures qui nécessiteront la mise en place inconditionnelle de ce type d'organisation afin d'offrir les meilleurs rendements possibles. Le développement de ce type d'outil est également l'occasion d'exploiter les résultats obtenus durant la thèse et de les mettre à disposition des concepteurs.

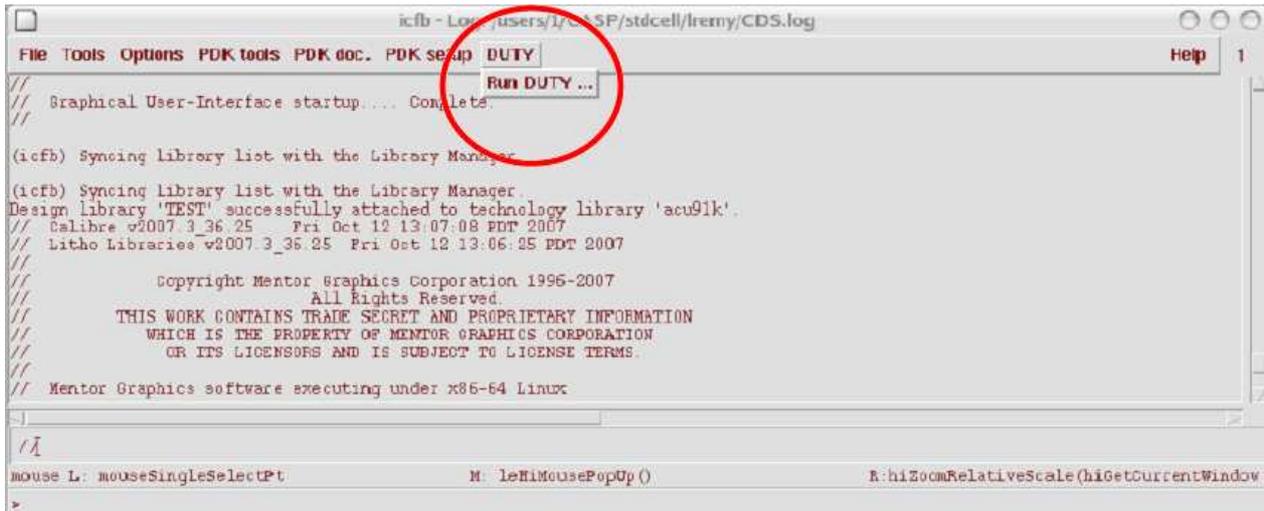
La place de DUTY dans le processus de conception est la suivante : son exécution vient en complément des vérifications standard, telle que la vérification des règles de conception ou la simulation des cellules. En aucun cas l'application de règles DFM ne doit se substituer à celles définies par le département technologique, dont le but est d'assurer la faisabilité en termes de fabrication des produits. Les règles de DUTY viennent en complément afin d'assurer un meilleur rendement et de faciliter le travail de fabrication, notamment l'exécution du CMP en utilisant les règles définies dans le chapitre II. Le DUTY est également un moyen efficace de fournir aux concepteurs de cellules un algorithme d'insertion de dispositifs de remplissage basé sur les résultats présentés dans le chapitre III. Tout l'intérêt

d'opérer au niveau de la conception cellule plutôt qu'au niveau de conception du produit est présenté dans le chapitre I. En effet, un produit étant constitué de cellules, la réalisation des opérations DFM au niveau de la conception cellules permettent d'opérer au niveau local en fonction de la vision globale, c'est-à-dire le contexte d'instanciation des cellules dans les produits. Cela permet également d'améliorer la robustesse au niveau même des cellules plutôt qu'au niveau du produit, ce qui constitue un avantage non négligeable en termes de réutilisation des composants. En effet, sachant que les cellules sont utilisées dans des produits différents, il est plus rentable d'améliorer la cellule en elle-même que chaque produit séparément. Il est important de noter que le développement de ce type d'outil ne s'inscrit pas dans une démarche de concurrence vis-à-vis des fournisseurs de logiciels d'aide à la conception, et ceci pour différentes raisons. Tout d'abord, il est impensable d'imaginer qu'un logiciel d'aide à la conception développé dans le cadre d'une thèse puisse rivaliser avec des produits conçus par des équipes spécialisées et expérimentées dans le domaine. Ensuite, les types de règles que DUTY propose sont grandement dépendants de la technologie et de l'unité de fabrication concernée. Enfin, les perspectives de développement de DUTY ne se limitent pas à l'application des règles DFM. Il s'agit de prendre une part plus conséquente dans le processus de conception afin faire circuler les informations utiles entre les différentes parties du flot de conception. Cette intensification des interactions permet la mise en place de la méthode de conception DFM<sup>2</sup> à travers l'outil DUTY.

## **IV.3 Fonctionnement du DUTY**

### **IV.3.1 Généralités**

DUTY est un logiciel d'aide à la conception interfacé avec le logiciel de conception IC (version 5.1.41) développé par la société Cadence. L'encapsulation de DUTY est faite au travers du PDK (pour « Physical Design Kit ») développé par ATMEL. La couche logicielle pour l'interface graphique et pour les opérations de traitements de données est codée en langage skill, tandis que le moteur d'opérations géométriques utilisé pour vérifier les différentes règles est celui du logiciel Calibre DRC, développé par la société Mentor. Le lancement de DUTY se fait en activant un onglet présent dans l'interface graphique principale du logiciel IC (voir Figure 87).



**Figure 87 : Fenêtre de lancement de DUTY**

DUTY est composé des trois modules suivants :

- YAM (pour « Yield Analysis Module ») : le module YAM permet de lancer la vérification de règles DFM. Les corrections proposées par les résultats du YAM sont soumises à la décision du concepteur. Les modifications ne sont pas automatiques, afin que le concepteur reste maître des modifications de la cellule traitée. Le YAM effectue donc une analyse en profondeur et fournit les données résultantes qui permettent au concepteur de choisir de manière optimale les corrections à apporter.
- YEM (pour « Yield Enhancement Module ») : le module YEM s'inscrit dans une démarche de modification automatique. Cela ne concerne que les opérations sur lesquelles l'expérience du concepteur n'apporte pas de valeur ajoutée ou bien celles dont l'exécution est définie comme obligatoire par le département technologie. Cela concerne notamment l'insertion de dispositifs de remplissage, selon un algorithme déterminé préalablement.
- DUTY Metric : le module DUTY Metric fournit au concepteur une notation de la cellule traitée, en prenant en compte les diverses améliorations DFM effectuées. Cela permet de mettre en place une traçabilité des cellules ayant suivi les recommandations DFM et d'en déduire le degré de qualité DFM des produits qui les contiennent. Dans le cas de la détection d'une défektivité anormale, cette méthode de contrôle permet de remonter plus aisément à la source potentielle du problème.

Les paragraphes suivants décrivent en détail les fonctionnalités de chacun des trois modules du DUTY.

### IV.3.2 YAM - Yield Analysis Module

Le module YAM regroupe des règles DFM classiques et des règles issues des travaux présentés dans les chapitres précédents. Le YAM est un module favorisant l'accompagnement des concepteurs vis-à-vis de l'attitude à adopter face au DFM. Le respect des règles dépend de leur appréciation, et les décisions sont prises en mettant en balance le temps que nécessite la correction, l'exigence de qualité particulière de la cellule et le délai de conception disponible avant de fournir la cellule aux concepteurs de produits. Pour ce faire, les concepteurs doivent disposer d'une formation complète sur les tenants et aboutissements des corrections proposées par le YAM, afin de connaître parfaitement l'impact d'une modification DFM sur le travail de l'équipe de fabrication. L'interface graphique du YAM est présentée en Figure 88. Les règles de vérification qui composent le YAM sont les suivantes :

- Double via – Double contact : lorsque l'on parle de DFM, l'ajout de via redondant est une des premières règles recommandées, ceci afin de réduire l'impact des défauts aléatoires sur les via. De nombreuses publications sont disponibles dans ce domaine. Ainsi, lorsque [Lin'07] propose une solution de conception de bibliothèques de cellules standard intégrant systématiquement des via redondants, [Chen'06] et [Yao'06] proposent des solutions de routage innovantes basées sur l'insertion de via redondants. [McCullen'07] décrit quant à lui les moyens de doubler les via dans des topologies hautement congestionnées. Enfin, [Yan'06] définit un algorithme de doublement de via basé sur une étude statistique de la défektivité relative aux via. Ses résultats montrent une amélioration du rendement de 4,8% à 44,8% pour certains circuits. La principale contrainte qui accompagne l'ajout de via redondants est l'augmentation de la surface des cellules. Cette limitation est moins visible au niveau du routage d'un circuit. C'est pourquoi la fonction « Double via » disponible dans le YAM propose au concepteur d'insérer des via redondants, uniquement lorsque cela n'a aucun coût en surface. Pour les autres via, la possibilité est laissée au concepteur de modifier la topologie de la cellule pour ajouter un via, ou de ne rien modifier. L'algorithme de la fonction « Double Via » du YAM respecte les contraintes de directions privilégiées des métaux afin de faciliter le travail du CMP en uniformisant les géométries métalliques. De plus, les configurations dites « *on-track* » qui désignent les situations où le métal existant est utilisé pour ajouter un via redondant sont préférées à celles qui nécessitent l'ajout des deux niveaux métalliques pour connecter le via redondant. La fonction « Double Contact » du même type que celle du « Double Via » mais elle concerne les contacts entre polysilicium et métal 1. Un exemple de proposition d'ajout de contact redondant fournie par le YAM est présenté dans la Figure 89.

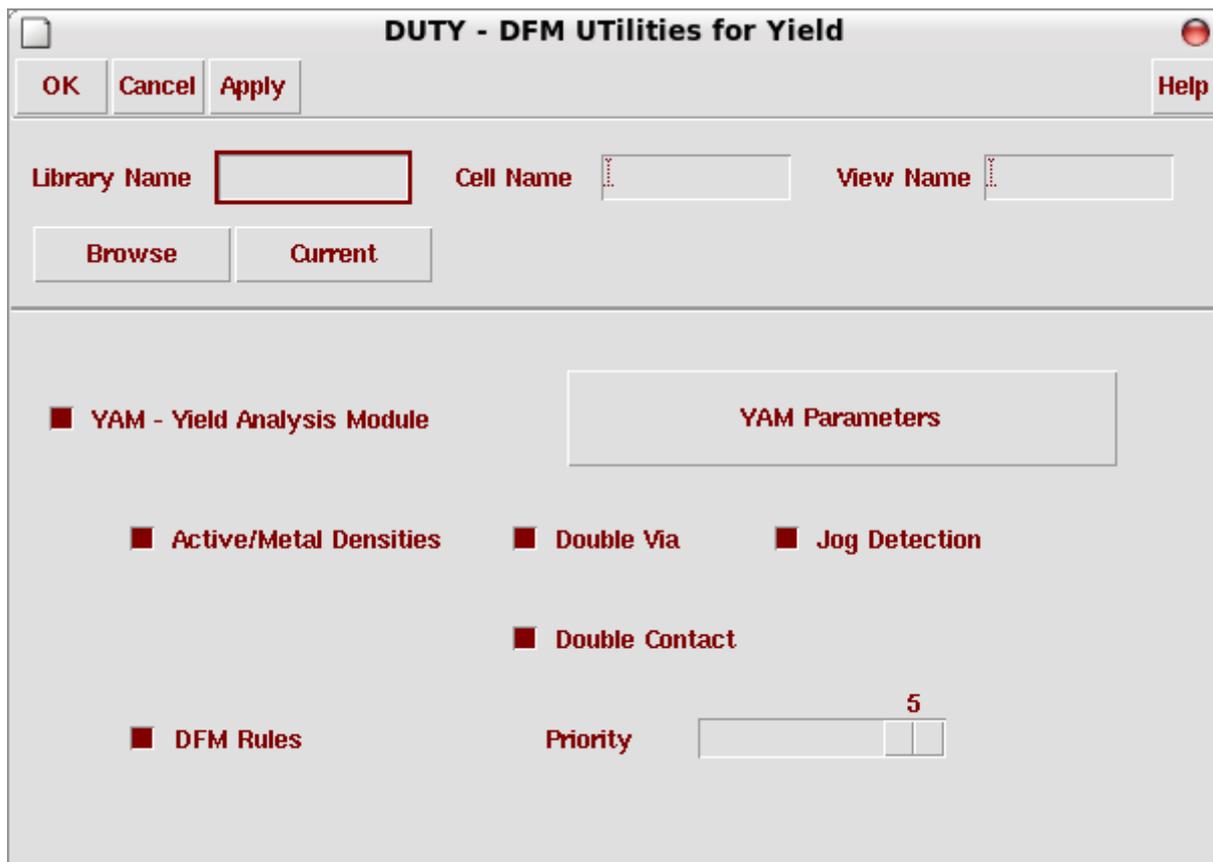


Figure 88 : Interface graphique du DUTY : le module YAM

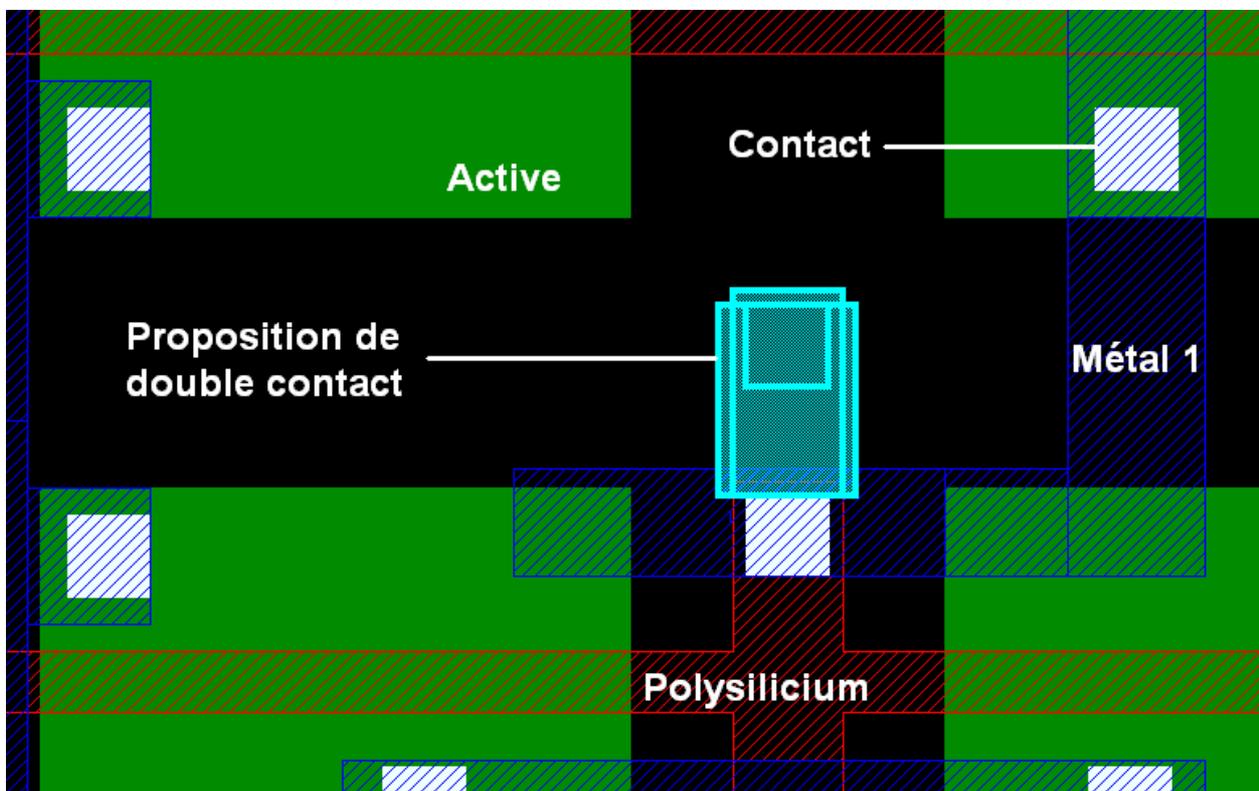
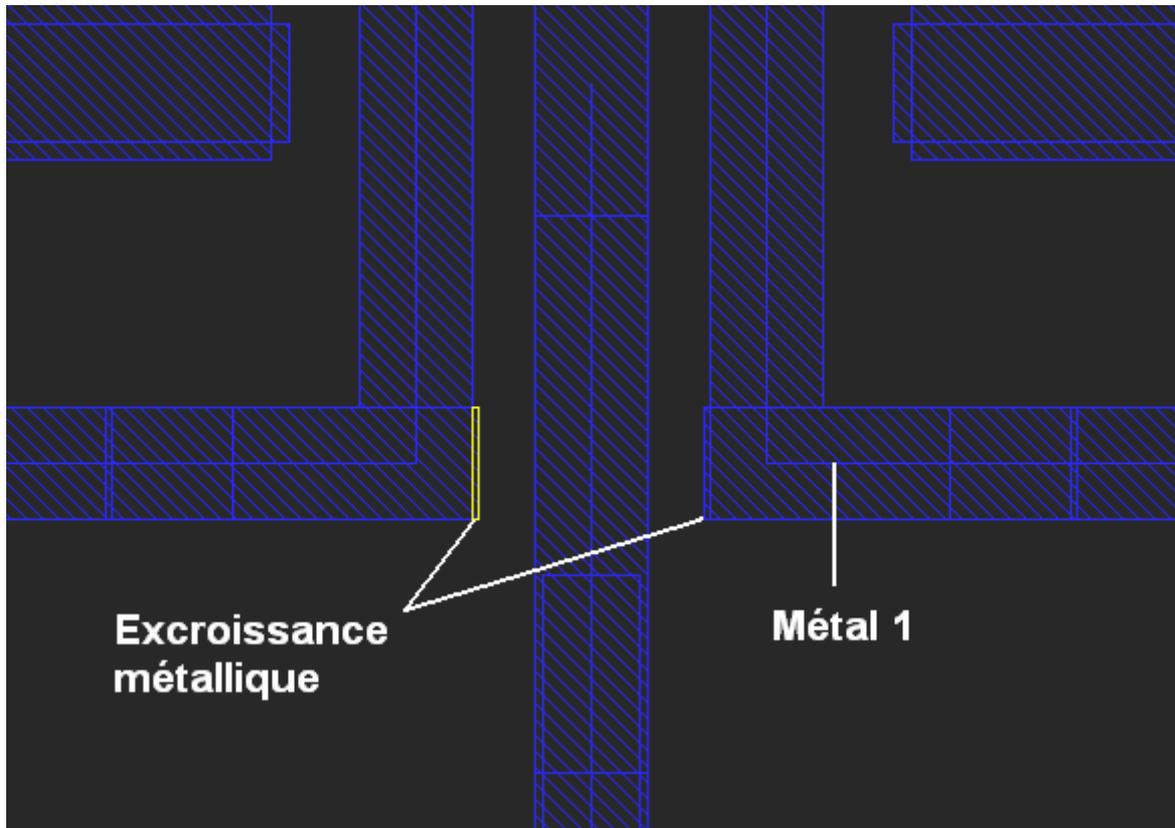


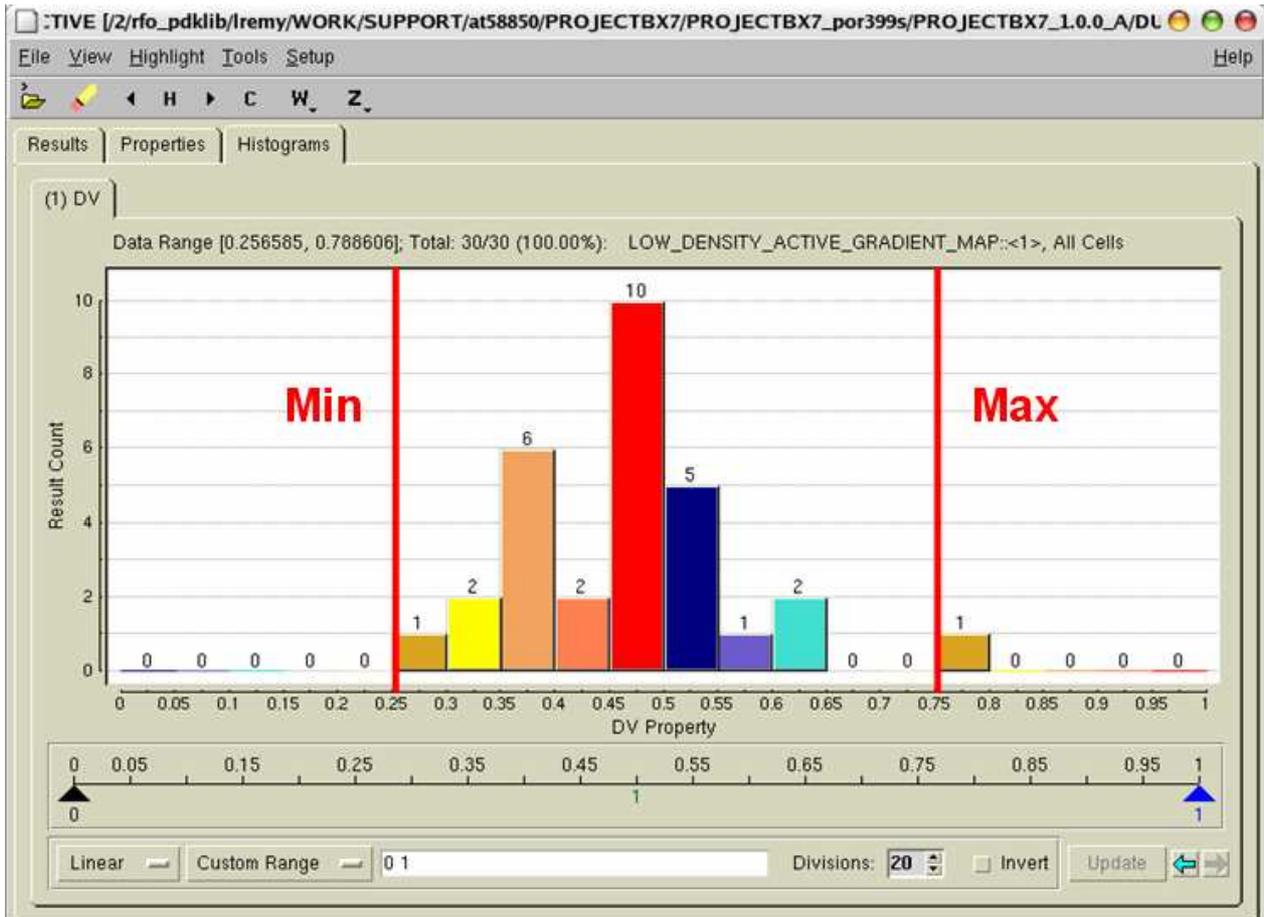
Figure 89 : Proposition d'ajout de contact redondant par le YAM

- Détection d'excroissance métallique : les configurations comme celle présentée en Figure 90 posent un certain nombre de problèmes. En effet, le traitement de ce type d'excroissance en OPC rallonge considérablement le temps de réalisation des opérations, car le temps de traitement est directement lié au nombre d'excroissance dans le circuit. Il n'y a aucune raison physique qui explique la présence de telles géométries. Elles sont le fait d'une conception non optimisée ou encore d'une limitation dans les outils de routage. Deux cas de figures se présentent: soit la correction OPC est effectuée et en conséquence le temps de traitement en est grandement affecté, soit la correction n'est pas faite pour gagner du temps et cela risque de générer des défauts paramétriques du type de ceux présentés en Figure 11. Les problèmes que pose ce type de configuration sont traités dans quelques publications. [Kahng'06-3] propose des configurations géométriques permettant de diminuer de façon drastique le temps de calcul nécessaire à l'opération OPC. [Huang'04] définit un algorithme de routage permettant d'éviter ce type d'excroissance. Il est essentiel de les éliminer en amont de l'étape d'OPC, ceci afin d'améliorer le délai de l'opération. C'est pourquoi le YAM propose une détection automatique de ce type de configurations dès l'étape de conception des cellules en vue de leur élimination par les concepteurs. Un exemple d'excroissance métallique est présenté à la Figure 90.



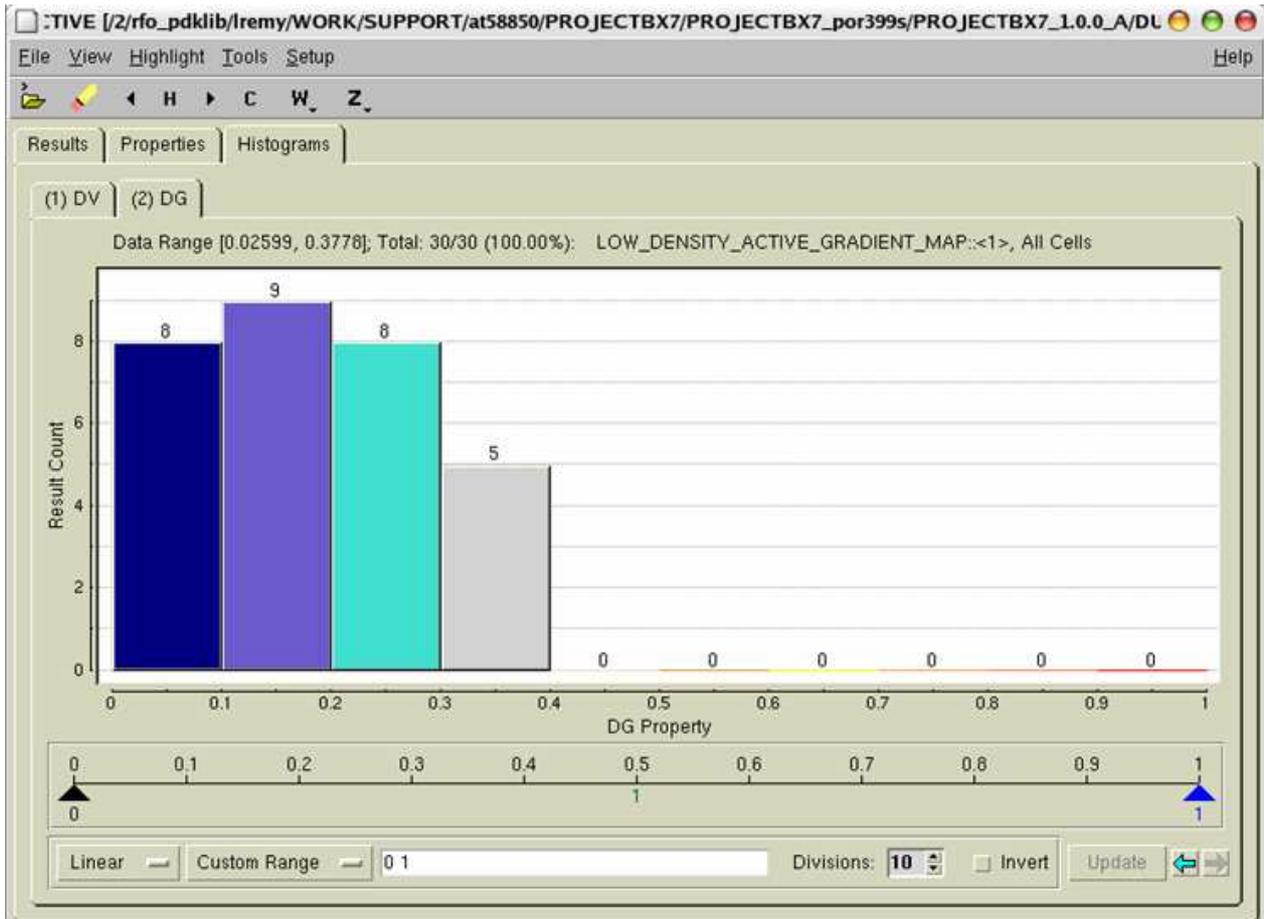
**Figure 90 : Exemple d'excroissance métallique détectée par le YAM**

- Règles recommandées : le YAM est un outil approprié pour l'implémentation des règles DFM ou « recommandées » par l'unité de fabrication. Cela permet de les dissocier des règles de conception standard dont l'exécution est réalisée à travers le PDK, et de lever l'ambiguïté entre règles de conception imposées et règles de conception conseillées. De plus, l'exécution de ce type de règles à travers le YAM permet d'avoir une seule et même interface dans le cas où des règles recommandées par des unités de fabrication internes et externes se côtoient. Le concepteur dispose donc à travers le YAM de la totalité des règles recommandées, classées par priorité suivant les recommandations des unités de fabrication.
- Analyse de densité : ce module concerne aussi bien les niveaux actifs que les niveaux métalliques. Il s'agit tout d'abord de mettre en pratique les règles de conception définies au chapitre II, telles que l'optimisation de la topologie des cellules en vue de leur contexte futur dans un produit. Ces règles sont définies en confrontant les expériences des mondes de la conception et de la technologie, selon l'approche DFM<sup>2</sup>. Cela constitue une réelle mise en application de ces principes, dans le sens où le concepteur se voit proposer des améliorations qui ont un impact direct sur la fabrication. Au-delà des règles de conception recommandées, la fonction « Analyse de densité » fournit un rapport détaillé de la densité de chaque niveau FEOL ou BEOL pour la cellule analysée. L'analyse de densité est découpée en fenêtre, dont la taille est définie par le département technologie. Celle-ci est calculée de manière optimale afin de faciliter l'exécution du processus CMP. Cependant, la taille de la fenêtre est calculée pour un produit, et ses dimensions ne sont pas adaptées à l'analyse d'une cellule. C'est pourquoi le YAM intègre une fonction qui adapte la taille de la fenêtre de densité à la taille de la cellule traitée. Cela permet d'affiner l'analyse de densité afin que toutes les cellules aient une topologie optimale avant d'être insérées dans des produits. De cette manière, la vision globale du produit est fortement améliorée par le biais d'optimisation au niveau local, c'est-à-dire au niveau de la conception cellule. Le YAM utilise le logiciel de visualisation d'erreur Calibre RVE (Société Mentor) pour proposer un histogramme des résultats de densité au concepteur. L'histogramme classe les fenêtres de densité par intervalles de densité. Ainsi, il est aisé d'identifier les zones hors des limites imposées par les règles de conception et d'aller directement les corriger. Une illustration de ce type d'histogramme est présentée en Figure 91. Les couleurs de l'histogramme correspondent à celles des fenêtres de densité affichées sur la cellule et n'ont pas de signification numérique.



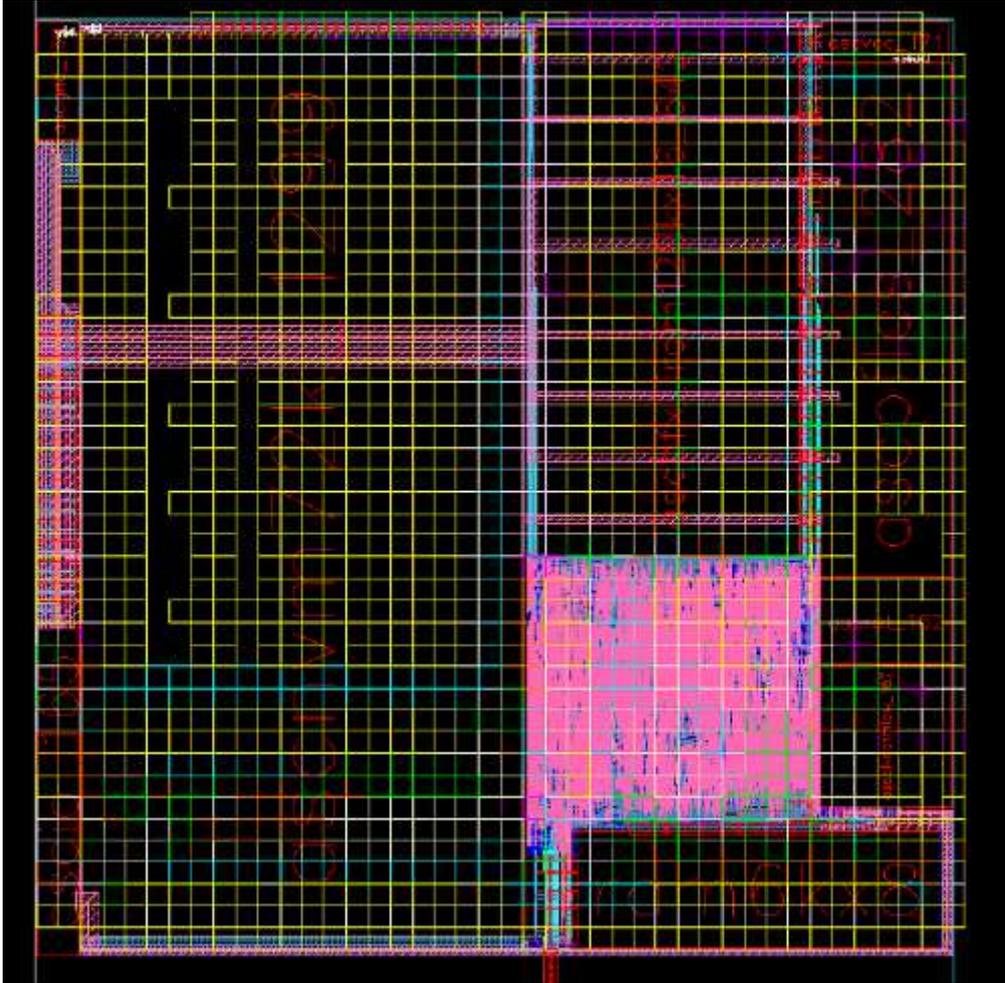
**Figure 91 : Exemple d’histogramme des résultats de densité fournis par le YAM**

De la même manière, la fonction « Analyse de densité » du YAM fournit un rapport sous forme d’histogramme au sujet des gradients de densité. Le gradient de densité est défini comme la différence de densité entre deux fenêtres directement adjacentes. Afin d’uniformiser la densité et ainsi faciliter le travail du CMP, il est recommandé d’éviter les gradients de densité supérieurs à 30%. Sur l’histogramme des gradients (Figure 92), le but du concepteur est donc d’avoir un histogramme le plus proche possible du zéro. En effet, plus les gradients sont proches de zéro, et moins il existe de disparités flagrantes entre deux fenêtres directement adjacentes. Cela va dans le sens d’une uniformisation de la densité globale d’un circuit.



**Figure 92 : Exemple d'histogramme des résultats de l'analyse de gradient de densité**

Afin de faciliter le travail de correction, il est possible d'afficher les résultats des histogrammes sous la forme d'une cartographie en couleur sur la cellule. Toutes les fenêtres de densité sont directement affichées sur la cellule avec un code de couleur correspondant à leur valeur de densité ou de gradient de densité (Figure 93). Ainsi, la détection et l'amélioration des zones critiques sont facilitées pour le concepteur. De plus, l'avantage de ce type de rapports est qu'ils sont aisément transférables de l'étape de conception de cellules à l'étape de placement des cellules dans un produit. Connaissant ainsi la topologie des cellules, préalablement optimisée à l'aide du YAM, il devient possible d'optimiser la topologie globale du produit en agencant intelligemment les cellules entre elles. Cela permet de prévenir les trop forts gradients de densité d'un point de vue global, et ainsi de se prémunir des potentielles dérives du CMP face à des configurations de densité non uniformes. La contrainte principale reste cependant la fréquence de fonctionnement du circuit. Cela fait partie de la connexion « Conception cellule - Placement/Routage » préconisée par le DFM<sup>2</sup>.



**Figure 93 : Exemple de cartographie de densité pour un produit complet**

De même, l'exécution de la fonction « Analyse de densité » sur un produit permet d'identifier rapidement les cellules responsables des problèmes potentiels de densité. Cela s'inscrit dans le lien « Conception cellule - DFS/MDP » du DFM<sup>2</sup>. Afin d'éprouver l'impact du YAM sur le rendement, un véhicule de test sur silicium embarquant une mémoire a été dupliqué. La première version contient le véhicule de test original, et la seconde le même véhicule intégrant les corrections proposées par le YAM. Ainsi, après une analyse de rendement, les réels bénéfices de l'exécution du YAM pourront être connus et mesurés. En utilisant les résultats, il devient possible de redéfinir si nécessaire les règles DFM de conception afin de les ajuster aux contraintes de l'unité de fabrication considérée. C'est une des facettes de l'interaction « Conception cellule - Fabrication » définie par la méthode de conception DFM<sup>2</sup>.

### IV.3.3 YEM - Yield Enhancement Module

Le deuxième module proposé par DUTY se nomme le YEM (pour « *Yield Enhancement Module* »). Le but de ce module est de proposer des corrections automatiques au concepteur. Cela ne concerne donc que des opérations d'amélioration à caractère obligatoire dont les modalités sont imposées par le département technologique. Ainsi, le caractère automatique de la correction assure que ces directives soient suivies fidèlement. Le YEM est composé de fonctions d'insertion automatique de dispositifs de remplissage au niveau cellule. Cela concerne aussi bien les niveaux FEOL que les niveaux métalliques. L'intérêt d'effectuer ce type d'opération au niveau cellule est indiscutable. En effet, le concepteur a ainsi la possibilité d'insérer lui-même, par le biais du YEM, ses dispositifs de remplissage. Il devient donc possible d'effectuer des simulations en prenant en compte leur présence, et de s'adapter à leur impact capacitif. Cela n'est pas possible dans le processus de conception standard où les dispositifs de remplissage sont insérés au niveau de l'élaboration du produit (assemblage des cellules). Les cellules, notamment analogiques, dont les performances électriques nécessitent une attention toute particulière n'ayant pas tenu compte de la présence de dispositifs de remplissage ont donc des comportements différents entre les simulations réalisées au niveau de la conception et le comportement sur silicium. Afin d'éviter les défauts de type paramétriques et les pertes de rendement qui les accompagnent, il est donc indispensable de laisser le concepteur s'occuper de l'insertion des dispositifs de remplissage et d'adapter le comportement des cellules en fonction. Le concepteur est le plus à même de connaître les zones sensibles d'une cellule dans lesquelles il a la possibilité d'interdire la génération des dispositifs de remplissage en utilisant un marqueur approprié. Cependant, il a également la responsabilité d'assurer que la cellule présente une topologie en adéquation avec les recommandations DFM, en termes de densité et de gradients de densité. Un compromis doit donc être trouvé pour que l'insertion de dispositifs de remplissage soit suffisante afin de garantir une bonne densité sans dégrader les caractéristiques électriques des cellules. L'algorithme d'insertion de dispositifs de remplissage métalliques est basé sur les modèles présentés dans le chapitre III, tandis que celui des dispositifs de remplissage FEOL (incluant les niveaux masques tels que les zones de diffusion ou encore les différents types de polysilicium) est basé sur les contraintes de densité définies dans le chapitre II. Ainsi, la génération est optimisée pour dégrader le moins possible les performances électriques des cellules traitées et faciliter l'efficacité du CMP. Un exemple de motif de dispositifs de remplissage FEOL est présenté dans la Figure 94, et la Figure 95 présente quant à elle un exemple de motif de dispositifs de remplissage métalliques. La mise en place du YEM répond à un réel besoin de ramener au niveau conception cellule les étapes de conception qui impactent les performances électriques des cellules.

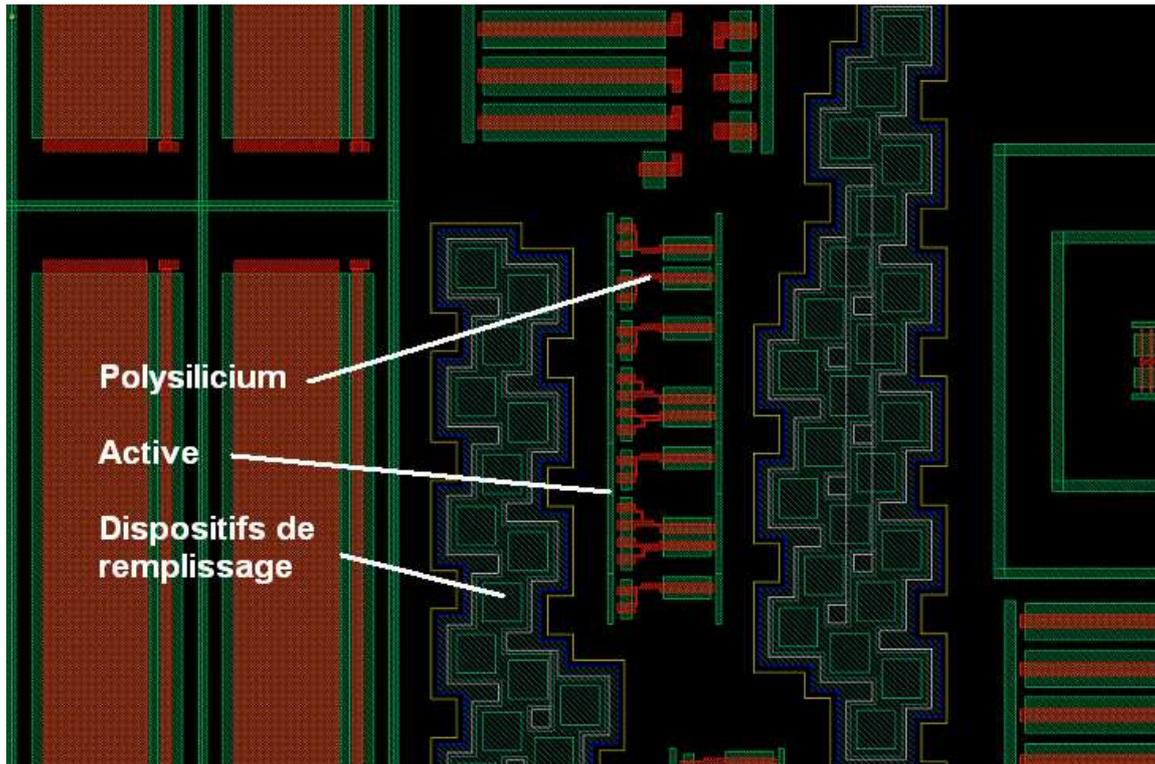


Figure 94 : Exemple de motif de dispositifs de remplissage FEOL généré par le YEM

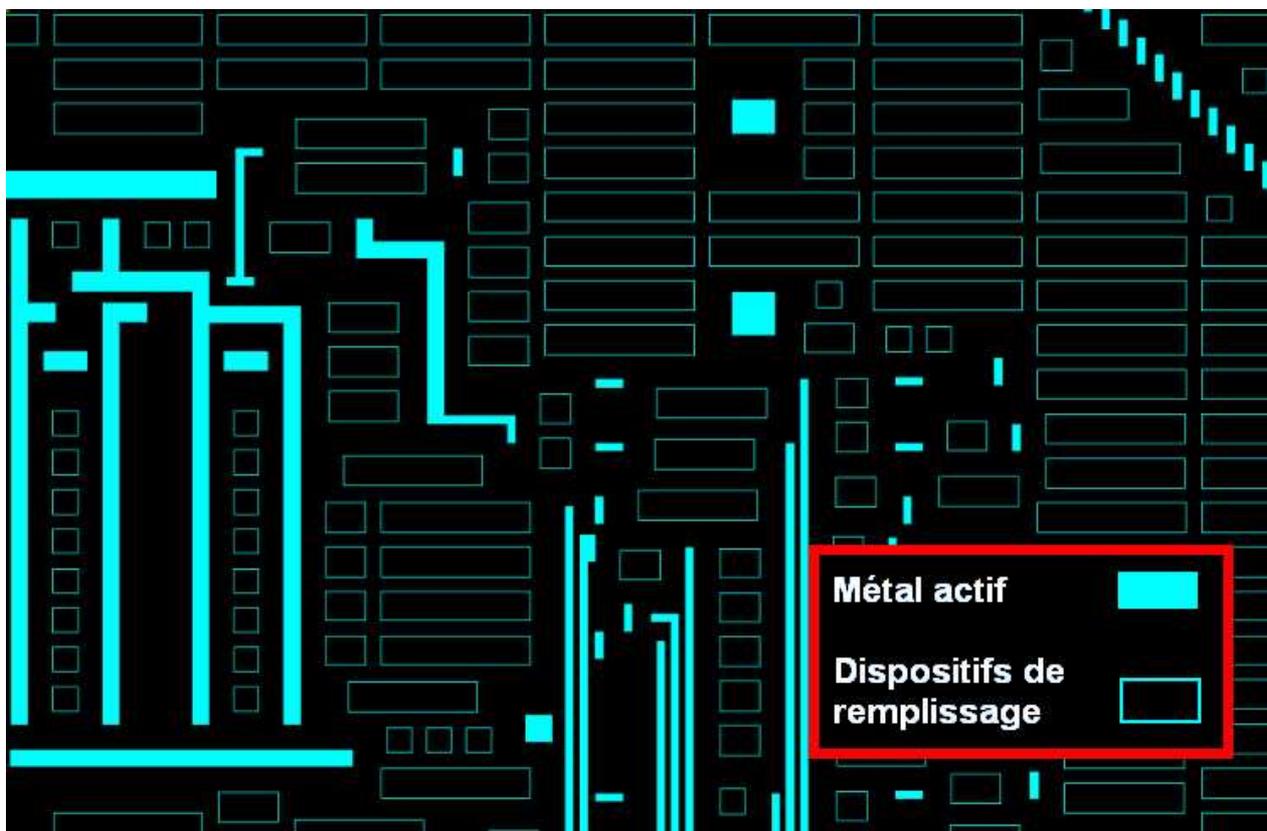


Figure 95 : Exemple de motif de dispositifs de remplissage métalliques généré par le YEM

Une illustration de l'interface graphique du module YEM est présentée Figure 96.

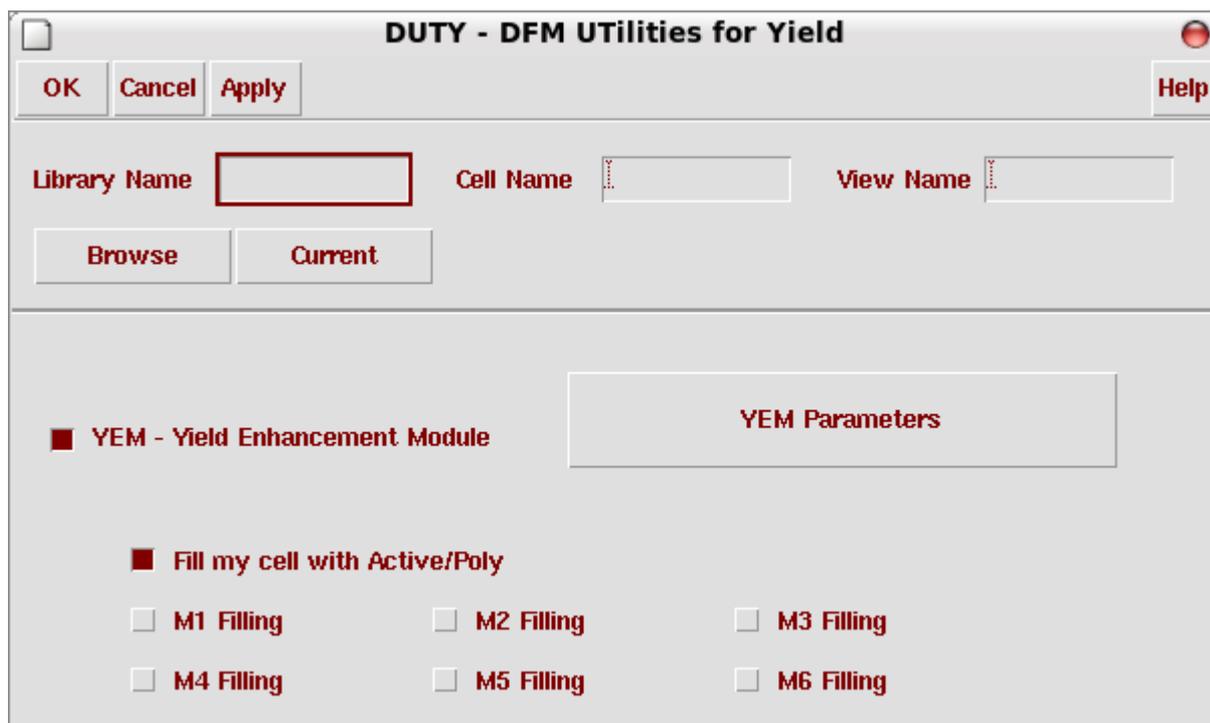


Figure 96 : Interface graphique du DUTY : le module YEM

#### IV.3.4 DUTY Metric

Le dernier module intégré au DUTY se nomme le « *DUTY Metric* » (Figure 97).

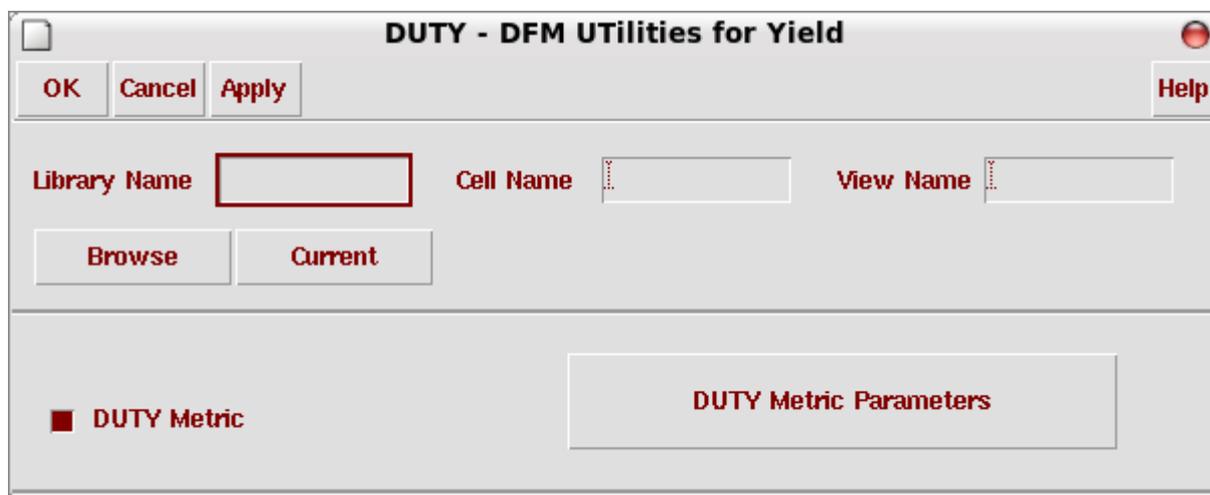


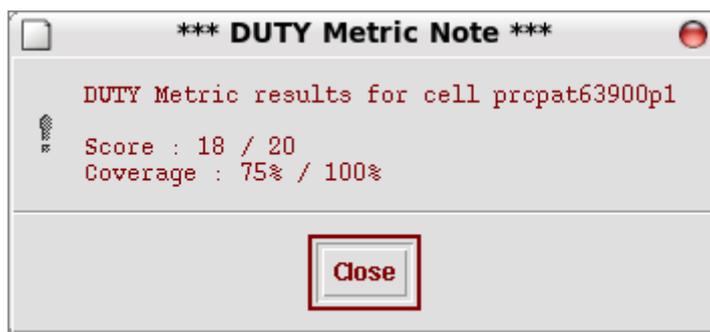
Figure 97 : Interface graphique du DUTY : le module DUTY Metric

Il permet d'aborder d'une nouvelle manière le concept DFM, dont le cadre d'application n'est pas toujours bien défini. En effet, dans la mesure où le respect de l'intégralité des règles DFM n'est pas toujours envisageable, il n'est pas possible de catégoriser les cellules en deux ensembles : celles qui respectent le DFM et celles qui ne le respectent pas. Avec les règles de conception standard, cette

problématique n'existe pas puisque l'intégralité des règles doit être respectée. De ce fait, il est nécessaire de mettre en place une méthode de notation des cellules selon leur degré d'améliorations DFM. Ainsi, le concepteur dispose d'une information explicite et facilement exportable pour exprimer la qualité de ses cellules en termes de DFM. La « *DUTY Metric* » est composée de deux valeurs :

- Un pourcentage exprimant le taux de couverture des règles du YAM effectuées sur la cellule
- Une note sur 20 exprimant les résultats obtenus après l'exécution des règles du YAM

Ces deux valeurs sont indissociables. En effet, le fait qu'une cellule soit notée 20/20 a une signification différente selon que le taux de couverture des règles du YAM soit de 10% ou de 100%. L'algorithme de calcul de la note s'appuie sur l'ordre de priorités entre les règles DFM, défini par le département technologie. La méthode de calcul est différente pour chaque technologie, car elle dépend des étapes critiques et de la variabilité technologique, dépendants de l'unité de fabrication considérée. Une illustration de l'interface graphique est présentée en Figure 98.



**Figure 98 : Illustration de la fenêtre de résultats du module « *DUTY Metric* »**

L'introduction de ce système de notation permet de mettre en place un système de suivi des règles DFM afin de savoir lesquelles sont respectées lors de la conception de cellules. De plus, la finalité de « *DUTY Metric* » est d'attacher une notation à sa cellule afin qu'elle la suive tout au long du processus de conception. Ainsi, il devient possible de donner une notation DFM au circuit complet en tenant compte :

- Des notes DFM des cellules qui le composent
- Du nombre d'instanciation de chaque cellule au sein du circuit

En effet, en termes de défektivité, la notion du nombre d'instanciation est primordiale. La défektivité d'une configuration donnée se calcule de manière statistique. Ainsi, entre deux cellules présentant un taux de défektivité identique, celle qui est le plus grand nombre de fois représentée dans le circuit a une probabilité de défektivité beaucoup plus importante. C'est de cette manière que les notations issues du « *DUTY Metric* » sont utilisées. La « *DUTY Metric* » d'un circuit est calculée en fonction des cellules qui le composent et en fonction de leur nombre respectif d'instanciation. Le but de ce fonctionnement est de

corrélés à l'avenir ces notations avec des résultats de rendements fournis par le service en charge de l'unité de fabrication. Ainsi, il devient possible de réajuster si nécessaire l'algorithme de calcul de « *DUTY Metric* » afin que ses notations reflètent la réalité du rendement sur silicium. Une fois cet étalonnage réalisé, il est possible de définir des catégories de produit, en fonction de leur notation DFM. Ainsi, afin d'adresser certains marchés très exigeants en termes de qualité, tels que le secteur automobile ou encore le secteur militaire, la « *DUTY Metric* » peut permettre d'imposer une note DFM minimale pour les cellules qui composent les circuits ciblés. Cette méthode de contrôle permet de mettre en lumière les cellules à l'origine d'une éventuelle perte de rendement et d'agir directement sur le problème identifié au niveau de la conception cellule. L'évolution de la pondération des règles dans le calcul repose sur l'optimisation de l'interaction « Conception Cellule - Fabrication (mesure de rendement) » préconisée par la méthode de conception DFM<sup>2</sup>.

## IV.4 Conclusion

La méthode de conception DFM<sup>2</sup> est définie dans le chapitre I et des études orientées DFM sont menées sur le FEOL et la métallisation respectivement dans les chapitres II et III. Afin d'introduire ces concepts et résultats au sein du processus de conception industriel, un outil d'aide à la conception orienté DFM est développé et mis à disposition des concepteurs. Il s'agit du DUTY, pour « *DFM Utilities for Yield* ». Le DUTY est le moyen d'appliquer la méthode de conception DFM<sup>2</sup> au sein du processus de conception industriel, dans le sens où la manière dont il est défini repose entièrement sur les préceptes fondateurs du DFM<sup>2</sup>. En effet, c'est un outil qui s'adresse à l'étape de conception de cellules, définie comme le centre névralgique de la méthode DFM<sup>2</sup>. Loin de vouloir concurrencer les outils commerciaux orientés DFM, le DUTY n'est pas un correcteur automatique dans le sens où son but est d'aider les concepteurs à appréhender la mise en application du DFM. Ainsi, un premier module composant le DUTY, nommé YAM (pour « *Yield Analysis Module* »), propose au concepteur différentes règles DFM. Certaines sont des classiques dans l'approche DFM, tandis que d'autres découlent directement des études menées dans le chapitre II afin de faciliter le travail du CMP. Le second module appelé YEM (pour « *Yield Enhancement Module* ») encapsule un algorithme d'insertion de dispositifs de remplissage basé sur les modèles présentés dans le chapitre III. Leur efficacité confirme que le fait d'autoriser les concepteurs à réaliser leur propre insertion de dispositifs de remplissage est un bon choix. En effet, cela permet de prendre en compte l'impact capacitif des dispositifs de remplissage dès la simulation des cellules. Dans un processus de conception où l'insertion se fait en aval des simulations, les concepteurs ne peuvent pas anticiper cette influence et cela risque de générer des défauts de type paramétrique. Grâce au DUTY, la conception de cellule tient compte des contraintes DFM et cela permet d'améliorer la qualité de la conception des cellules, et par conséquent des produits. Cette qualité est mesurée par un système de notation qui constitue le troisième et dernier module du DUTY : « *DUTY Metric* ». A chaque cellule est

rattachée une notation DFM qui permet d'une part de calculer celle d'un circuit complet, et d'autre part de pointer les cellules qui ne respectent pas les recommandations DFM. Le but est de corréler cette notation DFM avec les rendements des circuits afin d'ajuster les facteurs de pondération du calcul, ceci afin de catégoriser les cellules et produit selon leur qualité DFM.

Le DUTY doit continuer à se développer afin d'adresser de nouvelles fonctionnalités. Il est nécessaire de le faire évoluer au sein du processus de conception afin de pouvoir l'étendre à l'élaboration des produits. Il peut ainsi servir à interfacer l'approche locale (conception cellule) et l'approche globale (élaboration du produit). Les interactions avec l'unité de fabrication doivent être approfondies afin notamment de donner de la crédibilité au « *DUTY Metric* ». Ce n'est qu'après des corrélations de rendement sur silicium avec les fonctionnalités du DUTY que celui-ci installera de manière stable la méthode DFM<sup>2</sup> au sein du processus de conception industriel. De plus, l'une des perspectives d'évolution du DUTY est d'adresser les modifications DFM impactant directement les paramètres électriques des composants. C'est une bonne manière d'introduire le concept d'eDFM (pour « *electrical DFM* ») au sein de la méthode de simulation des cellules.

## Conclusion générale

L'amélioration du rendement des technologies avancées et très avancées nécessite la mise en place de techniques permettant d'appréhender la variabilité observée au niveau de la fabrication. C'est pourquoi une nouvelle méthode de conception baptisée DFM<sup>2</sup> est définie dans le chapitre I [Remy'09-1]. Après avoir présenté un état de l'art sur les différentes approches DFM proposées dans la littérature, il apparaît que le fait de considérer le DFM comme l'ajout de règles recommandées est assez réducteur. En effet, il est essentiel de comprendre les contraintes de la fabrication et de la conception afin de développer des solutions optimisées adressant exactement les problèmes rencontrés. Ainsi, les règles DFM ne sont qu'une partie de l'approche DFM. Les concepts DFM pris dans leur globalité recommandent la définition d'une nouvelle méthode de conception. Le DFM<sup>2</sup>, s'il intègre par la suite de nouvelles règles de conception, se focalise plus sur la définition des relations entre les parties du flot de conception industriel. Interconnectant les différents acteurs du processus de conception autour de l'étape de conception de cellules, le DFM<sup>2</sup> permet d'optimiser les solutions DFM en tirant partie de l'expérience des mondes de la conception et de la fabrication. Cette étude montre que de nombreux problèmes rencontrés au niveau de la fabrication trouvent leur solution du côté de la conception, et qu'une simple intensification optimisée des interactions entre les deux parties permet de faire émerger des solutions innovantes et non contraignantes. La conception cellule apparaît être le meilleur point d'intersection des échanges, simplement parce que les cellules sont la base commune de tous les circuits. Le fait de centraliser les informations à ce niveau permet d'être moins impacté par les modifications ultérieures à la conception, telles que l'OPC en l'insertion de dispositifs de remplissage. Après avoir défini la méthode DFM<sup>2</sup>, la suite de l'étude présente des résultats DFM obtenus pour les niveaux FEOL et métallique.

Ainsi, le chapitre II présente une étude DFM sur le FEOL. Après avoir recensé les différentes limitations connues à ce stade, les travaux sont concentrés sur l'impact du CMP sur la planéité des niveaux actifs. Des topologies géométriques critiques peuvent mener à des problèmes de fabrication, tels que le *pitting* ou encore les ROA. Il apparaît que, selon l'approche DFM<sup>2</sup>, la mise en commun des attentes et contraintes des mondes de la fabrication et de la conception permet de faire émerger des solutions innovantes. Ces dernières prennent deux formes différentes. La première concerne la définition de nouvelles règles de conception dont le but est d'améliorer l'efficacité du CMP en uniformisant les densités, autant au niveau cellule qu'au niveau circuit. Ces règles permettent l'introduction de concepts novateurs, comme par exemple l'élaboration d'une répartition des densités limitant les forts gradients au

sein même d'une cellule. Un second type de solution permettant de faciliter le travail du CMP est ensuite présenté, notamment la définition d'une structure de remplissage novatrice appelée « DFM Filler Cell ». L'originalité de cette structure est qu'elle regroupe en une seule cellule des solutions à différents problèmes DFM, tels que l'amélioration de la planéité, la diminution du stress mécanique généré par le STI sur les porteurs et la réduction des dépendances des cellules standard vis-à-vis des variations lithographiques que sont l'exposition et l'intensité lumineuse. Ces solutions sont validées par des résultats publiés [Remy'09-3][Remy'09-4][Remy'09-5] et par des véhicules de test réalisés sur silicium. Les mesures silicium sont en attente, excepté ceux concernant la planéité dont les résultats positifs sont sans appel (50,2% en moyenne de réduction des variations de planéité sur un circuit). Cela confirme l'efficacité de l'utilisation de la DFM Filler Cell, dont le concept général est depuis devenu une référence chez les grands industriels dans leur approche DFM.

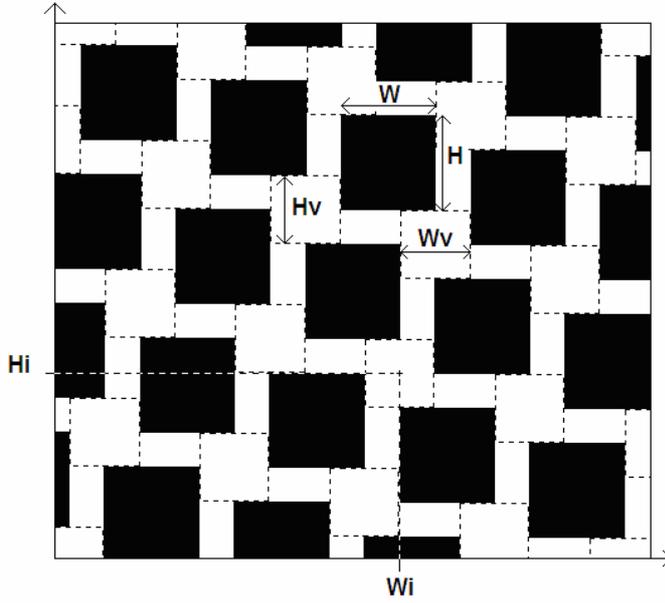
Le chapitre III quant à lui présente les résultats d'une étude sur l'influence de la géométrie des dispositifs de remplissage sur le délai de propagation des circuits. Après avoir défini deux types de structures de test (une structure cellule standard et une structure interconnexion), la méthode mathématique des plans d'expérience (DOE) est utilisée afin de générer des modèles prédisant le comportement de ce phénomène. Les modèles sont validés et permettent de réaliser une étude statistique démontrant l'impact du motif de remplissage sur les délais de propagation des structures de test. Les variations des délais de propagation par rapport au délai de référence dépendent du niveau métallique considéré. Elles sont comprises entre 2% et 8% pour la structure cellule standard, et entre 6% et 18% pour la structure interconnexion. Les modèles permettent de déterminer les configurations optimales de motifs de dispositifs de remplissage. Sachant que dans le flot de conception commun, les dispositifs de remplissage sont insérés en aval de la conception cellule, incluant les simulations, il apparaît essentiel que les concepteurs puissent anticiper cet impact. C'est pourquoi le concept de « *Metal Filling Corner* » [Remy'08][Remy'08-1][Remy'09-2] est introduit afin de permettre aux concepteurs de prendre en compte l'influence de la géométrie du motif des dispositifs de remplissage lors de la simulation des cellules. Il s'agit de proposer aux concepteurs de simuler les cellules dans des cas déterminés à l'avance, plus ou moins contraignants, afin d'assurer que la fonctionnalité des cellules sera la même au niveau global qu'au niveau local.

Le chapitre IV présente la mise en pratique de tous ces résultats au sein du processus de conception industriel, à travers la définition d'un outil d'aide à la conception de cellules orienté DFM, baptisé DUTY (pour « DFM UTilities for Yield »). Le DUTY se veut être le moyen d'introduire la méthode de conception DFM<sup>2</sup> dans le processus de production standard. Les modules qui le composent permettent d'accompagner les concepteurs face à la nécessité du DFM et d'intensifier les interactions entre les différents acteurs du flot de production industriel. Ainsi, le premier module du DUTY, le YAM,

permet d'effectuer une analyse DFM. Les règles appliquées reposent sur les résultats présentés dans le chapitre II, et sur l'état de l'art effectué dans le chapitre I. On retrouve notamment l'insertion de via redondants, ou encore l'élaboration d'une cartographie de densité et gradient de densité qui permet aux concepteurs d'améliorer la topologie des cellules. Le but est également de communiquer ces informations au niveau Placement/Routage afin de prendre en compte la topologie des cellules comme contrainte du *floorplanning*. Ainsi, la conception au niveau circuit prend en compte les informations relatives à l'étape de conception des cellules. Le deuxième module, le YEM, permet aux concepteurs de réaliser au niveau cellule leur propre insertion de dispositifs de remplissage, dont l'algorithme est basé sur les modèles présentés dans le chapitre III. Le dernier module, DUTY Metric, introduit la notion de métrique DFM dans la conception cellule. Il met en place un système de notation des cellules selon leur respect des règles DFM.

Les perspectives d'évolution de ce travail sont les suivantes. Afin de finaliser cette étude, il reste à mesurer les structures de test réalisées sur silicium et utiliser ces résultats pour adapter les règles de conception et les modèles de simulation. De plus, les informations de rendement permettront d'ajuster les facteurs de pondération de la formule du DUTY Metric. D'une manière plus générale, l'implémentation complète du DFM<sup>2</sup> au sein du processus de conception n'est pas achevée. Les deux lignes directrices du développement sont le facteur social du DFM et la mise en place d'outils permettant de cadrer les différentes interactions préconisées par le DFM<sup>2</sup>. La mise en place du DUTY est un bon début, mais il est nécessaire d'aller plus loin pour profiter des bénéfices de l'interaction entre les deux dimensions technologie et conception. La prise en compte du DFM dès les prémices de la conception et du développement technologique est également à améliorer. Cela doit passer par un changement profond des mentalités, difficile à réaliser, mais qui sera un réel accélérateur de l'amélioration du rendement des technologies avancées.

## Annexe I



Au chapitre III, on passe du sextet des variables d'entrée du modèle à une unique valeur de densité du motif. Cette correspondance est réalisée de la manière suivante : on considère un motif de dispositifs de remplissage défini par les variables présentés dans la figure ci-dessus. Pour un motif de dispositifs de remplissage inséré dans une zone de longueur  $L$  et de largeur  $l$ , soit  $p$  la dimension minimale d'un dispositif de remplissage. Alors, pour tout  $k$  et  $j$  entiers relatifs, la densité métallique des dispositifs de remplissage est exprimée par l'équation suivante, en fonction de  $l$ ,  $L$ ,  $p$ ,  $H$ ,  $W$ ,  $H_i$ ,  $W_i$ ,  $W_v$  et  $H_v$  :

$$\text{Densite} = \frac{1}{L \times l} \sum_{k \leq \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(l - W_i - W - \frac{W_v}{2}) + L - H_i}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} \sum_{j < \text{Min} \left\{ \frac{H_i - H + \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\}} (H \times W)$$

$$\sum_{k \geq \frac{H - H_i - (W_i + \frac{W_v}{2})(H + \frac{H_v}{2})(\frac{2}{W_v})}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} \sum_{j \geq \text{Max} \left\{ \frac{\frac{H_v}{2}k - L + H_i}{H + \frac{H_v}{2}}; \frac{2}{W_v}(-W_i - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\}} (W \times ((j+1)H + (\frac{j-k}{2})H_v + L - H_i))$$

$$\sum_{k > \frac{H_i - (W_i + \frac{W_v}{2})(H + \frac{H_v}{2})(\frac{2}{W_v})}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} \sum_{j < \text{Min} \left\{ \frac{H_i - L + \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\}} (W \times ((j+1)H + (\frac{j-k}{2})H_v + L - H_i))$$

$$\sum_{k > \frac{H_i - (W_i + \frac{W_v}{2})(H + \frac{H_v}{2})(\frac{2}{W_v})}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} \sum_{j \geq \text{Max} \left\{ \frac{\frac{H_v}{2}k - L + H_i - H + p}{H + \frac{H_v}{2}}; \frac{2}{W_v}(-W_i - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\}} (W \times ((j+1)H + (\frac{j-k}{2})H_v + L - H_i))$$

$$\begin{aligned}
& k < \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(l - W_i - W - \frac{W_v}{2}) - H_i + p}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})} & j \leq \text{Min} \left\{ \frac{H_i - p + \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& + \sum_{k \geq \frac{p - H_i - (W_i + \frac{W_v}{2})(H + \frac{H_v}{2})(\frac{2}{W_v})}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} & j > \text{Max} \left\{ \frac{\frac{H_v}{2}k + H_i - H}{H + \frac{H_v}{2}}; \frac{2}{W_v}(-W_i - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& & & (W \times (H_i - jH - (\frac{j-k}{2})H_v)) \\
\\
& k < \frac{L - H_i - (W_i + \frac{W_v}{2})(H + \frac{H_v}{2})(\frac{2}{W_v})}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})} & j < \text{Min} \left\{ \frac{H_i - H + \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(-W_i - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& + \sum_{k \geq \frac{H - H_i + (p - W_i - W - \frac{W_v}{2})(H + \frac{H_v}{2})(\frac{2}{W_v})}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} & j \geq \text{Max} \left\{ \frac{\frac{H_v}{2}k - L + H_i}{H + \frac{H_v}{2}}; \frac{2}{W_v}(p - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& & & (H \times ((k+1)W + (\frac{j+k+1}{2})W_v + W_i)) \\
\\
& k \leq \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(l - W_i - p - \frac{W_v}{2}) - H_i + L}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})} & j \leq \text{Min} \left\{ \frac{H_i - H + \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - W_i - p - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& + \sum_{k > \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(l - W_i - W - \frac{W_v}{2}) - H_i + H}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} & j > \text{Max} \left\{ \frac{\frac{H_v}{2}k + H_i - L}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& & & (H \times (l - (kW + (\frac{j+k+1}{2})W_v + W_i))) \\
\\
& k < \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(l - W_i - p - \frac{W_v}{2}) - H_i + H}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})} & j < \text{Min} \left\{ \frac{H_i - p + \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - W_i - p - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& + \sum_{k > \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(l - W_i - W - \frac{W_v}{2}) - H_i + p}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} & j > \text{Max} \left\{ \frac{\frac{H_v}{2}k + H_i - H}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& & & (l - (kW + (\frac{j+k+1}{2})W_v + W_i)) \times (H_i - jH - (\frac{j-k}{2})H_v) \\
\\
& k < \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(-W_i - \frac{W_v}{2}) - H_i + H}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})} & j < \text{Min} \left\{ \frac{H_i - p + \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(-W_i - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& + \sum_{k > \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(p - W_i - W - \frac{W_v}{2}) - H_i + p}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} & j > \text{Max} \left\{ \frac{\frac{H_v}{2}k + H_i - H}{H + \frac{H_v}{2}}; \frac{2}{W_v}(p - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& & & ((k+1)W + (\frac{j+k+1}{2})W_v + W_i) \times (H_i - jH - (\frac{j-k}{2})H_v) \\
\\
& k < \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(-W_i - \frac{W_v}{2}) - H_i + L}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})} & j \leq \text{Min} \left\{ \frac{H_i - L - H + p - \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(-W_i - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& + \sum_{k > \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(p - W_i - W - \frac{W_v}{2}) - H_i + L + H - p}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} & j > \text{Max} \left\{ \frac{\frac{H_v}{2}k + H_i - L}{H + \frac{H_v}{2}}; \frac{2}{W_v}(p - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& & & ((k+1)W + (\frac{j+k+1}{2})W_v + W_i) \times (L - H_i + (j+1)H + (\frac{j-k}{2})H_v) \\
\\
& k < \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(l - p - W_i - \frac{W_v}{2}) + l - H_i + H - p}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})} & j \leq \text{Min} \left\{ \frac{H_i - L + \frac{H_v}{2}k}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - p - W_i - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& + \sum_{k > \frac{(H + \frac{H_v}{2})(\frac{2}{W_v})(l - W_i - W - \frac{W_v}{2}) - H_i + L}{\frac{H_v}{2} + \frac{2}{W_v}(H + \frac{H_v}{2})(W + \frac{W_v}{2})}} & j > \text{Max} \left\{ \frac{\frac{H_v}{2}k + H_i - H - L + p}{H + \frac{H_v}{2}}; \frac{2}{W_v}(l - W_i - W - \frac{W_v}{2} - k(W + \frac{W_v}{2})) \right\} \\
& & & (l - (kW + (\frac{j+k+1}{2})W_v + W_i)) \times (L - H_i + (j+1)H + (\frac{j-k}{2})H_v)
\end{aligned}$$

## Références de l'auteur

### Conférences internationales IEEE

- [Remy'08] L. Remy, J. M. Portal, P. Coll, F. Picot, P. Mico, Test Structure generation to Quantify Filling Impact, Proceedings of the 3<sup>rd</sup> International Conference on Design and technology of Integrated Systems in Nanoscale Area (DTIS'08, Tozeur, Tunisie), pp. 1-5, March, 2008, Digital Object Identifier : 10.1109/DTIS.2008.4540252
- [Remy'08-1] L. Remy, P. Coll, F. Picot, P. Mico, J. M. Portal, Metal Filling Impact on Standard Cells : Definition of the Metal Fill Corner Concept, Proceedings of the 21<sup>st</sup> Annual Symposium on Integrated Circuits and Systems Design (SBCCI'08, Gramado, Brésil), pp. 16-21, September, 2008, Digital Object Identifier : 10.1145/1404371.1404387
- [Remy'09-5] L. Remy, P. Coll, F. Picot, P. Mico, J. M. Portal, Definition of an Innovative Filling Structure for Digital Blocks : the DFM Filler Cell, 16<sup>th</sup> IEEE International Conference on Electronics, Circuits and Systems (ICECS'09, Hammamet, Tunisie), December, 2009

### Conférences internationales

- [Remy'09-1] L. Remy, F. Picot, A. De Poorter, J. M. Portal, DUTY : A New Approach of DFM / DFY Design Methodology, Proceedings of EMEA CDN Live (CDNLIVE'09, Munich, Allemagne), May, 2009
- [Remy'09-3] L. Remy, H. Lachkar, J. M. Jonquieres, P. Coll, O. Rizzo, C. Nauts, J. M. Portal, O. Ginez, P. Mico, F. Picot, A. Ginetti, Time Yield Modeling : DFM Method and Tools Development, Proceedings of the SAME'09 Conference (SAME'09, Sophia-Antipolis, France), September, 2009
- [Remy'09-4] L. Remy, P. Coll, F. Picot, P. Mico, J. M. Portal, Definition of a DFM Filler Cell, Proceedings of the 12<sup>th</sup> Technical and Scientific Meeting of ARCSIS (ARCSIS'09, Rousset, France), September, 2009

### Revue internationale

- [Remy'09-2] L. Remy, P. Coll, F. Picot, P. Mico, J. M. Portal, Study of the Metal Filling Impact on Standard Cells and their Associated Interconnects Using Ring Oscillators: Definition of the Metal Fill Corner Concept, Journal of Integrated Circuit and Systems (JICS), Vol. 4, Issue 1, pp. 13-19, March, 2009, ISSN : 1807-1953

## Références

- [Agarwal'07] K. Agarwal, S. Nassif, Characterizing process variation in nanometer CMOS, Design Automation Conference 44th, pp. 396-399, 2007.
- [Aitken'06] R. Aitken, DFM Metrics for Standard Cells, International Symposium on Quality Electronic design, pp. 490-496, 2006.
- [Alexis'99] J. Alexis, P. Alexis, Pratique Industrielle des Plans d'Expérience, AFNOR, 1999
- [Allan'04] G. A. Allan, Targeted Layout Modifications for Semiconductors Yield / Reliability Enhancement, IEEE Transactions on Semiconductor Manufacturing, Vol. 17, Issue 4, pp. 573-581, November, 2004
- [Balasinski'05] A. Balasinski, DfM for SoC (Design for Manufacturability for System on a Chip), International Workshop on System-on-Chip for Real-Time Applications, pp. 41-46, 2005
- [Balasinski'06] A. Balasinski, Question: DRC or DfM ? Answer : FMEA and ROI, International Symposium on Quality Electronic Design, pp. 794-800, 2006
- [Bernard'00] D. Bernard, Caractérisation et Modélisation des Capacités Parasites dues aux Interconnexions en Technologie CMOS Fortement Submicronique, Rapport de Thèse de Doctorat, 16 Novembre 2000
- [BSIM'05] BSIM4.5.0 Complete Manual, University of California, Berkeley, July, 2005
- [Buurma'08] J. Buurma, Towards an infrastructure for profitable DFM, EDA Tech forum, pp. 36-38, March 2008
- [Chang'05] R. Chang, C. J. Spanos, Dishing-Radius Model of Copper CMP Dishing Effects, IEEE Transactions on Semiconductor Manufacturing, Vol. 18, Issue 2, pp. 297-303, May, 2005
- [Chen'06] H. Y. Chen, M. F. Chiang, Y. W. Chang, L. Chen, B. Han, Novel Full-Chip Gridless Routing Considering Double-Via Insertion, Design Automation Conference, pp. 755-760, July, 2006
- [Corley'09] A. M. Corley, New Chips Loaded With Dummy Parts, IEEE Spectrum, September, 2009, <http://spectrum.ieee.org/semiconductors/design/new-chips-loaded-with-dummy-parts/0>
- [Craig'02] M. Craig, A. Jee, P. Maniar, An Integrated Approach to Yield Loss Characterization, International Test Conference, pp.350-356, 2002.

- [Dagnelie'03] P. Dagnelie, Principes d'Expérimentation : Planification des Expériences et Analyse de leurs Résultats, Presses Agronomiques, Gembloux, pp. 397, 2003
- [Deal'67] B. E. Deal, M. Sklar, A. S. Grove, E. H. Snow, Characteristics of surface-state charge (Q<sub>ss</sub>) of thermally oxidized silicon, J. Electrochem. Soc., vol. 114, N°3, pp. 266-274, March 1967
- [Dobre'06] S. Dobre, K. Cao, M. Severson, C. Matar, O. Sheikh, Leakage Reduction in SOCs Using Gate-Length Biasing, SolidState Technology, September, 2006
- [Duan'06] X. Duan, K. Mayaram, Frequency-Domain Simulation of Ring Oscillators With a Multiple-Probe Method, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 25, Issue 12, pp. 2833-2842, December, 2006
- [Fisher'90] R. A. Fisher, J. H. Bennett, Statistical Methods, Experimental Design and Scientific Inference, Paperback ed., Oxford University Press, pp.872, June 1990
- [Forli'03] L. Forli, J. M. Portal, D. Née, B. Borot, Infrastructure IP for Back-End Yield Improvement, International Test Conference, pp.1129-1134, 2003
- [Forli'05] L. Forli, Test et Diagnostic de Défauts dans les Interconnexions Métalliques des Circuits Numériques par Infrastructures « IP », Rapport de Thèse de Doctorat, 07 Octobre 2005
- [Guohai'01] Z. Guohai, Q. He, X. Yang, W. Dexin, Minimize Dishing Effects During Chemical Mechanical Planarization of Copper Damascene Structures, Proceedings of the 6<sup>th</sup> Conference on Solid-state and Integrated Circuits Technology, Vol. 1, Issue 1, pp. 423-426, 2001
- [Gupta'05] P. Gupta, A. B. Kahng, S. Muddu, S. Nakagawa, C. H. Park, Modelling OPC Complexity for Design for Manufacturing, Proceedings of SPIE, International Society for Optical Engineering , Vol. 5992, pp. 612-622, 2005
- [Gupta'05-1] P. Gupta, A. B. Kahng, O. S. Nakagawa, K. Samadi, Closing the Loop in Interconnect Analyses and Optimization : CMP Fill, Lithography and Timing, 22<sup>nd</sup> International VLSI Multilevel Conference, pp. 352-363
- [Gupta'06] P. Gupta, A. B. Kahng, Y. Kim, S. Shah, D. Sylvester, Modeling of Non-Uniform Device Geometries for Post-Lithography Circuit Analysis, Proceedings of SPIE Conference on Design and Process Integration for Microelectronic Manufacturing, Vol. 6156, 2006
- [Hong'06] X. Hong, Y. Cai, H. Yao, D. Li, DFM-aware Routing for Yield Enhancement, IEEE Asia Pacific Conference on Circuits and Systems, pp. 1091-1094, 2006
- [Islam'07] A. E. Islam, H. Kufkuoglu, D. Varghese, S. Mahapatra, M. A. Alam, Recent Issues in Negative-Bias Temperature instability: Initial Degradation, Field Dependence of Interface Trap Generation, Hole Trapping Effects, and Relaxation, IEEE Transactions on Electron Devices, Vol.54, N°9, pp. 2143-2154, September 2007
- [ITRS'07] The International Technology Roadmap for Semiconductors, 2007

- 
- [Kahng'06] A. B. Kahng, P. Sharma, A. Zelikovsky, Fill for Shallow Trench Isolation CMP, IEEE/ACM International Conference on Computer-Aided Design, pp. 661-668, 2006
- [Kahng'06-1] A. B. Kahng, B. Liu, X. Xu, Statistical Gate Delay Calculation with Crosstalk Alignment Consideration, Proceedings of the 16<sup>th</sup> ACM Great Lakes Symposium on VLSI, pp. 223-228, 2006
- [Kahng'06-2] A. B. Kahng, K. Samadi, P. Sharma, Study of Floating Fill Impact on Interconnect Capacitance, Proceedings of the 7<sup>th</sup> International Symposium on Quality Electronic Design, pp. 691-696, 2006
- [Kahng'06-3] A. B. Kahng, C. H. Park, Auxiliary Pattern for Cell-Based OPC, Photomask Technology, Proceedings of the SPIE, Vol. 6349, 2006
- [Kahng'07] A. B. Kahng, P. Sharma, R. O. Topaloglu, Exploiting STI Stress for Performance, IEEE/ACM International Conference on Computer-Aided Design, pp. 83-90, 2007
- [Kahng'07-1] A. B. Kahng, R. O. Topaloglu, A DOE Set for Normalization-Based Extraction of Fill Impact on Capacitances, Proceedings of the 8<sup>th</sup> International Symposium on Quality Electronic Design, pp. 467-474, 2007
- [Kahng'08] A. B. Kahng, P. Sharma, R. O. Topaloglu, Chip Optimization Through STI-Stress Aware Placement Perturbations and Fill Insertion, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.27, N<sup>o</sup>7, pp. 1241-1252, July, 2008
- [Kanamoto'07] T. Kanamoto, Y. Ogasahara, K. Natsume, K. Yamaguchi, H. Amishiro, T. Watanabe, M. Hashimoto, Impact of Well Edge Proximity Effect on Timing, 37<sup>th</sup> European Solid State Device Research Conference, pp. 115-118, 2007
- [Kang'08] K. Kang, S. Gangwal, S. P. Park, K. Roy, NBTI Induced Performance Degradation in Logic and Memory Circuits: How Effectively Can We Approach a Reliability Solution?, Design Automation Conference, pp. 726-731, 2008
- [Kurokawa'04] A. Kurokawa, T. Kanamoto, A. Kasebe, Y. Inoue, H. Masuda, Efficient Capacitance Extraction Method for Interconnects with Dummy Fills, IEEE Custom Integrated Circuits Conference, pp. 485-488, 2004
- [Kurokawa'05] A. Kurokawa, T. Kanamoto, T. Ibe, A. Kasebe, C. W. Fong, T. Kage, Y. Inoue, H. Masuda, Dummy Filling Methods for Reducing Interconnect Capacitance and Number of Fills, Proceedings of the 5<sup>th</sup> International Symposium on Quality Electronic Design, pp. 586-591, 2005
- [Le'00] H. Le, B. Langley, J. Cottle, T. E. Kopley, Improved Ring Oscillator Design Techniques to Generate Realistic AC Waveforms for Reliability Testing, IEEE International Integrated Reliability Workshop Final Report, pp. 155-157, 2000

- [Lee'01] K. H. Lee, J. K. Park, Y. N. Yoon, D. H. Jung, J. P. Shin, Y. K. Park, J. T. Kong, Analyzing the Effects of Floating Dummy-Fills : From Feature Scale Analysis to Full-Chip RC Extraction, International Electron Devices Meeting Technical Digest, Vol. 31, Issue 1, pp. 1-4, 2001
- [Lee'03] W. S. Lee, K. H. Lee, J. K. Park, T. K. Kim, Y. K. Park, J. T. Kong, Investigation of the Capacitance Deviation Due to Metal-Fills and the Effective Interconnect Geometry Modelling, Proceedings of the 4<sup>th</sup> International Symposium on Quality Electronic Design, pp. 373-376, 2003
- [LeMaitre'07] P. Le Maitre, P. Simon, R. Goncalves, L. Le Cam, R. Boone, X. Hours, F. Bernard-Granger, F. Parmentier, D. de Vries, R. Bingert, J. C. Marin, Implementation of a DFM Checker for 65nm and Beyond, EDA Tech Forum, pp. 1-9, June, 2007
- [Lin'07] T. Y. Lin, T. H. Lin, H. H. Tung, R. B. Lin, Double-Via-Driven Standard Cell Library Design, Design, Automation and Test in Europe Conference and Exhibition, pp. 1-6, April, 2007
- [Lu'07] N. Lu, M. Angyal, G. Matisiewicz, V. McGahay, T. Standaert, Characterization, Modeling and Extraction of Cu Wire Resistance for 65nm Technology, IEEE Custom Integrated Circuits Conference, pp. 57-60, 2007
- [Massey'04] J. G. Massey, NBTI : What We Know and What We Need to Know. A Tutorial Addressing the Current Understanding and Challenges for the Future, IRW Final Report, pp. 199-211, 2004
- [McCullen'07] K. McCullen, Redundant Via Insertion in Restricted Topology Layouts, 8<sup>th</sup> International Symposium on Quality Electronic Design, pp. 821-828, March, 2007
- [Moore'65] G.E. Moore, Cramming more components onto integrated circuits, *Electronics*, vol. 38, n°8, 1965.
- [Moroz'06] V. Moroz, L. Smith, X. W. Lin, D. Pramanik, G. Rollins, Stress-Aware Design Methodology, International Symposium on Quality Electronic Design, pp. 806-812, 2006
- [Nagaraj'04] N. S. Nagaraj, T. Bonifield, A. Singh, R. Griesmer, P. Balsara, Interconnect Modeling for Copper/Low-k Technologies, International Conference on VLSI Design, pp. 425-428, 2004
- [Nandra'07] N. S. Nandra, R. Wittman, M. Vanzi, H. J. Wassener, C. Müncher, Life Begins at 65 – Unless You Are Mixed Signal ?, Synopsys White Paper, September, 2007
- [Nourani'06] M. Nourani, A. Radhakrishnan, Testing On-Die Process Variation in Nanometer VLSI, IEEE Design & Tests of Computers, pp. 438-451, November/December 2006

- [Obeng'05] Y. S. Obeng, J. E. Ramsdell, S. Deshpande, S. C. Kuiry, K. Chamma, K. A. Richardson, S. Seal, Impact of CMP Consumables on Copper Metallization Reliability, IEEE Transactions on Semiconductor Manufacturing, Vol. 18, Issue 4, pp. 688-694, November, 2005
- [Peters'04] L. Peters, Demystifying Design-For-Yield, Reed Business Information, January 2004
- [Raghavendra'08] K. Raghavendra, M. Mutyam, Process Variation Aware Issue Queue Design, Design Automation and Test in Europe, pp.1438 – 1443, 2008
- [Remy'08] L. Remy, J. M. Portal, P. Coll, F. Picot, P. Mico, Test Structure generation to Quantify Filling Impact, Proceedings of the 3<sup>rd</sup> International Conference on Design and technology of Integrated Systems in Nanoscale Area (DTIS'08, Tozeur, Tunisie), pp. 1-5, March, 2008, Digital Object Identifier : 10.1109/DTIS.2008.4540252
- [Remy'08-1] L. Remy, P. Coll, F. Picot, P. Mico, J. M. Portal, Metal Filling Impact on Standard Cells : Definition of the Metal Fill Corner Concept, Proceedings of the 21<sup>st</sup> Annual Symposium on Integrated Circuits and Systems Design (SBCCI'08, Gramado, Brésil), pp. 16-21, September, 2008, Digital Object Identifier : 10.1145/1404371.1404387
- [Remy'09-1] L. Remy, F. Picot, A. De Poorter, J. M. Portal, DUTY : A New Approach of DFM / DFY Design Methodology, Proceedings of EMEA CDN Live (CDNLIVE'09, Munich, Allemagne), May, 2009
- [Remy'09-2] L. Remy, P. Coll, F. Picot, P. Mico, J. M. Portal, Study of the Metal Filling Impact on Standard Cells and their Associated Interconnects Using Ring Oscillators: Definition of the Metal Fill Corner Concept, Journal of Integrated Circuit and Systems, Vol. 4, Issue 1, pp. 13-19, March, 2009, ISSN : 1807-1953
- [Remy'09-3] L. Remy, H. Lachkar, J. M. Jonquieres, P. Coll, O. Rizzo, C. Nauts, J. M. Portal, O. Ginez, P. Mico, F. Picot, A. Ginetti, Time Yield Modeling : DFM Method and Tools Development, Proceedings of the SAME'09 Conference (SAME'09, Sophia-Antipolis, France), September, 2009
- [Remy'09-4] L. Remy, P. Coll, F. Picot, P. Mico, J. M. Portal, Definition of a DFM Filler Cell, Proceedings of the 12<sup>th</sup> Technical and Scientific Meeting of ARCSIS (ARCSIS'09, Rousset, France), September, 2009
- [Remy'09-5] L. Remy, P. Coll, F. Picot, P. Mico, J. M. Portal, Definition of an Innovative Filling Structure for Digital Blocks : the DFM Filler Cell, 16<sup>th</sup> IEEE International Conference on Electronics, Circuits and Systems (ICECS'09, Hammamet, Tunisie), December, 2009
- [Rizzo'07] O. Rizzo, H. Melzner, Concurrent Wire Spreading, Widening, and Filling, 44<sup>th</sup> ACM/IEEE Design Automation Conference, pp. 350-353, 2007
- [Serdar'06] T. Serdar, O. Omedes, B. Carpentier, Timing Preservation in Wire Spreading Utilized for Yield Improvement, International Conference on Integrated Circuit Design and Technology, pp. 1-4, 2006

- [Stine'98] B. E. Stine, D. S. Boning, J. E. Chung, L. Camilletti, F. Kruppa, E. R. Equi, W. Loh, S. Prasad, M. Muthukrishnan, D. Towery, M. Berman, A. Kapoor, The Physical and Electrical Effects of Metal-Fill Patterning Practices for Oxide Chemical-Mechanical Polishing Processes, IEEE Transactions on Electron Devices, Vol. 45, Issue 3, pp. 665-679, March, 1998
- [Topaloglu'07] R. O. Topaloglu, Standard Cell and Custom Circuit Optimization Using Dummy Diffusions Through STI Width Stress Effect Utilization, Custom Integrated Circuits Conference, pp. 619-622, 2007
- [Tsuchiya'06] A. Tsuchiya, H. Onodera, Effect of Dummy Fills on High-Frequency Characteristics of On-Chip Interconnects, IEEE Workshop on Signal Propagation on Interconnects, pp. 275-278, 2006
- [Vattikonda'06] R. Vattikonda, W. Wang, Y. Cao, Modeling and Minimization of PMOS NBTI Effect for Robust Nanometer Design, Design Automation Conference, pp. 1047-1052, 2006
- [Watts'06] J. Watts, K. Su, M. Basel, Netlisting and Modeling Well-Proximity Effects, IEEE Transactions on Electron Devices, Vol. 53, Issue 9, pp. 2179-2186, September, 2006
- [Wildman'03] R. A. Wildman, J. I. Kramer, D. S. Weile, P. Christie, Multi-Objective Optimization of Interconnect Geometry, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 11, Issue 1, pp. 15-23, February, 2003
- [Wright'06] P. Wright, M. Fan, A DFM Methodology to Evaluate the Impact of Lithography Conditions on the Speed of Critical Paths in a VLSI Circuit, International Symposium on Quality Electronic Design, pp. 813-817, 2006
- [Yan'06] J. T. Yan, B. Y. Chiang, Z. W. Chen, Yield-Driven Redundant Via Insertion Based on Probabilistic Via-Connection Analysis, 13<sup>th</sup> IEEE International Conference on Electronic Circuits and Systems, pp. 874-877, December, 2006
- [Yao'06] H. Yao, Y. Cai, Q. Zhou, X. Hong, Multilevel Routing with Redundant Via Insertion, IEEE Transactions on Circuits and Systems, Vol. 53, Issue 10, pp. 1148-1152, October, 2006
- [Yu'06] W. Yu, M. Zhang, Z. Wang, Efficient 3-D Extraction of Interconnect Capacitance Considering Floating Metal Fills With Boundary Element Method, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 25, Issue 1, pp. 12-18, January, 2006
- [Zhang'01] Q. Zhang, J. J. Liou, J. McMacken, J. Thomson, P. Layman, Development of Robust Interconnect Model Based on Design of Experiments and Multiobjective Optimization, IEEE Transactions on Electron Devices, Vol. 48, Issue 9, pp. 1885-1891, September, 2001

## Table des figures

Figure 1 : Illustration de la Loi de Moore (Source : Intel).....	17
Figure 2 : Variabilité en fonction du noeud technologique [Buurma'08] .....	18
Figure 3 : Courbe de rendement pour différents nœuds technologiques (Source : Mentor Graphics) .....	19
Figure 4 : Augmentation des règles de dessin en fonction du nœud technologique [Buurma'08].....	20
Figure 5 : Via fonctionnel à gauche ; Via non rempli à droite.....	21
Figure 6 : Exemple de défaut catastrophique : Photographie d'un court-circuit (Source : phoenix-xray.com).....	24
Figure 7 : Exemple de défaut catastrophique : Photographie d'un circuit ouvert (Source : emeraldinsight.com).....	25
Figure 8 : Interconnexion métallique dans un contexte dense : la ligne n'est pas impactée par le WEE...	25
Figure 9 : Interconnexion métallique dans un contexte isolé : la ligne est impactée par le WEE.....	26
Figure 10 : Différents types de correction OPC (Source : Mentor Graphics).....	26
Figure 11 : Défaut systématique généré par des règles de correction de proximité trop agressives.....	27
Figure 12 : Exemple de défaut aléatoire : particule tombée sur un circuit (Source : Mentor Graphics) ...	28
Figure 13 : Organisation standard du processus de conception .....	32
Figure 14 : Exemple d'un dysfonctionnement inhérent à l'approche locale / globale standard .....	33
Figure 15 : Diagramme de la dimension "Conception" .....	35
Figure 16 : Diagramme de la dimension "Technologie" .....	35
Figure 17 : Diagramme de la méthode de conception DFM <sup>2</sup> .....	37
Figure 18 : Les dimensions impactant la dimension critique de la grille.....	42
Figure 19 : Fonctionnement du Chemical Mechanical Polishing (CMP) (Source : icyield.com) .....	42
Figure 20 : Enchaînement des étapes du CMP active .....	45
Figure 21 : Corrélation entre les topologies critiques de densité d'un produit et la cartographie de défautivité associée.....	46
Figure 22 : Enchaînement des étapes conduisant à la formation de ROA .....	47
Figure 23 : Photographies de ROA (Residue On Active) .....	47
Figure 24 : Enchaînement des étapes conduisant à la formation de défauts de type <i>pitting</i> .....	48

Figure 25 : Disparition du nitrure due à un polissage trop important du CMP.....	48
Figure 26 : Discoloration de l'active .....	49
Figure 27 : Photographie de défauts de type "pitting" .....	49
Figure 28 : Photographie de défauts de type <i>pitting</i> sur un transistor.....	50
Figure 29 : Représentation en 3D de dispositifs de remplissage impactés par le <i>pitting</i> .....	50
Figure 30 : Mesure de l'impact du <i>pitting</i> sur un dispositif de remplissage.....	51
Figure 31 : Large particule déposée suite au phénomène de <i>pitting</i> .....	51
Figure 32 : Analyse d'un résidu issu du phénomène de <i>pitting</i> .....	52
Figure 33 : Exemple de cartographie de défektivité.....	53
Figure 34 : Fonctionnement du phénomène de <i>Well Edge Proximity Effect</i> .....	54
Figure 35 : Paramètres de modélisation de l'effet STI .....	56
Figure 36 : Paramètres de modélisation de l'effet de la largeur de la zone STI.....	57
Figure 37 : Evolution du facteur d'ajustement de la mobilité pour un transistor PMOS en fonction de la largeur de la zone de diffusion, pour différentes largeurs de zones STI.....	58
Figure 38 : Structures de test de l'impact de l'effet STI .....	60
Figure 39 : Structure de test de l'impact de la largeur de la zone STI en configuration orthogonale .....	60
Figure 40 : Structure de test de l'impact de la largeur de la zone STI en configuration parallèle .....	61
Figure 41 : Structure de test de l'impact du <i>Well Edge Proximity Effect</i> .....	61
Figure 42 : Structure de test embarquée à 24 points d'accès.....	62
Figure 43 : Comparaison entre anciens et nouveaux dispositifs de remplissage .....	63
Figure 44 : Large capacité MOS avant et après modifications .....	64
Figure 45 : Amélioration de la cartographie de densité d'une cellule en vue de s'adapter aux différents contextes futurs .....	65
Figure 46 : Limitations induites par l'utilisation de dispositifs de remplissage dans un bloc logique peu dense.....	66
Figure 47 : La DFM Filler Cell .....	67
Figure 48 : Configurations de remplissage de polysilicium [Wright'06] .....	68
Figure 49 : Variation de la dimension critique de la grille des NMOS et PMOS en fonction de la variation de la distance focale pour les trois configurations de remplissage [Wright'06].....	69

Figure 50 : Variations relatives des délais de montée et descente en fonction de la luminosité d'exposition pour différentes distances focales dans le cas d'une cellule standard isolée [Wright'06] .....	69
Figure 51 : Variations relatives des délais de montée et descente en fonction de la luminosité d'exposition pour différentes distances focales dans le cas d'une cellule standard dans la configuration « bloc » [Wright'06].....	70
Figure 52 : Variations relatives des délais de montée et descente en fonction de la luminosité d'exposition pour différentes distances focales dans le cas d'une cellule standard dans la configuration « grilles fictives » [Wright'06].....	70
Figure 53 : Photographie au microscope électrique d'un bloc logique ne contenant pas de DFM Filler Cell, utilisant l'ancien motif de remplissage : les défauts de discoloration (variation de couleur pour une même géométrie) sont nombreux. ....	71
Figure 54 : Photographie au microscopique électronique d'un bloc logique contenant des DFM Filler Cell, utilisant le nouveau motif de remplissage : les défauts de discoloration (variations de couleur pour une même géométrie) ont totalement disparus.....	72
Figure 55 : Variation de l'épaisseur d'active dans un produit ne contenant pas de DFM Filler Cell.....	72
Figure 56 : Variation de l'épaisseur d'active dans un produit contenant des DFM Filler Cell .....	73
Figure 57 : Effets physiques du CMP sur les lignes métalliques.....	77
Figure 58 : Contexte de lignes métalliques avant espacement (Source : icyield.com) .....	79
Figure 59 : Contexte de lignes métalliques après espacement et décalage (Source : icyield.com) .....	79
Figure 60 : Ligne métallique entourée par des dispositifs de remplissage .....	80
Figure 61 : Oscillateur en anneau composé d'un nombre impair d'inverseurs .....	84
Figure 62 : Structure RO <sub>C</sub> : La zone en pointillé délimite l'insertion de dispositifs de remplissage autour des inverseurs .....	85
Figure 63 : Structure RO <sub>I</sub> : les zones en pointillé délimitent la génération des dispositifs de remplissage au-dessus des interconnexions métalliques .....	85
Figure 64 : Définition des variables d'entrée du DOE : le format du motif de remplissage .....	86
Figure 65 : Exemple de motif de dispositifs de remplissage généré autour d'une interconnexion.....	88
Figure 66 : Exemple de motif de dispositifs de remplissage généré autour de l'interconnexion en serpent (structure RO <sub>I</sub> ).....	89
Figure 67 : Processus de génération et de validation des modèles .....	90
Figure 68 : Véhicule de test en technologie cuivre 130nm intégrant des structures permettant la validation des modèles générés par la méthode DOE .....	91
Figure 69 : Comparaison des réponses temporelles et fréquentielles pour des structures RO <sub>C</sub> avec et sans dispositifs de remplissage métalliques .....	92

Figure 70 : Variation du délai de propagation de la structure ROC en fonction des variations de H et W, pour des valeurs de $H_v$ , $W_v$ , $H_i$ et $W_i$ fixées .....	93
Figure 71 : Les deux motifs de remplissage dont les variations affectent le moins le délai de propagation de la structure $RO_C$ , issues du modèle .....	94
Figure 72 : Répartition des dispersions des impacts des dispositifs de remplissage métalliques sur la structure $RO_1$ par niveau de métal .....	95
Figure 73 : Répartition des dispersions des impacts des dispositifs de remplissage au niveau métallique n+1 sur la structure $RO_1$ avec un niveau métallique n.....	97
Figure 74 : Comparaison de l'impact des dispositifs de remplissage sur le délai de propagation d'une structure $RO_1$ pour des configurations de remplissage inter niveaux et intra niveaux, appliquée au métal 1 .....	98
Figure 75 : Impact de la densité métallique du motif de remplissage sur le délai de propagation de la structure $RO_1$ pour une interconnexion en métal 2 et des dispositifs de remplissage en métal 3 .....	99
Figure 76 : Comparaison entre les résultats fournis par l'addition des modèles et ceux obtenus par simulation pour la configuration {Interconnexion métal 1 - Dispositifs de remplissage métal 1 + métal 2} .....	101
Figure 77 : Comparaison entre les résultats fournis par l'addition des modèles et ceux obtenus par simulation pour la configuration {Interconnexion métal 2 - Dispositifs de remplissage métal 2 + métal 3} .....	101
Figure 78 : Comparaison entre les résultats fournis par l'addition des modèles et ceux obtenus par simulation pour la configuration {Interconnexion métal 3 - Dispositifs de remplissage métal 3 + métal 4} .....	102
Figure 79 : Représentation des capacités prises en compte par l'addition des deux modèles (en noir) et ignorées par cette approximation (en rouge).....	102
Figure 80 : Comparaison des dispersions des délais de propagation dues à l'analyse Monte-Carlo pour des structures avec et sans dispositifs de remplissage.....	104
Figure 81 : Comparaison des dispersions des délais de propagation de la structure $RO_C$ dues aux variations des paramètres technologiques et à la géométrie du motif de remplissage.....	105
Figure 82 : Comparaison des dispersions des délais de propagation de la structure $RO_1$ dues aux variations des paramètres technologiques et à la géométrie du motif de remplissage.....	106
Figure 83 : Comparaison des résultats des simulations menées dans les conditions MIN - PVT et MIN - PVTF pour différentes densités de motif de remplissage .....	108
Figure 84 : Comparaison des résultats des simulations menées dans les conditions TYP - PVT et TYP - PVTF pour différentes densités de motif de remplissage .....	108
Figure 85 : Comparaison des résultats des simulations menées dans les conditions MAX - PVT et MAX - PVTF pour différentes densités de motif de remplissage .....	109
Figure 86 : Comparaison des résultats des simulations menées dans les conditions PVT et PVTF pour différentes densités de motif de remplissage .....	109

---

Figure 87 : Fenêtre de lancement de DUTY .....	115
Figure 88 : Interface graphique du DUTY : le module YAM.....	117
Figure 89 : Proposition d'ajout de contact redondant par le YAM .....	117
Figure 90 : Exemple d'excroissance métallique détectée par le YAM.....	118
Figure 91 : Exemple d'histogramme des résultats de densité fournis par le YAM .....	120
Figure 92 : Exemple d'histogramme des résultats de l'analyse de gradient de densité.....	121
Figure 93 : Exemple de cartographie de densité pour un produit complet .....	122
Figure 94 : Exemple de motif de dispositifs de remplissage FEOL généré par le YEM.....	124
Figure 95 : Exemple de motif de dispositifs de remplissage métalliques généré par le YEM .....	124
Figure 96 : Interface graphique du DUTY : le module YEM .....	125
Figure 97 : Interface graphique du DUTY : le module DUTY Metric .....	125
Figure 98 : Illustration de la fenêtre de résultats du module « <i>DUTY Metric</i> ».....	126

## Mise en place d'une nouvelle méthode de conception orientée DFM

Thèse de Doctorat, 13 Janvier 2010, Laurent REMY

Université Aix-Marseille I / IM2NP, Discipline : Micro et Nanoélectronique

**RESUME** : La première partie du manuscrit présente un état de l'art des différentes visions du DFM au sein du processus de conception industriel. Une nouvelle méthode de conception orientée DFM baptisée le DFM<sup>2</sup> est définie, se basant principalement sur l'intensification des interactions entre la conception et la fabrication. L'étape de conception de cellules se place au cœur de ces interactions afin d'appliquer les améliorations DFM en amont de la conception du circuit. La suite de l'étude présente des résultats visant à s'affranchir de la variabilité observée lors de la fabrication, concernant des domaines comme la planéité ou la lithographie à la fois pour le FEOL et le BEOL. Une étude statistique sur l'étape de métallisation est ensuite proposée, visant à modéliser l'impact de la géométrie du motif des dispositifs de remplissage métalliques sur les performances électriques des circuits. Les résultats permettent de définir de nouvelles conditions de simulation afin de prendre en compte cet effet dès la conception des cellules. Enfin, un outil d'aide à la conception de cellules (DUTY) est proposé. Son objectif est en premier lieu d'accompagner les concepteurs dans la mise en place du DFM<sup>2</sup> en leur proposant des améliorations DFM basées principalement sur les résultats obtenus précédemment. De plus, son but à long terme est de corrélérer les modifications DFM réalisées avec les améliorations de rendement attendues.

**MOTS CLES** : DFM, Méthode de conception, Dispositifs de remplissage, Planéité, Couplage capacitif, Stress mécanique

## Implementation of a new DFM design methodology

Ph.D. Thesis, January 13<sup>th</sup> 2010, Laurent REMY

University of Aix-Marseille I / IM2NP, Discipline : Micro et Nanoelectronics

**SUMMARY** : The first part of this thesis presents a state of the art of different DFM approaches in the industrial production flow. A new DFM design methodology is defined. It is called DFM<sup>2</sup>, and it is mainly based on the intensification of interactions between design and process. The cell design is the center of these interactions in order to apply DFM optimizations before the circuit conception. The following of the study presents results about the decrease of the design dependence versus process variations in many domains, such as planarity or lithography for both FEOL and BEOL. A statistical study about the metallization step is then proposed, in order to model the impact of metal filling patterns on electrical performances of circuits. The results obtained allow defining new simulations corners in order to take into account this effect at the cell design step. Finally, an aided-cell design tool (DUTY) is proposed. Its goal is to help designers to adopt DFM<sup>2</sup> methodology by proposing DFM optimizations, mainly based on previous obtained results. Furthermore, the goal of DUTY is to correlate DFM modifications with yield optimization.

**KEYWORDS** : Design for Manufacturing, Design methodology, Filling, Dummies, Planarity, Capacitance coupling, Mechanical stress

IM2NP UMR 6242 CNRS, IMT Château-Gombert, 13013 Marseille, France  
ATMEL Rousset, Avenue Olivier Perroy, 13790 Rousset, France