



HAL
open science

Croissance et caractérisation électrique de nanocristaux d'InAs/SiO₂ pour des applications de mémoires non volatiles sur silicium.

Moïra Hocevar

► **To cite this version:**

Moïra Hocevar. Croissance et caractérisation électrique de nanocristaux d'InAs/SiO₂ pour des applications de mémoires non volatiles sur silicium.. Matière Condensée [cond-mat]. INSA de Lyon, 2008. Français. NNT : 2008ISAL0072 . tel-00551840

HAL Id: tel-00551840

<https://theses.hal.science/tel-00551840>

Submitted on 4 Jan 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 2008-ISAL-0072

THESE

présentée devant

L'INSTITUT NATIONAL DES SCIENCES APPLIQUÉES DE LYON

pour obtenir le grade de

DOCTEUR

ÉCOLE DOCTORALE : Électronique, Électrotechnique, Automatique

SPÉCIALITÉ : Dispositifs de l'Électronique Intégrée

par

Moïra HOCEVAR

**Croissance et caractérisation électrique de
nanocristaux d'InAs/SiO₂ pour des applications
de mémoires non volatiles sur silicium.**

Soutenue le 14 octobre 2008 devant la Commission d'Examen

Rapporteurs :	Thierry BARON	Chargé de Recherche CNRS
	Philippe DOLLFUS	Directeur de Recherche CNRS
Examinateurs :	Barbara DE SALVO	Ingénieur CEA-LETI
	Isabelle BERBEZIER	Directrice de Recherche CNRS
Directeurs de thèse :	Michel GENDRY	Directeur de Recherche CNRS
	Abdelkader SOUIFI	Professeur INSA de Lyon

Abstract

Since the first proposal in 1995 of replacing the polysilicon floating gate of the non volatile memories (NVM) by Si nanocrystals (*nc*-Si), research in this field is very active. The objective of this study consists in the fabrication of an InAs nanocrystals (*nc*-InAs) NVM : thus, using InAs allows first the improvement of NVM characteristics thanks to a high electronic affinity, and second, the evaluation of multibits storage in a unique nanocrystal. The *nc*-InAs have been grown by molecular beam epitaxy (MBE) on a tunnel SiO₂ layer on Si. The *nc*-InAs are monocrystalline and hemispherical. Their height depends on the number of deposited InAs monolayers (from 2 to 10 nm), whereas the density depends on the growth temperature. The maximal density has been evaluated to be 7×10^{11} cm⁻² at a growth temperature of 350 °C. Using MBE, we fabricated MOS structure containing *nc*-InAs. The write and erase time is 1 μ s and 100 μ s, at 12 V and 11 V respectively. The retention time at 85 % for a structure with 3,5 nm tunnel oxide and containing 6 nm in diameter *nc*-InAs is 45 days. For the best of our knowledge, this is the best result in retention for *nc*-NVM with 3,5 nm tunnel oxides. By quantum calculations, we demonstrated that the retention time is 2 decades higher in *nc*-InAs than in *nc*-Si for MOS structures with identical dimensions. Finally, we showed that a 10 years retention time in NVM can be reached using a $4 \pm 0,1$ nm tunnel oxide and 10 ± 1 nm in diameter *nc*-InAs.

Table des matières

Table des matières	5
Introduction	11
1 Etat de l'art et positionnement du sujet	13
1.1 Les Mémoires Non Volatiles	14
1.1.1 A la recherche de la mémoire universelle	14
1.1.1.1 Contexte historique, économique et scientifique	14
1.1.1.2 Mémoires Non Volatiles, d'hier à aujourd'hui	15
1.1.1.3 Mémoires Non Volatiles à grille flottante FGRAM	17
1.1.1.4 Mémoires Non Volatiles, les nouveaux concepts	23
1.1.2 Mémoires non volatiles à grille flottante à nanocristaux (<i>nc</i> -MNV) .	30
1.1.2.1 Principe de fonctionnement	30
1.1.2.2 Spécifications	31
1.1.2.3 Fabrication	32
1.1.2.4 Caractéristiques	34
1.1.3 Conclusion	34
1.2 Vers les mémoires à grille flottante à <i>nc</i> -InAs	36
1.2.1 Limitations des matériaux utilisés dans les MNV à nanocristaux actuelles	36
1.2.1.1 Limitations des mémoires à <i>nc</i> -Si	36
1.2.1.2 Mémoires à <i>nc</i> -Ge	36
1.2.1.3 Mémoires à nanostructures métalliques	39
1.2.2 Propriétés requises pour l'amélioration des MNV à nanocristaux . .	41
1.2.3 Pourquoi les <i>nc</i> -InAs?	44
1.2.3.1 Propriétés électroniques des <i>nc</i> -InAs	44
1.2.3.2 Nouvelles potentialités pour l'optoélectronique	50
1.2.3.3 Défis technologiques de l'intégration des semiconducteurs III-V sur Si	51
1.3 Conclusion	52
2 Etapes de fabrication des structures pour mémoires à <i>nc</i>-InAs et tech- niques de caractérisation	53
2.1 Fabrication des structures	54
2.1.1 Croissance de l'oxyde tunnel	55

2.1.2	Croissance des <i>nc</i> -InAs sur la silice thermique	56
2.1.2.1	L'épitaxie par jets moléculaires à sources solides	57
2.1.2.2	Aspects généraux de la croissance cristalline	59
2.1.2.3	Croissance de <i>nc</i> -InAs sur SiO₂ par épitaxie par jets mo- léculaires	62
2.1.3	Dépôt de l'oxyde de contrôle SiO₂ par PECVD-ECR	62
2.1.3.1	Justification de la technique de dépôt basse température	62
2.1.3.2	Le réacteur PECVD-ECR	64
2.1.3.3	Le dépôt de SiO₂ par PECVD-ECR	66
2.1.3.4	Les recuits in-situ	66
2.1.4	Métallisation	67
2.1.4.1	Les techniques d'évaporation	67
2.1.4.2	Evaporation d'Al ou d'Au/Ni comme métal de grille pour les structures MOS	68
2.2	Techniques de caractérisation	69
2.2.1	Caractérisation des propriétés structurales des nanocristaux	69
2.2.2	Caractérisation des propriétés électriques des nanocristaux	69
2.3	Conclusion	70
3	Etude des paramètres de croissance et des propriétés structurales des <i>nc</i>-InAs	71
3.1	Etude des paramètres de croissance des <i>nc</i> -InAs sur SiO₂ – th	72
3.1.1	Influence du traitement chimique de la surface de SiO₂-th	72
3.1.2	Influence de la température de croissance	75
3.1.2.1	Evolution de la densité et de la taille des <i>nc</i> -InAs	75
3.1.2.2	Discussion sur les mécanismes de croissance	78
3.1.3	Influence de la pression d'As	83
3.1.3.1	Evolution de la densité et de la taille des <i>nc</i> -InAs	84
3.1.3.2	Interprétation des résultats	89
3.1.4	Influence de la quantité d'InAs déposé	89
3.1.4.1	Evolution de la densité et de la taille des <i>nc</i> -InAs	89
3.1.4.2	Interprétation des résultats	91
3.1.5	Influence du traitement de la surface de SiO₂-th par As ou P	93
3.1.6	Conclusion	95
3.2	Propriétés structurales des <i>nc</i> -InAs	96
3.2.1	Sur l'orientation des <i>nc</i> -InAs/SiO ₂	97
3.2.2	Qualité cristalline des <i>nc</i> -InAs	98
3.2.2.1	Effet de la température de croissance	98
3.2.2.2	Sur l'interface InAs/SiO ₂ -th	99
3.2.2.3	Effet de l'épaisseur déposée	100
3.2.3	Structure cristalline des <i>nc</i> -InAs	101
3.2.4	Défauts structuraux	103
3.2.5	Composition chimique	105

3.2.6	Morphologie des <i>nc</i> -InAs encapsulés par SiO ₂	106
3.2.6.1	Dépôt de SiO ₂	106
3.2.6.2	Influence de la pression totale	106
3.2.6.3	Influence de l'épaisseur de SiO ₂ déposée	107
3.3	Passivation des <i>nc</i> -InAs	108
3.3.1	Dépôt d'une fine couche de Si amorphe avant le dépôt du SiO ₂	108
3.3.2	Passivation phosphore	109
3.3.3	Recuit in-situ sous H ₂	110
3.4	Conclusion	110
4	Caractérisations électriques de structures MOS à <i>nc</i>-InAs	113
4.1	Rappels sur la théorie des capacités MOS	114
4.1.1	La capacité MOS avec un diélectrique idéal	114
4.1.1.1	Accumulation	115
4.1.1.2	Bandes Plates	116
4.1.1.3	Désertion	116
4.1.1.4	Inversion	116
4.1.1.5	Désertion profonde	117
4.1.2	Influence des charges dans l'oxyde	117
4.1.2.1	Les charges fixes	117
4.1.2.2	Les charges mobiles	118
4.1.2.3	Les charges d'interface	119
4.1.3	Chargement dans une capacité MOS à nanocristaux	119
4.1.4	Le transport dans une capacité MOS	120
4.1.4.1	Le courant Fowler-Nordheim	121
4.1.4.2	Le courant tunnel direct	122
4.2	Description des structures MOS à <i>nc</i> -InAs	123
4.3	Optimisation des structures de tests électriques	125
4.3.1	Influence du traitement de surface de l'oxyde tunnel	125
4.3.2	Influence du métal de grille	125
4.4	Etude du chargement	127
4.4.1	Méthode expérimentale	127
4.4.1.1	Description de la méthode	127
4.4.1.2	Chargement selon le signe de la tension d'écriture	127
4.4.1.3	Comportement d'une référence sans nanocristaux	129
4.4.2	Echantillons à nanocristaux non optimisés	130
4.4.2.1	Application d'une tension positive	130
4.4.2.2	Application d'une tension négative	131
4.4.2.3	Interprétation	132
4.4.2.4	Remarque quant à la nature de la grille métallique	133
4.4.2.5	Saturation	134
4.4.3	Echantillons à nanocristaux optimisés	135
4.4.3.1	Influence de la passivation phosphore	135

4.4.3.2	Influence du recuit in-situ sous H_2	135
4.4.4	Influence des paramètres structuraux	137
4.4.4.1	Influence de la taille et de la densité des nanocristaux	137
4.4.4.2	Influence de l'épaisseur de l'oxyde tunnel	138
4.5	Etude de l'effacement	141
4.5.1	Méthode expérimentale	141
4.5.2	Résultats expérimentaux	141
4.6	Etude préliminaire de l'endurance	143
4.7	Etude de la rétention	145
4.7.1	Méthode expérimentale	145
4.7.2	Résultats expérimentaux	145
4.7.2.1	Influence du matériau constituant des nanocristaux	146
4.7.2.2	Influence du signe de la tension d'écriture	149
4.7.2.3	Influence de l'épaisseur de l'oxyde tunnel	150
4.7.2.4	Influence des traitement de passivation	151
4.8	Conclusion	153
5	Modélisation des cinétiques d'écriture/effacement et de la rétention dans les structures MOS à nc-InAs	157
5.1	Modélisation des cinétiques d'écriture et effacement	159
5.1.1	Description du champ électrique dans l'oxyde	159
5.1.2	Expression du courant à travers l'oxyde tunnel	164
5.1.3	Expression des cinétiques d'écriture/effacement	166
5.1.3.1	Ecriture	167
5.1.3.2	Effacement	167
5.1.4	Résultats de la modélisation	168
5.1.4.1	Ajustement des courbes expérimentales: cinétiques d'écriture	170
5.1.4.2	Ajustement des courbes expérimentales: cinétiques d'effacement	173
5.2	Modélisation de la rétention	176
5.2.1	Expression du champ électrique pour la rétention dans une structure à nc -InAs	176
5.2.2	Expression du courant et de la cinétique de déchargement	177
5.2.3	Validation du modèle	178
5.2.4	Amélioration du modèle	180
5.3	Discussion	184
5.4	Conclusion	187
	Conclusion et Perspectives	189
A	L'AFM	195
A.1	Principe de fonctionnement	195
A.2	Les différents modes de travail	197

A.2.1 Mode contact	197
A.2.2 Mode contact intermittent	198
A.3 Limitations de l'AFM	199
A.4 Mode opératoire	200
B L'ellipsomètre	201
B.1 Principes théoriques généraux	201
C Le RHEED	203
C.1 Principe	203
C.2 Théorie de formation d'un diagramme de diffraction RHEED	204
C.3 Analyse de diagrammes RHEED	206
Bibliographie	207

Introduction

Depuis les années 1960, l'industrie de la microélectronique a prospéré grâce à la technologie CMOS (Complementary Metal Oxyde Semiconductor) sur silicium, tout en connaissant une course effrénée à la miniaturisation. Mais aujourd'hui cette miniaturisation se heurte à des barrières physiques incontournables.

Notre étude porte sur les mémoires non volatiles (MNVs), ces dispositifs mémoires intégrés dans les objets portables tels que les téléphones, les lecteurs MP3, les appareils photo numériques ou encore les clés mémoires USB.

Pour ces appareils, la demande de capacité de stockage est toujours croissante mais la miniaturisation des MNVs, basées elles aussi sur la technologie CMOS, touche à sa fin. En effet, le paramètre critique est l'épaisseur de l'oxyde tunnel. Celle-ci est limitée à 7-8 nm car en dessous, l'intégrité du dispositif n'est plus assurée en termes de temps de rétention.

En parallèle, les dispositifs à boîtes quantiques ont démontré ces dernières années des potentialités remarquables pour de nombreuses applications comme les lasers, les photo-détecteurs, les mémoires et les transistors à peu d'électrons. L'intérêt majeur des boîtes quantiques intégrées à ces dispositifs est leur possibilité de confinement important des porteurs, dont une des conséquences est le contrôle de faibles quantités de charges.

Dans le champ de la microélectronique, les nanocristaux de Si (*nc-Si*) ont été très largement étudiés pour leurs propriétés remarquables et seront bientôt intégrés dans des dispositifs commerciaux, dont les MNVs. En effet, une des alternatives à la limitation de la réduction de l'épaisseur de l'oxyde tunnel dans les MNVs consiste à utiliser des nanocristaux en remplacement de la grille flottante en polysilicium. La grille flottante granulaire, de par la nature discrète du stockage, limite l'impact des courants de fuite liés à la réduction de l'épaisseur de l'oxyde tunnel.

C'est dans ce contexte que se situe notre étude. Nous proposons d'améliorer les caractéristiques d'une mémoire à nanocristaux de Si en les remplaçant par des nanocristaux d'InAs (*nc-InAs*). En effet, le semiconducteur InAs présente des avantages par rapport au Si. L'InAs possède un offset de bande de conduction plus important que le Si avec l'oxyde SiO₂, ce qui devrait conduire à un meilleur confinement des électrons dans les *nc-InAs* et donc à un meilleur temps de rétention qu'avec les *nc-Si*. Par ailleurs, la masse effective des porteurs dans l'InAs étant plus faible que celle dans le Si, les niveaux confinés sont mieux séparés, ce qui augmente les potentialités de stockage multibits avec des électrons.

Ce manuscrit s'articule autour de cinq chapitres. Dans le premier chapitre, nous nous intéressons au contexte scientifique des mémoires non volatiles et nous justifions l'utilisation des *nc-InAs* par rapport à d'autres matériaux pour l'amélioration des performances

des mémoires à nanocristaux et pour la miniaturisation ultime des mémoires. Dans le deuxième chapitre sont décrites les étapes de la fabrication d'une structure mémoire à *nc-InAs* et les outils dont nous nous sommes servis pour étudier les propriétés structurales et électriques des *nc-InAs* encapsulés dans SiO_2 . Dans le troisième chapitre, nous présentons les résultats expérimentaux concernant la croissance des *nc-InAs* par la technique d'épitaxie par jets moléculaires. Une étude systématique de l'influence des paramètres de croissance est présentée. Dans le quatrième chapitre sont détaillés nos résultats expérimentaux concernant le comportement électrique de nos structures MOS à *nc-InAs*. Les expériences concernent surtout l'écriture, l'effacement et la rétention dans une structure MOS à *nc-InAs*. Pour finir, le dernier chapitre concerne la modélisation simple d'une structure MOS à *nc-InAs* et l'ajustement des résultats expérimentaux par ce modèle.

1

Etat de l'art et positionnement du sujet

Sommaire

1.1	Les Mémoires Non Volatiles	14
1.1.1	A la recherche de la mémoire universelle	14
1.1.2	Mémoires non volatiles à grille flottante à nanocristaux (<i>nc</i> -MNV)	30
1.1.3	Conclusion	34
1.2	Vers les mémoires à grille flottante à <i>nc</i>-InAs	36
1.2.1	Limitations des matériaux utilisés dans les MNV à nanocristaux actuelles	36
1.2.2	Propriétés requises pour l'amélioration des MNV à nanocristaux	41
1.2.3	Pourquoi les <i>nc</i> -InAs?	44
1.3	Conclusion	52

1.1 Les Mémoires Non Volatiles

1.1.1 A la recherche de la mémoire universelle

1.1.1.1 Contexte historique, économique et scientifique

La loi de Moore¹ est étroitement liée à l'évolution fulgurante de la puissance et de la complexité des ordinateurs. Cette loi impose la vitesse à laquelle les composants électroniques en technologie CMOS (Complementary Metal Oxide Semiconductor) sont miniaturisés. Depuis 1965, les chercheurs et les industriels réduisent la taille des composants d'un facteur deux tous les cinq ans selon une loi d'échelle (*Figure 1.1*), en dépit des difficultés liées à leur miniaturisation. Cependant depuis 2004, la loi de Moore connaît un essoufflement.

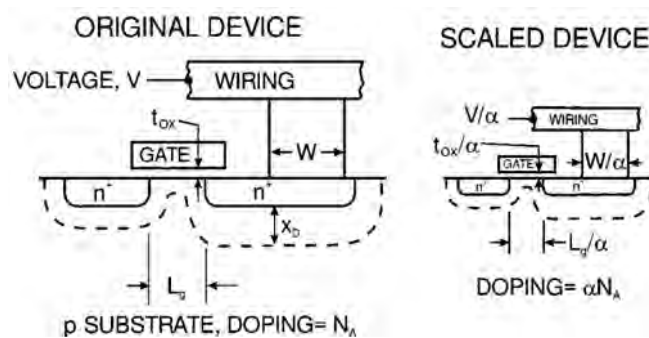


FIG. 1.1 – Illustration schématique de la réduction des dimensions en technologie silicium. La réduction des dimensions des composants en technologie CMOS est régie par une loi d'échelle développée dans les années 1970. D'après les lois de l'électrostatique, si les dimensions, le dopage et les tensions appliquées sont réduites d'un facteur $1/\alpha$, le champ électrique dans le nouveau composant sera exactement le même que dans le composant initial. D'après [Frank *et al.*, 2001].

Outre les facteurs économiques tels que l'augmentation des coûts des chaînes de production, ces difficultés concernent plusieurs aspects liés à la physique. D'une part, les processeurs ont des difficultés à fonctionner à des fréquences supérieures à 5 GHz à cause des problèmes de dissipation thermique. D'autre part, la progression de la miniaturisation est ralentie par les fuites de courant à travers l'oxyde de grille, la discrétisation du dopage et les effets de confinement quantique. En effet, la fabrication de transistors toujours plus petits requiert d'utiliser des dimensions de longueur de grille inférieures à 50 nm. Pour ces dimensions, des effets quantiques indésirables peuvent apparaître et les caractéristiques des transistors se dégradent. Il est prévu de commercialiser des transistors sub-20 nm autour de 2015 : c'est donc aujourd'hui que les chercheurs et les industriels doivent proposer des solutions.

¹En 1965, G. E. Moore, directeur R&D à Fairchild Semiconductor, écrit dans un article paru dans la revue Electronics, "La complexité permettant de minimiser le coût des composants a été multipliée chaque année d'environ un facteur deux. On peut prévoir qu'à court terme ce taux de croissance se maintiendra, ou même que la croissance sera plus rapide encore. A long terme, le taux de croissance est un peu plus incertain, mais il n'y a aucune raison de croire qu'il ne se maintiendra pas pendant au moins dix ans. Cela signifie qu'en 1975 le nombre de composants par circuit intégré permettant de minimiser le coût sera de 65 000."

Les solutions envisagées jusqu’au nœud technologique² 16 nm ont été regroupées en deux catégories distinctes : “More Moore” et “More than Moore”. La première solution consiste à améliorer les composants CMOS en remplaçant certains matériaux (High- κ pour l’oxyde tunnel, contacts métalliques pour la grille, canal SiGe, grille flottante à nanocristaux ou à pièges en remplacement de la grille flottante poly-Si...) pour pouvoir poursuivre la miniaturisation jusqu’à la limite du CMOS standard. La deuxième solution envisage l’utilisation de concepts différents (stockage d’information grâce aux propriétés de spin de certains matériaux...), l’intégration de nouvelles fonctionnalités dans les composants (mécaniques telles que les MEMS : Micro Electro Mechanical Systems) et une intégration tri-dimensionnelle. Cette deuxième vague de solutions nécessite à l’heure actuelle un effort de recherche et développement considérable avant de pouvoir envisager une mise sur le marché.

Miniaturisation des mémoires : échelle des temps La mémoire non volatile à semi-conducteur apparaît en 1967 [Kahng et Sze, 1967]. Elle utilise le principe de stockage des charges sur une grille flottante insérée dans la couche d’oxyde du transistor. Sa miniaturisation a suivi la loi de Moore jusqu’au début des années 1990 où les chercheurs mettent en évidence qu’une réduction de l’oxyde tunnel en deçà de 7-8 nm ferait perdre son intégrité à la mémoire. Dès lors, une course contre la montre est lancée pour résoudre les problèmes des pertes de charges sans ralentir la miniaturisation (*Figure 1.2*). D’une part, les mémoires à couches de nitrure apparaissent en 1989 et les mémoires à nanocristaux en 1995 (solution “More Moore”). D’autre part, de nouvelles mémoires non volatiles dont le mode de stockage diffère de celui de la mémoire à grille flottante (solution “More than Moore”) voient le jour. Au-delà de 2018, les chercheurs espèrent maîtriser le stockage, la détection et la rétention d’un électron unique dans une mémoire à point quantique (dispositif ultime de la mémoire électronique). Cependant, les mémoires alternatives seront peut-être plus performantes et plus à même de remplacer les mémoires non volatiles actuelles.

Les mémoires électroniques ont été miniaturisées au même titre que les transistors MOS. Aujourd’hui, on ne connaît pas de solution pour que la mémoire non volatile telle qu’on la connaît puisse être miniaturisée en dessous du nœud technologique 32 nm. Quelles sont les raisons de cette limite ? Quelles sont les solutions ?

1.1.1.2 Mémoires Non Volatiles, d’hier à aujourd’hui

Une mémoire électronique a comme propriétés de stocker et de restituer des informations sous forme de code binaire. Il existe aujourd’hui deux grands types de mémoires. Les mémoires volatiles encore appelées mémoires vives, et les mémoires non volatiles ou mémoires mortes. Chacune de ces mémoires possède ses avantages et ses inconvénients. Les mémoires vives sont désignées par l’acronyme RAM (Random Access Memory). Les

² Un nœud technologique (ou génération technologique) est un “sous-système” définissant les dimensions d’un système global. Historiquement, le nœud technologique en CMOS correspond à la distance minimale entre deux connexions métalliques. Aujourd’hui, on différencie le nœud selon que l’on parle d’un transistor, d’une mémoire Flash ou d’une mémoire DRAM. Par exemple, la technologie 32 nm prévue pour 2013 correspond à des transistors d’oxyde de grille d’épaisseur 5 nm.

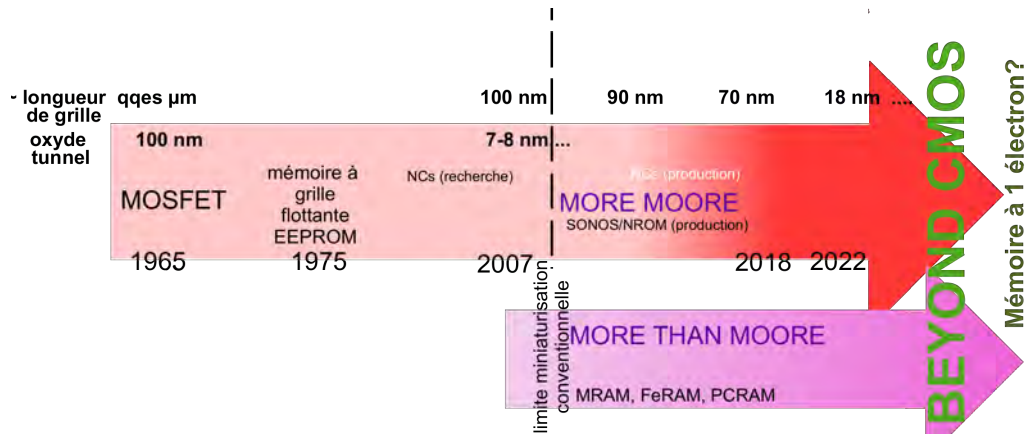


FIG. 1.2 – Echelle des temps décrivant l'évolution des mémoires non volatiles depuis 1965.

mémoires vives ont des vitesses d'écriture et d'effacement très rapides mais possèdent une faible durée de stockage et ses données sont perdues lorsque l'alimentation électrique est coupée. Les mémoires mortes sont désignées historiquement par l'acronyme ROM (Read Only Memory). Les données stockées dans une mémoire morte ne sont pas perdues lorsque l'alimentation électrique est coupée. Elles ont une grande capacité de stockage et leur temps de rétention³ est de plusieurs années. En revanche, les vitesses d'écriture et d'effacement sont assez longues. La *Figure 1.3* présente la classification des mémoires électroniques selon qu'elles soient de type RAM ou de type ROM.

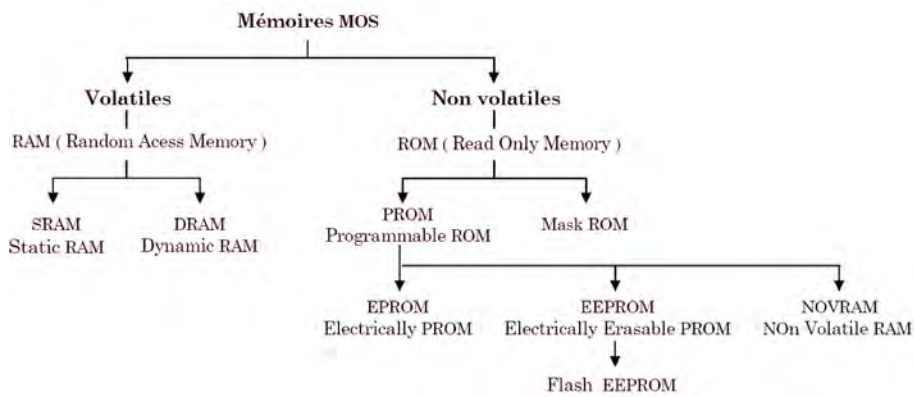


FIG. 1.3 – Classification des Mémoires Electroniques. D'après [Bernardini, 2004].

Mémoires RAM Dans une mémoire RAM, chaque cellule mémoire peut être identifiée par une adresse. L'accès à n'importe quelle cellule se fait approximativement à la même vitesse. Les mémoires RAM se classent en deux familles selon le mode de fonctionnement utilisé. On distingue les **SRAM** (Static RAM) avec lesquelles l'information reste stockée tant que la mémoire est alimentée, et les **DRAM** (Dynamic RAM) avec lesquelles l'information est stockée sous forme de charges qui s'évacuent avec le temps. Ce type de mémoire nécessite un rafraîchissement de l'information même lorsqu'elle reste alimentée.

³Le temps de rétention d'une mémoire correspond au temps durant lequel l'information reste stockée dans la mémoire. Pour un bit d'information, au moins 85% de la charge doit rester stocké après dix ans dans la grille flottante de la mémoire.

Mémoires ROM Historiquement, on distingue trois types de mémoires ROM. Tout d'abord, les mémoires **PROM** sont destinées uniquement à être lues car elles se programment lors de la fabrication (activation de transistors par masquage) ou par l'utilisateur (destruction physique de fusibles). Ensuite les mémoires **EPROM** (Electrically Programmable ROM), qui se programment électriquement et sont effacées sous rayonnement ultraviolet (UV). Enfin, les mémoires **EEPROM** (Electrically Erasable and Programmable ROM) se programment et s'effacent électriquement. La cellule unitaire est constituée d'un transistor de sélection et d'un transistor à grille flottante. En conséquent, chaque cellule peut être effacée et programmée indépendamment.

Mémoire Flash, la mémoire universelle Plus récemment, les mémoires **Flash** (Flash-EEPROM) ou Floating-Gate-RAM (FGRAM) sont apparues et se sont développées à une vitesse fulgurante. Elles ont une cellule unitaire constituée d'un seul transistor à grille flottante. La configuration simplifiée des mémoires Flash leur permet d'être plus rapides que les EEPROM standards et d'avoir surtout une densité d'intégration beaucoup plus élevée (un seul transistor par point mémoire). Elles ont aussi l'avantage de consommer très peu d'énergie mais ne sont effaçables que par secteurs complets. Elles sont largement intégrées dans les dispositifs portables.

Aujourd'hui, le challenge consiste à fabriquer une **mémoire universelle** pouvant remplacer les disques durs des ordinateurs, être utilisée dans les dispositifs portables, etc. Cette mémoire allierait les avantages des mémoires RAM à ceux des mémoires ROM : **temps de rétention de plusieurs années, grande capacité de stockage, vitesses d'écriture/effacement élevées, faible puissance de travail**. Depuis 2006, les fabricants d'ordinateurs remplacent peu à peu les disques durs par de la mémoire FGRAM, plus rapide, plus légère et plus discrète. On peut citer Samsung qui a commercialisé en 2006 le premier ordinateur portable ayant 32Go de mémoire Flash [SAMSUNG, 2006]. En 2008, Lenovo/IBM a commercialisé un ordinateur portable avec 64Go de mémoire Flash [IBM, 2008].

1.1.1.3 Mémoires Non Volatiles à grille flottante FGRAM

La mémoire à grille flottante est un transistor MOS à effet de champ (MOSFET : MOS Field Effect Transistor) modifié par l'ajout d'une grille flottante en polysilicium enfouie au milieu de l'oxyde de grille. C'est la cellule de base d'une mémoire Flash. Généralement, une cellule mémoire est un système contenant un bit d'information.

Fonctionnement La *Figure 1.4* montre une représentation schématique d'une cellule mémoire Flash conventionnelle. L'information est stockée dans la grille flottante située entre le canal et la grille d'un transistor à effet de champ. Elle est formée d'une couche de polysilicium entourée d'un diélectrique. Selon l'architecture dans laquelle se trouve la mémoire, l'écriture se fait par injection d'électrons chauds (Flash NOR), par injection Fowler Nordheim depuis le canal (Flash NAND) ou par injection d'électrons depuis la source. Inversement, l'effacement se fait par effet Fowler Nordheim de la grille vers le canal.

La tension de seuil du transistor est directement proportionnelle au nombre de charges stockées dans la grille flottante : lorsque la grille flottante est déchargée, le transistor est à l'état "0" et lorsque la grille flottante est chargée, le transistor est à l'état "1". C'est l'effet mémoire. Pour pouvoir être embarquées dans des appareils électroniques portables,

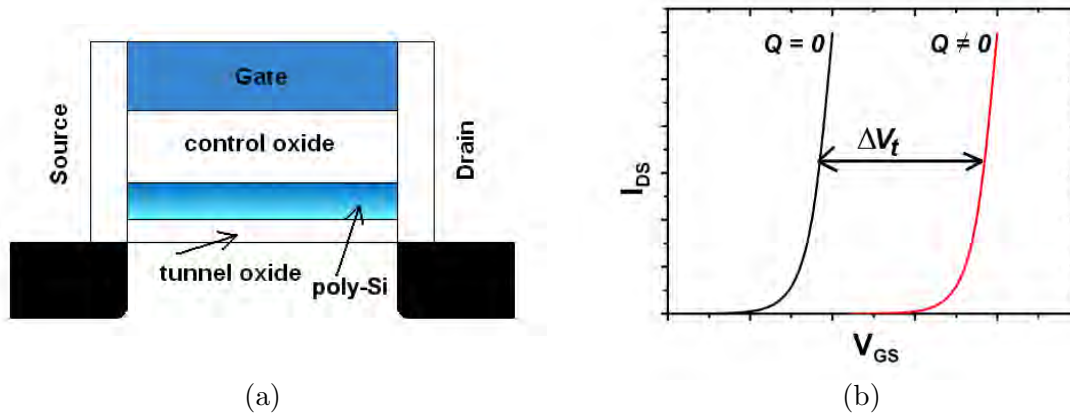


FIG. 1.4 – (a) Schéma d'une cellule mémoire à grille flottante en polysilicium. (b) Caractéristique courant drain-source (I_{DS}) en fonction de la tension grille-source (V_{GS}) montrant le décalage de tension de seuil ΔV_t suivant que la grille est chargée ou non.

les mémoires non volatiles nécessitent principalement des temps de lecture courts, une faible consommation, une densité d'intégration élevée et des temps de rétention longs. Les caractéristiques recommandées ont évolué au fil du temps et de la miniaturisation.

Les mémoires Flash NOR et les mémoires Flash NAND se différencient par l'architecture des matrices mémoires, c'est à dire par la manière de connecter les cellules entre elles. L'architecture NOR consiste à connecter les cellules en parallèle alors que l'architecture NAND utilise des cellules connectées en série. Dans l'architecture NOR, la grille de contrôle est commune à une ligne de cellules, appelée ligne de mots (*Figure 1.5(a)*). Le drain est commun à une colonne de cellules appelée ligne de bits. La source est quant à elle commune à un bloc de cellules. L'accès à une cellule particulière se fait par la sélection d'une ligne de mots et d'une ligne de bits, ce qui fait des Flash NOR des mémoires dites à accès aléatoire. Dans l'architecture NAND, les sources, comme les drains, ne sont pas connectés entre eux (*Figure 1.5(b)*). Le branchement se fait en série le long de la ligne de bit entre le drain d'une cellule et la source de la cellule suivante. La densité d'intégration est augmentée de 40% par rapport à l'architecture NOR pour une même génération technologique. Les mémoires NAND sont moins coûteuses à produire que les mémoires NOR pour une même capacité de stockage. Cependant, l'accès en lecture à une cellule particulière s'effectue en polarisant la grille de toutes les cellules de la ligne de bits pour pouvoir sonder la cellule concernée. Les mémoires NAND sont des cellules à accès séquentiel. Les mémoires NOR ont un temps d'accès plus long que les mémoires NAND mais celui-ci a l'avantage d'être aléatoire. Les mémoires NOR sont destinées à l'enregistrement de programmes informatiques dans les dispositifs portables alors que les mémoires NAND sont intégrées dans des cartes mémoires pour le stockage de données.

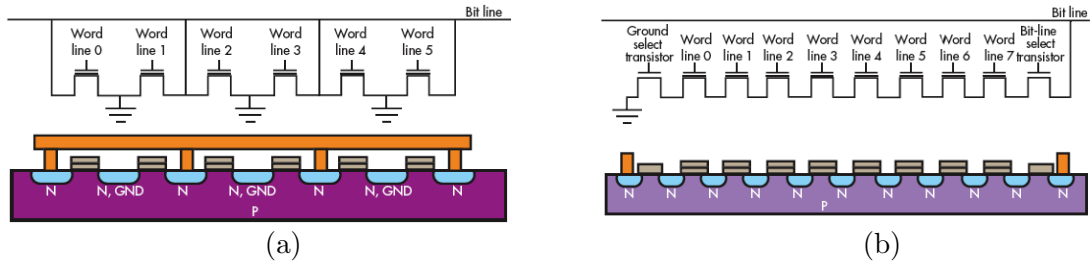


FIG. 1.5 – (a) architecture NOR (b) architecture NAND

Recommandations de l’International Technology Roadmap for Semiconductors (ITRS) pour les mémoires non volatiles Les spécifications actuelles et futures des mémoires Flash en termes de taille et de performances (*Tableaux 1.6*) sont principalement :

- la surface des cellules devra être réduite ;
- l’endurance devra atteindre 10^6 cycles et un temps de rétention de 20 ans ;
- l’épaisseur de l’oxyde tunnel devra être réduite jusqu’à 4-5 nm.

Non-volatile Memory Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM $\frac{1}{2}$ Pitch (nm) (contacted)	68	58	50	45	40	36	32	30	25
NAND Flash poly $\frac{1}{2}$ Pitch (nm)	51	45	40	36	32	28	25	22	20
<i>NAND Flash</i>									
NAND Flash technology – F (nm) [1]	51	45	40	36	32	28	25	22	20
Number of word lines in one NAND string [2]	32	32	64	64	64	64	64	64	64
Cell type (FG, CT, 3D, etc.) [3]	FG	FG	FG	FG/CT	CT	CT	CT-3D	CT-3D	CT-3D
3D NAND number of memory layers	1	1	1	1	1	1	2	2	2
<i>A. Floating Gate NAND Flash</i>									
Cell size – area factor a in multiples of F ² SLC/MLC [4]	4.0/2.0	4.0/2.0	4.0/1.3	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Tunnel oxide thickness (nm) [5]	6-7	6-7	6-7	6-7	6-7	6-7	6-7	6-7	6-7
Interpoly dielectric material [6]	ONO	ONO	ONO	ONO	ONO	High-κ	High-κ	High-κ	High-κ
Interpoly dielectric thickness (nm)	10-13	10-13	10-13	10-13	10-13	9-10	9-10	9-10	9-10
Gate coupling ratio (GCR) [7]	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7
Control gate material [8]	n-Poly	n-Poly	n-Poly	n-Poly	n-Poly	Poly/metal	Poly/metal	Poly/metal	Metal
Highest W/E voltage (V) [9]	17-19	17-19	15-17	15-17	15-17	15-17	15-17	15-17	15-17
Endurance (erase/write cycles) [10]	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05	1.E+05
Nonvolatile data retention (years) [11]	10-20	10-20	10-20	10-20	10-20	10-20	10-20	10-20	10-20
Maximum number of bits per cell (MLC) [12]	2	2	3	4	4	4	4	4	4

Non-volatile Memory Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM $\frac{1}{2}$ Pitch (nm) (contacted)	22	20					
NAND Flash poly $\frac{1}{2}$ Pitch (nm)	19	18	16	14	13	11	10
<i>NAND Flash</i>							
NAND Flash technology – F (nm) [1]	19	18	16	14	13	11	10
Number of word lines in one NAND string [2]	64	64	64	64	64	64	64
Cell type (FG, CT, 3D, etc.) [3]	CT-3D	CT-3D	CT-3D	CT-3D	CT-3D	CT-3D	CT-3D
3D NAND number of memory layers	2	2	4	4	4	4	4
<i>A. Floating Gate NAND Flash</i>							
Cell size – area factor a in multiples of F ² SLC/MLC [4]	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0	4.0/1.0
Tunnel oxide thickness (nm) [5]	4	4	4	4	4	4	4
Interpoly dielectric material [6]	High-κ	High-κ	High-κ	High-κ	High-κ	High-κ	High-κ
Interpoly dielectric thickness (nm)	9-10	9-10	9-10	9-10	9-10	9-10	9-10
Gate coupling ratio (GCR) [7]	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7	0.6–0.7
Control gate material [8]	Metal	Metal	Metal	Metal	Metal	Metal	Metal
Highest W/E voltage (V) [9]	15-17	15-17	15-17	15-17	15-17	15-17	15-17
Endurance (erase/write cycles) [10]	1.E+04	1.E+04	1.E+04	1.E+04	1.E+04	1.E+04	1.E+04
Nonvolatile data retention (years) [11]	5-10	5-10	5-10	5-10	5-10	5-10	5-10
Maximum number of bits per cell (MLC) [12]	4	4	4	4	4	4	4

FIG. 1.6 – Evolution des spécifications des mémoires Flash selon [ITRS, Edition 2007].

Le paragraphe suivant présente les limitations des mémoires non volatiles actuelles face aux recommandations de l'ITRS 2007.

Limitations La fabrication de cellules mémoires à faible coût/bit et à densité d'intégration élevée a toujours été problématique. Cela est d'autant plus vrai aujourd'hui que les dimensions caractéristiques des cellules mémoires continuent à diminuer et les spécifications seront de plus en plus contraignantes avec une endurance demandée de 10^6 cycles et un temps de rétention exigé de 10-20 ans [ITRS, Edition 2007]. De nombreux obstacles technologiques entravent la réduction de la taille de cellules du fait des faibles marges de manœuvre dans les procédés de fabrication, en particulier en lithographie [Kim *et al.*, 2002]. Mais la miniaturisation est surtout freinée par l'apparition de phénomènes quantiques liée à la taille nanométrique des objets [Lee *et al.*, 2003]. On peut citer :

- la réduction de la longueur de grille (<100 nm) induit l'augmentation du couplage entre les cellules mémoires adjacentes et entraîne **des perturbations dans la programmation** des cellules ;
- la réduction de l'épaisseur de l'oxyde tunnel (<8 nm) entraîne l'augmentation des courants de fuite depuis la grille flottante et à travers l'oxyde tunnel et donc **la dégradation des caractéristiques de rétention** de la mémoire ;
- les cycles d'écriture/effacement induisent des défauts dans l'oxyde tunnel et des courants de fuite additionnels à cette contrainte électrique (SILC : Stress-induced leakage current) s'ajoutent aux fuites liées à la réduction de l'épaisseur d'oxyde. **La fiabilité de la mémoire diminue**, tout comme ses propriétés de rétention [Prall, 2007] ;
- la rugosité de surface n'est plus négligeable lorsque l'épaisseur d'oxyde tunnel atteint 8 nm. Cette rugosité entraîne **une hétérogénéité de la tension de seuil et des vitesses d'écriture/effacement**.

La miniaturisation des mémoires NOR est limitée par les problèmes de canal court alors que la miniaturisation des mémoires NAND est limitée par les problèmes de couplage entre grilles. Cependant, la réduction de l'épaisseur d'oxyde tunnel est critique pour les deux architectures car elle agit directement sur les caractéristiques de rétention de la mémoire.

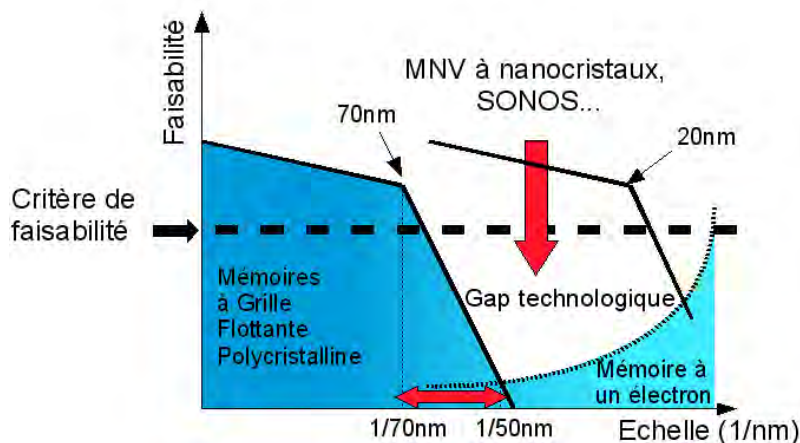


FIG. 1.7 – Faisabilité des mémoires non volatiles. D'après [Baik *et al.*, 2003].

Pour résoudre les problèmes cités ci-dessus, plusieurs options ont été envisagées ces dernières années. Les solutions sont : la modification de la grille flottante conventionnelle (chargement discret soit dans des nanocristaux, soit par piégeage dans une couche à haute densité de défauts), l'utilisation d'oxydes à haute permittivité diélectrique (High- κ) en remplacement de l'oxyde tunnel SiO_2 (réduction des fuites à travers l'oxyde), et le remplacement des contacts métalliques (augmentation de la rétention et diminution des tensions d'effacement) en remplacement du polysilicium de grille. Le paragraphe suivant décrit brièvement les modifications de la grille flottante proposées pour améliorer les caractéristiques des mémoires Flash.

Solutions envisagées Comme le montre la *Figure 1.7*, les mémoires Flash conventionnelles ont besoin de changements profonds pour surmonter les difficultés liées à la miniaturisation en dessous de $0.1 \mu\text{m}$ de longueur de grille. De nouveaux composants mémoires à stockage par piège permettraient de combler le fossé existant entre les noeuds technologiques 70 nm (limites des mémoires flash conventionnelles) et 20 nm (début du stockage à peu d'électrons). Les solutions les plus étudiées jusqu'à présent sont les mémoires à grille flottante contenant une couche de piégeage continue telles que les mémoires silicium-oxyde-nitride-oxyde-silicium (SONOS) et les mémoires à grille flottante contenant une couche de piégeage discrète telles que les mémoires à nanocristaux.

Mémoires SONOS Les mémoires SONOS sont apparues dès 1987 même si la démonstration du stockage de charge dans les pièges d'une couche de nitride de Si date de 1967. Dans la mémoire SONOS, les électrons et les trous peuvent être stockés dans des pièges localisés dans la couche de nitride de Si en sandwich entre un oxyde tunnel et un oxyde de contrôle. Un défaut unique dans la couche de SiO_2 tunnel ne peut pas décharger toute la cellule, ce qui permet de réduire son épaisseur et les tensions d'écriture/effacement à $\pm 6 \text{ V}$. Les premières mémoires SONOS possédaient un oxyde tunnel de 2 nm d'épaisseur, ce qui nécessita de rajouter des cellules multi-transistor et/ou d'utiliser une connectique plus complexe, et limita leur développement.

Les mémoires NROM (Nitride ROM) sont apparues dans les années 2000 (*Figure 1.8*). Elles ont la même architecture de grille que les mémoires SONOS avec une épaisseur d'oxyde tunnel élevée à 7 nm .

Elle peuvent être programmées par injection d'électrons chauds et effacées par injection de trous chauds. Au lieu de charger uniformément la couche de nitride de Si, il est possible de stocker des "paquets" de charges dans des zones précises de la couche de nitride, proches de la source ou du drain, permettant ainsi de stocker 2 ou 4 bits dans une même cellule mémoire. Pour contrôler la distribution des tensions de seuil pendant les cycles d'écriture/effacement, un microcontrôleur est ajouté à la cellule mémoire. Les mémoires NROM sont aujourd'hui produites en masse et remplacent peu à peu les modules NOR dans les applications de stockage d'applications systèmes ou de données. Leurs avantages sont qu'elles peuvent être facilement miniaturisées au delà du noeud 70 nm , et qu'elles présentent de très bonnes caractéristiques d'écriture/effacement. Cependant, les points faibles de ces mémoires concernent la saturation à l'effacement et la migration verticale

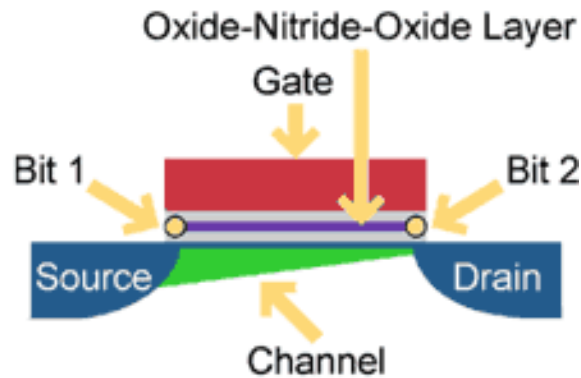


FIG. 1.8 – Cellule mémoire NROM. D'après [SAIFUN, 2003].

de charge. En effet, les charges sont si bien "stockées" dans les pièges qu'il devient difficile de les dépiéger après un certain nombre de cycles d'écriture/effacement. Par ailleurs, la migration verticale de charge conduit à une limitation des temps de rétention.

Les nanocristaux Les mémoires à nanocristaux ont été proposées pour la première fois en 1995 par S. Tiwari et ses collaborateurs d'IBM Research [Tiwari *et al.*, 1995]. La grille flottante en polysilicium utilisée dans les mémoires non volatiles conventionnelles est remplacée par une couche de nanocristaux de Si (*nc-Si*) isolés entre eux (*Figure 1.9*).

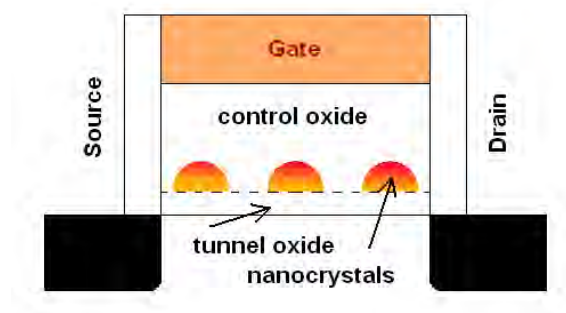


FIG. 1.9 – Cellule mémoire à nanocristaux

L'intérêt des *nc-Si* consiste en ce que chaque charge stockée est isolée. Si la densité de nanocristaux est plus élevée que la densité de défauts dans l'oxyde tunnel, alors seule une faible quantité de nanocristaux se déchargera via les défauts et la structure restera chargée (*Figure 1.10*). L'épaisseur d'oxyde tunnel peut être réduite sans que les caractéristiques des mémoires à grille flottante ne soient trop altérées.

En 2001, d'autres chercheurs proposent d'utiliser des nanocristaux de Ge (*nc-Ge*) [King *et al.*, 2001] en remplacement des *nc-Si* et en 2002, des nanostructures métalliques sont proposées pour améliorer les caractéristiques des mémoires [Liu *et al.*, 2002a].

Quelles sont les caractéristiques importantes des mémoires à nanocristaux ? Pourquoi cette évolution rapide ces dernières années ? Après un bref état de l'art sur les nouveaux concepts des mémoires non volatiles, la *Partie 1.1.2* reviendra sur les mémoires à grille flottante à nanocristaux pour donner des éléments de réponse à ces questions d'une manière plus détaillée.

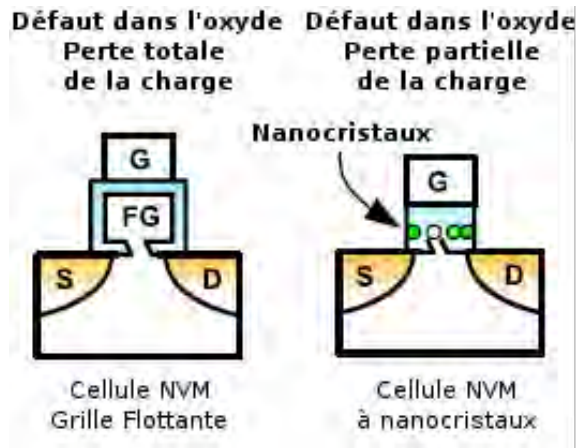


FIG. 1.10 – Schéma montrant qu’un seul défaut dans l’oxyde tunnel entraîne le déchargement de la grille flottante entière. Au contraire, si la charge est stockée dans un point discret, il n’y a qu’un déchargement partiel de la cellule mémoire. D’après [Prinz, 24–28 July 2006].

1.1.1.4 Mémoires Non Volatiles, les nouveaux concepts

Nous donnons ici une présentation succincte des nouveaux concepts de mémoires candidates au remplacement de la structure conventionnelle à grille flottante. Nous allons voir que ces mémoires ne sont pas encore arrivées à maturité et que le principe du stockage de la charge électrique est encore d’actualité pour plusieurs générations technologiques. Comme cela a été présenté plus haut (*Sous-partie 1.1.1.1*), de nouvelles mémoires non volatiles émergent depuis le début du XX^{ème} siècle : elles utilisent des phénomènes physiques jusqu’alors non exploités pour les mémoires électroniques. On peut citer les mémoires à changement de phase (PcRAM : Phase Change RAM), les mémoires ferroélectriques (FeRAM : Ferroelectric RAM), les mémoires magnétiques (MRAM : Magnetoresistive RAM) à semiconducteurs ou encore les mémoires à peu d’électrons (SEM : Single Electron Memory)⁴. Leur apparition s’inscrit dans la quête d’une mémoire universelle.

Cette sous partie présente brièvement les solutions envisagées de type “More than Moore” où le point mémoire est greffé à la technologie CMOS.

Mémoires à changement de phase Les mémoires à changement de phase, également appelées mémoires ovoniques unifiées (OUM : Ovonic Unified Memory), exploitent la possibilité pour les verres de chalcogénure de changer de phase de manière réversible sous l’effet de la chaleur. La cellule de base (*Figure 1.11*) peut être programmée par effet Joule, et lue en mesurant la différence de résistance entre la phase amorphe et la phase polycristalline. Cette propriété a été découverte dans les années 70 mais son application n’a vu le jour qu’en 2001 [Lai, 2001]. Le film mince de matériau chalcogène ($\text{Ge}_2\text{Sb}_2\text{Te}_5$) possède une résistance à faible champ qui peut varier de plusieurs ordres de grandeur en fonction de la cristallinité de la phase en présence dans la région active. La programmation de la

⁴Les mémoires non volatiles de la nouvelle génération, les NOVRAM (Non Volatile RAM) telles que les Flash, les PcRAM, les MRAM, les FeRAM sont désignées par l’acronyme RAM car ce sont des mémoires à accès arbitraire, accessibles en lecture et écriture.

mémoire requiert l'utilisation d'un courant élevé (typiquement de 1 mA en technologie 180 nm) pour augmenter la température dans la zone active et permettre une transition de phase locale. Les transitions de phase se font facilement en appliquant des pulses de tension de différentes amplitudes et d'une durée de dizaines de nanosecondes. La lecture de la cellule PCRAM se fait à faible tension. L'intégration des matériaux chalcogènes en technologie CMOS est encore au stade de la recherche et la faisabilité en termes de production de masse n'a pas encore été démontrée. Cependant, les mémoires PCRAM sont les meilleures candidates pour les prochaines générations de mémoires non volatiles car elles allient à la fois une densité élevée d'intégration et des spécifications haute performance. Les cycles d'écriture/effacement ont montré une endurance moyenne de 10^{11} cycles, ce qui est bien meilleur que les mémoires Flash à grille flottante.

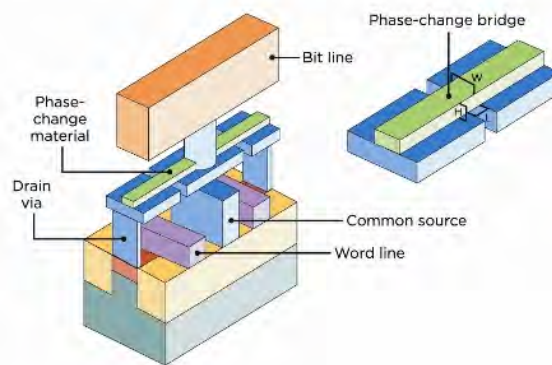


FIG. 1.11 – Cellule PcRAM

Mémoires magnéto-résistives Les mémoires MRAM utilisent la propriété de spin des électrons : le spin des électrons en mouvement dans un matériau ferromagnétique polarisé a tendance à s'aligner avec la direction de cette polarisation. Sous l'effet d'un champ magnétique appliqué à un matériau ferromagnétique, on peut modifier la polarisation de ce dernier. Dans cette mémoire, l'information est donc stockée sous forme d'orientation magnétique dans des couches ferromagnétiques. Par l'insertion d'une jonction tunnel (généralement en Al_2O_3) entre deux couches magnétiques (l'une "immobile" et l'autre "libre"), il est possible de mesurer l'orientation magnétique de la couche "libre" par rapport à la couche "immobile". Lorsque leur orientation magnétique respective est parallèle, la résistance tunnel est plus faible. Au contraire, lorsque l'orientation est anti-parallèle, la résistance est plus élevée. L'écriture se fait lorsque sont appliqués deux champs magnétiques induits par un courant circulant dans la ligne de bit et la ligne de mot d'écriture. L'orientation de la polarisation de la couche magnétique libre est alors modifiée. Pour lire l'état écrit ou effacé de la mémoire, il suffit de mesurer la résistance de la tri-couche par magnéto-résistance en utilisant un transistor MOS (*Figure 1.12*). Les mémoires MRAM peuvent être commandées et isolées grâce à des transistors de faible puissance. Etant donné qu'aucun transport de charge ne se fait au niveau de la structure mémoire, les tensions d'écriture et les temps d'écriture sont extrêmement faibles et l'endurance et les temps de

rétenion sont très élevés. L'utilisation de nouveaux matériaux permettrait d'augmenter le rapport des résistances entre l'état écrit et l'état effacé, considéré comme limitatif pour une miniaturisation au delà du noeud technologique 90 nm. Dernièrement, Freescale a lancé en production une mémoire MRAM de 4Mbits [FREESCALE, 2006].

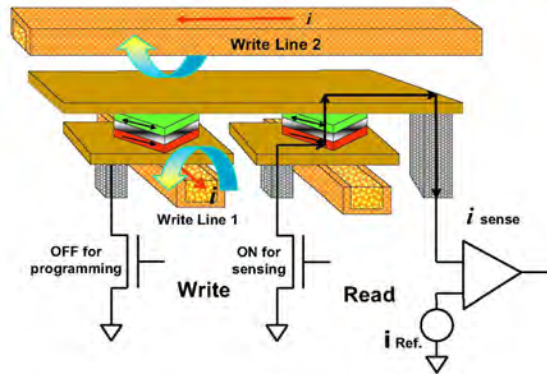


FIG. 1.12 – Cellule MRAM. D'après [FREESCALE, 2006].

Mémoires ferroélectriques La mémoire Ferroélectrique RAM (FeRAM) est une mémoire composée d'un transistor et d'un condensateur (*Figure 1.13*). Ce dernier utilise des matériaux ferroélectriques pour retenir les données : les perovskites ($\text{PbTi}_x\text{Zr}_{1-x}\text{O}_3$ aussi appelé PZT) ou les structures en fines couches, généralement un alliage de Strontium-Bismuth-Tantale (SBT). La céramique PZT est formée d'amas cristallins de plusieurs atomes qui constituent des dipôles électriques. Lorsqu'un champ électrique est appliqué sur la grille du condensateur ferroélectrique, la polarisation du champ induit l'alignement des dipôles par rapport au champ électrique. Pour écrire la mémoire, une polarisation négative est appliquée et les dipôles s'alignent selon le champ créé par la polarisation. A l'inverse, l'effacement s'effectue en appliquant une polarisation inverse sur la grille. Pour lire les données, le transistor force la cellule à prendre un état donné, par exemple "effacé". Si la cellule était déjà "effacée", alors rien ne se passe. Si par contre la cellule était programmée, les atomes vont se réorienter à cause du changement d'alignement dû à la présence du champ électrique induit créé par le fonctionnement du transistor. Cela aura pour conséquence de créer une pulsation de courant qui indiquera ce changement. La lecture des données est donc destructive et il est impératif de recréer ces données perdues. Les éléments ferroélectriques de la FeRAM changent de position plus vite que les éléments ferromagnétiques de la mémoire MRAM. Par rapport à la mémoire Flash, elle consomme moins d'énergie. La mémoire FeRAM est la première mémoire alternative à avoir été commercialisée (en 1999 par Fujitsu) en remplacement de certaines mémoires Flash grâce à leur endurance plus élevée et une consommation plus faible. Cependant, les mémoires FeRAM sont limitées par la fatigue au changement d'état après un certain nombre de cycles (fatigue électrique) et par la difficulté à les miniaturiser en dessous de 130 nm. Une solution consiste à intégrer le matériau ferroélectrique dans le transistor. Bien qu'encore à l'état de recherche et malgré les défis technologiques dus à l'intégration des matériaux ferroélectriques, cette nouvelle architecture est prometteuse, avec une endurance et des vitesses

d'écriture/effacement et de lecture élevées. En 2006, le fonctionnement d'une mémoire FeRAM à 64 Mb a été démontré par [Hoya *et al.*, 2006].

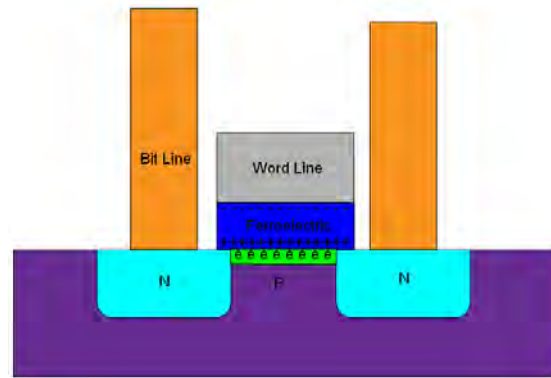


FIG. 1.13 – Cellule FeRAM dont le matériau ferroélectrique est encapsulé dans le transistor.

Les mémoires non volatiles présentées ci-dessus sont des candidates potentielles au remplacement de la mémoire Flash jusqu'au nœud 22 nm. En dessous du nœud 22 nm, nous avons vu que seule la PcRAM a un avenir potentiel mais cet avenir est incertain à cause du retard en termes de développement. Il apparaît donc qu'à moyen et long terme, le stockage de charge traditionnel dans une grille flottante soit quand même une solution à envisager. Cependant, il sera nécessaire de maîtriser les phénomènes monoélectroniques régissant le fonctionnement de la mémoire pour les nœuds technologiques sub-22 nm.

Mémoires à peu d'électrons Lorsque la longueur de grille des transistors MOS descend sous la barre des 50 nm, deux effets apparaissent. D'une part, le transport est influencé par les effets quantiques et d'autre part, le blocage de Coulomb apparaît, ce phénomène est dû à la nature granulaire de la charge électrique.

Le blocage de Coulomb Le blocage de Coulomb fut découvert par des physiciens russes en 1985. C'est l'association d'un effet d'origine quantique, **l'effet tunnel**, et d'un phénomène électrostatique classique, **la répulsion coulombienne**, qui tend à créer une barrière d'énergie électrostatique s'opposant à la variation du nombre d'électrons dans un îlot de taille nanométrique semiconducteur ou métallique. Le blocage de Coulomb ne peut être exploité que si cette barrière d'énergie électrique est très supérieure à l'énergie thermique kT (avec k la constante de Boltzmann et T la température). Dans un dispositif électronique, le blocage de Coulomb apparaît lorsqu'un élément de circuit, le nanocristal, est isolé électriquement du reste du circuit grâce à deux jonctions tunnel. Celui-ci est exploité pour le fonctionnement du SET.

Fonctionnement du transistor à un électron [Sée, 2004] Le transistor à un électron (SET : Single Electron Transistor) est un dispositif électronique à nanocristal séparé d'une source et d'un drain par deux jonctions tunnel (*Figure 1.14*). Une grille placée au dessus du nanocristal permet de le polariser. L'énergie électrostatique de Coulomb entraîne l'apparition d'une bande d'énergie interdite de largeur $\frac{e}{2C}$ où C est la capacité

de l'îlot (*Figure 1.14(a)*). Or, le niveau d'énergie noté $E_{F\text{Ilot}}$ qui correspond à la présence d'un électron en excès dans le nanocrystal se trouve au-dessus de l'énergie de Fermi de l'électrode de droite, ce qui rend impossible le passage d'un électron. Le transistor est alors dans un état bloqué et aucun courant ne traverse le circuit : c'est le blocage de Coulomb. L'application d'une tension V_{GS} sur la grille du transistor a pour conséquence d'abaisser les niveaux d'énergie de l'îlot (énergie de Fermi et $E_{F\text{Ilot}}$). Ainsi, le niveau $E_{F\text{Ilot}}$ se retrouve entre les deux niveaux de Fermi des électrodes de droite et de gauche. Le passage des électrons à travers le transistor est alors possible (état passant) (*Figure 1.14(b)*) et un courant s'établit dans le circuit. Si l'on applique une tension V_{GS} supérieure, il n'existe plus de place libre dans l'électrode de gauche pour les électrons venant de l'îlot et le courant s'annule (*Figure 1.14(c)*). Dans le cas où la tension de drain est supérieure au premier palier de Coulomb, il y aura toujours existence d'un courant : chaque fois qu'un électron excédentaire dans le nanocrystal passe la deuxième jonction, l'énergie retombe à E_F , laissant la possibilité à un autre électron de la source de pénétrer dans le nanocrystal.

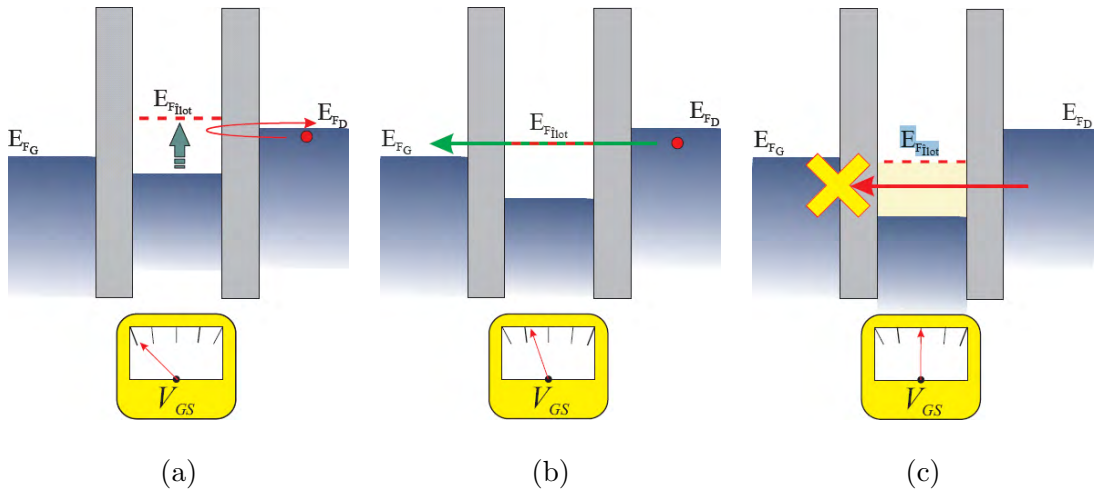


FIG. 1.14 – Effet de l'électrode de grille sur le fonctionnement du transistor à un électron. A partir d'une situation de blocage de Coulomb (a), l'application d'une tension de grille permet le transit des électrons à travers le dispositif (b). Néanmoins, dès que le niveau de Fermi de l'îlot contenant un électron supplémentaire passe en dessous du niveau de Fermi de l'électrode de droite, le courant s'annule, les électrons ne trouvant plus de places libres sur cette dernière électrode (c). D'après [Sée, 2004].

Du transistor à un électron à la mémoire à un électron Une mémoire à un électron s'écrit et s'efface grâce à l'injection d'un électron dans la grille flottante nanométrique (*Figure 1.15*). La quantité de charge injectée peut être contrôlée grâce aux effets quantiques et au blocage de Coulomb induits dans le nanocrystal. Par exemple, l'augmentation de l'énergie due à la présence d'une charge unique dans le nanocrystal étant plus élevée que la différence d'énergie potentielle entre le substrat (le canal) et la grille flottante, le transfert d'autres charges depuis le canal est bloqué. Il est alors possible de stocker un bit d'information avec un seul électron et l'information peut être lue en mesurant la différence de tension de seuil entre les deux états (présence ou non de l'électron dans le nanocrystal). La démonstration du fonctionnement d'une mémoire à un électron a été réa-

lisée en 1997 [Guo *et al.*, 1997] mais quelques années de recherche seront nécessaires avant de voir apparaître sur le marché une véritable mémoire à un électron. En effet, bien qu'elle présente l'avantage d'être écrite et effacée très rapidement, des points négatifs persistent. Pour maîtriser le nombre de charges injectées dans l'îlot, le point mémoire doit être identique dans chaque cellule mémoire, c'est à dire que les nanocristaux doivent être de taille identique, être à égale distance de la source et du drain et présenter la même direction cristallographique. Or ce n'est pas le cas si le nanocristal est fabriqué par auto-assemblage sur une surface de silice. D'une part, les nanocristaux n'ont jamais exactement la même taille et d'autre part, ils cristallisent dans des directions aléatoires. Même s'il est possible aujourd'hui de contrôler la localisation du nanocristal [Baron *et al.*, 2002 ; Karmous et Ronda, 2006], une orientation non-aléatoire nécessaire à l'homogénéité des caractéristiques d'une mémoire à un électron n'est pas encore maîtrisée.

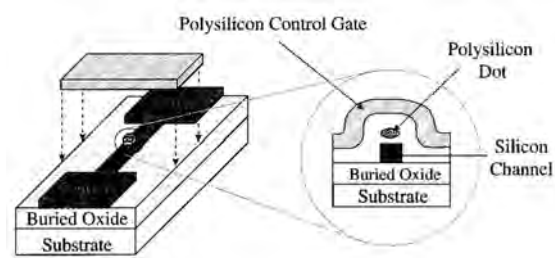


FIG. 1.15 – Schéma d'une mémoire MOS à un électron : le canal en Si est étroit et le point mémoire en poly-Si sert de grille flottante. La vue en coupe illustre la grille flottante et la région du canal. D'après [Guo *et al.*, 1997].

De la mémoire à un électron à la mémoire multibits Une mémoire à un nanocristal multibits pourrait fonctionner comme une mémoire SEM mais avec la possibilité de rajouter ou non des électrons dans le nanocristal sur les niveaux quantifiés supérieurs avec une tension d'écriture plus élevée. Cette mémoire à un nanocristal multibits correspondrait au plus petit point mémoire réalisable physiquement avec des charges électriques. Cependant, il est difficile de distinguer des électrons sur des niveaux quantifiés d'un nanocristal semiconducteur de Si ou de Ge à température ambiante. En effet, dans le cas d'un nanocristal de 10 nm de diamètre, l'espacement entre chaque niveau est bien plus faible que l'énergie thermique d'un électron à 300K. Les électrons peuvent se déplacer entre les niveaux à cette température. Une solution envisagée serait de diminuer la taille du nanocristal jusqu'à atteindre un espacement suffisant entre chaque niveau électronique pour éviter le déplacement des électrons entre les niveaux. Une meilleure séparation des niveaux se ferait au détriment du temps de rétention de la mémoire (voir paragraphe 1.2.3.1). Comme nous le verrons plus tard, une solution consisterait à utiliser des nanocristaux d'un matériau dont les niveaux électroniques seraient mieux séparés. Aujourd'hui, les mémoires SEM ou SEM multibits servent plus à l'étude et à la compréhension de phénomènes physiques nanométriques.

La mémoire multibits spatiale Les mémoires NROM présentées ci-dessus sont utilisées pour faire du stockage multibits spatial de la charge [SAIFUN, 2003] dans une cellule. L'injection des porteurs à un endroit précis de la couche est effectuée par porteurs chauds. Du fait de la nature discrète des pièges, la charge stockée ne se déplace pas dans la couche de nitrure. Il apparaît deux zones dans cette couche, l'une chargée, l'autre non. Suivant le signe de la tension V_{DS} , la tension de seuil sera différente : on aura donc 2 bits d'information. Les laboratoires SAIFUN ont aussi développé une mémoire NROM 4bits (Figure 1.16), basée sur la possibilité de stocker la charge à 4 endroits différents de la couche de nitrure. L'avantage de ce genre de mémoire est l'augmentation plus rapide de la capacité de stockage sans réduire les dimensions du dispositif.



FIG. 1.16 – Cellule mémoire 4-bits. D'après [SAIFUN, 2003].

La même approche a été adoptée pour les mémoires non volatiles à nanocristaux Figure 1.17. L'injection d'électrons chauds sert à programmer la mémoire à deux endroits différents du plan de nc -Si [Crupi *et al.*, 2003 ; Mazen, 2003 ; De Salvo *et al.*, 2004 ; Lin *et al.*, 2006].

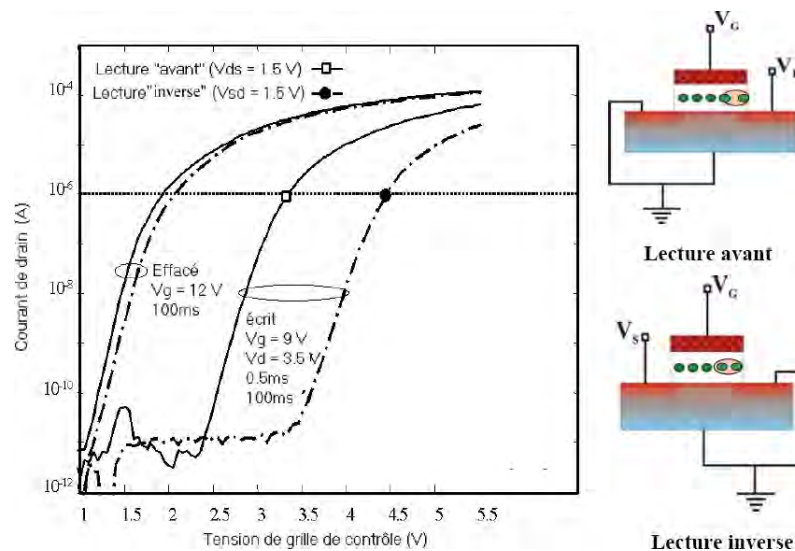


FIG. 1.17 – Caractéristique $I_D - V_G$ montrant les deux bits d'une cellule mémoire contenant une très forte densité de nc -Si. L'écriture est réalisée par injection d'électrons chauds, et l'effacement par effet Fowler-Nordheim. Représentations schématiques des lectures "avant" et "inverse". Les nc -Si chargés côté drain sont entourés. La répartition de la charge dans la grille n'étant pas uniforme, les tensions de seuil sont différentes selon le sens de la lecture (selon le signe de la tension drain-source V_{DS}). D'après [Mazen, 2003].

Les mémoires multibits spatiales sont de très bonnes candidates à la miniaturisation

des mémoires non volatiles car elles augmentent considérablement la capacité de stockage effective des mémoires. Cependant, que ce soit pour les mémoires NROM ou les mémoires à nanocristaux, le stockage multibits ne survivra pas à la miniaturisation étant donné que pour des longueurs de grille d'une vingtaine de nanomètres il ne sera possible de placer qu'un seul nanocristal par cellule (cas des mémoires à nanocristaux) ou le chargement d'une partie de la couche de nitrure perturbera la tension de seuil lue en "avant".

1.1.2 Mémoires non volatiles à grille flottante à nanocristaux (*nc*-MNV)

1.1.2.1 Principe de fonctionnement

Le fonctionnement des mémoires non volatiles à nanocristaux est identique à celui des mémoires à grille flottante en poly-Silicium : pour écrire la mémoire, les électrons sont injectés par effet tunnel dans les nanocristaux par application d'une tension positive sur la grille ($V_G > 0$). Lorsqu'un courant circule dans le canal, les électrons stockés dans les nanocristaux repoussent les électrons du canal, ce qui résulte en un décalage de la tension de seuil du transistor. L'effacement se fait par application d'une tension négative sur la grille, les électrons sont alors évacués vers le substrat par effet tunnel et la mémoire est effacée (*Figure 1.4(b)*).

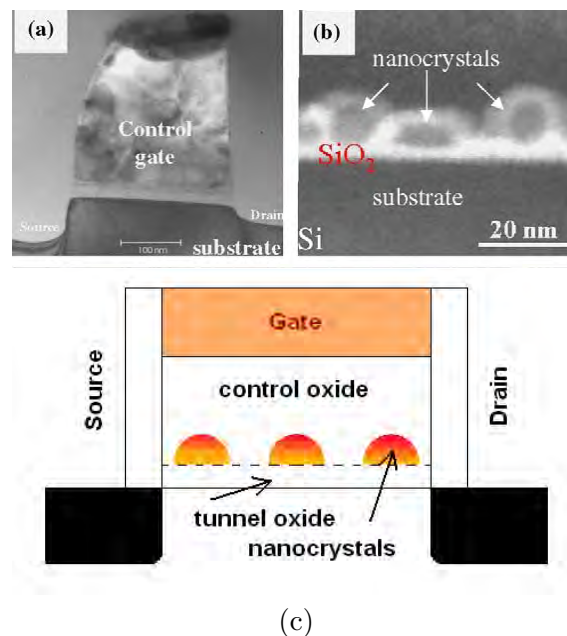


FIG. 1.18 – (a) Vue TEM en coupe d'une cellule mémoire (b) Détail de la structure SiO₂/*nc*-Si/SiO₂, d'après [Ammendola *et al.*, 2004]. (c) Schéma d'une structure mémoire à nanocristaux.

On peut observer sur la *Figure 1.18* des images TEM d'une cellule mémoire. On peut voir en (a) la cellule entière avec la source, le drain et la grille en poly-Si. L'intérêt majeur des *nc*-MNV est montré sur l'image 1.18(b). Les *nc*-Si sont isolés les uns des autres par un oxyde SiO₂, ce qui permet de limiter la perte de charge. L'épaisseur de l'oxyde tunnel peut être réduite de 8 nm à 5 nm sans trop dégrader les propriétés de rétention de la mémoire. Grâce à la diminution de l'épaisseur de l'oxyde tunnel, les tensions d'écri-

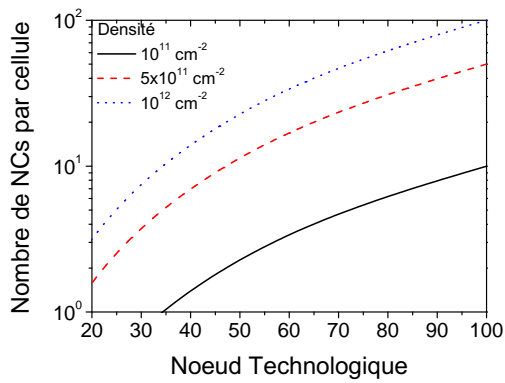
ture/effacement sont plus faibles, les vitesses d'écriture/effacement sont plus grandes et la puissance consommée est abaissée. Les interférences entre cellules mémoires, citées plus haut (*Paragraphe 1.1.1.3*), sont réduites grâce à l'utilisation de nanocristaux. La surface chargée de la grille flottante, représentée par une gaussienne, est remplacée par des points de charge *1.18(c)*. L'interférence entre chaque cellule mémoire n'est plus reliée à la distance entre chaque cellule mais à la distance entre les charges ponctuelles les plus proches de deux cellules (une charge ponctuelle est moins influente qu'une densité de charge) [Prall, 2007].

1.1.2.2 Spécifications

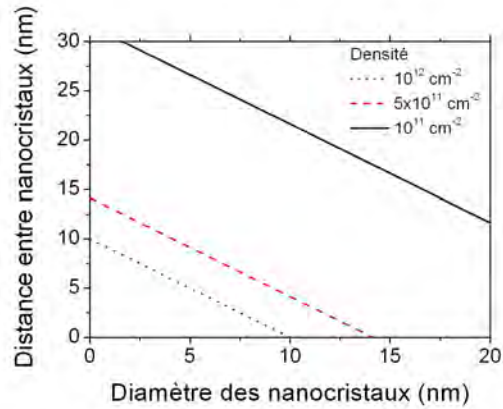
Les mémoires à nanocristaux peuvent être sujettes à une instabilité de la tension de seuil plus grande que les mémoires à grille flottante conventionnelle. Pour un bon fonctionnement des mémoires à nanocristaux, il faut :

- une grande densité de nanocristaux, de 10^{11} à 10^{12} cm^{-2} (fonction du nœud technologique). En effet, le nombre moyen d'électrons par nanocristal doit être limité pour que le stockage ait lieu sur le niveau fondamental de la bande de conduction du nanocristal. Or, la tension de seuil de la mémoire est proportionnelle au nombre de charges stockées. Le seul moyen d'augmenter la tension de seuil est donc d'augmenter la densité de nanocristaux.
- des nanocristaux suffisamment petits pour réduire la probabilité qu'il y ait un défaut dans l'oxyde sous les nanocristaux. Cependant, lorsque la taille du nanocristal est trop faible, les niveaux confinés dans le nanocristal augmentent et les performances de rétention diminuent.
- une séparation d'au minimum 3-4 nm entre les nanocristaux pour éviter les problèmes d'échanges d'électrons (*Figure 1.19(b)*).
- une dispersion en taille minimale pour réduire les dispersions de la tension de seuil et des caractéristiques d'écriture/effacement. Cette instabilité est responsable de l'apparition de chemins de percolation entre le drain et la source.
- une localisation spatiale des nanocristaux pour les générations futures de mémoires à nanocristaux (en dessous du nœud 45 nm) pour contrôler le nombre de nanocristaux par cellule mémoire.

Pour le moyen termes, un bon compromis (*Figure 1.19(a)*) consisterait en une densité de nanocristaux d'environ 5×10^{11} cm^{-2} et une taille de nanocristaux comprise entre 5 et 10 nm pour s'affranchir à la fois des problèmes liés à la conduction entre nanocristaux et des effets de confinement quantique. On observe cependant que pour les nœuds technologiques post-50 nm, la charge serait répartie sur environ une dizaine de nanocristaux : une fluctuation de la densité ou de la taille des nanocristaux conduirait alors à une plus grande dispersion de la tension de seuil : la localisation spatiale des nanocristaux et la dispersion minimale de leur taille sont donc cruciales.



(a)



(b)

FIG. 1.19 – Evolution du nombre de nanocristaux (ou d'électrons, en considérant 1 seul électron stocké par nanocristal) par cellule mémoire en fonction du nœud technologique pour plusieurs densités. (b) Evolution de la distance entre nanocristaux en fonction de la taille des nanocristaux pour plusieurs densités.

1.1.2.3 Fabrication

Les mémoires à nanocristaux requièrent donc la maîtrise des caractéristiques structurales de la cellule mémoire, en particulier des nanocristaux. Il est primordial de maîtriser la croissance des nanocristaux pour fabriquer des dispositifs fiables de façon reproductible.

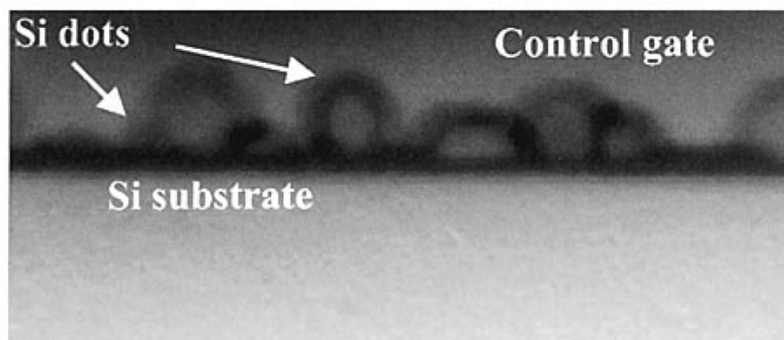


FIG. 1.20 – Structure $\text{SiO}_2/\text{nc-Si}/\text{SiO}_2$ intégrée à une mémoire à nc-Si . D'après [Crupi *et al.*, 2003]

Le dépôt chimique en phase vapeur à basse pression (LPCVD : Low Pressure Chemical Vapour Deposition) est la technique de dépôt de nanocristaux la plus couramment utilisée, en particulier par les industriels (*Tableau 1.1*) : Atmel [Jacob *et al.*, 2007], Freescale [Muralidhar, 2004], Samsung [Baik *et al.*, 2003] et St-Microelectronics [Ammendola *et al.*, 2004]. Cependant, d'autres techniques telles que l'implantation ionique et/ou le recuit de couches de silices pauvres en oxygène (SiO_x) sont aussi développées.

Le dépôt par LPCVD est assez courant car le simple contrôle du flux des gaz précurseurs et de la température permet le contrôle de la taille et de la densité des nanocristaux. Cependant, la dispersion de taille suit généralement une distribution gaussienne avec une

Compagnie	Référence	Méthode de croissance	Paramètres de croissance
IBM	[Tiwari <i>et al.</i> , 1996a]	CVD	
CEA	[Baron <i>et al.</i> , 2000]	LPCVD	570-610 ° C
Freescale	[Rao <i>et al.</i> , 2005]	CVD	passivation NO
	[Muralidhar, 2004]	CVD	T_G 600 ° C
Atmel	[Jacob <i>et al.</i> , 2007]	LPCVD	
ST	[Ammendola <i>et al.</i> , 2004]	LPCVD	T_G 500-600 ° C
Samsung	[Baik <i>et al.</i> , 2003]	LPCVD	t_{ox} SiN/SiO ₂ /SiN
	[Shalchian <i>et al.</i> , 2005]	Implantation Ionique à faible énergie	Recuit 30 min à 950 ° C sous N ₂ /O ₂
IMM (Cagtagne)	[Crupi <i>et al.</i> , 2003]	RTCVD	T_G 500-600 ° C

TAB. 1.1 – Fabrication des mémoires non volatiles à *nc*-Si

forte largeur à mi-hauteur d'environ 2 nm. Le principe du dépôt consiste à injecter un gaz de silane sous une pression de 0,3 à 0,4 Torr à la surface d'un oxyde tunnel dans une gamme de température variant de 500 ° C à 650 ° C. Deux processus sont susceptibles de se produire à la surface : soit le silane est adsorbé et se décompose en silicium solide et en hydrogène, soit il se décompose en silène et ce dernier s'adsorbera ensuite en surface pour se décomposer en silicium solide et en hydrogène. Dans les deux cas, le silicium croît sur la surface de SiO₂. La croissance se produit sur des sites de nucléation aléatoires ou introduits de façon intentionnelle. Les îlots de silicium croissent jusqu'au moment où les flux de gaz sont stoppés pour éviter la coalescence des îlots et la formation d'une couche polycristalline de Si.

Une autre technique d'obtention des *nc*-Si repose sur la précipitation de Si présents en excès dans une matrice de SiO₂. La couche d'oxyde sous-stœchiométrique est obtenue pour des températures voisines de 600 ° C par LPCVD ou de 300 ° C par PECVD. La couche de SiO_x est ensuite recuite à des températures voisines de 1000 ° C pour une durée variant typiquement de quelques minutes à quelques dizaines de minutes. Cette augmentation de la température permet la diffusion des atomes de silicium en excès. Leur migration assure la formation de cristallites de silicium dans une matrice de SiO₂ lorsque la démixtion est complète (matrice finale en SiO₂ "pur"). On peut aussi incorporer des atomes de Si artificiellement par implantation ionique de Si⁺. Les doses implantées vont de 10¹⁶ à 10¹⁷ atomes.cm⁻³ et la profondeur d'implantation dépend de l'énergie d'implantation [Normand *et al.*, 2003 ; Shalchian *et al.*, 2005]. Un recuit est là aussi nécessaire pour assurer la précipitation du silicium en nanocristallites et réparer les dommages dus à l'implantation.

Ces deux techniques de fabrication ont cependant des inconvénients majeurs : l'implantation avec précipitation par recuit ne permet pas l'obtention de couches assez fines nécessaires à la réduction de taille des dispositifs [Busseret, 2001]. Le recuit nécessaire à la formation des îlots est aussi un désavantage majeur si les autres matériaux servant à fabriquer le dispositif ne supportent pas les températures de recuit élevées. Le problème reste le même pour les îlots précipités de couches SiO_x obtenues par LPCVD ou PECVD.

De ces trois méthodes de fabrication de *nc*-Si dans une matrice de SiO₂, c'est plutôt le dépôt par LPCVD qui a été retenu par les industriels (Tableau 1.1). Les *nc*-Si ont des tailles comprises entre 3 et 12 nm [Rao *et al.*, 2005], une densité de l'ordre de 2×10^{11}

à $1 \times 10^{12} \text{ cm}^{-2}$. Les températures de croissance sont comprises entre 500 et 600 ° C et le flux de silane, dont la densité des *nc*-Si dépend fortement peut varier entre 0,1 et 0,2 Torr [De Blauwe, 2002]. Généralement, un oxyde CVD haute température (HTO : High Temperature Oxide) est déposé sur les nanocristaux pour former l'oxyde de contrôle. Des recuits oxydants sont nécessaires pour diminuer la dispersion en taille des nanocristaux qui est d'environ 2 nm.

1.1.2.4 Caractéristiques

Les études portant sur les caractéristiques électriques des mémoires à *nc*-Si sont nombreuses [Tiwari *et al.*, 1995 ; De Salvo *et al.*, 1999b ; De Blauwe, 2002 ; Rao *et al.*, 2005]. Récemment, des mémoires intégrant des nanocristaux ont été réalisées par plusieurs groupes industriels. STMicroelectronics [Gerardi *et al.*, 2007] a présenté une mémoire de 16 Mbits en technologie 150 nm (5 nm d'oxyde tunnel, 3-6 nm de diamètre et $3-6 \times 10^{11} \text{ cm}^{-2}$ de densité, 12 nm d'oxyde de contrôle (EOT)). La fenêtre de programmation est de 3 V, avec une tension d'écriture de 7-9 V pour des pulses de 1-10 μs et une tension d'effacement de 18-20 V pour des pulses de 10 ms. Le temps de rétention extrapolé, pour les états effacé et écrit, montre que la fenêtre de programmation est encore de 2 V après 10 ans. Le problème principal de ce dispositif vient de l'oxyde de contrôle, réalisé par le dépôt d'une couche Oxyde-Nitride-Oxyde (ONO), dont la présence induit un décalage des tensions de seuil lors des cycles d'écriture effacement du fait de piègeages de charges dans la couche de nitride. Par exemple, après 1000 cycles, la fenêtre de programmation est décalée de 2 V. La société ATMEL [Jacob *et al.*, 2007] a réalisé des mémoires d'une capacité de 32 Mbits en technologie 130 nm (4-5 nm d'oxyde tunnel, 7-9 nm de diamètre et 10^{12} cm^{-2} de densité, 8-10 nm d'oxyde de contrôle). La fenêtre de programmation est de 3 V avec des tensions d'écriture de 8 V pour un pulse de 10 μs et des tensions d'effacement de -9 V pour un temps de 4 ms. Après 1000 cycles, la fenêtre de programmation garde la même largeur mais est décalée de 500 mV. Le temps de rétention à 10 ans de la mémoire n'est pas atteint mais les simulations effectuées par cette équipe de recherche sur la base de leurs expériences montrent qu'une épaisseur d'oxyde de contrôle de 12 nm permettrait d'atteindre cet objectif.

1.1.3 Conclusion

Pour conclure cette partie, les mémoires non volatiles à grille flottante en polysilicium vont très probablement trouver des dispositifs alternatifs. Certains ne stockent pas de charge électrique pour coder l'information : les mémoires magnétiques ou à changement de phase sont des candidates potentielles mais ne sont pas encore mûres industriellement. Au contraire, les mémoires à stockage de charge dans une grille flottante, à nanocristal ou à piège dans une couche deux dimensions, sont déjà sur le marché.

Les mémoires Flash à *nc*-Si sont néanmoins limitées comme le montrent les réalisations présentées ci-dessus. Ceci est plus lié à la nature même du Si qu'à l'architecture de la mémoire. La *Partie 1.2* présente les limitations majeures des mémoires à *nc*-Si et les propriétés requises pour améliorer les caractéristiques des MNV sans être pénalisé lorsque les

dimensions des dispositifs sont réduites. Nous proposerons alors l'utilisation des *nc-InAs*, en remplacement des nanocristaux habituellement utilisés dans les mémoires à nanocristaux, en nous appuyant sur des considérations théoriques appuyées par des simulations quantiques.

1.2 Vers les mémoires à grille flottante à *nc*-InAs

1.2.1 Limitations des matériaux utilisés dans les MNV à nanocristaux actuelles

Les mémoires à nanocristaux actuelles présentent des limitations liées principalement aux matériaux utilisés comme point de stockage de charge.

1.2.1.1 Limitations des mémoires à *nc*-Si

Très tôt après l'apparition des mémoires à *nc*-Si, les chercheurs se sont rendus compte que ces mémoires seraient très vite limitées. En effet, les spécifications de l'ITRS [ITRS, Edition 2007] requièrent des temps de rétention de 10-20 ans pour des épaisseurs d'oxyde tunnel inférieures à 5 nm. Or le temps de rétention des électrons dans les mémoires à *nc*-Si n'atteint pas ces recommandations, principalement à cause de la hauteur de barrière des électrons Si/SiO₂ qui n'est que de 3,15 eV. Deux solutions pourraient être envisagées :

- Etant donné que les trous ont une barrière plus élevée (4,63 eV), il est possible de les stocker dans les nanocristaux pour atteindre les objectifs en termes de temps de rétention. Cependant, les vitesses d'écriture/effacement sont plus faibles car les trous dans le SiO₂ ont une masse effective bien plus élevée que celle des électrons [Busseret, 2001], ceci augmentant considérablement le temps de transition des trous à travers les barrières d'oxyde.
- Une autre solution consiste à utiliser le nitrure de silicium comme couche interfaciale entre les nanocristaux et les oxydes de contrôle et tunnel. Le stockage des électrons se ferait dans des pièges à l'interface *nc*-Si/Si₃N₄ plus confinés que la bande de conduction des nanocristaux [Choi *et al.*, 2005]. Cependant, les mémoires à nanocristaux intégrant du nitrure de silicium souffrent d'un décalage de la tension de seuil lorsque le nombre de cycles devient trop important [Gerardi *et al.*, 2007]. Dans ce cas de figure, le rôle des *nc*-si réside seulement dans la localisation spatiale des pièges dont la stabilité et le contrôle dans le temps s'avèrent difficiles.

Finalement, dans le cas des applications SEM multibits, les niveaux électroniques dans les *nc*-Si ne sont pas suffisamment séparés à 300 K pour que les électrons puissent être stockés à des étages électroniques différents. Voici maintenant deux exemples non exhaustifs de mémoires à nanocristaux utilisant de nouveaux matériaux pour en améliorer les caractéristiques.

1.2.1.2 Mémoires à *nc*-Ge

Les mémoires à *nc*-Ge sont apparues dès 1998 [King *et al.*, 1998]. L'intérêt majeur du Ge par rapport au Si vient de la hauteur de barrière des trous plus importante que celle du Si (Tableau 1.2). Le temps de rétention des trous dans une mémoire à nanocristaux est donc amélioré. Par ailleurs, à cause de la masse effective des trous plus élevée, les vitesses d'écriture/effacement augmentent. Cependant, aucune amélioration n'est possible pour le stockage des électrons car la barrière est la même pour le Si et le Ge [Kanoun *et al.*, 2004a].

	InAs	Ge	Si
Permittivité	14.6	16.0	11.9
Masse effective transversale des électrons m_{e-t}	0,023	0,082	0,19
Masse effective longitudinale des électrons m_{e-l}	0,023	1,64	0,98
Masse effective des trous lourds m_{h-h}	0,4	0,28	0,49
Masse effective des trous légers m_{h-l}	0,024	0,04	0,16
Affinité électronique (eV)	4,9	4,0	4,05
Barrière Ec/SiO ₂ (eV)	4	3,1	3,15
Barrière Ev/SiO ₂ (eV)	4,64	5,14	4,63
Gap (eV)	0,36	0,66	1,12
Paramètre de maille (Å)	6,05	5,65	5,43

TAB. 1.2 – Paramètres physiques et électroniques de trois semiconducteurs à 300 K : Si, Ge et InAs. La masse effective des porteurs de charge est plus faible dans l’InAs et dans le Ge par rapport au Si. Il en est de même de la bande interdite.

Fabrication Il existe de nombreuses techniques de fabrication de *nc-Ge* dans une matrice de SiO₂ [Kanoun, 2004b]. Nous pouvons citer deux techniques principales :

- La technique développée au LTM à Grenoble par l’équipe de T. Baron. Cette technique consiste en la formation d’îlots de Ge sur SiO₂ par LPCVD en deux étapes [Baron *et al.*, 2003] (*Figure 1.21*). Elle utilise la propriété du Ge de croître préférentiellement sur le Si par rapport au SiO₂. Dans un premier temps, des nucléi de Si sont formés sur la surface de SiO₂ selon la même méthode que pour la croissance des *nc-Si*. Leur taille est inférieure au nm. Dans un deuxième temps, le silane est remplacé par le germane à la même température de croissance. Etant donné que le Ge ne croît que sur silicium, la taille des *nc-Ge* est contrôlée par le temps de croissance et leur densité est contrôlée par la densité des nucléi précédemment formés sur la surface de SiO₂. Après croissance des *nc-Ge*, il ne reste alors qu’à déposer la couche d’oxyde de contrôle après avoir encapsulé les *nc-Ge* par quelques monocouches de Si.
- Les récents travaux de l’équipe d’Isabelle Berbezier au L2MP à Marseille sur l’auto-organisation et la croissance de Ge par épitaxie par jets moléculaires directement sur SiO₂ [Szkutnik *et al.*, 2008]. Ici, une couche de Ge amorphe est déposée sur la couche d’oxyde tunnel, sur laquelle ont été fabriqués (ou non) des nanotrous par faisceau d’ions localisé (FIB : Focused Ion Beam) (*Figure 1.22*) [Gacem *et al.*, 2007]. Les nanocristaux sont formés après recuit de la structure entre 500 ° C et 700 ° C et s’auto-organisent dans les trous formés par FIB. L’inconvénient majeur de cette méthode provient de l’impossibilité de déposer une couche de SiO₂ directement sur les *nc-Ge* car ils s’oxydent et disparaissent en présence d’oxygène du fait de la volatilité de l’oxyde de Ge (GeO). Une solution consiste à déposer une couche de Si polycristallin sur la couche de Ge épitaxiée [Kanjilal *et al.*, 2003] et de recuire le tout à haute température (800 ° C pendant 20 min) sous O₂ pour former une couche de Ge₂O₃ et de SiO₂. La dernière étape consiste à recuire sous azote pendant quelques minutes à 950 ° C la structure : les *nc-Ge* se forment par ségrégation dans la matrice SiO₂.

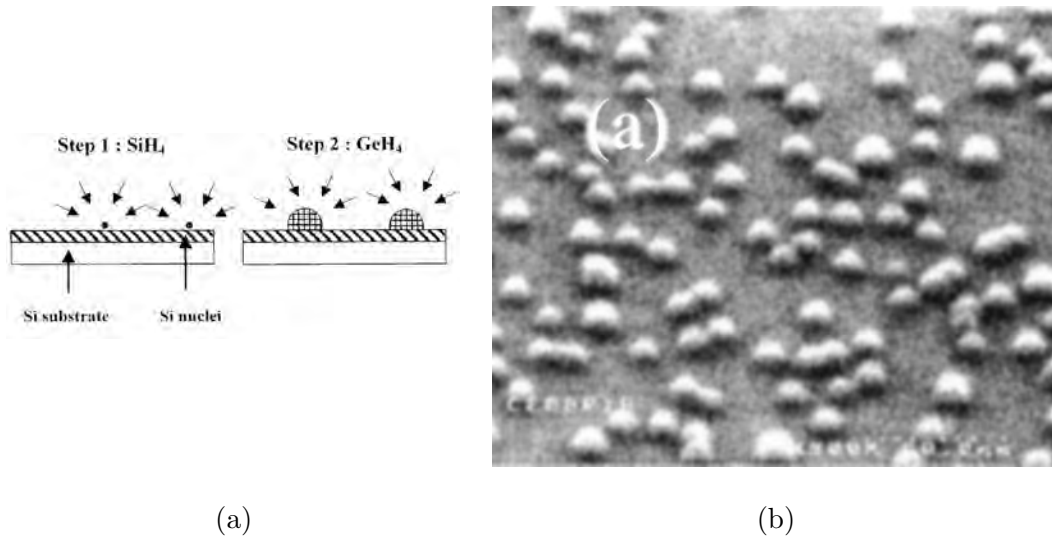


FIG. 1.21 – (a) Schéma de la croissance des *nc-Ge* en deux étapes. Dans la première étape, des nucléi de Si sont formés sur la surface de SiO₂. Dans la deuxième étape, les *nc-Ge* croissent de manière sélective sur les nucléi de Si. (b) Image MEB des *nc-Ge* déposés sur SiO₂ par la technique présentée en (a). La densité des nanocristaux est de $2,3 \cdot 10^{11} \text{ cm}^{-2}$ et leur diamètre moyen est de 12 nm. D'après [Baron *et al.*, 2003].

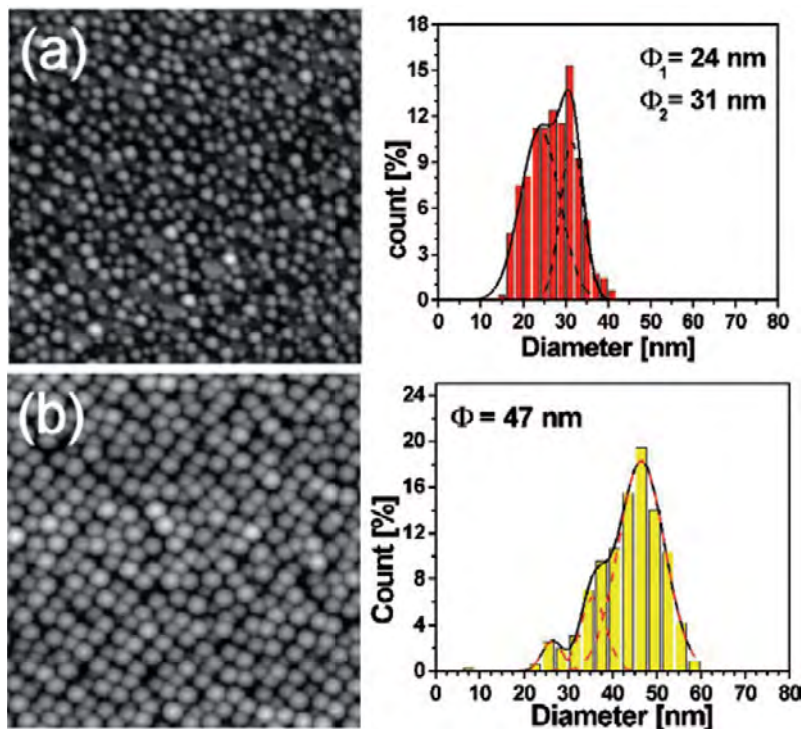


FIG. 1.22 – Images AFM $1 \mu\text{m}^2$ de nanocristaux obtenus à partir d'un dépôt à température ambiante d'une couche de Ge de 4 nm d'épaisseur suivie d'un recuit thermique à 500°C pendant 20 min sur une surface contenant des motifs. (a) Surface de SiO₂ plane et (b) Surface de SiO₂ contenant des motifs espacés de 50 nm. Les distributions de diamètres sont présentées sur les graphiques de droite. D'après [Gacem *et al.*, 2007].

Caractéristiques On observe sur la *Figure 1.23(a)* un graphique expérimental montrant l'évolution de la charge stockée en fonction du temps pour une mémoire à *nc-Ge* [Kanoun

	<i>nc-Ge</i>	<i>nc-Si</i>
Épaisseur d'oxyde tunnel (nm)	2,5 nm	3 nm
Densité de nanocristaux (cm ⁻²)	2,7.10 ¹¹	2,7.10 ¹¹
Diamètre des nanocristaux (nm)	8,5	6
Épaisseur de l'oxyde de contrôle (nm)	10	8
Nom du process (CEA-LETI)	520P04	5300P23

TAB. 1.3 – Paramètres physiques des structures à *nc-Si* et *nc-Ge* dont les caractéristiques sont affichées *Figure 1.23*.

et al., 2004a]. Les électrons se déchargent plus vite que les trous dans une mémoire à *nc-Ge*. Le temps de rétention des électrons dans les *nc-Ge* est plus court que le temps de rétention des trous. Le graphique de la *Figure 1.23(b)* montre que les trous dans les MNV à *nc-Ge* se déchargent plus vite que dans les MNV à *nc-Si* (structures équivalentes, voir *Tableau 1.3*). La caractéristique de rétention des mémoires à nanocristaux n'est finalement améliorée que pour les trous et les vitesses d'écriture/effacement ne sont pas améliorées à cause d'une masse effective des trous plus élevée que celle des électrons.

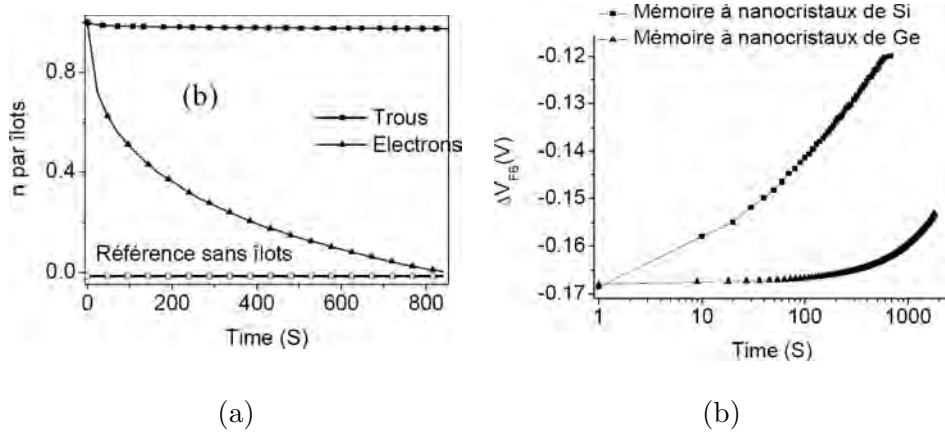


FIG. 1.23 – (a) Evolution du nombre de charges par *nc-Ge* en fonction du temps pour des trous et des électrons. (b) Comparatif de cinétiques de déchargement des trous dans des *nc-Ge* et de *nc-Si*. D'après [Kanoun *et al.*, 2004a].

1.2.1.3 Mémoires à nanostructures métalliques

Les nanostructures métalliques présentent certains avantages par rapport aux *nc-Si*. Le travail de sortie des métaux est généralement élevé (autour de 4,5 eV, voir *Tableau 1.4*), ce qui confère aux électrons un confinement plus important que dans le Si ou le Ge. Par ailleurs, les nanostructures métalliques sont relativement insensibles aux fluctuations du niveau de Fermi causées par les impuretés. La quantification des niveaux électroniques est supprimée dans les nanostructures métalliques, le travail de sortie reste quasiment inchangé par rapport au matériau massif et la densité d'états est élevée. Par conséquent, le stockage dans des nanostructures métalliques est très bon et le nombre d'électrons pouvant être stockés est plus élevé que dans les nanocristaux semiconducteurs. Plusieurs métaux ont été étudiés pour des applications mémoires non volatiles à nanocristaux : Pt, Ag, Ni, Tn, et Au [Dufourcq *et al.*, 2008b ; Liu *et al.*, 2002b].

Fabrication La première étude portant sur les mémoires à nanostructures métalliques date de 2002 [Liu *et al.*, 2002a]. Plusieurs techniques permettent de déposer des nanostructures métalliques sur de la silice : l'étalement de solutions colloïdales contenant des nanostructures métalliques [Tan *et al.*, 2005], l'auto-organisation de copolymères diblocks [Aissou *et al.*, 2007], l'oxydation sélective de siliciures métalliques [Chen *et al.*, 2007].... La technique la plus répandue est basée sur le démouillage de couches minces métalliques. Elle consiste à déposer une couche très mince de métal sur le substrat et à la recuire pour activer la rupture du film et former des nanostructures métalliques. Dans la première étape, le dépôt du métal se fait par pulvérisation cathodique ou par évaporation [Dufourcq *et al.*, 2008b]. La deuxième étape consiste à recuire sous lampe la couche de métal pour former les nanostructures. Le principe physique repose sur le phénomène d'agglomération ou de démouillage des films minces métalliques car la forme en goutte du matériau est thermodynamiquement plus stable que le film mince bidimensionnel. Les nanostructures obtenues par démouillage sont d'autant plus nombreuses et leur formation d'autant plus rapide que le film métallique initial est mince. Les métaux diffusent facilement dans le SiO₂ et sont susceptibles de contaminer le substrat s'ils traversent toute l'épaisseur de l'oxyde tunnel. Bien que cet effet soit réduit lorsque les nanostructures sont auto-assemblées sur la surface de l'oxyde tunnel, il existe des risques au moment d'étapes technologiques telles qu'un recuit ou un dépôt d'oxyde à haute température. Une solution consiste à utiliser des procédés technologiques basse température après dépôt des nanostructures métalliques [Dufourcq *et al.*, 2008b] ou d'utiliser des matériaux ne nécessitant pas de recuit à température élevée. Par exemple, C. Sargentis [Sargentis *et al.*, 2007] a utilisé le HfO₂ comme oxyde de contrôle car il peut être déposé à basse température (*Figure 1.24*).

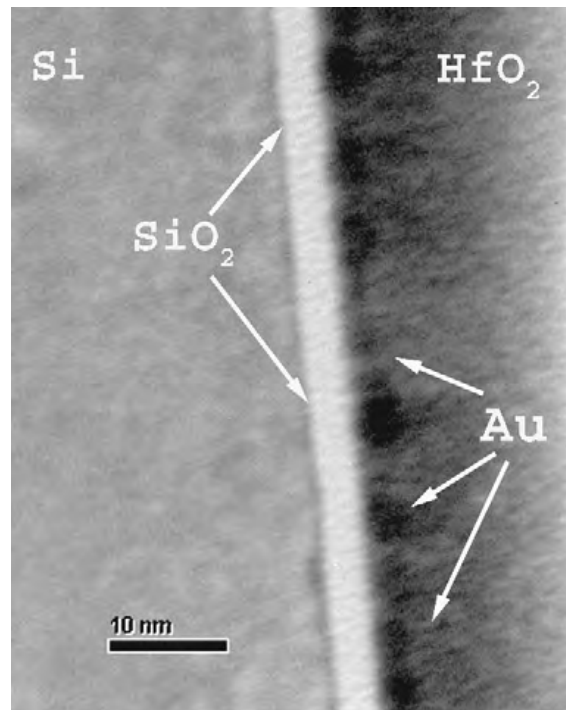


FIG. 1.24 – Structures mémoires à nanostructures d'Au recouvertes d'un oxyde HfO₂. D'après [Sargentis *et al.*, 2007].

Caractéristiques Dans le cas des mémoires à nanostructures métalliques, les métaux ayant un offset de bande très grand par rapport au SiO_2 tels que l'or ou le platine, sont évidemment les plus intéressants (*Tableau 1.4*).

Métal	Travail de Sortie (en eV)
Ag (Argent)	4,26
Al (Aluminum)	4,15
Au (Or)	5,0
Cs (Cesium)	2,14
Cu (Cuivre)	4,65
Li (Lithium)	2,9
Pb (Plomb)	4,25
Sn (Étain)	4,42
Pt (Platine)	5,3
Cr (Chrome)	4,6
Ni (Nickel)	4,5
Mo (Molybdenum)	4,37
Tu (Tungsten)	4,5

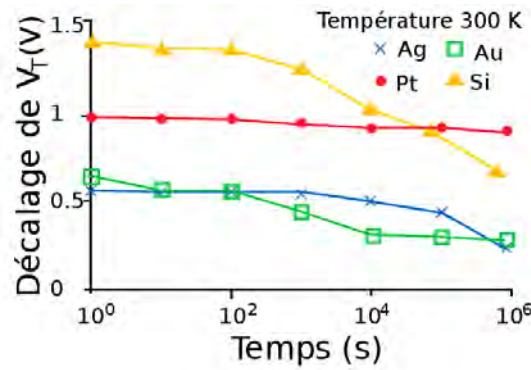
TAB. 1.4 – Travaux de sortie de certains métaux

La *Figure 1.25(a)* montre des caractéristiques de rétention de charges dans des nanostructures métalliques. [Liu *et al.*, 2002b] ont observé expérimentalement que les nanostructures métalliques ont effectivement de meilleures propriétés de rétention des électrons que les *nc-Si*. De plus, le décalage de la tension de seuil est plus important pour les mémoires à nanostructures métalliques car la densité d'états électroniques plus élevée permet de stocker un plus grand nombre de charges dans les nanostructures (*Figure 1.25(b)*). Les nanostructures métalliques ont donc des atouts non négligeables pour être utilisées dans les MNV. En revanche, leur utilisation ne pourra pas être étendue aux mémoires SEM multibits car les états électroniques dans une nanostructure métallique ne sont pas discrétisés.

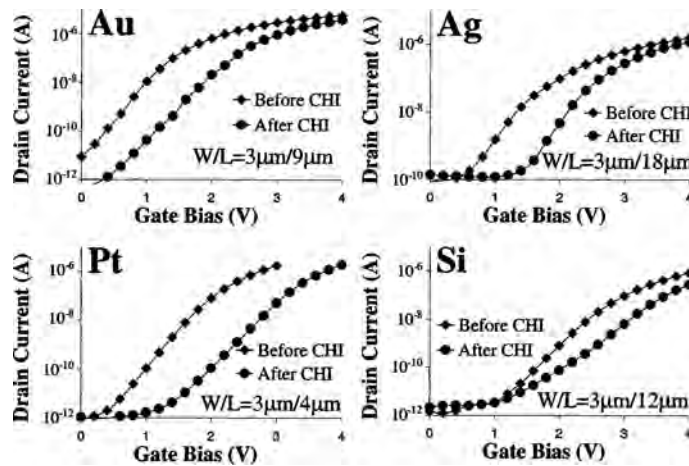
1.2.2 Propriétés requises pour l'amélioration des MNV à nanocristaux

Le défi technologique lancé aujourd'hui consiste à améliorer les performances de la mémoire à nanocristaux sans modifier son architecture grâce à l'utilisation de matériaux judicieusement choisis pour leurs caractéristiques physiques et électroniques.

Le matériau constituant les nanocristaux doit avoir une affinité électronique importante. En effet, le temps de rétention des mémoires dépend fortement de la hauteur de barrière entre la bande de conduction du nanocristal et celle de l'oxyde tunnel. Plus l'offset de bande est élevé, plus le temps de rétention sera long. Le *Tableau 1.26* rend compte des barrières électroniques de différents semiconducteurs et oxydes. On observe que l'*InAs* et l'*InN* sont les semiconducteurs ayant la plus grande affinité électronique, respectivement 4,9 eV et 5 eV. Il est ainsi possible de prédire un temps de rétention plus élevé dans des *nc-InAs* ou d'*InN* encapsulés dans de la silice que dans les nanocristaux déjà étudiés tels que le Si ou le Ge (respectivement 4,05 et 4,13 eV). En revanche, il est déconseillé de remplacer l'oxyde SiO_2 par un autre diélectrique pour augmenter la barrière de potentiel car le SiO_2 est le diélectrique dont l'affinité électronique est la plus faible parmi ceux utilisés en technologie CMOS [Robertson et Falabretti, 2006]. Les couples *nc-InAs/SiO₂* ou



(a)



(b)

FIG. 1.25 – (a) Caractéristiques de rétention de mémoires à nanostructures métalliques (comparaison avec le Si). (b) Ecriture par injection d'électrons chauds pour différents types de nanostructures métalliques (comparaison avec le Si). D'après [Liu *et al.*, 2002b].

nc -InN/SiO₂ paraissent les plus prometteurs du point de vue des hauteurs de barrières électroniques pour augmenter les caractéristiques de rétention des mémoires.

Actuellement, les recherches et la production de mémoires à nanocristaux sont centrées autour d'épaisseurs d'oxyde tunnel de 5 nm [Jacob *et al.*, 2007]. La réduction de l'épaisseur de l'oxyde tunnel en dessous de cette valeur sera nécessaire pour respecter les recommandations de l'[ITRS, Edition 2007] en termes de vitesses et tensions d'écriture/effacement.

Mise à part l'amélioration des performances des nc -MNV, l'intérêt de la mémoire proposée aujourd'hui serait de pouvoir être miniaturisée jusqu'à obtenir une mémoire SEM multibits. Dans ce type de mémoires, il serait possible de stocker les électrons sur les niveaux discrets du nanocristal.

Comme il a été vu au *Paragraphe 1.2.1*, il n'y a pas de niveaux discrets dans une nanostructure métallique. Le matériau sélectionné doit donc être un semiconducteur car ces derniers ont l'avantage d'avoir des niveaux discrets lorsque leurs dimensions sont de taille nanométrique.

Le nanocristal semiconducteur doit posséder des niveaux confinés les plus espacés possible. La position des différents niveaux par rapport au fond d'un puits quantique de di-

	Gap (eV)	EA (eV)	CNL used (eV)
Si	1.12	4.05	0.2
Ge	0.67	4.13	0.1
SiC 3C	2.35	4.55	1.3
SiC 6H	3.05	3.85	1.55
SiC 4H	3.25	3.65	1.55
AIP	2.56	2.8	1.3
GaP	2.25	3.2	0.8
InP	1.34	4.4	0.6
AlAs	2.16	3.54	0.92
GaAs	1.45	4.15	0.55
InAs	0.36	4.9	0.50
AlSb	1.7	3.6	0.4
GaSb	0.75	4.06	0.06
InSb	0.17	4.59	0.15
InN	0.76	5	1.87
GaN	3.2	3.3	2.3
AlN	6.2	0.6	2.8
ZnO	3.4	4.6	3.27

	Gap (eV)	EA (eV)	CNL (eV)	ε_∞	S	S (exp)
HfO ₂	6.0	2.4	3.7	4	0.53	0.52
ZrO ₂	5.8	2.5	3.6	4.8	0.41	0.52
HfSiO ₄	6.5	2	3.6	3.8	0.56	
La ₂ O ₃	6.0	2	2.4	4	0.53	
LaAlO ₃	5.6	2.5	3.8	4	0.53	
SrTiO ₃	3.3	3.9	2.3	6.1	0.28	0.28
PbTiO ₃	3.4	3.5	1.9	6.25	0.27	
Ta ₂ O ₅	4.4	3.3	3.3	4.84	0.4	
Ga ₂ O ₃	4.8	3.5	2.8	4.2	0.49	
Gd ₂ O ₃	5.8	2.4	2.3	4.8	0.41	
Al ₂ O ₃	8.8	1	6	3.12	0.69	0.69
SiO ₂	9	0.9	4.5	2.25	0.86	0.95
Si ₃ N ₄	5.3	2.1	2.6	3.8	0.56	0.59

FIG. 1.26 – Bande interdite (Gap) en eV et affinité électronique (Electronic Affinity) en eV pour les principaux semiconducteurs et isolants utilisés en microélectronique. On observe que le SiO₂ possède la plus faible affinité électronique alors que l’InAs et l’InN ont les affinités électroniques les plus élevées chez les semiconducteurs. D’après [Robertson et Falabretti, 2006].

mension L ⁵ dépend fortement de la masse effective du porteur dans ce puits. Ces différents niveaux correspondent à une suite discrète E_n^∞ , où n est le nombre quantique :

$$E_n^\infty = \frac{\hbar^2}{2m^*} \left(\frac{n\pi}{L} \right)^2, \quad n \in N^* \quad (1.1)$$

⁵Le calcul des niveaux quantiques dans un puits de potentiel unidimensionnel infini de dimension L se fait par la résolution de l’équation de Schrödinger à une dimension en prenant comme barrière de potentiel $U(z) = \infty$ à l’intérieur du puits.

avec \hbar la constante de Planck réduite, m^* la masse effective du porteur de charge dans le puits, et L la largeur du puits. D'après cette équation, l'écart entre chaque niveau énergétique est inversement proportionnel à la masse effective du porteur de charge dans le puits. Les niveaux sont donc mieux séparés lorsque la masse effective de l'électron est plus faible. Les matériaux semiconducteurs ayant des masses effectives très faibles sont généralement les semiconducteurs III-V. C'est donc vers ces matériaux qu'il faut plutôt s'orienter pour éventuellement réaliser des mémoires multibits à nanocristal unique.

Pour finir, les applications optoélectroniques sont de plus en plus convoitées et l'utilisation de nanocristaux semiconducteurs à gap direct dans les mémoires permettrait d'inventer de nouvelles formes de programmation ou de stockage de l'information dans les nanocristaux faisant appel à leurs propriétés optiques.

1.2.3 Pourquoi les *nc*-InAs ?

L'Arseniure d'Indium est un semiconducteur III-V :

- il possède une affinité électronique parmi les plus élevées des semiconducteurs : 4,9 eV ;
- la masse effective des électrons dans l'InAs est parmi les plus faibles : $0,023m_e$ (m_e est la masse de l'électron libre) ;
- sa bande interdite est directe.

De notre point de vue, il remplit les critères théoriques pour améliorer les performances des mémoires non volatiles à nanocristaux. Cette partie se propose de présenter les propriétés électroniques de l'InAs depuis le matériau massif jusqu'aux nanostructures.

L'InAs est un composé II-V binaire formé à partir d'un élément de la 3^{ème} colonne (Indium) et d'un élément de la 5^{ème} colonne (Arsenic) de la classification périodique. Sa structure cristalline est de type zinc-blende. Le réseau cristallin est composé de deux sous-réseaux cubiques à faces centrées interpénétrés et décalés de $(1/4, 1/4, 1/4)$ (*Figure 1.27(a)*), l'un étant constitué des atomes de l'élément III, l'autre des atomes de l'élément V. La *Figure 1.27(b)* montre la structure de bande de l'InAs suivant les directions de plus haute symétrie de l'espace réciproque. La bande interdite de l'InAs se situe au centre de la zone de Brillouin, c'est un semiconducteur à "gap direct".

L'InAs possède une bande interdite de 0,36 eV et la mobilité des électrons dans le matériau massif est d'environ $33000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Ses propriétés physiques en font un matériau de choix pour les applications électroniques rapides telles que les transistors à haute mobilité électronique (HEMT ou HFET : high field effect transistor) et pour les applications optiques telles que les diodes électroluminescentes, les diodes lasers émettant dans l'infrarouge et les photodétecteurs.

1.2.3.1 Propriétés électroniques des *nc*-InAs

Effets du confinement Dans un semiconducteur massif (système tridimensionnel-3D), les porteurs peuvent se déplacer suivant les trois directions de l'espace car ils possèdent une structure de bandes d'énergies comportant une dispersion dans ses trois directions.

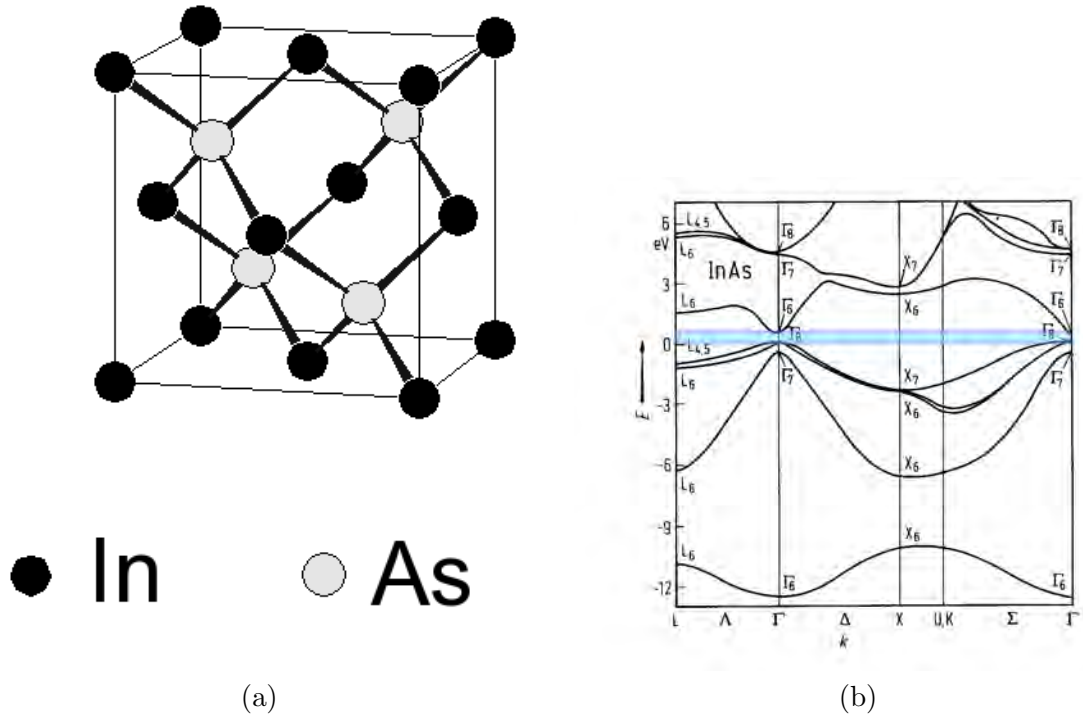


FIG. 1.27 – (a) Structure cristalline zinc-blende et (b) structure de bande de l'InAs suivant les directions de plus haute symétrie de l'espace réciproque $\Delta(001)$ $\Lambda(111)$. D'après [Chelikowski et Cohen, 1976]

Dans le cas d'un semiconducteur massif, la densité d'états évolue en fonction de la racine carrée de l'énergie (*Figure 1.28(a)*).

Un puits quantique est constitué d'une couche d'épaisseur nanométrique d'un semiconducteur de faible bande interdite inséré dans un semiconducteur de plus grande bande interdite. Dans ce cas, les porteurs subissent un effet de confinement quantique suivant une direction (la direction de croissance). Ils ont deux degrés de liberté dans le plan du puits quantique : le système est dit bidimensionnel-2D. Ce confinement quantique conduit à une modification de la densité d'états, qui prend une forme dite en "marches d'escalier" (*Figure 1.28(b)*). La position en énergie des marches peut être modifiée en jouant sur l'épaisseur du puits.

Dans un fil quantique, les dimensions sont réduites dans deux directions, ne laissant plus qu'un seul degré de liberté aux porteurs (système unidimensionnel-1D). Par conséquent, le spectre d'énergie sera quantifié, comme dans un puits quantique, selon les deux directions de confinement. La densité d'états présentera un continuum dans la direction de mouvement libre (*Figure 1.28(c)*).

La boîte quantique est une extension des idées développées pour les puits quantiques. Elle consiste en un nanocristal semiconducteur inséré dans une matrice semiconductrice de plus grande bande interdite. Les porteurs subissent alors un confinement dans les trois directions de l'espace et ne possèdent donc plus de degré de liberté. Le système est alors dit zéro-dimensionnel (0D). La densité d'états prend la forme de pics de Dirac (*Figure 1.28(d)*). Elle est alors proche de celle observée dans les atomes.

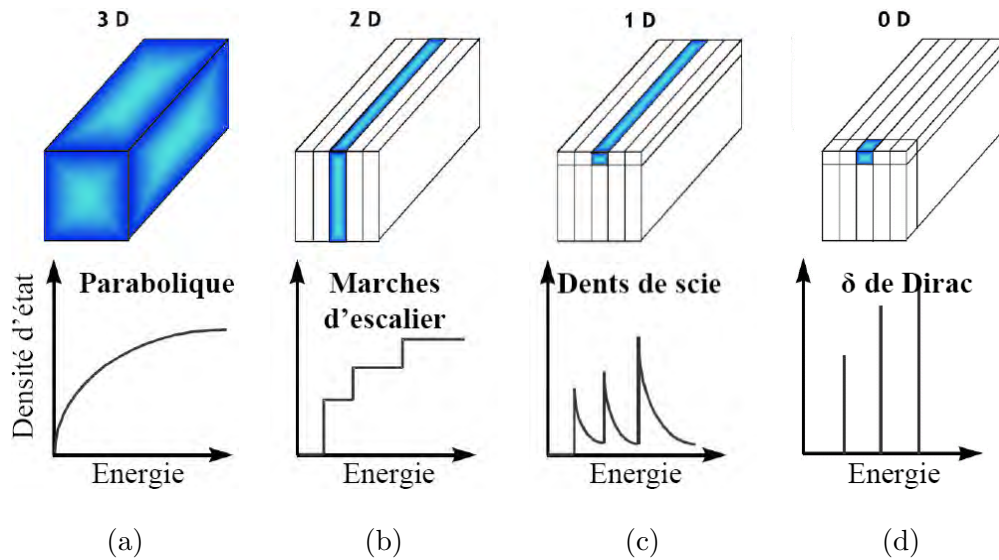


FIG. 1.28 – Schéma de la densité d'état des porteurs selon les dimensions du système auquel ils appartiennent : système (a) tridimensionnel-3D, (b) bidimensionnel-2D, (c) unidimensionnel-1D et (d) zéro-dimensionnel-0D.

Du matériau massif aux nanocristaux L'InAs est utilisé du matériau massif aux nanocristaux car ses propriétés électroniques (haute mobilité des porteurs, gap direct, faibles masses effectives...) sont utiles quelle que soit la dimension considérée.

- l'InAs massif est utilisé dans les photodétecteurs basse température ;
- les films minces d'InAs : l'intégration de l'InAs comme canal d'inversion dans les transistors MOSFETs permet d'augmenter la mobilité des porteurs et d'augmenter le courant drain-source sans augmenter les tensions de fonctionnement des transistors [IMEC, 2006] ;
- les fils quantiques d'InAs, structures unidimensionnelles, sont aussi étudiés pour la réalisation de transistors FinFETs [Lind *et al.*, 2006] ;
- les boîtes quantiques d'InAs (ou *nc*-InAs) sont largement étudiés pour les applications en optoélectronique (lasers et télécommunication) [Bimberg *et al.*, 1998].

Dans cette étude, nous nous intéressons plus précisément aux propriétés électroniques des *nc*-InAs insérés dans une matrice de SiO₂. Quelles sont les propriétés électroniques de ces nanocristaux et quelles sont leurs applications potentielles dans les mémoires ?

Calcul des niveaux d'énergie quantifiés dans un *nc*-InAs/SiO₂ Les nanocristaux ont des dimensions comprises entre 2 et 20 nm de diamètre. Pour de telles dimensions, le modèle de réseau périodique de zones de Brillouin et la description des électrons dans le cristal à l'aide des fonctions de Bloch sont aux limites de leur validité [Busseret *et al.*, 2000]. Le fond du puits de potentiel est constitué soit par le bas de la bande de conduction (cas des électrons), soit par le haut de la bande de valence (cas des trous) au centre de la zone de Brillouin. Pour simplifier, les nanocristaux ne contiennent qu'un ou deux électrons et aucun potentiel n'est appliqué sur le nanocristal. Les charges dans le nanocristal sont des particules libres : leur masse correspond à l'inverse de la dérivée seconde de $E(k)$ pour le vecteur d'onde k considéré. Les masses effectives utilisées sont $m_{InAs} = 0,023m_e$ pour les

électrons et $m_{hh} = 0,4m_e$ pour les trous lourds de la bande de valence. La silice amorphe constituant l'extérieur du puits de potentiel est considérée comme un cristal périodique de masse effective $0,5m_e$ pour les électrons et $7m_e$ pour les trous. Le modèle construit pour le calcul des niveaux dans un nanocristal est le suivant : le puits quantique est supposé unidimensionnel et à barrière finie. La troisième dimension est obtenue en effectuant une symétrie de révolution autour de l'axe central du puits quantique. On suppose que l'on peut découpler les solutions de l'équation de Schrödinger en x , y , et z (approximation pour les barrières finies). Le puits unidimensionnel est d'abord traité, puis les solutions trouvées sont combinées pour résoudre le puits tridimensionnel. Pour ce modèle, le logiciel Quantix⁶ a été utilisé pour faire les calculs.

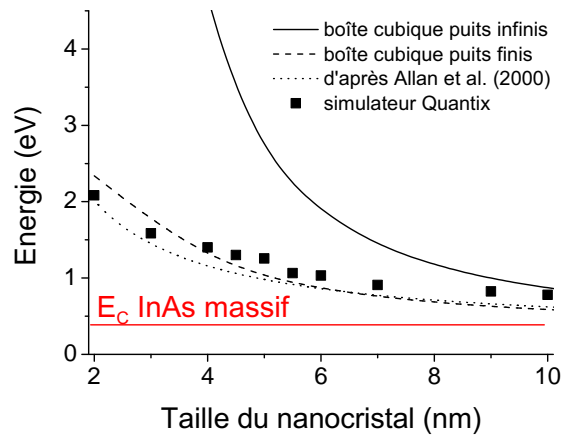
Les résultats de simulation sont présentés *Figure 1.29(a)* pour le premier niveau quantifié dans la bande de conduction du *nc-InAs* et *Figure 1.29(b)* pour le premier niveau quantifié dans la bande de valence du *nc-InAs* (carrés pleins). Le calcul du premier niveau électronique dans une boîte cubique à barrières infinies (pointillés) et à barrières finies (tirets) a été effectué pour illustrer l'étude.

On observe que le modèle simplifié de la boîte cubique dans un puits fini est suffisant pour décrire l'effet du confinement d'un électron dans un nanocristal d'*InAs* dans une matrice SiO_2 . Dans le cas précis des électrons, il est plus aisé cependant d'utiliser une formule analytique [Allan *et al.*, 2000], celle-ci ayant été comparée à des données expérimentales.

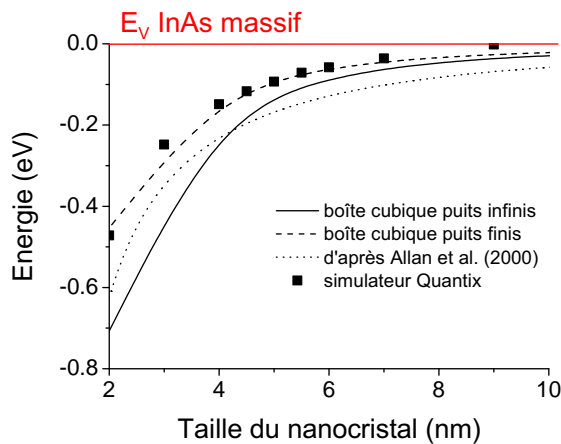
Comparaison avec d'autres matériaux L'*InAs* fait partie des semiconducteurs ayant la plus grande barrière de potentiel avec le SiO_2 . Ceci est vrai pour le matériau massif mais aussi pour les nanostructures (*Figure 1.30*). On observe que les métaux tels que le Ni ou l'*Au* ont un meilleur offset de bande ΔE_C que l'*InAs* et que le confinement est moins perturbé pour les faibles tailles de nanocristaux.

Nous avons comparé la discrétisation des niveaux électroniques du Si et de l'*InAs* pour une taille de nanocristal de 10 nm. On observe qu'il y a moins de niveaux électroniques disponibles dans un nanocristal d'*InAs* dans une matrice de silice et qu'ils sont bien mieux confinés que dans le cas du Si (*Figure 1.31*). Le niveau de référence est pris au bas de la bande de conduction du SiO_2 .

⁶Quantix est un simulateur quantique Poisson-Schrödinger 2D-3D développé à l'INL par Alain Poncet.



(a)



(b)

FIG. 1.29 – Décalages en énergie des niveaux fondamentaux en raison du confinement quantique. Comparaison des résultats de simulation Quantix pour la bande de conduction (a) et la bande de valence (b) avec les calculs proposés par [Allan *et al.*, 2000] et les modélisations simples dans une boîte nanométrique cubique confinée (puits infini et fini).

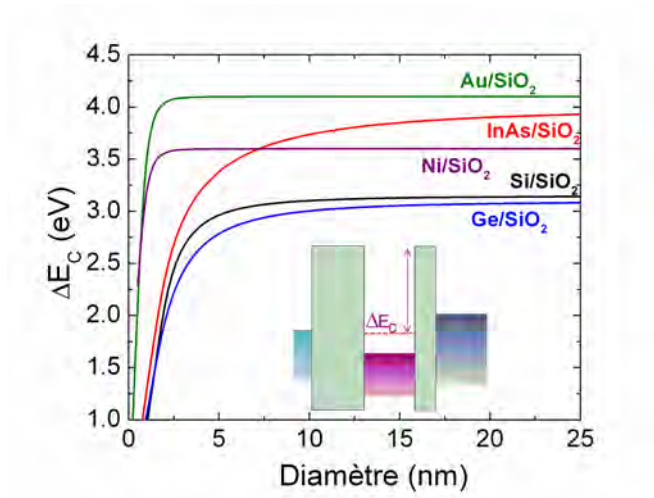


FIG. 1.30 – Evolution de la barrière de potentiel entre le SiO₂ et différents matériaux en fonction du diamètre des nanocristaux. Nous utilisons des formules analytiques pour Si, Ge, InAs [Allan *et al.*, 2000], Au et Ni [Guan *et al.*, 2007].

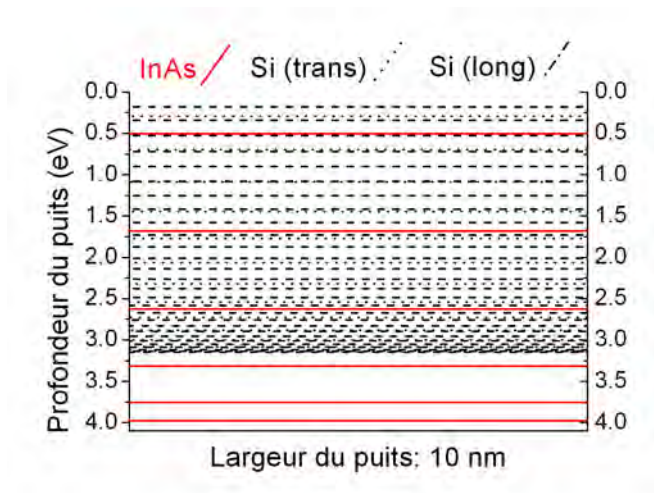


FIG. 1.31 – Calcul des niveaux électroniques de l'InAs et du Si dans une matrice de SiO₂ (approximation du puits de potentiel cubique). L'origine selon l'ordonnée est prise en bas de la bande de conduction du SiO₂. Tirets : niveaux confinés du Si pour la masse longitudinale. Pointillés : niveaux confinés du Si pour la masse transversale. Traits pleins : niveaux confinés de l'InAs. Les calculs ont été réalisés en utilisant la méthode présentée au paragraphe précédent.

1.2.3.2 Nouvelles potentialités pour l'optoélectronique

L'InAs sur Si Le domaine de l'optoélectronique a connu un essor considérable grâce à l'utilisation des matériaux semi-conducteurs III-V (GaAs, InP et alliages associés, antimoniures, nitrures) à gap direct. Ces matériaux permettent notamment de réaliser les émetteurs performants (diodes lasers, LEDs,...) que nous connaissons aujourd'hui. De nouvelles études ont été consacrées à leur intégration avec les composants microélectroniques basés sur Si ou SiGe, afin de permettre la réalisation, sur le même substrat, de fonctions optiques et de leur électronique de commande. En parallèle, des études ont montré l'intérêt d'intégrer les semiconducteurs III-V dans les transistors MOSFETs pour augmenter la mobilité électronique du canal et diminuer les résistances d'accès [Hill *et al.*, 2007]. Enfin, grâce aux avantages combinés de sa bande interdite (faible gap et gap direct) et de la faible masse effective des porteurs, l'InAs a des potentialités uniques dans ce domaine.

Mémoires à *nc*-InAs sur semiconducteurs III-V Dès 1995, des chercheurs se sont intéressés à l'intégration des *nc*-InAs dans des structures mémoires en technologie III-V mais jamais en technologie CMOS. Voici quelques exemples d'applications mémoires à *nc*-InAs.

Après avoir observé le confinement stable de l'exciton⁷ dans des *nc*-InAs encapsulés dans une barrière $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$, [Koike *et al.*, 2000] ont fabriqué une structure mémoire HFET contenant cinq couches empilées de *nc*-InAs (*Figure 1.32(a)*). Le fonctionnement de cette mémoire est similaire à celui d'une mémoire à grille flottante en technologie CMOS sur silicium. Les *nc*-InAs sont chargés par injection d'électrons depuis le gaz d'électrons formés dans le canal après application d'une tension V_{GS} positive. Ils sont déchargés par illumination (lumière visible) et application d'une tension négative sur la grille du transistor. La présence des électrons dans les nanocristaux décale la tension de seuil du transistor HFET et leur rétention est estimée à une centaine d'heures à 300K.

Dernièrement, M.P. Geller [Geller, 2007] a mis au point une mémoire à *nc*-InAs en technologie III-V pouvant à terme remplacer les mémoires DRAM (*Figure 1.32(b)*). Cette structure à *nc*-InAs encapsulés dans du GaAs, le tout dans une matrice $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ présente une vitesse d'écriture de 6 ns et un temps de rétention de quelques ms à 300 K. Il démontre aussi qu'il est possible d'obtenir des temps de rétention de 10 ans pour des structures identiques mais à nanocristaux d' $\text{In}(\text{Ga})\text{Sb}$ dans une matrice AlAs. Cette structure pourrait rivaliser à la fois avec les mémoires DRAM et les mémoires Flash actuelles en termes de vitesses d'écriture et de temps de rétention. Toutefois, le prix élevé des matériaux serait un frein majeur au développement de ces mémoires, tout comme le sous-développement de circuits intégrés III-V et/ou de connections avec les circuits intégrés en Si.

H. Pettersson [Pettersson *et al.*, 2001] a présenté une mémoire optique à *nc*-InAs encapsulés dans InP. Cette mémoire est une structure mémoire simple dans laquelle les nanocristaux se trouvent au niveau de la région de charge d'espace d'un contact Schottky.

⁷Un exciton, issu de l'excitation élémentaire d'un cristal, est constitué par une paire électron-trou liée par une force électrostatique.

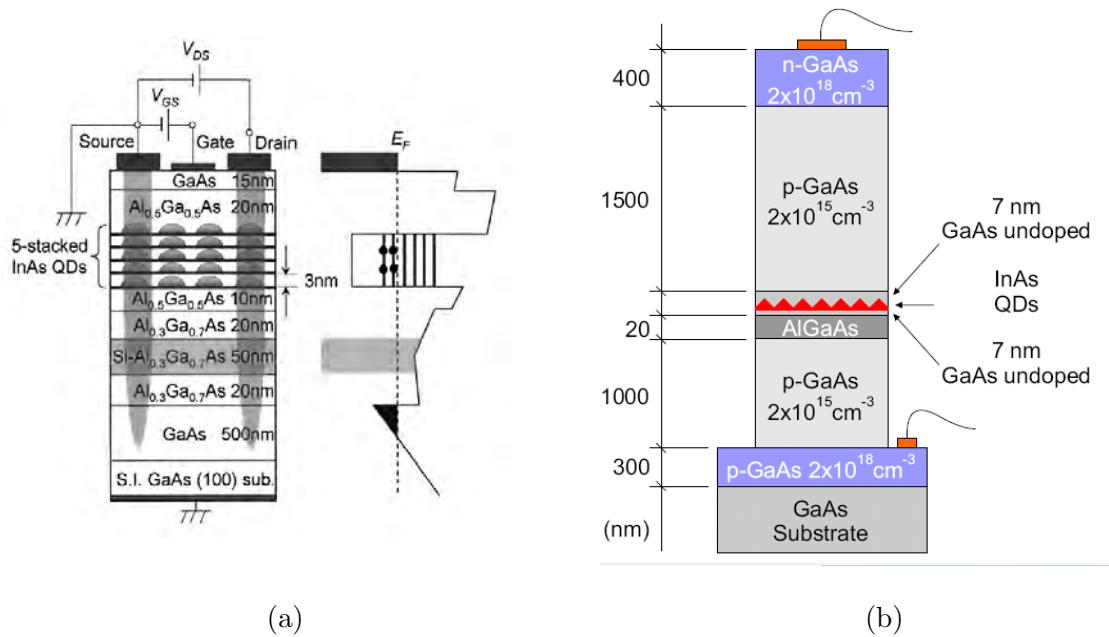


FIG. 1.32 – Mémoires à nc-InAs dans un transistor HFET : (a) D’après [Koike *et al.*, 2000]. (b) D’après [Geller, 2007].

La mémoire est programmée par application d’un pulse de lumière, celui-ci étant converti en paires électron-trou dans le nanocristal (*Figure 1.33(a)*). L’application d’une tension positive permet d’évacuer les électrons du nanocristal tout en gardant confinés les trous dans le nanocristal (*Figure 1.33(b)*). Pour lire l’état de la mémoire, un électron est injecté dans le nanocristal, le photon émis par la recombinaison montre que la mémoire était programmée (*Figure 1.33(c)*). Le temps de rétention des trous dans cette mémoire est d’environ $1\mu\text{s}$ à 300K.

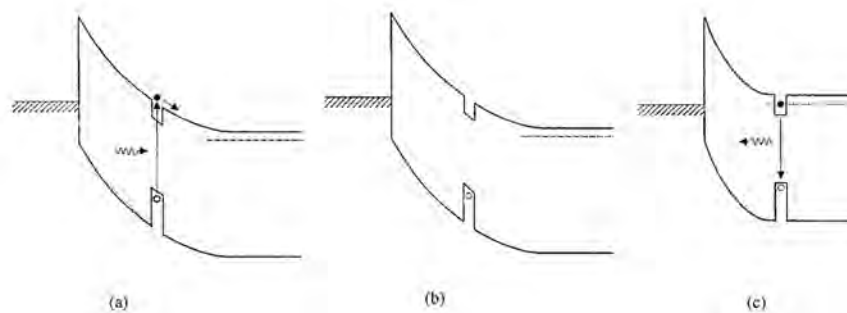


FIG. 1.33 – Mémoire optique à nanocristal d’InAs encapsulé dans InP. D’après [Petterson *et al.*, 2001].

1.2.3.3 Défis technologiques de l’intégration des semiconducteurs III-V sur Si

La volonté d’intégrer des fonctionnalités optiques sur des dispositifs électroniques existe depuis plus de vingt ans. Cependant, aucune réalisation concluante n’a encore ouvert la voie de l’intégration monolithique.

La qualité cristallographique des composés III-V épitaxiés sur Si n'a jamais permis d'obtenir des composants aussi performants que ceux réalisés directement sur substrat III-V. Ceci est principalement dû à la très grande différence de paramètre de maille entre le silicium et le GaAs ou l'InP, mais aussi :

- la croissance des matériaux III-V est réalisée à plus basse température que les procédés technologiques sur Si. Par exemple, l'InAs est épitaxié autour de 500 °C alors que l'oxyde de Si est crû autour de 1000 °C. La faible stabilité des composés III-V à haute température, du fait de la volatilité des composés V, est un inconvénient majeur à leur intégration en technologie Si ;
- les matériaux III-V n'ont pas de diélectrique passivant de bonne qualité comme le SiO₂ en technologie Si. Les oxydes de matériaux III-V sont de faible qualité diélectrique. Par exemple, en présence d'oxygène, l'As s'oxyde, s'évapore et laisse place à des lacunes à la surface du matériau GaAs ou InAs ;
- en technologie GaAs, toute croissance est basée sur l'ajustement des paramètres de maille entre matériaux. Au contraire, le matériau cristallin est uniquement le Si en électronique CMOS. Ainsi, l'alternance de couches amorphes de silice et de poly-silicium est aisée.

1.3 Conclusion

Nous avons vu l'intérêt des mémoires Flash à nanocristaux : elles permettent de combler le fossé technologique entre les générations actuelles (noeud technologique 65 nm) et les générations de mémoire du noeud 22 nm.

Ce chapitre a détaillé les limitations des mémoires à *nc*-Si pour le stockage des électrons. Nous avons vu que l'InAs serait une solution possible pour améliorer les caractéristiques des mémoires à nanocristaux à stockage d'électrons.

D'autre part, les futures mémoires SEM multibits qui ne contiennent qu'un nanocristal dans l'oxyde de grille ne pourront utiliser des *nc*-Si, ni des nanostructures métalliques. Nous avons vu l'avantage des *nc*-InAs pour le stockage multibits dans les niveaux discrets du nanocristal.

2

Étapes de fabrication des structures pour mémoires à *nc*-InAs et techniques de caractérisation

Sommaire

2.1	Fabrication des structures	54
2.1.1	Croissance de l'oxyde tunnel	55
2.1.2	Croissance des <i>nc</i> -InAs sur la silice thermique	56
2.1.3	Dépôt de l'oxyde de contrôle SiO₂ par PECVD-ECR	62
2.1.4	Métallisation	67
2.2	Techniques de caractérisation	69
2.2.1	Caractérisation des propriétés structurales des nanocristaux	69
2.2.2	Caractérisation des propriétés électriques des nanocristaux	69
2.3	Conclusion	70

Ce chapitre décrit, dans la *Partie 2.1*, les étapes clés de la fabrication d'une structure Métal-Oxyde-Semiconducteur (MOS) à *nc-InAs* : la croissance de l'oxyde tunnel, la croissance des *nc-InAs*, le dépôt de l'oxyde de contrôle et la fabrication de la grille métallique (*Figure 2.1*).

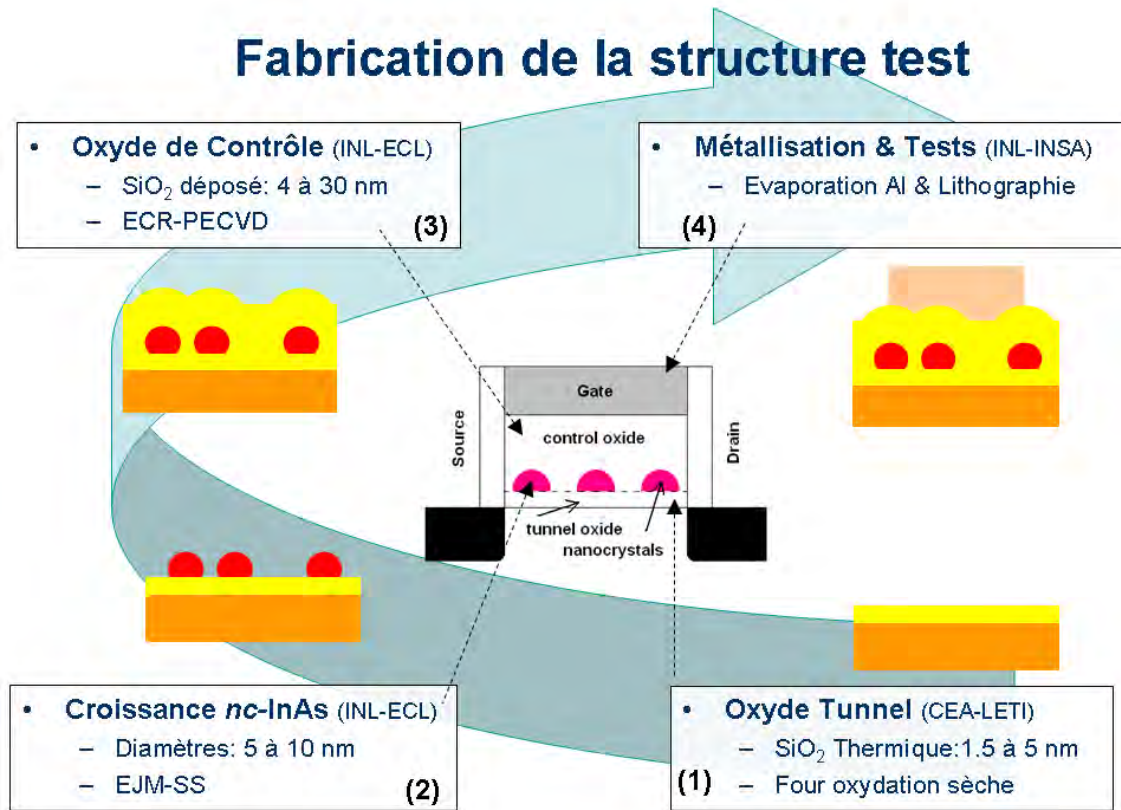


FIG. 2.1 – Etapes de fabrication d'une structure pour mémoire à *nc-InAs*. (1) Tout d'abord, le substrat et l'oxyde thermique ont été fournis par le CEA-LETI. (2) Puis la croissance des *nc-InAs* a été effectuée à l'INL-ECL dans un réacteur d'épitaxie par jets moléculaires. (3) Ensuite, le dépôt de l'oxyde de contrôle a été réalisé par ECR-PECVD sur le site de l'INL-ECL. (4) Pour finir, les grilles métalliques ont été évaporées et les tests électriques effectués à l'INSA-INL.

Dans la deuxième partie (*Partie 2.2*) sont présentées les méthodes de caractérisation. L'intérêt de leur utilisation à différentes étapes de fabrication est aussi justifié. Par souci de clarté, les principes de fonctionnement des techniques de caractérisation utilisées dans le cadre de cette étude sont présentés dans les différentes annexes en fin de manuscrit.

2.1 Fabrication des structures

Les structures pour mémoires sont fabriquées sur substrats silicium (100) de type P. Dans notre cas, les substrats utilisés ont une résistivité de 7-10 Ω .cm (dopage Bore de l'ordre de 10^{15} cm⁻³). Nous avons aussi utilisé des substrats silicium de type N dopés au phosphore pour effectuer des caractérisations complémentaires. Ces substrats proviennent du CEA-LETI à Grenoble.

2.1.1 Croissance de l'oxyde tunnel

La technique d'oxydation du silicium consiste à chauffer durant un temps court le substrat dans un four à lampes halogènes, typiquement entre 900 °C et 1050 °C, sous flux d'oxygène. La durée de l'opération peut être inférieure à la minute car l'oxyde crû selon la réaction 2.1 ne doit mesurer que quelques nanomètres d'épaisseur.



Cette réaction d'oxydation est dite sèche en opposition à l'oxydation humide qui a lieu sous flux d'O₂ et de vapeur d'eau. En se basant sur les densités et masses moléculaires du Si et du SiO₂, il est possible de montrer que pour une croissance d'oxyde d'épaisseur d , une couche de silicium d'épaisseur $0,44d$ a été consommée [May et Szé, 2003]. La vitesse de croissance de l'oxyde est fonction de la température, de la pression d'oxygène, de l'orientation cristalline et du dopage du silicium. De manière générale, l'épaisseur de l'oxyde d , obtenue après un temps de croissance t , est donnée par la relation [Deal et Grove, 1965] :

$$d^2 + Ad = B(t + \tau) \quad (2.2)$$

avec A et B des constantes dépendant du substrat et des conditions d'oxydation, et τ une constante représentant le décalage temporel permettant de prendre en compte l'épaisseur de l'oxyde natif. Un des avantages de cette technique est la possibilité de traitement plaque à plaque dans le cas des substrats de très grand diamètre. Cependant, il est nécessaire de contrôler la montée en température des substrats afin d'éviter qu'ils ne se cassent sous l'effet d'un gradient de contraintes thermiques trop important. Pour cette étude, nous avons utilisé des oxydes thermiques d'épaisseurs 1,5 nm, 2 nm, 3,5 nm et 5 nm réalisés au CEA-LETI par l'équipe de Thierry Baron (LTM). Les épaisseurs les plus fines sont adaptées pour la modélisation des cinétiques d'écriture/effacement. Les oxydes plus épais permettent d'évaluer les performances en termes de rétention.

Le *Tableau 2.1* regroupe les caractérisations effectuées sur l'oxyde thermique.

Technique	Ellipsométrie spectrale	MOS	Tuna-AFM
Informations	Epaisseur	Epaisseur	Epaisseur
	Indice optique	Permittivité diélectrique	Barrière tunnel
Avantages	Non destructif, Rapide	Défauts électriques	Qualité diélectrique
		Caractérisation complète de l'oxyde	Rapide
Inconvénients	Pas d'information sur la qualité électrique	Destructif, Nécessite de processor l'échantillon	Destructif (le courant tunnel traversant la structure sous la pointe crée un chemin de conduction)

TAB. 2.1 – Description des techniques de caractérisation de l'oxyde tunnel.

La qualité de la surface de SiO₂ est évaluée par microscopie à force atomique (AFM : Atomic Force Microscopy, *Annexe A*). La *Figure 2.2* présente une image AFM de la surface d'oxyde thermique. La rugosité RMS¹ de surface de l'échantillon est de 0,32 nm : cette

¹La rugosité RMS est calculée à partir de la formule : $\Delta = \sqrt{\frac{\sum_{i=2}^n (x_i - X)^2}{n-1}}$ pour chaque point de l'image.

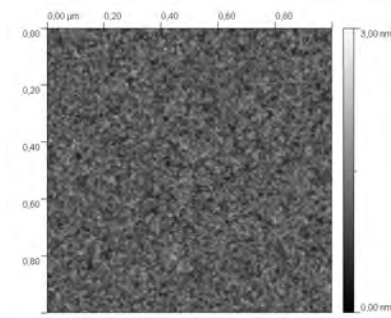


FIG. 2.2 – Image AFM de la surface de SiO_2 thermique. La rugosité RMS vaut 0,32 nm.

valeur faible traduit une surface très plane. L'épaisseur et l'indice optique de l'oxyde tunnel sont mesurés par ellipsométrie spectroscopique. Cette technique a l'avantage d'être non destructive pour l'échantillon et d'en vérifier l'homogénéité en plusieurs endroits mais ne permet pas d'évaluer la qualité diélectrique de l'oxyde SiO_2 . Des capacités MOS ont été fabriquées pour étudier les propriétés électriques de l'oxyde. Les caractérisations électriques permettent de remonter à l'épaisseur de l'oxyde tunnel et aux défauts électriques contenus dans l'oxyde ou à l'interface oxyde-substrat. Des mesures électriques complémentaires peuvent être effectuées par AFM en mode "courant tunnel" (Tunnelling AFM) pour étudier le transport à travers l'oxyde thermique lorsqu'on applique une rampe de tension entre la pointe de l'AFM sondant la surface d'oxyde et le substrat. Cette technique est rapide car la mesure se fait directement sur l'oxyde.

2.1.2 Croissance des *nc-InAs* sur la silice thermique

L'intégration de *nc-InAs* dans une matrice SiO_2 est très peu étudiée. La première étude portant sur une structure à *nc-InAs* dans de la silice remonte à 1997 [Shi *et al.*, 1997]. La synthèse des nanocristaux est réalisée par pulvérisation cathodique d'une cible en verre contenant des fragments d'*InAs* polycristallin. Par cette technique, les particules se condensent sur un substrat de verre pour former un film de silice contenant des nanoparticules d'*InAs* [Zheng *et al.*, 2001]. En 2005, des *nc-InAs* ont été synthétisés dans SiO_2 par un procédé sol-gel en deux étapes [Yang *et al.*, 2005] : l'indium et l'arsenic sont tout d'abord incorporés sous forme oxydée à une matrice silicium-oxygène pour former un verre d' $\text{In}_2\text{O}_3 - \text{As}_2\text{O}_5 - \text{SiO}_2$. Dans un deuxième temps, les verres obtenus sont chauffés entre 200°C et 500°C sous atmosphère d' H_2 pendant 20h. Ces deux procédés de synthèse ne sont cependant pas applicables à microélectronique : d'une part, ils nécessitent des temps extrêmement longs de fabrication, et d'autre part, la position des plans de nanocristaux n'est pas maîtrisée, en particulier leur distance par rapport au substrat et à la grille.

En 2007, une brève étude rapporte la croissance de *nc-InAs* sur SiO_2 par épitaxie par jets moléculaires [Yoon *et al.*, 2007]. Cette technique utilise un environnement d'ultravide (typiquement 10^{-9} à 10^{-11} Torr). Le dépôt de matière se fait sous forme élémentaire, par opposition à une décomposition chimique au contact de la surface. Ce type de croissance

Avec n le nombre de points, x_i , la mesure de la topographie (en nm) au point i et X la moyenne de toutes les mesures.

permet de déposer des quantités de matière très faibles et donc de contrôler la croissance à l'échelle de la monocouche. C'est cette technique que nous avons utilisé pour la croissance des *nc*-InAs. Nous allons d'abord décrire le réacteur d'épitaxie par jets moléculaires à sources solides (EJMSS) que nous avons utilisé pour cette étude. Quelques notions théoriques portant sur la croissance cristalline seront ensuite développées. L'étude de la croissance des *nc*-InAs sur SiO₂ sera ensuite détaillée dans le *Chapitre 3*.

2.1.2.1 L'épitaxie par jets moléculaires à sources solides

Cette technique de croissance a été développée dans les années 1970 par deux équipes de recherche des laboratoires Bell et IBM. La croissance s'effectue sous ultravide (10^{-9} - 10^{-10} Torr) et consiste à faire interagir des flux atomiques ou moléculaires issus de cellules dites d'effusion sur la surface d'un substrat monocristallin. Ces flux sont obtenus à partir de la sublimation ou de l'évaporation de sources solides ou liquides contenues dans des creusets en Nitrure de Bore Pyrolytique (PBN) chauffés par effet Joule.



FIG. 2.3 – Réacteur d'épitaxie par jets moléculaires à sources solides.

L'ensemble de ces flux interagit sur la surface du substrat pour former le composé voulu. L'ultravide est essentiel dans le réacteur d'épitaxie (*Figure 2.3*) car il assure un libre parcours moyen des atomes supérieurs à la distance source-substrat. Ce vide est obtenu grâce à l'association de pompes (turbo-moléculaire, cryogénique, ionique), d'une sublimation de titane et de panneaux dans lesquels circule de l'azote liquide.

Dans le cadre de cette thèse, toutes les structures ont été réalisées dans un réacteur RIBER 2300 (*Figure 2.4*) destiné à la croissance des semiconducteurs III-V. L'ensemble de l'installation comprend tout d'abord un sas d'introduction, équipé d'une pompe turbomoléculaire permettant d'atteindre un vide de l'ordre de 10^{-5} Torr. Après introduction dans ce sas, les échantillons peuvent être dirigés vers le module de transfert où grâce à un pompage ionique, on obtient un vide plus poussé de l'ordre de 10^{-9} Torr. Dans ce module de transfert, on dispose d'un four permettant de dégazer les échantillons placés sur un porte-échantillon appelé "molyblock". Après dégazage, les échantillons sont transférés

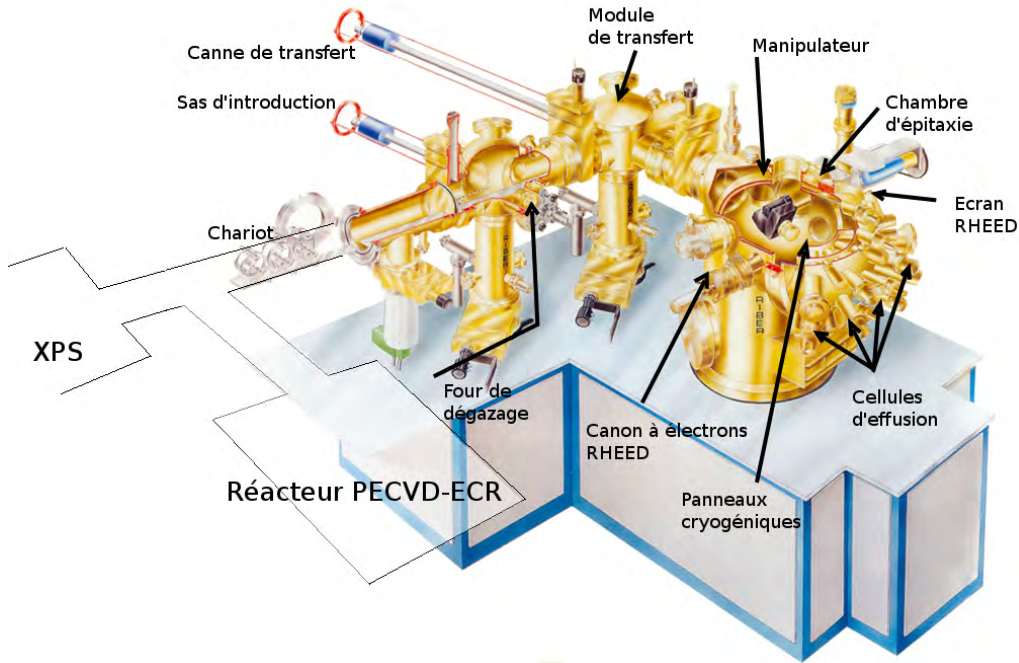


FIG. 2.4 – Représentation schématique d’une installation comprenant un réacteur d’EJMSS RIBER et des modules de transfert d’échantillons. Dans notre cas, le réacteur d’EJMSS est relié par le module de transfert au réacteur PECVD-ECR et à la chambre d’analyse XPS.

dans la chambre d’épitaxie. C’est dans la chambre d’épitaxie que le système de pompage est le plus complet. En effet, l’utilisation de panneaux cryogéniques refroidis à l’azote liquide et d’un sublimateur de titane au côté du pompage ionique, permet d’atteindre un vide de l’ordre de 10^{-10} - 10^{-11} Torr. Cette chambre est équipée d’un système d’analyse par diffraction RHEED pour contrôler *in-situ* et en temps réel la cristallinité de la surface au cours de la croissance. Un pyromètre et un thermocouple placé à l’arrière de l’échantillon permettent de mesurer la température de croissance.

Les flux des différents éléments sont mesurés par une jauge à ionisation de type “Bayard-Alpert”. Un filament émet des électrons qui ionisent les molécules. Celles-ci sont ensuite collectées par une tige métallique appelée “collecteur”, pour donner naissance à un courant électrique qui sera proportionnel au flux atomique ou moléculaire. Les espèces ne subissent pas toutes l’ionisation de la même façon. La mesure de la jauge est donc fonction de l’espèce ionisée. Un coefficient d’ionisation permet de normaliser les valeurs des flux. Ce coefficient s’exprime selon :

$$\eta = \frac{0.4 \cdot Z}{14} + 0.6 \quad (2.3)$$

où Z le numéro atomique de l’espèce considérée. La mesure du flux en atomes/cm².s n’est pas directe. C’est la pression équivalente dans le flux (PEF) qui sera mesurée.

L’épitaxie est dite à sources solides car tous les éléments déposés sur les échantillons sont issus de composés solides. Les éléments III métalliques (Ga ou In) sont placés dans des cellules à effusion de type Knudsen. Le flux de l’élément est fonction de la température

de la cellule. La température de la cellule est mesurée par un thermocouple relié à un régulateur qui en permet un contrôle précis. Un système de caches devant chaque cellule permet d'interrompre les flux de façon quasi instantanée.

Les éléments V sous forme solide sont un peu plus délicats à produire. En effet, que ce soit l'As ou le P, ils sont produits par sublimation d'arsenic solide sous forme d'As₄ et de P₄. Dans le cas de l'arsenic, sa molécule As₄ peut être utilisée telle quelle, mais elle est moins réactive que l'As₂. En revanche, le phosphore doit obligatoirement être sous la forme P₂ pour des raisons de sécurité. Pour produire les dimères d'éléments V (As₂ et P₂) nous disposons de cellules RIBER d'As et de P à grande capacité munies d'une vanne et d'un craqueur. Le rôle de ce craqueur est de chauffer les tétramères As₄ et P₄ entre 800 °C et 900 °C pour les dissocier respectivement en As₂ et P₂. Le flux moléculaire (As₂ ou P₂) est ensuite contrôlé par une vanne dont l'ouverture, réglable, permet d'ajuster la valeur de la pression de chaque espèce. Dans notre cas, l'InAs est formé à partir d'atomes d'indium (élément III) et d'arsenic (élément V) sublimé sous forme de tétramères As₄. Ceux-ci sont alors craqués en molécules dimères As₂.

L'échantillon est collé à l'indium sur le Molyblock. Ce porte échantillon est inséré sur le four du réacteur afin d'être porté à la température de croissance désirée. Le four possède un système de rotation permettant d'homogénéiser la croissance en exposant tout l'échantillon aux flux. L'épitaxie des matériaux III-V est basée sur la méthode des trois températures :

$$\begin{cases} T_S < T_{III}^{evap} & \text{Le coefficient de collage des éléments III et V est égal à 1} \\ T_S > T_V^{evap} & \text{L'élément V ne colle que s'il réagit avec l'élément III} \end{cases} \quad (2.4)$$

La température du substrat est maintenue à une température inférieure à la température de désorption des éléments III. Les éléments III se condensent sur la surface du substrat avec très peu de ré-évaporation (coefficient de collage égal ou proche de 1). Les éléments V assurent la stœchiométrie en se liant aux éléments III : il est donc possible d'imposer des flux d'éléments V nettement supérieurs aux flux d'éléments III. La vitesse de croissance des couches épitaxiées est ainsi contrôlée par le flux d'éléments III et le contrôle précis des épaisseurs s'obtient par des calibrations de la vitesse de croissance en fonction des températures de ces cellules. L'interruption de croissance est assurée par l'ouverture ou la fermeture d'un cache placé devant chaque cellule d'élément III.

2.1.2.2 Aspects généraux de la croissance cristalline

Mécanismes de croissance La *Figure 2.5(a)* montre schématiquement les mécanismes mis en jeu lors de la croissance cristalline. Celle-ci consiste à mettre en présence la vapeur d'un matériau avec un substrat dont la température, inférieure à celle de l'équilibre solide-vapeur, provoque la condensation ou l'adsorption (1). D'un point de vue microscopique, cette adsorption débute par une étape de physisorption (forces de type Van der Waals) qui peut se poursuivre par une étape de chimisorption *Figure 2.5(b)* durant laquelle les adatoms forment des liaisons chimiques avec la surface. Par rupture de ces liaisons, les adatoms peuvent diffuser sur la surface (2) et participer alors au processus de nucléation.

Ce processus est une réaction en chaîne qui débute par la formation de nucléi métastables car trop petits (3). Par incorporation d'atomes diffusant à la surface ou venant directement de la phase vapeur, la dimension des agrégats peut cependant augmenter jusqu'à atteindre une "taille critique" au-dessus de laquelle ils sont stables (4). Dans le même temps, d'autres atomes peuvent désorber sans jamais être capturés (5). Les atomes ayant été capturés par le nucléus stable sont considérés comme appartenant à la phase solide : c'est l'étape d'incorporation (6). Il faut noter que la densité de ces nucléi stables et leur taille critique dépendent de la nature du matériau et des conditions de croissance (température, vitesse de croissance,...).

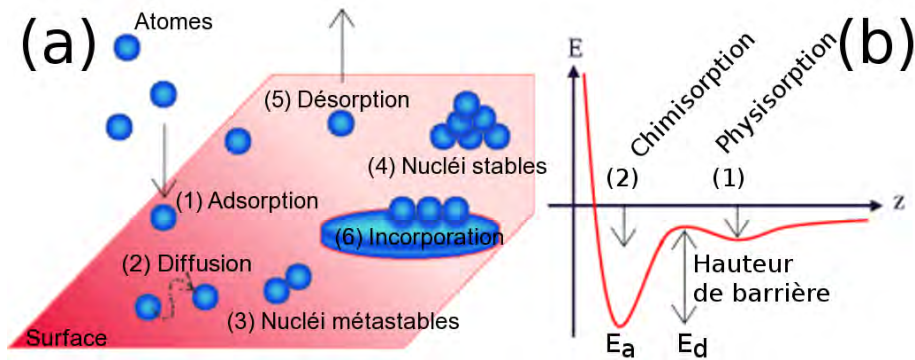


FIG. 2.5 – (a) Représentation schématique des mécanismes de croissance sur une surface cristalline. (b) Types d'interactions entre un adatome et une surface en fonction de la distance z par rapport à celle-ci [Grandjean, 1994].

Aspects cinétiques de la croissance [Grandjean, 1994] Les aspects cinétiques de la croissance peuvent être décrits principalement par deux grandeurs activées thermiquement : le temps moyen de résidence τ d'un adatome à la surface et le coefficient de diffusion D . Le temps τ est considéré comme le temps compris entre les étapes de condensation et de désorption ou d'incorporation :

$$\tau = \nu_0^{-1} \exp\left(\frac{E_a}{kT}\right) \quad (2.5)$$

où E_a est l'énergie d'adsorption, ν_0 la constante de vitesse pour la désorption, T la température de la surface et k la constante de Boltzmann. Pendant ce temps τ , la mobilité dépend du coefficient de diffusion :

$$D = D_0 \exp\left(\frac{E_d}{kT}\right) \quad (2.6)$$

où E_d est la barrière d'énergie à la diffusion et D_0 la fréquence de vibration du réseau. On définit aussi la distance λ parcourue par un adatome sur une surface parfaitement lisse durant τ . C'est la longueur moyenne de diffusion de surface de l'adatome qui s'exprime ainsi :

$$\lambda = \sqrt{\tau D} \quad (2.7)$$

Modes de croissance De simples considérations énergétiques basées sur une comparaison des énergies libres de surface permettent de prédire le mode de croissance. Soient respectivement γ_c , γ_s et γ_i , l'énergie de surface de la couche en croissance, du substrat et de l'interface (Figure 2.6).

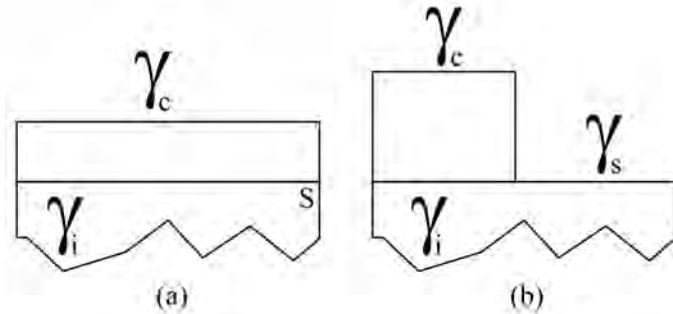


FIG. 2.6 – Croissance bidimensionnelle (a) et tridimensionnelle (b) sur un substrat de surface S . Le calcul du bilan énergétique à partir des énergies libres de surface ($\gamma_c, \gamma_i, \gamma_s$) permet de prévoir le mode de croissance. D'après [Grandjean, 1994].

Selon la balance énergétique entre γ_c , γ_s et γ_i , on pourra distinguer trois modes de croissance cristalline (Figure 2.7) :

- pour $\gamma_c + \gamma_i < \gamma_s$, un mode de croissance bidimensionnelle (2D) dit mode de croissance Frank Van de Merwe (FVM).
- pour $\gamma_c + \gamma_i > \gamma_s$, un mode de croissance tri-dimensionnelle (3D) dit de Volmer-Weber (VW).
- pour $\gamma_c + \gamma_i \approx \gamma_s$, un mode de croissance hybride. La croissance débute en mode 2D puis, au-delà d'une épaisseur critique, subit une transition qui devient alors 3D. C'est le mode de croissance Stranski-Krastanov (SK). Ce mode de croissance est généralement observé lors de la croissance des couches contraintes par un désaccord de maille avec le substrat.

Frank - van der Merwe (FvM)



Volmer - Weber (VW)



Stranski - Krastanov (SK)



FIG. 2.7 – Modes de Croissance

Le tableau 2.2 recense les énergies de surface pour quelques matériaux. On observe que

	γ (mJ/m ²)	Références
InAs	640	[Pehlke <i>et al.</i> , 1997]
GaAs	860	[Messmer et Bilello, 1981]
Si	1120-1190	[Messmer et Bilello, 1981]
SiO ₂	100	[Sun et Berg, 2002]
	600	[Karmous et Ronda, 2006]

TAB. 2.2 – Energies de surface de quelques matériaux

les matériaux semiconducteurs cristallins ont généralement une énergie de surface plus forte que celle de SiO₂, ce qui devrait tendre vers un mode de croissance VW. De plus, les énergies de surface (qui ne sont pas connues) ne peuvent qu’amplifier cette tendance. On peut donc s’attendre, au regard de ces données, à ce que le mode de croissance de l’InAs sur SiO₂ soit de type VW.

2.1.2.3 Croissance de *nc-InAs* sur SiO₂ par épitaxie par jets moléculaires

Dans notre étude, la croissance des *nc-InAs* ne relève pas d’une croissance épitaxiale car la nucléation ne s’effectue pas sur un substrat monocristallin mais sur un oxyde amorphe. Ainsi le terme épitaxie, bien que signifiant “ordre sur” n’est pas très bien adapté. Malgré cela, la croissance dans un réacteur d’épitaxie permet de déposer des quantités de matière très faibles et donc de contrôler la croissance à l’échelle de la monocouche. Par ailleurs, si la vitesse de croissance est suffisante et la température suffisamment élevée, les adatoms pourront avoir une longueur de diffusion suffisante pour permettre la formation de nucléi puis d’îlots monocristallins.

2.1.3 Dépôt de l’oxyde de contrôle SiO₂ par PECVD-ECR

2.1.3.1 Justification de la technique de dépôt basse température

L’étude thermodynamique du système In-As-O [Schwartz et Sunder, 1982] a permis de déterminer les différents composés à base d’In, As et/ou O existants et d’établir ainsi le diagramme de phases reporté *Figure 2.8*. Les phases cristallines les plus stables à l’équilibre sont : InAsO₄, In₂O₃, As₂O₃, As₂O₄ et As₂O₅.

Des études expérimentales montrent que l’oxydation thermique de l’InAs à 350 ° C sous 1 atmosphère d’O₂ de l’InAs conduit plutôt à la formation de InAsO₄ avec des atomes d’As élémentaire à l’interface InAs/InAsO₄ [Hollinger *et al.*, 1994]. Généralement, les films minces produits par oxydation sèche ou humide de la surface d’InAs ne sont pas constitués de phases cristallines uniques : ils sont amorphes et constitués de phases non stoechiométriques.

Composé	In	InO	In ₂ O	In ₂ O ₃	InAs	O ₂	As
ΔH_{298}^f (kcal/mol)	0	-6,5	-40	-223	-14	0	0

Composé	As ₂ O ₃	As ₂ O ₄	As ₂ O ₅	Si	SiO	SiO ₂	InAsO ₄
ΔH_{298}^f (kcal/mol)	-157	-189,7	-221,1	0	-105	-217	-233,8

TAB. 2.3 – Enthalpies de formation de composés à base d’In, As, O et Si à 298K

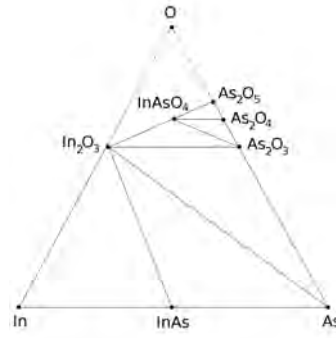


FIG. 2.8 – Diagramme de phases à l'équilibre thermodynamique du système In-As-O à 298K, d'après [Schwartz et Sunder, 1982].

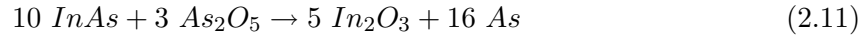
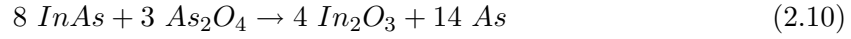
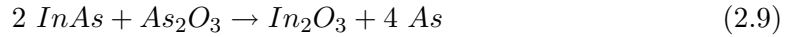
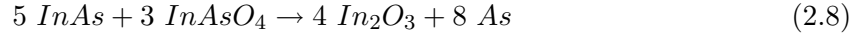
La stabilité de notre système InAs-SiO₂ peut être discutée à partir de celle des entités élémentaires que sont les oxydes binaires et ternaires. On observe dans le *Tableau 2.3* regroupant les énergies de formation des composés à base d'indium, d'arsenic et d'oxygène, que les oxydes les plus stables sont l'InAsO₄, l'In₂O₃ et l'As₂O₅. Rapporté au nombre d'atomes, les oxydes contenant de l'indium sont plus stables que les oxydes d'arsenic.

Réactions	Produits	ΔH_{298}^R (kCal/g.at)
InAs + SiO ₂	Stable	
InAs + 2O ₂	InAsO ₄	-36,6
2InAs + 3O ₂	In ₂ O ₃ + As ₂ O ₃	-35,2
In ₂ O ₃ + As ₂ O ₅ + SiO ₂	Stable	
InAs + SiO	Stable	
2InAs + Si + 4O ₂	In ₂ O ₃ + As ₂ O ₃ + SiO ₂	-43,8
InAs + Si + 3O ₂	InAsO ₄ + SiO ₂	-48,5
InAs + SiO + 7O ₂	In ₂ O ₃ + As ₂ O ₃ + SiO ₂	-35,7
InAs + SiO + $\frac{5}{2}$ O ₂	InAsO ₄ + SiO ₂	-36,9
InAs + Si	Stable	
In ₂ O ₃ + $\frac{3}{2}$ Si	2In + $\frac{3}{2}$ SiO ₂	-16
As ₂ O ₅ + $\frac{5}{2}$ Si	2In + $\frac{5}{2}$ SiO ₂	-33,8
2InAsO ₄ + $\frac{7}{2}$ Si	2In + $\frac{7}{2}$ SiO ₂	-15,3

TAB. 2.4 – Réactions prépondérantes entre InAs, Si et oxygène et leurs oxydes.

Le *Tableau 2.4* regroupe les réactions prépondérantes entre l'InAs, ses oxydes et le SiO₂, le silicium et l'oxygène. On observe que l'InAs et le SiO₂ sont stables lorsque les deux phases sont mises en présence. D'après ce même tableau, on observe que l'InAs au contact de l'oxygène s'oxyde en InAsO₄, In₂O₃ et As₂O₃. Il faut donc éviter l'exposition trop longue de la surface d'InAs à l'oxygène. Par ailleurs, au contact de l'InAs, les oxydes

sont réduits suivant les réactions :



Cela conduit à la production d'arsenic élémentaire à l'interface oxyde-semiconducteur et à l'existence d'une couche d'oxyde riche en éléments III comme cela a déjà été démontré expérimentalement [Wager *et al.*, 1983 ; Schwartz et Sunder, 1982].

La surface des composés III-V exposée à l'air ou oxydée présente une densité d'états d'interface élevée, ce qui induit une vitesse de recombinaison des porteurs très élevée en surface (ou une durée de vie des porteurs très courte) et des courants de fuite dans les dispositifs.

Dans notre cas, cela veut dire qu'il faut préserver l'échantillon après la croissance des *nc-InAs* :

- d'une part, les nanocristaux ne doivent pas être exposés trop longtemps à l'oxygène avant d'être recouverts par la couche d'oxyde de contrôle,
- d'autre part, la liaison In-As étant fragile thermodynamiquement, le dépôt de SiO₂ nécessite une méthode de dépôt ne dégradant pas les nanocristaux et conduisant néanmoins à la formation d'un film de silice de qualité électronique suffisante.

D'un point de vue pratique, il s'agit de déposer un film de SiO₂ présentant de très bonnes propriétés diélectriques et une grande stabilité chimique en limitant le plus possible la formation de défauts stœchiométriques à l'interface InAs/ SiO₂. Cela nous a conduit à nous tourner vers des techniques de dépôt basses températures. Ceci a éliminé d'office les très nombreuses méthodes de dépôt assisté thermiquement telles que APCVD (Atmospheric Pressure Vapor Phase Deposition) et la LPCVD (Liquid Phase Chemical Vapor Deposition) pourtant couramment utilisés sur silicium. Les techniques de dépôt basses températures les plus utilisées en microélectronique sont le dépôt UV-CVD (Ultra-Violet Chemical Vapor Deposition) et PECVD (Plasma Enhanced Chemical Vapor Deposition). Nous avons donc utilisé la technique de dépôt PECVD-ECR (ECR : Electron Cyclotron Resonance) de l'INL, réacteur connecté sous UHV (Ultra High Vacuum) à l'enceinte EJMS., pour déposer la silice de contrôle sur les nanocristaux d'InAs. Il faut noter que le dépôt de SiO₂ par CVD ne peut remplacer, en termes de qualité diélectrique, l'oxyde thermique fabriqué par oxydation du silicium. En effet, un oxyde déposé n'est pas aussi dense qu'un oxyde crû à partir d'un cristal de silicium. Des recuits oxydants et/ou passivants sont donc préconisés pour améliorer la qualité de l'oxyde de contrôle.

2.1.3.2 Le réacteur PECVD-ECR

Le réacteur plasma PECVD-ECR (*Figure 2.9*) permet de réaliser des films diélectriques à base de Si par dépôt chimique en phase vapeur assistée par plasma RCE ou ECR (Electron Cyclotron Resonance).

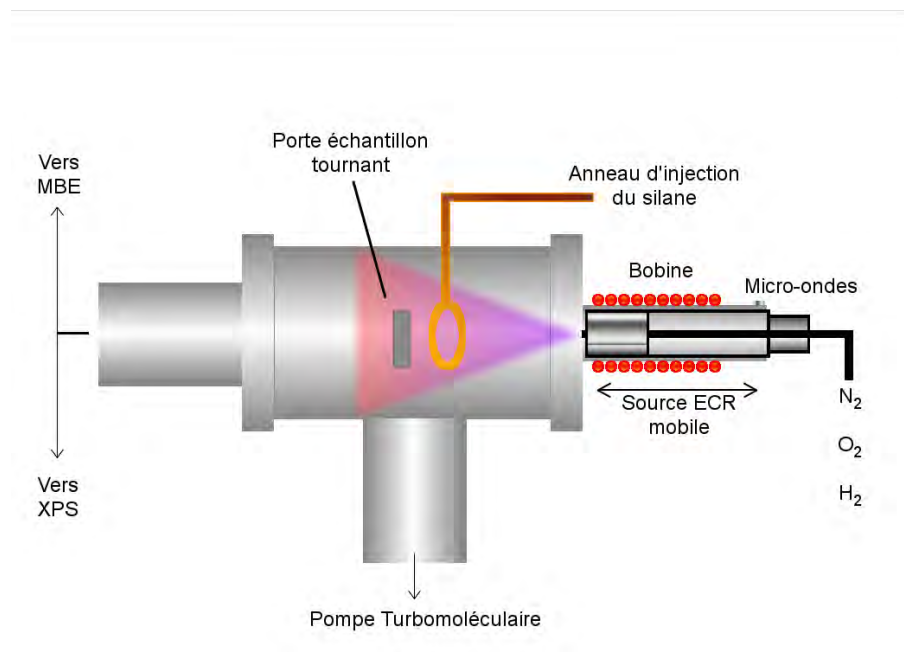


FIG. 2.9 – Représentation schématique du réacteur plasma PECVD-ECR

Il s'agit d'une enceinte ultravide cylindrique de 30 cm de diamètre, équipée d'une source plasma compacte ECR fabriquée par AsTeXTM. Cette source est mobile par rapport à l'enceinte dans l'axe perpendiculaire au plan du substrat et la distance de la sortie de la source à l'échantillon peut varier de 7 à 22 cm. Plusieurs hublots permettent de visualiser l'intérieur de l'enceinte pendant le traitement, cette dernière étant le siège de la diffusion du plasma produit dans la source plasma. Le vide est assuré par une pompe turbomoléculaire et la pression dans l'enceinte est mesurée par une jauge à cathode froide et une jauge Baratron.

Un automate (OmicronTM) permet de piloter les vannes de sécurité et les débits de gaz par l'intermédiaire de débitmètres massiques (5820E, BrooksTM). L'alimentation de la source (O₂) pour créer le plasma est indépendante de celle du réacteur (SiH₄) pour le dépôt de diélectrique.

L'injection du silane, dont le débit peut atteindre 10 sccm², est effectuée par un anneau de 10 cm de diamètre percé de trous sur sa circonférence. Solidaire du porte-échantillon, il est placé entre la source et le substrat quand l'exposition est directe. Cette configuration permet d'avoir un flux de silane reproductible et réparti dans le plan de l'échantillon. L'injection principale de gaz (O₂, H₂, N₂...) se fait directement dans la source mais la pression est mesurée dans la chambre de dépôt au-dessus de la vanne d'isolement de la pompe turbomoléculaire. La pression dans la source est donc plus élevée que celle mesurée dans la chambre de dépôt.

Les substrats à traiter sont placés sur un porte-échantillon occupant le centre de la chambre. Il est conçu pour recevoir des substrats jusqu'à 2 pouces de diamètre et peut être chauffé jusqu'à 600 °C et polarisé en tension DC (Direct Current) ou RF (Radio Fréquence).

²sccm : standard cubic centimeters per minute = 1 cm³.min⁻¹

Un manipulateur contrôle la rotation du porte-échantillon perpendiculairement à l'axe de la source. Il permet d'exposer le substrat au flux direct de la source ou, au contraire, de l'exposer de façon indirecte par une rotation de 180°. Lors d'une exposition directe (échantillon face au flux du plasma), le substrat reçoit toutes les espèces présentes au sein du plasma : ions, électrons, espèces neutres et rayonnement UV de la source. Si l'exposition est indirecte (échantillon dos au plasma), le substrat reçoit principalement les espèces neutres avec minimisation du bombardement ionique.

En pratique, le réacteur d'épitaxie est relié au réacteur PECVD-ECR par un module de transfert. Cette disposition a l'avantage de maintenir les *nc-InAs* sous ultravide après leur fabrication et d'éviter ainsi leur exposition à l'air et donc toutes oxydations ou pollutions non contrôlées.

2.1.3.3 Le dépôt de SiO₂ par PECVD-ECR

La PECVD-ECR permet le dépôt de couches de SiO₂ ou de Si₃N₄ à basses températures (200-300 °C). Lorsque la température de l'échantillon atteint 200 °C, un mélange de SiH₄ et de O₂ est envoyé sur la surface de l'échantillon et la silice est déposée sur les nanocristaux. A la fin de la croissance, l'échantillon est refroidit sous O₂ pour éviter l'appauvrissement de la silice en oxygène. La vitesse de dépôt de la silice a été calibrée sur des substrats Si et des structures SiO₂/Si. Pour des épaisseurs de dépôts de silice comprises entre 10 et 30 nm, la vitesse de dépôt est supposée linéaire.

2.1.3.4 Les recuits in-situ

Les oxydes plasma ont généralement un champ de claquage plus faible que les oxydes thermiques (*Tableau 2.5*). Il est donc nécessaire d'effectuer des recuits in-situ (dans le bâti ECR-PECVD) ou ex-situ pour améliorer la qualité de l'oxyde de contrôle.

Propriétés	Thermique (1000 °C)	CVD (450 °C)	PECVD (200 °C)
Densité (g/cm ³)	2.2	2.1	2.3
Indice de réfraction	1.46	1.44	1.47
Champ de claquage (10 ⁶ V/cm)	>10	8	3-6
Recouvrement	–	non-conforme	non-conforme

TAB. 2.5 – Propriétés des films de SiO₂ en fonction de la méthode de fabrication. D'après [May et Szé, 2003].

Pour améliorer la qualité des oxydes plasma déposés, les traitements en température sous hydrogène, sous oxygène ou sous forming gaz³ sont courants. Afin d'éviter une possible oxydation de l'*InAs* par un recuit sous O₂ et ne disposant pas de la ligne N₂ – H₂, nous avons choisi de recuire in-situ les structures mémoires à 450 °C sous flux d'hydrogène.

Les calculs d'enthalpie de réaction entre l'*InAs* et le SiO₂ ont montré qu'ils ne devraient pas réagir entre eux lors de ce recuit (*Tableau 2.4*).

³Le forming gaz est généralement un mélange de 10 % d'H₂ dans N₂.

2.1.4 Métallisation

La métallisation des échantillons pour les caractérisations électriques est une étape critique de la fabrication. En effet, une bonne qualité de la grille et de l'interface grille/oxyde de contrôle est nécessaire pour caractériser électriquement les structures mémoires. Pour ce faire, deux types de grilles métalliques ont été utilisés : d'une part une grille en aluminium et d'autre part, une grille en or avec couche d'accroche en nickel de trois nanomètres d'épaisseur.

2.1.4.1 Les techniques d'évaporation

Deux techniques d'évaporation métallique ont été utilisées dans cette étude : l'évaporation par effet Joule (resistance heated evaporation) et l'évaporation par bombardement électronique (e-beam evaporation). Elles sont schématisées sur la figure 2.10.

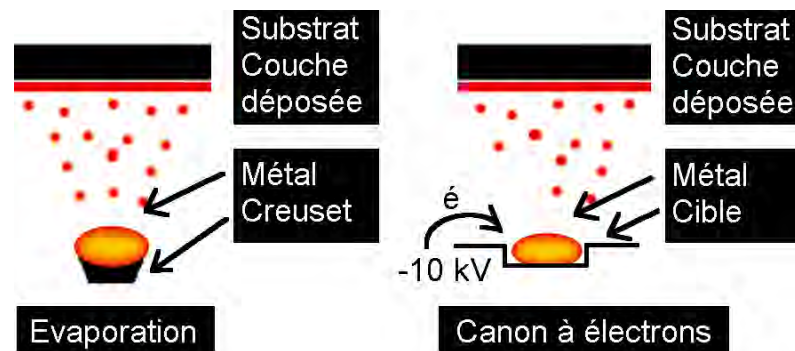


FIG. 2.10 – Représentation schématique de (a) l'évaporation par effet Joule et (b) l'évaporation par bombardement électronique.

L'évaporation par effet Joule Cette technique consiste à déposer dans un premier temps des grains du matériau à évaporer dans une nacelle en tungstène, tantale, molybdène ou carbone. La nacelle est ensuite portée à haute température par effet Joule. Les grains fondent puis le métal s'évapore. Les inconvénients liés à cette technique sont :

- la contamination potentielle par la nacelle elle-même,
- l'impossibilité d'évaporer des métaux à haute température de fusion,
- la limite sur l'épaisseur de la couche déposée étant donnée la faible quantité de métal pouvant être déposée dans la nacelle.

L'évaporation par bombardement électronique La technique de dépôt par évaporation par bombardement électronique consiste à déposer dans un premier temps une pastille, des grains, de la grenaille ou des petits bouts de fil dans un creuset. Un faisceau d'électrons à haute énergie est dirigé sur le matériau. L'énergie cinétique des électrons est convertie en chaleur au point d'impact. Le faisceau d'électrons peut fondre et évaporer tout type de matériau dans la mesure où l'apport calorifique est supérieur aux pertes. Le faisceau est concentré à la surface du matériau si bien que le matériau en fusion peut être contenu dans un récipient refroidi. En fait, seule la surface du matériau est en fusion.

Le matériau en contact avec les parois du creuset est solide. Ceci élimine les problèmes de contamination par le creuset et permet de déposer des couches de très grande pureté. L'avantage de cette technique est la pureté des couches déposées. En revanche, les deux inconvénients principaux liés à cette technique sont :

- l'émission de rayons X pouvant endommager les surfaces des substrats,
- l'éjection de gouttelettes hors du creuset pouvant se déposer sur les substrats dans le cas où une trop forte puissance est utilisée.

2.1.4.2 Evaporation d'Al ou d'Au/Ni comme métal de grille pour les structures MOS

L'aluminium est largement utilisé pour la métallisation des circuits intégrés. Sa résistance très faible ($2,7 \mu\Omega \cdot \text{cm}$) et sa très bonne adhérence à SiO_2 en font un métal privilégié pour les contacts électriques. Son utilisation pose cependant quelques problèmes. D'une part, il se dissout facilement dans SiO_2 , lorsque une tension est appliquée entre l'Al et la silice par électromigration [May et Szé, 2003]. D'autre part, l'Al s'oxyde à l'air et les dispositifs vieillissent assez vite.

Dans notre étude, nous avons choisi de déposer des grilles en aluminium à travers un masque mécanique placé contre l'échantillon avant l'évaporation. Il n'est pas possible d'obtenir des motifs inférieurs à $50 \mu\text{m}$ de côté en utilisant ces masques car l'aluminium peut facilement diffuser sous le masque pendant l'évaporation. L'intérêt majeur de cette technique vient du fait qu'il n'est pas nécessaire de nettoyer les échantillons avant le dépôt de la grille. Nous évitons ainsi les problèmes liés à la gravure chimique.

Un recuit post-métallisation est nécessaire après l'évaporation de l'aluminium. Le recuit standard du laboratoire consiste à placer l'échantillon dans une enceinte et de le chauffer à 450°C sous atmosphère d'hydrogène pendant 20 minutes. Ce recuit permet de réduire les charges contenues dans les oxydes (tunnel et de contrôle), et les états d'interfaces en remplaçant les liaisons pendantes de Si par des liaisons Si-H. Il permet aussi d'améliorer le contact Al/ SiO_2 . Comme nous le verrons dans le *Chapitre 3*, l' H_2 peut être néfaste lorsqu'il entre en contact avec l'*nc-InAs* (formation d' AsH_3 gazeux). Nous nous sommes donc tournés vers un deuxième type de grilles ne nécessitant pas de recuit post-métallisation : les grilles Au/Ni.

L'alliage Au/Ni a été également utilisé comme grille métallique sur nos structures MOS. Les grilles Au/Ni ont été évaporées à l'INL-ECL dans l'évaporateur à effet Joule. Dans ce cas de figure, nous avons utilisé des masques lithographiés. L'inconvénient de cette technique provient de l'utilisation de masques lithographiés, donc de solvants et de résine.

2.2 Techniques de caractérisation

2.2.1 Caractérisation des propriétés structurales des nanocristaux

Les propriétés structurales des *nc*-InAs et des structures MOS à *nc*-InAs pour applications mémoires ont été évaluées par différentes techniques.

Tout d'abord, l'épaisseur de la silice thermique a été mesurée par ellipsométrie spectroscopique (*Annexe B*). Les paramètres extraits sont l'épaisseur de SiO₂, sa densité son indice optique à 628 nm. La silice thermique a aussi été imagée par AFM (Voir *Annexe A*). Cette technique d'imagerie a en particulier permis de mesurer la rugosité de la silice thermique après le traitement chimique.

La diffraction d'électrons de haute énergie (RHEED) est utilisée pendant la croissance des nanocristaux. Cette technique de caractérisation in-situ permet, à partir des diagrammes de diffraction observés sur un écran fluorescent, d'évaluer la cristallinité de la surface pendant la croissance. Cette technique est décrite en annexe C pour plus de détails.

Après l'étape de croissance des *nc*-InAs, soit l'échantillon est transféré dans le réacteur PECVD-ECR pour la fabrication de la structure, soit il est sorti pour y être étudié. Les nanocristaux non encapsulés ont été observés par microscopie AFM pour mesurer leur hauteur, leur diamètre et leur densité. A partir de ces études, il a été possible d'évaluer l'influence des paramètres de croissance sur les propriétés structurales et morphologiques des nanocristaux (*Chapitre 3*).

Bien que rapide, la microscopie AFM présente quelques inconvénients. La pointe de l'AFM possède un rayon de courbure du même ordre de grandeur que les objets mesurés. Il apparaît donc que le diamètre des nanocristaux mesuré par AFM est surestimé : pour palier à ce problème, l'imagerie TEM est très utile car le diamètre des nanocristaux est directement accessible après encapsulation des nanocristaux par de la silice.

2.2.2 Caractérisation des propriétés électriques des nanocristaux

Les propriétés électriques des *nc*-InAs ont été déterminées suivant deux méthodes. Dans un premier temps, nous avons fabriqué des structures MOS à partir des structures complètes SiO₂/*nc*-InAs/SiO₂/Si en déposant des grilles métalliques sur les échantillons. Ces structures à nanocristaux ont été comparées à des structures MOS de référence, c'est-à-dire sans nanocristaux, pour en extraire les propriétés de chargement et de déchargement des *nc*-InAs dans une matrice isolante. Dans un deuxième temps, nous avons effectué des mesures de transport des structures à nanocristaux SiO₂/*nc*-InAs/SiO₂/Si dont l'épaisseur d'oxyde de contrôle a été limitée à 4-5 nm. Ces expériences ont été effectuées par AFM en mode "courant tunnel" pour étudier les courants électriques traversant un unique nanocristal.

2.3 Conclusion

La fabrication d'une structure mémoire "test" à *nc-InAs* ne nécessite que quatre étapes : la croissance de l'oxyde tunnel, la croissance des *nc-InAs*, le dépôt de l'oxyde de contrôle et le dépôt de la grille métallique. Dans ce chapitre, nous avons décrit succinctement ces différentes étapes ainsi que les outils technologiques et les techniques de caractérisation qui ont été utilisés pour fabriquer et caractériser les structures mémoires étudiées dans ce travail. L'étape de la croissance des *nc-InAs* sur SiO_2 a demandé une étude plus approfondie pour en contrôler la densité et leur taille. Cette étude fait l'objet du prochain chapitre.

3

Etude des paramètres de croissance et des propriétés structurales des *nc*-InAs

Sommaire

3.1	Etude des paramètres de croissance des <i>nc</i>-InAs sur SiO₂ – th	72
3.1.1	Influence du traitement chimique de la surface de SiO ₂ -th	72
3.1.2	Influence de la température de croissance	75
3.1.3	Influence de la pression d'As	83
3.1.4	Influence de la quantité d'InAs déposé	89
3.1.5	Influence du traitement de la surface de SiO ₂ -th par As ou P	93
3.1.6	Conclusion	95
3.2	Propriétés structurales des <i>nc</i>-InAs	96
3.2.1	Sur l'orientation des <i>nc</i> -InAs/SiO ₂	97
3.2.2	Qualité cristalline des <i>nc</i> -InAs	98
3.2.3	Structure cristalline des <i>nc</i> -InAs	101
3.2.4	Défauts structuraux	103
3.2.5	Composition chimique	105
3.2.6	Morphologie des <i>nc</i> -InAs encapsulés par SiO ₂	106
3.3	Passivation des <i>nc</i>-InAs	108
3.3.1	Dépôt d'une fine couche de Si amorphe avant le dépôt du SiO ₂	108
3.3.2	Passivation phosphore	109
3.3.3	Recuit in-situ sous H ₂	110
3.4	Conclusion	110

Ce chapitre présente dans une première partie (*Partie 3.1*) les résultats relatifs à la croissance de nanocristaux d'*InAs* sur la silice thermique ($\text{SiO}_2\text{-th}$) par EJM-SS. Différents paramètres technologiques peuvent agir directement sur la croissance des nanocristaux. Nous montrerons ainsi que les propriétés chimiques de la surface du $\text{SiO}_2\text{-th}$ peuvent influencer la croissance des nanocristaux. Nous étudierons aussi l'influence des conditions de croissance : la température de croissance (T_G), la pression d'As (P_{As}) et le nombre de monocouches d'*InAs* déposé (MC_{InAs}) sur les propriétés morphologiques des *nc-InAs*. Dans une deuxième partie (*Partie 3.2*), l'étude des propriétés structurales des *nc-InAs* par microscopie TEM sera présentée. Les *nc-InAs* ont été étudiés avant et après l'encapsulation par de la silice déposée par PECVD-ECR.

3.1 Etude des paramètres de croissance des *nc-InAs* sur $\text{SiO}_2 - \text{th}$

Pratiquement, la réalisation des structures nécessite les étapes suivantes :

- Nettoyage chimique des échantillons puis séchage à l'azote. Le nettoyage consiste à rincer les échantillons soit dans de l'eau désionisée, soit dans des solvants (*Sous-partie 3.1.1*).
- Collage des échantillons sur un molyblock à l'indium à environ 200 °C.
- Introduction du molyblock dans l'enceinte UHV.
- Dégazage à 300 °C.
- Introduction dans l'enceinte EJM.
- Montée en température sous une pression de 10^{-10} - 10^{-9} Torr.
- Choix des conditions de croissance : T_G , P_{As} et MC_{InAs} . Pour cette étude, la vitesse de croissance de l'*InAs* a été fixée à 0,22 $\mu\text{m/h}$ soit 0,2 MC/s. Par ailleurs, T_G est lue par le thermocouple placé à l'arrière du molyblock. Elle est calibrée par rapport à la température de fusion de l'*InSb* ($T_{InSb}^f = 525$ °C sous UHV).
- Croissance des *nc-InAs* par : (1) ouverture de la vanne de la cellule arsenic pendant 10 s et (2) ouverture du cache de la cellule d'*In*. La croissance est contrôlée sur le diagramme de diffraction RHEED (*Annexe C*).
- Refroidissement de l'échantillon sous flux d'éléments V.
- Sortie du réacteur.

Nous allons maintenant décrire l'influence des traitements chimiques et des paramètres de croissance sur les propriétés morphologiques des *nc-InAs*.

3.1.1 Influence du traitement chimique de la surface de $\text{SiO}_2\text{-th}$

La surface de l'oxyde de silicium est composée de groupements siloxanes (Si-O-Si) et de groupements silanols (Si-OH), quel que soit le mode d'élaboration de la silice [Vansant *et al.*, 1995]. Dans notre cas, l'oxyde thermique est synthétisé à haute température et en atmosphère contrôlée (très pauvre en vapeur d'eau). La surface de SiO_2 contient une très faible densité de groupements silanols en sortie du four. Or, ce sont généralement les groupements silanols Si-OH qui gouvernent la réactivité de la surface de SiO_2 . Il a

été démontré qu'il est possible d'exalter fortement la nucléation des *nc-Si* sur SiO_2 en introduisant des groupements hydroxyles à la surface du SiO_2 -*th* [Mazen, 2003].

Les traitements chimiques que nous avons effectués servent dans un premier temps à nettoyer la surface de l'oxyde mais aussi à casser les liaisons Si-O de surface et à introduire des groupements hydroxyles -OH supplémentaires. Certains auteurs utilisent un traitement HF (acide fluorhydrique) dilué ou un traitement à l'eau désionisée pour augmenter le nombre de groupements silanols Si-OH [Mazen, 2003]. F. Mazen a cependant démontré que le traitement de la silice avec du HF dilué conduit à un plus grand nombre de ces groupements.

Nous avons étudié l'influence du nettoyage de la surface de la silice thermique (du SiO_2 -*th*) sur la morphologie et la densité des *nc-InAs*. Nous avons décidé de nettoyer les échantillons avant de procéder à la croissance des nanocristaux pour une question de reproductibilité : le nettoyage systématique de la surface a l'avantage de permettre une croissance des nanocristaux sur une surface identique en termes de terminaisons chimiques. Pour ce faire, plusieurs nettoyages ont été testés :

- (a) nettoyage à l'eau désionisée ;
- (b) 10 min dans l'acétone tiède puis 5 min dans l'éthanol ;
- (c) 10 min dans le trichloroéthylène tiède puis 10 min dans l'acétone tiède puis 5 min dans l'éthanol ;
- (d) 2 min dans HF 0,2 % puis rinçage à l'eau désionisée.

Les nanocristaux ont crû sur des surfaces de SiO_2 -*th* ayant subi ces différents traitements. Pour comparer l'effet des traitements et s'affranchir des conditions de croissance, nous avons placé les échantillons sur le même molyblock avant de les introduire dans le réacteur d'épitaxie.

On observe sur la *Figure 3.1* que le nettoyage influence notablement la croissance des nanocristaux. Sur l'image (a), la surface de la silice, préalablement nettoyée à l'eau désionisée, n'est pas homogène et les *nc-InAs* ne sont pas uniformément répartis sur la surface. Les images (b) et (c) montrent les *nc-InAs* obtenus sur SiO_2 -*th* dont la surface a été préalablement nettoyée aux solvants. Sa surface apparaît plus homogène et les nanocristaux sont uniformément répartis. Enfin, la dernière image (d) montre les *nc-InAs* obtenus sur une surface de SiO_2 -*th* nettoyée au HF dilué à 0,2 % puis rincée à l'eau désionisée. La densité de *nc-InAs* est la plus élevée et présente une distribution bimodale. On peut penser que cette plus forte densité est le résultat d'une plus forte rugosité de la surface de SiO_2 -*th* traitée par la solution de HF dilué [Mazen, 2003].

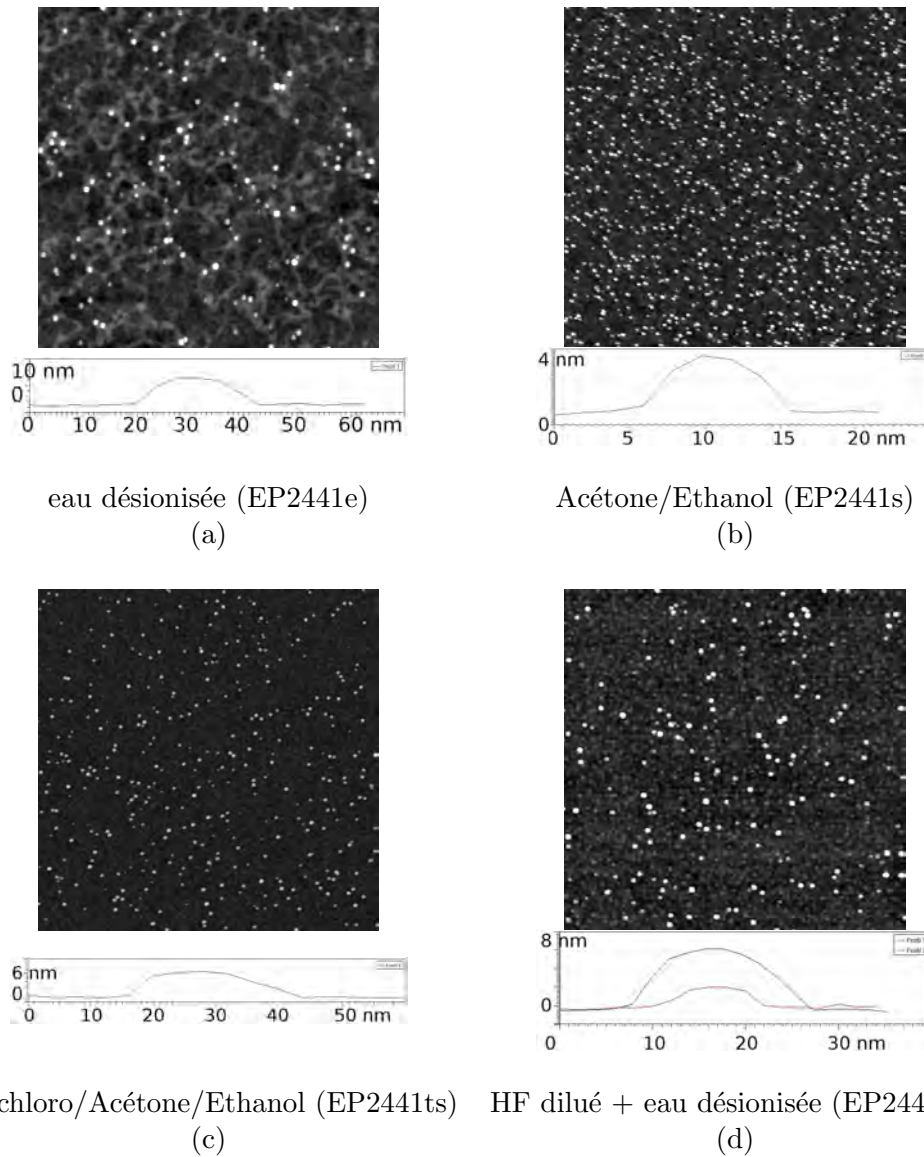


FIG. 3.1 – Image AFM et profils typiques des *nc-InAs* montrant l'influence des traitements chimiques de la surface de $\text{SiO}_2\text{-th}$ sur la croissance des *nc-InAs* : (a) Nettoyage eau désionisée (b) Nettoyage acétone et éthanol (c) Nettoyage trichloroéthylène, acétone et éthanol (d) 2 min dans HF dilué à 0,2 % et rinçage eau désionisée. Les paramètres de croissance des *nc-InAs* sont : $T_C = 440^\circ\text{C}$, $P_{As} = 4 \times 10^{-6}$ Torr, $MC_{InAs} = 4$. Taille des images AFM : $1 \mu\text{m} \times 1 \mu\text{m}$.

On observe que la surface a certainement été “abîmée” par l’attaque au HF comme en témoignent les hétérogénéités observées sur la surface. Les images AFM seules ne permettent cependant pas de conclure si le nettoyage HF conduit à une distribution bimodale des *nc-InAs*.

Les caractéristiques des *nc-InAs* en fonction du traitement chimique sont rassemblées dans le *Tableau 3.1*. De cette étude, nous avons tiré les conclusions suivantes :

- le nettoyage de la surface aux solvants permet d’avoir une distribution homogène des *nc-InAs* sur toute la surface ;
- le nettoyage aux solvants permet de garder intacte la surface de SiO₂-*th*, contrairement au nettoyage HF ;
- le nettoyage à base de trichloroéthylène permet d’effectuer un dégraissage complet de l’échantillon ;
- le nettoyage avec du HF dilué à 0,2 % puis rinçage à l’eau désionisée conduit certainement à une augmentation de la rugosité de la surface de SiO₂-*th* et donc à une augmentation de la densité des *nc-InAs* et à la distribution bimodale.

Nettoyage	Densité (cm ⁻²)	Hauteur (nm)	Diamètre (nm)	V_{eq}^1 ($\times 10^4$ nm ³ /μm ²)
(a) Eau désionisée	$8,2 \times 10^9$	$5,3 \pm 1,3$	18 ± 2	$1,44 \pm 1,06$
(b) Acétone/éthanol	$5,3 \times 10^{10}$	$4,5 \pm 1,0$	$16,6 \pm 1,5$	$5,32 \pm 3,13$
(c) Trichloro/Acétone/Ethanol	$9,4 \times 10^9$	$5,2 \pm 1,0$	$17,8 \pm 1,5$	$1,56 \pm 0,90$
(d) HF dilué /petits	$7,8 \times 10^{10}$	$2,5 \pm 0,5$	$8,2 \pm 0,8$	$1,44 \pm 0,90$
HF dilué /grands	$1,8 \times 10^{10}$	$4,7 \pm 1,2$	$17,1 \pm 1,8$	$2,2 \pm 1,7$

¹ V_{eq} est le volume total occupé par les nanocristaux. Voir *Paragraphe 3.1.2.2*.

TAB. 3.1 – Densité et hauteur des *nc-InAs* en fonction du nettoyage de la surface de SiO₂-*th*.

Nous avons donc opté pour le nettoyage de la surface de SiO₂-*th* avec les trois solvants (Trichloro/Acétone/Ethanol, *Nettoyage (c)*). Cependant, nous avons quelques fois utilisé un nettoyage à l’eau désionisée qui conduit à des tailles et des densités sensiblement identiques. En effet, l’utilisation des solvants sur des oxydes thermiques de quelques nanomètres d’épaisseur peut avoir des effets néfastes sur leur qualité électronique.

3.1.2 Influence de la température de croissance

La croissance cristalline est un processus thermiquement activé : il était donc attendu que la température de croissance joue un rôle important dans la croissance des *nc-InAs* sur SiO₂-*th*. Nous avons donc étudié l’évolution de la densité et de la taille des *nc-InAs* en fonction de la température de croissance (*Figure 3.2*). Pour cette étude, les autres paramètres tels que la vitesse de croissance, la pression d’As et le nombre de monocouches d’InAs déposé ont été maintenus constants respectivement à 0,22 μm/h, 4×10^{-6} Torr et 4 monocouches d’InAs déposé.

3.1.2.1 Evolution de la densité et de la taille des *nc-InAs*

Densité Une première observation des images AFM (*Figure 3.2*) et du *Tableau 3.2* montre que la densité des nanocristaux diminue avec l’augmentation de la température

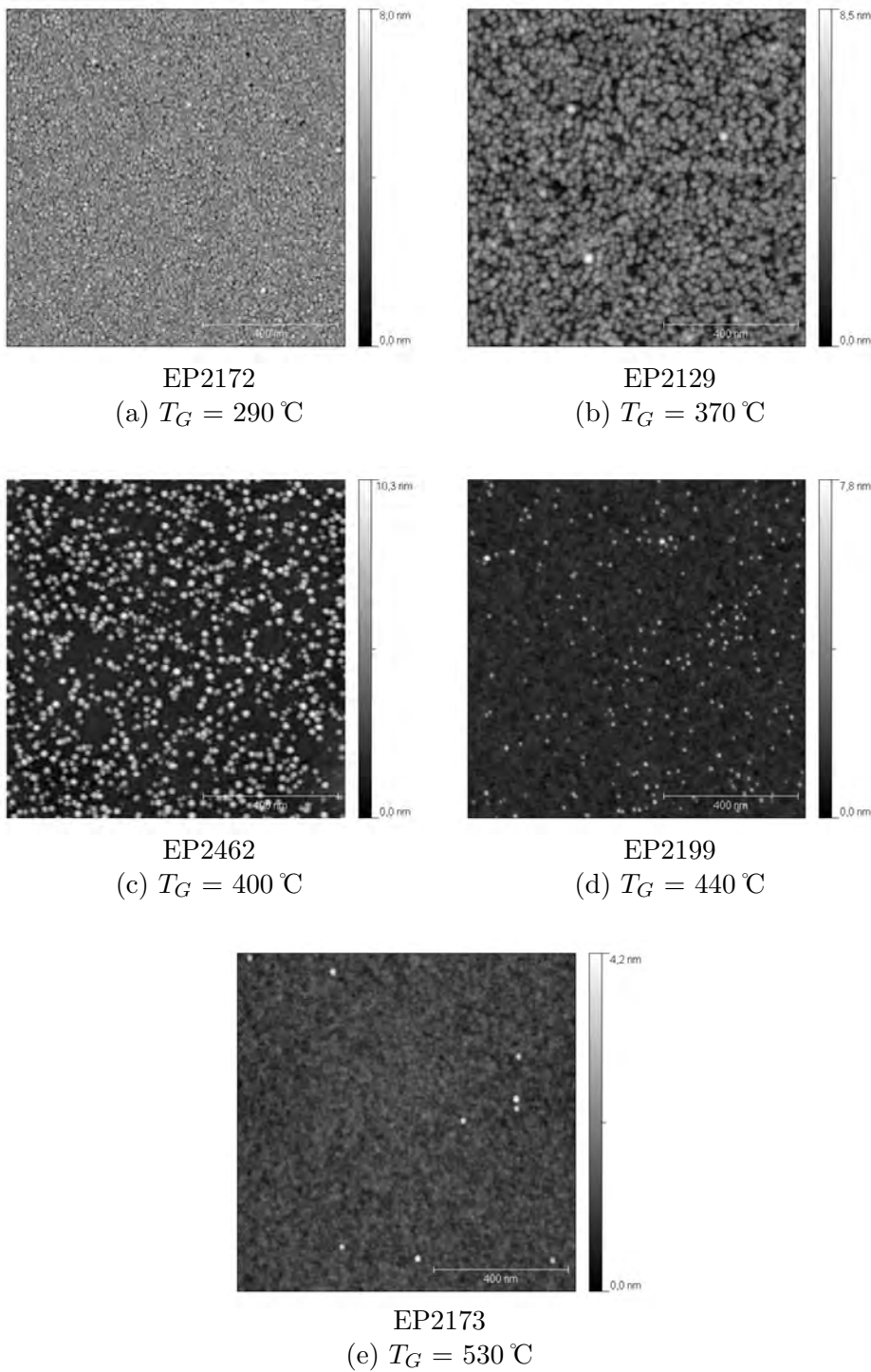


FIG. 3.2 – Images AFM montrant l’influence de la température de croissance sur la densité des *nc-InAs* : (a) $290\text{ }^\circ\text{C}$ (b) $370\text{ }^\circ\text{C}$ (c) $400\text{ }^\circ\text{C}$ (d) $440\text{ }^\circ\text{C}$ et (e) $530\text{ }^\circ\text{C}$. Les paramètres de croissance des *nc-InAs* sont : $P_{As} = 4 \times 10^{-6}$ Torr et $MC_{InAs} = 4$. Taille des images : $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$.

de croissance. La *Figure 3.3* montre l’évolution de la densité des *nc-InAs* en fonction de la température de croissance T_G . Comme observé sur les images AFM, la densité des nanocristaux diminue avec l’augmentation de T_G . La variation de la densité s’étend sur plusieurs décades pour une gamme de T_G d’environ $250\text{ }^\circ\text{C}$. La densité maximale est de

Echantillon	T_G (°C)	D_{NC} (cm^{-2})	h_{NC} (nm)	d_{NC} (nm)	V_{eq} ($\text{nm}^3/\mu\text{m}^2$)
EP2172	290	$(7,7\pm 1,1)\times 10^{11}$	$3\pm 0,6$	$11,2\pm 1,5$	$(2,4\pm 1,5)\times 10^5$
EP2117	350	$(4,3\pm 2,0)\times 10^{11}$	$3,8\pm 0,4$	$15,8\pm 1,9$	$(2,8\pm 2,0)\times 10^5$
EP2109	360	$(4,1\pm 0,9)\times 10^{11}$	$4,2\pm 0,4$	$15,9\pm 2,5$	$(3,5\pm 1,8)\times 10^5$
EP2129	370	$(2,3\pm 0,5)\times 10^{11}$	$4,3\pm 0,6$	$14,6\pm 2,9$	$(2,2\pm 0,9)\times 10^5$
EP2128	385	$(2,5\pm 0,7)\times 10^{11}$	$4,7\pm 0,7$	$16,7\pm 2,8$	$(3,0\pm 2,2)\times 10^5$
EP2462	400	$(9,7\pm 0,6)\times 10^{10}$	$5,9\pm 1,0$	$18,9\pm 2,0$	$(5,5\pm 2,3)\times 10^4$
EP2433	415	$(1,3\pm 0,3)\times 10^{11}$	$5,5\pm 0,9$	$17,1\pm 2,0$	$(2,5\pm 2,5)\times 10^4$
EP2587	420	$(1,6\pm 1,1)\times 10^{11}$	$5,1\pm 1,0$	$19,8\pm 3,2$	$(2,4\pm 1,8)\times 10^4$
EP2199	440	$(3,6\pm 2,0)\times 10^{10}$	$4,1\pm 0,5$	$17,6\pm 1,9$	$(2,9\pm 1,0)\times 10^4$
EP2440	460	$(1,6\pm 0,8)\times 10^{10}$	$3,9\pm 0,7$	$16,2\pm 2,7$	$(1,1\pm 1,0)\times 10^4$
EP2098	470	$(9,8\pm 5,0)\times 10^9$	$3,5\pm 1,2$	$15,7\pm 2,3$	$(4,9\pm 3,5)\times 10^3$
EP2256	500	$(5,8\pm 3,0)\times 10^9$	$2,9\pm 0,3$	$15,4\pm 1,5$	$(1,7\pm 1,5)\times 10^3$
EP2173	530	$(9,0\pm 1,0)\times 10^8$	$2,6\pm 0,6$	$15,3\pm 2,6$	$(1,9\pm 1,3)\times 10^2$

TAB. 3.2 – Valeurs moyennes des paramètres structuraux caractérisant les nc -InAs : la densité D_{NC} , la hauteur h_{NC} , le diamètre d_{NC} et le volume équivalent V_{eq} . Ces valeurs sont obtenues à partir des images AFM présentées *Figure 3.2*.

$8 \times 10^{11} \text{ cm}^{-2}$ pour $T_G = 290 \text{ °C}$ et la densité minimale est de $9 \times 10^8 \text{ cm}^{-2}$ pour $T_G = 530 \text{ °C}$. Au-dessus de $T_G = 530 \text{ °C}$, aucun nc -InAs n'est observé sur les images AFM.

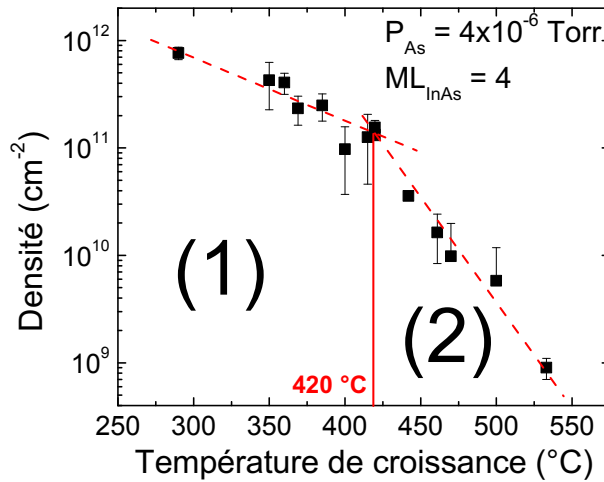


FIG. 3.3 – Evolution de la densité des nc -InAs avec la température de croissance T_G .

Hauteur La *Figure 3.4* montre que la hauteur moyenne des nc -InAs augmente légèrement avec l'augmentation de T_G lorsque $T_G < 420 \text{ °C}$. Leur hauteur est de $3 \pm 0,6 \text{ nm}$ à 290 °C et de $5,9 \pm 1,0 \text{ nm}$ à 420 °C . Au-dessus de $T_G = 420 \text{ °C}$, la hauteur moyenne des nc -InAs diminue jusqu'à atteindre une valeur de $2,6 \pm 0,6 \text{ nm}$ à 530 °C .

Diamètre La *Figure 3.5* montre la variation du diamètre des nc -InAs avec T_G . En-dessous de $T_G = 420 \text{ °C}$, le diamètre des nc -InAs augmente avec l'augmentation de température, de $11,2 \pm 1,5 \text{ nm}$ pour $T_G = 290 \text{ °C}$ à $19,8 \pm 3,2 \text{ nm}$ pour $T_G = 420 \text{ °C}$. Au-dessus de $T_G = 420 \text{ °C}$, le diamètre des nc -InAs diminue légèrement jusqu'à atteindre une valeur de $15,3 \pm 2,6 \text{ nm}$ à T_G .

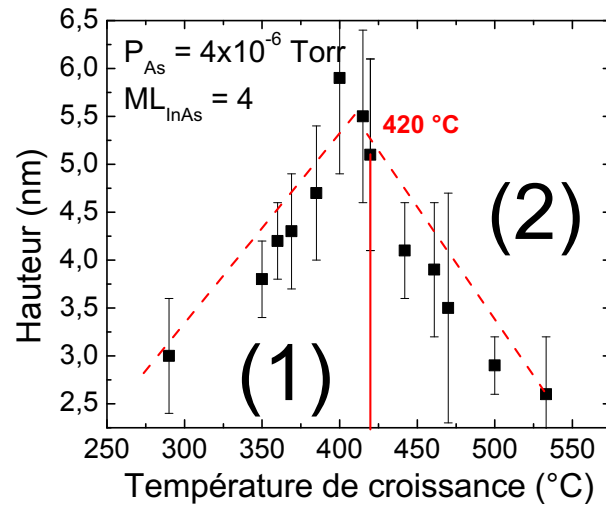


FIG. 3.4 – Evolution de la hauteur des *nc-InAs* avec la température de croissance T_G .

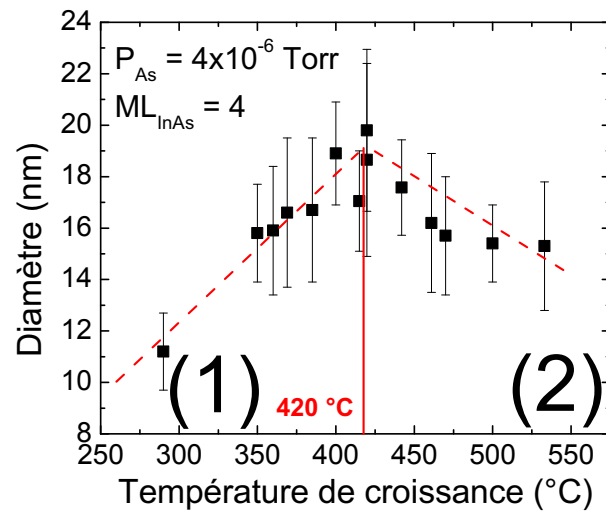


FIG. 3.5 – Evolution du diamètre des *nc-InAs* avec la température de croissance T_G .

Rapport Hauteur/Diamètre La Figure 3.6 présente l'évolution du rapport hauteur/diamètre des *nc-InAs* en fonction de T_G . On observe qu'à faible T_G ($T_G < 420$ °C), le rapport reste constant. Au-dessus de 420 °C, le rapport hauteur/diamètre semble diminuer lorsque T_G augmente : la hauteur des *nc-InAs* diminue plus vite que le diamètre.

3.1.2.2 Discussion sur les mécanismes de croissance

Pour comprendre les mécanismes de croissance en fonction de T_G , il est nécessaire de mesurer le volume occupé, ou volume équivalent V_{eq} , par les *nc-InAs* et de le comparer au volume déposé théorique V_{theo} . Le volume équivalent a été calculé comme étant égal, par unité de surface, au produit du volume moyen d'un nanocristal par le nombre de

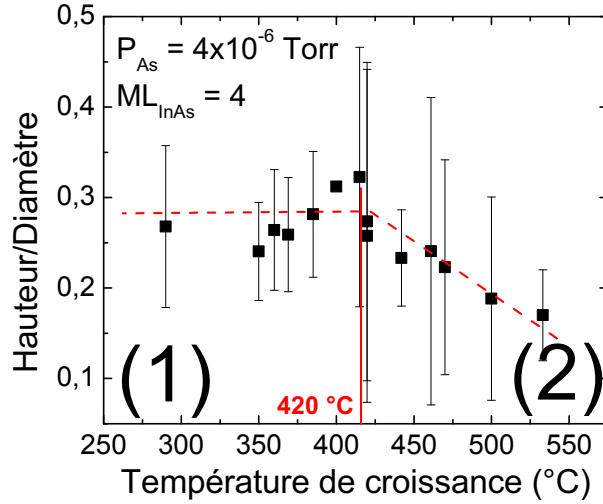


FIG. 3.6 – Evolution du rapport hauteur/diamètre des *nc*-InAs avec la température de croissance T_G .

nanocristaux.

Limitations de l’AFM pour la mesure des diamètres Il est connu que les diamètres des nanostructures observées par AFM sont surévalués par un effet de convolution avec la pointe AFM. Pour quantifier cet effet, nous avons observé un même échantillon (EP2045) de *nc*-InAs non recouverts de SiO₂, par microscopie AFM et TEM (*Figure 3.7*). La température de croissance de 400 °C de cet échantillon a été choisie pour que la densité des *nc*-InAs soit suffisamment faible pour que les *nc*-InAs soient relativement bien séparés les uns les autres.

Pour la valeur du diamètre des nanocristaux mesuré par AFM, nous avons utilisé la méthode qui consiste à mesurer le diamètre à mi hauteur du profil du nanocristal (voir *Figure 3.7(a2)*). En comparant cette valeur avec celle mesurée sur une image TEM (*Figure 3.7(b)*), nous en avons déduit que qu’avec le microscope de l’INL-INSA la surestimation du diamètre était typiquement de l’ordre de 10 nm. D’après le *Tableau 3.3* qui regroupe les données issues des images, la densité des *nc*-InAs mesurées sur les images AFM et TEM sont quasiment identiques, la différence des valeurs pouvant s’expliquer par l’inhomogénéité de l’échantillon. Les hauteurs mesurées par TEM sont extraites d’observations TEM en coupe transverse (*Figure 3.7(b)*). On remarque que les hauteurs mesurées par AFM et TEM sont semblables.

Technique de caractérisation	d_{NC} (nm)	h_{NC} (nm)	D_{NC} (cm ⁻²)
TEM	$10,1 \pm 1,8$	$6,3 \pm 0,9$	$2,2 \times 10^{11}$
AFM	19 ± 3	6.4 ± 1.3	1.4×10^{11}

TAB. 3.3 – Tableau comparatif de la densité et de la taille des *nc*-InAs pour un même échantillon (EP2045) imagé par AFM et TEM. D’après la *Figure 3.7*.

En revanche, il y a une différence notable dans la mesure des diamètres : l’erreur

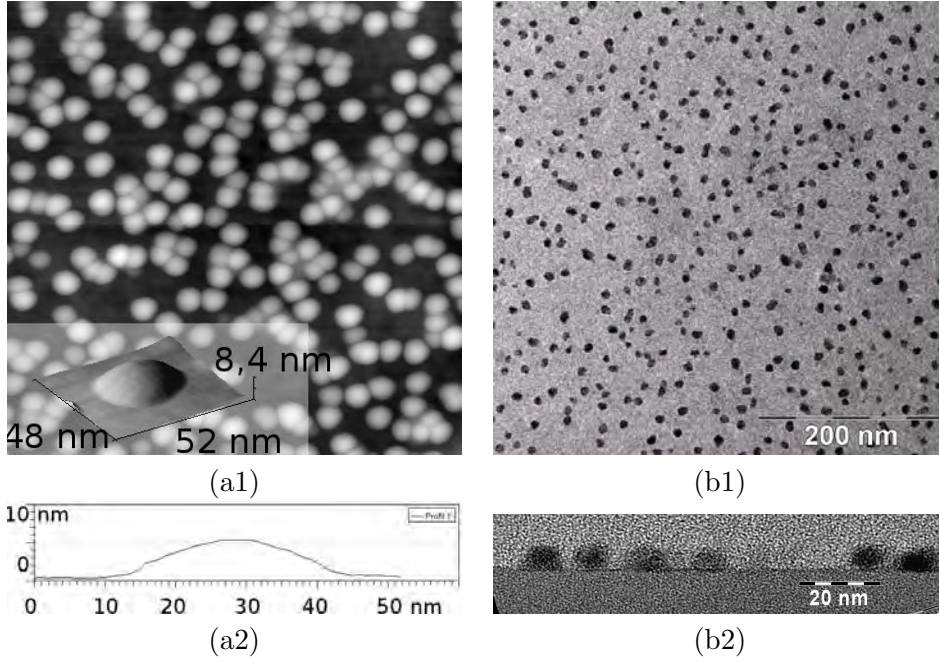


FIG. 3.7 – Images AFM et TEM d’un même échantillon (EP2045) : (a1) Image AFM et vue 3D d’un *nc-InAs*. (b1) Image TEM en vue plane. (a2) Profil d’un *nc-InAs* extrait de l’image AFM. (b2) Vue TEM en coupe. Les paramètres de croissance des *nc-InAs* sont : $T_G = 400\text{ }^\circ\text{C}$, $P_{As} = 4 \times 10^{-6}\text{ Torr}$ et $MC_{InAs} = 4$. Taille des images : $450\text{ nm} \times 450\text{ nm}$.

commise sur la mesure AFM est une surestimation d’environ 10 nm, ce qui correspond approximativement au diamètre de la pointe AFM (voir *Annexe A*).

Pour calculer le volume moyen d’un *nc-InAs* à partir des images AFM et compte-tenu de la surestimation du diamètre mesuré par cette technique, la procédure qui suit a été adoptée. Les images TEM en coupe transverse des *nc-InAs* (*Figure 3.8*) montrent que ces derniers ont une forme de demi-ellipsoïde de volume :

$$V_{eq}^1 = \frac{\pi d_{NC}^2 h_{NC}}{6} \quad (3.1)$$

où d_{NC} est le diamètre des *nc-InAs* et h_{NC} leur hauteur. D’après nos observations, la majorité des *nc-InAs* présente une hauteur mesurant environ $2/3$ du diamètre. Nous avons donc simplifié le calcul en considérant que $h_{NC} = \frac{2d_{NC}}{3}$ avec h_{NC} la valeur de la hauteur mesurée par AFM. Le volume équivalent des *nc-InAs*, par unité de surface, est donc le produit de la densité D_{NC} des *nc-InAs* par le volume moyen d’un *nc-InAs* :

$$V_{eq} = D_{NC} \cdot \frac{9\pi h_{NC}^3}{4 \cdot 6} \quad (3.2)$$

Ce volume équivalent V_{eq} peut alors être comparé au volume déposé théorique V_{theo} pour la même unité de surface. Le volume déposé théorique V_{theo} est défini par le nombre de monocouches que l’on a déposés en considérant que toute la matière a “collé” à la surface. Par exemple, lorsque 4 monocouches d’InAs sont déposées, la hauteur déposée est de $4 \times 0,3\text{ nm} = 1,2\text{ nm}$. V_{theo} vaut alors $1,2 \times 10^6\text{ nm}^3/\mu\text{m}^2$.

La *Figure 3.9* montre l’évolution des V_{eq} (mesurés à partir des images AFM) en fonction

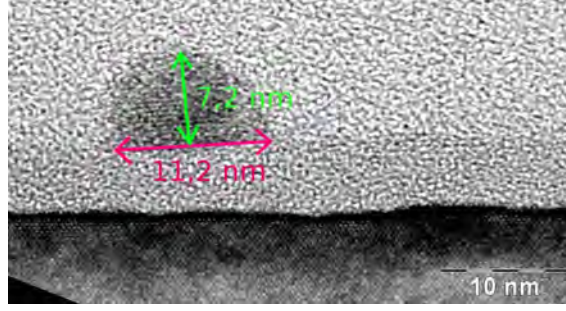


FIG. 3.8 – Vue TEM en coupe d'un *nc-InAs* crû sur SiO_2 . Sa hauteur est de 7,2 nm et son diamètre de 11,2 nm. Le rapport h_{NC}/D_{NC} est de 0,64.

de T_G selon que l'on prend en compte ou non la correction qu'il faut apporter au diamètre mesuré sur les images AFM. On peut voir que les V_{eq} obtenus à partir des diamètres mesurés par AFM (carrés noirs pleins) surestiment logiquement la quantité de matière ayant collé à la surface de l'échantillon pour les températures de croissance inférieures à 420 °C (en comparaison avec V_{theo}). Les V_{eq} plus réalistes calculés à partir des diamètres déduits selon la méthode présentée ci-dessus, des hauteurs mesurées par AFM (ronds rouges vides) indiquent au contraire que, même à basse T_G , les V_{eq} sont inférieurs à V_{theo} . On pourrait donc conclure que le coefficient de collage de l'In sur la silice est inférieur à 1 même pour des températures de croissance inférieures à 420 °C. Cependant, pour les $T_G < 370$ °C pour lesquelles la densité devient très élevée (voir *Figure 3.2*), la mesure de la hauteur des *nc-InAs* par AFM est sous-estimée (*nc-InAs* pas assez espacés) et la valeur du V_{eq} aussi.

Température critique D'une manière plus générale, la *Figure 3.9* montre une température critique voisine de 420 °C délimitant deux régimes distincts : régime I, pour $T_G < 420$ °C, où V_{eq} est constant, et régime II, pour $T_G > 420$ °C, où V_{eq} diminue fortement avec T_G .

Pour pouvoir appréhender les mécanismes de croissance mis en jeu, nous avons tracé la courbe $\log(D_{NC}) = f(1/T_G)$ (*Figure 3.10*). Ce diagramme d'Arrhénius permet de calculer les énergies d'activation des mécanismes qui contrôlent la croissance.

Ce diagrammes d'Arrhenius (*Figure 3.10*) fait aussi apparaître la température critique voisine de 420 °C définissant les deux régimes de croissance. Une dépendance linéaire avec $1/T$ est observée pour les deux régimes. D'après la *Figure 3.10*, l'énergie d'activation du régime I (basse T_G) E_a^1 est égale à $0,36 \pm 0,04$ eV alors que l'énergie d'activation du régime II (haute T_G) E_a^2 est égale à $2,04 \pm 0,04$ eV. Ces deux régimes ont été interprétés de la manière suivante.

Régime I : croissance limitée par la diffusion Dans le régime I des basses T_G ($T_G < 420$ °C), la densité des *nc-InAs* diminue légèrement de 7×10^{11} cm⁻² pour $T_G = 290$ °C à $1,5 \times 10^{11}$ cm⁻² pour $T_G = 420$ °C, alors que V_{eq} reste constant à environ 3×10^5 nm³/μm². Nous proposons que dans ce régime, la croissance des *nc-InAs* est contrôlée par la diffusion des adatoms d'In. Cette hypothèse s'appuie sur le résultat expérimental montrant qu'avec

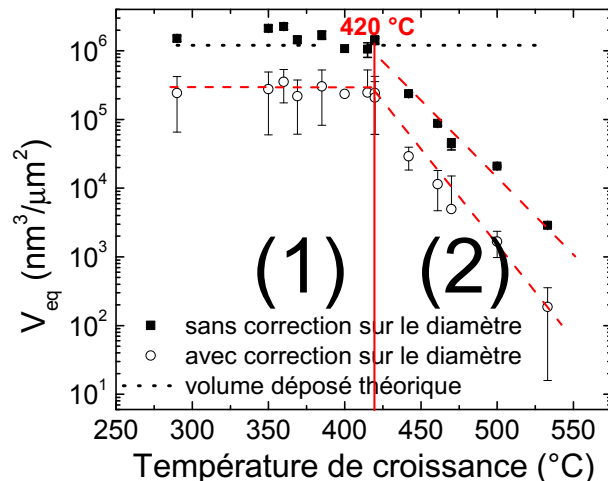


FIG. 3.9 – Evolution du volume équivalent des *nc*-InAs en fonction de T_G . Comparaison avec le volume théorique déposé.

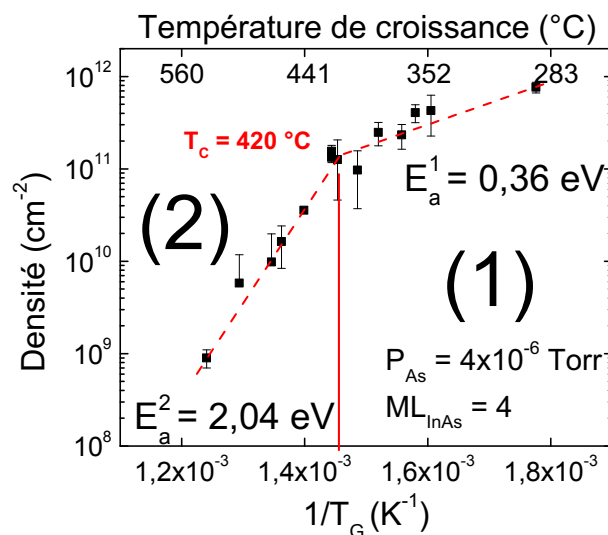


FIG. 3.10 – Diagrammes d'Arrhénius pour la densité des *nc*-InAs. Les énergies d'activation extraites sont $E_a^1 = 0,36$ eV et $E_a^2 = 2,04$ eV.

l'augmentation de T_G , on observe une légère diminution de la densité des *nc*-InAs, et dans le même temps, une légère augmentation de leur taille (*Figure 3.4* et *Figure 3.5*). L'énergie d'activation de la diffusion $E_a^1 = 0,36$ eV est très faible et très inférieure à celle mesurée par exemple pour la diffusion de l'InAs sur GaAs ($E_a = 4$ eV) [Shiramine *et al.*, 2002]. Elle est plus proche de la valeur de 0,86 eV mesurée pour la diffusion de InAs sur GaP [Leon *et al.*, 1998] et de celle de la diffusion de InAs sur Si qui vaut environ $0,17 \pm 0,03$ eV [Zhao *et al.*, 2005] dans le régime de température de croissance 320 °C - 420 °C.

Ces faibles énergies d'activation mesurées pour les systèmes InAs/GaP et InAs/Si sont à relier au mode de croissance Volmer-Weber généralement observé dans les deux

cas. L'énergie d'activation de 4 eV mesurée pour le système InAs/GaAs est à relier au contraire, au mode de croissance Stranski-Krastanov observé pour ce système. Dans ce système relativement peu contraint, il est attendu que de véritables liaisons chimiques s'établissent entre les adatoms d'In et l'As de surface de GaAs. La mobilité des adatoms d'In sera donc très dépendante de la rupture de ces liaisons chimiques, phénomène très dépendant de la température et qui explique une énergie d'activation assez élevée.

Nous avons donc conclu que la faible énergie d'activation mesurée pour notre système InAs/SiO₂ était caractéristique d'un mode de croissance Volmer-Weber, tel que prédit théoriquement par l'analyse faite dans le *Chapitre 2* et qui indique un état physisorbé plutôt que chimisorbé pour les atomes d'In sur SiO₂.

Régime II : croissance limitée par la désorption Dans le régime des hautes T_G ($T_G > 420$ °C), à la fois la densité des *nc*-InAs et le volume équivalent diminuent très fortement avec l'augmentation de T_G . Par exemple, à 530 °C, la densité D_{NC} n'est plus que de 9×10^8 cm⁻² et V_{eq} n'est plus que de 2×10^2 nm³/μm², ce qui correspond à un coefficient de collage de l'In inférieur à 10^{-4} . A la vue de ces résultats, nous proposons donc que dans ce régime la croissance des *nc*-InAs est régie par le mécanisme de désorption des adatoms d'In.

Remarque Pour compléter cette interprétation, nous savons qu'une surface de SiO₂ traitée chimiquement est généralement terminée par des groupements silanols Si-OH. La densité des silanols présents à la surface de la silice dépend cependant de la température à laquelle est portée la surface [Mazen, 2003]. Lorsque le diagramme d'Arrhénius correspondant à la densité des silanols est tracé, on observe qu'il existe une température critique autour de 350 °C. En dessous de cette température, la densité de silanols est maximale et vaut $2,5 \times 10^{14}$ cm⁻². Au dessus de 350 °C, les silanols désorbent et leur densité diminue à la surface de la silice (à 500 °C, la densité vaut 2×10^{14} cm⁻²). E. F. Vansant [Vansant *et al.*, 1995] a ainsi proposé un mécanisme de désorption des groupements -OH conduisant à la formation de ponts siloxane Si-O-Si plus stables à la surface de SiO₂ (*Figure 3.11*). Il est donc certainement nécessaire de rapprocher la formation de tels ponts siloxane plus stables, à la désorption des adatoms d'In observée dans cette gamme de température.

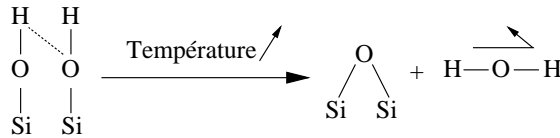


FIG. 3.11 – Réaction de condensation des groupements silanols lorsqu'ils sont soumis à un traitement thermique. Cette réaction conduit à la formation d'un pont siloxane et à un dégagement d'eau. D'après [Mazen, 2003].

3.1.3 Influence de la pression d'As

Nous avons étudié l'influence de la pression d'As sur la densité des *nc*-InAs pour différentes températures de croissance. Nous avons fait varier la pression d'As entre 1.5×10^{-6}

T_G	Echantillon	P_{As} ($\times 10^{-6}$ Torr)	D_{NC} (cm^{-2})	h_{NC} (nm)	d_{NC} (nm)
385 °C	2226	1	$(8,9\pm 1)\times 10^{10}$	$4,5\pm 1$	$11,9\pm 2,9$
	2247	1,5	$(1,23\pm 0,5)\times 10^{11}$	$3,9\pm 0,7$	$10,3\pm 2,4$
	2606	4	$(1,23\pm 0,9)\times 10^{11}$	$5,3\pm 1,3$	$10,7\pm 2,9$
	2258	8	$(2,83\pm 0,8)\times 10^{11}$	$5,1\pm 0,9$	$12\pm 1,9$
	2302	16	$(1,55\pm 0,7)\times 10^{11}$	$5,5\pm 1$	$10,1\pm 2,1$
440 °C	2257	2	$(7,6\pm 5)\times 10^9$	$3,3\pm 0,6$	$9,8\pm 1,6$
	2582	4	$(1,4\pm 5)\times 10^{10}$	$4,5\pm 0,8$	$10,5\pm 2,1$
	2160	8	$(3,28\pm 1)\times 10^{10}$	$4,2\pm 1$	$14,7\pm 1,9$
	2252	12	$(7,57\pm 3)\times 10^{10}$	$4,7\pm 0,7$	$11,3\pm 2,7$
	2254	16	$(6,23\pm 1)\times 10^{10}$	$4,8\pm 1$	$14,3\pm 2,7$
470 °C	2299	4	$(1,13\pm 0,8)\times 10^{10}$	$4,3\pm 0,9$	$11,4\pm 3$
	2246	12	$(1,13\pm 0,7)\times 10^9$	$4,4\pm 0,7$	$10,3\pm 3$
	2251	16	$(1,42\pm 0,8)\times 10^8$	$4\pm 0,4$	$12,9\pm 2,7$

TAB. 3.4 – Valeurs moyennes des paramètres structuraux caractérisant les *nc*-InAs : la densité D_{NC} , la hauteur h_{NC} et le diamètre d_{NC} . Ces valeurs sont obtenues à partir des images AFM présentées *Figures 3.12, 3.13* et *3.14*.

et 16×10^{-6} Torr pour les températures de croissance 385 °C, 440 °C et 470 °C.

3.1.3.1 Evolution de la densité et de la taille des *nc*-InAs

Les *Figures 3.12, 3.13* et *3.14* montrent les images AFM d'échantillons préparés avec des pressions d'As différentes. Le *Tableau 3.4* présente les valeurs moyennes des paramètres structuraux caractérisant les *nc*-InAs mesurées depuis les images AFM.

On observe que la densité varie très peu en fonction de la pression d'As, en comparaison avec l'effet de la température de croissance. L'étude détaillée des images a cependant permis de faire ressortir quelques tendances. Pour les températures de croissance de 385 °C et 440 °C, on observe que la densité des *nc*-InAs augmente légèrement (pas de changement d'ordre de grandeur) avec l'augmentation de la pression d'As (*Figure 3.15(a)*). En revanche, à 470 °C, la densité des *nc*-InAs diminue très fortement avec l'augmentation de la pression d'As (changement d'ordre de grandeur).

Etant donné que les dimensions des *nc*-InAs ne varient que légèrement, le volume équivalent déposé suit la même évolution que la densité (*Figure 3.15(b)*). A 385 °C, le volume vaut environ 3×10^5 $\text{nm}^3/\mu\text{m}^2$ pour une pression d'As de 8×10^{-6} Torr. A 440 °C, il n'est plus que d'environ 3×10^4 $\text{nm}^3/\mu\text{m}^2$ pour la même pression d'As. A 470 °C, le volume équivalent des *nc*-InAs est maximal et égal à 9×10^3 $\text{nm}^3/\mu\text{m}^2$ à faible pression d'As (4×10^{-6} Torr), puis il diminue radicalement avec l'augmentation de la pression d'As.

Concernant les tailles des *nc*-InAs, on observe que pour $T_G = 385$ °C et $T_G = 440$ °C, la hauteur des *nc*-InAs n'augmente que très légèrement avec l'augmentation de la pression d'As (*Figure 3.15(c)*). A 470 °C, la hauteur des *nc*-InAs apparaît indépendante de la pression d'As. Concernant le diamètre des *nc*-InAs, nous pourrions le considérer comme indépendant de la pression d'As (*Figure 3.15(d)*). En effet, les variations observées sur les images sont plutôt dues à des fluctuations de taille de pointe et aux réglages du microscope.

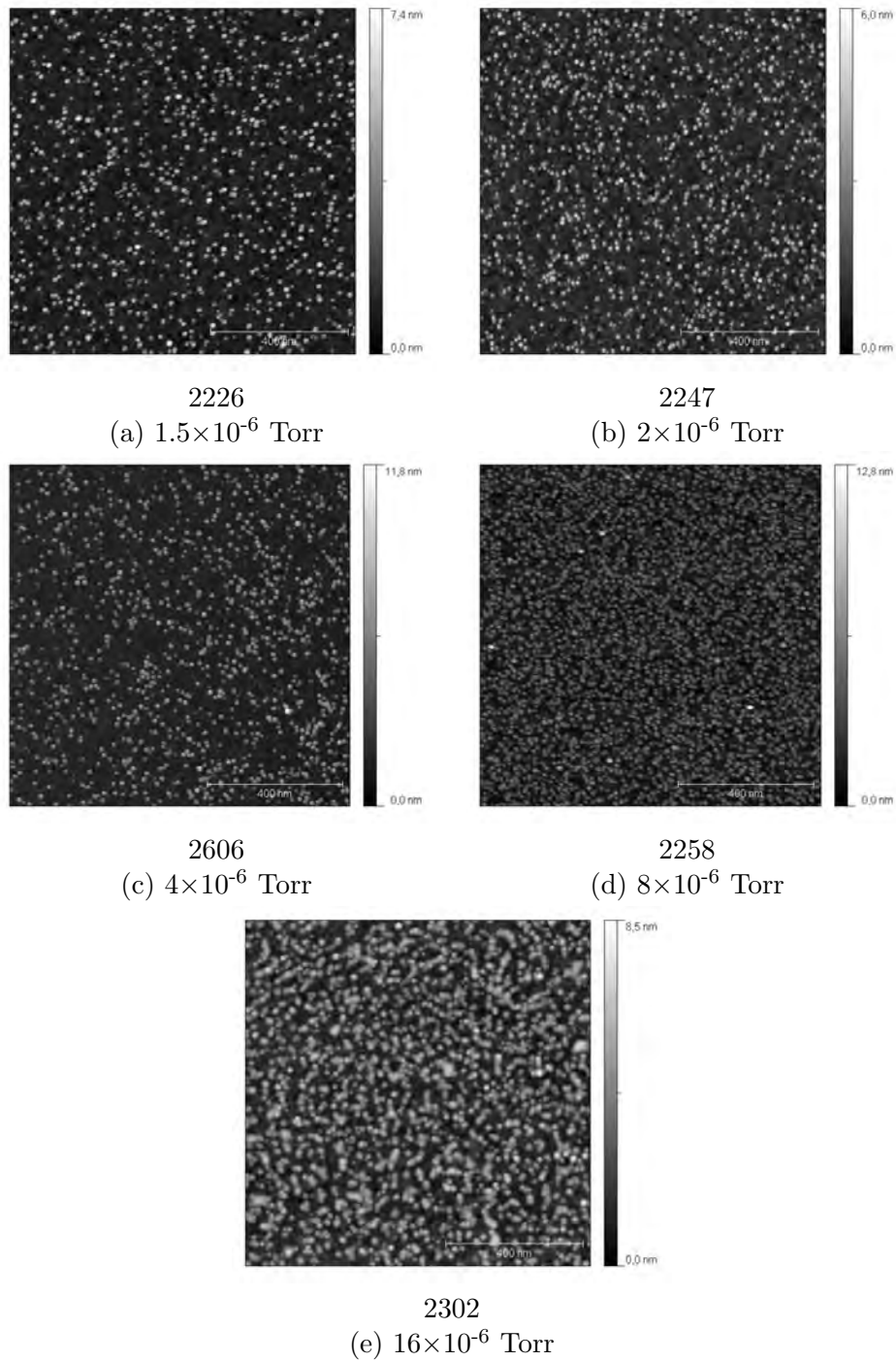


FIG. 3.12 – Images AFM montrant l'influence de la pression d'As sur la densité des *nc*-InAs à $T_G = 385$ °C. (a) 1.5×10^{-6} Torr, (b) 2×10^{-6} Torr, (c) 4×10^{-6} Torr, (d) 8×10^{-6} Torr, et (e) 16×10^{-6} Torr. Le nombre de monocouches d'InAs déposé est de 4 MC. La taille des images est de $1 \mu\text{m} \times 1 \mu\text{m}$.

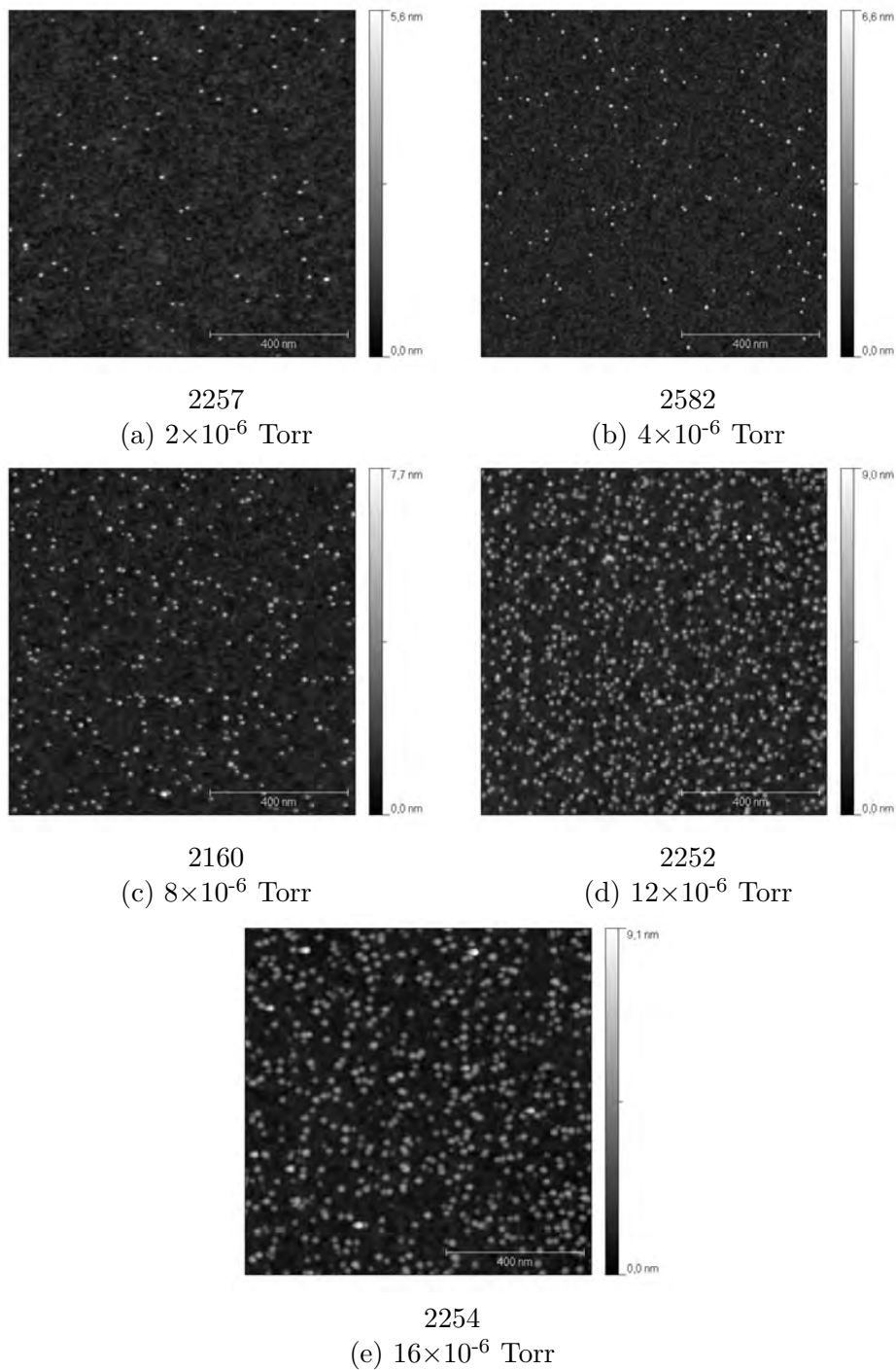


FIG. 3.13 – Images AFM montrant l'influence de la pression d'As sur la densité des *nc-InAs* à $T_G = 440$ °C. (a) 2×10^{-6} Torr, (b) 4×10^{-6} Torr, (c) 8×10^{-6} Torr, (d) 12×10^{-6} Torr, et (e) 16×10^{-6} Torr. Le nombre de monocouches d'InAs déposé est de 4 MC. La taille des images est de $1 \mu\text{m} \times 1 \mu\text{m}$.

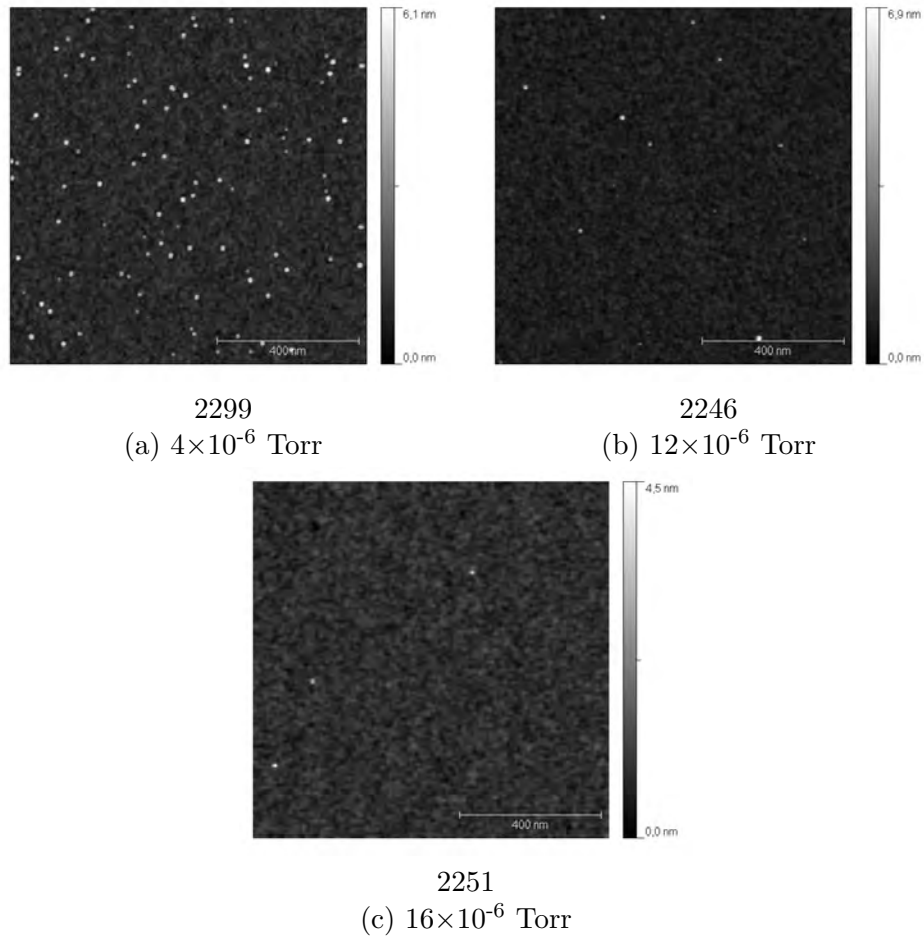


FIG. 3.14 – Images AFM montrant l'influence de la pression d'As sur la densité des *nc-InAs* à $T_G = 470$ °C. (a) 4×10^{-6} Torr, (b) 12×10^{-6} Torr, et (c) 16×10^{-6} Torr. Le nombre de monocouches déposé est de 4 MC. La taille des images est de $1 \mu\text{m} \times 1 \mu\text{m}$.

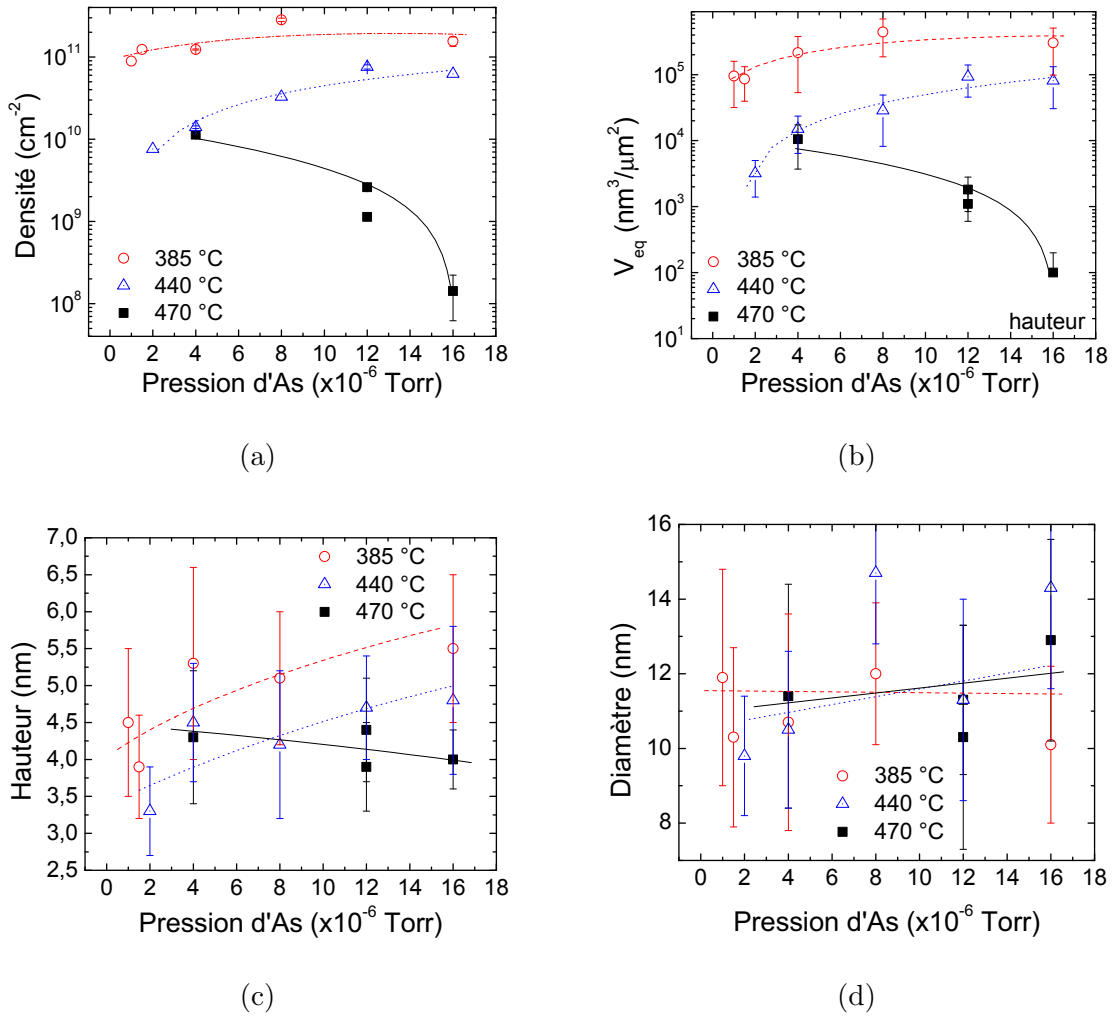


FIG. 3.15 – Influence de la pression d'As sur (a) la densité, (b) le volume équivalent, (c) la hauteur et (d) le diamètre des *nc*-InAs pour différentes températures de croissance : 385 °C, 440 °C et 470 °C. Le nombre de monocouches d'InAs déposé est de 4 monocouches.

3.1.3.2 Interprétation des résultats

Dans la littérature, les auteurs rapportent que l'influence de la pression d'As sur la croissance des *nc-InAs* est assez complexe, que la croissance ait lieu selon le mode Volmer-Weber sur Si [Zhao *et al.*, 2005b], ou selon le mode Stranski-Krastanov sur GaAs et InP. Durant la croissance de composés III-V par EJM, il a été montré que la pression du composé V influence la migration des espèces III [Yamashiki et Nishinaga, 1999]. Généralement, lorsque la pression du composé V augmente, la longueur de diffusion du composé III diminue et donne lieu à l'augmentation de la densité des *nc-InAs* [Riel *et al.*, 2002].

Concernant la croissance des *nc-InAs* sur SiO_2 -th, un effet comparable est observé pour $T_G = 385^\circ\text{C}$ et 440°C . Les mêmes arguments relatifs à la diminution de la longueur de diffusion avec l'augmentation de la pression d'As peuvent être avancés.

Au contraire, à $T_G = 470^\circ\text{C}$ la densité des *nc-InAs* diminue avec l'augmentation de la pression d'As. Ce comportement ne peut donc pas être expliqué par des effets purement cinétiques. Nous pensons que cette évolution s'explique plutôt par une évolution chimique de la surface placée sous pression d'As à 470°C . A cette température, les liaisons silanols Si-OH sont moins stables [Mazen, 2003]. Il est possible que l'augmentation de la pression d'As accélère la rupture des liaisons Si-OH en formant un composé de type AsH_3 et donc la formation de ponts siloxanes. On se retrouve alors en présence d'une surface de SiO_2 plus stable sur laquelle l'In a du mal à former des liaisons chimiques : la densité des *nc-InAs* diminue alors dramatiquement avec l'augmentation de P_{As} .

3.1.4 Influence de la quantité d'InAs déposé

Nous avons étudié l'influence de la quantité d'InAs déposé pour deux températures de croissance $T_G = 350^\circ\text{C}$ et $T_G = 410^\circ\text{C}$, températures pour lesquelles il n'est pas observé de désorption d'In. Pour cette étude, la pression d'As était de 4×10^{-6} Torr. Les *Figures 3.16* et *3.17* montrent les images AFM des échantillons obtenus pour des quantités d'InAs différentes à respectivement $T_G = 350^\circ\text{C}$ et $T_G = 410^\circ\text{C}$.

3.1.4.1 Evolution de la densité et de la taille des *nc-InAs*

D'une manière générale, la taille des nanocristaux augmente avec le nombre de monocouches d'InAs déposé (MC_{InAs}) quelle que soit la température de croissance (*Figures 3.18(a)* et *(b)*, *Tableau 3.5*). Pour 1 MC_{InAs} , la taille moyenne des *nc-InAs* est de $1,8 \pm 0,4$ nm pour la hauteur et de $15 \pm 3,1$ nm pour le diamètre. Pour 16 MC_{InAs} , elle augmente à $9,4 \pm 2$ nm pour la hauteur et à $20,8 \pm 4,5$ nm pour le diamètre. On notera aussi que rapport hauteur/diamètre augmente avec le nombre de monocouches d'InAs déposé (*Figure 3.18(c)*).

Concernant la densité des *nc-InAs*, la *Figure 3.19(a)* montre que celle-ci est indépendante de la quantité d'InAs déposé pour la température de croissance de 350°C . Elle vaut typiquement $(5,5 \pm 1) \times 10^{11}$ cm^{-2} jusqu'à 8 MC_{InAs} . En revanche, à la température de croissance de 410°C , la densité augmente avec le nombre de monocouches d'InAs déposé jusqu'à saturer à la valeur de 2×10^{11} cm^{-2} pour $MC_{\text{InAs}} = 16$.

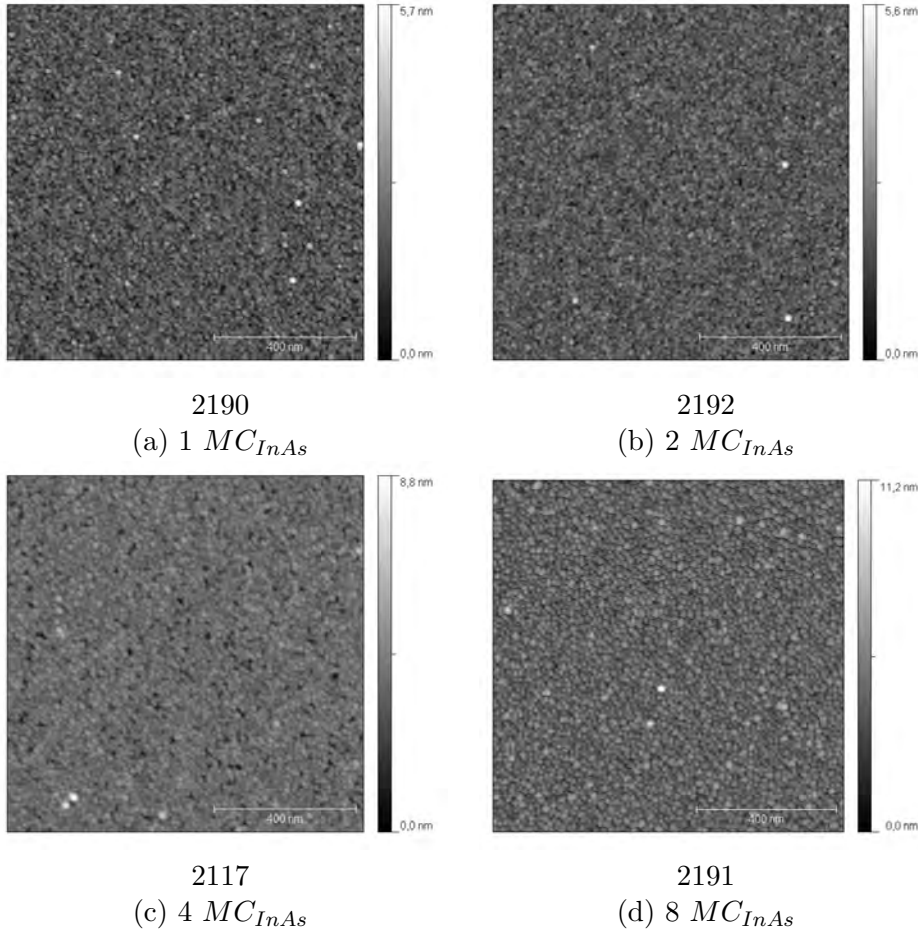


FIG. 3.16 – Images AFM montrant l’influence de la quantité d’InAs déposé sur la densité des nc -InAs à $T_G = 350$ °C. Le nombre de monocouches d’InAs déposé est de (a) 1 MC_{InAs} , (b) 2 MC_{InAs} , (c) 4 MC_{InAs} , et (d) 8 MC_{InAs} . La taille des images est de $1 \mu\text{m} \times 1 \mu\text{m}$.

T_G	Echantillon	MC_{InAs}	D_{NC} (cm^{-2})	h_{NC} (nm)	d_{NC} (nm)
350 °C	2190	1	$(5,5 \pm 0,7) \times 10^{11}$	$1,8 \pm 0,4$	$15,0 \pm 3,1$
	2192	2	$(5,0 \pm 0,8) \times 10^{11}$	$2,6 \pm 0,4$	$16,4 \pm 2,4$
	2117	4	$(7,3 \pm 1,2) \times 10^{11}$	$3,8 \pm 0,3$	$15,8 \pm 1,9$
	2191	8	$(5,2 \pm 1,2) \times 10^{11}$	$5,2 \pm 0,6$	$17,2 \pm 4,5$
410 °C	2196	1	$(7,53 \pm 1) \times 10^9$	$1,6 \pm 0,2$	$11,9 \pm 2,5$
	2198	2	$(2,0 \pm 0,8) \times 10^{10}$	$3 \pm 0,7$	$14,5 \pm 1,9$
	2463	4	$(2,7 \pm 0,5) \times 10^{10}$	$5,3 \pm 1,7$	$14,3 \pm 2,3$
	2228	6	$(6,6 \pm 1) \times 10^{10}$	$5 \pm 1,9$	$15,3 \pm 4$
	2195	8	$(1,1 \pm 0,1) \times 10^{11}$	$5,9 \pm 0,9$	$16,3 \pm 3$
	2227	16	$(1,8 \pm 0,4) \times 10^{11}$	$9,4 \pm 2$	$20,8 \pm 3,1$

TAB. 3.5 – Valeurs moyennes des paramètres structuraux caractérisant les nc -InAs : la densité D_{NC} , la hauteur h_{NC} et le diamètre d_{NC} . Ces valeurs sont obtenues à partir des images AFM présentées Figures 3.16 et 3.17.

Comme conséquence des évolutions précédentes, le volume équivalent des nc -InAs augmente continûment avec la quantité d’InAs déposé (Figure 3.19(b)).

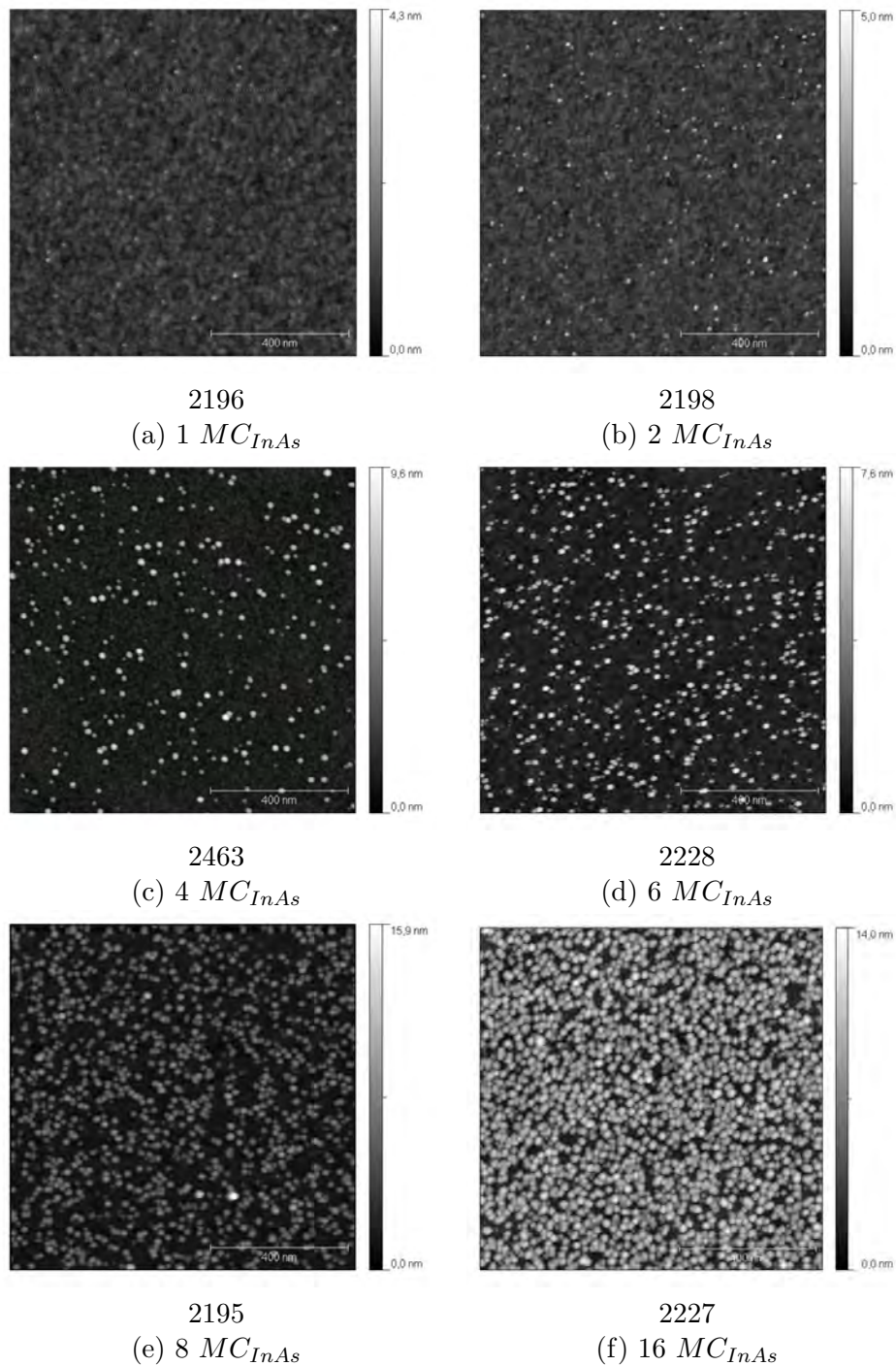


FIG. 3.17 – Images AFM montrant l’influence de la quantité d’InAs déposé sur la densité des *nc-InAs* à $T_G = 410^\circ\text{C}$. Le nombre de monocouches d’InAs déposé est de (a) 1 MC_{InAs} , (b) 2 MC_{InAs} , (c) 4 MC_{InAs} , (d) 6 MC_{InAs} , (e) 8 MC_{InAs} et (f) 16 MC_{InAs} . La taille des images est de $1\ \mu\text{m} \times 1\ \mu\text{m}$.

3.1.4.2 Interprétation des résultats

La croissance étant principalement limitée par la diffusion pour $T_G = 350^\circ\text{C}$ et $T_G = 410^\circ\text{C}$, on pourrait s’attendre, si les îlots étaient contraints, à ce que l’augmentation du nombre de MC_{InAs} déposé donne lieu à une augmentation de la densité puis de la taille des *nc-InAs* [Bertru, 1994].

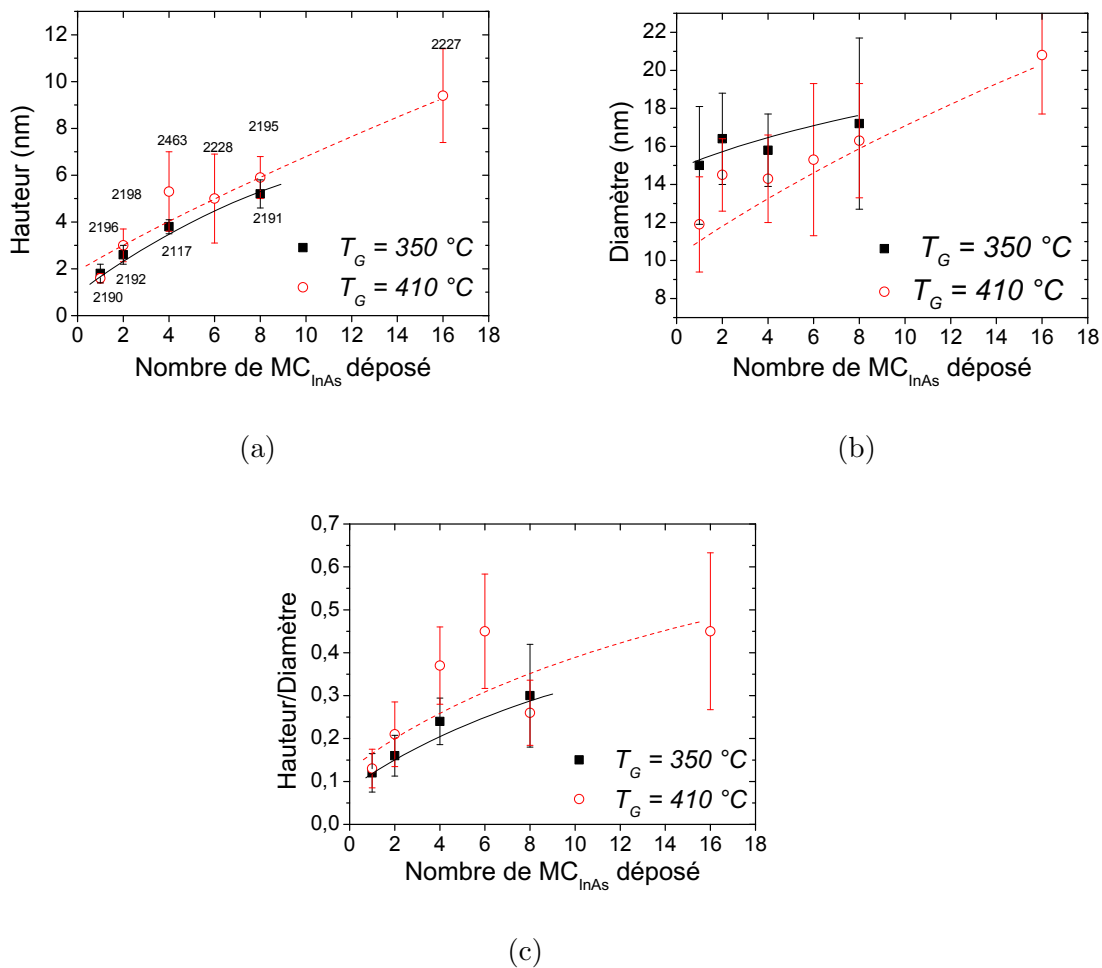


FIG. 3.18 – Evolution de (a) la hauteur, (b) du diamètre et (c) du rapport hauteur/diamètre des *nc-InAs* en fonction du nombre de MC_{InAs} déposé, pour deux températures de croissance : $T_G = 350\text{ °C}$ et $T_G = 410\text{ °C}$. La pression d'As était de 4×10^{-6} Torr.

C'est ce qui est observé pour $T_G = 410\text{ °C}$. Ce résultat tendrait donc à prouver que les *nc-InAs* seraient contraints sur SiO_2 -*th* ou bien qu'un autre mécanisme que le volume critique d'un îlot contraint doit être avancé.

En revanche, à $T_G = 350\text{ °C}$, la densité est constante. On notera que la densité est dans ce cas très élevée ($\simeq 5,5 \times 10^{11}\text{ cm}^{-2}$) dès le dépôt d'une MC_{InAs} et qu'elle est certainement proche de son maximum au regard de la dimension des îlots et de la longueur de diffusion des adatoms d'In à cette température.

La densité D_{NC} des *nc-InAs* étant limitée par la diffusion des adatoms au début de la phase de nucléation, nous pouvons déduire la longueur de diffusion λ_d à partir de cette densité, selon la relation $2\lambda_d = D_{NC}^{-1/2}$ [Michon, 2007].

Ainsi, pour les deux températures de croissance étudiées, à partir de la densité des *nc-InAs* mesurée pour 1 MC_{InAs} d'InAs déposé, nous obtenons :

- à $T_G = 350\text{ °C}$, $D_{NC} = 7 \times 10^{11}\text{ cm}^{-2}$ et $\lambda_d \approx 6\text{ nm}$
- à $T_G = 410\text{ °C}$, $D_{NC} = 7 \times 10^9\text{ cm}^{-2}$ et $\lambda_d \approx 60\text{ nm}$

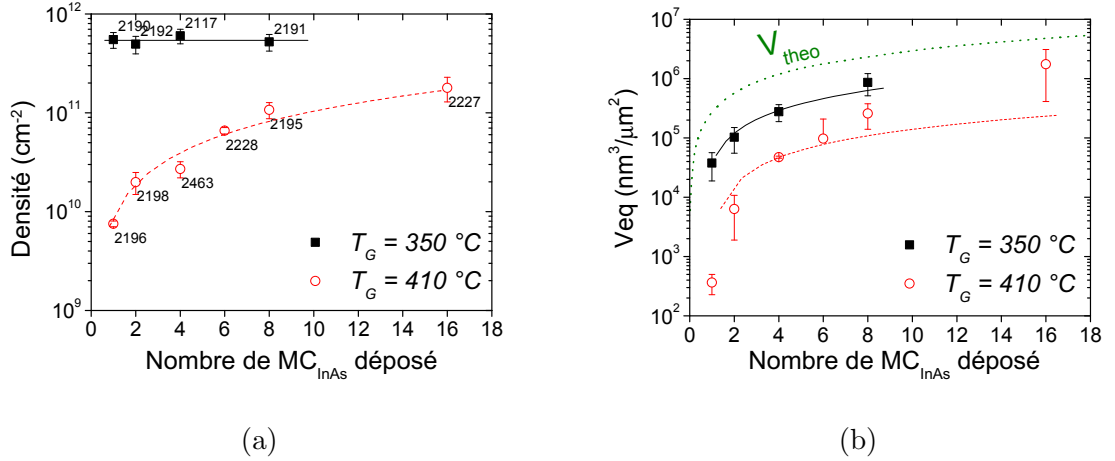


FIG. 3.19 – Evolution (a) de la densité et (b) du volume équivalent des $nc\text{-InAs}$ en fonction du nombre de MC_{InAs} déposé, pour deux températures de croissance : $T_G = 350\text{ °C}$ et $T_G = 410\text{ °C}$. La pression d’As était de 4×10^{-6} Torr.

On observera que cette longueur de diffusion de l’In sur $\text{SiO}_2\text{-th}$ à $T_G = 410\text{ °C}$ est voisine de celle mesurée de la même manière pour des boîtes quantiques élaborées sur InP par MOCVD à une température de croissance $T_G = 550\text{ °C}$ [Michon, 2007].

3.1.5 Influence du traitement de la surface de $\text{SiO}_2\text{-th}$ par As ou P

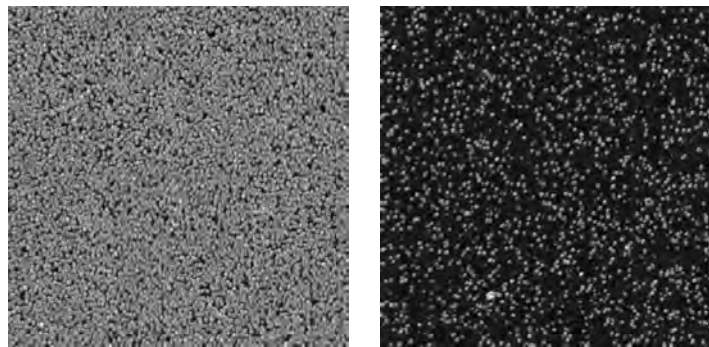
Lorsque la température de croissance est stabilisée, la surface de $\text{SiO}_2\text{-th}$ est exposée pendant 10 s à un flux d’éléments V avant que la croissance des $nc\text{-InAs}$ ne soit initiée. Cette étape est nécessaire pour “saturer” la surface de l’échantillon en élément V. En effet, l’arsenic (As) et le phosphore (P) sont très volatiles, et s’ils ne sont pas présents au préalable à la surface de l’échantillon au début de la croissance, c’est à dire lorsque le cache d’indium s’ouvre, la qualité structurale des $nc\text{-InAs}$ peut être compromise (lacunes d’éléments V).

La procédure standard de croissance des $nc\text{-InAs}$ consiste à saturer la surface de l’échantillon en As (voir *Sous-partie 2.1.2*). Nous avons cependant fait un essai de saturation de la surface en P avant de faire croître les $nc\text{-InAs}$. Nous avons observé que la densité des $nc\text{-InAs}$ est alors plus élevée et pratiquement indépendante de la température de croissance et de la pression d’As (*Figure 3.20 (a) et (c)*).

La densité des $nc\text{-InAs}$ atteint $5 \times 10^{11}\text{ cm}^{-2}$ sur une surface saturée en P (*Tableau 3.6*). Au contraire, la densité des $nc\text{-InAs}$ dépend de la température de croissance et/ou de la pression d’As lorsque la surface de $\text{SiO}_2\text{-th}$ est saturée en arsenic (*Figure 3.20 (c) et (d)*).

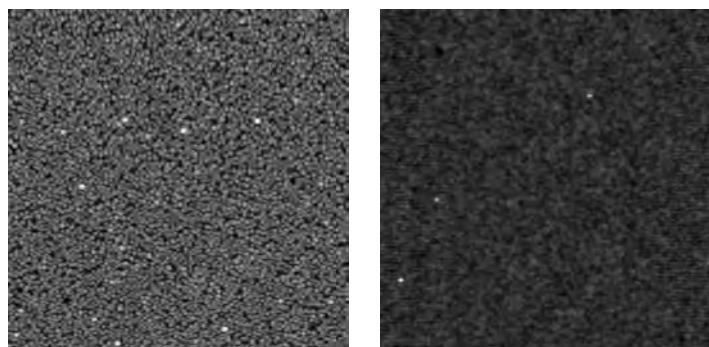
Pour expliquer ces différences de comportement, nous pouvons suggérer une modification préalable de la surface de $\text{SiO}_2\text{-th}$ sous l’effet d’un élément V, en prenant en compte un mécanisme de nucléation d’InAs impliquant qu’une surface de SiO_2 traitée chimiquement est généralement terminée par des groupements silanols Si-OH [Mazen, 2003]. Cette modification de surface est schématisée sur la *Figure 3.21*.

On peut alors émettre l’hypothèse d’une plus grande propension d’une telle modifica-



2607 Saturation phosphore (a) 2606 Saturation arsenic (b)

Paramètres de croissance des *nc-InAs* : $T_G = 390$ °C, $P_{As} = 4 \times 10^{-6}$ Torr et $MC_{InAs} = 4$
Taille des images : $1 \mu m \times 1 \mu m$



2225 Saturation phosphore (c) 2251 Saturation arsenic (d)

Paramètres de croissance des *nc-InAs* : $T_G = 470$ °C, $P_{As} = 16 \times 10^{-6}$ Torr et $MC_{InAs} = 4$
Taille des images : $1 \mu m \times 1 \mu m$

FIG. 3.20 – Images AFM montrant l’influence de l’élément V saturant la surface de SiO_2 -*th* avant la croissance des *nc-InAs*. On observe à gauche que la densité des *nc-InAs* est indépendante de T_G lorsque la surface est saturée en phosphore. On observe à droite que la densité des *nc-InAs* dépend de T_G lorsque la surface est saturée en arsenic.

T_G (°C)	Saturation	Densité (cm^{-2})	Hauteur (nm)	Diamètre (nm)	V_{eq}^1 ($\times 10^4 \text{ nm}^3/\mu m^2$)
390	P	$6,38 \times 10^{11}$	$5,5 \pm 0,6$	$12,0 \pm 2,0$	$125,00 \pm 40,00$
	As	$5,3 \times 10^{10}$	$5,3 \pm 1,3$	$10,7 \pm 2,9$	$0,22 \pm 0,1$
470	P	5×10^{11}	$4,5 \pm 1,1$	$11,5 \pm 2,0$	$53,89 \pm 39,50$
	As	3×10^8	$3,5 \pm 0,2$	$10,7 \pm 1,1$	$0,01 \pm 0,01$

¹ V_{eq} est le volume total occupé par les nanocristaux. Voir *Paragraphe 3.1.2.2.*

TAB. 3.6 – Caractéristiques des *nc-InAs* pour $T_G = 390$ °C et $T_G = 470$ °C : comparaison des saturations P et As.

tion avec le phosphore qu’avec l’arsenic en raison d’une plus grande stabilité des liaisons Si-O-P par rapport aux liaisons Si-O-As (les phosphosilicates sont réputés comme étant des verres très stables par exemple). On peut donc expliquer la plus grande densité de *nc-InAs* par un plus grand nombre de sites de nucléations de l’InAs avec la surface de SiO_2 -*th* saturée en P qu’avec celle saturée en As. Cette interprétation demande à être

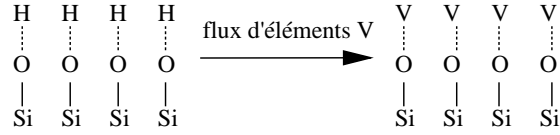


FIG. 3.21 – Mécanisme proposé de réaction des groupements silanols avec un élément V lorsque la surface de *SiO₂-th* est exposée à un flux d'éléments V.

confirmée, par exemple par spectroscopie XPS des surfaces de *SiO₂-th* saturées P ou As.

De cette étude, nous avons tiré l'information essentielle que nous pouvions exploiter la saturation de *SiO₂-th* sous P pour produire de plus grandes densités de *nc-InAs*.

3.1.6 Conclusion

Cette étude nous a permis de définir et de préciser les mécanismes de croissance des *nc-InAs* sur une surface de *SiO₂* amorphe. Après avoir montré quel pourrait être le rôle de la préparation chimique de la surface de *SiO₂* sur la croissance des *nc-InAs*, nous avons mené une étude approfondie de l'influence des paramètres de croissance (T_G , P_{As} et nombre de MC_{InAs} déposé) sur les propriétés morphologiques des *nc-InAs*. Il en est ressorti un comportement assez analogue à celui observé pour la croissance d'îlots 3D sur une surface monocristalline, ces îlots se développant selon un mode de croissance Volmer-Weber pour des couches fortement contraintes par un désaccord de maille (cas des îlots 3D d'*InAs* sur Si par exemple [Zhao *et al.*, 2005]). Les mêmes mécanismes faisant appel à la diffusion de surface d'adatoms physisorbés permettent, pour une grande part, de rendre compte des évolutions de la densité et des dimensions des *nc-InAs* en fonction des paramètres de croissance.

Une différence cependant fondamentale concerne l'observation d'anneaux sur le diagramme de diffraction qui rendent compte d'un état "polycristallin" des *nc-InAs* sur la surface de *SiO₂*. C'est cette description des propriétés structurales des *nc-InAs/SiO₂* que nous allons détailler dans la partie suivante.

3.2 Propriétés structurales des *nc-InAs*

Cette étude est principalement basée sur des images de microscopie électronique en transmission (MET) réalisées par G. Patriarche du LPN-Marcoussis sur un certain nombre d'échantillons à *nc-InAs/SiO₂-th/Si* recouverts ou non d'une couche de SiO₂ déposée par PECVD-ECR. Les objectifs de cette étude étaient de définir les propriétés structurales des *nc-InAs/SiO₂*, à savoir :

- leur orientation,
- leur taille et leur forme,
- la structure dans laquelle ils cristallisent,
- leur composition chimique.

Le *Tableau 3.7* répertorie les échantillons étudiés par microscopie à transmission TEM.

Nom	Paramètres physiques				Paramètres technologiques		
	d_{OT} (nm)	d_{OC} (nm)	d_{NC} (nm)	D_{NC} (cm ⁻²)	T_G (°C)	P_{As} (Torr)	ML_{NC}
EP2045	5	0	6,4±1,3	(1,4±0,4)×10 ¹¹	400	4	4
EP2117	5	0	3,8±0,3	(7,3±1,2)×10 ¹¹	350	4	4
EP2175	5	20	0	0	330	4	4
EP2120	5	20	5,3±0,8	6,31×10 ¹¹	400	4	4
EP2227	5	0	9,4±2	(1,8±0,4)×10 ¹¹	400	4	16
EP2298	3,5	10	6,9±1,2	1,9×10 ¹¹	400	4	4

TAB. 3.7 – Echantillons étudiés au microscope à transmission TEM pour la caractérisation des propriétés structurales des nanocristaux d'*InAs*.

Principe de la microscopie MET : *La microscopie électronique en transmission (TEM : Transmission Electron Microscopy) est une technique de microscopie où un faisceau d'électrons est « transmis » à travers un échantillon très mince (son épaisseur est comprise entre 10 nm et 15 μm et l'amincissement se fait par attaque chimique ou mécanique). Les processus d'interaction entre les électrons et l'échantillon donnent naissance à une image. Le grossissement peut atteindre 5 000 000. Le principe du microscope électronique en transmission a été mis au point en 1931 par Max Knoll et Ernst Ruska. Ce dernier a reçu le prix Nobel de physique en 1986 pour cette invention.*

La technique consiste à placer l'échantillon sous un faisceau d'électrons, et d'utiliser un système de lentilles magnétiques pour projeter l'image de l'échantillon sur un écran fluorescent qui transforme l'image électronique en image optique. Pour les échantillons cristallins, un autre mode d'utilisation consiste à visualiser l'hologramme, c'est-à-dire la figure de diffraction qui est la transformée de Fourier de l'image de l'échantillon. La limite de résolution dépend de la longueur d'onde de De Broglie des électrons, donc de leur tension d'accélération, et serait donc de l'ordre de grandeur du picomètre dans un cas idéal. Mais au début du XXI^{ème} siècle, la résolution pratique n'est pas meilleure que quelques Ångströms, la limitation principale étant les diverses aberrations des lentilles magnétiques.

En TEM haute résolution (HRTEM) sont visualisés les plans atomiques des matériaux cristallins. Dans le cas de l'observation de nanocristaux, seuls les plans atomiques perpendiculaires à la surface de l'échantillon sont visibles. L'imagerie TEM en champ sombre permet d'obtenir un contraste chimique fonction du numéro atomique de l'espèce observée.

Couplée à un détecteur EDX (*Energy Dispersive X-Ray spectrometry = Analyse dispersive en énergie*), cette technique très puissante permet de distinguer la composition chimique des nanocristaux de celle de la matrice.

3.2.1 Sur l'orientation des *nc-InAs/SiO₂*.

Le suivi de la croissance des *nc-InAs/SiO₂* sur le diagramme RHEED (*Figure 3.22(a)*) montre d'abord un halo diffus correspondant à la surface du *SiO₂-th* qui est amorphe. Pendant la croissance de l'*InAs*, le diagramme montre l'apparition d'anneaux (*Figure 3.22(b)*) caractéristiques, le plus souvent, de matériaux polycristallins (*Annexe C*). On note aussi que les anneaux semblent apparaître dès les premiers instants de la croissance de l'*InAs*. Cette observation est une première indication d'un mode de croissance de type Volmer-Weber.

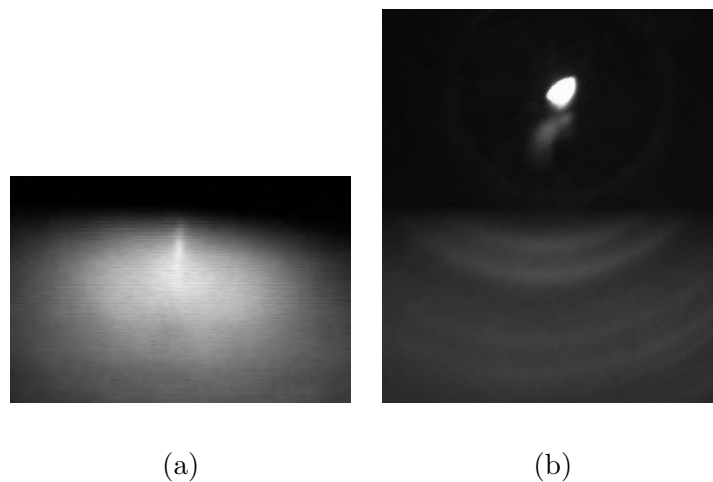


FIG. 3.22 – Clichés de diffraction RHEED des *nc-InAs* : (a) de la silice thermique avant la croissance d'*InAs* et (b) après la croissance d'*InAs*. On observe des anneaux de Debye-Scherrer caractéristiques d'un matériau polycristallin.

Les images TEM en vue plane caractéristiques des *nc-InAs* fabriqués à $T_G = 400\text{ °C}$ (EP2045) sont présentées sur la *Figure 3.23*.

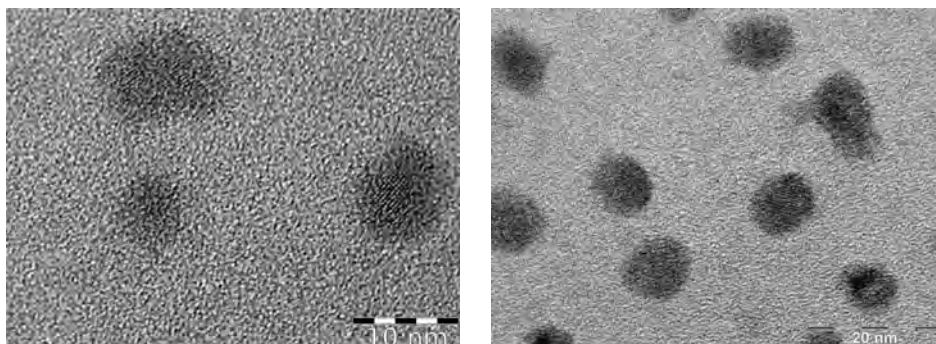


FIG. 3.23 – Images TEM en vue plane montrant l'orientation aléatoire des *nc-InAs/SiO₂*.

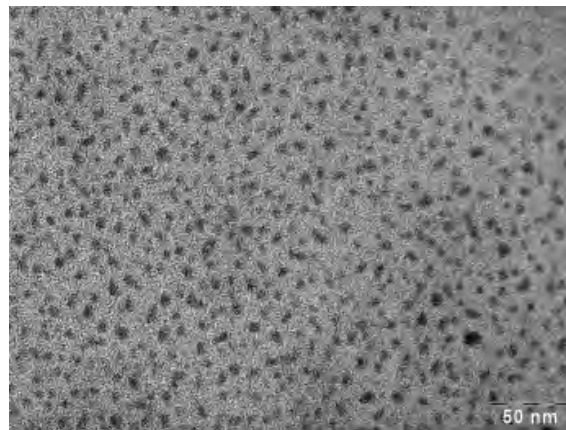
Elles permettent d'expliquer la nature polycristalline révélée sur le diagramme RHEED. Malgré la nature monocristalline des *nc-InAs* observée sur les images, on peut noter qu'ils

sont en revanche orientés de façon aléatoire sur la surface de SiO₂ amorphe. Ceci est tout à fait compréhensible au regard de la structure désordonnée de cette dernière qui ne peut évidemment pas imposer une relation d'épitaxie avec les *nc-InAs* et donc les orienter les uns par rapport aux autres.

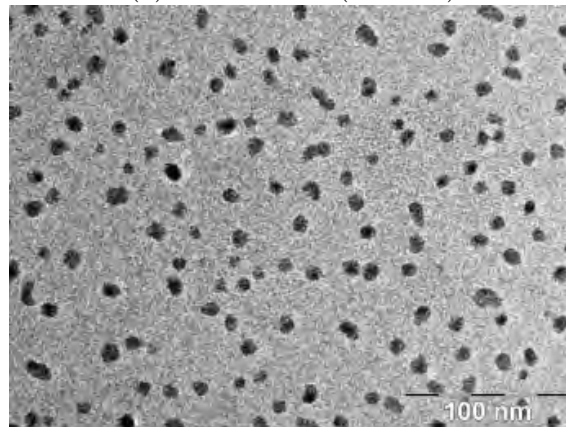
3.2.2 Qualité cristalline des *nc-InAs*

3.2.2.1 Effet de la température de croissance

Les images TEM en vue plane de deux échantillons fabriqués à deux températures de croissance différentes, $T_G = 350\text{ °C}$ et $T_G = 400\text{ °C}$, sont présentées sur la *Figure 3.24*. On peut observer la plus forte densité des *nc-InAs* de l'échantillon réalisé à faible température $T_G = 350\text{ °C}$ (*Figure 3.24(a)*). A $T_G = 400\text{ °C}$, les *nc-InAs* sont moins denses mais le contraste entre les *nc-InAs* et la phase amorphe de SiO₂ est plus fort qu'à 350 °C (*Figure 3.24(b)*), ce qui est caractéristique d'une plus forte densité atomique et/ou d'une meilleure cristallinité.



(a) $T_G = 350\text{ °C}$ (EP2117)



(b) $T_G = 400\text{ °C}$ (EP2045)

FIG. 3.24 – Images TEM en vue plane de *nc-InAs* crûs sur SiO₂-*th* pour deux températures de croissance différentes : (a) $T_G = 350\text{ °C}$ (EP2117) et (b) $T_G = 400\text{ °C}$ (EP2045). Les autres paramètres de croissance des *nc-InAs* sont : $P_{As} = 4 \times 10^{-6}$ Torr et $MC_{InAs} = 4$.

Cette caractéristique est confirmée sur les images TEM en coupe transverse de ces échantillons présentés sur la *Figure 3.25*.

Lorsque la croissance a lieu à $T_G = 350\text{ °C}$, les *nc-InAs* ont une forme mal définie

et les plans cristallins sont difficilement observables (*Figure 3.25(a)*). En revanche, à $T_G = 400$ °C, les *nc-InAs* sont mieux définis avec une forme demi-ellipsoïdale et les plans cristallins systématiquement observés. nous en avons déduit que la qualité cristalline des *nc-InAs* était d'autant meilleure que la température de croissance était élevée.

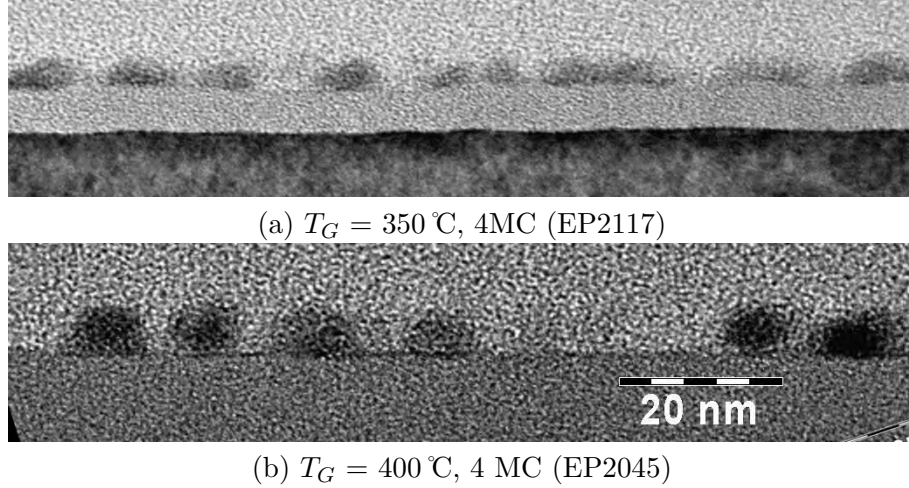


FIG. 3.25 – Images TEM en coupe transverse des *nc-InAs* des échantillons EP2117 et EP2045.

3.2.2.2 Sur l'interface *InAs/SiO₂-th*

Pour les deux températures de croissance (*Figure 3.25*), il n'est pas observé de couche de mouillage entre les *nc-InAs*. Cette observation confirme à nouveau un mode de croissance de type Volmer Weber pour les *nc-InAs/SiO₂* comme attendu théoriquement (*Chapitre 2*).

Il est aussi possible d'extraire expérimentalement l'angle de mouillage θ des *nc-InAs* avec la surface de *SiO₂-th* (*Figure 3.26*). Dans notre cas, les *nc-InAs* non encapsulés sont oxydés dès leur sortie de l'ensemble UHV et la mesure de l'angle de mouillage présente une certaine imprécision.

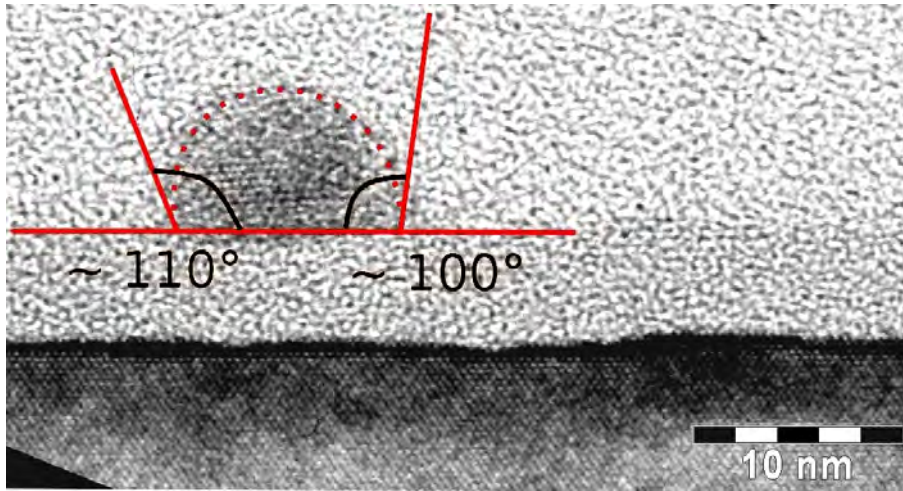
Nous mesurons un angle de mouillage typique d'environ 100°. L'utilisation de la loi de Young-Dupré [Karmous et Ronda, 2006] appliquée au cas d'un nanocristal :

$$\cos \theta = \frac{\gamma_s - \gamma_i}{\gamma_{NC}} \quad (3.3)$$

avec γ_{NC} , γ_s et γ_i , l'énergie de surface du *nc-InAs*, du substrat et de l'interface respectivement, permet d'estimer l'énergie d'interface entre les *nc-InAs* et le *SiO₂-th*. En prenant $\theta = 100^\circ$, $\gamma_s(\text{SiO}_2) = 450$ mJ/m² et $\gamma_{NC}(\text{InAs}) = 650$ mJ/m², on trouve une énergie d'interface *InAs/SiO₂* de 710 mJ/m².

Cette valeur est bien plus élevée que l'énergie d'interface de 150 mJ/m² obtenue par exemple pour les *nc-Ge* crûs sur *SiO₂* (*Tableau 3.8*) : les *nc-Ge* mouillent donc mieux la surface de *SiO₂* que les *nc-InAs*.

Les énergies d'interface calculées, que ce soit pour le Ge ou l'*InAs*, sont relativement



$T_G = 410\text{ }^\circ\text{C}$, 16MC (EP2227)

FIG. 3.26 – Mesures de l’angle de mouillage de *nc-InAs* sur $\text{SiO}_2\text{-th}$.

	<i>nc-Ge</i>	<i>nc-InAs</i>
Hauteur moyenne observée (nm)	6-6,5	4-6
Diamètre moyen observé (nm) en AFM	25-28	10-15
Angle de mouillage	50°	100°
γ_i (mJ/m ²)	150	710

TAB. 3.8 – Hauteurs et diamètres de *nc-InAs* crûs sur SiO_2 . Les valeurs relatives aux *nc-Ge* sont extraites des travaux de A. Karmous [Karmous et Ronda, 2006].

élevées : elles conduisent donc à un mouillage difficile sur la silice et il n’est donc pas étonnant d’observer un mode de croissance de type Volmer-Weber. D’autres auteurs indiquent un angle de mouillage très grand lors de la croissance de nanocristaux semiconducteurs sur des surfaces d’oxyde : les *nc-Ge* présentent un angle de mouillage de 90° sur BaTiO_3 [Largeau *et al.*, 2008] et les *nc-InP* présentent un angle de mouillage de 80° sur SrTiO_3 [Saint-Girons *et al.*, 2008]. Dans les deux cas, les nanocristaux se forment aussi selon le mode de croissance Volmer-Weber.

3.2.2.3 Effet de l’épaisseur déposée

La Figure 3.27 présente les images TEM en vue plane de deux échantillons fabriqués avec les mêmes conditions de croissance mais avec un nombre de monocouches d’InAs différents, 4 MLInAs et 16 MCInAs . On observe que le diamètre des *nc-InAs* augmente typiquement de $6,8 \pm 0,5$ nm pour 4 MCInAs à $8,9 \pm 1$ nm pour 16 MCInAs . On peut noter aussi que les nanocristaux sont exempts de défauts structuraux même lorsque MCInAs est élevé. La qualité structurale des nanocristaux semble donc peu dépendre de MCInAs mais plutôt de la température de croissance. Il est donc possible d’augmenter la taille des nanocristaux en augmentant le nombre de monocouches déposées sans altérer la qualité intrinsèque des nanocristaux.

Nous avons cependant observé sur d’autres images (voir paragraphe ” Structure cristalline des *nc-InAs* ”) que l’augmentation du nombre de nanocristaux avec l’augmentation de MLInAs peut entraîner leur coalescence et donc l’apparition de défauts structuraux tels

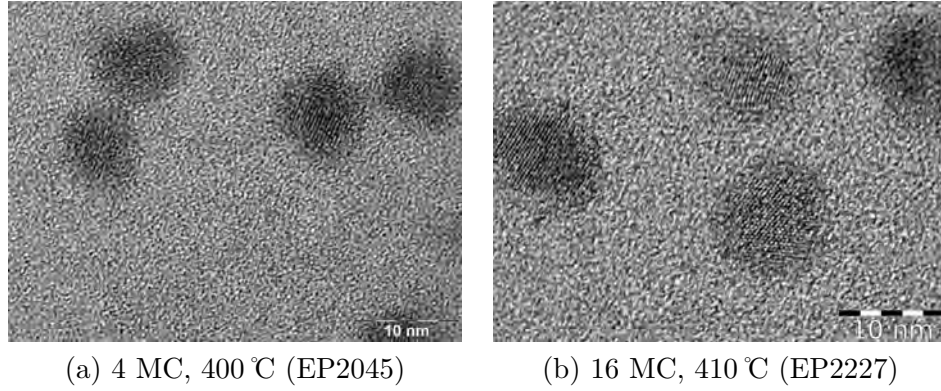


FIG. 3.27 – Images TEM en vue plane des *nc-InAs* pour deux épaisseurs d’InAs déposé : (a) 4 MC_{InAs} , (b) 16 MC_{InAs} .

des mâcles. La taille des nanocristaux ne peut donc pas être augmentée indéfiniment par ce seul effet.

3.2.3 Structure cristalline des *nc-InAs*

La structure cristalline des *nc-InAs* a pu être étudiée par microscopie en transmission à haute résolution (HRTEM) sur des *nc-InAs* fabriqués à $T_G = 400$ °C et encapsulés ensuite par de la silice (structure EP2120). On observe sur l’image TEM en vue plane et à haute résolution (HRTEM) de la *Figure 3.28(a)* un nanocristal d’InAs encapsulé dans de la silice. Les plans atomiques sont bien visibles et bien orientés dans tout le nanocristal : chaque *nc-InAs* est donc monocristallin.

La transformée de Fourier discrète d_{hkl} de cette image permet de mesurer précisément la distance inter-réticulaire de la famille de plans considérés et de remonter ainsi à la structure cristalline du nanocristal (*Figure 3.28(b)*). La valeur de $5,82 \text{ nm}^{-1}$ issue de la transformée de Fourier donne une distance d_{hkl} de $0,344 \text{ nm}$. En faisant l’hypothèse qu’il s’agit de la famille de plans (111) d’une structure cubique, on obtient alors un paramètre de maille de $0,344 \text{ nm} \times \sqrt{3} = 5,95 \text{ \AA}$. La valeur obtenue est très proche du paramètre de maille de l’InAs qui cristallise dans la structure cubique de type zinc-blende. L’écart entre cette valeur de $5,95 \text{ \AA}$ et la valeur théorique de $6,05 \text{ \AA}$ du paramètre de maille de l’InAs peut s’expliquer de deux façons :

- la transformée de Fourier est faite sur un nombre réduit de plans atomiques et la mesure peut être quelque peu imprécise ;
- il est possible que l’encapsulation par la silice déforme légèrement les *nc-InAs* en exerçant une pression hydrostatique compressive.

Afin d’avoir une mesure plus statistique et globale du paramètre de maille, le diagramme de diffraction électronique des *nc-InAs* a été analysé plus spécifiquement (*Figure 3.29*). Le substrat de silicium permet d’étalonner parfaitement la constante de diffraction ($608 \pm 1 \text{ \AA} \cdot \text{pixel}$). Trois anneaux de diffraction correspondant aux plans réticulaires principaux (111), (220) et (311) de l’InAs sont visibles, ce qui implique une répartition aléatoire de l’orientation des *nc-InAs*. Très peu de tâches existent en dehors de ces anneaux, ce qui signifie qu’il y a très peu de nanocristaux autres que d’InAs (*Sous partie*

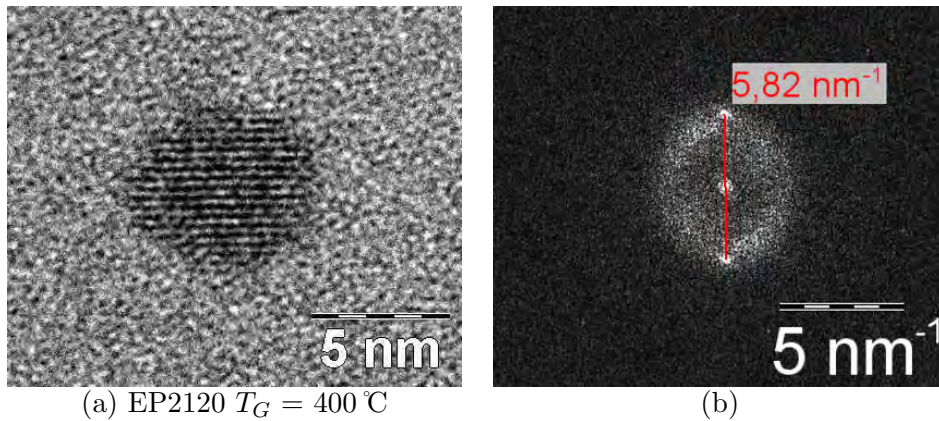


FIG. 3.28 – (a) Image HRTEM en vue plane d’un nanocristal d’InAs cru sur SiO₂. (b) Transformée de Fourier discrète de l’image (a). La valeur 5,82 nm⁻¹ correspond à une distance interréticulaire de 0,344 nm.

3.2.4). A partir des anneaux, les distances réticulaires sont mesurées : 3,48 Å (111), 2,12 Å (220) et 1,82 Å (311). La précision est de $\pm 0,01$ Å. Il existe de très légers écarts sur les mesures de différentes tâches d’un même anneau. Cependant, à partir d’une valeur moyenne il est possible d’estimer un paramètre cristallin variant de 5,99 à 6,03 Å, valeur qui n’est plus que légèrement inférieure à la valeur nominale. L’hypothèse sur une possible pression hydrostatique compressive exercée par la silice sur les *nc-InAs* peut cependant rester valable pour expliquer le faible écart observé avec la valeur théorique.

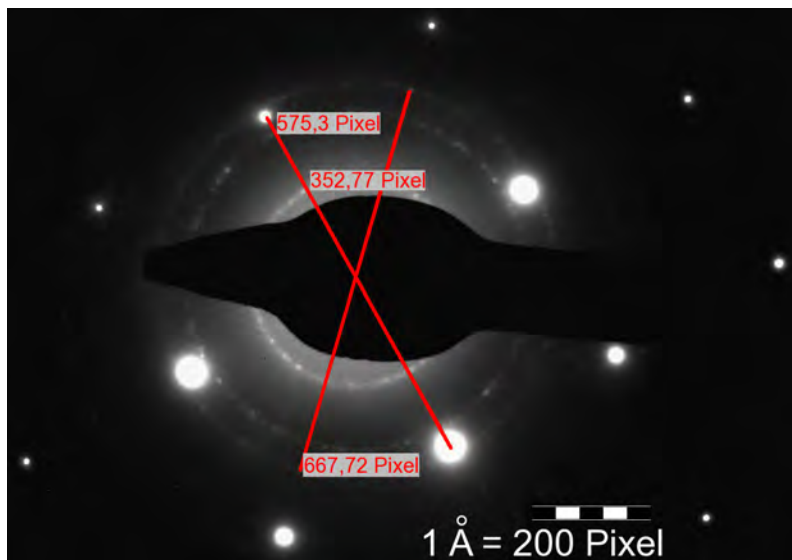


FIG. 3.29 – Diagramme de diffraction électronique des *nc-InAs* crus sur SiO₂ à 400 °C.

On notera enfin que sur certains nanocristaux, on peut observer en HRTEM une “croûte” amorphe plus sombre autour du nanocristal d’InAs (*Figure 3.30*). Le fait que cette croûte soit plus sombre que la matrice SiO₂ prouve que l’on est en présence d’un matériau amorphe avec une densité électronique plus forte que la silice environnante. On suppose que l’on est en présence d’un oxyde d’indium et/ou d’arsenic.

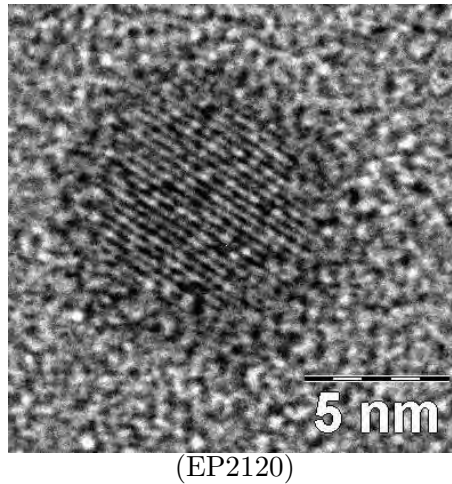


FIG. 3.30 – Image HRTEM en vue plane d’un nanocristal d’InAs crû sur SiO₂ à 400 °C, autour duquel une croûte amorphe plus sombre est mise en évidence.

3.2.4 Défauts structuraux

A partir des nombreuses images TEM réalisées par G. Patriarche, il a été possible de mettre en évidence quelques défauts structuraux ou anomalies de croissance typiques, même pour des températures de croissance de 400 °C. Ce sont des *nc-InAs* “couplés”, des mâcles et la présence de nanocristaux d’In₂O₃.

Les *nc-InAs* “couplés” sont deux *nc-InAs* indépendants paraissant liés (*Figure 3.31*). Les images HRTEM montrent cependant que la zone où les deux *nc-InAs* se touchent est amorphe. En supposant que cette zone est un oxyde d’InAs isolant, on peut envisager qu’il n’y ait pas d’échanges électroniques entre ces nanocristaux. Ainsi ces *nc-InAs* “couplés” ne seraient pas néfastes pour les applications mémoires.

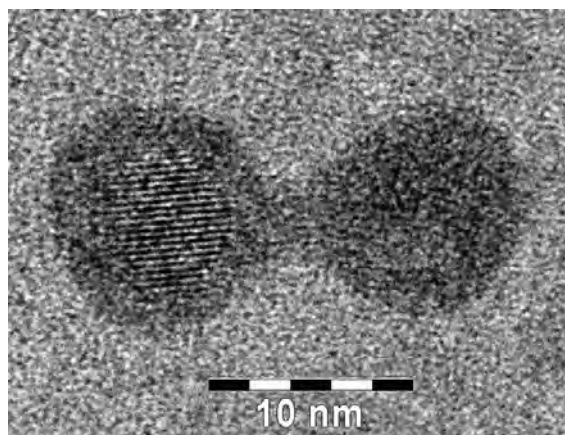


FIG. 3.31 – Exemple de *nc-InAs* couplés (EP2298 $T_G = 400$ °C)

Les mâcles peuvent être définies comme une désorientation d’un cristal par rapport à un plan. La *Figure 3.32* montre quelques exemples de mâcles observées dans les *nc-InAs*. Elles semblent se former le plus généralement par accollement de deux ou plusieurs nanocristaux (*Figure 3.32(a)* et *(b)*). Elles peuvent cependant être observées dans ce qui semble être un nanocristal unique (*Figure 3.32(c)*) et donc être produites de manière

“intrinsèque” lors de la croissance de celui-ci.

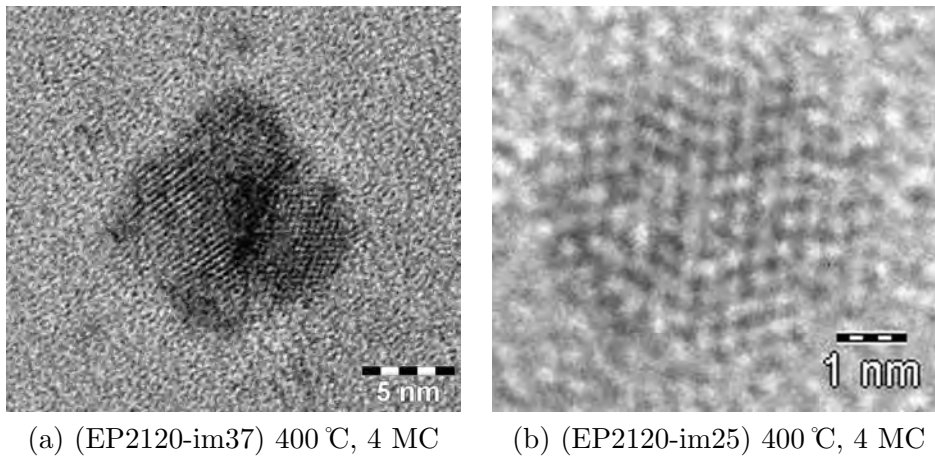


FIG. 3.32 – Exemple de nanocristaux mâclés (a) par coalescence de plusieurs nanocristaux et (b) par mâclage “intrinsèque”.

Les mâcles sont des défauts néfastes pour les applications électroniques car elles sont des pièges pour les porteurs et réduisent notablement la conduction électronique lorsqu’elles se situent dans une couche 2D. Dans notre cas, la présence de ces mâcles se limite à quelques cas isolés. Elles sont d’autant plus observées que le nombre de monocouches d’InAs déposé est élevé ($> 8 MC_{InAs}$), condition avec laquelle le processus de coalescence s’amplifie (*Figure 3.33*).

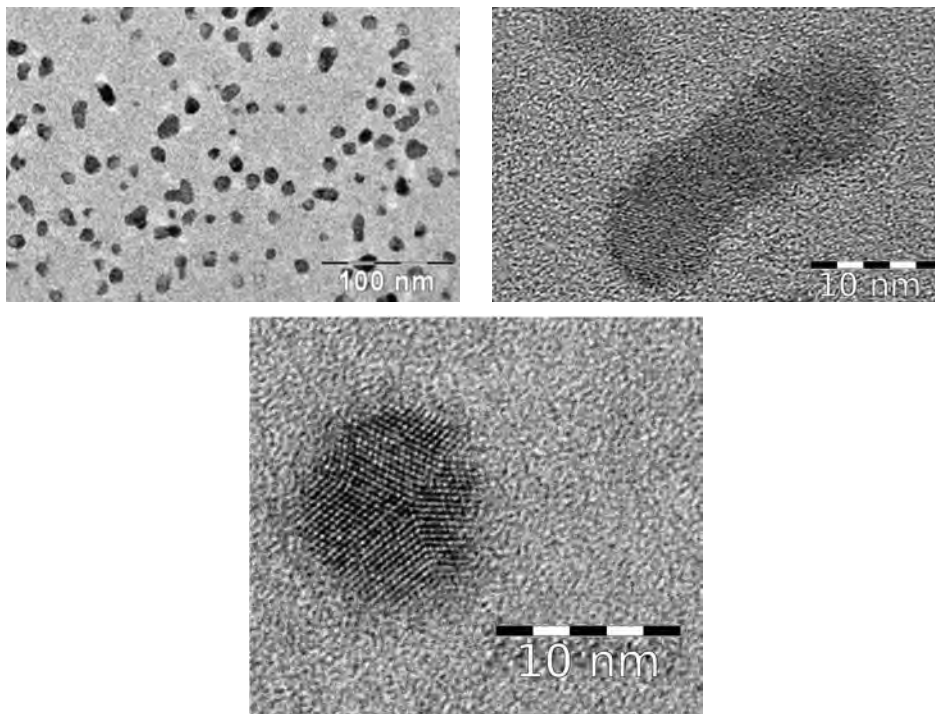


FIG. 3.33 – Images TEM mettant en évidence la coalescence des *nc-InAs*. Celle-ci est plus souvent observée pour les épaisseurs d’InAs déposé supérieures à 8 MC. On montre ici le cas d’une épaisseur d’InAs déposé de 16 MC (EP2227).

Pour finir, quelques **nanocristaux d’In₂O₃** peuvent être présents pour des tempéra-

tures de croissance inférieures à 400 °C. Ils sont mis en évidence de la même manière que pour les *nc-InAs* par une transformée de Fourier de l'image TEM (voir *Figure 3.34*)

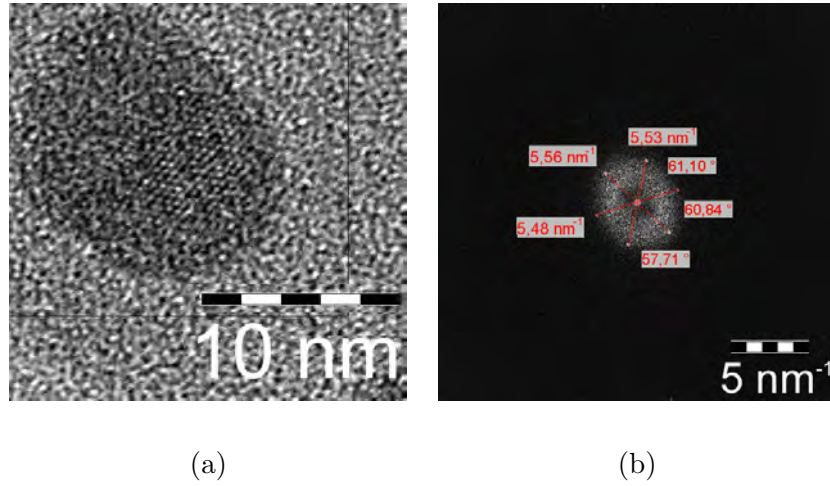


FIG. 3.34 – (a) Image HRTEM d'un nanocristal d' In_2O_3 encapsulé dans SiO_2 et (b) la transformée de Fourier de l'image (a). Les points distants de $5,58 \text{ nm}^{-1}$ correspondent à la distance interéticulaire des plans (200) de l' In_2O_3 .

De tels *nc-In₂O₃* ont déjà été observés parmi des *nc-InP* fabriqués à des températures de croissance inférieures à 400 °C sur des surfaces d'oxydes tels que SrTiO_3 [Saint-Girons *et al.*, 2008]. La réactivité entre les adatoms d'indium et l'oxygène de surface de ce composé dans les premiers instants de la croissance est évoquée pour rendre compte de la présence de ces *nc-In₂O₃*. Nous pensons que le même mécanisme peut être avancé pour rendre compte de la présence de *nc-In₂O₃* parmi nos nanocristaux d'*InAs*. Ce mécanisme serait le suivant : les adatoms d'indium se lieraient avec les atomes d'oxygène de surface de SiO_2 pour diffuser avec eux sous forme de In-O et conduire à la nucléation et la croissance de *nc-In₂O₃* (dont le nombre est donc faible puisque lié au nombre d'atomes d'oxygène disponibles en surface). Les *nc-InAs* ne se formeraient que dans un deuxième temps après que la croissance des *nc-In₂O₃* est finie.

Au-delà de 400 °C les espèces In-O désorberaient de la surface et aucun *nc-In₂O₃* ne se formeraient.

3.2.5 Composition chimique

La composition chimique des *nc-InAs* a été déterminée par analyse dispersive en énergie des photons X émis par l'échantillon sous l'effet du faisceau électronique du microscope TEM, autrement appelée EDX (Energy Dispersive X-Ray Spectrometry). La composition chimique en arsenic, indium et oxygène a été déterminée le long d'une ligne traversant les *nc-InAs* (*Figure 3.35*). Les spectres confirment que les *nc-InAs* contiennent de l'arsenic et de l'indium et sont donc majoritairement des *nc-InAs*.

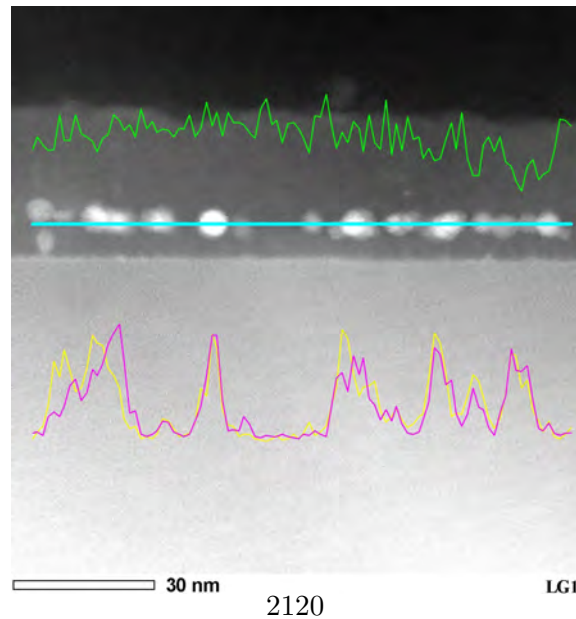


FIG. 3.35 – Analyse EDX d’un plan de *nc-InAs* dans SiO_2 . Les spectres de couleur correspondent à la quantité d’atomes d’In (rose), d’As (jaune) ou d’oxygène (vert) présents le long de la ligne horizontale bleue.

3.2.6 Morphologie des *nc-InAs* encapsulés par SiO_2

3.2.6.1 Dépôt de SiO_2

La couche de SiO_2 de contrôle a été déposée sur les *nc-InAs* par PECVD-ECR (*Chapitre 2*). Etant donné la fragilité de la surface des *nc-InAs*, il a été nécessaire d’optimiser les conditions de dépôt de l’oxyde de contrôle. L’échantillon contenant les *nc-InAs* est d’abord chauffé sous vide à $200\text{ }^\circ\text{C}$. Un flux continu de silane et d’oxygène est alors introduit dans le réacteur et le plasma est allumé pour initier le dépôt. La descente en température de l’échantillon est effectuée sous pression réduite d’oxygène. Nous avons choisi de chauffer l’échantillon sous vide et de supprimer le plasma d’oxygène précédant le dépôt afin de préserver le plus possible la surface des *nc-InAs* (*Tableau 3.9*).

Etapes standards du dépôt de silice plasma sur Si	Variante pour dépôt sur <i>nc-InAs</i>
Montée en température sous O_2 (20 sccm)	Montée en température sous vide
Plasma O_2 (20 sccm, 2 min)	×
Plasma O_2/SiH_4 (10/1 sccm à $200\text{ }^\circ\text{C}$)	Plasma O_2/SiH_4 (10/1 sccm ou 20/2 sccm à $200\text{ }^\circ\text{C}$)
Descente en température sous O_2 (20 sccm)	Descente en température sous O_2 (10 sccm)

sccm : standard cubic centimeters per minute = $1\text{ cm}^3/\text{min}$

TAB. 3.9 – Etapes d’un dépôt standard de silice par PECVD-ECR et variante pour le dépôt de la silice pour l’encapsulation des *nc-InAs*.

3.2.6.2 Influence de la pression totale

Nous avons étudié l’influence de la pression totale de silane et d’oxygène sur la morphologie des *nc-InAs* après leur encapsulation. Un premier échantillon a été réalisé avec un

débit à 10/1 sccm (pression totale dans le réacteur : 0,67 mTorr). Un deuxième échantillon a été réalisé avec un débit de silane et d'oxygène de 20/2 sccm (pression totale dans le réacteur : 1,33 mTorr). Les images TEM en coupe transverse montrent l'influence de la pression totale (*Figure 3.36*) sur la morphologie des *nc-InAs* :

- avec une pression totale de 0,67 mTorr, les *nc-InAs* conservent leur forme demi-ellipsoïdale telle qu'avant l'encapsulation ;
- avec une pression totale de 1,33 mTorr, les *nc-InAs* prennent une forme sphérique

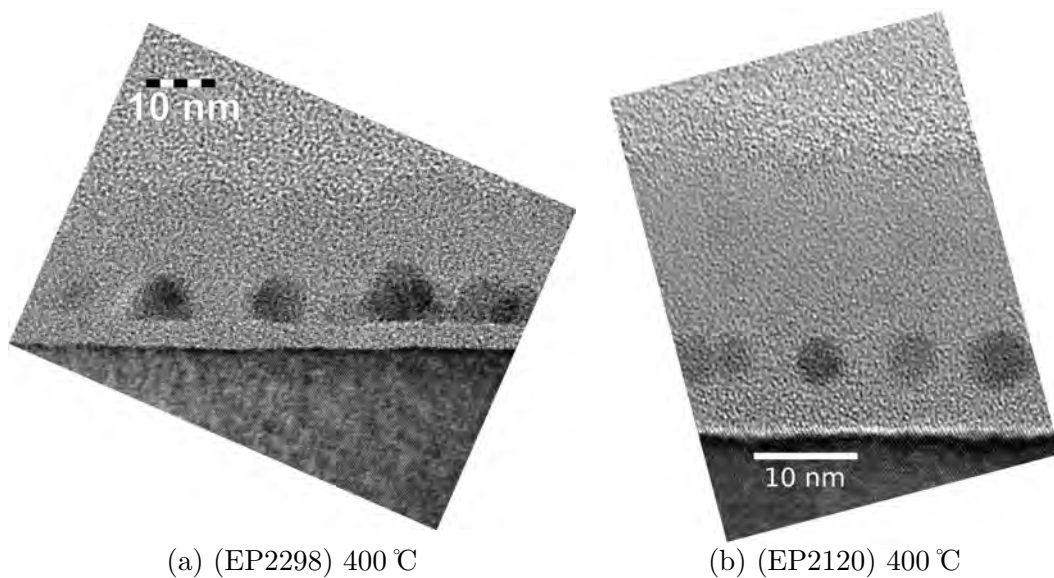


FIG. 3.36 – Image TEM en coupe transverse de 2 échantillons avec des *nc-InAs* encapsulés par SiO_2 avec une pression totale de (a) 0,67 mTorr de SiH_4/O_2 (10/1) et (b) 1,34 mTorr de SiH_4/O_2 (20/2).

Nous pensons que le changement de forme des *nc-InAs* peut être dû à une oxydation plus rapide dans les zones anguleuses des *nc-InAs* (*Figure 3.37*), en supposant que l'effet sera plus grand avec une plus forte pression d'oxygène.

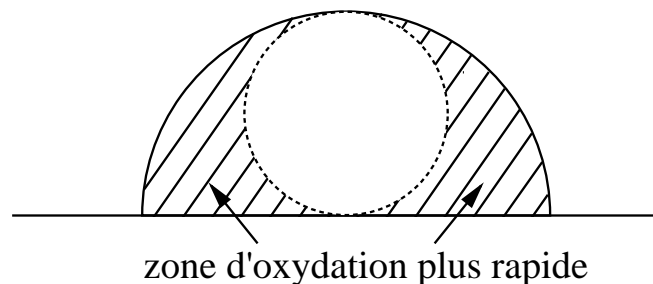


FIG. 3.37 – Schéma illustrant le mécanisme évoqué pour expliquer la forme ronde des *nc-InAs* encapsulés avec une forte pression totale de SiH_4 et de O_2 .

3.2.6.3 Influence de l'épaisseur de SiO_2 déposée

Nous avons également mis en évidence que la surface de SiO_2 n'est pas plane après le dépôt d'une faible épaisseur de SiO_2 . Ce n'est que lorsque l'épaisseur de SiO_2 déposée

augmente que sa surface se planifie. Par exemple, une rugosité encore très importante est observée pour une épaisseur déposée de 10 nm (*Figure 3.38(a)*), alors que la surface est lisse pour une épaisseur déposée de 20 nm (*Figure 3.38(b)*).

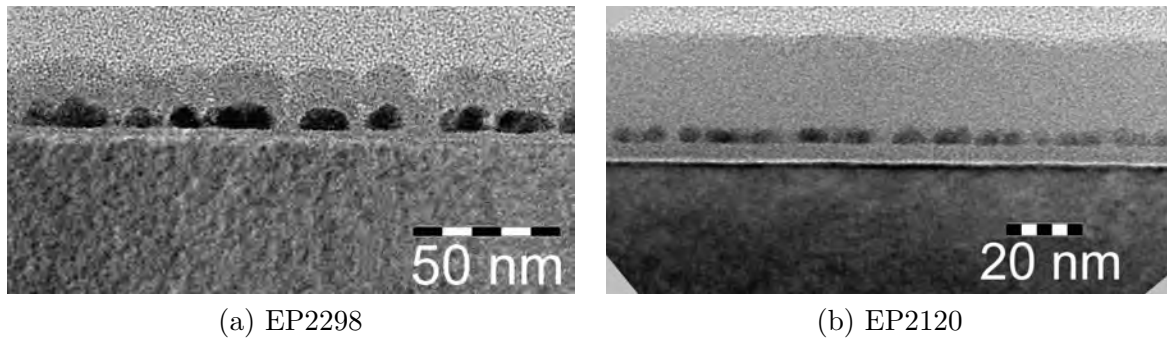


FIG. 3.38 – Image TEM en coupe transverse de 2 échantillons avec des *nc-InAs* encapsulés par une épaisseur de SiO_2 de (a) 10 nm et (b) 20 nm.

Aux premiers stades du dépôt, l'oxyde reproduit la forme des *nc-InAs*, confirmant ainsi l'absence de phénomène de diffusion d'espèces constitutives de SiO_2 sur les *nc-InAs*. Lorsque le SiO_2 recouvre totalement les *nc-InAs*, les espèces doivent cependant se déplacer un minimum pour combler les "fossés" précédemment formés et finir de lisser la surface de SiO_2 .

3.3 Passivation des *nc-InAs*

Nous avons effectué des essais de passivation des *nc-InAs* avant le dépôt de l'oxyde de contrôle. Nous avons tenté d'améliorer la qualité de l'interface SiO_2 /*nc-InAs* d'un point de vue électrique (voir *Chapitre 4*). La *Figure 3.39* présente les étapes de passivation intégrées aux étapes de fabrication standard (définies au *Chapitre 2*).

3.3.1 Dépôt d'une fine couche de Si amorphe avant le dépôt du SiO_2

H. Hasegawa [Hasegawa *et al.*, 1991] a montré l'intérêt de passiver le GaAs et l'InGaAs avec une couche de 1 à 2 nm d'épaisseur de Si. La couche de Si permet d'obtenir des densités d'interface inférieures à 10^{11} $\text{eV}\cdot\text{cm}^{-1}$ sur des structures de type Al/ SiO_2 /Si/InGaAs. La croissance de cette couche interfaciale de Si est réalisée par EJM. Elle sert aussi à la passivation de fils quantiques de GaAs [Akazawa et Hasegawa, 2007]. Etant donné que la cellule de Si ne sert que pour le dopage dans le réacteur EJM utilisé à l'INL, nous avons choisi d'utiliser le bâti PECVD-ECR pour déposer la couche de Si (*Figure 3.39(1)*). Après avoir effectué la croissance des *nc-InAs* sur SiO_2 dans le réacteur EJM, nous avons déposé la couche interfaciale de Si en utilisant un plasma de SiH_4/H_2 (20/1) à 200 °C pendant 1 min. Après cela, le dépôt du SiO_2 de contrôle est effectué à 200 °C pendant 6 min. Les images TEM de cette structure montrent cependant que les *nc-InAs* disparaissent en suivant cette procédure et que l'on observe que des "fantômes" de *nc-InAs* (*Figure 3.40*).

La disparition des *nc-InAs* peut être due à l'élimination progressive de l'As des *nc-InAs* par la formation d'arsine (AsH_3) selon une réaction impliquant l'hydrogène du mélange

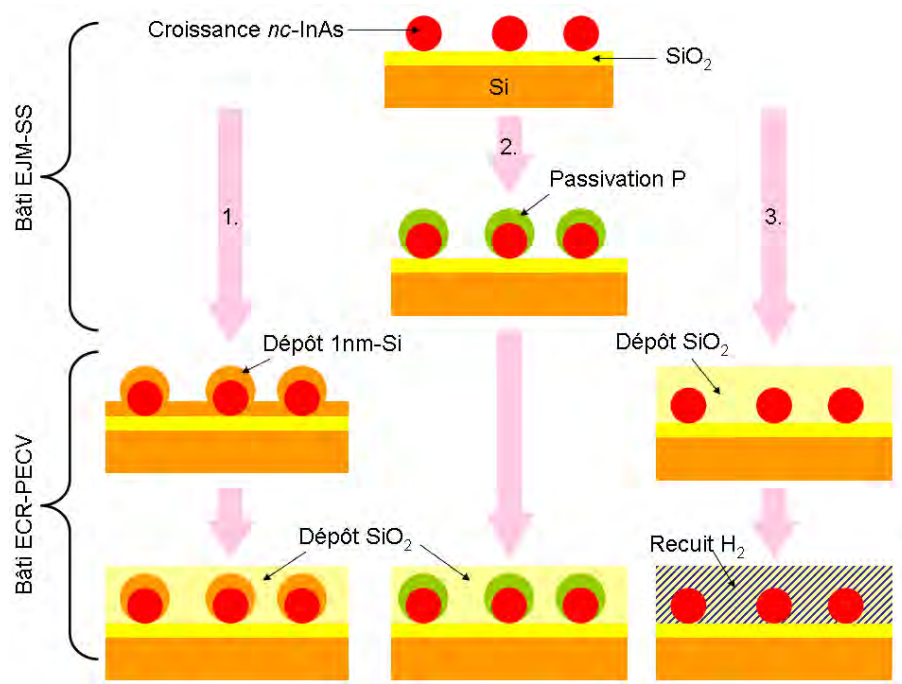


FIG. 3.39 – Schéma indiquant les différentes voies prises pour la passivation des *nc-InAs* afin d'améliorer la qualité de l'interface $\text{SiO}_2/\text{nc-InAs}$.

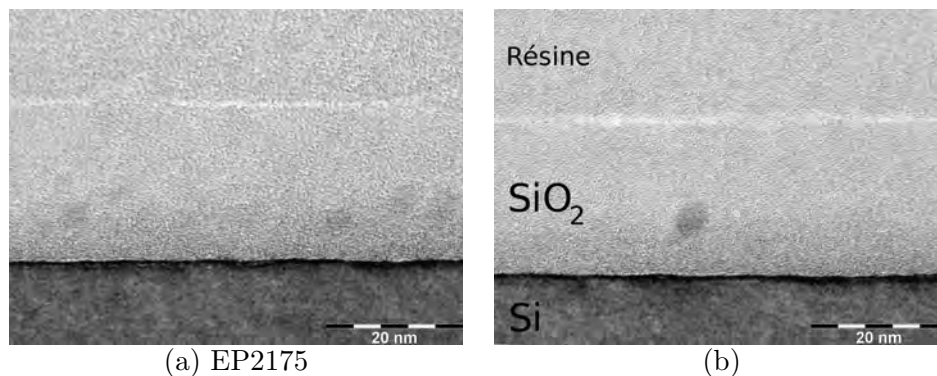


FIG. 3.40 – Image TEM en coupe d'une structure $\text{SiO}_2/\text{Si}/\text{nc-InAs}/\text{SiO}_2/\text{Si}$. On observe (a) que les *nc-InAs* ont disparu et (b) qu'il reste des "fantômes" de *nc-InAs*. Les paramètres de croissance des *nc-InAs* sont : $P_{As}=4\times 10^{-6}$ Torr, $MC_{InAs} = 4$ et $T_G = 335$ °C

gazeux craqué dans le plasma, de type :



et ces fantômes pourraient être alors des "résidus" d'In non évaporé.

3.3.2 Passivation phosphore

Comme nous l'avons dit précédemment, la croissance des *nc-InAs* est suivie par un court recuit à la température de croissance sous flux d'As. La descente en température est elle aussi réalisée sous flux d'As. Dans le cas de la passivation phosphore, après croissance des *nc-InAs*, le flux d'As est remplacé par un flux de P (*Figure 3.39(2)*). L'objectif de

ce traitement de passivation “phosphore” est de former une fine couche d’InP à la surface des *nc-InAs* afin de prévenir la formation d’As élémentaire et d’oxyde d’In au moment du dépôt de l’oxyde de contrôle. M. Gendry [Gendry *et al.*, 1991] avait, à l’époque, utilisé cette méthode pour passiver avec succès des surfaces de GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$. Il a été démontré que ce traitement donne lieu à la formation, par une réaction d’échange As-P, d’une fine couche d’InP qui prévient l’oxydation du composé contenant l’As et en améliore la photoluminescence. Concernant le traitement “phosphore” des *nc-InAs*, nous avons observé que les anneaux de Debye restaient encore visibles pendant le recuit et la descente en température sous phosphore. Nous avons donc supposé que ce traitement n’a pas altéré la cristallinité des *nc-InAs*. L’observation TEM d’une telle structure devrait permettre de mieux qualifier cette procédure.

3.3.3 Recuit in-situ sous H_2

Cette étape de passivation par l’hydrogène moléculaire a été effectuée après le dépôt par PECVD-ECR de la couche de SiO_2 (*Figure 3.39(3)*). La méthodologie a été présentée au *Paragraphe 2.1.3.4*. Grâce à ce recuit, nous nous attendons à densifier le SiO_2 plus qu’à améliorer la qualité de l’interface $\text{SiO}_2/\text{nc-InAs}$.

3.4 Conclusion

Nous avons réalisé une étude systématique de la fabrication de *nc-InAs* sur SiO_2 et de leur encapsulation par SiO_2 . Celle-ci nous a permis de comprendre les mécanismes de croissance des *nc-InAs* sur SiO_2 dont le mode de croissance est du type Volmer-Weber. Nous avons aussi étudié l’influence des paramètres de croissance sur la densité, la taille et la morphologie des nanocristaux. Nous avons en particulier montré que la densité des *nc-InAs* dépendait fortement de la température de croissance, alors que la taille des nanocristaux était plutôt dépendante de la quantité d’InAs déposé. En revanche, la pression d’As a un effet moindre sur les caractéristiques des nanocristaux dès lors que la température de croissance reste suffisamment faible. Nous avons déduit de cette étude sur les conditions de croissance des *nc-InAs* que leurs propriétés structurales étaient d’autant meilleures que la température de croissance T_G était la plus élevée. Un domaine de T_G compris entre 400 °C et 420 °C semble ainsi être un bon compromis pour fabriquer des *nc-InAs* en forte densité et avec de bonnes propriétés structurales. Nous avons aussi observé qu’il était possible de faire grossir des *nc-InAs* par augmentation de l’épaisseur d’InAs déposé, en conservant de bonnes propriétés structurales. Nous avons montré qu’une “saturation phosphore” de la surface de SiO_2 -*th*, préalable à la croissance de l’InAs conduisait à une très forte augmentation de la densité des *nc-InAs* en particulier pour des températures de croissance supérieures à 420 °C. Cette propriété pourrait être exploitée pour étudier des structures mémoires avec de telles densités de *nc-InAs* fabriqués à 470 °C. Par ailleurs, la caractérisation structurale des nanocristaux crûs sur la SiO_2 -*th* et encapsulés par SiO_2 -PECVD-ECR montre leur bonne qualité cristalline malgré une orientation aléatoire sur la surface de SiO_2 amorphe. Les nanocristaux sont en effet monocristallins et ne présentent pas ou peu de

défauts structuraux dès lors qu'ils ne coalescent pas entre eux. Leur paramètre de maille est légèrement plus faible que le paramètre de maille de l'InAs massif, indiquant peut-être une faible contrainte en compression des nanocristaux d'InAs encapsulés dans la silice.

4

Caractérisations électriques de structures MOS à *nc*-InAs

Sommaire

4.1	Rappels sur la théorie des capacités MOS	114
4.1.1	La capacité MOS avec un diélectrique idéal	114
4.1.2	Influence des charges dans l'oxyde	117
4.1.3	Chargement dans une capacité MOS à nanocristaux	119
4.1.4	Le transport dans une capacité MOS	120
4.2	Description des structures MOS à <i>nc</i>-InAs	123
4.3	Optimisation des structures de tests électriques	125
4.3.1	Influence du traitement de surface de l'oxyde tunnel	125
4.3.2	Influence du métal de grille	125
4.4	Etude du chargement	127
4.4.1	Méthode expérimentale	127
4.4.2	Echantillons à nanocristaux non optimisés	130
4.4.3	Echantillons à nanocristaux optimisés	135
4.4.4	Influence des paramètres structuraux	137
4.5	Etude de l'effacement	141
4.5.1	Méthode expérimentale	141
4.5.2	Résultats expérimentaux	141
4.6	Etude préliminaire de l'endurance	143
4.7	Etude de la rétention	145
4.7.1	Méthode expérimentale	145
4.7.2	Résultats expérimentaux	145
4.8	Conclusion	153

Dans les MNVs, les temps et les tensions d'écriture/effacement, le temps de rétention et l'endurance sont les paramètres les plus importants. L'objectif de ce chapitre est d'étudier les propriétés électriques des structures MOS à *nc-InAs* et d'évaluer les possibilités de leur intégration dans une MNV. L'influence des paramètres physiques (taille des nanocristaux, épaisseur de l'oxyde tunnel, nature du métal de grille...) et l'effet des traitements d'optimisation sur les paramètres des MNVs sont étudiés en détail.

4.1 Rappels sur la théorie des capacités MOS

La capacité MOS (métal-oxyde-semiconducteur) est la brique de base du transistor MOS et de la technologie CMOS associée. Dans cette sous-partie sont présentés les éléments théoriques et le comportement de cette capacité lorsqu'une tension est appliquée. La capacité MOS a été largement étudiée dans de nombreux ouvrages de référence [Nicollian et Brews, 2002 ; Szé et Ng, 2006].

4.1.1 La capacité MOS avec un diélectrique idéal

Cette capacité MOS est caractérisée par un oxyde exempté de charges électriques et par une interface oxyde/semiconducteur ne présentant aucun état d'interface. Les niveaux de Fermi de chaque matériau s'alignent à la formation de la structure (matériaux en contact). A l'application d'un potentiel nul entre la grille et le substrat, une variation de potentiel apparaît dans l'oxyde et les bandes d'énergie du substrat se courbent au niveau de l'interface avec l'oxyde. Cette courbure est caractérisée par un potentiel de surface Ψ_S . Pour obtenir la condition de bandes plates, il faut appliquer une tension à la grille appelée V_{FB} (FB : pour "Flat-Band"). Cette tension est égale à la différence des travaux de sortie entre le métal Φ_M et le substrat Φ_S ¹ (Equation 4.1). Elle correspond à la tension qu'il faut appliquer pour que Ψ_S soit nul.

$$V_{FB} = \Phi_M - \Phi_S = \Phi_{MS} \quad (4.1)$$

$$\text{avec } \Phi_S = \left[\left(\chi + \frac{E_G}{q} \right) - \frac{E_i - E_V}{q} + \Phi_F \right]$$

où χ est l'affinité électronique du Si, E_G l'énergie de la bande interdite du Si, $E_i - E_V$ est la différence entre les niveaux d'énergie de Fermi intrinsèque et de la bande de valence, et Φ_F est la différence d'énergie entre le niveau de Fermi intrinsèque et le niveau de Fermi extrinsèque ($\Phi_F = E_i - E_F$). On peut également le décrire par : $\Phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i}$ où N_A est le dopage du substrat et n_i la densité de porteurs intrinsèques.

Le diagramme de la structure MOS à l'équilibre ($V_G = 0V$) est représenté *Figure 4.1*.

La caractérisation la plus courante d'une capacité MOS est la mesure de la capacité en fonction de la tension. Pour faire les mesures, une rampe de tension continue V_G est appliquée sur la grille. Un petit signal alternatif d'amplitude typique 50 mV et de fréquence f (0,1 - 100 kHz) est superposé à ce signal. La *Figure 4.2* présente une courbe caractéristique d'une capacité MOS (substrat P) à grille Al.

¹Pour une capacité MOS idéale : $V_{FB} = 0 V$ ($\Phi_M = \Phi_S$).

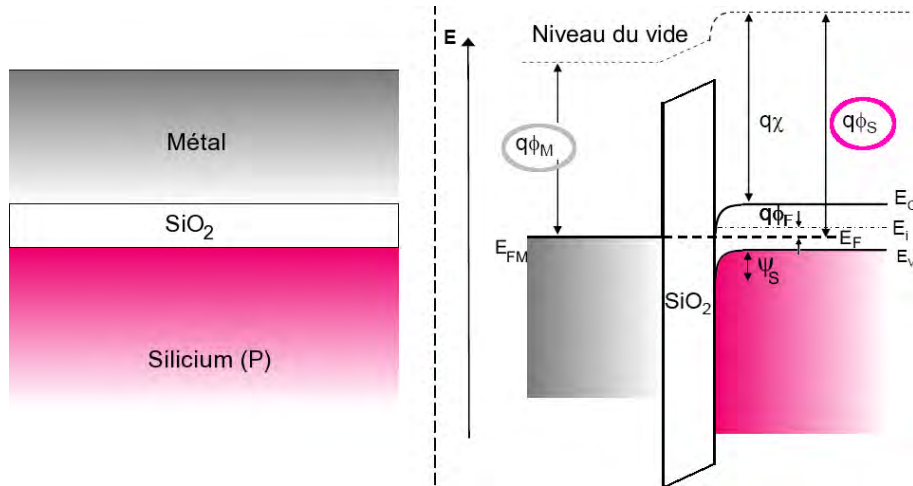


FIG. 4.1 – Diagramme de bande d'une structure MOS avec une grille métallique et un substrat dopé P à l'équilibre ($V_G - V_{substrat} = 0$).

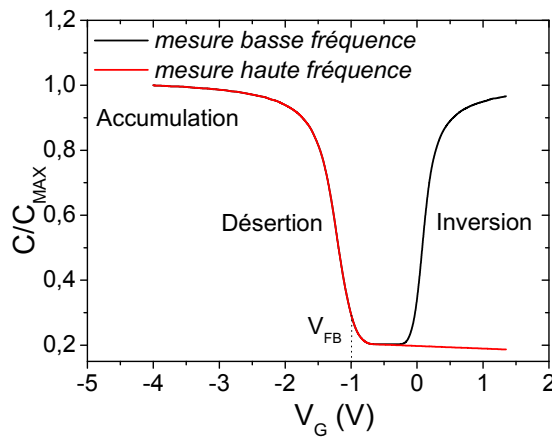


FIG. 4.2 – Caractéristique C - V d'une structure MOS suivant différentes conditions : basse fréquence ou haute fréquence.

On distingue cinq régimes dans une caractéristique C - V d'une capacité MOS (*Figure 4.3*).

4.1.1.1 Accumulation

($\Psi_S < 0$, soit $V_G < V_{FB}$) Lorsqu'on applique une tension négative sur la grille ($V_G < V_{FB}$), les bandes d'énergie se courbent vers le haut et les porteurs majoritaires du semiconducteur sont attirés vers la grille (*Figure 4.3(a)*). Les trous s'accumulent à l'interface SiO_2/Si . Dans ces conditions, l'interface a un comportement métallique. La capacité externe mesurée C_{SiO_2} se réduit à celle de l'oxyde d'épaisseur t_{SiO_2} :

$$C_{\text{SiO}_2} = \frac{\epsilon_{\text{SiO}_2} \epsilon_r}{t_{\text{SiO}_2}} \quad (4.2)$$

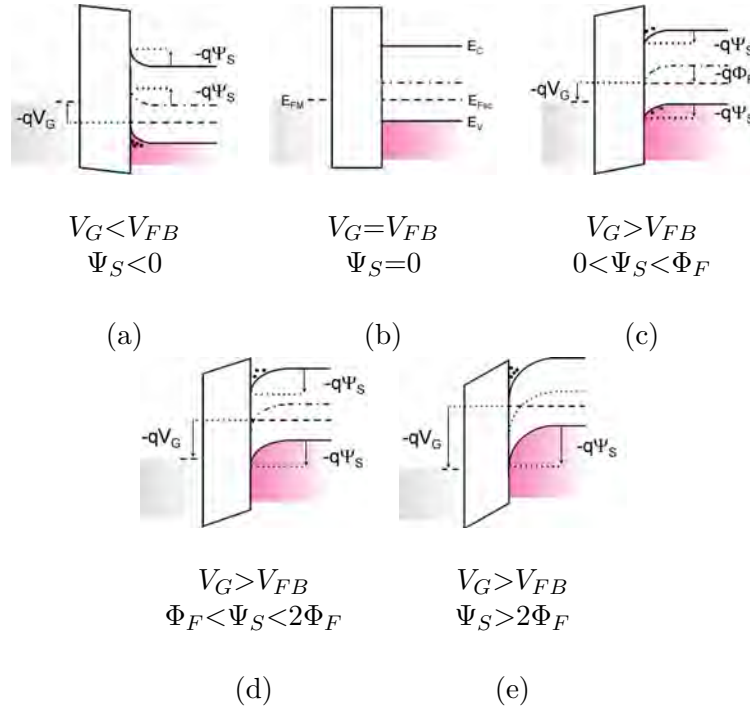


FIG. 4.3 – Diagrammes de bandes représentant les différents régimes de la capacité MOS en fonction de la tension appliquée sur la grille. Le régime d’accumulation (a), le régime de bandes plates (b), le régime de déplétion (c), le régime d’inversion faible (d) et le régime d’inversion forte (e).

avec ϵ_{SiO_2} la permittivité diélectrique du SiO_2 (3,9) et ϵ_r la permittivité diélectrique relative ($8,84 \times 10^{-12}$ F/m).

4.1.1.2 Bandes Plates

($\Psi_S = 0$ soit $V_G = V_{FB}$) Lorsque la tension appliquée est égale à V_{FB} , la concentration des porteurs (électrons et trous) est constante à l’interface et dans tout le volume du semiconducteur. Dans ce cas, $\Psi_S = 0$ et les bandes d’énergie sont planes (*Figure 4.3(b)*).

4.1.1.3 Désertion

($0 < \Psi_S < \Phi_F$, soit $V_G > V_{FB}$) Lorsque la tension appliquée est supérieure à V_{FB} , les porteurs majoritaires sont repoussés de l’interface vers le volume du substrat (*Figure 4.3(c)*). Une zone de charge d’espace (ZCE) négative se forme alors dans la région proche de l’interface (atomes dopants ionisés non compensés). La ZCE induit une capacité C_S , en série avec celle de l’oxyde et fait chuter la capacité totale mesurée (*Equation 4.3*).

$$\frac{1}{C} = \frac{1}{C_{SiO_2}} \sqrt{1 + \frac{2C_{SiO_2}^2 V_G}{\epsilon q N_a}} \quad (4.3)$$

4.1.1.4 Inversion

($\Phi_F < \Psi_S < 2\Phi_F$) Lorsque la tension devient très grande ($V_G \gg V_{FB}$), les bandes se courbent suffisamment pour que les porteurs minoritaires (électrons) soient attirés vers

l'interface SiO_2/Si , où leur concentration croît exponentiellement avec V_G (*Figure 4.3(d)*). La structure est dite en régime d'inversion forte lorsque la densité d'électrons libres en surface est égale à la densité de trous libres en volume du semiconducteur. La capacité mesurée devrait alors valoir C_{SiO_2} . Lorsqu'on mesure la capacité de la structure MOS en fonction de la tension de grille, on observe que la réponse de la structure est très différente selon que la mesure soit réalisée à hautes ou basses fréquences (*Figure 4.2*) :

- Mesure basse fréquence : les porteurs minoritaires dans la couche d'inversion sont assez mobiles par rapport aux variations de tension de grille. La capacité mesurée est celle de l'oxyde uniquement.
- Mesure haute fréquence : Les électrons de la couche d'inversion sont peu mobiles dans un environnement de charges négatives fixes. Ils ne peuvent par conséquent pas répondre aux variations de tension rapides imposées par la mesure. La réponse est alors assurée par les trous libres situés au-delà de la zone de charge d'espace (ZCE). La capacité mesurée est alors celle de l'oxyde en série avec celle de la ZCE. Malgré cela, la génération de nombreux électrons sous l'oxyde est possible sous éclaircissement. Les variations de charges imposées par la tension de grille sont alors possibles et la capacité de la structure correspond alors à la capacité de l'oxyde.

4.1.1.5 Désertion profonde

($2\Phi_F < \Psi_S$) Un dernier état hors équilibre peut être rencontré si on applique une tension de grille assez élevée et que les électrons n'ont pas le temps de former une couche d'inversion. Pour compenser la charge de la grille (charge positive) en l'absence de cette couche d'inversion négative, la couche d'inversion est constante ou nulle et la ZCE s'étale loin dans le substrat (*Figure 4.3(e)*). Par conséquent, la capacité mesurée chute. Ce phénomène est transitoire si V_G est constante mais peut-être observé plus longuement si on applique une rampe de tension suffisamment rapide à la grille.

4.1.2 Influence des charges dans l'oxyde

Une capacité MOS idéale ne possède aucune charge parasite dans l'oxyde ou aux interfaces. En réalité, lors de la formation de l'oxyde ou à cause de contraintes extérieures, des défauts électriquement actifs peuvent se créer à l'intérieur de l'oxyde. Il existe plusieurs types de charges dans l'oxyde, celles-ci influençant directement la caractéristique $C-V$ de la capacité MOS (*Figure 4.4*) :

4.1.2.1 Les charges fixes

Les charges fixes sont des charges localisées près de l'interface $\text{SiO}_2\text{-Si}$ et grille- SiO_2 . Elles n'évoluent pas, sauf si des conditions thermiques ou électriques particulières dégradent le dispositif (radiation ionisantes, contraintes électriques) (*Figure 4.4(a)*). Ces charges sont attribuées à un excès de Si formé en fin du processus d'oxydation. La présence d'une charge fixe induit à la surface du silicium une charge image négative. Celle-ci modifie le potentiel de surface du semiconducteur et les tensions de seuil et de bandes

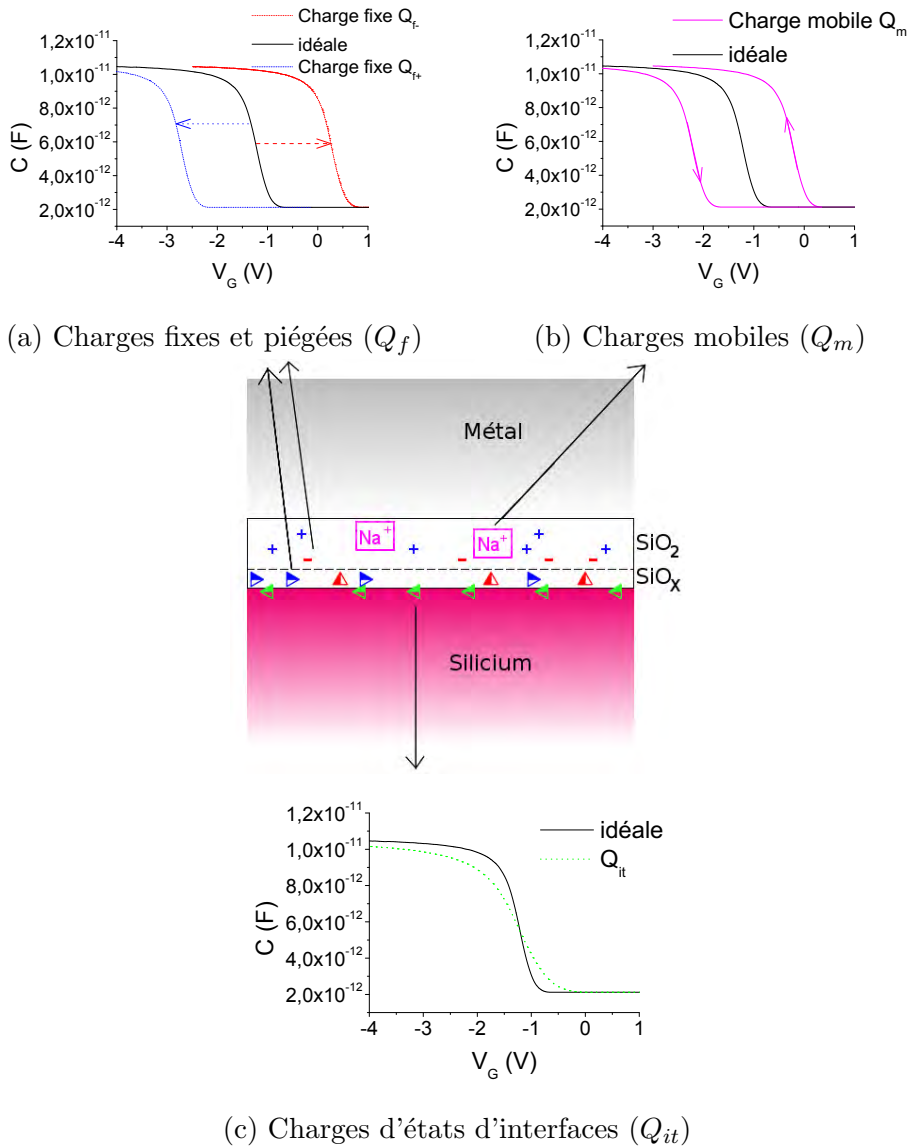


FIG. 4.4 – Représentation schématique des charges présentes dans le SiO_2 et leurs effets sur la courbe C - V comparée à la courbe C - V idéale dans le cas de charges fixes et piégées, des charges d'interface et des charges mobiles.

plates du dispositif. Les charges piégées (positives ou négatives) stockées par les pièges de volume (de densité ρ_f) de l'oxyde sont aussi classées dans cette catégorie. Ces charges ne sont pas permanentes au même titre que la charge fixe car un champ électrique approprié ou un apport thermique peuvent favoriser leur piégeage/dépiégeage.

4.1.2.2 Les charges mobiles

Les charges ioniques mobiles dans l'oxyde ont pour origine la contamination de l'oxyde par des impuretés ioniques (métaux alcalins : Na^+ , Li^+ , K^+). Ces impuretés, localisées à l'interface SiO_2 - Si , peuvent migrer d'une interface à une autre sous l'effet du champ électrique et induisent un effet d'hystérésis dans la courbe C - V (Figure 4.4(b)).

4.1.2.3 Les charges d'interface

Les charges d'interface Q_{it} sont piégées par les défauts résultant de la discontinuité du réseau à l'interface SiO₂-Si (liaisons pendantes ou liaisons déformées). Ces défauts, appelés états d'interface, jouent un rôle primordial dans le fonctionnement du transistor MOS car ils sont en contact direct avec le semiconducteur (*Figure 4.4(c)*). Le signe de la charge dépend des conditions de polarisation appliquées. Selon que le défaut est de type donneur ou accepteur, et selon sa position par rapport au niveau de Fermi, l'état d'interface est chargé positivement, négativement ou est neutre. L'état de charge variant avec la polarisation, ces états induisent une déformation de la courbe $C-V$ dépendant de la densité de charges et de leur distribution en énergie.

En prenant en compte les différentes charges citées ci-dessus, la tension de bandes plates définie précédemment (*Equation 4.1*) devient :

$$V_{FB} = \Phi_{MS} - \frac{1}{C_{SiO_2}} \int_0^{t_{SiO_2}} \frac{x \cdot (\rho_f(x) + \rho_m(x, t))}{t_{SiO_2}} dx - \frac{Q_{it}}{C_{SiO_2}} \quad (4.4)$$

avec $\rho_f(x)$ la densité volumique des charges fixes, $\rho_m(x, t)$ la densité volumique des charges mobiles, et Q_{it} la densité des charges d'interface.

4.1.3 Chargement dans une capacité MOS à nanocristaux

D'après le paragraphe précédent, il devient clair que le chargement des nc -InAs aura un effet sur la caractéristique $C-V$ d'une structure MOS à nanocristaux non chargée. Dans le cas d'une structure mémoire à nanocristaux complète (avec source et drain), le décalage de la tension de seuil ΔV_{TS} induite par n charges par îlot est donnée par [Tiwari *et al.*, 1996b] :

$$\Delta V_{TS} = \frac{-q \cdot n \cdot D_{NC}}{\epsilon_{SiO_2}} \cdot \left(t_{OC} + \frac{1}{2} \cdot \frac{\epsilon_{SiO_2}}{\epsilon_{NC}} \cdot d_{NC} \right) \quad (4.5)$$

avec D_{NC} la densité des îlots, d_{NC} leur diamètre et ϵ_{NC} leur permittivité diélectrique. L'équation 4.5 est valable si l'on considère que les nanocristaux sont des isolants (prise en compte de la permittivité diélectrique de l'InAs). Le décalage de la tension de bandes plates du au chargement des nanocristaux dans une capacité MOS est égal au décalage de la tension de seuil dans un transistor MOS. Dans ce cas, le décalage de la tension de bandes plates mesuré permet de retrouver le nombre de charges stockées par nanocristal.

Si l'on considère le nanocristal métallique, la modélisation de la mémoire à nanocristaux revient à modéliser la mémoire à grille flottante. Il faut alors introduire un paramètre R_{NC} prenant en compte la granularité de la grille [De Salvo *et al.*, 2001]. R_{NC} représente la surface occupée par les nanocristaux dans la zone active du point mémoire :

$$R_{NC} = D_{NC} \pi \frac{d_{NC}^2}{4} \quad (4.6)$$

Le décalage de la tension de seuil est alors donnée par la formule :

$$\Delta V_{TS} = \frac{-Q_{FG} \cdot R_{NC}}{C_{OC}} \quad (4.7)$$

Le produit $-Q_{FG} \cdot R_{NC}$ représente la densité de charge effective rapportée à la surface du canal et C_{OC} la capacité de l'oxyde de contrôle. Dans ce cas, la charge dans les nanocristaux est assimilée à une charge uniformément répartie sur toute la surface du canal.

4.1.4 Le transport dans une capacité MOS

Les mécanismes de conduction des diélectriques dans une structure MOS sont présentés succinctement dans ce paragraphe. Les différents modes de conduction à travers un oxyde tunnel sont les suivants (*Figure 4.5*) :

1. le courant Fowler-Nordheim
2. le courant tunnel direct
3. l'émission thermoïonique
4. la conduction Poole-Frenkel
5. la conduction par sauts ou Hopping.

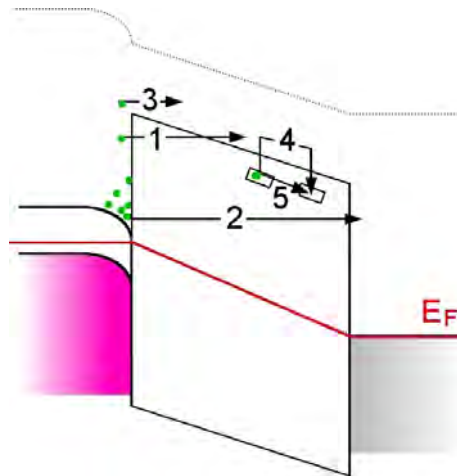


FIG. 4.5 – Diagramme de bandes d'énergie d'une structure MIS et principaux modes de conduction dans les diélectriques : (1) émission Fowler-Nordheim, (2) émission tunnel direct, (3) émission thermoïonique, (4) conduction Poole-Frenkel, et (5) conduction par sauts ou Hopping.

Dans les paragraphes suivants, nous décrivons les courants Fowler-Nordheim et tunnel direct car ce sont les deux mécanismes responsables de l'injection de charges dans les nanocristaux à travers l'oxyde tunnel [Tiwari *et al.*, 1996b ; Han *et al.*, 2000 ; De Salvo *et al.*, 2000]. En effet, ce mécanisme est pressenti dans la littérature pour des structures réalisées couche par couche (nanocristaux déposés). Au contraire, lorsque les nanocristaux apparaissent après recuit d'une couche de SiO_x , la conduction à travers la structure est plutôt de type Hopping [Busseret *et al.*, 2002]. Finalement, il a été démontré que la conduction à travers les nanocristaux est assimilable à la conduction par piège de type

Hopping ou TAT (Trap Assisted Tunnelling) [Porti *et al.*, 2007]. Ce type de conduction est limité par le volume et dépend avant tout des pièges qui se trouvent dans la bande interdite de l'oxyde.

4.1.4.1 Le courant Fowler-Nordheim

Lorsque la résistance volumique du système est négligeable et que le diélectrique est suffisamment mince, le transport dans les diélectriques se fait par effet tunnel. Le formalisme couramment utilisé pour modéliser ce mécanisme se base sur une approche semi classique, où le coefficient de transmission est le seul paramètre provenant de la théorie quantique, le champ électrique et la distribution des charges étant calculés séparément, en utilisant l'équation de Poisson.

A forts champs électriques, la barrière énergétique vue par les électrons est triangulaire. Les électrons transitent par effet tunnel de la bande de conduction ou de valence de la cathode vers la bande de conduction de l'isolant. De même, les trous de la bande de valence de l'anode peuvent migrer vers la bande de valence de l'isolant. C'est la conduction tunnel de type Fowler-Nordheim.

Le calcul exact du coefficient de transmission à travers la barrière énergétique triangulaire consiste à résoudre simultanément les équations de Schrödinger et de Poisson pour le système étudié. Quand les variations du potentiel sur une longueur d'onde électronique sont négligeables devant l'énergie cinétique des particules, l'approximation proposée par Wentzel, Kramers et Brillouin (approximation WKB) peut être utilisée. Selon cette méthode, le coefficient de transmission $\Gamma(E)$, pour un porteur d'énergie E , à travers une barrière triangulaire associée à un champ électrique F_{OT} est donné par l'équation suivante :

$$\Gamma(E) = \exp \left[-B \cdot \frac{(\Phi_B - E)^{\frac{3}{2}}}{F_{OT}} \right] \quad (4.8)$$

avec B et Φ_B les paramètres de la transparence tunnel. Le paramètre B est défini par :

$$B = \frac{8\pi\sqrt{2} \cdot m_{SiO_2}}{3 \cdot q \cdot h} \quad (4.9)$$

avec m_{SiO_2} , la masse effective du porteur de charge dans l'oxyde, q la charge électrique fondamentale, h la constante de Planck. Par ailleurs Φ_B correspond à la hauteur de barrière vue par le porteur de charge depuis l'électrode injectante (pour les électrons : ≈ 3 eV pour la barrière Si/SiO₂ et $\approx 3,25$ eV pour Al/SiO₂).

L'expression du **courant Fowler-Nordheim** peut se simplifier par [Lenzlinger et Snow, 1969] :

$$J_{FN}(F_{OT}) = A \cdot F_{OT}^2 \cdot \exp \left[-B \cdot \frac{(\Phi_B)^{\frac{3}{2}}}{F_{OT}} \right] \quad (4.10)$$

$$\text{avec } A = \frac{q^3}{8 \cdot \pi \cdot h} \cdot \Phi_B.$$

4.1.4.2 Le courant tunnel direct

Lorsque l'épaisseur du diélectrique est inférieure à 30 Å, le transport est dominé par l'injection tunnel d'électrons, de la bande de conduction de la cathode vers la bande de conduction de l'anode. Dans ce cas, la barrière énergétique vue par les électrons est trapézoïdale. C'est la conduction par effet tunnel direct. La théorie introduite dans le cas d'une conduction par effet tunnel Fowler-Nordheim peut s'adapter au cas du tunnel direct à condition d'introduire quelques modifications au coefficient de transmission. L'expression du coefficient de transmission est donnée par :

$$\Gamma(E) = \exp \left[\frac{-B}{F_{OT}} \cdot [(\Phi_B - E)^{\frac{3}{2}} - (\Phi_B - E - F_{OT}d_{OT})^{\frac{3}{2}}] \right] \quad (4.11)$$

L'expression du courant tunnel direct est donnée par :

$$J_{TD}(E) = A \cdot \int_0^\infty \Gamma(E) \ln \frac{1 + \exp(E_{FS} - E)/kT}{1 + \exp(E_{FG} - E)/kT} dE \quad (4.12)$$

Il faut noter qu'il est possible de simplifier ce courant tunnel. Les approximations permettant d'utiliser cette formule sont les suivantes :

- la probabilité tunnel est constante quelle que soit l'énergie du porteur, cela signifie que la transparence tunnel peut être extraite de l'intégrale dans l'équation 4.12.
- la quantité de charges dans les électrodes injectantes est infinie. On supposera que l'on se trouve en accumulation ou en inversion forte à la surface du semiconducteur. Cependant, à faibles champs électriques (régime d'inversion faible), le courant est légèrement surestimé.

A partir de ces deux approximations, on peut exprimer simplement le courant tunnel [Ranuarez *et al.*, 2006] :

$$J_{TD}(F_{OT}) = \frac{A \cdot F_{OT}^2}{\left[1 - \sqrt{\frac{\Phi_B - q \cdot d_{OT} \cdot F_{OT}}{\Phi_B}} \right]^2} \cdot \exp \left[\frac{-B}{F_{OT}} \cdot [(\Phi_B)^{\frac{3}{2}} - (\Phi_B - F_{OT}d_{OT})^{\frac{3}{2}}] \right] \quad (4.13)$$

Ce courant tunnel direct est peu sensible à la température mais dépend fortement de l'épaisseur de l'oxyde et du champ électrique.

4.2 Description des structures MOS à *nc-InAs*

Différentes structures ont été fabriquées en vue de la caractérisation électrique. Certains échantillons ont suivi le procédé standard de fabrication et d'autres ont été "optimisées" par des recuits sous H_2 ou une passivation au phosphore. Ces traitements d'optimisation ont pour but de réduire les états d'interface et les défauts dans l'oxyde afin d'augmenter les potentialités de stockage multibits par le contrôle de la position énergétique de la charge dans le *nc-InAs*. Le schéma de la *Figure 4.6* décrit les étapes de fabrication des structures. Nous avons ainsi testé deux passivations :

- la passivation phosphore qui est effectuée dans le réacteur d'épitaxie juste après la croissance des nanocristaux ;
- et le recuit in-situ sous hydrogène qui est effectué dans le réacteur PECVD juste après le dépôt de l'oxyde de contrôle.

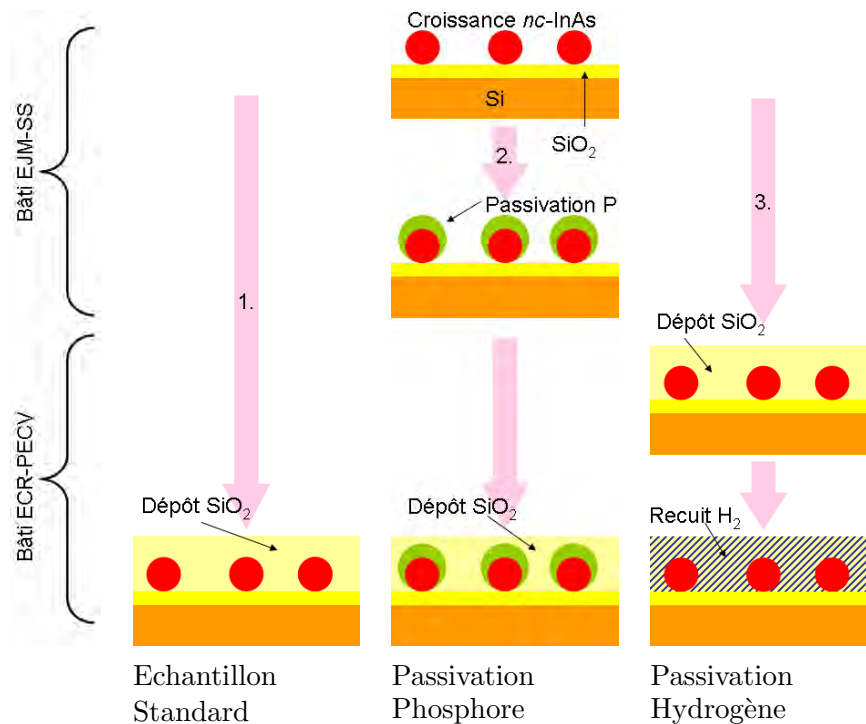


FIG. 4.6 – Schéma des différents procédés testés pour l'étude de la réduction des charges parasites dans les structures à *nc-InAs*.

Le *Tableau 4.1* regroupe les échantillons fabriqués et leurs paramètres physiques. Les épaisseurs d'oxyde ont été mesurées par ellipsométrie spectrale, et les densités et hauteurs des *nc-InAs* depuis les images AFM.

Les échantillons sio522, ep2585, ep2586 et ep2587 ont été coupés en plusieurs morceaux pour recevoir des traitements chimiques et/ou des grilles métalliques différentes (Al ou Au/Ni). Nous avons mesuré au microscope les surfaces des différentes capacités pour les deux types de masques utilisés (*Sous-partie 2.1.4*). Nous avons vérifié que les capacités C_{ox} et les densités de courant sont proportionnelles aux surfaces (*Figure 4.7*).

Nous avons extrait des épaisseurs d'oxyde de 12,5 nm pour l'échantillon sio522 à grille Al et des épaisseur d'oxyde de 13,5 nm pour l'échantillon à grille Au/Ni. L'écart de 1 nm

Nom	Substrat	t_{OT} (nm)	t_{OC} (nm)	D_{NC} (cm^{-2})	h_{NC} (nm)	Etude
sio522	P	3,5	10	×	×	référence sans <i>nc-InAs</i> nettoyage SiO_2 thermique influence de la grille chargements parasites
ep2298	P	3,5	10	$1,9 \times 10^{11}$	$6,9 \pm 1,2$	c^1 et r^2
ep2585	P	3,5	8	$2,7 \times 10^{11}$	$4,5 \pm 1,0$	c et r influence de la grille
ep2586	P	3,5	8	$3,3 \times 10^{11}$	$5,5 \pm 0,7$	c et r : influence passivation P
ep2587	P	3,5	8	$2,7 \times 10^{11}$	$5,1 \pm 1,0$	c et r : influence recuit H_2 in situ
ep2621-1	N	1,5	8	$3,0 \times 10^{11}$	$6,0 \pm 0,8$	c et r : influence t_{OT}
ep2621-2	N	2	8	$3,0 \times 10^{11}$	$6,0 \pm 0,8$	c et r : influence t_{OT}
ep2621-3	P	3,5	8	$3,0 \times 10^{11}$	$6,0 \pm 0,8$	c : influence t_{OT}
ep2621-5	P	5	8	$3,0 \times 10^{11}$	$6,0 \pm 0,8$	c : influence t_{OT}
ep2608	P	3,5	8	$3,7 \times 10^{11}$	$8,5 \pm 1,0$	c : influence taille et densité

¹c = étude des cinétiques d'écriture/effacement ; ²r = étude de la rétention.

TAB. 4.1 – Liste des échantillons utilisés pour la caractérisation électrique.

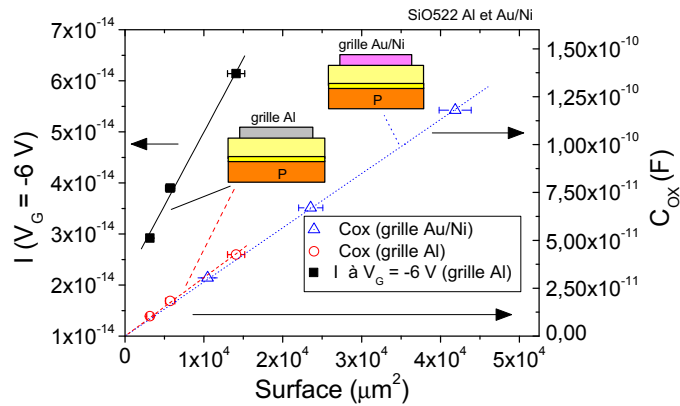


FIG. 4.7 – Evolution de C_{OXmax} en fonction de la surface de la capacité pour une structure MOS à grille Al (ronds) et à grille Au/Ni (triangles). Evolution du courant à -6 V en fonction de la surface de la capacité pour la structure MOS à grille Al (carrés).

provient de l'oxydation légère de l'Al au contact du SiO_2 lors du dépôt du métal : l'oxyde de contrôle est légèrement consommé et son épaisseur diminue.

4.3 Optimisation des structures de tests électriques

4.3.1 Influence du traitement de surface de l'oxyde tunnel

Nous avons voulu vérifier que le traitement de surface effectué sur l'oxyde SiO_2 tunnel (avant croissance des $nc\text{-InAs}$) soit compatible électriquement. A cette fin, des structures références sans $nc\text{-InAs}$ ont subi des nettoyages différents avant dépôt de l'oxyde de contrôle :

- un rinçage à l'eau désionisée uniquement ;
- un nettoyage "solvants" : 10 min dans le trichloroéthylène tiède puis 10 min dans l'acétone tiède puis 5 min dans l'éthanol.

La *Figure 4.8* présente les caractéristiques $C-V$ haute fréquence (100 kHz) de la référence sans nanocristaux ayant subi des nettoyages différents (grille Au/Ni). La tension de bandes plates théorique d'une structure telle que celle-ci est de -0,4 V (métal de grille Ni et dopage du substrat Si 10^{15} cm^{-3}). On observe que la tension de bandes plates est de -0,81 V pour la structure avec un nettoyage à base de solvants contre -0,38 V pour la structure rincée uniquement à l'eau désionisée. Ainsi, les solvants utilisés lors du nettoyage de l'oxyde tunnel introduisent des charges fixes positives à l'interface silice thermique/silice plasma.

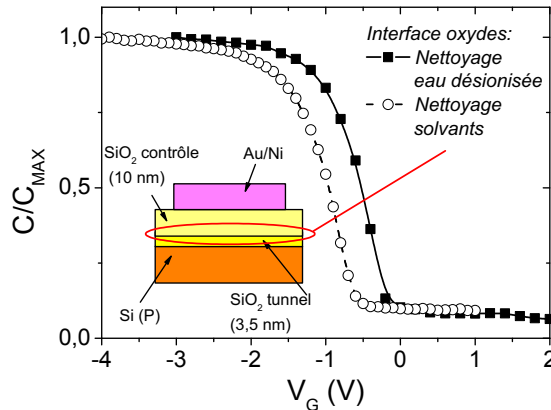


FIG. 4.8 – Caractéristiques $C-V$ à 100 kHz de capacités MOS ayant subi des traitements différents avant le dépôt de l'oxyde de contrôle par PECVD : nettoyage eau désionisée (carrés noirs) et nettoyage à base de solvants (ronds blancs).

A partir de ces observations, nous avons choisi de rincer la surface de l'oxyde tunnel à l'eau désionisée avant la croissance des $nc\text{-InAs}$ lorsque ceux-ci sont destinés à intégrer une structure MOS car les deux nettoyages testés ci-dessus conduisent à des densités et des tailles de nanocristaux équivalentes (*Sous-partie 3.1.1*) : dans la suite de l'étude, les structures sont toutes nettoyées à l'eau désionisée.

4.3.2 Influence du métal de grille

Nous avons déposé des grilles métalliques d'aluminium (400 nm d'Al) ou bicouches or-nickel (3 nm de Ni/300 nm d'Au) sur les structures à $nc\text{-InAs}$ encapsulés dans SiO_2 .

La *Figure 4.9* présente les deux procédés de fabrication des grilles.

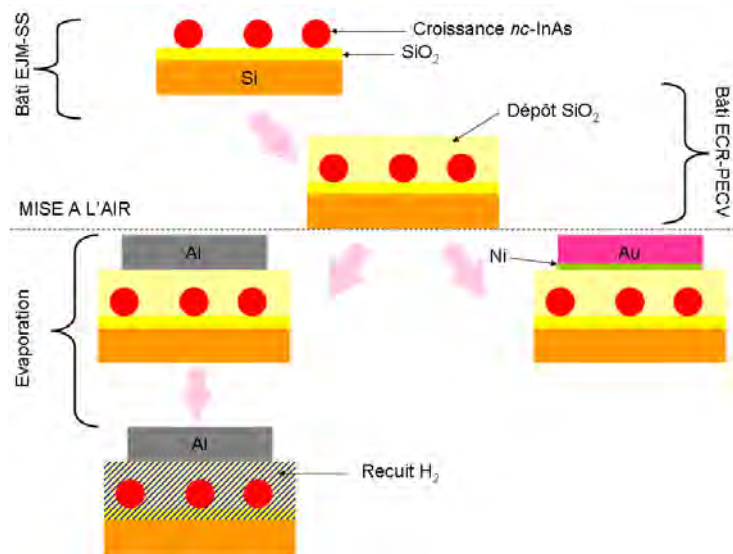


FIG. 4.9 – Schéma de fabrication des structures MOS à nanocristaux. Après dépôt de l'oxyde de contrôle, soit une grille Or-Nickel est évaporée, soit une grille Al est évaporée, suivie d'un recuit sous une atmosphère d'hydrogène à 450 °C pendant 20 minutes.

Il est nécessaire d'effectuer un recuit passivant sous hydrogène moléculaire pour assurer un bon contact entre la grille Al et le SiO₂. Nous avons aussi fabriqué des grilles Au/Ni sur un échantillon identique (sans recuit). L'étude de ces deux grilles permet :

- d'étudier l'apport d'un recuit sur la qualité de l'oxyde de contrôle,
- d'étudier l'apport d'un recuit sur les propriétés de chargement des nanocristaux,
- d'étudier le comportement de capacités MOS à nanocristaux possédant des métaux de grille distincts.

La *Figure 4.10* présente les caractéristiques *C-V* haute fréquence (100 kHz) d'une structure référence à grille Al et à grille Au/Ni.

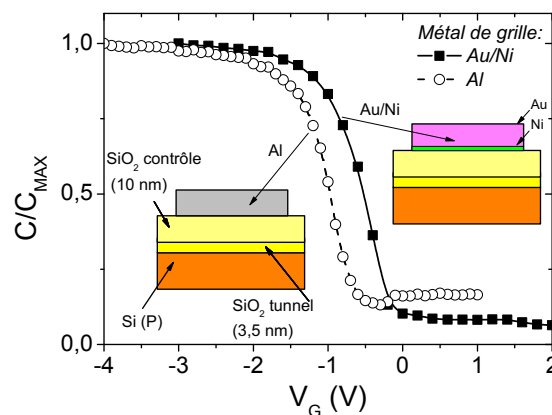


FIG. 4.10 – Caractéristiques *C-V* à 100 kHz d'une capacité MOS référence à grille Al (ronds blancs) et à grille Au/Ni (carrés noirs). Le dépôt de la grille Al a été suivi d'un recuit sous H₂.

On observe un décalage de V_{FB} dû à la différence des travaux de sortie des métaux. La $C-V$ correspondant à l'échantillon à grille Al présente une légère remontée en inversion. Ce phénomène est beaucoup plus prononcé sur les échantillons à nanocristaux ou lorsque les échantillons viennent d'être processés. Nous en avons déduit que des impuretés se déposent à la surface pendant ou après le procédé d'évaporation de l'Al et le recuit sous hydrogène mais leur présence n'est pas gênante pour la caractérisation électrique des structures à nanocristaux. En conclusion, nous avons décidé de continuer à travailler avec les deux types de grilles.

4.4 Etude du chargement

4.4.1 Méthode expérimentale

Nous avons déterminé le comportement de la structure mémoire pour la capture de charges en mesurant les caractéristiques $C-V$ après application de différentes tensions d'écriture (tension appliquée pendant un temps donné). Le décalage des $C - V$ après chaque phase d'écriture a été mesuré par rapport à la $C - V$ de référence (mesure du ΔV_{FB}). A partir des ΔV_{FB} , nous avons calculé le nombre de charges stockées par nc -InAs (*Equation 4.5*).

4.4.1.1 Description de la méthode

La *Figure 4.11* présente la méthode. Sur la $C-V$ référence, nous avons choisi un point de mesure noté V_{REF} correspondant au milieu de la marche de la caractéristique $C-V$ et donc à une capacité $C_{OX}/2$. Après application de la tension d'écriture, une nouvelle caractéristique est enregistrée. La tension V_i correspondant à la moitié de C_{ox} est alors relevée. Finalement, pour chaque caractéristique $C-V$, ΔV_{FB} est donné par la formule :

$$\Delta V_{FB} = V_i - V_{REF} \quad (4.14)$$

Pour lire la charge stockée dans la structure sans la perturber, nous avons choisi d'enregistrer la caractéristique $C-V$ uniquement autour de la valeur $C_{ox}/2$. Les mesures ont été réalisées à haute fréquence (100kHz) pour s'affranchir de l'impédance parasite due au substrat, aux contacts face arrière et face avant et aux câbles coaxiaux [Busseret, 2001]. Du réseau de courbes ainsi obtenu nous pouvons extraire soit $\Delta V_{FB} = f(t)$ à V_G constant, soit $\Delta V_{FB} = f(V_G)$ à durée de pulse t constante.

4.4.1.2 Chargement selon le signe de la tension d'écriture

La *Figure 4.12* présente l'évolution qualitative de la caractéristique $C-V$ d'une capacité MOS type P à nc -InAs après application d'une tension d'écriture positive ou négative. La courbe en traits continus est la référence.

Après application d'une tension d'écriture $V_G > V_{FB}$, la caractéristique se décale vers les tensions positives (*Figure 4.12(b)et(c)*, carrés pleins). La tension positive appliquée sur la grille force le substrat à former une couche d'inversion sous l'oxyde tunnel. Les électrons

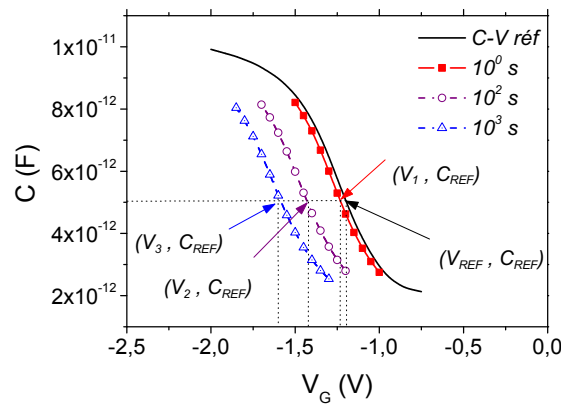


FIG. 4.11 – Caractéristiques C - V à 100 kHz pour différents temps d'écriture à $V_G = -6V$. La valeur de ΔV_{FB} pour chacune des courbes est obtenue en rajoutant la valeur $-V_{REF}$ aux différents V_i qui correspondent à la capacité $C_{REF} = C_{ox}/2$.

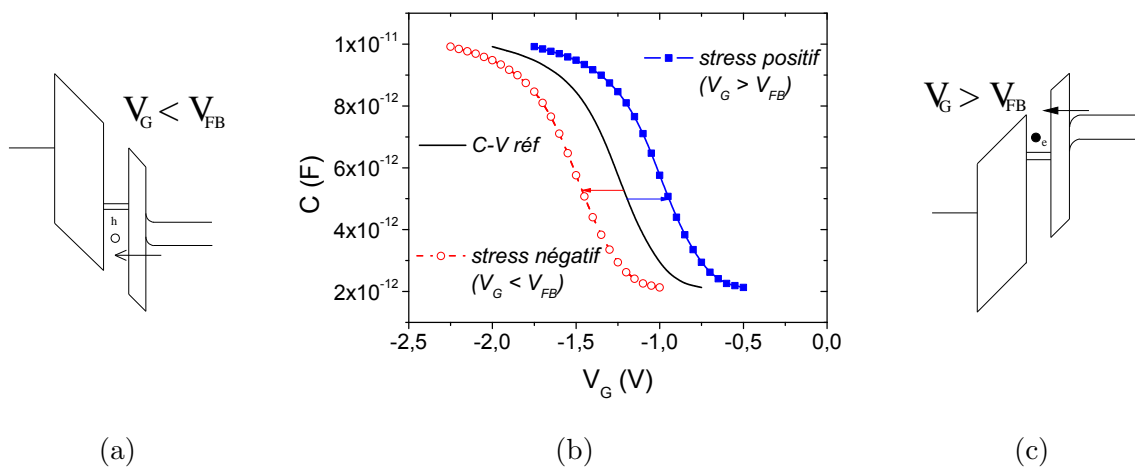


FIG. 4.12 – (a) Injection de charges positives ou déchargement de charges négatives. (b) Caractéristiques C - V à 100 kHz référence (trait plein), après application d'une tension d'écriture positive (carrés pleins) et d'une tension d'écriture négative (ronds vides). (c) Injection de charges négatives. Les schémas (a) et (c) indiquent les chemins "simplifiés" de chargement d'une structure à *nc-InAs* suivant le signe de la tension appliquée sur la grille de la structure. L'épaisseur de l'oxyde de contrôle est telle qu'il n'y a pas d'échanges de charges entre la grille métallique et les *nc-InAs*.

présents dans la couche d'inversion peuvent "tunneler" en direction des *nc-InAs*, où ils y demeurent bloqués. Lorsqu'une nouvelle mesure C - V est effectuée, la caractéristique est décalée vers les tensions plus grandes car il est nécessaire d'appliquer une tension plus élevée pour former la couche d'inversion.

Après application d'une tension d'écriture $V_G < V_{FB}$, la caractéristique se décale vers les tensions négatives (*Figure 4.12(a)et(b)*, ronds vides). Ce décalage prouve :

- soit un chargement des *nc-InAs* en charges positives,
- soit un déchargement de charges négatives depuis les *nc-InAs*.

Dans le premier cas, les charges positives présentes à l'interface du substrat (condition d'accumulation) migrent en direction des nc -InAs où elles sont stockées. Dans le deuxième cas, les charges négatives présentes au départ dans les nc -InAs migrent en direction du substrat. Le chargement à tension d'écriture négative peut correspondre à un déchargement de charges négatives depuis les nc -InAs. Ce départ de charges négatives produit le même effet qu'un chargement en charges positives. La formation de la couche d'inversion nécessite alors une tension de grille plus faible. C'est pour cela que la caractéristique est décalée vers les tensions négatives.

4.4.1.3 Comportement d'une référence sans nanocristaux

La référence sans nanocristaux est une structure MOS contenant un oxyde tunnel de 3,5 nm et sur lequel nous avons déposé l'oxyde de contrôle de 10 nm par PECVD-ECR. La *Figure 4.13* présente la variation de ΔV_{FB} en fonction du temps de chargement. Cette variation peut atteindre quelques dizaines de mV mais demeure tout de même négligeable par rapport aux structures contenant les nc -InAs comme nous le verrons plus loin.

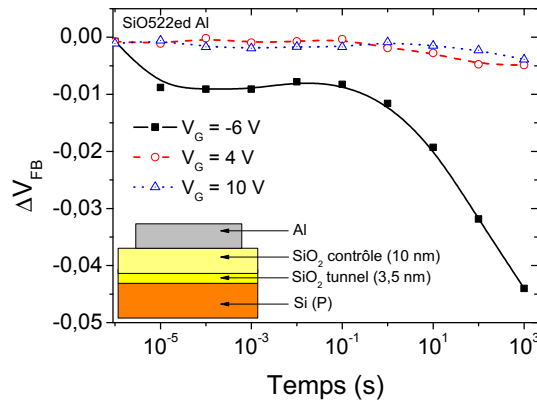


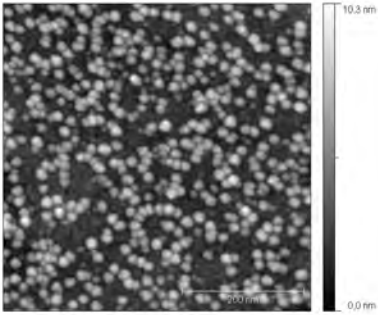
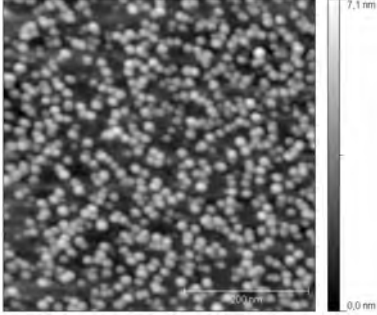
FIG. 4.13 – Courbes de chargement de la référence SiO522ed Al pour $V_G = -6$ V (carrés), $V_G = 4$ V (ronds) et $V_G = 10$ V (triangles)

Le signe de ΔV_{FB} est négatif quel que soit le signe de V_G . Les charges fixes participant au décalage de la tension de bande plates sont principalement des charges positives migrant depuis le substrat, ou des charges négatives migrant depuis la grille métallique à travers l'oxyde de contrôle. On observe que lorsque la structure est "écrite" avec des tensions positives, ΔV_{FB} reste très faible ($\simeq -5$ mV) même après 1000 secondes. En revanche, lorsque la structure est stressée avec des tensions négatives, ΔV_{FB} peut augmenter jusqu'à 50 mV après 1000 secondes pour une tension appliquée de -6 V. En accumulation, les électrons de la grille sont bloqués par l'oxyde de contrôle. Cependant cet oxyde est de moins bonne qualité diélectrique que l'oxyde thermique : des électrons migrent probablement depuis la grille vers des pièges dans l'oxyde de contrôle (liaisons pendantes) ou à l'interface SiO₂ plasma/SiO₂ thermique (charges résiduelles). La quantité de charges stockées dans nos oxydes thermiques et PECVD-ECR est néanmoins largement négligeable par rapport

à la quantité de charges pouvant être stockées dans les nanocristaux (*Sous-partie 4.4.2*).

4.4.2 Échantillons à nanocristaux non optimisés

Nous avons chargé les structures MOS à *nc-InAs* en appliquant des tensions de grille positives de 3 V à 12 V, ou négatives de -3 à -12 V. Les temps d'écriture ont varié de 1 μ s à 1000 s (\approx 17 minutes). Le *Tableau 4.2* regroupe les données concernant les échantillons ep2298 et ep2585 étudiés ici.

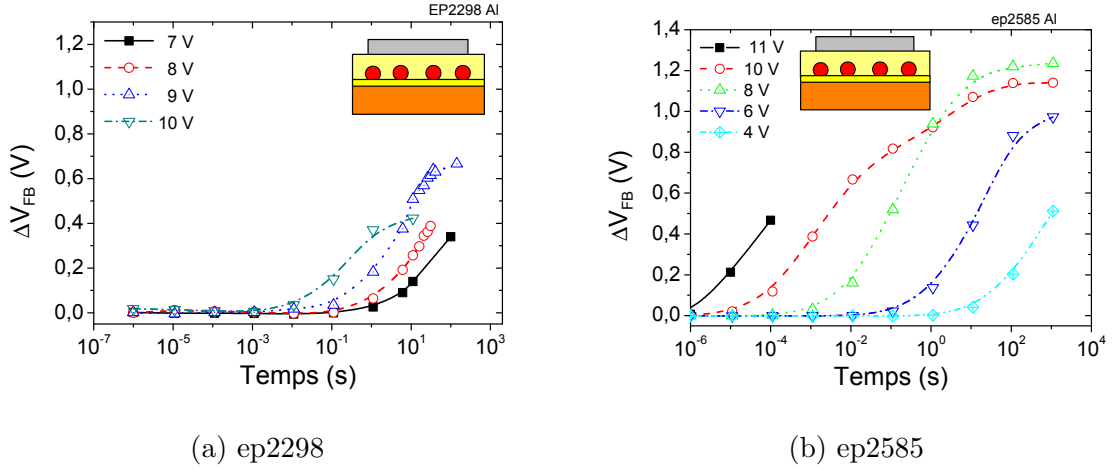
Echantillon	ep2298	ep2585
		
Substrat	P	P
t_{OT} (nm)	3,5	3,5
t_{OC} (nm)	10	8
D_{NC} (cm ⁻²)	$1,9 \times 10^{11}$	$2,7 \times 10^{11}$
h_{NC} (nm)	$6,9 \pm 1,2$	$4,5 \pm 1,0$
type de grille	Al	Al ou Au/Ni

TAB. 4.2 – Description des deux échantillons à nanocristaux “non optimisés” utilisés pour l'étude du chargement. Taille des images AFM : 500 nm \times 500 nm.

4.4.2.1 Application d'une tension positive

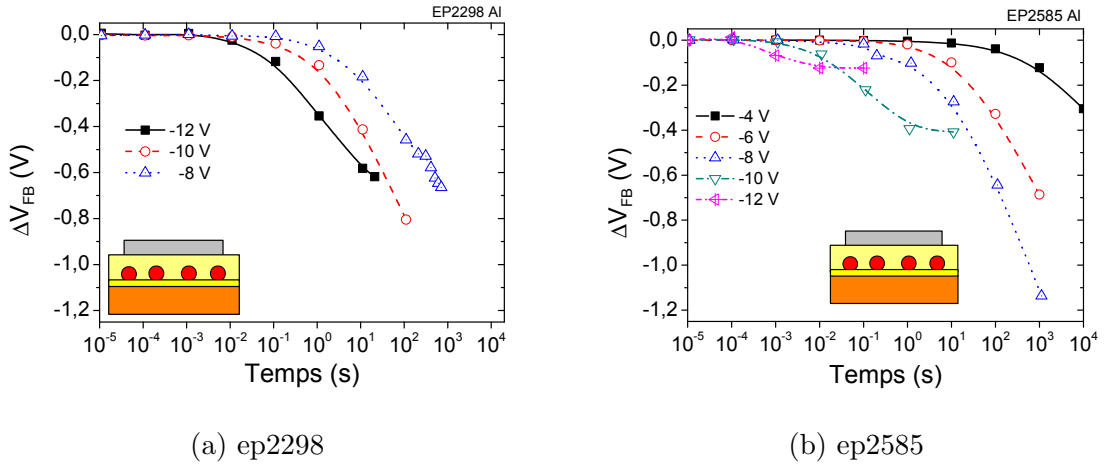
La *Figure 4.14* présente la variation de ΔV_{FB} en fonction du temps pour des tensions d'écriture positives. On observe qu'à tension constante, ΔV_{FB} augmente avec le temps de chargement. De même, à temps de chargement constant, ΔV_{FB} augmente avec la tension appliquée.

Pour l'échantillon ep2298, on observe un début de saturation à $V_G = 10$ V pour 1 s. Le chargement est maximal à $V_G = 8$ V pendant 45 s. En ce point, ΔV_{FB} vaut environ 0,67 V. A partir de l'*Equation 4.5*, on calcule qu'il est possible de stocker un maximum de 8 électrons par nanocristal dans cet échantillon et pour un temps d'écriture maximal de 300 s. Pour l'échantillon ep2585, on observe un début de saturation à $V_G = 6$ V pour 1000 s. Le chargement est maximal à $V_G = 8$ V pendant 1000 s. En ce point, ΔV_{FB} vaut 1,2 V. Le maximum d'électrons pouvant être stockés par nanocristal est de 12 pour cet échantillon et pour un temps maximal de 1000 s. Pour les tensions d'écriture $V_G > 8$ V, le chargement sature rapidement.

FIG. 4.14 – Variation de ΔV_{FB} pour différentes tensions d'écriture positives de 4 à 12 V.

4.4.2.2 Application d'une tension négative

La *Figure 4.15* présente la variation de ΔV_{FB} en fonction du temps pour des tensions d'écriture négatives. Les deux échantillons présentent le même comportement : lorsque la tension d'écriture augmente en valeur absolue, le chargement est plus rapide, et lorsque le temps de chargement est plus long, le décalage de la tension de bandes plates est plus élevé (en valeur absolue).

FIG. 4.15 – Variation de ΔV_{FB} pour différentes tensions d'écriture négatives de -4 à -12 V.

Pour l'échantillon ep2298, on observe que le chargement est maximal à -10 V pendant 100 s. En ce point, ΔV_{FB} vaut -0,8 V, ce qui correspond à 9 charges positives stockées par nanocristal. Pour l'échantillon ep2585, la valeur absolue de ΔV_{FB} est maximale à $V_G = -7$ V pendant 1000 s. ΔV_{FB} est égal à -1,15 V : il est possible de stocker un maximum de 12 charges positives par nanocristal dans cet échantillon. Pour les tensions d'écriture $V_G < -7$ V, la saturation du chargement est très rapide.

4.4.2.3 Interprétation

Comme nous l'avons indiqué dans le *Paragraphe 4.4.1.2*, après application d'une tension positive sur la grille, ΔV_{FB} est positif et est associé à l'injection d'électrons dans les nanocristaux (*Figure 4.14*). Au contraire, après application d'une tension négative sur la grille, ΔV_{FB} est négatif et est associé à l'injection de charges positives depuis le substrat dans les nanocristaux (*Figure 4.15*). Nous avons défini le temps d'écriture minimal de la mémoire comme étant le temps nécessaire à l'injection d'un électron par nanocristal ($V_G > 0$) ou d'un trou par nanocristal ($V_G < 0$). En utilisant l'*Equation 4.5*, nous avons calculé le ΔV_{FB} correspondant à une charge stockée par nanocristal. On obtient $\Delta V_{FB} \approx \pm 0,09$ V pour l'échantillon ep2298 et $\Delta V_{FB} \approx \pm 0,1$ V pour l'échantillon ep2585. Sur la *Figure 4.16* sont tracés les temps d'écriture en fonction de la tension appliquée. Le temps d'écriture diminue lorsque la valeur absolue de la tension de grille augmente.

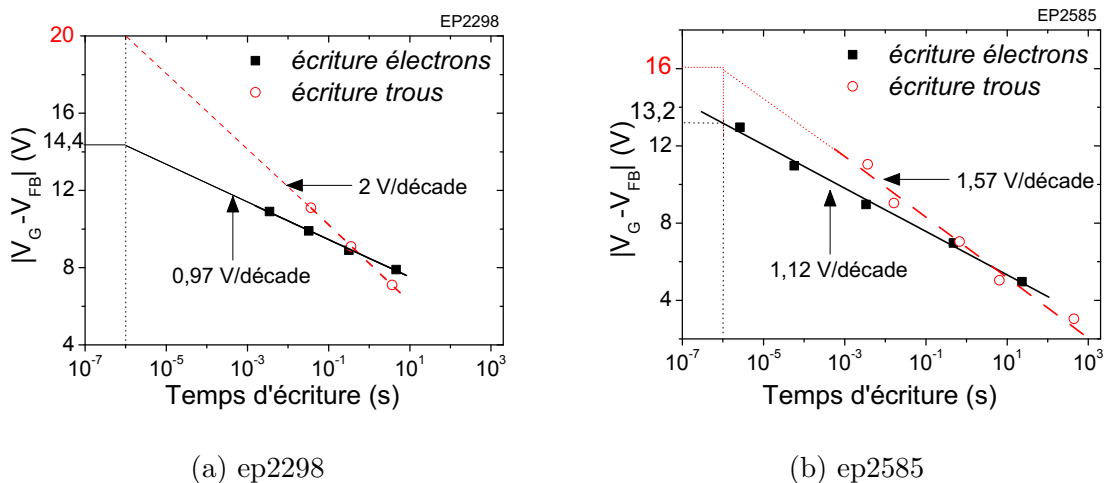


FIG. 4.16 – Temps d'écriture d'un électron ou d'un trou par nanocristal pour l'échantillon (a) ep2298 et (b) ep2585.

On constate que la tension d'écriture varie linéairement avec le logarithme du temps dans la gamme de tensions utilisées. Ce comportement s'explique comme suit : le champ électrique dans l'oxyde tunnel augmente lorsque V_G augmente or nous savons que le mécanisme de conduction responsable de l'injection des charges dans les nanocristaux est le courant tunnel à travers l'oxyde tunnel. Celui-ci dépendant exponentiellement du champ électrique, le temps d'écriture varie exponentiellement avec la tension d'écriture.

Pour l'échantillon ep2585, le coefficient directeur des droites de la *Figure 4.16(b)* est de 1,12 V/décades pour les électrons et de 1,57 V/décades pour les charges positives. Cet écart entre les deux coefficients directeurs indique que les chemins de chargement et/ou la nature des porteurs diffèrent lorsque la tension d'écriture est positive ou négative. Pour cela, nous ne pouvons pas nommer explicitement les charges injectés dans les *nc-InAs* ou déchargées des *nc-InAs* à V_G négatif. De même pour l'échantillon ep2298 (*Figure 4.16(b)*), le coefficient directeur est de 0,97 V/décades pour les électrons et de 2,00 V/décades pour les charges positives. Si l'on extrapole les droites des *Figures 4.16(a)* et *(b)* à un temps d'écriture de 1 μ s, on constate qu'il est nécessaire d'appliquer une tension d'écriture positive $V_G - V_{FB}$

de 13,2 V ou une tension d'écriture négative $V_G - V_{FB} = -16,0$ V pour l'échantillon ep2585 et une tension d'écriture positive $V_G - V_{FB}$ de 14,4 V ou une tension d'écriture négative $V_G - V_{FB} = -20,0$ V pour l'échantillon ep2298 (*Tableau 4.3*). On constate qu'il est nécessaire d'appliquer une tension d'écriture supérieure à l'échantillon ep2298 pour un même temps d'écriture car son oxyde de contrôle est plus épais que celui de l'échantillon ep2585.

Echantillon	électrons	charges positives	t_{OC} (nm)
ep2298	14,4 V	20,0 V	10 nm
ep2585	13,2 V	16,0 V	8 nm

TAB. 4.3 – Tensions d'écriture extraites de la *Figure 4.16* pour un temps d'écriture de 1 μ s.

Les tensions d'écriture pour les électrons remplissent tout à fait le cahier des charges de l'ITRS [ITRS, Edition 2007]. En effet, celui-ci recommande des tensions d'écriture maximales de 15-17 V pour un temps d'écriture de 1 μ s pour les MNVs et ce, jusqu'en 2022 (*Tableau 1.6*).

4.4.2.4 Remarque quant à la nature de la grille métallique

Etant donné que la nature de la grille métallique influence la tension de bandes plates et la tension de seuil de la capacité MOS, nous avons étudié l'influence de la nature de la grille métallique sur l'échantillon ep2585.

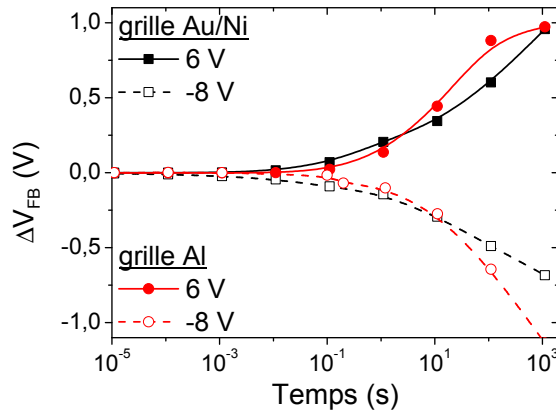


FIG. 4.17 – Courbes de chargement de la structure EP2585 sur laquelle ont été déposées des grilles d'aluminium (ronds rouges), ou des grilles d'or-nickel (carrés noirs).

Pour un même échantillon, l'utilisation d'une grille Al et du recuit sous hydrogène agissent sur pente de la cinétique d'écriture par rapport à l'utilisation d'une grille Au/Ni. En effet, on peut voir sur la *Figure 4.17* que $\frac{\partial \Delta V_{FB}}{\partial t}$ est légèrement plus élevé dans le cas de la grille Al : lorsque la grille Al est utilisée, $\frac{\partial \Delta V_{FB}}{\partial t} = \pm 0,2$ V/décades alors que pour la grille Au/Ni, on observe que $\frac{\partial \Delta V_{FB}}{\partial t} = \pm 0,36$ V/décades. Il est connu que l'évaporation de l'Al consomme légèrement le SiO_2 : l'épaisseur de l'oxyde de contrôle diminue et la cinétique d'écriture augmente.

4.4.2.5 Saturation

Nous avons observé que le chargement des nanocristaux est fonction du logarithme du temps. Nous avons aussi pu voir que certaines cinétiques à V_G constante saturent à partir d'un certain temps de chargement. Pour l'échantillon ep2585 (*Figure 4.14*), la cinétique de chargement à 12 V présente une saturation à partir d'un temps de chargement de 0,1 ms. Etant donné que certaines cinétiques ne saturent pas, en particulier à V_G faible, nous avons décidé de tracer le maximum de $|\Delta V_{FB}|$ à 1000 s en fonction de la tension d'écriture.

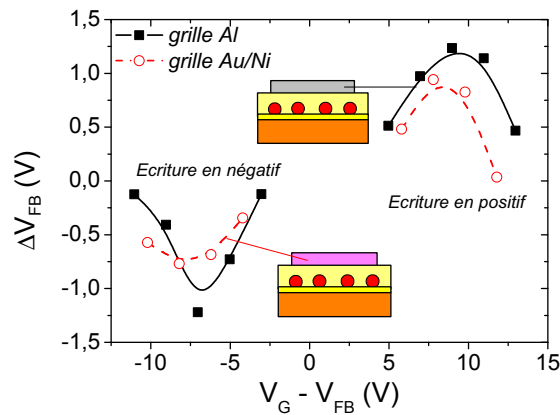


FIG. 4.18 – Variation de ΔV_{FB} à 1000 secondes pour différentes tensions de chargement. Un maxima est observé pour le chargement à tensions positives (carrés noirs) et un minima est observé pour le chargement à tensions négatives (rond rouges).

La *Figure 4.18* présente les valeurs de ΔV_{FB} à 1000 s pour chacune des $V_G - \Delta V_{FB}$. Il apparaît deux courbes en cloche, l'une centrée sur ≈ 9 V et l'autre centrée sur ≈ -8 V. On peut voir que le recuit sous hydrogène (combiné à l'utilisation de la grille Al) permet un meilleur décalage de ΔV_{FB} , ce qui améliore la fenêtre de programmation des mémoires. Deux domaines de tensions sont à considérer :

- à faible champ électrique, ($|V_G - V_{FB}| < 8,5$ V) la charge ne sature pas au bout de 1000 s ;
- à fort champ électrique, ($|V_G - V_{FB}| > 8,5$ V) la charge sature et le nombre de charges stockées diminue si la tension de chargement augmente.

La saturation du chargement a été étudiée par [Kanoun *et al.*, 2006a]. A V_G suffisamment négatif, la barrière de l'oxyde de contrôle devient triangulaire et un courant d'électrons apparaît : les électrons du métal de grille traversent l'oxyde par effet Fowler-Nordheim. A V_G suffisamment positif, il apparaît un courant d'électrons depuis le substrat : ceux-ci tunnelent d'abord à travers l'oxyde tunnel puis à travers la barrière triangulaire de l'oxyde de contrôle.

Le *Tableau 4.4* récapitule le nombre maximal de charges pouvant être stockées par nanocristal en fonction de leur signe et du type de grille utilisée.

Echantillon	Grille	Charges stockés	Type de charge
EP2585	Al	11	électrons
EP2585	Au/Ni	8	électrons
EP2585	Al	9	trous
EP2585	Au/Ni	7	trous

TAB. 4.4 – Nombre maximal de trous stockés par nc -InAs en fonction du signe de la charge et du type de grille.

4.4.3 Echantillons à nanocristaux optimisés

4.4.3.1 Influence de la passivation phosphore

Nous avons observé que les structures dont les nanocristaux ont été passivés au phosphore ont moins d'états d'interface (*Figure 4.19*). En effet, les caractéristiques $C-V$ à basse fréquence présentent une bosse réduite au niveau de la zone de désertion.

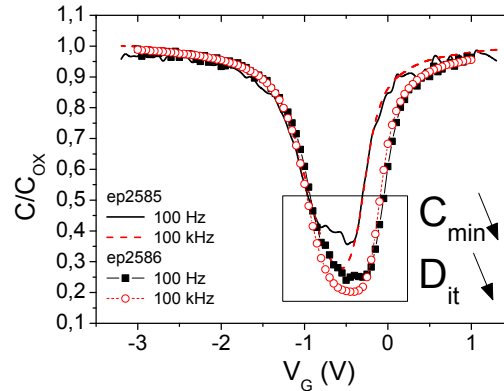


FIG. 4.19 – Caractéristiques $C - V$ à 100 Hz et 100 kHz mettant en évidence la présence d'états d'interface pour l'échantillon ep2585 (traits) et l'échantillon ep2586 (symboles).

La passivation des nanocristaux par le phosphore n'influence pas les cinétiques d'écriture (*Figure 4.20*), ni le maximum de charges pouvant être stockées dans les nanocristaux.

4.4.3.2 Influence du recuit in-situ sous H_2

Quelques auteurs rapportent qu'il est possible d'améliorer les propriétés des mémoires à nc -Si en passivant les nanocristaux avec de l'hydrogène [Cha *et al.*, 2006 ; Cho *et al.*, 2005]. En effet, l'incorporation d'hydrogène dans la structure à nanocristaux pendant un recuit est bénéfique car les atomes d'hydrogène comblent les liaisons pendantes et la densité d'états d'interface diminue. Nous avons décidé d'appliquer cette méthode aux structures à nc -InAs. Le recuit sous hydrogène a été effectué à 450 °C pendant 20 minutes sous une pression d'1 mTorr d'hydrogène.

La cinétique de chargement est identique entre l'échantillon standard et l'échantillon passivé (non présenté). En revanche, le maximum de charges stockées dans les nanocristaux passivés est réduit que ce soit après application de tensions d'écriture positives ou négatives (*Figure 4.21*). Nous en avons déduit deux hypothèses :

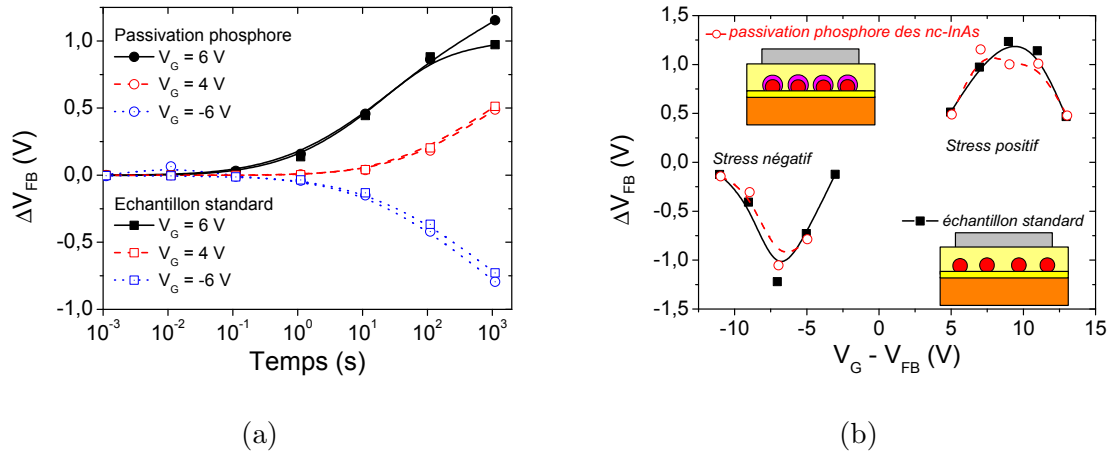


FIG. 4.20 – Influence de la passivation phosphore sur les cinétiques d’écriture (a) et sur le maximum d’amplitude de chargement à 1000 s pour chaque tensions d’écriture (b).

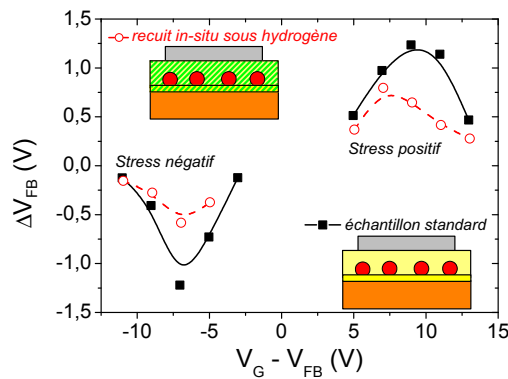


FIG. 4.21 – Evolution de ΔV_{FBmax} en fonction des tensions d’écriture pour ep2587 et ep2585.

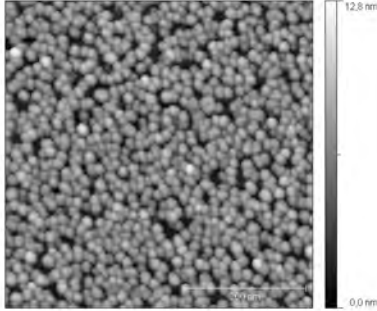
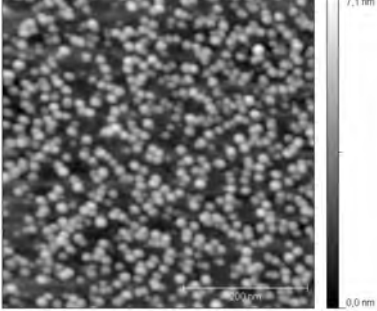
- il est probable que l’hydrogène ait diffusé jusqu’aux *nc-InAs*, consommé de l’InAs en formant de l’AsH₃ et finalement conduit à la diminution du diamètre des *nc-InAs* et par conséquent à la diminution du nombre de charges stockées par nanocristal ;
- il est probable que comme les auteurs précédemment cités le suggèrent, l’hydrogène incorporé dans la structure ait passivé les liaisons pendantes à l’interface InAs/SiO₂. Dans ce cas, les électrons ou les charges positives injectés dans les nanocristaux sont stockés uniquement dans les nanocristaux et non plus dans les pièges d’interfaces.

Y. K. Cha [Cha *et al.*, 2006] a également observé qu’après un recuit de passivation de ses structures à *nc-Si*, l’amplitude de chargement diminuait. Après dépôt des électrodes d’Al, ses échantillons sont placés pendant 30 min à 250 °C sous une atmosphère de “forming gaz” (50 % d’H₂ dans de l’Ar).

4.4.4 Influence des paramètres structuraux

4.4.4.1 Influence de la taille et de la densité des nanocristaux

Le *Tableau 4.5* donne les caractéristiques physiques des échantillons étudiés dans ce paragraphe.

Echantillon	ep2608	ep2585
		
Substrat	P	P
t_{OT} (nm)	3,5	3,5
t_{OC} (nm)	8	8
D_{NC} (cm ⁻²)	$3,7 \times 10^{11}$	$2,7 \times 10^{11}$
h_{NC} (nm)	$8,5 \pm 1,0$	$4,5 \pm 1,0$
type de grille	Au/Ni	Au/Ni

TAB. 4.5 – Description des deux échantillons à petits nanocristaux (ep2585) et gros nanocristaux (ep2608) utilisés pour l'étude du chargement. Taille des images AFM : 500 nm × 500 nm.

La *Figure 4.22* présente les résultats de chargement obtenus sur une structure à nanocristaux de taille 8,5 nm et de densité $3,7 \times 10^{11}$ cm⁻². On constate que pour un même couple de temps-tension d'écriture (*Figure 4.22(a)*), le $|\Delta V_{FB}|$ des gros *nc-InAs* est plus élevé que celui des petits *nc-InAs*. Etant donné que ΔV_{FB} dépend de n , la cinétique paraît plus rapide. Un plus grand nombre de charges peut être stocké dans les structures à densité et taille élevées de *nc-InAs*. A n et V_G fixés, le $|\Delta V_{FB}|$ sera plus élevé pour un même temps d'écriture.

La *Figure 4.22(b)* montre l'amplitude de chargement maximal à $V_G < 0$. $|\Delta V_{FB}|$ plus élevé pour l'échantillon à gros *nc-InAs* que pour celui à petits *nc-InAs* quelle que soit la tension d'écriture. A partir de l'*Equation 4.5* et des valeurs maximales de $|\Delta V_{FB}|$, nous avons calculé qu'un maximum de 9 charges positives peut être stocké dans un nanocristal de 8,5 nm de hauteur contre 7 charges positives dans un nanocristal de 4,5 nm de hauteur (avec une grille Au/Ni).

Le *Tableau 4.6* récapitule le nombre maximal de trous pouvant être stockés dans les *nc-InAs* de tailles différentes.

Echantillon	Grille	Densité des <i>nc-InAs</i>	Taille des <i>nc-InAs</i>	Nombre de trous stockés
EP2585	Au/Ni	$2,7 \times 10^{11}$ cm ⁻²	4,5 nm	7
EP2608	Au/Ni	$3,7 \times 10^{11}$ cm ⁻²	8,5 nm	9

TAB. 4.6 – Nombre maximal de trous stockés par *nc-InAs* en fonction de sa taille.

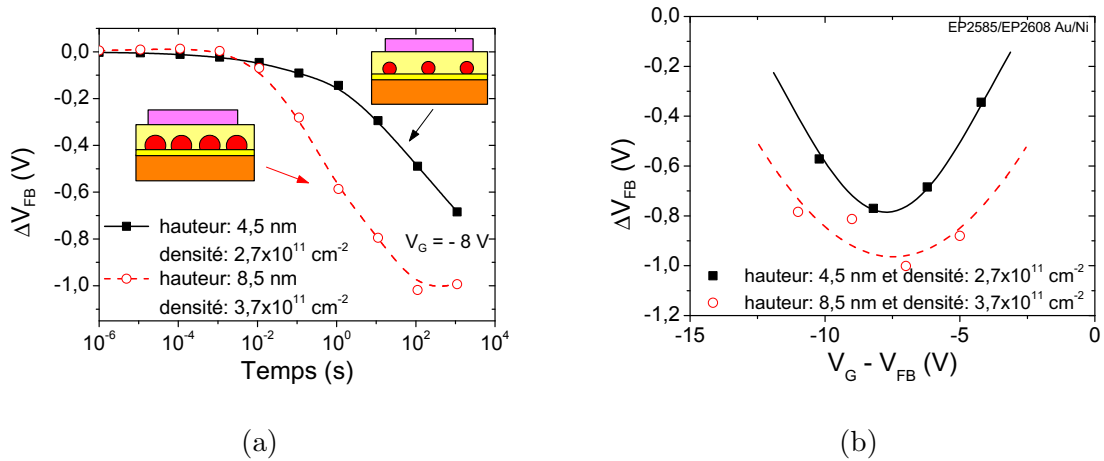
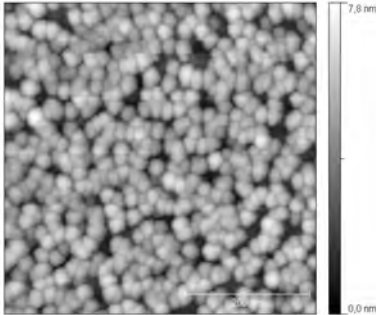


FIG. 4.22 – (a) Variation de la tension de bandes plates en fonction du temps pour des structures à *nc-InAs* de tailles et densités différentes. La tension appliquée sur la grille est $V_G = -8$ V. (b) Amplitude de chargement maximale en fonction de la tension appliquée sur la grille pour les deux structures.

4.4.4.2 Influence de l'épaisseur de l'oxyde tunnel

Nous avons fabriqué des structures identiques sur quatre substrats ayant chacun un oxyde thermique d'épaisseur différente : 1,5 nm - 2 nm - 3,5 nm et 5 nm. Le *Tableau 4.7* donne les caractéristiques physiques des échantillons étudiés dans ce paragraphe. La *Figure 4.23* présente les cinétiques d'écriture pour ces quatre échantillons pour une tension d'écriture constante de $V_G = 6$ V. Le chargement en électrons des *nc-InAs* se fait par injection à travers l'oxyde tunnel. Lorsque l'épaisseur de l'oxyde tunnel augmente, pour une même tension de chargement, la cinétique de chargement est plus lente. Ce résultat est en accord avec l'expression de la transparence tunnel.

Echantillon	ep2621			
				
Substrat	N	N	P	P
t_{OT} (nm)	1,5	2	3,5	3,5
t_{OC} (nm)	8			
D_{NC} (cm ⁻²)	3×10^{11}			
h_{NC} (nm)	$6 \pm 1,0$			
type de grille	Au/Ni			

TAB. 4.7 – Description des échantillons utilisés pour étudier l'influence de l'épaisseur de l'oxyde tunnel sur les propriétés de chargement. Taille de l'image AFM : 500 nm × 500 nm.

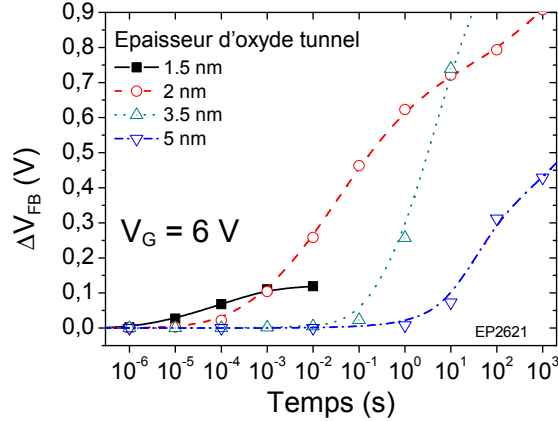


FIG. 4.23 – Variation de ΔV_{FB} en fonction du temps pour différentes épaisseurs d’oxyde tunnel : 1,5 nm, 2 nm, 3,5 nm et 5 nm. La tension appliquée sur la grille est $V_G = 6$ V.

Les Figures 4.24(a) et (b) présentent les cinétiques de chargement pour deux épaisseurs d’oxyde tunnel : 1,5 nm et 2 nm. Le chargement des nanocristaux est limité à environ un électron par nc -InAs ($\Delta V_{FB} \approx 0,1$ V, Equation 4.5) lorsque l’épaisseur d’oxyde tunnel vaut 1,5 nm (Figure 4.24(a)). En revanche, lorsque l’oxyde tunnel a une épaisseur de 2 nm, le chargement des nanocristaux peut aller jusqu’à 8 électrons par nanocristal environ avec $\Delta V_{FB} = 0,8$ V (Figure 4.24(b)). Cette limitation a été expliquée par M. Kanoun [Kanoun *et al.*, 2006b] : lorsque les nanocristaux se chargent, il se crée un champ électrique s’opposant au champ créé par la tension appliquée V_G . Ce champ augmente jusqu’à ce que le champ électrique dans l’oxyde tunnel s’annule, ce qui bloque le chargement des nanocristaux. En conclusion, l’annulation du champ électrique se fait d’autant plus rapidement et le nombre d’électrons stockés dans les nc -InAs est d’autant plus faible que l’épaisseur d’oxyde tunnel est faible.

Le Tableau 4.8 récapitule le nombre maximal d’électrons pouvant être stockés dans les nc -InAs pour des épaisseurs d’oxyde tunnel différentes lorsque la tension appliquée est de 6 V.

d_{OT}	Nombre d’électrons stockés par nc -InAs
1.5 nm	1
2 nm	7
3.5 nm	9
5 nm	4

TAB. 4.8 – Nombre maximal d’électrons stockés par nc -InAs pour des épaisseurs d’oxyde tunnel différentes. Les autres paramètres de la structure sont : $d_{OC} = 8$ nm, $D_{NC} = 3 \times 10^{11}$ cm⁻², $h_{NC} = 6 \pm 1$ nm et type de grille = Au/Ni.

On observe qu’un maximum de charges peut être stockées à 1000 s et 6 V lorsque l’oxyde tunnel est de 3,5 nm.

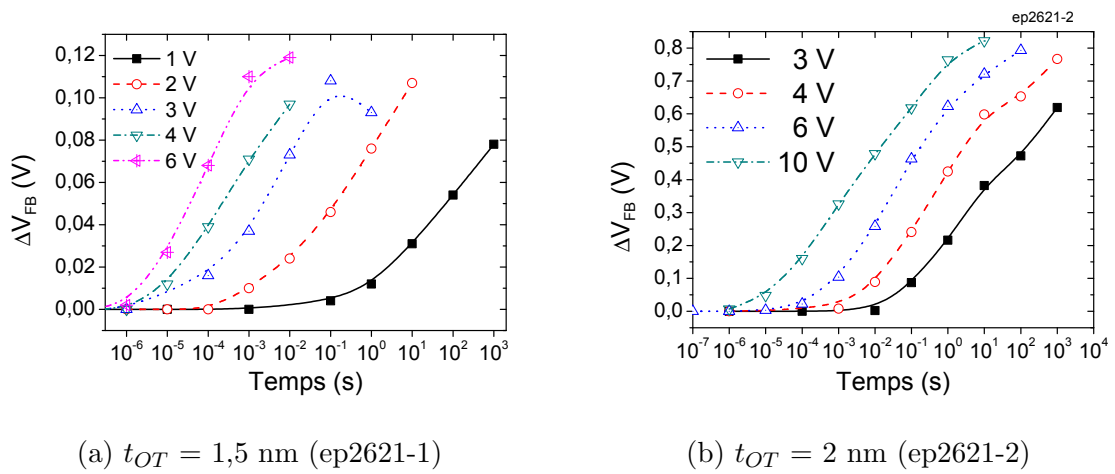


FIG. 4.24 – Variation de ΔV_{FB} en fonction du temps pour différentes épaisseurs d'oxyde tunnel. La tension appliquée sur la grille varie de $V_G = 1 \text{ V}$ à 6 V pour l'échantillon ep2621-1 avec $t_{OT} = 1,5 \text{ nm}$ (a). La tension appliquée sur la grille varie de $V_G = 3 \text{ V}$ à 8 V pour l'échantillon ep2621-2 avec $t_{OT} = 2 \text{ nm}$ (b).

4.5 Etude de l'effacement

Nous avons également étudié les cinétiques d'effacement de la mémoire. Dans cette sous partie, nous présentons tout d'abord la méthode utilisée puis nous présentons les résultats obtenus pour les échantillons ep2585 et ep2587.

4.5.1 Méthode expérimentale

Nous avons choisi d'effacer les structures à partir d'un état "écrit" $n = 1$. (un électron/trou par nanocristal). En effet, cette méthode permettra par la suite (*Chapitre 5*) de modéliser simplement l'effacement en supposant que chaque électron/trou est stocké dans le niveau le plus bas/haut de la bande de conduction/valence du nanocristal. Nous avons donc injecté un électron par nc -InAs en appliquant $V_G = 6$ V pendant dix secondes sur la grille. Après avoir enregistré la courbe $C-V$ correspondant à l'état écrit de la structure, nous avons appliqué des pulses de tension négative de durée variant de 1×10^{-6} à 1000 secondes sur un même plot. Inversement, nous avons injecté un trou en moyenne par nanocristal dans la structure en appliquant $V_G = -8$ V pendant 2 secondes. Nous avons alors appliqué des pulses de tension positive de durée variable pour obtenir un réseau de courbes d'effacement.

4.5.2 Résultats expérimentaux

La *Figure 4.25* présente les courbes d'effacement de la structure en fonction du temps pour différentes tensions d'effacement. La cinétique d'effacement dépend elle aussi du logarithme du temps. L'effacement est d'autant plus rapide que la tension appliquée sur la grille de l'échantillon est élevée.

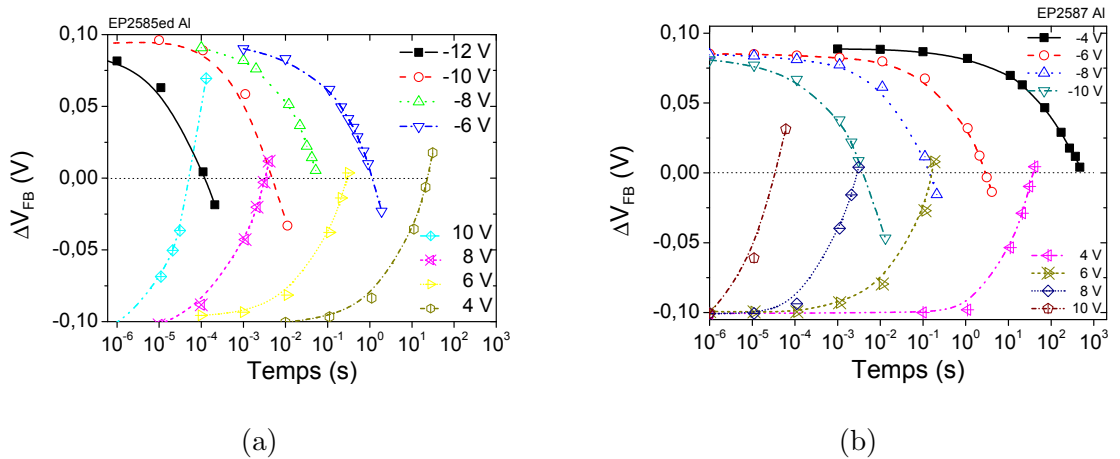
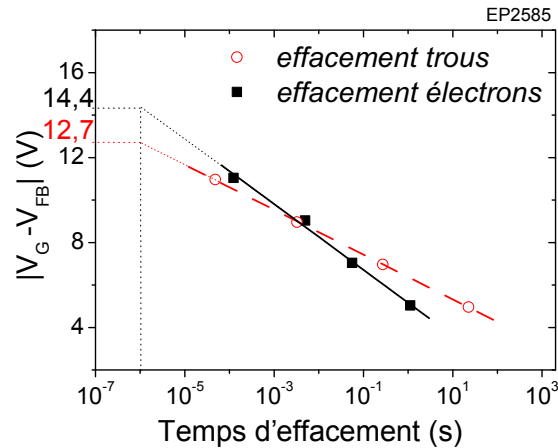


FIG. 4.25 – Cinétiques d'effacement des nanocristaux préalablement "écrits" avec une charge en moyenne par nanocristal. (a) ep2585 et (b) ep2587.

Nous constatons que les cinétiques d'effacement sont semblables pour les deux échantillons. En effet, ils possèdent quasiment les mêmes paramètres physiques. Nous avons défini le temps d'effacement comme étant le temps nécessaire au déchargement d'un électron ou d'un trou par nanocristal. Le tracé de la tension d'effacement en fonction du

temps d'effacement montre une dépendance logarithmique de cette tension avec le temps (*Figure 4.26*). En extrapolant, on obtient une tension d'effacement de 12,7 V pour les charges positives et de 14,4 V pour les électrons pour un temps d'effacement de 1 μ s. Le tableau récapitule les tensions d'effacement à $t = 1 \times 10^{-6}$ s et $t = 1 \times 10^{-4}$ s. On observe que les tensions d'effacement sont bien inférieures à celles préconisées par l'ITRS 2008.



temps d'effacement	électrons	charges positives
1×10^{-6} s	14,4 V	12,7 V
1×10^{-4} s	11,3 V	10,5 V

FIG. 4.26 – Tracé de la tension nécessaire à l'effacement d'une charge par nanocristal en fonction du temps d'effacement (ep2585). Les couples temps-tension d'effacement sont présentés dans le tableau. L'[ITRS, Edition 2007] recommande des tensions d'effacement maximales de 15-17 V pour un temps d'effacement de 0,1 ms.

Les tensions d'écriture et d'effacement de l'échantillon ep2585 peuvent être comparées entre elles. Le *Tableau 4.9* récapitule les valeurs de tensions d'écriture/effacement à 1 μ s présentées précédemment :

	Electrons	Trous
Ecriture	13,2 V	16 V
Effacement	14,4 V	12,7 V

TAB. 4.9 – Tensions d'écriture/effacement de l'échantillon ep2585 lors d'un pulse de durée 1 μ s.

On observe que la tension d'écriture des électrons correspond sensiblement à la tension d'effacement des trous. Ce résultat suggère que l'effacement des trous se fait par injection d'électrons depuis le substrat et neutralisation de la charge dans les nanocristaux. En parallèle, la tension d'écriture des trous est relativement proche de la tension d'effacement des électrons.

Ce résultat suggère lui aussi que l'écriture des trous correspond plutôt au déchargement d'électrons (à l'effacement des électrons) situés dans les nanocristaux. Ces électrons sont probablement des charges résiduelles de fabrication piégées dans les états d'interface entre les nanocristaux et l'oxyde tunnel. En effet, dans le *Chapitre 2*, nous expliquons que l'interface entre un semiconducteur III-V et un oxyde est source d'états d'interfaces

et de pièges électriques. La présence de ces charges négatives dans les nanocristaux ou à l'interface $nc\text{-InAs}/\text{SiO}_2$ indique que les $nc\text{-InAs}$ ont un comportement proche d'un métal. En parallèle, nous avons montré qu'il existe une fine couche d'oxyde, probablement d' In_2O_3 , à l'interface $nc\text{-InAs}/\text{SiO}_2$. Or l'oxyde In_2O_3 est métallique Pan et Ma [1980] : il est probable que les électrons libres proviennent de cette couche d'oxyde.

Par ailleurs, cette hypothèse est vérifiée par des mesures AFM en model tunnel. La *Figure 5.31* de la page 185 montre qu'un courant traverse le nanocristal encapsulé dans de l'oxyde lorsqu'une rampe de tension est appliquée sur la pointe AFM et qu'il est donc conducteur.

4.6 Etude préliminaire de l'endurance

L'ITRS2007 [ITRS, Edition 2007] impose un minimum de 10^5 cycles d'écriture/effacement pour les MNVs. Pour tester l'endurance de nos structures, nous avons mis au point un protocole permettant de générer des pulses alternativement positifs et négatifs et dont il est possible de contrôler le nombre de périodes, la fréquence et les tensions minimales et maximales. Pour caractériser le nombre de cycles écriture/effacement supportés par les capacités, nous avons étudié la dérive de ΔV_{FB} en fonction du nombre de cycles écriture/effacement.

Pour cette étude préliminaire, nous avons choisi l'échantillon ep2587. Nous avons dans un premier temps injecté un trou par nanocristal en appliquant une tension d'écriture de -10 V pendant 20 ms ($\Delta V_{FB} \approx -0,1$ V). Etant donné que les cinétiques d'écriture et d'effacement sont différentes, les créneaux générés doivent avoir des durées différentes et des hauteurs différentes pour l'alternance positive et négative. A partir des résultats d'effacement présentés ci-dessus, nous avons choisi comme tension d'effacement 8 V pendant 4 ms. L'expérience consiste alors à enchaîner les cycles d'écriture/effacement, en augmentant leur nombre d'une décade à chaque fois. Après chaque cycle, une caractéristique C - V est réalisée pour mesurer le ΔV_{FB} . La *Figure 4.27* présente l'évolution de ΔV_{FB} pour différents cycles d'écriture/effacement.

On observe qu'au bout de 10^5 cycles d'écriture/effacement, la structure ne se charge plus qu'à 88 % de sa valeur initiale. Des études complémentaires sont nécessaires, en particulier l'étude des cycles d'écriture/effacement des électrons (écriture à $V_G > 0$).

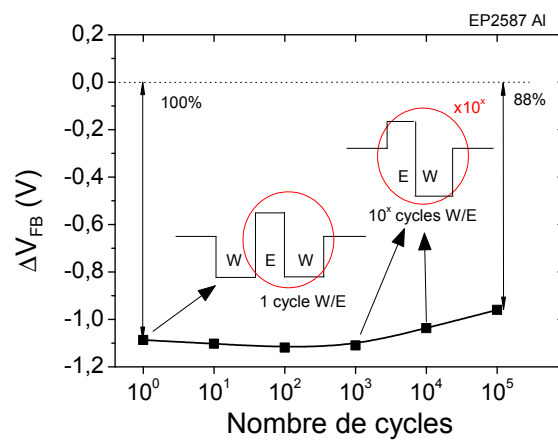


FIG. 4.27 – Etude de l’endurance pour la structure ep2587. La structure a été préalablement écrite en appliquant -10 V pendant 20 ms. L’effacement se fait par application d’une tension positive de 8 V pendant 4 ms.

4.7 Etude de la rétention

Le temps de rétention est l'un des paramètres fondamentaux à prendre en compte lors de l'évaluation des MNVs. Pour évaluer le temps de rétention des structures à *nc*-InAs, nous avons utilisé une méthode simple de mesure de capacité à tension constante. Nous avons par la suite étudié l'influence du matériau constitutif du nanocristal, de l'épaisseur d'oxyde tunnel, de la taille des nanocristaux et des différents traitements effectués sur le temps de rétention des structures à *nc*-InAs.

4.7.1 Méthode expérimentale

Pour mesurer le temps de rétention de la charge dans les *nc*-InAs, il s'agit d'injecter en moyenne un électron par nanocristal dans la structure. La méthode utilisée pour mesurer le déchargement consiste alors à suivre l'évolution de la capacité en fonction du temps à $V_G \approx V_{FB}$ [Busseret, 2001 ; Kanoun, 2004b]. Il est aisé de remonter à la variation de la tension de bandes plate en fonction du temps car V_{FB} se trouve au milieu de la marche de la caractéristique $C-V$, domaine où la capacité varie quasi linéairement avec V_G . Il suffit d'extraire l'approximation linéaire de la courbe $C-V$ pour retrouver la variation de ΔV_{FB} en fonction du temps. Une faible variation de la tension implique un très grand changement de la capacité : ce domaine de $C-V$ permet donc de déterminer la variation de la tension avec une résolution maximale.

4.7.2 Résultats expérimentaux

Le temps de rétention des MNVs dépend de la température et des modèles donnant une loi de variation du temps de rétention en fonction de la température ont été proposés [De Salvo *et al.*, 1999a]. Dans cette étude, les mesures des temps de rétention de nos échantillons ont été effectuées à température ambiante compte tenu de la difficulté à réguler la température sur plusieurs jours voire plusieurs semaines. La *Figure 4.29(a)* présente deux courbes typiques de rétention de l'échantillon ep2298. Ces deux capacités ont été chargées à 8 V pendant 10 secondes, ce qui correspond à un ΔV_{FB} de 0,15 V. La cinétique typique de déchargement des électrons est lente au départ puis augmente jusqu'à ce que s'établisse un régime linéaire avec le logarithme du temps.

Il est intéressant de noter que les deux cinétiques de déchargement sont identiques. Ce résultat indique une bonne reproductibilité des mesures et une faible dispersion des paramètres physiques de l'échantillon. De cette cinétique de déchargement, il est possible d'extraire le temps de rétention à 85 %, qui est de $3,67 \times 10^6$ s, soit environ un mois et demi. Ce temps de rétention relativement long pour un stockage en électrons s'explique par la séparation suffisante des *nc*-InAs et par le bon confinement de l'électron dans le nanocristal grâce à un offset de bande de conduction important entre l'InAs et le SiO₂. L'extrapolation du régime linéaire à dix ans donne une quantité de charge restante stockée dans les nanocristaux de 70 %.

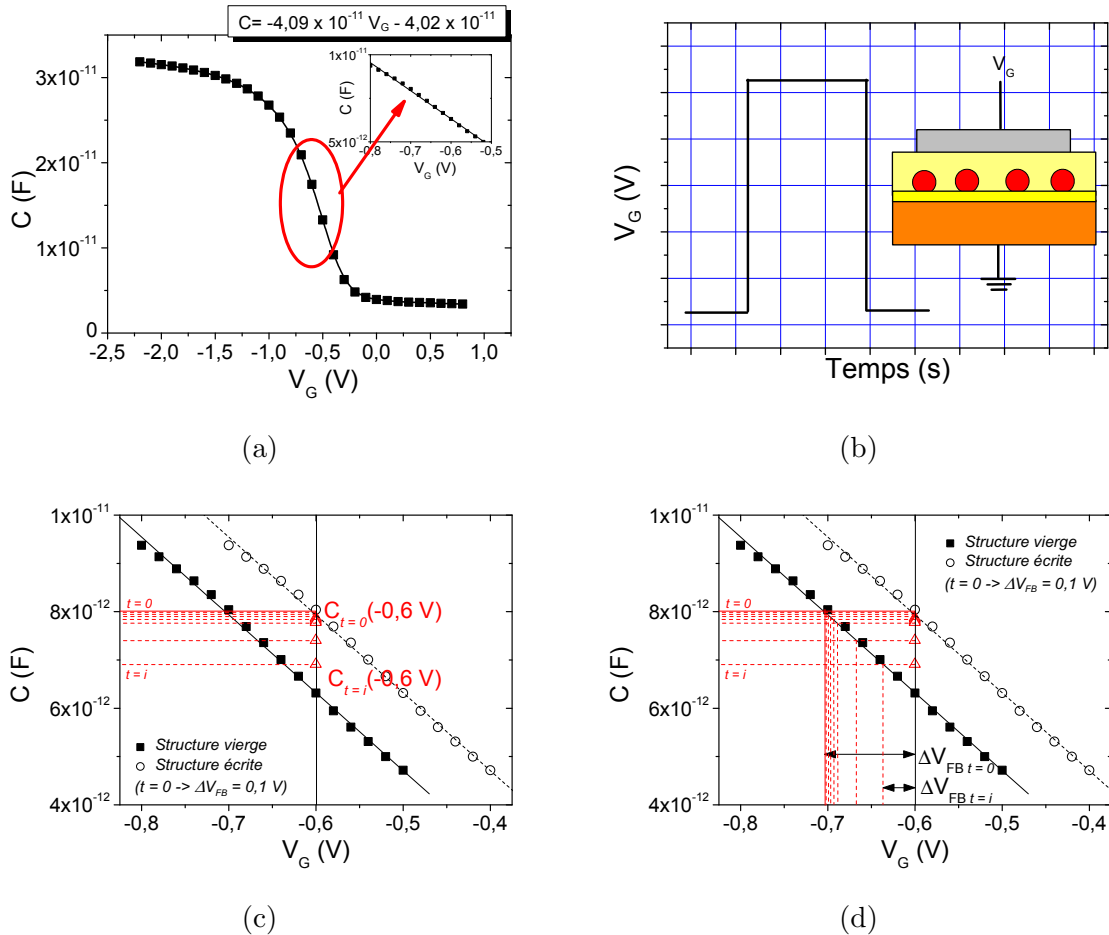


FIG. 4.28 – Description de la méthode expérimentale pour la mesure du temps de rétention dans une structure à nanocristaux : (a) Mesure complète de la caractéristique C - V et extraction de l'approximation linéaire dans la zone de déplétion de la caractéristique, (b) application d'un pulse de tension tel que la caractéristique se déplace d'environ 0,1 V (une charge par îlot), (c) mesure $C(t)$ à $V_G \approx V_{FB}$ et (d) extraction de ΔV_{FB} à partir de ΔC .

4.7.2.1 Influence du matériau constituant des nanocristaux

La Figure 4.30 montre les cinétiques de déchargement de structures à nanocristaux de Si et d'InAs. Cette structure à *nc*-Si (5300P23) a été caractérisée dans les travaux de Christophe Bussert [Busseret, 2001].

Les cinétiques de déchargement des structures à *nc*-InAs sont beaucoup plus lentes que celle à *nc*-Si même lorsque l'épaisseur d'oxyde tunnel est plus faible. Lorsque l'on compare ces résultats aux nanostructures de platine (Figure 4.31) ou à d'autres travaux sur les *nc*-Si (Figure 4.32), nos temps de rétention mesurés sont nettement meilleurs. En effet, dans le cas de nanocristaux de platine encapsulés dans une matrice d'oxyde (Figure 4.31), les auteurs montrent que le temps de rétention à 85 % de leur structure est de 8×10^4 s, c'est-à-dire moins de 24 heures et ce pour une épaisseur d'oxyde tunnel de 4,5 nm..

Aujourd'hui, la majorité des structures mémoires à *nc*-Si sont réalisées sur des oxydes tunnel de quatre nanomètres d'épaisseur minimum [Jacob *et al.*, 2007], en effet, en dessous de cette valeur, le déchargement des électrons est très rapide. C.Y. Ng [Ng *et al.*, 2006] a

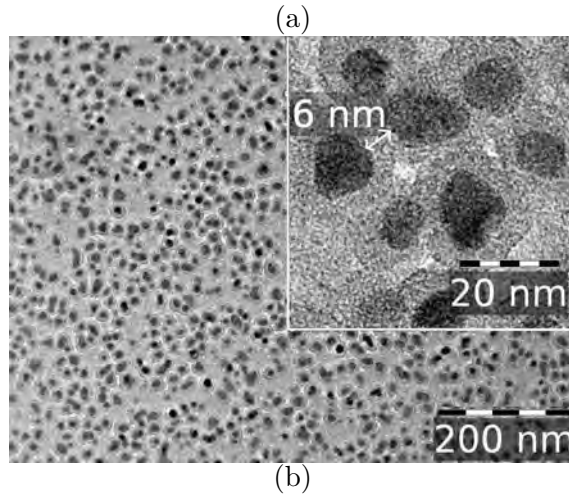
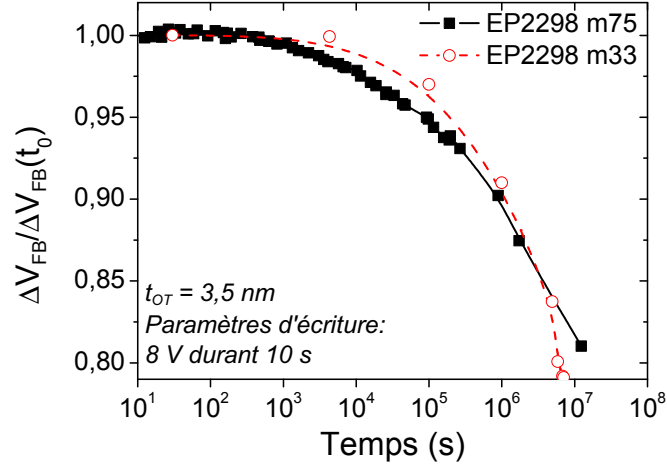


FIG. 4.29 – (a) Evolution de ΔV_{FB} en fonction du temps après une tension d'écriture appliquée de 8 V pendant 10 s. Les paramètres de la structure EP2298 sont : $t_{OT} = 3,5$ nm, $t_{OC} = 10$ nm, $D = (1,9 \pm 0,1) \times 10^{11}$ cm⁻², $d_{InAs} \approx 5$ nm. Le métal de grille utilisé est l'aluminium. (b) Image TEM de l'échantillon en vue plane. Les nanocristaux sont relativement bien espacés avec une distance minimale de 3-6 nm entre chaque îlot.

montré que ses structures à *nc*-Si perdent 15 % de leur charge au bout de 2×10^4 s (≈ 5 h30) avec un oxyde tunnel de 3 nm.

Aujourd'hui, les matériaux à l'étude pour les mémoires à nanocristaux sont les nanoparticules métalliques [Sargentis *et al.*, 2007 ; Liu *et al.*, 2002a,b], les *nc*-Si et les hétéronanocristaux à base de Si (par exemple les nanocristaux de TiSi₂/Si, de Ge/Si [Zhao *et al.*, 2005a] ou de CoSi₂/Si [Zhao *et al.*, 2006b]). Pourtant, notre étude bibliographique (*Chapitre 1*) a montré que l'InAs figure parmi les meilleurs candidats pour améliorer les temps de rétention dans les MNVs à nanocristaux grâce à une affinité électronique élevée par rapport aux autres matériaux semiconducteurs. Nos structures à *nc*-InAs présentent des temps de rétention bien plus élevés que les structures à nanocristaux présentées jusqu'ici pour des épaisseurs d'oxyde tunnel équivalentes. Nos résultats expérimentaux permettent de vérifier notre hypothèse de départ sur l'amélioration de la rétention des électrons dans les mémoire à nanocristaux par l'utilisation de *nc*-InAs.

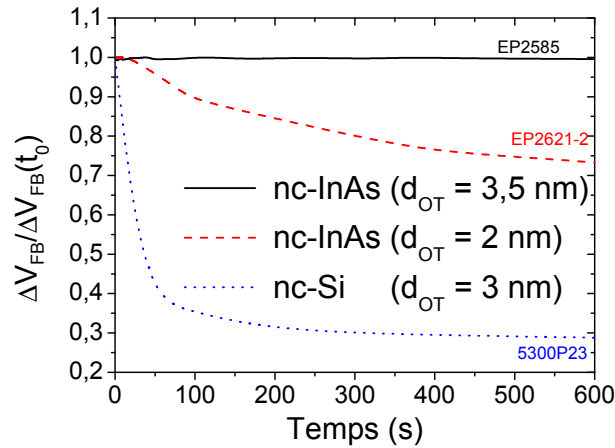


FIG. 4.30 – Comparaison des cinétiques de déchargement pour le Si et l’InAs. Les structures ont été chargées avec un électron par nanocristal. Les paramètres de la structure à *nc-Si* sont : $d_{OT} = 3$ nm, $d_{NC} = 6$ nm, $D_{NC} = 2,7 \times 10^{11}$ cm⁻² et $d_{OC} = 7$ nm. Les paramètres de la structure à *nc-InAs* sont ceux des échantillons ep2585 ($d_{NC} = 4,5$ nm et $d_{OT} = 3,5$ nm) et ep2621-2 ($d_{NC} = 6$ nm et $d_{OT} = 2$ nm).

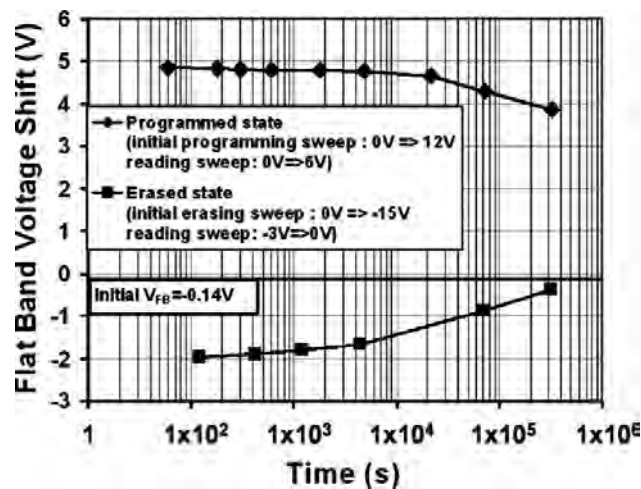


FIG. 4.31 – Temps de rétention mesurés pour une structure mémoire à nanocristaux de platine. Les paramètres de la structure sont : épaisseur d’oxyde tunnel = 4,5 nm, diamètre des *nc-Pt* = 2,3 nm, densité = 3×10^{12} cm⁻² et épaisseur d’oxyde de contrôle = 15 nm. D’après [Dufourcq *et al.*, 2008b].

Le *Tableau 4.10* regroupe les données structurales et les résultats expérimentaux des mesures du temps de rétention pour différents matériaux. Les *nc-InAs* présentent des performances remarquables en termes de temps de rétention des électrons par rapport aux *nc-Pt* et aux *nc-Si*. Toutefois, les dimensions des structures et le niveau de chargement initial sont différents : la comparaison des performances de ces structures est difficile à la seule vue de ce tableau.

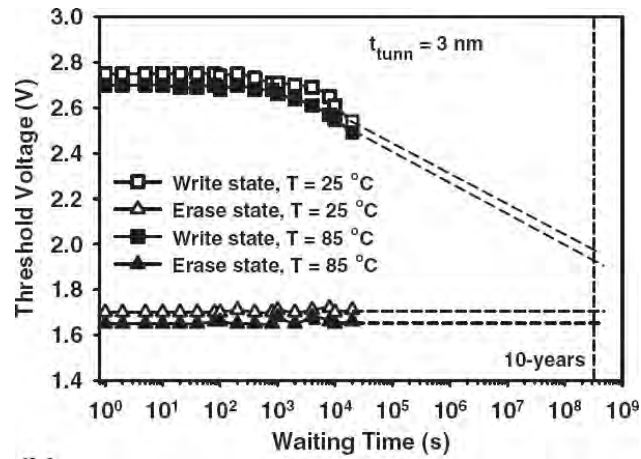


FIG. 4.32 – Temps de rétention mesurés pour une structure mémoire à *nc*-Si. D'après [Ng *et al.*, 2006].

	Pt	Si	InAs
	[Dufourcq <i>et al.</i> , 2008b]	[Ng <i>et al.</i> , 2006]	[<i>ce travail</i>]
Oxyde tunnel (nm)	4,5	3	3,5
Taille des <i>nc</i> -InAs (nm)	2,3	4	6,9±1,2
Densité des <i>nc</i> -InAs (cm ⁻²)	3 × 10 ¹²	n.c.	1,9×10 ¹¹
Oxyde de contrôle (nm)	15	20	10
Temps de rétention à 85 % à 300K (s)	8×10 ⁴	2×10 ⁴	4×10 ⁶
Charge dans les <i>nc</i> - à 10 ans (s)	≈40 %	30 %	70 %

TAB. 4.10 – Tableau récapitulatif des temps de rétention pour différentes structures à nanocristaux.

4.7.2.2 Influence du signe de la tension d'écriture

La courbe de la *Figure 4.33* présente la cinétique de déchargement de deux capacités de l'échantillon ep2587 dont les tensions d'écriture sont de signe opposé : l'une a été chargée avec un électron par nanocristal (ronds vides) et l'autre avec un trou par nanocristal (carrés pleins).

Par ailleurs, on observe que le déchargement des charges positives est plus rapide que le déchargement des électrons. Par exemple au bout de trois heures, 2 % d'électrons préalablement stockés dans les nanocristaux sont perdus contre 10 % de charges positives. Il serait logique que le déchargement des charges positives soit plus lent que le déchargement d'électrons, comme dans le cas des *nc*-Si et de Ge [Busseret, 2001 ; Kanoun, 2004b] où le déchargement des trous est extrêmement lent. En effet, les charges migrent par effet tunnel direct du fait de la faible épaisseur de l'oxyde tunnel. Ce mécanisme dépend fortement de la masse effective du porteur dans SiO₂ et de la barrière de potentiel vue par ce porteur. Que ce soit pour l'InAs, le Ge ou le Si, les trous sont plus lourds dans la barrière SiO₂ que les électrons et voient une barrière de potentiel plus élevée. Les temps de rétention sont plus élevés pour les trous dans les structures à *nc*-Si et de Ge car la hauteur de barrière vue par ces porteurs depuis la bande de valence des nanocristaux est élevée (≈4,6 eV pour le Si). Or dans notre cas, l'effet inverse se produit. Il est donc probable qu'un phénomène supplémentaire apparaisse lors de la rétention. Comme cela l'a déjà été

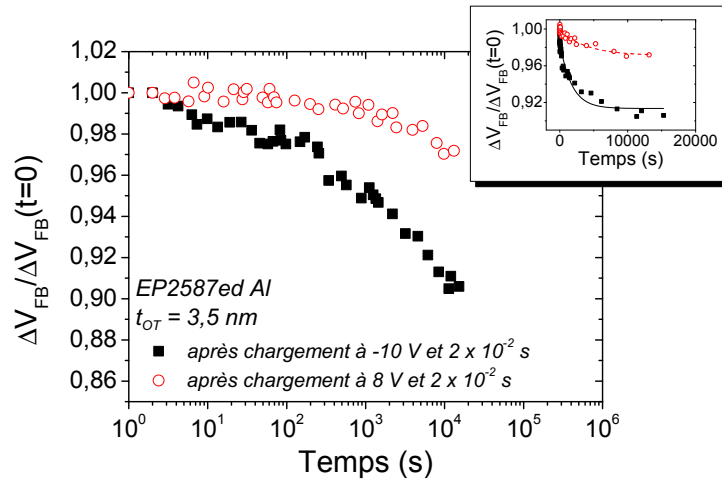


FIG. 4.33 – Evolution de ΔV_{FB} en fonction du temps après une tension d'écriture appliquée de 8 V pendant 20 ms (ronds vides) et une tension d'écriture appliquée de -10 V pendant 20 ms (carrés pleins). L'encart présente l'évolution de ΔV_{FB} en fonction du temps selon une échelle linéaire. Le ΔV_{FB} initial est de 0,15 V pour une tension d'écriture de 8 V, et de -0,10 pour une tension d'écriture de -10 V.

	électrons	charges positives
6 heures	91 %	85 %
5 mois	24 %	0 %

TAB. 4.11 – Comparaison des temps de rétention des électrons et des charges positives pour la structure EP2587. Les paramètres de la structure sont : $t_{OT} = 3,5$ nm, $t_{OC} = 10$ nm, $D = (2 \pm 1) \times 10^{11}$ cm⁻², $d_{InAs} \approx 5$ nm. Cet échantillon a été recuit in-situ sous hydrogène moléculaire après le dépôt de l'oxyde de contrôle. Les paramètres du recuit sont : $P_{H_2} = 4$ mTorr, durée = 20 min, $T_{recuit} = 450$ °C. Le métal de grille est pour cet échantillon l'aluminium.

précisé, soit les *nc-InAs* soit leur interface avec SiO₂ contiennent des électrons libres. Nos mesures complémentaires ont montré que 5 mois après l'écriture de la structure, celle-ci est totalement déchargée dans le cas où elle a été préalablement chargée en charges positives, alors qu'il reste encore 24 % de la charge si la structure a été préalablement chargée en électrons (Tableau 4.11). Ces observations pourraient être expliquées par un mécanisme de recombinaison électron-trou dans les *nc-InAs* du fait de la présence d'électrons libres dans les nanocristaux.

4.7.2.3 Influence de l'épaisseur de l'oxyde tunnel

On observe que le temps de rétention d'une structure dont l'oxyde tunnel vaut 1,5 nm est plus court un oxyde tunnel de 2 nm. La Figure 4.34 présente les courbes de rétention de deux échantillons ayant suivi les mêmes étapes de fabrication, seules les épaisseurs d'oxyde tunnel sont différentes. Les nanocristaux ont une taille moyenne de 4,5 nm et une densité de $1,46 \times 10^{11}$ cm⁻². L'épaisseur d'oxyde de contrôle est de 10 nm et la grille métallique est en Au/Ni.

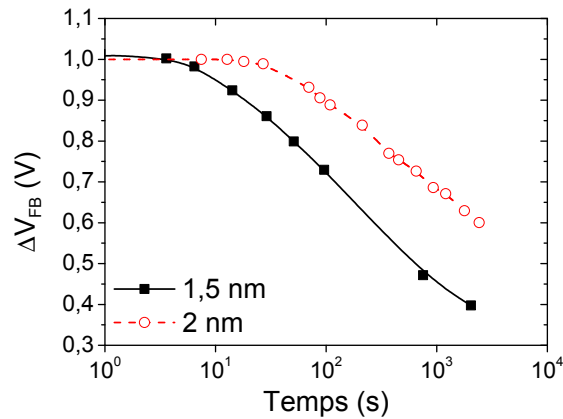


FIG. 4.34 – Evolution de ΔV_{FB} en fonction du temps pour deux épaisseurs d'oxyde tunnel : 1,5 nm (carrés pleins noirs) et 2 nm (cercles ronds vides).

Comme nous le verrons par la suite (*Partie 5*), la diminution de l'épaisseur d'oxyde tunnel entraîne une augmentation de la transparence tunnel et donc du courant de fuite à travers l'oxyde. Pour ces deux structures, le temps de rétention à 85 % est de 20 s et de 200 s pour l'oxyde tunnel de 1,5 nm et de 2 nm, respectivement.

4.7.2.4 Influence des traitement de passivation

Influence de la passivation phosphore Les mesures de temps de rétention ont montré que la passivation des nanocristaux au phosphore améliore légèrement la rétention dans les nanocristaux (*Figure 4.35*).

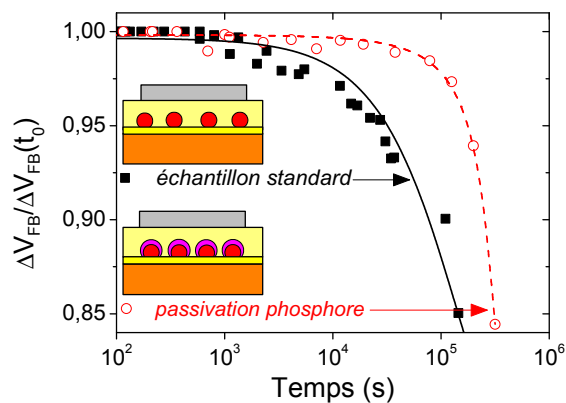


FIG. 4.35 – Influence de la passivation phosphore sur le temps de rétention dans les *nc-InAs*. La tension d'écriture est de 8 V pendant 10 ms. Un électron en moyenne est stocké dans chaque nanocristal.

Influence du recuit in situ sous H_2 Il s'avère que le temps de rétention des structures passivées sous hydrogène est meilleur que le temps de rétention des échantillons standards (*Figure 4.36*).

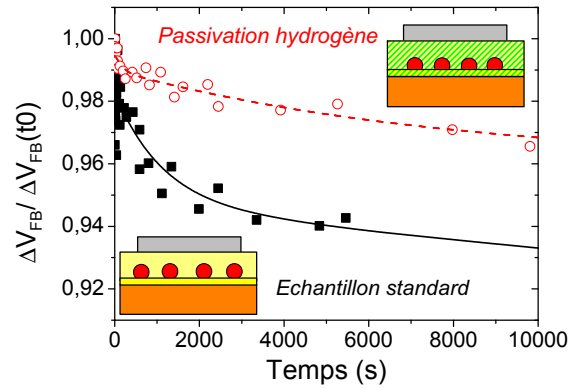


FIG. 4.36 – Influence du recuit in-situ sur le temps de rétention dans les *nc-InAs*. La tension d'écriture est de 8 V pendant 10 ms. Un électron en moyenne est stocké dans chaque nanocristal.

Dans ce cas, notre hypothèse selon laquelle les nanocristaux ont réduit de taille après passivation serait fausse. En effet, comme nous le verrons par la suite (*Partie 5*), plus les nanocristaux sont grands, plus le temps de rétention est élevé. Or c'est le contraire que nous observons. Par conséquent, la passivation des structures avec de l'hydrogène permet de réduire les charges parasites (diminution de l'amplitude de chargement) et d'augmenter le temps de rétention. Les électrons pourraient donc être principalement stockés dans les nanocristaux seulement, sur des états électroniques plus profonds par rapport aux états d'interface.

4.8 Conclusion

Nous avons réalisé une étude approfondie des propriétés électriques de structures MOS à *nc*-InAs pour MNVs. Dans un premier temps, nous avons mis au point une procédure reproductible de nettoyage et de métallisation Al ou Au/Ni. En effet, nous avons constaté qu'un traitement de l'oxyde tunnel à l'eau désionisée uniquement permettait d'obtenir une structure oxyde thermique/oxyde déposé contenant une quantité réduite de charges parasites. Du côté de la métallisation, nous avons observé que les deux procédés de métallisation testés sont compatibles avec les structures à *nc*-InAs que nous avons fabriqués.

L'étude des cinétiques d'écriture et d'effacement des structures MOS à *nc*-InAs a révélé que nous remplissons les critères de l'ITRS en termes de tensions et vitesses d'écriture pour des oxydes tunnel d'épaisseur 3,5 nm. En effet, nos structures peuvent être écrites en 1 μ s avec des tensions d'écriture inférieures à 15 V et effacées en moins de 0,1 ms avec des tensions d'effacement inférieures à 12 V. Le maximum de chargement (ΔV_{FBmax}) dépend de l'épaisseur de l'oxyde tunnel (plus l'oxyde tunnel est faible, plus ΔV_{FBmax} est faible), de la taille et de la densité des *nc*-InAs (plus les *nc*-InAs sont grands et nombreux, plus ΔV_{FBmax} est élevé). Il faut cependant garder à l'esprit que l'augmentation de l'épaisseur de l'oxyde tunnel entraîne une réduction de la vitesse de chargement et que les nanocristaux ne doivent pas dépasser une taille et une densité critique (*Chapitre 1*) pour éviter les problèmes de conduction latérale dans le plan des nanocristaux. Nous avons également montré qu'il était possible d'effectuer des cycles d'écriture effacement sans dégrader excessivement la structure.

Le faible écart entre les tensions d'écriture des charges négatives et les tensions d'effacement des charges positives (et inversement) indique que les charges mises en jeu dans le chargement et l'effacement des nanocristaux sont uniquement des électrons. La présence de charges libres négatives dans les nanocristaux d'InAs serait attribuée à la couche interfaciale d'In₂O₃ entre l'InAs et le SiO₂.

En ce qui concerne les temps de rétention, nos résultats confirment les prévisions de l'étude théorique du *Chapitre 1* : nous avons mis en évidence que le temps de rétention des électrons dans les *nc*-InAs est plus long que dans les *nc*-Si, et ce, de plusieurs décades. Par exemple, pour un oxyde tunnel de 3,5 nm, nous avons un temps de rétention à 85 % d'un mois et demi dans les *nc*-InAs, alors qu'une structure de dimensions identique à *nc*-Si ne retient 85 % des électrons que pendant quelques minutes. Le *Tableau 4.12* récapitule succinctement les performances de rétention dans les mémoires à nanocristaux depuis la première proposition de [Tiwari *et al.*, 1995]. On observe qu'avec les années, l'étude s'est élargie à des matériaux constitutifs des nanocristaux différents mais aussi à des oxydes tunnels différents. Les temps de rétention des structures testées sont très variables, tout comme leurs dimensions et les conditions expérimentales dans lesquelles ont été réalisées les mesures et il est donc difficile de comparer réellement les performances des mémoires entre elles.

Un résultat surprenant est que le temps de rétention des charges positives dans les *nc*-InAs est plus court que celui des électrons. Ce résultat pourrait s'expliquer par une recombinaison électron-trou à l'intérieur des *nc*-InAs, ceux-ci présentant un comportement

conducteur.

Finalement, nous avons pu mettre en évidence que les traitements thermiques tels que le traitement au phosphore après croissance des *nc-InAs* ou le recuit in situ sous H₂ après dépôt de l'oxyde de contrôle, avaient un effet bénéfique sur les propriétés de rétention des structures à *nc-InAs*.

Référence	t_{OT} (nm)	t_{OC} (nm)	D_{NC} (cm ⁻²)	$d_{NC}(nm)$	matériaux	fenêtre (V)	t_{Ret}^1
[Tiwari <i>et al.</i> , 1995]	1,5	7,3	$3 - 10 \times 10^{11}$	5	<i>nc</i> -Si/SiO ₂	1,2	50% 7 jours
[Tiwari <i>et al.</i> , 1996b]	1,5-4	7,3	$3 - 10 \times 10^{11}$	2-10	<i>nc</i> -Si/SiO ₂	1,25	50% >7 jours
[De Blauwe <i>et al.</i> , 2000]	5,5	8	1×10^{13}	3-13	<i>nc</i> -Si/SiO ₂	>2	50% >1 jour
[Liu <i>et al.</i> , 2002b]	8	30	3×10^{11}	6	<i>nc</i> -Au/SiO ₂	0,8	58% 7 jours
			6×10^{11}	4,5	<i>nc</i> -Ag/SiO ₂	1	45% 7 jours
			2×10^{11}	5	<i>nc</i> -Pt/SiO ₂	1,1	85% 7 jours
[Kim <i>et al.</i> , 2003]	4,8	9,8	3×10^{11}	6	<i>nc</i> -SiGe/HfO ₂	0,6	5% 27 jours
[Baik <i>et al.</i> , 2004]	5,4 ²	14	2×10^{12}	3	<i>nc</i> -Si/NON ²	0,84	85% 38 ans
[Cho <i>et al.</i> , 2005]			$1,1 - 2,3 \times 10^{12}$	3,3	<i>nc</i> -Si/SiO ₂	2,4	98% et 90%(h) 10 ³ s
[Kanoun <i>et al.</i> , 2006b]	3	10	6×10^{11}	8,5	<i>nc</i> -Ge/SiO ₂	1	93% 1,4 × 10 ⁴ s (h)
[You <i>et al.</i> , 2006]	4	30	?	5	<i>nc</i> -HfSi _x O _y /SiO ₂	1	94% 10 ⁴ s
[Hocevar <i>et al.</i> , 2007]	3,5	10	$1,9 \times 10^{12}$	6	<i>nc</i> -InAs/SiO ₂	1	85% 1 mois et demi
[Dufourcq <i>et al.</i> , 2008b]	4,5	15	3×10^{12}	2,3	<i>nc</i> -Pt/SiO ₂	7	60% 4 jours

¹le temps de rétention est donné pour les électrons sauf indication contraire (h)

²NON = 1,2 nm SiN/2,2 nm SiO₂ 2 nm SiN

TAB. 4.12 – Etat de l’art des mémoires à nanocristaux

5

Modélisation des cinétiques d'écriture/effacement et de la rétention dans les structures MOS à *nc*-InAs

Sommaire

5.1	Modélisation des cinétiques d'écriture et effacement	159
5.1.1	Description du champ électrique dans l'oxyde	159
5.1.2	Expression du courant à travers l'oxyde tunnel	164
5.1.3	Expression des cinétiques d'écriture/effacement	166
5.1.4	Résultats de la modélisation	168
5.2	Modélisation de la rétention	176
5.2.1	Expression du champ électrique pour la rétention dans une struc- ture à <i>nc</i> -InAs	176
5.2.2	Expression du courant et de la cinétique de déchargement	177
5.2.3	Validation du modèle	178
5.2.4	Amélioration du modèle	180
5.3	Discussion	184
5.4	Conclusion	187

Nous nous proposons de modéliser le comportement électrique des structures à *nc-InAs* en termes de cinétiques d'écriture/effacement et de rétention. A cette fin, nous nous appuyons sur les travaux de Barbara De Salvo [De Salvo *et al.*, 2000] sur la modélisation des mémoires à grille flottante. Les travaux de thèse de Christophe Busseret [Busseret, 2001] ont également servi de référence tant sur le plan expérimental que sur le plan théorique. L'utilisation de ce modèle a donné lieu au dimensionnement d'une architecture MOS à *nc-InAs* optimisée, permettant d'atteindre un temps de rétention de 10 ans, ainsi que les temps et tensions d'écriture/effacement recommandés par l'ITRS. L'ensemble des variables et des constantes utilisées pour la modélisation sont regroupées dans les *Tableaux 5.1* et *5.2*.

Symbole	Nom	Unité
t	temps	s
V_G	tension de grille	V
J_{OT}	courant tunnel à travers l'oxyde tunnel	A/cm
F_{OT}	champ dans l'oxyde tunnel	V/cm
F_{OC}	champ dans l'oxyde de contrôle	V/cm
ΔV_{FB}	décalage de la tension de bandes plates	V
n	nombre d'électrons par nanocristal	

TAB. 5.1 – Variables

Symbole	Nom	Valeur
\hbar	constante de Planck réduite	$1,055 \times 10^{-34}$ J.s
h	constante de Planck	$6,3 \times 10^{-34}$ J.s
ϵ	permittivité	$8,84 \times 10^{-12}$ F/m
ϵ_{SiO_2}	permittivité de la silice	3,9
ϵ_{InAs}	permittivité de l'InAs	14,5
q	charge électronique	$1,6 \times 10^{-19}$ C
m_e	masse de l'électron	$9,1 \times 10^{-31}$ kg

TAB. 5.2 – Constantes

Ce chapitre se développe selon deux axes. Nous allons d'abord traiter le cas de l'écriture dans les nanocristaux (*Partie 5.1*). Le paramètre le plus important à modéliser est le champ électrique. En nous basant sur les travaux cités ci-dessus, nous décrirons le champ électrique et les courants traversant la structure à *nc-InAs*. Nous étudierons en détail l'influence de chaque paramètre sur les cinétiques et nous montrerons qu'il est possible d'utiliser notre modèle simple pour ajuster nos courbes expérimentales.

Par la suite, nous procéderons de façon analogue pour modéliser la rétention dans les nanocristaux (*Partie 5.2*). Nous avons amélioré le modèle utilisé jusqu'ici en introduisant un paramètre d'ajustement supplémentaire prenant en compte la méthode expérimentale de mesure.

A partir des résultats de modélisation, nous proposons une structure idéale en termes de taille de nanocristaux et d'épaisseur d'oxyde tunnel pour répondre aux exigences de l'industrie de la microélectronique [ITRS, Edition 2007].

A la vue des résultats électriques et pour simplifier le travail de modélisation, nous considérons que les nanocristaux d'InAs ont un comportement conducteur proche de celui d'un métal.

5.1 Modélisation des cinétiques d'écriture et effacement

L'ensemble des cinétiques d'écriture présentées dans le *Chapitre 4* ont un comportement similaire indiquant que la probabilité de chargement évolue avec le temps. Par ailleurs, le mécanisme de chargement s'effectue par effet tunnel direct (*Sous-partie 4.1.4*). Le courant tunnel direct est très sensible au champ électrique dans l'oxyde tunnel : nous focaliserons donc le début de cette partie sur la modélisation du champ électrique.

Par ailleurs, nous avons centré le travail de simulation sur le chargement et le déchargement des électrons. En effet, nous n'avons pas pu démontrer expérimentalement que le chargement des nanocristaux à tensions d'écriture négatives correspondait uniquement à un chargement en trous. Il est très probable que la charge positive corresponde en partie à des électrons migrant depuis les *nc-InAs* ou depuis la couche interfaciale d' In_2O_3 vers le substrat. Il semble également probable que des mécanismes de recombinaison électrons-trous se produisent dès que des trous sont injectés dans les *nc-InAs* depuis le substrat.

5.1.1 Description du champ électrique dans l'oxyde

Il faut noter qu'il existe très peu de modèles analytiques du champ électrique dans une structure mémoire à nanocristaux. En effet, la plupart des travaux de modélisation de l'écriture et de l'effacement dans les mémoires à nanocristaux se basent sur la méthode des matrices de transfert pour calculer la transparence tunnel et donc le courant tunnel. Cette méthode intègre le calcul du champ électrique (résolution de l'équation de Poisson) sans avoir besoin de l'explicitier [Yang *et al.*, 2001 ; Zhao *et al.*, 2005a]. Cette méthode de simulation du courant tunnel est rigoureuse mais assez complexe. Etant donné que la modélisation des mémoires à nanocristaux n'est pas le centre de notre étude mais plutôt un outil pour la compréhension des propriétés électriques de nos structures à *nc-InAs*, nous avons préféré nous orienter vers un modèle analytique du champ électrique plus simple et plus souple d'utilisation.

Les champs électriques pouvant être présents dans la structure sont :

- le champ électrique dans l'oxyde tunnel F_{OT}
- le champ électrique dans l'oxyde de contrôle F_{OC}
- le champ électrique dans les nanocristaux.

La permittivité diélectrique d'un métal étant nulle, le champ dans les *nc-InAs* est nul. Il reste donc à déterminer F_{OT} et F_{OC} . Lorsqu'il n'y a pas de charges localisées dans l'oxyde ou dans les nanocristaux, la tension de bandes plates d'une structure MOS est définie par la différence des travaux de sortie entre le métal et le substrat. Dans le cas de structures MOS à grille Aluminium et substrat Si dopé P (10^{15} cm^{-3}), nous avons mesuré expérimentalement $V_{FB} \approx -1 \text{ V}$.

Le modèle capacitif (*Figure 5.1*) utilisé par Barbara De Salvo [De Salvo *et al.*, 2000] est légèrement modifié pour prendre en compte la tension de bandes plates. Le potentiel dans les nanocristaux V_{NC} vaut :

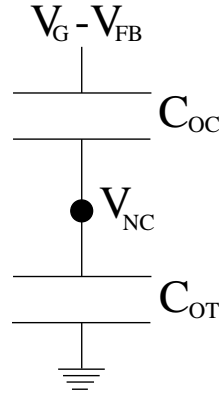


FIG. 5.1 – Modèle capacitif des mémoires à grille flottante appliqué à la mémoire à nanocristaux. V_{NC} est le potentiel dans les nanocristaux, V_G est la tension appliquée sur la grille, V_{FB} est la tension de bandes plates, C_{OT} et C_{OC} sont les capacités respectives de l'oxyde tunnel et de l'oxyde de contrôle.

$$V_{NC} = \frac{C_{OC}}{C_{OC} + C_{OT}}(V_G - V_{FB}) + \frac{Q_{NC}}{C_{OC} + C_{OT}} \quad (5.1)$$

Où Q_{NC} la densité de charge stockée dans les nanocristaux (C/cm^2), C_{OC} la capacité de l'oxyde de contrôle et C_{OT} la capacité de l'oxyde tunnel. Lorsque les nanocristaux sont chargés, la condition de bandes plates sous les nanocristaux ($V_{NC} = 0$) est $V_G = V_{FB} + \Delta V_{FB}$. L'Equation 5.1 devient :

$$0 = \frac{C_{OC}}{C_{OC} + C_{OT}}\Delta V_{FB} + \frac{Q_{NC}}{C_{OC} + C_{OT}} \quad (5.2)$$

Or les capacités des oxydes tunnel et de contrôle sont données par la relation déjà présentée (Equation 4.2) :

$$C_{SiO_2} = \frac{\epsilon_{SiO_2}\epsilon_r}{t_{SiO_2}} \quad (5.3)$$

où t_{SiO_2} est l'épaisseur d'oxyde. On obtient donc :

$$Q_{NC} = -\Delta V_{FB}C_{OC} = -\frac{\Delta V_{FB}\epsilon_{SiO_2}\epsilon_r}{d_{OC}} \quad (5.4)$$

L'expression 5.4 relie le décalage de la tension de bandes plates avec la quantité de charges stockées dans les nanocristaux. La densité de charges Q_{NC} est définie par :

$$Q_{NC} = \frac{qn}{S_{NC}} \quad (5.5)$$

où qn est la charge stockée par nanocristal et S_{NC} la surface occupée par un nanocristal

$$(S_{NC} = \pi \frac{d_{NC}^2}{4}).$$

Puisque seule la zone sous les îlots est sujette au décalage de la tension de bandes plates, mais que les mesures sont effectuées sur toute la surface de la capacité, il faut introduire le coefficient α [Busseret, 2001], appelé taux de recouvrement des nanocristaux. Celui-ci est défini par le rapport de la surface occupée par les îlots sur la surface totale de la structure, ou plus simplement par le produit de la densité par la surface occupée par un nanocristal $D_{NC}S_{NC}$.

A partir de l'Equation 5.4, on a :

$$\alpha Q_{NC} = -\frac{\Delta V_{FB} \epsilon_{SiO_2} \epsilon_r}{d_{OC}} \quad (5.6)$$

On remplace alors Q_{NC} (Equation 5.5) et α dans l'équation précédente pour obtenir finalement le décalage de tension de bande plate en fonction de n :

$$\Delta V_{FB} = -q \cdot n \cdot D_{NC} \frac{d_{OC}}{\epsilon_{SiO_2} \epsilon_r} \quad (5.7)$$

Il faut noter que cette formule diffère de celle (Equation 4.5) proposée par Sandip Tiwari [Tiwari *et al.*, 1995] car nous considérons les nanocristaux conducteurs alors que dans ses travaux, les nanocristaux sont isolants ou semiconducteurs. Dans ce dernier cas, il faut prendre en compte le champ électrique qui existe dans les nanocristaux semiconducteurs. L'écart entre les deux modèles augmente légèrement avec le nombre de charges stockées mais il est négligeable lorsque l'on étudie les cinétiques d'écriture (Figure 5.2).

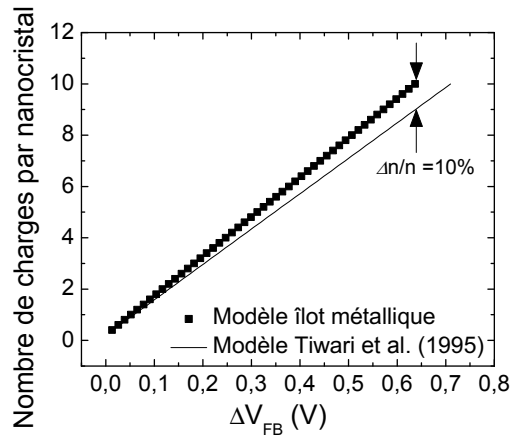


FIG. 5.2 – Evolution du nombre de charges par nanocristal en fonction de ΔV_{FB} . Les paramètres de simulation sont : $d_{OT} = 3,4$ nm, $d_{OC} = 7$ nm, $d_{NC} = 6$ nm, $D_{NC} = 2 \times 10^{11}$ cm⁻².

Par ailleurs, le paramètre R_{dot} proposé par Barbara De Salvo (Equation 4.6) correspond au paramètre α défini précédemment. D'après le modèle de la mémoire à grille flottante adapté à la mémoire à nanocristaux, l'utilisation de R_{dot} permet de considérer un plan continu le long de la capacité. La granularité de la grille disparaît et le problème revient à modéliser une mémoire à grille flottante "conventionnelle".

D'après le schéma équivalent de la *Figure 5.1*, le champ dans l'oxyde tunnel correspond au rapport de la chute de potentiel dans l'oxyde (V_{NC}) et de l'épaisseur d'oxyde tunnel d_{OT} . En combinant les *Equations 5.1* et *5.4*, on obtient :

$$F_{OT} = \frac{V_{NC}}{d_{OT}} = \frac{V_G - V_{FB} - \frac{\Delta V_{FB}}{\alpha}}{d_{OC} + d_{OT}} \quad (5.8)$$

De même, en posant :

$$F_{OC} = \frac{(V_G - V_{FB}) - (V_{NC})}{d_{OC}} = \frac{V_G - V_{FB} - V_{NC}}{d_{OC}} \quad (5.9)$$

On obtient :

$$F_{OC} = \frac{V_G - V_{FB} - \frac{\Delta V_{FB}}{\alpha}}{d_{OC} + d_{OT}} + \frac{\Delta V_{FB}}{\alpha \cdot d_{OC}} \quad (5.10)$$

Le modèle de Christophe Busseret [Busseret, 2001] prend en compte le fait que les nanocristaux non chargés sont équivalents à une capacité plane en série avec celle de l'oxyde tunnel et de l'oxyde de contrôle et dont la permittivité diélectrique est celle du Si. Cette situation ne correspond pas au cas présent des *nc-InAs* très conducteurs. Le modèle de Barbara De Salvo [De Salvo *et al.*, 2000] que nous avons finalement utilisé est plus proche de notre situation en considérant des îlots métalliques.

La *Figure 5.3* montre l'évolution du champ électrique dans l'oxyde tunnel en fonction du décalage de tension de bande plate pour différentes tensions appliquées sur la grille. On observe clairement que le champ diminue lorsque ΔV_{FB} augmente ou que V_G diminue.

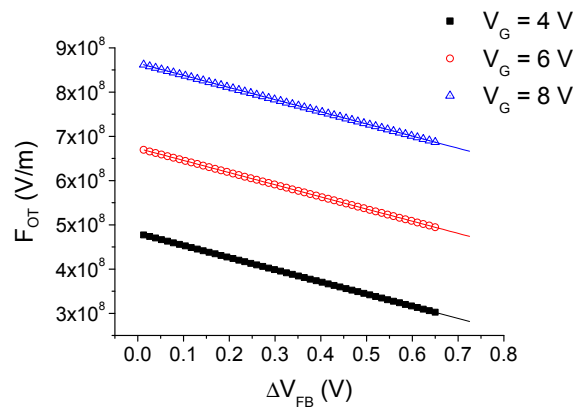


FIG. 5.3 – Evolution du champ dans l'oxyde tunnel en fonction de ΔV_{FB} pour différentes tensions appliquées sur la grille. Les paramètres de simulation sont : $d_{OT} = 3,4$ nm, $d_{OC} = 7$ nm, $d_{InAs} = 6$ nm, $D_{NC} = 2 \times 10^{11}$ cm⁻², $\alpha = 0,3$ et $V_{FB} = -1$ V.

L'expression de F_{OT} et F_{OC} dans les oxydes en fonction de ΔV_{FB} et donc en fonction de n permet de prédire à partir de combien de charges par nanocristal (n) le champ

électrique F_{OT} s'annule. Comme nous le verrons plus en détails par la suite, le mécanisme de chargement est un processus tunnel et celui-ci dépend fortement du champ électrique dans l'oxyde tunnel. Si F_{OT} s'annule, le processus tunnel s'arrête et les électrons ne sont plus injectés dans les nanocristaux.

A V_G positive et constante, F_{OT} dans l'oxyde tunnel diminue lorsque n augmente, alors que F_{OC} dans l'oxyde de contrôle augmente (Figure 5.4(a)). Il en est de même pour la chute de potentiel dans les oxydes (Figure 5.4(b)).

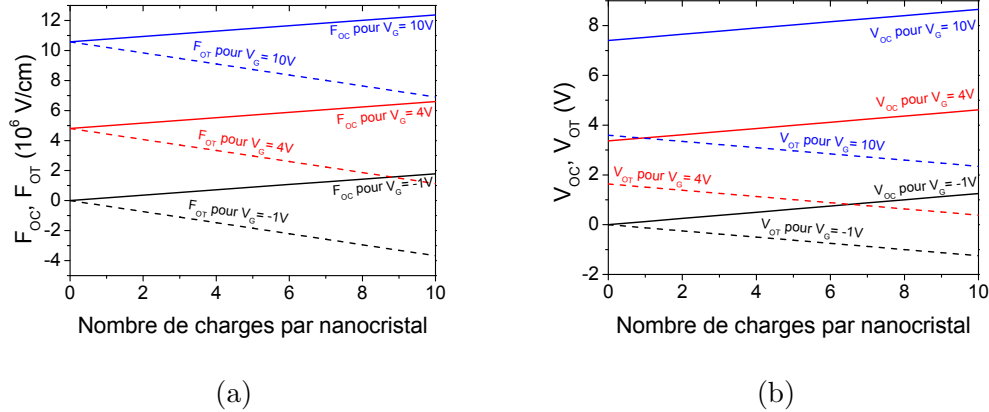


FIG. 5.4 – Calcul de la tension et du champ électrique dans l'oxyde tunnel (traits pointillés) et dans l'oxyde de contrôle (traits pleins) en fonction de n et de la tension de grille appliquée. Les paramètres de simulation sont : $d_{OT} = 3,4$ nm, $d_{OC} = 7$ nm, $d_{InAs} = 6$ nm, $D_{NC} = 2 \times 10^{11}$ cm $^{-2}$, $\alpha = 0,3$ et $V_{FB} = -1$ V.

La présence des charges négatives dans les nanocristaux induit un champ électrique qui compense le champ électrique dans l'oxyde tunnel et s'ajoute au champ électrique dans l'oxyde de contrôle. Lorsque la chute de potentiel est supérieure à 3,15 V dans l'oxyde tunnel, les électrons injectés depuis la bande de conduction du Si voient une barrière triangulaire.

De même, lorsque les électrons sont stockés dans les nc -InAs de 6 nm de diamètre, la barrière de potentiel vue par ces électrons est de 3,5 eV (Chapitre 1, Figure 1.30) : lorsque la chute de potentiel dans l'oxyde de contrôle est supérieure à 3,5 V, les électrons stockés dans le nanocristal voient une barrière triangulaire et peuvent donc "tunneler" à travers cette barrière par mécanisme Fowler-Nordheim.

La Figure 5.5 montre le diagramme de bande de la structure à nc -InAs lorsque le nombre d'électrons stockés par nanocristal augmente. Dans l'oxyde tunnel, la composante du champ électrique due à la présence des charges compense la composante du champ électrique due à la tension de grille.

Lorsque $n=1$, $F_{OT} > 0$ et les électrons sont injectés dans les nanocristaux. F_{OC} est trop faible et d_{OC} est trop grande pour que les électrons tunnelent depuis les nanocristaux vers la grille. Lorsque $n=3$, $F_{OT} = 0$ et le mécanisme de conduction à travers l'oxyde tunnel s'arrête. En parallèle, le champ dans l'oxyde de contrôle peut devenir suffisamment élevé pour que les électrons passent à travers la barrière triangulaire depuis les nanocristaux vers la grille par mécanisme Fowler-Nordheim. Dans ce cas, un régime stationnaire s'établit

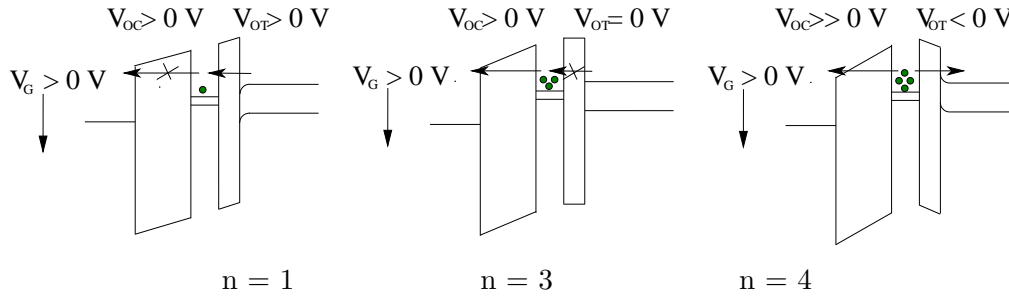


FIG. 5.5 – Diagramme de bandes montrant l'évolution du champ électrique dans la structure à $V_G > 0$ constante en fonction du nombre d'électrons stockés dans les nanocristaux.

entre la quantité de charges entrant et sortant des nanocristaux de sorte que $n=3$. Le cas $n=4$ n'est pas possible dans notre cas de figure pour $V_G > 0$ constante. Si l'on suppose que l'on a appliqué une deuxième tension d'écriture $V_G(2) > V_G$ puis à nouveau V_G , ce cas de figure est possible : le champ électrique dans l'oxyde tunnel est négatif, les électrons peuvent "tunneler" en direction du substrat jusqu'à revenir au cas $n=3$.

En conclusion, lorsque le nombre de charges par nanocristal augmente, F_{OT} diminue jusqu'à s'annuler. A $F_{OT} = 0$, le chargement s'arrête.

5.1.2 Expression du courant à travers l'oxyde tunnel

La Figure 5.6(a) montre le courant traversant une structure MOS à *nc-Si* à l'application d'une rampe de tension positive sur la grille [De Salvo *et al.*, 1999b]. On aperçoit à faibles tensions une bosse de chargement s'estompant avec l'augmentation de l'épaisseur d'oxyde tunnel. A plus fortes tensions, le régime de courant Fowler-Nordheim s'instaure. Les diagrammes de bandes de la Figure 5.6(b) permettent de mieux visualiser le comportement en courant de la structure.

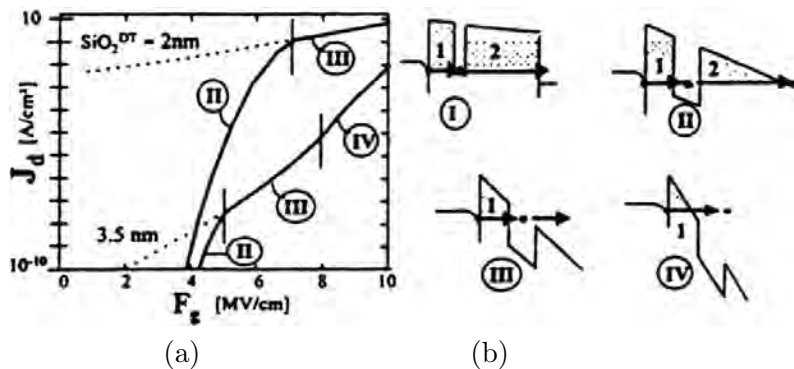


FIG. 5.6 – (a) Simulation du courant de fuite dans le cas d'un oxyde tunnel de 2 nm ou 3,5 nm. (b) Diagrammes de bande en énergie pour différents champs électriques. Les électrons tunnelent vers la grille via les îlots par processus élastiques. D'après [De Salvo *et al.*, 1999b]

Les électrons de la couche d'inversion du substrat, au lieu d'atteindre directement la grille par effet Fowler-Nordheim, font une étape par les îlots. A faible champ électrique, les électrons sont injectés par effet tunnel direct du substrat vers les îlots (I). A cause de l'épaisseur trop importante de l'oxyde de contrôle (de l'ordre de 8 nm), les électrons ne

peuvent pas traverser l'oxyde et restent bloqués dans les nanocristaux. Lorsque le champ électrique devient suffisamment important, les électrons peuvent "tunneler" par processus Fowler-Nordheim des îlots vers la grille (II). L'étape intermédiaire par les nanocristaux permet d'augmenter notablement la probabilité de traverser. Le courant est donc accru. Lorsque le champ électrique est trop important, les électrons peuvent néanmoins être injectés directement dans la grille, sans utiliser de relais par les îlots, par effet tunnel direct (III) puis par processus Fowler-Nordheim (IV). La courbe $I-V$ se rapproche alors de celle obtenue sur une référence sans îlot.

D'après ces observations, nous pouvons dire que deux mécanismes de conduction sont possibles pour le chargement des nc -InAs :

- à faible champ électrique dans l'oxyde tunnel ($F_{OT}d_{OT} < \Phi_B$) : l'injection se fait par processus tunnel direct du substrat vers les nanocristaux ;
- à fort champ électrique dans l'oxyde tunnel ($F_{OT}d_{OT} > \Phi_B$) : l'injection se fait par effet Fowler-Nordheim à travers la barrière triangulaire de l'oxyde tunnel.

Nous rappelons ici les deux expressions correspondant aux densités de courant tunnel direct et Fowler-Nordheim (Equations 4.10 et 4.13) :

$$\begin{cases} J_{TD}(F_{OT}) = \frac{A \cdot F_{OT}^2}{\left[1 - \sqrt{\frac{\Phi_B - q \cdot d_{OT} \cdot F_{OT}}{\Phi_B}}\right]^2} \cdot \exp\left[\frac{-B}{F_{OT}} \cdot \left[\Phi_B^{\frac{3}{2}} - (\Phi_B - F_{OT}d_{OT})^{\frac{3}{2}}\right]\right] \\ J_{FN}(F_{OT}) = A \cdot F_{OT}^2 \cdot \exp\left[-B \cdot \frac{(\Phi_B)^{\frac{3}{2}}}{F_{OT}}\right] \end{cases} \quad (5.11)$$

Le courant Fowler-Nordheim apparaît pour des barrières de potentiel triangulaires, c.-à-d. pour $F_{OT}d_{OT} > 3,15$ V. Si l'on observe la Figures 5.4(a), à $V_G = 10$ V et après avoir injecté 4 électrons par nanocristal, le courant "redevient" tunnel direct du fait de la diminution de F_{OT} . Il est donc nécessaire de prendre en compte dans la modélisation du changement de conduction à travers l'oxyde. La fonction de type Heavyside prend en compte les deux types de courant de chargement comme suit :

$$\begin{cases} \delta(\Phi_B/q - F_{OT}d_{OT}) = 1 & \text{si } \Phi_B/q - F_{OT}d_{OT} > 0 \\ \delta(\Phi_B/q - F_{OT}d_{OT}) = 0 & \text{si } \Phi_B/q - F_{OT}d_{OT} < 0 \end{cases} \quad (5.12)$$

La densité de courant J_{OT} traversant l'oxyde tunnel depuis le substrat vers les nanocristaux est alors définie par :

$$J_{OT} = \delta\left(\frac{\Phi_B}{q} - F_{OT}d_{OT}\right)J_{TD} + \left(1 - \delta\left(\frac{\Phi_B}{q} - F_{OT}d_{OT}\right)\right)J_{FN} \quad (5.13)$$

La Figure 5.7 présente l'évolution de la densité de courant à travers l'oxyde tunnel en fonction de ΔV_{FB} pour différentes tensions de chargement. Lorsque le nombre de charges par nanocristal augmente (ΔV_{FB} augmente), le champ électrique dans l'oxyde tunnel diminue et par conséquent le courant tunnel diminue également.

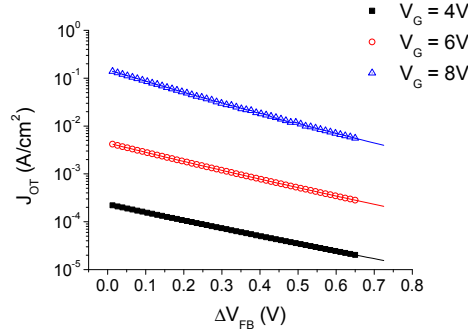


FIG. 5.7 – Evolution de la densité de courant à travers l'oxyde tunnel en fonction de ΔV_{FB} pour différentes tensions de chargement. Les paramètres de simulation sont : $d_{OT} = 3,4$ nm, $d_{OC} = 7$ nm, $d_{InAs} = 6$ nm, $D_{NC} = 2 \times 10^{11}$ cm⁻², $\alpha = 0,3$ et $V_{FB} = -1$ V.

5.1.3 Expression des cinétiques d'écriture/effacement

Le modèle physique des cinétiques d'écriture/effacement dans la mémoire à nanocristaux peut être développé en se basant sur les courants continus présentés ci-dessus et sur les équations généralement utilisées pour la modélisation des mémoires à grille flottante. Cette approche est présentée sur la *Figure 5.8*.

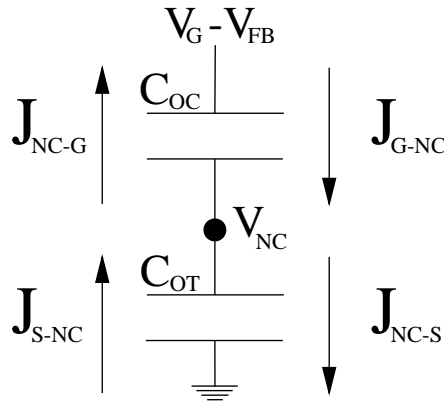


FIG. 5.8 – Modèle capacitif équivalent utilisé pour la mémoire à grille flottante. Les courants traversant la structure sont : J_{G-NC} (depuis la grille vers les nanocristaux), J_{NC-G} (depuis les nanocristaux vers la grille), J_{S-NC} (depuis le substrat vers les nanocristaux), et J_{NC-S} (depuis les nanocristaux vers le substrat). D'après [De Salvo *et al.*, 2000].

La variation de charge dQ_{NC} dans les nanocristaux en fonction du temps est donnée par la balance des densités de courant entrant et sortant de la grille flottante. On a donc :

$$\frac{dQ_{NC}}{dt} = (J_{G-NC} - J_{NC-G} + J_{S-NC} - J_{NC-S}) \quad (5.14)$$

5.1.3.1 Ecriture

Nous pouvons simplifier l'Equation 5.14 en considérant qu'à $V_G > 0$ (écriture de la mémoire) :

- l'oxyde de contrôle est suffisamment épais et les tensions appliquées sont suffisamment faibles pour négliger le courant de fuite à travers l'oxyde de contrôle : $J_{NC-G} = 0$;
- quelle que soit la tension appliquée (positive ou négative), l'oxyde de contrôle est trop épais pour que les électrons venant de la grille puissent atteindre les *nc*-InAs : $J_{G-NC} = 0$;
- A tension positive, il n'y pas de transport de charges depuis les nanocristaux jusqu'au substrat : $J_{NC-S} = 0$.

Après simplification et comme la densité de courant J_{S-NC} correspond à J_{OT} défini dans l'Equation 5.13, on aura :

$$dt = \frac{dQ_{NC}}{J_{OT}} \quad (5.15)$$

Par intégration, et en remplaçant Q_{NC} par son expression (Equation 5.5), on obtient :

$$\Delta t = \int_{n_{initial}}^{n_{final}} \frac{qdn}{J_{OT} \cdot S_{NC}} \quad (5.16)$$

Cette équation est largement utilisée dans les modélisations des cinétiques d'écriture/effacement et de rétention dans les MNVs à nanocristaux [She et King, 2003 ; Zhao *et al.*, 2006b ; Guan *et al.*, 2007].

5.1.3.2 Effacement

Pendant l'effacement, les électrons migrent depuis les nanocristaux vers le substrat à travers l'oxyde tunnel. Nous avons supposé que les mécanismes d'effacement sont la conduction tunnel direct à faible champ et la conduction Fowler-Nordheim à champ plus élevé. Or nous supposons que les électrons sont stockés dans la bande de conduction des *nc*-InAs. Ils voient donc une hauteur de barrière Φ_{InAs} égale à la différence entre le niveau de la bande de conduction du SiO₂ et de la bande de conduction de l'InAs.

Le modèle que nous avons considéré pour l'effacement est identique à celui utilisé pour les cinétiques d'écriture, à cela près que l'unique courant traversant la structure à V_G négatif (effacement) est le courant J_{NC-S} . En effet, nous avons négligé les courants traversant l'oxyde de contrôle pour les mêmes raisons que celles citées précédemment. Par ailleurs, l'unique courant J_{S-NC} possible, c'est à dire le courant de trous depuis le substrat vers les nanocristaux, est négligeable car la barrière de potentiel vue par les trous depuis la bande de valence du substrat de Si est trop élevée.

Le courant J_{OT} défini dans l'Equation 5.13 est donc modifié en remplaçant Φ_B par Φ_{InAs} qui est la barrière de potentiel vue par les électrons depuis le niveau confiné le plus

bas de la bande de conduction du nanocrystal.

Les valeurs de Φ_{InAs} peuvent être soit ajustées, soit calculées à partir des expressions donnant la position du premier niveau électronique dans la bande de conduction d'un semiconducteur en fonction de la taille de la boîte quantique :

$$\Phi_{InAs}(d_{NC}) = E_C(InAs) - E_C(SiO_2) + \frac{1}{ad_{NC}^2 + bd_{NC} + c} \quad (5.17)$$

où $E_C(InAs) - E_C(SiO_2)$ est la barrière de potentiel entre l'InAs massif et le SiO₂ (4,05 eV), d_{NC} le diamètre du *nc-InAs* et $(a, b, c) = (0,0135, 0,2231, 0,1256)$ les paramètres d'ajustement pour l'InAs déterminés par [Allan *et al.*, 2000].

Le *Tableau 5.3* donne les valeurs de Φ_{InAs} , Φ_{Si} et Φ_{Ge} en fonction de d_{NC} :

d_{NC} (nm)	Φ_{InAs} (eV)	Φ_{Si} (eV)	Φ_{Ge} (eV)
4	3,22	2,87	2,66
5	3,38	2,96	2,79
6	3,50	3,02	2,87
7	3,58	3,05	2,92
8	3,65	3,07	2,95
9	3,69	3,09	2,98
10	3,73	3,10	3,00
11	3,76	3,11	3,01
12	3,79	3,11	3,03
13	3,81	3,12	3,04
14	3,83	3,12	3,04
15	3,85	3,12	3,05

TAB. 5.3 – Barrières électroniques vues par un électron stocké dans un nanocrystal de diamètre d_{NC} encapsulé dans une matrice SiO₂. Ces barrières correspondent à la différence d'énergie entre la bande de conduction du SiO₂ et le premier niveau électronique dans la bande de conduction du nanocrystal.

En supposant que J_{NC-S} correspond à J_{OT} défini dans l'Equation 5.13, on aura :

$$\Delta t = \int_{n_{initial}}^{n_{final}} \frac{qdn}{J_{OT} \cdot S_{NC}} \quad (5.18)$$

Nous avons choisi les bornes de l'intégrale $n_{initial} = 1$ et $n_{final} = 0$ pour pouvoir comparer les cinétiques d'effacement modélisées et les cinétiques d'effacement déterminées expérimentalement.

5.1.4 Résultats de la modélisation

Le *Tableau 5.4* résume la liste des paramètres pouvant être ajustés pour la simulation. Avant d'ajuster nos courbes expérimentales, nous avons voulu étudier succinctement l'influence de la tension d'écriture et quelques paramètres physiques : la barrière de potentiel Φ_B , l'épaisseur d'oxyde tunnel d_{OT} , le coefficient α et le diamètre des *nc-InAs*.

La *Figure 5.9(a)* présente les cinétiques d'écriture pour $V_G = 4$ V, 6 V et 8 V. Les paramètres physiques sont présentés dans la légende de la figure. On observe que le chargement augmente avec le logarithme du temps d'écriture. Les pentes des courbes de chargement

Symbole	Nom	Unité
m_{SiO_2}	masse de l'électron dans la silice	$(0,5m_e)$
$m_{cathode}$	masse de l'électron dans la cathode	$(1m_e)$
d_{NC}	diamètre des nc -InAs	nm
D_{NC}	densité des nc -InAs	cm^{-2}
d_{OT}	épaisseur de l'oxyde tunnel	nm
d_{OC}	épaisseur de l'oxyde de contrôle	nm
Φ_B	barrière de potentiel vue par les électrons depuis le substrat	eV
Φ_{InAs}	barrière de potentiel vue par les électrons depuis les nc -InAs	eV
α	taux de couverture des nanocristaux	%
V_{FB}	tension de bandes plates	≈ -1 V

TAB. 5.4 – Paramètres à ajuster lors de la simulation des cinétiques d'écriture.

sont identiques entre $V_G = 4$ V et $V_G = 8$ V. Plus la tension d'écriture est élevée, plus tôt se charge la structure. En revanche l'augmentation de la barrière de potentiel Φ_B (Figure 5.9(b)) entraîne une cinétique de chargement plus lente. Une diminution de d_{OT} permet un chargement plus rapide car le courant tunnel dépend fortement de d_{OT} (Figure 5.9(c)).

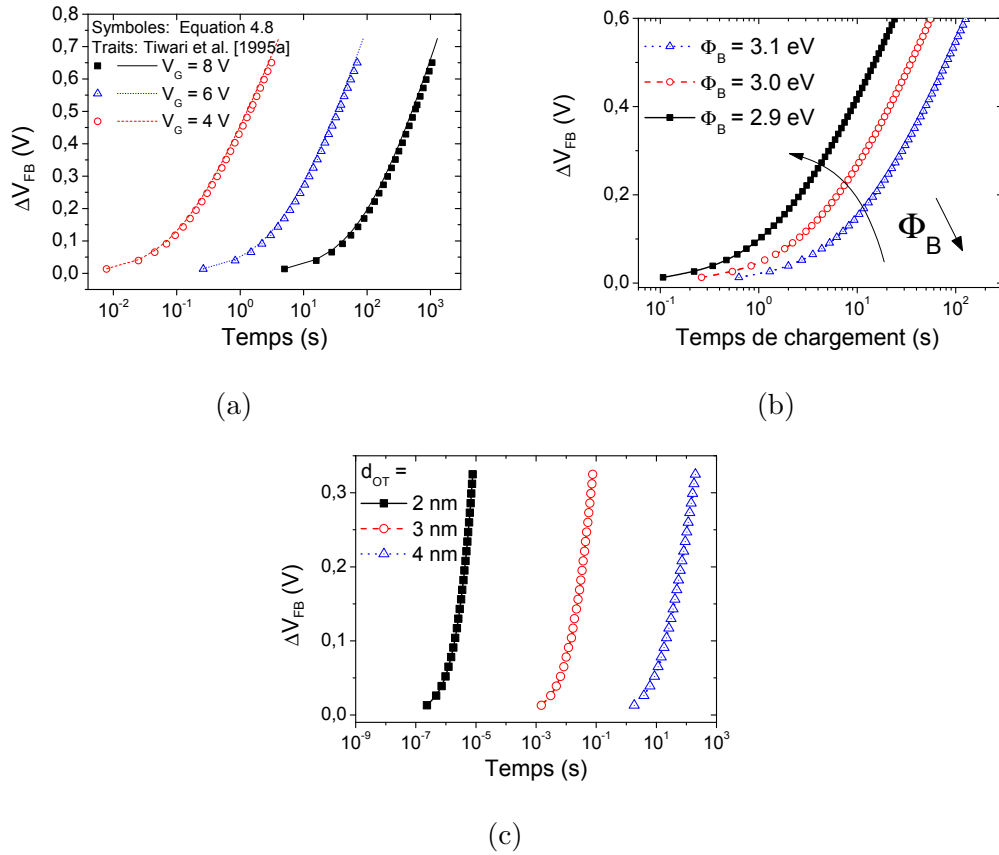


FIG. 5.9 – (a) Cinétiques de chargement des nanocristaux en fonction de ΔV_{FB} pour différentes tensions de chargement lorsque $\alpha = 0,3$, $\Phi_B = 3$ eV et $d_{OT} = 3,4$ nm. (b) Cinétiques de chargement pour différentes valeurs de Φ_B lorsque $V_G = 6$ V, $\alpha = 0,35$ et $d_{OT} = 3,4$ nm. (c) Cinétiques de chargement des nanocristaux en fonction de ΔV_{FB} pour différentes épaisseurs d'oxyde tunnel lorsque $V_G = 6$ V, $\alpha = 0,3$ et $\Phi_B = 3$ eV. Les autres paramètres de simulation sont : $d_{OC} = 7$ nm, $d_{NC} = 6$ nm, $D_{NC} = 2 \times 10^{11}$ cm^{-2} et $V_{FB} = -1$ V.

Nous avons également étudié l'influence du paramètre α et de la taille des nanocristaux (Figure 5.10 (a) et (b)).

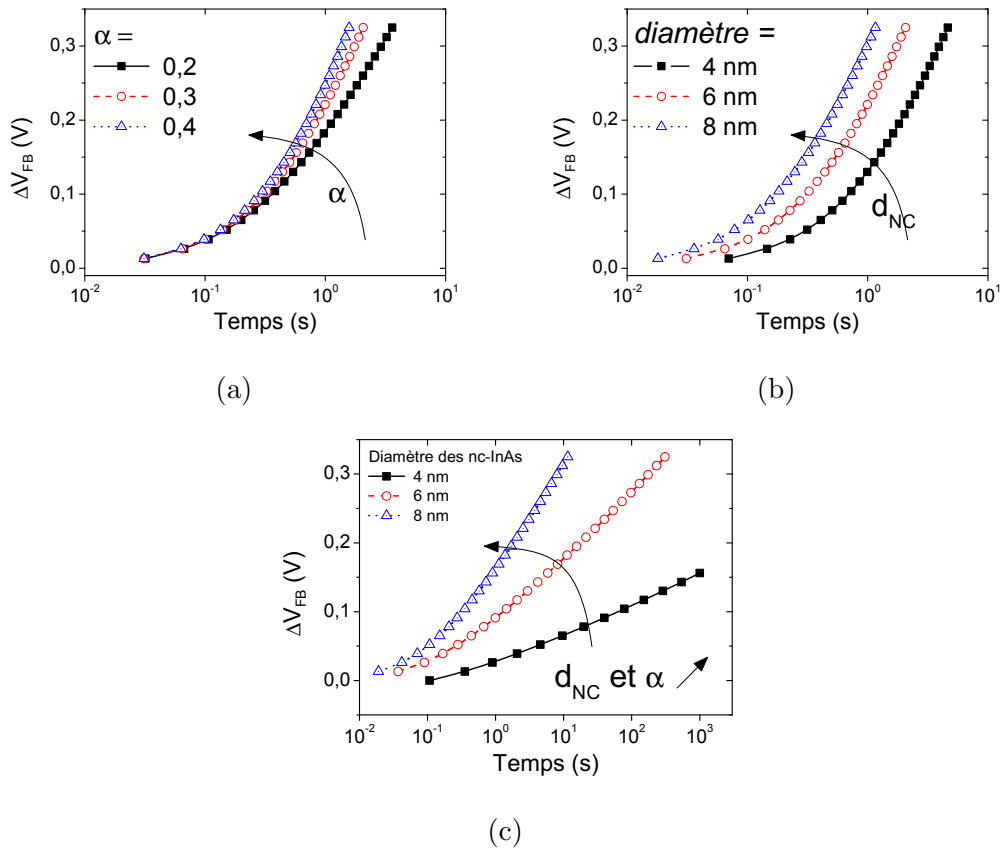


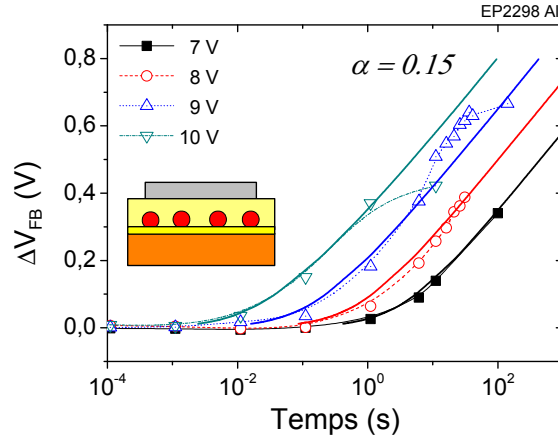
FIG. 5.10 – Cinétique de chargement des nanocristaux en fonction de ΔV_{FB} à $V_G = 6V$. (a) Pour différentes valeurs de α avec $d_{NC} = 6$ nm et (b) pour différentes tailles de nanocristaux avec $\alpha = 0,3$, et (c) en considérant $\alpha = D_{NC} S_{NC}$. Les autres paramètres de simulation sont : $d_{OT} = 3,4$ nm, $d_{OC} = 7$ nm, $D_{NC} = 2 \times 10^{11}$ cm $^{-2}$ et $V_{FB} = -1$ V.

Bien que α ait été défini comme le taux de recouvrement des nanocristaux (il est donc relié à la taille des *nc-InAs*), nous avons choisi de traiter indépendamment l'influence de la taille des nanocristaux et du taux de recouvrement. Lorsque α augmente, c'est-à-dire que la zone d'influence des nanocristaux augmente, la pente de la cinétique de chargement augmente. Par ailleurs, si la taille des nanocristaux augmente, mais que le taux de recouvrement est constant (α constant), on observe que la cinétique est plus rapide. Pour finir, en prenant $\alpha = D_{NC} S_{NC}$, on observe que les effets de la taille et du taux de recouvrement sont combinés (Figure 5.10(c)).

5.1.4.1 Ajustement des courbes expérimentales : cinétiques d'écriture

La Figure 5.11 présente les cinétiques d'écriture ajustées pour l'échantillon ep2298. Les courbes de simulation suivent relativement bien les courbes expérimentales. Les écarts observés sur les courbes expérimentales proviennent des imprécisions de mesure et des légères dispersions existant entre chaque capacité (taille et densité des *nc-InAs*, épaisseurs d'oxydes...).

ep2298



Paramètre Mesuré Ajusté

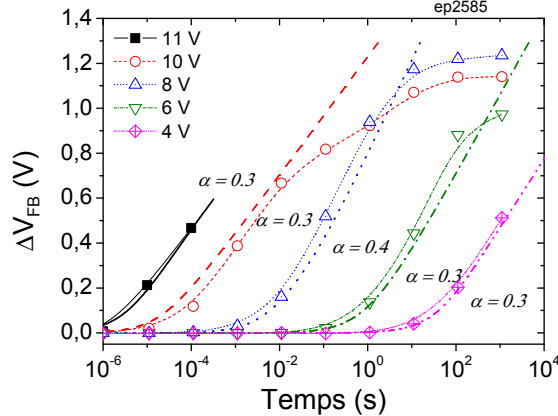
m_{SiO_2}	$0,5m_e$	$0,49m_e$
$m_{cathode}$	$1m_e$	$1m_e$
d_{NC} (nm)	5	6
D_{NC} (cm ⁻²)	$1,9 \times 10^{11}$	$1,9 \times 10^{11}$
d_{OT} (nm)	3,5	3,4
d_{OC} (nm)	10	10
Φ_B	3,15 eV	2,9 eV
α	5,4%	15%
V_{FB}	-1 V	-1 V

FIG. 5.11 – Cinétique de chargement des nanocristaux en fonction de ΔV_{FB} à $V_G = 7$ V, 8 V, 9 V et 10 V. Les paramètres de simulation sont donnés dans le tableau de droite.

Il y a très peu d'écart entre les deux colonnes du tableau de la *Figure 5.11*. On peut toutefois noter que la hauteur de barrière tunnel ajustée est légèrement faible par rapport à la théorie. Un courant parasite pourrait en être la cause, celui-ci s'ajoutant au courant J_{S-NC} . De ce fait, la cinétique d'écriture paraît plus rapide comme si la barrière de potentiel Φ_B était plus faible.

La *Figure 5.12* présente les résultats de simulation superposés à des courbes expérimentales pour l'échantillon ep2585.

ep2585



Paramètre Mesuré Ajusté

m_{SiO_2}	$0,5m_e$	$0,49m_e$
$m_{cathode}$	$1m_e$	$1m_e$
d_{NC} (nm)	$4,5 \pm 1,0$	6
D_{NC} (cm ⁻²)	$2,7 \times 10^{11}$	$2,7 \times 10^{11}$
d_{OT} (nm)	3,5	3,4
d_{OC} (nm)	8	7
Φ_B	3,15 eV	2,9 eV
α	4,3%	20-30%
V_{FB}	-1 V	-1 V

FIG. 5.12 – Cinétiques de chargement expérimentales et ajustées en fonction de ΔV_{FB} à $V_G = 4$ V, 6 V, 8 V, 10 V et 11 V pour l'échantillon ep2585. Les paramètres sont donnés dans le tableau de droite.

Dans le cas de figure de l'échantillon ep2585 (*Figure 5.12*), nous avons remarqué que pour des tensions d'écriture supérieures à 8 V, il n'est plus possible d'utiliser uniquement le courant tunnel direct pour modéliser l'injection d'électrons dans les nanocristaux. Nous avons donc introduit la composante Fowler-Nordheim pour les tensions supérieures à 8 V. Ce cas ne s'est pas présenté pour l'échantillon ep2298 (*Figure 5.11*) car l'oxyde de contrôle

est plus épais. Pour une tension de 10 V appliquée sur la grille, les électrons injectés dans les nanocristaux voient encore une barrière trapézoïdale ($F_{OT}d_{OT} = 2,79$ V pour $n = 0$). Cette étude montre aussi que le courant de fuite J_{NC-G} , bien qu'apparaissant très tôt dans l'oxyde de contrôle (Figure 5.6), est négligeable par rapport au courant J_{S-NC} responsable du chargement dans les nanocristaux dans les premiers temps du chargement. On observe en effet qu'à partir d'un certain nombre d'électrons stockés par nanocristal la cinétique sature car le courant de fuite à travers l'oxyde de contrôle ne peut plus être négligé.

La Figure 5.13 présente les résultats de simulation superposés à des courbes expérimentales pour l'échantillon ep2586. Nous rappelons que les *nc-InAs* ont été passivés au phosphore avant dépôt de l'oxyde de contrôle.

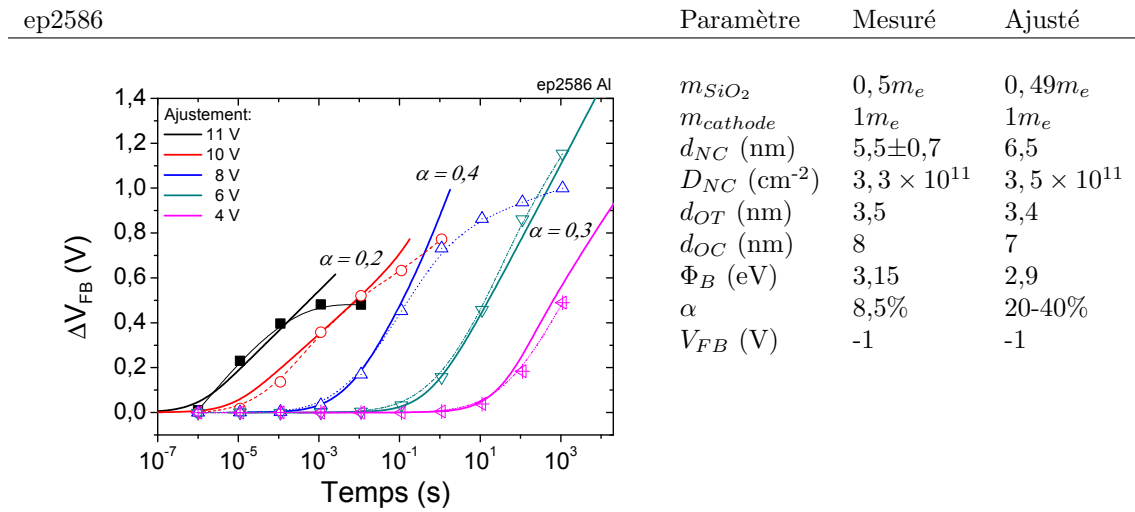


FIG. 5.13 – Cinétiques de chargement expérimentales et ajustées en fonction de ΔV_{FB} à $V_G = 4$ V, 6 V, 8 V, 10 V et 11 V pour l'échantillon ep2586. Les valeurs des paramètres physiques ajustés sont données dans le tableau de droite.

Nous constatons que, bien que l'ajustement soit efficace aux faibles chargements ($\Delta V_{FB} < 0,6$), les courbes expérimentales décrochent avant la saturation. La série d'échantillons ep2585 et ep2586 affiche un paramètre α ajusté plus grand que celui correspondant au taux de recouvrement calculé à partir de la formule $\alpha = D_{NC} \times S_{NC}$. La zone d'influence des *nc-InAs* peut être jusqu'à 6 fois supérieure à la surface occupée réellement par ces *nc-InAs*. Nous proposons deux hypothèses pour la série d'échantillons ep258X :

- soit les nanocristaux sont plus grands ou leur densité est plus élevée que ce que nous avons mesuré par AFM ;
- soit la couche interfaciale entre les *nc-InAs* et le SiO_2 est plus grande. Celle-ci pourrait stocker un plus grand nombre de charges et contribuer à augmenter la zone d'influence des nanocristaux.

Ces deux hypothèses sont en cours de vérification : nous attendons les résultats des observations TEM pour conclure.

La Figure 5.14 présente les résultats de simulation superposés à des courbes expérimentales pour l'échantillon ep2621-2. Cet échantillon a une épaisseur d'oxyde tunnel égale à 2 nm. Les cinétiques d'écritures sont donc plus rapides que celles des échantillons

précédemment étudiés.

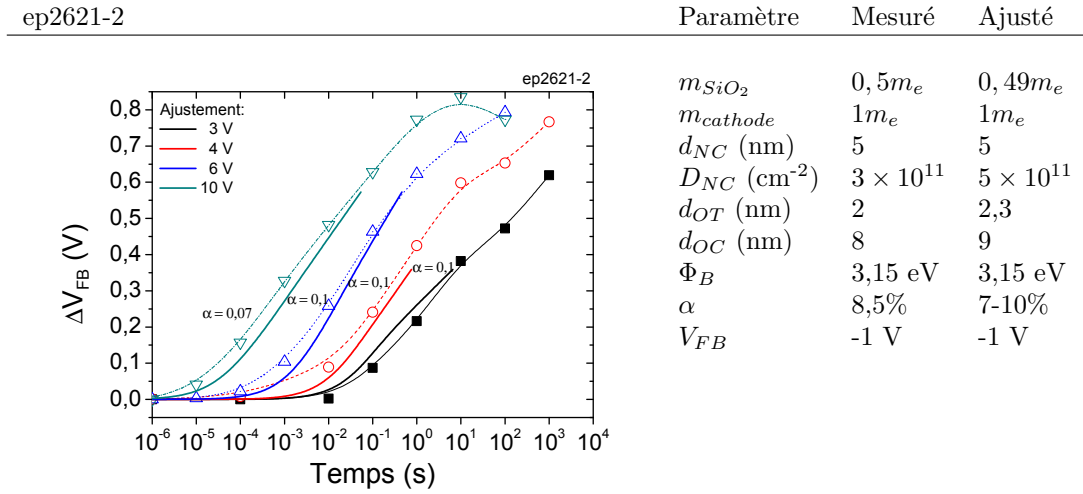


FIG. 5.14 – Cinétiques de chargement expérimentales et ajustées en fonction de ΔV_{FB} à $V_G = 3$ V, 4 V, 6 V et 10 V pour l'échantillon ep2621-2. Les paramètres sont donnés dans le tableau de droite.

La barrière de potentiel extraite lors de la modélisation de l'effacement est plus faible qu'attendu. Pour expliquer l'écart entre la valeur théorique et celle extraite par l'ajustement des courbes expérimentales, deux hypothèses sont émises :

- soit le modèle mésestime le champ électrique effectif à travers l'oxyde tunnel lors de l'effacement,
- soit un courant parasite s'ajoute au courant de déchargement de la structure.

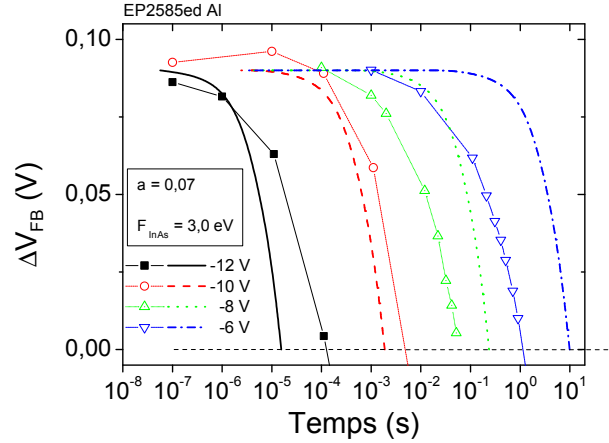
Dans les deux cas, cela expliquerait que la barrière de potentiel entre le *nc*-InAs et le SiO₂ tunnel extraite est plus faible que la barrière de potentiel théorique. Pour vérifier la première hypothèse, il faudrait reprendre le modèle proposé par B. De Salvo et prendre en compte les courants provenant de la grille métallique par exemple. Pour vérifier la deuxième hypothèse, nous proposons d'injecter un électron par nanocristal avec la tension la plus faible possible pour ne pas dégrader l'oxyde de contrôle.

5.1.4.2 Ajustement des courbes expérimentales : cinétiques d'effacement

Pour ajuster les courbes d'effacement, nous avons procédé de la même manière que pour le cas de l'ajustement des cinétiques d'écriture. Nous avons essayé de fixer les valeurs des paramètres ajustés pour la cinétique d'écriture sauf Φ_{InAs} et le taux de recouvrement α .

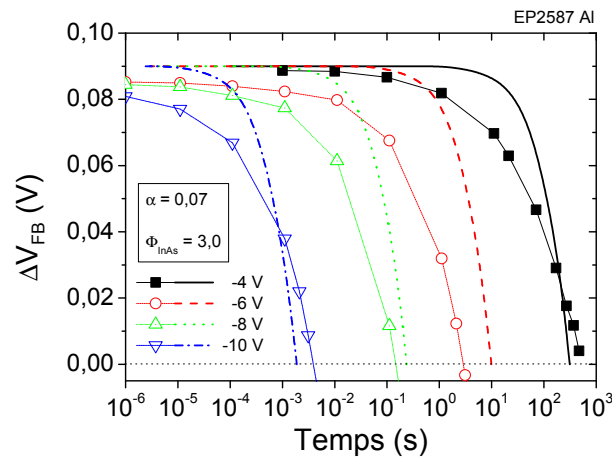
Les résultats de la modélisation de l'effacement sont présentés sur les *Figures 5.15* et *5.16*. Nous rappelons que les cinétiques observées ici correspondent à l'effacement d'un électron par nanocristal (*Partie 4.5*).

Les résultats sont assez comparables pour les échantillons ep2585 et ep2587. Nous constatons que l'ajustement n'est pas optimal. Nous pensons que notre méthode de mesure de l'effacement n'est pas assez précise : il aurait été nécessaire prendre plus de points de mesure en particulier dans les zones où les cinétiques sont les plus lentes (plateau).



ep2585 : $\alpha = 0,7$ et $\Phi_{InAs} = 3,0$ eV

FIG. 5.15 – Cinétiques de déchargement expérimentales (symboles) et leurs courbes d'ajustement (traits épais) pour l'échantillon à *nc*-InAs standard (ep2585).



ep2586 : $\alpha = 0,7$ et $\Phi_{InAs} = 3,0$ eV

FIG. 5.16 – Cinétiques de déchargement expérimentales (symboles) et leurs courbes d'ajustement (traits épais) pour l'échantillon optimisé (recuit H₂ in situ, ep2587).

Nous avons extrait une barrière Φ_{InAs} égale à 3,0 eV. Cette valeur est éloignée de celle du premier niveau confiné dans un *nc*-InAs/SiO₂ de 4-6 nm de diamètre (3,22-3,5 eV).

Etant donné que nous avons admis que les électrons sont stockés dans le niveau le plus bas de la bande de conduction du *nc*-InAs et que nous avons vu que les *nc*-InAs ont un diamètre de 5 nm en moyenne (donc une barrière de potentiel supérieure à 3 eV), nous émettons deux hypothèses : soit notre modèle est faux (en particulier la modélisation du champ électrique dans l'oxyde tunnel), soit un courant parasite supplémentaire accélère l'effacement des électrons et fait paraître la barrière de potentiel dans le *nc*-InAs plus faible qu'elle ne l'est (*Figure 5.17*).

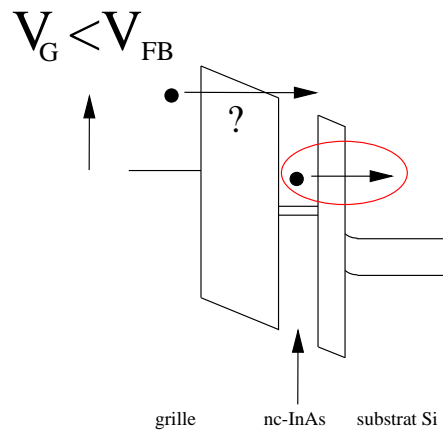


FIG. 5.17 – Diagramme de bandes de la structure à *nc*-InAs pendant l'effacement. Le chemin des électrons pendant l'effacement est entouré (en rouge). Le chemin parasite pouvant être responsable d'un courant supplémentaire lors du déchargement est aussi schématisé.

5.2 Modélisation de la rétention

Nous avons vu que le déchargement des électrons (ou des trous) avec le temps suit une loi logarithmique. En effet, au fur et à mesure que les nanocristaux se déchargent, le champ électrique dû à la présence des charges dans les nanocristaux diminue. La diminution du champ électrique induit la diminution du courant tunnel direct à travers l'oxyde et donc la probabilité de déchargement de la structure. Dans cette sous-partie, nous nous sommes intéressés au déchargement des électrons depuis les *nc-InAs*. Etant donné que la distance entre les *nc-InAs* est supérieure à 3 nm, que l'oxyde thermique est de très bonne qualité (peu de pièges) et que l'oxyde de contrôle est suffisamment épais, nous admettons que le processus de déchargement se fait uniquement par effet tunnel direct à travers l'oxyde tunnel. La *Figure 5.18* présente les deux chemins possibles de déchargement.

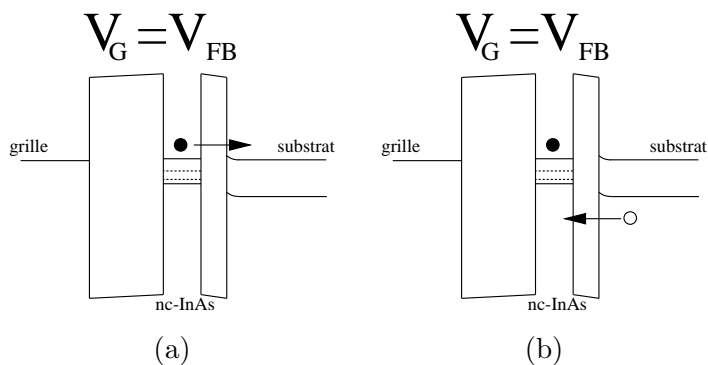


FIG. 5.18 – Diagrammes de bandes d’une structure MOS à *nc-InAs* représentant différents chemins de déchargement d’électrons. Le déchargement se fait soit par migration d’électrons depuis les *nc-InAs* (a), soit par migration de trous depuis le substrat (b).

Soit les électrons stockés dans les nanocristaux migrent à travers l’oxyde, soit les trous “tunnelent” dans le sens inverse depuis le substrat. Leur arrivée dans les nanocristaux “annule” la charge négative. A cause du confinement quantique, la barrière de potentiel vue par les électrons depuis les *nc-InAs* dépend de leur taille. Pour des tailles de nanocristaux supérieures à 4 nm, la barrière de potentiel Φ_{InAs} avec le SiO_2 peut varier de 3,4 eV à un maximum de 4 eV lorsqu’il n’y a plus de confinement. Au contraire, les trous dans le substrat de Si voient une barrière de potentiel de 4,63 eV. La probabilité tunnel des trous depuis le substrat est beaucoup plus faible que celle des électrons depuis les nanocristaux : nous considérerons que le déchargement d’électrons à travers l’oxyde tunnel peut expliquer la quasi totalité du déchargement de la mémoire.

5.2.1 Expression du champ électrique pour la rétention dans une structure à *nc-InAs*

Les mesures de la rétention dans les *nc-InAs* ont été réalisées en appliquant une tension $V_G = V_{FB}$ sur la grille. Les mesures de la capacité à V_{FB} assurent que le champ électrique dans la structure est dû uniquement à la présence de charges dans les nanocristaux. Christophe Busseret [Busseret, 2001] a proposé un modèle capacitif schématisé sur la *Figure 5.19(a)*.

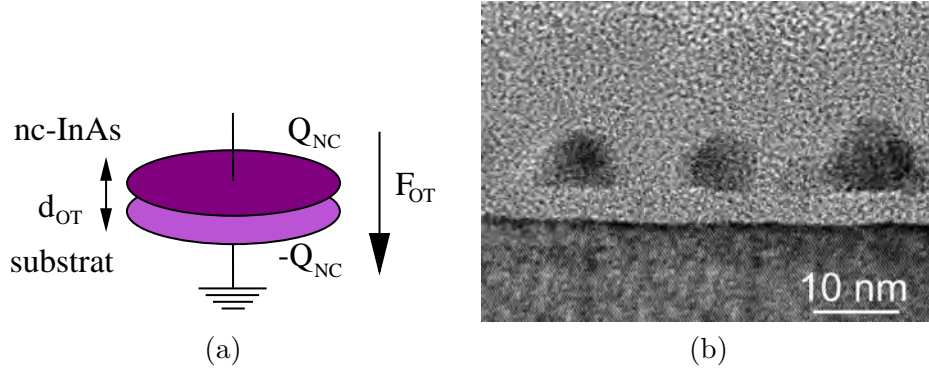


FIG. 5.19 – (a) Schéma capacitif équivalent utilisé pour modéliser le déchargement des nanocristaux. Le système nanocristaux substrat est assimilé à une capacité plane. D’après [Busseret, 2001]. (b) Vue TEM en coupe d’une structure à nanocristaux : la base des *nc*-InAs est plane.

Le système nanocristaux/substrat est équivalent à un condensateur plan de surface S_{NC} dont la charge Q_{NC} est égale à la charge stockée dans le nanocristal. En effet, ce modèle nous paraît adéquat car les nanocristaux sont hémisphériques et ont donc une base plane (*Figure 5.19(b)*). Le champ électrique dans ce condensateur plan C_{NC} est donné par la formule :

$$F_{OT} = \frac{Q_{NC}}{C_{NC}d_{OT}} \quad (5.19)$$

Si l’on remplace Q_{NC} par la formule de l’*Equation 5.5* et $C_{NC} = C_{OT}$, on obtient :

$$F_{OT} = \frac{qn}{\epsilon_{SiO_2}\epsilon_r S_{NC}} \quad (5.20)$$

5.2.2 Expression du courant et de la cinétique de déchargement

On suppose que la charge stockée dans les nanocristaux ne peut pas traverser l’oxyde de contrôle du fait de son épaisseur trop importante. Dans le *Chapitre 4*, nous avons présenté des résultats de rétention concernant le déchargement d’un unique électron par nanocristal. Nous pouvons donc modéliser le déchargement en considérant qu’un seul électron est stocké par nanocristal sur le niveau confiné le plus bas de la bande de conduction.

Nous avons donc choisi de prendre en compte l’élévation du minimum de la bande de conduction du nanocristal induite par le confinement quantique. Cette approche originale permet d’introduire dans notre modèle une relation analytique entre la hauteur de barrière dans le nanocristal $\Phi_{InAs} (E_C(nc - InAs) - E_C(SiO_2))$ et le diamètre des *nc*-InAs d_{NC} [Allan *et al.*, 2000]. Dans la littérature, cette approche est rare : seul W. Guan [Guan *et al.*, 2007] a abordé l’effet du confinement quantique dans ses modélisations du temps de rétention des MNV à nanostructures métalliques et à *nc*-Si.

En effet, il est difficile de déterminer où est stockée la charge électrique : à l’interface entre le nanocristal et le SiO_2 ? Dans des pièges dans la bande interdite du nanocristal ? Sur un niveau confiné de la bande de conduction ? Ces différents cas ont été étudiés. Lorsque l’effet du confinement quantique est négligé, les auteurs considèrent soit que les électrons

sont stockés sur la bande de conduction du nanocristal [Busseret, 2001 ; Kanoun, 2004b ; Yang *et al.*, 2001 ; Zhao *et al.*, 2005a], soit dans des défauts profonds de la bande interdite du nanocristal [She et King, 2003].

Le mécanisme de conduction permettant le passage à travers l'oxyde tunnel est la conduction tunnel direct car le champ électrique dû à la présence de la charge est suffisamment faible pour avoir la condition $F_{OT} \cdot d_{OT} < \Phi_{InAs}$. L'expression de la densité de courant correspondante est donc :

$$J_{TD}(F_{OT}) = \frac{A \cdot F_{OT}^2}{\left[1 - \sqrt{\frac{\Phi_{InAs} - q \cdot d_{OT} \cdot F_{OT}}{\Phi_{InAs}}}\right]^2} \cdot \exp\left[\frac{-B}{F_{OT}} \cdot \left[\Phi_{InAs}^{\frac{3}{2}} - (\Phi_{InAs} - F_{OT}d_{OT})^{\frac{3}{2}}\right]\right]$$

Le courant tunnel direct est fortement dépendant de la barrière électronique. Plus celle-ci est élevée, plus le courant tunnel est faible. En reprenant les équations de cinétique de la *Sous-partie 5.1.3*, le temps nécessaire pour passer d'un état $n_{initial} = 1$ à un état de charge $n_{final} < 1$ est le suivant :

$$\Delta t = \int_{n_{final}}^1 \frac{qdn}{J_{OT} \cdot S_{NC}} \quad (5.21)$$

5.2.3 Validation du modèle

La *Figure 5.20* présente les courbes expérimentales et ajustées de l'échantillon ep2298.

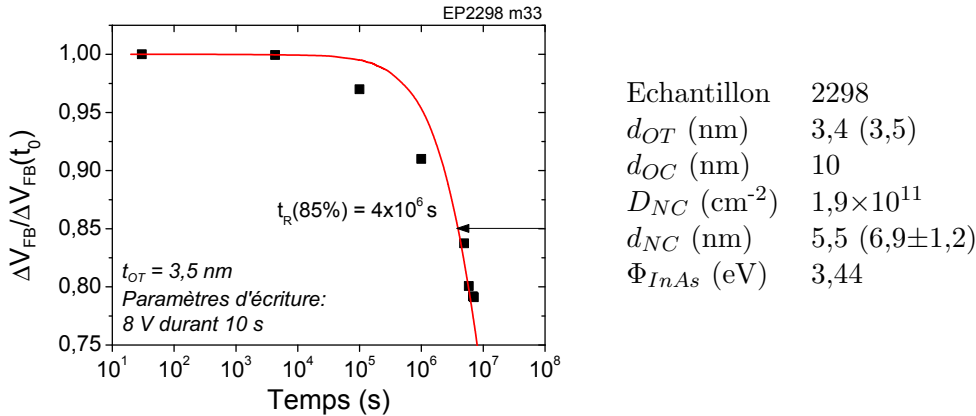


FIG. 5.20 – Courbes de rétention expérimentales et ajustées pour l'échantillon ep2298. Le tableau de droite indique les paramètres ajustés et entre parenthèses les valeurs expérimentales. Φ_{InAs} est donné à titre indicatif.

L'ajustement de la cinétique de rétention de l'échantillon ep2298 est correct. Le temps de rétention à 85% est donné à la fois par le modèle et la courbe expérimentale : 4×10^6 s, ce qui correspond à un mois et demi. Le seul paramètre ajusté légèrement différent de la mesure expérimentale est le diamètre des *nc-InAs*. Cet écart est dû aux incertitudes de mesure ou aux fluctuations de taille des nanocristaux. Nous n'avons pas pris en compte la dispersion en taille des nanocristaux, or il est admis que les plus petits nanocristaux se déchargent plus vite que les grands nanocristaux [Rao *et al.*, 2005 ; She et King, 2003]. Ce phénomène modifie la cinétique de déchargement et il est probable que l'on sous estime la taille réelle des nanocristaux en négligeant leur dispersion en taille.

La *Figure 5.21* présente la cinétique de déchargement de l'échantillon ep2585.

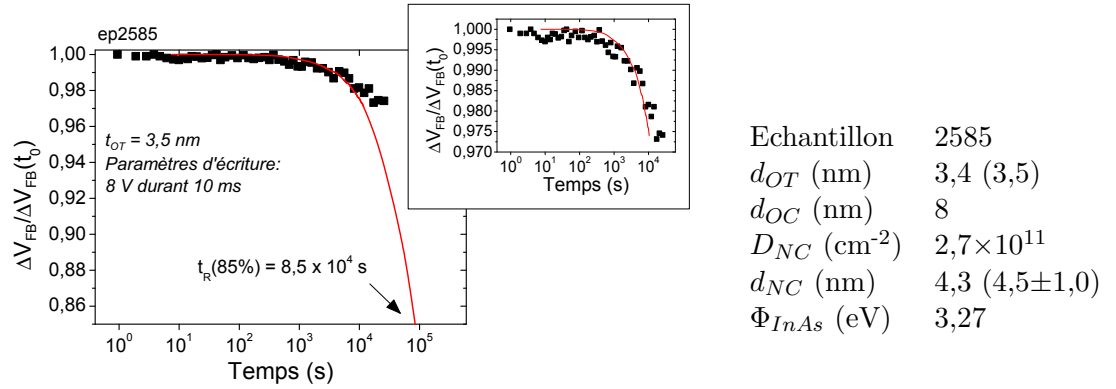


FIG. 5.21 – Courbes de rétention expérimentales et ajustées pour l'échantillon ep2585. Le tableau à droite indique les paramètres ajustés et entre parenthèses les valeurs expérimentales. Φ_{InAs} est donné à titre indicatif.

L'ajustement est bon dans ce cas de figure (encart de la *Figure 5.21*). Les paramètres expérimentaux et ajustés sont cohérents. Cependant, on pressent que la courbe expérimentale se décrocherait de la courbe ajustée pour des temps de mesure plus longs. Par extrapolation, on trouve un temps de rétention à 85% de $8,5 \times 10^4$ s, c'est à dire de 1 journée. D'autre part, nous avons choisi d'ajuster une cinétique de rétention d'un échantillon à *nc-Si* dont nous connaissons les paramètres physiques et nous avons comparé ces résultats de modélisation à une structure à *nc-InAs* dont les dimensions sont semblables.

Les résultats de simulation (*Figure 5.22*) montrent qu'il est possible d'ajuster les courbes expérimentales mais uniquement dans les premiers stades du déchargement. Cette figure montre que la structure à *nc-InAs*, bien qu'ayant une épaisseur d'oxyde tunnel inférieure (≈ 2 nm) à celle de la structure à *nc-Si* (3 nm) a une cinétique de déchargement beaucoup plus lente. Ici, le temps de rétention à 85% des électrons dans *nc-InAs* est de 3×10^2 s alors que dans *nc-Si* il est seulement de 10 s.

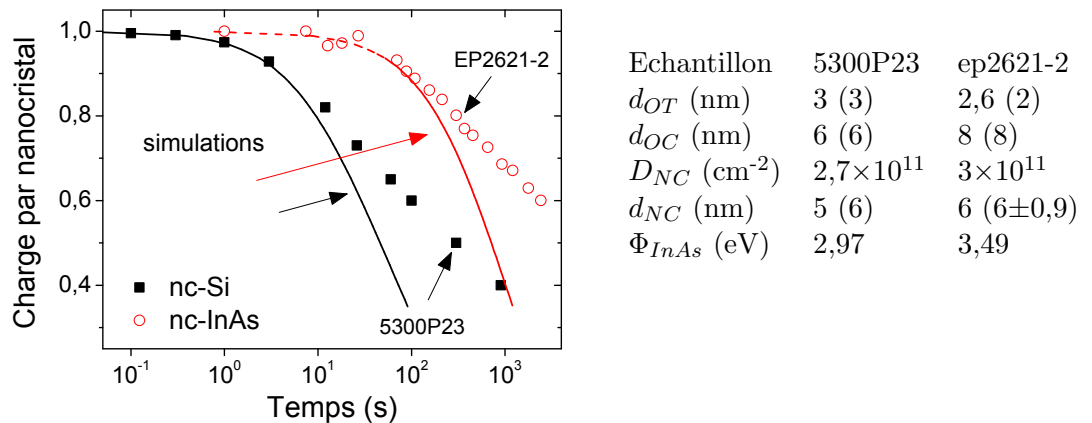


FIG. 5.22 – Simulation du déchargement d'électrons pour un échantillon à *nc-Si* ([Busseret, 2001]) et un échantillon à *nc-InAs* (ep2621-2). Les points expérimentaux sont marqués par des symboles. Les paramètres de simulation sont donnés dans le tableau de droite.

Bien que le modèle ne permette pas d'ajuster la pente de la cinétique de rétention, les paramètres physiques des dispositifs ont pu être extraits des cinétiques de rétention calculées. Ces résultats des tableaux des *Figures 5.20, 5.21 et 5.22*, amènent quelques remarques :

- les épaisseurs et diamètres des nanocristaux extraits avec la modélisation se rapprochent assez bien de la réalité ;
- nous avons pris en compte le confinement quantique : nous constatons que cette approche est tout à fait réaliste car nous n'observons pas d'aberrations au niveau des paramètres ajustés ;
- en ce qui concerne l'échantillon ep2621-2, le d_{OT} extrait de la simulation (2,6 nm) est plus élevé que celui mesuré par ellipsométrie ($2\pm 0,3$ nm) : nous attribuons cet écart aux limites de notre modèle et aux incertitudes de mesures d'épaisseurs ;
- la densité des nanocristaux n'est pas prise en compte dans le modèle. Etant donné que nous supposons les nanocristaux suffisamment espacés les uns des autres et qu'ils n'interagissent pas entre eux, il n'y a pas de raisons que la densité influence la rétention à faibles densités ;
- nous avons supposé l'oxyde de contrôle suffisamment épais pour qu'il n'y ait pas de déchargement depuis les nanocristaux vers la grille métallique : l'épaisseur d'oxyde de contrôle n'est pas prise en compte dans la simulation.

En conclusion, nous avons pu extraire les paramètres physiques des structures à *nc-InAs* ou de Si. Cependant, l'ajustement des courbes de rétention est approximatif : la pente des cinétiques de rétention expérimentales est plus faible que celle des cinétiques calculées. Dans notre modèle, c'est la variation du champ électrique qui gouverne la pente de la cinétique de rétention. Or la décroissance du champ est trop rapide par rapport à nos résultats expérimentaux.

5.2.4 Amélioration du modèle

Nous pensons que la façon dont nous faisons la mesure joue un rôle important lors du déchargement de la structure. Généralement, la structure est maintenue à un potentiel $V_G = V_{FB}$ entre deux mesures. Or, lorsque nous voulons mesurer la cinétique de déchargement sur plusieurs mois, nous devons déconnecter l'échantillon (pour en tester d'autres), puis le reconnecter à chaque fois qu'une nouvelle mesure de rétention doit être effectuée sur la capacité. Dans ce cas de figure, la structure est maintenue à un potentiel $V_G = 0$ V entre chaque mesure. Nous avons peu d'informations concernant la méthode de mesure du temps de rétention sur des structures MOS à nanocristaux. Les rares auteurs faisant référence à leur manière de mesurer le temps de rétention utilisent la même méthode que nous [Lee *et al.*, 2005].

Nous avons donc introduit un paramètre d'ajustement supplémentaire permettant de jouer sur la décroissance du champ électrique F_{OT} et prenant en compte la technique expérimentale. Le champ électrique dans l'oxyde tunnel est nouvellement défini par :

$$F_{OT} = \frac{qn^\beta}{\epsilon_{SiO_2}\epsilon_r S_{NC}} \quad (5.22)$$

avec β le paramètre permettant d'ajuster la pente des cinétiques de rétention. A ce stade de la réflexion, nous n'avons pas de relation physique à donner à ce paramètre, qui ne sert qu'à affiner l'ajustement des courbes expérimentales.

Influence des paramètres d_{NC} et β Nous avons étudié l'influence du diamètre des nanocristaux sur le temps de rétention. La *Figure 5.23* montre que lorsque le diamètre des nanocristaux augmente, la cinétique de déchargement est plus lente et tend à saturer lorsque les nanocristaux atteignent une taille supérieure à 10 nm.

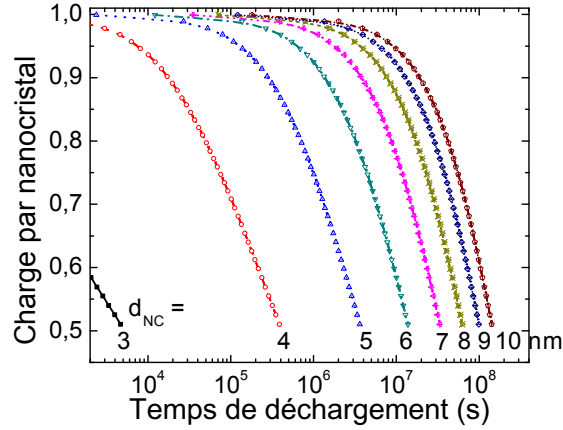


FIG. 5.23 – Cinétiques de déchargement pour différents diamètres de nanocristaux. Les paramètres de simulation sont : $t_{OT} = 3,5$ nm et $\beta = 1$.

Ce résultat est en accord avec la théorie car lorsque le diamètre des nanocristaux augmente, $E_C(nc-InAs) - E_C(SiO_2)$ tend vers sa valeur maximale $E_C(InAs) - E_C(SiO_2) = 4$ eV (*Tableau 5.3*). Le coefficient β introduit précédemment agit uniquement sur la pente de la cinétique de rétention. Plus β est grand, plus la pente de la cinétique est faible (*Figure 5.24*).

Ajustement des courbes expérimentales Les simulations prenant en compte β sont présentées sur la *Figure 5.25*. L'ajustement des courbes expérimentales est meilleur lorsque le paramètre β est ajouté au modèle. Les paramètres préalablement ajustés n'ont pas été modifiés. La *Figure 5.26* présente la cinétique de déchargement d'une structure MOS à *nc-InAs* d'épaisseur $d_{OT} = 3,5$ nm.

Grâce au modèle développé ci-dessus, la courbe expérimentale de déchargement a été correctement ajustée en utilisant le paramètre $\beta = 1/0,06$. On voit bien que sans l'utilisation de β nous n'aurions pas pu ajuster correctement la cinétique de déchargement.

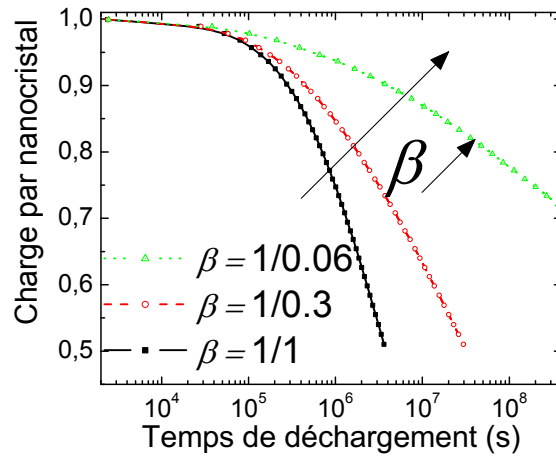


FIG. 5.24 – Cinétiques de déchargement en fonction de β . Les paramètres de simulation sont : $d_{InAs} = 5$ nm et $t_{OT} = 3,5$ nm.

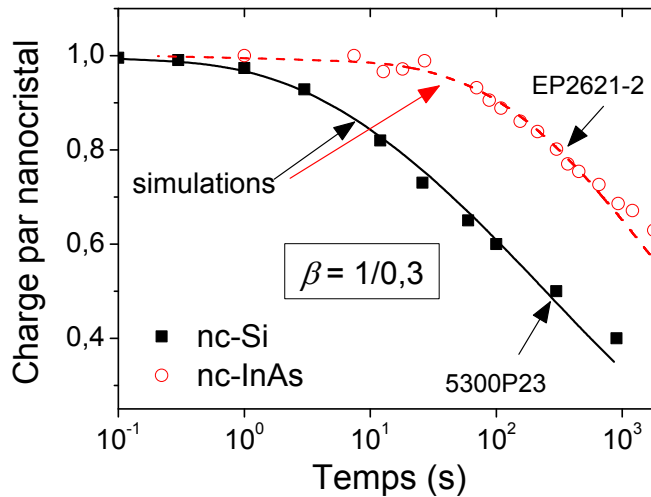


FIG. 5.25 – Simulation du déchargement d'électrons après prise en compte d'un coefficient $\beta = \frac{1}{0,3}$. Les points expérimentaux sont marqués par des symboles. Les paramètres de simulation sont donnés dans le tableau de la *Figure 5.22*.

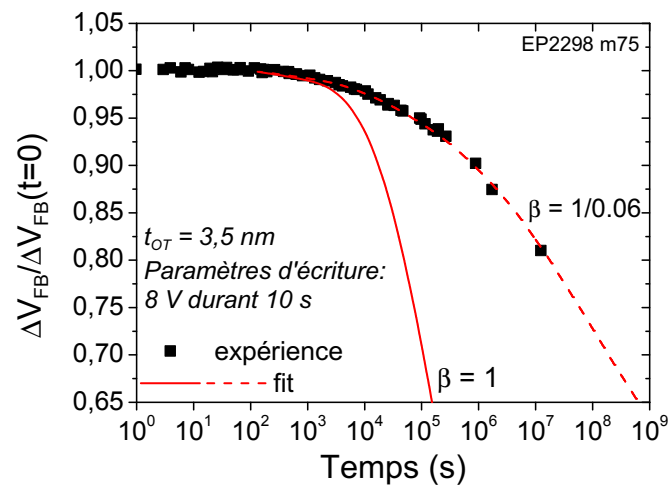


FIG. 5.26 – Comparaison expérience - simulation d'un échantillon à *nc*-InAs. L'épaisseur d'oxyde tunnel est d'environ 3,5 nm et l'injection d'un électron par nanocristal a été effectuée en appliquant une tension de 8 V pendant 20 ms sur la grille.

5.3 Discussion

Comme nous l'avons fait remarquer dans la conclusion du *Chapitre 4*, il est difficile de comparer nos résultats de mesure des cinétiques de rétention à ceux de la littérature. Le stockage des charges pouvant avoir lieu sur des niveaux confinés différents, on ne peut pas comparer des dispositifs à nanocristaux identiques (en dimensions) si le nombre de charges stocké par nanocristal n'est pas identique au départ. C'est pour cela que le travail de modélisation que nous avons effectué jusqu'ici est important. Maintenant que le modèle est validé à la fois sur nos structures à *nc-InAs* et sur celles à *nc-Si*, nous pouvons évaluer le gain effectif de l'utilisation des *nc-InAs* par rapport aux *nc-Si* sur le temps de rétention dans une MNV.

La *Figure 5.27* présente les résultats de simulation ajustés à des courbes de rétention expérimentales. Nous avons au départ deux structures dont les dimensions des nanocristaux et des oxydes tunnels différent. Pour pouvoir comparer les deux matériaux, nous avons modélisé la cinétique de rétention d'une structure à *nc-Si* identique en taille à la structure à *nc-InAs*.

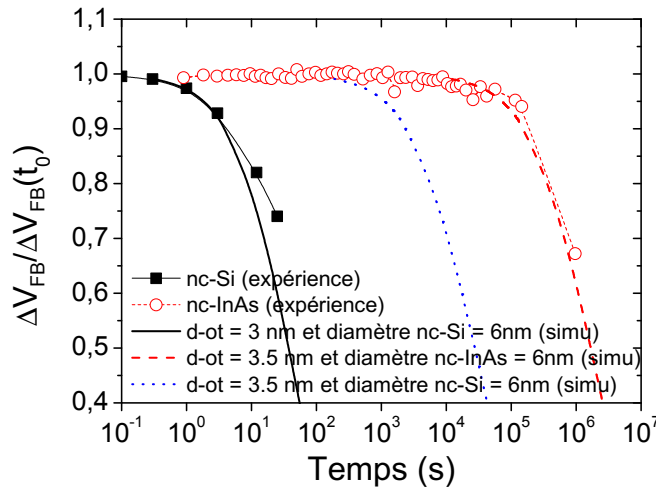


FIG. 5.27 – Comparaison expérience - simulation et modélisation d'une structure à *nc-Si* de dimensions identiques à celles de la structure à *nc-InAs*.

On observe que les cinétiques de déchargement sont plus rapides pour le Si que pour l'InAs, les dimensions physiques étant égales par ailleurs (diamètre des nanocristaux, épaisseurs d'oxyde).

Nous avons démontré expérimentalement (dans le *Chapitre 4*) et à l'aide de simulations que l'utilisation des *nc-InAs* dans une structure mémoire permet d'obtenir des temps de rétention considérablement plus longs pour les électrons. Pour une épaisseur d'oxyde tunnel de 3,5 nm et des diamètres de *nc-InAs* de 6 nm, la structure mémoire affiche un temps de rétention à 85% d'1,5 mois contre seulement deux heures pour les *nc-Si*, ce qui correspond à un gain d'une décade et demie sur le temps de rétention. Cette amélioration considérable est associée à la barrière de potentiel vue par les électrons depuis le nanocristal, celle de

l'InAs étant plus grande que celle du Si. En d'autres termes, les électrons sont mieux confinés dans les nc -InAs que dans les nc -Si. La *Figure 5.28* montre que l'écart entre la barrière InAs et la barrière Si varie selon la taille des nanocristaux.

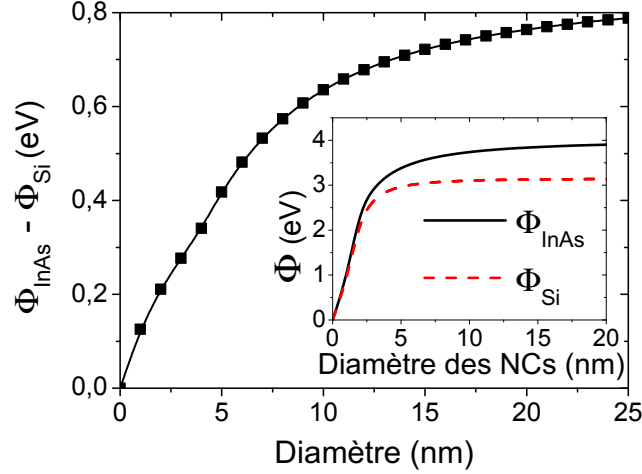


FIG. 5.28 – Evolution de l'écart entre la hauteur de barrière dans nc -InAs et celle dans nc -Si.

L'écart entre les barrières des deux matériaux augmente avec le diamètre des nanocristaux. La valeur limite est 0,85 eV, celle-ci correspondant à la différence des hauteurs de barrière pour les matériaux massifs. On peut lire sur la *Figure 5.28* qu'un électron stocké dans un nanocristal de 6 nm de diamètre voit une barrière plus haute de $\approx 0,4$ eV pour un nc -InAs que pour un nc -Si, ceci correspond à un gain en temps de rétention d'une décennie et demie.

Pour des nanocristaux de diamètre 10 nm, l'InAs apporte un confinement de 0,65 eV plus grand que le Si. Quel est le gain en temps de rétention correspondant ? Nous avons choisi de tracer le temps de rétention à 85% dans les nc -InAs et les nc -Si en fonction du diamètre des nanocristaux pour différentes épaisseurs d'oxyde tunnel (*Figure 5.29*).

On constate que le temps de rétention augmente avec le diamètre des nanocristaux et l'épaisseur d'oxyde tunnel. La *Figure 5.30* montre l'évolution du rapport du temps de rétention à 85% dans des nc -InAs et du temps de rétention à 85% dans les nc -Si en fonction du diamètre des nanocristaux. On observe qu'à d_{OT} constant, le temps de rétention est multiplié par 10 avec l'utilisation de nc -InAs de 6 nm de diamètre, et multiplié par 100 pour des nc -InAs de 10 nm de diamètre.

Le temps de rétention des structures que nous avons fabriquées jusqu'ici ne répond pas aux exigences de l'[ITRS, Edition 2007]. Nous nous sommes demandés quelles étaient les dimensions d'une structure idéale qui nous permettraient d'atteindre un temps de rétention de 10 ans. En observant les résultats des *Figures 5.29(a)* et *(b)*, on observe qu'un oxyde tunnel de 4,3 nm d'épaisseur et des nc -Si de 10 nm de diamètre minimum sont nécessaires pour obtenir un temps de rétention de 10 ans. Au contraire, pour les mémoires à nc -InAs, il suffit d'une épaisseur d'oxyde tunnel de 3,9 nm et avec des nc -InAs de 10 nm de diamètre

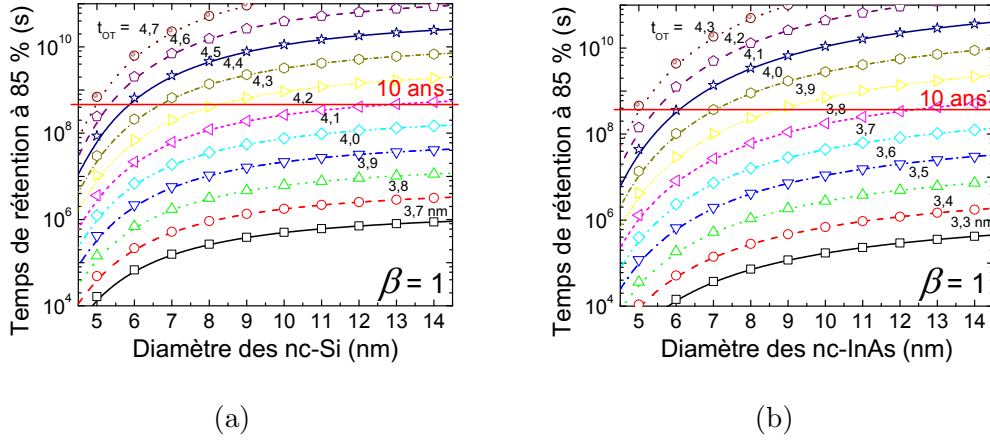


FIG. 5.29 – Evolution du temps de rétention à 85 % en fonction du diamètre des nanocristaux pour différentes épaisseurs d'oxyde tunnel. (a) *nc-Si*. (b) *nc-InAs*.

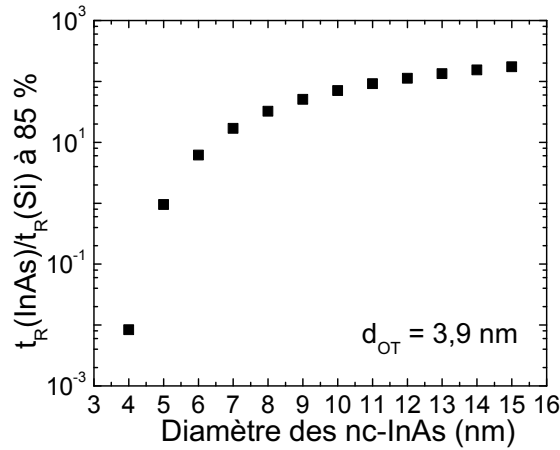


FIG. 5.30 – Evolution du rapport du temps de rétention à 85% dans des *nc-InAs* et du temps de rétention à 85% dans les *nc-Si* pour un oxyde tunnel de 3,9 nm en fonction du diamètre des nanocristaux.

pour atteindre les 10 ans de rétention *Figure 5.29*.

Pour finir, notre structure mémoire optimale permettant d'atteindre un temps de rétention de 10 ans possède :

- un oxyde tunnel de $d_{OT} = 3,9$ nm ;
- des *nc-InAs* de diamètre $d_{NC} = 10$ nm et de densité $D_{NC} = 5 \times 10^{11}$ cm⁻² ;
- un oxyde de contrôle $d_{OC} = 8$ nm.

A partir du modèle des cinétiques d'écriture/effacement, nous avons calculé qu'une tension de 13 V et un temps de 1 μ s sont suffisants pour charger un électron par nanocristal avec un ΔV_{FB} de 0,25 V. Ce couple de temps/tension d'écriture est également en accord avec les recommandations de l'[ITRS, Edition 2007]. Par ailleurs, les nanocristaux de 10 nm de diamètre ont une taille optimale en ce qui concerne la réduction des dimensions des dispositifs. Une densité maximale de 5×10^{11} cm⁻² est recommandée pour que la distance entre les nanocristaux soit de 5 nm et que la condition d'isolation entre les nanocristaux soit

réalisée (*Figure 1.19*). Bien entendu, notre modèle ne prend ni en compte la dispersion en taille des *nc-InAs*, ni l'effet de la température sur les propriétés électriques, ni les problèmes d'endurance. Ces différents points ne sont pas à négliger et concernent des perspectives de travail.

5.4 Conclusion

Le travail présenté dans ce chapitre repose sur la modélisation de structures MOS à *nc-InAs*. Bien que simplifiées par rapport à la cellule complète basée sur la transistor, la capacité MOS permet toutefois d'obtenir les informations essentielles quant aux performances des *nc-InAs*.

Nous avons modélisé dans un premier temps les cinétiques d'écriture/effacement de structures MOS à *nc-InAs* pour MNVs. L'ajustement des cinétiques d'écriture expérimentales a été effectué avec succès pour une large gamme de tensions d'écriture grâce à la prise en compte d'une composante Fowler-Nordheim à champ élevé dans l'oxyde tunnel. Etant donné que nous avons négligé au départ les courants de fuite à travers l'oxyde de contrôle, nous n'avons pas pu modéliser la zone de saturation des cinétiques expérimentales. Les cinétiques d'effacement des électrons depuis la bande de conduction des *nc-InAs* vers le substrat ont été ajustées. Cependant le modèle n'est pas satisfaisant. L'écart entre les courbes expérimentales et les courbes d'ajustement provient des simplifications de notre modèle, en particulier à la non prise en compte des courants à travers l'oxyde de contrôle.

Dans un deuxième temps, nous avons modélisé les cinétiques de déchargement des structures à *nc-InAs* et à *nc-Si*. Nous avons pris en compte l'effet du confinement quantique dans les nanocristaux et nous avons introduit un paramètre β . Ce paramètre n'a pas de réalité physique. Il permet seulement de minimiser la décroissance du champ électrique modélisé et ainsi d'ajuster la pente des cinétiques de déchargement. L'ajustement des courbes expérimentales nous a permis d'extraire les paramètres physiques des structures et la barrière de potentiel vue par les électrons stockés dans les nanocristaux.

Finalement, en nous basant sur notre modèle du déchargement, nous avons mis en évidence que l'utilisation de *nc-InAs* de 6 à 10 nm de diamètre en remplacement des *nc-Si* dans les MNVs à nanocristaux améliore les temps de rétention de 2 à 3 décades. Nous avons aussi calculé qu'une épaisseur d'oxyde tunnel de 3,9 nm et des *nc-InAs* de 10 nm étaient suffisants pour atteindre un temps de rétention à 85% de 10 ans. En revanche, pour obtenir ces mêmes performances en utilisant des *nc-Si* de diamètre identique, une épaisseur d'oxyde tunnel de 4,3 nm est nécessaire. Or la diminution de l'épaisseur d'oxyde tunnel est un des points sensibles de la miniaturisation des composants MOS : grâce à l'utilisation des *nc-InAs*, ce problème est résolu au moins jusqu'aux épaisseurs d'oxyde tunnel de 3,6 nm. Nous avons ainsi confirmé nos prédictions théoriques du *Chapitre 1* que l'*InAs* est un candidat sérieux au remplacement des *nc-Si* dans les MNVs à nanocristaux.

Sans conteste, les *nc-InAs* améliorent les caractéristiques de rétention des électrons dans les mémoires à nanocristaux. D'un point de vue théorique, les électrons sont stockés sur des niveaux plus confinés dans les *nc-InAs* que dans les *nc-Si*. Et ceci, grâce à l'affinité électronique plus élevée de l'*InAs* par rapport au Si. D'un point de vue expérimental, nous

avons pu comparer nos résultats à ceux d'études préalables réalisées dans le laboratoire par Christophe Busseret [Busseret *et al.*, 2000 ; Busseret, 2001]. Nous avons pu confirmer nos prédictions théoriques par des expériences. Celles-ci ont montré que l'utilisation des *nc-InAs* en remplacement des *nc-Si* permet de gagner un facteur 1000 pour le temps de rétention avec des tailles de nanocristaux de 10 nm.

Conclusion et Perspectives

Le développement des systèmes électroniques mobiles entraîne une demande croissante dans le domaine des mémoires non volatiles. Actuellement, les MNVs classiques en technologie CMOS présentent des temps de programmation variant de la μs à quelques millisecondes, des durées de l'ordre de 10^5 à 10^6 cycles d'écriture/effacement et des fenêtres de programmation de ± 10 V à ± 20 V. Depuis la proposition initiale d'IBM [Tiwari *et al.*, 1995], les mémoires à nanocristaux sont des dispositifs très prometteurs pour les nœuds technologiques en deçà de 65 nm. Les architectures de ces *nc*-MNVs ont été évaluées par de nombreux groupes industriels et laboratoires universitaires. Il apparaît clairement que leur application est possible au moins jusqu'au nœud 22 nm avec les apports suivants :

- Amélioration de l'endurance grâce à la diminution d'épaisseur de l'oxyde tunnel,
- Diminution de la fenêtre de programmation,
- Possibilité de stockage de 2 bits dans une cellule grâce au piégeage discret.

Les recherches les plus récentes ont montré qu'il est encore possible d'améliorer notablement les densités d'intégration des circuits mémoires tout en étudiant les futures architectures de mémoires à peu de charges associant un point mémoire et un transistor à un électron pour la lecture. C'est donc dans ce contexte que s'est inscrit ce travail : l'objectif était de fabriquer et tester une structure mémoire non volatile à *nc*-InAs et d'étudier les possibilités de stockage multibit. Nous avons vu l'intérêt des mémoires Flash à nanocristaux : elles permettent de combler le fossé technologique entre les générations actuelles (nœud technologique 65 nm) et les générations de mémoire du nœud 22 nm. Nous avons vu que les mémoires à *nc*-Si sont limitées du point de vue du temps de rétention des électrons. Or, l'InAs est une solution possible pour améliorer les caractéristiques des mémoires à nanocristaux à stockage d'électrons du fait de sa large discontinuité de bande de conduction avec SiO_2 . Par ailleurs, comme les mémoires SEM multibits ne contiennent qu'un nanocristal dans l'oxyde de grille, il ne sera pas possible d'utiliser des *nc*-Si, les niveaux électroniques n'étant pas assez séparés à température ambiante. Les nanocristaux métalliques, quant à eux, ont une discontinuité de bande de conduction avec SiO_2 plus élevée que l'InAs. Cependant, il n'y a pas de niveaux confinés dans les métaux et le stockage multibits n'est pas possible. Les *nc*-InAs ont donc un double avantage : ils permettent d'une part, d'améliorer les caractéristiques des mémoires à nanocristaux et donc les densités d'intégration des circuits mémoires, et d'autre part, les niveaux discrets du nanocristal d'InAs sont suffisamment séparés à température ambiante pour tester le stockage multibit dans une structure à un nanocristal.

Croissance Notre étude s'est développée dans un premier temps autour de la fabrication des structures MOS à *nc*-InAs. Cette phase de fabrication nous a permis d'étudier la croissance de *nc*-InAs sur la surface amorphe de la silice et leur encapsulation dans une matrice de silice déposée par PECVD-ECR. Il en est ressorti qu'il est possible de faire croître les nanocristaux monocristallins et hémisphériques par EJM-SS avec des densités variant de 1×10^9 à 8×10^{11} cm^{-2} et des tailles variant de 2 à 10 nm. Les paramètres de croissance jouent un rôle fondamental sur les propriétés des *nc*-InAs. Par exemple :

- La préparation de surface joue un rôle prépondérant dans la croissance des *nc*-InAs : un traitement sous flux de phosphore permet d'atteindre des densités de nanocristaux maximales même à température de croissance relativement élevée,
- La croissance des *nc*-InAs n'est possible qu'entre 290 ° C et 500 ° C. On observe une diminution continue de la densité des *nc*-InAs avec la température de croissance, indiquant des mécanismes de diffusion. Au delà d'une température critique de 420 ° C, cette diminution s'accélère cependant en raison d'une désorption des adatoms d'In.
- Si la quantité d'InAs déposé à la surface de la silice augmente, la taille des *nc*-InAs augmente mais des défauts structuraux apparaissent peu à peu,
- La pression d'As n'influence que faiblement la taille et la densité des *nc*-InAs. A température de croissance élevée, une pression d'As élevée est néfaste pour la croissance en raison d'une possible évolution chimique de la surface de SiO_2 .
- Lors du dépôt de la silice par PECVD-ECR, les pressions d'oxygène et de silane jouent un rôle important sur la forme des *nc*-InAs : à forte pression, les *nc*-InAs sont attaqués sur les parties anguleuses et deviennent sphériques. Pour les applications électriques, nous privilégierons cependant la forme hémisphérique.

Pour finir, nous avons vu que pour obtenir des *nc*-InAs de bonne qualité cristalline, il faut les faire croître à une température suffisamment élevée voisine de 400 ° C - 420 ° C. Des défauts tels que des macles sont observés lorsque le temps de croissance devient trop long. Il existe donc une fenêtre de croissance "Température-Nombre de monocouches d'InAs déposé" dans laquelle les *nc*-InAs ont une qualité cristalline optimale.

Caractérisations électriques Dans un deuxième temps, nous nous sommes intéressés aux propriétés électriques de structures MOS à *nc*-InAs destinées à intégrer des cellules mémoires. Nous avons effectué des mesures de cinétiques d'écriture et d'effacement dans les *nc*-InAs. Il s'avère que le temps d'écriture d'un électron par nanocristal peut atteindre 1 μs pour une tension d'écriture de 12,4 V pour une structure ayant un oxyde tunnel de 3,5 nm d'épaisseur et des nanocristaux ayant une taille moyenne de 5 nm et une densité de 2×10^{11} cm^{-2} . La vitesse d'effacement peut atteindre un temps d'effacement de 0,1 ms pour une tension appliquée de -11,4 V. Ces couples d'écriture/effacement correspondent bien aux recommandations de l'ITRS [Edition 2007]. Par ailleurs, nous avons vu que la réduction de l'épaisseur de l'oxyde tunnel permet d'augmenter les vitesses d'écriture/effacement. Cependant, lorsque l'épaisseur d'oxyde diminue trop fortement, la capacité de stockage dans les nanocristaux diminue fortement à cause du champ électrique s'annulant dans l'oxyde tunnel.

Nous avons également vu que la fenêtre d'écriture, c'est-à-dire l'amplitude du décalage

de la tension de bande plate, est limitée par rapport à d'autres matériaux. En effet, la densité d'états dans l'InAs est assez faible en comparaison avec celle d'un métal. L'utilisation de nanocristaux métalliques permet en effet un décalage de tension de bandes plates de plusieurs volts (jusqu'à 7 V [Dufourcq *et al.*, 2008b]) alors que nos structures ont une fenêtre de chargement maximale de 2,6 V pour un oxyde tunnel de 3,5 nm et une densité de nanocristaux de $2 \times 10^{11} \text{ cm}^{-2}$. Cette fenêtre se réduit d'autant plus pour les oxydes tunnel de 1,5 nm, où la fenêtre maximale est de 0,2 V. Une solution à ce problème serait d'utiliser des nanocristaux d'In₂O₃ en remplacement des nanocristaux d'InAs. En effet, l'avantage de cet oxyde est son caractère métallique et une affinité électronique proche de 5 eV [Pan et Ma, 1980].

Les mesures de temps de rétention dans les structures à *nc*-InAs ont montré des propriétés intéressantes de ces *nc*-InAs. En effet, le temps de rétention des électrons dans les mémoires à *nc*-InAs est bien plus élevé que dans les mémoires à *nc*-Si. Pour une structure identique (même épaisseur d'oxyde tunnel, même densité et taille de nanocristaux, même épaisseur d'oxyde de contrôle), le temps de rétention dans la structure à *nc*-InAs montre une augmentation de deux décades par rapport au temps de rétention dans une structure à *nc*-Si. Par exemple, pour une structure possédant un oxyde tunnel de 3,5 nm d'épaisseur, des nanocristaux de 5 nm de diamètre et une densité de $2 \times 10^{11} \text{ cm}^{-2}$, le temps de rétention à 85 % à 300K est de $3,6 \times 10^6$ secondes, c'est à dire environs un mois et demi.

Finalement, nous avons modélisé le comportement électrique des structures MOS à *nc*-InAs pour d'une part expliquer les meilleures caractéristiques en termes de rétention électronique par rapport aux *nc*-Si, et d'autre part, pour prédire à partir du modèle développé les paramètres de la structure optimale permettant de répondre aux besoins d'une mémoire non volatile : temps de rétention long et vitesses/tensions d'écriture/effacement faibles. Grâce aux modélisations, nous avons déterminé les dimensions optimales du composant permettant d'obtenir un temps de rétention maximal (85 % au bout de 10 ans) et des vitesses/tensions d'écriture/effacement minimales. Il s'avère qu'un oxyde tunnel de 4 nm et des nanocristaux de 10 nm de diamètre sont les conditions nécessaires pour l'obtention des caractéristiques optimales de la mémoire. Cette structure est, à ce jour, en cours de test.

Perspectives Par cette étude, nous avons montré l'intérêt majeur des *nc*-InAs en remplacement de la grille flottante en polysilicium dans les mémoires non volatiles. En effet, l'utilisation de l'InAs permettrait de réduire l'épaisseur de l'oxyde tunnel au moins jusqu'à 4 nm d'épaisseur, c'est-à-dire qu'il n'y aurait pas besoin de remplacer l'oxyde SiO₂ par un oxyde high- κ entre les nœuds 19 nm (2007) et 10 nm (2022) (*Figure 1.6*). Bien que les résultats en termes de temps de rétention et vitesses/tensions d'écriture soient satisfaisants, il ne faut pas oublier que certains points restent flous :

- Le premier point concerne le procédé de fabrication : en effet, nous avons vu que les *nc*-InAs sont crûs à relativement faible température et qu'un procédé de fabrication à température élevée pourrait être néfaste pour les nanocristaux. Dans sa thèse de doctorat, Joël Dufourcq [Dufourcq, 2008a] propose un procédé de fabrication froid permettant l'intégration des nanocristaux métalliques et des oxydes high- κ dans

une structure MOS. Il serait intéressant d'évaluer l'intégration de *nc*-InAs dans ce procédé technologique.

- Le deuxième point concerne la diminution de la surface de la zone active : en effet, dans les générations de mémoires futures, il n'y aura plus que quelques nanocristaux par zone active. Il devient donc nécessaire de contrôler la position des nanocristaux. Dans le cas de la localisation à grande échelle de *nc*-Si, une technique prometteuse est en train d'être développée par Asma Ayari [Kanoun, 2010] à l'Université de Sherbrooke au Canada. Celle-ci consiste à fabriquer des nanotrous dans du nitrure Si_3N_4 par faisceau d'ions localisé (FIB : Focused Ion Beam) et de porosifier le substrat de Si. Selon les conditions de porosification, il se forme alors un unique nanocristal de Si au fond de chaque nanotrou. Le dispositif n'a pas encore été testé électriquement mais l'idée est prometteuse. Par ailleurs, d'autres auteurs ont aussi constaté qu'il était possible de faire croître des nanocristaux de Ge dans des nanotrous eux aussi réalisés par FIB [Karmous et Ronda, 2006].
- Le troisième point concerne la capacité de stockage dans les nanocristaux. En effet, celle-ci reste limitée : pour éviter les erreurs de lecture d'une mémoire il est nécessaire d'avoir une fenêtre de programmation relativement large. Pour ce faire, il faudrait que nos nanocristaux atteignent une densité de quelques $2 \times 10^{12} \text{ cm}^{-2}$. Nous avons vu cependant que notre technique de croissance permet d'obtenir au maximum une densité de $8 \times 10^{11} \text{ cm}^{-2}$. Une étude complémentaire du traitement de la surface au phosphore permettrait d'obtenir la densité nécessaire à une fenêtre de programmation suffisante.
- Le quatrième point concerne la qualité de l'oxyde de contrôle. En effet, étant donné que les *nc*-InAs ne supportent pas les procédés haute température, il a fallu utiliser un dépôt faible température. La qualité de cet oxyde est donc nettement inférieure à ce qu'elle serait avec un oxyde déposé à haute température. Des études doivent être menées en complément de celles que nous avons proposées. La voie mixte de la passivation des nanocristaux par du phosphore suivie d'un recuit densifiant sous atmosphère d'hydrogène ou sous forming gaz est certainement à prendre en considération. En effet la passivation permettrait de diminuer la réactivité de l'InAs et le recuit permettrait de densifier l'oxyde de contrôle.
- Le dernier point concerne le stockage multibit à température ambiante. En effet, au delà de 2022, il faudra être capable de stocker dans un même point mémoire deux électrons sur des états électroniques différents et à température ambiante. Une étude préliminaire du comportement électrique d'un unique nanocristal d'InAs encapsulé dans une matrice SiO_2 a été réalisée par AFM en mode Tunnelling. Nous avons pu observer que le transport à travers le nanocristal diffère de celui mesuré à travers une matrice de SiO_2 ne contenant pas de nanocristal. Le comportement de cette structure ressemble à celui d'une diode tunnel résonnante non symétrique. Le transport à travers le nanocristal d'InAs pourrait donc avoir lieu en fonction du remplissage ou non d'états électroniques dans le nanocristal. Il est donc tout à fait probable que l'on puisse injecter un nombre fini d'électrons dans les nanocristaux. Des études

complémentaires sont nécessaires pour évaluer la capacité de stockage multibits des *nc*-InAs.

Vers la mémoire à boîte unique, la mémoire multibits Nous avons guidé notre étude vers la caractérisation de boîtes uniques d’InAs dans une matrice isolante par des mesures AFM en mode “courant tunnel”. La méthode consiste à placer la pointe de l’AFM au dessus d’un nanocristal encapsulé dans de la silice (en effet, comme nous l’avons vu dans le *Chapitre 3*, les nanocristaux sont “visibles” même après encapsulation) et de connecter le substrat à la masse de l’appareil de mesure. Il est alors possible d’appliquer une rampe de tension au circuit ainsi formé. Les premières études montrent que la structure à nanocristal réagit plus ou moins comme une diode tunnel résonnante asymétrique. On observe l’apparition de pics de chargement (*Figure 5.31*) dus certainement au passage d’électrons à travers les états électroniques discrets du nanocristal.

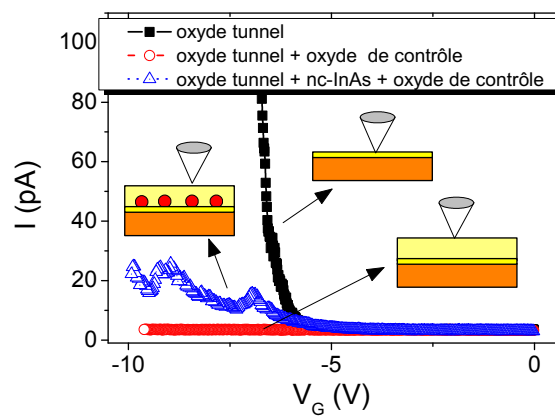


FIG. 5.31 – Mesures AFM en mode tunneling de structures référence et d’une structure à nanocristaux. On observe des pics de chargement uniquement sur la structure à nanocristaux.

A

L'AFM

La microscopie en champ proche est née en 1981 avec l'apparition du microscope à effet tunnel¹ (STM : Scanning Tunneling Microscopy) [Binnig *et al.*, 1982]. Binnig et Rohrer reçoivent le prix Nobel de Physique pour cette invention en 1986. Cette même année, le microscope à force atomique (AFM : Atomic Force Microscope) est développé par Binnig à l'université de Stanford.

A.1 Principe de fonctionnement

Le principe de l'AFM (*Figure A.1*²) repose sur l'asservissement de la position d'une sonde, ou pointe (de rayon de courbure $\approx 5 - 50 \text{ nm}$) dans le champ de force présent au voisinage des surfaces. La pointe est attachée à l'extrémité d'une poutre élastique appelée levier (cantilever) de raideur k (de 0,1 à 100 N/m). La variation de la position d'équilibre δz du levier est suivie par un laser et une photodiode. Cette déflexion permet de remonter à une mesure de la force imposée entre la pointe et la zone de l'échantillon sondée, grâce à la loi de Hooke : $F = k\delta z$.

Selon le mode de mesure considéré, la boucle de rétrocontrôle agit de telle manière que la pointe reste à force ou à gradient de force constant. Cependant, l'interaction pointe-surface est complexe. En fonction de l'environnement de travail et des conditions opératoires, plusieurs forces seront observées, avec des portées et des intensités différentes (*Figure A.2*).

Ces forces pourront être soit de nature attractive soit de nature répulsive. Parmi les forces attractives, on peut citer les forces de Van der Waals et de Casimir dues à l'inter-

¹Le principe du microscope STM repose sur la détection des états électroniques entre une pointe et un échantillon conducteur.

²Ce schéma est extrait du site internet du laboratoire Ortiz (Massachusetts Institute of Technology), <http://web.mit.edu/cortiz/www/afm.gif>.

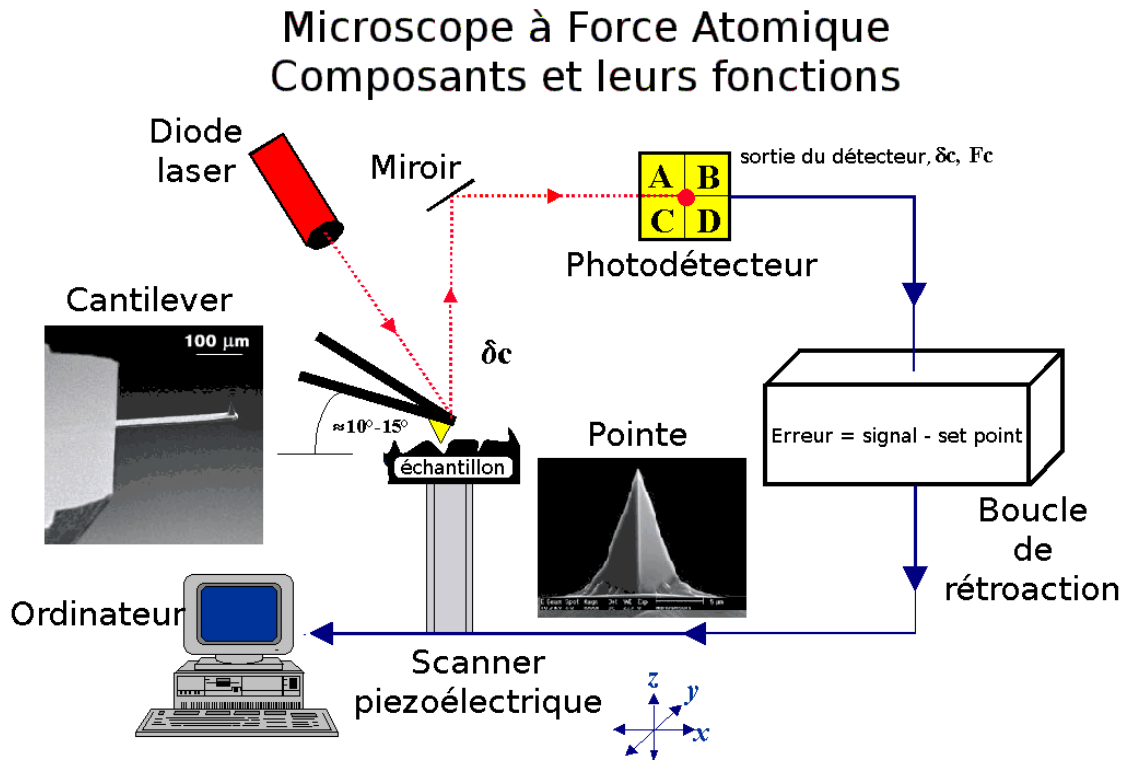


FIG. A.1 – Le tube piezoélectrique déplace l'échantillon situé au-dessous de la pointe portée par le cantilever. On détermine les déformations de cette poutre encastree par la mesure du déplacement de la tache lumineuse d'un rayon laser, grâce à un système de diodes photoélectriques. Des systèmes inverses existent également, dans lesquels l'échantillon est fixe et le cantilever se déplace.

action de dipôles instantanés, la force de capillarité due au ménisque d'eau qui recouvre usuellement les surfaces à l'air (celles de l'échantillon et de la pointe), les forces électrostatiques dues à la différence de travail de sortie dans le cas d'une sonde et d'une surface métalliques, ou encore à la présence d'électrons en excès. Les forces répulsives quant à elles sont dues à l'interpénétration des nuages électroniques et renvoient aux théories du contact élastique entre corps solides telles que celles de Hertz et de Derjaguin-Muller-Toporov. Le potentiel de Lennard Jones proposé en 1931 représente l'effet combiné de la répulsion de coeur et de la force de van der Waals :

$$V(r) = 4\epsilon \left[\left(\frac{\sigma}{r} \right)^{12} - \left(\frac{\sigma}{r} \right)^6 \right] \quad (\text{A.1})$$

où le terme r représente la distance interatomique, le terme ϵ ($\approx 10\text{meV}$) décrit la profondeur du puits de potentiel et le paramètre σ représente le diamètre de l'atome. L'allure du potentiel de Lennard-Jones souligne l'existence d'une branche attractive et d'une branche répulsive, chacune pouvant être sondée par l'AFM. Au contact de l'échantillon, les forces de répulsion coulombienne entre les atomes de la pointe et la surface dominent. Au contraire, lorsque la distance pointe-échantillon augmente de quelques nanomètres, ce sont les forces capillaires et de Van der Waals qui dominent.

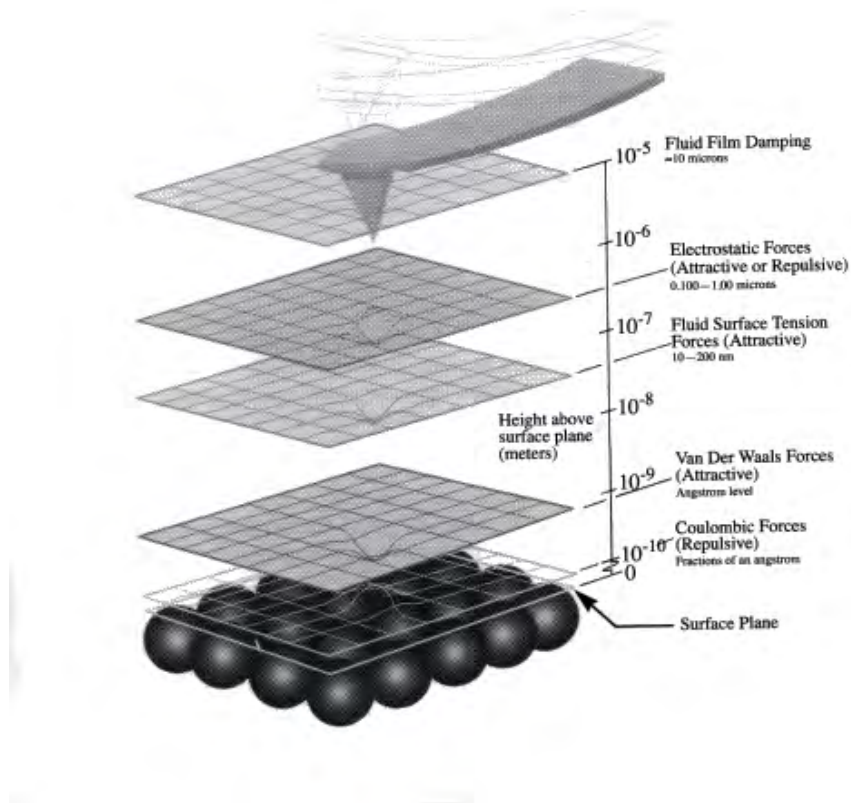


FIG. A.2 – Forces s'exerçant entre la pointe et la surface de l'échantillon.

A partir de ces observations, trois modes de travail sont exploitables en fonction de la distance entre la pointe et l'échantillon : le mode contact, le mode non-contact et le mode contact intermittent :

A.2 Les différents modes de travail

A.2.1 Mode contact

Le mode contact de l'AFM consiste à balayer la surface selon les axes x et y avec la pointe au contact. Une boucle de rétrocontrôle maintient la déflexion du levier constante : la force entre la pointe et l'échantillon est donc constante. Les forces répulsives de Van der Waals ou ionique agissant entre la pointe et l'échantillon, peuvent dévier le levier. La déviation en z de chaque point (x, y) est enregistrée dans l'ordinateur pour former une image topographique de la surface de l'échantillon. Le mode contact peut être employé dans des environnements aussi variés que l'air, un liquide ou une atmosphère contrôlée par exemple.

La pointe utilisée en mode contact peut être recouverte d'une couche conductrice en Pt-Ir. Il est alors possible de réaliser des caractérisations électriques des échantillons en appliquant une tension entre la pointe et le support d'échantillon.

Mode Tunnelling AFM Ce mode particulier utilise une pointe conductrice en mode contact. En appliquant une tension entre la pointe et le dessous de l'échantillon, un système (*Figure A.3*) permet de mesurer le courant circulant à travers l'échantillon au point (x, y) pendant le balayage. Grâce à cette technique, il est également possible d'arrêter la pointe à un endroit précis de l'échantillon, par exemple au-dessus d'un nanocristal et d'y effectuer une rampe de tension afin d'obtenir une caractéristique courant-tension. On peut noter que l'image de topographie et l'image de courant peuvent être obtenues en même temps.

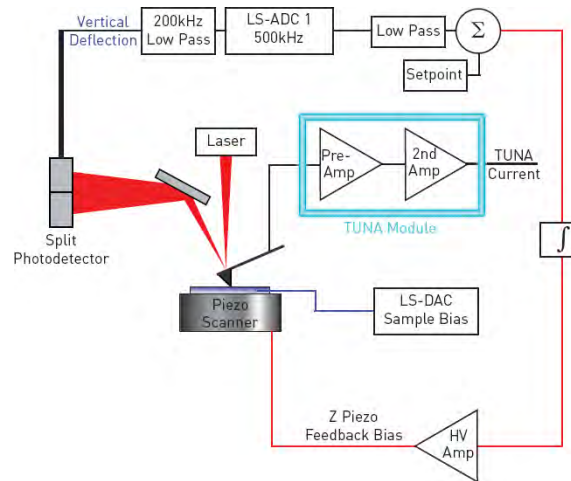


FIG. A.3 – Fonctionnement du C-AFM ou AFM en mode Tuna

A.2.2 Mode contact intermittent

Le mode contact intermittent ou TappingTM AFM consiste à faire osciller le levier près de (ou à) sa fréquence de résonance avec une amplitude de 20 à 100 nm. La pointe tape légèrement sur la surface de l'échantillon pendant le balayage au plus bas de son oscillation. La boucle de rétroaction maintient une amplitude/fréquence d'oscillation constante. La position verticale du piezo est mesurée pour chaque point (x, y) pendant le balayage. Ce mode est très utilisé pour connaître la topographie des échantillons. Les forces appliquées peuvent être réduites et le temps de contact très court limite l'interaction avec l'échantillon et le vieillissement prématuré de la pointe. Par ailleurs, les dimensions du contact sont réduites, ce qui confère à ce mode une meilleure résolution latérale.

Pour cette étude, nous avons utilisé préférentiellement le mode contact intermittent. En effet, ce mode est beaucoup plus précis (*Figure A.4*), il ne déplace pas les nanocristaux et les échantillons sont suffisamment plans pour ne pas détériorer la pointe trop rapidement.

La qualité cristalline des nanocristaux peut être sondée qualitativement par AFM. Nous avons observé que la surface de l'échantillon réagit différemment sous la pointe AFM lorsque les nanocristaux ont été crûs à basse température ou à plus haute température (*Figure A.5*). Il est alors nécessaire d'optimiser les réglages du microscope pour observer correctement les nanocristaux. Nous attribuons cela à un changement des propriétés surfaciques de l'InAs crûs à basse température.

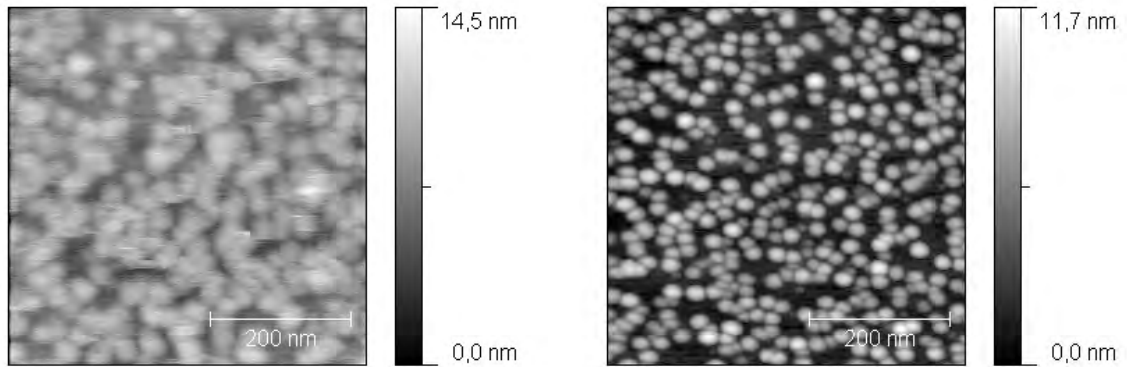


FIG. A.4 – Image du même échantillon (a) en mode contact et (b) en mode contact intermittent.

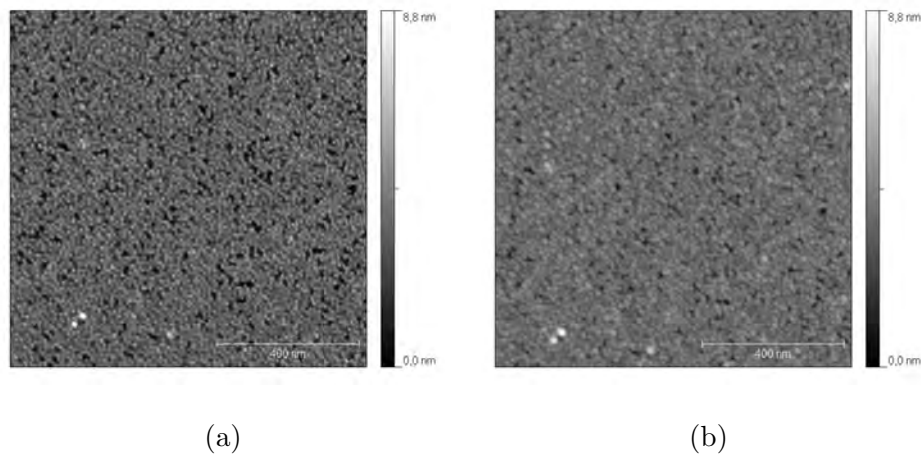


FIG. A.5 – Images AFM de la même zone d'un échantillon. Il est nécessaire d'ajuster les paramètres du scan pour observer correctement les nanocristaux crûs à basse température. Les paramètres de croissance des nanocristaux sont : $P_{As} = 4 \times 10^{-6}$ Torr, $ML_{InAs} = 4$ et $T_C = 350$ °C. (a) Réglages "standards" de l'image (b) Réglages optimisés.

A.3 Limitations de l'AFM

L'AFM permet de caractériser rapidement un dépôt en surface, d'accéder à des informations multiples comme la densité de boîtes, les facettes, la rugosité de surface,... Cependant, les images AFM d'objets de dimension nanométrique peuvent se révéler complexes à interpréter. Il faut notamment prendre en compte le rayon de courbure à l'extrémité de la pointe (de l'ordre de 10 nm). L'image AFM résulte alors de la convolution de la forme de la pointe avec la surface (*Figure A.6*). Ainsi, pour imager des nanostructures de fortes densité, la pointe ne pourra pas passer entre deux nanocristaux à cause de son encombrement, et sous-estimera la hauteur réelle des nanostructures. A l'inverse, leurs dimensions latérales seront toujours plus ou moins sur-estimées. La figure A.6 illustre la surévaluation latérale des îlots. Cet effet est négligeable pour des îlots dont la taille est de l'ordre de quelques dizaines de nanomètres.

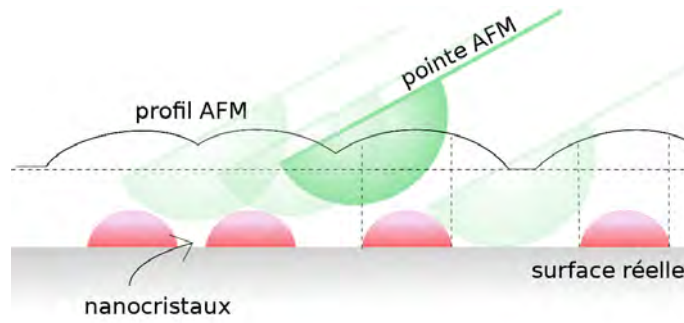


FIG. A.6 – Profil AFM (trait noir) auquel on remonte en balayant avec une pointe de 8 nm de rayon de courbure un îlot de 6 nm de diamètre. La dimension latérale est surestimée de 5% (+ 3 nm ici), la hauteur mesurée est en revanche fidèle (îlot sans voisin accolé).

A.4 Mode opératoire

Les échantillons ont été imagés avec un microscope AFM Veeco Dimension V. La hauteur et l'amplitude du signal sont récoltées en mode TappingTM à une vitesse de balayage de 1,0 Hz. Toutes les pointes utilisées sont des pointes en silicium avec un rayon de pointe de 5-10 nm, un cantilever de longueur 125 μm et une fréquence de résonance d'environ 290 Hz. Des images de haute résolution de 500 nm, 1 μm et 2 μm de côté ont été réalisées sur chaque échantillon en plusieurs endroits sur la surface pour obtenir un maximum d'informations sur l'homogénéité des échantillons (dispersion de la densité, dispersion en taille...). Avant l'analyse de chaque image, nous avons effectué un aplatissement (flattening) et un ajustement planaire (plane fitting) pour enlever les artefacts dus à la courbure du matériau piézoélectrique, la dérive thermique ou les forces latérales.

B

L'ellipsomètre

B.1 Principes théoriques généraux

L'ellipsométrie est une méthode non destructive de caractérisation de surfaces et de couches minces. Elle mesure le changement de polarisation d'une onde lumineuse lorsqu'elle se réfléchit sur une surface. Ce changement de polarisation est lié aux caractéristiques optiques de la surface.

Le plan d'incidence est défini par l'axe de propagation de l'onde incidente et la normale à la surface du matériau. Les composantes du vecteur champ électrique sont définies par rapport à ce plan. Les composantes parallèles et perpendiculaires au plan sont indicées par p et s . Les ondes p et s sont les ondes polarisées rectilignement selon les directions p ou s et leur état n'est pas modifié après réflexion.

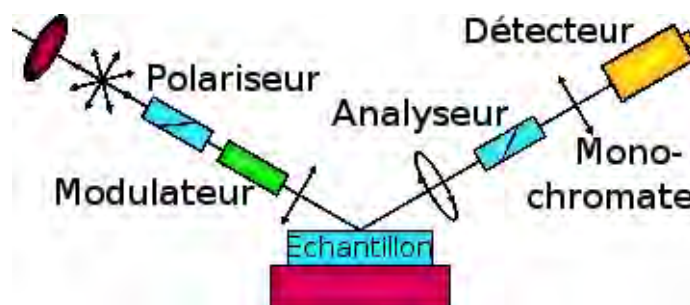


FIG. B.1 – Schéma de l'ellipsomètre

Le matériau à caractériser est supposé isotrope d'indice complexe \tilde{n}_1 et défini par sa partie réelle n_1 et sa partie imaginaire k_1 , respectivement appelées indice de réfraction et indice d'extinction : $\tilde{n}_1 = n_1 - ik_1$. L'indice du milieu ambiant est \tilde{n}_0 .

Φ_0 est l'angle d'incidence et Φ_1 est l'angle du faisceau réfracté dans le matériau. Ces

angles sont repérés par rapport à la normale à la surface. La loi de Snell-Descartes [B.1](#) relie les angles et les indices entre eux :

$$\tilde{n}_0 \sin \Phi_0 = \tilde{n}_1 \sin \Phi_1 \quad (\text{B.1})$$

Le principe de l'ellipsométrie par réflexion est fondé sur la mesure des états de polarisation de l'onde réfléchie et de l'onde incidente. Cette mesure conduit à déterminer le rapport des coefficients de Fresnel, ρ , relatifs à la polarisation p et s . Ce rapport est souvent mis sous la forme :

$$\rho = \tan \Psi + e^{i\Delta}$$

où Ψ et Δ sont les paramètres ellipsométriques mesurables, traduisant les variations d'amplitudes et de phase après réflexion des composantes du champ électrique.

L'indice complexe de réfraction du matériau peut être déduit de la mesure de ρ et des valeurs de \tilde{n}_0 et Φ_0 à partir de la relation [B.2](#) :

$$\tilde{n}_1 = \sin \Phi_0 \left[1 + \left(\frac{1 - \rho}{1 + \rho} \right)^2 \tan^2 \Phi_0 \right]^{\frac{1}{2}} \quad (\text{B.2})$$

Lorsque le matériau à caractériser est constitué d'un film mince déposé sur un substrat épais, il faut prendre en compte les réflexions multiples à l'intérieur du film mince. Cela se traduit par l'apparition de coefficients de Fresnel aux interfaces ambient/film et film/substrat et un déphasage d'onde après un aller-retour dans la couche. Ces nouveaux paramètres étant pris en compte dans le calcul de ρ , la formule précédente reste valable.

Les mesures d'épaisseur de silice déposée par ECR-PECVD sont faites en faisant varier la longueur d'onde du faisceau incident sur un échantillon. L'échantillon définit le plan d'incidence. Après réflexion, la lumière est renvoyée à l'entrée de l'analyseur. Dans le cas d'une surface recouverte par un film transparent, l'indice et l'épaisseur peuvent être obtenus soit par le calcul direct pour chaque longueur d'onde, soit en comparant le spectre expérimental à un spectre théorique calculé à partir d'un modèle. Ces modèles sont répertoriés pour un grand nombre de matériaux dans des ouvrages de référence.



Le RHEED

La Diffraction d'Electrons de Haute Energie par Réflexion (diffraction RHEED) est une technique de caractérisation non destructive permettant d'examiner la structure cristalline en surface d'un substrat. Cette annexe est une synthèse décrivant le fonctionnement de la diffraction RHEED illustré de quelques exemples. Pour plus de détails, le lecteur pourra se reporter à l'ouvrage de W. Braun [Braun, 1999] "*Applied Rheed : Reflection High-Energy Electron Diffraction During Crystal Growth*".

C.1 Principe

Intégrée à la chambre d'épitaxie, la diffraction RHEED est un moyen de contrôle in-situ de la croissance de films épitaxiés sous vide et permet de révéler en temps réel les changements de surface d'une structure lors de l'adsorption d'un film épitaxié. Ces changements correspondent à une variation de l'orientation cristallographique, à l'évolution morphologique ou encore à la qualité du film épitaxié. L'ensemble expérimental de la diffraction RHEED est constitué d'un canon à électrons (source) et d'un écran phosphorescent (récepteur). Ils sont positionnés de part et d'autre de l'échantillon, ce qui empêche toutes interférences avec le processus de croissance par épitaxie (*Figure C.1*).

Le faisceau d'électrons monoénergétique, accéléré sous haute tension (20 kV), frappe la surface de l'échantillon avec un angle rasant d'environ trois degrés. Une partie des électrons est réfléchié par interactions élastiques sur les atomes des premiers plans de la surface de l'échantillon et viennent frapper l'écran phosphorescent. L'autre partie est diffractée par les premiers plans sous la surface. La profondeur de pénétration du faisceau sous la surface (avec les conditions de faible angle d'incidence et de forte énergie) est de l'ordre d'une dizaine d'Angströms.

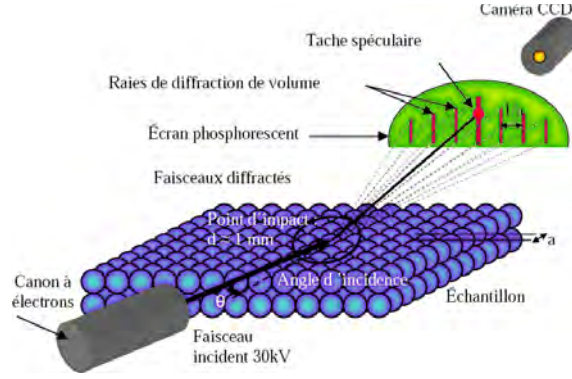


FIG. C.1 – Schéma expérimental du fonctionnement du RHEED

C.2 Théorie de formation d'un diagramme de diffraction RHEED

Les solides cristallins sont constitués d'un ensemble de mailles identiques contenant un nombre donné d'atomes appelé réseau. Les mailles de ce réseau sont disposées périodiquement dans l'espace et sont repérées par la combinaison linéaire de trois vecteurs de base $(\vec{a}, \vec{b}, \vec{c})$. Chaque atome peut donc être défini par un unique vecteur $\vec{R} = u\vec{a} + v\vec{b} + w\vec{c}$ avec u, v et w entiers. La maille élémentaire est le plus petit volume permettant de définir le réseau par périodicité. Des trois vecteurs de base qui définissent la maille, on peut déduire les vecteurs de base du réseau réciproque $(\vec{a}^*, \vec{b}^*, \vec{c}^*)$ par les expressions suivantes :

$$\vec{a}^* = \frac{2\vec{b}\vec{c}}{a\vec{b}\vec{c}} \quad (\text{C.1})$$

Les vecteurs du réseau réciproque s'écrivent donc $G = ha + kb + lc$ avec h, k et l entiers tels que $e^{i\vec{G}\cdot\vec{R}} = 1$ pour tout vecteur R appartenant au réseau réel. La condition de diffraction (ou condition de Laue) pour un volume est alors définie par $k - k' = G = ha + kb + lc$ avec G vecteur du réseau réciproque. Dans un monocristal, les atomes du réseau sont regroupés en plans parallèles et équidistants appelés plans réticulaires. La distance entre chaque plan réticulaire consécutif est donnée par $d_{hkl} = \frac{2\pi}{G}$. Les indices hkl sont appelés indices de Miller et définissent soit un plan (h, k, l) soit une direction $[hkl]$.

Dans le cas de la diffraction RHEED, les conditions d'incidence rasante sont telles que le faisceau d'électrons pénètre seulement les premières couches en surface du cristal. Les électrons ne sont diffractés que par les atomes de surface. Ces derniers occupant les noeuds d'un réseau bidimensionnel, la condition de diffraction n'est plus nécessairement satisfaite dans la direction perpendiculaire à la surface. Elle devient $(\vec{k} - \vec{k}')_{\parallel} = \vec{G}_{\parallel} = h\vec{a}^* + k\vec{b}^*$, où h et k sont des entiers. Les vecteurs $(\vec{k} - \vec{k}')_{\parallel}$ forment un ensemble de tiges perpendiculaires à la surface de l'échantillon, qui résultent de l'allongement des taches du réseau réciproque parallèlement à la normale de l'échantillon. Ce phénomène est appelé "relâchement" de la loi de Bragg.

En prenant compte des conditions de diffraction ci-dessus et en y ajoutant l'égalité traduisant la diffusion élastique des électrons sur la surface $\vec{k} - \vec{k}' = \frac{2\pi}{\lambda}$, il est possible de construire la sphère d'Ewald de rayon k et centrée sur l'origine du réseau réciproque. Le

rayon de la sphère d'Ewald est très grand devant les distances entre les noeuds appartenant au réseau réciproque.

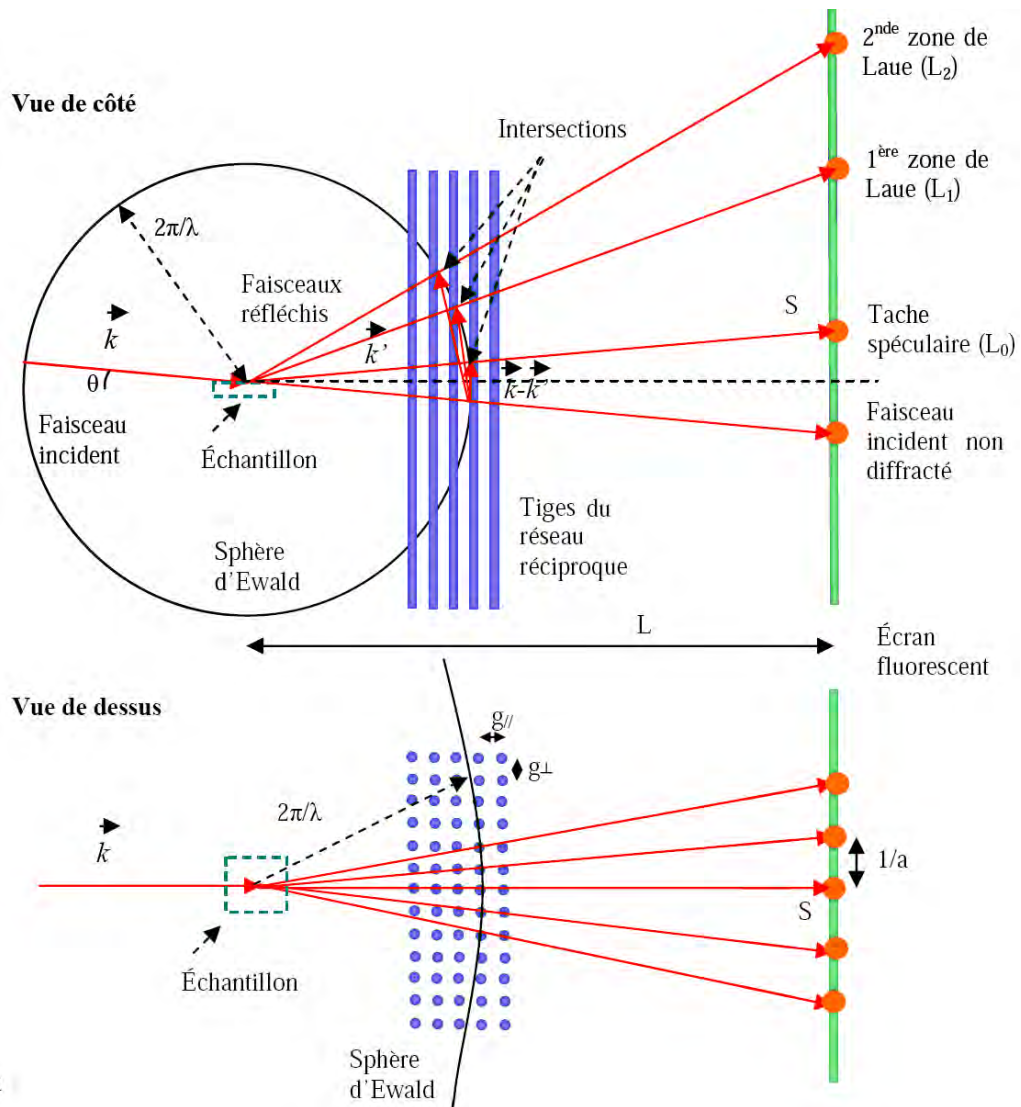


FIG. C.2 – Schéma de principe de la diffraction RHEED

La construction d'Ewald, appliquée à la diffraction RHEED, consiste à amener les différentes tiges du réseau réciproque sur la sphère d'Ewald pour s'assurer que dans une direction donnée du faisceau incident, la diffraction est possible. La condition de Laue est satisfaite si l'extrémité du vecteur $\vec{k} - \vec{k}'$ rencontre une tige du réseau réciproque. La condition de diffusion élastique assure un maximum d'intensité dans les directions pour lesquelles la pointe du vecteur $\vec{k} - \vec{k}'$ se trouve à l'intersection d'une tige du réseau réciproque et de la sphère d'Ewald. Le faisceau diffracté qui correspond à cette intersection particulière est la ligne imaginaire partant de l'échantillon suivant le vecteur \vec{k}' qui frappe l'écran fluorescent. Le rayon de la sphère d'Ewald étant grand devant \vec{G} , la sphère coupe plusieurs plans parallèles du réseau réciproque et ceux-ci apparaissent dans le diagramme sous forme de zones circulaires concentriques appelées zones de Laue.

C.3 Analyse de diagrammes RHEED

(Figure C.3) Les principales informations que l'on peut tirer des diagrammes de diffraction RHEED d'un film épitaxié sont : la qualité cristalline, le mode de croissance, les reconstructions de surface et la vitesse de croissance. Cependant presque toutes ces informations sont accessibles uniquement dans le cas d'une croissance cristalline sur substrat monocristallin.

Ainsi, la première information donnée par la diffraction RHEED concerne la cristallinité de la surface de l'échantillon (le substrat avant croissance, et la couche épitaxiée pendant la croissance). Les matériaux amorphes, pour lesquels l'arrangement atomique est aussi désordonné que dans un liquide, ne possèdent pas d'ordre à longue distance. La résultante de l'intersection du réseau réciproque avec la sphère d'Ewald est la sphère d'Ewald elle-même. On observe donc sur le diagramme RHEED un demi-cercle diffus car chaque vecteur de diffraction s réfléchit sur l'écran du RHEED dans n'importe quelle direction.

Une croissance polycristalline correspond à la juxtaposition de domaines monocristallins désorientés les uns par rapport aux autres. Le diagramme RHEED d'une couche polycristalline est caractérisé par l'apparition d'anneaux de Debye-Scherrer sur l'écran fluorescent. Par rapport à une couche amorphe où le diagramme RHEED provient de la diffusion, les anneaux de Debye-Scherrer résultent de la diffraction dans toutes les directions.

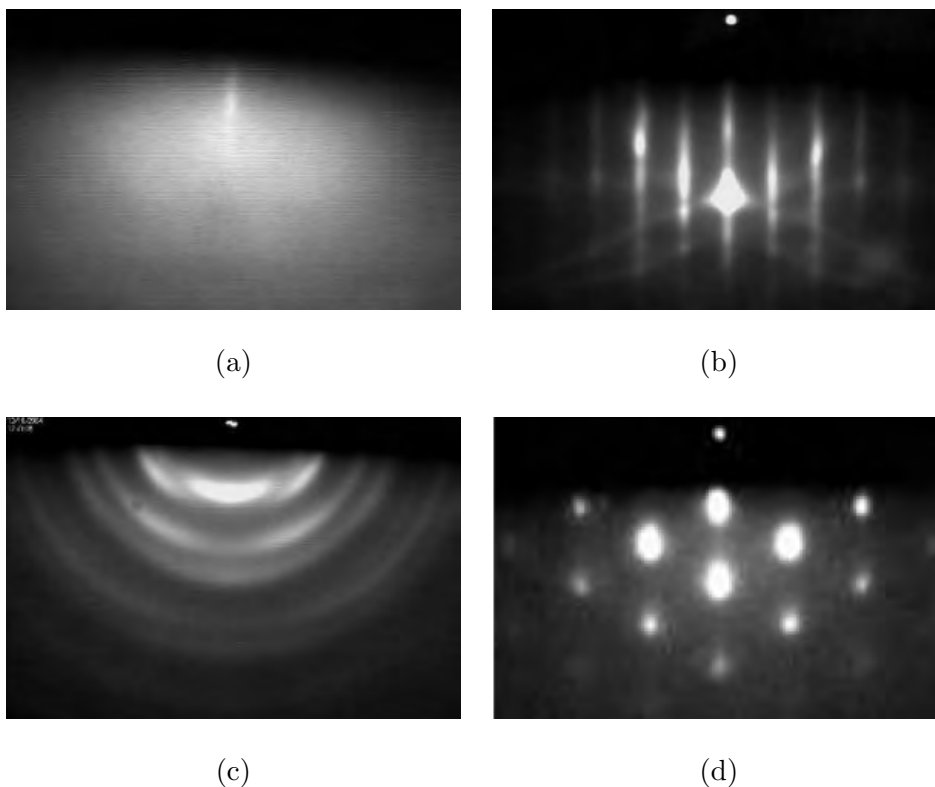


FIG. C.3 – (a) Surface amorphe (b) Surface monocristalline 2D (c) Surface polycristalline 2D ou 3D (d) Surface monocristalline 3D

Bibliographie

- K. AISSOU, M. KOGELSCHATZ, T. BARON et P. GENTILE : Self-assembled block polymer templates as high resolution lithographic masks. *Surface Science*, vol. 601, pp. 2007, 2007. Cité page 40.
- M. AKAZAWA et H. HASEGAWA : MBE growth and in situ XPS characterization of silicon interlayers on (1 1 1)B surfaces for passivation of GaAs quantum wire devices. *In Proceedings of the 14th International Conference on Molecular Beam Epitaxy*, vol. 301–302, pp. 951–954, 2007. Cité page 108.
- G. ALLAN, Y. M. NIQUET et C. DELERUE : Quantum confinement energies in zinc-blende III-V and group IV semiconductors. *Applied Physics Letters*, vol. 77, pp. 639, 2000. Cité pages 47, 48, 49, 168 et 177.
- G. AMMENDOLA, V. ANCARANI, V. TRIOLO, M. BILECI, D. CORSO, I. CRUPI, L. PERNIOLA, C. GERARDI, S. LOMBARDO et B. DESALVO : Nanocrystal memories for flash device applications. *Solid-State Electronics*, vol. 48, no. 9, pp. 1483–1488, septembre 2004. Cité pages 30, 32 et 33.
- S.-J. BAIK, S. CHOI, U.-I. CHUNG et J. T. MOON : High speed and nonvolatile si nanocrystal memory for scaled flash technology using highly field-sensitive tunnel barrier. *In Proceedings of the IEEE International Electron Devices Meeting. IEDM Technical Digest.*, pp. 2231–2234, 2003. Cité pages 20, 32 et 33.
- S. BAIK, S. CHOI, U.-I. CHUNG et J. MOON : Engineering on tunnel barrier and dot surface in Si nanocrystal memories. *Solid-State Electronics*, vol. 48, no. 9, pp. 1475–1481, 2004. Cité page 155.
- T. BARON, F. MARTIN, P. MUR, C. WYON et M. DUPUY : Silicon quantum dot nucleation on Si₃N₄, SiO₂ and SiO_xN_y substrates for nanoelectronic devices. *Journal of Crystal Growth*, vol. 209, no. 4, pp. 1004–1008, 2000. Cité page 33.
- T. BARON, F. MAZEN, C. BUSSERET, A. SOUIFI, P. MUR, F. FOURNEL, M. N. SÉMÉRIA, H. MORICEAU, B. ASPARD, P. GENTILE et N. MAGNEA : Nucleation control of CVD growth silicon nanocrystals for quantum devices. *Microelectronic Engineering*, vol. 61–62, pp. 511–515, juillet 2002. Cité page 28.
- T. BARON, B. PELISSIER, L. PERNIOLA, F. MAZEN, J. M. HARTMANN et G. ROLLAND : Chemical vapor deposition of Ge nanocrystals on SiO₂. *Applied Physics Letters*, vol. 87(7), pp. 1444–1446, 2003. Cité pages 37 et 38.

- S. BERNARDINI : *Modélisation des structures métal-oxyde-semiconducteur (MOS) : applications aux dispositifs mémoire*. Thèse de doctorat, Université d'Aix-Marseille 1, Marseille, France, 2004. Cité page 16.
- N. BERTRU : *Contribution à l'étude de la croissance de GaSb et d'InAs par epitaxie par jets moléculaires*. Thèse de doctorat, Université de Montpellier 2, Montpellier, France, 1994. Cité page 91.
- D. BIMBERG, M. GRUNDMANN et N. N. LEDENTSOV : *Quantum Dot Heterostructures*. ISBN-10 : 0471973882. Wiley, New-York, 1^{ère} édition, Décembre 1998. Cité page 46.
- G. BINNIG, C. GERBER, H. ROHER et E. WEIBEL : Surface Studies by Scanning Tunneling Microscopy. *Physical Review Letters*, vol. 49(1), pp. 57–61, 1982. Cité page 195.
- W. BRAUN : *Applied Rheed : Reflection High-Energy Electron Diffraction During Crystal Growth*. ISBN-10 : 3540651993. Springer-Verlag, Berlin, 1^{ère} édition, Avril 1999. Cité page 203.
- C. BUSSERET : *Etudes optiques et électriques des propriétés électroniques de nano-cristaux de silicium pour composants mono-electroniques*. Thèse de doctorat, INSA Lyon, France, 2001. Cité pages 33, 36, 127, 145, 146, 149, 158, 161, 162, 176, 177, 178, 179 et 188.
- C. BUSSERET, A. SOUIFI, T. BARON, G. GUILLOT, F. MARTIN, M. N. SEMERIA et J. GAUTIER : Discharge mechanisms modeling in LPCVD silicon nanocrystals using C-V and capacitance transient techniques. *Superlattices and Microstructures*, vol. 28, no. 5–6, pp. 493–500, 2000. Cité pages 46 et 188.
- C. BUSSERET, A. SOUIFI, T. BARON, S. MONFRAY, N. BUFFET, E. GAUTIER et M. SEMERIA : Electronic properties of silicon nanocrystallites obtained by SiO_x (x < 2) annealing. *Materials Science and Engineering C*, vol. 19, no. 1-2, pp. 237–241, 2002. Cité page 120.
- Y.-K. CHA, S. PARK, Y. PARK, I.-K. YOO, D. CHA, J. H. SHIN, et S.-H. CHOI : Effect of hydrogenation on the memory properties of Si nanocrystals obtained by inductively coupled plasma chemical vapor deposition. *Applied Physics Letters*, vol. 89, pp. 202112, 2006. Cité pages 135 et 136.
- J. R. CHELIKOWSKI et M. L. COHEN : Non local pseudopotential calculation for the electronic structure of eleven diamond and Zinc-Blende semiconductors. *Physical Review B*, vol. 14(2), pp. 556–582, 1976. Cité page 45.
- W.-R. CHEN, T.-C. CHANG, P.-T. LIU, P.-S. LIN, C.-H. TU et C.-Y. CHANG : Formation of stacked Ni silicide nanocrystals for non-volatile memory application. *Applied Physics Letters*, vol. 90, pp. 112108, 2007. Cité page 40.
- C.-H. CHO, B.-H. KIM, T.-W. KIM, S.-J. PARK, N.-M. PARK et G.-Y. SUNG : Effect of hydrogen passivation on charge storage in silicon quantum dots embedded in silicon nitride film. *Applied Physics Letters*, vol. 86, pp. 143107, 2005. Cité pages 135 et 155.

- S. CHOI, H. YANG, M. CHANG, S. BAEK, H. HWANG, S. JEON, J. KIM et C. KIM : Memory characteristics of silicon nitride with silicon nanocrystals as a charge trapping layer of nonvolatile memory devices. *Applied Physics Letters*, vol. 86, no. 25, pp. 251901, 2005. Cité page 36.
- I. CRUPI, D. CORSO, G. AMMENDOLA, S. LOMBARDO, C. GERARDI, B. DESALVO, G. GHIBAUDO, E. RIMINI et M. MELANOTTE : Peculiar Aspects of Nanocrystal Memory Cells : Data and Extrapolations. *IEEE Transactions on Nanotechnology*, vol. 2(4), pp. 319–323, 2003. Cité pages 29, 32 et 33.
- J. DE BLAUWE : Nanocrystal Nonvolatile Memory Devices. *IEEE Transactions on Nanotechnology*, vol. 1(1), pp. 72–77, 2002. Cité page 34.
- J. DE BLAUWE, M. OSTRAAT, M. GREEN, G. WEBER, T. SORSCH, A. KERBER, F. KLEMENS, R. CIRELLI, E. FERRY, J. GRAZUL, F. BAUMANN, Y. KIM, W. MANSFIELD, J. BUDE, J. LEE, S. HILLENIUS, R. FLAGAN et H. ATWATER : A novel, aerosol-nanocrystal floating-gate device for non-volatile memory applications. *In Proceedings of the IEEE International Electron Devices Meeting. IEDM Technical Digest.*, pp. 683–686, 2000. Cité page 155.
- B. DE SALVO, C. GERARDI, R. VAN SCHAIJK, S. LOMBARDO, D. CORSO, C. PLANTAMURA, S. SERAFINO, G. AMMENDOLA, M. VAN DUUREN, P. GOARIN, W. MEI, K. VAN JEUGD, T. BARON, M. GE ?LY, P. MUR et S. DELEONIBUS : Performance and reliability features of advanced nonvolatile memories based on discrete traps (silicon nanocrystals, SONOS). *IEEE Transactions on Device and Materials Reliability*, vol. 4, no. 3, pp. 377–387, 2004. Cité page 29.
- B. DE SALVO, G. GHIBAUDO, G. PANANAKAKIS, B. GUILLAUMOT et T. BARON : Investigation of charging/discharging phenomena in nano-crystal memories. *Superlattices and Microstructures*, vol. 28, no. 5–6, pp. 339–344, 2000. Cité pages 120, 158, 159, 162 et 166.
- B. DE SALVO, G. GHIBAUDO, G. PANANAKAKIS, P. MASSON, T. BARON, N. BUFFET, A. FERNANDES et B. GUILLAUMOT : Experimental and theoretical investigation of nano-crystal and nitride-trap memory devices. *IEEE Transactions on Electron Devices*, vol. 48, no. 8, pp. 1789–1799, Aug 2001. Cité page 119.
- B. DE SALVO, G. GHIBAUDO, G. PANANAKAKIS, G. REIMBOLD, F. MONDOND, B. GUILLAUMOT et P. CANDELIER : Experimental and theoretical investigation of non-volatile memory data-retention. *IEEE Transactions on Electron Devices*, vol. 46, pp. 1518, 1999a. Cité page 145.
- B. DE SALVO, P. LUTHEREAU, T. BARON, G. GHIBAUDO, F. MARTIN, D. FRABOULET, G. REIMBOLD et J. GAUTIER : Transport process in thin SiO₂ films with an embedded 2-D array of Si nanocrystals. *Microelectronics Reliability*, vol. 40, no. 4-5, pp. 863–866, 1999b. Cité pages 34 et 164.

- B. DEAL et A. GROVE : General relationship for the thermal oxidation of silicon. *Journal of Applied Physics*, vol. 36, pp. ?, 1965. Cité page 55.
- J. DUFOURCQ, S. BODNAR, G. GAY, D. LAFOND, P. MUR, G. MOLAS, J. P. NIETO, L. VANDROUX, L. JODIN, F. GUSTAVO et T. BARON : High Density Platinum Nanocrystals for non-volatile memory applications. *Applied Physics Letters*, vol. 92, no. 7, pp. 073102, 2008b. Cité pages 39, 40, 148, 149, 155 et 191.
- J. DUFOURCQ : *Elaboration et Caractérisation microscopique de matériaux à l'échelle nanométrique en vue de l'application aux mémoires non volatiles*. Thèse de doctorat, UJF, Grenoble, France, 2008a. Cité page 191.
- D. FRANK, R. DENNARD, E. NOWAK, P. SOLOMON, Y. TAUR et H.-S. P. WONG : Device scaling limits of si mosfets and their application dependencies. *In Proceedings of the IEEE*, vol. 89, pp. 259–288, 2001. Cité page 14.
- FREESCALE : *A 0.18 μ m 4Mb Toggling MRAM*. disponible sur : <http://www.freescale.com/files/memory/doc/>. 2006, Consulté le 01.04.2008. Cité page 25.
- K. GACEM, A. E. HDIY, M. TROYON, I. BERBEZIER, P. D. SZKUTNIK, A. KARMOUS et A. RONDA : Memory and coulomb blockade effects in germanium nanocrystals embedded in amorphous silicon on silicon dioxide. *Journal of Applied Physics*, vol. 102, no. 9, pp. 093704, 2007. Cité pages 37 et 38.
- M. P. GELLER : *Investigation of Carrier Dynamics in Self-Organized Quantum Dots for Memory Devices*. Thèse de doctorat, Fakultät II–Mathematik und Naturwissenschaften der Technischen Universität Berlin, Allemagne, 2007. Cité pages 50 et 51.
- M. GENDRY, F. KRAFFT, S. KRAWCZYK, P. VIKTOROVITCH, P. ABRAHAM, A. BEKKAOUI et Y. MONTEIL : Improved electronic properties of as-based III-V compound semiconductor surface stabilized with phosphorus. *In Proceedings of the IEEE 3rd International Conference on Indium Phosphide and Related Materials.*, pp. 567–570, Apr 1991. Cité page 110.
- C. GERARDI, V. ANACARNI et R. PORTOGHESE : Nanocrystal Memory Cell Integration in a Stand-Alone 16–Mb NOR Flash Device. *IEEE Transactions on Electron Devices*, vol. 54(7), pp. 1376–1384, 2007. Cité pages 34 et 36.
- N. GRANDJEAN : *Phénomènes de surface en croissance épitaxiale fortement contrainte de $In_xGa_{1-x}As$ ($x>0,25$) sur $GaAs(001)$: relaxation élastique, transition 2D-3D, effet surfactant*. Thèse de doctorat, Université de Nice, Nice, France, 1994. Cité pages 60 et 61.
- W. GUAN, S. B. LONG, M. LIU, Q. LIU, Y. HU, Z. G. LI et J. R. : Modeling of retention characteristics for metal and semiconductor nanocrystal memories. *Solid-State Electronics*, vol. 51, pp. 806–811, 2007. Cité pages 49, 167 et 177.

- L. GUO, E. LEOBANDUNG et S. Y. CHOU : A room-temperature silicon single-electron metal-oxide-semiconductor memory with nanoscale floating-gate and ultranarrow channel. *Applied Physics Letters*, vol. 70, pp. 850, 1997. Cité page 28.
- K. HAN, I. KIM et H. SHIN : Programming characteristics of p-channel Si nano-crystal memory. *IEEE Electron Device Letters*, vol. 21, no. 6, pp. 313–315, 2000. Cité page 120.
- H. HASEGAWA, M. AKAZAWA et E. OHUE : Passivation technology using an ultrathin Si interface control layer for air-exposed InGaAs surfaces. *In Proceedings of the IEEE 3rd International Conference on Indium Phosphide and Related Materials.*, pp. 630–633, Apr 1991. Cité page 108.
- R. J. W. HILL, D. A. J. MORAN, X. LI, H. ZHOU, D. MACINTYRE, S. THOMS, A. ASENOV, P. ZURCHER, K. RAJAGOPALAN, J. ABROKWAH, R. DROOPAD, M. PASSLACK et I. G. THAYNE : Enhancement-Mode GaAs MOSFETs with an In_{0.3}Ga_{0.7}As Channel, a Mobility of Over 5000 cm²/V.s, and Transconductance of Over 475 μ S/ μ m. *IEEE Transactions on Electron Devices*, vol. 28(12), pp. 1080–1082, 2007. Cité page 50.
- M. HOCEVAR, P. REGRENY, A. DESCAMPS, D. ALBERTINI, G. SAINT-GIRONS, A. SOUIFI, M. GENDRY et G. PATRIARCHE : InAs nanocrystals on SiO₂/Si by molecular beam epitaxy for memory applications. *Applied Physics Letters*, vol. 91, no. 13, pp. –, 2007. Cité page 155.
- G. HOLLINGER, R. SKHEYTA-KABBANI et M. GENDRY : Oxides on GaAs and InAs surfaces : An x-ray-photoelectron-spectroscopy study of reference compounds and thin oxide layers. *Physical Review B*, vol. 49, no. 16, pp. 11159–11167, Apr 1994. Cité page 62.
- K. HOYA, D. TAKASHIMA, S. SHIRATAKE, R. OGIWARA, T. MIYAKAWA, H. SHIGA, S. DOUMAE, S. OHTSUKI, Y. KUMURA, S. SHUTO, T. OZAKI, K. YAMAKAWA, I. KUNISHIMA, A. NITAYAMA et S. FUJII : A 64Mb chain FeRAM with Quad-BL architecture and 200MB/s burst mode. *In Proceedings of the IEEE International Solid-State Circuits Conference*, pp. 459–466, 2006. Cité page 26.
- IBM : *Présentation du ThinkPad X300*. disponible sur : <http://www.pc.ibm.com/europe/x300/fr/index.html?europe&cc=europe>. Février 2008, Consulté le 01.04.2008. Cité page 17.
- IMEC : *III-V MOS devices*. disponible sur : <http://www.imec.be/wwwinter/mediacenter/en/SR2006/681395.html>. 2006, Consulté le 01.04.2008. Cité page 46.
- ITRS : Process Integration, Devices, and Structures. Rapport technique, International Technology Roadmap for Semiconductors, Edition 2007. Cité pages 19, 20, 36, 42, 133, 142, 143, 158, 185, 186 et 190.
- S. JACOB, G. FESTES, S. BODNAR, R. COPPARD, J. THIERY, T. PATE-CAZAL, T. PEDRON, B. DE SALVO, L. PERNIOLA, E. JALAGUIER, F. BOULANGER et S. DELEONIBUS :

- Integration of cvd silicon nanocrystals in a 32mb nor flash memory. *In Proceedings of the 37th European Solid State Device Research Conference*, pp. 410–413, 2007. Cité pages 32, 33, 34, 42 et 146.
- D. KAHNG et S. M. SZE : A floating-gate and its application to memory devices. *The Bell System Technical Journal*, vol. 46 (4), pp. 1288–1295, 1967. Cité page 15.
- A. KANJILAL, J. LUNDSGAARD HANSEN, P. GAIDUK, C. N. NYLANDSTED, A. LARSEN, A. CLAVERIE, P. NORMAND, D. SKARLATOS, E. KAPETANAKIS et D. TSOUKALAS : Structural and electrical properties of silicon dioxide layers with embedded germanium nanocrystals grown by molecular beam epitaxy. *Applied Physics Letters*, vol. 82(8), pp. 1212, 2003. Cité page 37.
- A. KANOUN : *Fabrication and characterization of a nc-Si based, single-electron memory structures made in Si₃N₄ nanoholes by FIB or e-beam*. Thèse de doctorat, Université de Sherbrooke, Sherbrooke, Canada, 2010. Cité page 192.
- M. KANOUN : *Caractérisations Electriques des Composants MOS à Nanocristaux de Ge pour des Applications Mémoires Non Volatiles*. Thèse de doctorat, INSA de Lyon, Lyon, France, 2004b. Cité pages 37, 145, 149 et 178.
- M. KANOUN, C. BUSSERET, T. BARON et A. SOUIFI : On the saturation mechanism in the ge nanocrystals-based non-volatile memory. *Solid-State Electronics*, vol. 50, no. 5, pp. 769–773, 2006a. Cité page 134.
- M. KANOUN, C. BUSSERET, A. PONCET, A. SOUIFI, T. BARON et E. GAUTIER : Electronic properties of ge nanocrystals for non volatile memory applications. *Solid-State Electronics*, vol. 50, no. 7–8, pp. 1310–1314, 2006b. Cité pages 139 et 155.
- M. KANOUN, A. SOUIFI, T. BARON et F. MAZEN : Electrical study of Ge-nanocrystal-based metal-oxide-semiconductor structures for p-type nonvolatile memory applications. *Applied Physics Letters*, vol. 84, no. 25, pp. 5079–5081, 2004a. Cité pages 36, 38 et 39.
- I. KARMOUS, A. BERBEZIER et A. RONDA : Formation and ordering of Ge nanocrystals on SiO₂. *Physical Review B.*, vol. 73, pp. 075323, 2006. Cité pages 28, 62, 99, 100 et 192.
- D.-W. KIM, T. KIM et S. BANERJEE : Memory characterization of SiGe quantum dot flash memories with HfO₂ and SiO₂ tunneling dielectrics. *IEEE Transactions on Electron Devices*, vol. 50, no. 9, pp. 1823–1829, 2003. Cité page 155.
- D.-C. KIM, W.-C. SHIN, J.-D. LEE, J.-H. SHIN, J.-H. LEE, S.-H. HUR, I.-G. BAIK, Y.-C. SHIN, C.-H. LEE, J.-S. YOON, H.-G. LEE, K.-S. JO, S.-W. CHOI, B.-K. YOU, J.-H. CHOI, D. PARK et K. KIM : A 2 Gb NAND flash memory with 0.044 μm^2 cell size using 90 nm flash technology. *In Proceedings of the IEEE International Electron Devices Meeting. IEDM Technical Digest.*, pp. 919–922, 8–11 Dec. 2002. Cité page 20.
- Y.-C. KING, T.-J. KING et C. HU : MOS memory using germanium nanocrystals formed by thermal oxidation of Si_{1-x}Ge_x. *In Proceedings of the IEEE International Electron Devices Meeting. IEDM Technical Digest.*, vol. 1998, pp. 115–118, 1998. Cité page 36.

- Y.-C. KING, T.-J. KING et C. HU : Charge-trap memory device fabricated by oxidation of $\text{Si}_{1-x}\text{Ge}_x$. *IEEE Transactions on Electron Devices*, vol. 48, no. 4, pp. 696–700, 2001. Cité page 22.
- K. KOIKE, K. SAITOH, S. LI, S. SASA, M. INOUE et M. YANO : Room-temperature operation of a memory-effect $\text{AlGaAs}/\text{GaAs}$ heterojunction field-effect transistor with self-assembled InAs nanodots. *Applied Physics Letters*, vol. 76, no. 11, pp. 1464–1466, 2000. Cité pages 50 et 51.
- L. LAI : OUM : a 180 nm non volatile memory cell element technology for stand alone and embedded applications. In *Proceedings of the IEEE International Electron Devices Meeting. IEDM Technical Digest.*, p. 365, 2001. Cité page 23.
- L. LARGEAU, G. PATRIARCHE, G. SAINT-GIRONS, G. DELHAYE et G. HOLLINGER : Self-assembled Ge nanocrystals on $\text{BaTiO}_3/\text{SrTiO}_3/\text{Si}(001)$. *Applied Physics Letters*, vol. 92, no. 3, pp. 031904, 2008. Cité page 100.
- C. LEE, T.-H. HOU et E.-C. KAN : Nonvolatile memory with a metal nanocrystal/nitride heterogeneous floating-gate. *IEEE Transactions on Electron Devices*, vol. 52, no. 12, pp. 2697–2702, 2005. Cité page 180.
- J.-D. LEE, J.-H. CHOI, D. PARK et K. KIM : Degradation of tunnel oxide by fn current stress and its effects on data retention characteristics of 90 nm nand flash memory cells. In *Proceedings of the 41st IEEE International Reliability Physics Symposium*, pp. 497–501, 30 March-4 April 2003. Cité page 20.
- M. LENZLINGER et E. H. SNOW : Fowler-Nordheim tunneling into thermally grown SiO_2 . *Journal of Applied Physics*, vol. 40, no. 1, pp. 278–283, 1969. Cité page 121.
- R. LEON, C. LOBO, T. CHIN, J. WOODALL, S. FAFARD, S. RUVIMOV, Z. LILIENTAL-WEBER et M. S. KALCEFF : Self-forming InAs/gap quantum dots by direct island growth. *Applied Physics Letters*, vol. 72, no. 11, pp. 1356 –, 1998. Cité page 82.
- Y.-H. LIN, C.-H. CHIEN, C.-T. LIN, C.-Y. CHANG et T.-F. LEI : Novel two-bit HfO_2 nanocrystal nonvolatile flash memory. *IEEE Transactions on Electron Devices*, vol. 53, no. 4, pp. 782–789, 2006. Cité page 29.
- E. LIND, A. PERSSON, L. SAMUELSON et L.-E. WERNERSSON : Improved subthreshold slope in an InAs nanowire heterostructure field-effect transistor. *Nano Letters*, vol. 6, no. 9, pp. 1842–1846, 2006. Cité page 46.
- Z. LIU, C. LEE, V. NARAYANAN, G. PEI et E. C. KAN : Metal nanocrystal memories—Part I : Device design and fabrication. *IEEE Transactions on Electron Devices*, vol. 49, no. 9, pp. 1606–1613, 2002a. Cité pages 22, 40 et 147.
- Z. LIU, C. LEE, V. NARAYANAN, G. PEI et E. C. KAN : Metal nanocrystal memories—Part II : Electrical characteristics. *IEEE Transactions on Electron Devices*, vol. 49, no. 9, pp. 1614–1622, 2002b. Cité pages 39, 41, 42, 147 et 155.

- G. MAY et S. SZÉ : *Fundamentals of Semiconductor Fabrication*. ISBN-10 : 0471232793. Wiley, New-York, 1^{ère} édition, Avril 2003. Cité pages 55, 66 et 68.
- F. MAZEN : *Etude de la nucléation et de la croissance de nanocristaux de silicium élaborés par dépôt chimique en phase vapeur pour dispositifs nanoélectroniques*. Thèse de doctorat, INSA de Lyon, Lyon, France, 2003. Cité pages 29, 73, 83, 89 et 93.
- C. MESSMER et J. C. BILELLO : The surface energy of Si, GaAs, and GaP. *Journal of Applied Physics*, vol. 52, no. 7, pp. 4623–4629, 1981. Cité page 62.
- A. MICHON : *Etude de la croissance de boîtes quantiques InAs/InP(001) par épitaxie en phase vapeur aux organométalliques pour des applications à 1,55 μm* . Thèse de doctorat, Université Pierre et Marie Curie - Paris VI, Paris, France, 2007. Cité pages 92 et 93.
- MURALIDHAR : An Embedded Silicon Nanocrystal Nonvolatile Memory for the 90nm Technology Node operating at 6V. *In Proceedings of the IEEE International Conference on Integrated Circuit Design and Technology*, pp. 31–35, 2004. Cité pages 32 et 33.
- C. NG, T. CHEN, D. SREEDUTH, Q. CHEN, L. DING et A. DU : Silicon nanocrystal-based non-volatile memory devices. *Thin Solid Films*, vol. 504, no. 1–2, pp. 25–27, 2006. Cité pages 146 et 149.
- E. H. NICOLLIAN et J. R. BREWS : *MOS (Metal Oxide Semiconductor) Physics and Technology*. ISBN-10 : 0471085006. Wiley, New-York, Novembre 2002. Cité page 114.
- P. NORMAND, E. KAPETANAKIS, P. DIMITRAKIS, D. TSOUKALAS, K. BELTSIOS, N. CHERKASHIN, C. BONAFOS, G. BENASSAYAG, H. COFFIN, A. CLAVERIE, V. SONCINI, A. AGARWAL et M. AMEEN : Effect of annealing environment on the memory properties of thin oxides with embedded Si nanocrystals obtained by low-energy ion-beam synthesis. *Applied Physics Letters*, vol. 83, no. 1, pp. 168–170, 2003. Cité page 33.
- C. A. PAN et T. P. MA : Work function of In_2O_3 film as determined from internal photoemission. *Applied Physics Letters*, vol. 37, no. 8, pp. 714–716, 1980. Cité pages 143 et 191.
- E. PEHLKE, N. MOLL, A. KLEY et M. SCHEFFLER : Shape and stability of quantum dots. *Applied Physics A*, vol. 65, pp. 525–534, 1997. Cité page 62.
- H. PETTERSSON, L. BAATH, N. CARLSSON, W. SEIFERT et L. SAMUELSON : Case study of an InAs quantum dot memory : Optical storing and deletion of charge. *Applied Physics Letters*, vol. 79, pp. 78–80, 2001. Cité pages 50 et 51.
- M. PORTI, M. AVIDANO, M. NAFRÍA, X. AYMERICH, J. CARRERAS, O. JAMBOIS et B. GARRIDO : Nanoscale electrical characterization of Si-nc based memory metal-oxide-semiconductor devices. *Journal of Applied Physics*, vol. 101, pp. 064509, 2007. Cité page 121.

- K. PRALL : Scaling non-volatile memory below 30nm. *In Proceedings of the IEEE 22nd Non-Volatile Semiconductor Memory Workshop*, vol. 1, pp. 5–10, 2007. Cité pages 20 et 31.
- E. J. PRINZ : The zen of nonvolatile memories. *In Proceedings of the ACM/IEEE 43rd Design Automation Conference*, pp. 815–820, 24–28 July 2006. Cité page 23.
- J. C. RANUAREZ, M. J. DEEN et C.-H. CHEN : A review of gate tunneling current in MOS devices. *Microelectronics and Reliability*, vol. 46(12), pp. 1939–1956, 2006. Cité page 122.
- R. RAO, H. GASQUET, R. STEIMLE, G. RINKENBERGER, S. STRAUB, R. MURALIDHAR, S. ANDERSON, J. YATER, J. LEDEZMA, J. HAMILTON, B. ACRED, C. SWIFT, B. HRADSKY, J. PESCHKE, M. SADD, E. PRINZ, K. CHANG et B. WHITE JR. : Influence of silicon nanocrystal size and density on the performance of non-volatile memory arrays. *Solid-State Electronics*, vol. 49, no. 11, pp. 1722–1727, 2005. Cité pages 33, 34 et 178.
- B. J. RIEL, K. HINZER, S. MOISA, J. FRASER, P. FINNIE, P. PIERCY, S. FAFARD et Z. R. WASILEWSKI : InAs/GaAs(1 0 0) self-assembled quantum dots : arsenic pressure and capping effects. *Journal of Crystal Growth*, vol. 236, no. 1–3, pp. 145–154, mars 2002. Cité page 89.
- J. ROBERTSON et B. FALABRETTI : Band offsets of High- κ gate oxides on high mobility semiconductors. *Materials Science and Engineering B*, vol. 135, no. 3, pp. 267–271, décembre 2006. Cité pages 41 et 43.
- SAIFUN : *NROM Technology, The most cost-effective Flash solution ($\approx 2\times$ better silicon efficiency)*.
disponible sur : <http://www.saifun.com/content.asp?id=343>. 2003, Consulté le 01.04.2008. Cité pages 22 et 29.
- G. SAINT-GIRONS, J. REGRENY, P. and Cheng, G. PATRIARCHE, L. LARGEAU, M. GENDRY, G. XU, Y. ROBACH, C. BOTELLA, G. GRENET et G. HOLLINGER : Competition between InP and In₂O₃ islands during the growth of InP on SrTiO₃. *Unpublished*. 2008, ? Cité pages 100 et 105.
- SAMSUNG : *Electronics Launches the World's First PCs with NAND Flash-based Solid State Disk*. disponible sur : <http://www.samsung.com/us/news/main.do>. May 2006, Consulté le 01.04.2008. Cité page 17.
- C. SARGENTIS, K. GIANNAKOPOULOS, A. TRAVLOS et D. TSAMAKIS : Fabrication and electrical characterization of a MOS memory device containing self-assembled metallic nanoparticles. *In Proceedings of the E-MRS 2006 Symposium C : Silicon Nanocrystals for Electronic and Sensing Applications*, vol. 38, pp. 85–88, avril 2007. Cité pages 40 et 147.
- G. P. SCHWARTZ et W. A. SUNDER : Condensed phase diagram for the In-As-O system. *Thin Solid Films*, vol. 94, pp. 205–212, 1982. Cité pages 62, 63 et 64.

- J. SÉE : *Etude théorique de l'effet tunnel à un électron dans des structures sur Si - Application à la cellule mémoire MOS à jonctions tunnel verticales*. Thèse de doctorat, Université Paris-Sud, Orsay, France, 2004. Cité pages 26 et 27.
- M. SHALCHIAN, J. GRISOLIA, G. BEN ASSAYAG, H. COFFIN, S. M. ATAROD et A. CLAVE-RIE : From continuous to quantized charging response of silicon nanocrystals obtained by ultra-low energy ion implantation. *Solid-State electronics*, vol. 49, pp. 1198–1205, 2005. Cité page 33.
- M. SHE et T.-J. KING : Impact of crystal size and tunnel dielectric on semiconductor nanocrystal memory performance. *IEEE Transactions on Electron Devices*, vol. 50, no. 9, pp. 1934–1940, 2003. Cité pages 167 et 178.
- J. Z. SHI, K. ZHU, Q. ZHENG et L. ZHANG : Ultraviolet (340–390 nm), room temperature, photoluminescence from InAs nanocrystals embedded in SiO₂ matrix. *Applied Physics Letters*, vol. 70, pp. 2586–2588, 1997. Cité page 56.
- K.-I. SHIRAMINE, T. ITOH, S. MUTO, T. KOZAKI et S. SATO : Adatom migration in Stranski–Krastanow growth of InAs quantum dots. *Journal of Crystal Growth*, vol. 242, no. 3–4, pp. 332–338, 2002. Cité page 82.
- C. SUN et J. C. BERG : Effect of moisture on the surface free energy and acid-base properties of mineral oxides. *Journal of Chromatography A*, vol. 969, pp. 59–72, 2002. Cité page 62.
- S. M. SZÉ et K. NG : *Physics of semiconductor devices*. ISBN-10 : 0471143235. Wiley, New-York, 3^{ème} édition, Décembre 2006. Cité page 114.
- A. SZKUTNIK, P.D. and Karmous, F. BASSANI, A. RONDA, I. BERBEZIER, K. GACEM, A. EL HDIY et M. TROYON : Ge nanocrystals formation on SiO₂ by dewetting : application to memory. *European Physical Journal – Applied Physics*, vol. 41, pp. 103–106, 2008. Cité page 37.
- Z. TAN, S. K. SAMANTA, W. J. YOO et S. LEE : Self-assembly of Ni nanocrystals on HfO₂ and N-assisted Ni confinement for nonvolatile memory application. *Applied Physics Letters*, vol. 86(1), pp. 013107, 2005. Cité page 40.
- S. TIWARI, F. RANA, K. CHAN, H. HANAFI, W. CHAN et D. BUCHANAN : Volatile and non-volatile memories in silicon with nanocrystal storage. *In Proceedings of the IEEE International Electron Devices Meeting. IEDM Technical Digest.*, pp. 521–524, 1995. Cité pages 22, 34, 153, 155, 161 et 189.
- S. TIWARI, F. RANA, K. CHAN, L. SHI et H. HANAFI : Single charge and confinement effects in nano-crystal memories. *Applied Physics Letters*, vol. 69, no. 9, pp. 1232–1234, 1996b. Cité pages 119, 120 et 155.
- S. TIWARI, F. RANA, H. HANAFI, A. HARTSTEIN, E. F. CRABBE et K. CHAN : A silicon nanocrystals based memory. *Applied Physics Letters*, vol. 68, no. 10, pp. 1377–1379, 1996a. Cité page 33.

- E. F. VANSANT, P. VAN DER VOORT et K. C. VRANCKEN : *Characterization and Chemical Modification of the Silica Surface*. ISBN-10 : 0444819282. Elsevier, The Netherlands, Avril 1995. Cité pages 72 et 83.
- J. F. WAGER, K. M. GEIB, C. W. WILMSEN et L. L. KAZMERSKI : Native oxide formation and electrical instabilities at the insulator/InP interface. *Journal of Vacuum Science & Technology B : Microelectronics and Nanometer Structures*, vol. 1, no. 3, pp. 778–781, 1983. Cité page 64.
- A. YAMASHIKI et T. NISHINAGA : Arsenic pressure dependence of incorporation diffusion length on (0 0 1) and (1 1 0) surfaces and inter-surface diffusion in MBE of GaAs. *Journal of Crystal Growth*, vol. 198–199, no. 2, pp. 1125–1129, mars 1999. Cité page 89.
- H. YANG, B. ZHANG, X. WANG, X. WANG, T. LI, S. XI et X. YAO : Sol-gel synthesis and optical properties of size controlled Indium Arsenide nanocrystals embedded in silica glasses. *Journal of Crystal Growth*, vol. 280, pp. 521–529, 2005. Cité page 56.
- H. YANG, Y. SHI, H. BU, J. WU, B. ZHAO, X. YUAN, B. SHEN, P. HAN, R. ZHANG et Y. ZHENG : Simulation of electron storage in Ge/Si hetero-nanocrystal memory. *Solid-State Electronics*, vol. 45, no. 5, pp. 767–771, 2001. Cité pages 159 et 178.
- I. YOON, C. YI, T. KIM et A. S. BROWN : Effect of surface pretreatment and substrate orientation on the characteristics of InAs quantum dots on Si and SiO₂ substrates. *Journal of Vacuum Science & technology B*, vol. 25(3), pp. 945, 2007. Cité page 56.
- H.-C. YOU, T.-H. HSU, F.-H. KO, J.-W. HUANG et T.-F. LEI : Hafnium silicate nanocrystal memory using sol-gel-spin-coating method. *IEEE Electron Device Letters*, vol. 27, no. 8, pp. 644–646, 2006. Cité page 155.
- D. ZHAO, Y. ZHU, R. LI et J. LIU : Simulation of a cobalt silicide/Si hetero-nanocrystal memory. *Solid-State Electronics*, vol. 49, no. 12, pp. 1974–1977, décembre 2005a. Cité pages 147, 159 et 178.
- D. ZHAO, Y. ZHU, R. LI et J. LIU : Simulation of a Ge-Si hetero-nanocrystal memory. *IEEE Transactions on Nanotechnology*, vol. 5, no. 1, pp. 37–41, 2006b. Cité pages 147 et 167.
- Z. M. ZHAO, O. HULKO, T. S. YOON et Y. H. XIE : Initial stage of InAs growth on Si (001) studied by high-resolution transmission electron microscopy. *Journal of Applied Physics*, vol. 98, no. 12, pp. 123526, 2005b. Cité page 89.
- Z. ZHAO, O. HUL'KO, H. KIM, J. LIU, B. SHI et Y. XIE : Effects of growth temperature and arsenic pressure on size distribution and density of InAs quantum dots on Si (001). *Thin Solid Films*, vol. 483, no. 1–2, pp. 158–163, juillet 2005. Cité pages 82 et 95.
- M. ZHENG, X. ZHANG, L. YANG, C. LIANG et L. ZHANG : Preparation and optical properties of InAs_{0.4}P_{0.6} nanocrystal alloy embedded in SiO₂ thin films. *Semiconductor Science and Technology*, vol. 16, no. 6, pp. 507–510, 2001. Cité page 56.

FOLIO ADMINISTRATIF

THESE SOUTENUE DEVANT L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON

NOM : HOCEVAR

DATE de SOUTENANCE : 14/10/2008

Prénom : Moira

TITRE : Croissance et caractérisation électrique de nanocristaux d'InAs sur SiO₂ pour des applications mémoires non volatiles sur silicium.

NATURE : Doctorat

Numéro d'ordre : 2008-ISAL-0072

Ecole doctorale : Electronique, Electrotechnique, Automatisme

Spécialité : Dispositifs de l'Electronique Intégrée

RESUME :

Depuis la première proposition de 1995 de remplacer la grille flottante en polysilicium des mémoires non volatiles (MNV) par des nanocristaux de Si (*nc*-Si), la recherche est très active dans ce domaine. Cette étude se propose d'une part, d'améliorer les caractéristiques d'une MNV à nanocristaux en termes de temps de rétention et d'autre part, d'évaluer les possibilités d'un stockage multibits dans ces nanocristaux. De ce point de vue, le semiconducteur InAs présente des avantages par rapport au Si. En effet, l'InAs possède un offset de bande de conduction plus important que le Si avec l'oxyde SiO₂, ce qui devrait conduire à un meilleur confinement des électrons et donc à un meilleur temps de rétention qu'avec le Si. Par ailleurs, la masse effective des porteurs dans l'InAs étant plus faible que celle dans le Si, les niveaux confinés sont mieux séparés, ce qui augmenterait les potentialités de stockage multibits avec des électrons. L'objectif de ma thèse a consisté à évaluer le potentiel d'une MNV à nanocristaux d'InAs (*nc*-InAs) par comparaison aux MNV à *nc*-Si. Dans un premier temps, il s'est agi de faire croître, dans un réacteur d'épitaxie par jets moléculaires, des *nc*-InAs sur un oxyde tunnel SiO₂ formé sur un substrat Si. Les nanocristaux sont monocristallins et hémisphériques. Il s'est avéré que la température joue un rôle prépondérant dans le contrôle de la densité des *nc*-InAs alors que leur taille dépend plutôt de la quantité de matière déposée (de 2 à 12 nm de hauteur). Leur densité peut atteindre $7 \times 10^{11} \text{ cm}^{-2}$. Dans un deuxième temps, nous avons fabriqué des structures MOS à *nc*-InAs destinées à intégrer des cellules mémoires. Nous avons montré qu'il était possible de charger et de décharger les structures à *nc*-InAs. Les temps d'écriture et effacement peuvent atteindre 1 μs et 0,1 ms à 12 V et 10 V respectivement. Par ailleurs, les mesures des temps de rétention ont permis de démontrer que l'utilisation des *nc*-InAs augmente le temps de rétention de 2 décades par rapport aux *nc*-Si pour une structure de dimensions identiques. Il s'avère que l'amélioration des caractéristiques de rétention des électrons dans les *nc*-InAs est due à l'offset de bande plus important de l'InAs avec le SiO₂ que pour le Si. En conclusion, la maîtrise de la croissance et de l'encapsulation des *nc*-InAs a permis leur intégration dans des dispositifs mémoires tests qui ont présenté des caractéristiques prometteuses pour les mémoires non volatiles.

MOTS-CLES : croissance cristalline, nanocristaux d'InAs, épitaxie par jets moléculaires, AFM, TEM, boîtes quantiques, mémoires non volatiles, caractérisations C-V, structures MOS, temps de rétention, cinétiques d'écriture/effacement

Laboratoire de recherche : Institut des Nanotechnologies de Lyon

Directeurs de thèse : Michel Gendry et Abdelkader Souifi

Présidente de jury : Isabelle Berbezier

Composition du jury : Thierry Baron, Isabelle Berbezier, Barbara De Salvo, Philippe Dollfus, Michel Gendry et Abdelkader Souifi