HAL
open science

MOSFETs contraints sur SOI : analyse des déformations par diffraction des rayons X et étude des propriétés électriques

Sophie Baudot

To cite this version:

Sophie Baudot. MOSFETs contraints sur SOI : analyse des déformations par diffraction des rayons X et étude des propriétés électriques. Micro et nanotechnologies/Microélectronique. Université Joseph-Fourier - Grenoble I, 2010. Français. NNT : . tel-00557963v1

HAL Id: tel-00557963

https://theses.hal.science/tel-00557963v1

Submitted on 27 Jan 2011 (v1), last revised 21 Feb 2011 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THESE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DE GRENOBLE
Spécialité **Nanophysique**

Arrêté ministériel : 7 août 2006

Présentée et soutenue publiquement par

SOPHIE BAUDOT

le **15 Décembre 2010**

MOSFETS CONTRAINTS SUR SOI : ANALYSE DES DEFORMATIONS PAR DIFFRACTION DES RAYONS X ET ETUDE DES PROPRIETES ELECTRIQUES

Thèse dirigée par Joël EYMERY et codirigée par François ANDRIEU

JURY

Pr. Jean-Luc AUTRAN	**Rapporteur**
Pr. Olivier THOMAS	**Rapporteur**
Dr. Gérard GHIBAUDO	**Président**
Dr. Oleg KONONCHUK	**Examinateur**
Dr. François ANDRIEU	**Examinateur**
Dr. Joël EYMERY	**Examinateur**

Thèse préparée au sein du **Laboratoire Nanophysique et Semiconducteurs (CEA-INAC) et du Laboratoire des Dispositifs Innovants (CEA-LETI)** dans **l'Ecole Doctorale de Physique.**

REMERCIEMENTS

Je tiens tout d'abord à remercier mon directeur de thèse Joël EYMERY et mon encadrant François ANDRIEU, qui ont été à l'initiative de ce sujet de thèse et ont suivi mes travaux pendant trois ans. Tous mes remerciements vont également aux professeurs Olivier THOMAS et Jean-Luc AUTRAN, qui ont accepté de rapporter mon manuscrit, pour leurs commentaires précieux et leur lecture très attentive du manuscrit. Je remercie également le président du jury M. Gérard GHIBAUDO et M. Oleg KONONCHUK pour avoir accepté de faire partie du jury.

Les nombreux résultats présentés dans ce manuscrit n'auraient pas pu être obtenus sans un travail d'équipe. Je remercie donc toutes les personnes ayant contribué de près ou de loin à la réalisation de ces travaux.

Un grand merci tout d'abord à tous ceux qui ont contribué à la réalisation des nombreux échantillons. Mes remerciements sincères à L. Brévard, S. Barnola, C. Comboroure, J.-F. Damlencourt, J.-M. Hartmann, M. Kostrzewa, P. Perreau, S. Pocas, T. Salvetat, L. Tosti et C. Vizioz. Merci à la société SOITEC pour la fourniture des substrats SOI et sSOI. Merci également à l'équipe de caractérisation morphologique, et plus particulièrement à R. Truche et D. Lafond.

Pour les mesures de caractérisation physique de la contrainte à l'ESRF, je tiens à remercier J. Eymery et F. Andrieu, ainsi que F. Rieutord et V. Favre-Nicolin. Je remercie également les lignes de l'ESRF BM32, BM02 et ID01 pour leur support technique.

Pour la caractérisation électrique des dispositifs, mes remerciements vont tout d'abord à F. Allain et V. Vidal pour les tests systématiques. Merci aussi à M. Cassé, X. Garros, G. Reimbold et C. Tabone. Pour les simulations, merci à P. Rivallin et Y. Lamrani. Mes remerciements les plus sincères vont à J.-C. Barbé pour m'avoir formée aux simulations mécaniques par éléments finis et pour son aide précieuse.

Merci à S. Deleonibus puis O. Faynot de m'avoir acceuillie au sein du laboratoire LNDE qui est devenu le laboratoire LDI au cours de ma thèse. Merci également à J.-M. Gérard de m'avoir acceuillie au sein du laboratoire NPSC.

Mes remerciements les plus chaleureux vont à tous les doctorants et collègues avec qui j'ai partagé ces trois années et qui m'ont soutenue dans les moments difficiles. Je remercie tout d'abord les doctorants qui ont partagé mon bureau : Alex, Kichi, Jérôme, Lia, Emilie, Cécilia, Perrine. Merci aussi à Guillaume, Louis, Milène, Mickaël, Marc, Vincent, Jean-Paul, Paul-Henry et Cuiqin. Merci enfin à Carine, Gabriel, Phong, Cyrille, Georges, Bernard, Krunoslav, Olivier …

Enfin, merci à mes amis, à ma famille, et surtout à mon fiancé Guy, qui ont toujours été là pour moi.

GLOSSAIRE

ALD	Atomic layer deposition
APS	Advanced Photon Source
2D	Bi-dimensionnel
3D	Tri-dimensionnel
BESOI	Bonded and Etched-back SOI
BOX	Buried oxide
CBED	Convergent Beam Electron Diffraction
CCD	Charge-Coupled Device
CMOS	Complementary Metal Oxide Semiconductor
CESL	Contact Etch Stop layer
CVD	Chemical Vapor Deposition
CXD	Coherent X-ray Diffraction
DC	Dual channel
DIBL	Drain Induced Barrier Lowering
DLC	Diamond-Like Carbon
EOT	Electrical Oxide Thickness
eSiGe	Embedded Silicon-Germanium
ESRF	Europeen Synchrotron Radiation Facility
FDSOI	Fully Depleted SOI
FFT	Fast Fourier Transform
GIXRD	Grazing Incidence X-ray Diffraction
HRXRD	High Resolution X-ray Diffraction
HOLZ	High Order Laue Zone
HRTEM	High-Resolution Transmission Electron Microscopy
ITRS	International Technology Roadmap for Semiconductors
LDD	Low Drain Doping
LPCVD	Low Pressure Chemical Vapor Deposition
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NBD	Nanobeam Electron Diffraction
PDSOI	Partially Depleted SOI
PVD	Physical Vapor Deposition
PECVD	Plasma-Enhanced Chemical Vapor Deposition
RIE	Reactive ion etching
SCE	Short Channel Effect
S/D	Source/Drain
SEM	Scanning Electron Microscopy
SOI	Silicon-On-Insulator
SGOI	Silicon-Germanium-On-Insulator
SMT	Stress Memorization Technique
sSOI	strained Silicon-On-Insulator
STE	Stress transfer efficiency
STI	Shallow Trench Isolation
STS	Stress Transfer Structure
TEM	Transmission Electron Microscopy
UTBOX	Ultra-thin buried oxide
XsSOI	eXtremely strained Silicon-On-Insulator

INTRODUCTION

Depuis les années 1950, le transistor à effet de champ MOSFET (Metal Oxyde Semiconductor Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie du semiconducteur. Son architecture et son principe de fonctionnement sont restés pratiquement inchangés à ce jour, mais ses dimensions physiques n'ont cessé de décroître, suivant la loi de Moore. Cependant, depuis le début des années 2000, la réduction de la taille des composants ne suffit plus à garantir de meilleures performances tout en réduisant le coût de fabrication. L'industrie des semiconducteurs est dans une période clef de son développement, car elle passe du monde de la microélectronique à celui de la nanoélectronique. Afin de poursuivre l'augmentation des performances tout en maintenant l'architecture « classique » des transistors MOSFETs, plusieurs solutions existent. Entre autres, l'utilisation de substrats Silicium sur Isolant (SOI pour « Silicon-On-Insulator ») permet d'isoler électriquement la partie active des transistors (le canal de conduction) du substrat. L'incorporation d'une contrainte mécanique dans le canal est considérée comme la voie principale d'amélioration des MOSFETs, au même titre que la miniaturisation.

Les contraintes, si elles sont non intentionnelles, peuvent induire des défauts cristallins et notamment des dislocations pouvant générer des courants de fuite et des disfonctionnements importants des transistors. Par contre, leur contrôle permet d'augmenter la vitesse de fonctionnement des transistors. L'application de cette contrainte mécanique contrôlée ainsi que la compréhension de ses effets sur les propriétés physiques est ainsi l'un des enjeux de l'industrie des semiconducteurs avec la réduction des dimensions des dispositifs. L'objectif de ce travail de thèse est de progresser dans la compréhension, la prévision et la quantification des contraintes mécaniques dans les dispositifs MOSFETs sur SOI.

Nous allons tout d'abord exposer dans le chapitre I le contexte de cette étude. Nous présenterons les dispositifs MOSFETs et les notions nécessaires à la compréhension des chapitres suivants. Nous expliquerons ensuite l'intérêt de l'utilisation des substrats SOI, puis nous verrons en quoi l'introduction d'une contrainte mécanique dans le canal des MOSFETs est une solution très prometteuse pour l'augmentation des performances. Enfin, nous présenterons un état de l'art des différentes techniques d'introduction d'une contrainte mécanique dans le canal des transistors MOSFETs sur SOI.

Nous exposerons ensuite schématiquement dans le chapitre II les principales techniques de caractérisation physique de la contrainte dans les dispositifs de la microélectronique, en passant en revue leur principe, leurs avantages et leurs inconvénients. Nous justifierons pourquoi nous avons choisi la technique de diffraction des rayons X en incidence rasante (GIXRD) pour les mesures de déformation réalisées dans cette étude.

Le chapitre III sera consacré à l'étude de transistors MOSFETs sur substrats Silicium contraint sur Isolant (sSOI). Dans un premier temps, nous présenterons les résultats de mesure de déformation en GIXRD permettant d'étudier l'influence des différentes étapes du procédé d'intégration des MOSFETs sur la contrainte du matériau sSOI. Ces mesures expérimentales seront comparées à des résultats de simulations mécaniques par éléments finis. Dans un deuxième temps, nous étudierons les propriétés électriques de MOSFETs sur sSOI. Nous proposerons alors une explication des améliorations des propriétés de transport grâce aux niveaux de déformation mesurés et calculés.

Dans le chapitre IV, nous étudierons des structures innovantes permettant d'induire une contrainte de manière locale (et non plus globale comme dans le chapitre III) dans le canal de MOSFETs sur SOI. Tout d'abord, nous montrerons les gains en performances

obtenus pour les pMOSFETs sur SOI ou sSOI grâce à l'utilisation de Source/Drain (S/D) enterrés en SiGe (eSiGe). Nous verrons que ces résultats ouvrent la voie d'une co-intégration de pMOS avec des S/D eSiGe et de nMOS avec des S/D en Si sur un même substrat SOI ou sSOI. Ensuite, nous présenterons deux structures à transfert de contrainte (STS), à base de nitrure enterré pour les pMOS et à base de SiGe enterré pour les nMOS. Nous démontrerons l'efficacité de ces structures pour transférer une contrainte en compression (pour les pMOS) et en tension (pour les nMOS) dans le canal. Ces résultats expérimentaux seront confrontés à des simulations mécaniques par éléments finis. Ensuite, nous présenterons les résultats de mesures électriques de pMOS à canal SiGe sur SOI. Nous verrons enfin comment ces structures à canal SiGe pour les pMOS peuvent être combinées à des structures STS à base de SiGe enterré pour les nMOS en vue d'une co-intégration sur un même substrat SOI.

SOMMAIRE DU MANUSCRIT

CHAPITRE I : UTILISATION DES CONTRAINTES MECANIQUES EN MICROELECTRONIQUE ... 11
I/ Les transistors MOSFETs sur silicium massif et leur évolution en fonction des nœuds technologiques ... 15
1) Principe de fonctionnement et généralités ... 15
1.1. Structure ... 15
1.2. Principe de fonctionnement ... 16
1.3. Régimes de fonctionnement ... 17
1.4. Equations de base pour un MOSFET long et large ... 18
1.5. Notion de mobilité ... 19
2) Limitations liées à la miniaturisation des dispositifs ... 21
3) Solutions technologiques pour l'amélioration des performances ... 22
3.1. Choix des matériaux du diélectrique de grille et de la grille ... 22
3.2. Utilisation de matériaux à forte mobilité pour le canal ... 23
3.3. Orientation cristalline du substrat et/ou du canal ... 23
4) Effets parasites du transistor fortement submicronique ... 24
4.1. Les effets canaux courts SCE et DIBL ... 24
4.2. Les résistances séries ... 25
II/ La technologie Silicium sur Isolant (SOI) ... 26
1) Description de la technologie SOI ... 26
2) Les avantages de la technologie SOI par rapport au Si massif ... 27
2.1. Avantages communs aux transistors PDSOI et FDSOI ... 27
2.2. Avantages particuliers aux transistors FDSOI ... 28
3) Les limitations de la technologie SOI par rapport au Si massif ... 29
3.1. Limitations particulières aux transistors PDSOI ... 29
3.2. Limitations particulières aux transistors FDSOI ... 29
3.1. Limitations communes aux transistors PDSOI et FDSOI ... 30
III/ Utilisation de la contrainte pour améliorer le transport dans les MOSFETs sur SOI ... 31
1) Origine des contraintes en microélectronique ... 31
1.1. Contraintes thermo-élastiques ... 31
1.2. Contraintes intrinsèques ... 32
1.3. Contraintes d'épitaxie ... 32
2) Impact de la contrainte sur la structure de bande du silicium et les masses effectives des porteurs ... 35
2.1. Impact de la contrainte sur la mobilité et le courant I_{ON} ... 35
2.2. Impact de la contrainte sur la tension de seuil et le courant de grille ... 36
2.3. Effets du confinement quantique ... 36
3) Les solutions technologiques d'introduction d'une contrainte dans le canal des transistors MOSFETs sur SOI ... 36
3.1. Introduction de la contrainte au niveau local dans le canal ... 37
3.2. Introduction de la contrainte au niveau du substrat ... 43

CHAPITRE II : LES TECHNIQUES DE CARACTERISATION PHYSIQUE DES CONTRAINTES DANS LES DISPOSITIFS DE LA MICROELECTRONIQUE ... 47
I/ Les techniques conventionnelles ... 51
1) La spectroscopie Raman ... 51
2) Les techniques basées sur la microscopie électronique à transmission ... 53
2.1. Microscopie électronique à transmission haute résolution (HRTEM) ... 53
2.2. Diffraction par des faisceaux nanométriques (NBD) ... 54
2.3. Diffraction électronique en faisceau convergent (CBED) ... 55
2.4. Holographie ... 55
II/ Les techniques basées sur la diffraction des rayons X ... 57
1) Généralités sur la diffraction des rayons X ... 57
2) Les techniques conventionnelles basées sur la diffraction des rayons X ... 58
2.1. La diffraction des rayons X haute résolution (HRXRD) ... 58
2.2. La diffraction cohérente des rayons X ... 58
3) La Diffraction des Rayons X en Incidence Rasante (GIXRD) ... 59
3.1. Principe de la méthode ... 59
3.2. Application à la mesure de déformations dans les dispositifs sur SOI ... 61

CHAPITRE III : ETUDE DES DISPOSITIFS MOSFETS SUR sSOI 65
I/ Mesures de déformation en GIXRD : Etude de l'impact sur la contrainte du sSOI des étapes technologiques du procédé d'intégration des transistors MOSFETs 69
1) Etapes du procédé d'intégration des transistors MOSFETs sur sSOI 69
2) Caractérisation du matériau sSOI initial 70
3) Etude de l'impact de l'étape de définition des zones actives 73
3.1. Structures étudiées 73
3.2. Résultats des mesures GIXRD pour les dispositifs PDSOI 73
3.3. Résultats des mesures GIXRD pour les dispositifs FDSOI 77
3.4. Comparaison avec d'autres études 81
3.5. Simulations mécaniques par éléments finis et modèle analytique : Confrontation avec les résultats expérimentaux et compréhension des mécanismes de relaxation 83
4) Etude de l'impact de la grille en TiN : mesures de contrainte par GIXRD et simulations mécaniques par éléments finis 90
5) Etude de l'impact de l'étape d'implantation des zones de Source et Drain, et du recuit d'activation des dopants 92
5.1. Structures étudiées 92
5.2. Résultats des mesures de déformation par GIXRD et interprétation 93
II/ Etude des effets de largeur de grille et d'orientation du canal par caractérisation électrique dans des dispositifs FDSOI MOSFETs sur SOI contraint 99
1) Dispositifs étudiés 99
2) Méthode d'extraction fine de la mobilité effective 101
2.1. Méthode split-CV classique 101
2.2. Méthode split-CV améliorée dans le cas de dispositifs longs et étroits 102
3) Intérêt de l'extraction de la tension de seuil 105
4) Evaluation du gain en performances apporté par les substrats en SOI contraint 105
4.1. Canal large 105
4.2. Effets de canal étroit 108

CHAPITRE IV : ETUDE DE STRUCTURES INNOVANTES PERMETTANT D'INTRODUIRE UNE CONTRAINTE LOCALEMENT DANS LE CANAL DE DISPOSITIFS MOSFETS SUR SOI OU SUR SSOI 121
I/ Les Sources/Drains enterrés en SiGe pour augmenter les performances des pMOS FDSOI sur SOI ou sur sSOI 125
1) Fabrication des dispositifs 125
2) Gain en performances apporté par les S/D eSiGe par rapport aux S/D classiques en Si 127
3) Méthode de la fonction Y : extraction des résistances séries et de la mobilité à faible champ 128
4) Explication de l'origine du gain en performances 134
II/ Les dispositifs à transfert de contrainte (STS) 136
1) Principe du transfert de contrainte 136
2) Solution pour les pMOS : Transfert de contrainte par un oxyde enterré en nitrure précontraint .. 137
2.1. Intérêt de la structure 137
2.2. Fabrication des structures 138
2.3. Mesures GIXRD : évaluation de l'efficacité du transfert de contrainte 140
2.4. Simulations mécaniques par éléments finis 143
3) Solution pour les nMOS : Transfert de contrainte par une couche de SiGe enterrée sous le canal . 147
3.1. Fabrication des structures et intérêt 147
3.2. Mesures GIXRD : évaluation de l'efficacité du transfert de contrainte 148
3.3. Simulations mécaniques par éléments finis 154
III/ Canal SiGe pour les pMOS 163
1) Structures étudiées 164
2) Résultats de caractérisation électrique 164
IV/ Proposition de co-intégration CMOS 167

CONCLUSION 169

CHAPITRE I :

UTILISATION DES CONTRAINTES MECANIQUES EN MICROELECTRONIQUE

SOMMAIRE DU CHAPITRE I

I/ Les transistors MOSFETs sur silicium massif et leur évolution en fonction des nœuds technologiques 15
1) Principe de fonctionnement et généralités 15
1.1. Structure 15
1.2. Principe de fonctionnement 16
1.3. Régimes de fonctionnement 17
1.4. Equations de base pour un MOSFET long et large 18
1.5. Notion de mobilité 19
2) Limitations liées à la miniaturisation des dispositifs 21
3) Solutions technologiques pour l'amélioration des performances 22
3.1. Choix des matériaux du diélectrique de grille et de la grille 22
3.2. Utilisation de matériaux à forte mobilité pour le canal 23
3.3. Orientation cristalline du substrat et/ou du canal 23
4) Effets parasites du transistor fortement submicronique 24
4.1. Les effets canaux courts SCE et DIBL 24
4.2. Les résistances séries 25

II/ La technologie Silicium sur Isolant (SOI) 26
1) Description de la technologie SOI 26
2) Les avantages de la technologie SOI par rapport au Si massif 27
2.1. Avantages communs aux transistors PDSOI et FDSOI 27
2.2. Avantages particuliers aux transistors FDSOI 28
3) Les limitations de la technologie SOI par rapport au Si massif 29
3.1. Limitations particulières aux transistors PDSOI 29
3.2. Limitations particulières aux transistors FDSOI 29
3.1. Limitations communes aux transistors PDSOI et FDSOI 30

III/ Utilisation de la contrainte pour améliorer le transport dans les MOSFETs sur SOI 31
1) Origine des contraintes en microélectronique 31
1.1. Contraintes thermo-élastiques 31
1.2. Contraintes intrinsèques 32
1.3. Contraintes d'épitaxie 32
2) Impact de la contrainte sur la structure de bande du silicium et les masses effectives des porteurs 35
2.1. Impact de la contrainte sur la mobilité et le courant I_{ON} 35
2.2. Impact de la contrainte sur la tension de seuil et le courant de grille 36
2.3. Effets du confinement quantique 36
3) Les solutions technologiques d'introduction d'une contrainte dans le canal des transistors MOSFETs sur SOI 36
3.1. Introduction de la contrainte au niveau local dans le canal 37
3.2. Introduction de la contrainte au niveau du substrat 43

Ce premier chapitre a pour but de présenter le contexte de cette thèse. Les contraintes mécaniques sont très présentes dans les procédés et les dispositifs de la microélectronique. Lorsqu'elles sont intentionnelles, elles permettent d'augmenter les performances des dispositifs.

Dans un premier temps, nous allons présenter les transistors Metal-Oxyde-Semiconducteur à effet de champ (MOSFET pour « Metal Oxide Semiconductor Field Effect Transistor ») étudiés au cours de cette thèse. Après avoir expliqué leur principe de fonctionnement et les limites liées à leur miniaturisation, nous allons montrer l'intérêt de l'utilisation de matériaux à forte mobilité, et notamment le silicium contraint.

Dans un deuxième temps, nous allons présenter la technologie Silicium sur Isolant (SOI pour « Silicon on Insulator »). Nous verrons que les dispositifs MOSFETs sur SOI sont de bons candidats pour continuer à augmenter les performances des dispositifs.

Après avoir présenté les dispositifs MOSFETs sur SOI étudiés au cours de cette thèse, nous nous intéresserons à l'utilisation de la contrainte mécanique pour augmenter le transport dans ces dispositifs, et donc leurs performances. Nous expliquerons comment l'introduction d'une contrainte mécanique dans le canal des transistors MOSFETs permet d'augmenter la mobilité des porteurs en modifiant la structure de bande du silicium. Enfin, nous présenterons un état de l'art des solutions technologiques d'introduction d'une contrainte mécanique dans le canal des transistors MOSFETs sur SOI, dont certaines feront l'objet des chapitres III et IV de cette thèse.

I/ Les transistors MOSFETs sur silicium massif et leur évolution en fonction des nœuds technologiques

1) Principe de fonctionnement et généralités

1.1. Structure

Le transistor MOSFET est constitué d'un **substrat** (de type p pour les n-MOSFETs et de type n pour les p-MOSFETs), dans lequel deux zones de diffusion n+ (n-MOSFETs) ou p+ (p-MOSFETs) constituent les électrodes de **source** et de **drain**. Une capacité MOS est réalisée sur le substrat entre la source et le drain. L'électrode de commande de la capacité MOS est constituée par la grille du transistor, et l'isolant situé entre la grille et le substrat est appelé diélectrique de grille.

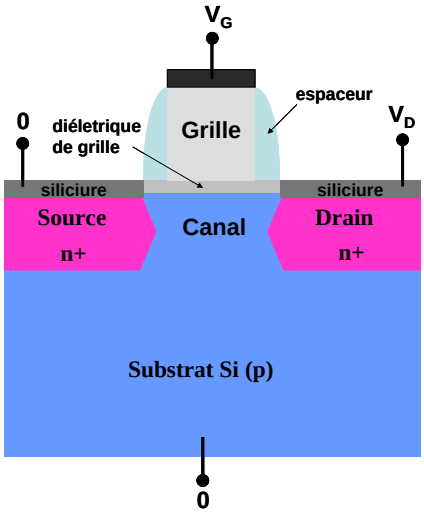

Figure I.1: Structure schématique d'un n-MOSFET.

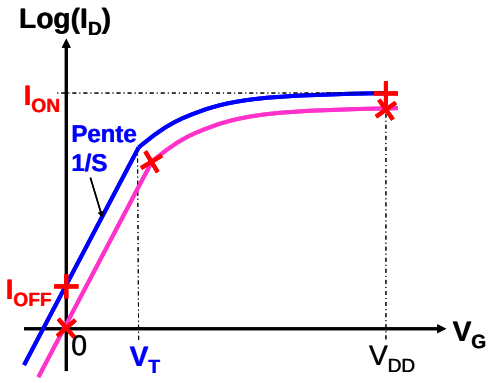

Figure I.2: Caractéristiques $I_D(V_G)$ d'un n-MOSFET.

La capacité MOS contrôle, suivant la polarisation appliquée sur la grille, la création ou non d'une couche d'inversion dans le substrat mettant en contact électrique la source et le drain. Schématiquement, le transistor MOS se décompose en trois parties principales: l'électrode de grille, les électrodes de source et de drain et le canal de conduction entre la source et le drain (cf. figure I.1).

1.2. Principe de fonctionnement

Si la source et le substrat sont connectés à la masse, la tension V_D appliquée sur le drain permet au courant de circuler entre la source et le drain (appelé courant de drain). La densité de porteurs dans le canal, et donc l'intensité du courant de drain, est modulée par la tension V_G appliquée sur la grille (cf. figure I.1).

Pour les applications logiques, le comportement électrique idéal d'un transistor est celui d'un interrupteur parfait. Si aucune tension n'est appliquée sur la grille, aucun courant ne circule entre la source et le drain. L'interrupteur est « bloqué ». Si la tension d'alimentation V_{DD} est appliquée sur la grille, l'interrupteur est passant et le courant de drain est maximal (noté I_{ON}). Dans les dispositifs réels, le courant de drain n'est jamais nul pour une polarisation de grille nulle. Il circule un courant de fuite, noté I_{OFF}, généralement limité par la diffusion au niveau des jonctions PN côté source et côté drain. Ce courant de fuite dépend de la hauteur de barrière entre le canal et le réservoir de porteurs (source ou drain), de la qualité de la jonction PN et des fuites de grille (pour des diélectriques de grille ultra-minces). Le passage de l'état OFF (bloqué) à l'état ON (passant) se fait pour la polarisation de grille $V_G=V_T$, appelée tension de seuil[1].

La qualité d'un transistor MOSFET pour les applications logiques est définie par un courant de fuite I_{OFF} le plus faible possible, un courant I_{ON} le plus fort possible, et un passage le plus rapide possible de l'état OFF à l'état ON (appelé commutation). Le rapport I_{ON}/I_{OFF} est gouverné essentiellement par la pente sous le seuil S. Le comportement électrique du transistor est représenté sur la caractéristique courant de drain I_D en fonction de la tension de grille V_G (cf. figure I.2). La tension de seuil sert de paramètre global d'ajustement des caractéristiques $I_{ON}(I_{OFF})$ (cf. figure I.2). Dans la pratique d'ingénieur, pour calculer I_{OFF}, on utilise souvent la relation simplifiée suivante:

$$\log(I_{OFF}) = \log(I_{th}) - \frac{V_T}{S} \qquad \textbf{Equation I.1}$$

$$\text{avec } I_{th}(A) \approx 10^{-7}\frac{W}{L}$$

Cette relation permet d'estimer I_{OFF} en connaissant V_T et S. Pour une application donnée, on ajuste soit I_{OFF}, soit V_T, ces deux paramètres étant liés.

Les paramètres I_{ON} et I_{OFF} apparaissent comme de très bons indicateurs des performances globales d'un dispositif. Plus le rapport I_{ON}/I_{OFF} est élevé, meilleur est le dispositif. Le graphe I_{ON}/I_{OFF} est une des principales figures de mérite utilisées pour évaluer et comparer rapidement les performances de plusieurs dispositifs.

[1] La tension de seuil peut aussi être définie comme la valeur de la tension de grille pour laquelle le transistor passe du régime d'inversion faible au régime d'inversion forte (cf. paragraphe 1.3).

1.3. Régimes de fonctionnement

Selon la polarisation de la grille, il existe quatre régimes de fonctionnement du transistor MOSFET. Pour comprendre ces régimes de fonctionnement, rappelons tout d'abord le diagramme de bande d'une structure MOS (à substrat de type P) en condition de bandes plates (cf. figure I.3).

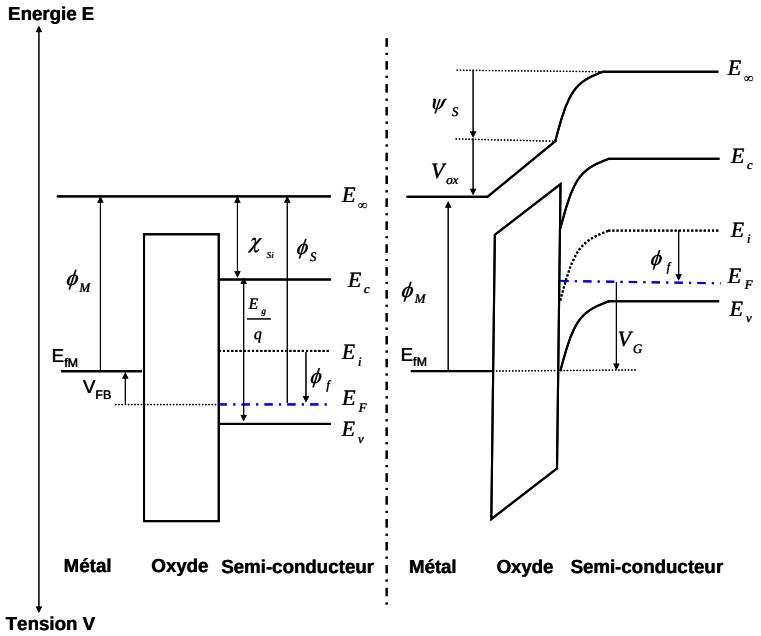

Figure I.3: Représentation schématique de la structure de bande d'un n-MOSFET en régime de bandes plates (à gauche) et en régime d'inversion faible (à droite). ϕ_M est le travail de sortie de la grille. χ_{Si}, E_g et ϕ_S sont respectivement l'affinité électronique, la bande interdite et le travail de sortie du silicium. E_V , E_C et E_i sont respectivement les énergies de la bande de valence, de la bande de conduction et l'énergie intrinsèque du silicium.

Le niveau de Fermi est défini par $E_F = E_i - q\phi_f$, avec ϕ_f donné par l'équation I.2, valable pour des dopages modérés (obtenue en faisant l'approximation de Boltzmann):

$$\phi_f = \frac{k_B T}{q} \ln\left(\frac{N_A}{n_i}\right) \qquad \textbf{Equation I.2}$$

avec k_B la constante de Boltzmann, T la température, q la charge élémentaire, N_A la densité de dopants (de type accepteur), et n_i la densité intrinsèque de porteurs du matériau.

La tension de bande plate $V_{FB} = \phi_M - \phi_S$ est la tension qu'il faut appliquer sur la grille pour que le potentiel à l'interface diélectrique/semi-conducteur ψ_s soit nul[2]. La différence de potentiel $\psi_s = (E_i(0) - E_i(\infty))/q$, appelé potentiel de surface, représente la courbure de bande entre la surface et le volume du semi-conducteur.

Les différents régimes de fonctionnement sont définis suivant les valeurs du potentiel de surface. Ici ces régimes sont définis dans le cas du transistor nMOS.

[2] Dans le cas où des charges fixes sont présentes dans l'oxyde de grille, la tension de bande plate est donnée par $V_{FB}=\phi_M-\phi_S-Q_{SS}/C_{ox}$ avec Q_{SS} la densité de charges équivalentes d'interface (incluant la présence des charges fixes dans l'oxyde) et C_{ox} la capacité de l'oxyde de grille.

- Régime d'accumulation: $\psi_s < 0$ soit $V_G < V_{FB}$

La charge dans le semi-conducteur est dominée par les porteurs majoritaires du substrat (les trous) près de la surface. Les porteurs sont attirés très près de l'interface diélectrique/semi-conducteur. La charge à la surface du semiconducteur est du même type que le volume du semiconducteur avec une densité de trous à la surface grande devant la densité de trous dans le volume.

- Régime de bandes plates: $\psi_s = 0$

Ce régime est le seul cas dans lequel le semi-conducteur conserve jusqu'à la surface ses propriétés de volume.

- Régime de désertion: $0 < \psi_s < \phi_f$ soit $V_G > V_{FB}$

Les porteurs majoritaires sont repoussés de l'interface. Il se crée alors près de la surface une zone dépourvue de porteurs libres (électrons et trous), appelée zone de charge d'espace. Cette zone est constituée uniquement d'impuretés ionisées (charges négatives).

Durant ces deux régimes (accumulation et désertion), le transistor est bloqué.

- Régime d'inversion faible: $\phi_f < \psi_s < 2\phi_f$ soit $V_{FB} < V_G < V_T$

Pour $\psi_s = \phi_f$, les densités d'électrons et de trous sont égales en surface (près de l'interface oxyde/semi-conducteur) à la densité intrinsèque de porteurs du matériau considéré (n_i).
A partir de $\psi_s > \phi_f$, les porteurs présents en plus grande quantité à la surface sont des électrons. Durant le régime d'inversion faible, la densité de porteurs majoritaires à la surface (électrons) est toujours inférieure à la densité de porteurs majoritaires dans le volume (trous).

Pour $\psi_s = 2\phi_f$, la tension de grille est égale à la tension de seuil. **La tension de seuil est la valeur de la tension de grille pour laquelle le transistor passe du régime d'inversion faible au régime d'inversion forte.**

- Régime d'inversion forte: $\psi_s > 2\phi_f$ soit $V_G > V_T$

Les électrons sont les porteurs présents en plus grand nombre à la surface et en densité supérieure à celle des trous dans le volume du semi-conducteur. Les porteurs libres sont présents en grand nombre dans le canal. Le transistor est passant.

1.4. Equations de base pour un MOSFET long et large

a) Régime d'inversion faible

Le courant de drain est dominé par un courant de diffusion dans les jonctions, donné par :

$$I_D = I_{D0} \exp\left(\frac{V_G - V_T}{S} \ln 10\right)\left[1 - \exp\left(\frac{-qV_D}{k_B T}\right)\right] \qquad \textbf{Equation I.3}$$

avec $I_{D0} = D \cdot C_{dep} \cdot \frac{W}{L} \cdot \frac{k_B T}{q} = \mu_0 \cdot C_{dep} \cdot \frac{W}{L} \cdot \left(\frac{k_B T}{q}\right)^2$ et où μ_0 est la mobilité des porteurs à faible champ de grille (appelée mobilité intrinsèque)[3], D le coefficient de diffusion, C_{dep} la

[3] La notion de mobilité sera expliquée dans la partie suivante.

capacité de désertion, W et L la largeur et la longueur du canal respectivement, et S la pente sous le seuil.

La pente sous le seuil[4] S, exprimée en mV/dec est donnée par :

$$S = \left(\frac{\partial \log I_D}{\partial V_G} \right)^{-1} = \ln(10) \frac{k_B T}{q} \frac{\partial V_G}{\partial \psi_S}$$

Le courant de drain en faible inversion est corrélé à la mobilité des porteurs. L'équation I.3 montre que le courant de drain dépend de manière exponentielle de la tension de grille et de la tension de drain dans le régime de faible inversion.

b) Régime d'inversion forte

Selon la polarisation de drain, on distingue deux régimes principaux de fonctionnement du MOSFET.

- Pour $V_D < V_G - V_T$, c'est le régime ohmique. Le canal se comporte comme une résistance dont la valeur est modulée par la tension de grille. L'expression du courant de drain est donnée par:

$$I_{Dlin} = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_{eff} \left(V_G - V_T - \frac{V_D}{2} \right) V_D \qquad \textbf{Equation I.4}$$

avec W_{eff} et L_{eff} les largeurs et longueurs effectives du canal respectivement et μ_{eff} la mobilité effective des porteurs.
Pour des tensions de drain très faibles ($V_D << V_G - V_T$), le courant de drain est directement proportionnel à la tension de drain. Pour des tensions plus fortes, l'évolution du courant de drain est quadratique avec V_D.

- Pour $V_D \geq V_G - V_T$, c'est le régime de saturation. Il se crée un point de pincement côté drain où la charge d'inversion s'annule. A mesure que V_D augmente, ce point de pincement se rapproche de la source. Toute tension additionnelle à $V_{Dsat} = V_G - V_T$ se répercute ensuite dans cette zone dépourvue de porteurs libres, de sorte que le champ électrique latéral reste constant au niveau de la charge d'inversion sous la grille. En régime de saturation, le courant de drain est donc indépendant de la polarisation de drain. Son expression est :

$$I_{Dsat} = \frac{1}{2} \frac{W_{eff}}{L_{eff}} C_{ox} \mu_{eff} \left(V_G - V_T \right)^2 \qquad \textbf{Equation I.5}$$

1.5. Notion de mobilité

La mobilité traduit l'aptitude des porteurs à se déplacer sous l'effet d'un champ électrique. C'est un paramètre très important des transistors MOSFETs car elle gouverne la valeur du courant de drain à polarisation fixe (cf. équations I.3, 4 et 5). La mobilité dépend de nombreux paramètres : champs électriques (longitudinaux et transverses), orientation du cristal, dopage du substrat, température…

---

[4] La limite théorique de la pente sous le seuil est donnée par $\ln(10) k_B T / q \approx 60 \ mV / dec$ à température ambiante.

Différents mécanismes de collision détériorent la mobilité des porteurs dans la couche d'inversion. Les trois mécanismes de collision dominants sont les collisions avec les phonons, les charges de Coulomb et la rugosité de surface [Jeon89].

a) Collisions avec les phonons

Ce type de collisions est dû aux vibrations du réseau. Pour une température inférieure à 100 K, ces collisions ont lieu avec les phonons acoustiques. La mobilité à l'interface peut s'écrire ainsi [Jeon89, Sah72] :

$$\mu_{pha} \propto N_{inv}^{1/3} T^{-1}$$ **Equation I.6**

où N_{inv} est la densité de porteurs dans le couche d'inversion et T la température.

A des températures plus élevées, les collisions ont lieu avec les phonons optiques. La mobilité peut s'exprimer de la façon suivante :

$$\mu_{pho} \propto N_{inv}^{1/\tau} T^{-n}$$ **Equation I.7**

où τ et n sont des constantes dépendant essentiellement de l'orientation cristallographique.

b) Collisions avec les charges de Coulomb

Ces collisions sont dues aux sites chargés situés près du canal. Ces charges sont généralement localisées près de l'interface oxyde de grille/canal. Ces collisions sont prépondérantes pour des températures très basses, lorsque les collisions avec les phonons ne sont pas dominantes. Ces collisions sont importantes en régime de faible inversion mais diminuent en inversion forte à cause du phénomène d'écrantage des charges par les porteurs minoritaires.

L'atténuation de la mobilité due à ces charges est donnée par [Sah72] :

$$\mu_{cc} \propto N_{cs}^{-1} T$$ **Equation I.8**

où N_{cs} est la concentration de charges de surface, comprenant la charge fixe de l'oxyde, la charge d'états d'interface et la charge localisée due aux impuretés ionisées.

c) Collisions sur la rugosité de surface

La rugosité de surface due à l'interface oxyde de grille/silicium constitue une source importante de collisions. Ces collisions sont indépendantes de la température et dominantes pour les forts champs électriques. Elles peuvent être modélisées par [Jeon89] :

$$\mu_{rs} \propto E_{eff}^{-2}$$ **Equation I.9**

E_{eff} étant le champ électrique transversal effectif. Il est directement lié au dopage du canal (donc à la charge de dépletion Q_{dep} et à la charge d'inversion Q_{inv}) par la relation:

$$E_{eff} = \frac{\eta . Q_{inv} + Q_{dep}}{\varepsilon_{Si}}$$

où η est un paramètre empirique tenant compte du fait que le champ électrique considéré est un champ moyen. η est généralement pris constant et égal à 1/2 pour les électrons et 1/3 pour les trous dans le silicium. ε_{Si} est la permittivité statique du silicium.

La contribution relative de ces trois mécanismes de collision dépend de la température et de la concentration de porteurs dans le canal. A température ambiante et à faible champ, la mobilité est contrôlée par les collisions avec les phonons et les charges, alors qu'en forte inversion les collisions sur la rugosité de surface sont prédominantes. A basse température, seules les collisions avec les charges et la rugosité de surface sont significatives. La figure I.4 résume de façon schématique les comportements de ces différents mécanismes en fonction de la température et de la densité de porteurs dans le canal.

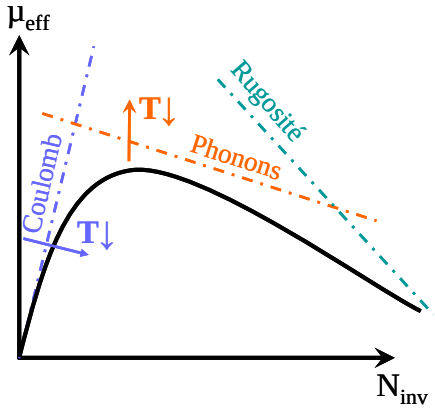

Figure I.4: Evolution de la mobilité effective et de ses différentes composantes en fonction de la densité de porteurs dans la couche d'inversion et de la température.

2) Limitations liées à la miniaturisation des dispositifs

Plusieurs raisons expliquent la volonté de diminuer les dimensions des transistors. La raison principale de la réduction des dimensions est l'intégration d'un plus grand nombre de dispositifs dans une même puce. Des dispositifs de dimensions réduites conduisent soit à une puce avec les mêmes fonctionnalités sur une surface plus petite, soit à des puces avec plus de fonctionnalités sur une même surface. Si on suppose que les coûts de fabrication d'une plaque microélectronique sont relativement fixes, le coût par circuit intégré est principalement lié au nombre de puces produites par plaque. Augmenter le nombre de puces par plaque permet donc de réduire le prix d'une puce. Ainsi, durant les trente dernières années, le nombre de transistors par puce a doublé tous les deux-trois ans à chaque introduction d'un nouveau nœud technologique. Cette tendance avait été anticipée par la loi de Moore basée sur un modèle économique et énoncée en 1965.

La diminution des grandeurs géométriques des transistors MOSFETs fût la première méthode utilisée pour améliorer la vitesse de commutation des transistors. Les MOSFETs de l'état de l'art sont maintenant fabriqués avec des longueurs de grille effective d'une dizaine de nanomètres seulement (environ 30 nm en production), poussant les technologies conventionnelles à base de silicium dans le régime de la nanoélectronique.

Ceci a créé de nouveaux challenges pour modifier les autres dimensions des dispositifs, qui doivent être réduites en accord avec la longueur de grille. En 1974, Dennard proposait une théorie prospective de miniaturisation des transistors [Dennard74]. Cette théorie est basée sur l'hypothèse d'une diminution des dimensions et de la tension d'alimentation des dispositifs dans les mêmes proportions, afin de maintenir un champ électrique constant dans le dispositif. Le tableau I.1 résume les règles de miniaturisation idéales des paramètres des transistors et des circuits à base de MOSFETs. Les bénéfices apportés par la réduction de la taille des dispositifs sont directement visibles dans ce tableau. Si on réduit la dimension des transistors d'un facteur k, ils peuvent commuter plus vite (réduction du délai intrinsèque d'un facteur k), tandis que la puissance dissipée est réduite d'un facteur k^2. En pratique,

l'hypothèse d'un champ électrique constant (facteur d'échelle 1) n'a jamais été rigoureusement suivie [Thompson05]. Tous les transistors n'ont pas subi les mêmes règles de miniaturisation, selon les applications auxquelles ils étaient destinés.

Paramètre physique du transistor ou du circuit (unité)	**Facteur d'échelle**
Dimensions du transistor t_{ox}, L, W, X_j (1) (cm)	1/k
Concentration en dopants (cm^{-3})	k
Tension d'alimentation V_{DD}	1/k
Champ électrique E (V/cm)	1
Courant normalisé I_{ON} (µA/µm)	1
Delai intrinsèque (par circuit) $C_{gate}.V_{DD}/I_{ON}$ (2) (s)	1/k
Puissance dissipée par circuit $V_{DD}.I_{ON}$ (W)	$1/k^2$
Densité de puissance $V_{DD}.I_{ON}/S$ (3) (W/m^2)	1

Tableau I.1: Règles de miniaturisation des MOSFETs proposées par Dennard (facteur multiplicatif k sans unité, dans le cas d'un champ électrique constant) [Dennard74]. (1) t_{ox} est l'épaisseur de l'oxyde de grille, L et W sont respectivement la longueur et la largeur de grille, X_j est la profondeur de jonction. (2) C_{gate} est la capacité grille/canal. (3) S=L.W.

De nouveaux défis technologiques apparaissent avec la réduction des dimensions des dispositifs. Par exemple, l'épaisseur de l'oxyde de grille t_{ox} doit être réduite comme les autres dimensions du transistor, ce qui conduit notamment à des fuites de grille. Le dopage du substrat doit être augmenté, entraînant une augmentation des collisions entre les porteurs et donc une dégradation de la mobilité. Pour continuer à améliorer les performances des dispositifs, de nouvelles structures et des matériaux nouveaux ont été proposés. Ceci fait l'objet de la partie suivante.

3) Solutions technologiques pour l'amélioration des performances

3.1. Choix des matériaux du diélectrique de grille et de la grille

Les épaisseurs très faibles d'oxyde de grille dégradent notamment les fuites de grille, le claquage de l'oxyde et la mobilité. Des diélectriques de grille à forte permittivité sont maintenant utilisés à la place du SiO_2. Ces matériaux sont par exemple le dioxyde d'Hafnium (HfO_2), le dioxyde de Zirconium (ZrO_2), ou le dioxyde de Titane (TiO_2), et ont une constante diélectrique k supérieure à 3.9 (constante diélectrique du SiO_2). Une épaisseur de diélectrique plus élevée peut être utilisée avec un diélectrique à forte permittivité (« high-k ») par rapport au SiO_2 pour une épaisseur d'oxyde équivalente (EOT pour « electrical oxide thickness ») plus faible, ce qui permet de réduire significativement les fuites de grille.

Parallèlement, de nouveaux métaux pour la grille du transistor ont été développés. De nombreux matériaux différents peuvent être utilisés. Grâce aux grilles métalliques, la zone de désertion qui existait dans les grilles en polysilicium est supprimée. Les grilles métalliques permettent également d'ajuster la tension de seuil des dispositifs. En effet, comme le travail de sortie ϕ_M de la grille intervient directement dans la tension de seuil via $V_{FB}=\phi_M-\phi_S$, la modulation de ϕ_M permet alors d'ajuster la tension de seuil. Les matériaux les plus simples à intégrer[5] sont de type « mid-gap » (leur niveau de Fermi est au milieu du gap), comme par exemple le nitrure de titane TiN. Sur Si massif, on cherche à avoir des matériaux avec des

[5] Ceci est seulement vrai dans le cas du SOI. Ces matériaux peuvent être utilisés à la fois pour les nMOS et les pMOS car ils permettent d'avoir une tension de seuil symétrique pour les deux types de dispositifs.

niveaux de Fermi proches des bords de bande du silicium (bande de valence pour les pMOS, bande de conduction pour les nMOS).

Pour les dispositifs MOSFETs sur SOI étudiés au cours de cette thèse (dans les chapitres III et IV), l'oxyde de grille est un diélectrique à forte permittivité de type HfO_2 (chapitre III) ou HfZrO (chapitre IV) et la grille métallique est en TiN.

3.2. Utilisation de matériaux à forte mobilité pour le canal

L'utilisation de diélectriques à forte permittivité cause une dégradation de la mobilité dans le canal [Fischetti01]. Pour compenser cette dégradation de mobilité due au diélectrique à forte permittivité et continuer à augmenter les performances, de nouveaux matériaux pour le canal peuvent être utilisés.

En effet, nous avons vu que le courant à l'état ON du transistor (équations I.3, 4 et 5) est relié à la mobilité μ_{eff} dans le canal pour les transistors à canal long. Ainsi, l'amélioration de la mobilité dans le canal permet d'augmenter le courant I_{ON} autrement que par une réduction de la longueur de grille ou une diminution de l'EOT, donc sans dégrader le courant de fuite I_{OFF}. Pour les transistors à canaux courts, il a été démontré une corrélation entre la vitesse effective des porteurs dans le canal (et donc le courant I_{ON} (cf. équation I.10)) et la mobilité [Khakifirooz06].

$$I_{ON} = I_{Dsat} = v\, WC_{ox}(V_G - V_T) \qquad \textbf{Equation I.10}$$

avec ν la vitesse effective des porteurs dans le canal.

A une température et un champ électrique donnés, il existe trois principaux leviers technologiques pour améliorer le transport dans le canal des transistors et donc le rapport I_{ON}/I_{OFF}: la contrainte mécanique, le matériau et l'orientation cristalline du canal. Parmi les solutions proposées, l'ingénierie de la contrainte est très prometteuse car elle constitue une technique d'augmentation des performances à bas coût et faible risque grâce au maintien du procédé de fabrication traditionnel des MOSFETs. *Ce point fera l'objet des chapitres III et IV.*

3.3. Orientation cristalline du substrat et/ou du canal

Une autre manière d'augmenter la mobilité est d'utiliser différentes orientations du substrat et/ou du canal [Irie04, Mizuno05]. L'orientation conventionnelle des substrats de silicium est (001) et la direction cristallographique du canal <110> (cf. figure I.5). Pour les pMOS, les propriétés de transport peuvent être améliorées avec un canal orienté dans la direction <100> (cf. figure I.5) [Komoda04]. Cette orientation du canal est d'autant plus intéressante qu'elle ne dégrade pas le transport dans les nMOS[6]. Le transport des pMOS est encore meilleur dans le plan (110) avec un canal orienté dans la direction <110> [Yang03]. Par contre, la mobilité des nMOS est dégradée dans ce plan[7]. Changer l'orientation cristalline du substrat et/ou du canal est donc plus intéressante pour améliorer la mobilité des pMOS que des nMOS.

[6] Dans le cas de nMOS contraints, l'orientation <110> est meilleure que l'orientation <100> (dans le plan (001)), comme nous le montrerons dans le chapitre III.

[7] Dans le cas des nMOS sur SOI, la mobilité des électrons n'est pas trop dégradée dans le plan (110) [Majumdar10].

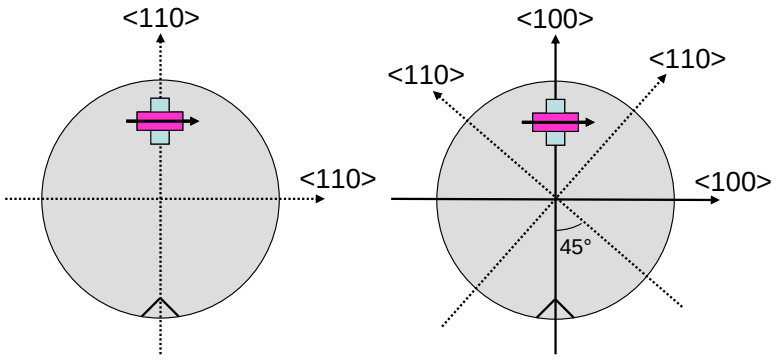

Figure I.5: Représentation schématique de deux substrats orientés (001) (vue de dessus) avec un canal orienté suivant <110> (à gauche) et suivant <100> (à droite).

4) Effets parasites du transistor fortement submicronique

4.1. Les effets canaux courts SCE et DIBL

Avec la miniaturisation des dimensions des dispositifs, des effets parasites apparaissent et modifient les performances des dispositifs MOSFETs. Les technologies sur silicium massif conventionnelles souffrent d'importants effets canaux courts qui dégradent le contrôle de la grille sur le canal de conduction pour les petites longueurs de grille et augmentent le contrôle parasite par le drain.

Pour des transistors de faible longueur de grille, des effets de couplage électrostatique apparaissent entre la source et le drain. Ces effets sont dus au rapprochement puis au recouvrement partiel des zones de charge d'espace des jonctions source/substrat et drain/substrat lorsque la longueur de grille diminue. La charge de désertion dans le canal est alors en grande partie contrôlée par les jonctions, et non plus par la grille.

Dans un transistor long, le champ vertical de grille commence par déserter le canal, puis réalise ensuite l'inversion. Pour les transistors courts, la désertion étant déjà induite par les jonctions, l'inversion est atteinte plus vite en fonction de V_G. Cet « effet canal court » ou SCE (« Short Channel Effect ») se traduit alors par un abaissement de la barrière de potentiel entre la source et le drain, et donc par une diminution de la tension de seuil mesurée en régime linéaire (à V_D faible) (cf. figure I.6).

La polarisation de drain V_D a aussi un effet sur la barrière de potentiel puisque l'extension de la zone de charge d'espace au niveau du drain dépend de V_D. Pour les transistors courts, une augmentation de V_D induit un abaissement supplémentaire de la tension de seuil appelé DIBL (« Drain Induced Barrier Lowering ») (cf. figure I.6).

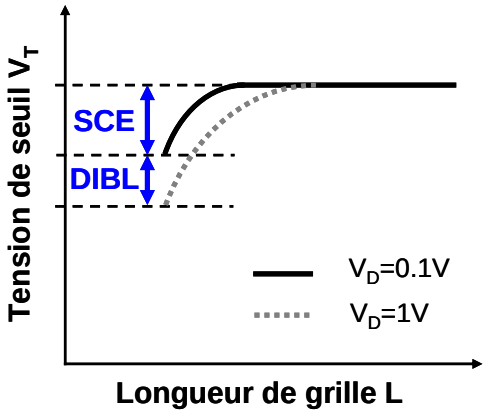

Figure I.6: Impact des effets canaux courts SCE et DIBL sur la tension de seuil.

Ces deux effets SCE et DIBL sont regroupés sous le terme générique « effets canaux courts ». Ils traduisent une perte de contrôle électrostatique de la grille sur le canal de conduction pour les transistors courts par rapport à un transistor long. La modulation de la grille sur la barrière de potentiel est moins efficace, ce qui entraîne une dégradation de la pente sous le seuil. Les effets canaux courts se traduisent par une dépendance de la tension de seuil en régime linéaire et en régime de saturation avec la longueur de grille (cf. figure I.6). Des fluctuations technologiques sur la longueur de grille induisent alors une forte variation de la tension de seuil, et donc des performances (cf. équation I.5). Les effets canaux courts sont donc responsables de pertes de rendement. De plus, ce sont les principaux responsables de l'augmentation du courant de fuite I_{OFF} pour les faibles longueurs de grille.

4.2. Les résistances séries

Pour les transistors de longueur de grille submicronique, les effets de résistances séries sont une cause relativement importante de perte de performance. La résistance totale d'un transistor peut être décomposée en deux parties :

- la résistance du canal de conduction
- les résistances d'accès côté source et côté drain.

Les résistances d'accès sont globalement liées aux jonctions et aux contacts (de source et de drain), ainsi qu'aux interconnexions. Ces résistances d'accès, notées R_{SD}, entraînent une chute de potentiel aux bornes réelles du canal (S' et D') et entre source et grille (S' et G) (cf. figure I.7).

En supposant $R_D = R_S = R_{SD}/2$ (avec R_S et R_D les résistances séries parasites côté source et côté drain respectivement), on a ainsi :

$$V_{GS'} = V_{GS} - R_{SD}\frac{I_D}{2} \quad \text{et} \quad V_{D'S'} = V_{DS} - R_{SD} I_D$$ **Equations I.11 et 12**

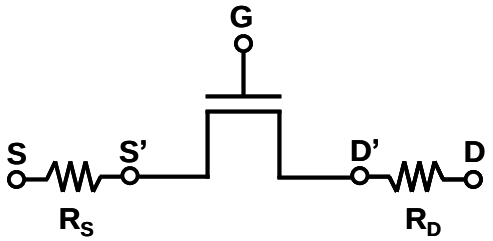

Figure I.7: Schéma électrique d'un transistor avec prise en compte des résistances séries R_{SD}.

Il existe un compromis entre résistances d'accès et effets canaux courts.

Ces limitations entraînent de nouveaux challenges pour maintenir l'augmentation des performances demandée par la feuille de route de l'ITRS (International Technology Roadmap for Semiconductors). Une solution prometteuse est l'utilisation de films minces de silicium pour contrôler les effets canaux courts dans les dispositifs de faible longueur de grille. C'est pourquoi les technologies FDSOI qui seront décrites dans la partie suivante sont considérées comme un des meilleurs candidats pour les futures générations de technologie CMOS (Complementary Metal Oxide Semiconductor).

II/ La technologie Silicium sur Isolant (SOI)

1) Description de la technologie SOI

Les substrats Silicium sur Isolant (SOI) sont des substrats dans lesquels un oxyde enterré (BOX pour « buried oxide ») sépare la couche de silicium active (où sont fabriqués les transistors) du substrat de silicium massif (cf. figure I.8). Dans un transistor MOSFET, seule la couche supérieure de silicium située entre la source et le drain est vraiment utile pour le transport des porteurs. Le reste du substrat de silicium ne sert en réalité que de support mécanique. D'où l'intérêt du SOI, qui offre une isolation diélectrique parfaite entre la couche active des dispositifs et le substrat de silicium massif. La majorité des plaques SOI est fabriquée actuellement par la société SOITEC par collage de plaques grâce à la technologie Smart Cut™ [Bruel95].

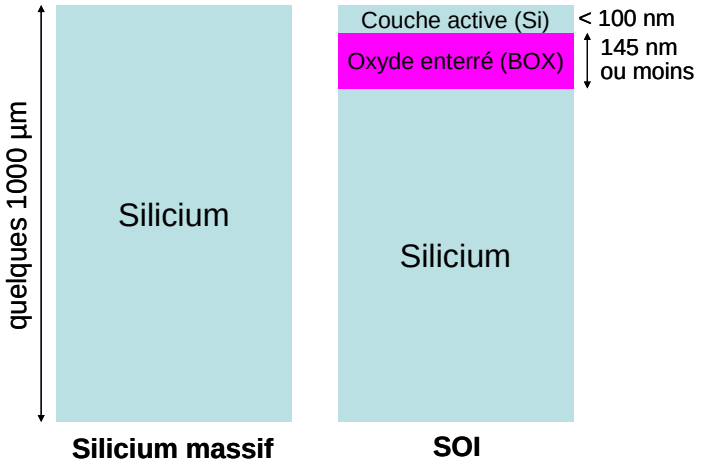

Figure I.8: Structure schématique d'un substrat classique de silicium (à gauche) et d'un substrat SOI (à droite).

On distingue deux grands types de dispositifs sur substrat SOI (cf. figure I.9). Les transistors SOI partiellement désertés (PDSOI pour « Partially Depleted SOI ») et les transistors SOI totalement désertés (FDSOI pour « Fully Depleted SOI »). La différence entre ces deux types de dispositifs dépend de l'épaisseur de la couche de Si active et de son dopage. Dans le cas des transistors FDSOI, l'épaisseur de la couche active est inférieure à l'épaisseur de la zone de désertion $T_{dep} = Q_{dep} / qN_{ch}$ (où Q_{dep} est la charge de désertion et N_{ch} le dopage du canal).

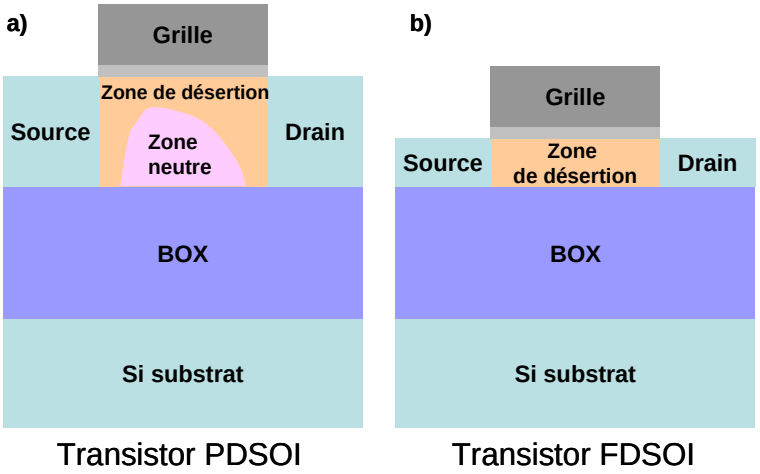

Figure I.9: Structure schématique d'un transistor PDSOI (a) et d'un transistor FDSOI (b).

2) Les avantages de la technologie SOI par rapport au Si massif

Historiquement, les premiers substrats SOI ont été développés pour des applications spatiales grâce à leur meilleure résistance aux rayonnements ionisants par rapport au silicium massif. Cependant, ils présentent de nombreux avantages supplémentaires qui font d'eux un sérieux candidat pour remplacer le silicium massif pour certaines applications CMOS.

2.1. Avantages communs aux transistors PDSOI et FDSOI

a) Amélioration du compromis énergie dissipée/vitesse de fonctionnement

Les substrats SOI permettent d'améliorer le compromis entre l'énergie dissipée et la vitesse de fonctionnement des circuits CMOS (délai intrinsèque du transistor), qui est un enjeu fondamental lié à la miniaturisation des circuits intégrés CMOS. La puissance totale consommée par le circuit P_{tot} est la somme de deux contributions, à savoir la puissance active dynamique P_{dyn} et la puissance statique P_{stat}. Ces puissances peuvent être évaluées en première approximation par :

$$\begin{aligned} P_{tot} &= P_{dyn} + P_{stat} \\ P_{stat} &= n_{OFF} \,.I_{OFF} \,.V_{DD} \\ P_{dyn} &= f \,.C_{active} \,.V_{DD}^{\;2} \approx n_{ON} \,.I_{ON} \,.V_{DD} \end{aligned} \qquad \textbf{Equation I.13}$$

où n_{ON} et n_{OFF} sont le nombre de transistors à l'état passant et bloqué respectivement, f la fréquence de l'horloge du circuit, C_{active} la capacité totale active pendant un cycle d'horloge et V_{DD} la tension d'alimentation.

Afin de réduire la puissance totale dissipée par le circuit, il faudrait réduire la tension d'alimentation. Or, ceci se ferait au détriment des performances. En effet, les paramètres les plus utilisés pour évaluer les performances d'un circuit logique sont le courant I_{ON} et le délai intrinsèque du transistor $\tau_{gate} = C_{gate} \,.V_{DD} \,/\, I_{ON}$. Pour diminuer le délai intrinsèque du transistor, on peut chercher à augmenter le courant I_{ON}. Or, la valeur du courant I_{ON} est liée à la tension d'alimentation (V_{DD}-V_T).

Les substrats SOI permettent d'améliorer le compromis entre la vitesse de fonctionnement des circuits CMOS et la tension d'alimentation ou la puissance consommée. Comparé à des circuits similaires fabriqués sur silicium massif, les circuits CMOS sur SOI (technologie PDSOI) peuvent fonctionner avec des vitesses de 20 à 35% supérieures [IBM], ou avec des puissances consommées 2 à 4 fois inférieures pour la même vitesse de fonctionnement [Sadana00, IBM]. Les améliorations obtenues grâce au SOI en termes de vitesse de fonctionnement et de puissance consommées sont équivalentes à environ un nœud supplémentaire de miniaturisation sur silicium massif.

b) Isolation totale entre les transistors

Chaque transistor est isolé électriquement du substrat de silicium grâce à l'oxyde enterré. Les caissons et tranchées d'isolation utilisés dans le cas du silicium massif ne sont plus nécessaires. L'isolation des transistors entre eux peut être simplement réalisée par la gravure des zones actives (gravure de la couche supérieure de silicium jusqu'au BOX). Cette isolation est appelée isolation MESA. Elle permet de gagner en densité d'intégration et donc de concevoir des architectures plus compactes que sur du silicium massif.

De plus, les inconvénients liés aux substrats de silicium massif sont supprimés. Grâce à la présence du BOX, le déclenchement du thyristor parasite (phénomène de « latch-up ») dû à une mauvaise isolation entre transistors voisins (cf. figures I.10 et I.11) est supprimé.

a)

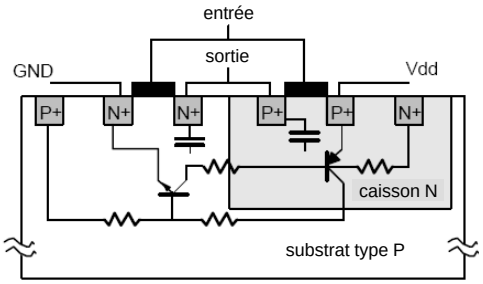

Figure I.10. Coupe montrant le chemin du phénomène de « latch-up » dans un inverseur CMOS sur silicium massif. Les capacités parasites des source/drain sont aussi représentées.

b)

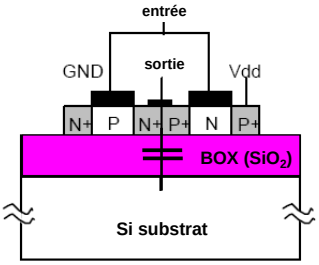

Figure I.11. Coupe d'un inverseur CMOS sur SOI. Les capacités parasites des source/drain sont aussi représentées.

c) <u>Procédé de fabrication simplifié par rapport au Si massif</u>

Même si les substrats SOI sont plus coûteux que les substrats de silicium massif, le SOI permet de simplifier certaines étapes du procédé de fabrication des transistors, et donc de réduire les coûts de fabrication. Le SOI permet d'éliminer les étapes d'implantation ionique à haute énergie et le nombre de masques qui étaient nécessaires pour la formation des caissons d'isolation[8] dans le cas du silicium massif. Des procédés de lithographie et de gravure des zones actives moins complexes, et donc moins coûteux, par rapport au Si massif pourront être utilisés pour les futurs nœuds technologiques.

2.2. Avantages particuliers aux transistors FDSOI

a) <u>Amélioration du contrôle électrostatique</u>

Le contrôle électrostatique de la grille sur le canal est amélioré dans le cas de transistors sur SOI grâce d'une part à un couplage entre le film de silicium et le substrat, et d'autre part à une réduction de la profondeur des jonctions. Dans le cas des applications FDSOI, la profondeur des régions source et drain est fixée par l'épaisseur du film de silicium et non par le procédé d'implantation et de recuit (comme c'est le cas pour le silicium massif), minimisant ainsi la profondeur des jonctions.

Afin d'avoir un bon contrôle électrostatique du canal, il existe des règles d'échelle déterminant l'épaisseur T_{Si} que doit avoir la couche de Si active pour une longueur de grille L_g donnée (cf. équation I.14).

$$\frac{1}{4} \leq \frac{T_{Si}}{L_g} \leq \frac{1}{3}$$ **Equation I.14**

Le meilleur contrôle électrostatique du canal par la grille est bénéfique pour les transistors longs (diminution de la pente sous le seuil) comme pour les transistors courts (diminution de la pente sous le seuil, réduction des effets canaux courts). Les dispositifs FDSOI ont une pente sous le seuil quasi-idéale (60 mV/décade à température ambiante). Ceci est dû à la disparition de la capacité différentielle de désertion en faible inversion.

[8] Dans le cas des BOX ultraminces (« UTBOX »), les caissons d'isolation sont toujours nécessaires.

b) Amélioration du transport

Grâce à la réduction des effets canaux courts et à l'ajustement de la tension de seuil par le travail de sortie de la grille, la contrainte imposée sur le niveau de dopage du canal peut être relâchée. En technologie FDSOI, le film mince est non dopé et les poches de sur-dopage ne sont plus nécessaires. Ainsi, le procédé de fabrication est simplifié par rapport à la technologie sur silicium massif. De plus, la suppression du dopage entraîne une augmentation de la mobilité des porteurs et donc du courant à l'état ON.

3) Les limitations de la technologie SOI par rapport au Si massif

Malgré les nombreux avantages de la technologie SOI que nous venons de décrire, cette technologie présente toutefois quelques limitations.

3.1. Limitations particulières aux transistors PDSOI

L'effet de substrat flottant (« floating body effect ») apparaît dans les transistors PDSOI à cause de la formation d'une capacité entre la zone neutre de la couche active (appelée substrat flottant) et le substrat de silicium isolé par l'oxyde enterré (cf. figure I.12). Des charges s'accumulent alors dans cette capacité, pouvant causer des effets néfastes tels que, par exemple, l'apparition de transistors parasites dans la structure ou des fuites à l'état OFF. Ces effets entraînent une consommation plus importante en courant. L'effet de substrat flottant est aussi responsable de la dépendance de la tension de seuil du transistor par rapport aux états antérieurs, appelé «effet d'histoire».

La deuxième limitation propre aux transistors PDSOI est l'effet de transistor bipolaire parasite.

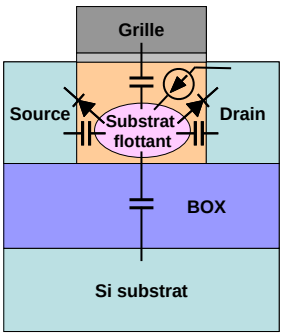

Figure I.12: Schéma en coupe montrant l'effet de substrat flottant dans un transistor PDSOI.

3.2. Limitations particulières aux transistors FDSOI

a) Résistances séries parasites

Afin d'optimiser les transistors de plus courte longueur de grille (< 40 nm), des films très minces sont utilisés (T_{Si} < 10 nm). On observe alors une augmentation importante des résistances séries parasites, qui sont inversement proportionnelles à T_{Si} [Barral07]. Cependant, des solutions au niveau du procédé de fabrication sont mises en place pour pallier cet inconvénient. Une reprise d'épitaxie sélective au niveau des régions de source et drain est réalisée afin d'augmenter l'épaisseur de silicium. Ensuite, un dépôt de siliciure à base de nickel (NiPt ou Ni par exemple) est réalisé au niveau de ces régions afin de diminuer les résistances d'accès.

Grâce à des procédés de siliciuration des S/D optimisés, de très bonnes valeurs de résistance d'accès sont obtenues (R_{SD}~320 Ω.µm pour T_{Si}=4 nm) pour les transistors FDSOI ([Barral07]).

b) Ajustement de la tension de seuil

Le canal étant non dopé, la tension de seuil V_T ne peut plus être ajustée par le niveau de dopage du canal. La non-uniformité de l'épaisseur du film de silicium est alors responsable de variations de tension de seuil entre les dispositifs. Cependant, les technologies actuelles sont bien optimisées. Les architectures FDSOI à canaux ultra-fins et non dopés donnent d'excellents résultats en terme de contrôle de la variabilité sur la tension de seuil ($A_{\Delta V_T} = 1.4$ mV.µm pour L= 25 nm) [Weber08].

3.1. Limitations communes aux transistors PDSOI et FDSOI

Le BOX ayant une conductivité thermique 100 fois plus faible que celle du silicium, sa présence empêche l'évacuation de la chaleur liée au fonctionnement des transistors vers le substrat. Les transistors subissent alors un phénomène d'auto-échauffement, ce qui se traduit par une diminution du niveau de courant. Cet effet est surtout important pour les applications analogiques.

Résumé

	PDSOI	**FDSOI**
Avantages par rapport au Si massif	• Amélioration du compromis énergie dissipée / vitesse de fonctionnement • Isolation totale entre les transistors • Densité d'intégration plus élevée • Procédé de fabrication simplifié • Réduction des capacités parasites de jonction Source/Drain • Effet de substrat flottant	• Meilleur contrôle électrostatique (pente sous le seuil, DIBL) • Fuites de jonction minimisées • Amélioration du transport
Inconvénients par rapport au Si massif	• Effet de substrat flottant • Effet de transistor bipolaire parasite • Effets d'auto-échauffement	

Grâce à ces avantages, le SOI est bien adapté aux circuits à forte densité d'intégration. Les transistors PDSOI sont particulièrement bien adaptés aux circuits haute performance. Les transistors FDSOI sont quant à eux bien adaptés aux applications basse consommation (faible tension d'alimentation ou puissance de fonctionnement, systèmes fonctionnant sur batterie), pour lesquelles on cherche à minimiser la puissance dissipée en statique (faibles courants de fuite) et en dynamique (faible tension d'alimentation possible grâce à la pente sous le seuil minimale et au bon contrôle des effets canaux courts).

La technologie FDSOI est l'un des meilleurs candidats pour la génération 20 nm. Les dispositifs FDSOI ont en effet une pente sous le seuil idéale (~ 60 mV/dec) et un meilleur contrôle des effets canaux courts (SCE et DIBL) grâce au film mince de silicium actif, une isolation totale entre les dispositifs et des capacités de jonction réduites grâce au BOX. Cependant, cette technologie ne permettra pas d'atteindre à elle seule les spécifications très agressives en terme de compromis I_{ON}/I_{OFF} prédites par la feuille de route de l'ITRS pour les

générations de technologies sub-20nm. Pour satisfaire les spécifications futures de l'ITRS (forte amélioration du I_{ON} tout en gardant un I_{OFF} relativement faible) et continuer à diminuer les dimensions des dispositifs, de nouvelles solutions technologiques pour augmenter les performances doivent être intégrées dans les procédés de fabrication. De nombreuses études ont récemment démontré que l'application d'une contrainte dans le canal de conduction des dispositifs permet d'augmenter les propriétés de transport des porteurs et donc le courant I_{ON}.

Dans les chapitres III et IV, nous étudierons des n- et p-MOSFETs sur SOI, de type FDSOI ou PDSOI.

III/ Utilisation de la contrainte pour améliorer le transport dans les MOSFETs sur SOI

Une solution pour résoudre le compromis énergie dissipée/performances consiste à améliorer les propriétés de transport intrinsèque du transistor, comme la mobilité des porteurs. L'utilisation de la contrainte permet d'améliorer la mobilité des porteurs comme nous allons l'expliquer dans cette partie.

1) Origine des contraintes en microélectronique

Les différentes étapes d'élaboration d'une structure sont susceptibles d'introduire des contraintes résiduelles dans les matériaux. Dans le cas des procédés de la microélectronique, les contraintes résiduelles sont principalement d'origine thermo-élastique (σ_{th}), car les matériaux sont souvent déposés à température élevée. La différence de coefficient de dilation thermique avec les autres matériaux présents entraîne des contraintes lors du refroidissement du système.
Les contraintes résiduelles dans les couches peuvent être très élevées lorsque le matériau déposé possède des propriétés mécaniques très différentes de celles du silicium.

1.1. Contraintes thermo-élastiques

Dans le cas d'une couche mince (film f) déposée sur un substrat (s), la déformation ε_f dans le film s'exprime par:

$$\varepsilon_f(T) = \int_{T_0}^{T} (\alpha_s(T) - \alpha_f(T))\,dT \qquad \textbf{Equation I.15}$$

où α_s et α_f sont respectivement les coefficients de dilatation thermique du substrat et du film, T est le température et T_0 la température de dépôt du film.

Dans le cas où les coefficients de dilatation sont indépendants de la température, l'équation I.15 devient :

$$\varepsilon_f(T) = (\alpha_s - \alpha_f)(T - T_0) \qquad \textbf{Equation I.16}$$

Dans le cas où le film homogène a un comportement élastique et isotrope, la contrainte thermo-élastique dans le plan du film (σ_f) est déduite de l'équation I.16 et de la loi de Hooke. Dans l'hypothèse des contraintes planes, son expression est donnée par :

$$\sigma_f = \frac{E_f}{1-\nu_f}(\alpha_s - \alpha_f)(T - T_0) \qquad \textbf{Equation I.17}$$

avec E_f et ν_f le module d'Young et le coefficient de Poisson du film (dont la variation en fonction de la température est négligée).

1.2. Contraintes intrinsèques

Les autres contraintes résiduelles sont appelées contraintes intrinsèques (notées σ_{int}) et peuvent être de différentes natures. On a alors:

$$\sigma_{résiduelle} = \sigma_{th} + \sigma_{int} \qquad \textbf{Equation I.18}$$

La contrainte intrinsèque est définie comme la contrainte du matériau pendant sa fabrication, à la température de dépôt. Elle apparaît au cours du dépôt, lors de la croissance du film sur le substrat. Elle se développe dans des conditions de non équilibre total et prend naissance au sein du film à chaque fois qu'une nouvelle sous-couche est déposée sans que les atomes sous-jacents n'aient eu le temps de diffuser vers leur position d'équilibre. Elle peut se manifester par des forces de traction ou de compression internes, selon les conditions de dépôt. Ces contraintes peuvent venir du matériau proprement dit ou des étapes subies: conditions de dépôt (température, pression, épaisseur déposée), recuit, etc.

Les modèles physiques décrivant les modifications structurales à l'origine des contraintes intrinsèques sont peu nombreux. Ces contraintes ne sont donc pas directement calculables. Elles s'obtiennent généralement par différence de la contrainte résiduelle, mesurée à température ambiante, et de la contrainte thermique (cf. équation I.18).

1.3. Contraintes d'épitaxie

Une contrainte d'épitaxie entre un film monocristallin et un substrat monocristallin apparaît lorsqu'il y a désaccord paramétrique entre les deux couches. Le désaccord paramétrique entre la couche et le substrat est défini par :

$$f = \frac{a_C - a_S}{a_S} \qquad \textbf{Equation I.19}$$

avec a_C et a_S les paramètres de maille de la couche et du substrat respectivement.

a) <u>Notion d'épaisseur critique</u>

Au cours de la croissance d'une couche de paramètre de maille différent de celui du substrat d'épitaxie, la déformation du cristal s'accompagne d'un stockage d'énergie élastique dans la couche épitaxiée. Cependant, au-delà d'une certaine épaisseur appelée épaisseur critique, le processus minimisant l'énergie totale emmagasinée sera la génération de dislocations d'interface dans le cristal, afin de relaxer le désaccord de paramètre de maille. L'épaisseur critique dépend de la différence de paramètre de maille entre la couche et le substrat. Plus cette différence est grande, plus l'épaisseur critique est faible. Dans le cas de la croissance par épitaxie d'une couche de $Si_{1-x}Ge_x$ sur du silicium, la valeur théorique de l'épaisseur critique a été prédite par différents modèles de la littérature [Matthews74, Fischer00, People85].

Lorsque la croissance de la couche se fait de façon cohérente avec le substrat (c'est-à-dire pour une épaisseur inférieure à l'épaisseur critique du système), la couche épitaxiée subit une contrainte.

b) Calcul du paramètre de maille d'un alliage AB (loi de Végard)

La loi de Végard stipule que le paramètre de maille d'un alliage AB est déterminé par une interpolation linéaire des paramètres de maille des éléments A et B. Le paramètre de maille d'un alliage $A_{1-x}B_x$ est donné par :

$$a_{A_{1-x}B_x} = (1-x)a_A + xa_B \qquad \textbf{Equation I.20}$$

avec a_A et a_B les paramètres de maille des matériaux A et B respectivement.

Les matériaux utilisés dans ce manuscrit pour introduire des contraintes d'épitaxie par rapport au Si sont les matériaux SiGe et SiC. Les paramètres de maille du Si, Ge et C sont donnés dans le tableau I.2.

Matériau	Paramètre de maille (nm)
Si	0.54310
Ge	0.56575
C	0.356

Tableau I.2: Paramètres de maille du Si, Ge et C.

Les travaux permettant de déterminer de la façon la plus précise à ce jour le paramètre de maille a_{SiGe} des alliages $Si_{1-x}Ge_x$ ont été réalisés par Dismukes et al. [Dismukes64]. Les valeurs de a_{SiGe} sont données en fonction de la composition en Ge de l'alliage SiGe sur la figure I.13 et dans le tableau I.3. Dans le tableau I.3 est aussi donnée la déviation par rapport à la loi de Végard $\Delta = a_{Si_{1-x}Ge_x} - a_v$, avec $a_v = a_{Si} + (a_{Ge} - a_{Si})x$ le paramètre de maille de SiGe donné par l'approximation que constitue la loi de Végard. La quantité Δ est toujours négative et maximale autour de x=0.5.

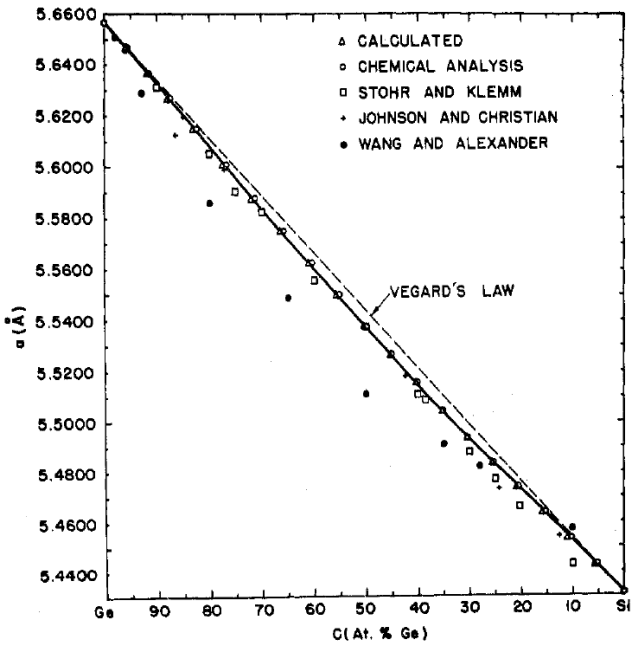

Figure I.13. Variation du paramètre de maille de l'alliage SiGe en fonction de sa composition en Ge [Dismukes64]. La loi de Végard est présentée en pointillés. L'autre droite représente la déviation par rapport à cette loi.

C, at. % Ge	d, g. cm.$^{-3}$	a, Å.	a − a_v, Å.
0	2.3277	5.4310	...
5	2.5100	5.4419	−0.0004
10	2.6825	5.4522	−0.0014
15	2.8490	5.4624	−0.0026
20	3.0075	5.4722	−0.0041
25	3.1660	5.4825	−0.0051
30	3.3265	5.4928	−0.0062
35	3.4840	5.5038	−0.0065
40	3.6405	5.5149	−0.0067
45	3.7950	5.5261	−0.0068
50	3.9470	5.5373	−0.0069
55	4.0990	5.5492	−0.0063
60	4.2465	5.5609	−0.0060
65	4.3905	5.5727	−0.0055
70	4.5335	5.5842	−0.0053
75	4.6730	5.5960	−0.0048
80	4.8115	5.6085	−0.0027
85	4.9445	5.6206	−0.0019
90	5.0740	5.6325	−0.0023
95	5.1990	5.6448	−0.0013
100	5.3256	5.6575	...

Tableau I.3: Valeurs exactes de la densité d et du paramètre de maille a de l'alliage SiGe en fonction de sa composition C en Ge [Dismukes64]. Δ=a-a_v est la déviation par rapport à la loi de Végard.

c) Exemple des alliages $Si_{1-x}Ge_x$

Le paramètre de maille du germanium étant plus grand que celui du silicium (cf. tableau I.2), l'alliage SiGe a un paramètre de maille plus grand que celui du silicium (loi de Végard). Une couche de SiGe non relaxée épitaxiée sur du silicium est donc en compression biaxiale dans le plan d'épitaxie, et en tension dans la direction perpendiculaire (cf. figure I.14a). Inversement, une couche de silicium épitaxiée sur une couche de SiGe relaxée (d'épaisseur très grande devant l'épaisseur critique) se trouve en tension biaxiale dans le plan d'épitaxie (en compression dans la direction perpendiculaire) car la couche de SiGe relaxée a retrouvé son paramètre de maille originel plus grand que celui du silicium (cf. figure I.14b).

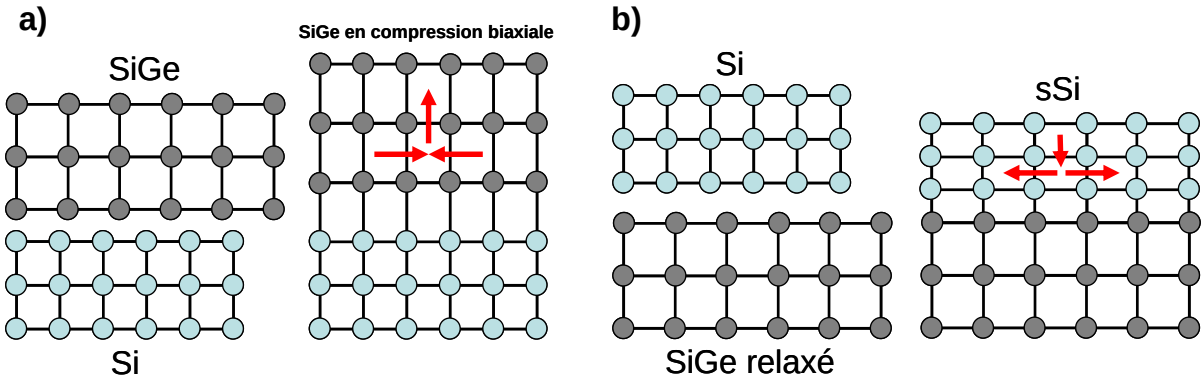

Figure I.14: Représentations schématiques (a) de la formation par épitaxie d'une couche de SiGe en compression biaxiale sur une couche de silicium et (b) d'une couche de Si en tension biaxale (sSi) sur une couche de SiGe relaxée.

La déformation dans le plan (x,y) est donnée pour une couche de SiGe sur du Si par :

$$\varepsilon_0 = \varepsilon_{xx} = \varepsilon_{yy} = \frac{a_{SiGe} - a_{Si}}{a_{Si}} \qquad \textbf{Equation I.21}$$

La déformation hors du plan dans le cas d'une contrainte biaxiale isotrope et d'un plan orienté (001) est donnée par (cf. annexe A 4c) :

$$\varepsilon_{zz} = -\frac{2C_{12}}{C_{11}}\varepsilon_0$$

A partir d'une mesure de déformation dans le plan par exemple, on peut remonter au pourcentage équivalent de la couche de SiGe. On calcule tout d'abord $a_{SiGe} = a_{Si}(1+\varepsilon_0)$ grâce à la mesure de la déformation dans le plan. On détermine ensuite la composition x en Ge correspondante en utilisant la figure I.13 ou le tableau I.3. On peut également calculer la valeur de la contrainte biaxiale isotrope σ_0 à partir de la loi de Hooke (cf. annexe A 4c), dans le cas d'un plan orienté (001).

$$\sigma_0 = (C_{11} + C_{12} - 2C_{12}^{\ 2}/C_{11})\varepsilon_0$$

d) Exemple des alliages $Si_{1-x}C_x$

Le paramètre de maille du C étant plus petit que celui du Si, l'alliage SiC a un paramètre de maille plus petit que celui du Si. Une couche de SiC non relaxée épitaxiée sur du silicium est donc en tension biaxiale dans le plan d'épitaxie, et en compression dans la direction perpendiculaire. Inversement, une couche de silicium épitaxiée sur une couche de SiC relaxée (d'épaisseur très grande devant l'épaisseur critique) se trouve en compression biaxiale dans le plan d'épitaxie (en tension dans la direction perpendiculaire) car la couche de SiC relaxée a retrouvé son paramètre de maille originel plus petit que celui du silicium.

2) Impact de la contrainte sur la structure de bande du silicium et les masses effectives des porteurs

Une contrainte imposée à un semi-conducteur modifie sa structure de bande car elle diminue les symétries du cristal. L'énergie de bande interdite est modifiée, et les dégénérescences de la bande de conduction et de la bande de valence sont levées. La forme des bandes est également perturbée, ce qui entraîne une modification des masses effectives (surtout pour la bande de valence). Herring et Voigt ont introduit la théorie du potentiel de déformation [Herring56] reliant les décalages énergétiques des bandes des semi-conducteurs multi-vallées à la déformation du matériau via des paramètres appelés « potentiels de déformation » (cf. annexe B 2).

2.1. Impact de la contrainte sur la mobilité et le courant I_{ON}

Dans l'hypothèse dite de masse effective (l'influence du potentiel cristallin est incluse dans la masse effective des porteurs), la mobilité effective des porteurs s'écrit :

$$\mu_{eff} = \frac{q\tau}{m^*} \qquad \textbf{Equation I.22}$$

avec $1/\tau$ la fréquence de collision des porteurs, q la charge des porteurs et m* la masse effective de conduction des porteurs.

L'introduction d'une contrainte améliore la mobilité grâce à la réduction de la masse effective de conduction et/ou de la fréquence de collision [Mohta05].

Cas particulier d'une contrainte biaxiale en tension

Pour la bande de conduction, la contrainte permet de lever la dégénérescence entre les 6 bandes d'énergie (cf. figure I.15). On appelle Δ_2 les vallées perpendiculaires au plan de conduction des électrons, et Δ_4 les vallées dans le plan de conduction des électrons.

Pour une contrainte biaxiale en tension dans le plan (001), l'énergie des vallées Δ_2 est abaissée, tandis que celle des vallées Δ_4 est augmentée. Les vallées Δ_2, plus basses en énergie, sont occupées préférentiellement par les électrons. Pour une conduction dans le plan (001), c'est la masse transverse qu'il faut prendre en compte pour la contribution des vallées Δ_2 dans le calcul de la masse effective, alors que c'est la masse longitudinale ou une combinaison linéaire de la masse longitudinale et de la masse transverse (suivant la direction du transport) qu'il faut prendre en compte pour les vallées Δ_4. La masse transverse étant plus petite que la masse longitudinale, et les vallées Δ_2 étant peuplées préférentiellement grâce à la contrainte, celle-ci permet donc de réduire la masse effective de conduction des électrons.

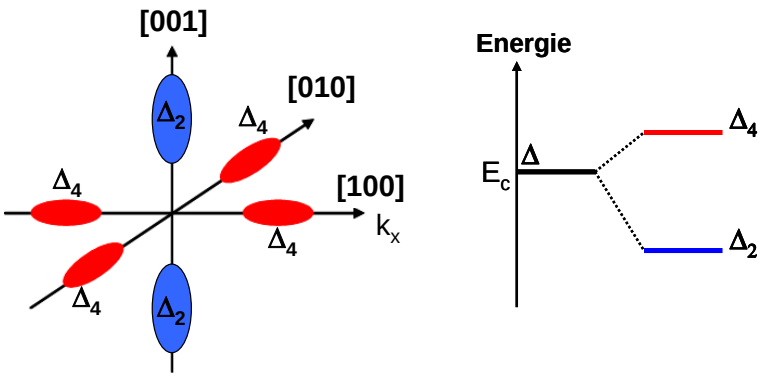

Figure I.15: Levée de dégénérescence par la contrainte des bandes d'énergie de conduction du silicium.

Généralement, la réduction de la masse effective de conduction n'explique pas à elle seule le gain en mobilité observé. La fréquence de collision entre les électrons est également réduite grâce à la levée de dégénérescence des bandes d'énergie qui diminue la fréquence de collision des phonons émis ou absorbés lors des transitions électroniques entre les vallées Δ_2 et Δ_4. Enfin, des études récentes [Bonno07] semblent montrer une diminution de la fréquence de collision des porteurs liée à l'amélioration de la rugosité de surface sur silicium contraint sur isolant (sSOI).

Pour les pMOS, l'effet d'une contrainte sur la structure électronique du silicium en bandes de valence est plus complexe qu'en bandes de conduction. Ceci est dû aux interactions fortes entre les différentes branches de la bande de valence (dégénérescence en k=0). Bir et Pikus ont été les premiers à avoir calculé la structure de bandes de valence d'un semi-conducteur sous déformation [Pikus59].

2.2. Impact de la contrainte sur la tension de seuil et le courant de grille

La modification de la structure de bande induite par la contrainte affecte aussi la tension de seuil [Zhang05a, Kumar07] et le courant de grille [Garros09, Lim06]. Thean et al. [Thean05a] ont par exemple utilisé l'extraction de la tension de seuil pour analyser la contrainte moyenne présente dans le canal. Garros et al. ont montré une réduction du courant de grille dans le cas d'une contrainte biaxiale en tension pour des nMOSFETs sur SOI.

Des extractions de tension de seuil seront présentées dans le chapitre III en fonction de la largeur de grille de transistors sur SOI contraints ou non.

La variation ΔE_c (cf. annexe A) est mesurée et reliée à la contrainte dans le cas des méthodes optiques de mesure de la contrainte (photoluminescence par exemple) [Munguia07, Camassel00].

2.3. Effets du confinement quantique

Les effets quantiques sont dus au puits de potentiel dans lequel sont confinés les porteurs entre l'oxyde de grille et le volume du semiconducteur[9] dans les transistors déca-nanométriques. La combinaison de ces effets quantiques avec les effets induits par la contrainte peuvent donner lieu à une modification profonde des propriétés de transport électronique et donc des conclusions que l'on peut tirer en ne considérant que les aspects « contrainte » dans ces dispositifs. *Concernant les résultats présentés dans ce manuscrit, les conclusions que nous avons tirées à partir des mesures électriques et de contrainte sont valables car nous étions toujours à confinement quantique constant, puisque les mesures de transport de transistors sur SOI contraint ont toujours été comparées à une référence non contrainte de même épaisseur de couche active.*

3) <u>Les solutions technologiques d'introduction d'une contrainte dans le canal des transistors MOSFETs sur SOI</u>

Il existe deux façons d'introduire une contrainte dans le canal des transistors MOSFETs. D'une part, la contrainte peut être introduite par le substrat. La couche de silicium active est alors contrainte sur toute la surface de la plaque. D'autre part, des contraintes peuvent être introduites de manière locale au niveau du canal des transistors au cours du

[9] Plus d'explications pourront être trouvées dans [Andrieu].

procédé de fabrication. Les types de contrainte bénéfiques pour le transport dans les nMOS et les pMOS sont récapitulés dans le tableau I.4. A fort niveau de contrainte, la figure I.16 montre qu'une contrainte tensile uniaxiale suivant <110> est plus efficace qu'une contrainte biaxiale en tension pour améliorer la mobilité des électrons dans les nMOS.

Type de contrainte	Signe de la contrainte	nMOS	pMOS
Parallèle à <110>	tension	+	-
	compression	-	+
Perpendiculaire à <110>	tension	+	+
	compression	-	-
Biaxiale	tension	+	≈
	compression	-	+

Tableau I.4: Récapitulatif des types de contrainte bénéfiques pour le transport dans les nMOS et les pMOS, dans le cas d'un canal orienté suivant la direction <110> sur un substrat orienté (001).

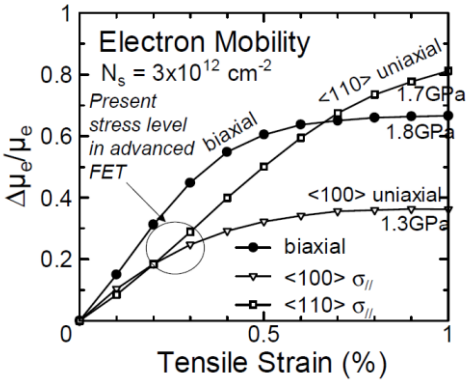

Figure I.16: Gain en mobilité des électrons en fonction de la déformation. A fort niveau de contrainte ~1.5 GPa, une contrainte uniaxiale suivant <110> est plus efficace qu'une contrainte biaxiale dû à un changement de masse effective [Uchida05].

3.1. Introduction de la contrainte au niveau local dans le canal

Les contraintes induites par le procédé de fabrication sont souvent complexes et non homogènes. La contrainte générée dépend fortement de la géométrie du dispositif, de son environnement (*layout*) et des procédés technologiques utilisés. Comme on peut le voir sur le tableau I.4, un état de contrainte qui améliore les performances des nMOS dégrade souvent en contrepartie les performances des pMOS. Par exemple, une contrainte uniaxiale en tension dans la direction du canal augmente la mobilité des électrons mais dégrade la mobilité des trous. De telles incompatibilités ont amené le développement de techniques d'introduction locale d'une contrainte dans le canal, différente pour les nMOS et les pMOS. Ces techniques présentent de plus l'avantage d'être plus performantes avec la réduction des dimensions des transistors.

a) Couches d'arrêt à la gravure des contacts (CESL)

Des films en nitrure de silicium peuvent être déposés après la formation du siliciure pour servir de couche d'arrêt à la gravure des contacts (CESL pour « Contact Etch Stop Layer ») (cf. figure I.17). Ces couches peuvent, suivant leur nature et leurs conditions de dépôt (procédé, température), transférer différents types de contrainte au canal à travers la grille [Pidin04]. Il est nécessaire d'utiliser un procédé à bilan thermique faible, car le dépôt a lieu après l'étape de siliciuration des Source/Drain. Les procédés PECVD (Plasma-Enhanced Chemical Vapor Deposition) permettent d'obtenir les niveaux de contrainte les plus élevés.

L'origine de l'apparition de la contrainte dans le canal vient de deux phénomènes : la différence de paramètre de maille entre le silicium et le film de nitrure de silicium, et la contrainte intrinsèque du nitrure lors du dépôt. Pour les dispositifs FDSOI, malgré les source/drain surélevés, la contrainte est transférée du CESL vers le canal [Gallon06].

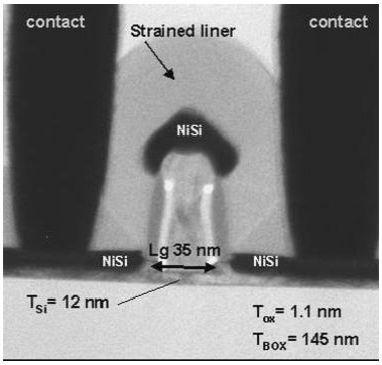

Figure I.17: Coupe TEM (Transmission Electron Microscopy) d'un nMOS FDSOI de longueur de grille L_g=35 nm avec un CESL en nitrure [Gallon06].

i. Influence des dimensions géométriques du transistor

Cette technique est efficace pour les transistors courts, car le mécanisme mis en jeu lors du transfert de contrainte de la couche de CESL vers le canal du transistor est principalement celui des effets de bord pour les transistors courts [Orain07, Payet08]. Dans des dispositifs petits avec un CESL tensile (compressif), les performances en courant des nMOS (pMOS) devraient être améliorées par une contrainte en tension (compression) transférée dans le canal dans la direction du transport des électrons (trous).

Généralement, deux régions distinctes sont observées dans le canal. Dans le cas d'un nitrure tensile, la région centrale du canal possède le long du canal une contrainte en compression tandis que les régions de bord du canal possèdent une contrainte en tension le long du canal [Ph-Nguyen10]. Les effets de bord étant dominants pour les dispositifs courts, la contrainte dans la direction du canal est tensile dans le cas d'un nitrure tensile. La contrainte devient de moins en moins tensile lorsque L_g augmente, et même compressive au centre du canal. Le compromis entre les contributions des effets de bord et l'effet de contrainte par le haut du canal dépend des paramètres géométriques des dispositifs (largeur de grille W, longueur de grille L_g) [Lai06].

Des valeurs significatives de contrainte dans le canal sont obtenues, particulièrement pour la composante de la contrainte dans la direction du canal, dont la valeur augmente lorsque la longueur de grille L_g diminue, avec un optimum de L_g pour laquelle la contrainte est maximale. La diminution de la contrainte pour les plus petites longueurs de grille peut s'expliquer par une influence plus importante des effets latéraux du CESL (sur les espaceurs), qui entraînent une composante en compression pour les transistors les plus petits. Un compromis entre les effets du CESL sur la grille et sur les espaceurs pourrait expliquer la réduction de la contrainte en tension le long du canal pour les plus petites longueurs de grille. Le niveau de contrainte obtenu dans le canal est très dépendant des règles de dessin (largeur de grille W et longueur de grille L_g).

ii. Influence de la nature du CESL

D'après des résultats de simulations mécaniques par éléments finis et de modélisation [Payet06], la contrainte induite dans le canal est d'autant plus importante que l'épaisseur de la couche de CESL est grande (pour des épaisseurs comprises entre 50 et 100 nm). Cependant,

plus les transistors sont courts, plus l'espace entre deux grilles est également réduit. La contrainte effective dans le canal décroît lorsque l'espace entre les grilles est complètement rempli par le CESL, réduisant les performances des dispositifs [Eneman05, Oishi05]. L'augmentation de l'épaisseur du CESL ne conduit alors pas forcément à l'augmentation de la contrainte dans le canal. Un CESL plus mince avec une contrainte intrinsèque plus élevée permet d'obtenir une contrainte dans le canal plus élevée même pour un faible espacement entre les grilles. D'où la nécessité d'utiliser des CESL avec une contrainte intrinsèque élevée. Les contraintes intrinsèques en compression les plus élevées rapportées dans des films en SiN sont de l'ordre de 2.4-3.5 GPa [Washington06, Yang07].

Afin d'augmenter la contrainte transférée dans le canal ou pour transférer une contrainte dans le canal aussi élevée qu'avec des CESL en nitrure mais avec une épaisseur plus faible, il faudrait utiliser des matériaux avec une contrainte intrinsèque plus importante que les CESL en nitrure. Des matériaux innovants tels que le DLC (Diamond-Like Carbon), qui est une forme dense de carbone amorphe, avec une contrainte intrinsèque pouvant atteindre -6.5 GPa semblent très prometteurs (cf. tableau I.5 et [Tan07, Tan08]).

Le tableau I.5 récapitule les gains en courant obtenus avec différents types de CESL dans le cas de dispositifs nMOS et pMOS FDSOI. Les ordres de grandeur des gains en I_{Dsat} obtenus sur substrats SOI et sur Si massif sont les mêmes.

	Référence	**Type de dispositif**	**Nature du CESL**			**Longueur de grille L_g (nm)**	**Gain en I_{Dsat} (%)**
			matériau	**épaisseur (nm)**	**contrainte intrinsèque (GPa)**		
nMOS	[Gallon06]	FDSOI (T_{Si}=12nm)	SiN	100	1.2	65	10.5
	[Yang04]	Si massif	Si_3N_4	Non donné	Non donné	Non donné	11
pMOS	[Gallon06]	FDSOI (T_{Si}=12nm)	SiN	100	-1.8	45	17*
	[Yang04]	Si massif	Si_3N_4	Non donné	Non donné	Non donné	20
	[Tan07]	PDSOI (T_{Si}=35nm)	DLC	27	-6.5	80	58

Tableau I.5: Gains en courant de drain I_{Dsat} obtenus pour des transistors nMOS et pMOS sur SOI avec différents types de CESL. Les gains en courant ont été calculés par rapport à des dispositifs de référence sans CESL. *Cette valeur a été obtenue par rapport à un pMOS de référence avec un CESL faiblement tensile.

iii. Comparaison avec le silicium massif

Des simulations mécaniques réalisées en remplaçant le BOX par du silicium montrent que l'intensité moyenne de la contrainte transférée dans le plan est supérieure dans le cas du SOI que dans le cas du Si massif (cf. figure I.18 et [Gallon06]). Ceci peut s'expliquer par le fait que le matériau sur lequel repose le canal a un module biaxial plus faible dans le cas du SOI (BOX) que dans le cas du Si massif (cf. tableau I.6).

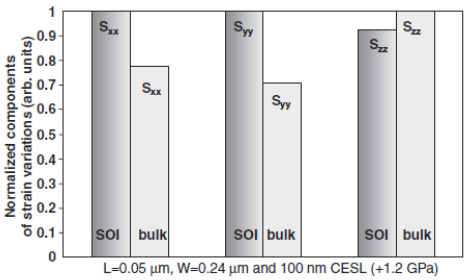

Figure I.18: Simulations mécaniques comparant l'influence d'un type de CESL sur les différentes composantes de la contrainte induite dans le canal pour des nMOS sur SOI et sur Si massif [Gallon06].

Matériau	Module d'Young E (GPa)	Coefficient de Poisson ν	Module biaxial E/(1- ν) (GPa)
Si	131	0.28	182
SiO_2 (BOX)	66	0.17	79.5

Tableau I.6: Coefficients élastiques isotropes du silicium [Hull] et du BOX.

b) Source/Drain enterrés

L'utilisation de Source/Drain (S/D) en SiGe (cf. figure I.19) permet d'augmenter la mobilité des pMOS en introduisant une forte contrainte en compression (jusqu'à 1 à 2 GPa) dans le canal dans la direction du transport. La contrainte est introduite en gravant la région des S/D initialement en silicium et en faisant croître par épitaxie sélective le nouveau matériau.

La contrainte introduite dépend fortement de la géométrie des transistors (longueur et largeur de grille, épaisseur des espaceurs…), de la profondeur des S/D enterrés ainsi que du procédé d'épitaxie (concentration de Ge dans le SiGe, forme des S/D épitaxiés). Cette technique est efficace surtout pour les faibles longueurs de grille, car dans ce cas la totalité du canal est soumise à la contrainte des S/D à proximité [Yeo05].

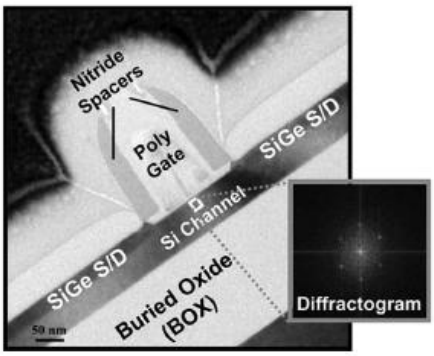

Figure I.19: Image TEM d'un p-MOSFET avec des S/D en SiGe obtenus par condensation. La figure de diffraction FFT (« Fast Fourier Transform ») montre une excellente qualité cristalline après la condensation du Ge dans les Source/Drain [Ang07a].

Pour les nMOS, le même principe peut être utilisé, mais avec des S/D en SiC (cf. figure I.20). Dans ce cas, une contrainte en tension est introduite dans le canal en silicium dans la direction du transport, augmentant la mobilité des électrons.

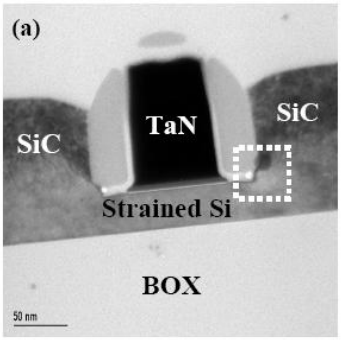

Figure I.20: Image TEM d'un n-MOSFET sur SOI avec des S/D en $Si_{0.99}C_{0.01}$ [Ang05].

i. Cas du FDSOI

Les bénéfices des S/D en SiGe pour des pMOS sur SOI ont été démontrés pour des couches de silicium actives de 45 nm [Zhang05b]. Cependant, pour des épaisseurs de couche de silicium active inférieures à 30 nm, la gravure des régions des Source/Drain est une étape

critique car il y a des risques de surgravure ou de retrait total de la couche de silicium. De plus, il est nécessaire d'enterrer le Ge le plus profondément possible dans les régions des S/D pour une meilleure efficacité [Madan08]. L'influence de paramètres géométriques tels que la hauteur des source/drain surélevés, la longueur des source/drain et la profondeur de la gravure est importante comme le montrent des résultats de simulations dans le cas de transistors pMOS [Madan08] et nMOS [Lin07] sur SOI.

ii. Influence de la diminution des dimensions

Les résultats de simulations mécaniques par éléments finis de la littérature [Madan08] montrent que la diminution de la longueur de grille augmente l'efficacité des S/D enterrés en SiGe (cf. figure I.21), par contre la diminution de l'espacement entre les grilles, c'est-à-dire la longueur des S/D, a l'effet inverse (cf. figure I.22).

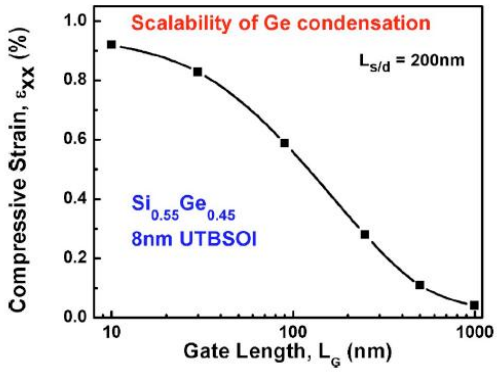

Figure I.21: Effet de la diminution de la longueur de grille [Madan08].

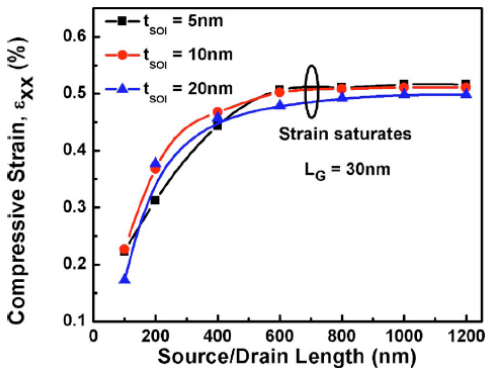

Figure I.22: Effet de la diminution de l'espacement entre les grilles [Madan08].

Pour les applications FDSOI, l'épaisseur de la couche active étant faible (< 10 nm), la profondeur des S/D est limitée. Une nouvelle technique a été mise au point permettant d'enterrer le germanium profondément dans les S/D, sans étape de gravure des Source/Drain.

Cette technique est la condensation du germanium [Ang07a][Chui05]. Grâce à cette technique, le pourcentage de Ge peut également être augmenté dans les source/drain (et donc leur efficacité), car il y a moins de risque de formation de dislocations qu'avec la technique de reprise d'épitaxie.

Le tableau I.7 récapitule les gains en courant obtenus avec différents types de S/D enterrés dans le cas de dispositifs nMOS et pMOS sur SOI.

	Références	Procédé de fabrication	% Ge (pMOS) % C (nMOS)	t_{Si} (nm)	L_g (nm)	Gain en I_{Dsat} (%)
pMOS	[Zhang05b]	Gravure S/D	non donné	45	38	20
	[Chui05]	Ge condensation	30	35	90	35
	[Ang07a]	Ge condensation	30	30	90	38
	[Chui06a]	Ge condensation	46	8	70	65
nMOS	[Ang05]	Gravure S/D	1	35	70	35
	[Chui06b]	Gravure S/D	1	35	80	11

Tableau I.7: Gains en courant I_{Dsat} obtenus pour des transistors nMOS et pMOS sur SOI avec différents types de S/D enterrés et pour différentes épaisseurs de couche de silicium active t_{Si} (%Ge et %C sont respectivement les pourcentages en Ge et en C des S/D en SiGe et SiC). Les gains en courant ont été calculés par rapport à des dispositifs de référence sans CESL.

Dans le chapitre IV de cette thèse, nous présenterons les performances de p-MOSFETs avec des S/D enterrés en SiGe avec gravure préalable des zones de S/D, fabriqués pour la première fois sur des films minces de SOI de 15 nm d'épaisseur.

c) Technique de mémorisation de la contrainte (SMT)

Un des procédés possibles de technique de mémorisation de la contrainte (SMT pour « Stress Memorization Technique ») consiste en une implantation amorphisant sélectivement les S/D et la grille des nMOS par rapport aux pMOS (ions As+ ou ions lourds électriquement neutres comme le germanium), le dépôt d'un nitrure tensile, le recuit des Source/Drain fortement dopés, et enfin le retrait du nitrure avant siliciuration. Après recristallisation, la grille préserve une partie de la contrainte, même après retrait du nitrure. L'effet bénéfique de cette technique sur les performances est très dépendant du procédé technologique utilisé. Elle n'est utilisée que pour les nMOS [Ortolland06 (Si massif), Wei07 (SOI)].

d) Structures à transfert de contrainte (STS)

Cette technique originale (STS pour « Stress Transfer Structure ») repose sur le transfert de contrainte d'une couche précontrainte enterrée sous le canal vers le canal non contraint grâce à la gravure du canal et de la couche précontrainte qui relaxe la contrainte de cette dernière. Pour introduire une contrainte en tension dans la couche de silicium active, un empilement Si/SiGe/Si est utilisé. Le principe du transfert de contrainte sera expliqué dans le chapitre IV lors de la présentation de nos résultats expérimentaux concernant de telles structures sur SOI. Ces structures avec une couche de SiGe enterrée sont appelées « reverse embedded SiGe » (reverse e-SiGe) (cf. figure I.23).

Des démonstrations ont été réalisées dans le cas de nMOS sur silicium massif [Ang07b] [Donaton06] avec des gains en performance significatifs (cf. tableau I.8). Le mécanisme du transfert de contrainte et donc l'efficacité de cette technique dépendent des dimensions géométriques des dispositifs [Fiorenza08].

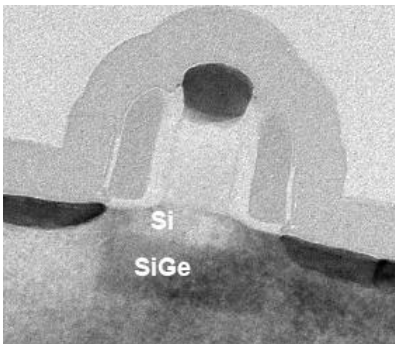

Figure I.23: Image TEM d'une structure à transfert de contrainte à base de SiGe de type n-MOSFET sur silicium massif (L_g=45nm, t_{Si}=25nm, t_{SiGe}=45nm, %Ge=25%) et avec CESL Si_3N_4 [Donaton06].

Références	Procédé de fabrication	t_{Si} (nm)	t_{SiGe} (nm)	Composition x en Ge (%)	Gain en mobilité (%)	Gain en I_{ON} (%)
[Donaton06]	Avec CESL Si_3N_4	25	45	25	40	15
[Ang07b]	Non donné	20	30	25	Non donné	18

Tableau I.8: Gains en mobilité et en courant I_{ON} obtenus avec deux types de structures à transfert de contrainte n-MOSFET sur silicium massif (t_{Si} et t_{SiGe} sont respectivement l'épaisseur du canal et l'épaisseur de la couche de SiGe enterrée, x est le pourcentage de Ge dans la couche de SiGe).

Dans le chapitre IV de cette thèse, nous présenterons des mesures de déformation dans deux types de structures à transfert de contrainte, l'une à base de nitrure enterré (pour les pMOS), l'autre à base de SiGe enterré (pour les nMOS).

Un des avantages des techniques locales d'introduction de la contrainte est dû au fait que la contrainte peut être introduite pendant le procédé d'intégration des transistors. De plus, il est possible de combiner plusieurs techniques sur les mêmes dispositifs. Cependant, l'efficacité de ces techniques dépend des dimensions et de la géométrie des dispositifs. L'ingénierie de la contrainte doit être prise en compte à l'échelle du transistor, ce qui limite sa flexibilité et ajoute de la complexité à l'architecture des transistors. Chaque nouveau nœud technologique nécessite un nouveau dimensionnement des solutions technologiques d'introduction de la contrainte afin d'atteindre la mobilité recherchée.

3.2. Introduction de la contrainte au niveau du substrat

L'autre solution est l'introduction de la contrainte grâce à l'ingénierie du substrat. Cette approche possède l'avantage d'être moins dépendante de la géométrie des transistors et de leur environnement. Les deux approches (contrainte locale et contrainte par le substrat) peuvent être combinées. L'attractivité des solutions d'introduction de la contrainte par le substrat est due à sa compatibilité avec les procédés d'intégration et les architectures standards des dispositifs CMOS.

a) Contrainte d'épitaxie grâce au SiGe

Une autre façon d'introduire une contrainte dans le canal des transistors est d'imposer une contrainte dans la couche active à l'échelle de la plaque et non plus localement au niveau du canal. Le principe de cette technique repose sur la différence de paramètre de maille entre le SiGe et le silicium (voir paragraphe III.1.3).

Les premières solutions proposées étaient l'utilisation d'une couche SiGe contrainte en compression sur du silicium massif pour les pMOS [Fischer00] (cf. figure I.24) et une couche de Si en tension sur un pseudo-substrat SiGe relaxé pour les nMOS [Lee05] (cf. figure I.25).

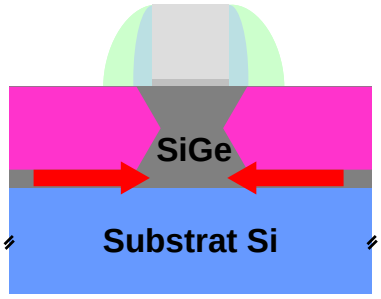

Figure I.24: Dispositif pMOS à canal en SiGe contraint en compression sur silicium.

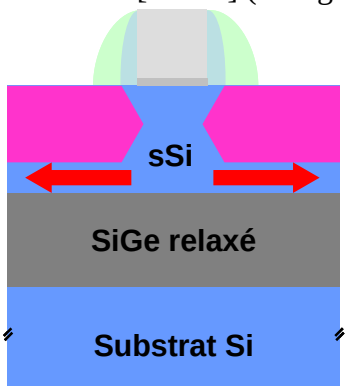

Figure I.25: Dispositif nMOS à canal en Si contraint en tension sur un pseudo-substrat SiGe relaxé.

Sur SOI, les dispositifs correspondant à la figure I.24 s'appellent SGOI («Silicon-Germanium-On-Insulator »). La couche de SiGe est soit obtenue par dépôt, soit par enrichissement de la couche active de Si en Ge. *Ces structures seront étudiées dans le chapitre IV de cette thèse.*

b) Les substrats de silicium contraint directement sur isolant (sSOI)

Sur SOI, les substrats de silicium contraint directement sur isolant (sSOI pour « strained Silicon-On-Insulator ») [Ghyselen04] permettent d'introduire une contrainte en tension dans le canal des dispositifs nMOS par l'ingénierie du substrat (cf. figure I.26).

Schématiquement, les substrats sSOI sont une variante des substrats SOI standards, avec une couche de Si contrainte en tension biaxiale à la place de la couche de Si active standard.

Grâce aux techniques de collage de plaques, la couche de SiGe intermédiaire utilisée dans le cas du silicium massif (cf. figure I.25) a pu être supprimée sans aucune dégradation de la contrainte en tension introduite dans la couche active de silicium, ce qui présente de nombreux avantages. L'absence de Ge élimine la diffusion possible de Ge dans la couche active des transistors et accroît ainsi la flexibilité de leur procédé de fabrication. De plus, pour les applications FDSOI, qui requièrent des couches actives au-dessus du BOX d'épaisseurs de l'ordre de quelques nanomètres, une couche additionnelle de SiGe serait difficile à introduire. Enfin, des dislocations auraient pu apparaître à l'interface SiGe/Si.

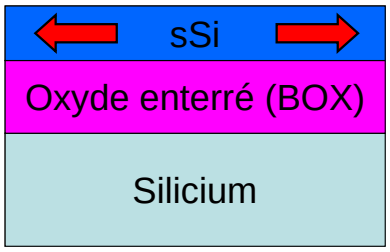

Figure I.26: Représentation schématique d'une structure sSOI.

Par rapport à la fabrication de substrats SOI standards, le procédé de fabrication des substrats sSOI décrit sur la figure I.27 possède des étapes supplémentaires :

- épitaxie d'une couche de Si en tension sur un substrat SiGe relaxé
- gravure sélective du SiGe avec arrêt sur la couche de Si contraint.

De plus, les autres étapes du procédé de fabrication des substrats SOI doivent être adaptées à la présence d'une couche contrainte, en particulier les procédés à fort budget thermique.

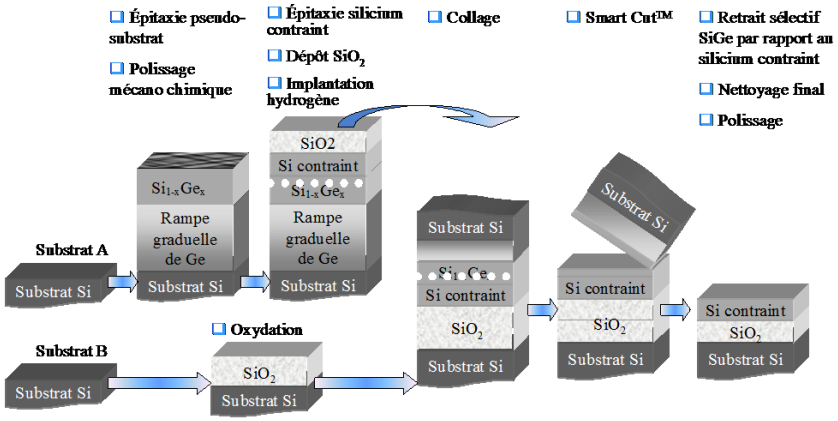

Figure I.27: Procédé de fabrication des substrats sSOI [Ghyselen04].

Le procédé de fabrication des substrats sSOI débute par la formation d'une couche de SiGe relaxée sur un substrat de Si (substrat A). La couche de SiGe relaxée est formée par épitaxie d'une couche de SiGe de plus en plus enrichie en germanium (rampe graduelle) afin d'éviter la présence de dislocations dans la couche de SiGe supérieure, dislocations qui risqueraient de se transmettre dans la couche de Si contraint. Après polissage mécano-chimique de la couche de SiGe, une couche de Si est formée par épitaxie sur la couche de SiGe relaxée. Cette couche de Si est donc contrainte en tension biaxiale dans le plan d'épitaxie. Un oxyde SiO_2 est ensuite formé sur la couche de Si contraint en vue du collage de plaques. Une implantation hydrogène est réalisée au niveau de la couche de SiGe pour préparer la fracture après le collage. Le substrat B de silicium subit lui aussi un dépôt de SiO_2 pour le collage. Les deux substrats issus des substrats de Si A et B sont ensuite collés par

collage de plaques. Cette étape de collage est suivie par un recuit à haute température (procédé Smart-Cut^{TM}) qui permet de séparer le futur substrat sSOI du substrat contenant une partie de la couche de SiGe ayant servi à imposer la contrainte. Enfin, le SiGe restant au dessus du silicium contraint est retiré par gravure sélective. Les substrats sSOI sont obtenus après nettoyage final. L'épaisseur de la couche de Si contraint peut être ajustée par reprise d'épitaxie si besoin. Plusieurs études ont démontré l'excellente stabilité thermique du sSOI fabriqué par la société SOITEC [Ghyselen04, Thean05a].

La contrainte biaxiale en tension introduite dans la couche de Si active lève la dégénérescence des vallées Δ_2 de la bande de conduction ainsi que la dégénérescence entre les bandes des trous lourds et des trous légers. En particulier, les collisions inter-vallées dans la bande de conduction ainsi que la masse effective de conduction des électrons sont réduites, conduisant à une amélioration de la mobilité des électrons [Fischetti02]. Les gains obtenus avec les substrats sSOI sont de l'ordre de 70 à 125% pour les nMOS longs et 42% pour les pMOS longs [Rim03, Aberg04] par rapport à des dispositifs SOI non contraints avec un empilement de grille classique. Avec un empilement de grille HfO_2/TiN, des gains en mobilité de 100% sont obtenus pour des nMOS longs sur sSOI par rapport à des nMOS longs sur SOI avec le même empilement de grille [Andrieu07]. En augmentant le pourcentage de Ge dans la couche de SiGe utilisée au cours du procédé de fabrication des substrats sSOI, la déformation dans la couche de silicium augmente, et donc aussi la mobilité. Cependant, on observe pour les nMOS sur sSOI une saturation du gain en mobilité pour des déformations de l'ordre de 1.6% (correspondant à un pourcentage de 40% en Ge). Augmenter le pourcentage de Ge au-delà de 40% est surtout intéressant pour les pMOS [Rim03].

L'étude de dispositifs MOSFETs sur sSOI fera l'objet du chapitre III de cette thèse. Les dispositifs étudiés les plus petits ont une longueur de grille de 25 nm et une largeur de grille de 77 nm. Pour de telles dimensions, la contrainte effective dans le canal peut être considérablement réduite à cause de certaines étapes du procédé d'intégration des transistors, dont particulièrement la gravure des zones actives et l'implantation ionique des zones de Source et Drain. Il est donc primordial de pouvoir mesurer précisément la contrainte dans le canal de façon locale et anisotrope. Les techniques de caractérisation physique de la contrainte dans les dispositifs de la microélectronique feront l'objet du chapitre II, et notamment la technique de diffraction des rayons X en incidence rasante (GIXRD) utilisée au cours de cette thèse.

Conclusion du chapitre I

Les différentes techniques d'introduction d'une contrainte mécanique dans le canal de transistors MOSFETs sur SOI sont résumées sur la figure I.28 et classées suivant les deux grands types de méthodes qui sont l'ingénierie du substrat et les contraintes locales induites par le procédé de fabrication. Le type de dispositifs pour lesquels elles sont utilisées (nMOS ou pMOS) est également indiqué.

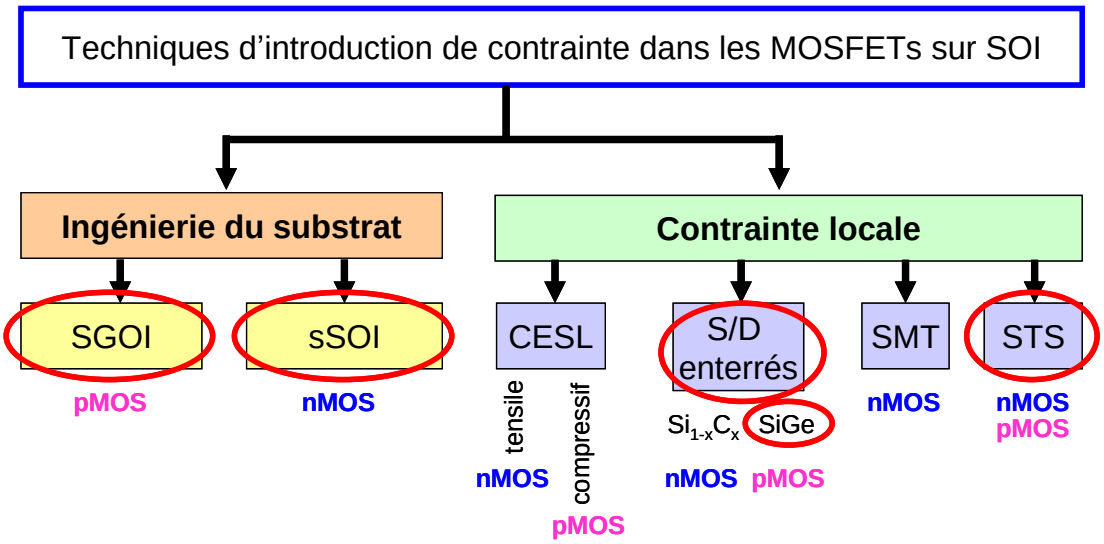

Figure I.28: Schéma récapitulatif des différentes techniques d'introduction d'une contrainte mécanique dans le canal de transistors MOSFETs sur substrats SOI. Les techniques entourées en rouge ont été étudiées au cours de cette thèse.

Les techniques d'introduction de la contrainte localement au niveau du canal des transistors sont très prometteuses car elles sont efficaces surtout pour les dispositifs de faible longueur de grille. Cependant, leur efficacité dépend fortement des dimensions géométriques des dispositifs et de leur environnement (règles de dessin). L'ingénierie du substrat présente quant-à-elle l'avantage d'être compatible avec les procédés d'intégration et les architectures standards des dispositifs CMOS.

Cependant, un enjeu important lié à l'ingénierie du substrat est la mesure de la contrainte dans les dispositifs sub-micrométriques de manière locale et anisotrope. En effet, ces techniques sont très efficaces pour induire une contrainte dans des dispositifs longs et larges, mais la contrainte tend à se relaxer avec la réduction des dimensions et à la suite des différentes étapes du procédé d'intégration des transistors.

Avant d'étudier certaines des structures présentées dans ce chapitre (cf. figure I.28), nous allons donc nous intéresser dans le chapitre suivant aux méthodes de mesure de la contrainte.

CHAPITRE II:

LES TECHNIQUES DE CARACTERISATION PHYSIQUE DES CONTRAINTES DANS LES DISPOSITIFS DE LA MICROELECTRONIQUE

SOMMAIRE DU CHAPITRE II

I/ Les techniques conventionnelles 51
1) La spectroscopie Raman..... 51
2) Les techniques basées sur la microscopie électronique à transmission 53
2.1. Microscopie électronique à transmission haute résolution (HRTEM) 53
2.2. Diffraction par des faisceaux nanométriques (NBD)..... 54
2.3. Diffraction électronique en faisceau convergent (CBED) 55
2.4. Holographie 55

II/ Les techniques basées sur la diffraction des rayons X 57
1) Généralités sur la diffraction des rayons X 57
2) Les techniques conventionnelles basées sur la diffraction des rayons X 58
2.1. La diffraction des rayons X haute résolution (HRXRD) 58
2.2. La diffraction cohérente des rayons X 58
3) La Diffraction des Rayons X en Incidence Rasante (GIXRD)..... 59
3.1. Principe de la méthode..... 59
3.2. Application à la mesure de déformations dans les dispositifs sur SOI 61

Nous allons présenter schématiquement dans ce chapitre les principales techniques de caractérisation physique des contraintes présentes dans les dispositifs de la microélectronique. Ces techniques mesurent les déformations des matériaux, la contrainte étant ensuite généralement obtenue par calcul dans le cadre de la théorie de l'élasticité linéaire.

Dans la première partie de ce chapitre, nous introduirons les techniques conventionnelles de caractérisation physique de la contrainte, à savoir la spectroscopie Raman et les techniques basées sur la microscopie électronique à transmission. Dans la deuxième partie, nous présenterons les techniques basées sur la diffraction des rayons X, et plus particulièrement la technique de diffraction des rayons X en incidence rasante (GIXRD) utilisée au cours de ce travail de thèse. Pour chaque technique, nous expliquerons son principe, ses avantages et ses inconvénients. Nous montrerons enfin pourquoi nous avons choisi la technique GIXRD pour la caractérisation physique de la contrainte dans les dispositifs étudiés au cours de ce travail de thèse.

I/ Les techniques conventionnelles

1) La spectroscopie Raman

Le principe de la spectroscopie Raman est basé sur la diffusion inélastique de la lumière, c'est-à-dire sur les interactions entre les photons et les phonons du réseau cristallin. L'échantillon est illuminé par un faisceau de photons monochromatiques (de nombre d'onde ω_i), dont on analyse le rayonnement diffusé. Les sources utilisées sont des lasers. Sur le spectre du rayonnement diffusé apparaissent plusieurs pics (cf. figure II.1). Le pic de diffusion principal, situé au centre du spectre et sans variation de fréquence, est appelé pic Rayleigh. Il correspond à la dispersion dite quasi-élastique (ou diffusion Rayleigh) due aux fluctuations des paramètres internes du solide, à laquelle s'ajoute la diffusion élastique due aux lacunes et aux impuretés présentes dans le solide. Les autres pics d'intensité plus faible sont les pics de diffusion Raman dits Stokes et Anti-Stokes. Ils sont liés aux vibrations des édifices atomiques constituant l'échantillon et sont caractéristiques de l'échantillon analysé. Ces pics sont positionnés à $\pm\omega_j$ du pic Rayleigh. Ils correspondent à l'émission et à l'absorption d'un phonon de nombre d'onde ω_j.

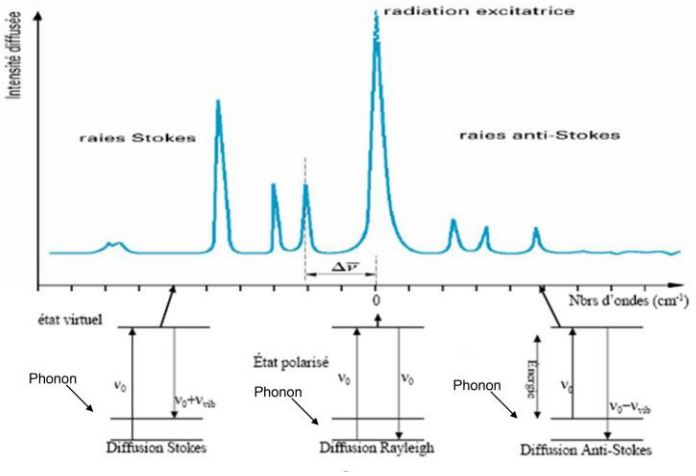

Figure II.1: Illustration des principaux processus de diffusion Rayleigh, Raman Stokes et Anti-Stokes.

La mesure des déformations en spectroscopie Raman est basée sur le décalage des pics de type Stokes du matériau étudié $\Delta\omega=\omega_j-\omega_{j0}$ par rapport à une référence non contrainte, avec ω_j le nombre d'onde du matériau étudié et ω_{j0} le nombre d'onde de la référence non

contrainte. Sauf cas particuliers comme dans le cas de contraintes uniaxiales ou biaxiales, les contraintes ne peuvent être directement déduites du déplacement de la raie de diffusion.

Selon le matériau étudié, le faisceau incident utilisé peut être dans le domaine de l'ultraviolet, du visible ou de l'infrarouge, pour adapter la profondeur de l'échantillon sondée [Moutanab10a]. Pour des matériaux de modules d'Young comparables à ceux du silicium, la précision de la technique est de quelques 10^{-4} sur la déformation, ce qui représente une sensibilité d'environ 20 MPa sur la contrainte. Les trois dénominations Raman, milli-Raman (m-Raman) et micro-Raman (µ-Raman) que l'on trouve dans la littérature dépendent essentiellement de la résolution spatiale du spectromètre Raman. La résolution spatiale de la technique micro-Raman [Harris04] est de l'ordre de 0,5 µm. La mesure de déformation dans des dispositifs à contrainte intentionnelle par spectroscopie Raman a fait l'objet des thèses de D. Rouchon [Rouchon09] et E. Romain-Latu [Romain06], on pourra s'y référer pour plus de détails.

La spectroscopie Raman est beaucoup utilisée dans l'industrie microélectronique, notamment pour du contrôle de procédés en cours de production, grâce à sa facilité d'implémentation, son caractère non-destructif, la rapidité des mesures et l'absence de préparation spéciale de l'échantillon [DeWolf96, Sawano03]. Un avantage de la spectroscopie Raman est aussi la possibilité d'effectuer des cartographies surfaciques de contraintes.

Cependant, il est nécessaire de suivre un protocole expérimental précis pour les mesures. En effet, l'échauffement de l'échantillon par le laser doit par exemple être pris en compte afin d'éviter des décalages en fréquence parasites [Georgi07]. Cet effet est particulièrement critique dans le cas de films minces sur du SiO_2, à cause de la faible conductivité thermique du SiO_2. C'est le cas des échantillons sSOI étudiés au cours de ce travail de thèse. De plus, pour les nanostructures à base de sSOI, la sensibilité de la spectroscopie Raman pour les mesures de déformation est limitée par la présence du BOX [Moutanab10a]. Enfin, malgré le succès de la spectroscopie Raman, son utilisation standard ne permet pas de résoudre complètement le tenseur de contrainte dans le cas de systèmes complexes où la contrainte n'a pas de caractère simple (uniaxial ou biaxial par exemple), car le décalage en fréquence $\Delta\omega$ donne accès à une combinaison des composantes du tenseur de contrainte. C'est pour cette raison que la spectroscopie Raman est souvent utilisée pour du contrôle de procédés dans l'industrie par exemple, car la nature de la contrainte est connue a priori.

<u>Relations entre le décalage en fréquence $\Delta\omega$ et la contrainte dans le cas de sollicitations simples pour du silicium (001)</u>

Contrainte uniaxiale	**Contrainte biaxiale**
$\sigma_0 = \sigma_{xx} = -435 \,.\Delta\omega \quad (cm^{-1})$	$\sigma_0 = \sigma_{xx} + \sigma_{yy} = -435 \,.\Delta\omega \quad (cm^{-1})$

Cette ambiguïté limite l'efficacité de la spectroscopie Raman comme réel outil de caractérisation quantitative de la contrainte [DeWolf92]. Cependant, cette limitation n'est pas due à la technique, mais plutôt à la configuration expérimentale. En spectroscopie Raman conventionnelle, le rayonnement incident est normal à la surface de l'échantillon, et ni le rayonnement incident ni le rayonnement diffusé ne sont polarisés. Cette configuration expérimentale particulière ne permet pas de résoudre entièrement le tenseur de contrainte lorsque la surface de l'échantillon est orientée (001).

Une modification de la technique classique a été proposée [Loechelt95, Loechelt99], permettant de déterminer entièrement le tenseur de contrainte pour une orientation arbitraire de l'échantillon. Le principe de cette technique est d'obtenir des informations expérimentales supplémentaires en décalant le rayon incident par rapport à la normale à la surface tout en polarisant les rayons incidents et diffractés. Cette technique appelée spectroscopie Raman polarisée hors de l'axe (« off-axis Raman spectroscopy ») permet de déterminer le tenseur de contrainte complet et sans ambiguïté.

2) Les techniques basées sur la microscopie électronique à transmission

Les techniques basées sur la microscopie électronique à transmission (TEM pour « Transmission Electron Microscopy ») se démarquent par leur grande résolution spatiale. Ces techniques de caractérisation physique de la contrainte sont actuellement les seules permettant des mesures quantitatives de la déformation avec une résolution spatiale de quelques nanomètres. Ces techniques sont très intéressantes car en plus de l'analyse des contraintes, elles permettent une analyse de la morphologie des échantillons (forme, épaisseurs, défauts). En ce qui concerne l'analyse des contraintes, plusieurs techniques existent avec différentes résolutions spatiales, précisions, et inconvénients. Ces techniques ont fait l'objet de la thèse d'A. Béché [Béché] pour la mesure des déformations à l'échelle nanométrique dans des dispositifs de la microélectronique.

L'inconvénient majeur des techniques basées sur la microscopie électronique à transmission est leur caractère destructif pour l'échantillon mesuré dû à la préparation nécessaire d'une lame mince, qui peut être en plus responsable de la relaxation partielle des déformations qu'on souhaite mesurer. La détermination de la déformation réelle de l'échantillon est complexe car il faut tenir compte de la relaxation de la déformation due à la préparation de l'échantillon. Cela est fait en général grâce à des calculs d'éléments finis [Clement04].

2.1. Microscopie électronique à transmission haute résolution (HRTEM)

La microscopie électronique à transmission haute resolution (HRTEM pour « high-resolution transmission electron microscopy ») se distingue des techniques conventionnelles de microscopie électronique par le fait que les images permettent de visualiser les colonnes atomiques.

La figure II.2 montre une image HRTEM typique avec sa décomposition en différentes franges. Dans ce cas, le contraste de l'image est dominé par les franges correspondant aux plans atomiques {111}. Les autres périodicités sont présentes plus faiblement sur l'image. Le croisement des différentes franges donne le contraste en points correspondant aux colonnes atomiques vues en projection.

Le principe sur lequel réside la mesure de déformations en HRTEM est la mesure des positions de ces colonnes atomiques à partir de l'image et son lien avec le champ de déplacement dans l'échantillon. Le principe de la mesure est présenté de manière schématique sur la figure II.3.

Tout d'abord, il faut choisir un réseau de référence non déformé. Cette étape est très importante car la déformation dans la théorie élastique est définie par rapport à un état initial non déformé. Il n'est pas possible de connaître cet état par la microscopie électronique, mais une manière de s'en rapprocher est de se placer dans une région non déformée de l'échantillon, loin des défauts et des interfaces. Cependant, la composition chimique locale de

l'échantillon n'est pas toujours connue. Si la composition chimique varie entre la zone à mesurer et la zone de référence, les distances interatomiques changent indépendamment de toute déformation présente. Ces considérations sont à prendre en compte pour la mesure des déplacements.

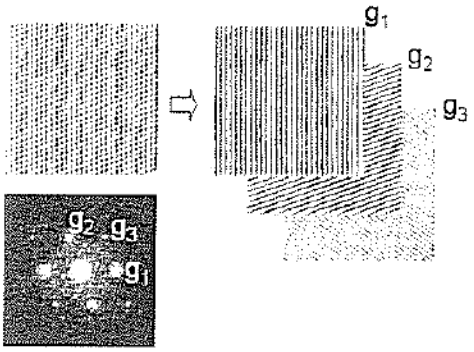

Figure II.2: Images des franges du réseau : (a) Image haute-résolution type du réseau atomique dans la projection [011] de l'aluminium; (b) Transformée de Fourier de l'intensité de l'image montrant que l'image est dominée par 2 périodicités, g1 et g2 ; (c) Images individuelles du réseau correspondant aux plans (111), (-111) et (200) respectivement. [Hanbücken01]

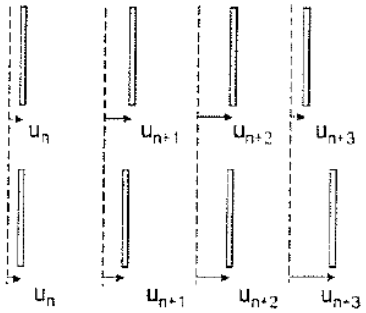

Figure II.3: Principe de mesure des déplacements. Les lignes en pointillés représentent le réseau de référence d'espace constant. Les déplacements locaux sont donnés par u_n. Un changement dans l'espacement total donne un champ de déplacement linéaire (figure du haut). [Hanbücken01]

Les déplacements u_n sont ensuite calculés par rapport à cette référence. Il existe deux manières de réaliser les mesures. La première consiste en la localisation du maximum d'intensité de l'image [Bayle94]. La seconde est la mesure des déplacements [Hÿtch98].

La microscopie électronique à transmission haute résolution est une technique puissante de mesure des déformations dans les films minces. La résolution spatiale de cette technique est bonne (<1 nm) avec une précision sur les variations de déformation raisonnable (de l'ordre de 0.1 %). Cependant, le champ de vue est limité (100×100 nm^2), et on perd l'information statistique sur les assemblées d'objets.

2.2. Diffraction par des faisceaux nanométriques (NBD)

La technique de diffraction par des faisceaux électroniques nanométriques (NBD pour «Nanobeam Electron Diffraction ») consiste à illuminer une région de dimension nanométrique de l'échantillon à analyser avec un faisceau d'électrons quasiment parallèle, puis à acquérir et analyser les figures de diffraction obtenues [Béché09]. Les axes cristallographiques principaux sont particulièrement intéressants et simples à étudier, et donnent les valeurs de déformation dans les deux directions perpendiculaires au faisceau d'électron incident. La déformation est calculée en comparant les figures de diffraction acquises dans la région à étudier avec une figure de diffraction acquise dans une région non contrainte de référence. Cette région non contrainte peut être localisée dans une région quelconque de l'échantillon ou même dans un autre échantillon de référence (si les conditions d'observations sont identiques).

La technique NBD est une technique simple de caractérisation physique de la contrainte, polyvalente et précise (précision en déformation $\Delta\varepsilon=6.10^{-4}$) avec une excellente résolution spatiale liée au diamètre de la sonde (de l'ordre de quelques nanomètres).

L'utilisation de cette technique pour la mesure de déformations dans des MOSFETs contraints sur SOI est par exemple décrite dans [Usuda04, Usuda05].

2.3. Diffraction électronique en faisceau convergent (CBED)

Le principe de cette technique (CBED pour « Convergent Beam Electron Diffraction ») consiste à illuminer l'échantillon dans un microscope électronique en transmission par un faisceau électronique convergent [Armigliato03, Clement09].

Cette technique est basée sur l'analyse des lignes de HOLZ (« High Order Laue Zone »)[10] présentes sur le cliché de diffraction (cf. figure II.4). La position des lignes de HOLZ dépend du paramètre de maille du cristal observé et les variations de paramètres de maille d'un matériau peuvent être détectées par leurs décalages. Lorsque le matériau est déformé, les lignes de HOLZ s'élargissent. Les composantes du tenseur de déformation sont obtenues en comparant les figures CBED obtenues expérimentalement à des figures calculées.

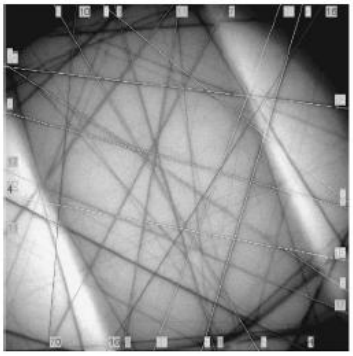

Figure II.4: Figure CBED expérimentale obtenue dans la direction cristallographique <230> de silicium non déformé, avec en superposition les lignes de HOLZ calculées [Armigliato03].

La technique CBED est intéressante de part son excellente résolution spatiale (jusqu'à 1 nm) et sa très grande précision en déformation ($\Delta\varepsilon=2.10^{-4}$). C'est une technique locale qui permet d'obtenir les composantes du tenseur de déformation dans chaque région nanométrique de l'échantillon sondée par le faisceau d'électrons grâce à l'analyse de la figure de diffraction correspondante. Elle peut également donner accès à une information 3D. Cependant, cette technique nécessite un échantillon relativement épais (> 150 nm) et orienté suivant une direction éloignée d'un axe de faible indice (par exemple le long d'une direction <230>, à 11° d'une direction <110>, comme sur la figure II.4). Dans les dispositifs de la microélectronique, où les structures sont généralement alignées suivant les directions <110> ou <100>, ces conditions conduisent à un effet d'ombrage de certaines régions interfaciales.

2.4. Holographie

La technique des Moirés holographique décrite sur la figure II.5 utilise la technique d'holographie électronique « hors d'axe » (off-axis electron holography) combinée avec la technique des Moirés. La technique des Moirés utilise la double diffraction par l'échantillon à mesurer (A sur la figure II.5) et le substrat (B sur la figure II.5). La technique d'holographie électronique hors d'axe utilise un biprisme électronique pour faire interférer l'onde incidente ayant traversé l'échantillon avec une onde de référence se propageant dans le vide. A partir de la figure d'interférence obtenue ou hologramme, des images de phase et d'amplitude de l'échantillon sont reconstruites. Comme la phase d'un électron est sensible notamment aux champs de déformation d'un échantillon, cette technique peut être utilisée pour les mesures de déformations avec une résolution nanométrique. Afin d'obtenir des profils 2D de déformation par holographie électronique, un échantillon mince est orienté suivant une direction

[10] Se référer à la thèse de L. Clément pour plus de détails [Clement06].

cristallographique particulière. Le biprisme électronique est ensuite utilisé pour faire interférer la région déformée à mesurer avec une région de référence non déformée (cf. figure II.5 en bas), qui doit être présente dans l'échantillon dans une zone compatible avec l'ouverture de champ. Un hologramme est ensuite obtenu et utilisé pour reconstruire l'image de phase de l'échantillon. A partir de cette image, un profil de déformation 2D dans la direction cristallographique choisie peut être calculé.

La technique des Moirés holographique est une technique de caractérisation physique de la contrainte récente et très prometteuse qui offre une résolution spatiale d'environ 5 nm, une précision de l'ordre de 10^{-3} et une zone d'investigation de 250×1000 nm^2. Cette technique permet d'obtenir des profils de déformation en 2D avec un large champ de vue et une excellente résolution spatiale et sensibilité. Toute l'information est contenue dans un seul hologramme électronique [Hytch08, Cooper09].

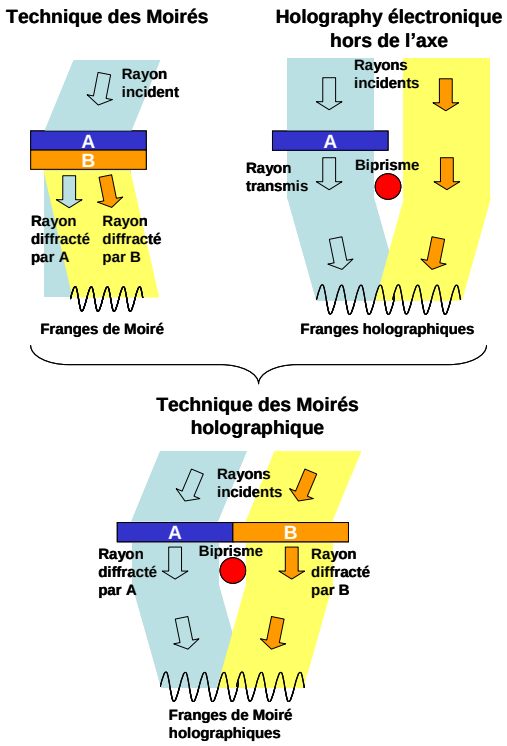

Figure II.5: Principe de la technique Dark Field Electron Holography (d'après [Hytch08]). La zone A est une région de référence non déformée du cristal, et la zone B une région déformée du cristal avec une orientation similaire. L'échantillon est illuminé avec un rayon incident cohérent, et les rayons diffractés (les rayons transmis ne sont pas représentés pour raisons de clarté) sont déviés par le biprisme de façon à ce qu'ils interfèrent sur l'écran.

La principale limitation de cette technique est le fait qu'elle nécessite une zone de référence non déformée proche de la zone à mesurer (à moins de 1 µm), et avec la même orientation cristalline que la zone à mesurer. L'autre inconvénient de l'holographie est sa sensibilité au dopage des matériaux. En effet, cette technique est aussi utilisée pour l'étude de profils de dopage dans les dispositifs de la microélectronique [Han07, Formanek04], car elle est basée sur la mesure du potentiel électrostatique.

II/ Les techniques basées sur la diffraction des rayons X

Les mesures de profils de diffraction par rayons X pour la détermination des déformations sont non destructives pour l'échantillon et très fiables par rapport à d'autres techniques. L'avantage essentiel des techniques basées sur la diffraction des rayons X est que l'on peut facilement calculer les intensités diffractées par une simple transformée de Fourier de la densité électronique dans le cadre de l'approximation cinématique [Warren90]. L'interaction rayons X / matière est en effet suffisamment faible pour qu'il soit souvent possible de négliger la diffusion multiple. Cette approximation se vérifie particulièrement bien dans le cas de couches minces et dans le cas de la diffraction des rayons X en incidence rasante (GIXRD).

1) Généralités sur la diffraction des rayons X

Dans une expérience de diffraction des rayons X, un ensemble de plans cristallins (hkl) est sélectionné par les conditions d'incidence. La distance interplanaire d_{hkl} est déterminée par la loi de Bragg. La diffraction de Bragg de plans parallèles ou inclinés d'un angle φ par rapport à la surface du cristal correspond à des conditions symétriques ($\varphi = 0$) ou asymétriques ($\varphi \neq 0$), respectivement (cf. figure II.6). La surface du cristal constitue le plan de référence pour les rayons X entrants et sortants.

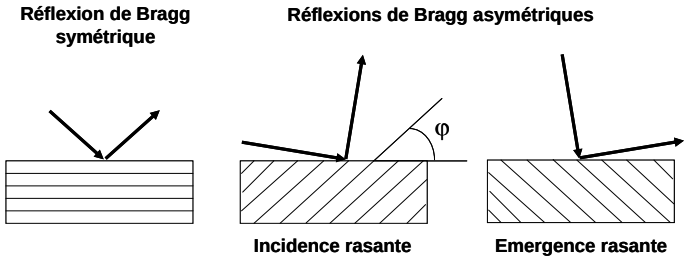

Figure II.6: Schéma représentant les géométries de diffraction de Bragg symétriques et asymétriques avec les deux conditions possibles d'incidence pour une réflexion asymétrique.

Appelons ω l'angle d'incidence que fait un rayon X parallèle et monochromatique par rapport à la surface de l'échantillon (cf. figure II.7). En faisant tourner le cristal autour d'un certain domaine angulaire centré sur l'angle de Bragg des plans cristallins choisis, un profil d'intensité de diffraction $I(\omega)$ est obtenu. Pour une hétérostructure à une couche, le profil d'intensité présente deux pics principaux, correspondant à la diffraction des plans cristallins (hkl) de la couche et du substrat. La séparation angulaire ($\Delta\omega$) correspond à la différence Δd_{hkl} entre les distances interréticulaires de la couche et du substrat.

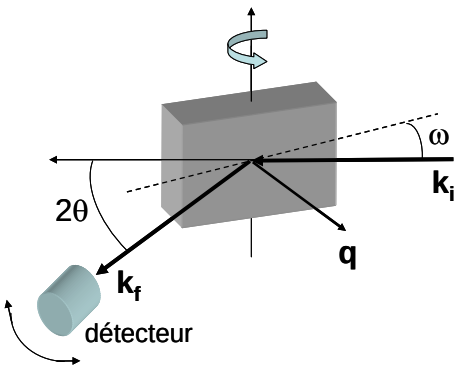

Figure II.7: Schéma représentant la géométrie coplanaire d'une mesure de diffraction.

La diffraction de Bragg est un phénomène de diffusion élastique avec un transfert de moment entre les radiations incidentes et diffractées. La distribution de l'intensité de diffraction est reportée dans l'espace réciproque (espace des vecteurs d'onde). D'après le principe de conservation des moments, la loi de Bragg dans l'espace réciproque devient $q = k_f - k_i = q_{hkl}$, où q_{hkl} est le vecteur du réseau réciproque avec $|q_{hkl}| = 2\pi / d_{hkl}$; $q = k_f - k_i$ est le transfert de moment et $k_{f,i}$ avec $|k_{f,i}| = 2\pi/\lambda = k_0$ sont les vecteurs d'onde diffractés et incidents respectivement ; λ est la longueur d'onde des rayons X (cf. figure II.7).

2) Les techniques conventionnelles basées sur la diffraction des rayons X

2.1. La diffraction des rayons X haute résolution (HRXRD)

Dans les diffractomètres haute résolution, les rayons X sont conditionnés par des optiques basées sur des cristaux simples ou multiples. Des goniomètres avec des précisions de 10^{-4} degrés à la fois sur l'échantillon et sur les axes de rotation du détecteur sont utilisés. Cette technique permet de mesurer des différences relatives dans la position des pics pour des variations angulaires étroites par rapport au pic de diffraction du substrat de référence. Cependant, les mesures absolues de paramètre de maille et de déformation demandent des procédures plus sophistiquées.

Les techniques de diffraction des rayons X haute résolution (HRXRD pour « High Resolution X-ray Diffraction ») sont des méthodes bien établies pour la caractérisation structurale de matériaux à haute qualité cristalline [Fewster93, Tanner90]. L'analyse des profils de diffraction par rayons X rend possible la détermination précise de toutes les composantes du tenseur de déformation dans des systèmes réels à hétéroépitaxie.

2.2. La diffraction cohérente des rayons X

La diffraction cohérente des rayons X (CXD pour « coherent X-ray diffraction ») peut être utilisée pour une analyse structurale en trois dimensions (3D). Le principe de base d'une expérience de CXD est l'illumination de l'échantillon par un faisceau de rayon X spatialement cohérent, c'est-à-dire que la longueur de cohérence transverse est supérieure aux dimensions de l'échantillon. Dans ces conditions, la diffraction provenant de toutes les parties de l'échantillon interfère dans la figure de diffraction à champ lointain obtenue. Les expériences de diffraction cohérente des rayons X sont généralement effectuées dans les mêmes conditions qu'une expérience de diffraction classique, mais avec un dispositif CCD (charge-coupled device) ou un autre détecteur de rayons X positionné suffisamment loin pour résoudre les franges les plus fines. L'obtention d'un faisceau suffisamment cohérent avec un fort flux est seulement possible avec des sources de rayonnement synchrotron de troisième génération comme l'ESRF (European Synchrotron Radiation Facility) à Grenoble ou l'APS (Advanced Photon Source) aux Etats-Unis.

En diffraction cohérente des rayons X, des franges issues des facettes du cristal ou le long des axes du cristal sont observées en plus du pic central de diffraction de Bragg conventionnel. En inversant de telles figures de diffraction cohérente de rayons X grâce à des méthodes de reconstruction de phase, il a été montré ces dernières années la possibilité d'obtenir des images complètes en trois dimensions (3D) de l'objet mesuré [Williams03, F-Nicolin10], tout comme la distribution de champ de déformation interne en analysant les phases [Pfeifer06, Robinson09, Cha10, Gailhanou07]. Grâce à la diffraction cohérente des rayons X, il est possible de détecter et de tracer des champs de déplacements en 2D [Minkevich07].

Cette technique n'a pas été utilisée au cours de cette thèse. Pour plus de détails, on se reportera à la thèse de F. Mastropietro (en cours) qui s'intéresse aux mesures de diffraction cohérente appliquées aux nanofils.

3) La Diffraction des Rayons X en Incidence Rasante (GIXRD)

3.1. Principe de la méthode

Le principe de la diffraction des rayons X en incidence rasante (GIXRD pour "Grazing Incidence X-Ray Diffraction") est identique à celui de la diffraction des rayons X conventionnelle, avec comme contrainte un angle d'incidence des rayons X proche de l'angle critique de réflexion totale. Cette configuration particulière permet de limiter la diffusion et la diffraction de volume et d'être sensible à la surface. Cette technique est utilisée pour étudier des surfaces et des couches minces car la profondeur de pénétration de l'onde est limitée. En-dessous de l'angle critique du matériau de surface, une onde évanescente s'établit sur une courte distance et s'éteint de manière exponentielle. L'angle critique dépend du matériau mesuré et de l'énergie des rayons X. Pour le silicium et les énergies des rayons X utilisées pour les mesures réalisées au cours de ce travail de thèse, les courbes de réflectivité sont tracées sur la figure II.8 et les valeurs de l'angle critique sont reportées dans le tableau II.1. Le signal est intégré sur la trace du faisceau sur l'échantillon (par exemple 0.1 x 1 cm^2).

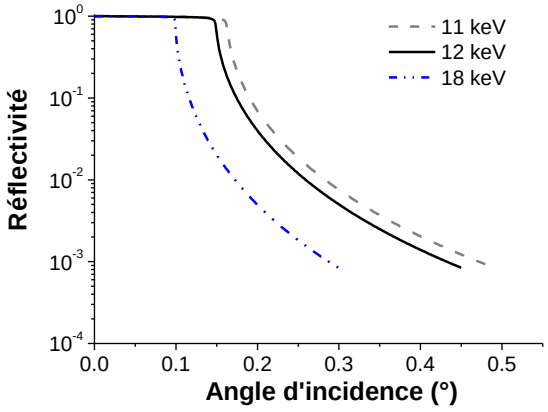

Figure II.8: Courbes de réflectivité du silicium pour les énergies des rayons X (11 keV, 12 keV et 18 kV).

Energie E (keV)	Longueur d'onde λ (nm)	Angle critique α_c (°)
11	0.11271	0.163
12	0.10332	0.149
18	0.06888	0.099

Tableau II.1: Angle critique du silicium pour les différentes énergies du faisceau de rayons X utilisées au cours de ce travail de thèse. Les longueurs d'onde correspondantes sont également indiquées.

Cette technique, très sélective en profondeur, permet de mesurer des distances entre plans cristallins. Les plans mesurés peuvent être perpendiculaires ou désorientés par rapport à la surface. Cette méthode est donc particulièrement bien adaptée à la mesure de déformations dans des films minces. Elle permet de déterminer complètement le tenseur des déformations sans aucune hypothèse ni préparation spéciale de l'échantillon, si on est capable de mesurer suffisamment de réflexions. L'utilisation combinée du rayonnement synchrotron à haute brillance et de la géométrie en incidence rasante permet d'atteindre une sensibilité de surface avec un rapport signal sur bruit raisonnable.

La géométrie de diffraction GIXRD est décrite sur la figure II.9. L'angle d'incidence est généralement faible et maintenu constant, un peu au-delà de l'angle critique de réflexion totale α_c. Le rayon diffracté fait un angle α_f par rapport à la surface de l'échantillon. ψ est l'angle dans le plan entre le détecteur (rayon diffracté) et le rayon incident. Dans les conditions de Bragg et pour α_i et α_f petits, ψ est égal à $2\theta_B$, où θ_B est l'angle de Bragg conventionnel. L'orientation dans le plan est réalisée par une rotation autour de la normale à la surface (angle ω dans le plan de l'échantillon)[11].

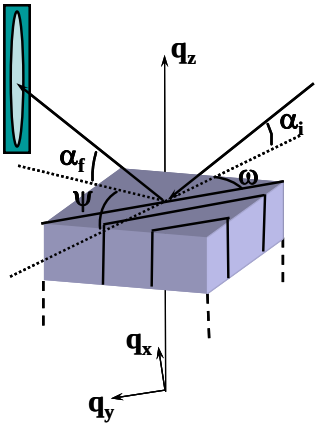

Figure II.9: Géométrie GIXRD et notations des angles associés.

Le transfert de moment ($q = k_f - k_i$) peut être décomposé en deux composantes, $q_{//}$ et $q_\perp$, respectivement parallèle et perpendiculaire à la surface. Le module de $q_\perp$ est fonction de α_i et α_f : $|q_\perp| = q_Z = k_0(\sin\alpha_i + \sin\alpha_f)$. Les coordonnées angulaires sont reliées aux coordonnées du transfert de moment de la manière suivante :

$$q_x = k_0\left[\cos(2\theta_B)\cos(\alpha_f) - \cos(\alpha_i)\right]$$
$$q_y = k_0\left[\sin(2\theta_B)\cos(\alpha_f)\right]$$
$$q_z = k_0\left[\sin(\alpha_i) + \sin(\alpha_f)\right]$$

<u>Mesure des raies dans le plan (hk0)</u>

Pour simplifier les équations, on suppose que les angles d'incidence et d'émergence par rapport à la surface sont nuls. La direction x est normale aux plans (hk0), z est la normale à l'échantillon. La rotation ω autour de l'axe z permet de définir l'incidence du faisceau par rapport aux plans (hk0) et la rotation ψ du détecteur autour de z définit l'angle entre le faisceau incident et diffracté (cf. figure II.9). La relation entre la rotation de l'échantillon autour de sa normale (ω), la position du détecteur dans le plan (ψ) et le transfert de moment q s'exprime alors :

$$q_x = \frac{2\pi}{\lambda}(\sin(\psi - \omega) + \sin(\omega))$$
$$q_y = \frac{2\pi}{\lambda}(\cos(\psi - \omega) - \cos(\omega))$$
$$q_z = 0$$

[11] La normale à l'échantillon est préalablement orientée pour ne pas avoir de précession avec ω.

Les deux scans usuels décrits sur la figure II.10 ont été utilisés au cours de cette thèse. La figure II.10 montre les pics de Bragg {220} équivalents du substrat de silicium non contraint (appelés « S ») et de la couche de sSOI en tension biaxiale (appelés « C »). Les scans en ω (appelés scans transverses) permettent de mesurer d'une part la mosaïcité de la couche contrainte à contrainte fixée, et d'autre part le facteur de forme des motifs de surface. La désorientation dans le plan (appelée « *twist* ») entre le substrat et la couche de Si contrainte peut être directement estimée par la différence Δω. Les scans en (ω,ψ) (appelés scans radiaux) permettent de mesurer les distances interplanaires d_{Si} (d_{sSi} respectivement) pour le substrat de silicium et la couche de silicium contrainte respectivement, pour une réflexion {hk0} donnée.

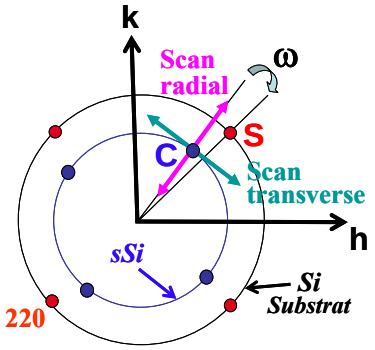

Figure II.10: Schéma dans l'espace réciproque des pics de Bragg du substrat Si de référence (S) et de la couche sSOI 2D (C).

3.2. Application à la mesure de déformations dans les dispositifs sur SOI

Le but de cette partie est de décrire la technique de diffraction des rayons X en incidence rasante appliquée à la mesure de déformations dans le cas modèle de couches contraintes sSOI orientées suivant (001). Ce type d'échantillons fera l'objet du chapitre III.

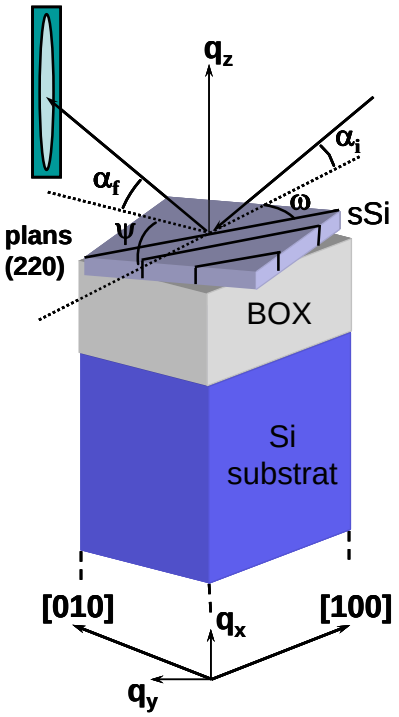

Figure II.11: Schéma de la structure sSOI et de la géométrie GIXRD. Les plans mesurés (220) et (2-20) sont perpendiculaires à la surface (001) de l'échantillon.

Les angles d'incidence et d'émergence proches de l'angle critique de réflexion totale permettent de mesurer la diffraction de plans (hk0) perpendiculaires à la surface (par exemple les plans (220) ou (2-20)), pour la couche contrainte comme pour le substrat de silicium (cf. figure II.11). Pour mesurer la diffraction des plans du substrat de silicium, des angles d'incidence plus grands permettent de passer à travers le BOX amorphe, qui fait généralement 145 nm d'épaisseur. Le substrat de silicium sert de référence interne non contrainte à la fois en position et en largeur de pic, permettant d'une part de vérifier l'alignement de l'expérience et la fonction de résolution [Eymery02], et d'autre part de diminuer la barre d'erreur de la mesure de déformation. A cause du collage de plaques, la couche de sSOI et le substrat de silicium peuvent être désalignés à la fois dans le plan (twist) et hors du plan (tilt). En pratique, ces désorientations sont généralement faibles (twist < 1°, tilt < 0.2-0.3°) grâce à l'alignement des méplats lors du collage.

Grâce aux scans radiaux, on obtient ainsi une estimation de la déformation dans le plan définie par

$$\varepsilon^{\{hk0\}} = \frac{d_{sSi}^{\{hk0\}} - d_{Si}^{\{hk0\}}}{d_{Si}^{\{hk0\}}} \qquad \textbf{Equation II.1}$$

Les angles de Bragg $\psi = 2\theta_B$ de la couche de Si contrainte et du substrat sont obtenus par l'optimisation de l'intensité des pics de Bragg avec des scans radiaux et transverses à des angles d'incidence donnés. En appliquant la loi de Bragg $2d_{\{hk0\}}\sin(\theta_B) = \lambda$ dans le plan à la couche de silicium contrainte et au substrat, on obtient

$$\varepsilon^{\{hk0\}} = \frac{\sin(\psi_{Si}^{\{hk0\}}/2)}{\sin(\psi_{sSi}^{\{hk0\}}/2)} - 1 \qquad \textbf{Equation II.2}$$

L'équation II.2 montre que la déformation moyenne sur l'épaisseur de la couche contrainte peut être calculée directement à partir de la mesure des angles de Bragg du détecteur $\psi_{sSi}^{\{hk0\}}$ et $\psi_{Si}^{\{hk0\}}$ correspondant respectivement à la couche contrainte et au substrat.

L'exemple des pics de Bragg d'une couche contrainte sSOI (fabriquée à partir d'un pseudo-substrat $Si_{0.8}Ge_{0.2}$) et d'une couche contrainte XsSOI (pour « eXtremely strained Silicon-On-Insulator », fabriquée à partir d'un pseudo-substrat $Si_{0.7}Ge_{0.3}$) est présenté sur la figure II.12, ainsi que le pic de Bragg du substrat de Si. On voit sur cette figure que le décalage entre le pic de Bragg de la couche contrainte et celui du substrat de Si augmente avec la valeur de déformation de la couche.

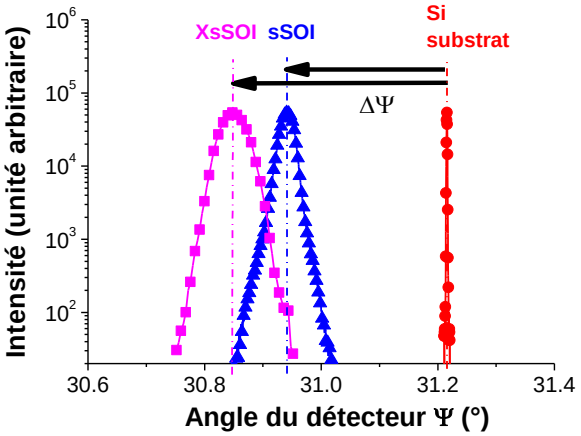

Figure II.12: Scans radiaux dans le plan des réflexions (220) d'une couche contrainte sSOI (fabriquée à partir d'un pseudo-substrat $Si_{0.8}Ge_{0.2}$) et d'une couche contrainte XsSOI (fabriquée à partir d'un pseudo-substrat $Si_{0.7}Ge_{0.3}$). Le pic du substrat de Si est aussi représenté comme référence. La longueur d'onde des rayons X est λ=0.103 32 nm. L'angle d'incidence est α_i=0.5° pour le substrat de Si et α_i=0.15° pour les couches de sSOI et XsSOI.

Pour des faibles $\Delta\psi^{\{hk0\}} = (\psi_{sSi}^{\{hk0\}} - \psi_{Si}^{\{hk0\}})/2$, le développement de Taylor au premier ordre de l'équation II.2 donne :

$$\Delta\psi^{\{hk0\}} \cong -\varepsilon^{\{hk0\}} \tan\left(\psi_{Si}^{\{hk0\}}/2\right) \qquad \textbf{Equation II.3}$$

Le décalage du pic de la couche contrainte dû à une déformation donnée augmente donc avec l'ordre de diffraction, mais le choix des plans {hk0} mesurés dépend expérimentalement de la géométrie de l'expérience et des longueurs d'onde possibles.

La barre d'erreur sur la mesure de la déformation est obtenue par différenciation de l'équation II.2 :

$$\Delta\varepsilon_{sSi}^{\{220\}} = \left[\Delta\psi_{Si}/\tan\left(\psi_{Si}/2\right) + \Delta\psi_{sSi}/\tan\left(\psi_{sSi}/2\right)\right]\left(1+\varepsilon^{\{220\}}\right)/2 \qquad \textbf{Equation II.4}$$

où $\Delta\psi_{Si}$ et $\Delta\psi_{sSi}$ sont estimés grâce à un fit des courbes des scans radiaux.

Les expériences de GIXRD présentées dans ce mémoire ont été réalisées au synchrotron ESRF de Grenoble (European Synchrotron Radiation Facility) sur les lignes de lumière CRG françaises BM32 et BM02. Les échantillons sont montés verticalement pour profiter en géométrie GIXRD de la faible divergence du faisceau de rayons X de ces lignes. L'empreinte du rayon sur la surface de l'échantillon, définie par les fentes d'entrée, est de l'ordre de 0.1 x 1 cm^2. Les fentes du détecteur et celles d'anti-diffusion sont ouvertes à 2×1 mm^2 pour intégrer les pics dans le plan le long de leurs tiges de troncature. La fonction de résolution obtenue est mesurée à partir des pics de Bragg du substrat de Si (cristal ayant une largeur de pic très fine), et le temps d'acquisition des scans des différentes figures de diffraction présentées dans le chapitre III est typiquement de 2 min.

Conclusion du chapitre II

Les techniques basées sur la diffraction des rayons X et la spectroscopie Raman sont capables de mesurer des déformations avec une grande sensibilité, tandis que les techniques basées sur la microscopie électronique à transmission se distinguent par leur résolution spatiale de l'ordre du nanomètre. Cependant, ces techniques ont toutes leurs inconvénients. L'inconvénient principal des techniques basées sur la microscopie électronique à transmission est la relaxation partielle des déformations lors de la préparation de l'échantillon. Quant à la spectroscopie Raman, elle ne permet pas de résoudre complètement le tenseur des déformations dans le cas d'une contrainte quelconque. Or, un objectif de ce travail de thèse était de mesurer précisément les déformations dans des nanostructures contraintes sur SOI, dont on ne connaissait pas a priori la nature de la contrainte. De plus, dans le cas de nanostructures sur SOI, des difficultés supplémentaires apparaissent dans le cas de la spectroscopie Raman, liées à l'échauffement de l'échantillon et à une perte de sensibilité à cause de la présence du BOX.

Dans ce contexte, nous avons choisi de réaliser les mesures de déformation dans nos nanostructures contraintes sur SOI par la technique de diffraction des rayons X en incidence rasante (GIXRD). Cette technique permet en effet de déterminer le tenseur des déformations sans aucune hypothèse ni préparation spéciale de l'échantillon, et avec une grande sensibilité. Ses principaux inconvénients résident dans l'utilisation d'un rayonnement synchrotron pour garantir des acquisitions rapides des données, et l'obtention de données statistiques sur un ensemble d'objets. Cette technique donne donc accès à d'autres informations que les techniques de mesure locale des déformations. Elle a été utilisée au cours de ce travail de thèse pour la mesure de déformations dans des nanostructures à base de sSOI (chapitre III) et dans des nanostructures contraintes innovantes sur SOI (chapitre IV).

CHAPITRE III:

ETUDE DES DISPOSITIFS MOSFETS SUR sSOI

SOMMAIRE DU CHAPITRE III

I/ Mesures de déformation en GIXRD : Etude de l'impact sur la contrainte du sSOI des étapes technologiques du procédé d'intégration des transistors MOSFETs 69

1) Etapes du procédé d'intégration des transistors MOSFETs sur sSOI 69

2) Caractérisation du matériau sSOI initial 70

3) Etude de l'impact de l'étape de définition des zones actives 73

3.1. Structures étudiées 73

3.2. Résultats des mesures GIXRD pour les dispositifs PDSOI 73

3.3. Résultats des mesures GIXRD pour les dispositifs FDSOI 77

3.4. Comparaison avec d'autres études 81

3.5. Simulations mécaniques par éléments finis et modèle analytique : Confrontation avec les résultats expérimentaux et compréhension des mécanismes de relaxation 83

4) Etude de l'impact de la grille en TiN : mesures de contrainte par GIXRD et simulations mécaniques par éléments finis 90

5) Etude de l'impact de l'étape d'implantation des zones de Source et Drain, et du recuit d'activation des dopants 92

5.1. Structures étudiées 92

5.2. Résultats des mesures de déformation par GIXRD et interprétation 93

II/ Etude des effets de largeur de grille et d'orientation du canal par caractérisation électrique dans des dispositifs FDSOI MOSFETs sur SOI contraint 99

1) Dispositifs étudiés 99

2) Méthode d'extraction fine de la mobilité effective 101

2.1. Méthode split-CV classique 101

2.2. Méthode split-CV améliorée dans le cas de dispositifs longs et étroits 102

3) Intérêt de l'extraction de la tension de seuil 105

4) Evaluation du gain en performances apporté par les substrats en SOI contraint 105

4.1. Canal large 105

4.2. Effets de canal étroit 108

Le but de ce chapitre est d'étudier le gain en performances apporté par le sSOI par rapport au SOI. Nous allons tout d'abord nous intéresser dans cette étude à l'influence des principales étapes du procédé de fabrication des transistors MOSFETs sur la contrainte du matériau sSOI. Nous allons étudier les étapes de :

- définition des zones actives
- définition de la grille
- implantation des zones de Source et Drain
- recuit d'activation des dopants.

Cette étude a été réalisée grâce à des mesures de déformation par GIXRD sur des lignes de sSOI de longueur millimétrique et de largeur nanométrique.

Nous étudierons ensuite les performances électriques de transistors n-MOSFETs et p-MOSFETs sur sSOI, et les comparerons à celles de transistors sur SOI. Nous évaluerons le gain en performances apporté par le sSOI avec la diminution des dimensions de la zone active et la réduction de la longueur de grille. Nous expliquerons alors les comportements observés grâce aux mesures de déformation en GIXRD.

I/ Mesures de déformation en GIXRD : Etude de l'impact sur la contrainte du sSOI des étapes technologiques du procédé d'intégration des transistors MOSFETs

Nous allons étudier dans cette partie l'influence des étapes du procédé de fabrication des transistors MOSFETs sur sSOI sur la contrainte dans le matériau sSOI.

1) Etapes du procédé d'intégration des transistors MOSFETs sur sSOI

Les principales étapes du procédé d'intégration des transistors sur sSOI sont décrites sur la figure III.1. Ces étapes sont communes aux transistors FDSOI et PDSOI, mais avec des variantes.

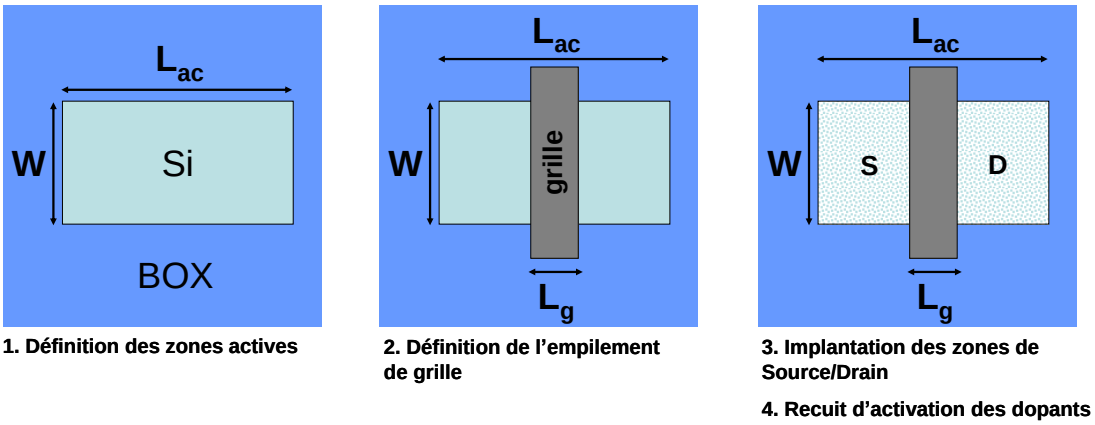

Figure III.1: Principales étapes du procédé d'intégration des MOSFETs sur SOI. L_{ac} et W sont respectivement la longueur et la largeur de zone active. L_g est la longueur de grille.

- La première étape est la définition des zones actives. Cette étape qui consiste en la gravure de la couche active de Si jusqu'au BOX sert à isoler électriquement les transistors entre eux. Dans le cas des transistors FDSOI, une isolation MESA suffit, comme nous l'avons vu dans le chapitre I, car l'épaisseur de la couche active est faible. Dans cette technique, les tranchées entre les transistors ne sont pas remplies. Dans le cas des transistors

PDSOI, il est nécessaire d'utiliser un procédé STI (Shallow Trench Isolation). L'espace gravé entre les transistors est rempli par un oxyde. L'étape commune aux transistors FDSOI et PDSOI que nous allons étudier est la gravure de la couche active.

- La deuxième étape est la création de la grille des transistors. Dans notre cas, la grille est constituée de l'empilement d'un oxyde de grille à forte permittivité et d'une grille métallique en TiN[12] recouverte de Si poly-cristallin. Elle est obtenue par dépôt des différents matériaux, puis gravure de l'empilement. La grille est identique pour un nœud technologique donné pour les transistors FDSOI et PDSOI.
- La troisième étape est l'implantation des zones de Source et de Drain. Cette étape se fait en deux temps. Dans le cas des dispositifs PDSOI, une première implantation est destinée à rendre amorphe la couche active de Si, tandis que la deuxième implantation est destinée au dopage des Source/Drain (S/D). Pour les dispositifs FDSOI, seule l'implantation des dopants a lieu car l'étape de pré-amorphisation est plus difficile à réaliser sur film mince.
- La quatrième étape est le recuit d'implantation des dopants, ayant pour but de rendre les dopants électriquement actifs.

Les points communs et les différences dans le procédé d'intégration des transistors FDSOI et PDSOI sont résumés dans le tableau III.1.

Etapes du procédé d'intégration	**FDSOI** (T_{Si} ~ 10 nm)	**PDSOI** (T_{Si} ~ 60 nm)
Définition des zones actives	***gravure des zones actives***	
	isolation MESA (aucun remplissage des zones gravées)	isolation STI (remplissage des zones gravées par de l'oxyde)
Définition de l'empilement de grille	• Oxyde de grille à forte permittivité (HfO_2) • ***Grille TiN/Si poly*** Dépend du nœud technologique considéré	
Implantation des zones de S/D et recuit d'activation des dopants		***Implantation d'amorphisation***
	• ***Implantation des dopants*** • ***Recuit d'activation des dopants***	

Tableau III.1: Points communs et différences entre les étapes du procédé d'intégration des MOSFETs FDSOI et PDSOI.

Ce qui nous intéresse dans cette partie est de mesurer la déformation dans le canal après les différentes étapes technologiques étudiées.

2) Caractérisation du matériau sSOI initial

Nous présentons tout d'abord les résultats des mesures de déformation par GIXRD de substrats sSOI 2D (bi-dimensionnels) de référence, orientés (001). Ces échantillons sSOI 2D serviront de références pour les études suivantes car ils n'ont subi aucune étape du procédé d'intégration des transistors.

Ces couches sSOI 2D ont été obtenues à partir de pseudo-substrats $Si_{1-x}Ge_x$ avec différents pourcentages x en Ge. Si x~0.2, les substrats sont appelés sSOI et si x~0.3, les substrats sont appelés XsSOI pour eXtremely strained SOI. Les pourcentages exacts en Ge des couches initiales de $Si_{1-x}Ge_x$ seront déterminés grâce aux mesures de déformation. La

[12] Pour les transistors étudiés dans cette partie, l'oxyde de grille est en HfO_2 et la grille est déposée par PVD (Physical Vapor Deposition).

couche active de silicium des substrats sSOI est 10 nm, 60 nm ou 70 nm. Les différentes variantes sont résumées dans le tableau III.2. L'épaisseur du BOX est 145 nm.

L'énergie des photons utilisée pour les mesures des références R1, R2 et R3 (voir tableau III.2 et figure III.2) est de 12 keV (18 keV pour la référence R4), ce qui correspond à une longueur d'onde λ=0.10332 nm (λ= 0.06888 nm pour la référence R4). Les scans radiaux des réflexions {220} du silicium contraint sSi et du substrat de Si sont représentés sur la figure III.2, pour les différentes références[13]. La mesure des quatre réflexions {220} équivalentes a donné comme attendu des valeurs quasi-identiques des angles de Bragg (dans la barre d'erreur), car les déformations dans le plan de ces échantillons 2D sont isotropes.

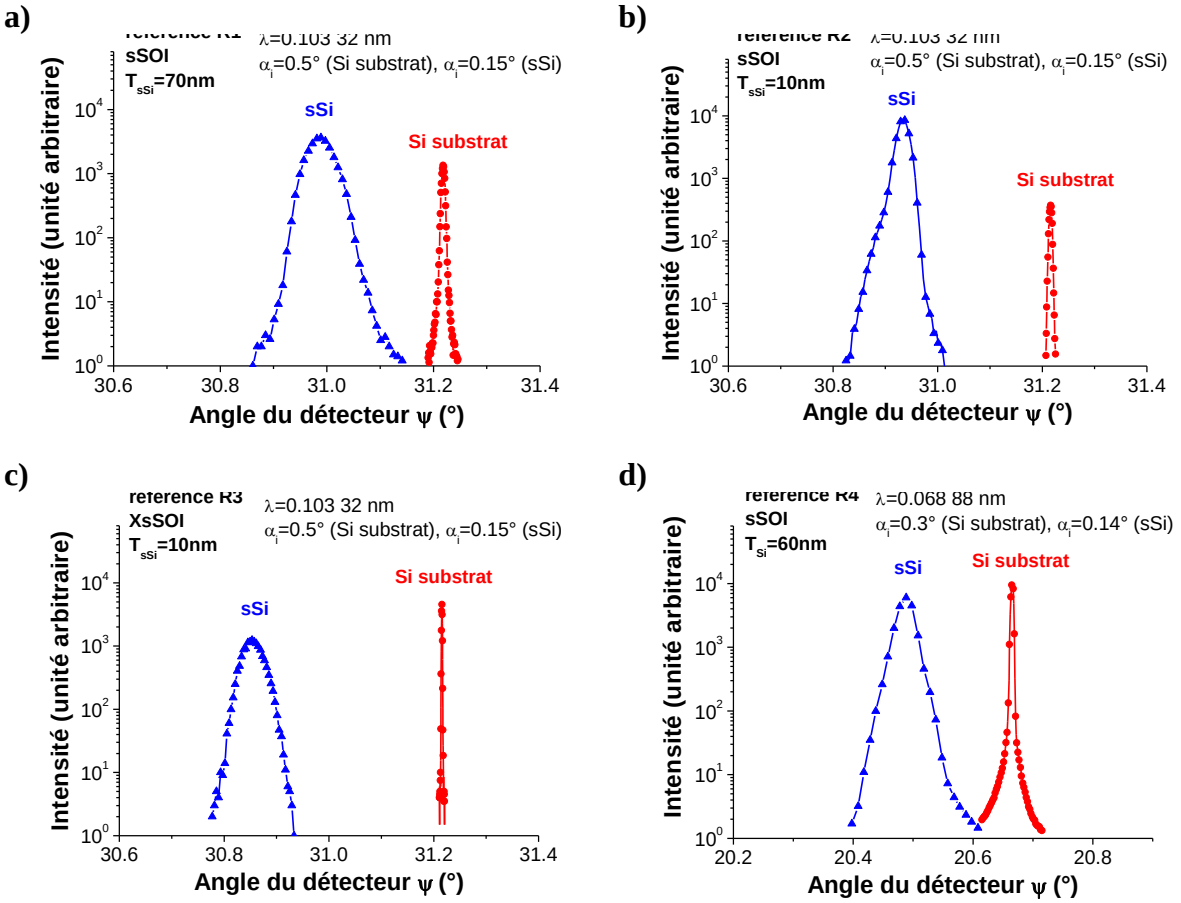

Figure III.2: Scans radiaux dans le plan des réflexions {220} du substrat de Si et de la couche contrainte 2D (sSOI ou XsSOI), pour différentes épaisseurs de la couche contrainte T_{sSi}= 10, 60, 70 nm. a), b), c) : La longueur d'onde des rayons X est λ=0.103 32 nm. Les angles d'incidence sont α_i=0.5° pour le substrat de Si et α_i =0.15° pour la couche contrainte. d) λ=0.068 88 nm et α_i=0.3° pour le substrat Si et α_i=0.14° pour la couche de sSOI.

Les largeurs à mi-hauteur $fwhm_{Si,sSi}^{\{220\}}$ des pics {220} du substrat et du silicium contraint pour chaque référence ont été obtenues à partir de fits gaussiens, et sont rassemblées dans le tableau III.2. Ces valeurs montrent que la largeur à mi-hauteur $fwhm_{sSi}^{\{220\}}$ du pic du silicium contraint est toujours plus grande que celle du pic du substrat $fwhm_{Si}^{\{220\}}$. Cet élargissement de pic augmente avec l'épaisseur et la contrainte moyenne de la couche de sSOI.

[13] Les pics de Bragg {440} ont été mesurés au cours d'expériences précédentes et donnaient des résultats identiques.

Il peut être attribué à plusieurs phénomènes [Kutsukake04] :

- défauts structuraux ayant pour origine le transfert du réseau de dislocations (de type « crosshatch pattern », voir figure III.3 pour illustration) de la couche initiale de SiGe vers la couche de silicium contraint
- faibles relaxations à l'interface entre la couche de sSOI et le BOX
- fluctuations d'alliage dans la couche initiale de SiGe.

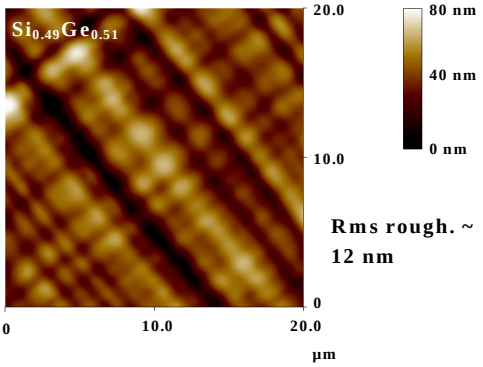

Figure III.3: Image AFM en mode dit « tapping » de la surface d'un substrat virtuel $Si_{0.5}Ge_{0.5}$. Les bords de l'image sont à peu près le long des directions <100> [Hartmann09].

La déformation de référence dans le plan $\varepsilon_{sSi}^{\{220\}}$ et sa barre d'erreur $\Delta\varepsilon_{sSi}^{\{220\}}$ sont calculées à partir des équations II.2 et 4 du chapitre II. La contrainte est calculée dans l'hypothèse d'une contrainte biaxiale et en considérant les coefficients élastiques du tableau 1 en annexe A,

$$\sigma_{sSi} = (C_{11} + C_{12} - 2C_{12}^{2} / C_{11})\varepsilon_{sSi}^{\{220\}} \qquad \textbf{Equation III.1}$$

Le pourcentage équivalent en Ge de la couche initiale de SiGe est calculé à partir des valeurs de déformation dans le plan mesurées et en utilisant la référence [Dismukes64] tenant compte de la déviation par rapport à la loi de Végard (cf. paragraphe III.1.3 du chapitre I).

Les caractéristiques des couches 2D sSOI de référence sont résumées dans le tableau III.2.

Echantillon de référence	**Épaisseur de la couche contrainte T_{sSi} (nm)**	$fwhm_{Si}^{\{220\}}$ **(deg.)**	$fwhm_{sSi}^{\{220\}}$ **(deg.)**	**Déformation** $\varepsilon_{sSi}^{\{220\}} \pm \Delta\varepsilon_{sSi}^{\{220\}}$ **(%)**	**Contrainte biaxiale** σ_{sSi} **(GPa)**	**%Ge de la couche de SiGe 2D initiale estimé à partir de** ε_{sSi}
R1	70	0.007	0.075	0.71 ± 0.02	1.29 ± 0.03	18.6
R2	10	0.006	0.025	0.86 ± 0.02	1.55 ± 0.03	22.3
R3	10	0.002	0.051	1.16 ± 0.02	2.09 ± 0.03	29.1
R4	60	0.005	0.031	0.84 ± 0.03	1.52 ± 0.05	21.8

Tableau III.2: Caractéristiques des échantillons 2D sSOI de référence obtenus par croissance de silicium sur des substrats virtuels $Si_{1-x}Ge_x$ avec x ~ 0.2 - 0.3. La largeur à mi-hauteur $fwhm_{Si,sSi}^{\{220\}}$ des pics (220) de Si et de Si contraint est mesurée à partir des scans radiaux.

Une des conclusions principales de ces mesures est que la contrainte en tension biaxiale est bien maintenue dans les couches de sSOI 2D, pour des épaisseurs T_{sSi} dans l'intervalle 10 nm-70 nm.

3) Etude de l'impact de l'étape de définition des zones actives

3.1. Structures étudiées

La gravure de la zone active est la première étape du procédé de fabrication des dispositifs MOSFETs susceptible de relaxer la contrainte dans le matériau sSOI. Afin d'étudier son impact par GIXRD, des lignes étroites de différentes largeurs W et longues de 4 mm ont été réalisées à partir des substrats de référence R1, R2 et R3, par lithographie e-beam et gravure sèche. Les largeurs de lignes dessinées par lithographie e-beam sont W_{masque}=50, 100, 200 nm. Pour être adaptés aux mesures GIXRD, les échantillons forment un réseau de lignes de 4 × 4 mm^2, avec un espacement périodique entre les lignes d ≈ 4.5W (cf. figure III.4). Les lignes sont orientées suivant la direction <110>, qui correspond à l'orientation classique du canal des transistors MOSFETs. L'alignement des lignes est défini par la lithographie par rapport à l'orientation de référence du méplat avec une désorientation inférieure à 1°.

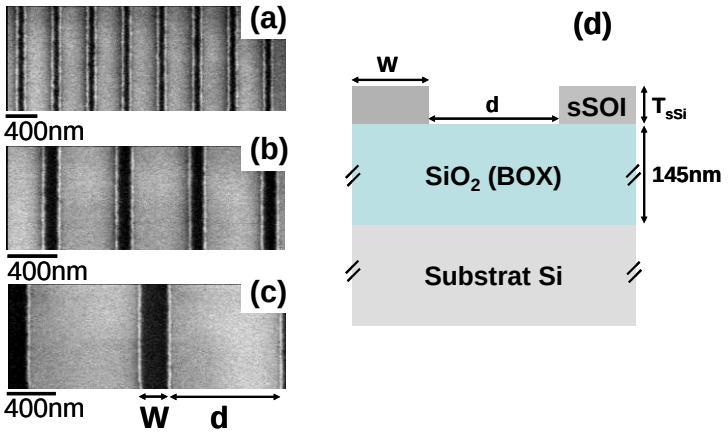

Figure III.4: Photos TEM [(a)-(c), vue de dessus], et schéma [(d), coupe] des lignes de sSOI obtenues par lithographie e-beam et gravure sèche. Les valeurs mesurées de largeur des lignes sont (a) W=79 nm, (b) W=127.5 nm, et (c) W=230 nm.

3.2. Résultats des mesures GIXRD pour les dispositifs PDSOI

Les études rapportées dans cette partie ont été réalisées à partir des échantillons de référence R1 d'épaisseur de SOI T_{sSi}=70 nm, qui correspond à celle de dispositifs PDSOI.

Les réflexions que nous avons mesurées en GIXRD sont celles des plans (220) et (2-20) perpendiculaires à la surface, pour la couche de sSOI et le substrat de silicium (cf. figure III.5).

- Les scans radiaux en (ω,ψ) permettent de mesurer les distances interplanaires d_{Si} (d_{sSi} respectivement) pour le substrat de silicium et la couche de silicium contrainte respectivement. Les scans radiaux dans le plan des réflexions (220) permettent donc de déterminer la déformation $\varepsilon_{sSi,xx}$ (cf. équation II.2) dans la direction des lignes (appelée direction longitudinale, notée x). Les scans radiaux dans le plan des réflexions (2-20) permettent de déterminer la déformation $\varepsilon_{sSi,yy}$ dans la direction perpendiculaire à la direction des lignes (appelée direction latérale, notée y).
- Les scans transverses en ω dans le plan des réflexions (220) permettent de mesurer le facteur de forme des motifs de surface.

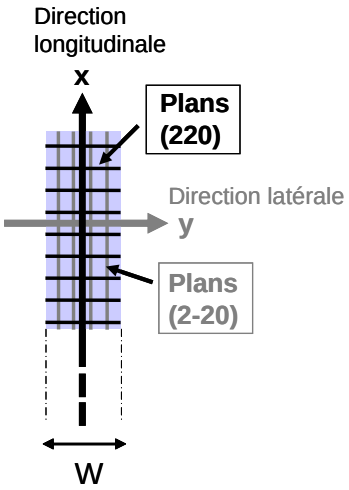

Figure III.5: Plans cristallographiques mesurés en GIXRD et directions correspondantes pour la mesure des déformations.

a) Scans transverses

Les scans transverses permettent de déterminer les dimensions réelles des lignes [Shen93, Shen97]. On remarque sur la figure III.6 que l'allure des scans transverses est différente pour les réflexions (220) et (2-20). Le pic de Bragg présente des oscillations uniquement pour les réflexions (220). Ces oscillations donnent accès aux dimensions de la structure.

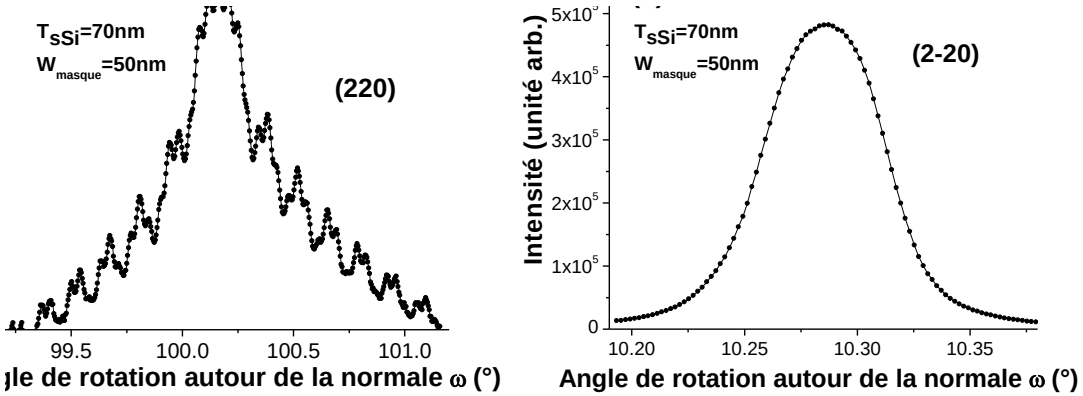

Figure III.6: Scans transverses dans le plan des réflexions (a) (220) et (b) (2-20) pour des lignes de sSOI d'épaisseur 70 nm et de largeur W_{masque}=50 nm.

Pour déterminer les dimensions réelles des structures étudiées à partir des scans transverses, il faut dans un premier temps convertir les angles en transfert de moment. Les scans transverses des réflexions (220) sont représentés sur la figure III.7 pour les échantillons de différentes largeurs de ligne, avec l'intensité mesurée tracée en fonction du transfert de moment Q_y. Les pics de Bragg ont été centrés en 0 sur l'échelle de transfert de moment, afin de pouvoir comparer les courbes correspondant aux structures de dimensions différentes. Le transfert de moment étant une grandeur de l'espace réciproque, les lignes les plus étroites sont celles qui ont les plus grandes périodes d'oscillations.

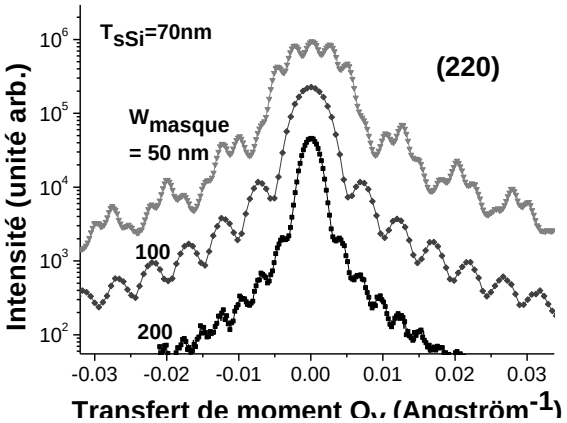

Figure III.7: Scans transverses dans le plan des réflexions (220) pour des lignes de sSOI d'épaisseur 70 nm et de largeur W_{masque}=50, 100, 200 nm.

Les scans transverses permettent d'avoir accès d'une part à la largeur des motifs (facteur de forme), et d'autre part à la périodicité des motifs (facteur de structure). La périodicité de la structure est directement obtenue grâce à la période des petites oscillations. Pour la dimension des motifs, il faut réaliser un ajustement de l'enveloppe des différentes courbes (cf. figures III.9 et III.10). Cet ajustement est réalisé grâce au calcul de l'intensité diffractée [Baumbach99] sous Mathematica^{TM} version 6.0 (cf. calcul en annexe D) dans le cadre de la théorie de diffraction cinématique. On a fait varier W et la pente α des motifs (cf. figure III.8). On a fixé $L = W + d = 5W_{masque}$.

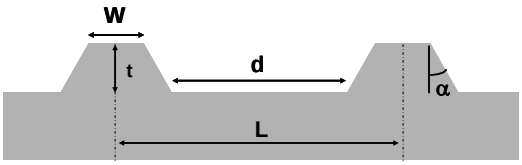

Figure III.8: Motifs périodiques dont on calcule l'intensité diffractée. W, t, et α sont respectivement la largeur, l'épaisseur et la pente des motifs, d est la distance entre les motifs, et L la périodicité de la structure.

L'optimisation de ces ajustements (cf. figures III.9 et III.10) permet de déterminer la largeur réelle des lignes W et l'espacement entre les lignes d. Les dimensions réelles des lignes ainsi obtenues sont résumées dans le tableau III.3.

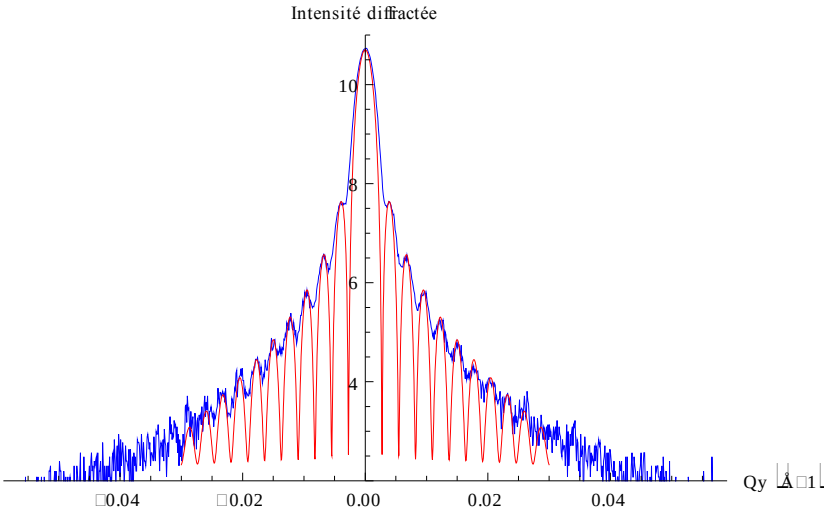

Figure III.9: Exemple d'ajustement de l'enveloppe du scan transverse dans le plan de la réflexion (220) pour des lignes de sSOI d'épaisseur 70 nm et de largeur W_{masque}=200 nm. La longueur d'onde des rayons X est λ=0.10332 nm.

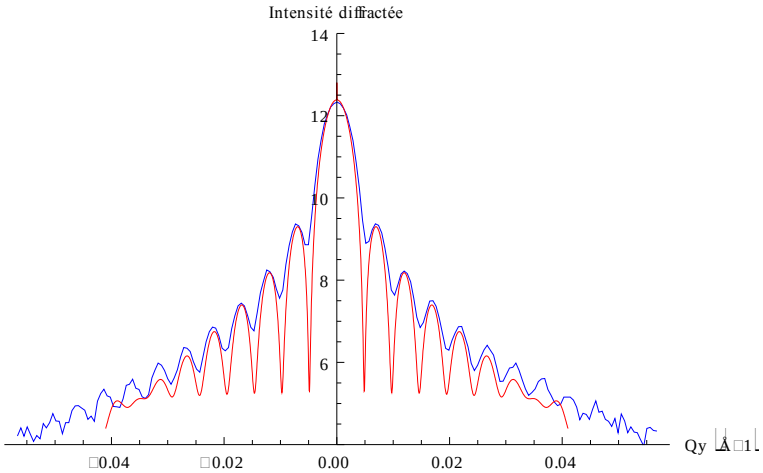

Figure III.10: Exemple d'ajustement de l'enveloppe du scan transverse dans le plan de la réflexion (220) pour des lignes de sSOI d'épaisseur 70 nm et de largeur W_{masque}=100 nm. La longueur d'onde des rayons X est λ=0.10332 nm.

Largeur de ligne W (nm)	Espace entre lignes d (nm)
79	171
127.5	372.5
230	770

Tableau III.3: Dimensions géométriques des lignes gravées à partir de l'échantillon de référence R1, déterminées à partir des scans transverses mesurés en GIXRD. La barre d'erreur sur les mesures est estimée à 0.5 nm.

b) Scans radiaux

Les scans radiaux des réflexions (220) et (2-20) le long et perpendiculairement à la direction des lignes sont représentés sur la figure III.11 pour les différentes largeurs de ligne W. Les pics de Bragg de la référence sSOI R1 et du substrat de silicium sont tracés sur la même figure comme référence.

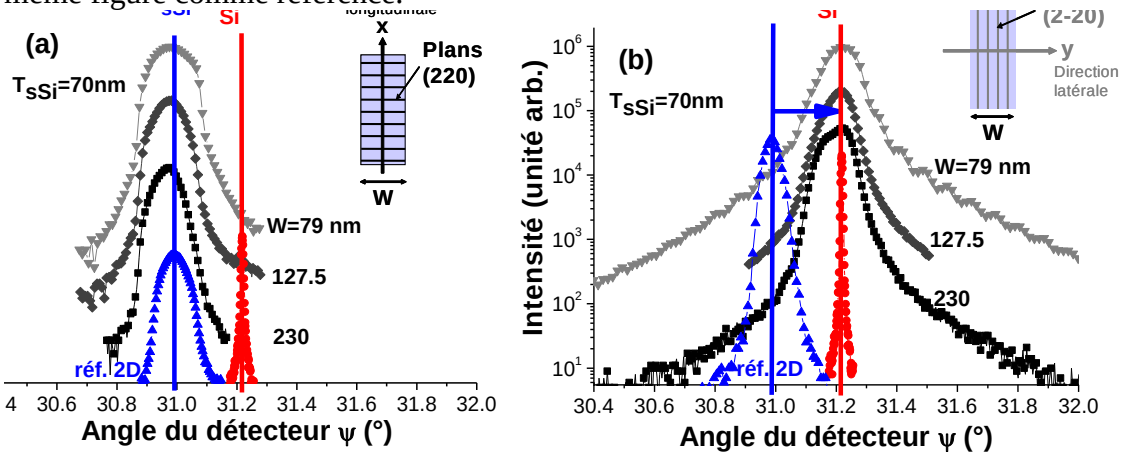

Figure III.11: Scans radiaux dans le plan des réflexions (220) et (2-20) le long (a) et perpendiculairement à la direction des lignes (b) pour des lignes de sSOI d'épaisseur 70 nm et de largeur W (79, 127.5 et 230 nm). Les pics de Bragg de la référence sSOI non gravée et du substrat sont aussi tracés comme références. La longueur d'onde des rayons X est λ=0.10332 nm. Les angles d'incidence sont α_i=0.5° pour le substrat de Si et α_i =0.15° pour la couche de sSOI. Inserts : directions des mesures de déformation et vue de dessus des plans cristallographiques correspondants.

- Dans la direction longitudinale (cf. figure III.11a), les pics de Bragg des lignes de sSOI sont tous à la même position angulaire que la référence sSOI non gravée. **La gravure de la zone active n'entraîne donc pas de relaxation de la déformation dans le sSOI le long des lignes.** De plus, on remarque que le pic de Bragg de la ligne de largeur W=230 nm est légèrement décalé vers les petits angles par rapport à la référence sSOI. Ceci indique une légère surtension par rapport à la référence.
- Dans la direction latérale (cf. figure III.11b), les pics de Bragg des lignes de sSOI ne se situent plus à la même position angulaire que la référence sSOI, mais à la position du substrat de silicium. **La déformation s'est donc totalement relaxée suivant la largeur des lignes lors de la gravure, quelle que soit la largeur des lignes (dans l'intervalle 80-230 nm).** Cette relaxation peut s'expliquer par l'apparition de deux nouvelles surfaces libres pour les lignes après la gravure, qui forcent les composantes de la contrainte perpendiculaire aux surfaces à être nulles. Cette interprétation sera discutée grâce à des résultats de simulations mécaniques par éléments finis dans la partie 3.5. Cet effet n'est pas visible dans notre cas dans l'autre direction à cause de la longueur millimétrique des lignes.

Des effets similaires ont déjà été observés. Pour des nanostructures sSOI de forme carrée[14] (longueur L égale à largeur W de la couche de sSOI) de 60 nm d'épaisseur et pour une déformation initiale dans le plan de l'échantillon sSOI 2D de 0.59 %, Moutanabbir et al. [Moutanab09] ont montré par des mesures en spectroscopie Raman une relaxation complète de la contrainte du sSOI pour L=W=80 nm, et 73% de relaxation de la déformation initiale dans le plan pour L=W=200 nm.

Himcinschi et al. [Himcinschi07] ont mesuré par spectroscopie Raman l'évolution de la déformation en fonction du diamètre dans des piliers de dimensions nanométriques de Si contraint sur des substrats virtuels à base de SiGe, avec une déformation initiale de la couche de silicium 2D de 0.9%. Ils ont montré que plus le diamètre des nanostructures est petit, plus la relaxation de la déformation est importante. Pour des nanostructures de 500 nm de diamètre, ils ont mesuré que 37% de la déformation initiale est relaxée, tandis que cette valeur s'élève à 75% pour un diamètre de 100 nm.

Nous venons de démontrer que la contrainte de lignes sSOI d'épaisseur T_{sSi}=70 nm se relaxe totalement dans la direction latérale lors de la gravure, pour des largeurs de ligne W dans l'intervalle 80-230 nm. La contrainte est maintenue dans la direction longitudinale, dû à la longueur millimétrique des lignes.

3.3. Résultats des mesures GIXRD pour les dispositifs FDSOI

Les structures étudiées se distinguent des structures précédentes par une épaisseur de couche contrainte plus faible (T_{sSi}=10 nm), qui correspond à celle des dispositifs FDSOI. Les lignes ont été obtenues à partir des substrats sSOI de référence R2 et des substrats XsSOI de référence R3. Les dimensions réelles des lignes ont été déterminées comme précédemment à partir des scans transverses des mesures GIXRD et sont récapitulées dans le tableau III.4 pour les substrats sSOI et XsSOI.

[14] Dans des nanostructures carrées, il n'est pas nécessaire de coupler les mesures en spectroscopie Raman avec des simulations mécaniques par éléments finis, car la contrainte est toujours biaxiale comme dans les références 2D.

Echantillon 2D de référence	Largeur de ligne W (nm)	Espace entre lignes d (nm)
R2 (sSOI)	77	173
	129.5	370.5
	231	769
R3 (XsSOI)	62	188
	112.5	387.5
	215	785

Tableau III.4: Dimensions géométriques des lignes gravées à partir des échantillons de référence R2 et R3. La largeur des lignes W et la distance entre les lignes d ont été déterminées à partir des scans transverses mesurés en GIXRD. La barre d'erreur sur les mesures est estimée à 0.5 nm.

a) Cas des lignes sSOI

Les scans radiaux des réflexions (220) et (2-20) sont représentés sur la figure III.12 pour les lignes sSOI de différentes largeurs et d'épaisseur T_{sSi}=10 nm.

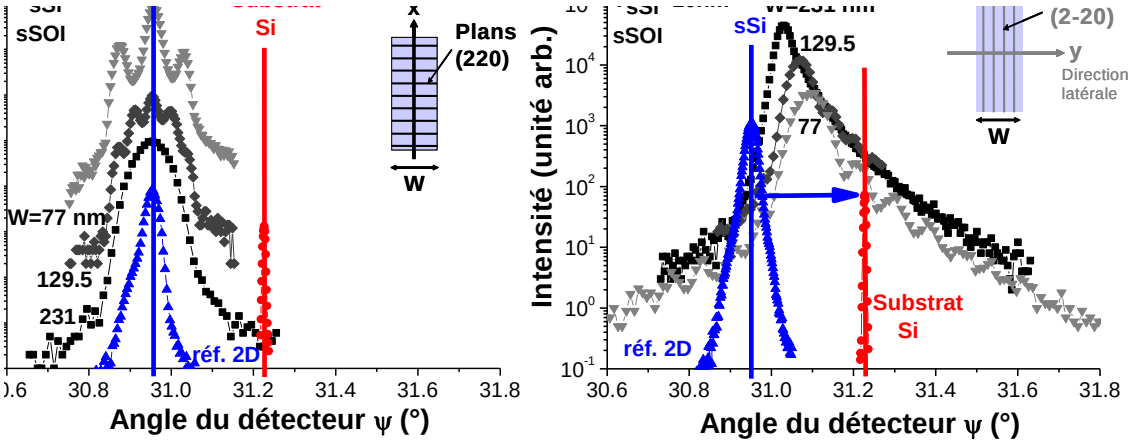

Figure III.12: Scans radiaux dans le plan des réflexions (220) et (2-20) le long (a) et perpendiculairement à la direction des lignes (b) pour des lignes de sSOI d'épaisseur 10 nm et de différentes largeurs W. Les conditions expérimentales sont les mêmes que celles de la figure III.11.

Dans la direction longitudinale (cf. figure III.12a), comme dans le cas des lignes plus épaisses, il n'y a pas de relaxation de la déformation[15]. Dans la direction latérale (cf. figure III.12b), la déformation de la couche de sSOI se relaxe d'autant plus que les lignes sont étroites. Cependant, contrairement au cas des lignes de 70 nm d'épaisseur, cette relaxation n'est pas totale. De plus, les pics de Bragg de la couche sSOI ont une forme asymétrique. Ceci peut s'expliquer par la relaxation non uniforme de la contrainte dans la direction latérale. Nous tenterons d'expliquer cette interprétation par des simulations mécaniques par éléments finis dans la partie 3.5.

[15] Les oscillations visibles sur la figure III.12a sont dues à la fonction de résolution qui intercepte les ordres supérieurs des pics de Bragg.

Les déformations moyennes dans le plan ont été calculées à partir de l'équation II.2 du chapitre II et des résultats de la figure III.12, dans la direction longitudinale ($\varepsilon_{sSi,xx}$) et la direction latérale ($\varepsilon_{sSi,yy}$). Ces valeurs ont été tracées sur la figure III.13 en fonction de la largeur des lignes, et comparées aux valeurs obtenues pour les lignes sSOI d'épaisseur T_{sSi}=70nm (à partir des résultats de la figure III.11). Les valeurs de déformation isotrope des échantillons 2D de référence (R1 et R2) sont indiquées sur la même figure.

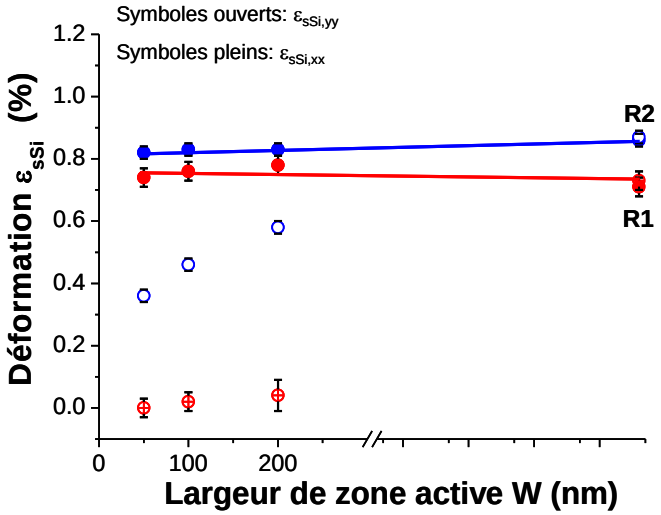

Figure III.13: Déformations dans le plan calculées à partir des figures III.11 et III.12 en fonction de la largeur W de la ligne de sSOI, dans la direction longitudinale (symboles pleins) et latérale (symboles ouverts). Les lignes de sSOI correspondent aux références R1 et R2, avec des épaisseurs respectives de 70 nm et 10 nm.

Le long des lignes, la déformation est maintenue pour les deux épaisseurs de sSOI, même pour les lignes les plus étroites. Perpendiculairement aux lignes, la déformation des lignes épaisses (T_{sSi}=70 nm) est totalement relaxée quelle que soit la largeur des lignes. Par contre, pour les lignes plus fines (T_{sSi}=10 nm), une valeur importante de déformation est maintenue, même pour les lignes les plus étroites. La valeur de la déformation décroit de $\varepsilon_{sSi,yy}$=0.58 % pour W=231 nm à $\varepsilon_{sSi,yy}$ =0.36 % pour W=77 nm (la valeur de déformation de la référence R2 étant 0.86 %).

Ces résultats montrent que la relaxation de la contrainte perpendiculairement aux lignes induite par la gravure est moins importante pour les couches de sSOI fines que pour les couches épaisses. Ceci peut s'expliquer par le fait qu'une grande partie de la couche est encore contrainte par la condition aux limites à l'interface sSOI/BOX dans le cas des couches fines de sSOI, ce qui empêche les surfaces libres de relaxer fortement le centre de l'échantillon. Nous tenterons aussi d'expliquer cette interprétation dans la partie 3.5.

b) <u>Cas des lignes XsSOI</u>

Un moyen d'obtenir un niveau de contrainte résiduelle plus élevé dans les structures les plus étroites est d'augmenter le niveau initial de contrainte dans la couche de sSOI. Nous allons donc comparer ces résultats aux mesures GIXRD de la déformation dans des lignes de XsSOI, issues de la référence R3 (substrat XsSOI de déformation isotrope dans le plan ε=1.16%).

Les scans radiaux des réflexions (220) et (2-20) sont représentés sur la figure III.14 pour les lignes XsSOI de différentes largeurs et d'épaisseur T_{sSi}=10 nm. Comme pour les lignes sSOI de même épaisseur, la déformation est maintenue dans la direction longitudinale,

tandis qu'elle se relaxe dans la direction latérale (d'autant plus que les lignes sont étroites). Comme précédemment, la forme asymétrique des pics de Bragg de la couche de XsSOI dans la direction transverse peut s'expliquer par une relaxation non uniforme de la déformation dans cette direction.

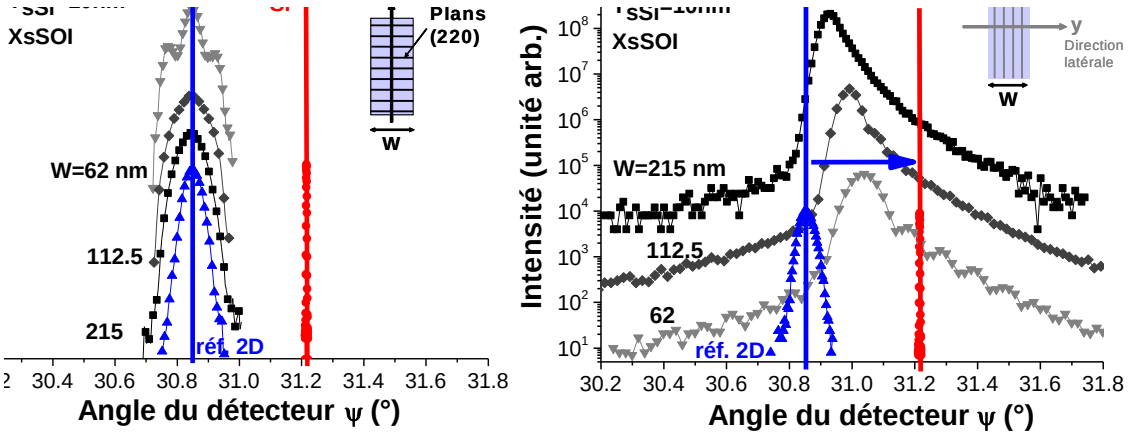

Figure III.14: Scans radiaux dans le plan des réflexions (220) et (2-20) le long (a) et perpendiculairement à la direction des lignes (b) pour des lignes de XsSOI d'épaisseur 10 nm et de différentes largeurs W. Les conditions expérimentales sont les mêmes que celles de la figure III.11.

Afin de comparer les valeurs de déformations résiduelles dans la direction latérale dans le cas des lignes sSOI et XsSOI, les déformations moyennes dans le plan ont été calculées à partir des résultats de la figure III.14. Ces valeurs sont résumées sur la figure III.15 en fonction de la largeur des lignes et comparées au cas des lignes sSOI de même épaisseur.

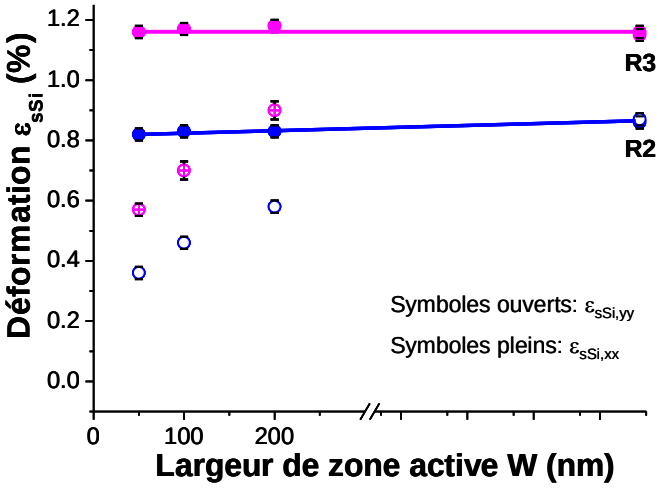

Figure III.15: Déformations moyennes dans le plan calculées à partir des figures III.12 et III.14 en fonction de la largeur W des lignes de SOI contraint, dans la direction longitudinale (symboles pleins) et latérale (symboles ouverts). Les lignes de SOI correspondent aux références R2 (sSOI) et R3 (XsSOI) d'épaisseur de couche active de 10 nm.

Une forte anisotropie de la relaxation est à nouveau observée, et les tendances de la relaxation des déformations sont très similaires entre les deux séries d'échantillons. Quantitativement, le rapport de déformation entre les échantillons de référence R2 et R3 est 1.3, contre 0.57/0.36≈1.6 pour les lignes les plus étroites (W=62 nm). Ceci signifie que la différence de déformation initiale entre les deux substrats est pratiquement conservée jusqu'à des lignes de 60 nm de large.

Nous avons montré que l'étape de gravure des zones actives relaxe la déformation pour des dimensions de zones actives inférieures à quelques centaines de nanomètres. Pour des lignes de sSOI longues (L_{ac}~4 mm) et étroites (W < 250 nm), nous avons montré que la contrainte initiale en tension biaxiale du sSOI (cf. figure III.16a) est maintenue dans la direction de L_{ac}, et se relaxe dans la direction de W (cf. figure III.16b).

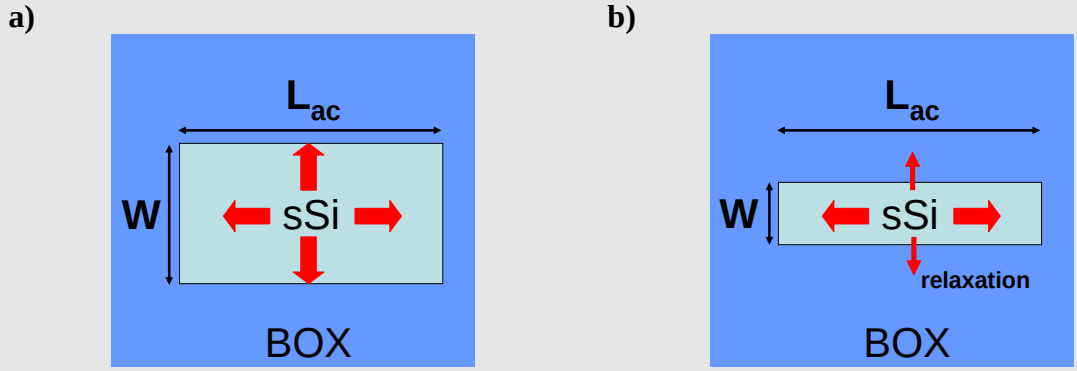

Figure III.16: Schéma vu de dessus des types de contrainte dans la zone active en sSOI en fonction de ses dimensions (longueur L_{ac} et largeur W). a) Pour W et L_{ac} grands, la contrainte du sSOI est en tension biaxiale, comme pour le matériau 2D. b) Pour W étroit et L_{ac} grand, la contrainte se relaxe dans la direction de W et est maintenue dans la direction de L_{ac}.

Nous avons étudié l'influence de l'épaisseur de la couche de sSOI, de la largeur de zone active, et du niveau de contrainte initiale de la couche de sSOI 2D.

Les principales conclusions de ces études sont :

i. La relaxation augmente avec l'épaisseur des lignes de sSOI[16].
ii. La relaxation augmente avec la diminution de la largeur des lignes de sSOI[17].
iii. Une couche de sSOI avec une contrainte initiale plus élevée permet de maintenir une valeur de déformation latérale plus élevée à largeur et épaisseur de ligne fixée.

Pour résumer les conclusions technologiques de cette étude, la contrainte optimale dans les structures les plus étroites est obtenue pour des épaisseurs de couche active faibles (10 nm par exemple plutôt que 70 nm) avec un niveau initial de déformation de la couche 2D élevé (par exemple 1.16% plutôt que 0.86%). Ces conclusions favorisent l'utilisation des substrats sSOI pour les applications FDSOI plutôt que pour les applications PDSOI.

3.4. Comparaison avec d'autres études

Nos mesures de déformations en GIXRD de lignes sSOI de longueur millimétrique et de largeur nanométrique peuvent être comparées à des mesures en spectroscopie Raman de lignes sSOI longues, de largeur W=90 nm, d'épaisseur T_{sSi}=30 nm et avec une déformation initiale ε_0 de la couche sSOI 2D de 1% [Lei05]. Les mesures Raman ne donnant accès qu'à la somme $\varepsilon_{xx}+\varepsilon_{yy}$ des déformations latérale ε_{yy} et longitudinale ε_{xx}, ces mesures ont été couplées par Lei et al. à des simulations mécaniques 3D par éléments finis pour déterminer ε_{xx} et ε_{yy}. La comparaison entre nos mesures et celles de [Lei05] est réalisée sur la figure III.17. Les déformations moyennes longitudinale et latérale ont été normalisées par la déformation moyenne ε_0 sur l'épaisseur de la couche sSOI 2D, mesurée pour chaque échantillon (cf. tableau III.2 pour les mesures GIXRD), pour pouvoir comparer les différentes mesures entre elles.

[16] Nous verrons dans le paragraphe 3.5.b) que c'est le rapport d'aspect (défini par le rapport de la largeur sur l'épaisseur des lignes) qui a une influence sur la relaxation.
[17] Même remarque que précédemment.

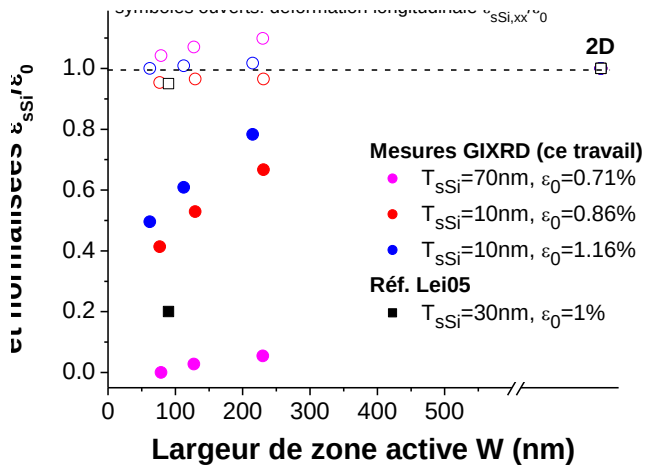

Figure III.17: Déformations longitudinales et latérales moyennes dans des lignes sSOI en fonction de la largeur W. Les valeurs ont été normalisées par la moyenne ε_0 sur l'épaisseur du film de la déformation dans le plan $\varepsilon_{xx}=\varepsilon_{yy}$ des échantillons 2D, mesurée expérimentalement. Les mesures GIXRD de cette étude sont comparées à celles de [Lei05].

Nos mesures peuvent également être comparées à celles de Moutanabbir et al. réalisées par spectroscopie Raman sur des zones actives de géométrie carrée de type sSOI. La spectroscopie Raman est confrontée à des difficultés pour la caractérisation des nanostructures à base de sSOI à cause du BOX qui est transparent aux rayons laser, ce qui conduit à un bruit de fond important venant du substrat et limite la sensibilité de la technique. C'est pour cette raison que les mesures de Moutanabbir et al. pour les nanostructures sSOI de 15 nm d'épaisseur [Moutanab10a] ont été réalisées sur des échantillons sSOI avec une couche intermédiaire de Ge entre le BOX et le substrat de Si. Les nanostructures sSOI de 60 nm d'épaisseur [Moutanab09] sont classiques.

Les résultats des mesures par spectroscopie Raman de zones actives de type sSOI de géométrie carrée ont été comparés à titre indicatif à nos mesures GIXRD de lignes de sSOI sur la figure III.18. Cette figure montre un bon accord entre nos mesures et celles de [Moutanab10a] pour les échantillons de 10 nm et 15 nm d'épaisseur respectivement. Par contre, ils ont mesuré moins de relaxation pour l'échantillon sSOI carré d'épaisseur 60 nm de 200 nm de côté que pour nos lignes sSOI d'épaisseur 70 nm de 230 nm de largeur.

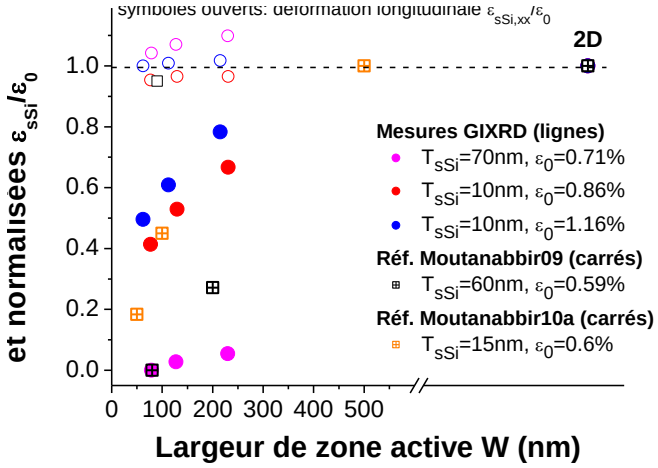

Figure III.18: Déformations longitudinales et latérales moyennes et normalisées par ε_0 (mesurée expérimentalement), dans des lignes et des carrés de sSOI en fonction de la largeur W. Les mesures GIXRD de cette étude sont comparées à celles de [Moutanab09] et [Moutanab10a].

Nos mesures GIXRD donnent la valeur moyenne de la déformation sur l'épaisseur totale de la couche de sSOI. Or, le transport des porteurs a lieu près de l'interface avec l'oxyde de grille. Il est donc intéressant de pouvoir mesurer la valeur de la déformation dans différentes zones d'épaisseur de la couche de sSOI. C'est ce qu'ont fait Moutanabbir et al. en utilisant différentes longueurs d'onde de rayonnement laser [Moutanab10a], permettant de déterminer la valeur moyenne de la déformation dans différentes zones d'épaisseur de la couche de sSOI.

Nous avons montré que la technique GIXRD est particulièrement bien adaptée à la mesure de déformations dans des nanostructures à base de sSOI car elle permet de déterminer directement et entièrement le tenseur des déformations, avec une grande précision. Ses principaux inconvénients résident dans l'utilisation d'un rayonnement synchrotron pour garantir des acquisitions rapides des données, et l'obtention de données statistiques sur un ensemble d'objets.

Nous avons mesuré des réseaux périodiques de lignes longues et de largeur nanométrique, ce qui nous a permis de mettre en évidence des phénomènes d'anisotropie de la relaxation. Il serait intéressant de poursuivre cette étude de mesure de déformation en GIXRD sur des rectangles de sSOI de dimensions nanométriques, qui correspondent à la zone active de dispositifs MOSFETs de l'état de l'art. Des mesures en spectroscopie Raman ont déjà été réalisées [Moutanab09, Moutanab10a], mais ces mesures donnent seulement accès de manière directe à la somme des déformations dans le plan $\varepsilon_{xx}+\varepsilon_{yy}$. Or, il est important de déterminer ε_{xx} et ε_{yy} séparément pour connaître le niveau de déformation maintenu dans les deux directions x et y qui, par les règles de dessin, correspondront à la direction du transport et à la direction perpendiculaire au transport.

Les mesures GIXRD permettent de déterminer directement et sans ambiguïté ε_{xx} et ε_{yy}. Nous pourrions mesurer grâce à des mesures GIXRD de nanostructures rectangulaires à base de sSOI, quel pourcentage de la déformation initiale de la couche sSOI 2D est maintenu après l'étape de définition des zones actives dans les deux directions, pour des dimensions de zone active données. Dans le cas de films épais pour les applications PDSOI, Moutanabbir et al. [Moutanab09] ont montré que la déformation moyenne est complètement relaxée pour des nanostructures à base de sSOI (de déformation initiale 0.6%) d'épaisseur 60 nm et de dimensions inférieures à 100 nm. Il faudrait donc focaliser l'étude sur des films minces de sSOI (épaisseur inférieure à 10 nm) et de déformation initiale plus élevée pour lesquels la contrainte a plus de chances d'être maintenue dans des nanostrutures nanométriques.

Afin de mieux comprendre les mécanismes de la relaxation et d'interpréter les phénomènes observés jusqu'à présent, nous allons confronter nos résultats expérimentaux à des calculs mécaniques par éléments finis et à un modèle analytique.

3.5. Simulations mécaniques par éléments finis et modèle analytique : Confrontation avec les résultats expérimentaux et compréhension des mécanismes de relaxation

a) Simulations mécaniques par éléments finis

Les simulations mécaniques par éléments finis réalisées au cours de ce travail de thèse ont pour but de mieux comprendre les mécanismes de relaxation observés expérimentalement dans nos échantillons. Après comparaison avec les résultats expérimentaux, elles permettent aussi de prévoir des points expérimentaux non mesurés. La méthode des éléments finis est une méthode de résolution d'équations aux dérivées partielles qui traduisent :

- l'équilibre de la structure

- la loi de comportement du matériau constitutif de la structure
- les conditions aux limites (restrictions en déplacements dus à des points d'appuis par exemple, efforts appliqués à la structure …).

Les simulations mécaniques présentées dans ce mémoire ont été réalisées avec le logiciel[18] ANSYS®. ANSYS® est un logiciel de modélisation par éléments finis qui permet d'effectuer principalement des calculs mécaniques, mais qui est également utilisé pour des calculs de thermique, d'électromagnétisme et de fluidique. Dans notre cas, nous avons utilisé les modèles mécaniques du logiciel. Il existe d'autres logiciels de modélisation par éléments finis comme COMSOL® ou CAST3M®. Dans notre cas, nous voulons calculer les champs de déformation et de contrainte dans les dispositifs que nous avons mesurés expérimentalement. L'équation aux dérivées partielles résolue par le logiciel ANSYS® est une équation ayant pour variable les déplacements dans le dispositif.

Des calculs par éléments finis ont déjà été réalisés dans la littérature pour simuler l'apparition de contraintes mécaniques dans des composants formés de réseaux de lignes [Jain95, Harker95, Jain96].

Les simulations mécaniques par éléments finis présentées dans ce mémoire ont été réalisées en 2D. Nous avons simulé une coupe du dispositif dans le plan (y,z). Nous nous sommes placés dans des conditions de déformation plane (ε_{xx}=0), car la longueur de zone active est très grande devant la largeur de zone active. Cette configuration correspond bien aux lignes de sSOI mesurées expérimentalement, car ces lignes sont de longueur millimétrique. L'hypothèse de déformation plane dans le plan (y,z) est donc valable[19].

Les hypothèses simplificatrices utilisées dans notre cas sont :

- déformations planes
- couplage de la contrainte dans le substrat à la contrainte dans le film.

Nous avons choisi de simuler uniquement la moitié de la structure car la structure est symétrique (cf. figure III.19). On gagne ainsi en temps de calcul, surtout pour l'étape de définition du maillage. Des tests ont été réalisés avec différentes épaisseurs du substrat. On a pu montrer qu'il n'est pas nécessaire de simuler toute l'épaisseur du substrat, ce qui fait aussi gagner en temps de calcul. En pratique, l'épaisseur de substrat prise en compte est $t_{Substrat}$=200 nm.

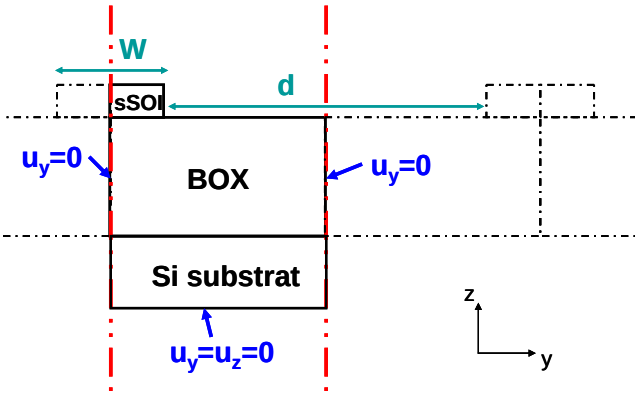

Figure III.19: Structure simulée (délimitée par les pointillés rouges) correspondant aux échantillons mesurés en GIXRD.

[18] La version utilisée est la version 11.0.

[19] Dans les calculs réalisés, nous imposons un chargement en déformation via une température de référence. Pour une ligne dont la section simulée est dans le plan (y,z), on impose donc selon x une déformation ε_{xx} constante, uniforme et égale à $\alpha.\Delta T$. Il n'y a donc pas de correction à apporter pour adapter la définition usuelle des « déformations planes ».

L'épaisseur de la couche de Si active et du BOX sont respectivement t_{Si}=9 nm et t_{BOX}=145 nm. Les valeurs de W et d prises en compte sont celles mesurées en GIXRD (cf. tableaux III.3 et III.4).

Pour chaque matériau de la structure, il faut définir son module d'Young E, coefficient de Poisson ν et coefficient de dilatation thermique α (cf. tableau III.5). Les lignes de sSOI étant orientées dans la direction [110], nous avons considéré les valeurs des constantes élastiques du silicium dans cette direction (cf. tableau 2 en annexe A).

Matériau	**Module d'Young E (GPa)**	**Coefficient de Poisson ν**	**Coefficient de dilatation thermique α (10^{-6} °C^{-1})**
Si, direction [110]	170	0.07 [20]	2.6
SiO_2 (BOX)	66	0.17	0.5

Tableau III.5: Valeurs des coefficients élastiques du silicium et du BOX prises en compte dans cette étude.

Les contraintes intrinsèques dans les différents matériaux sont introduites via des températures de référence différentes pour les différents matériaux définis. En effet, on peut simuler une température virtuelle de dépôt T_{calc} (ou température de chargement thermique) qui permet d'avoir la contrainte choisie selon la formule :

$$T_{calc} = \frac{1}{\alpha} - \frac{1-\nu}{E}\sigma_i \qquad \textbf{Equation III.2}$$

σ_i étant la contrainte intrinsèque définie par l'utilisateur dans le fichier de commandes et fondée sur des résultats expérimentaux.

Cette formule s'obtient en égalant les équations de dilatation thermique et de la loi de Hooke, dans le cas où le film homogène a un comportement élastique et isotrope (cf. chapitre I):

$$\alpha\,(T_{ref} - T_{calc}) = \frac{1-\nu}{E}\sigma_i \qquad \textbf{Equation III.3}$$

où T_{ref} est la température de référence, égale à 0 dans ANSYS®.

C'est grâce à cette température de chargement thermique qu'on introduit dans le modèle la contrainte initiale dans la ligne de sSOI. Les valeurs σ_i sont les valeurs calculées à partir des mesures GIXRD des échantillons sSOI 2D (cf. tableau III.2).

Les conditions aux limites sont appliquées aux frontières de la structure sur les déplacements. La structure étant symétrique, les frontières verticales du BOX sont encastrées, et donc sur ces lignes u_y=0. Le substrat de silicium étant rigide, u_y=u_z=0 sur la frontière horizontale du substrat (cf. figure III.19).

Résultats

Les profils 2D de la déformation latérale ε_{yy} et de la composante σ_{yy} sont tracés sur les figures III.20 et III.21 respectivement, pour des lignes sSOI d'épaisseur 9 nm, de largeur W=77nm et de déformation initiale de la couche sSOI 2D ε_0=0.86%. On voit bien sur ces figures la relaxation de la contrainte à partir des surfaces libres de la couche de sSOI (zones

[20] Le coefficient de Poisson est très dépendant de l'orientation cristallographique (cf. annexe A), mais sa valeur influe peu sur la valeur de la déformation.

bleues de la couche de sSOI). On remarque aussi que cette relaxation s'accompagne d'une légère mise en compression du BOX sous la couche de sSOI, et d'une zone de tension dans le BOX sous la zone gravée. On remarque sur ces figures que la relaxation de la contrainte n'est pas uniforme suivant la direction y, ni sur l'épaisseur de la couche de sSOI. La contrainte est maintenue près de l'interface BOX/sSOI.

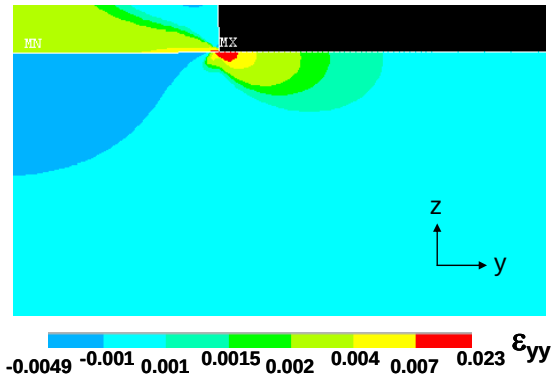

Figure III.20: Déformation latérale ε_{yy} dans une ligne sSOI d'épaisseur 9 nm, de largeur W=77nm et de déformation initiale de la couche sSOI 2D ε_0=0.86%.

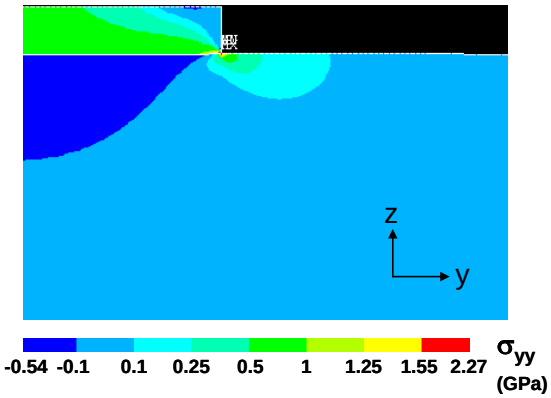

Figure III.21: Contrainte σ_{yy} dans une ligne sSOI d'épaisseur 9 nm, de largeur W=77nm et de contrainte initiale de la couche sSOI 2D σ_0=1.55 GPa.

Pour des lignes sSOI (ε_0=0.86%) de même épaisseur 9 nm et de largeur plus élevée W=231 nm, les profils 2D de la déformation latérale ε_{yy} sont tracés sur la figure III.22. On remarque que la zone centrale de la ligne de sSOI est moins relaxée que pour les lignes plus étroites.

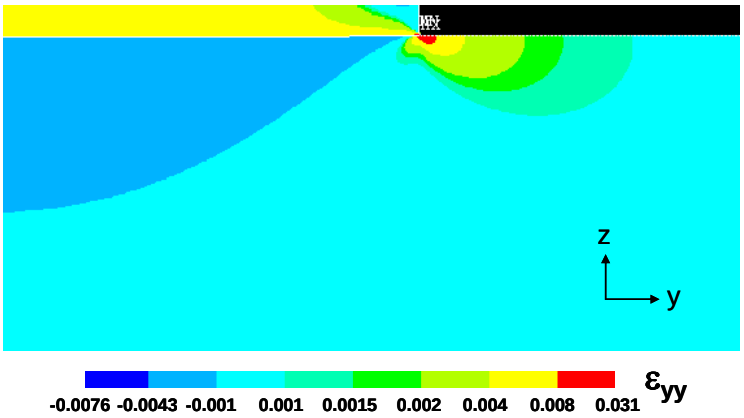

Figure III.22: Déformation latérale ε_{yy} dans une ligne sSOI d'épaisseur 9 nm, de largeur W=231nm et de déformation initiale de la couche sSOI 2D ε_0=0.86%.

Les profils de la déformation latérale ε_{yy} à une distance proche du sommet de la ligne de sSOI (T_{sSi}=10 nm, ε_0=0.83%) sont tracés sur la figure III.23 pour différentes largeurs de ligne W dans l'intervalle 80 nm-800 nm. On remarque sur cette figure que les effets de bord influencent le niveau de déformation sur toute la largeur de la ligne, lorsque la largeur de la ligne est inférieure à une centaine de nanomètres. Sinon, ce sont surtout les régions proches des bords de la ligne qui sont influencées par la relaxation. Pour les lignes les plus étroites (W=50 nm), on remarque que la région proche du sommet de la ligne est même en légère compression. Cet effet a été mesuré pour la première fois par spectroscopie Raman dans [Moutanab10a].

L'influence de la surgravure du BOX a aussi été étudiée. Les profils de déformation ε_{yy} pour une surgravure du BOX de 5 nm sont tracés sur la figure III.24 et comparés au cas

sans surgravure, pour différentes largeurs de ligne W. Cette figure montre que la relaxation de la contrainte est facilitée par la surgravure du BOX.

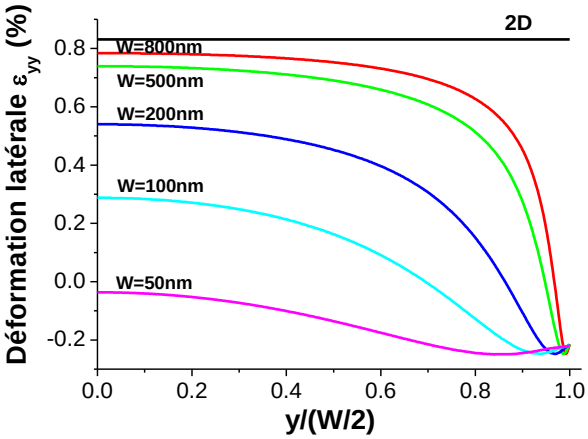

Figure III.23: Profils de la déformation latérale ε_{yy} près du sommet de la ligne de sSOI (T_{sSi}=10 nm, ε_0=0.83%) pour différentes largeurs de ligne W.

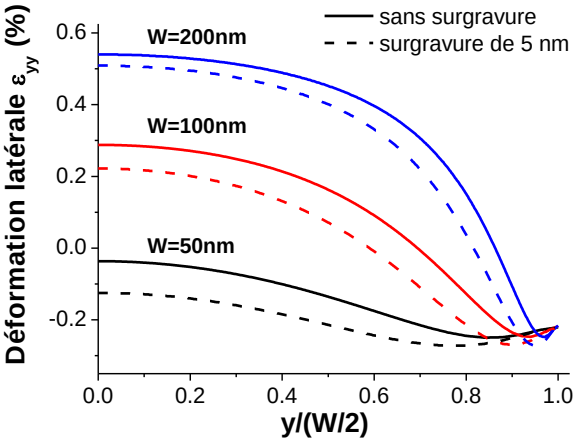

Figure III.24: Profils de la déformation latérale ε_{yy} à une distance proche du sommet de la ligne de sSOI (T_{sSi}=10 nm, ε_0=0.83%), pour différentes largeurs de lignes W, avec une surgravure du BOX de 5 nm ou sans surgravure.

Nous avons comparé les résultats des mesures GIXRD de la déformation latérale ε_{yy} moyenne sur l'épaisseur et la largeur de la couche de sSOI avec les résultats des simulations mécaniques par éléments finis, pour les lignes sSOI correspondant aux références R2 (sSOI, T_{sSi}=10 nm) et R3 (XsSOI, T_{sSi}=10 nm). Les résultats sont tracés sur la figure III.25 en fonction de la largeur de zone active W.

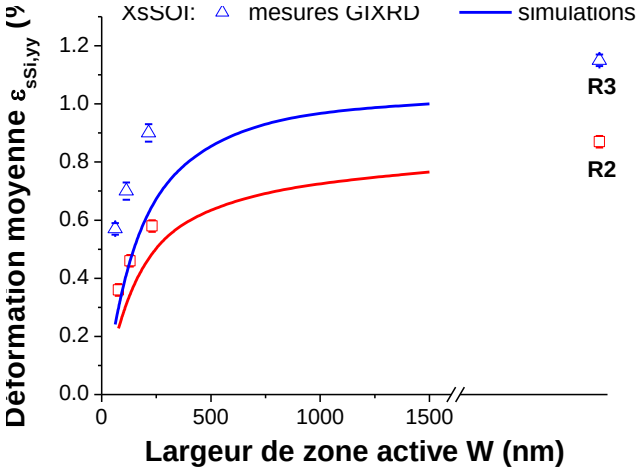

Figure III.25: Comparaison entre les valeurs mesurées et les valeurs obtenues à partir des simulations mécaniques par éléments finis des déformations moyennes dans le plan dans la direction transverse en fonction de la largeur W des lignes de SOI contraint. Les lignes de SOI correspondent aux références R2 (sSOI) et R3 (XsSOI) d'épaisseur de couche active de 10 nm.

Les tendances générales en fonction de la largeur de zone active sont bien décrites par les simulations. Cependant, on remarque que les simulations mécaniques par éléments finis surestiment la relaxation. Cet effet pourrait être dû à la façon dont la contrainte initiale en tension biaxiale de la couche de sSOI a été introduite dans le modèle. En effet, nous avons utilisé une température de chargement thermique, alors que contrainte initiale dans la couche de sSOI 2D est d'origine épitaxiale. De plus, nous avons introduit la contrainte initiale de la couche de sSOI de manière uniforme sur toute l'épaisseur de la couche. Or, il se peut qu'il y

ait un profil de déformation suivant l'épaisseur de la couche de sSOI 2D dû au procédé de fabrication.

Les simulations mécaniques par éléments finis permettent de mieux comprendre les mécanismes de la relaxation. Dans la partie suivante, nous allons présenter un modèle analytique qui permet de prédire de façon simple la contrainte moyenne dans un film de largeur W et d'épaisseur T_{sSi}.

b) Modèle analytique de Hu

Le modèle analytique de Hu [Hu79, Hu91] a été utilisé dans le cas des composants de la microélectronique pour simuler l'apparition de contraintes mécaniques dans des composants formés de réseaux de lignes. Ce modèle considère un dépôt pleine plaque dont la contrainte σ_0 est uniforme dans le plan (directions x et y), et nulle dans la direction z. C'est le cas d'un dépôt d'épaisseur très faible devant celle du substrat. La gravure de ce dépôt créé des bords libres, qui vont causer la relaxation de la contrainte dans les directions x et y.

L'effet du bord est assimilé à une distribution de force linéique F_x, dans la direction x à l'interface substrat-dépôt, telle que :

$$\frac{\partial F_x}{\partial x} = h\frac{\partial \sigma_{f,x}}{\partial x} \qquad \textbf{Equation III.4}$$

avec $\sigma_{f,x}$ la contrainte dans le film dans la direction x et h l'épaisseur du film.

Ce modèle analytique considère les hypothèses générales de :

- déformations planes dans des milieux élastiques et isotropes
- couplage de la contrainte dans le substrat à la contrainte dans le film
- contrainte constante sur l'épaisseur du film.

Il est possible de simuler grâce à ce modèle les profils de contrainte dans une ligne de Si contraint d'épaisseur T_{sSi} et de largeur W. La contrainte dans la ligne $\sigma_{sSi,xx}$ est couplée à la contrainte dans le substrat $\sigma_{subst,xx}$ par la relation :

$$\sigma_{subst,xx} = K.(\sigma_{sSi,xx} - \sigma_0) \qquad \textbf{Equation III.5}$$

où K est une fonction du module d'Young et du coefficient de Poisson du film (E_{sSi} et ν_{sSi}) et du substrat (E_{subst} et ν_{subst}) :

$$K = \frac{E_{subst}}{E_{sSi}}\frac{1-\nu_{sSi}^2}{1-\nu_{subst}^2} \qquad \textbf{Equation III.6}$$

K est inférieur à 1 si la rigidité du substrat est inférieure à celle du film.

Le modèle de Hu utilise alors l'équation intégrale suivante [Hu79]:

$$\frac{\sigma_{sSi,xx}(x)}{\sigma_0} = 1 - \frac{2T_{sSi}}{\pi K \sigma_0}\int_{-W/2}^{W/2}\frac{\partial \sigma_{sSi,xx}(u)}{\partial u}\frac{du}{x-u} \qquad \textbf{Equation III.7}$$

En résolvant l'équation III.7 par une méthode numérique, Loubens et al. [Loubens03] ont montré que le profil de contrainte moyenne selon x est donné par :

$$\frac{<\sigma_{sSi}>}{\sigma_0} = \frac{X}{X+a}, \quad \text{avec} \quad X = \frac{KW}{T_{sSi}} \quad \text{et} \quad a=5.545.$$

En utilisant le paramètre réduit $X = KW/T_{sSi}$, le modèle de Hu permet de tracer une courbe unique pour la prévision de la contrainte moyenne dans un film de largueur W et d'épaisseur T_{sSi}.

Les valeurs expérimentales de $<\sigma_{sSi}>/\sigma_0$ dans la direction latérale, calculées à partir des mesures de déformation en GIXRD et de la loi de Hooke avec les coefficients élastiques <110> (cf. équation et valeurs en annexe A) sont comparées sur la figure III.26 aux valeurs calculées avec le modèle de Hu. Deux valeurs différentes de la constante K ont été utilisées (lié au fait que le substrat est un substrat SOI), K=1 (le module d'Young et le coefficient de Poisson pris pour le substrat sont ceux du Si massif) et K=0.5 (le module d'Young et le coefficient de Poisson pris pour le substrat sont ceux du SiO_2 massif). On voit sur la figure III.26 que les tendances générales sont bien décrites avec ce modèle simple pour K=1.

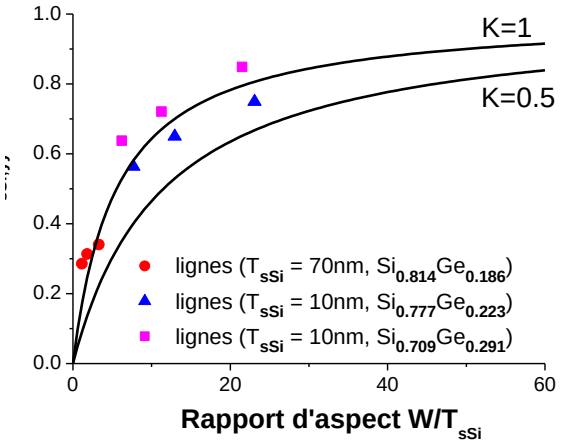

Figure III.26: Ratio $<\sigma_{sSi,yy}>/\sigma_0$ moyen en fonction du rapport d'aspect W/T_{sSi} des lignes contraintes obtenues par gravure à partir des échantillons de référence R1, R2 et R3. Les traits pleins correspondent à une approximation analytique [Loubens03] avec deux rigidités différentes du substrat K=1 et 0.5 (cf. équation III.6).

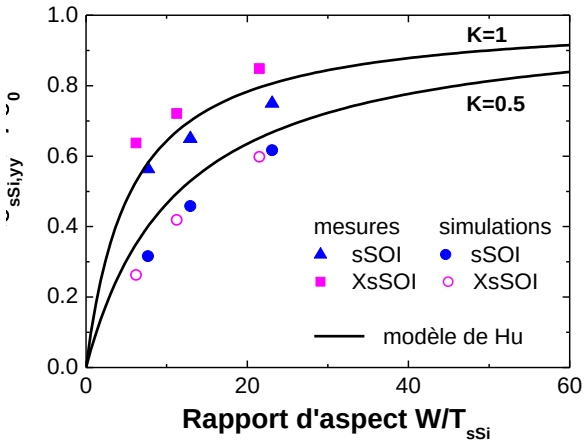

Figure III.27: Comparaison entre les ratios $<\sigma_{sSi,yy}>/\sigma_0$ moyens obtenus à partir des mesures GIXRD et à partir des simulations mécaniques par éléments finis en fonction du rapport d'aspect W/T_{sSi} des lignes contraintes (correspondant aux références R2 (sSOI, T_{sSi}=10nm) et R3 (XsSOI, T_{sSi}=10nm)).

On peut à partir de ce modèle extraire une dimension caractéristique de relaxation.

$$\frac{<\sigma_{sSi}>}{\sigma_0} = \frac{1}{1+a/X} \quad \text{avec} \quad X = \frac{KW}{T_{sSi}} \quad \text{et} \quad a=5.545 \qquad \textbf{Equation III.8}$$

On a $<\sigma_{sSi}> \approx \sigma_0$ pour $a/X << 1$, ce qui équivaut à $KW/T_{sSi} >> a$, donc $W >> aT_{sSi}/K$.

Nos valeurs expérimentales de $<\sigma_{sSi}>/\sigma_0$ étant bien décrites par ce modèle avec K=1, on peut en déduire que la dimension caractéristique de relaxation est $\boxed{d_c \approx 5.5T_{sSi}}$.

Les ratios $<\sigma_{sSi,yy}>/\sigma_0$ moyens obtenus à partir des mesures GIXRD et à partir des simulations mécaniques par éléments finis sont comparés sur la figure III.27 en fonction du rapport d'aspect W/T_{sSi} des lignes contraintes (correspondant aux références R2 et R3).

On retrouve le même comportement pour les mesures et les simulations, mais avec une surestimation de la relaxation dans le cas des simulations, dont nous avons proposé des explications dans la partie a).

4) Etude de l'impact de la grille en TiN : mesures de contrainte par GIXRD et simulations mécaniques par éléments finis

Dans les dispositifs réels, les lignes de SOI sont intégrées dans un environnement complexe qui peut affecter l'état de contrainte dans la couche active. Nous avons étudié par GIXRD l'influence de la grille en TiN.

Les échantillons étudiés sont un réseau de lignes identiques à celles de l'expérience précédente. Les lignes sont dans ce cas en SOI non contraint, et recouvertes de TiN. L'épaisseur de TiN (10 nm) et les conditions de dépôt (dépôt physique en phase vapeur (PVD) à 100°C) du TiN sont similaires à celles utilisées pour le dépôt de la grille en TiN des transistors étudiés dans la partie II de ce chapitre.

4.1. Mesure par GIXRD de l'influence d'une grille en TiN

Les résultats de mesure de déformation par GIXRD montrent que, le long des lignes, la couche de TiN n'induit aucune déformation dans la couche de SOI, quelle que soit la largeur de la ligne de SOI (cf. figure III.28). Par contre, dans la direction latérale, le TiN induit une déformation tensile assez élevée dans la couche de SOI. Cette déformation tensile augmente avec la diminution de la largeur de la ligne, de 0.19% pour W=230 nm à 0.51% pour W=77 nm (cf. figure III.28). Ceci est à notre connaissance la première mesure expérimentale directe d'une déformation induite par la grille en TiN dans des dispositifs étroits. Cette contribution ne peut pas être négligée dans la déformation totale du canal pour les dispositifs étroits.

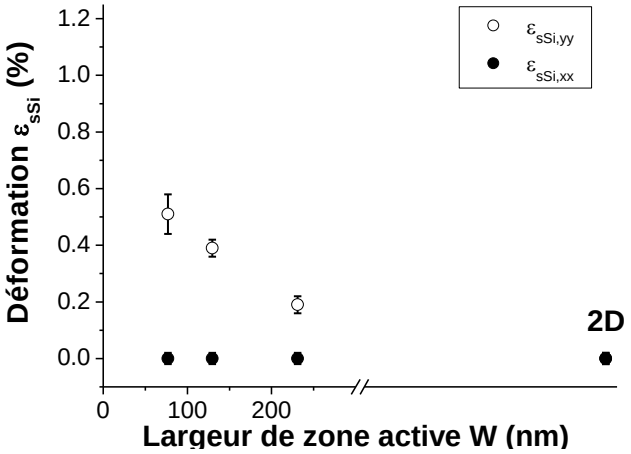

Figure III.28: Déformation dans le plan mesurée en fonction de la largeur W des lignes de SOI, dans les directions longitudinale (symboles pleins) et latérale (symboles ouverts), pour des lignes de SOI non contraintes recouvertes de TiN.

4.2. Analyse de l'influence du TiN grâce à des simulations mécaniques par éléments finis

Afin de comprendre cet effet de la grille en TiN, des simulations mécaniques par éléments finis sous ANSYS® ont été réalisées. Les valeurs des coefficients élastiques prises en compte pour le TiN sont indiquées dans le tableau III.6. Le paramètre d'entrée le plus important de ces simulations est la valeur de la contrainte intrinsèque du TiN déposé. Cette valeur est très dépendante des conditions et du procédé de dépôt et doit donc être mesurée expérimentalement. La mesure a été réalisée par courbure de plaque (cf. annexe C) pour les mêmes conditions de dépôt que le dépôt de la grille TiN des transistors étudiés dans la partie II de ce chapitre. La contrainte intrinsèque du TiN mesurée est une contrainte compressive de -3.5 GPa. Ce résultat est cohérent avec les mesures de [Kang07]. Kang et al. ont mesuré que

pour une grille en TiN déposée par PVD, la contrainte induite dans le substrat de silicium est tensile. La contrainte intrinsèque du TiN déposé par PVD est donc compressive.

Matériau	Module d'Young E (GPa)	Coefficient de Poisson ν	Coefficient de dilatation thermique α (10^{-6} °C^{-1})
TiN	290	0.25	9.4

Tableau III.6: Coefficients élastiques pris en compte pour la grille TiN.

La figure III.29 montre la structure simulée constituée d'une ligne de SOI de largeur W=77 nm et d'épaisseur 9 nm recouverte par une couche de TiN de 10 nm d'épaisseur. La surgravure du BOX prise en compte est t_{oxgrav}=10 nm. La représentation de la composante ε_{yy} de la déformation dans la direction latérale montre que cette composante est tensile dans la couche de SOI, ce qui est cohérent avec les résultats de la figure III.28. La déformation latérale moyenne dans la couche de SOI calculée à partir de cette simulation est de 0.48%, ce qui est cohérent avec la valeur de 0.51% mesurée par GIXRD dans la même structure. Le rétrécissement des lignes de SOI fournit de plus en plus de degrés de liberté pour le transfert de la contrainte intrinsèque du TiN vers la couche active de SOI. Ceci explique l'évolution de la déformation latérale dans la couche de SOI en fonction de la largeur de la ligne montrée sur la figure III.28.

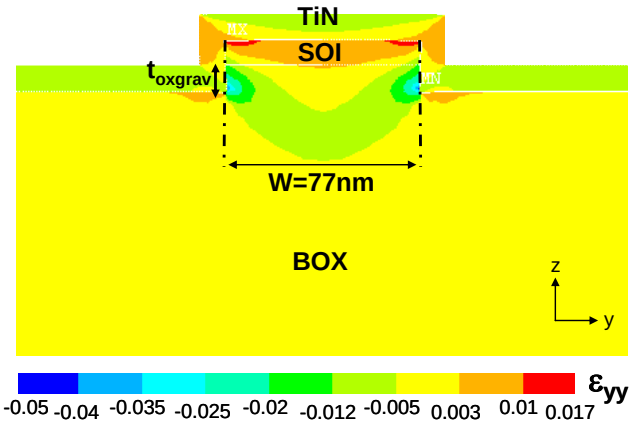

Figure III.29: Simulation mécanique par éléments finis de la déformation latérale dans une structure SOI recouverte de TiN avec une surgravure du BOX t_{oxgrav}=10 nm et une largeur de la ligne de SOI W=77 nm. Les épaisseurs de la couche de TiN et de la couche de SOI sont respectivement de 10 nm et 9 nm. L'entrée majeure du calcul est la valeur de la contrainte intrinsèque du TiN. Cette valeur de -3.5 GPa a été mesurée expérimentalement par courbure de plaque pour un dépôt physique en phase vapeur de TiN sur du silicium.

Dans la direction perpendiculaire au transport (W), nous avons mesuré par GIXRD que la grille en TiN PVD d'épaisseur 10 nm induit une contrainte en tension dans le canal dont la valeur augmente avec la réduction de la largeur de grille (cf. figure III.30).

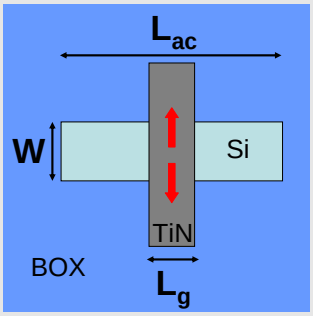

Figure III.30: Schéma représentant le type de contrainte induite dans le canal par la grille en TiN PVD de 10 nm d'épaisseur étudiée dans ce chapitre. La contrainte induite dans la direction perpendiculaire au transport a été mesurée par GIXRD au cours de cette étude.

5) Etude de l'impact de l'étape d'implantation des zones de Source et Drain, et du recuit d'activation des dopants

Après avoir étudié l'impact de l'étape de la gravure de la zone active et de la grille en TiN sur la contrainte, cette partie se consacre à l'étude de l'impact de l'étape d'implantation des Source/Drain dans le matériau sSOI.

5.1. Structures étudiées

Un empilement de 5 nm de SiO_2 puis 120 nm de Si polycristallin a été déposé sur des plaques sSOI de 60 nm d'épaisseur, correspondant à celle de dispositifs PDSOI. Cet empilement a ensuite été gravé pour dessiner des lignes de dimensions similaires à celles de l'étude précédente. Les valeurs cibles pour la largeur des lignes sont L_g=50, 100, 200 nm et leur longueur est 4 mm. Ces lignes sont ensuite utilisées comme masque pour l'implantation des Source/Drain et miment la grille des structures. On peut parler de « fausse grille ». La direction des lignes correspond donc ici à la direction perpendiculaire à celle du transport, la direction du transport étant celle de la largeur des lignes.

Des ions As et Xe sont implantés à des doses et énergies compatibles avec le procédé de fabrication des transistors PDSOI haute performance[21] (cf. figure III.31a). L'étude de l'impact sur la contrainte de l'implantation de ces deux types d'ions est réalisée séparément. Les ions Xe servent pour l'étape d'amorphisation des zones de la Source et du Drain, tandis que les ions As sont les dopants des Source et Drain.

Des échantillons sSOI 2D non-implantés et des échantillons sSOI implantés sur toute la surface de la plaque ont aussi été fabriqués pour servir de référence. La figure III.31b montre les profils d'implantation et de défauts calculés à partir de l'outil de simulation Monte Carlo crystal TRIM [Posselt97, Laânab95]. Les profondeurs d'amorphisation du Xe et de l'As sont respectivement 22 et 45 nm comme le montre la figure III.31b, de sorte que la partie de la couche sSOI devenue amorphe après l'implantation est beaucoup plus importante dans le cas de l'As que dans celui du Xe.

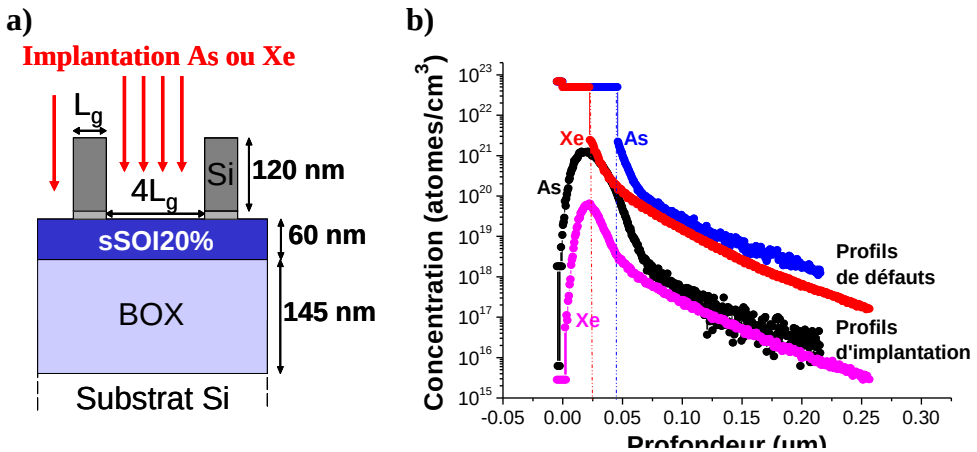

Figure III.31: (a) Schéma des échantillons sSOI obtenus par lithographie e-beam et gravure de l'empilement de grille SiO_2/Si polycristallin servant de masque pour l'implantation. (b) Simulations C-TRIM des profils d'implantation As et Xe et des profils de défauts.

Enfin, certains échantillons ont été soumis à un recuit pour analyser l'impact de l'étape de recuit d'activation des dopants sur le niveau de déformation dans le canal.

[21] Les doses utilisées sont de l'ordre de 10^{14}-10^{15} atomes/cm^3 et les énergies de l'ordre de 20-50 keV.

5.2. Résultats des mesures de déformation par GIXRD et interprétation

a) Implantation Xe

Les scans radiaux des réflexions (220) et (2-20) le long et perpendiculairement à la direction des lignes sont présentés sur la figure III.32 pour les échantillons de différentes largeurs L_g implantés avec du Xe. Les pics de Bragg de la référence sSOI non implantée, de la référence sSOI implantée sur toute la surface de la plaque, et du substrat de Si sont aussi tracés sur la même figure.

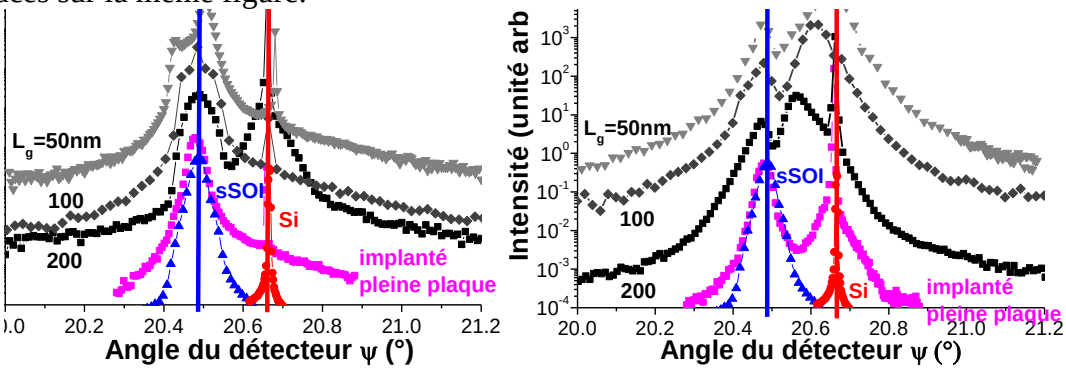

Figure III.32: Scans radiaux dans le plan des réflexions a) (220) le long des lignes et b) (2-20) perpendiculairement aux lignes pour des échantillons de différentes largeurs L_g (50, 100 et 200 nm) implantés par du Xe[22]. Les pics de Bragg de la référence sSOI et du substrat Si sont aussi tracés comme référence. La longueur d'onde des rayons X est λ=0.068 88 nm. L'angle d'incidence est α_i=0.3° pour le substrat Si et α_i=0.14° pour les couches de sSOI.

- Dans la direction longitudinale (cf. figure III.32a), les pics de Bragg du sSOI des échantillons implantés sont à la même position angulaire que la référence sSOI 2D. Un élargissement et un doublement de ces pics est observé lorsque L_g décroît, dénotant de petites hétérogénéités de déformation avec des régions en légère tension ou compression par rapport à la référence sSOI.
- Dans la direction latérale (cf. figure III.32b), les scans radiaux montrent des résultats radicalement différents. Un pic correspondant au sSOI est toujours présent pour chaque échantillon, mais légèrement décalé vers les déformations tensiles par rapport à la référence sSOI 2D. Un second pic indique une relaxation de la déformation par rapport à la déformation initiale du sSOI, cette relaxation augmentant pour les petits L_g. Pour L_g=50 nm, cette contribution est pratiquement complètement relaxée avec un pic large quasiment centré sur le pic du substrat de silicium.

Nous allons à présent proposer une interprétation de ces résultats expérimentaux. Dans la direction longitudinale, le pic qui est pratiquement situé à la même position que le sSOI correspond aux régions A et B montrées sur la figure III.33 (les régions représentées par des points sont les régions rendues amorphes par l'implantation).

[22] La contribution du pic de Bragg de la référence 2D implantée pleine plaque située au niveau du pic du substrat est plus importante pour les réflexions (2-20) que pour les réflexions (220). Au cours des mesures réalisées, nous avons optimisé les pics de Bragg sur le maximum du signal qui nous intéresse, c'est-à-dire dans ce cas la contribution du pic située au niveau de la référence sSOI. Il ne faut donc pas s'intéresser ici à l'autre contribution, pour laquelle l'optimisation du signal n'a pas été réalisée.

➢ Dans la direction latérale, les contributions des régions A et B ne sont plus superposées.

➢ Un des deux pics est pratiquement centré sur la position du sSOI pour les deux orientations des scans radiaux (direction longitudinale et direction latérale).

Ce pic correspond donc à une région avec une géométrie 2D. Il peut être attribué à la partie non implantée de la couche initiale de sSOI (région appelée B sur la figure III.33). Le second pic qui se décale vers la position du silicium non contraint est présent uniquement sur les scans radiaux dans la direction latérale. Il correspond probablement au matériau sSOI situé sous l'empilement de grille (région A sur la figure III.33), qui constitue le canal des transistors.

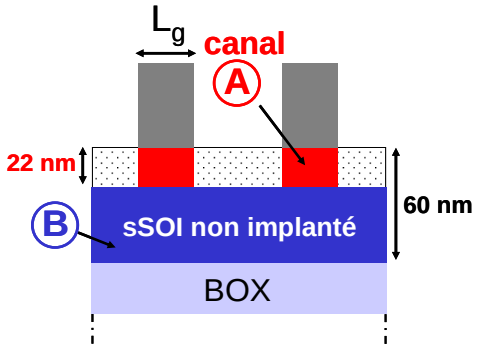

Figure III.33: Représentation schématique des échantillons après l'implantation Xe.

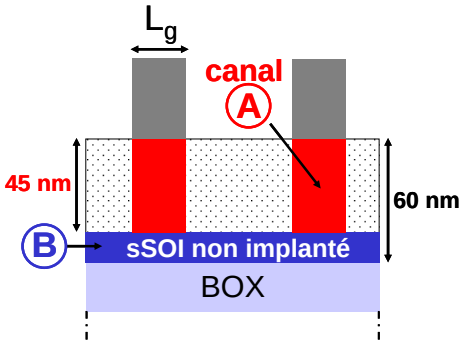

Figure III.34: Représentation schématique des échantillons après l'implantation As.

b) <u>Implantation As</u>

Tout d'abord, rappelons que la couche supérieure amorphisée est plus épaisse dans le cas de l'implantation à l'As que dans le cas du Xe (cf. figure III.34).

Les scans radiaux des réflexions (220) et (2-20) le long et perpendiculairement à la direction des lignes sont présentés sur la figure III.35 pour les échantillons de différentes largeurs L_g implantés avec de l'As.

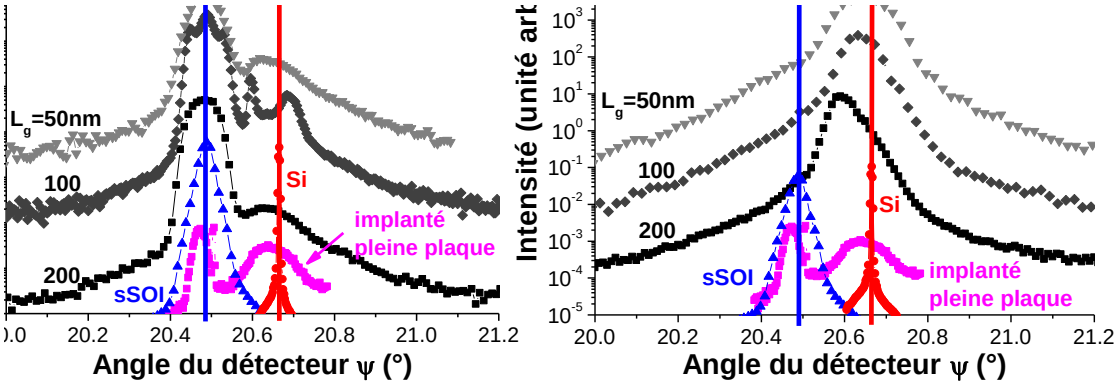

Figure III.35: Scans radiaux dans le plan des réflexions a) (220) le long des lignes et b) (2-20) perpendiculairement aux lignes pour des échantillons de différentes largeurs L_g (50, 100 et 200 nm) implantés par de l'As. Les conditions expérimentales sont similaires à celles de la figure III.32.

➢ Dans la direction longitudinale (cf. figure III.35a), les pics positionnés autour de la référence sSOI correspondent à la fois à la région située sous l'empilement de grille (région A) et à la région inférieure non implantée de la couche sSOI (région B).

➢ Dans la direction latérale (cf. figure III.35b), un seul pic est présent. En effet, la partie non implantée de la couche de sSOI est très mince par rapport aux échantillons implantés au Xe (15 nm contre 38 nm). C'est donc essentiellement le matériau sSOI situé sous l'empilement de grille qui est mesuré (région A). Lorsque L_g diminue, la position du pic se déplace vers le pic du substrat. De plus, le pic s'élargit, ce qui indique une dégradation importante de la qualité cristalline du matériau sSOI sous l'empilement de grille lorsque L_g diminue.

Les déformations moyennes dans le plan correspondant aux régions A des différents échantillons ont été calculées à partir des figures III.32 et III.35, et résumées sur la figure III.36, pour les deux orientations des scans radiaux et les deux types d'implantation.

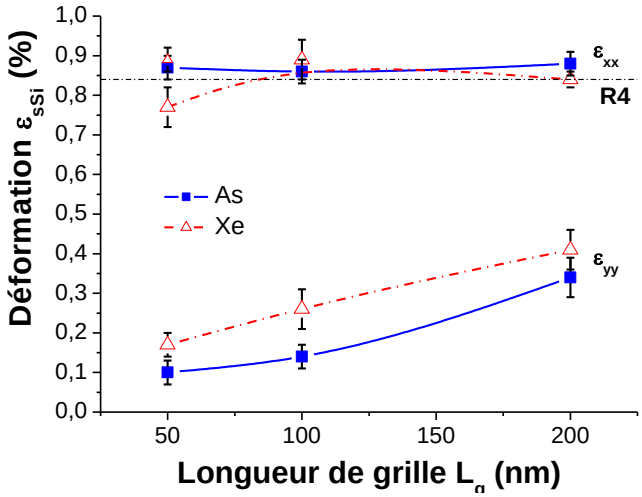

Figure III.36: Déformations dans le plan calculées à partir des figures III.32 et III.35 pour la région située sous l'empilement de grille en fonction de la largeur L_g des lignes dans les directions longitudinale (ε_{xx}) et latérale (ε_{yy}) pour les implantations Xe et As.

Cette figure montre que quels que soit les ions implantés, la déformation dans la région située sous l'empilement de grille (canal) est maintenue le long des lignes et relaxée perpendiculairement aux lignes, d'autant plus que les lignes sont étroites. La relaxation légèrement plus importante dans le cas des ions As peut s'expliquer par une profondeur d'amorphisation plus importante.

c) <u>Evolution de la déformation des échantillons implantés après un recuit thermique rapide</u>

Une partie des échantillons implantés a aussi été caractérisée après un recuit thermique rapide (RTA pour Rapid Thermal Annealing) à 1050°C utilisé habituellement pour l'activation des dopants dans la technologie MOSFET. L'influence de ce recuit est d'abord étudiée à l'aide de trois échantillons 2D : un échantillon sSOI non implanté, un échantillon sSOI implanté à l'As et un échantillon sSOI implanté à l'As puis recuit. Les scans radiaux des réflexions {220} pour les trois échantillons 2D sont représentés sur la figure III.37a. Nous avons vérifié que nous obtenions des résultats identiques après une rotation de 90° des échantillons autour de la normale, sachant que ces échantillons ne sont pas gravés et donc isotropes dans le plan (c'est-à-dire dans un état de déformation biaxiale).

➢ Dans le cas de l'échantillon <u>implanté mais non recuit</u>, on observe deux pics de Bragg correspondant à deux régions cristallines distinctes. Le pic de Bragg de plus petit angle a presque la même position et même largeur que le pic de Bragg de la référence sSOI non implantée, démontrant que la déformation est maintenue dans la partie inférieure non implantée de la couche sSOI. La contribution large (de largeur à mi-hauteur σ=0.08° contre

σ=0.004° pour le pic de Bragg du substrat) et proche du pic du substrat Si correspond à la partie supérieure de cette région non implantée, qui est pratiquement complètement relaxée.

- Après recuit, cet échantillon donne un seul pic de Bragg proche du pic du substrat. La partie cristalline et contrainte de la couche n'a donc pas pu imposer sa déformation à toute la structure durant la recristallisation. Ce pic est extrêmement large ce qui indique une très mauvaise qualité cristalline, probablement avec beaucoup de défauts. Un résiduel de contrainte est tout de même maintenu.

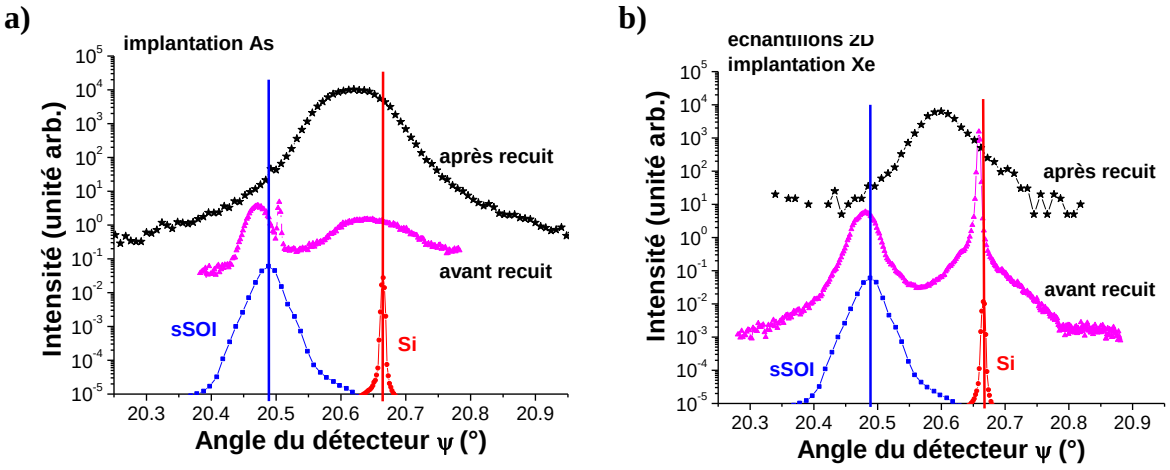

Figure III.37: Scans radiaux dans le plan des réflexions (220) pour les échantillons non gravés implantés a) à l'As avant et après recuit et b) au Xe avant et après recuit. Les pics de Bragg du sSOI et du substrat ont aussi été tracés pour référence. Les conditions expérimentales sont similaires à celles de la figure III.32.

L'influence du recuit est étudiée de la même manière dans le cas de l'implantation Xe (cf. figure III.37b). Les conclusions sont les mêmes que dans le cas de l'implantation As. Même si la région non implantée de la couche de sSOI est plus épaisse que dans le cas de l'implantation As, la partie cristalline contrainte de la couche n'a pas pu non plus imposer sa déformation à la totalité de la couche lors de la recristallisation.

Deux explications peuvent être proposées pour expliquer pourquoi la déformation ne peut pas être totalement restaurée lors de la recristallisation. Une explication possible est la relaxation des défauts internes du sSOI induits par le procédé de fabrication. La deuxième explication possible est le recuit à 1050 °C qui est très probablement trop court pour une recristallisation parfaite du sSOI (limitation cinétique). En effet, ce type de recuit est utilisé pour activer les dopants implantés. Il n'est pas optimisé pour la recristallisation du matériau après implantation. En utilisant un autre recuit plus long et optimisé pour la recristallisation du matériau, la déformation dans le matériau sSOI serait peut-être mieux restaurée.

Les échantillons de différentes largeurs L_g ont été étudiés avec les mêmes conditions d'implantation et de recuit. Les scans radiaux sont présentés sur la figure III.38 pour les ions As et sur la figure III.39 pour les ions Xe, les résultats étant très similaires dans les deux cas.

Après implantation et recuit, les pics de Bragg des lignes de largeur L_g se situent pratiquement à la position des échantillons 2D implantés et recuits, quelle que soit la largeur L_g. Ces pics de Bragg correspondent à la contribution globale des aires A, B et C (C correspondant aux régions recristallisées sur la figure III.40).

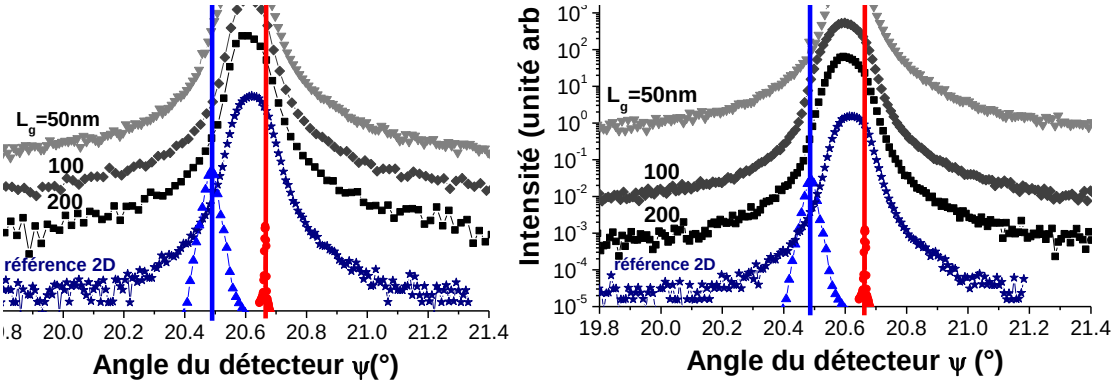

Figure III.38: Scans radiaux dans le plan des réflexions a) (220) le long des lignes et b) (2-20) perpendiculairement aux lignes pour des échantillons implantés à l'As et recuits de différentes largeurs de ligne L_g (50, 100 et 200 nm). Les scans d'échantillons implantés et recuits non gravés, d'échantillons sSOI 2D et du substrat sont tracés comme référence. Les conditions expérimentales sont celles de la figure III.32.

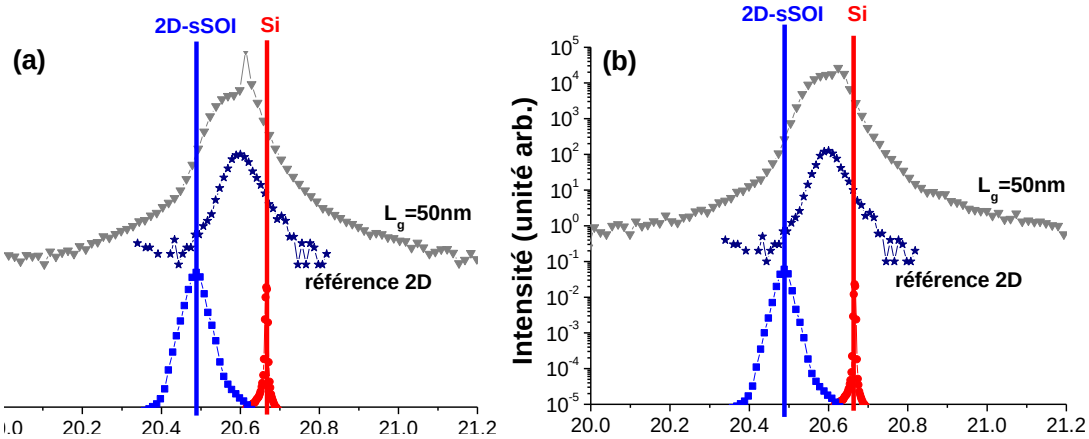

Figure III.39: Scans radiaux dans le plan des réflexions a) (220) le long des lignes et (2-20) perpendiculairement aux lignes pour des échantillons implantés au Xe et recuits avec une largeur de ligne L_g=50 nm. Les conditions expérimentales sont celles de la figure III.32.

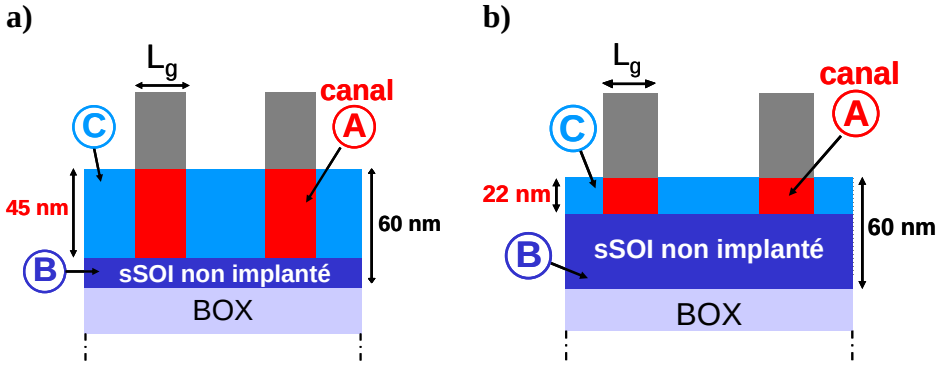

Figure III.40: Représentation schématique des échantillons après a) implantation As et recuit et b) implantation Xe et recuit. Les différentes régions cristallines sont nommées A (canal), B (sSOI non implanté) et C (régions recristallisées).

Les déformations dans le plan ont été résumées sur la figure III.41 en fonction de L_g et comparées aux déformations des échantillons correspondants sans recuit. Cette figure montre une augmentation très légère de la déformation due au recuit dans le cas des lignes. Contrairement aux échantillons 2D, la recristallisation peut aussi avoir lieu à partir des bords des régions situées sous l'empilement de grille. Cependant, ces régions (A) sont aussi

partiellement relaxées durant l'implantation (voir les lignes pleines sur la figure III.41). Leur paramètre de maille est donc déjà fortement réduit et principalement sur les bords. Ce phénomène contribue au faible niveau de recristallisation après le recuit même pour les lignes. La recristallisation est légèrement plus facile après l'implantation au Xe à cause de la profondeur d'amorphisation moins importante que pour l'implantation As.

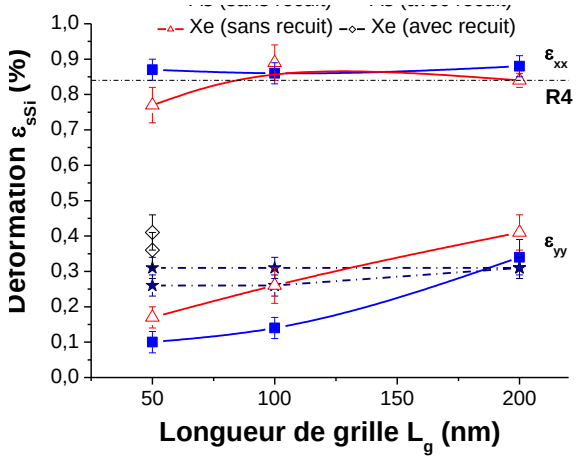

Figure III.41: Déformations dans le plan calculées à partir des données des figures III.38 et III.39 pour les régions sous l'empilement de grille en fonction de la largeur de celui-ci dans les directions longitudinale (ε_{xx}) et latérale (ε_{yy}) pour des implantations à l'As et au Xe avec et sans recuit.

Pour conclure, le recuit est peu efficace pour restaurer la contrainte initiale que les échantillons soient 2D ou non. Ce phénomène peut être expliqué par une amorphisation importante (due à des ions lourds et des énergies élevées) et un recuit optimisé pour l'activation et la diffusion des dopants et non pour la recristallisation. Cependant, tenant compte de l'épaisseur importante de la couche de sSOI (60 nm) et de ses défauts cristallins, il n'est pas assuré que des conditions de traitement existent pour restaurer totalement la déformation dans ces structures ayant subi de telles conditions d'implantation.

Nous avons montré que l'étape d'implantation des zones de Source/Drain et de recuit d'activation des dopants dans le cas des dispositifs PDSOI relaxe en grande partie la déformation du sSOI dans le canal dans la direction du transport pour les petites longueurs de grille et des zones actives larges (cf. figure III.42).

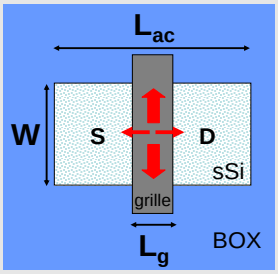

Figure III.42: Schéma représentant la contrainte dans le canal en sSOI de MOSFETs après les étapes d'implantation des zones de S/D et de recuit d'implantation des dopants, pour des petites longueurs de grille L_g et une zone active large (W) et longue (L_{ac}). Ces étapes entraînent une relaxation dans le canal de la contrainte initialement en tension biaxiale du sSOI dans la direction de la longueur de grille L_g (direction du transport).

Cette étape technologique d'implantation des Source/Drain semble donc très critique pour les dispositifs PDSOI, ce qui rend difficile l'intégration de transistors PDSOI sur sSOI. Pour les dispositifs FDSOI, d'épaisseur de zone active plus faible, les conditions d'implantation des S/D sont moins agressives et on peut donc penser que cette étape sera moins néfaste.

Nous pouvons, grâce aux mesures de déformation en GIXRD réalisées dans ce travail, expliquer en partie les moins bonnes performances des nMOS PDSOI sur sSOI (PD-sSOI) par rapport aux nMOS FDSOI sur sSOI (FD-sSOI) (cf. figure III.43). Les étapes du procédé d'intégration des transistors qui peuvent être responsables de la relaxation plus importante de la déformation du sSOI pour les transistors PDSOI que pour les transistors FDSOI sont la gravure des zones actives et l'implantation des zones de Source et Drain.

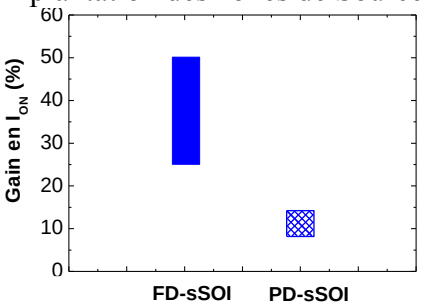

Figure III.43: Gains en I_{ON} obtenus pour des nMOS sur sSOI par rapport à des nMOS sur SOI, dans le cas de dispositifs FDSOI [Andrieu09] et PDSOI [Thean05a, Horstmann09].

Pour les transistors FDSOI et les nœuds technologiques 45 nm ou 65 nm, des gains en I_{ON} de 25% sont obtenus pour les nMOS larges sur sSOI par rapport au SOI. Pour les dispositifs étroits, ce gain s'élève même à 50% pour W=50 nm [Andrieu09]. Pour les transistors PDSOI et pour une longueur de grille L_g de 40 nm (nœud 45 nm), les gains en I_{ON} obtenus pour les nMOS sur sSOI par rapport au SOI sont de l'ordre de 8% - 14% [Thean05a, Horstmann09].

Nous avons étudié l'impact sur la contrainte dans le canal de quatre étapes du procédé d'intégration des transistors MOSFETs sur SOI contraint et montré que les étapes de gravure des zones actives, d'implantation des Source/Drain et de recuit d'activation des dopants relaxent la contrainte dans le canal. Ces étapes sont surtout critiques pour les applications PDSOI. Nous avons donc choisi d'étudier des transistors FDSOI sur SOI contraint dont nous allons présenter les résultats de caractérisation électrique dans la partie suivante. Nous montrerons le gain en performances apporté par les substrats sSOI par rapport aux substrats SOI. Nous évaluerons aussi les performances de ces dispositifs en fonction des dimensions des zones actives, de la longueur de grille, et en fonction de l'orientation du canal des transistors. Les mesures GIXRD de déformation que nous venons de présenter nous permettrons d'interpréter les résultats observés.

II/ Etude des effets de largeur de grille et d'orientation du canal par caractérisation électrique dans des dispositifs FDSOI MOSFETs sur SOI contraint

1) Dispositifs étudiés

Les dispositifs étudiés sont des transistors FDSOI n et p-MOSFETs avec une grille en TiN PVD de 10 nm d'épaisseur et un diélectrique de grille en HfO_2 (cf. figure III.44). Ces dispositifs ont été réalisés sur des substrats SOI non contraints servant de référence d'une part, et sur des substrats SOI contraints d'autre part de type sSOI et XsSOI. Les substrats SOI contraints correspondent aux références R2 (sSOI) et R3 (XsSOI) des mesures GIXRD de la partie I. Les épaisseurs de la couche de Si active et du BOX sont respectivement T_{Si}=9 nm et T_{BOX}=145 nm. L'isolation des zones actives est de type mesa. Différentes orientations du canal des transistors sont étudiées (0°,15°,30°,45°,60°) sur un substrat orienté (001). Les orientations 0° et 45° correspondent respectivement aux orientations classiques du canal <110> et <100>.

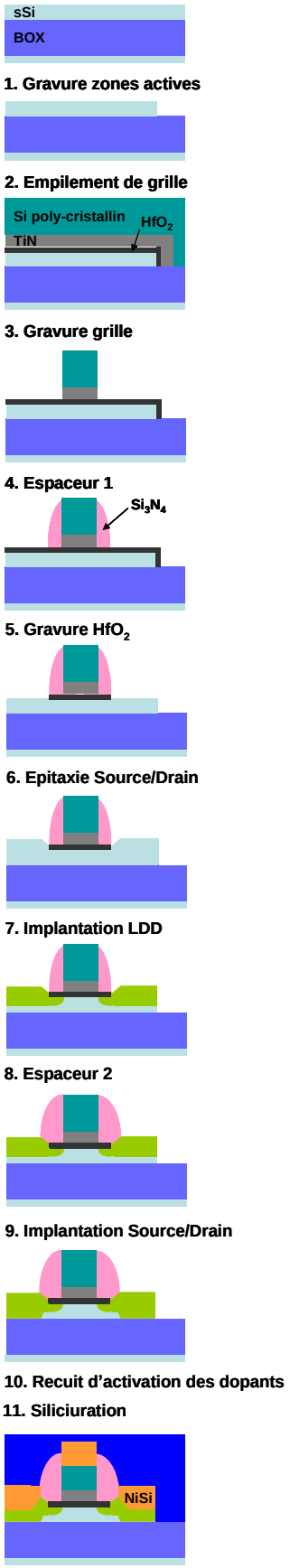

Figure III.45: Schéma des étapes technologiques d'intégration des transistors FDSOI MOSFETs.

L'enchaînement des principales étapes du procédé de fabrication des transistors FDSOI sur substrat sSOI est décrit sur la figure III.45 jusqu'à la création des contacts (étapes dites de « frontend », avant le « backend »).

L'isolation MESA est réalisée par gravure plasma de la couche de sSOI. L'isolation est totale entre les transistors sur SOI (la gravure de la couche de sSOI est réalisée jusqu'au BOX). Le canal n'est pas dopé (dopage p par des impuretés résiduelles de quelques 10^{15} cm^{-3} environ).

L'empilement de grille HfO_2/TiN est ensuite déposé. La grille métallique en TiN est déposée par PVD. L'empilement est recouvert par du Si polycristallin. Une étape de photo-lithographie permet ensuite de définir les motifs de grille. Le Si polycristallin et le TiN sont ensuite gravés, mais pas encore le HfO_2.

Les étapes suivantes sont les étapes de définition des extensions et des Source/Drain. L'espaceur 1 est constitué d'un empilement d'oxyde déposé et de Si_3N_4. Le nitrure est gravé sous plasma, l'oxyde servant de couche d'arrêt. La largeur finale de l'espaceur 1 est inférieure à 10 nm. Le HfO_2 est ensuite gravé. Puis une épitaxie de 20 nm de Si est réalisée sur les zones de Source/Drain. Des extensions tiltées sont ensuite réalisées (implantation BF_2 pour les nMOS et As pour les pMOS). Après la formation de l'espaceur 2, les Source/Drain sont dopés. Cette étape est suivie du recuit d'activation des dopants. La dernière étape est la siliciuration par du nickel des Source/Drain.

La fin du procédé de fabrication est standard.

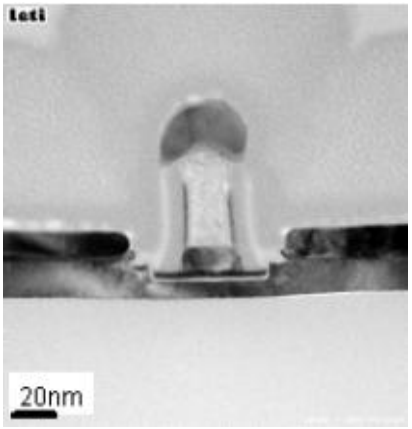

Figure III.44: Image TEM d'un n-MOSFET FDSOI de longueur de grille 25 nm sur un substrat SOI non contraint, avec un canal orienté dans la direction <110>. L'empilement de grille est HfO_2/TiN. Les épaisseurs de la couche de Si active et de l'oxyde enterré sont respectivement T_{Si}=9 nm et T_{BOX}=145 nm.

2) Méthode d'extraction fine de la mobilité effective

2.1. Méthode split-CV classique

La mobilité effective a été extraite par la méthode split-CV ([Koomen73, Sodini82]) qui est actuellement la méthode la plus fiable d'extraction de la mobilité à faible tension de drain V_D et pour les transistors longs. Cette méthode utilise une mesure couplée de courant I_D et de capacité C en fonction de la tension de grille V_G. Son intérêt est d'extraire pour toute polarisation de grille V_G la charge d'inversion Q_{inv} et donc de ne faire aucune hypothèse sur le couplage capacitif entre la grille et le canal [Takagi94, Koomen73].

Le champ électrique effectif, correspondant à un champ moyen dans la couche d'inversion, est défini comme suit :

$$E_{eff} = \frac{Q_{dep} + \eta Q_{inv}}{\varepsilon_{Si}} \quad \text{sur Si massif} \qquad \textbf{Equation III.9}$$

$$E_{eff} = \frac{Q_{dep} + \eta Q_{inv}}{\varepsilon_{Si}} - \frac{\varepsilon_{ox}}{\varepsilon_{Si}} \frac{V_{g2}}{T_{ox2}} \quad \text{sur SOI} \qquad \textbf{Equation III.10}$$

avec η un paramètre empirique (η=1/3 pour les trous et η=1/2 pour les électrons), V_{g2} la tension de substrat, T_{ox2} l'épaisseur du BOX, Q_{dep} la charge de désertion et Q_{inv} la charge d'inversion.

La charge d'inversion Q_{inv} est obtenue expérimentalement par la mesure de la capacité entre la grille et le canal $C_{gc,mes}$.

$$Q_{inv}(V_G) = \frac{1}{W_{eff}.L_{eff}} \int_{V_{G_0}}^{V_G} C_{gc,mes}(V)\,dV \qquad \textbf{Equation III.11}$$

On calcule alors la valeur de la mobilité pour chaque tension de grille, donc pour chaque valeur du champ effectif de la façon suivante :

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} \frac{I_{D,mes}(V_G)}{Q_{inv}(V_G)V_D} \qquad \textbf{Equation III.12}$$

avec $I_{D,mes}$ le courant de drain mesuré en fonction de V_G.

La principale limitation de cette méthode est l'extraction de la mobilité sous le seuil ou à proximité du seuil de conduction du MOSFET. En effet, pour les faibles charges d'inversion, la mobilité extraite tend de façon non physique vers zéro. Une deuxième limitation est l'extraction précise de la charge utile au transport dans le cas où les états d'interface modifient de façon importante la capacité mesurée [Leroux04]. Enfin, l'extraction de la mobilité pour les transistors courts (sub-100 nm) est difficile et sujette à beaucoup d'incertitudes de mesure.

En effet, plusieurs paramètres doivent être extraits très précisément :

(i) les résistances séries afin de corriger le courant de drain I_D de cet effet parasite, et obtenir ainsi le courant intrinsèque dans le canal

(ii) les longueurs et largeurs effectives car les capacités mesurées sont normalisées par rapport à la surface du transistor $W_{eff}.L_{eff}$ (cf. équation III.11)

(iii) la capacité intrinsèque de couplage grille-canal C_{gc}. Afin d'extraire précisément la mobilité effective à une densité de charge d'inversion fixée, il est nécessaire d'une

part de déterminer la capacité intrinsèque entre la grille et le canal C_{gc}, et les capacités parasites d'autre part (cf. figure III.46). En effet, pour les dispositifs courts et étroits, les capacités parasites ne sont plus négligeables par rapport à C_{gc} à cause des effets de bord de grille. Des améliorations de la technique split-CV ont été réalisées pour l'adapter aux transistors courts [Romanjek04a,b, Andrieu].

a) **b)**

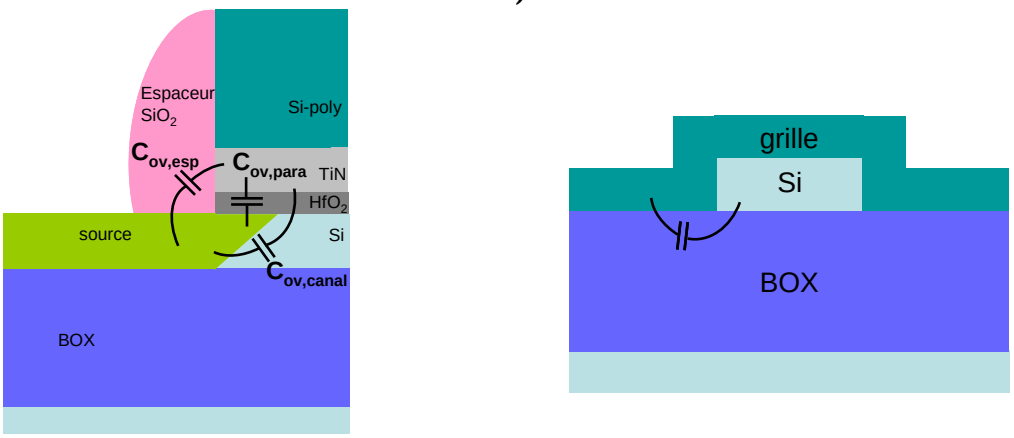

Figure III.46: a) Schéma des différentes capacités parasites dans le sens de la longueur de grille entre la grille et les Source/Drain [Romanjek04b]. $C_{ov,esp}$ et $C_{ov,para}$ sont dues au couplage entre la grille et les Source/Drain à travers les espaceurs et dans la zone de recouvrement, respectivement. $C_{ov,canal}$ est due aux lignes de champ entre la grille et les Source/Drain à travers l'oxyde de grille et le canal. b) Schéma des capacités parasites dans le sens de la largeur de grille entre le plot de grille et le canal.

Dans notre cas, nous avons mesuré des transistors longs et étroits, afin de réduire l'incertitude sur les mesures de capacités. Nous avons donc adapté la méthode split-CV à cette géométrie.

2.2. Méthode split-CV améliorée dans le cas de dispositifs longs et étroits

Dans le cas de dispositifs longs et étroits, une méthode permettant de s'affranchir des capacités parasites consiste à mesurer les capacités de dispositifs en réseau avec un grand nombre de canaux en parallèle. Ainsi, le rapport entre la capacité grille-canal et les capacités parasites est maximisé. Il suffit ensuite de diviser la capacité grille-canal totale par le nombre de canaux pour obtenir la valeur de C_{gc} pour un dispositif. Les capacités parasites dont on s'affranchit grâce aux canaux en parallèle sont des capacités constantes avec W (en gras sur la figure III.47). Ce peut être des capacités à travers le BOX entre le canal et le plot de grille (cf. figure III.46b et figure III.47) et/ou entre le canal et le métal.

a) **b)**

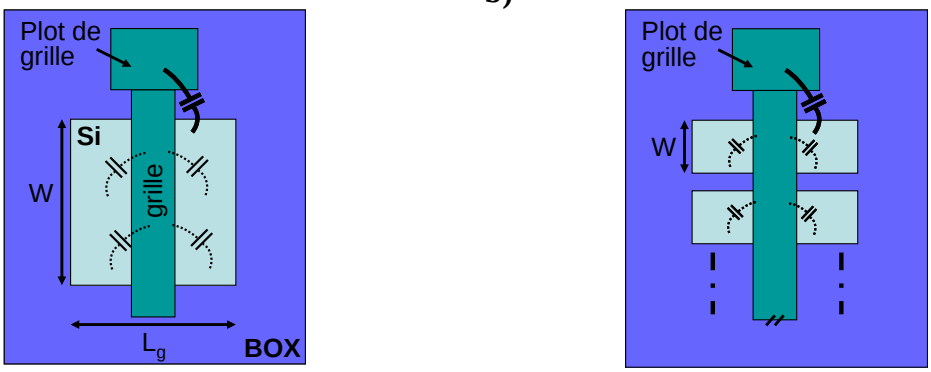

Figure III.47: Schéma vu de dessus a) d'un transistor isolé et b) de transistors multiples en réseau. Les capacités parasites en pointillés correspondent à celles de la figure III.46a, celles en gras correspondent à celles de la figure III.46b.

Un exemple est représenté sur la figure III.48. On peut voir sur cette figure que l'allure des courbes $C_{gc}(V_G)$ est clairement différente pour un canal isolé par rapport à des canaux multiples en parallèle. En effet, les capacités parasites sont négligeables pour des canaux multiples en parallèle, contrairement au cas d'un canal isolé. Pour des canaux multiples, la courbe $C_{gc}(V_G)$ normalisée par le nombre de canaux affiche un plateau dans le régime d'accumulation grâce au bon rapport entre la capacité intrinsèque grille-canal et les capacités parasites.

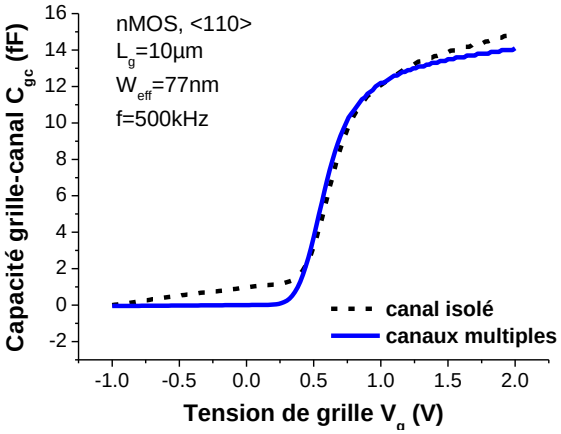

Figure III.48: Capacité grille-canal C_{gc} en fonction de la tension de grille pour des nMOS orientés <110>, longs et étroits (L_g=10 µm, W_{eff}=77 nm), sur substrats SOI. C_{gc} a été extraite à une fréquence f=500 kHz pour un canal isolé et pour des canaux multiples en parallèle (puis divisé par le nombre de canaux) afin de s'affranchir des effets de capacités parasites.

Toutes les mesures de capacité grille-canal présentées dans le cadre de cette étude ont été réalisées sur des réseaux de 100 canaux en parallèle, avec une fréquence de mesure de 500 kHz. Nous avons vérifié que la fréquence de mesure (dans le domaine 10-500 kHz) n'a pas d'influence sur la mesure de la capacité grille-canal, que se soit pour des dispositifs larges (cf. figure III.49a) ou étroits (cf. figure III.49b). Ceci montre qu'il n'y a pas d'effet de résistance de grille, de courant de grille, ou d'états d'interface important.

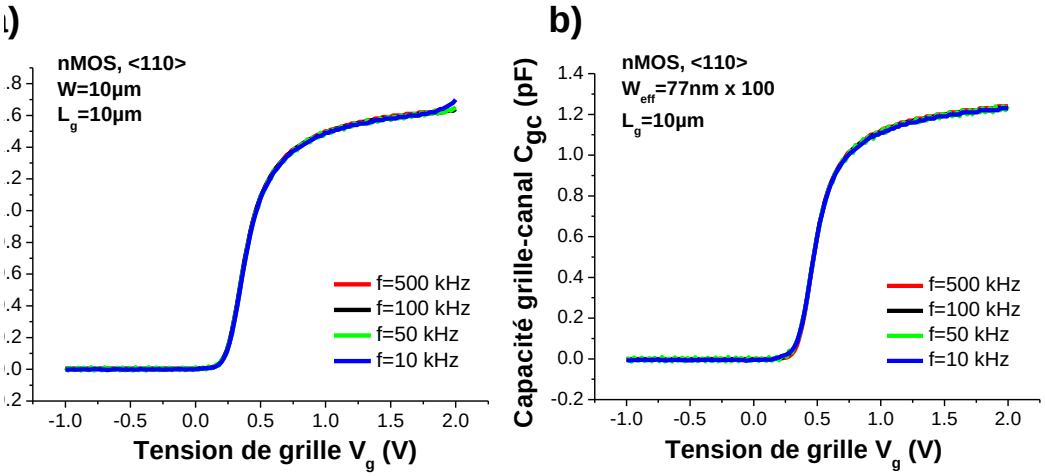

Figure III.49: Influence de la fréquence de mesure sur la capacité grille-canal de nMOS longs (L_g=10 µm), a) larges (W=10 µm) ou b) étroits (W_{eff}=77 nm).

D'autre part, il faut aussi extraire précisément la largeur effective de la grille W_{eff} définie dans la référence [Rudenko05], les dispositifs mesurés étant des dispositifs étroits. La correction de la largeur de grille peut être effectuée en traçant la capacité maximale en inversion C_{gcmax} en fonction de la largeur de grille dessinée W (cf. figure III.50). La droite tracée sur cette figure correspond à la courbe $C_{gcmax}(W)$ théorique avec l'hypothèse que l'épaisseur d'inversion T_{inv} est indépendante de W.

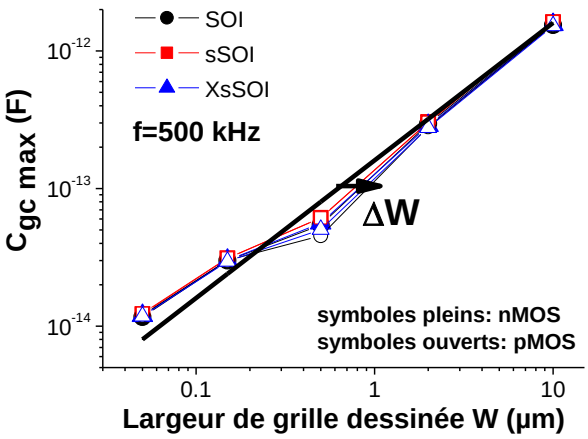

Figure III.50: Capacité grille-canal maximum C_{gcmax} en fonction de la largeur de grille dessinée pour des nMOS et pMOS longs (Lg=10 µm) sur SOI, sSOI et XsSOI.

A partir de cette courbe et en faisant l'hypothèse précédente, il est possible de calculer la largeur effective W_{eff} pour chaque largeur de grille dessinée à partir de la relation suivante :

$$W_{eff}(W) = W^0 \frac{C_{gc\,max}(W)}{C_{gc\,max}(W^0)} \qquad \textbf{Equation III.13}$$

avec W^0 la largeur de grille d'un transistor large (ici W^0=10 µm).

Comme le montre la figure III.51, prendre la valeur de W_{eff} à la place de W dans l'évaluation de la mobilité ne change pas la valeur de la mobilité extraite à V_G fixé, mais change de manière significative la valeur de la charge d'inversion. Ceci peut s'expliquer à partir des équations III.11 et 12. L'équation III.11 montre que la charge d'inversion a une dépendance en 1/W. Si on remplace Q_{inv} par son expression dans l'équation III.12, on obtient l'expression suivante pour la mobilité effective :

$$\mu_{eff} = \frac{L_{eff}^2}{V_D} \frac{I_{D,mes}(V_G)}{\int_{V_{g0}}^{V_g} C_{gc,mes}(V)\,dV} \qquad \textbf{Equation III.14}$$

L'équation III.14 montre que la mobilité effective ne dépend pas de la largeur de grille.

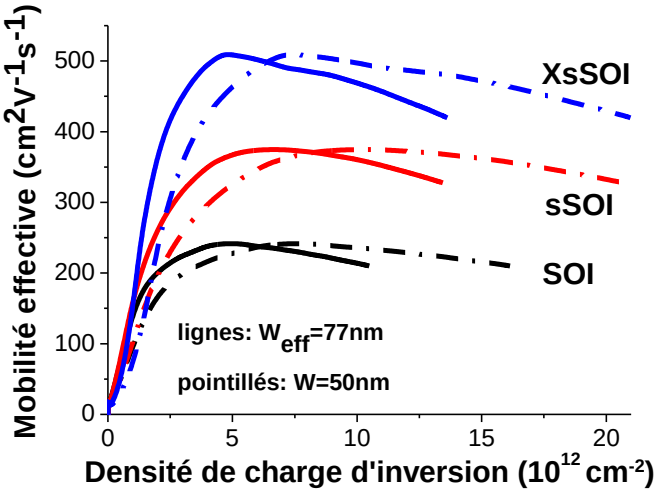

Figure III.51: Mobilité effective de nMOS longs (L_g=10 µm) en fonction de la densité de charge d'inversion, extraite en prenant pour valeur de largeur de grille la largeur de grille dessinée (W=50 nm) ou la largeur de grille effective (W_{eff}=77 nm).

Ces observations montrent que pour des dimensions de largeur de grille réduites, la largeur de grille effective doit être prise en compte pour permettre une extraction correcte et précise de la mobilité à charge d'inversion donnée.

3) Intérêt de l'extraction de la tension de seuil

La tension de seuil comme la mobilité dépend aussi fortement de la contrainte à cause de la modification de la structure de bande. A partir de la formule de la tension de seuil sur SOI et de la théorie du potentiel de déformation, le décalage en tension de seuil entre le sSOI et le SOI ($\Delta V_T = V_{T(sSOI)} - V_{T(SOI)}$) peut être évalué par l'équation III.15 (cf. annexe B 2).

$$\Delta V_T \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{zz}$$ **Equation III.15**

avec Ξ_d et Ξ_u les potentiels de déformation.

Si on remplace ε_{zz} par son expression en fonction de ε_{xx} et ε_{yy}, cette équation devient :

$$\Delta V_T \approx \left[\Xi_d - (\Xi_d + \Xi_u)\frac{C_{12}}{C_{11}}\right](\varepsilon_{xx} + \varepsilon_{yy})$$ **Equation III.16**

La tension de seuil dépend donc directement de la moyenne des déformations dans le plan.

4) Evaluation du gain en performances apporté par les substrats en SOI contraint

Nous allons à présent évaluer le gain en performances apporté par le sSOI (par rapport au SOI) pour des nMOS et pMOS FDSOI en fonction des dimensions. Nous comparerons les compromis I_{ON}(I_{OFF}) sur sSOI par rapport au SOI. Nous présenterons des extractions fines de mobilité réalisées grâce à la méthode split-CV améliorée que nous venons de présenter, ainsi que des extractions de tension de seuil.

4.1. Canal large

Pour les dispositifs mesurés au cours de cette étude, la dimension de la zone active dans le sens du transport L_{ac} est de l'ordre de L_g+1µm. Pour les dispositifs longs (L_g=10 µm), comme pour les dispositifs les plus courts (L_g=25 nm), L_{ac} est donc toujours de l'ordre de quelques micromètres (cf. figure III.52).

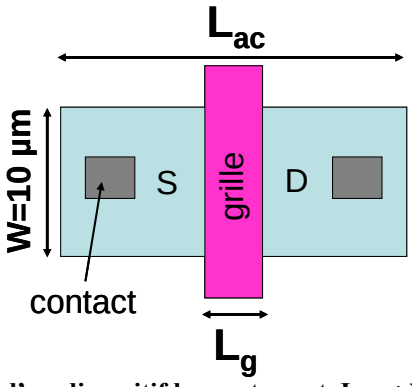

Figure III.52: Schéma vu de dessus d'un dispositif large et court. L_{ac} et W sont respectivement la longueur et la largeur de zone active, L_g est la longueur de grille.

a) Mobilité canal long et large

La mobilité effective μ_{eff} a été extraite en fonction de la densité de charge d'inversion N_{inv}, pour des nMOS longs et larges (L_g=10 µm, W_{eff}=10 µm), avec un canal orienté suivant <110>, sur substrats SOI, sSOI ou XsSOI (cf. figure III.53a). Le gain en mobilité effective à $N_{inv}=5.10^{12}$ cm^{-2} obtenu pour les nMOS sur sSOI (XsSOI) par rapport aux nMOS sur SOI est de 94 % (173 %).

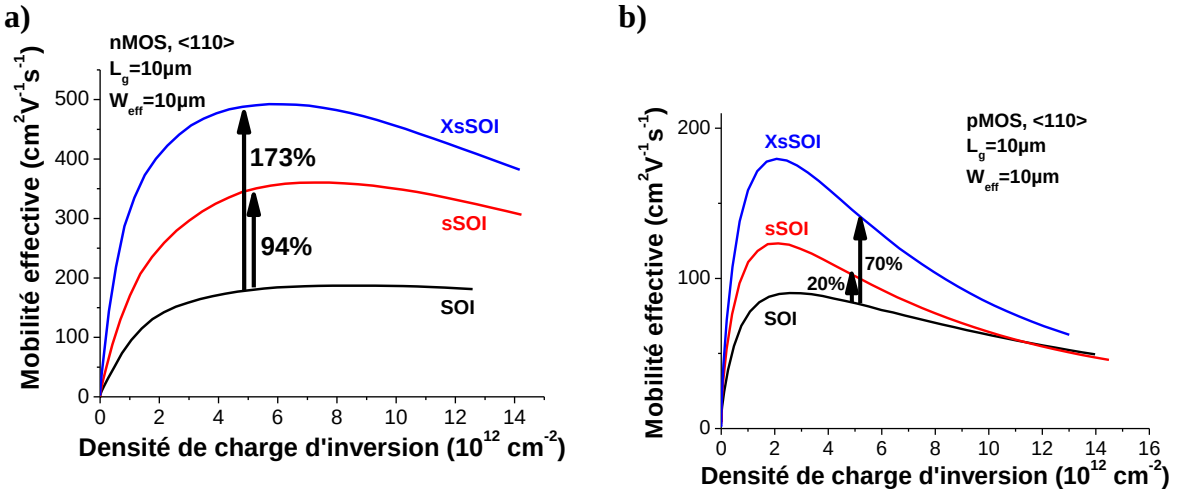

Figure III.53: Mobilité effective en fonction de la densité de charge d'inversion pour des a) nMOS et b) pMOS longs (L_g=10 µm) et larges (W_{eff}=10 µm), orientés <110>, sur SOI, sSOI ou XsSOI.

Pour les pMOS, les courbes $\mu_{eff}(N_{inv})$ ont été tracées sur la figure III.53b. Le gain en mobilité effective à $N_{inv}=5.10^{12}$ cm^{-2} obtenu pour les pMOS sur sSOI (XsSOI) par rapport aux pMOS sur SOI est de 20 % (70 %). Comme attendu, le gain en mobilité apporté par le sSOI (XsSOI) pour les pMOS par rapport au SOI est beaucoup plus faible que pour les nMOS.

b) $I_{ON}(I_{OFF})$ canal court et large

Pour des pMOS larges et courts orientés suivant <110>, aucune amélioration significative du compromis $I_{ON}(I_{OFF})$ n'est observé pour les dispositifs sur sSOI par rapport aux dispositifs sur SOI (cf. figure III.54a).

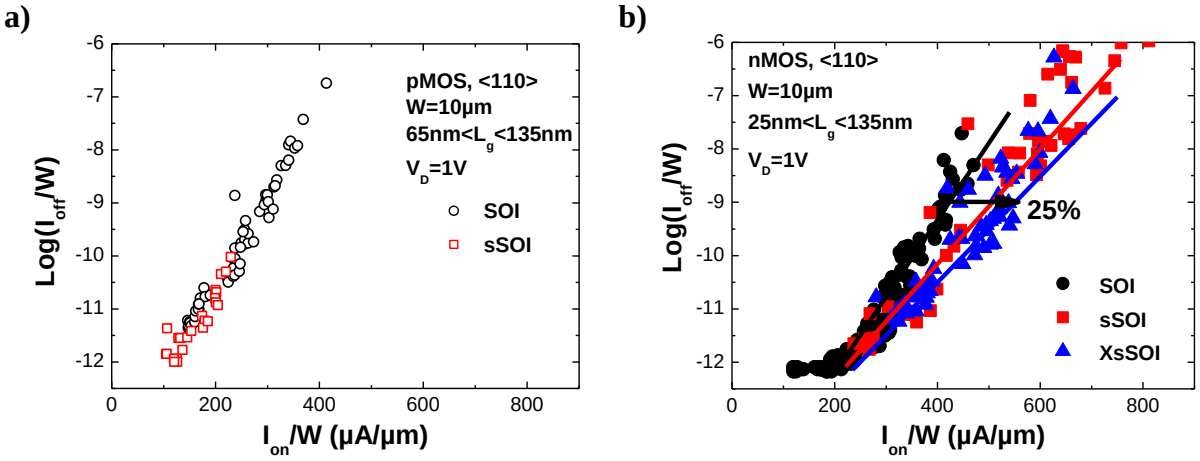

Figure III.54: Compromis I_{on}/I_{off} (à V_D=1V) pour des a) pMOS et b) nMOS larges et courts, orientés <110>, sur substrats SOI, sSOI et XsSOI.

En revanche, pour des nMOS larges et courts orientés suivant <110>, un gain en courant I_{ON} de 25% (13% respectivement) est obtenu sur les substrats XsSOI (sSOI respectivement) par rapport à la référence SOI, pour un même courant de fuite I_{OFF} (cf. figure III.54b). Ce gain en performances obtenu pour des nMOS sur substrats SOI contraints est généralement attribué à une repopulation des électrons dans les vallées Δ_2 qui entraîne une réduction de masse effective de conduction (cf. chapitre I et [Uchida05, Fischetti02]).

Ce gain (de 13-25%) est obtenu à un courant I_{OFF} donné. L'amélioration en performances apporté par le sSOI (XsSOI) est encore plus importante à longueur de grille fixée. Pour illustrer ce phénomène, le courant I_{ON} est tracé sur la figure III.55 en fonction de la longueur de grille. La différence de gain entre les figures III.54b et III.55 est due à une différence de tension de seuil V_T. En effet, la tension de seuil dépend de la contrainte (cf. annexe B 2). Pour les nMOS larges, on observe une diminution de V_T de 0.22 V pour le XsSOI (0.15V pour le sSOI) par rapport au SOI. Ce décalage en tension de seuil est généralement attribué à la levée de dégénérescence de la bande de conduction et à l'abaissement en énergie des vallées Δ_2 avec le SOI contraint (cf. annexe B).

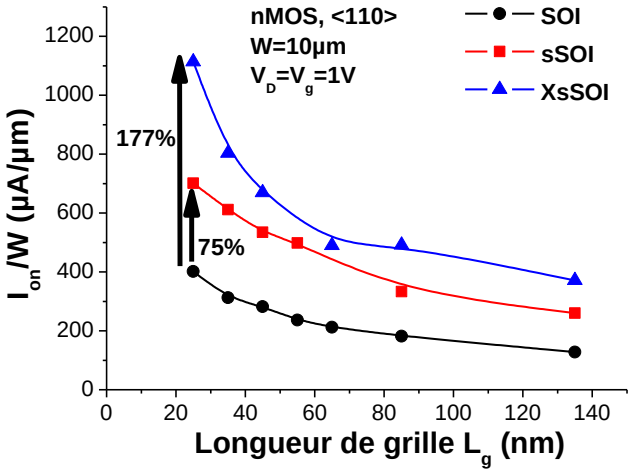

Figure III.55: I_{on}/W (à V_g=V_D=1 V) en fonction de la longueur de grille L_g pour des nMOS larges (W=10 µm) sur substrats SOI, sSOI et XsSOI.

Les résultats obtenus pour les nMOS avec un canal large sont résumés dans le tableau III.7. Un gain en mobilité d'environ 100% (175%) est obtenu pour des nMOS longs et larges sur sSOI (XsSOI) par rapport au SOI. Pour des nMOS courts et larges, le gain en courant de saturation I_{Dsat} (I_{ON} à V_D=1 V) et à I_{OFF} fixé est de 13% (25%) pour les nMOS sur sSOI (XsSOI) par rapport aux nMOS sur SOI.
Le gain en mobilité obtenu pour les nMOS longs et larges sur SOI contraint (par rapport au SOI) ne se retrouve donc qu'en partie dans le gain en courant de saturation (par rapport au SOI) pour les nMOS courts et larges.

Gains	W (µm)	L_g (µm)	L_{ac} (µm)	sSOI	XsSOI
Gain en µ /SOI (%)	10	10	~ 11	94	173
Gain en I_{Dsat} /SOI (%) à I_{OFF} fixé	10	0.025<L<0.135	~ 1.1	13	25

Tableau III.7: Récapitulatif des gains en performances obtenus pour des nMOS larges (orientés <110>) sur sSOI ou XsSOI par rapport au SOI.

Dans le cas des dispositifs mesurés au cours de cette thèse, la dimension de la zone active dans le sens du transport L_{ac} est de l'ordre de L_g+1 µm. Même pour les dispositifs courts (25 nm<L_g<135 nm), la longueur de la zone active est donc de quelques micromètres. Nous avons montré dans la partie I que la dimension caractéristique de la relaxation due à la gravure des zones actives est de quelques centaines de nanomètres. Pour les dispositifs larges (W=10 µm), la largeur et la longueur de la zone active sont donc toutes deux très grandes devant la dimension caractéristique de la relaxation due à la gravure des zones actives, pour les dispositifs longs comme pour les dispositifs courts. Dans le cas de nos dispositifs, on ne peut donc pas attribuer la chute de gain en performances (par rapport au SOI) pour les nMOS courts et larges sur SOI contraint par rapport aux nMOS longs et larges à la relaxation de la contrainte pendant la gravure des zones actives.

Nous pouvons expliquer ce résultat par d'autres phénomènes :

- Parmi les phénomènes d'ordre général, on peut tout d'abord penser aux <u>résistances Source/Drain</u> R_{SD} (cf. paragraphe I.4.2 du chapitre I). Dans le cas de transistors ultra-courts, les résistances R_{SD} deviennent non négligeables devant la résistance du canal $R_{ch,}$ ce qui peut expliquer la chute de gain en performances entre les transistors longs et les transistors courts.

- De plus, pour les transistors courts, nous avons calculé le gain en courant de drain de saturation (à V_D=1V), alors que les mesures de mobilité effective et le calcul du gain en mobilité sont effectués à V_D=50 mV pour les transistors longs. La <u>vitesse de saturation</u> peut aussi expliquer la chute de gain en performances entre les transistors longs et les transistors courts.

Lorqu'on trace la vitesse de dérive v_d des porteurs dans un matériau en fonction du champ électrique moteur ($E_{//}$), on observe à l'état stationnaire une première partie linéaire gouvernée par la mobilité ($v_d=\mu E_{//}$), puis une saturation de v_d ($v_d=v_{sat}$). Le même phénomène a lieu dans un transistor. Lorsque $E_{//}$ devient nettement supérieur à un certain champ critique, le courant de drain du transistor est proportionnel à v_{sat}, et ne dépend donc pas de la contrainte dans le Si (puisque v_{sat} en dépend peu). La saturation de la vitesse de dérive est donc une limite de l'amélioration des performances des transistors via une amélioration du transport.

- Parmi les phénomènes que nous avons étudiés dans la partie I de ce chapitre, la relaxation de la déformation dans le sens du transport pour les petites longueurs de grille lors de l'étape d'<u>implantation des zones de Source et Drain</u> peut être une explication de la chute du gain entre transistors longs et courts.

4.2. Effets de canal étroit

a) <u>Transistors longs et W variable</u>

Nous allons à présent étudier l'évolution du gain en performances apporté par le sSOI (XsSOI) pour rapport au SOI lorsque la largeur de zone active diminue. Nous allons étudier dans un premier temps des nMOS et pMOS longs (L_g=10 µm), avec des largeurs de zone active W_{eff} comprises entre 10 µm et 77 nm.

Pour les dispositifs les plus étroits (cf. figure III.56), la largeur de la zone active devient très inférieure à la dimension caractéristique de la relaxation due à la gravure des zones actives. D'après les résultats de caractérisation physique de la contrainte de la partie I de ce chapitre, nous pouvons donc nous attendre à une relaxation de la déformation dans le sens de la largeur de la zone active, et à un maintien de la contrainte suivant la direction du transport.

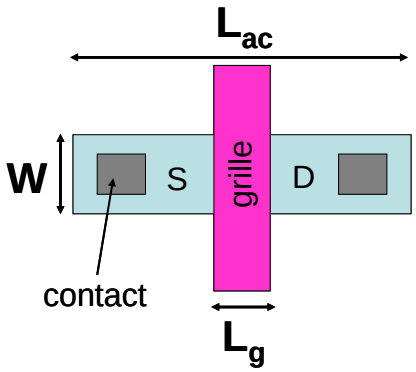

Figure III.56: Schéma vu de dessus d'un dispositif court et étroit.

Nous allons tout d'abord vérifier s'il y a bien relaxation de la déformation moyenne dans le canal $\varepsilon_{xx}+\varepsilon_{yy}$ dans le plan grâce à la mesure de la tension de seuil en fonction de W. Les tensions de seuil V_T ont été extraites à courant de drain fixé ($I_D=10^{-7}$ W/L (A)) et sont tracées sur la figure III.57 en fonction de W_{eff}. Pour les pMOS, l'impact de la contrainte et de la largeur de grille sur la tension de seuil est très faible.

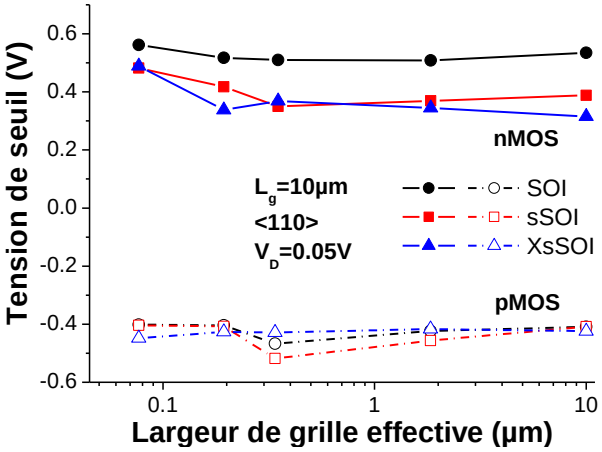

Figure III.57: Tension de seuil en fonction de la largeur de grille effective pour des nMOS et pMOS longs, orientés <110>, sur substrats SOI, sSOI et XsSOI. La tension de seuil est extraite à faible courant de drain (V_D=50 mV).

Pour les nMOS larges, on observe une diminution de V_T de 0.22 V pour le XsSOI (0.15V pour le sSOI) par rapport au SOI. L'écart en tension de seuil entre les dispositifs contraints et non contraints tend à diminuer pour les dispositifs étroits par rapport aux dispositifs larges. D'après l'équation III.16, nous pouvons supposer que ceci est dû à une légère relaxation de la déformation totale dans le canal. Cette relaxation peut s'expliquer comme attendu par l'étape de gravure des zones actives, à cause de leur faible largeur. Nous avions également montré que la grille en TiN pouvait compenser cette relaxation en induisant une déformation en tension dans le canal suivant la largeur de grille. **Cependant, ces deux mécanismes ne semblent pas se compenser totalement, puisque la déformation totale dans le canal se relaxe lorsque la largeur de grille diminue.** Comme L_g=10 µm, la contrainte est maintenue dans la direction du transport. Nous pouvons en déduire que la contrainte dans le canal est quasi-uniaxiale dans la direction du transport, pour L_g=10 µm et W de l'ordre de quelques centaines de nanomètres.

Nous allons maintenant voir quel est l'impact de la relaxation de la déformation dans la direction perpendiculaire au transport lorsque W diminue sur les performances des nMOS et pMOS longs sur sSOI (XsSOI), orientés suivant <110>. Des extractions de mobilité effective ont été effectuées avec la méthode décrite dans le paragraphe 2.2 dans le cas de

dispositifs longs (L_g=10 µm) et de différentes largeurs effectives de grille (77 nm<W_{eff}< 10 µm). La mobilité effective μ_{eff} est tracée sur la figure III.58 en fonction de la largeur de grille effective W_{eff} pour des nMOS et pMOS orientés suivant <110>.

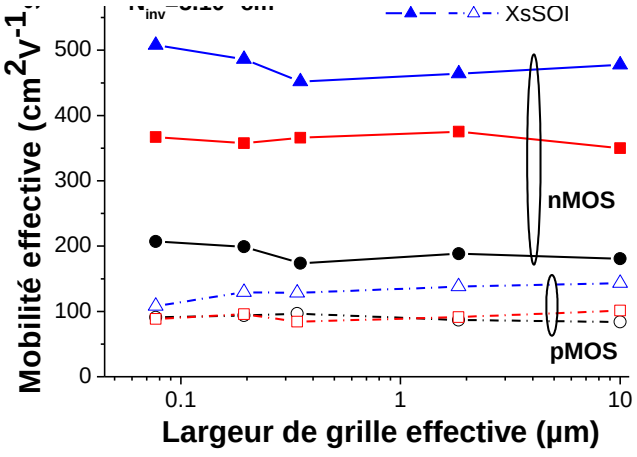

Figure III.58: Mobilité effective en fonction de la largeur de grille effective pour des nMOS et pMOS longs, orientés suivant <110>, sur SOI, sSOI, XsSOI. La mobilité effective est extraite à densité de charge d'inversion fixée N_{inv}=5×10^{12} cm^{-2}.

- Pour les pMOS, il n'y a pratiquement pas de gain en mobilité avec le sSOI par rapport au SOI. Un gain en μ_{eff} de 70 % est obtenu pour les pMOS sur XsSOI par rapport au SOI pour W_{eff}=10 µm (comme déjà montré sur la figure III.53b). Cependant, ce gain diminue avec la réduction de la largeur de grille.

- Pour les nMOS, l'évolution de la mobilité canal long est peu dépendante de la largeur de grille pour le sSOI. Pour le XsSOI et le SOI, on observe une légère augmentation de la mobilité avec la diminution de la largeur de grille. Un gain de 164 % en mobilité effective est obtenu pour les nMOS sur XsSOI par rapport au SOI (pour W_{eff}=10 µm). Ce gain est bien conservé avec la diminution de la largeur de grille (135% pour W_{eff}=77 nm). Pour le sSOI, un gain en μ_{eff} de 93 % est obtenu pour W_{eff}=10 µm (par rapport au SOI), diminuant légèrement avec W_{eff} (72% pour W_{eff}=77nm). Ces résultats sont résumés dans le tableau III.8.

W_{eff} (µm)	L_g (µm)	L_{ac} (µm)	Gains en mobilité par rapport au SOI (%)	
			sSOI	XsSOI
10	10	~ 11	93	164
0.077	10	~ 11	72	135

Tableau III.8: Récapitulatif des gains en mobilité obtenus pour des nMOS longs, orientés <110>, larges ou étroits, sur sSOI ou XsSOI par rapport au SOI.

Pour les nMOS longs orientés suivant <110>, le gain en mobilité d'environ 100 % apporté par le sSOI (165 % pour le XsSOI) par rapport au SOI est donc assez bien conservé avec la diminution de la largeur de zone active.

Nous allons tenter d'expliquer ces résultats grâce aux mesures de déformation en GIXRD de la partie I. Elles peuvent être utilisées pour les dispositifs longs et étroits car c'est la même géométrie que celle des lignes mesurés en GIXRD (la longueur de zone active étant de l'ordre de 10 µm, donc très grande devant d_c la dimension caractéristique de la relaxation). Ces mesures ont montré d'une part que la contrainte est maintenue le long des lignes (de 4

mm), mais se relaxe dans la direction latérale lorsqu'on diminue la largeur de zone active (dans le domaine mesuré 60-230 nm). D'autre part, nous avons montré que la grille en TiN induit une déformation latérale en tension dans les lignes de SOI étroites. Cette contribution ne peut pas être négligée dans la déformation totale de la couche active.

Le modèle de piézoélectricité (cf. annexe A 5) a été utilisé pour proposer une interprétation au 1er ordre des mesures de transport. La mobilité relative par rapport aux transistors larges a été calculée à partir de ce modèle et des mesures de déformation GIXRD présentées précédemment. Pour calculer la mobilité des nMOS et pMOS sur SOI non contraint, les composantes moyennes dans le plan des déformations ε_{xx} et ε_{yy} dans le canal prises en compte sont celles de la figure III.28. La composante ε_{zz} hors du plan (001) est calculée à partir de la relation $\varepsilon_{zz} = -\frac{C_{12}}{C_{11}}(\varepsilon_{xx} + \varepsilon_{yy})$ (cf. annexe A). On suppose enfin que les composantes de déformation de cisaillement sont nulles ou négligeables. On peut ainsi calculer les composantes de la contrainte grâce à la loi de Hooke avec les coefficients de rigidité C_{ij} donnés en annexe A (cf. tableau 1), en utilisant la matrice C exprimée dans la base ([110], [-110], [001]) car les dispositifs ont un canal orienté suivant <110>. On calcule finalement la mobilité en utilisant le modèle de piézoélectricité et en utilisant les coefficients piézoélectriques du tableau 3 en Annexe A 5.

Les résultats de ces calculs et leur comparaison avec les mesures expérimentales de mobilité sont présentés sur la figure III.59 en fonction de la largeur de grille. Cette figure montre un relativement bon accord entre les valeurs expérimentales et les valeurs calculées pour le SOI non contraint. Ceci confirme le fait que la grille en TiN a un impact non négligeable sur les performances des dispositifs. Il doit donc probablement être pris en compte pour expliquer l'augmentation de mobilité pour les nMOS étroits sur SOI par rapport aux nMOS larges sur SOI observée sur la figure III.58.

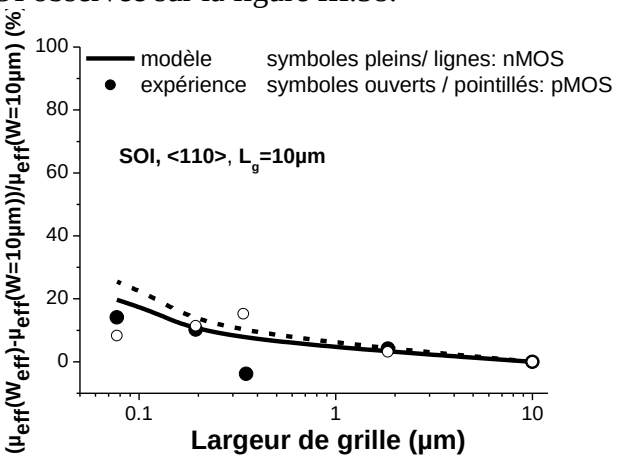

Figure III.59: Mobilité effective normalisée pour des nMOS et pMOS sur SOI orientés <110> (de longueur de grille L_g=10 µm) en fonction de la largeur de grille. Les symboles correspondent aux mesures de transport et les lignes au calcul réalisé à partir des mesures de déformation GIXRD et du modèle piézoélectrique.

Pour analyser les effets de largeur du SOI contraint, nous supposons une influence similaire de la grille en TiN sur les lignes en sSOI (XsSOI) que sur les lignes en SOI. De même, nous prenons en compte les effets de relaxation de la contrainte due à la gravure grâce aux valeurs des composantes moyennes dans le plan des déformations ε_{xx} et ε_{yy} dans le canal de la figure III.15. La mobilité relative pour les lignes de sSOI (XsSOI) peut être calculée en considérant ces deux contributions et en utilisant le modèle piézorésistif comme précédemment. Même si les modèles piézorésistifs ne sont pas nécessairement valides aux

niveaux de contrainte élevés présents dans le canal en sSOI [Uchida05], ce modèle reproduit plutôt bien les tendances expérimentales de la mobilité pour les nMOS et les pMOS sur sSOI et XsSOI, comme on peut le voir sur les figures III.60a et b.

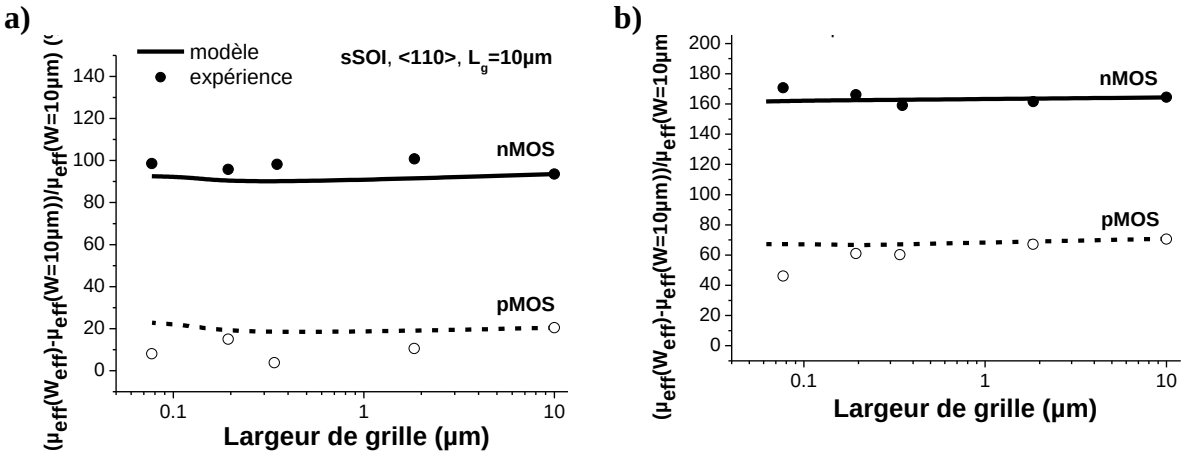

Figure III.60: Mobilité effective normalisée pour des nMOS et pMOS sur a) sSOI et b) XsSOI, orientés <110> (de longueur de grille L_g=10 µm) en fonction de la largeur de grille. Les symboles correspondent aux mesures de transport et les lignes au calcul réalisé à partir des mesures de déformation GIXRD et du modèle piézoélectrique.

Nous avons montré que la mobilité effective des nMOS longs et étroits sur XsSOI est meilleure que la mobilité effective des nMOS longs et larges, dans le cas d'un canal orienté suivant <110> (cf. figure III.58). La relaxation partielle de la déformation dans le canal suivant la largeur de grille semble donc bénéfique pour le transport des nMOS sur SOI contraint avec un canal orienté <110>. Ce résultat est cohérent avec les calculs d'Uchida et al. [Uchida05], qui ont montré que pour des niveaux élevés de déformation (valable en dehors du régime de piézorésistivité), une contrainte uniaxiale le long de <110> est plus efficace qu'une contrainte biaxiale (cf. figure I.16 du chapitre I).

b) Effets de l'orientation du canal

i. Tension de seuil

Les tensions de seuil ont été extraites pour des transistors longs et étroits avec différentes orientations du canal (cf. figure III.61).

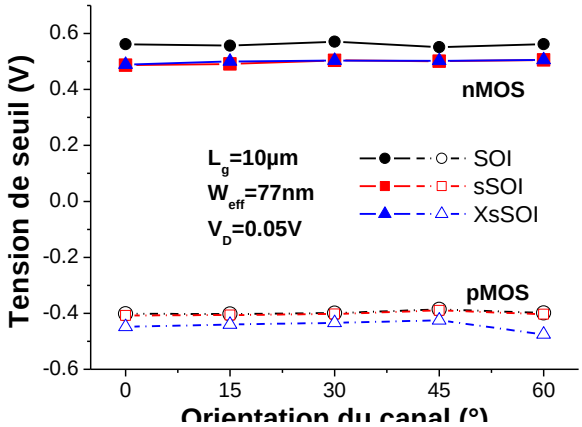

Figure III.61: Tension de seuil en fonction de l'orientation du canal pour des n- et p-MOS longs et étroits sur substrats SOI, sSOI et XsSOI. La tension de seuil est extraite à faible courant de drain (V_D=50 mV).

Les résultats montrent une très faible influence de l'orientation du canal sur la tension de seuil à la fois pour les nMOS et les pMOS. Il peut être facilement démontré (en généralisant la démonstration faite en annexe B pour une orientation quelconque du canal), que l'équation III.16 est indépendante de l'orientation du canal à une largeur de canal fixée. Ceci est vrai pour des déformations tensiles dans le plan, car dans ce cas, les vallées Δ_2 sont toujours les plus basses en énergie, quelle que soit l'orientation du canal.

ii. Mobilité effective

Des extractions de mobilité effective ont été réalisées pour des n et p-MOSFETs longs et étroits avec différentes orientations du canal (cf. figure III.62). Pour les transistors non contraints, aucun impact significatif de l'orientation du canal sur la mobilité n'est observé. En revanche, la mobilité des n- et p-MOS longs et étroits sur SOI contraint dépend fortement de l'orientation du canal.

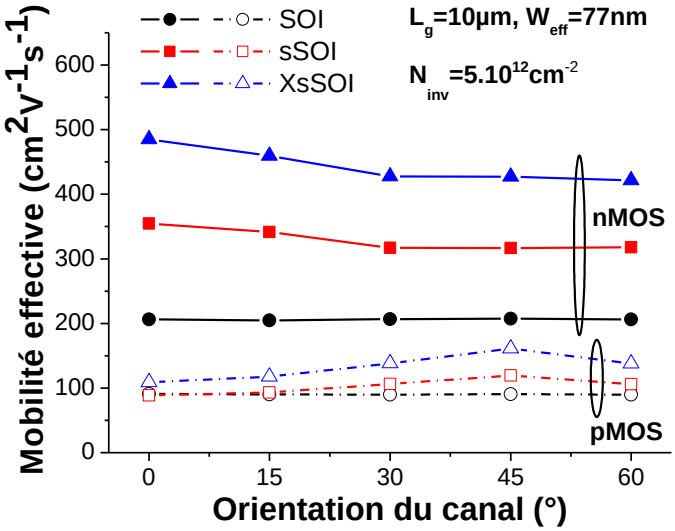

Figure III.62: Mobilité effective en fonction de l'orientation du canal pour des n- et p-MOS longs et étroits sur substrats SOI, sSOI et XsSOI. La mobilité effective est extraite à densité de charge d'inversion fixée $N_{inv}=5\times10^{12}$ cm^{-2}.

- Pour les pMOS sur SOI contraint, la meilleure orientation du canal est l'orientation <100> (c'est-à-dire à 45° de l'orientation classique), comme le montre la figure III.62. En effet, le gain en mobilité pour des pMOS sur XsSOI par rapport au SOI est de 77% pour l'orientation <100>, contre seulement 19% pour l'orientation <110>.

- Pour les nMOS longs et étroits sur SOI contraint, la meilleure orientation du canal est l'orientation classique <110> (cf. figure III.62). Pour un canal orienté suivant <110>, des gains en mobilité de 135% (72%) sont obtenus sur XsSOI (sSOI) par rapport au SOI, alors que ces gains ne sont que de 106% (53%) pour l'orientation <100>.

Les mesures de mobilité effective montrent que la mobilité des nMOS longs et étroits sur SOI contraint est meilleure pour un canal orienté suivant <110> que pour un canal orienté suivant <100>. Elles sont donc cohérentes avec les résultats de Uchida et al. [Uchida05], qui ont démontré, par des calculs de structure de bande et de masse effective d'une part, et par des mesures expérimentales de gain en mobilité d'autre part, qu'une contrainte uniaxiale suivant <110> est meilleure qu'une contrainte uniaxiale suivant <100> pour les nMOS. L'explication de cet effet a été attribuée à un changement et une anisotropie de la masse effective dus à la composante en cisaillement du tenseur de déformation dans le système d'axes cristallographiques principaux, dans le cas d'un canal orienté <110> et d'une contrainte non

biaxiale [Ungersboeck07, Hensel65]. Or, cette composante de cisaillement apparaît directement pour les canaux orientés <110> lorsqu'on exprime le tenseur des déformations dans le système d'axes cristallographiques principaux (x,y,z), et non plus dans le système d'axes du transistor (x',y',z') (cf. matrice de rotation en annexe A 4c). En effet, si le tenseur des déformations est

$$\begin{pmatrix} \varepsilon_{x'x'} & 0 & 0 \\ 0 & \varepsilon_{y'y'} & 0 \\ 0 & 0 & \varepsilon_{z'z'} \end{pmatrix} \quad \underline{\text{dans le système d'axes (x',y',z')}},$$

il devient <u>dans le système d'axes (x,y,z)</u>:

$$\begin{pmatrix} 1/2\left(\varepsilon_{x'x'}+\varepsilon_{y'y'}\right) & 1/2\left(\varepsilon_{x'x'}-\varepsilon_{y'y'}\right) & 0 \\ 1/2\left(\varepsilon_{x'x'}-\varepsilon_{y'y'}\right) & 1/2\left(\varepsilon_{x'x'}+\varepsilon_{y'y'}\right) & 0 \\ 0 & 0 & \varepsilon_{z'z'} \end{pmatrix} = \underbrace{\begin{pmatrix} 1/2\left(\varepsilon_{x'x'}+\varepsilon_{y'y'}\right) & 0 & 0 \\ 0 & 1/2\left(\varepsilon_{x'x'}+\varepsilon_{y'y'}\right) & 0 \\ 0 & 0 & \varepsilon_{z'z'} \end{pmatrix}}_{\text{composante biaxiale}} + \underbrace{\begin{pmatrix} 0 & 1/2\left(\varepsilon_{x'x'}-\varepsilon_{y'y'}\right) & 0 \\ 1/2\left(\varepsilon_{x'x'}-\varepsilon_{y'y'}\right) & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix}}_{\text{composante en cisaillement}}$$

En GIXRD, nous avons mesuré les déformations $\varepsilon_{x'x'}$ (déformation longitudinale) et $\varepsilon_{y'y'}$ (déformation latérale). Nous pouvons donc calculer à partir de ces mesures la composante de cisaillement dans le cas des lignes sSOI et XsSOI par la relation :

$$\varepsilon_{xy} = 1/2\left(\varepsilon_{x'x'} - \varepsilon_{y'y'}\right)$$

La composante biaxiale est quant à elle :

$$\varepsilon_{xx} = \varepsilon_{yy} = 1/2\left(\varepsilon_{x'x'} + \varepsilon_{y'y'}\right)$$

Les valeurs de composante biaxiale et de cisaillement pour les lignes sSOI et XsSOI de largeur W=77 nm sont résumées dans le tableau III.9.

	$\varepsilon_{x'x'}$ (%)	$\varepsilon_{y'y'}$ (%)	**Composante de cisaillement** $\varepsilon_{xy} = 1/2\left(\varepsilon_{x'x'} - \varepsilon_{y'y'}\right)$ (%)	**Composante biaxiale** $\varepsilon_{xx} = \varepsilon_{yy} = 1/2\left(\varepsilon_{x'x'} + \varepsilon_{y'y'}\right)$ (%)
sSOI	0.82	0.36	0.23	0.59
XsSOI	1.16	0.57	0.29	0.86

Tableau III.9: Valeurs des composantes du tenseur de déformation dans le système d'axes cristallographiques des lignes (x',y',z') et dans le système d'axes cristallographiques principaux (x,y,z) pour des lignes sSOI et XsSOI de largeur W=77 nm.

D'après [Ungersboeck07] (voir figure III.63), nous pouvons estimer que la seule composante de cisaillement est responsable d'une réduction de 10% de la masse effective transverse dans la direction du transport <110> pour les transistors de largeur de grille W_{eff}=77 nm sur XsSOI (respectivement 8% sur sSOI).

Cette diminution de masse effective due à la composante en cisaillement s'additionne (dans l'hypothèse de linéarité) au gain en mobilité dû à la composante biaxiale résiduelle (cf. tableau III.9), par rapport à des transistors non contraints. Cette contribution de la composante en cisaillement de la déformation pour une contrainte non biaxiale n'existe pas pour des transistors sur sSOI orientés selon <100> car dans ce cas, toutes les composantes de la déformation sont suivant les axes cristallographiques principaux. Ceci peut expliquer que pour les nMOS longs et étroits sur sSOI, où la déformation en tension est principalement dans la direction du transport, les performances du dispositif sont anisotropes avec une meilleure orientation suivant <110> (cf. figure III.62).

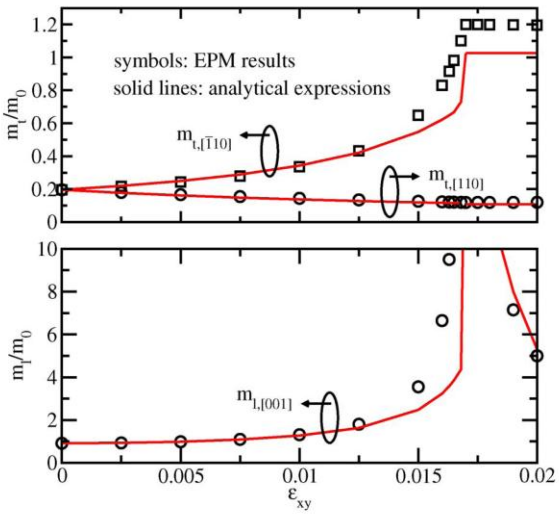

Figure III.63: Comparaison des calculs par la méthode EPM (empirical pseudopotential method) avec des expressions analytiques des masses effectives le long des directions [001], [110] et [-110] en fonction de la composante de cisaillement de la déformation [Ungersboeck07].

L'effet bénéfique de la relaxation, qui permet de transformer la contrainte biaxiale en tension du sSOI en une contrainte uniaxiale en tension dans la direction du transport, peut être utilisé pour augmenter les performances des nMOSFETs [Feste09]. Dans ce cas, on cherche à avoir une largeur de zone active petite pour que la contrainte se relaxe dans la direction perpendiculaire au transport, et une longueur de zone active suffisamment grande pour que la contrainte soit maintenue dans la direction du transport (cf. figure III.64b). Dans ce cas, les meilleures performances sont obtenues si la direction du transport est <110>, comme nous venons de le montrer. Pour les pMOSFETs, le même effet peut aussi être utilisé [Thean05b], mais en cherchant dans ce cas à relaxer la contrainte en tension du sSOI dans la direction du transport (qui est néfaste pour le transport des trous) en diminuant la distance L entre les bords de grille et l'isolation, et à maintenir la contrainte en tension dans la direction perpendiculaire au transport en gardant une zone active suffisamment large (cf. figure III.64c).

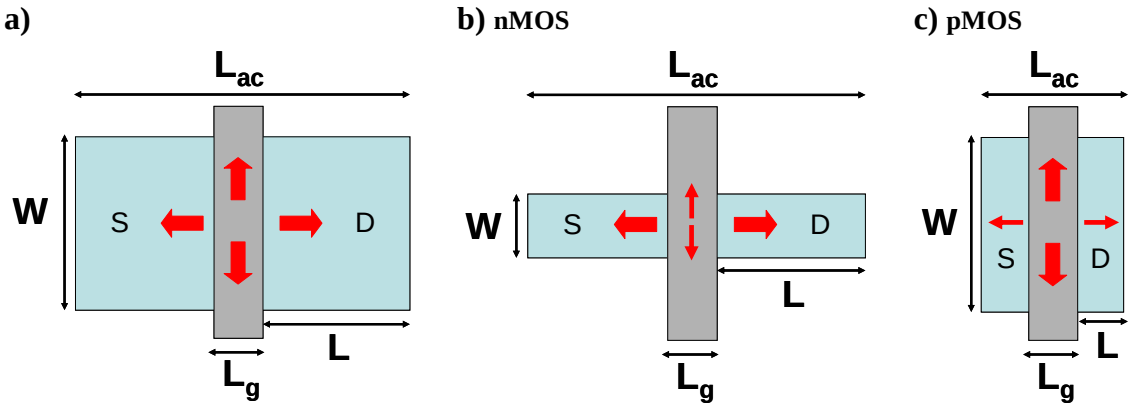

Figure III.64: Schémas illustrant la relaxation de la contrainte initiale en tension biaxiale du sSOI en fonction des dimensions de la zone active et des règles de dessin. L_{ac} et W sont respectivement la longueur et la largeur de zone active, L_g est la longueur de grille, L est la distance entre le bord de grille et l'isolation dans la direction du canal. (a) Le matériau sSOI est en tension biaxiale pour W et L_{ac} grands. (b) Relaxation de la contrainte en tension dans la direction perpendiculaire au transport pour les petits W. La contrainte devient quasi-uniaxiale en tension dans la direction du transport. Cette configuration est idéale pour les nMOS avec un canal orienté <110>. (c) Relaxation de la contrainte en tension dans la direction du transport pour les petits L. La contrainte devient quasi-uniaxiale en tension dans la direction perpendiculaire au transport. Cette configuration est bénéfique pour les pMOS.

c) $I_{ON}(I_{OFF})$ des nMOS courts et étroits

i. Impact de l'orientation du canal pour les nMOS courts et étroits

Les caractéristiques $I_D(V_G\text{-}V_T)$ ont été tracées pour des nMOS courts et étroits (L_g=35 nm, W_{eff}=77 nm) sur SOI non contraint (cf. figure III.65a) et sur XsSOI (cf. figure III.65b).

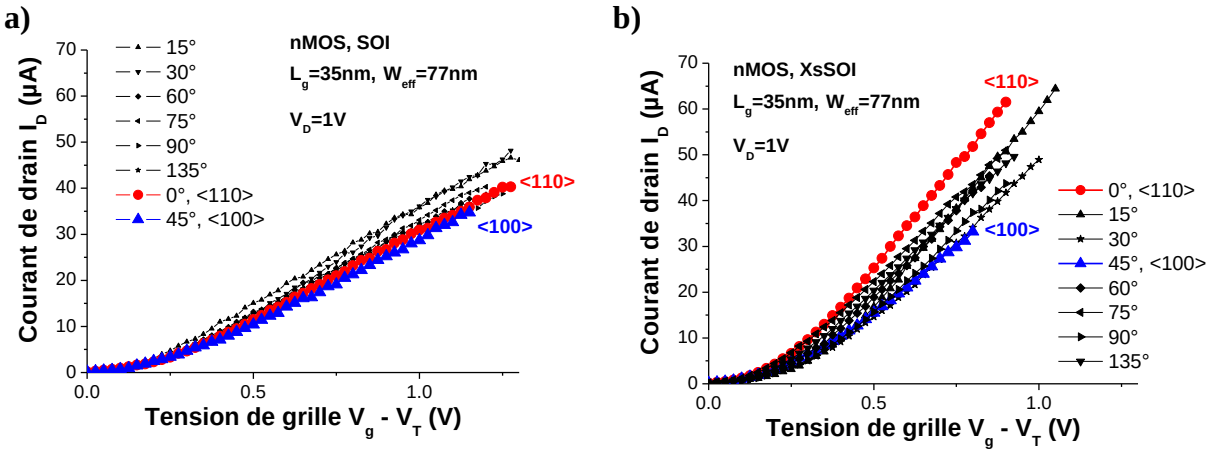

Figure III.65: Courant de drain I_D (à V_D=1V) en fonction de la tension de grille V_g-V_T pour des nMOS courts et étroits sur a) SOI et b) XsSOI. Les caractéristiques sont tracées pour différentes orientations du canal des nMOS (0°, 15°, 30°, 45°, 60°, 75°, 90°, 135°).

➢ Pour les nMOS courts et étroits sur SOI non contraint, en accord avec la littérature [Irie04], une faible influence de l'orientation du canal sur les caractéristiques $I_D(V_G\text{-}V_T)$ est observée sur la figure III.65a.

➢ Pour les nMOS courts et étroits sur substrats SOI contraints, les caractéristiques $I_D(V_G\text{-}V_T)$ de la figure III.65b montrent un large impact de l'orientation du canal. Les meilleures performances sont obtenues avec un canal orienté suivant <110>. Ce résultat est cohérent avec les mesures de mobilité pour les nMOS longs et étroits sur SOI contraint en fonction de l'orientation du canal (cf. figure III.62). Rappelons que pour les dispositifs mesurés au cours de cette thèse, la longueur de zone active L_{ac} est micrométrique, même pour les dispositifs courts. Pour les dispositifs courts et étroits, la contrainte est donc quasi-uniaxiale dans la direction du transport, comme pour les dispositifs longs et étroits. C'est pour cette raison que l'on retrouve les mêmes effets d'anisotropie pour les transistors courts et étroits que pour les transistors longs et étroits.

A V_g-V_T=1V, le gain en courant I_D (à V_D=1 V) est de 127 % pour des nMOS courts et étroits sur XsSOI par rapport au SOI pour un canal orienté suivant <110>, alors qu'il n'est que de 55% pour un canal orienté suivant <100> (cf. figure III.66).

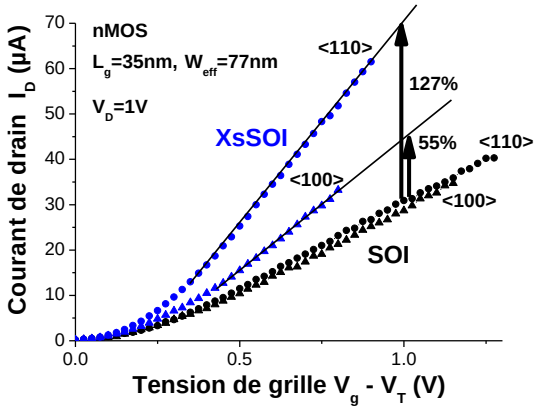

Figure III.66: Courant de drain I_D (à V_D=1V) en fonction de la tension de grille V_g-V_T pour des nMOS courts et étroits sur SOI et XsSOI, avec un canal orienté suivant <110> ou <100>.

Les résultats des gains en performances pour les nMOS étroits (W_{eff}=77 nm) sur XsSOI par rapport au SOI sont résumés dans le tableau III.10 pour les orientations du canal <110> et <100>.

Gains	W_{eff} (µm)	L_g (µm)	L_{ac} (µm)	Orientation <110>	Orientation <100>
gain en µ /SOI (%)	0.077	10	~ 11	135	106
gain en I_{Dsat} /SOI (%) à V_g-V_T=1V	0.077	0.035	~ 1	127	55

Tableau III.10: Récapitulatif des gains en performances obtenus pour des nMOS étroits sur XsSOI par rapport au SOI, pour un canal orienté suivant <110> ou <100>.

ii. $I_{ON}(V_T)$ pour des nMOS courts et étroits, avec un canal orienté <110>

Le compromis $I_{ON}(V_T)$ est tracé sur la figure III.67 pour des dispositifs étroits de largeur de grille effective W_{eff}=77 nm avec une longueur de grille minimum de 25 nm. Cette figure montre qu'à tension de seuil fixée dans le régime de saturation, un gain en courant I_{on} de 80% (35% respectivement) est obtenu pour des nMOS courts et étroits sur XsSOI (sSOI respectivement) par rapport au SOI.

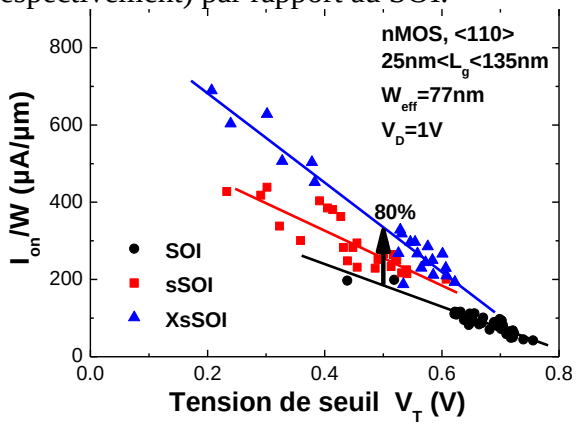

Figure III.67: Compromis $I_{on}(V_T)$/W normalisé pour des nMOS courts et étroits, orientés suivant <110>, sur substrats SOI, sSOI ou XsSOI.

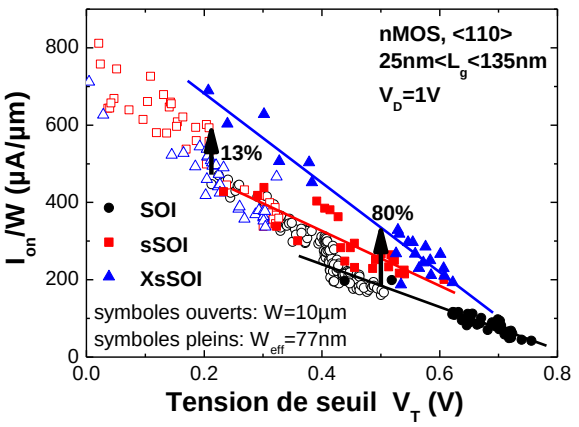

Figure III.68: Compromis $I_{on}(V_T)$/W normalisé pour des nMOS courts, larges ou étroits, orientés suivant <110>, sur substrats SOI, sSOI ou XsSOI[23].

De meilleurs gains en I_{ON} à tension de seuil fixée par rapport au SOI sont obtenus pour les nMOS courts et étroits sur sSOI (XsSOI) par rapport aux nMOS courts et larges sur sSOI (XsSOI), comme le montre clairement la figure III.68.

Les gains en performances mesurés pour les nMOS de différentes largeur et longueur de grille avec un canal orienté suivant <110> sont résumés dans le tableau III.11 et sur les figures III.69 a et b.

gains	W_{eff} (µm)	L_g (µm)	L_{ac} (µm)	sSOI	XsSOI
gain en µ /SOI (%)	10	10	~ 11	93	164
gain en I_{Dsat} /SOI (%) à I_{OFF} fixé	10	0.025<L_g<0.135	~ 1.1	13	25
gain en µ /SOI (%)	0.077	10	~ 11	72	135
gain en I_{Dsat} /SOI (%) à V_T fixé	0.077	0.025<L_g<0.135	~ 1.1	35	80

Tableau III.11: Récapitulatif des gains en performances obtenus pour des nMOS orientés <110> sur sSOI ou XsSOI par rapport au SOI.

[23] On peut remarquer que le courant I_{ON} est plus faible pour les nMOS étroits que pour les nMOS larges. Ceci peut s'expliquer par une différence de tension de seuil entre les nMOS larges et étroits. Cet effet a été étudié en détail dans [Brunet10].

L'influence des différentes étapes du procédé de fabrication des nMOSFETs sur la contrainte du matériau sSOI du canal en fonction des dimensions est résumée dans le tableau III.12.

W_{eff} (µm)	L_g (µm)	L_{ac} (µm)	Relaxation par gravure des zones actives	Effet grille TiN PVD (10 nm)	Relaxation par implantation S/D
10	10	~ 11	non	non	non
10	0.025<L<0.135	~ 1.1	non	Tension suivant L +	Oui, suivant L -
0.077	10	~ 11	Oui, suivant W +	Tension suivant W +	non
0.077	0.025<L<0.135	~ 1.1	Oui, suivant W +	Tension suivant L +, Tension suivant W +	Oui, suivant L -

Tableau III.12: Influence des différentes étapes du procédé de fabrication des nMOSFETs sur la contrainte du matériau sSOI du canal en fonction des dimensions.

- La réduction de la largeur de zone active W est bénéfique pour les performances des nMOS, car la contrainte est alors en tension quasi-uniaxiale dans la direction du transport (car dans notre cas la longueur de zone active L_{ac} est de l'ordre du micromètre). D'une part, la réduction de W entraîne une diminution de la composante biaxiale de la déformation dans le canal. Mais d'autre part, elle entraîne une augmentation de la composante de cisaillement. La diminution de masse effective due à la composante de cisaillement s'additionne au gain en mobilité dû à la composante biaxiale résiduelle.

- Nous avons simulé dans cette étude l'effet d'une grille TiN déposée par PVD sur la déformation induite dans le canal dans la direction de la largeur de grille. Guillaume et al. [Guillaume04] ont étudié l'effet d'une grille TiN déposée par dépôt chimique en phase vapeur (CVD) sur la déformation induite dans le canal de nMOS sur SOI dans la direction de la longueur de grille. Ils ont mesuré que la contrainte intrinsèque de la grille TiN pleine plaque est dans ce cas tensile, avec des valeurs comprises entre +2.5 GPa et +5.4 GPa pour différentes conditions de dépôt. La gravure de la grille entraîne une relaxation de la contrainte biaxiale en tension du TiN, qui induit des concentrations de tension dans le canal près des bords de grille. Par contre, la contrainte est pratiquement constante et compressive sous la grille et dans la majeure partie du canal, pour des longueurs de grille de 100 nm. La théorie du potentiel de déformation a ensuite été utilisée dans [Guillaume04] pour décrire l'effet de la contrainte induite par la grille TiN dans le canal sur la structure de bande, et donc sur les propriétés de transport. Pour les nMOS, il a été montré une dégradation relativement faible de la mobilité des électrons dû à la grille TiN (et peu sensible à la réduction de la longueur de grille), à condition que le canal soit orienté dans la direction <110> et pour les niveaux de contrainte intrinsèque tensile du TiN considérés (entre +2.5 GPa et +5.4 GPa). Dans notre étude, la grille TiN PVD utilisée a une contrainte intrinsèque compressive de -3.5 GPa. Elle introduit donc une contrainte en tension dans le canal dans la direction du transport. Cet effet est positif pour les nMOS.

- Nous avons mesuré par GIXRD que la grille TiN induisait une contrainte en tension suivant W pour les petites largeurs de grille. Cet effet est positif pour les nMOS car il permet de compenser la diminution de la composante biaxiale de la déformation due à la gravure des zones actives.

- L'effet de contrainte néfaste dominant avec la réduction de la longueur de grille L_g est la relaxation de la contrainte dans la direction du transport due à l'implantation des Source/Drain.

Les gains en performances obtenus grâce au SOI contraint sont beaucoup plus élevés pour les nMOS courts et étroits que pour les nMOS courts et larges (cf. tableau III.11 et figures III.69a et b). Ce phénomène peut s'expliquer par le fait que la contrainte est quasi-uniaxiale dans la direction <110> du transport pour les nMOS courts et étroits à cause de la relaxation de la contrainte suivant la largeur de grille (et son maintien suivant la longueur de zone active micrométrique), alors que pour les nMOS courts et larges la contrainte reste biaxiale car il n'y a pas de relaxation de la contrainte (L_{ac} et W grands).

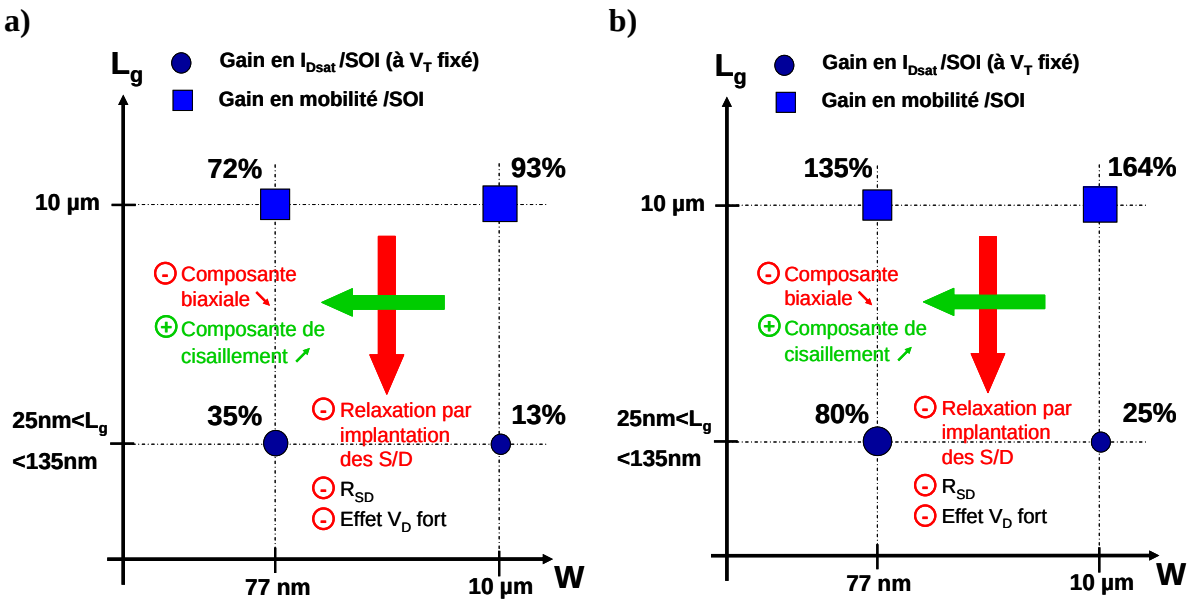

Figure III.69: Récapitulatif des gains en performances obtenus pour des nMOS orientés <110> sur a) sSOI et b) XsSOI par rapport au SOI.

Conclusion du chapitre III

Nous avons montré grâce aux mesures de déformation en GIXRD que le type et le niveau de contrainte dans le canal des transistors sur sSOI est très dépendant de la géométrie et des règles de dessin. Le comportement de la contrainte du sSOI doit donc s'étudier avec les règles de dessin et dans la géométrie d'un produit donné. Des simulations 3D seront sûrement nécessaires pour comprendre et maîtriser les mécanismes de la relaxation. Des modèles compacts pourraient tenir compte du comportement de la contrainte en fonction des dimensions (donné par des mesures et des simulations 3D) pour prévoir les performances des dispositifs en fonction des dimensions (L_g, W, L_{ac} (cf. figure III.70)).

Les dispositifs mesurés au cours de cette étude ont une longueur de zone active de l'ordre de quelques micromètres, ce qui a permis d'étudier les effets de la réduction de la largeur de zone active et de la longueur de grille sur la contrainte et les performances des transistors sur sSOI. Les dimensions de la zone active et de la longueur de grille sont données dans le tableau III.13 pour les nœuds technologiques des dispositifs de l'état de l'art. Il serait intéressant de poursuivre cette étude de mesure de déformation en GIXRD sur des rectangles de sSOI de dimensions nanométriques, qui correspondent à la zone active de dispositifs MOSFETs de l'état de l'art. Pour les dispositifs FDSOI, l'épaisseur de la couche active de Si est censée diminuer avec les nœuds technologiques. Ceci va dans le bon sens pour le maintien de la contrainte dans le sSOI, comme nous l'avons vu.

Nœud technologique (nm)	Longueur de grille L_g (nm)	Distance bord de grille/isolation L (nm)	Longueur de zone active $L_{ac}=2L+L_g$ (nm)	Largeur de zone active W (nm)
45	35	~ 95 à 100	~ 225 à 235	100
32	30	~ 70 à 75	~ 170 à 180	70
22	25	~ 50 à 55	~ 125 à 135	50
16	20	40	100	40

Tableau III.13: Dimensions de la zone active et de la longueur de grille du transistor nominal pour les nœuds technologiques 45 nm, 32 nm, 22 nm et 16 nm (données de la littérature).

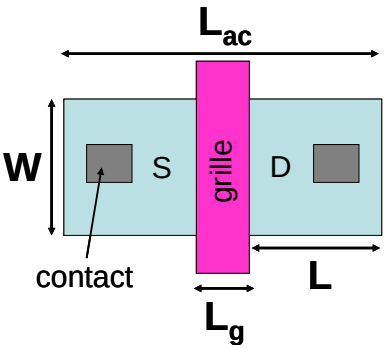

Figure III.70: Schéma vu de dessus d'un dispositif MOSFET. L_{ac} et W sont respectivement la longueur et la largeur de zone active, L_g est la longueur de grille.

Pour les pMOS, l'utilisation des substrats sSOI est beaucoup moins efficace que pour les nMOS, car une contrainte en tension biaxiale augmente la mobilité des électrons, mais peu celle des trous. Pour les forts niveaux de contrainte (XsSOI par exemple), un gain pour les pMOS est obtenu, mais bien inférieur à celui des nMOS. Pour augmenter la mobilité des pMOSFETs sur SOI, nous avons étudié d'autres techniques permettant d'introduite une contrainte en compression dans le canal dans la direction du transport, bénéfique pour le transport des trous. Ceci fera l'objet du chapitre IV.

CHAPITRE IV:

ETUDE DE STRUCTURES INNOVANTES PERMETTANT D'INTRODUIRE UNE CONTRAINTE LOCALEMENT DANS LE CANAL DE DISPOSITIFS MOSFETS SUR SOI OU SUR SSOI

SOMMAIRE DU CHAPITRE IV

I/ Les Sources/Drains enterrés en SiGe pour augmenter les performances des pMOS FDSOI sur SOI ou sur sSOI 125
1) Fabrication des dispositifs 125
2) Gain en performances apporté par les S/D eSiGe par rapport aux S/D classiques en Si 127
3) Méthode de la fonction Y : extraction des résistances séries et de la mobilité à faible champ 128
4) Explication de l'origine du gain en performances 134

II/ Les dispositifs à transfert de contrainte (STS) 136
1) Principe du transfert de contrainte 136
2) Solution pour les pMOS : Transfert de contrainte par un oxyde enterré en nitrure précontraint 137
2.1. Intérêt de la structure 137
2.2. Fabrication des structures 138
2.3. Mesures GIXRD : évaluation de l'efficacité du transfert de contrainte 140
2.4. Simulations mécaniques par éléments finis 143
3) Solution pour les nMOS : Transfert de contrainte par une couche de SiGe enterrée sous le canal 147
3.1. Fabrication des structures et intérêt 147
3.2. Mesures GIXRD : évaluation de l'efficacité du transfert de contrainte 148
3.3. Simulations mécaniques par éléments finis 154

III/ Canal SiGe pour les pMOS 163
1) Structures étudiées 164
2) Résultats de caractérisation électrique 164

IV/ Proposition de co-intégration CMOS 167

L'utilisation des substrats sSOI est très efficace pour augmenter les performances des nMOS, mais moins efficace pour les pMOS, comme nous venons de le montrer dans le chapitre précédent. Les solutions utilisées dans l'industrie pour augmenter les performances des pMOS sont les CESL, l'utilisation d'une orientation différente du canal ou du substrat, ou des source/drain enterrés en SiGe (eSiGe S/D).

Dans ce chapitre, nous allons étudier plusieurs solutions innovantes permettant d'augmenter les performances des pMOS grâce à l'introduction d'une contrainte localement dans le canal, soit sur substrats sSOI, soit sur substrats SOI non contraints.

I/ Les Sources/Drains enterrés en SiGe pour augmenter les performances des pMOS FDSOI sur SOI ou sur sSOI

La technique d'introduction d'une contrainte dans le canal par des Source/Drain (S/D) enterrés en SiGe (eSiGe pour « embedded SiGe ») est très prometteuse car elle change la contrainte de manière locale par les bords du canal. Par conséquent, cette technique est particulièrement efficace pour les faibles longueurs de canal [Yeo05]. Un autre avantage de l'utilisation de S/D en SiGe est la réduction des résistances séries par rapport à des S/D classiques en silicium [Ang07]. Le but de cette étude est de démontrer la compatibilité de S/D enterrés en SiGe avec les substrats sSOI, afin d'envisager une future co-intégration sur une même plaque sSOI de nMOS avec des S/D en Si ou $Si_{1-x}C_x$ enterrés et de pMOS avec des S/D SiGe enterrés.

En ce qui concerne les applications FDSOI, des S/D eSiGe ont déjà été intégrés mais pour des films de 30 nm d'épaisseur [Ang07], ou sans gravure préalable des S/D [Cheng09]. Il faut noter que, pour des épaisseurs de couche active inférieures à 15 nm, l'étape de gravure des S/D est critique car il faut laisser une épaisseur suffisante de silicium sur le BOX avant la reprise d'épitaxie des S/D en SiGe. De plus, l'utilisation de S/D eSiGe pour des pMOS sur substrats sSOI a déjà été étudiée pour des dispositifs PDSOI [Thean06], mais jamais encore pour des dispositifs FDSOI.

1) Fabrication des dispositifs

Les dispositifs étudiés sont des p-MOSFETs FDSOI avec un canal orienté <110> et une surface orientée (001). Les substrats sur lesquels sont fabriqués ces transistors sont soit des substrats sSOI, soit des substrats SOI. L'épaisseur de silicium du canal se situe dans l'intervalle 15.5-17.5 nm. L'empilement de grille est TiN/HfZrO et l'isolation est de type MESA.

Pour les plaques sur lesquelles des pMOS avec des S/D eSiGe sont fabriqués (voir l'enchaînement des différentes étapes technologiques en figure IV.1), les régions des S/D sont gravées par gravure sèche jusqu'à une épaisseur de silicium restante de 3 nm sur les régions des S/D. Ensuite, une couche $Si_{0.7}Ge_{0.3}$ dopée in-situ de 20 nm d'épaisseur est obtenue par croissance avec des gaz précurseurs SiH_2Cl_2, GeH_4, HCl et B_2H_6. La concentration électriquement active en B dans les S/D en SiGe est environ 10^{20} atomes/cm^3. Ces plaques sont comparées à des plaques de référence avec des S/D surélevés classiques en Si de 20 nm d'épaisseur (cf. figure IV.1). La même implantation LDD[24] (BF_2, tiltée) a été utilisée dans les deux cas. Dans le cas des S/D en SiGe, une réprise d'épitaxie sélective en Si de 15 nm est réalisée afin de bénéficier d'une surface en silicium de bonne qualité cristalline avant sa siliciuration. L'activation des dopants LDD et des S/D est réalisée par un recuit rapide (spike) à 1050 °C.

[24] Low Drain Doping

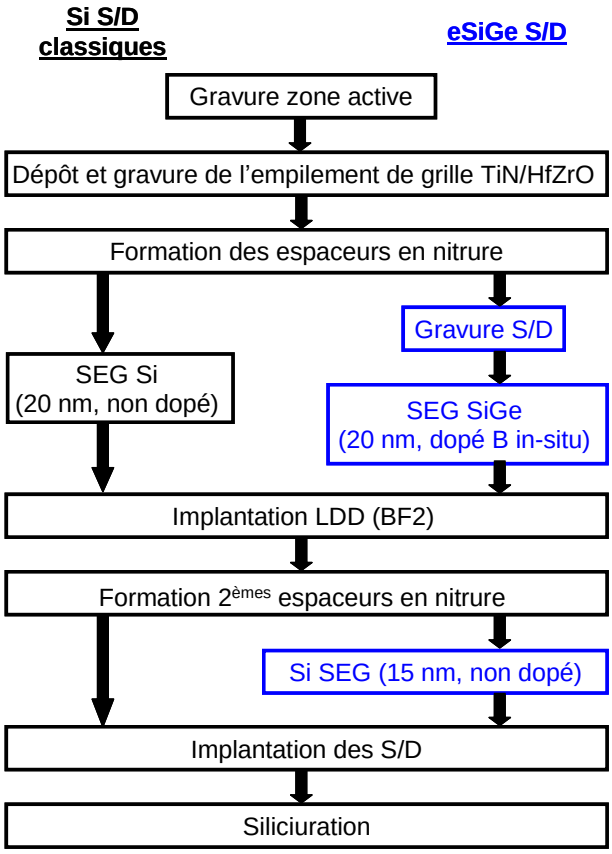

Figure IV.1: Etapes du procédé de fabrication de pMOS avec des S/D classiques en Si et de pMOS avec des S/D eSiGe.

Une image obtenue par microscopie électronique à transmission d'un pMOS sur sSOI avec des S/D eSiGe de 60 nm de longueur de grille est montrée sur la figure IV.2a. La figure IV.2b est une image TEM à énergie filtrée (EFTEM). Cette technique d'imagerie est décrite dans [Pantel03] et permet de mettre en évidence les régions des S/D eSiGe.

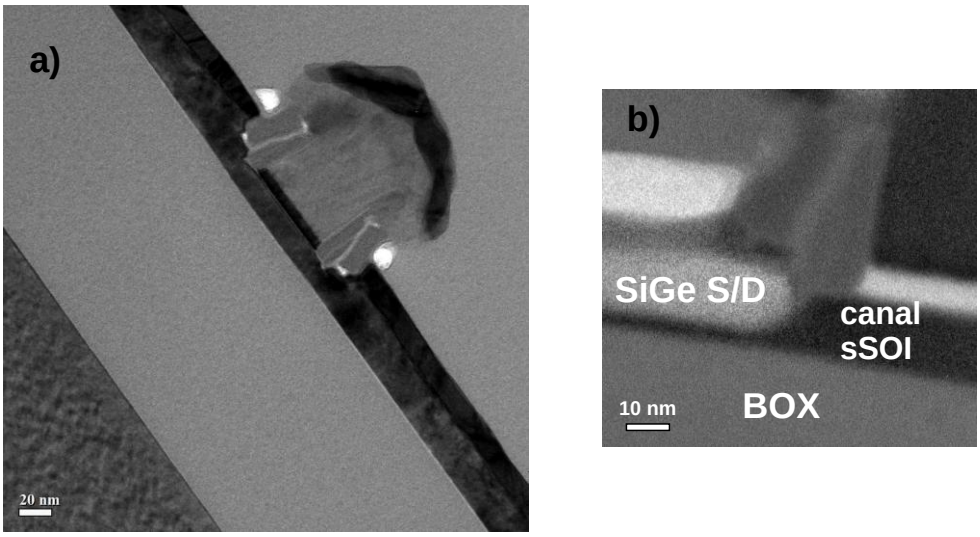

Figure IV.2: a) Coupe TEM d'un pMOSFET sur substrat sSOI avec des S/D eSiGe et une longueur de grille de 60 nm. b) Image EFTEM mettant en valeur des S/D eSiGe, obtenue grâce à la méthode décrite dans [Pantel03]. Réalisées par D. Lafond (CEA-LETI).

2) Gain en performances apporté par les S/D eSiGe par rapport aux S/D classiques en Si

Le gain en performances obtenu grâce aux S/D eSiGe est tout d'abord analysé grâce aux caractéristiques $I_{ON}(I_{OFF})$ pour des pMOS de largeur de zone active W=140 nm et pour une longueur de grille minimale L_g de 60 nm (cf. figure IV.3).

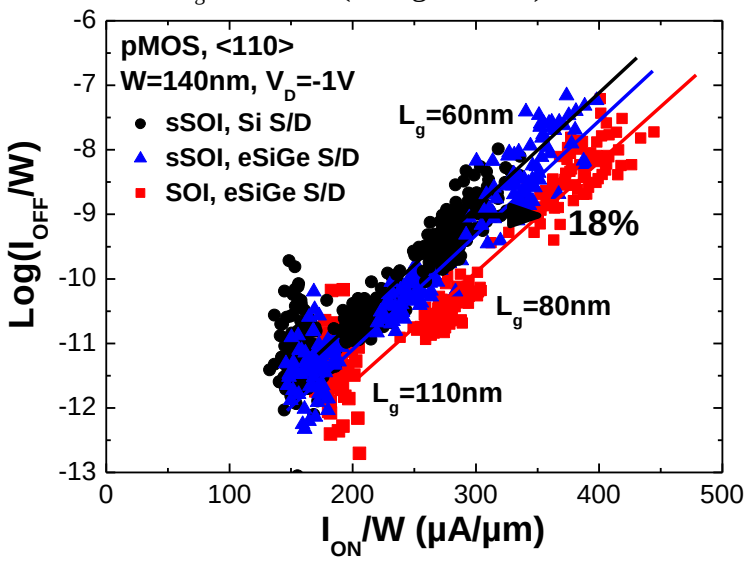

Figure IV.3: Caractéristiques $I_{ON}(I_{OFF})$ de pMOS sur substrats sSOI ou SOI non contraints, avec des S/D Si ou eSiGe.

On peut tout d'abord remarquer sur cette figure que le courant I_{OFF} est légèrement plus élevé pour les plaques avec des S/D eSiGe. Ceci peut s'expliquer par des effets canaux courts légèrement dégradés pour les pMOS avec des S/D eSiGe par rapports aux pMOS avec des S/D classiques en Si. Les figures IV.4a et b montrent que la pente sous le seuil et le DIBL (voir les définitions au chapitre I) sont dégradés pour les transistors avec des S/D eSiGe. Malgré ce moins bon contrôle des effets canaux courts avec les S/D eSiGe, la figure IV.3 montre que les pMOS avec des S/D eSiGe donnent de meilleures performances que les pMOS sur sSOI avec des S/D classiques en Si. Un gain en I_{ON} de 18% est obtenu pour les pMOS sur SOI avec des S/D eSiGe (7% pour les PMOS sur sSOI avec des S/D eSiGe) pour un courant I_{OFF}=1 nA/µm.

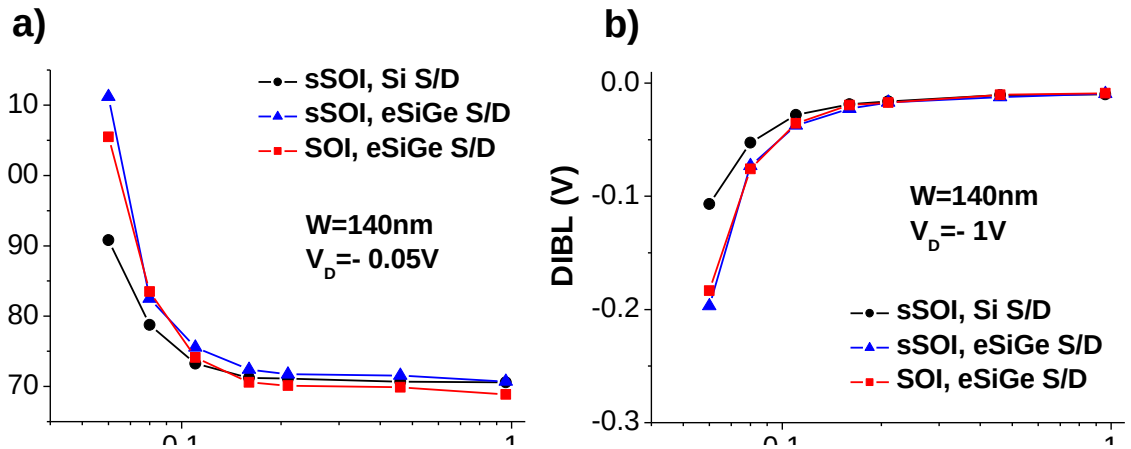

Figure IV.4: a) Pente sous le seuil et b) DIBL en fonction de la longueur de grille effective pour une largeur de zone active de 140 nm.

Afin de quantifier précisément le gain en performances obtenu grâce aux S/D eSiGe, les caractéristiques $I_D(V_D)$ à une longueur de grille de 60 nm sont montrées sur la figure IV.5. A V_g-V_T=-1V, un gain en courant de drain à saturation de 37% (ou 18%) est obtenu sur SOI (ou sSOI) avec des S/D en SiGe par rapport à des transistors sur sSOI avec des S/D classiques en Si[25].

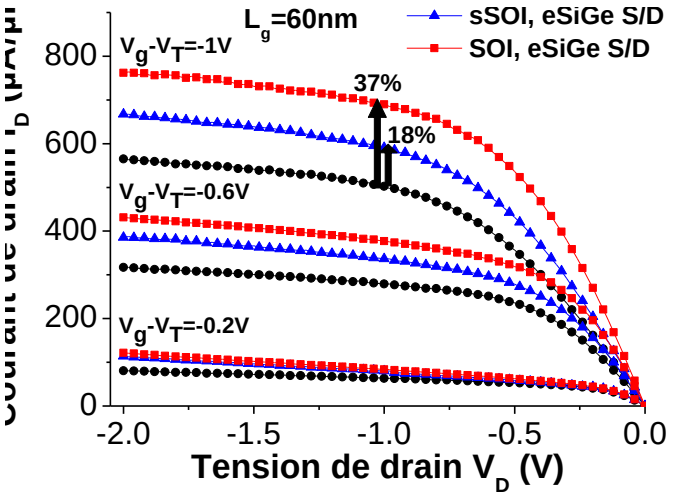

Figure IV.5: Courant de drain en fonction de la tension de drain pour une longueur de grille de 60 nm et une largeur de zone active de 140 nm pour des tensions de grille V_g-V_T de (-1V, -0.6V, -0.2V). Les valeurs de gain en courant de drain obtenues grâce aux S/D eSiGe sont indiquées pour des fortes tensions de grille.

Deux phénomènes peuvent être responsables de ce gain significatif en courant I_{ON} obtenu avec des S/D eSiGe. D'une part, les S/D en SiGe peuvent réduire les résistances séries grâce à une meilleure incorporation des atomes de bore électriquement actifs [Ang07]. D'autre part, la contrainte en compression induite dans le canal par des S/D eSiGe peut augmenter la mobilité. Afin de dé-corréler ces deux mécanismes et de comprendre l'origine du gain en performances observé, des extractions de résistances séries et de mobilité à faible champ ont été réalisées grâce à la méthode de la fonction Y.

3) Méthode de la fonction Y : extraction des résistances séries et de la mobilité à faible champ

La méthode de la fonction Y [Ghibaudo88] est basée sur des mesures $I_D(V_G)$ pour différentes longueurs de grille (ici L compris entre 1 µm et 60 nm) et pour la même largeur de grille (ici W=140 nm). Elle permet d'extraire les résistances séries dans le cas où elles sont indépendantes de L. Nous allons illustrer cette méthode d'extraction dans le cas des pMOS sur SOI avec des S/D eSiGe. Les mesures ont été réalisées après siliciuration des S/D.

La fonction Y est définie par :

$$Y(V_g) = \frac{I_D}{\sqrt{g_m}} \qquad \textbf{Equation IV.1}$$

avec V_g la tension de grille, I_D le courant de drain et $g_m = \left.\frac{\partial I_D}{\partial V_g}\right|_{V_D}$ la transconductance.

[25] La normalisation en V_T sert à s'affranchir des effets de canaux courts différents pour les différentes variantes (et donc des tensions de seuil différentes), afin d'extraire un gain « intrinsèque ».

D'après l'expression classique du courant de drain en régime linéaire (cf. équations I.4, 11 et 12 du chapitre I et figure IV.6) :

$$I_{Dlin} = \frac{W}{L} C_{ox} \mu_{eff} \left(V_{GS'} - V_T - \frac{V_{D'S'}}{2} \right) V_{D'S'}$$ **Equation IV.2**

avec $V_g = V_{GS'} = V_{GS} - R_{SD} \frac{I_D}{2}$ et $V_D = V_{D'S'} = V_{DS} - R_{SD} I_D$ **Equations IV.3 et IV.4**

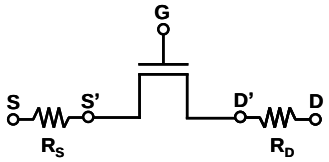

Figure IV.6: Schéma électrique d'un transistor avec prise en compte des résistances séries R_{SD}.

La mobilité effective μ_{eff} peut être modélisée sous la forme :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1^* V_{GT} + \theta_2 V_{GT}^2}$$ **Equation IV.5**

avec $V_{GT} = V_{GS} - V_T - \frac{V_{DS}}{2}$ **Equation IV.6**

qui peut aussi s'écrire (d'après les équations IV.3 et 4) :

$$V_{GT} = V_{GS'} - V_T - \frac{V_{D'S'}}{2} = V_g - V_T - \frac{V_D}{2}$$ **Equation IV.7**

θ_1^* et θ_2 sont respectivement les termes d'atténuation linéaire et quadratique de la mobilité.

En posant $G_m = \frac{W}{L} C_{ox} \mu_0$ (appelé gain du transistor), l'équation du courant de drain devient après réarrangements:

$$I_D = G_m \frac{V_{GT} V_D}{1 + (\theta_1^* + G_m R_{SD}) V_{GT} + \theta_2 V_{GT}^2}$$ **Equation IV.8**

Cette équation montre que les résistances séries n'interviennent que dans le terme d'atténuation linéaire de la mobilité que l'on peut écrire sous la forme :

$$\theta_1 = \theta_1^* + G_m R_{SD}$$ **Equation IV.9**

Si le terme d'atténuation quadratique de la mobilité θ_2 est considéré comme nul, alors la transconductance s'exprime sous la forme:

$$g_m = \left. \frac{\partial I_D}{\partial V_g} \right|_{V_D} = G_m \frac{V_D}{(1 + \theta_1 V_{GT})^2}$$ **Equation IV.10**

L'expression de la fonction Y est alors donnée par:

$$\boxed{Y(V_g) = \sqrt{G_m V_D} (V_g - V_T - V_D / 2)}$$ **Equation IV.11**

L'équation IV.11 montre l'avantage majeur de la méthode de la fonction Y qui est l'indépendance de la fonction Y vis-à-vis de la résistance série Source/Drain R_{SD}. En effet, le terme d'atténuation linéaire de la mobilité θ_1, contenant la résistance R_{SD}, est absent de la

formule de la fonction Y. De plus, cette méthode n'utilise qu'une seule dérivation du courant de drain, ce qui limite le bruit induit et l'erreur d'extraction.

Les courbes $I_D(V_g)$ mesurées sont tracées sur la figure IV.7a. Les courbes $g_m(V_g)$ calculées à partir des courbes $I_D(V_g)$ sont tracées sur la figure IV.7b.

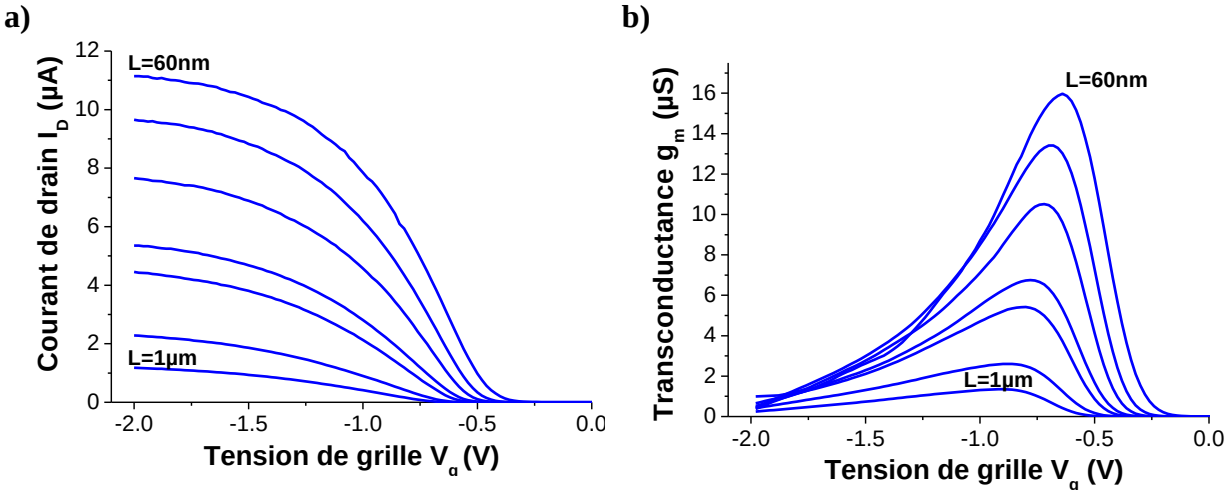

Figure IV.7: a) Courant de drain mesuré en fonction de la tension de grille pour différentes longueurs de grille effectives L (1 µm, 460 nm, 210 nm, 160 nm, 110 nm, 80 nm, 60 nm), pour des pMOS sur SOI avec des S/D eSiGe. b) Transconductance calculée à partir du courant de drain en fonction de la tension de grille pour les différentes longueurs de grille.

La figure IV.8 donne le résultat du calcul de la fonction Y. La tension de drain utilisée est de 50 mV pour se placer en régime ohmique. La valeur de C_{ox} est déterminée par la mesure de capacité grille-canal maximale en inversion d'un transistor long et large (C_{ox}=2.3 µF/cm^2). Elle est supposée indépendante de L.

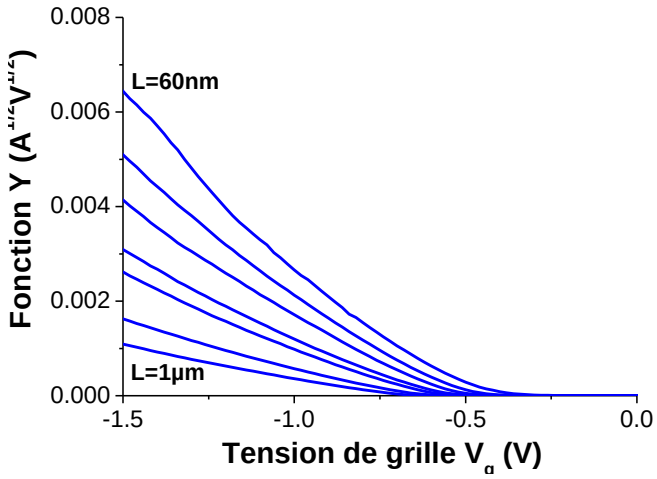

Figure IV.8: Fonction Y calculée en fonction de la tension de grille pour les différentes longueurs de grille, pour des pMOS sur SOI avec des S/D eSiGe.

- **Extraction de la mobilité à faible champ et de la tension de seuil**

En forte inversion (V_g>V_T), la fonction $Y(V_g)$ varie linéairement avec V_g, ce qui permet d'obtenir la tension de seuil V_T en extrapolant la valeur à zéro de la partie linéaire de la courbe $Y(V_g)$ (cf. figure IV.9).

Les tensions de seuil ainsi extraites pour chaque longueur de grille sont tracées sur la figure IV.10. On voit que la tension de seuil diminue (en valeur absolue) avec la réduction de la longueur de grille.

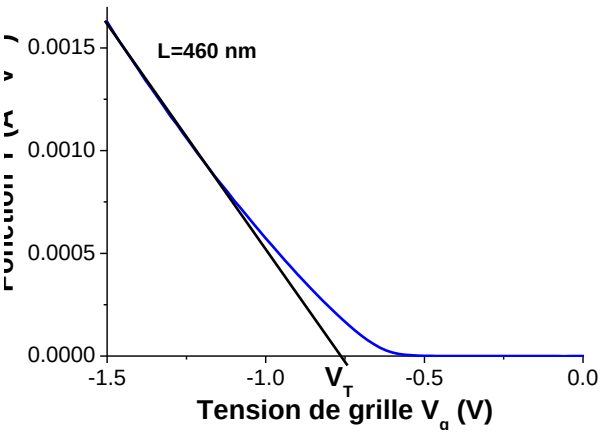

Figure IV.9: Extraction de la tension de seuil et de la mobilité à faible champ (grâce à la pente S_Y de la partie linéaire) à partir de la courbe de la fonction Y en fonction de la tension de grille, pour des pMOS sur SOI avec des S/D eSiGe.

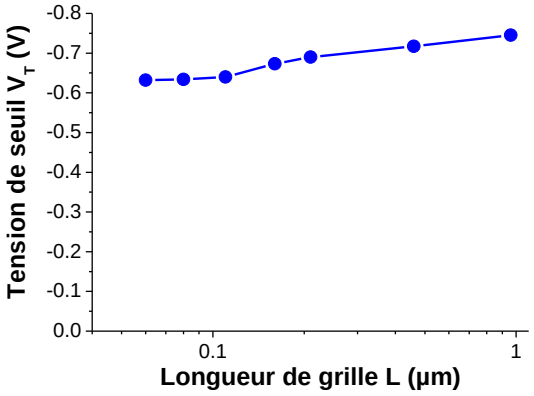

Figure IV.10: Tension de seuil extraite en fonction de la longueur de grille effective, pour des pMOS sur SOI avec des S/D eSiGe.

La mobilité à faible champ est obtenue à partir de la pente de la partie linéaire de la fonction $Y(V_g)$, notée S_Y :

$$S_Y = \sqrt{G_m V_D} = \sqrt{\frac{W}{L} C_{ox} \mu_0 V_D} \qquad \textbf{Equation IV.12}$$

L'expression de la mobilité à faible champ est alors donnée par :

$$\mu_0 = \frac{S_Y^{\ 2}}{C_{ox} V_D} \frac{L}{W} \qquad \textbf{Equation IV.13}$$

Les mobilités à faible champ μ_0 ainsi extraites sont tracées sur la figure IV.11. μ_0 augmente de manière significative avec la réduction de la longueur de grille, dans le cas de pMOS sur SOI avec des S/D enterrés en SiGe. Nous expliquerons cet effet par la suite.

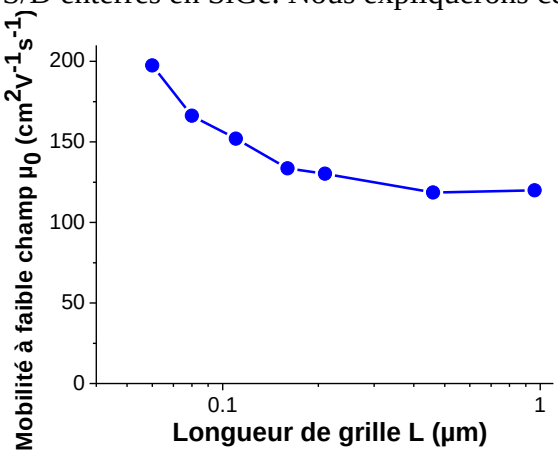

Figure IV.11: Mobilité à faible champ extraite en fonction de la longueur de grille effective, pour des pMOS sur SOI avec des S/D eSiGe.

- **Extraction des résistances séries R_{SD}**

Après avoir extrait les tensions de seuil, on calcule la fonction $\theta_{eff}(V_g)$:

$$\theta_{eff}(V_g) = \frac{S_Y^{\ 2}}{I_D} - \frac{1}{V_g - V_T} \qquad \textbf{Equation IV.14}$$

On trace θ_{eff} en fonction de V_g pour chaque longueur de grille. Pour $V_g >> V_T$, θ_{eff} varie linéairement avec V_g :

$$\theta_{eff}(V_g >> V_T) = \theta_2.(V_g - V_T) + \theta_1 \qquad \textbf{Equation IV.15}$$

On déduit alors les valeurs de θ_1 (ordonnée à l'origine $V_g=V_T$) et de θ_2 (pente).

Les courbes $\theta_{eff}(V_g)$ sont tracées sur la figure IV.12.

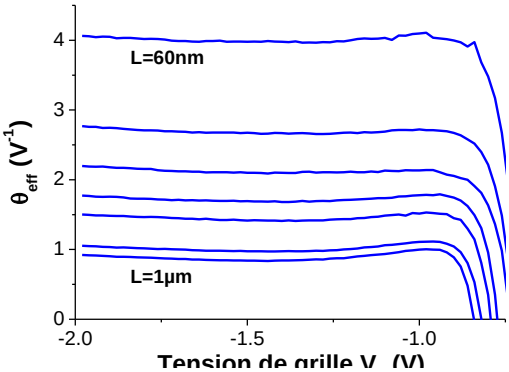

Figure IV.12: Fonction θ_{eff} en fonction de la tension de grille pour les différentes longueurs de grille effectives, pour des pMOS sur SOI avec des S/D eSiGe.

A partir de θ_1, on peut déduire la résistance série Source/Drain R_{SD} de la façon suivante. On calcule la fonction

$$X(V_g) = \frac{1}{\sqrt{g_m}} = \sqrt{\frac{L}{W\mu_0 C_{ox} V_D}}(1 + \theta_1(V_g - V_T)) \qquad \textbf{Equation IV.16}$$

On obtient alors la valeur de θ_1 en multipliant les pentes respectives S_X et S_Y des deux fonctions X et Y en forte inversion :

$$S_X.S_Y = \sqrt{\frac{L}{W\mu_0 C_{ox} V_D}}\theta_1.\sqrt{\frac{W}{L}C_{ox}\mu_0 V_D} = \theta_1 \qquad \textbf{Equation IV.17}$$

D'où, d'après l'équation IV.9, $\theta_1 = S_X.S_Y = \theta_1^* + \frac{W}{L}\mu_0 C_{ox} R_{SD}$ **Equation IV.18**

Afin de déterminer R_{SD}, on trace θ_1 pour les différentes longueurs de grille en fonction de $G_m = \frac{S_Y^2}{V_D} = \frac{W}{L}\mu_0 C_{ox}$. La pente de la courbe $\theta_1(G_m)$ donne la valeur de R_{SD}.

La courbe $\theta_1(G_m)$ est tracée sur la figure IV.13. On obtient une valeur de R_{SD}=408.4 Ω.µm.

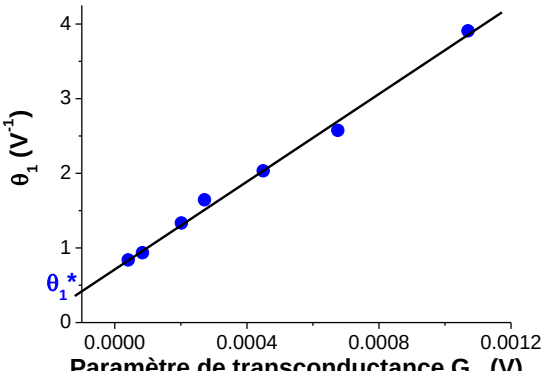

Figure IV.13: Paramètre θ_1 en fonction du paramètre de transconductance G_m, pour des pMOS sur SOI avec des S/D eSiGe.

- **Prise en compte du terme d'atténuation quadratique de la mobilité θ_2**

Pour les oxydes de grille ultra-minces, le champ électrique de grille devient si fort que le terme d'atténuation quadratique de la mobilité θ_2 doit être pris en compte pour décrire les caractéristiques $I_D(V_g)$ sur une large gamme de champ électrique.

On calcule la fonction Y_{new} [Mourrain00] en utilisant les valeurs de θ_2 (extraites à partir de la pente de la partie linéaire de la fonction $\theta_{eff}(V_g)$) du tableau IV.1.

$$Y_{new} = Y\sqrt{1-\theta_2(V_g - V_T - \frac{V_D}{2})^2} \qquad \textbf{Equation IV.19}$$

L (µm)	1	0.46	0.21	0.16	0.11	0.08	0.06
θ_2 (V^{-2})	-0.013	-0.035	-0.065	-0.038	-0.053	-0.069	-0.052

Tableau IV.1: Paramètre θ_2 pour les différentes longueurs de grille effectives.

Nous avons comparé les fonctions Y et Y_{new} sur la figure IV.14.

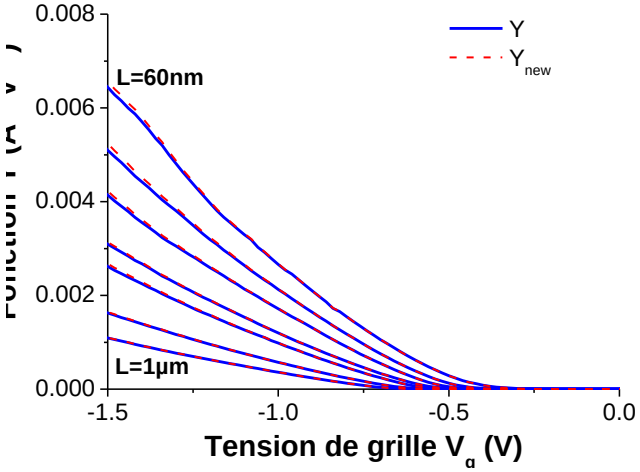

Figure IV.14: Fonction Y et Y_{new} en fonction de la tension de grille pour les différentes longueurs de grille effectives, pour des pMOS sur SOI avec des S/D eSiGe.

Cette figure illustre bien le fait que l'influence de θ_2 est minime, ce qui est cohérent avec les faibles valeurs de θ_2 extraites. On recommence alors les mêmes extractions que précédemment avec la fonction Y_{new} à la place de la fonction Y. Les valeurs de mobilité à faible champ extraites à partir de la fonction Y et à partir de la fonction Y_{new} sont comparées sur la figure IV.15. Les valeurs de mobilité sont voisines.

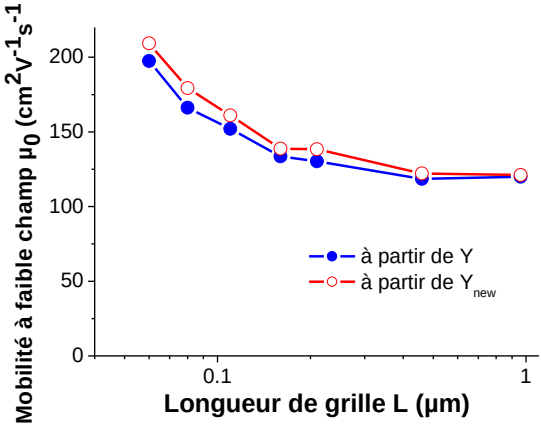

Figure IV.15: Mobilité à faible champ en fonction de la longueur effective, extraite à partir de la fonction Y ou de la fonction Y_{new}, pour des pMOS sur SOI avec des S/D eSiGe.

On obtient une valeur de R_{SD}=422.3 Ω.µm à partir de la fonction Y_{new} voisine de la valeur R_{SD}=408.4 Ω.µm calculée à partir de fonction Y. Les mesures ont eu lieu après siliciuration des S/D, ce qui explique ces valeurs relativement élevées de R_{SD}.

4) Explication de l'origine du gain en performances

Les mobilités à faible champ μ_0 extraites par la méthode de la fonction Y sont montrées sur la figure IV.16 en fonction de la longueur de grille effective pour les différents types d'échantillons pMOS décrits dans le paragraphe 1. Pour les dispositifs longs, on peut noter que la mobilité à faible champ est la même pour le sSOI que pour le SOI (μ_0=120 $cm^2V^{-1}s^{-1}$), comme nous l'avions déjà montré dans le chapitre III. En effet, les substrats sSOI permettent d'améliorer les performances des nMOS de manière significative, sans dégrader les pMOS. Si nous considérons à présent l'évolution de la mobilité des pMOS sur sSOI avec des S/D classiques en Si lorsque la longueur de grille diminue, on peut voir que μ_0 est quasiment constante. Ceci démontre que les différentes étapes du procédé d'intégration comme l'implantation, la gravure de la grille et des espaceurs, et la reprise d'épitaxie sélective du silicium n'ont pas eu d'impact négatif sur la contrainte du sSOI pour les dispositifs de faible longueur de grille, comparé aux dispositifs longs.

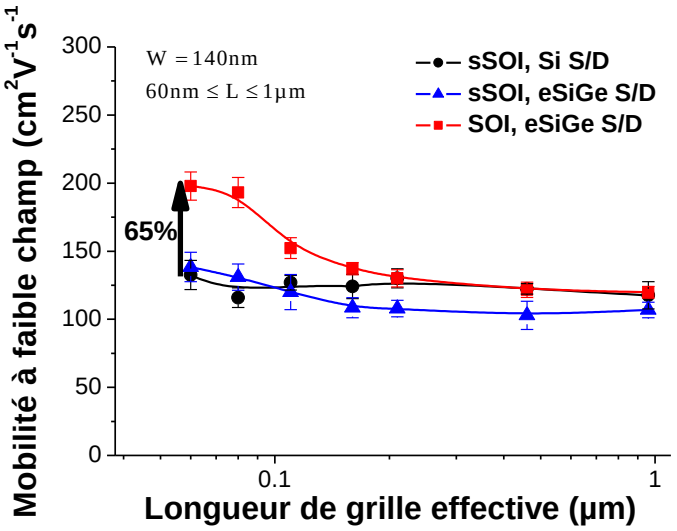

Figure IV.16: Mobilité à faible champ en fonction de la longueur de grille effective pour des pMOS sur sSOI ou sur SOI avec des S/D eSiGe ou en Si, avec une largeur de zone active de 140 nm. Les extractions ont été réalisées à V_D=50 mV.

Pour les pMOS sur SOI avec S/D eSiGe, la mobilité croît de manière significative avec la diminution de la longueur de grille, jusqu'à 200 $cm^2V^{-1}s^{-1}$ pour L_g=60 nm. Ceci représente une augmentation en mobilité de 65% pour les dispositifs les plus courts comparés aux dispositifs longs, et aussi un gain en mobilité de 65% par rapport aux dispositifs sur sSOI avec des S/D classiques en Si de même longueur de grille L_g=60 nm (cf. figure IV.16). Ce résultat est cohérent avec les résultats de simulations mécaniques par éléments finis de la littérature, montrant que les S/D eSiGe devraient être plus efficaces pour les faibles longueurs de grille, même pour les films minces [Madan08]. Nous pouvons donc supposer que le gain en mobilité obtenu pour les faibles longueurs de grille par rapport aux dispositifs longs est dû à la contrainte en compression induite dans le canal par les S/D enterrés en SiGe. Le gain en mobilité induit par les S/D eSiGe pour les faibles longueurs de grille (par rapport aux dispositifs à canal long) est plus faible sur sSOI (30%) que sur SOI (65%). Nous pouvons attribuer cet effet au fait qu'une partie de la contrainte en tension le long de la direction des

S/D doit être conservée dans le canal en sSOI même après la gravure des S/D, réduisant l'efficacité des S/D eSiGe sur sSOI comparé au SOI (cf. figure IV.17). Cet effet a déjà été observé pour des dispositifs PDSOI [Thean06].

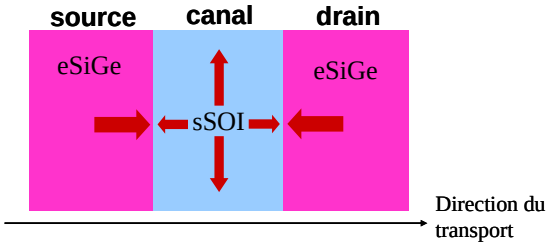

Figure IV.17: Schéma vu de dessus montrant la contrainte en tension dans le canal en sSOI et la contrainte en compression des S/D eSiGe.

Les résistances séries (R_{SD}) des différents échantillons ont également été extraites par la méthode de la fonction Y (cf. figure IV.18). Les valeurs de R_{SD} sont élevées car les mesures ont été réalisées juste après l'étape de siliciuration. L'utilisation des S/D eSiGe permet d'améliorer les résistances séries des pMOS sur SOI et sur sSOI (R_{SD}=430 ohm.µm), comparé au sSOI avec des S/D en silicium (R_{SD}=620 ohm.µm). Ceci représente une amélioration des résistances séries de 30% grâce aux eSiGe. Ce résultat est cohérent avec une réduction des résistances séries déjà démontrée pour des pMOS avec des S/D eSiGe sur substrats SOI non contraints [Ang07]. Cela confirme les études de la littérature qui ont montré que les S/D en SiGe permettent d'avoir un meilleur dopage. D'où un meilleur compromis résistances S/D par rapport aux effets canaux courts (cf. figure IV.4), comme on l'avait montré sur les courbes $I_{ON}(I_{OFF})$ de la figure IV.3.

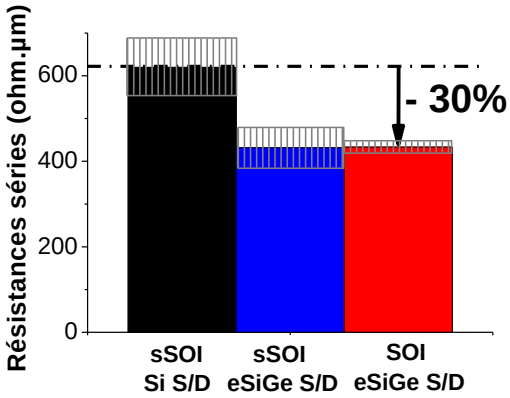

Figure IV.18: Résistances séries Source/Drain R_{SD} pour des pMOS sur sSOI ou sur SOI avec des S/D eSiGe ou en Si, avec une largeur de zone active de 140 nm.

Finalement, grâce à des extractions de mobilité à faible champ et de résistances séries, nous pouvons expliquer les gains en performances observés sur les figures IV.3 et IV.5. A une longueur de grille L_g=60 nm, le gain en I_{ON} de 18% obtenu sur sSOI avec des S/D eSiGe comparé au sSOI avec des S/D classiques en Si peut être attribué en totalité à la diminution des résistances séries de 30% due aux eSiGe. Pour le SOI avec des S/D eSiGe, cette réduction des résistances séries de 30% est combinée avec un gain en mobilité de 65%, ce qui permet d'obtenir un gain en courant I_{ON} de 37% par rapport au sSOI avec des S/D classiques en Si à une longueur de grille L_g=60 nm.

Nous avons fabriqué pour la première fois des p-MOSFETs avec des S/D enterrés en SiGe sur des films minces de 15 nm d'épaisseur SOI et sSOI. Nous avons démontré un gain en mobilité de 65% (comparé aux transistors longs) et une réduction des résistances séries de 30% avec les S/D eSiGe (comparé aux S/D classiques en Si), expliquant une amélioration du courant I_{ON} jusqu'à 37% pour une longueur de grille de 60 nm. De plus, ces avantages deviennent de plus en plus importants avec la diminution des longueurs de grille. Les S/D enterrés en SiGe apportent donc une solution efficace pour les technologies films minces haute performance. Finalement, nous avons démontré la compatibilité de S/D enterrés en SiGe avec des substrats sSOI pour améliorer les performances des pMOS. Ceci ouvre la voie d'une co-intégration possible sur une même plaque sSOI de n-MOSFETs avec des S/D en Si ou enterrés en $Si_{1-x}C_x$ et de p-MOSFETs avec des S/D enterrés en SiGe.

Nous venons d'étudier une technique d'introduction de contrainte de manière locale dans le canal de p-MOSFETs grâce à des Source/Drain enterrés en SiGe. Une autre solution consiste à placer un matériau précontraint non plus dans les S/D, mais sous le canal. La contrainte n'est alors plus introduite par les côtés, mais par transfert de contrainte de la couche enterrée vers le canal situé au-dessus. Ces structures s'appellent structures à transfert de contrainte. Elles peuvent être utilisées pour introduire une contrainte dans le canal de nMOS ou de pMOS.

II/ Les dispositifs à transfert de contrainte (STS)

1) Principe du transfert de contrainte

Le principe du transfert de contrainte est d'utiliser la gravure d'une couche précontrainte située sous la couche active afin de transférer une contrainte de signe opposé dans la couche active supérieure, grâce aux relaxations élastiques induites par les bords libres créés par la gravure [Barbé06, Fiorenza08]. La relaxation de la contrainte de la couche précontrainte induit une contrainte de signe opposé dans la couche active supérieure, suivant la direction perpendiculaire à la gravure.

Nous allons présenter dans les parties suivantes deux types de structures différentes à transfert de contrainte :

- Pour la première structure, la couche précontrainte est un nitrure avec une contrainte intrinsèque tensile qui remplace le BOX des structures SOI (cf. figure IV.19). Cette structure permet de transférer une contrainte en compression dans la couche active de Si dans la direction du transport, et peut donc être utilisée pour augmenter la mobilité des trous dans les pMOS.

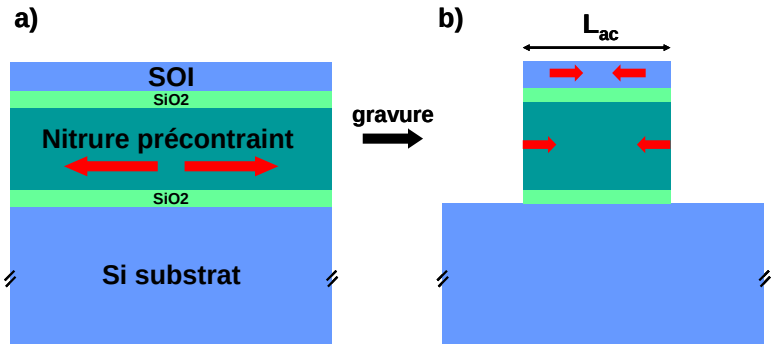

Figure IV.19: Schéma de principe du transfert de contrainte dans une structure STS à base de nitrure enterré précontraint. a) Avant gravure, la contrainte du nitrure est en tension biaxiale et uniforme dans toute la couche. La couche de SOI supérieure n'est pas contrainte. b) Après gravure de l'empilement SOI/SiO_2/nitrure/SiO_2, la contrainte en tension du nitrure se relaxe par les bords, transférant une contrainte en compression dans la couche active de SOI.

➢ La deuxième structure utilise une couche de SiGe en compression biaxiale enterrée dans la couche de Si active (cf. figure IV.20). Elle permet de transférer une contrainte en tension dans le canal dans la direction du transport, et peut donc être utilisée pour augmenter la mobilité des électrons dans les nMOS.

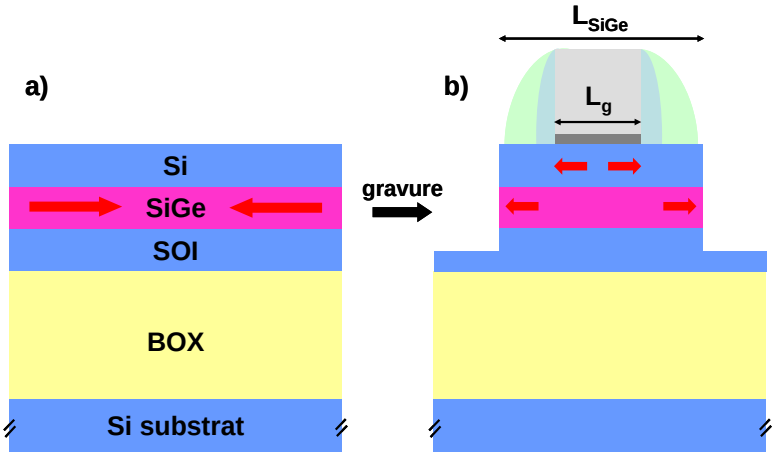

Figure IV.20: Schéma de principe du transfert de contrainte dans une structure STS à base de SiGe enterré. a) Avant gravure, la contrainte du SiGe est en compression biaxiale et uniforme dans toute la couche. La couche de Si supérieure n'est pas contrainte. b) Après gravure de l'empilement Si/SiGe/SOI, la contrainte en compression du nitrure se relaxe par les bords, transférant une contrainte en tension dans la couche active de Si.

2) Solution pour les pMOS : Transfert de contrainte par un oxyde enterré en nitrure précontraint

2.1. Intérêt de la structure

Les techniques classiques d'introduction locale d'une contrainte en compression dans le canal des pMOS présentent des limitations liées à la miniaturisation. Dans le cas des CESL, il existe un risque de recouvrement des CESL avec la diminution de la taille des motifs [Eneman05, Oishi05] (cf. chapitre I). Dans le cas des S/D en SiGe, il est difficile d'induire une contrainte dans les structures de très faibles longueurs de grille, à cause de la réduction de l'espace entre les grilles [Madan08] et de l'épaisseur faible de la couche active dans le cas des applications FDSOI (cf. équation I.14 du chapitre I).

Nous proposons dans cette partie une structure originale à base de nitrure enterré permettant d'introduire une contrainte en compression dans le canal des pMOS. Pour éviter les problèmes liés à la réduction des dimensions, la contrainte dans le canal n'est plus introduite par le dessus ou les côtés de la couche active où il manque de place, mais par en-dessous dans le BOX (cf. figure IV.21).

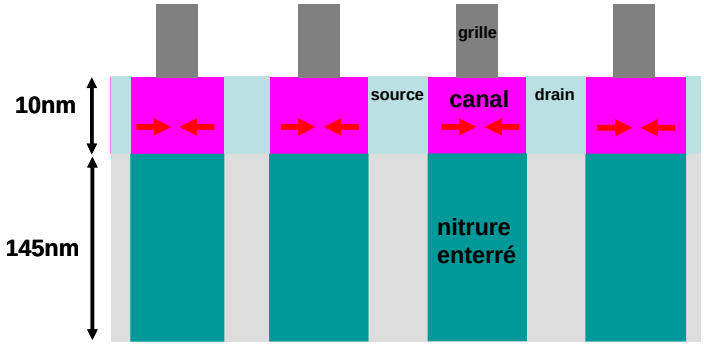

Figure IV.21: Schéma d'une structure à transfert de contrainte à base de nitrure enterré dans le BOX.

La structure initiale est une structure type SOI avec un BOX en nitrure enterré à la place du classique SiO_2 enterré. Le nitrure possède une contrainte intrinsèque tensile due au procédé de fabrication. Cette structure a l'avantage d'être compatible aussi bien avec la technologie FDSOI qu'avec la technologie PDSOI car la couche précontrainte se trouve dans le BOX et non dans le film mince comme dans le cas des structures à base de SiGe enterré de la partie suivante (cf. figure IV.20).

Après avoir exposé la fabrication de ces structures, nous présenterons les résultats de caractérisation physique de la déformation par GIXRD permettant de quantifier l'efficacité de ces structures pour le transfert de contrainte dans la couche active de Si, puis nous confronterons ces résultats expérimentaux avec des résultats de simulations mécaniques.

2.2. Fabrication des structures

a) Fabrication du substrat

Les structures ont été fabriquées grâce à une technologie de type BESOI (« Bonded and Etched-back SOI »). Le BOX en SiO_2 classique des structures SOI a été remplacé par un empilement oxyde/nitrure/oxyde (ONO). Des structures avec deux épaisseurs de nitrure différentes ont été réalisées (t_{Si3N4}=30 nm et 140 nm). L'épaisseur de nitrure de 140 nm correspond approximativement à l'épaisseur du BOX des substrats SOI classiques à « BOX épais » et l'épaisseur de nitrure de 30 nm à l'épaisseur du BOX des substrats SOI classiques à « BOX mince ». Les différentes étapes du procédé de fabrication sont décrites sur la figure IV.22.

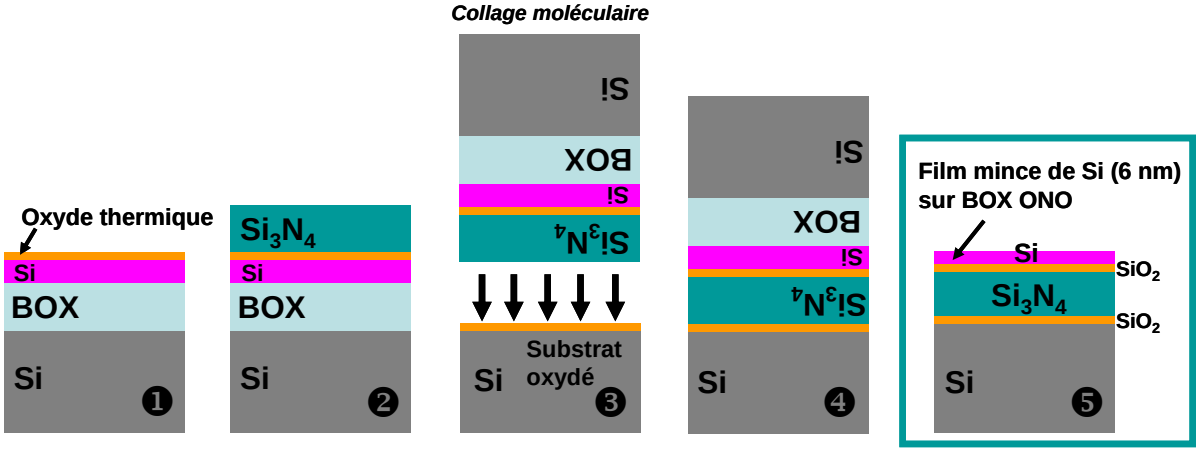

Figure IV.22: Schéma du procédé de fabrication de structures SOI avec un oxyde enterré ONO.

La structure de départ (appelée donneur) est une structure SOI classique, dont la couche de Si supérieure a subi une oxydation thermique (épaisseur d'oxyde de 3 nm). Un nitrure de silicium Si_3N_4 est ensuite déposé sur cette structure par dépôt chimique en phase vapeur à basse pression (LPCVD pour « Low Pressure Chemical Vapor Deposition »). Les nitrures d'épaisseur 30 nm et 140 nm ont été déposés aux températures respectives de 750°C et 780°C. Des mesures de rugosité de la surface du nitrure ont été réalisées juste après le dépôt grâce à un microscope à force atomique (AFM). Des valeurs de RMS inférieures à 0.3 nm ont été mesurées sur des scans de 1×1 μm^2 (cf. figure IV.23). Ces valeurs indiquent que la surface du nitrure est très plate, ce qui permet un collage de plaques direct sur la « base » sans nécessiter de polissage. Les plaques de base sont des plaques de silicium sur lesquelles on a

fait croître un oxyde thermique de 5 nm d'épaisseur. Un procédé de nettoyage RCA[26] standard des deux surfaces est suffisant pour le collage hydrophile du nitrure du « donneur » sur l'oxyde de la « base ». Le collage entre les deux couches a lieu spontanément à température ambiante. Afin de renforcer l'interface de collage, la structure subit ensuite un recuit à haute température (950 °C). Enfin, le substrat de silicium et le BOX en SiO_2 du substrat SOI donneur sont retirés par polissage mécano-chimique. La structure finale consiste en une structure SOI d'épaisseur de silicium active de 6 nm après les étapes d'amincissement sur un oxyde enterré ONO d'épaisseur 4/26/6 nm ou 4/140/6 nm. Ces épaisseurs ont été mesurées par ellipsométrie et confirmées par des mesures au microscope électronique à transmission.

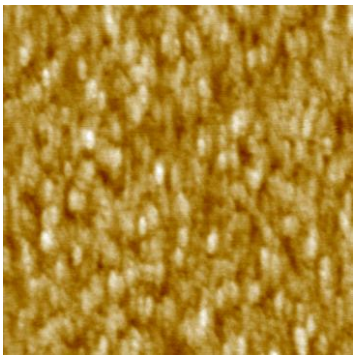

Figure IV.23: Scan AFM (1×1 µm^2, Z_{max}=5 nm) de la surface du nitrure après le dépôt (RMS=0.24 nm, PV=1.96 nm).

b) Fabrication des structures de test

Afin de réaliser le transfert de contrainte du nitrure vers la couche de silicium active, la couche supérieure de Si et l'empilement ONO des structures précédentes sont gravés par gravure sèche RIE (« reactive ion etching »). Les structures obtenues forment des réseaux de lignes de 4 mm de long et de largeurs L_{ac}=50,100,200 nm (cf. figures IV.24 et IV.25). La base e-BEAM utilisée pour dessiner ces structures est la même que celle utilisée pour l'étude du sSOI du chapitre III de ce manuscrit. Ces structures en réseau ont à nouveau été fabriquées pour permettre les mesures de caractérisation physique de la déformation par GIXRD à l'ESRF.

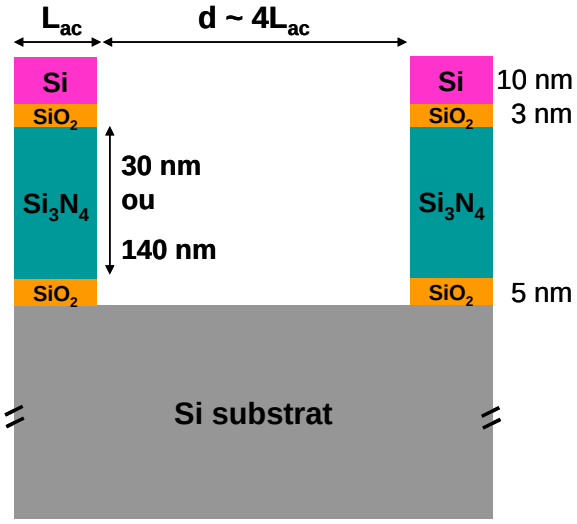

Figure IV.24: Représentation schématique en coupe de deux lignes des réseaux mesurés en GIXRD.

[26] Procédé de nettoyage dit RCA (car développé dans les laboratoires de la «Radio Company of America »), destiné à enlever les contaminants organiques et métalliques.

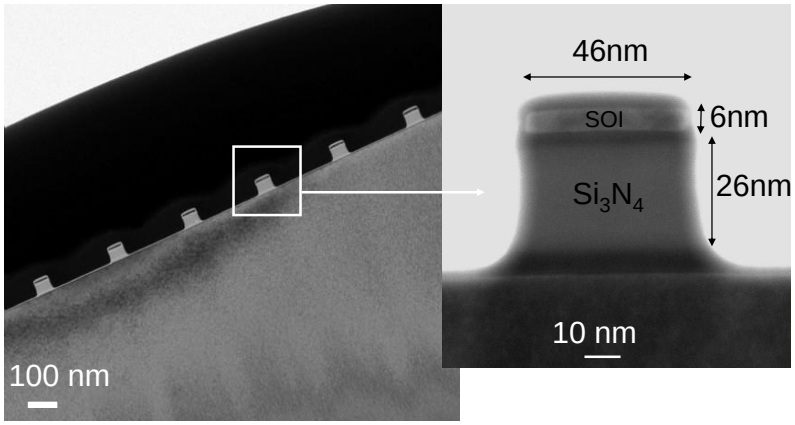

Figure IV.25: Photo TEM vue en coupe d'un échantillon avec des lignes de 46 nm de large, une épaisseur de Si 6 nm et un empilement ONO d'épaisseur 4/26/6 nm. La figure de droite a été obtenue dans un mode STEM (Scanning TEM).

2.3. Mesures GIXRD : évaluation de l'efficacité du transfert de contrainte

Afin de vérifier l'efficacité de la technique de transfert de contrainte, des mesures de déformation en GIXRD ont été réalisées sur les lignes françaises CRG de l'ESRF. L'énergie des rayons X utilisés pour cette expérience est de 11 keV. Des angles d'incidence (α_i=0.12°) et d'émergence (α_f=0.12°) proches de l'angle critique de réflexion totale permettent de mesurer les plans (220) et (2-20) perpendiculaires à la surface de la couche de Si supérieure dont on veut mesurer la déformation (cf. figure IV.26). Des angles plus importants (α_i=0.3°, α_f=0.6°) sont utilisés pour traverser l'empilement ONO amorphe et mesurer les plans cristallographiques du substrat. Comme pour les échantillons précédents, le substrat de silicium fournit une référence interne non contrainte. La déformation est calculée de la même manière que précédemment, directement à partir des positions du détecteur pour la couche supérieure et la référence du substrat.

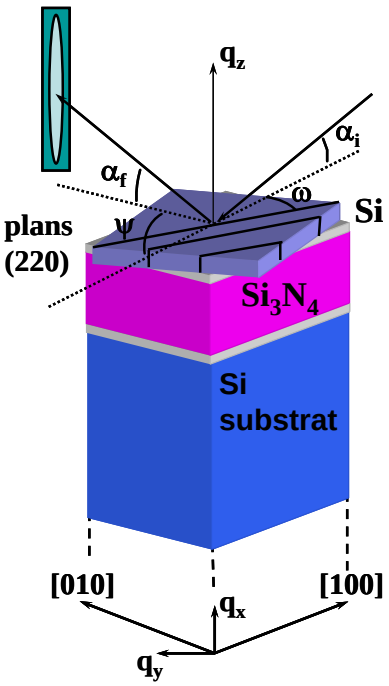

Figure IV.26: Schéma de la structure à transfert de contrainte à base de nitrure et de la géométrie GIXRD. Les plans mesurés (220) et (2-20) sont perpendiculaires à la surface (001) de l'échantillon.

a) Scans transverses

Les scans transverses ont tout d'abord permis de vérifier les dimensions des motifs. Pour la structure avec le nitrure de 30 nm d'épaisseur et de largeur de ligne dessinée $L_{dessinée}$=50 nm, la largeur de ligne obtenue par le calcul de diffraction (cf. annexe D) en ajustant la courbe expérimentale est L_{ac}= 46 nm (cf. figure IV.27), ce qui est cohérent avec la valeur mesurée à partir de la photo TEM de la figure IV.25.

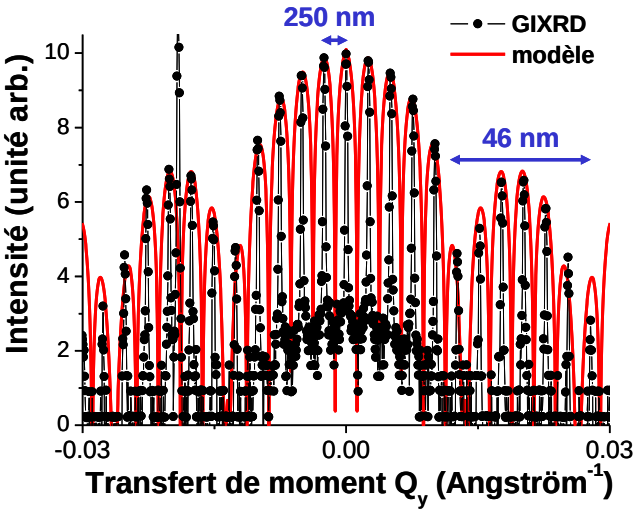

Figure IV.27: Scan transverse dans le plan des réflexions (220) (pour des plans perpendiculaires à la direction des lignes) de la couche active supérieure de Si de largeur nominale L_{ac}=50 nm et avec un nitrure enterré de 30 nm d'épaisseur. La courbe rouge est le calcul de diffraction permettant de déterminer la dimension des motifs (cf. annexe D).

b) Scans radiaux

Les intensités diffractées dans les directions longitudinale et latérale sont présentées sur les figures IV.28 et IV.29 pour des épaisseurs de nitrure de 140 nm et 30 nm respectivement et pour différentes largeurs de lignes. Le pic de Bragg du substrat est tracé comme référence.

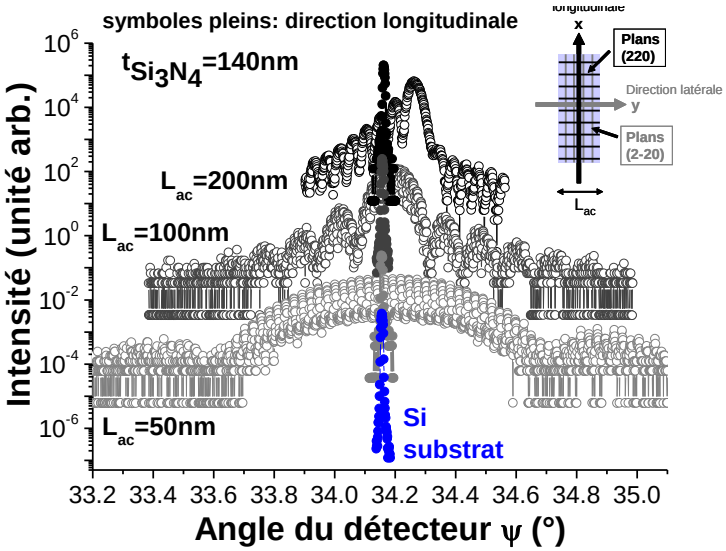

Figure IV.28: Scans radiaux des pics de Bragg correspondant aux réflexions (220) et (2-20) des couches supérieures de Si active de différentes largeurs L_{ac}=50,100,200 nm et du substrat de silicium pour des structures avec un nitrure enterré de 140 nm d'épaisseur. Seulement un pic de substrat a été représenté, car il est toujours mesuré à la même position pour chaque échantillon. Insert : Plans cristallographiques mesurés en GIXRD et directions correspondantes pour la mesure des déformations.

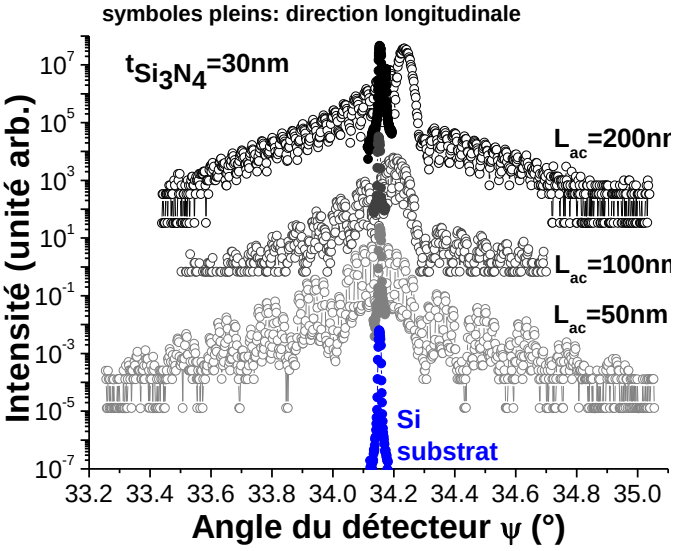

Figure IV.29: Scans radiaux des pics de Bragg correspondant aux réflexions (220) et (2-20) des couches supérieures de Si active de différentes largeurs L_{ac}=50,100,200 nm et du substrat de silicium pour des structures avec un nitrure enterré de 30 nm d'épaisseur. Seulement un pic de substrat a été représenté, car il est toujours mesuré à la même position pour chaque échantillon.

- Dans la direction longitudinale, les pics de Bragg de la couche de Si supérieure sont à la même position angulaire que le substrat de Si, ceci pour toutes les largeurs de lignes et pour les deux épaisseurs de nitrure. La gravure du nitrure et de la couche active n'introduit donc pas de déformation significative le long des lignes.

- Dans la direction latérale, les pics de Bragg de la couche de Si sur ONO sont décalés vers les plus grands angles par rapport à la position du silicium non contraint. La gravure du nitrure enterré précontraint a donc effectivement permis d'induire une contrainte en compression dans la couche de Si supérieure dans la direction latérale.

Les déformations moyennes ε_{yy} dans la couche de Si dans la direction latérale ont été extraites grâce à l'équation II.2 pour les deux épaisseurs de nitrure et chaque longueur de zone active L_{ac}, à partir des scans radiaux dans le plan des réflexions (2-20) (cf. insert de la figure IV.28). Les résultats sont résumés sur la figure IV.30.

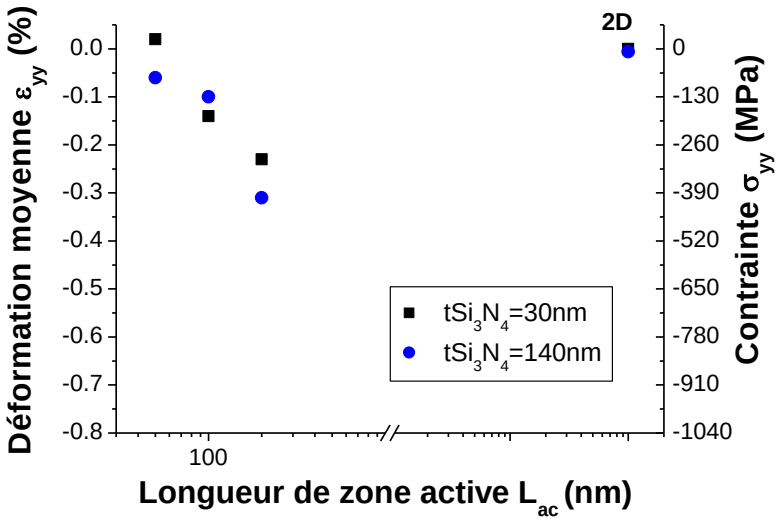

Figure IV.30: Déformation latérale moyenne dans la couche de Si supérieure mesurée par GIXRD en fonction de la longueur de zone active L_{ac}, pour des épaisseurs de nitrure de 140 nm et de 30 nm. Les résultats ont aussi été convertis en valeur de contrainte.

Cette figure montre que le nitrure épais de 140 nm d'épaisseur est légèrement plus efficace que le nitrure mince de 30 nm d'épaisseur pour introduire une contrainte en compression dans le canal. On remarque de plus que la déformation induite par la gravure décroît lorsque la longueur de zone active décroît, du moins pour les longueurs de zone active L_{ac}<200 nm étudiées expérimentalement. Afin d'expliquer ces différents effets et de prédire le comportement de ces structures pour une gamme plus importante de longueur de zone active, nous avons réalisé des simulations mécaniques par éléments finis avec le logiciel Ansys™. La présentation des résultats et leur interprétation fait l'objet du paragraphe suivant.

2.4. Simulations mécaniques par éléments finis

A partir des simulations mécaniques par éléments finis en 2D réalisées avec Ansys™, nous avons étudié l'influence sur l'efficacité du transfert de contrainte de deux dimensions géométriques: l'épaisseur de nitrure (30 nm et 140 nm) et la longueur de zone active L_{ac}. La structure simulée est présentée sur la figure IV.31. Les structures étant symétriques, nous avons uniquement simulé la moitié des structures pour limiter le temps de calcul. L'épaisseur du substrat de Si prise en compte est $t_{Si\ subst} = \left(t_{SiO_2\ \inf} + t_{Si_3N_4} + t_{SiO_2\ \sup}\right) * 10$ avec $t_{SiO_2\ \inf} + t_{Si_3N_4} + t_{SiO_2\ \sup}$ l'épaisseur de l'empilement ONO.

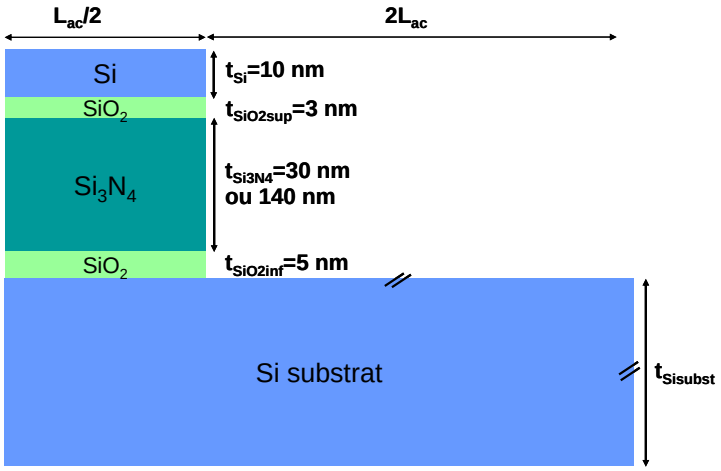

Figure IV.31: Structure à transfert de contrainte à base de Si_3N_4 enterré simulée sous Ansys™. Les paramètres variables sont l'épaisseur t_{Si3N4} de la couche de nitrure et la largeur L_{ac} de l'empilement gravé.

Les données d'entrée les plus importantes de ces simulations sont la contrainte intrinsèque du nitrure de silicium ($\sigma^{int}_{Si_3N_4}$ =1100 MPa, mesurée sur plaques vierges par courbure de plaque) et les coefficients élastiques du nitrure (cf. tableau IV.2). Les valeurs des coefficients élastiques du silicium et du SiO_2 sont aussi indiquées dans le tableau IV.2.

Matériau	Module d'Young[27] E (GPa)	Coefficient de Poisson ν	Coefficient de dilatation thermique α (10^{-6} °C^{-1})
Si	131 [Hull]	0.28 [Hull]	2.616 [Hull]
SiO_2	75 [memsnet]	0.17 [memsnet]	0.4 [matweb]
Si_3N_4	160 [Cherault]	0.24 [Cherault]	2.2 [Cherault]

Tableau IV.2: Valeurs des coefficients élastiques des différents matériaux prises en compte dans les simulations.

[27] Module d'Young isotrope.

La température du chargement thermique associé au nitrure pour prendre en compte la contrainte intrinsèque $\sigma^{int}_{Si_3N_4}$ du nitrure est définie par:

$$T_{Si_3N_4} = \frac{1-\nu_{Si_3N_4}}{E_{Si_3N_4}\alpha_{Si_3N_4}}\sigma^{int}_{Si_3N_4} \qquad \textbf{Equation IV.20}$$

La figure IV.32 représente la déformation ε_{yy} latérale dans une structure d'épaisseur de nitrure 30 nm après la gravure de l'empilement ONO/Si active (le substrat n'est pas représenté sur cette figure). Le nitrure se relaxe par les bords de la structure lors de la gravure, induisant une déformation en compression dans la couche active de Si (cf. figure IV.32).

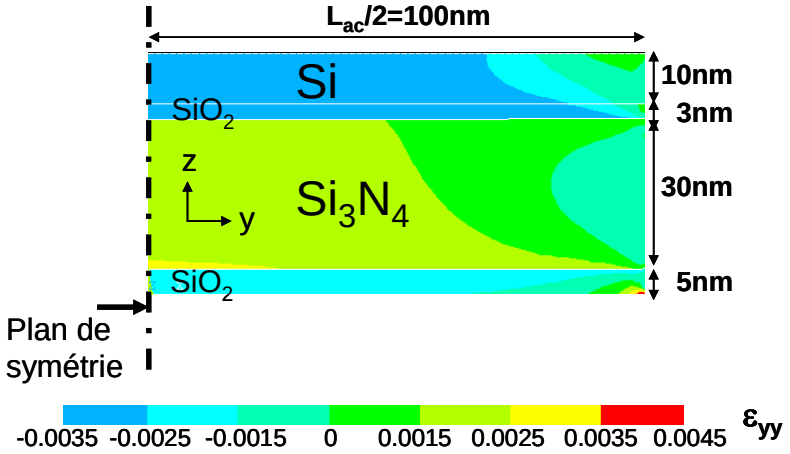

Figure IV.32: Simulations de la déformation latérale dans les structures à nitrure enterré après gravure de l'empilement $SiO_2/Si_3N_4/SiO_2$ et de la couche de SOI, pour une structure finale de longueur de zone active L_{ac}=200 nm.

Dans la littérature, on trouve différentes valeurs pour les coefficients élastiques du nitrure. De plus, la contrainte intrinsèque du nitrure dépend fortement du procédé de dépôt et de l'épaisseur de la couche. De façon à évaluer l'impact de ces paramètres sur l'incertitude des résultats de nos simulations, nous avons étudié la dépendance des trois coefficients que sont la contrainte intrinsèque $\sigma^{int}_{Si_3N_4}$, le module d'Young E et le coefficient de Poisson ν du nitrure sur la déformation latérale moyenne dans la couche active de Si (cf. figure IV.33). La figure IV.33 montre que l'influence de la valeur du coefficient de Poisson sur la valeur de la déformation est très faible. Par contre, la valeur de la déformation dépend fortement du module d'Young et de la contrainte intrinsèque du nitrure, qui a le plus d'influence.

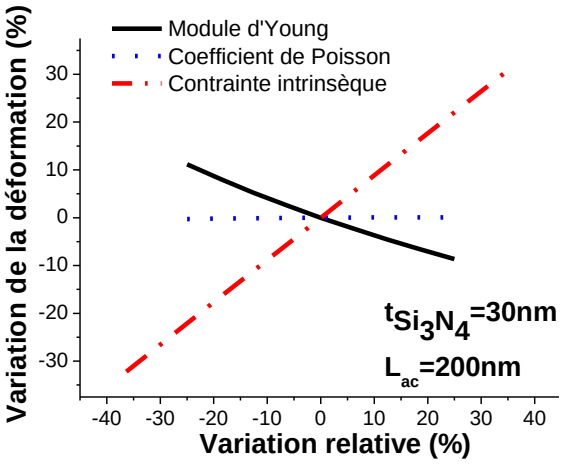

Figure IV.33: Impact des constantes élastiques du nitrure sur la déformation latérale (ε_{yy}) moyenne dans la couche active de Si.

Nous avons ainsi pu comparer les mesures de déformation en GIXRD aux résultats des simulations mécaniques par éléments finis en tenant compte de l'incertitude sur les entrées des coefficients élastiques et de la contrainte intrinsèque du nitrure. La figure IV.34 montre un accord relativement bon entre simulations et mesures expérimentales. Il est à noter que l'incertitude absolue sur les mesures GIXRD (moins de 0.02%) est inférieure à celle des simulations.

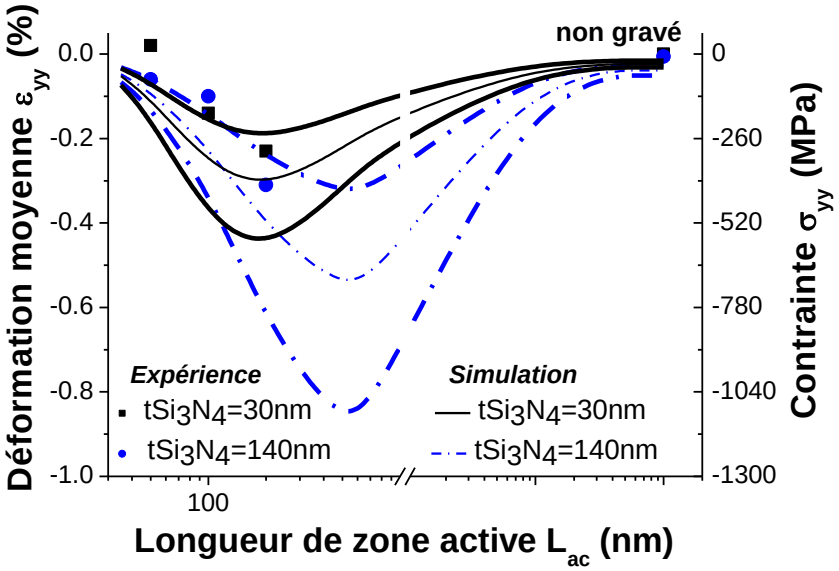

Figure IV.34: Comparaison entre la déformation latérale (ε_{yy}) moyenne expérimentale et simulée dans la couche de SOI pour des épaisseurs de nitrure de 30 nm et 140 nm (en considérant une incertitude de ±35% sur la contrainte intrinsèque et de ±25% sur le module d'Young).

Les simulations mettent en évidence un comportement non monotone de la déformation en fonction de la longueur de zone active L_{ac}, avec l'existence d'un optimum de déformation dans la gamme 150 nm<L_{ac}<800 nm dépendant de l'épaisseur de nitrure. Cet optimum s'explique par le compromis entre deux mécanismes différents. D'une part, la gravure de l'empilement ONO/Si active induit une contrainte en compression dans la couche de Si active dans la direction latérale. Mais d'autre part, la déformation en compression de la couche active de Si induite par le premier mécanisme a elle-même tendance à se relaxer à cause des bords libres (cf. figure IV.32). Pour des longueurs de zone active supérieures à la longueur optimum, c'est le premier mécanisme qui est le plus efficace. Les effets de bords responsables de la relaxation de la couche active sont négligeables par rapport au transfert de contrainte. Pour des longueurs de zones actives inférieures à l'optimum, les effets de bords dans la couche active de Si deviennent prédominants. La déformation induite grâce au transfert de contrainte se relaxe car les bords libres sont très proches du centre de la structure.

Si nous faisons l'analogie avec l'étude de simulation de [Fiorenza08] de structures STS à base de SiGe enterré, nous pouvons dire que l'optimisation de la contrainte transférée dans la couche active de Si dépend de deux variables :

- le rapport entre l'épaisseur $t_{Si_3N_4}$ de Si_3N_4 et l'épaisseur t_{Si} de la couche active de Si : $\frac{t_{Si_3N_4}}{t_{Si}}$

- le rapport d'aspect de l'empilement gravé $Si/SiO_2/Si_3N_4/SiO_2$: $\frac{t_{Si} + t_{SiO_2\,\inf} + t_{Si_3N_4} + t_{SiO_2\,\sup}}{L_{ac}}$

D'après [Fiorenza08], il faut maximiser le rapport $\frac{t_{Si_3N_4}}{t_{Si}}$. Il faut donc réduire le plus possible l'épaisseur de la couche active de Si, et utiliser une épaisseur de nitrure maximum. Ceci est cohérent avec nos résultats, car pour la même épaisseur t_{Si}=10 nm, la déformation transférée dans le canal est supérieure avec le nitrure de 140 nm d'épaisseur comparé au nitrure de 30 nm d'épaisseur.

Nous avons tracé sur la figure IV.35 la déformation latérale moyenne dans la couche active de Si en fonction du rapport d'aspect $\left(t_{Si} + t_{SiO_2\,\inf} + t_{Si_3N_4} + t_{SiO_2\,\sup}\right)/L_{ac}$, pour les deux épaisseurs de nitrure. On voit que pour les deux épaisseurs de nitrure 30 nm et 140 nm, l'optimum de déformation dans le canal est obtenu dans le même domaine de rapport d'aspect $0.15 < \frac{t_{Si} + t_{SiO_2\,\inf} + t_{Si_3N_4} + t_{SiO_2\,\sup}}{L_{ac}} < 0.5$.

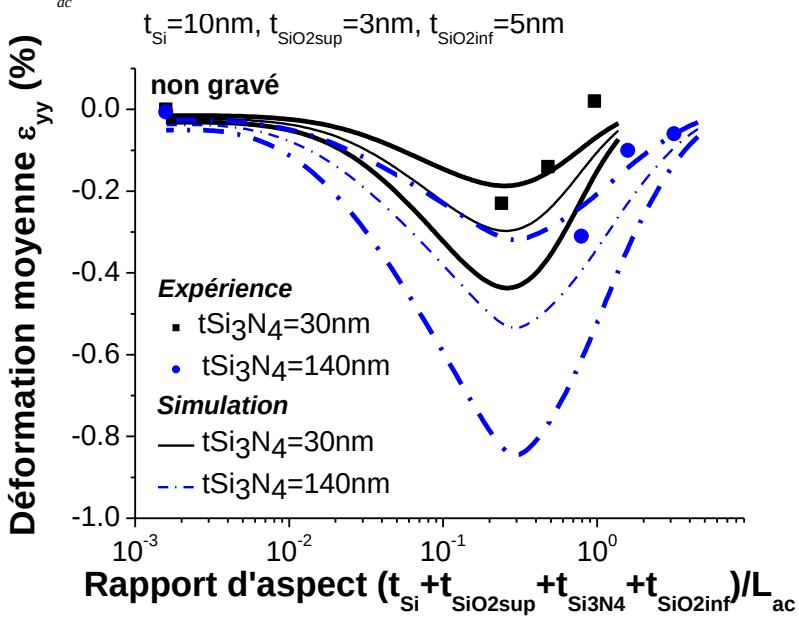

Figure IV.35: Déformation latérale moyenne ε_{yy} expérimentale et simulée dans la couche active de Si pour des épaisseurs de nitrure de 30 nm et 140 nm en fonction du rapport d'aspect de l'empilement gravé (en considérant une incertitude de ±35% sur la contrainte intrinsèque et de ±25% sur le module d'Young).

Pour des longueurs de zone active inférieures à 100 nm, les valeurs de déformation obtenues dans la couche de silicium active sont relativement faibles. Cette méthode de transfert de contrainte est donc peu efficace pour des dispositifs courts, à moins d'utiliser un matériau avec une contrainte intrinsèque initiale plus importante.

Cette étude a été limitée au cas de structures avec une longueur de zone active L_{ac} sub-micrométrique et une largeur de zone active W millimétrique. Les simulations mécaniques correspondantes ont été réalisées en 2D. Il faudrait réaliser des mesures de déformation dans des structures de largeur et de longueur sub-micrométrique, afin d'étudier l'efficacité du transfert de contrainte dans des structures STS avec des dimensions de zones actives de dispositifs de l'état de l'art. De même, il faudrait réaliser des simulations 3D pour des dispositifs de longueur et largeur de zone active sub-micrométrique, afin de prendre en compte des effets 3D qui risquent de diminuer l'efficacité du transfert de contrainte.

Pour conclure, les structures à transfert contrainte avec un nitrure enterré sont une méthode innovante d'introduction d'une contrainte en compression dans la zone active de pMOSFETs sur film mince. Une optimisation des dimensions de la zone active (L_{ac} et W) permettrait de maximiser la contrainte dans le canal. En utilisant un matériau avec une contrainte intrinsèque plus importante que celle du nitrure (par exemple le DLC utilisé pour les CESL (cf. chapitre I)), il serait possible d'obtenir un niveau de contrainte plus élevé dans le canal.

Nous allons à présent étudier le même type de structure, mais avec une couche précontrainte en SiGe à la place du nitrure. De plus, la couche de SiGe est dans ce cas enterrée dans la couche active de Si, et non pas à la place du BOX. Enfin, la contrainte intrinsèque initiale de la couche de SiGe est en compression biaxiale, contrairement au nitrure qui était en tension biaxiale.

3) Solution pour les nMOS : Transfert de contrainte par une couche de SiGe enterrée sous le canal

3.1. Fabrication des structures et intérêt

L'objet de cette partie est l'étude d'une structure utilisant une couche de SiGe enterrée sous le canal pour transférer une contrainte en tension dans celui-ci. La structure à transfert de contrainte à base de SiGe enterré est décrite sur la figure IV.36. Elle est composée d'un n-MOSFET sur SOI avec une couche de SiGe enterrée sous le canal.

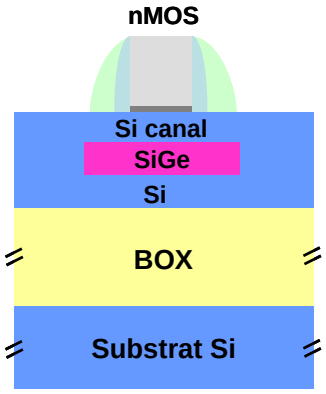

Figure IV.36: Représentation schématique d'une structure avec une couche de SiGe enterrée sous le canal d'un MOSFET sur SOI.

Le procédé de fabrication de ces structures est décrit sur la figure IV.37.

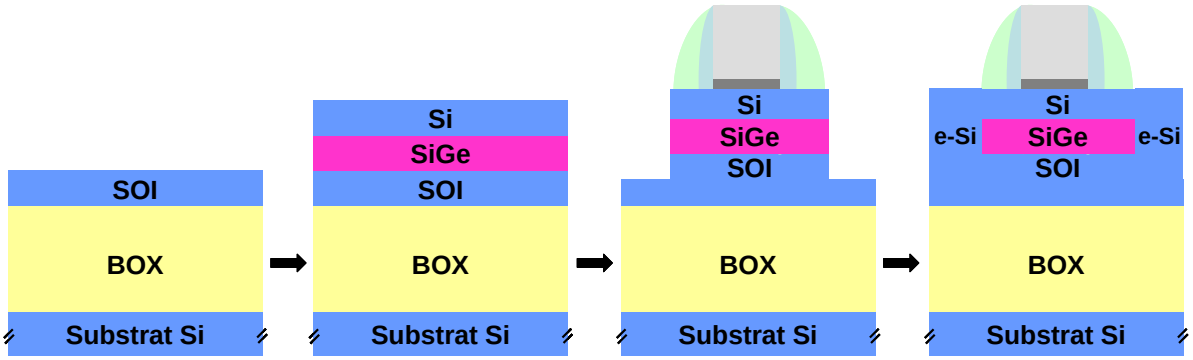

Figure IV.37: Représentation schématique du procédé de fabrication des structures à SiGe enterré sous le canal. e-Si : reprise d'épitaxie Si.

La première étape consiste en la définition des zones actives grâce à une isolation de type MESA. Ensuite, on fait croître par épitaxie un empilement SiGe/Si sur la couche de SOI. La couche de SiGe est en compression biaxiale. Cette étape est suivie par le dépôt puis la gravure de l'empilement de grille. Après formation des espaceurs, les régions des Source/Drain sont gravées. Le mécanisme de transfert de contrainte a lieu au cours de cette étape. La gravure des S/D crée une surface latérale libre, qui permet à la couche de SiGe en compression de se relaxer, induisant une contrainte en tension dans la couche de Si supérieure dans la direction perpendiculaire à la gravure. Finalement, une reprise d'épitaxie des S/D en silicium est réalisée.

Cette structure à transfert de contrainte par une couche de SiGe enterrée s'applique aux dispositifs nMOS car la contrainte induite dans le canal est en tension dans la direction du transport.

3.2. Mesures GIXRD : évaluation de l'efficacité du transfert de contrainte

a) Fabrication des échantillons

Afin de mieux comprendre le mécanisme de transfert de contrainte et de vérifier son efficacité, nous avons mesuré la déformation dans ces structures par GIXRD. Les structures étudiées sont schématisées sur la figure IV.38 et forment des réseaux de lignes de 4 mm de long et de largeurs L_{SiGe}=100 ou 200 nm (même base e-beam que précédemment). L'empilement de grille utilisé est constitué d'un oxyde de grille HfO_2 et d'une grille en TiN recouverte de Si polycristallin.

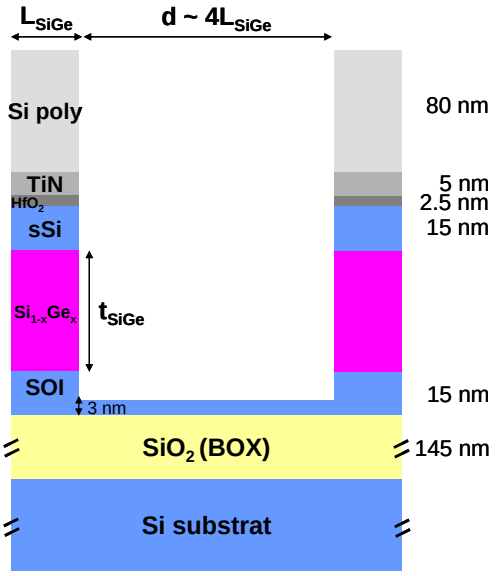

Figure IV.38: Représentation schématique en coupe de deux lignes des réseaux mesurés en GIXRD.

L'efficacité du transfert de contrainte dépend notamment des dimensions géométriques de la structure et du pourcentage de Ge dans la couche de SiGe [Fiorenza08] qui détermine la valeur maximale de la contrainte pouvant être transférée dans le canal (cf. chapitre I). Au cours de cette étude, nous avons étudié l'influence de trois paramètres: le pourcentage x de Ge dans la couche de SiGe, l'épaisseur t_{SiGe} et la largeur L_{SiGe} de la couche de SiGe. Les différentes variantes sont résumées dans le tableau IV.3. Les compositions x en Ge de la couche de SiGe utilisées dépendent de l'épaisseur de la couche de SiGe, afin de rester en-dessous de l'épaisseur critique d'apparition de dislocations (cf. chapitre I). La reprise d'épitaxie a été réalisée sur une seule variante (L_{SiGe}=100 nm, x=0.2, t_{SiGe}=40 nm) (cf. tableau IV.3).

Largeur de la couche de SiGe L_{SiGe} (nm)	100	×	×	×		×	×	×
	200				×			
Composition en Ge de la couche de SiGe x (%)	20	×	×	×	×			×
	30					×		
	45						×	
Epaisseur de la couche de SiGe t_{SiGe} (nm)	20	×						
	30			×	×	×	×	
	40		×					×
Reprise d'épitaxie	oui							×
	non	×	×	×	×	×	×	

Tableau IV.3. Caractéristiques des différentes variantes des réseaux de lignes mesurés en GIXRD.

Une analyse TEM (cf. figure IV.39) a été réalisée pour connaître notamment l'épaisseur de SOI restante sur le BOX après la gravure des lignes (qui correspond à la gravure des S/D) et pour visualiser l'allure des lignes. En effet, l'étape de gravure de l'empilement Si/SiGe/SOI est très critique car il est difficile d'arrêter la gravure à l'intérieur de la couche de SOI afin de laisser une épaisseur de SOI suffisante pour la reprise d'épitaxie des S/D, la sélectivité de la gravure entre les couches de silicium et de SiGe étant faible. On voit sur la coupe TEM de la figure IV.39 qu'il reste une épaisseur très faible mais suffisante de SOI (3 nm) avant la reprise d'épitaxie.

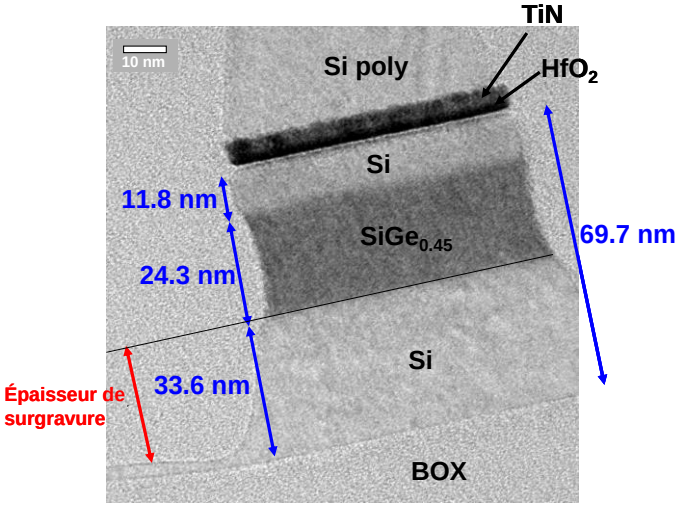

Figure IV.39: Coupe TEM transverse d'une structure à transfert de contrainte avec un pourcentage de Ge de 45%, une épaisseur de SiGe visée de 30 nm et une largeur de ligne de 100 nm. Réalisée par R. Truche (CEA-LETI).

b) Mesures de déformation en GIXRD

➢ Intéressons-nous tout d'abord à l'influence de l'épaisseur de la couche de SiGe pour une concentration en Ge fixée (20%) et une largeur fixée (L_{SiGe}=100 nm). Les scans radiaux[28] correspondant aux plans cristallographiques (220) et (2-20) ont été tracés sur les figures IV.40a et b respectivement pour différentes épaisseurs t_{SiGe}= 20, 30, 40 nm. Dans la direction longitudinale, les pics de Bragg de l'empilement Si/SiGe/Si sont très proches du pic du substrat quelle que soit l'épaisseur de la couche de SiGe. La déformation dans la direction

[28] L'énergie des rayons X utilisés est de 11 keV. Des angles d'incidence et d'émergence proches de l'angle critique de réflexion totale ont permis de mesurer la diffraction des plans perpendiculaires à la surface pour l'empilement Si/SiGe/SOI (α_i=0.2°, α_f=0.4°) comme pour le substrat de silicium (α_i=0.3°, α_f=0.6°) servant de référence interne. L'empilement de grille n'absorbe pas trop les rayons X.

longitudinale est donc très faible dans la couche de Si supérieure. Dans la direction latérale, les pics de Bragg de l'empilement Si/SiGe/Si sont décalés vers les plus petits angles du détecteur par rapport au pic du substrat, d'autant plus que l'épaisseur de la couche de SiGe augmente. La déformation latérale dans l'empilement Si/SiGe/Si est donc tensile, et sa valeur augmente avec l'épaisseur de la couche de SiGe. Des simulations de profils de diffraction seraient nécessaires pour séparer les contributions des différentes couches de l'empilement Si/SiGe/Si[29]. Néanmoins, nous pouvons conclure de manière qualitative que l'efficacité du transfert de contrainte augmente avec l'épaisseur de la couche de SiGe (dans la gamme 20-40 nm) à pourcentage de Ge et largeur de SiGe fixés.

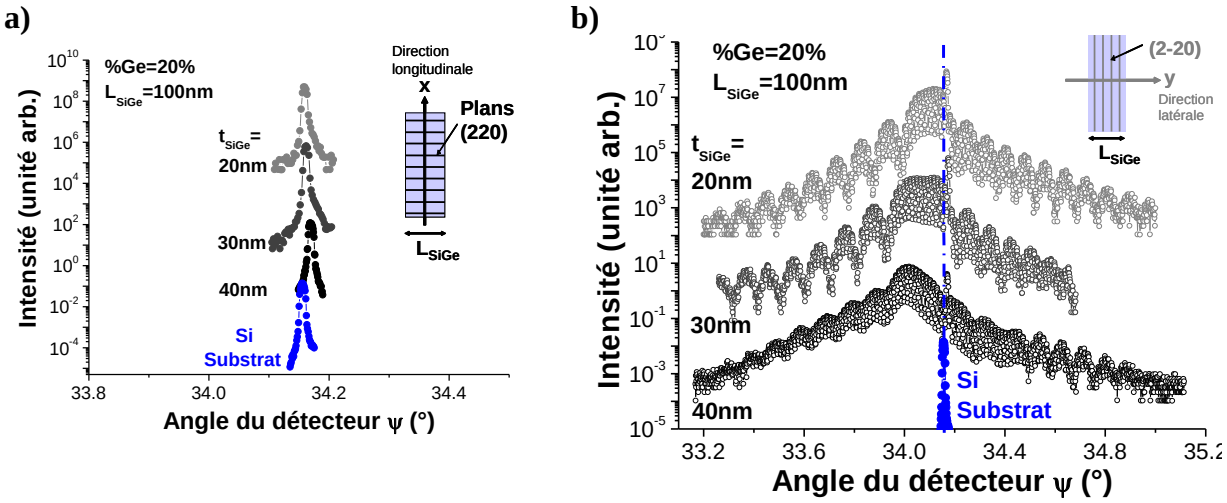

Figure IV.40: Scans radiaux des réflexions (220) (a) et (2-20) (b) d'échantillons d'épaisseur t_{SiGe}=20,30,40 nm, de largeur L_{SiGe}=100 nm et avec un pourcentage en Ge de 20%.

➢ Nous avons également étudié l'influence du pourcentage de Ge pour une épaisseur et une largeur de la couche de SiGe fixées (t_{SiGe}=30 nm, L_{SiGe}=100 nm). Nous avons tracé sur la figure IV.41a les pics de Bragg correspondant aux plans (220) pour trois pourcentages de Ge différents (20, 30 et 45%) et sur la figure IV.41b les pics correspondant aux plans (2-20).

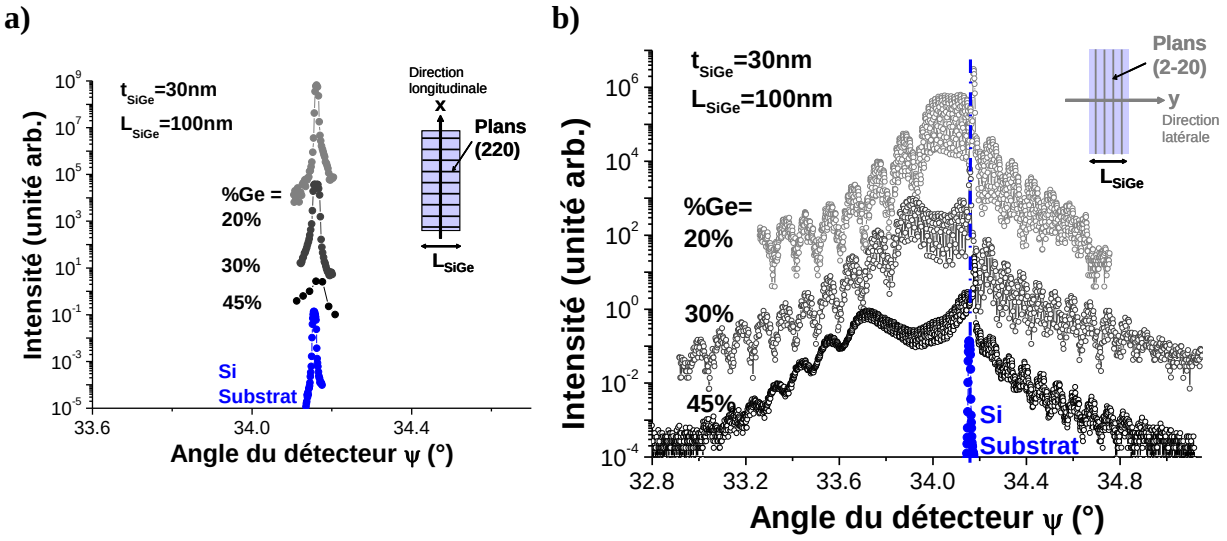

Figure IV.41: Scans radiaux des réflexions (220) (a) et (2-20) (b) d'échantillons d'épaisseur t_{SiGe}=30nm, de largeur L_{SiGe}=100nm et avec des pourcentages en Ge de 20%, 30% et 45%.

[29] Quelques expériences de cartographie avec des contrastes anomaux ont été réalisées. Elles sont en cours de traitement.

Comme dans le cas précédent, la déformation dans la couche de Si supérieure est très faible dans la direction longitudinale, tandis qu'on observe une déformation tensile dans la direction latérale augmentant avec le pourcentage de Ge. De plus, on observe dans la direction latérale deux contributions pour les pics de Bragg de l'empilement Si/SiGe/Si, l'une correspondant probablement à la bicouche SiGe/Si et l'autre à la couche de SOI inférieure. La contribution qui est la plus décalée vers les petits angles de détecteur par rapport au pic du substrat correspond à l'empilement SiGe/Si canal. La gravure de l'empilement SiGe/Si a permis à la contrainte en compression de la couche de SiGe de se relaxer grâce à la création de surfaces libres. La couche de SiGe tend alors à retrouver son paramètre de maille, ce qui explique que le décalage par rapport au pic du substrat augmente avec le pourcentage en Ge. La couche de Si supérieure étant en relation d'épitaxie avec la couche de SiGe, la relaxation de la contrainte en compression du SiGe induit une contrainte en tension dans le silicium du canal (cf. figure IV.42), d'autant plus importante que la pourcentage de Ge est élevé.

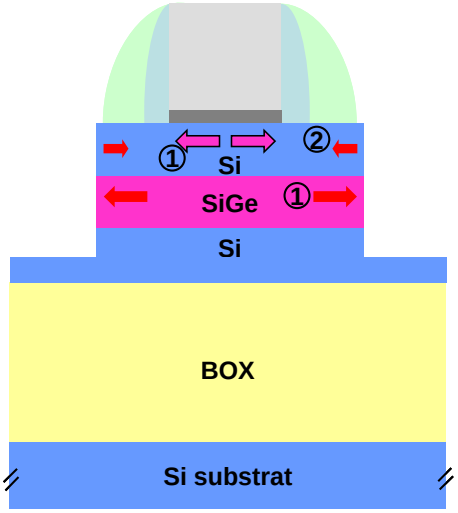

Figure IV.42: Mécanismes de transfert de contrainte dans une structure STS à base de SiGe enterré. Le mécanisme 1 est la relaxation par les bords de la contrainte intrinsèque en compression du SiGe, qui induit une contrainte en tension dans la couche active de Si. Le mécanisme 2 est la relaxation de la contrainte en tension de la couche active de Si par les bords.

Un autre mécanisme de relaxation a lieu durant la gravure de l'empilement SiGe/Si (cf. figure IV.42). Comme la largeur des lignes est très faible (100 nm), la contrainte en tension créée dans la couche de Si supérieure a aussi tendance à se relaxer à cause des surfaces libres (comme déjà observé dans les lignes de sSOI simples du chapitre III et pour les structures à base de nitrure enterré).

La contribution des pics de Bragg située à la même position que le pic du substrat correspond à la couche de Si inférieure. Cette couche n'est pas influencée par le transfert de contrainte à cause de la présence du BOX et l'absence de surface libre dans la région non gravée de la couche.

Nous avons ici interprété qualitativement la figure IV.41. Des simulations mécaniques détaillées couplées à des simulations de cartographie de diffraction seraient nécessaires pour extraire précisément la valeur de la déformation obtenue dans la couche de Si du canal qui nous intéresse pour les propriétés de transport. Certaines mesures ont été effectuées et sont en cours de traitement.

- Finalement, nous avons étudié l'influence de la largeur de la couche de SiGe à pourcentage de Ge fixé (20%) et épaisseur de SiGe fixée (30 nm). Les scans radiaux correspondant à deux largeurs différentes L_{SiGe}=200 et 100 nm de la couche de SiGe sont tracés sur la figure IV.43 pour les réflexions (220) (direction longitudinale) et (2-20) (direction latérale). Les pics de Bragg du substrat et d'un échantillon non gravé sont tracés

sur la même figure comme références. Les pics de Bragg de la référence non gravée sont à la même position que le pic du substrat dans les deux directions. Pour une bicouche SiGe/Si non gravée, la couche de SiGe en compression et la couche de Si supérieure gardent le même paramètre de maille que la couche de silicium inférieure sur laquelle elles ont été épitaxiées.

Pour les échantillons de largeur L_{SiGe}=100 et 200 nm, les pics de Bragg dans la direction longitudinale ne sont pas décalés par rapport au pic du substrat. Dans la direction latérale, le décalage par rapport au pic du substrat est plus important pour L_{SiGe}=100 nm que pour L_{SiGe}=200 nm.

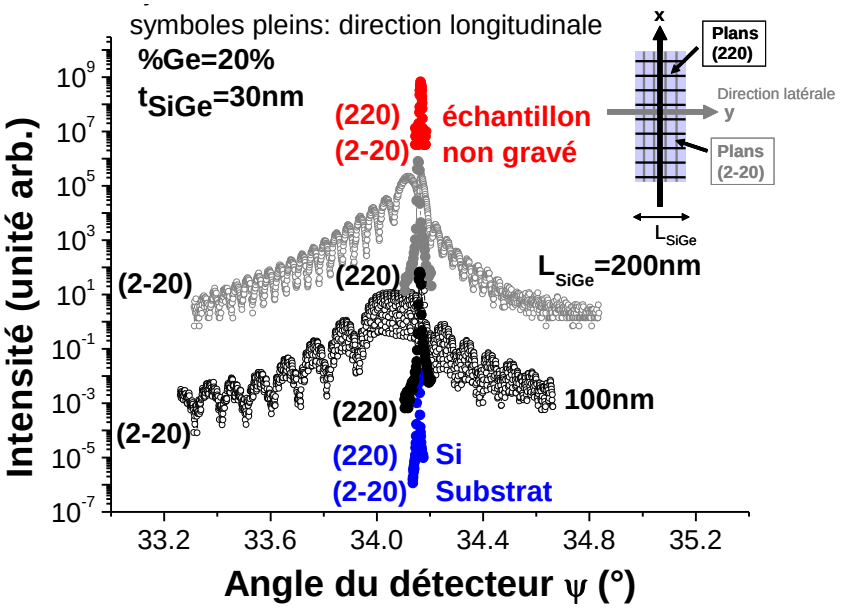

Figure IV.43: Scans radiaux des réflexions (2-20) et (220) d'échantillons d'épaisseur t_{SiGe}=30 nm, de pourcentage en Ge de 20% et de largeurs L_{SiGe}=100 nm et 200 nm. Les pics de Bragg de l'échantillon correspondant non gravé et du substrat de Si sont aussi tracés.

Le mécanisme de transfert de contrainte est probablement moins efficace pour une largeur plus importante de la zone gravée, du fait de l'éloignement des bords libres du centre de la structure. Mais il faut aussi insister sur le fait que le maximum du pic de Bragg est plus large pour L_{SiGe}=100 nm. D'une part, le transfert de contrainte est plus efficace lorsque L_{SiGe} diminue (la valeur moyenne de la déformation dans Si canal augmente), mais d'autre part la déformation en tension induite dans le silicium du canal a tendance à se relaxer plus facilement à cause de la proximité des surfaces libres (cf. figure IV.42). C'est le même compromis entre les deux mécanismes déjà observé dans le cas des structures à transfert de contrainte à base de nitrure enterré. Pour les lignes de largeur 200 nm, la valeur moyenne de la déformation dans l'empilement SiGe/Si est plus faible, mais il y a probablement moins de relaxation de la déformation induite dans la couche de Si canal que pour W=100 nm. Tenant compte de ces deux mécanismes de transfert de contrainte et relaxation, il existe une valeur optimum de largeur L_{SiGe} de la couche de SiGe enterrée pour laquelle la déformation est maximale dans le canal, dépendant de l'épaisseur t_{SiGe} de la couche de SiGe [Fiorenza08]. Des simulations mécaniques ont été réalisées pour déterminer le domaine de valeurs du rapport d'aspect $\frac{t_{SiGe} + t_{Si}}{L_{SiGe}}$ de l'empilement Si/SiGe gravé pour lequel la contrainte transférée dans le canal est maximum. Elles sont présentées dans la partie suivante.

Toutes les mesures présentées jusqu'à présent ont été réalisées après l'étape de gravure de l'empilement SiGe/Si correspondant à l'étape de gravure des S/D. Dans les dispositifs réels, il faut aussi tenir compte de la reprise d'épitaxie des S/D en silicium (cf. figure IV.44). Celle-ci a été étudiée pour un échantillon de largeur L_{SiGe}=100 nm et d'épaisseur t_{SiGe}=40 nm de la couche de SiGe, avec un pourcentage en Ge de 20% (cf. figure IV.44).

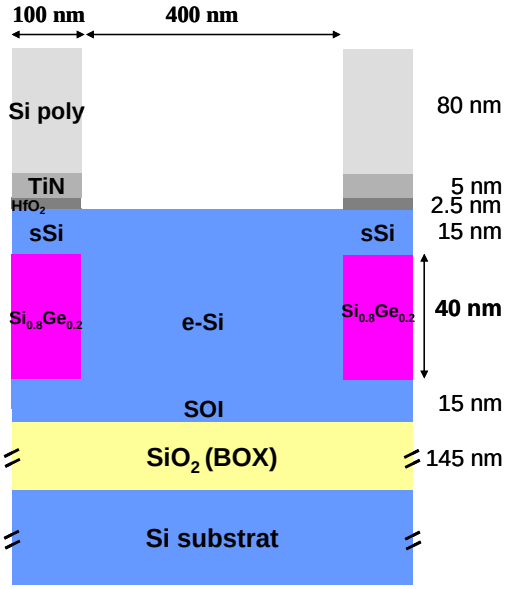

Figure IV.44: Représentation schématique en coupe d'une structure avec reprise d'épitaxie pour mesure GIXRD. Le schéma représente seulement deux lignes du réseau.

➢ Les mesures en GIXRD de l'échantillon de la figure IV.44 ont été comparées à celles du même échantillon sans reprise d'épitaxie sur la figure IV.45. Dans la direction longitudinale, la reprise d'épitaxie n'introduit pas de déformation dans la couche active (cf. figure IV.45a). Dans la direction latérale (cf. figure IV.45b), la reprise d'épitaxie diminue la valeur de la déformation moyenne en tension introduite dans la couche active grâce au SiGe enterré.

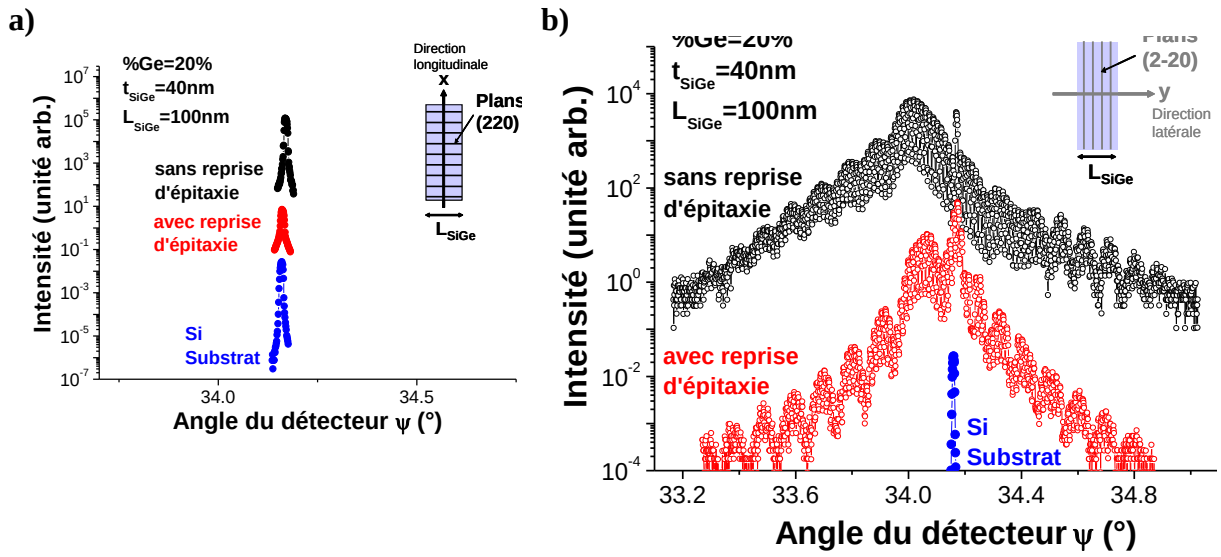

Figure IV.45: Scans radiaux des réflexions (220) (a) et (2-20) (b) d'échantillons d'épaisseur t_{SiGe}=40 nm, de largeur L_{SiGe}=100 nm et avec des pourcentages en Ge de 20%. La figure compare les pics de Bragg de deux échantillons avec et sans reprise d'épitaxie.

Les résultats des mesures de déformation sont résumés sur la figure IV.46. Nous avons calculé la déformation latérale moyenne ε_{yy} dans l'empilement Si/SiGe/Si à partir des maximums des pics de Bragg. Rappelons que pour compléter ces études, il faudrait faire des simulations de profils de diffraction afin de déterminer la déformation dans le canal à partir des mesures GIXRD. On voit sur la figure IV.46a que la déformation est proportionnelle au pourcentage de Ge dans la couche de SiGe. On peut également remarquer en comparant les figures IV.46a et b qu'il est plus efficace d'augmenter le pourcentage en Ge de la couche de SiGe que son épaisseur pour augmenter la déformation moyenne à largeur de la couche de SiGe fixée.

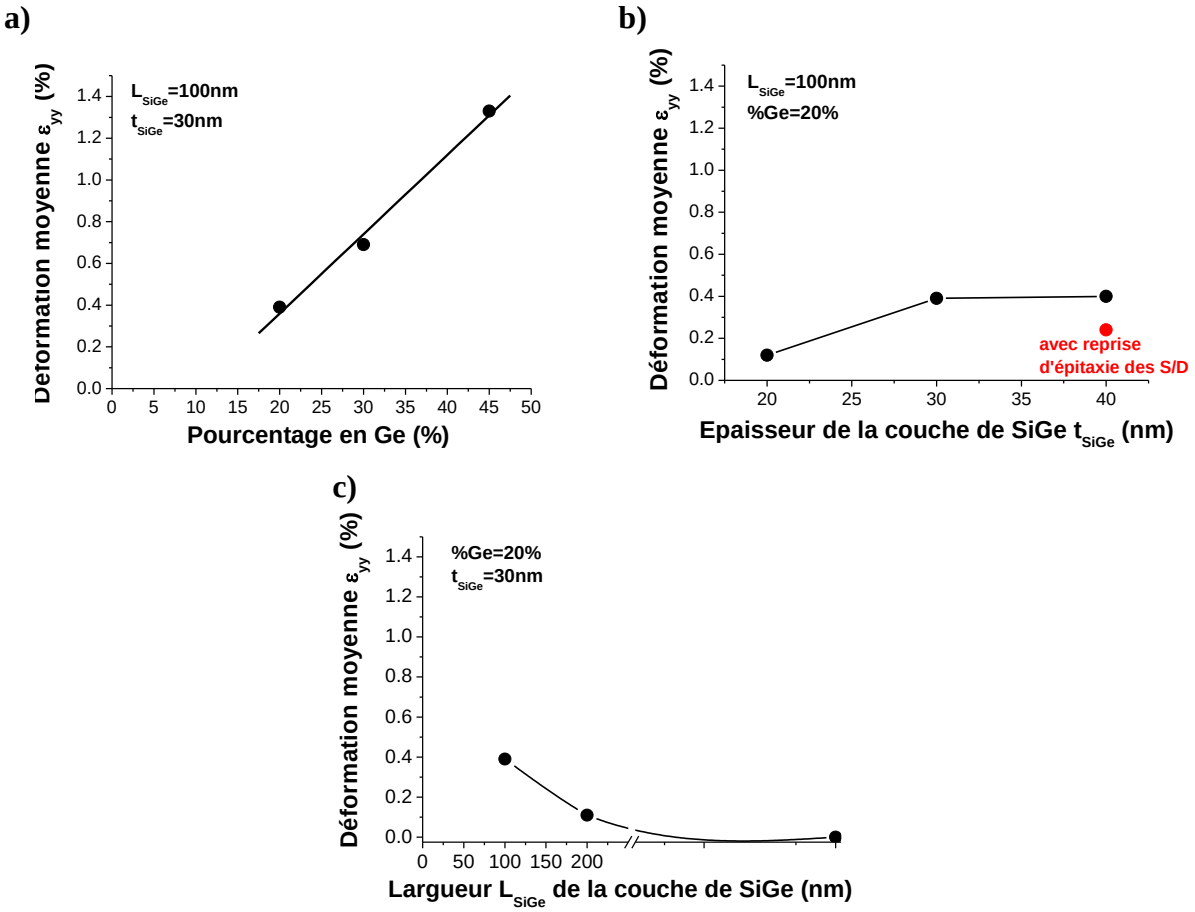

Figure IV.46: Déformation latérale moyenne ε_{yy} dans l'empilement Si/SiGe/Si en fonction a) du pourcentage en Ge de la couche de SiGe, b) de l'épaisseur de la couche de SiGe, c) de la largeur de la couche de SiGe.

Enfin, nous allons compléter ces résultats par des simulations mécaniques par éléments finis afin d'étudier notamment l'influence d'une plus grande gamme de largeur de la couche de SiGe que celle de la figure IV.46c et d'épaisseur de la couche de SiGe sur l'efficacité du transfert de contrainte.

3.3. Simulations mécaniques par éléments finis

a) <u>Etat de l'art</u>

Fiorenza et al. [Fiorenza08] ont réalisé une étude de simulation extensive de structures STS à base de SiGe enterré sur silicium massif. Ils ont travaillé sur l'optimisation de la structure du dispositif pour maximiser la contrainte dans le canal. Les paramètres qu'ils ont fait varier sont la contrainte initiale de la couche de SiGe σ_{xx_SiGe}, la longueur de grille L_g, la

largeur des espaceurs L_{sp}, l'épaisseur de la couche active de Si t_{Si}, l'épaisseur de la couche de SiGe t_{SiGe}, et l'épaisseur de surgravure t_{grav}. Ils ont montré que les paramètres les plus importants sont L_g, L_{sp}, t_{Si} et t_{SiGe}.

Il a été vérifié[30] que la contrainte dans le canal est une fonction linéaire de σ_{xx_SiGe}. Ce résultat est très utile car il n'est alors nécessaire de réaliser les simulations que pour une seule valeur de σ_{xx_SiGe}. La contrainte dans le canal peut ensuite être calculée pour d'autres valeurs de σ_{xx_SiGe} en utilisant le paramètre d'efficacité du transfert de contrainte STE (pour « stress transfer efficiency ») défini par :

$$STE = \left| \frac{\sigma_{xx_SiAvg}}{\sigma_{xx_SiGe}} \right|$$ avec σ_{xx_SiAvg} la contrainte moyenne dans la couche active de Si.

L'efficacité du transfert de contrainte est tracée sur la figure IV.47 en fonction de la longueur de grille et pour différentes épaisseurs de Si (à épaisseur de SiGe fixée). Cette figure montre que l'efficacité du transfert de contrainte est élevée pour des films de Si minces, mais chute de façon significative pour les films épais. Ce résultat s'explique par le fait que l'interface oxyde de grille/Si où la contrainte σ_{xx_SiAvg} est mesurée est loin de la couche de SiGe responsable du transfert de contrainte pour les films épais. Pour les films minces, l'efficacité du transfert de contrainte augmente avec la réduction de la longueur de grille, tandis que pour les films épais, elle diminue.

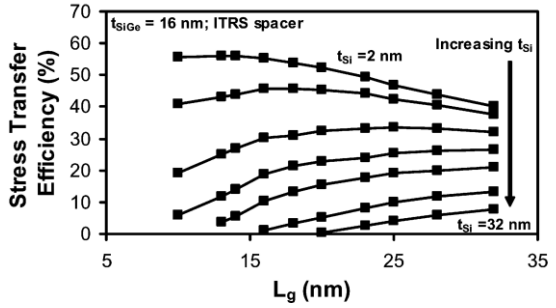

Figure IV.47: Efficacité du transfert de contrainte STE pour une épaisseur de SiGe fixée et une épaisseur de Si variable. La largeur de l'espaceur est fixée à 1.1×L_g, comme spécifié par l'ITRS. D'après [Fiorenza08].

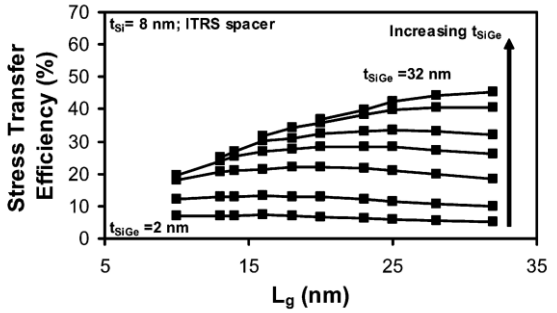

Figure IV.48: Efficacité du transfert de contrainte STE pour une épaisseur de Si fixée et une épaisseur de SiGe variable. La largeur de l'espaceur est fixée à 1.1×L_g, comme spécifié par l'ITRS. D'après [Fiorenza08].

L'efficacité du transfert de contrainte est tracée sur la figure IV.48 en fonction de la longueur de grille et pour différentes épaisseurs de SiGe (à épaisseur de Si fixée). Pour les grandes longueurs de grille, l'efficacité du transfert de contrainte augmente avec l'épaisseur de la couche de SiGe. Elle reste constante avec la réduction de la longueur de grille dans le cas des couches fines de SiGe, mais décroît avec la réduction de L_g pour les couches épaisses de SiGe.

Fiorenza et al. ont montré que l'optimisation de la contrainte transférée dans le canal peut être décrite à partir de seulement deux variables :

- le rapport entre l'épaisseur de SiGe et l'épaisseur de la couche active de Si : $\frac{t_{SiGe}}{t_{Si}}$

- le rapport d'aspect de l'empilement gravé Si/SiGe : $\frac{t_{SiGe} + t_{Si}}{L_g + 2L_{sp}}$.

[30] Ce résultat est dû au fait que les calculs sont réalisés dans l'hypothèse de l'élasticité linéaire.

Sur la figure IV.49 est tracé l'efficacité du transfert de contrainte en fonction du rapport d'aspect pour différentes valeurs de $\frac{t_{SiGe}}{t_{Si}}$.

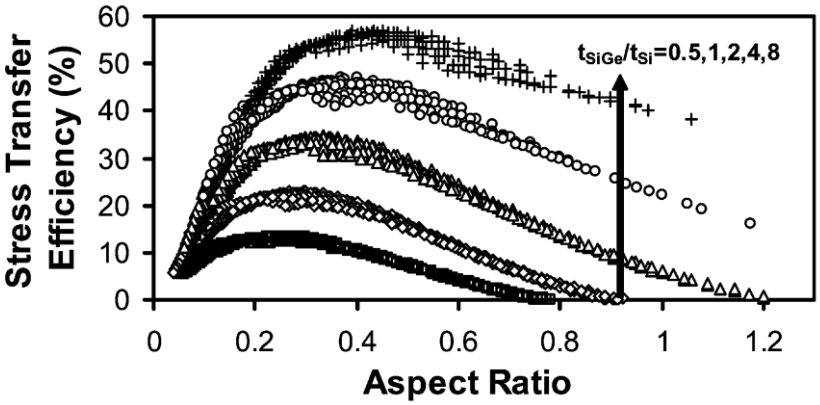

Figure IV.49: Résumé des résultats de simulations avec 4900 combinaisons des paramètres des dispositifs qui déterminent la contrainte dans le canal. D'après [Fiorenza08].

Cette figure montre que pour maximiser l'efficacité du transfert de contrainte, il faut choisir le rapport $\frac{t_{SiGe}}{t_{Si}}$ le plus grand possible et tel que le rapport d'aspect $\frac{t_{SiGe} + t_{Si}}{L_g + 2L_{sp}}$ soit compris entre 0.3 et 0.5.

b) Notre étude

Nous avons réalisé des simulations mécaniques 2D par éléments finis avec Ansys™ afin d'évaluer l'influence des paramètres géométriques de la structure ainsi que du pourcentage en Ge sur l'efficacité du transfert de contrainte. La structure simulée est représentée sur la figure IV.50. Les paramètres géométriques que nous avons fait varier sont l'épaisseur t_{SiGe} et la largeur L_{SiGe} de la couche de SiGe, l'épaisseur de surgravure t_{grav} de la couche de Si inférieure (SOI) et l'épaisseur t_{SOI} de la couche de SOI. L'originalité de notre étude par rapport à celle de [Fiorenza08] réside dans le fait que nous avons réalisé nos simulations dans le cas de structures STS sur SOI et non pas sur silicium massif comme Fiorenza et al. Nous avons donc étudié l'influence d'un paramètre supplémentaire sur l'efficacité du transfert de contrainte qui est l'épaisseur de la couche de SOI.

Afin de tenir compte de la présence des espaceurs (cf. figure IV.37), la relation entre la largeur de la zone gravée et la longueur de grille est :

$$L_{SiGe} = L_g + 2L_{sp}$$ **Equation IV.21**

avec L_{sp}=20 nm la largeur des espaceurs et L_g la longueur de grille.

La structure étant symétrique, nous n'avons simulé que la moitié de la structure.

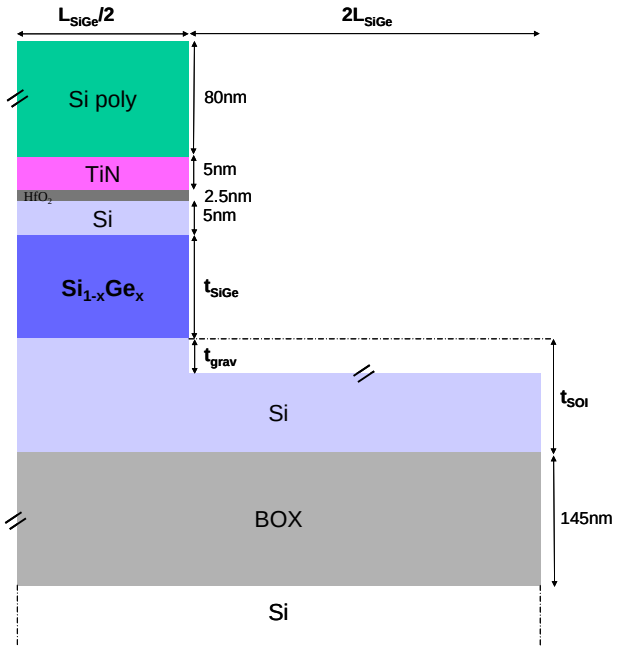

Figure IV.50: Structure à transfert de contrainte à base de SiGe enterré simulée sous Ansys™. Les paramètres variables sont le pourcentage x en Ge, l'épaisseur t_{SiGe}, la largeur $L_{SiGe}=L_G+2L_{sp}$ de la couche de SiGe, l'épaisseur t_{grav} de surgravure de la couche de SOI et l'épaisseur t_{SOI} de la couche de SOI.

Les coefficients élastiques pris en compte pour les différents matériaux de la structure sont indiqués dans le tableau IV.4.

Matériau	Module d'Young E (GPa)	Coefficient de Poisson ν	Coefficient de dilatation thermique α (10^{-6} °C^{-1})
Si	131 [Hull]	0.28 [Hull]	2.616 [Hull]
Ge	103 [Wortman65]	0.26 [Wortman65]	2.55 [Wortman65]
SiO_2 (BOX)	66	0.17	0.5
HfO_2 [31]	75 [memsnet]	0.17 [memsnet]	0.4 [matweb]
TiN	290	0.28	9.4
Si poly-cristallin	160	0.20	2.616

Tableau IV.4: Valeurs des coefficients élastiques des différents matériaux prises en compte dans les simulations. Les valeurs prises pour le HfO_2 sont les mêmes que celles du SiO_2 faute de données. Le module d'Young du Si pris en compte ici ne tient pas compte de l'anisotropie du Si.

En ce qui concerne la couche de $Si_{1-x}Ge_x$, les valeurs des coefficients élastiques dépendent du pourcentage x en Ge et sont données par :

$$E_{Si_{1-x}Ge_x} = (1-x).E_{Si} + x.E_{Ge}$$
$$\nu_{Si_{1-x}Ge_x} = (1-x).\nu_{Si} + x.\nu_{Ge} \qquad \textbf{Equation IV.22}$$
$$\alpha_{Si_{1-x}Ge_x} = (1-x).\alpha_{Si} + x.\alpha_{Ge}$$

La contrainte intrinsèque en compression biaxiale dans la couche de $Si_{1-x}Ge_x$ dépendant du pourcentage x en Ge est introduite grâce à un chargement thermique comme dans les cas précédents.

La déformation dans la couche de SiGe dans le plan est donnée par : (cf. chapitre I)

$$\varepsilon_{SiGe} = \frac{a_{Si} - a_{SiGe}}{a_{Si}} \qquad \textbf{Equation IV.23}$$

[31] Même coefficients élastiques que SiO_2 faute de données.

En utilisant la loi de Végard,

$$\varepsilon_{SiGe} = x.(1 - \frac{a_{Ge}}{a_{Si}})$$ **Equation IV.24**

Les valeurs des paramètres de maille a_{Si} et a_{Ge} du Si et du Ge respectivement sont données dans le tableau I.2 du chapitre I.

De plus, d'après la loi de Hooke pour une contrainte biaxiale isotrope (cf. annexe A 4c):

$$\sigma_{SiGe} = \frac{E_{SiGe}}{1 - \nu_{SiGe}}.\varepsilon_{SiGe}$$ **Equation IV.25**

La température du chargement thermique est alors donnée par :

$$T_{SiGe} = -\frac{1 - \nu_{SiGe}}{E_{SiGe}\,\alpha_{SiGe}}\sigma_{SiGe}$$ **Equation IV.26**

d'où $T_{SiGe} = -\frac{\varepsilon_{SiGe}}{\alpha_{SiGe}}$ **Equation IV.27**

$$\boxed{T_{SiGe} = \frac{1}{(1-x).\alpha_{Si} + x.\alpha_{Ge}}\frac{x(a_{Ge} - a_{Si})}{a_{Si}}}$$ **Equation IV.28**

Notons que, pour simplifier, la contrainte intrinsèque du TiN n'a pas été prise en compte dans ce calcul. Nous avons vu que la grille en TiN peut avoir un effet important sur la déformation dans le canal (cf. chapitre III). Mais pour ces échantillons, la grille en TiN est déposée avec la méthode ALD (« atomic layer deposition ») et nous n'avons pas mesuré la contrainte intrinsèque de la grille correspondant à ces échantillons (valeur très dépendante du procédé de dépôt et de l'épaisseur déposée notamment). Il serait intéressant de refaire des simulations en tenant compte de la contrainte intrinsèque du TiN après avoir mesuré sa valeur par courbure de plaque (cf. annexe C).

i. Effet de l'épaisseur de surgravure

Les déformations latérales dans l'empilement Si/SiGe/Si sont représentées sur la figure IV.51 pour différentes épaisseurs de surgravure (0 nm, 5 nm, 10 nm).

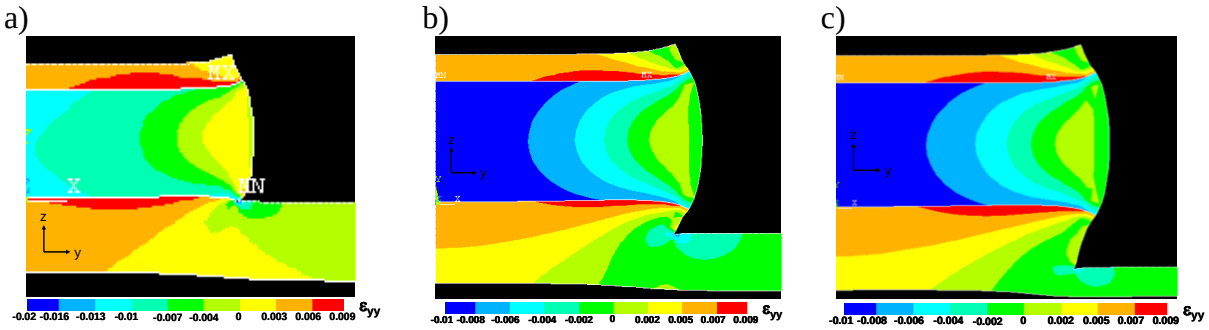

Figure IV.51: Simulations mécaniques par éléments finis[32] de la déformation latérale ε_{yy} dans l'empilement Si/SiGe/Si des échantillons à base de SiGe enterré. La longueur de grille est L_G+2L_{sp}=80 nm, l'épaisseur de la couche de SiGe 15 nm, le pourcentage en Ge de la couche de SiGe 40% et l'épaisseur de la couche de SOI 15 nm. Les épaisseurs de surgravure de la couche de Si inférieure sont a) 0 nm, b) 5 nm, c) 10 nm.

[32] Pour la représentation, la déformation est multipliée par un facteur d'échelle.

Les profils de déformation dans la couche de Si supérieure (canal) sont tracés sur la figure IV.52 pour les différentes épaisseurs de surgravure. Cette figure montre que l'épaisseur de surgravure influe peu sur la déformation latérale moyenne dans la couche de Si active, ce qui est cohérent avec les résultats de [Fiorenza08]. La déformation transférée dans la couche active est légèrement plus élevée pour une valeur de surgravure importante, du fait de l'augmentation de la hauteur de la surface libre. Cependant, il est difficile de contrôler l'épaisseur de la surgravure sans couche d'arrêt au niveau du procédé technologique.

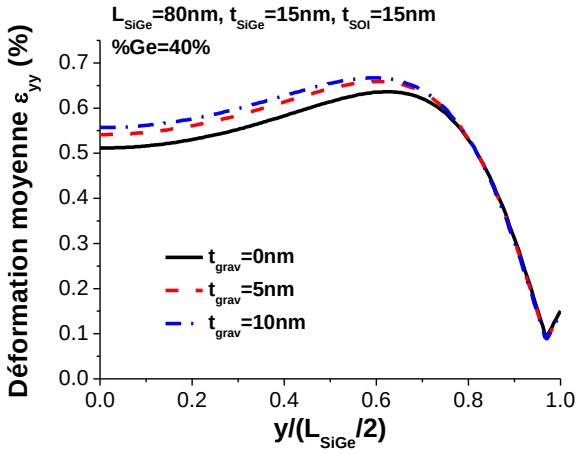

Figure IV.52: Influence de l'épaisseur de surgravure sur la déformation moyenne latérale dans la couche de Si supérieure.

ii. Effet de l'épaisseur de la couche de SOI

Les profils de déformation latérale dans la couche active de Si sont tracés sur la figure IV.53 pour différentes épaisseurs de la couche de SOI. Cette figure montre que l'épaisseur de la couche de SOI influe peu sur la déformation latérale moyenne dans la couche active de Si. La déformation transférée dans la couche active augmente légèrement avec la diminution de l'épaisseur de la couche de SOI. La déformation latérale moyenne la plus élevée est obtenue pour une épaisseur nulle de la couche de SOI. Ceci peut s'expliquer par le fait que le BOX est moins rigide que le silicium (cf. modules d'Young du tableau IV.4), entraînant une relaxation plus facile de la couche de SiGe et donc un meilleur transfert de contrainte si la couche de SiGe est directement sur le BOX (t_{SOI}=0). Pour les applications FDSOI où on cherche à avoir une épaisseur totale de l'empilement Si/SiGe/SOI inférieure à 10 nm, la couche de SOI peut donc être supprimée sans compromettre l'efficacité du transfert de contrainte.

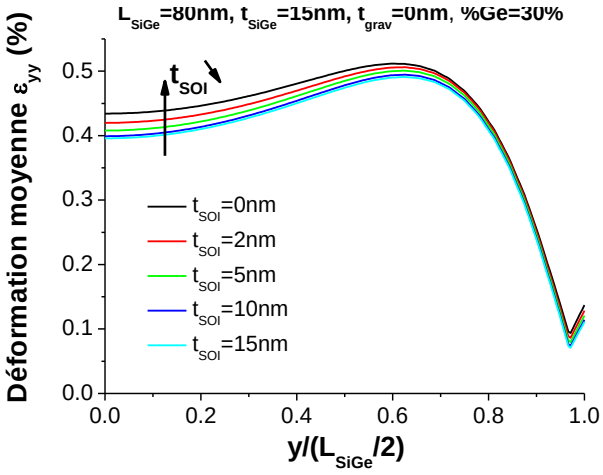

Figure IV.53: Influence de l'épaisseur de la couche de SOI sur la déformation moyenne latérale dans la couche de Si supérieure.

iii. Effet de l'épaisseur de la couche de SiGe

Nous avons étudié l'influence de l'épaisseur de la couche de SiGe sur l'efficacité du transfert de contrainte, pour différentes longueurs de grille. Les résultats des simulations mécaniques par éléments finis sont résumés sur les figures IV.54a et b pour des pourcentages respectifs en Ge de 45% et de 30%. On observe sur cette figure une saturation de la déformation moyenne dans la couche de Si supérieure lorsque l'épaisseur de la couche de SiGe augmente. Cette saturation est d'autant plus rapide que la longueur de grille est petite. De plus, il faut garder à l'esprit qu'au niveau technologique, il y a une épaisseur critique de la couche de SiGe à ne pas dépasser qui dépend du pourcentage en Ge (cf. chapitre I).

Comme attendu, la valeur de la déformation dans la couche de Si active augmente avec le pourcentage en Ge de la couche de SiGe. L'allure des deux séries de courbes est la même sur les figures IV.54a et b.

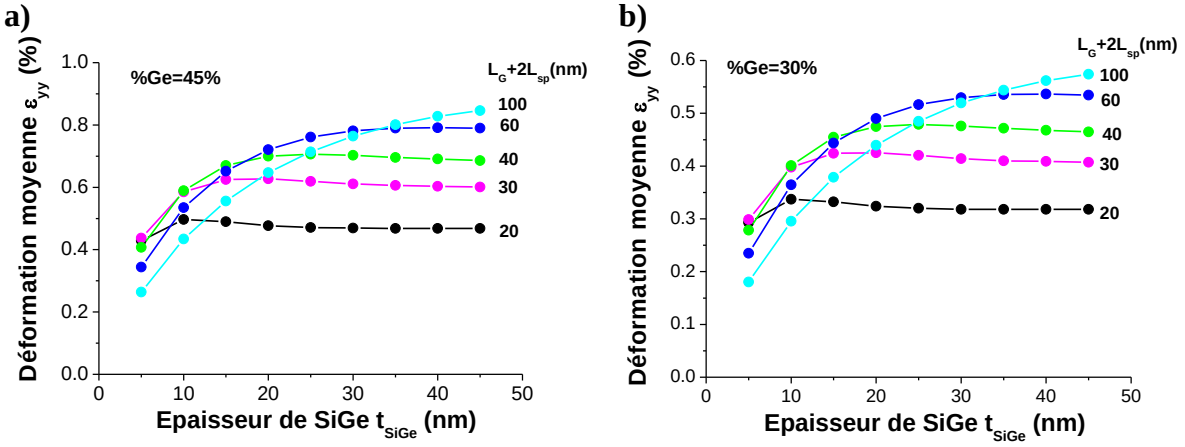

Figure IV.54: Déformation moyenne latérale dans la couche active de Si en fonction de l'épaisseur de la couche de SiGe, pour différentes longueurs de grille et pour un pourcentage en Ge de la couche de SiGe de a) 45% et b) 30%. L'épaisseur de surgravure est t_{grav}=5 nm, l'épaisseur de la couche active de Si est t_{Si}=5 nm et l'épaisseur de la couche de SOI est t_{SOI}=15 nm.

La comparaison des mesures expérimentales par GIXRD avec les calculs éléments finis a été réalisée sur les figures IV.55a et b. Nous trouvons des valeurs plus élevées de déformation à partir des mesures expérimentales, comparé aux simulations.

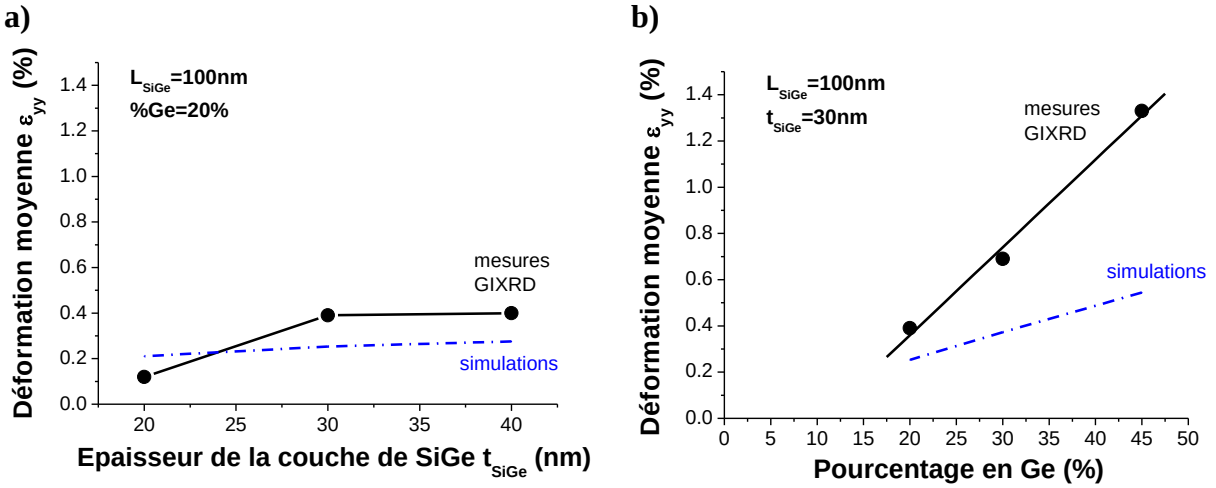

Figure IV.55: Déformation moyenne latérale en fonction a) de l'épaisseur de la couche de SiGe et b) du pourcentage en Ge de la couche de SiGe, d'après les mesures GIXRD et les simulations mécaniques par éléments finis. Pour les simulations, l'épaisseur de surgravure est t_{grav}=0 nm, l'épaisseur de la couche active de Si est t_{Si}=15 nm et l'épaisseur de la couche de SOI est t_{SOI}=15 nm.

Cependant, la déformation extraite à partir des mesures GIXRD est la déformation moyenne dans l'empilement SiGe enterré / couche active de Si, tandis que les valeurs des simulations correspondent à la déformation moyenne dans la couche active de Si. Il faudrait soit extraire par les simulations la déformation moyenne dans l'empilement SiGe enterré / couche active de Si (pour que la comparaison mesures GIXRD / simulations soit plus juste), soit extraire à partir des mesures GIXRD la déformation moyenne dans la couche active de Si. Cette deuxième solution serait la meilleure car c'est la déformation dans la couche active de Si qui nous intéresse.

iiii. Effet de la longueur de grille

Les mêmes résultats sont cette fois-ci tracés en fonction de la longueur de grille, avec comme paramètre l'épaisseur de la couche de SiGe (cf. figure IV.56).

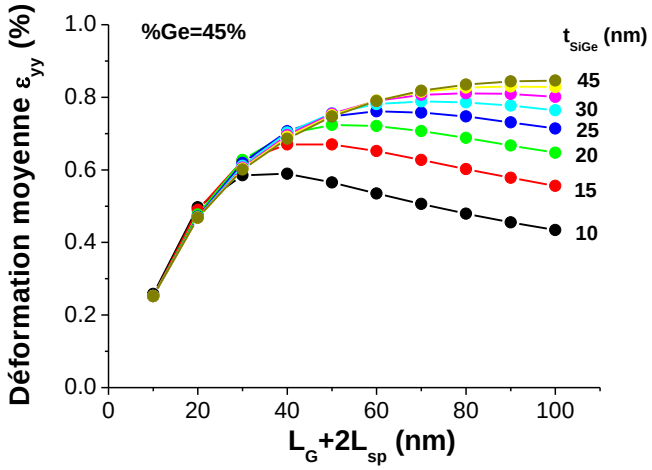

Figure IV.56: Déformation moyenne latérale dans la couche de Si supérieure en fonction de la longueur de grille, pour différentes épaisseurs de la couche de SiGe. L'épaisseur de surgravure est t_{grav}=5 nm, l'épaisseur de la couche active de Si est t_{Si}=5 nm et l'épaisseur de la couche de SOI est t_{SOI}=15 nm.

On remarque sur la figure IV.56 que la déformation optimale dans la couche active de Si est obtenue pour des longueurs de grille différentes suivant l'épaisseur de la couche de SiGe. Le niveau de déformation dans le canal dépend du rapport d'aspect de l'empilement SiGe/Si $\frac{t_{SiGe}+t_{Si}}{L_g+2L_{sp}}$, comme illustré sur la figure IV.57 pour deux épaisseurs différentes de la couche de SiGe (30 nm et 15 nm) et pour L_g+2L_{sp}=80 nm.

a) **b)**

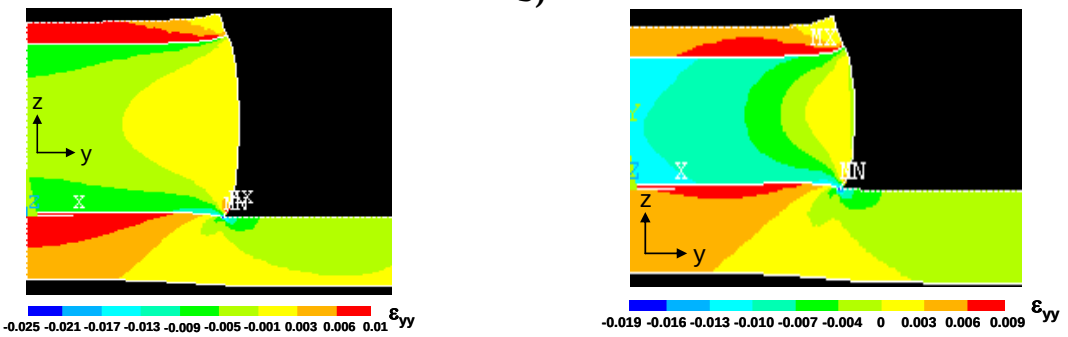

Figure IV.57: Simulations mécaniques par éléments finis[33] de la déformation latérale dans l'empilement Si/SiGe/Si avec une longueur de grille L_g+2L_{sp}=80 nm, un pourcentage en Ge de la couche de SiGe de 40%, une épaisseur de la couche de SOI de 15 nm et de la couche active de Si de 5 nm et des épaisseurs de la couche de SiGe de a) 30 nm et b) 15 nm.

[33] Pour la représentation, la déformation est multipliée par un facteur d'échelle.

Nous avons donc tracé sur la figure IV.58 la déformation moyenne latérale dans la couche active de Si en fonction du rapport d'aspect $\frac{t_{SiGe} + t_{Si}}{L_g + 2L_{sp}}$.

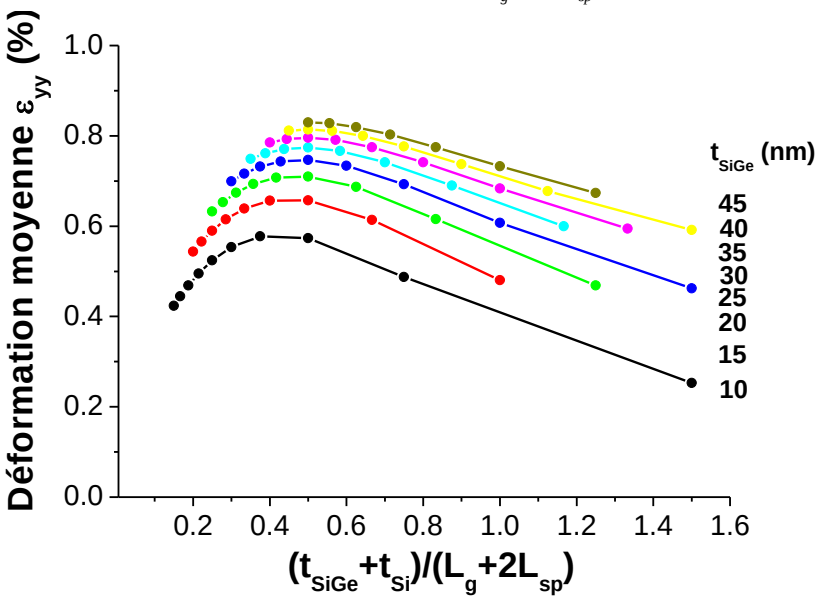

Figure IV.58: Déformation moyenne latérale dans la couche active de Si en fonction du rapport d'aspect $(t_{SiGe}+t_{Si})/(L_g+2L_{sp})$, pour différentes épaisseurs t_{SiGe} de la couche de SiGe, et pour un pourcentage en Ge de la couche de SiGe de 45%. L'épaisseur de surgravure est t_{grav}=5 nm, l'épaisseur de la couche active de Si est t_{Si}=5 nm et l'épaisseur de la couche de SOI est t_{SOI}=15 nm.

Cette figure montre qu'à épaisseur de la couche active de Si fixée (t_{Si}=5 nm), la déformation moyenne dans la couche active de Si est maximale pour une épaisseur t_{SiGe} de la couche de SiGe maximum et un rapport d'aspect $\frac{t_{SiGe} + t_{Si}}{L_g + 2L_{sp}}$ compris entre 0.3 et 0.6. Ces résultats sont cohérents avec les simulations de [Fiorenza08] qui ont montré que la déformation optimale dans le canal est obtenue pour $0.3 \leq \frac{t_{SiGe} + t_{Si}}{L_g + 2L_{sp}} \leq 0.5$ et pour un rapport $\frac{t_{SiGe}}{t_{Si}}$ maximum.

L'originalité de cette étude par rapport à celles de la littérature est la mesure de la déformation en GIXRD. Elle a permis de montrer que la technique de mesure de déformation par GIXRD est très puissante pour la mesure de déformation dans des structures enterrées. Des mesures de déformation ont été réalisées par NBD dans des structures STS à base de SiGe enterré dans [Donaton06], mais seulement pour un échantillon. De plus, nous avons réalisé une étude de simulation détaillée pour des structures à transfert de contrainte sur SOI.

Nous avons montré que la technique de transfert de contrainte grâce à une couche de SiGe enterrée dans la couche de SOI est une méthode efficace d'introduction locale d'une contrainte en tension dans le canal des transistors nMOS dans la direction du transport, pour des dispositifs de longueur de grille sub-micrométrique. Il faudrait réaliser des mesures complémentaires en GIXRD pour étudier l'efficacité du transfert de contrainte dans le cas de largeurs de zone active correspondant à des dispositifs de l'état de l'art, car la largeur de zone active était de dimension millimétrique dans notre cas. Notre étude pourrait aussi être complétée en réalisant des simulations 3D pour des dimensions de dispositifs de l'état de l'art.

Il serait intéressant de poursuivre notre étude de mesure de déformation expérimentale et de simulation en réalisant un lot électrique de démonstration de l'efficacité de ces structures pour l'augmentation des performances des nMOS sur SOI. Des démonstrations ont été réalisées dans le cas de nMOS sur silicium massif ([Ang07b], [Donaton06]) avec des gains en performance significatifs en courant I_{ON} de 15-18% (cf. tableau I.8 du chapitre I).

Cette technique est mieux adaptée aux applications PDSOI, car il est difficile d'avoir un empilement Si/SiGe/Si d'épaisseur totale inférieure à 10 nm requise pour les applications FDSOI. Ce constat est intéressant puisque nous avons vu dans le chapitre III que l'utilisation du sSOI est difficile pour les applications PDSOI. Les structures à transfert de contrainte à base de SiGe enterré sont donc complémentaires au sSOI pour les nMOS PDSOI.

Nous avons comparé sur la figure IV.59 les déformations moyennes obtenues avec les structures STS à base de SiGe ainsi que les déformations moyennes dans la couche active de Si obtenues avec les structures sSOI du chapitre III en fonction de la dimension de la zone active. Cette figure montre qu'une structure STS avec une épaisseur de SiGe de 30 nm, une épaisseur totale de l'empilement Si/SiGe/Si de 60 nm et un pourcentage en Ge de 20% est plus efficace qu'une structure sSOI de 70 nm d'épaisseur de couche active de Si. La valeur de la déformation augmente avec le pourcentage x en Ge de la couche de SiGe. Ces résultats montrent que les structures STS à base de SiGe sont très intéressantes pour les applications PDSOI.

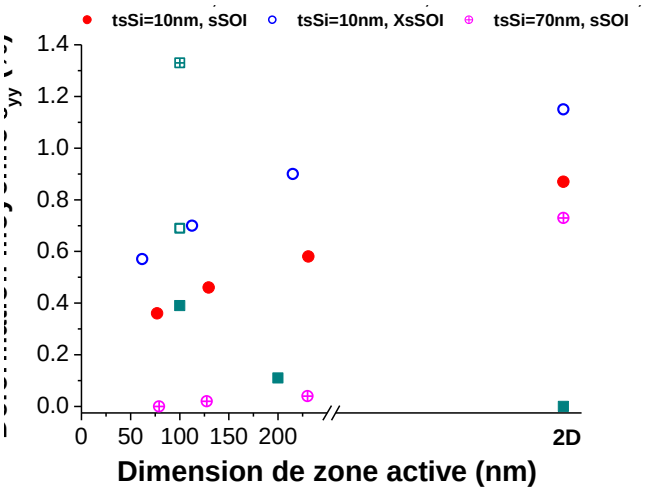

Figure IV.59: Comparaison des structures sSOI et STS à base de SiGe. Pour les structures STS, la déformation moyenne est la déformation moyenne dans l'empilement Si/SiGe/Si. Pour les structures sSOI, la déformation moyenne est la déformation moyenne dans la couche active de Si. L'épaisseur de la couche active de Si dans le cas des structures STS est 15 nm et celle de la couche de SOI 15 nm.

III/ Canal SiGe pour les pMOS

Nous venons de présenter des structures à transfert de contrainte à base de SiGe enterré pour les nMOSFETs. Ces structures utilisent la relaxation de la contrainte en compression biaxiale de la couche de SiGe grâce à la gravure de l'empilement Si/SiGe, ce qui transfère une contrainte en tension uniaxiale dans la couche active de Si. Ces structures sont donc très intéressantes pour les nMOS. Pour les pMOS, nous pouvons utiliser le même empilement Si/SiGe/Si sur SOI. L'intérêt pour les pMOS est de chercher à conserver la contrainte en compression biaxiale du SiGe, qui est bénéfique pour augmenter la mobilité des

trous. Nous allons donc étudier des structures sur SOI avec un empilement Si/SiGe/Si sans gravure des S/D pour ne pas relaxer la contrainte du SiGe.

1) Structures étudiées

Les substrats sur lesquels sont fabriqués les pMOSFETs sont constitués d'un empilement Si/SiGe/SOI (cf. figure IV.60). Ils sont obtenus par croissance épitaxiale d'une bicouche SiGe/Si sur un substrat SOI, comme dans le cas des structures à SiGe enterré. La couche de SiGe est donc en compression biaxiale et le silicium supérieur (Si canal) est non contraint. L'empilement de grille utilisé est TiN/HfO_2.

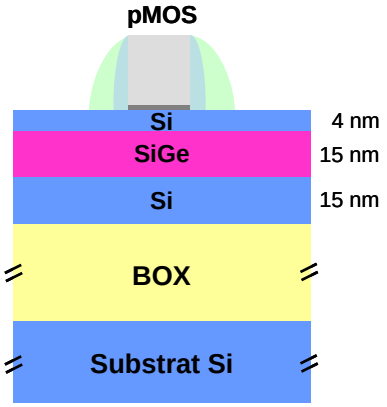

Figure IV.60: Représentation schématique d'un dispositif pMOSFET à canal SiGe.

La couche de Si supérieure est présente afin d'éviter une densité d'états d'interface trop importante à l'interface HfO_2/SiGe [Weber06], mais fine (4 nm) afin de favoriser la conduction des trous dans la couche de SiGe en compression. Deux compositions différentes x en Ge de la couche de SiGe ont été étudiées (x=0.2 et x=0.3). Les épaisseurs de la couche de SOI et de la couche de SiGe sont indiquées dans le tableau IV.5 pour les deux variantes. Les substrats ainsi fabriqués sont appelés substrats à canal SiGe. Des pMOS ont aussi été fabriqués sur des substrats SOI de référence d'épaisseur de couche active de Si de 12 nm.

Pourcentage en Ge de la couche de SiGe x (%)	Epaisseur de la couche de Si supérieure t_{Sisup} (nm)	Epaisseur de la couche de SiGe t_{SiGe} (nm)	Epaisseur de la couche de Si inférieure t_{Siinf} (nm)
20	3	14.5	17
30	4	17.5	15

Tableau IV.5: Epaisseurs des différentes couches de l'empilement Si/SiGe/Si des deux variantes (mesures ellipsométriques).

2) Résultats de caractérisation électrique

Toutes les mesures ont été réalisées pour une largeur de zone active W=0.14 µm et des longueurs de grille L_g comprises entre 100 nm et 10 µm. La figure IV.61 présente les caractéristiques I_{ON}/I_{OFF} des pMOS de la référence SOI et des pMOS à canal $Si_{0.8}Ge_{0.2}$ et $Si_{0.7}Ge_{0.3}$. Un gain significatif en I_{ON} de 33% est obtenu pour les pMOS à canal $Si_{0.7}Ge_{0.3}$ (comparé au SOI), sans dégradation du courant I_{OFF}.

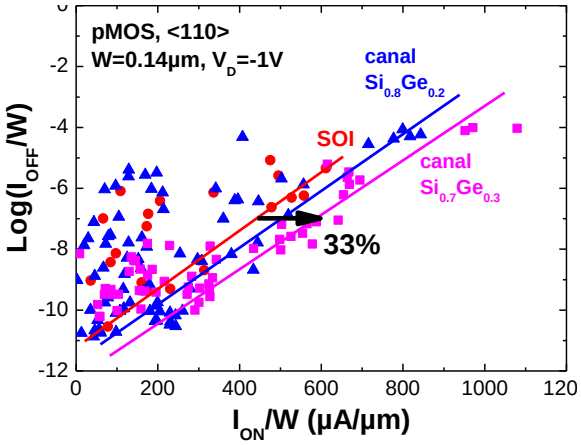

Figure IV.61: Compromis $I_{ON}(I_{OFF})$ pour des pMOS sur SOI, et pour des pMOS à canal SiGe avec des pourcentages en Ge de 20% et 30%.

Les tensions de seuil des trois variantes ont aussi été extraites et sont tracées sur la figure IV.62. On observe un décalage de V_T pour les pMOS à canal SiGe par rapport aux pMOS sur SOI. Ce décalage qui augmente avec le pourcentage de Ge est dû à la contrainte en compression du SiGe.

Afin d'évaluer le gain en mobilité obtenu grâce au canal SiGe, l'évolution du maximum de la transconductance G_{mmax} a été tracée sur la figure IV.63 en fonction de la longueur de grille pour les différentes variantes. Un gain en G_{mmax} est observé pour les pMOS à canal SiGe par rapport aux pMOS sur SOI, augmentant avec le pourcentage en Ge de la couche de SiGe. Ce gain est obtenu même pour les dispositifs les plus courts (L_g=100 nm). Il est de 53% pour les pMOS avec un canal $Si_{0.7}Ge_{0.3}$, et de 29% pour les pMOS avec un canal $Si_{0.8}Ge_{0.2}$. Ce gain en G_{mmax} signifie que le canal SiGe permet d'augmenter la mobilité des trous quelle que soit la longueur du canal dans la gamme 100 nm < L_g < 1 µm et pour une largeur de zone active de 140 nm. Comme dans le cas des dispositifs sur sSOI du chapitre III, les structures sont relâchées avec une longueur de zone active de l'ordre de L_g +1 µm. La contrainte en compression du SiGe est donc maintenue dans la direction du transport même pour les petites longueurs de grille, ce qui explique le gain en G_{mmax} observé. De plus, la largeur de zone active étant de 140 nm, il y a très probablement relaxation de la contrainte en compression du SiGe dans la direction de la largeur de grille. Mais ceci n'est pas néfaste pour les pMOS (cf. tableau I.4 du chapitre I), et au contraire peut être bénéfique par rapport aux transistors larges.

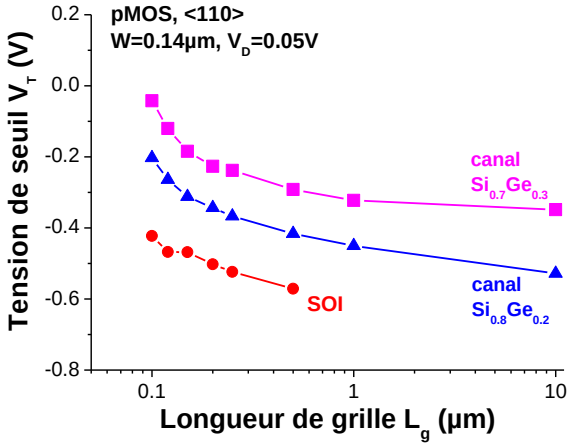

Figure IV.62: Tension de seuil en fonction de la longueur de grille pour les différentes variantes.

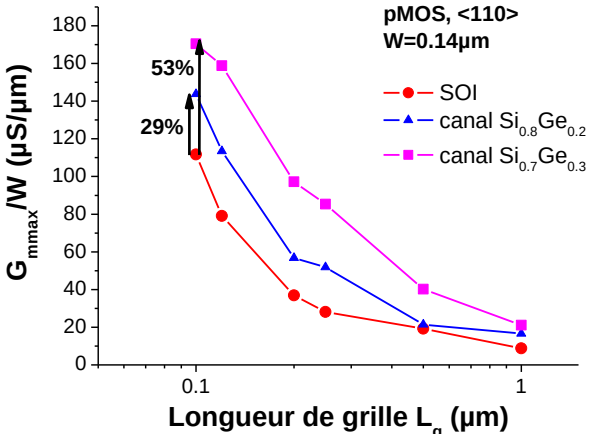

Figure IV.63: Transconductance maximale normalisée à W en fonction de la longueur de grille pour les différentes variantes.

Nous avons comparé sur la figure IV.64 le DIBL des pMOS à canal SiGe avec celui des pMOS sur SOI, afin de voir si les effets canaux courts sont dégradés pour les pMOS à canal SiGe par rapport aux pMOS sur SOI.

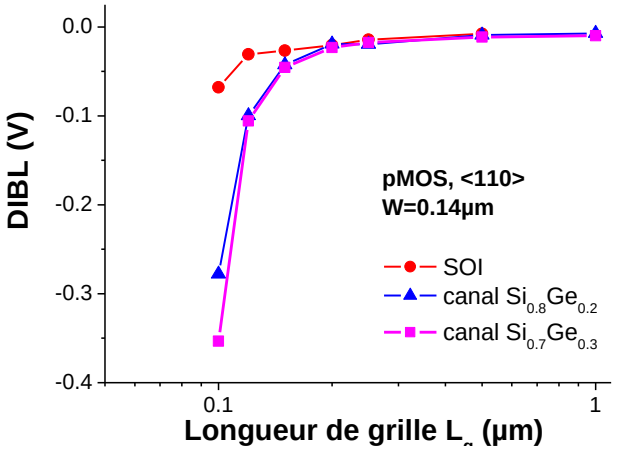

Figure IV.64: DIBL en fonction de la longueur de grille pour les différentes variantes.

On observe une dégradation du DIBL pour les pMOS à canal SiGe par rapport au SOI. Ce moins bon contrôle des effets canaux courts est dû à l'épaisseur trop importante de l'empilement Si/SiGe/Si dans le cas des dispositifs à canal SiGe. En effet, l'épaisseur de la couche active de Si de la référence SOI est de 12 nm, tandis que celle de l'empilement Si/SiGe/Si est d'environ 35 nm. Il faudrait donc réussir à fabriquer des dispositifs à canal SiGe avec des épaisseurs de zone active plus faibles. L'épaisseur de zone active t_{Si} à viser dépend de la longueur de grille L_g (cf. équation I.14 du chapitre I), et donc du nœud technologique considéré.

Une possibilité prometteuse serait de fabriquer la couche de SiGe non pas par croissance épitaxiale, mais par enrichissement en Ge d'une couche de Si [Damlencourt06]. Un pourcentage en Ge le plus élevé possible de la couche de SiGe permettrait d'obtenir de meilleures performances. De plus, pour les pMOS, on cherche à ce que la conduction ait lieu dans la couche de SiGe pour améliorer la mobilité des trous. Il faudrait donc réduire au maximum l'épaisseur de la couche de Si supérieure (t_{Sisup} < 2 nm), sans dégrader l'interface avec l'oxyde de grille.

Plus d'informations pourront être trouvées dans la référence [LeRoyer10].

Les dispositifs à canal SiGe permettent d'augmenter les performances des pMOS par rapport au SOI, grâce notamment à la contrainte en compression biaxiale de la couche de SiGe. Cependant, la contrainte du SiGe risque de se relaxer avec la diminution des dimensions des dispositifs, comme dans le cas du sSOI étudié dans le chapitre III. Les mêmes types de considérations que celles faites pour le sSOI sont applicables au SiGe en fonction des nœuds technologiques (cf. chapitre III).

IV/ Proposition de co-intégration CMOS

Grâce aux résultats obtenus jusqu'à présent dans ce chapitre, nous pouvons proposer une structure CMOS qui combine les deux approches précédentes :

- la structure à transfert de contrainte à base de SiGe enterré pour les n-MOSFETs
- et la structure à canal SiGe pour les p-MOSFETs.

Du côté pMOS, on utilise une structure à canal SiGe. La couche de SiGe n'est pas gravée afin de maintenir la contrainte en compression biaxiale qui est bénéfique pour les pMOS. On cherche à avoir une couche de Si supérieure fine (2 nm ou moins), afin de favoriser la conduction des trous dans la couche de SiGe en compression.

Du côté nMOS, on utilise le même empilement Si/SiGe/Si que du côté pMOS, mais on grave l'empilement Si/SiGe afin de libérer la contrainte en compression de la couche de SiGe et de transférer une contrainte en tension dans le canal, dans la direction du transport. Pour les nMOS, l'intérêt réside dans la conduction dans la couche supérieure de Si contrainte en tension (augmentation de la mobilité des électrons). Si on veut utiliser la même épaisseur de la couche supérieure de Si côté nMOS et côté pMOS, afin d'avoir un procédé d'intégration plus simple, il faut alors choisir une épaisseur optimum pour la couche de Si supérieure afin de favoriser à la fois la conduction dans la couche de SiGe pour les pMOS et dans la couche de Si supérieure pour les nMOS. Cette valeur optimum de l'épaisseur de la couche de Si supérieure est de l'ordre de 5 nm.

Les deux schémas d'intégration CMOS pour les applications PDSOI et pour les applications FDSOI sont présentés respectivement sur les figures IV.65a et b.

- Pour les applications PDSOI, nous avons fixé l'épaisseur totale de l'empilement Si/SiGe/Si à 50 nm (cf. figure IV.65a). Nous avons choisi l'épaisseur optimale de 5 nm pour la couche active de Si. Nous avons vu que les performances des pMOS à canal SiGe sont meilleures pour un pourcentage en Ge de 30% de la couche de SiGe. Pour optimiser le transfert de contrainte dans les structures STS côté nMOS, il faut choisir l'épaisseur de SiGe telle que le rapport $\frac{t_{SiGe}}{t_{Si\,sup}}$ soit le plus élevé possible, et tel que $0.3 \leq \frac{t_{SiGe} + t_{Si\,sup}}{L_g + 2L_{sp}} \leq 0.6$. Pour le nœud 22 nm (L_g=25 nm) et si on considère L_{sp}=5 nm, alors on peut choisir t_{SiGe}=15 nm. L'épaisseur de la couche de Si inférieure est alors de 30 nm.

- Pour les applications FDSOI, nous avons fixé l'épaisseur totale de l'empilement Si/SiGe/Si à 7 nm (cf. figure IV.65b). On peut avantageusement supprimer la couche de Si inférieure, grâce à la technique d'enrichissement en Ge. Nous avons montré dans le paragraphe II.3.3.b.ii. par des simulations mécaniques que ceci ne compromet pas l'efficacité du transfert de contrainte. Afin d'optimiser l'efficacité du transfert de contrainte et le transport pour les nMOS et les pMOS, on choisit une épaisseur de la couche supérieure de Si de 3 nm et une épaisseur de SiGe de 4 nm. Comme l'épaisseur de SiGe est faible, on peut choisir un pourcentage élevé en Ge pour maximiser la contrainte en compression dans la couche de SiGe pour les pMOS et la contrainte en tension transférée dans la couche supérieure de Si pour les nMOS. On ne grave pas entièrement la couche de SiGe côté nMOS pour permettre la reprise d'épitaxie des source/drain en Si.

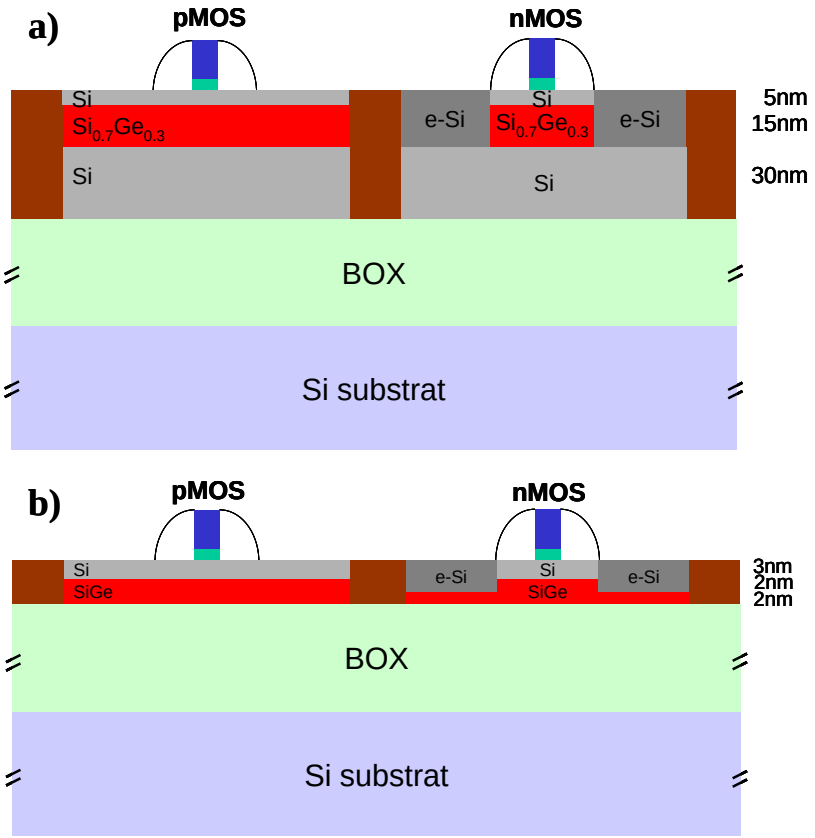

Figure IV.65: Proposition de schéma d'intégration CMOS a) pour les applications PDSOI, avec une épaisseur totale pour l'empilement Si/SiGe/Si de 50 nm et b) pour les applications FDSOI, avec une épaisseur totale pour l'empilement Si/SiGe de 7 nm, pour le nœud 22 nm.

Grâce à ces différentes études, nous avons proposé différentes co-intégrations pour optimiser les performances des nMOS et des pMOS en combinant plusieurs techniques d'introduction de contrainte dans le canal des MOSFETs (cf. figure IV.66).

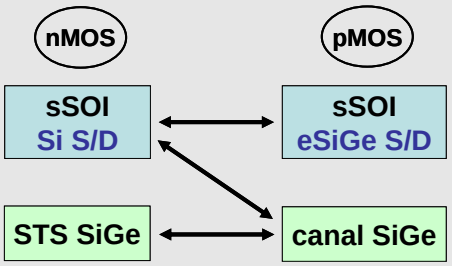

Figure IV.66: Schéma récapitulatif des différentes co-intégrations possibles de nMOS et pMOS en utilisant différentes techniques d'introduction de contrainte dans le canal des MOSFETs.

Nous avons montré la possibilité d'une co-intégration sur une même plaque sSOI de n-MOSFETs avec des S/D en Si et de p-MOSFETs avec des S/D enterrés en SiGe, afin d'augmenter les performances des pMOS sur sSOI. De plus, nous venons de proposer la co-intégration de structures à transfert de contrainte à base de SiGe enterré pour les nMOS avec des structures à canal SiGe pour les pMOS. Ce travail complète donc la panoplie des solutions apportées par l'ingénierie de la contrainte en utilisant le sSOI et les alliages SiGe en plus des solutions de co-intégration sur sSOI de nMOS à canal Si contraint et de pMOS à canal SiGe [Andrieu05, Hutin10].

CONCLUSION

Dans cette thèse, nous avons pu vérifier que l'augmentation des performances des transistors MOSFETs pouvait être obtenue grâce à l'incorporation d'une contrainte mécanique dans le canal de transistors sur SOI. La compréhension et le contrôle des contraintes mécaniques étant l'un des enjeux de l'industrie des semiconducteurs avec la réduction des dimensions des dispositifs, nous avons choisi de mesurer les déformations induites lors des différentes briques de base de MOSFETs contraints sur SOI par la technique de diffraction des rayons X en incidence rasante (GIXRD). Cette technique permet en effet de déterminer le tenseur des déformations sans aucune hypothèse ni préparation spéciale de l'échantillon, et avec une grande sensibilité. Ses principaux inconvénients résident dans l'utilisation d'un rayonnement synchrotron pour garantir des acquisitions rapides des données, et l'obtention de données statistiques sur un ensemble d'objets. Cette technique donne donc accès à d'autres informations que les techniques de mesure locale des déformations. Elle a été utilisée au cours de ce travail de thèse pour la mesure de déformations dans des nanostructures à base de sSOI et dans des nanostructures contraintes innovantes sur SOI.

Nous avons montré grâce aux mesures de déformation en GIXRD sur des lignes de sSOI que le type et le niveau de contrainte dans le canal des transistors sur sSOI est très dépendant de la géométrie et des règles de dessin. Le comportement de la contrainte du sSOI doit donc s'étudier avec les règles de dessin et dans la géométrie d'un produit donné. Des simulations 3D seront sûrement nécessaires pour comprendre et maîtriser les mécanismes de la relaxation des déformations avec la réduction des dimensions. Des modèles compacts issus des mesures et des simulations 3D pourraient alors tenir compte du comportement de la contrainte en fonction des dimensions pour prévoir les performances des dispositifs. Pour les dispositifs FDSOI, l'épaisseur de la couche active de Si est sensée diminuer avec les nœuds technologiques. Nous avons montré que ceci est bénéfique pour le maintien de la contrainte dans le sSOI.

Le gain en performances de MOSFETs sur sSOI a été mesuré par rapport au SOI en fonction des dimensions (100% de gain en mobilité pour des nMOS longs et larges, 35% de gain en courant de drain à saturation pour des nMOS courts et étroits). Nous avons pu expliquer cette chute de gain en performances avec la réduction des dimensions grâce notamment aux mesures par GIXRD de l'influence des différentes étapes du procédé de fabrication des MOSFETs sur la contrainte du matériau sSOI du canal en fonction des dimensions. Pour les pMOS, l'utilisation des substrats sSOI est beaucoup moins efficace que pour les nMOS. Pour les forts niveaux de contrainte, un gain en mobilité pour les pMOS sur XsSOI (eXtremely strained Silicon-on-Insulator) par rapport au SOI reste notable (70% pour des pMOS longs et larges), mais bien inférieur à celui des nMOS (170% pour des nMOS longs et larges sur XsSOI).

Pour augmenter la mobilité des pMOSFETs sur SOI, nous avons étudié d'autres techniques permettant d'introduire une contrainte en compression dans le canal dans la direction du transport. Nous avons fabriqué pour la première fois des p-MOSFETs avec des Source/Drain (S/D) enterrés en SiGe (eSiGe) sur des films minces de 15 nm d'épaisseur SOI et sSOI. Nous avons démontré un gain en mobilité de 65% (comparé aux transistors longs) et une réduction des résistances séries de 30% avec les S/D eSiGe (comparé aux S/D classiques en Si), expliquant une amélioration du courant I_{ON} jusqu'à 37% pour une longueur de grille de 60 nm. En outre, ces avantages deviennent de plus en plus importants avec la diminution des longueurs de grille. Les S/D enterrés en SiGe sont donc une solution efficace pour les technologies films minces haute performance. Finalement, nous avons démontré la compatibilité de S/D enterrés en SiGe avec des substrats sSOI pour améliorer les

performances des pMOS. Ceci ouvre la voie d'une co-intégration possible sur une même plaque sSOI de n-MOSFETs avec des S/D en Si ou enterrés en $Si_{1-x}C_x$ et de p-MOSFETs avec des S/D enterrés en SiGe. En perspective, l'intégration CMOS et le gain en performances des eSiGe sur films ultra-minces de silicium (<5 nm) reste à étudier.

Une autre solution consiste à placer un matériau précontraint non plus dans les Source/Drain, mais sous le canal. Ces structures s'appellent structures à transfert de contrainte (STS). Nous avons étudié des structures STS à base de nitrure enterré pour introduire une contrainte en compression dans la direction du transport dans le canal des pMOS, et des structures STS à base de SiGe enterré pour introduire une contrainte en tension dans la direction du transport dans le canal des nMOS.

Le SiGe enterré dans le canal peut aussi être utilisé pour augmenter la mobilité des trous dans des pMOS à canal SiGe, grâce à la contrainte en compression biaxiale de la couche de SiGe. Cependant, la contrainte du SiGe risque de se relaxer avec la diminution des dimensions des dispositifs, comme dans le cas du sSOI. Le comportement de la contrainte du SiGe, comme pour le sSOI, doit donc s'étudier avec les règles de dessin et dans la géométrie d'un produit donné.

Grâce à ces différentes études, nous pouvons proposer différentes co-intégrations originales pour optimiser les performances des nMOS et des pMOS en combinant plusieurs techniques d'introduction de contrainte dans le canal des MOSFETs. Nous avons montré la co-intégration possible sur une même plaque sSOI de n-MOSFETs avec des S/D en Si et de p-MOSFETs avec des S/D enterrés en SiGe, afin d'augmenter les performances des pMOS sur sSOI. Nous avons aussi proposé la co-intégration sur SOI de structures à transfert de contrainte à base de SiGe enterré pour les nMOS avec des structures à canal dual Si/SiGe pour les pMOS.

Les perspectives ultérieures de ce travail de thèse sont tout d'abord la mesure de déformations dans des nanostructures à base de sSOI, cette fois-ci sur des transistors dans leur environnement réel (et non sur des structures de test simplifiées). La technique GIXRD pourrait être combinée avec d'autres techniques de mesure de déformations ou utilisée avec des variantes intéressantes qui permettent d'avoir accès à des contrastes chimiques (par exemple la diffraction anomale). Les aspects théoriques de l'influence de la contrainte sur le transport (structure de bande, masses effectives, mesures basse température) pourraient aussi être étudiés en tenant compte des profils locaux (et de la relaxation) de la contrainte inhérents à ce type de nanostructures. Des études in-situ du transport en appliquant une contrainte mesurée pourraient enfin être réalisées pour comprendre plus en détail les liens entre contrainte et transport.

ANNEXE A: RAPPELS FONDAMENTAUX SUR LA PHYSIQUE DU SILICIUM

1) Structure cristalline du silicium et zone de Brillouin

Le silicium cristallise selon la structure type diamant. Le réseau du silicium est constitué de deux réseaux cubiques faces centrées (cfc), imbriqués et décalés l'un par rapport à l'autre du quart de la diagonale principale. La maille élémentaire contient deux atomes de Si en position (0 0 0) et (¼ ¼ ¼). Chaque atome a une coordination tétraédrique et établit des liaisons covalentes avec chacun de ses quatre voisins (cf. figure 1).

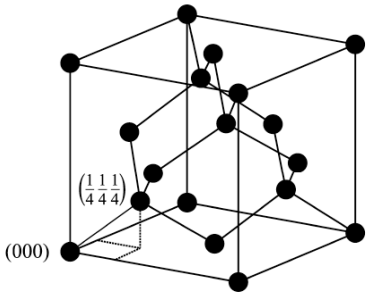

Figure 1: Structure cristalline du silicium.

La figure 2 présente les trois plans du réseau cubique et les indices de Miller associés. En raison des propriétés de symétrie du cristal, les plans (001), (010) et (100) sont équivalents. Une convention similaire est utilisée avec les directions [100], [-100], [010], [0-10], [001] et [00-1] qui peuvent être référées d'une façon plus générale sous la direction <100>. Certains défauts relatifs aux procédés de fabrication ont un impact moindre sur une surface (001) que sur une surface (011) ou (111). Par exemple, les charges piégées à l'interface Si/SiO_2 et les charges fixes dans l'oxyde sont en concentration plus faible dans un plan (001) [Sze36]. Ces défauts affectent les propriétés électriques des transistors MOSFETs. Pour ces raisons technologiques, la surface (001) a été historiquement la plus utilisée dans l'industrie microélectronique.

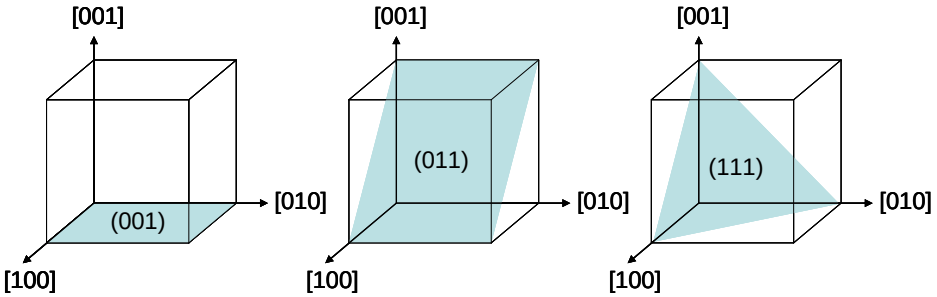

Figure 2: Orientation du silicium et indices de Miller associés.

En raison de la périodicité de la structure cristalline, le potentiel cristallin que voit un électron est périodique (théorème de Bloch, [Mathieu]). Pour modéliser les propriétés des électrons, on se place communément dans le réseau réciproque, qui est la transformée de Fourier du réseau réel. Le réseau réciproque est l'espace des vecteurs d'onde k. La cellule élémentaire (cellule de Wigner-Seitz) du réseau réciproque est nommée zone de Brillouin (cf. figure 3). En faisant varier le vecteur k dans cette zone de Brillouin, il est possible de décrire le comportement d'une propriété dans tout le cristal. Sur la figure 3 sont représentés les points de haute symétrie de la zone de Brillouin du silicium, qui seront par la suite des repères définissant en particulier des directions importantes dans l'étude de la structure de bande.

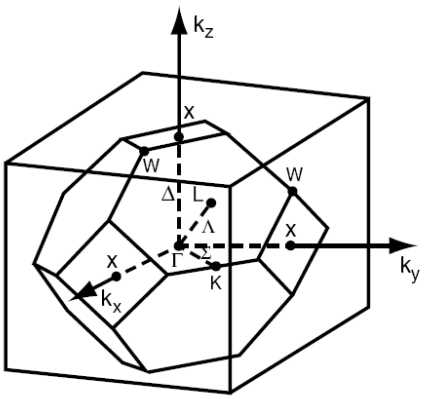

Figure 3: Zone de Brillouin du silicium.

2) Structure de bandes du silicium

Le comportement électrique d'un semi-conducteur, comme celui d'un métal ou d'un isolant, est décrit par la théorie des bandes. Ce modèle stipule que les électrons dans un solide prennent uniquement des valeurs d'énergie (ou états d'énergie) comprises dans certains intervalles appelés bandes permises, séparées par des bandes interdites. Deux bandes importantes déterminent les propriétés électriques d'un semi-conducteur : la bande de valence (dernière bande quasi-pleine) et la bande de conduction (première bande quasi-vide). La structure de bande du silicium est représentée sur la figure 4.

Dans le cas du silicium, le minimum de la bande de conduction est situé dans la direction [100], appelée direction Δ (cf. figures 3 et 4), au point d'abscisse (0 0 k_0) avec k_0=0.85K_x, où K_x représente l'abscisse du point X, limite de la première zone de Brillouin dans la direction Δ. Compte-tenu de la structure cubique du silicium, il existe 6 directions équivalentes à la direction [100] (référées sous la direction <100>, cf. partie précédente). La bande de conduction possède donc six minima équivalents (six vallées Δ). La variation E(k) de l'énergie de la bande de conduction au voisinage du minimum n'est pas isotrope, elle est plus rapide dans le plan perpendiculaire à l'axe considéré que suivant cet axe. Les surfaces d'énergie constante sont des ellipsoïdes de révolution autour de chacun des axes équivalents (cf. figure 5).

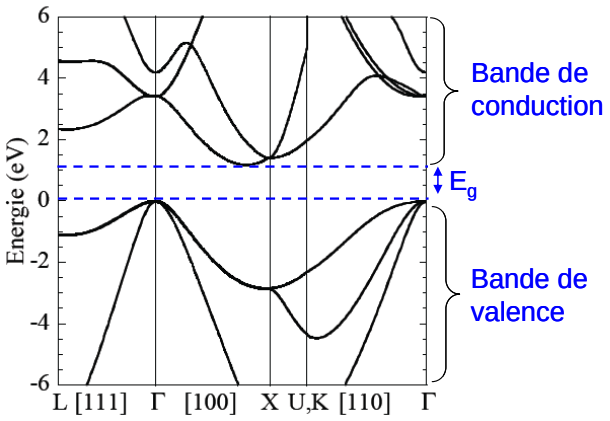

Figure 4: Structure de bandes du silicium massif calculée par la méthode kp à 30 bandes suivant les trois directions de plus haute symétrie de l'espace réciproque (d'après [RICHARD04]).

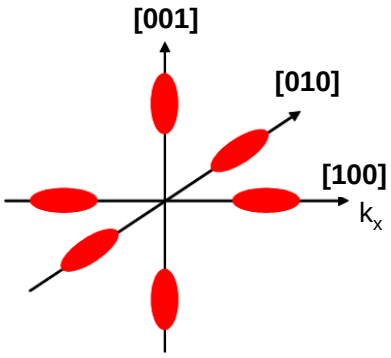

Figure 5: Représentation schématique des surfaces d'énergie constante dans les vallées Δ de la bande de conduction du silicium.

Le maximum de la bande de valence est situé en k=0 (cf. figure 4). Ceci implique une certaine isotropie des surfaces iso-énergétiques dans l'espace des k. Ces surfaces iso-énergétiques sont approximativement des sphères centrées en k=0. La bande de valence comprend trois branches : la bande des trous lourds (hh pour « heavy holes »), la bande des trous légers (lh pour « light holes ») et une bande ayant un maximum d'énergie différent, appelée « split-off band ».

Le gap est par définition la largeur de la bande interdite, c'est-à-dire la différence d'énergie E_g entre le maximum absolu de la bande de valence et le minimum absolu de la bande de conduction. Dans le cas du silicium, la valeur du gap à 300 K est de 1.12 eV. Les semi-conducteurs dont le minimum de la bande de conduction n'est pas situé au même point k que le maximum de la bande de valence sont appelés semi-conducteurs indirects. C'est le cas du silicium.

3) Notion de masse effective des porteurs et masse effective de conduction

Dans un semi-conducteur, les électrons ne sont pas libres et subissent l'influence du potentiel du réseau. En termes ondulatoires, un électron dans la bande de conduction est caractérisé par une fonction d'onde qui est une somme de Bloch d'orbitales anti-liantes. En termes corpusculaires, c'est une particule dans un potentiel cristallin. Cette particule quasi-libre de charge –e et de masse m_0 est représentée par une quasi-particule libre de charge –e et de masse m_e. La masse m_e est appelée masse effective de l'électron. La masse effective m_e contient en quelque sorte l'inertie additionnelle que donne à l'électron le potentiel cristallin, c'est-à-dire qu'elle prend en compte l'effet global du potentiel cristallin sur l'électron [Mathieu].

- Notion de trou

Lorsque la température est différente de zéro, un certain nombre d'électrons de la bande de valence sont excités dans la bande de conduction. Comme la bande de valence est incomplète, ces électrons peuvent se déplacer et par suite transporter du courant électrique. Lorsqu'un électron d'une orbitale liante occupée part sur une orbitale liante voisine vide, la place vide se déplace dans l'autre sens. Cette place vide est appelée « trou ». Le trou peut être considéré comme une quasi-particule possédant une charge positive +e.

- Notion de masse effective de conduction

La masse effective m* des porteurs est inversement proportionnelle à la courbure de bande d'énergie. Elle est donnée par la relation :

$$m^* = \frac{\hbar^2}{d^2E/dk^2} \qquad \textbf{Equation 1}$$

➢ Pour la bande de conduction, la forme ellipsoïdale des vallées (cf. figure 5) implique une variation de la courbure d^2E/dk^2 selon les directions de l'espace. Les minima de la bande de conduction sont situés aux centres des ellipsoïdes. Dans chacun des minima, les électrons de vecteur k dirigé suivant l'axe long de l'ellipsoïde (c'est-à-dire se propageant suivant la direction correspondante) sont caractérisés par la masse effective longitudinale m^*_L. Les électrons de vecteur k dirigé suivant l'axe court de l'ellipsoïde sont caractérisés par la masse effective transverse m^*_T.

On peut aussi définir une masse effective de conduction, notée ici m_c. Il s'agit de la masse effective selon la direction du transport considérée. La masse effective de conduction intervient dans l'expression de la mobilité des porteurs. On peut la définir de façon globale, c'est-à-dire en prenant en compte la population de chaque vallée pour se ramener à une seule valeur scalaire de la masse de conduction dans l'expression de la mobilité. Il s'agit d'une moyenne de toutes les vallées selon une direction. Ce sont les inverses des masses effectives pondérées par la population de chaque sous-bande qui s'ajoutent, pour une direction de transport donnée, selon :

$$\frac{1}{m_c} = \sum_v \frac{n_v / n}{m_v^*} \qquad \textbf{Equation 2}$$

avec n_v le nombre de porteurs de la vallée v, n le nombre de porteurs total et m_v^* la masse effective de la vallée v selon la direction considérée.

En considérant le transport des électrons suivant l'axe [100] et supposant une équi-répartition des électrons dans les six vallées (c'est le cas du silicium massif (3D) à température ambiante[34]), la masse effective de conduction des électrons m^*_e est gouvernée à 2/3 par la masse effective transverse et à 1/3 par la masse effective longitudinale :

$$\frac{1}{m^*_e} = \frac{1}{3}\left(\frac{1}{m^*_l} + \frac{2}{m^*_t}\right) \qquad \textbf{Equation 3}$$

avec m^*_l =0.916 m_0, m^*_t =0.191 m_0, m_0 la masse de l'électron libre.

La masse effective de conduction des électrons est identique dans les trois directions du système d'axes cristallographiques principal [100], [010] et [001], à cause des symétries du cristal de silicium.

- La bande de valence du silicium (comme tous les semi-conducteurs cubiques) est composée de deux branches dégénérées en k=0 (cf. figure 4). La bande de plus grande courbure (bande inférieure sur la courbe de dispersion) correspond à des trous de masse effective inférieure (cf. équation 1). On appelle ces trous des trous légers lh (« light holes ») et la bande correspondante bande des trous légers. La bande de plus faible courbure correspond aux trous lourds (de masse effective supérieure) et est appelée bande des trous lourds hh (heavy holes). Comme les électrons dans la bande de conduction, les trous dans les bandes de valence se comportent comme des quasi-particules libres de masse effective m_{hh} pour les trous lourds et m_{lh} pour les trous légers.

A cause de la dégénérescence des deux bandes en k=0, les bandes ne sont pas isotropes. Leurs surfaces d'énergie constante peuvent être représentées par des « sphères gauchies » centrées en k=0. Les énergies en fonction du vecteur d'onde pour les deux types de trous au voisinage du sommet de la bande de valence sont données par des expressions plus compliquées que dans le cas des électrons. Les masses effectives des trous lourds et des trous légers peuvent toutefois être déterminées avec une assez bonne approximation en remplaçant les surfaces iso-énergétiques par des sphères.

[34] Pour une couche d'inversion (gaz 2D), la masse effective de conduction dépend de la population des vallées, et donc du potentiel de confinement.

4) Propriétés d'élasticité du silicium : notions de contrainte et de déformation, loi de Hooke

a) Notion de contrainte

Considérons, à l'intérieur d'un matériau, un parallélépipède infiniment petit autour d'un point P et dont les arêtes sont parallèles aux axes x_1, x_2 et x_3 (cf. figure 6). Sur chaque face, la matière située à l'extérieur du parallélépipède exerce une force qui peut être décomposée en trois composantes. Par exemple, sur la face perpendiculaire à l'axe x_1, on peut distinguer trois composantes de force par unité de surface :

- la composante σ_{11} parallèle à l'axe x_1, appelée contrainte normale
- les composantes σ_{21} et σ_{31} parallèles aux axes x_2 et x_3 respectivement, appelées contraintes de cisaillement (ou tangentielles)[35].

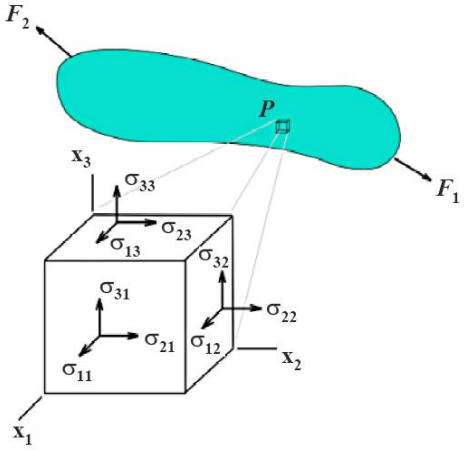

Figure 6: Notation des composantes du tenseur des contraintes autour du point P [Guillaume05].

En adoptant la même définition pour les faces perpendiculaires aux axes x_2 et x_3, on définit les neuf composantes de la contrainte autour du point P. σ_{ij} est la composante selon l'axe x_i de la force par unité de surface qui s'exerce sur la face du parallélépipède perpendiculaire à l'axe x_j. Une contrainte est homogène à une pression et s'exprime en Pascal (Pa) ou $N.m^{-2}$ en unités du système international.

Les signes des contraintes sont fixés par une convention arbitraire : σ_{ij} est la contrainte exercée dans la direction $+Ox_i$ par la matière qui se trouve du côté $+Ox_j$ sur la matière qui se trouve du côté $-Ox_j$. $\sigma_{ii} > 0$ correspond donc à une tension et $\sigma_{ii} < 0$ à une compression.

Pour représenter l'état général de contrainte en un point donné d'un matériau, on utilise le formalisme tensoriel. Le tenseur de contrainte, noté σ_{ij}, est un tenseur de rang 2 (une matrice) et s'écrit par exemple dans la base des axes cristallographiques[36] :

$$\sigma_{ij} = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{bmatrix}$$

[35] Sur la face opposée du parallélépipède perpendiculaire à x_1, les contraintes sont $-\sigma_{11}$, $-\sigma_{21}$ et $-\sigma_{31}$ selon la loi de l'action et de la réaction.
[36] Ceci est vrai dans un repère orthogonal quelconque.

En l'absence d'un champ de moment extérieur, les conditions d'équilibre d'un volume infinitésimal à l'intérieur d'un matériau imposent la condition sur les composantes de cisaillement $\sigma_{ij} = \sigma_{ji}$ (pour $i \neq j$). Le tenseur des contraintes est symétrique, il possède donc six composantes indépendantes.

Lorsque le tenseur des contraintes possède une forme relativement simple (seules quelques composantes non nulles), il lui est souvent associé une terminologie particulière. Nous allons présenter les contraintes biaxiales et uniaxiales.

Cas particulier d'une contrainte biaxiale (contrainte plane)

L'état de contraintes planes correspond à un film mince déposé uniformément sur un substrat épais. A la surface libre du film, les contraintes σ_{xz}, σ_{yz} et σ_{zz} sont nulles. Comme le film est homogène dans le plan (x,y) (car la plaque est considérée comme infinie), les contraintes σ_{xz}, σ_{yz} et σ_{zz} sont nulles dans tout le film. Le tenseur des contraintes dans le plan (xy) s'exprime alors par :

$$\sigma = \begin{bmatrix} \sigma_{xx} & 0 & 0 \\ 0 & \sigma_{yy} & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

Dans le cas d'une contrainte biaxiale et isotrope dans le film, on peut noter la contrainte unique σ_0 avec $\sigma_{xx} = \sigma_{yy} = \sigma_0$.

Cas particulier d'une contrainte uniaxiale (contrainte plane)

Une contrainte est dite uniaxiale lorsqu'une seule de ses composantes diagonales σ_{ii} est non nulle. Pour une contrainte uniaxiale σ_{uniax} orientée selon la direction O_{x1}, le tenseur des contraintes s'écrit :

$$\sigma_{ij} = \begin{bmatrix} \sigma_{uniax} & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

Les contraintes purement uniaxiales sont relativement rares dans les dispositifs microélectroniques. En effet, les contraintes mécaniques induites par les procédés de fabrication dans le canal des transistors sont généralement complexes et inhomogènes. Cependant, il arrive fréquemment que l'une des composantes du tenseur des contraintes soit prépondérante devant les autres. Dans ce cas, il est possible d'approximer la contrainte dans le canal par une contrainte uniaxiale orientée dans une direction particulière, ce qui permet de simplifier l'étude de son impact sur les propriétés électriques du dispositif.

b) Notion de déformation

Lorsqu'une contrainte mécanique est appliquée à un échantillon de matériau, celui-ci se déforme. Cette déformation présente certaines particularités importantes. La déformation n'a pas lieu uniquement dans la direction de la contrainte. Par exemple, lorsque l'on tire sur un matériau, il s'allonge dans la direction de la force tandis que sa section se rétrécit. La déformation dépend aussi des propriétés mécaniques du matériau. Plus le matériau est rigide,

plus faible est sa déformation pour une contrainte donnée. Enfin, selon la direction suivant laquelle la contrainte est appliquée, la déformation induite est généralement différente. Dans ce cas, on dit que les propriétés mécaniques du matériau sont anisotropes. C'est le cas du silicium.

Dans ce mémoire, nous ferons l'hypothèse que les contraintes induites dans les transistors sont suffisamment faibles pour ne pas introduire de déformation plastique du canal. Les déformations seront ainsi calculées dans le cadre de la théorie de l'élasticité.

Déplacement et déformation

Considérons, dans un solide continu et non déformé, deux points P et Q voisins et de coordonnées respectives x_i et x_i+dx_i (cf. figure 7). Supposons que chaque point du solide subisse un déplacement $\vec{u}(x_i)$ dépendant des coordonnées x_i du point considéré. Ainsi, P vient en P1, de coordonnées $X_i=x_i+u_i$, de telle sorte que $PP_1 = \vec{u}(x_i)$, et Q vient en Q_1 de coordonnées $X_i'=x_i+u_i+dx_i+du_i=X_i+dX_i$, avec $QQ_1 = \vec{u}(x_i + dx_i)$.

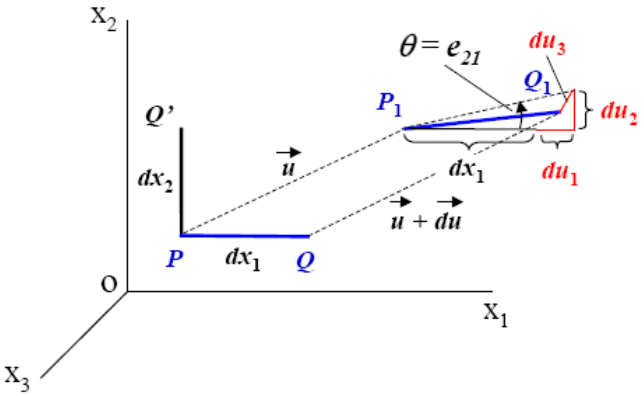

Figure 7: Représentation des composantes e_{ij} du gradient de déplacement lors du déplacement d'un rectangle infinitésimal d'arêtes PQ et PQ' parallèles aux axes Ox_1 et Ox_2.

Pour qu'il y ait déformation du matériau, il faut que le déplacement $\vec{u}(x_i + dx_i)$ du point Q soit différent du déplacement du point P. En effet, si le vecteur P_1Q_1 est égal au vecteur PQ, le mouvement du matériau est dit rigide. La variation de la distance du_i ou $d\vec{u}(x_i)$ entre les deux points P et Q, initialement séparés de dx_i, est donnée par :

$$d\vec{u}(x_i) = P_1Q_1 - PQ = d\vec{X} - d\vec{x} \qquad \textbf{Equation 4}$$

Les déplacements étant supposés petits, il est possible d'écrire $d\vec{u}(x_i)$ autour du point P sous la forme suivante :

$$du_i = e_{ij}\,dx_j \qquad \textbf{Equation 5}$$

avec $e_{ij} = \dfrac{\partial u_i}{\partial x_j} \quad (i, j = 1,2,3)$

Les coefficients e_{ij} forment un tenseur de rang 2, appelé gradient de déplacement, qui relie les deux grandeurs vectorielles $d\vec{u}(x)$ et dx au point P et donc caractérise la déformation d'un matériau. Cependant, lors d'une rotation rigide (sans déformation du matériau), toutes les composantes de ce tenseur ne sont pas nulles mais forment un tenseur antisymétrique. Pour caractériser la déformation pure du matériau, le tenseur $[e_{ij}]$ peut se décomposer en deux

parties $e_{ij} = \varepsilon_{ij} + w_{ij}$, où $[w_{ij}]$ est un tenseur antisymétrique qui représente la rotation du matériau, et $[\varepsilon_{ij}]$ un tenseur symétrique qui représente la déformation pure du matériau.

Les composantes de chacun de ces tenseurs sont données par :

$$\varepsilon_{ij} = \frac{1}{2}(e_{ij} + e_{ji}) = \frac{1}{2}(\frac{\partial u_i}{\partial x_j} + \frac{\partial u_j}{\partial x_i})$$

$$w_{ij} = \frac{1}{2}(e_{ij} - e_{ji}) = \frac{1}{2}(\frac{\partial u_i}{\partial x_j} - \frac{\partial u_j}{\partial x_i})$$

Equation 6

Les composantes ε_{ij} (sans unité) forment le tenseur des déformations, tenseur symétrique de rang 2:

$$\varepsilon_{ij} = \begin{bmatrix} \varepsilon_{11} & \varepsilon_{12} & \varepsilon_{13} \\ \varepsilon_{12} & \varepsilon_{22} & \varepsilon_{23} \\ \varepsilon_{13} & \varepsilon_{23} & \varepsilon_{33} \end{bmatrix}$$

Les composantes ε_{ij} avec $i \neq j$ sont appelées <u>composantes de cisaillement</u>.

Le tenseur des déformations est, comme le tenseur des contraintes, un tenseur de champ. Il constitue généralement une réponse à une sollicitation (contrainte mécanique, thermique) du matériau, réponse qui dépend des propriétés élastiques de ce matériau. Les déformations ne dépendent donc pas seulement de l'intensité et du type de contrainte, mais aussi des propriétés mécaniques du matériau qui se déforme.

c) <u>Loi de Hooke</u>

La grandeur directement accessible par les techniques de mesure présentées dans le chapitre II de ce manuscrit est la déformation. La contrainte peut ensuite être calculée grâce à la loi de Hooke si la déformation est suffisamment faible pour que l'on reste dans le domaine élastique.

La loi de Hooke (1670) prévoit que pour un état de traction ou de compression simple la contrainte σ est une fonction linéaire de la déformation ε (cf. figure 8). De ce fait, la déformation est réversible et il n'y a pas de déformation résiduelle à la fin du déchargement (lorsque la sollicitation (contrainte) est supprimée).

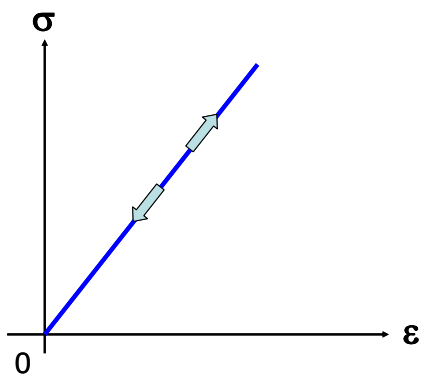

Figure 8: Comportement élastique d'un matériau.

La loi de Hooke a été généralisée aux états triaxiaux et aux matériaux anisotropes, dont le silicium fait partie. La déformation d'un échantillon de silicium en réponse à une contrainte appliquée dépend de l'orientation relative de la contrainte par rapport au réseau cristallin du silicium. La loi de Hooke a été généralisée sous la forme mathématique suivante :

$$\sigma_{ij} = C_{ijkl}\,\varepsilon_{kl} \qquad \textbf{Equation 7}$$

$$\text{ou } \varepsilon_{ij} = S_{ijkl}\,\sigma_{kl} \qquad \textbf{Equation 8}$$

avec i,j,k,l = 1,2,3.

Les coefficients C_{ijkl} sont appelés constantes élastiques anisotropes, modules d'élasticité ou rigidités. Les coefficients S_{ijkl} sont appelés compliances élastiques. Ces coefficients C_{ijkl} (S_{ijkl} respectivement) forment un tenseur de rang 4.

En utilisant des considérations de symétrie et les spécificités des tenseurs mécaniques, il est possible de simplifier le formalisme de la loi de Hooke. En écrivant les composantes des contraintes et des déformations en colonnes $\varepsilon_i = \begin{pmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \\ \varepsilon_{23} \\ \varepsilon_{13} \\ \varepsilon_{12} \end{pmatrix}$ et $\sigma_i = \begin{pmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{23} \\ \sigma_{13} \\ \sigma_{12} \end{pmatrix}$,

la loi de Hooke s'écrit[37] $\sigma_i = C_{ij}\varepsilon_i$ ou $\varepsilon_i = S_{ij}\sigma_i$.

Le silicium ayant une symétrie cubique, la matrice des rigidités s'exprime de façon relativement simple dans le système d'axes cristallographiques principaux en fonction des trois coefficients C_{11}, C_{12} et C_{44}.

$$C_{<100>} = \begin{bmatrix} C_{11} & C_{12} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{11} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{12} & C_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & C_{44} \end{bmatrix}$$

La matrice des compliances a la même allure. Les valeurs numériques des constantes élastiques du silicium sont données dans le tableau 1.

Compliances ($\times 10^{-13}$ Pa^{-1})			**Rigidités** ($\times 10^{9}$ Pa)		
S_{11}	**S_{12}**	**S_{44}**	**C_{11}**	**C_{12}**	**C_{44}**
76.8	-21.4	126.0	165.7	63.9	79.6

Tableau 1. Valeurs numériques des constantes élastiques du silicium [Wortman65].

[37] Plus de détails peuvent être trouvés dans la thèse de T. Guillaume [Guillaume05].

- **Cas particulier d'une contrainte biaxiale isotrope dans le plan (xy)**

Nous avons vu que le tenseur des contraintes s'exprime dans ce cas par

$$\sigma = \begin{bmatrix} \sigma_0 & 0 & 0 \\ 0 & \sigma_0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

Si on suppose que la couche déposée ne subit pas de distorsion, le tenseur des déformations se met sous la forme

$$\varepsilon = \begin{bmatrix} \varepsilon_0 & 0 & 0 \\ 0 & \varepsilon_0 & 0 \\ 0 & 0 & \varepsilon_{zz} \end{bmatrix}$$

La loi de Hooke s'exprime alors :

$$\begin{pmatrix} \sigma_0 \\ \sigma_0 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} = \begin{bmatrix} C_{11} & C_{12} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{11} & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{12} & C_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & C_{44} \end{bmatrix} . \begin{pmatrix} \varepsilon_0 \\ \varepsilon_0 \\ \varepsilon_{zz} \\ 0 \\ 0 \\ 0 \end{pmatrix}$$

On a alors : $$\varepsilon_{zz} = -\frac{2C_{12}}{C_{11}}\varepsilon_0$$ **Equation 9**

et $$\sigma_0 = (C_{11} + C_{12} - 2C_{12}^{\ 2} / C_{11})\varepsilon_0$$ **Equation 10**

- **Coefficient d'anisotropie**

Le coefficient d'anisotropie A représente la différence de comportement mécanique du matériau en fonction de la direction cristallographique.

Son expression est donnée par :

$$A = \frac{2.C_{44}}{(C_{11} - C_{12})}$$ **Equation 11**

Plus le coefficient A est élevé, plus le matériau est anisotrope. Pour le Si, A=1.56 (A=1 pour un matériau isotrope).

- **Changement de repère**

Pour exprimer la matrice des rigidités dans la base du repère obtenu par rotation du système d'axes cristallographiques principaux de 45° autour de l'axe [001] (cf. figure 9), il faut effectuer un changement de base.

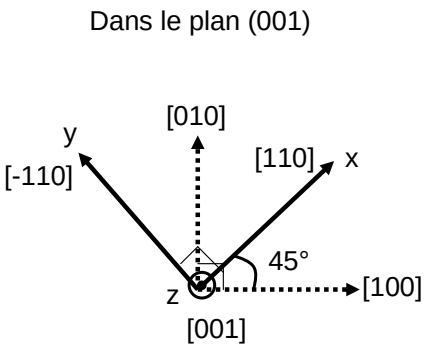

Figure 9: Système d'axes cristallographiques principaux et système d'axes obtenu par rotation de 45° autour de l'axe [001].

La matrice de changement de base pour les tenseurs de rang 4 est donnée par :

$$\alpha = \begin{bmatrix} l_1^2 & m_1^2 & n_1^2 & 2m_1n_1 & 2n_1l_1 & 2l_1m_1 \\ l_2^2 & m_2^2 & n_2^2 & 2m_2n_2 & 2n_2l_2 & 2l_2m_2 \\ l_3^2 & m_3^2 & n_3^2 & 2m_3n_3 & 2n_3l_3 & 2l_3m_3 \\ l_2l_3 & m_2m_3 & n_2n_3 & m_2n_3+n_2m_3 & l_2n_3+n_2l_3 & l_2m_3+m_2l_3 \\ l_3l_1 & m_3m_1 & n_3n_1 & m_1n_3+n_1m_3 & l_1n_3+n_1l_3 & l_1m_3+m_1l_3 \\ l_1l_2 & m_1m_2 & n_1n_2 & m_1n_2+n_1m_2 & l_1n_2+n_1l_2 & l_1m_2+m_1l_2 \end{bmatrix}$$

où $\begin{bmatrix} l_1 & m_1 & n_1 \\ l_2 & m_2 & n_2 \\ l_3 & m_3 & n_3 \end{bmatrix} = [a_{ij}]$ avec $a_{ij} = \cos\theta_{ij}$ et θ_{ij} l'angle entre le nouvel axe et l'ancien.

		[100]	**[010]**	**[001]**
		x	**y**	**z**
[110]	**x'**	$l_1 = \cos\theta_{11} = \frac{\sqrt{2}}{2}$	$m_1 = \cos\theta_{12} = \frac{\sqrt{2}}{2}$	$n_1 = \cos\theta_{13} = 0$
[-110]	**y'**	$l_2 = \cos\theta_{21} = -\frac{\sqrt{2}}{2}$	$m_2 = \cos\theta_{22} = \frac{\sqrt{2}}{2}$	$n_2 = \cos\theta_{23} = 0$
[001]	**z'**	$l_3 = \cos\theta_{31} = 0$	$m_3 = \cos\theta_{32} = 0$	$n_3 = \cos\theta_{33} = 1$

La matrice C dans le nouveau système d'axes se calcule alors de la façon suivante :

$$C_{<110>} = \alpha . C_{<100>} . \alpha^{-1} \qquad \textbf{Equation 12}$$

Après calcul, on obtient la forme de la matrice C dans le système d'axes ([110], [-110], [001]) :

$$C_{<110>} = \begin{bmatrix} \frac{1}{2}(C_{11}+C_{12}+C_{44})+ & \frac{1}{2}(C_{11}+C_{12}-C_{44}) & C_{12} & 0 & 0 & 0 \\ \frac{1}{2}(C_{11}+C_{12}-C_{44}) & \frac{1}{2}(C_{11}+C_{12}+C_{44}) & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{12} & C_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & C_{11}-C_{12} \end{bmatrix}$$

La loi de Hooke s'écrit alors dans dans le système d'axes ([110], [-110], [001]) :

$$\begin{pmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \sigma_{yz} \\ \sigma_{xz} \\ \sigma_{xy} \end{pmatrix} = \begin{bmatrix} \frac{1}{2}(C_{11}+C_{12}+C_{44})+ & \frac{1}{2}(C_{11}+C_{12}-C_{44}) & C_{12} & 0 & 0 & 0 \\ \frac{1}{2}(C_{11}+C_{12}-C_{44}) & \frac{1}{2}(C_{11}+C_{12}+C_{44}) & C_{12} & 0 & 0 & 0 \\ C_{12} & C_{12} & C_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & C_{11}-C_{12} \end{bmatrix} . \begin{pmatrix} \varepsilon_{xx} \\ \varepsilon_{yy} \\ \varepsilon_{zz} \\ \varepsilon_{yz} \\ \varepsilon_{xz} \\ \varepsilon_{xy} \end{pmatrix}$$

- **Module d'Young et coefficient de Poisson**

Bien que les propriétés mécaniques du silicium soient fortement anisotropes, il est possible de définir, par analogie avec le cas d'un matériau isotrope, un module d'Young E_i et un coefficient de Poisson ν_{ij} qui dépendent de l'orientation [Wortman65].

Si on considère une contrainte uniaxiale appliquée suivant la direction i :

- le module d'Young E_i relie la déformation dans la direction i à la contrainte appliquée dans la même direction
- le coefficient de Poisson ν_{ij} est l'opposé du rapport entre la déformation dans la direction j et la déformation suivant la direction i selon laquelle est appliquée la contrainte.

<u>Signification physique</u>

Prenons l'exemple d'une contrainte appliquée suivant [100]. Dans le système d'axes cristallographiques, le module d'Young E_1 suivant la direction [100] (notée 1) est donné par :

$E_1 = \frac{\sigma_1}{\varepsilon_1}$ soit $E_1 = \frac{1}{S_{11}}$ d'après la loi de Hooke dans le cas d'une contrainte uniaxiale.

- E_1 représente donc la rigidité du matériau dans la direction [100]. Pour une contrainte donnée, plus le module d'Young du matériau est élevé, plus la déformation est faible dans la direction de la contrainte.

- Le coefficient de Poisson ν_{12} par exemple donne la déformation suivant [010] rapportée à la déformation dans la direction de la contrainte.

$$\nu_{12} = -\frac{\varepsilon_2}{\varepsilon_1} \quad \text{soit } \nu_{12} = -\frac{S_{12}}{S_{11}}$$

<u>Influence de l'orientation cristallographique</u>

Les propriétés mécaniques du silicium sont fortement anisotropes, comme le montre la figure 10. Plus de détails peuvent être trouvés dans la thèse de T. Guillaume [Guillaume05]. Le silicium présente une rigidité sensiblement plus importante dans la direction [110] que dans la direction [100] (cf. figure 10a). L'anisotropie du coefficient de Poisson est encore plus prononcée (cf. figure 10b). Les valeurs du module d'Young et du coefficient de Poisson sont résumées dans le tableau 2 pour les directions [100] et [110].

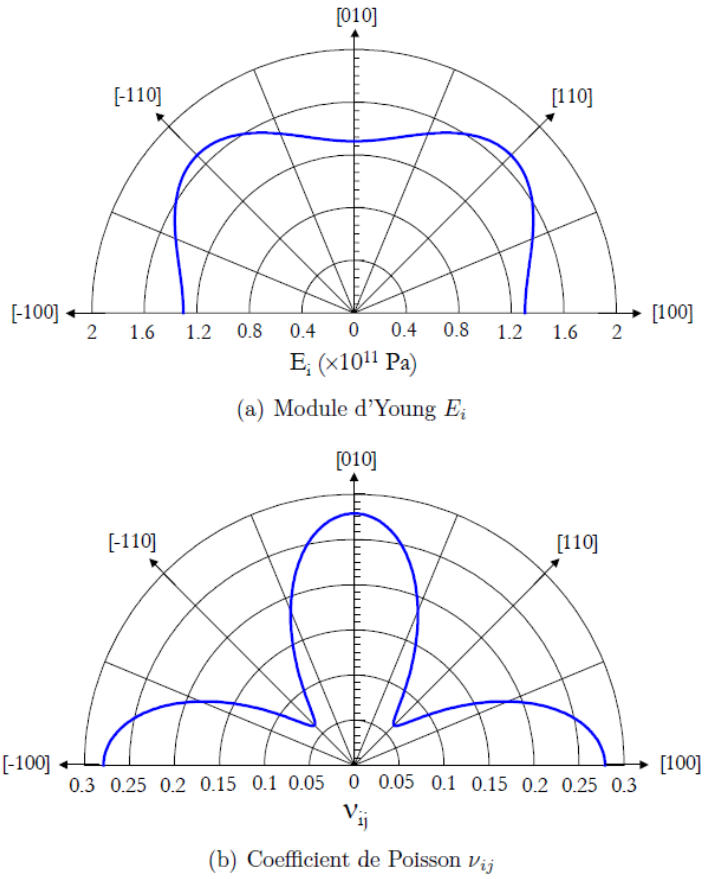

Figure 10: Variation des propriétés d'élasticité du silicium en fonction de l'orientation dans le plan (001) [Guillaume05].

Direction cristallographique	Module d'Young E (GPa)	Coefficient de Poisson ν
[100]	130	0.27
[110]	170	0.07

Tableau 2: Propriétés élastiques du silicium dans les directions cristallographiques [100] et [110].

- **Cas des matériaux isotropes**

Dans le cas d'un matériau isotrope, A=1. C_{44} et S_{44} ne sont donc plus des composantes indépendantes des tenseurs C et S :

$$C_{44} = \frac{1}{2}(C_{11} - C_{12}) \text{ et } S_{44} = 2(S_{11} - S_{12})$$

Les rigidités peuvent s'exprimer à l'aide des coefficients de Lamé λ et μ définis par :

$$C_{12} = \lambda \qquad C_{44} = \mu \qquad C_{11} = \lambda + 2\mu$$

Les coefficients de Lamé peuvent également s'exprimer en fonction du module d'Young E et du coefficient de Poisson ν :

$$\lambda = \frac{\nu E}{(1+\nu)(1-2\nu)} \qquad \mu = \frac{E}{2(1+\nu)}$$

La loi de Hooke s'exprime alors par :

$$\begin{pmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \\ \varepsilon_{23} \\ \varepsilon_{13} \\ \varepsilon_{12} \end{pmatrix} = \frac{1}{E}\begin{bmatrix} 1 & -\nu & -\nu & 0 & 0 & 0 \\ -\nu & 1 & -\nu & 0 & 0 & 0 \\ -\nu & -\nu & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 2(1+\nu) & 0 & 0 \\ 0 & 0 & 0 & 0 & 2(1+\nu) & 0 \\ 0 & 0 & 0 & 0 & 0 & 2(1+\nu) \end{bmatrix}\begin{pmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{23} \\ \sigma_{13} \\ \sigma_{12} \end{pmatrix}$$

<u>Cas particulier d'une contrainte biaxiale isotrope dans le plan (xy)</u>

Nous avons vu que le tenseur des contraintes s'exprime dans ce cas par : $\sigma = \begin{bmatrix} \sigma_0 & 0 & 0 \\ 0 & \sigma_0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$

La loi de Hooke s'exprime alors (dans l'hypothèse d'un matériau isotrope) :

$$\begin{pmatrix} \varepsilon_{xx} \\ \varepsilon_{yy} \\ \varepsilon_{zz} \\ \varepsilon_{yz} \\ \varepsilon_{xz} \\ \varepsilon_{xy} \end{pmatrix} = \frac{1}{E}\begin{bmatrix} 1 & -\nu & -\nu & 0 & 0 & 0 \\ -\nu & 1 & -\nu & 0 & 0 & 0 \\ -\nu & -\nu & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 2(1+\nu) & 0 & 0 \\ 0 & 0 & 0 & 0 & 2(1+\nu) & 0 \\ 0 & 0 & 0 & 0 & 0 & 2(1+\nu) \end{bmatrix}\begin{pmatrix} \sigma_0 \\ \sigma_0 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix}$$

Le tenseur des déformations s'exprime alors par : $\varepsilon = \begin{bmatrix} \varepsilon_0 & 0 & 0 \\ 0 & \varepsilon_0 & 0 \\ 0 & 0 & \varepsilon_{zz} \end{bmatrix}$

avec $\boxed{\varepsilon_0 = \frac{1-\nu}{E}\sigma_0}$ et $\boxed{\varepsilon_{zz} = \frac{-2\nu}{E}\sigma_0}$

Le rapport $E/(1-\nu)$ est appelé module biaxial.

5) Modèle de piézorésistivité

Les coefficients de piézorésistivité permettent d'exprimer la variation de mobilité des porteurs en fonction de la contrainte. Ce modèle est valable pour des contraintes suffisamment faibles.

$$\frac{\Delta\mu}{\mu_0} = -[\Pi].\sigma \quad \text{avec} \quad \frac{\Delta\mu}{\mu_0} = \frac{\mu_{sSOI} - \mu_{SOI}}{\mu_{SOI}}$$

La matrice $[\Pi]$ des coefficients de piézorésistivité s'exprime de manière différente suivant la direction du transport. L'effet piézorésistif dans le silicium dépend de la direction de conduction des porteurs.

Si on exprime la matrice $[\Pi]$ dans le système d'axes cristallographiques principaux, les trois premiers termes du vecteur $\frac{\Delta\mu}{\mu_0}$ donnent le gain en mobilité dans les trois directions du système d'axes cristallographiques principaux (cf. figure 11).

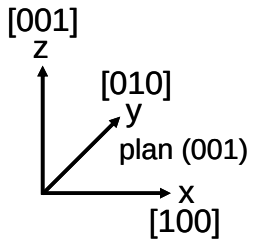

Figure 11: Système d'axes cristallographiques principaux.

Le silicium ayant une symétrie cubique, la matrice des coefficients de piézorésistivité s'exprime de façon relativement simple dans le système d'axes cristallographiques principaux en fonction des trois coefficients π_{11}, π_{12} et π_{44} (cf. tableau 3).

$$\begin{bmatrix} \left.\frac{\Delta\mu}{\mu_0}\right)_{[100]} \\ \left.\frac{\Delta\mu}{\mu_0}\right)_{[010]} \\ \left.\frac{\Delta\mu}{\mu_0}\right)_{[001]} \\ \left.\frac{\Delta\mu}{\mu_0}\right)_{yz} \\ \left.\frac{\Delta\mu}{\mu_0}\right)_{zx} \\ \left.\frac{\Delta\mu}{\mu_0}\right)_{xy} \end{bmatrix} = \Pi_{<100>} . \begin{pmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \sigma_{yz} \\ \sigma_{zx} \\ \sigma_{xy} \end{pmatrix} \quad \text{avec} \quad \Pi_{<100>} = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{bmatrix}$$

σ_{xx}, σ_{yy} et σ_{zz} sont les contraintes appliquées selon les directions [100], [010] et [001] respectivement. σ_{yz}, σ_{zx} et σ_{xy} sont les contraintes de cisaillement.

	Coefficients de piézorésistivité (10^{-11} Pa^{-1})		
	π_{11}	π_{12}	π_{44}
nMOS	-102.2	53.4	-13.6
pMOS	6.6	-1.1	138.1

Tableau 3: Valeurs numériques des coefficients de piézorésistivité dans le silicium massif dans le système d'axes cristallographiques principaux [Smith54].

Le gain en mobilité dans les directions <100> du système d'axes cristallographiques principaux s'exprime donc ainsi : $\left.\frac{\Delta\mu}{\mu_0}\right)_{<100>} = \pi_{11}\sigma_{xx} + \pi_{12}(\sigma_{yy} + \sigma_{zz})$

Pour pouvoir calculer le gain en mobilité pour un canal orienté suivant la direction <110>, il faut calculer la matrice des coefficients de piézorésistivité dans le système d'axes <110> (même formule de changement de base que pour la matrice des rigidités (voir équation 12)).

Le premier terme de la matrice $\Pi_{[110]}$ obtenue après transformation donne alors le gain en mobilité pour un canal orienté suivant la direction <110> :

$$\left.\frac{\Delta\mu}{\mu_0}\right)_{<110>} = \frac{1}{2}(\pi_{11} + \pi_{12} + \pi_{44})\sigma_{xx} + \frac{1}{2}(\pi_{11} + \pi_{12} - \pi_{44})\sigma_{yy} + \pi_{12}\sigma_{zz}$$

ANNEXE B: VARIATION DE TENSION DE SEUIL EN FONCTION DE LA CONTRAINTE

1) Modèle de tension de seuil sur films minces complètement désertés sur isolant

La relation entre la tension de grille V_G, le potentiel de surface ψ_s et les charges dans la structure MOS est donnée par le théorème de Gauss :

$$\oint \vec{E}.d\vec{S} = \frac{Q_{\text{int}}}{\varepsilon} \Rightarrow V_G = \phi_{MS} + \psi_s - \frac{Q_{dep}}{C_{ox}} - \frac{Q_{inv}}{C_{ox}} \qquad \textbf{Equation 1}$$

avec ϕ_{MS} la différence de travail de sortie entre la grille et le canal, Q_{dep} et Q_{inv} les charges de désertion et d'inversion.

Après différentiation, on obtient : $dV_G = (1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{inv}}{C_{ox}}) d\psi_s$ **Equation 2**

avec $C_{inv} = \frac{-dQ_{inv}}{d\psi_s}$ et $C_{dep} = \frac{-dQ_{dep}}{d\psi_s}$ les capacités d'inversion et de désertion.

- Si $C_{inv} << C_{ox} + C_{dep}$, l'équation 2 indique que ψ_s varie quasiment en V_G. Or, la densité de charge d'inversion varie en exponentiel de ψ_s. La densité de charge d'inversion varie donc en exponentiel de V_G. C'est le <u>régime d'inversion faible</u>.
- Si $C_{inv} >> C_{ox} + C_{dep}$, l'équation 2 montre que la charge d'inversion varie en V_G. C'est le <u>régime d'inversion forte</u>.

La tension de seuil V_T peut donc être définie comme la tension de grille V_G pour laquelle :

$$C_{inv} = C_{ox} + C_{dep}$$

Pour des films complètement désertés, la charge de désertion est nulle, donc $C_{inv} = C_{ox}$ pour $V_G = V_T$.

La tension de seuil des transistors FDSOI se déduit donc de l'équation 1 avec $Q_{dep} = 0$ et $\psi_s = \psi_{s,th}$. Le potentiel de surface au seuil $\psi_{s,th}$ est tiré de l'équation 3 et de la condition de seuil $C_{inv} = C_{ox}$.

En forte inversion, $Q_{inv} = -qn_iT_{Si} \exp(\frac{q(\psi_s - \phi_f)}{k_BT})$. **Equation 3**

Au seuil ($C_{inv} = C_{ox}$), cette équation donne $\psi_{s,th} - \phi_f = \frac{k_BT}{q} \ln(\frac{C_{ox} \, k_BT/q}{qn_iT_{Si}})$ (pour les nMOS).

D'où la tension de seuil des transistors nMOS FDSOI : $V_{Tn} = \phi_{MS} + \phi_f + \frac{k_BT}{q} \ln(C_{ox} \frac{k_BT/q}{qn_iT_{Si}})$

avec $\phi_{MS} + \phi_f = \phi_M - \chi - \frac{E_g}{2}$ où ϕ_f est le potentiel de Fermi (différence d'énergie entre le

niveau de Fermi et le niveau d'énergie intrinsèque), ϕ_M le travail de sortie de la grille, et χ_{Si} l'affinité électronique.

D'où $V_{Tn} = \phi_M - \chi_{Si} - \frac{E_g}{2} + \frac{k_B T}{q} \ln(C_{ox} \frac{k_B T / q}{q n_i T_{Si}})$.

En remplaçant la densité intrinsèque des porteurs par son expression en fonction de l'énergie du gap ($n_i = \sqrt{N_c N_v} \exp(\frac{-E_g}{2 k_B T})$), on obtient finalement l'expression suivante [Tsividis99, Poiroux05, Andrieu] <u>pour les nMOS FDSOI</u>:

$$\boxed{V_{Tn} = \phi_M - \chi_{Si} + \frac{k_B T}{q} \ln(\frac{C_{ox} k_B T / q}{q T_{Si} \sqrt{N_C N_V}})}$$ **Equation 4**

avec ϕ_M le travail de sortie de la grille métallique, χ_{si} l'affinité électronique du canal, T_{Si} l'épaisseur de la couche de silicium du canal, N_C et N_V les densités équivalentes d'états dans les bandes de conduction et de valence, C_{ox} la capacité de l'oxyde de grille.

2) <u>Modèle de variation de la tension de seuil en fonction de la contrainte</u>

Si on suppose que les densités équivalentes d'états dans les bandes de conduction et de valence ne dépendent pas de la contrainte dans le canal, l'écart de tension de seuil entre le sSOI et le SOI s'exprime de la manière suivante pour les nMOS (cf. figure 1):

$$\Delta V_{Tn} = V_{Tn}(sSOI) - V_{Tn}(SOI)$$
$$\Delta V_{Tn} = -\chi_{sSi} + \chi_{Si} = \Delta E_c$$
$$\boxed{\Delta V_{Tn} = \Delta E_c}$$ **Equation 5**

avec $\Delta E_c = E_c(sSOI) - E_c(SOI) < 0$. Donc $\Delta V_{Tn} = V_{Tn}(sSOI) - V_{Tn}(SOI)$ est négatif.

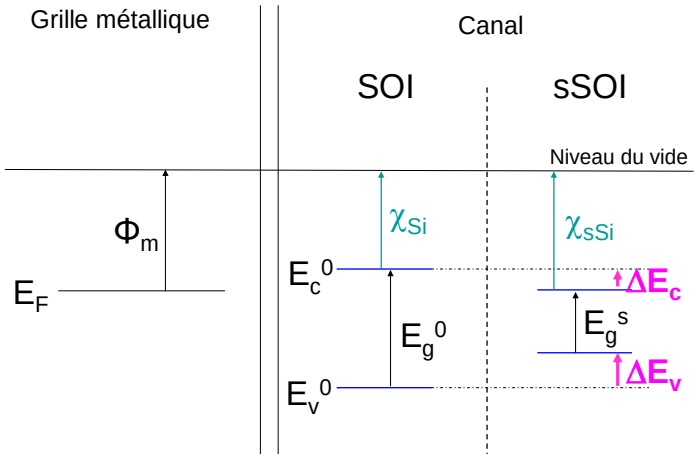

Figure 1: Niveaux énergétiques correspondant au canal et à la grille d'un nMOS sur SOI et sur sSOI[38].

[38] L'énergie du gap du sSOI est inférieure à celle du SOI.

Afin d'exprimer la tension de seuil en fonction de la contrainte, il faut donc exprimer le décalage de bande de conduction entre le sSOI et le SOI en fonction de la contrainte. Pour cela, nous allons utiliser la théorie du potentiel de déformation, introduite par Herring et Vogt en 1956 pour modéliser l'effet des contraintes sur la bande de conduction des semiconducteurs multivallées [Herring56].

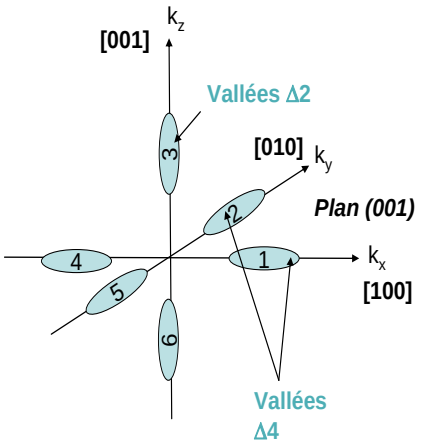

Figure 2: Représentation des surfaces isoénergétiques de la bande de conduction dans l'espace réciproque.

La théorie du potentiel de déformation exprime les décalages en énergie des différentes vallées de la bande de conduction (cf. figure 2) en fonction de la déformation par l'intermédiaire des coefficients appelés potentiels de déformation Ξ_d , Ξ_u et Ξ_m .

$$\Delta E_i(\vec{k}) = E_i(\vec{k},\varepsilon)_{sSi} - E_i(\vec{k})_{Si} \text{ avec } \varepsilon \text{ la déformation}$$

$$\boxed{\begin{aligned}
\Delta Ec_x &= \Delta E_1(\vec{k}) = \Delta E_4(\vec{k}) = \Xi_d(\varepsilon_{xx}+\varepsilon_{yy}+\varepsilon_{zz}) + \Xi_u\varepsilon_{xx} + \Xi_m\hbar^2\varepsilon_{yz}k_yk_z \\
\Delta Ec_y &= \Delta E_2(\vec{k}) = \Delta E_5(\vec{k}) = \Xi_d(\varepsilon_{xx}+\varepsilon_{yy}+\varepsilon_{zz}) + \Xi_u\varepsilon_{yy} + \Xi_m\hbar^2\varepsilon_{zx}k_xk_z \\
\Delta Ec_z &= \Delta E_3(\vec{k}) = \Delta E_6(\vec{k}) = \Xi_d(\varepsilon_{xx}+\varepsilon_{yy}+\varepsilon_{zz}) + \Xi_u\varepsilon_{zz} + \Xi_m\hbar^2\varepsilon_{xy}k_xk_y
\end{aligned}}$$

$\Xi_d(\varepsilon_{xx}+\varepsilon_{yy}+\varepsilon_{zz})$: terme représentant le mouvement de l'ensemble des 6 vallées dans l'espace énergétique.

$\Xi_u\varepsilon_{ii}$: termes représentant les déplacements de chaque vallée relatifs au mouvement d'ensemble.

$\Xi_m\hbar^2\varepsilon_{ij}k_ik_j$: termes représentant la déformation des surfaces d'énergie constante, avec Ξ_m le potentiel de déformation représentant la variation de masses effectives due à la déformation (potentiel de déformation de cisaillement).

Les valeurs numériques des coefficients Ξ_d et Ξ_u sont données dans le tableau 1.

Jeu de paramètres	Ξ_u (en eV)	Ξ_d (en eV)
0	9.16	1.13
1	8.50	-5.20
2	10.50	1.10
3	8.70	5.00

Tableau 1: Valeurs numériques des potentiels de déformation dans le silicium[39].

[39] Jeu 0 : d'après les prédictions théoriques de [VdeWalle86]. Jeu 1 : d'après Kanda (utilisé pour modéliser la piézorésistivité en couche d'inversion dans les nMOS) [Kanda91], Ξ_u d'après [Baslev66]. Jeu 2 : d'après Fischetti et al., obtenu en ajustant des calculs de mobilité [Fischetti96]. Jeu 3 : d'après [Landolt82].

Si on considère dans un premier temps que le terme dû au potentiel de déformation de cisaillement est négligeable, on a :

$$\begin{aligned}\Delta Ec_x &\approx \Xi_d(\varepsilon_{xx}+\varepsilon_{yy}+\varepsilon_{zz})+\Xi_u\varepsilon_{xx}\\ \Delta Ec_y &\approx \Xi_d(\varepsilon_{xx}+\varepsilon_{yy}+\varepsilon_{zz})+\Xi_u\varepsilon_{yy}\\ \Delta Ec_z &\approx \Xi_d(\varepsilon_{xx}+\varepsilon_{yy}+\varepsilon_{zz})+\Xi_u\varepsilon_{zz}\end{aligned}$$ **Equation 6**

La contrainte lève la dégénérescence entre les six vallées de la bande de conduction du silicium. Pour calculer ΔV_T , il faut tenir compte de la vallée de la bande de conduction qui est la plus basse en énergie.

$$\Delta V_T = \min(\ \Delta Ec_x, \Delta Ec_y, \Delta Ec_z)$$ **Equation 7**

Les décalages en énergie des vallées de la bande de conduction ont été calculés dans le cas d'un canal orienté dans la direction <100> [Herring56]. Pour calculer ces décalages en énergie dans le cas d'un canal orienté dans la direction <110>, il faut calculer les composantes de la déformation dans les directions du système cristallographique principal ([100], [010] et [001]) à partir des déformations suivant les axes [110], [-110] et [001], grâce à une matrice de changement de base (matrice de rotation de 45° autour de l'axe [001]).

La matrice de rotation pour passer du repère défini par les axes [100], [010] et [001] au repère défini par les axes [110], [-110] et [001] est :

$$a = \begin{bmatrix} \sqrt{2}/2 & \sqrt{2}/2 & 0 \\ -\sqrt{2}/2 & \sqrt{2}/2 & 0 \\ 0 & 0 & 1 \end{bmatrix}$$

On écrit la déformation dans la base correspondant au repère [110], [-110] et [001] sous forme matricielle :

$$\varepsilon_{<110>} = \begin{bmatrix} \varepsilon_{xx} & 0 & 0 \\ 0 & \varepsilon_{yy} & 0 \\ 0 & 0 & \varepsilon_{zz} \end{bmatrix}$$

On obtient alors les composantes de la déformation dans la base correspondant au repère [100], [010] et [001] grâce à la formule de changement de base: $\varepsilon_{<100>} = a^{-1}.\varepsilon_{<110>}.a$

$$\varepsilon_{<100>} = \begin{bmatrix} \dfrac{\varepsilon_{xx}+\varepsilon_{yy}}{2} & \dfrac{\varepsilon_{xx}-\varepsilon_{yy}}{2} & 0 \\ \dfrac{\varepsilon_{xx}-\varepsilon_{yy}}{2} & \dfrac{\varepsilon_{xx}+\varepsilon_{yy}}{2} & 0 \\ 0 & 0 & \varepsilon_{zz} \end{bmatrix}$$

On obtient les expressions suivantes pour les décalages en énergie des différentes vallées de la bande de conduction dans le système d'axes ([110], [-110], [001]):

$$\Delta Ec_{[110]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \frac{\varepsilon_{xx} + \varepsilon_{yy}}{2}$$

$$\Delta Ec_{[-110]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \frac{\varepsilon_{xx} + \varepsilon_{yy}}{2}$$

$$\Delta Ec_{[001]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{zz} + \Xi_m \hbar^2 k_x k_y \frac{\varepsilon_{xx} - \varepsilon_{yy}}{2}$$

avec ε_{xx} , ε_{yy} et ε_{zz} les déformations suivant les axes [110], [-110] et [001].

D'où en $k_x = k_y = 0$,

$$\Delta Ec_{[110]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \frac{\varepsilon_{xx} + \varepsilon_{yy}}{2}$$

$$\Delta Ec_{[-110]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \frac{\varepsilon_{xx} + \varepsilon_{yy}}{2}$$

$$\Delta Ec_{[001]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{zz}$$

On peut alors calculer la variation de tension de seuil de la même manière que pour un canal orienté dans la direction <100>, avec ces nouveaux décalages énergétiques.

Récapitulatif:

Direction <100>	**Direction <110>**
$\Delta Ec_{[100]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{xx}$ $\Delta Ec_{[010]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{yy}$ $\Delta Ec_{[001]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{zz}$	$\Delta Ec_{[110]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \frac{\varepsilon_{xx} + \varepsilon_{yy}}{2}$ $\Delta Ec_{[-110]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \frac{\varepsilon_{xx} + \varepsilon_{yy}}{2}$ $\Delta Ec_{[001]} \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{zz}$

Tant que $\varepsilon_{zz}<\varepsilon_{xx}$ et $\varepsilon_{zz}<\varepsilon_{yy}$, le minimum des décalages énergétiques est $\Delta E_{c[001]}$ et donc

$$\Delta V_T \approx \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{zz} \qquad \textbf{Equation 8}$$

dans les deux directions <100> et <110> du transport.

Cas particulier : contrainte biaxiale en tension dans le plan (001)

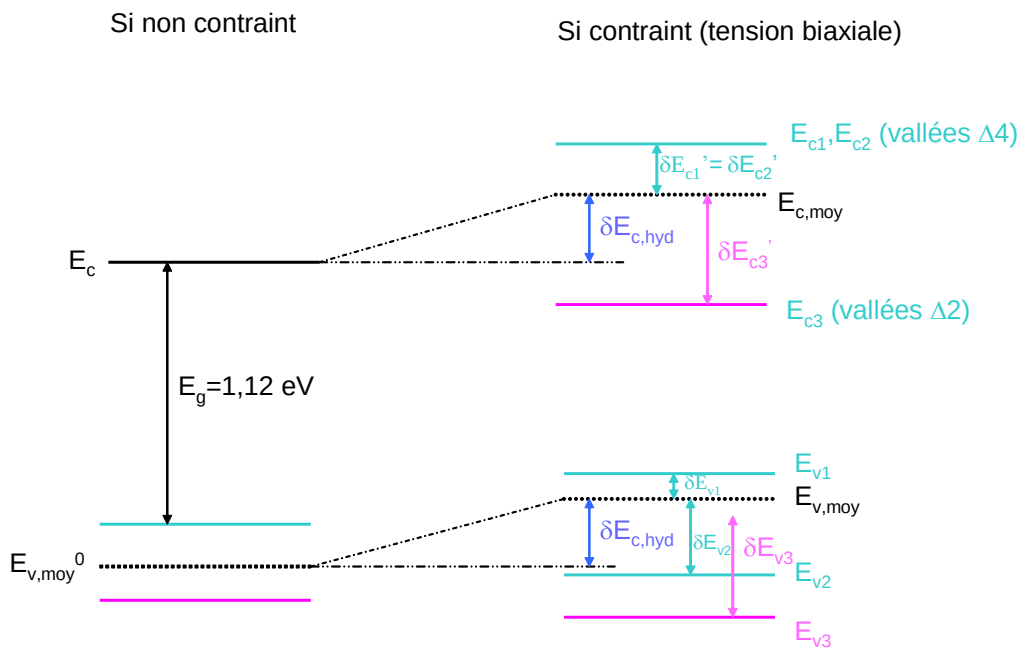

Figure 3: Représentation schématique des décalages de bandes induits par une contrainte biaxiale en tension dans le plan (001) du silicium. $\delta E_{c,hyd}$ détermine la nouvelle position moyenne des trois paires de vallées, les termes $\delta E_{ci}'$ donnent le décalage de chaque vallée i par rapport à l'énergie moyenne.

On peut décomposer les décalages énergétiques de chaque vallée en la somme de ces deux termes :

$$\begin{aligned} \Delta Ec_x &= \delta E_{c,hyd} + \delta E'_{c1} \\ \Delta Ec_y &= \delta E_{c,hyd} + \delta E'_{c2} \\ \Delta Ec_z &= \delta E_{c,hyd} + \delta E'_{c3} \end{aligned} \quad \text{avec} \quad \begin{cases} \delta E_{c,hyd} = (\Xi_d + \frac{1}{3}\Xi_u)(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) \\ \delta E'_{c1} = \frac{1}{3}\Xi_u(2\varepsilon_{xx} - \varepsilon_{yy} - \varepsilon_{zz}) \\ \delta E'_{c2} = \frac{1}{3}\Xi_u(2\varepsilon_{yy} - \varepsilon_{xx} - \varepsilon_{zz}) \\ \delta E'_{c3} = \frac{1}{3}\Xi_u(2\varepsilon_{zz} - \varepsilon_{xx} - \varepsilon_{yy}) \end{cases}$$

Dans le cas d'une contrainte biaxiale en tension dans le plan (001), ce sont les vallées Δ2 perpendiculaires au plan (001) qui sont les plus basses en énergie.

Donc $\boxed{\Delta V_T = \Delta Ec_z = \Xi_d(\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \varepsilon_{zz}}$ pour une contrainte biaxiale en tension dans le plan (001).

ANNEXE C: MESURE PAR COURBURE DE PLAQUE DE LA CONTRAINTE INTRINSEQUE

La contrainte intrinsèque qui se développe dans un matériau lors d'un dépôt est caractéristique du matériau déposé et des conditions de dépôt. Elle peut s'obtenir expérimentalement à partir de la mesure du rayon de courbure d'une plaque de silicium sur laquelle le matériau est déposé sur toute la surface de la plaque.

Une lame se courbe à cause de la présence de contraintes en surface. La relation entre la contrainte σ_f dans le film et le rayon de courbure R du substrat, supposé uniforme, a été établie en 1909 par Stoney [Stoney09]. Cette relation, initialement établie pour une contrainte uniaxiale, a été étendue pour une contrainte biaxiale isotrope [Flinn87, Townsend87]. Son expression est donnée par :

$$\sigma_f = \frac{E_s}{1-\nu_s}\frac{t_s^2}{6.R.t_f} \quad \text{formule de Stoney}$$

avec E_s et ν_s le module d'Young et coefficient de Poisson du substrat, et t_f et t_s les épaisseurs respectives du film et du substrat (cf. figure 1).

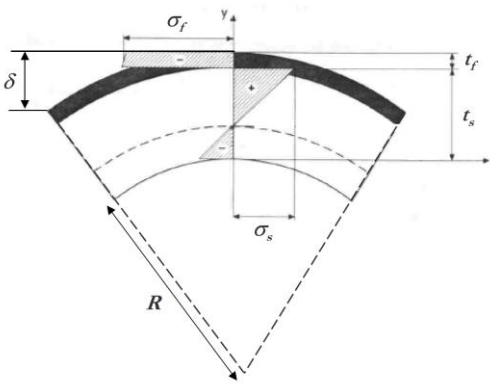

Figure 1: Représentation schématique de la courbure d'une bicouche et des contraintes résiduelles associées dans le film σ_f et dans le substrat σ_s.

Pour déterminer la contrainte dans le film, on mesure tout d'abord la courbure du substrat vierge. On réalise ensuite une seconde mesure de courbure du substrat après dépôt du film. La contrainte dans le film est alors déterminée par la relation :

$$\sigma_f = \frac{E_s}{1-\nu_s}\frac{t_s^2}{6.t_f}\left(\frac{1}{R}-\frac{1}{R_0}\right)$$

avec R_0 le rayon de courbure initial du substrat.

En pratique, on mesure plutôt la déflection totale δ de la plaque de diamètre d. On peut remonter à la courbure grâce à la relation suivante, valable dans le cas d'une déformation sphérique :

$$\delta = \frac{d^2}{8.R}$$

Les mesures sont effectuées selon deux directions perpendiculaires afin de s'assurer de l'homogénéité de la contrainte dans le film. L'intérêt de cette méthode est la détermination directe de la contrainte dans le film, sans avoir besoin de connaître ses propriétés élastiques. Le rayon de courbure du substrat R a été mesuré dans notre cas par déflexion laser sur la surface du substrat.

ANNEXE D: CALCUL DE L'INTENSITE DIFFRACTEE

Considérons une onde plane et négligeons tout effet géométrique, d'absorption ou de diffusion multiple (approximation cinématique). Soit $\vec{q}$ le vecteur de transfert de moment. L'amplitude diffractée par un ensemble d'atomes identiques de facteur de diffusion f peut s'écrire :

$$A(\vec{q}) = f \sum_{\vec{r}_i} e^{i\vec{q}.\vec{r}_i} \qquad \textbf{Equation 1}$$

les $\vec{r}_i$ décrivant l'ensemble des positions atomiques. L'intensité diffractée s'écrit simplement :

$$I(h,k,l) = \left|A(h,k,l)\right|^2 \qquad \textbf{Equation 2}$$

Cette expression peut être réécrite comme le produit d'un facteur de forme F par un facteur de structure S, ce dernier prennant en compte la périodicité de la structure diffractante. Finalement,

$$\begin{cases} A(\vec{q}) = F(\vec{q}).S(\vec{q}) \\ I(\vec{q}) = \left|A(\vec{q})\right|^2 \end{cases} \qquad \textbf{Equation 3}$$

- **<u>Expression du facteur de forme F(q)</u>**

Pour exprimer le facteur de forme des structures mesurées en GIXRD, nous avons utilisé le modèle développé par Baumbach et al. [Baumbach99], en associant le profil de structuration de surface à une forme trapézoïdale symétrique comme illustré sur la figure 1. W, t, et p sont respectivement la largeur, l'épaisseur et la pente des motifs, d est la distance entre les motifs et L la périodicité de la structuration.

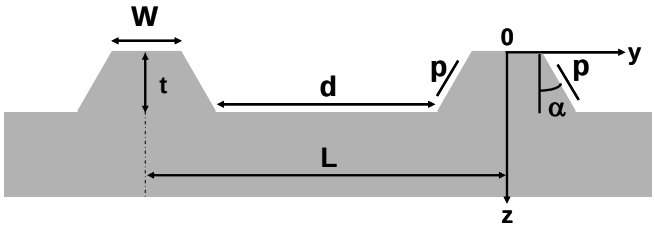

Figure 1: Représentation schématique de la structuration de surface utilisée pour la modélisation du signal GIXRD : trapèze symétrique de pente p=tanα.

L'amplitude diffractée d'une surface nanostructurée périodique dépend uniquement de la transformée de Fourier de la fonction de forme $\Omega_h(z)$ de l'objet diffractant périodique, soit :

$$F_h(q_z) \approx \int \Omega_h(z) e^{-iq_z z} dz \qquad \textbf{Equation 4}$$

où la fonction de forme peut s'écrire [Baumbach99] :

$$\Omega_h(z) = \frac{1}{L} \int_{a_l(z)}^{a_r(z)} e^{-inx} dx \qquad \textbf{Equation 5}$$

$$\text{avec} \begin{cases} a_l(z) = -\dfrac{W}{2} - \displaystyle\int_0^z p(z')dz' \\ a_r(z) = \dfrac{W}{2} + \displaystyle\int_0^z p(z')dz' \end{cases}$$

Les limites d'intégration $a_l(z)$ et $a_r(z)$ sont données par les limites sur le motif (à la cote z=0) $a_{r,l}(z=0) = \pm\dfrac{W}{2}$ et par les fonctions pentes $p = \pm\dfrac{dy}{dz}$ (cf. figure 1).

Pour simplifier le problème, on introduit les vecteurs de diffusion réduits: $\begin{cases} q_+ = q_z + n.p \\ q_- = q_z - n.p \end{cases}$

En posant $\begin{cases} S_+ = \dfrac{e^{-iq_+t} - 1}{-i.q_+} \\ S_- = \dfrac{e^{-iq_-t} - 1}{-i.q_-} \end{cases}$, l'expression du facteur de forme se réécrit [Baumbach99]:

pour $h \neq 0$: $F_h(q_z) = \dfrac{i}{L.n}(e^{-i.n.\frac{W}{2}}.S_+ - e^{i.n.\frac{W}{2}}.S_-)$ **Equation 6**

pour $h = 0$: $F_0(q_z) = -\dfrac{1}{i.L.q_z}\left[W.(e^{-i.q_z t} - 1) + 2p.(t.e^{-i.q_z t} - \dfrac{e^{-i.q_z t} - 1}{-iq_z})\right]$ **Equation 7**

- **<u>Expression du facteur de structure S(q)</u>**

Afin de simuler le signal GIXRD provenant de la structuration de surface de périodicité L, le facteur de structure peut être exprimé de la façon suivante :

$$S(q_y) = \frac{\sin(L.q_y.m/2)}{\sin(L.q_y/2)}$$ **Equation 10**

avec m un entier qui définit la largeur du pic illustrant l'homogénéité de la structuration de surface.

Cette fonction est périodique en $\dfrac{2\pi}{L}$.

REFERENCES

[Aberg04] I. Aberg, O.O. Olubuyide, C.N. Chleirigh, I. Lauer, D.A. Antoniadis, J. Li, R. Hull et J.L. Hoyt, "Electron and hole mobility enhancements in sub-10 nm-thick strained silicon directly on insulator fabricated by a Bond and Etch-back technique", *Symposium on VLSI Technology Digest of Technical Papers*, p. 52-3, 2004.

[Andrieu] F. Andrieu, "Transistors CMOS décananométriques à canaux contraints sur Si massif ou sur SOI", *thèse de doctorat de l'INPG*, 2005.

[Andrieu05] F. Andrieu, T. Ernst, O. Faynot, Y. Bogumilowicz, J.-M. Hartmann, J. Eymery, D. Lafond,Y.-M. Levaillant, C. Dupré, R. Powers, F. Fournel, C. Fenouillet-Beranger, A. Vandooren, B. Ghyselen, C. Mazure, N. Kernevez, G. Ghibaudo et S. Deleonibus, "Co-integrated dual strained channels on fully depleted sSDOI CMOSFETs with HfO2/TiN gate stack down to 15nm gate length", *Proceedings of IEEE International SOI Conference*, p. 223-5, 2005.

[Andrieu07] F. Andrieu, O. Weber, T. Ernst, O. Faynot et S. Deleonibus, "Strain and channel engineering for fully depleted SOI MOSFETs towards the 32 nm technology node", *Microelectronic Engineering*, 84, 9-10, p. 2047-53, 2007.

[Andrieu09] F. Andrieu, C. Fenouillet-Béranger, O. Weber, S. Baudot, C. Buj, J. P. Noel, O. Thomas, O. Rozeau, P. Perreau, L. Tosti, L. Brévard et O. Faynot, "Ultrathin Body and BOX SOI and sSOI for Low Power Application at the 22nm technology node and below", *papier invité à International Conference on Solid State Devices and Materials (SSDM)*, 2009.

[Ang05] K.-W. Ang, K.-J. Chui, V. Bliznetsov, Y. Wang, L.-Y. Wong, C.-H. Tung, N. Balasubramanian, M.-F. Li, G. Samudra, et Y.-C. Yeo., "Thin body silicon-on-insulator N-MOSFET with silicon-carbon source/drain regions for performance enhancement", *IEDM Technical Digest*, p. 497-500, 2005.

[Ang07] K.-W. Ang, K.-J. Chui, A. Madan, L.-Y. Wong, C.-H. Tung, N. Balasubramanian, M.-F. Li, G. S. Samudra et Y.-C. Yeo, "Strained thin-body p-MOSFET with condensed silicon-germanium source/drain for enhanced drive current performance", *IEEE Electron Device Letters*, 28, 6, p. 509-12, 2007.

[Ang07b] K.-W. Ang, C.-H. Tung, N. Balasubramanian, G. S. Samudra, et Y.-C. Yeo, "Strained n-channel transistors with silicon source and drain regions and embedded silicon/germanium as strain-transfer structure", *IEEE Electron Device Letters*, 28, 7, p. 609-12, 2007.

[Armigliato03] A. Armigliato, R. Balboni, G. P. Carnevale, G. Pavia, D. Piccolo, S. Frabboni, A. Benedetti et A. G. Cullis, "Application of convergent beam electron diffraction to two-dimensional strain mapping in silicon devices", *Applied Physics Letters*, 82, 13, p. 2172-2174, 2003.

[Barbé06] J-C. Barbe et T. Ernst, "Method for constraining a thin pattern", *U.S. Patent 0091105*, 2006.

[Barral07] V. Barral, T. Poiroux, F. Andrieu, C. Buj-Dufournet, 0. Faynot, T. Ernst, L. Brevard, C. Fenouillet-Beranger, D. Lafond, J.M. Hartmann, V. Vidal, F. Allain, N. Daval, I. Cayrefourcq, L. Tosti, D. Munteanu, J.L. Autran et S. Deleonibus, "Strained FDSOI CMOS technology scalability down to 2.5nm film thickness and 18nm gate length with a TiN/HfO2 gate stack", *IEDM Technical Digest*, p. 61-4, 2007.

[Baslev66] I. Baslev, "Influence of uniaxial stress on the indirect absorption edge in silicon and germanium", *Physical Review*, 143, 2, p. 636-47, 1966.

[Baumbach99] T. Baumbach et D Lübbert, "Grazing incidence diffraction by laterally patterned semiconductor nanostructures", *Journal of Physics D: Applied Physics*, 32, 6, p. 726-40, 1999.

[Bayle94] P. Bayle, T. Deutsch, B. Gilles, F. Lançon, A. Marty et J. Thibault, "Quantitative analysis of the deformation and chemical profiles of strained multilayers", *Ultramicroscopy*, 56, 1-3, p. 94-107, 1994.

[Béché] A. Béché, "Mesure de déformation à l'échelle nanométrique par microscopie électronique en transmission", *thèse de doctorat de l'INPG*, 2009.

[Béché09] A. Béché, J. L. Rouviere, L. Clement, J. M. Hartmann, "Improved precision in strain measurement using nanobeam electron diffraction", *Applied Physics Letters*, 95, p. 123114-1-3, 2009.

[Bonno07] O. Bonno, S. Barraud, F. Andrieu, D. Mariolle, F. Rochette, M. Casse, J.M. Hartmann, F. Bertin et O. Faynot, "High-Field Electron Mobility in Biaxially-tensile Strained SOI: Low Temperature Measurement and Correlation with the Surface Morphology", *Symposium on VLSI Technology Digest of Technical Papers*, p. 134-5, 2007.

[Bruel95] M. Bruel, “Silicon-On-Insulator material technology”, *Electronics Letters*, 31, 14, p. 1201-2, 1995.

[Brunet10] L. Brunet, X. Garros, M. Cassé, O. Weber, F. Andrieu, C. Fenouillet-Béranger, P. Perreau, F. Martin, M. Charbonnier, D. Lafond, C. Gaumer, S. Lhostis, V. Vidal, L. Brévard, L. Tosti, S. Denorme, S. Barnola, J.F. Damlencourt, V. Loup, G. Reimbold, F. Boulanger, O. Faynot et A. Bravaix, “New insight on VT stability of HK/MG stacks with scaling in 30 nm FDSOI technology”, *Symposium on VLSI Technology Digest of Technical Papers*, p. 29-30, 2010.

[Bir59] G.E. Pikus et G.L. Bir, “Effect of deformation on the energy spectrum and the electrical properties of imperfect germanium and silicon”, *Soviet Physics—Solid State*, 1, p.136-8, 1959.

[Camassel00] J. Camassel, L. A. Falkovsky et N. Planes, “Strain effect in silicon-on-insulator materials: Investigation with optical phonons”, *Physical Review B*, 63, 3, p. 035309-1-11, 2000.

[Cha10] W. Cha, S. Song, N. C. Jeong, R. Harder, K. B. Yoon, I. K. Robinson et H. Kim, “Exploration of crystal strains using coherent x-ray diffraction”, *New Journal of Physics*, 12, p. 035022-1-10, 2010.

[Cheng09] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Ponoth, J. Kuss, D. Shahrjerdi, L. F. Edge, A. Kimball, S. Kanakasabapathy, K. Xiu, S. Schmitz, A. Reznicek, T. Adam, H. He, N. Loubet, S. Holmes, S. Mehta, D. Yang, A. Upham, S.-C. Seo, J. L. Herman, R. Johnson, Y. Zhu, P. Jamison, B. S. Haran, Z. Zhu, L. H. Vanamurth, S. Fan, D. Horak, H. Bu, P. J. Oldiges, D. K. Sadana, P. Kozlowski, D. McHerron, J. O'Neill et B. Doris, “Extremely Thin SOI (ETSOI) CMOS with record low variability for low power System-on-Chip applications”, *IEDM Technical Digest*, p. 49-52, 2009.

[Cherault] N. Cherault, “Caractérisation et modélisation thermomécanique des couches d’interconnexions dans les circuits sub-microélectroniques », *thèse de doctorat de l’Ecole des Mines de Paris*, 2006.

[Chui05] K.-J. Chui, K.-W. Ang, A. Madan, H. Wang, C.-H. Tung, L.-Y. Wong, Y. Wang, S.-F. Choy, N. Balasubramanian, M. F. Li, G. Samudra et Y.-C. Yeo., “Source/drain germanium condensation for p-channel strained ultra-thin body transistors”, *IEDM Technical Digest*, p. 493-6, 2005.

[Chui06a] K.-J. Chui, K.-W. Ang, A. Madan, A. Du, C.-H. Tung, N. Balasubramanian, G. Samudra et Y.-C. Yeo, “Ultra-Thin-Body P-MOSFET Featuring Silicon-Germanium Source/Drain Stressors With High Germanium Content Formed by Local Condensation”, *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, p. 85-8, 2006.

[Chui06b] K.-J. Chui, K.-W. Ang, H.-C. Chin, C. Shen, L.-Y. Wong, C.-H. Tung, N. Balasubramanian, M. F. Li, G.S. Samudra et Y.-C. Yeo, “Strained-SOI n-channel transistor with silicon–carbon source/drain regions for carrier transport enhancement”, *IEEE Electron Device Letters*, 27, 9, p. 778-80, 2006.

[Clement04] L. Clement, R. Pantel, L. F. Tz. Kwakman et J. L. Rouviere, “Strain measurements by convergent-beam electron diffraction: The importance of stress relaxation in lamella preparations”, *Applied Physics Letters*, 85, 4, p. 651-653, 2004.

[Clement06] L. Clément, “Mesure des déformations et des contraintes par diffraction électronique en faisceau convergent (CBED)”, *thèse de doctorat de l’UJF*, 2006.

[Clement09] L. Clement, F. Cacho, R. Pantel et J.L. Rouviere, “Quantitative evaluation of process induced strain in MOS transistors by Convergent Beam Electron Diffraction ”, *Micron*, 40, p. 886–893, 2009.

[Cooper09] D. Cooper, J.-P. Barnes, J.-M. Hartmann, A. Béché et J.-L. Rouviere, “Dark field electron holography for quantitative strain measurements with nanometer-scale spatial resolution”, *Applied Physics Letters*, 95, 5, p. 053501-1-3, 2009.

[Damlencourt06] J. F Damlencourt, B. Vincent, P. Rivallin, P. Holliger, D. Rouchon, E. Nolot, C. Licitral, Y. Morand, L. Clavelier et T. Billon, “Fabrication of SiGe-On-Insulator by Improved Ge condensation technique”, *Proceedings of International SiGe Technology and Device Meeting (ISTDM)*, p. 1-2, 2006.

[Dennard74] R.H. Dennard, F.H. Gaensslen, H.-N. Yu, V.L. Rideout, E. Bassous et A.R. Leblanc , “Design of Ion-implanted MOSFET’s with very small physical dimensions”, *IEEE Solid State Circuits*, 9, 5, p. 256, 1974.

[DeWolf92] I. De Wolf, J. Vanhellemont, A. Romano-Rodriguez, H. Norstrom et H.E. Maes, “Micro-Raman study of stress distribution in local isolation structures and correlation with transmission electron microscopy”, *Journal of Applied Physics*, 71, 2, p. 898-906, 1992.

[DeWolf96] I. De Wolf, H.E. Maes, K.S. Jones, "Stress measurements in silicon devices through Raman spectroscopy: Bridging the gap between theory and experiment", *Journal of Applied Physics*, 79, 9, p. 7148-7156, 1996.

[Dismukes64] J. P. Dismukes, L. Ekstrom et R. J. Paff, "Lattice Parameter and Density in Germanium-Silicon Alloys[1]", *Journal of Physical Chemistry*, 68, 10, p. 3021-3027, 1964.

[Donaton06] R. A. Donaton, D. Chidambarrao, J. Johnson, P. Chang, Y. Liu,W. K. Henson, J. Holt, X. Li, J. Li, A. Domenicucci, A. Madan, K. Rim et C. Wann, "Design and fabrication of MOSFETs with a reverse embedded SiGe (Rev. e-SiGe) structure", *IEDM Technical Digest*, p. 1-4 , 2006.

[Eneman05] G. Eneman, M. Jurczak, P. Verheyen, T. Hoffmann, A. De Keersgieter et K. De Meyer, "Scalability of strained nitride capping layers for future CMOS generations", *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, p. 449-452, 2005.

[Eneman06] G. Eneman, P. Verheyen, R. Rooyackers, F. Nouri, L. Washington, R. Schreutelkamp, V. Moroz, L. Smith, A. De Keersgieter, M. Jurczak et K. De Meyer, Senior Member, IEEE, "Scalability of the $Si_{1-x}Ge_x$ Source/Drain technology for the 45-nm technology node and beyond", *IEEE Transactions on Electron Devices*, 53, 7, p. 1647-56, 2006.

[Eymery02] J. Eymery, D. Buttard, F. Fournel, H. Moriceau, G. T. Baumbach et D. Lübbert, "Dislocation strain field in ultrathin bonded silicon wafers studied by grazing incidence x-ray diffraction", *Physical Review B*, 65, p. 165337-1-6, 2002.

[F-Nicolin10] V. Favre-Nicolin, F. Mastropietro, J. Eymery, D. Camacho, Y. M. Niquet, B. M. Borg, M. E. Messing, L.-E. Wernersson, R. E. Algra, E. P. A. M. Bakkers, T. H. Metzger, R. Harder et I. K. Robinson, "Analysis of strain and stacking faults in single nanowires using Bragg coherent diffraction imaging", *New Journal of Physics*, 12, p. 035013-1-16, 2010.

[Feste09] S. F. Feste, J. Knoch, S. Habicht, D. Buca, Q.-T. Zhao et S. Mantl, "Silicon nanowire FETs with uniaxial tensile strain", *Solid-State Electronics*, 53, 12, p. 1257-62, 2009.

[Fewster93] P.F. Fewster, "X-ray diffraction from low-dimensional structures", *Semiconductor Science and Technology*, 8, 11, p. 1915-1934, 1993.

[Fiorenza08] J. G. Fiorenza, J-S. Park et A. Lochtefeld, "Detailed simulation study of a reverse embedded-SiGe strained-silicon MOSFET", *IEEE Transactions on Electron Devices*, 55, 2, p. 640-8, 2008.

[Fischer00] A. Fischer, H.-J. Osten et H. Richter, "An equilibrium model for buried SiGe strained layers", *Solid-State Electronics*, 44, 5, 869-73, 2000.

[Fischetti96] M.V. Fischetti et S.E. Laux, «Band structure, deformation potentials and carrier mobility in strained Si, Ge and SiGe alloys", *Journal of Applied Physics*, 80, 4, p. 2234-52, 1996.

[Fischetti01] M. V. Fischetti, D. A. Neumayer et E. A. Cartier, "Effective electron mobility in Si inversion layers in metal oxide semiconductor systems with a high-k insulator: The role of remote phonon scattering", *Journal of Applied Physics*, 90, 9, p. 4587-608, 2001.

[Fischetti02] M.V. Fischetti, F. Gamiz et W. Hänsch, "On the enhanced electron mobility in strained-silicon inversion layers", *Journal of Applied Physics*, 92, 12, p. 7320-4, 2002.

[Flinn87] P.A. Flinn, D. S. Gardner et W. D. Nix, "Measurement and Interpretation of Stress in Aluminum-Based Metallization as a Function of Thermal History", *IEEE Transactions on Electron Devices*, 34, 3, p. 689-99, 1987.

[Formanek04] P. Formanek et M. Kittler, "Electron holography on silicon microstructures and its comparison to other microscopic techniques", *Journal of Physics: Condensed Matter*, 16, p. S193-200, 2004.

[Gailhanou07] M. Gailhanou, A. Loubens, J.-S. Micha, B. Charlet, A. A. Minkevich, R. Fortunier et O. Thomas, "Strain field in silicon on insulator lines using high resolution X-ray diffraction", *Applied Physics Letters*, 90, 11, p. 111914-1-3, 2007.

[Gallon06] C. Gallon, C. Fenouillet-Beranger, S. Denorme, F. Boeuf, V. Fiori, N. Loubet, A. Vandooren, T. Kormann, M. Broekaart, P. Gouraud, F. Leverd, G. Imbert, C. Chaton, C. Laviron, L. Gabette, F. Vigilant, P. Garnier, H. Bernard, A. Tarnowka, R. Pantel, F. Pionnier, S. Jullian, S. Cristoloveanu et T. Skotnicki, "Mechanical and electrical analysis of strained liner effect in 35 nm Fully Depleted Silicon-on-Insulator Devices with ultra thin silicon channels", *Japanese Journal of Applied Physics* , 45, 4B, p. 3058-3063, 2006.

[Garros09] X. Garros, F. Rochette, F. Andrieu, S. Baudot, G. Reimbold, C. Aulnette, N. Daval et F. Boulanger, "Modeling and direct extraction of band offset induced by stress engineering in silicon-on-insulator metal-oxide-semiconductor field effect transistors: Implications for device reliability", *Journal of Applied Physics*, 105, 11, p. 114508-1-9, 2009.

[Georgi07] C. Georgi, M. Hecker, E. Zschech, "Effects of laser-induced heating on Raman stress measurements of silicon and silicon-germanium structures", *Journal of Applied Physics*, 101, 12, p. 123104-1-6, 2007.

[Ghibaudo88] G. Ghibaudo, "New method for the extraction of MOSFET parameters", *Electronics Letters*, 24, 9, p. 543-5, 1988.

[Ghyselen04] B. Ghyselen, J. -M. Hartmann, T. Ernst, C. Aulnette, B. Osternaud, Y. Bogumilowicz, A. Abbadie, P. Besson, O. Rayssac, A. Tiberj, N. Daval, I. Cayrefourq, F. Fournel, H. Moriceau, C. Di Nardo, F. Andrieu, V. Paillard, M. Cabié, L. Vincent, E. Snoeck, F. Cristiano, g, A. Rocher, A. Ponchet, A. Claverie, P. Boucaud, M. -N. Semeria, D. Bensahel, N. Kernevez et C. Mazure, "Engineering strained silicon on insulator wafers with the Smart Cut™ technology", *Solid-State Electronics*, 48, p. 1285-96, 2004.

[Ghyselen05] B. Ghyselen, "Strain engineering in SOI-type materials for future technologies", *Materials Science and Engineering B*, 124-125, p. 16-23, 2005.

[Guillaume04] T. Guillaume, M. Mouis, S. Maitrejean, A. Poncet, M. Vinet et S. Deleonibus, "Evaluation of strain-induced mobility variation in TiN metal gate SO1 n-MOSFETs", *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, p. 393–6, 2004.

[Guillaume05] T. Guillaume, "Influence des contraintes mécaniques non-intentionnelles sur les performances des transistors MOS à canaux ultra-courts", *thèse de doctorat de l' INPG*, 2005.

[Han07] M.-G. Han, P. Fejes, X. Qianghua, S. Bagghi, B. Taylor, J. Conner, M. R. Mc. Cartney, "Quantitative Analysis of 2-D Electrostatic Potential Distributions in 90-nm Si pMOSFETs Using Off-Axis Electron Holography", *IEEE Transactions on Electron Devices*, 54, 12, p. 3336-41, 2007.

[Hanbücken01] "Stress and strain in epitaxy: theoretical concepts, measurements and applications", *Keynote lectures of the third Porquerolles school on special topics in Surface Science*, édité par M. Hanbücken et J.-P. Deville, Elsevier, 2001.

[Harker95] A. H. Harker, "Two-dimensional finite-element calculation of stress and strain in a stripe epilayer and substrate", *Philosophical Magazine A*, 71, 4, p. 871-881, 1995.

[Harris04] S.J. Harris, "Measurement of the state of stress in silicon with micro-Raman spectroscopy", *Journal of Applied Physics*, 96, 12, p. 7195-201, 2004.

[Hartmann09] J.-M. Hartmann, "Dépôt chimique en phase vapeur – pression réduite d'hétérostructures Si/SiGeC pour des applications en nano- et opto-électronique", *Habilitation à Diriger des recherches de l'UJF*, 2009.

[Hensel65] J. C. Hensel, H. Hasegawa et M. Nakayama, "Cyclotron resonance in uniaxially stressed silicon. II. Nature of the covalent bond", *Physical Review*, 138(1A), p. A225–38, 1965.

[Herring56] C. Herring et E. Vogt, "Transport and deformation-potentiel theory for many-valley semiconductors with anisotropic scattering", *Physical Review*, 101, 3, p. 944-61, 1956.

[Himcinschi07] C. Himcinschi, R. Singh, I. Radu, A. P. Milenin, W. Erfurth, M. Reiche, U. Gosele, S. H. Christiansen, F. Muster et M. Petzold, "Strain relaxation in nanopatterned strained silicon round pillars", *Applied Physics Letters*, 90, 2, p. 021902-1-3, 2007.

[Horstmann09] M. Horstmann, M. Wiatra, A. Weia, J. Hoentschela, Th. Feudela, Th. Scheipera, R. Stephana, M. Gerhadta, S. Krügela et M. Raaba, "Advanced SOI CMOS transistor technology for high performance microprocessors", *Solid-State Electronics*, 53, 12, p. 1212-9, 2009.

[Hu79] S. M. Hu, "Film-edge-induced stress in substrates", *Journal of Applied Physics*, 50, 7, p. 4661-6, 1979.

[Hu91] S. M. Hu, "Stress-related problems in silicon technology", *Journal of Applied Physics*, 70, 6, p. R53-80, 1991.

[Hull] R. Hull, "Properties of crystalline silicon", *INSPEC, The Institution of Electrical Engineers*, ISBN 0 85296 933 3, 1999.

[Hutin10] L. Hutin, C. Le Royer, F. Andrieu, O. Weber, M. Cassé, J.-M. Hartmann, D. Cooper, A. Béché, L. Brevard, L. Brunet, J. Cluzel, P. Batude, M. Vinet et O. Faynot, "Dual Strained Channel Co-Integration into CMOS, RO and SRAM Cells on FDSOI Down to 17nm Gate Length", *IEDM Technical Digest*, 2010.

[Hÿtch08] M. Hÿtch, F. Houdellier, F. Hüe et E. Snoeck, "Nanoscale holographic interferometry for strain measurements in electronic devices", *Nature*, 453, p. 1086-90, 2008.

[Hÿtch98] M. J. Hÿtch, E. Snoeck et R. Kilaas, "Quantitative measurement of displacement and strain fields from HRTEM micrographs", *Ultramicroscopy*, 74, 3, p. 131-146, 1998.

[IBM] www.chips.ibm.com/bluelogic

[Irie04] H. Irie, K. Kita, K.Kyuno, A.Toriumi, “In-plane mobility anisotropy and universality under uni-axial strains in n- and p-MOS inversion layers on (100), (110) and (111) Si”, *IEDM Technical Digest*, p. 225-8, 2004.

[Jain95] S. C. Jain, A. H. Harker, A. Atkinson, K. Pinardi, “Edge-induced stress and strain in stripe films and substrates: a two-dimensional finite element calculation”, *Journal of Applied Physics*, 78, 3, p. 1630-7, 1995.

[Jain96] S. C. Jain, H. E. Maes, K. Pinardi, I. De Wolf, “Stresses and strains in lattice-mismatched stripes, quantum wires, quantum dots, and substrates in Si technology”, *Journal of Applied Physics*, 79, 11, p. 8145-65, 1996.

[Jeon89] D. Jeon et D. Burk, “MOSFET electron inversion layer mobilities- A physically based semi-empirical model for a wide temperature range”, *IEEE Transactions on Electron Devices*, 36, 8, p. 1456-63, 1989.

[Kanda91] Y. Kanda, “Piezoresistance effect of silicon”, *Sensors and Actuators A*, 28, 2, p. 83-91, 1991.

[Kang07] C. Y. Kang, R. Choi, M. M. Hussain, J. Wang, Y. J. Suh, H. C. Floresca, M. J. Kim, J. Kim, B. H. Lee et R. Jammy, “Effects of metal gate-induced strain on the performance of metal-oxide-semiconductor field effect transistors with titanium nitride gate electrode and hafnium oxide dielectric”, *Applied Physics Letters*, 91, 3, p. 033511-1-3, 2007.

[Khakifirooz06] A. Khakifirooz et D. A. Antoniadis, “Transistor Performance Scaling : The Role of Virtual Source Velocity and Its Mobility dependence”, *IEDM Technical Digest*, p. 403-6, 2006.

[Komoda04] T. Komoda, A. Oishi, T. Sanuki, K. Kasai, H. Yoshimura, K. Ohno, A. Iwai, M. Saito, F. Matsuoka, N. Nagashima, T. Noguchi, “Mobility improvement for 45 nm node by combination of optimized stress control and channel orientation design”, *IEDM Technical Digest*, p. 217-20, 2004.

[Koomen73] J. Koomen, “Investigation of the MOST channel conductance in weak inversion”, *Solid-State Electronics*, 16, 7, p. 801-10, 1973.

[Kumar07] M.J. Kumar, V. Venkataraman, S. Nawal, “Impact of Strain or Ge Content on the Threshold Voltage of Nanoscale Strained-Si/SiGe Bulk MOSFETs”, *IEEE Transactions on Device and Materials Reliability*, 7, 1, p. 181-7, 2007.

[Kutsukake04] K. Kutsukake, U. Noritaka, T. Ujihara, K. Fujiwara, G. Sazaki, K. Nakajima, “On the origin of strain fluctuation in strained-Si grown on SiGe-on-insulator and SiGe virtual substrates”, *Applied Physics Letters*, 85, 8, p. 1335-7, 2004.

[Laânab95] L. Laânab, C. Bergaud, C. Bonafos, A. Martinez et A. Claverie, “Variation of end of range density with ion beam energy and the predictions of the “excess interstitials” model”, *Nuclear Instruments and Methods in Physics Research B*, 96, p.236-40, 1995.

[Lai06] C.-M. Lai, Y.-K. Fang, C.-T. Lin et W.-K. Yeh, “The geometry effect of contact etch stop layer impact on device performance and reliability for 90-nm SOI nMOSFETs”, *Transactions on Electron Devices*, vol. 53, no. 11, p. 2779-85, 2006.

[Landolt82] Landolt-Bornstein, “Physics of group IV elements and III-V compounds”, dans *Numerical data and functional relationships in science and technology*, 17a, *Springer-verlag*, Berlin, 1982.

[Lee05] M.L. Lee, E. A. Fitzgerald, M. T. Bulsara, M.T. Currie et A. Lochtefeld, “Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors”, *Journal of Applied Physics*, 97, 1, p. 011101-1-27, 2005.

[Lei05] R. Z. Lei, W. Tsai, I. Aberg, T. B. OReilly, J. L. Hoyt, D. A. Antoniadis, H. I. Smith, A. J. Paul, M. L.Green, J. Li et R. Hull, “Strain relaxation in patterned strained silicon directly on insulator structures”, *Applied Physics Letters*, 87, 25, p. 251926-1-3, 2005.

[LeRoyer10] C. Le Royer, M. Cassé, F. Andrieu, O. Weber, L. Brevard, P. Perreau, J.-F. Damlencourt, S. Baudot, C. Tabone, F. Allain, P. Scheiblin, C. Rauer, L. Hutin, C. Figuet, C. Aulnette, N. Daval, B.-Y. Nguyen et K. K. Bourdelle, “Dual channel and strain for CMOS co-integration in FDSOI device architecture”, *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, 2010.

[Leroux04] C. Leroux, “Caracterization and modeling of nanometric SiO2 dielectrics”, *Microelectronic Engineering*, 72, p. 121-4, 2004.

[Lim06] J.-S. Lim, X. Yang, T. Nishida, S. E. Thompson, “Measurement of conduction band deformation potential constants using gate direct tunneling current in n-type metal oxide semiconductor field effect transistors under mechanical stress”, *Applied Physics Letters*, 89, 7, p. 073509-1-3, 2006.

[Lin07] C.-Y. Lin, S.-T. Chang, J. Huang, W.-C. Wang et J.-W. Fan, "Impact of Source/Drain $Si_{1-y}C_y$ stressors on Silicon-on-Insulator N-type Metal–Oxide–Semiconductor Field-Effect transistors", *Japanese Journal of Applied Physics*, 46, 4B, p. 2107-11, 2007.

[Loechelt95] G.H. Loechelt et al., "Measuring the tensor nature of stress in silicon using polarized off-axis Raman spectroscopy", *Applied Physics Letters*, 66, 26, p. 3639-41, 1995.

[Loechelt99] G.H. Loechelt, N. G. Cave, J. Menendez, "Polarized off-axis Raman spectroscopy: A technique for measuring stress tensors in semiconductors", *Journal of Applied Physics*, 86, 11, p. 6164-80, 1999.

[Loubens03] A. Loubens, R. Fortunier, R. Fillit et O. Thomas, "Simulation of local mechanical stresses in lines on substrate", *Microelectronic Engineering*, 70, 2-4, p. 455-60, 2003.

[Madan08] A. Madan, G. Samudra et Y.-C. Yeo, "Strain optimization in ultrathin body transistors with silicon-germanium source and drain stressors", *Journal of Applied Physics*, 104, 8, p. 084505-1-5, 2008.

[Majumdar10] A. Majumdar, C. Ouyang, S.J. Koester et W. Haensch, "Effects of substrate orientation and channel stress on short-channel thin SOI MOSFETs", *IEEE Transactions on Electron Devices*, 57, 9, p. 2067-72, 2010.

[Mathieu] H. Mathieu, "Physique des semiconducteurs et des composants électroniques ", *Editions Dunod (5° édition)*, 2001.

[Matthews74] J.W. Matthews et A.E. Blakeslee, "Defects in epitaxial multilayers. I. Misfit dislocations", *Journal of Crystal Growth*, 27, 1, p. 188-225, 1974.

[matweb] http://www.matweb.com/search/DataSheet.aspx?bassnum=BQUARTZ

[memsnet] http://www.memsnet.org/material/silicondioxidesio2film/

[Minkevich07] A.A. Minkevich, M. Gailhanou, J.-S. Micha, B. Charlet, V. Chamard et O. Thomas, "Inversion of the diffraction pattern from an inhomogeneously strained crystal using an iterative algorithm", *Physical Review B*, 76, 10, p. 104106-1-5, 2007.

[Mizuno05] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai, S. Takagi, "(110)-surface strained-SOI CMOS devices", *Transactions on Electron Devices*, 52, 3, p. 367-74, 2005.

[Mohta05] N. Mohta et S. E. Thompson, "Mobility enhancement", *IEEE circuits and devices magazine*, 21, 5, p.18-23, 2005.

[Mourrain00] C. Mourrain, B. Cretu, G. Ghibaudo, P. Cottin, "New method for parameter extraction in deep sub-micrometer MOSFETs", *Proceedings of ICMTS*, p. 181-186, 2000.

[Moutanab09] O. Moutanabbir, M. Reiche, W. Erfurth, F. Naumann, M. Petzold, U. Gosele, "The complex evolution of strain during nanoscale patterning of 60 nm thick strained silicon layer directly on insulator", *Applied Physics Letters*, 94, 24, p. 243113-1-3, 2009.

[Moutanab10a] O. Moutanabbir, M. Reiche, A. Hahnel, M. Oehme, E. Kasper, "Multiwavelength micro-Raman analysis of strain in nanopatterned ultrathin strained silicon-on-insulator", *Applied Physics Letters*, 97, 5, p. 053105-1-3, 2010.

[Moutanab10b] O. Moutanabbir, M. Reiche, A. Hahnel, W. Erfurth, U. Gosele, M. Motohashi, A. Tarun, N. Hayazawa et S. Kawata, "Nanoscale patterning induced strain redistribution in ultrathin strained Si layers on oxide", *Nanotechnology*, 21, p. 134013-1-9, 2010.

[Munguia07] J. Munguia, G. Bremond, J. de la Torre et J.-M. Bluet, "Photoluminescence study of an ultrathin strained silicon on insulator layer", *Applied Physics Letters*, 90, 4, p. 042110-1-3, 2007.

[Orain07] S. Orain, V. Fiori, D. Villanueva, A. Dray et C. Ortolland, "Method for managing the stress due to the strained nitride capping layer in MOS transistors", *Transactions on Electron Devices*, 54, 4, p. 814-21, 2007.

[Oishi05] A. Oishi, O. Fujii, T. Yokoyama, K. Ota, T. Sanuki, H. Inokuma, K. Eda, T. Idaka, H. Miyajima, S. Iwasa, H. Yamasaki, K. Oouchi, K. Matsuo, H. Nagano, T. Komoda, Y. Okayama, T. Matsumoto, K. Fukasaku, T. Shimizu, K. Miyano, T. Suzuki, K. Yahashi, A. Horiuchi, Y. Takegawa, K. Saki, S. Mori, K. Ohno, L. Mizushima, M. Saito, M. Iwai, S. Yamada, N. Nagashima et F. Matsuoka, "High performance CMOSFET technology for 45nm generation and scalability of stress-induced mobility enhancement technique", *IEDM Technical Digest*, p. 229-32, 2005.

[Ortolland06] C. Ortolland, P. Morin, C. Chaton, E. Mastromatteo, C. Populaire, S. Orain, F. Leverd, P. Stolk, F. Boeuf et F. Arnaud, "Stress memorization technique (SMT) optimization for 45nm CMOS", *Symposium on VLSI Technology Digest of Technical Papers*, p. 78-9, 2006.

[Pantel03] R. Pantel, S. Jullian, D. Delille, D. Dutartre, A. Chantre, O. Kermarrec, Y. Campidelli et L.F. Kwakman, "Inelastic electron scattering observation using energy filtered transmission electron microscopy for silicon-germanium nanostructures imaging", *Micron*, 34, 3-5, p. 239-47, 2003.

[Payet06] F. Payet at al., "A full analytical model to evaluate strain induced by CESL on MOSFET performances", *International Conference on Solid State Devices and Materials (SSDM)*, p.176-177, 2006.

[Payet08] F. Payet, F. Boeuf, C. Ortolland et T. Skotnicki, "Nonuniform mobility-enhancement techniques and their impact on device performance", *Transactions on Electron Devices*, 55, 4, p. 1050-7, 2008.

[People85] R. People et J.C. Bean, "Calculation of critical layer thickness versus lattice mismatch for Ge/subx/Si/sub 1-x//Si strained-layer heterostructures", *Applied Physics Letters*, 47, 3, p. 322-4, 1985.

[Pfeifer06] M. A. Pfeifer, G. J. Williams, I. A. Vartanyants, R. Harder et I. K. Robinson, "Three-dimensional mapping of a deformation field inside a nanocrystal", *Nature*, 442, p. 63-66, 2006.

[Ph-Nguyen10] L. Pham-Nguyen, C. Fenouillet-Beranger, G. Ghibaudo, T. Skotnicki et S. Cristoloveanu, "Mobility enhancement by CESL strain in short-channel ultrathin SOI MOSFETs", *Solid-State Electronics*, 54, 2, p.123-30, 2010.

[Pidin04] S. Pidin, T. Mori, K. Inoue, S. Fukuta, N. Itoh, E. Mutoh, K. Ohkoshi, R. Nakamura, K. Kobayashi, K. Kawamura, T. Saiki, S. Fukuyama, S. Satoh, M. Kase et K. Hashimoto, "A novel strain enhanced CMOS architecture using selectively deposited high tensile and high compressive silicon nitride films", *IEDM Technical Digest*, p. 213-216, 2004.

[Poiroux05] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali et S. Deleonibus, "Multigate devices: advantages and challenges", *Microelectronic Engineering*, 80, p. 378-85, 2005.

[Posselt97] M. Posselt, B. Schmidt, C.S. Murthy, T. Feudel et K. Suzuki, "Modeling of Damage Accumulation during Ion Implantation into Single-Crystalline Silicon", *Journal of the Electrochemical Society*, 144, 4, p. 1495-504, 1997.

[Richard04] S. Richard, "Modélisation physique de la structure électronique, du transport et de l'ionisation par choc dans les matériaux IV-IV massifs, contraints et dans les puits quantiques", *Thèse de doctorat de physique de l'université Paris XI Orsay*, 2004.

[Rim03] K. Rim, K. Chan, L. Shi, D. Boyd, J. Ott, N. Klymko, F. Cardone, L. Tai, S. Koester, M. Cobb, D. Canaperi, B. To, E. Duch, I. Babich, R. Carruthers, P. Saunders, G. Walker, Y. Zhang, M. Steen et M. Ieong, "Fabrication and mobility characteristics of ultra-thin strained Si directly on insulator (SSDOI) MOSFETs*", IEDM Technical Digest*, p. 49-52, 2003.

[Robinson09] I. Robinson et Ross Harder, "Coherent X-ray diffraction imaging of strain at the nanoscale", *Nature Materials*, 8, p. 291-298, 2009.

[Romain06] E. Romain-Latu, "Mesures de contraintes par spectroscopie et imagerie Raman dans des dispositifs micro-électroniques", *thèse de doctorat de l'INPG*, 2006.

[Romanjek04a] K. Romanjek, F. Andrieu, T. Ernst et G. Ghibaudo, "Improved split C-V method for effective mobility extraction in sub-0.1 µm Si MOSFETs", *IEEE Electron Device Letters*, 25, 8, p. 583-5, 2004.

[Romanjek04b] K. Romanjek, "Caractérisation et modélisation des transistors CMOS des technologies 50 nm et en déçà", *thèse de doctorat de l'INPG*, 2004.

[Rouchon09] D. Rouchon, "Mesures de déformations sur dispositifs à contraintes intentionnelles par spectroscopie Raman", thèse INPG, 2009.

[Rudenko05] T. Rudenko, V. Kilchytska, N. Collaert, S. De Gendt, R. Rooyackers, M. Jurczak et D. Flandre, "Specific features of the capacitance and mobility behaviours in FinFET structures", *Proceedings of the European solid-state device research conference (ESSDERC)*, p. 85-8, 2005.

[Sadana00] D. K. Sadana et M. Current, "Fabrication of Silicon-On-Insulator (SOI) Wafers Using Ion Implantation", in Ion Implantation Science and Technology, *Edited by J. F. Ziegler, Ion Implantation Technology Co.*, p. 341-374, 2000.

[Sah72] C.T. Sah**,** T.H. Ning et L.L. Tschopp, "The scattering of electrons by surface oxide charge and by the lattice vibrations at the Si-SiO2 interface", *Surface Science*, 32, 3, p. 561-75, 1972.

[Sawano03] K. Sawano, S. Koh, Y. Shiraki, N. Usami et K. Nakagawa, "In-plane strain fluctuation in strained-Si/SiGe heterostructures", *Applied Physics Letters*, 83, 21, p. 4339-41, 2003.

[Shen93] Q. Shen, C. C. Umbach, B. Weselak et J. M. Blakely, "X-ray diffraction from a coherently illuminated Si(001) grating surface", *Physical Review B*, 48, 24, p. 17967-73, 1993.

[Shen97] Q. Shen et Stefan Kycia, "Determination of interfacial strain distribution in quantum-wire structures by synchrotron x-ray scattering", *Physical Review B*, 55, 23, p. 15791-97, 1997.

[Smith54] C.S. Smith, "Piezoresistance effect in germanium and silicon", Phys Rev, 94, 1, p. 42-9, 1954.

[Sodini82] C. Sodini, "Charge accumulation and mobility in thin dielectric MOS transistors", *Solid-State Electronics*, 25, 9, p. 833-41, 1982.

[Stoney09] G.G. Stoney, "The Tension of Metallic Films Deposited by Electrolysis", *Proceedings of the Royal Society of London Ser.* A, 82, 553, p. 172-5, 1909.

[Sze36] S.M. Sze, "Physics of semiconductor Devices", *Wiley International Edition*, 1936.

[Takagi94] S. Takagi, "On the universality of inversion layer mobility in Si MOSFET's", *IEEE Transactions on Electron Devices*, 41, 12, p. 2357-68, 1994.

[Tan07] K.-M. Tan, M. Zhu, W.-W. Fang, M. Yang, T.-Y. Liow, R.T.P. Lee, K. M. Hoe, C.-H. Tung, N. Balasubramanian, G.S. Samudra, Y.-C. Yeo, "A new liner stressor with very high intrínsic stress (>6 GPa) and low permittivity comprising Diamond-Like Carbon (DLC) for strained p-channel transistors", *IEDM Technical Digest*, p.127-130, 2007.

[Tan08] K.-M. Tan, M. Zhu, W.-W. Fang, M. Yang, T.-Y. Liow, R.T.P. Lee, K. M. Hoe, C.-H. Tung, N. Balasubramanian, G.S. Samudra, Y.-C. Yeo, "A high-stress liner comprising Diamond-Like Carbon (DLC) for strained p-channel MOSFET", *Electron Device Letters*, 29, 2, p. 192-194, 2008.

[Tanner90] B.K. Tanner, "High resolution X-ray diffraction and topography for crystal characterization", *Journal of Crystal Growth*, 99, 1-4, p. 1315-1323, 1990.

[Thean05a] A.V.Y. Thean, T. White, M. Sadaka, L. McCormick, M. Ramon, R. Mora, P. Beckage, M. Canonico, X.-D. Wang, S. Zollner, S. Murphy, V. Van Der Pas, M. Zavala, R. Noble, O. Zia, L.-G. Kang, V. Kolagunta, N. Cave, J. Cheek, M. Mendicino, B.-Y. Nguyen, M. Orlowski, S. Venkatesan, J. Mogab, C.H. Chang, Y.H. Chiu, H.C. Tuan, Y.C. See, M.S. Liang, Y.C. Sun, I. Cayrefourcq, F. Metral, M. Kennard et C. Mazure, "Performance of super-critical strained-Si directly on insulator (SC-SSOI) CMOS based on high-performance PD-SOI technology", *Symposium on VLSI Technology Digest of Technical Papers*, p.134-5, 2005.

[Thean05b] A. V.-Y. Thean, L. Prabhu, V. Vartanian, M. Ramon, B.-Y. Nguyen, T. White, H. Collard, Q.-H. Xie, S. Murphy, J. Cheek, S. Venkatesan, J. Mogab, C.H. Chang, Y.H. Chiu, H.C. Tuan, Y.C. See, M.S. Liang et Y.C. Sun, "Uniaxial-biaxial stress hybridization for super-critical strained-Si directly on Insulator (SC-sSOI) pMOS with different channel orientations", *IEDM technical digest*, p. 509-12, 2005.

[Thean06] A.V. -Y. Thean, D. Zhang, V. Vartanian, V. Adams, J. Conner, M. Canonico, H. Desjardin, P. Grudowski, B. Gu, Z.-H. Shi, S. Murphy, G. Spencer, S. Filipiak, D. Goedeke, X.-D. Wang, B. Goolsby, V. Dhandapani, L. Prabhu, S. Backer, L.-B. La, D. Burnett, T. White, B.-Y. Nguyen, B.E. White, S. Venkatesan, J. Mogab, I. Cayrefourcq et C. Mazure, "Strain-Enhanced CMOS Through Novel Process-Substrate Stress Hybridization of Super-Critically Thick Strained Silicon Directly on Insulator (SC-SSOI)", *Symposium on VLSI Technology Digest of Technical Papers*, p. 130-1, 2006.

[Thompson05] S.E. Thompson, R. S. Chau, T. Ghani, K. Mistry, S. Tyagi et M.T. Bohr, "In search of « forever », continued transistor scaling one new material at a time", *IEEE Transactions on Semiconductor Manufacturing*, 18, 1, p. 26-36, 2005.

[Townsend87] P.H. Townsend, D. M. Barnett et T. A. Brunner, "Elastic relationships in layered composite media with approximation for the case of thin films on a thick substrate", *Journal of Applied Physics*, 62, 11, p. 4438-44, 1987.

[Tsividis99] Y.P. Tsividis, "Operation and modelling of the MOS transistor", *ed. McGraw-Hill*, 1999.

[Uchida05] K. Uchida, T. Krishnamohan, K.C. Saraswat et Y. Nishi, "Physical mechanisms of electron mobility enhancement in uniaxial stressed MOSFETs and impact of uniaxial stress engineering in ballistic regime", *IEDM technical digest*, p. 129-32, 2005.

[Ungersboeck07] E. Ungersboeck, S. Dhar, G. Karlowatz, V. Sverdlov, H. Kosina et S. Selberherr, "The effect of general strain on the band structure and electron mobility of silicon", *IEEE Transactions on Electron Devices*, 54, 9, p.2183–90, 2007.

[Usuda04] K. Usuda, T. Mizuno, T. Tezuka, N. Sugiyama, Y. Moriyama, S. Nakaharai et S.-I. Takagi, "Strain relaxation of strained-Si layers on SiGe-on-insulator (SGOI) structures after mesa isolation", *Applied Surface Science*, 224, 1-4, p. 113–6, 2004.

[Usuda05] K. Usuda, T. Numata, T. Irisawa, N. Hirashita et S. Takagi, "Strain characterization in SOI and strained-Si on SGOI MOSFET channel using nano-beam electron diffraction (NBD)", *Materials Science and Engineering B*, 124-5, p. 143-7, 2005.

[VdeWalle86] C.G. Van de Walle et R.M. Martin, "Theoretical calculations of heterojunction discontinuities in the Si/Ge system", *Physical Review B*, 34, 8, p. 5621-34, 1986.

[Warren90] B.E. Warren, "X-ray diffraction", *Dover publications*, ISBN 0-486-66317-5, 1990.

[Washington06] L. Washington, F. Nouri, S. Thirupapuliyur, G. Eneman, P. Verheyen, V. Moroz, L. Smith, X. Xu, M. Kawaguchi, T. Huang, K. Ahmed, M. Balseanu, L.-Q. Xia, M. Shen, Y. Kim, R. Rooyackers, K. De Meyer et R. Schreutelkamp, "PMOSFET with 200% mobility enhancement induced by multiple stressors", *IEEE Electron Device Letters*, 27, 6, p. 511-3, 2006.

[Weber06] O. Weber, J.-F. Damlencourt, F. Andrieu, F. Ducroquet, T. Ernst, J.-M Hartmann, A.-M. Papon, O. Renault, B. Guillaumot et S. Deleonibus, "Fabrication and Mobility Characteristics of SiGe Surface Channel pMOSFETs With a HfO2/TiN Gate Stack", *IEEE Transactions on Electron Devices*, 53, 3, p. 449-56, 2006.

[Weber08] O. Weber, O. Faynot, F. Andrieu, C. Buj-Dufournet, F. Allain, P. Scheiblin, J. Foucher, N. Daval, D. Lafond, L. Tosti, L. Brevard, O. Rozeau, C. Fenouillet-Beranger, M. Marin, F. Boeuf, D. Delprat, K. Bourdelle, B.-Y. Nguyen et S. Deleonibus, "High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding", *IEDM technical digest*, p. 245-8, 2008.

[Wei07] A. Wei, M. Wiatr, A. Mowry, A. Gehring, R. Boschke, C. Scott, J. Hoentschel, S. Duenkel, M. Gerhardt, T. Feudel, M. Lenski, F. Wirbeleit, R. Otterbach, R. Callahan, G. Koerner, N. Krumm, D. Greenlaw, M. Raab et M. Horstmann, "Multiple stress memorization in advanced SOI CMOS technologies", *Symposium on VLSI Technology Digest of Technical Papers*, p. 216-7, 2007.

[Williams03] G.J. Williams, M. A. Pfeifer, I. A. Vartanyants et I. K. Robinson, "Three-Dimensional Imaging of Microstructure in Au Nanocrystals", *Physical Review Letters*, 90, 17, p. 175501-1-4, 2003.

[Wortman65] J. J. Wortman et R. A. Evans, "Young's modulus, Shear modulus and Poisson's ratio in Silicon and Germanium", *Journal of Applied Physics*, 36, 1, p. 153-156, 1965.

[Yang03] M. Yang, E.P. Gusev, M. Ieong, O. Gluschenkov, D.C. Boyd, K.K. Chan, P.M. Kozlowski, C.P. D'Emic, R.M. Sicina, P.C. Jamison et A.I. Chou, "Performance dependence of CMOS on silicon substrate orientation for ultrathin oxynitride and HfO_2 gate dielectrics", *IEEE Electron Devices Letters*, 24, 5, p. 339-41, 2003.

[Yang04] H.S. Yang, R. Malik, S. Narasimha, Y. Li, R. Divakaruni, P. Agnello, S. Allen, A. Antreasyan, J.C. Arnold, K. Bandy, M. Belyansky, A. Bonnoit, G. Bronner, V. Chan, X. Chen, Z. Chen, D. Chidambarrao, A. Chou, W. Clark, S.W. Crowder, B. Engel, H. Harifuchi, S.F. Huang, R. Jagannathan, F.F. Jamin, Y. Kohyama, H. Kuroda, C.W. Lai, H.K. Lee, W-H. Lee, E.H. Lim, W. Lai,A. Mallikarjunan, K. Matsumoto, A. McKnight, J. Nayak, H.Y. Ng, S. Panda, R. Rengarajan, M. Steigewalt, S. Subbanna, K. Subramanian, J. Sudijono, G. Sudo, S-P. Sun, B. Tessier, Y. Toyoshima, P. Tran, R. Wise, R. Wong, I.Y. Yang, C. H. Wann, L.T. Su, M. Horstmann, Th. Feudel. A. Wei, K. Frohberg, G. Burbach, M. Gerhardt, M. Lenski, R. Stephan, K. Wieczorek, M. Schaller, H. Salz, I. Hohage, H. Ruelke, I. Klais, P. Huebler, S. Luning, R. van Bentum, G. Grasshoff, C. Schwan, E. Ehrichs, S. Goad, J. Buller, S . Krishnan, D. Greenlaw, M. Raab et N. Kepler "Dual stress liner for high performance sub-45nm gate length SOI CMOS manufacturing", *IEDM technical digest*, p. 1075-7, 2004.

[Yang07] B.F. Yang, K. Nummy, A. Waite, L. Black, H. Gossmann, H. Yin, Y. Liu, B. Kim, S. Narasimha, P. Fisher, H.V. Meer, J. Johnson, D. Chidambarrao, S.D. Kim, C. Sheraw, D. Wehella-gamage, J. Holt, X. Chen, D. Park, C.Y. Sung, D. Schepis, M. Khare, S. Luning et P. Agnello, "Stress dependence and poly-pitch scaling characteristics of (110) PMOS drive current", *Symposium on VLSI Technology Digest of Technical Papers*, p. 126-7, 2007.

[Yeo05] Y.-C. Yeo et J. Sun, "Finite-element study of strain distribution in transistor with silicon-germanium source and drain regions", *Applied Physics Letters*, 86, 2, p. 023103-1-3, 2005.

[Zhang05a] W. Zhang et J.G. Fossum, "On the threshold Voltage of strained-Si-$Si_{1-x}Ge_x$ MOSFETs", *IEEE Transactions on Electron Devices*, 52, 2, p. 263-8, 2005.

[Zhang05b] D. Zhang, B.Y. Nguyen, T. White, B. Goolsby, T. Nguyen, V. Dhandapani, J. Hildreth, M. Foisy, V. Adams, Y. Shiho, A. Thean, D. Theodore, M. Canonico, S. Zollner, S. Bagchi, S. Murphy, R. Rai, J. Jiang, M. Jahanbani, R. Noble, M. Zavala, R. Cotton, D. Eades, S. Parsons, P. Montgomery, A. Martinez, B. Winstead, M. Mendicino, J. Cheek, J. Liu, P. Grudowski, N.

P. Ranami, C. Tomasini, C. Arena, C. Werkhoven, H. Kirby, C.H. Chang, C.T. Lin, H.C. Tuan, Y.C. See, S. Venkatesan, V. Kolagunta, N. Cave et J. Mogab, "Embedded SiGe S/D PMOS on thin body SOI substrate with drive current enhancement", *Symposium on VLSI Technology Digest of Technical Papers*, p. 26-7, 2005.

[Zhang08] P. Zhang, A.A. Istratov, E.R. Weber, C. Kisielowski, H. He, C. Nelson et J.C.H. Spence, "Direct strain measurement in a 65 nm node strained silicon transistor by convergent-beam electron diffraction", *Applied Physics Letters*, 89, 16, p. 161907-1-3, 2006.

BIBLIOGRAPHIE DE L'AUTEUR

Articles de journaux:

- **S. Baudot**, F. Andrieu, F. Rieutord et J. Eymery, "Elastic relaxation in patterned and implanted strained Silicon-On-Insulator", *Journal of Applied Physics*, 105, 11, p. 114302, 2009.
- **S. Baudot**, F. Andrieu, O. Faynot, et J. Eymery, "Electrical and diffraction characterization of short and narrow MOSFETs on fully depleted strained Silicon-On-Insulator (sSOI)", *Solid-State Electronics*, 54, 9, p. 861-69, 2010.
- **S. Baudot**, F. Andrieu, O. Weber, P. Perreau, J.-F. Damlencourt, S. Barnola, T. Salvetat, L. Tosti, L. Brévard, D. Lafond, J. Eymery et O. Faynot, "Fully Depleted Strained Silicon-On-Insulator p-MOSFETs With Recessed and Embedded Silicon-Germanium Source/Drain", *IEEE Electron Device Letters*, 31, 10, p. 1074-6, 2010.
- X. Garros, F. Rochette, F. Andrieu, **S. Baudot**, G. Reimbold, C. Aulnette, N. Daval et F. Boulanger, "Modeling and direct extraction of band offset induced by stress engineering in Silicon-On-Insulator metal-oxide-semiconductor field effect transistors: Implications for device reliability", *Journal of Applied Physics*, 105, 11, p.114508, 2009.

Articles de conférences internationales:

- **S. Baudot**, J. Eymery, F. Andrieu, F. Rieutord, O. Faynot et S. Deleonibus, "Width effects in 50nm narrow strained SOI: electrical characterizations of FDSOI nMOSFETs and Grazing Incidence X-Ray Diffraction measurements", *EUROSOI* 2008.
- **S. Baudot**, F. Andrieu, M. Kostrzewa, Y. Lamrani, J.-C. Barbe, C. Vizioz, L. Brevard, F. Rieutord et J. Eymery, "Simulation and Characterization of the Strain Induced by an Original "Embedded Buried Nitride" Technique", *ECS Transactions*, 19, 4, p. 37-42, 2009.
- **S. Baudot**, F. Andrieu, V. Vidal, F. Allain, L. Brévard, O. Faynot et J. Eymery, "Width and orientation effects in strained FDSOI MOSFETs: strain and device characterization", *Proceedings of the European Solid State Device Research Conference (ESSDERC)*, p. 391-4, 2009.
- F. Andrieu, C. Fenouillet-Béranger, O. Weber, **S. Baudot**, C. Buj, J. P. Noel, O. Thomas, O. Rozeau, P. Perreau, L. Tosti, L. Brévard et O. Faynot, "Ultrathin Body and BOX SOI and sSOI for Low Power Application at the 22nm technology node and below", *invited talk at International Conference on Solid State Devices and Materials (SSDM)*, 2009.
- F. Andrieu, O. Weber, **S. Baudot**, C. Fenouillet-Béranger, O. Rozeau, J. Mazurier, P. Perreau, J. Eymery et O. Faynot, "Fully depleted Silicon-On-Insulator with back bias and strain for low power and high performance applications", *IEEE International Conference on IC Design and Technology (ICICDT)*, p. 59-62, 2010.
- C. Le Royer, M. Cassé, F. Andrieu, O. Weber, L. Brevard, P. Perreau, J.-F. Damlencourt, **S. Baudot**, C. Tabone, F. Allain, P. Scheiblin, C. Rauer, L. Hutin, C. Figuet, C. Aulnette, N. Daval, B.-Y. Nguyen et K. Bourdelle, "Dual Channel and Strain for CMOS Co-Integration in FDSOI Device Architecture", *Proceedings of the European Solid State Device Research Conference (ESSDERC)*, 2010.

MOSFETs contraints sur SOI : analyse des déformations par diffraction des rayons X et étude des propriétés électriques

Sophie Baudot[1,2]

L'introduction d'une contrainte mécanique dans le canal de MOSFETs sur SOI est indispensable pour les nœuds technologiques sub-22 nm. Son efficacité dépend de la géométrie et des règles de dessin du dispositif. L'impact des étapes du procédé de fabrication des transistors (gravure des zones actives, formation de la grille métallique, implantation des Source/Drain (S/D)) sur la contrainte du silicium contraint sur isolant (sSOI) a été mesuré par diffraction des rayons X en incidence rasante (GIXRD). Parallèlement, le gain en performances de MOSFETs sur sSOI a été quantifié par rapport au SOI (100% de gain en mobilité pour des nMOS longs et larges (L=W=10 µm), 35% de gain en courant de drain à saturation (I_{Dsat}) pour des nMOS courts et étroits (L=25 nm, W=77 nm)). Des structures contraintes innovantes ont aussi été étudiées. Un gain en I_{Dsat} de 37% (18%) pour des pMOS sur SOI (sSOI) avec des S/D en SiGe est démontré par rapport au sSOI avec des S/D en Si, pour une longueur de grille de 60 nm et des films de 15 nm d'épaisseur. Des mesures GIXRD, couplées à des simulations mécaniques, ont permis d'étudier et d'optimiser des structures originales avec transfert de contrainte d'une couche enterrée précontrainte (en SiGe ou en nitrure) vers le canal.

1 : NPSC – Laboratoire Nanophysique et Semiconducteurs
2 : LDI – Laboratoire des Dispositifs Innovants

Mots-clés: **sSOI (strained Silicon-On-Insulator) – déformation – contrainte – GIXRD (Grazing Incidence X-Ray Diffraction) – MOSFET (Metal Oxyde Semiconductor Field Effect Transistor) – FDSOI (Fully Depleted Silicon-On-Insulator) – mobilité**

Strained MOSFETs on SOI : strain analysis by X-ray diffraction and electrical properties study

The use of mechanical stress in the channel of MOSFETs on SOI is mandatory for sub-22 nm technological nodes. Its efficiency depends on the device geometry and design. The impact of different steps of the transistor fabrication process (active area patterning, metal gate formation, Source/Drain (S/D) implantation) on the strain in strained Silicon-On-Insulator (sSOI) materials has been measured by Grazing Incidence X-Ray Diffraction (GIXRD). The electrical performance enhancement of MOSFETs on sSOI has also been estimated with respect to SOI (100% mobility enhancement for long and wide nMOS (L=W=10 µm), 35% saturation drive current (I_{Dsat}) enhancement for short and narrow nMOS (L=25 nm, W=77 nm)). Innovative strained structures have then been studied. We demonstrate a 37% (18%) I_{Dsat} enhancement for pMOS on SOI (sSOI) with SiGe S/D compared to sSOI with Si S/D, for a 60 nm gate length and a 15 nm film thickness. GIXRD measurements, together with mechanical simulations, enabled the study and optimization of new structures using the stress transfer from an embedded and stressed layer (SiGe or nitride) toward the channel.

Mots-clés en anglais: **sSOI (strained Silicon-On-Insulator) – strain – stress – GIXRD (Grazing Incidence X-Ray Diffraction) – MOSFET (Metal Oxyde Semiconductor Field Effect Transistor) – FDSOI (Fully Depleted Silicon-On-Insulator) – mobility**