



HAL
open science

Intégration des fonctions de protection avec les dispositifs IGBT

Julie Legal

► **To cite this version:**

Julie Legal. Intégration des fonctions de protection avec les dispositifs IGBT. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2010. Français. NNT: . tel-00564270

HAL Id: tel-00564270

<https://theses.hal.science/tel-00564270v1>

Submitted on 8 Feb 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par *l'Université Toulouse III - Paul Sabatier*

Spécialité Conception de Circuits Microélectroniques et Microsystèmes

En vue de la soutenance par

Julie Le Gal

Le 20 Avril 2010

Titre : *Intégration des fonctions de protection avec les dispositifs IGBT*

JURY

M. Jean-Pascal Cambronne	Président
M. Christian Schaeffer	Rapporteur
M. Zoubir Khatir	Rapporteur
M. David Flores	Examineur
M. Stephane Azzopardi	Examineur
M. Michel Mermet-Guyennet	Examineur

Ecole doctorale : *Génie Électrique, Électronique, Télécommunications : du système au nanosystème*

Unité de recherche : *Laboratoire d'Analyse et d'Architecture des Systèmes*

Directeurs de Thèse : *Jean-Louis Sanchez Directeur, Patrick Austin co-Directeur*

Rapporteurs : *M. Schaeffer C., M. Zoubir K.*

à mes grands parents, Viviane et Roger
à ma mère Michèle, à mon père Eric
à Thomas

Remerciements

Je remercie Monsieur Raja Chatila, directeur du LAAS, ainsi que Monsieur Jean-Louis Sanchez, co- directeur, pour m'avoir permis d'effectuer cette thèse dans ce laboratoire. Je remercie tout autant Madame Maryse Baffleur qui dirige actuellement le groupe ISGE pour m'avoir accueillie dans son équipe.

Ce travail a été conduit sous la direction de Monsieur Jean-Louis Sanchez et Monsieur Patrick Austin. Je tiens à les remercier de leur confiance qui m'a permis d'effectuer mes recherches avec beaucoup de liberté ainsi que pour les nombreuses corrections de ce manuscrit. Je les remercie pour leur disponibilité, surtout Jean-Louis avec ses responsabilités au sein du Laboratoire, et leurs échanges scientifiques.

Je remercie les membres de mon jury : Monsieur Cambronne Jean-Pascal, Professeur à l'Université de Toulouse III, d'avoir accepté d'être le président du jury de thèse. Je remercie messieurs Zoubir Khatir, Directeur de recherche à l'INRETS, et Christian Schaeffer, Professeur à l'INP de Grenoble, pour avoir accepté de rapporter sur mon travail. Je remercie messieurs David Flores, Directeur de recherche au CNM de Barcelone et Stephane Azzopardi, Maître de Conférence à l'IMS de Bordeaux, d'avoir accepté de faire partie de mon jury de thèse. Je remercie également Monsieur Michel Mermet-Guyennet pour m'avoir accueillie au sein de son laboratoire PEARL et d'avoir accepté de faire partie de mon jury de thèse.

Je remercie l'équipe TEAM sans qui je n'aurais pas réalisé les puces "IGBT" : surtout à Eric Imbernon pour sa patience et sa pédagogie qui m'a suivi et formé en salle blanche, Djaffar, boubou, Laurent, Ludovic, Sébastien, Jean-Christophe. Je tiens également à remercier David pour avoir soudé et brasé les composants sur boîtiers.

Je voudrais remercier les membres du groupe ISGE pour leur sympathie : Abdelhakim pour son aide et les échanges scientifiques. Jean-Pierre merci pour avoir testé les composants, Marie pour ton aide, Corinne, Bruno, Magali, Karine, Frédéric, Fabrice, Nicolas, David, Henry S., Patrick, Jean-Marie.

Je remercie l'équipe du laboratoire PEARL pour leur accueil lors de mes séjours à Tarbes : José pour m'avoir suivi en début de thèse, Philippe merci pour avoir brasé et bondé les puces IGBT, Pierre, Bertrand, Selim ainsi que les doctorants Cyril, Jérémy, Manu et Jérémy pour

leur repas "light" pendant l'été.

Je tiens à exprimer mon amitié aux personnes que j'ai côtoyées avec plaisir durant ces années de thèses : Rodolphe De Maglie, Marlène et Sophie (merci pour tes conseils et non je mange pas du cassoulet tous les jours), Christian Caramel (Mister Salsa), Nicolas Guitard, Adam Simon, Gaëtan Toulon (monsieur Simu ISE), Hakim Tahir, Al Alam Elias (pour ses questions perspicaces sur la langue française), Berasategi Arostegi Alona (attention à ne pas confondre les Catalans, les Espagnols et les Basques :)), Meekhun Dariga, El Basri Youssef, Sylvain Godet, Cyril Tropis. Je tiens à remercier Cédric Cabal ("quoi qu'est ce qu'ils ont les Aveyronnais ?) et Jean-François Reynaud (souvent dans son algeco pour faire ... des tests) pour leur écoute et leurs conseils, et un spécial remerciement à Jean-Luc Fock Sui Too qui a été mon camarade de thèse lors des différentes épreuves et je suis toujours une spygirl.

Je n'oublie pas de remercier les membres du bureau G6 : Gabriel Civrac, merci pour tes rébus, ta bonne humeur et surtout ton humour ; Forence Capy, merci pour tes coups de gueule on s'en souviendra, tes blagues, "on se regarde papy paie tout ou mercedes et jeanine" ; Stéphane Petibon, merci pour tes recherches sur le net (Mister google), ta bonne humeur, ta patience (et oui en début de thèse ça n'a pas été facile pour toi : deux filles dans le bureau), ton écoute, tes conseils et ton soutien.

Je remercie toutes les personnes qui ont participé de près ou de loin à mes travaux. Je remercie mes amis, mon équipe de basket, Evelyne, Alain et Ghislaine, merci à vous qui lisez ces mots. Je remercie Aymeric, Claire, Frank et Baptiste pour leur soutien. Je remercie également mes grands parents, ma mère et mon père Eric pour leur soutien, leur amour, pour tout... Je finis par remercier et dédier cette thèse à la personne la plus importante qui m'a le plus soutenue, aidée et qui continue à le faire : Thomas Bochot (mon amoureux).

Table des matières

Introduction générale	1
1 Évolution des IGBT dans le domaine de la traction	5
1.1 Présentation des modules de puissance	6
1.1.1 Fonctions de conversion de puissance	6
1.1.2 Présentation générale des modules de puissance à IGBT pour la traction ferroviaire	7
1.2 Présentation et évolution du transistor IGBT	13
1.2.1 Notion d'interrupteur élémentaire (vu par le semi-conducteur)	13
1.2.2 Étude de fonctionnement de l'IGBT (Insulated Gate Bipolar Transistor)	15
1.2.2.1 Structure de l'IGBT planar	16
1.2.2.2 Principe de fonctionnement	18
1.2.3 Les différents types de technologie planar des IGBT	22
1.2.3.1 Structure NPT	22
1.2.3.2 Structure PT (épitaxie)	23
1.2.3.3 Field Stop	24
1.2.4 Structure à grille verticale : l'IGBT Trench	25
1.2.4.1 Dernière évolution de l'IGBT : RC-IGBT	26
1.2.5 Les différents mécanismes de défaillances	27
1.2.5.1 Le latch-up	28
1.2.5.2 L'emballage thermique	28
1.2.5.3 Les claquages de l'IGBT	29
1.2.5.4 L'IGBT en condition de court-circuit	30
1.3 Les techniques de protection rapprochée	31
1.3.1 Pourquoi est-il nécessaire de développer des protections?	31
1.3.2 Cas de notre travail de thèse : le court-circuit	32
1.3.2.1 Détection et protection du court-circuit	33
1.4 État de l'art des circuits de protection rapprochée contre les courts-circuits	35
1.4.1 Circuits basés à partir de la détection de sur-intensité	35
1.4.1.1 Circuit de protection contre les courts-circuits intégré basé sur un caisson P flottant (détection du courant)	35

Table des matières

1.4.1.2	Circuit de protection utilisant un IGBT et un MOSFET	36
1.4.1.3	Circuit limitant la tension de grille de l'IGBT lors d'une sur-intensité	37
1.4.1.4	Circuit permettant la détection de sur-intensité et de l'échauffement	37
1.4.2	Circuits basés sur la détection d'une sur-tension	38
1.4.2.1	Circuit de protection des IGBT latéraux	39
1.4.2.2	Circuit de protection contre les courts-circuits intégré basé sur un caisson P flottant	40
1.4.2.3	Circuit utilisant un circuit intégré IR2125	40
1.4.2.4	Circuit utilisant le capteur de tension d'anode	41
1.5	Conclusion	42
2	Intégration de protections rapprochées	45
2.1	Design du véhicule test IGBT	46
2.1.1	Règles de dessin	47
2.1.2	Optimisation de la cellule élémentaire	48
2.1.2.1	Calibre en tension	48
2.1.2.2	Calibre en courant	49
2.1.3	Caractéristiques à l'état passant de l'interrupteur IGBT	51
2.1.4	IGBT 3,3kV	52
2.2	Étude des capteurs en courant et en tension	54
2.2.1	Principe du miroir de courant ou Sense	55
2.2.1.1	Comparaison des performances différentes structures IGBT "Sense"	56
2.2.1.2	Validation du capteur de courant Sense avec un circuit de détection	60
2.2.2	Capteur de tension	61
2.2.2.1	Présentation du capteur	61
2.2.2.2	Principe de fonctionnement du capteur de tension d'anode	62
2.3	Circuit de détection et de protection contre les courts-circuits	63
2.3.1	Principe de fonctionnement du circuit	63
2.3.2	Contraintes imposées par le circuit	65
2.3.3	Conception des différents dispositifs du circuit de protection et de détection	67
2.3.3.1	Transistor LDMOS	67
2.3.3.2	Diode Zener et résistance de délai	69

2.4	Simulation du circuit de protection et détection en mode d'intégration discrète	70
2.4.1	Paramètres de la structure de protection pour la validation par simulation	71
2.4.1.1	Simulation en condition de court-circuit de type I	72
2.4.1.2	Simulation en condition de court-circuit de type II	72
2.5	Optimisation dans le cas d'une intégration monolithique du circuit	73
2.5.1	Simulation de la structure intégrée et problème d'isolation	74
2.5.2	Différentes techniques d'isolation	75
2.6	Etude du circuit avec isolation par caissons P	77
2.6.1	Adaptation des caractéristiques électriques du LDMOS	77
2.6.2	Structure intégrée avec le LDMOS <i>adapté</i>	79
2.6.3	Structure intégrée en condition de court-circuit avec le LDMOS <i>adapté</i>	79
2.7	Conclusion	81
3	Conception et réalisation de Véhicules de tests	83
3.1	Description des étapes de réalisation des véhicules de tests	84
3.2	Présentation et description de la filière flexible	85
3.2.1	Étape 1 : Oxydation de masquage	87
3.2.2	Étape 2 : Terminaison de jonction	87
3.2.3	Étape 3 : Anode P^+ face arrière	88
3.2.4	Étape 4 : Oxydation de grille	89
3.2.5	Étape 5 : Réalisation des caissons P_{well} face avant	91
3.2.6	Étapes 6 et 7 : Réalisation des Courts-Circuits face avant (caissons P^+) et redistribution du bore	92
3.2.7	Étapes 8 et 9 : Réalisation des régions N^+ et redistribution	93
3.2.8	Étapes 10-11 et 12 : Dépôt nitrure, ouverture des contacts et métallisation	94
3.2.9	Etape 14 : Recuit Aluminium	95
3.3	Résultats expérimentaux	96
3.3.1	Caractéristiques statiques des IGBT	97
3.3.1.1	IGBT 600V	97
3.3.1.2	IGBT 3,3kV	99
3.3.2	Caractérisations électriques des dispositifs IGBT-Sense	101
3.3.2.1	IGBT-Sense 600V	101
3.3.2.2	IGBT-Sense 3,3kV	102
3.3.3	Test en condition de court-circuit de type II	104
3.3.3.1	Caractéristique électrique du Capteur de tension d'anode	105

Table des matières

3.3.3.2	Caractéristique électrique du transistor LDMOS	105
3.3.3.3	Test en condition de court-circuit	106
3.4	Conclusion	108
	Conclusion générale	111
	Bibliographie	115
	Liste des publications	121

Table des figures

1.1	(a) Familles de convertisseurs, (b) Cellule de commutation	7
1.2	Exemple d'une chaîne de traction	8
1.3	Classification des applications des convertisseurs statiques en fonction du courant commuté et de la tension bloquée des composants semi-conducteurs.	10
1.4	(a) Module de puissance à IGBT standard, (b) Vue éclatée d'un module standard	11
1.5	Module de puissance press pack	11
1.6	(a) Interrupteur élémentaire, (b) Interrupteur résultant de la mise en parallèle de 6 interrupteurs élémentaires	12
1.7	(a) Schématisation du module intelligent, (b) Vue de dessus et coupe d'un module intelligent	12
1.8	Evolution d'applications des semi conducteur de puissance en 2005	15
1.9	Evolution des IGBT en fonction des pertes	16
1.10	(a) Structure de l'IGBT, (b) schéma équivalent de l'IGBT et (c) circuit simplifié	17
1.11	Caractéristiques statiques $I_A = f(V_{AC})$ d'un IGBT pour plusieurs polarisation V_{GK}	18
1.12	Répartition des porteurs dans la base durant l'état passant de l'IGBT.	20
1.13	Circuit utilisé pour la commutation	21
1.14	(a) Formes d'ondes de la phase d'amorçage d'un IGBT, (b) Formes d'ondes de la phase de blocage d'un IGBT	21
1.15	(a) Structure de l'IGBT NPT avec son champ électrique, (b) courant de traînage	23
1.16	(a) Structure de l'IGBT PT avec son champ électrique, (b) courant de traînage .	24
1.17	structure IGBT Field Stop avec son champ électrique	25
1.18	Evolution des IGBT en fonction du FOM	26
1.19	Structure de l'IGBT Trench	27
1.20	(a) Structure du RC-IGBT, (b) comparaison de taille de puce entre un IGBT+diode et un RC IGBT	27
1.21	Schéma simplifié modélisant un IGBT NPT	29
1.22	Schéma simplifié modélisant un IGBT PT	30
1.23	Différents modes de défaillances en mode de court-circuit de l'IGBT	30
1.24	(a) Sur courant fusion du silicium, (b) Sur tension : claquage de l'anneau de garde	32

Table des figures

1.25 Aires de sécurité en court-circuit : (a) PT-IGBT 1200V-75A, (b) NPT-IGBT 1200-25A	33
1.26 (a) Formes d'ondes d'un court-circuit de type I (b) Formes d'ondes d'un court-circuit de type II	34
1.27 Coupe schématique du circuit équivalent du circuit de protection par détection de surintensité	36
1.28 Association de l'IGBT et de son circuit de protection (a) Schéma équivalent, (b) vue en coupe	37
1.29 Circuit de protection de l'IGBT lors d'une sur-intensité	37
1.30 Circuit de protection contre la sur-intensité et l'échauffement	38
1.31 circuit de protection de l'IGBT en technologie "smart power "	39
1.32 Coupe schématique du circuit de l'IGBT et du filtre RC	40
1.33 Circuits de protection de l'IGBT utilisant le circuit intégré : current limiting single channel driver IR2125	41
1.34 (a) Circuit de protection contre les courts-circuits, (b) Capteur de tension d'anode	42
2.1 Règles de conception pour la demi-cellule IGBT	47
2.2 (a) Technique de garde JTE, (b) Tension de claquage en fonction de la longueur de la JTE	49
2.3 Différentes topologies de cellules IGBT : (a) carrée, (b) circulaire, (c) à bandes et (d) à bandes interrompues.	50
2.4 $I_A(V_{AK})$ d'une cellule élémentaire IGBT pour $V_{GK} = 15V$	51
2.5 (a) Caractéristiques statiques $I_A(V_{AK})$ pour différentes tensions de grille, (b) Caractéristiques statiques $I_A(V_{GK})$	52
2.6 Temps de mise en conduction T_{on} de l'IGBT	52
2.7 Tenue en tension 3,3kV	53
2.8 (a) Structure avec des anneaux de garde avec les équipotentielles, (b) Tenue en tension 3,3kV	54
2.9 (a) Vue de dessus d'un dispositif IGBT Sense, (b) symbole de l'IGBT-Sense . .	56
2.10 (a) Structure IGBT et Sense (topologie 3) en mixed mode, (b) $I_A(V_{AK})$ pour $V_{AK} = 1,8V$, (c) $I_A(V_{AK})$ pour $V_{AK} = 600V$	59
2.11 (a) IGBT et Sense topologie 1, (b) IGBT et Sense topologie 3	60
2.12 (a) Circuit de protection avec l'IGBT Sense, (b) Courbes des tensions de grille et courant transitant aux bornes de l'IGBT et du MOS de coupure	61

2.13 (a) Coupe schématique du capteur de tension d'anode, (b) Photo d'un dispositif CTA	62
2.14 (a) Évolution de $V_{capteur}$ en fonction de la tension d'anode pour différentes distance L, (b) Lignes équipotentiels du capteur de tension d'anode	63
2.15 Circuit de protection et de détection contre les courts-circuits	65
2.16 Structure d'un transistor LDMOS	68
2.17 (a) Caractéristique $I_D(V_{DS})$, (b) Tenue en tension du transistor LDMOS pour un $Z = 4000\mu m$	69
2.18 (a) Coupe schématique d'une diode zener, (b) Tension de seuil de la diode Zener l'IGBT	70
2.19 (a) Dimension d'une résistance par carré, (b) Résistance de délai	70
2.20 Fonctionnement de la structure en condition de court-circuit de type I	72
2.21 Fonctionnement de la structure en condition de court-circuit de type II	73
2.22 (a) Tension de la grille de l'IGBT dans le cas d'un court-circuit de type I sans isolation, (b) Tension de la grille de l'IGBT dans le cas d'un court-circuit de type II sans isolation	75
2.23 Coupe schématique qui met en évidence la problématique d'intégration monolithique de la structure de détection et de protection	75
2.24 Structure utilisant la technique d'isolation par des murs	76
2.25 Structure avec la méthode d'isolations SOI	76
2.26 Structure avec la méthode d'isolations SON	77
2.27 Coupe de la structure LDMOS <i>adapté</i>	78
2.28 (a) et (b) Tenue en tension à l'état bloqué et Caractéristiques statiques du LDMOS <i>adapté</i>	79
2.29 Coupe de la structure intégrée	80
2.30 Tension de grille de l'IGBT durant un court-circuit de type I	80
2.31 Tension de grille de l'IGBT durant un court-circuit de type II	81
3.1 Enchaînement des étapes pour la réalisation des puces.	85
3.2 Enchaînement des étapes pour la réalisation des puces IGBT	86
3.3 Détail d'une plaquette silicium	87
3.4 (a) Masque P_{msup} , (b) Implantation de bore, (c) Redistribution des caissons P^-	88
3.5 Implantation du bore sur la face arrière de la plaquette	88
3.6 (a) Masque Act_{sup} , (b) Ouverture de la zone active sur un dispositif IGBT	89
3.7 Croissance de l'oxyde de grille	90

Table des figures

3.8	Étape de dopage du polysilicium	90
3.9	Dépôt et dopage du polysilicium	91
3.10	(a) Masque P_{olysup} , (b) Gravure du polysilicium	91
3.11	(a) Masque P_{well} , (b) Implantation de bore pour les caissons P_{well}	92
3.12	(a) Masque P_{psup} , (b) Implantation de bore	92
3.13	(a) Étape de redistribution des caissons P, (b) Redistribution du bore	93
3.14	(a) Masque N_{well} , (b) Implantation d'arsenic	93
3.15	(a) Étape de redistribution du caisson N , (b) Redistribution d'arsenic	94
3.16	(a) Dépôt nitrure, (b) Gravure nitrure	94
3.17	(a) Dépôt metal face avant, (b) Lift off	95
3.18	Dépôt métal face arrière	95
3.19	Cellule élémentaire d'un IGBT	96
3.20	Photographie du Wafer 4pouces avec les IGBT, LDMOS, CTA	97
3.21	Photographie d'un dispositif IGBT	98
3.22	(a) Tension de seuil des IGBT 600V, (b) Caractéristique $I_A(V_{AK})$ des IGBT 600V	99
3.23	Photographie d'un dispositif IGBT 3, 3kV	99
3.24	Vue de dessus d'un dispositif test 3, 3kV monté au laboratoire PEARL	100
3.25	Tenue en tension des IGBT 3, 3kV	101
3.26	(a) Vue de dessus du capteur de tension d'anode CTA, (b) Tension $V_{Capteur}$ en fonction de la tension d'anode	105
3.27	(a) Photographie d'un dispositif LDMOS, (b) Tension de seuil du LDMOS, (c) Tenue en tension du LDMOS	106
3.28	Circuit de détection et de protection de l'IGBT contre les courts-circuits	107
3.29	Courbes de la tension de grille et du courant d'anode de l'IGBT et la tension aux bornes du Capteur durant un court-circuit de type II	108

Introduction générale

Les marchés de la conversion d'énergie dans les transports terrestres routiers et ferroviaires sont en pleine croissance en raison d'une part, de l'utilisation de plus en plus répandue d'actionneurs électriques qui viennent se substituer aux actionneurs hydrauliques et, d'autre part du développement de solutions électriques pour les chaînes de traction. Les besoins de réduction de masse et d'encombrement des équipements de puissance dans un contexte de réduction de coût constituent une problématique transversale à l'ensemble des secteurs applicatifs. L'intégration constitue aujourd'hui l'élément de réponse à cette tendance.

La fiabilité et la disponibilité des systèmes de gestion de l'énergie est la condition de base pour la généralisation de solutions électriques dans de nombreuses applications. Les dispositifs de puissance doivent être performants non seulement en régime normal mais aussi en régimes extrêmes. Ces régimes extrêmes correspondent aux conditions inhabituelles de fonctionnement des composants de puissance : surcharges transitoires, régime accidentel tel que le court-circuit, dysfonctionnement du système, fort di/dt et dv/dt , ... qui entraînent une forte énergie dissipée et des élévations importantes de température. Dans ces configurations, les composants sont alors soumis aux limites de leurs possibilités entraînant des défaillances de fonctionnement qui peuvent conduire à la destruction du composant mais, dans les cas les plus graves, du système. L'intégration de fonctions spécifiques de protection au sein du composant de puissance devient alors nécessaire et constitue aujourd'hui un axe majeur dans le développement de ces nouveaux composants.

Ainsi, l'objet de cette thèse porte sur l'augmentation de la fiabilité des dispositifs de type IGBT (Insulated Gate Bipolar Transistor). Nous nous sommes plus particulièrement intéressés à un circuit de détection et de protection contre un dysfonctionnement de type court-circuit. L'intégration en électronique de puissance peut être appréhendée de manière hybride ou monolithique. Dans ce dernier cas, il existe même une nuance dans la manière d'intégrer monolithiquement les différents éléments qui constituent un circuit. L'intégration peut être inter-digitée c'est-à-dire qu'il existe une juxtaposition successives des cellules élémentaires de chaque composant ou bien, les cellules élémentaires de chaque composant sont regroupées dans différentes régions du cristal. En fonction de l'approche utilisée, les phénomènes physiques mis en jeu ne sont pas les mêmes et entraînent une conception et des résultats de fonctionnalités différentes. Dans cette thèse nous essaierons de tenir compte de ces trois nuances d'intégration. La thèse

se décline en trois chapitres.

Le premier chapitre présente, dans un premier temps les évolutions des modules de puissance et les transistors IGBT associés et dans un deuxième temps, des différentes stratégies de détection et de protection des IGBT contre les courts-circuits. Nous présenterons tout d'abord les évolutions des modules de puissance dans le domaine ferroviaire. En effet, l'amélioration de la fiabilité et des performances ainsi que la baisse du volume des boîtiers sont les objectifs majeurs des concepteurs. Les transistors IGBT sont des interrupteurs de puissance unidirectionnels en tension et en courant et ont connu un essor considérable dans les systèmes embarqués et en particulier dans la traction ferroviaire. Nous présenterons la fonctionnalité de ce dernier ainsi que les différentes générations qui ont permis de répondre au cahier des charges des nouveaux modules de puissance à savoir améliorer les performances, augmenter la gamme de puissance admise et réduire les pertes.

L'amélioration de la fiabilité des modules passe par la protection des IGBT. En effet, la destruction des IGBT peut avoir des conséquences importantes et entraîner la perte des modules et du matériel environnant. Nous présenterons les différents mécanismes de défaillance du transistor IGBT. Nous nous focaliserons sur le cas le plus critique : le court-circuit. Pour détecter ce dernier, il existe deux modes de détection par désaturation ou par le suivi du courant. Nous ferons un état de l'art des différents capteurs et circuits de protection. Nous finirons le chapitre en nous focalisant sur le circuit de protection et détection des IGBT contre les courts-circuits basé sur le capteur de tension d'anode qui a été développé au LAAS-CNRS.

Le second chapitre est consacré à l'intégration de protections rapprochées. Nous présenterons en premier lieu la conception de véhicules test IGBT à l'aide de simulation avec le logiciel SENTAURUS ISE-TCAD. Nous exposerons l'optimisation de la cellule élémentaire à partir des règles de dessin imposées par le procédé technologique de fabrication. Les deux gammes de tension visées sont $600V$ et $3,3kV$. Dans le but de protéger l'IGBT optimisé, nous ferons une étude sur les capteurs en courant et en tension que nous pouvons utiliser dans le cadre de l'intégration fonctionnelle monolithique. Le capteur de courant sur lequel va porter notre étude est une cellule miroir de courant ou "Sense". Ce capteur permet de donner une image du courant total traversant un composant de puissance de conception multicellulaire. Nous étudierons différentes topologies de Sense et nous l'associerons à un circuit afin de valider son fonctionnement. Concernant le capteur de tension, nous étudierons un capteur de tension d'anode qui nous permettra de suivre l'évolution de la tension aux bornes de l'IGBT. Le principe de fonc-

tionnement du circuit de détection et de protection des IGBT contre les courts-circuits sera étudié et validé à l'aide de simulation de type mixed mode. Dans la perspective d'intégrer monolithiquement ce circuit, nous proposerons une adaptation du transistor LDMOS. Nous terminerons ce chapitre par une étude sur la simplification du circuit de détection et de protection sous certaines conditions de fonctionnement.

Le dernier chapitre porte sur la conception, la réalisation et les tests électriques des capteurs de courant et de tension ainsi que les éléments qui composent le circuit de détection et de protection. Dans un premier temps, nous présenterons les différentes étapes qui permettent la réalisation des différents composants et nous détaillerons le procédé technologique de fabrication qui a permis leur réalisation. Les différents composants seront testés électriquement en mode statique et comparés afin de mieux appréhender leur comportement. Ce chapitre se termine par le test électrique du circuit de détection et de protection dans le cas d'une intégration hybride en condition de court-circuit afin de valider la fonctionnalité.

Évolution des IGBT dans le domaine de la traction

Sommaire

1.1	Présentation des modules de puissance	6
1.1.1	Fonctions de conversion de puissance	6
1.1.2	Présentation générale des modules de puissance à IGBT pour la traction ferroviaire	7
1.2	Présentation et évolution du transistor IGBT	13
1.2.1	Notion d'interrupteur élémentaire (vu par le semi-conducteur)	13
1.2.2	Étude de fonctionnement de l'IGBT (Insulated Gate Bipolar Transistor)	15
1.2.3	Les différents types de technologie planar des IGBT	22
1.2.4	Structure à grille verticale : l'IGBT Trench	25
1.2.5	Les différents mécanismes de défaillances	27
1.3	Les techniques de protection rapprochée	31
1.3.1	Pourquoi est-il nécessaire de développer des protections?	31
1.3.2	Cas de notre travail de thèse : le court-circuit	32
1.4	État de l'art des circuits de protection rapprochée contre les courts-circuits	35
1.4.1	Circuits basés à partir de la détection de sur-intensité	35
1.4.2	Circuits basés sur la détection d'une sur-tension	38
1.5	Conclusion	42

Ce chapitre constitue un état de l'art des modules de puissance à IGBT qui sont principalement utilisés dans la traction ferroviaire. Nous exposerons donc dans un premier temps l'évolution des modules de puissance qui intègrent de plus en plus de fonctionnalités comme ceux réalisés par des circuits annexes de protection et des circuits de commande. Nous nous focaliserons dans un deuxième temps sur l'interrupteur à semi-conducteur que constitue l'IGBT. Les différentes structures et technologies seront abordées. Les différents modes de défaillances de ce composant de puissance seront exposés afin d'aborder la problématique de la fiabilité. Par la suite, nous effectuerons un état de l'art sur les circuits de protection utilisés dans ces modules dans le cas de court-circuit et de sur-intensité. Le chapitre se termine par un état de l'art des stratégies utilisées pour la détection et la protection.

1.1 Présentation des modules de puissance

En électronique de puissance, les IGBT (Insulated Gate Bipolar transistor) jouent le rôle d'interrupteur et sont utilisés pour réaliser des fonctions de conversion de l'énergie électrique. Ces composants sont conditionnés dans des modules de puissance où l'on trouve plusieurs de ces interrupteurs avec des diodes PIN jouant la plupart du temps le rôle de diode de roue libre. Dans le domaine du ferroviaire, la gamme de tension utilisée va de $300V$ à $6,5kV$ et un courant pouvant aller jusqu'à $2400A$. L'étendue de cette gamme permet d'adresser des applications allant de la traction à la ventilation en passant par l'éclairage. L'objet de ce premier paragraphe est de présenter les principales conversions de puissance et les technologies utilisées pour réaliser les modules de puissance à base d'IGBT.

1.1.1 Fonctions de conversion de puissance

Le convertisseur statique permet d'assurer le transfert d'énergie entre un générateur et un récepteur qui sont de nature différente. Un convertisseur est une association d'interrupteur à base de composants à semi-conducteur et de composants passifs telles que des inductances ou des capacités [25].

Les différents types de convertisseurs qui existent sont soit :

- *directs* lorsque le générateur et le récepteur sont de nature différente
- *indirects* lorsque le générateur et le récepteur sont de nature identique (tension-tension, courant-courant).

La figure 1.1 (a) synthétise les principales fonctions de conversion de l'énergie électrique. Les convertisseurs sont amenés, dans certains cas, à assurer une réversibilité en courant ou en

1.1. Présentation des modules de puissance

tension. Ceci se traduit par une bidirectionnalité en tension et/ou courant des interrupteurs qui les composent. Afin d'assurer tous les différents types de conversion d'énergie électrique, il existe plusieurs familles d'interrupteurs :

- *unidirectionnels* en tension et en courant comme les transistors bipolaire, les MOSFET (Metal Oxide Semiconductor Field Effect Transistor) et la plupart des IGBT (Insulated Gate Bipolar Transistor).

- *bidirectionnels* en tension comme certains IGBT.

- *bidirectionnels* en tension ou en courant comme les thyristors.

- *bidirectionnels* en courant et en tension comme les triacs.

Les circuits électriques de puissance sont principalement réalisés à partir d'une cellule élémentaire appelée "cellule de commutation". Cette dernière est composée de deux interrupteurs possédant chacun une diode anti-parallèle et sont reliés entre eux à travers un point milieu (figure 1.1 (b)). Ces circuits électriques sont matérialisés et utilisés au travers de modules de puissance qui sont présentés dans le paragraphe suivant.

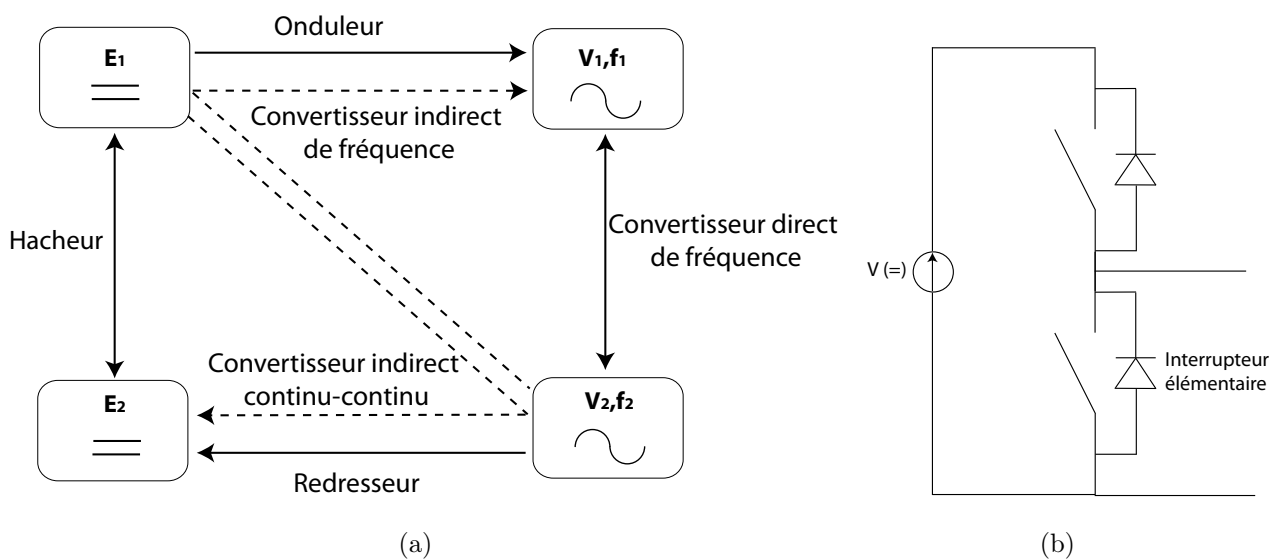


FIGURE 1.1 – (a) Familles de convertisseurs, (b) Cellule de commutation

1.1.2 Présentation générale des modules de puissance à IGBT pour la traction ferroviaire

Dans les années 70, les diodes et thyristors furent les premières structures semi-conductrices utilisées dans des modules de puissance pour le contrôle des moteurs dédiés à la traction ferroviaire. Depuis, le marché mondial des modules de forte puissance fut très rapidement

Chapitre 1. Évolution des IGBT dans le domaine de la traction

orienté et "tracté" par les besoins ferroviaires [29]. En raison d'une utilisation quasi permanente des locomotives, chaque génération de machines entraîne un cahier des charges des nouveaux modules de puissance basés autour des contraintes suivantes :

- augmentation de la fiabilité,
- augmentation de la durée de vie,
- baisse du nombre et de la valeur d'inductances parasites,
- baisse du volume des boîtiers afin de les disposer dans les planchers des locomotives pour gagner du volume utile,
- baisse du coût de l'assemblage,
- gamme en tensions étendue pour des applications allant de 750V continu pour les réseaux urbains à 3000V pour le réseau national des grandes lignes.

A titre d'exemple, la figure 1.2 illustre la nécessité de la contrainte "réduction de volume" des modules de puissances afin de gagner de la place et du poids sur une rame.

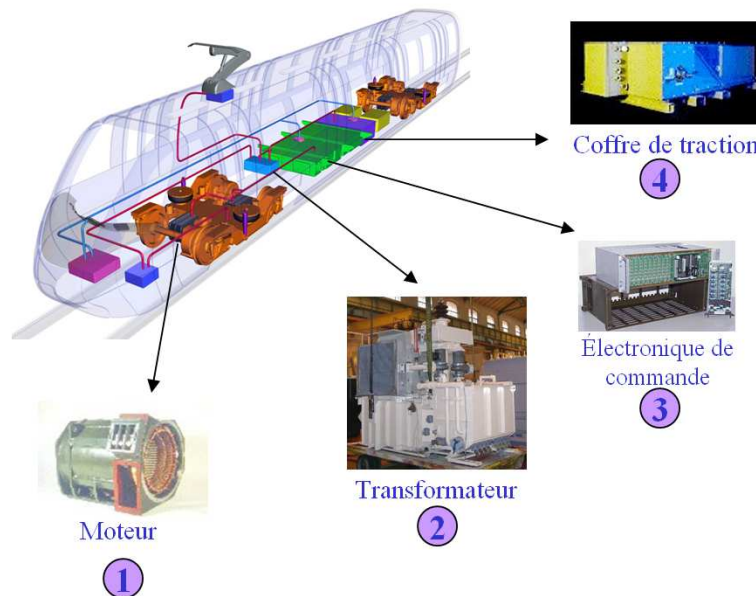


FIGURE 1.2 – Exemple d'une chaîne de traction

Jusqu'au début des années 90, seuls les diodes et thyristors étaient utilisés dans les convertisseurs pour la traction électrique. A partir de l'industrialisation des thyristors de type GTO (Gate Turn Off) par le Japon et les onduleurs à tension MLI (Modulation de Largeur d'Impulsion) s'est généralisée. La structure GTO est obtenue en implémentant sur un même *substrat* plusieurs centaines de mini-thyristor, asymétriques en tension, connectés en parallèle. Le but recherché est d'extraire une quantité de charge suffisante pour provoquer rapidement le retour

1.1. Présentation des modules de puissance

à l'état bloqué. Pour assurer cette commande au blocage, le thyristor GTO exige un circuit de commande associé complexe comprenant une inductance de limitation de variations de courant et un circuit d'aide au blocage. Ces dispositifs ont permis d'améliorer les performances par rapport au thyristor classique. Par contre, le coût des circuits associés et l'importante énergie nécessaire pour assurer la commande de blocage constituent une contrainte non négligeable [22].

Afin de minimiser cette contrainte relative au circuit d'aide au blocage du GTO des dispositifs IGCT (Insulated Gate Commutated Thyristor) ont été proposés. Ces composants sont basés sur l'association d'une structure GTO avec des transistors MOS basse tension mis en parallèle permettant d'assurer efficacement un court-circuit commandable entre cathode et base.

D'autre part, l'évolution des performances et de la fiabilité des modules IGBT (cf. section 1.2.2) a permis de réaliser des modules de puissance forts courant adaptés aux contraintes de la haute tension des applications de la traction électrique ferroviaire [9].

Dans le cadre de nos travaux de recherche, nous nous sommes donc naturellement focalisés sur les modules IGBT.

Les modules IGBT couvrent une large gamme de puissance allant d'une dizaine à quelques milliers d'ampères et de 300V à 6500V. Ils peuvent être utilisés dans beaucoup d'applications de moyennes et fortes puissances comme la commande de moteur dans le secteur industriel ou bien dans les transports. La figure 1.3 synthétise les principaux domaines d'applications où sont utilisés les modules de puissance à IGBT [5]. L'aspect extérieur de ces modules est un boîtier moulé qui se monte directement sur des refroidisseurs à air ou à circulation d'eau désionisée. Le boîtier a pour rôle d'assurer la liaison électrique entre les différents semi-conducteurs (diodes PIN et IGBT), de réaliser une isolation entre les différentes connexions des modules et d'assurer le maintien mécanique de l'ensemble.

Les boîtiers peuvent être soit réalisés en technologie "standard" (figure 1.4), ou en technologie dite de type "pressé" ("press-pack") (figure 1.5) [31] :

(a) Module standard : les puces IGBT et diodes PIN sont brasées sur un substrat DCB (Direct Copper Bonding). Ce substrat est lui même brasé sur une semelle métallique de quelques millimètres d'épaisseur. Les puces sont reliées entre elles par des fils de bonding (détail du packaging des puces dans le chapitre 3). Le module est soumis à des contraintes mécaniques lors du cyclage thermique entraînant d'éventuelles détériorations des brasures. C'est à partir de ce constat que la technologie "press-pack" a été développée afin d'éliminer les brasures. Les figures

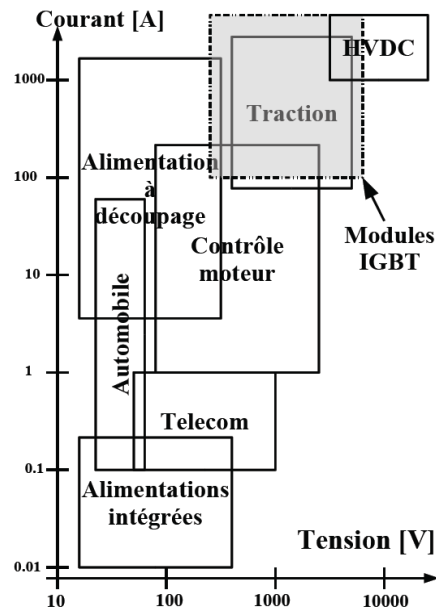


FIGURE 1.3 – Classification des applications des convertisseurs statiques en fonction du courant commuté et de la tension bloquée des composants semi-conducteurs.

1.4 (a) et (b) montrent un module de puissance à IGBT avec la vue éclatée correspondante.

(b) Modules pressés ou "press-pack" : cette technologie élimine les soudures grâce à une pression permanente en fonctionnement par un système de "clamp". Cependant, cette dernière technologie n'a pas connu un essor considérable à cause de son prix de revient élevé. En effet, l'utilisation des modules IGBT standard permet de s'affranchir du serrage mécanique de plusieurs tonnes qui doit être appliqué aux boîtiers pressés des thyristors GTO, ainsi que l'isolement galvanique qui doit être assuré par l'assemblage mécanique de serrage dans le cas des GTO. La figure 1.5 montre un module press pack.

Pour chaque nouveau module, les concepteurs sont contraints de réduire le coût, le poids et le volume du convertisseur tout en respectant les contraintes de compatibilité électromagnétique (CEM) [18] [46] et d'isolation. Une fois la topologie du module choisie, la présélection s'effectue selon deux critères majeurs imposés par le constructeur : la tenue en tension et le courant nominal. Les tenues en tension sont définies par les niveaux de tension en sortie du pont redresseur monophasé ou triphasé. Pour obtenir les calibres en courant utiles, une mise en parallèle de puces IGBT est réalisée à l'aide de fils de bonding et de pistes de cuivre [7]. Pour réaliser les principales fonctions de conversion de puissance, une diode de roue de libre est

1.1. Présentation des modules de puissance

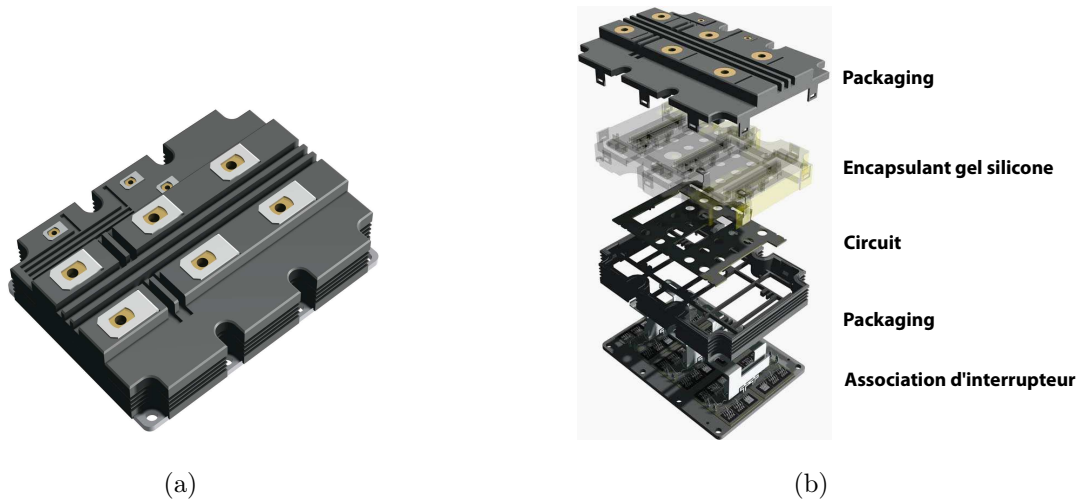


FIGURE 1.4 – (a) Module de puissance à IGBT standard, (b) Vue éclatée d'un module standard



FIGURE 1.5 – Module de puissance press pack

intégrée sur le même substrat que celui de l'IGBT (cf figure 1.1 (b)). Le rôle de cette diode est d'assurer la continuité en courant. Ainsi, des modules 1200A peuvent par exemple intégrer 24 puces IGBT et 12 diodes PIN le tout monté en parallèle ou en antiparallèle. La figure 1.6 (a) représente un interrupteur élémentaire constitué de puces IGBT et de diodes PIN reliées par des fils de bonding. La figure 1.6 (b) représente trois bras d'onduleur où apparaissent des pistes des cuivre.

Les tendances technologiques vont vers un module de puissance complet comme les CIB (Converter Integrated Brake) ou IPM (Intelligent Power Module) qui réunissent, dans un même boîtier, les fonctions de pont redresseur, de hacheur et d'onduleur.

Les modules intelligents [2] (figure 1.7 (a) et (b)) présentent l'intérêt d'intégrer, outre l'étage de puissance, le circuit de pilotage, et les fonctions de détection tels les courts-circuits, sur-courants et l'échauffement. Ces modules permettent de simplifier la connectique, de gagner

Chapitre 1. Évolution des IGBT dans le domaine de la traction

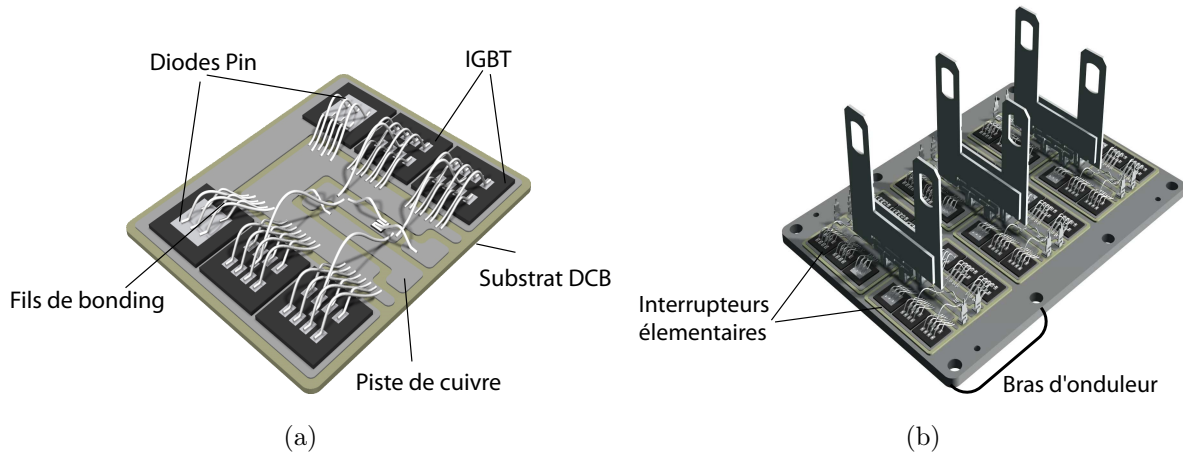


FIGURE 1.6 – (a) Interrupteur élémentaire, (b) Interrupteur résultant de la mise en parallèle de 6 interrupteurs élémentaires

en fiabilité et en coût de conception. Dans ces modules, chaque puce IGBT est associée à un capteur de courant qui envoie une information à un ASIC interne pour protéger le transistor contre les courts-circuits.

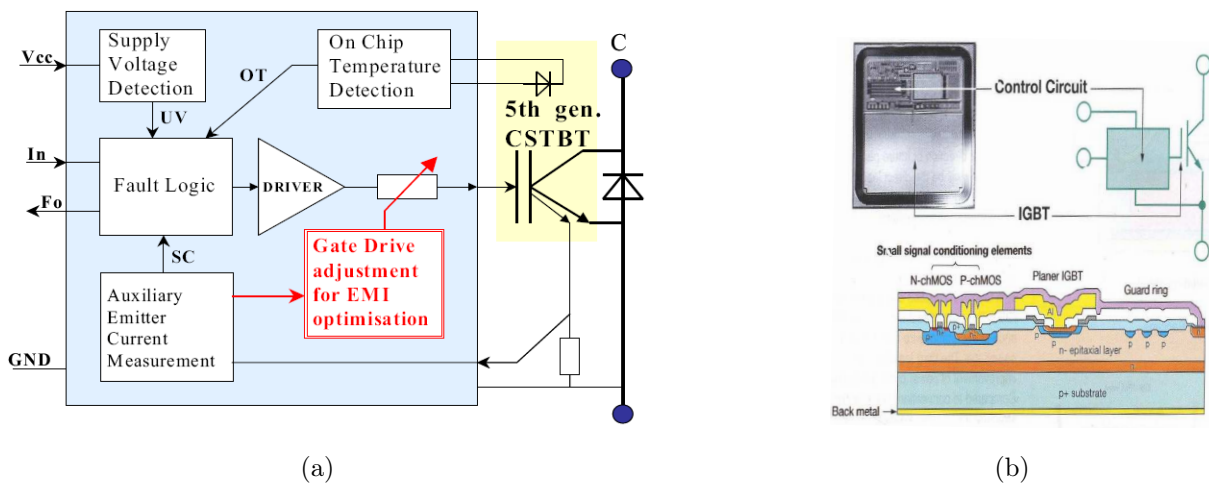


FIGURE 1.7 – (a) Schématisation du module intelligent, (b) Vue de dessus et coupe d'un module intelligent

1.2 Présentation et évolution du transistor IGBT

Dans le paragraphe suivant, nous allons rappeler les différentes structures et topologies des dispositifs IGBT et leurs caractéristiques statiques et dynamiques associées.

1.2.1 Notion d'interrupteur élémentaire (vu par le semi-conducteur)

Comme le nom l'indique, les convertisseurs statiques d'énergie électrique sont conçus autour de composants à semi-conducteur qui jouent le rôle d'interrupteur. Un interrupteur idéal possède deux états stables. Le premier est l'état (ON) permettant la circulation du courant entre ses bornes. Le second est l'état (OFF) qui permet d'interrompre la circulation du courant dans l'interrupteur. Le passage d'un état à l'autre correspond à une phase transitoire appelée commutation. Un interrupteur idéal doit permettre de laisser passer un courant I_{ON} sous une tension de conduction V_{ON} nulle aux bornes de l'interrupteur et doit tenir une tension de blocage V_{OFF} importante avec un courant I_{OFF} de fuite nul. D'autre part, la phase de commutation est considérée comme instantanée dans le cas idéal.

Les interrupteurs statiques utilisés ne sont pas idéaux et possèdent naturellement des caractéristiques qui s'éloignent du cas idéal. En effet, la chute de tension à l'état passant V_{ON} et le courant de fuite I_{OFF} ne sont pas nuls et entraînent, respectivement, des pertes en conduction et pendant la phase de blocage. D'autre part, les commutations se font avec des temps plus ou moins longs qui entraînent des pertes. L'un des objectifs essentiels de la conception des interrupteurs statiques réside dans la volonté de réduire l'ensemble de ces pertes afin de se rapprocher le plus possible de l'interrupteur idéal.

Les interrupteurs de puissance doivent pouvoir supporter des tensions de blocage V_{OFF} les plus élevées possibles. C'est le rôle que joue une jonction PN^- polarisée en inverse dont la région N^- doit être profonde et faiblement dopée afin d'assurer l'étalement de la zone de charge d'espace nécessaire pour supporter la tension V_{OFF} . La contre-partie des caractéristiques physiques spécifiques de cette région N^- pour l'état bloqué est d'introduire une résistance relativement importante au courant entraînant de fait une chute de tension à l'état passant V_{ON} plus ou moins importante en fonction de son dopage et de son épaisseur. Pour des applications nécessitant de faibles valeurs de blocage V_{OFF} , cette tension de déchet peut rester non critique. C'est l'une des raisons pour lesquelles les composants de puissance unipolaires de type VDMOS sont couramment utilisés pour des tensions inférieures ou égales à 200V. Au delà, il est indispensable de réduire la résistivité à l'état passant de la région N^- . Le principe utilisé est l'injection de porteurs minoritaires dans cette région à l'aide de une ou deux jonctions in-

jectantes. Ces porteurs minoritaires permettent d'augmenter la conductivité sans toucher aux caractéristiques intrinsèques de la région N^- . Ce principe est utilisé dans les composants de puissance de type bipolaire où nous trouvons les IGBT qui possèdent une seule jonction injectante et les thyristors qui en possèdent deux. Si dans ce type de composant, nous améliorons les pertes en conduction pour des tenues en tension élevées, nous introduisons un inconvénient majeur qui porte sur la commutation. En effet, lors d'une phase de blocage, la présence des porteurs minoritaires entraîne des temps de commutation plus élevés puisqu'il faut attendre qu'ils disparaissent soit par extraction soit par recombinaison avant de ramener le courant I_{ON} à 0. Les pertes en commutation sont donc plus importantes dans les composants bipolaires. Pour une tenue en tension donnée, nous nous trouvons donc face à un compromis qui porte sur la rapidité des structures et la chute en tension à l'état passant V_{ON} . Une structure bipolaire rapide possède de faibles pertes en commutation mais des pertes en conduction plus importantes, et réciproquement. Ce compromis est géré en fonction de la tenue en tension requise, de la fréquence d'utilisation et du rapport cyclique de l'application. La volonté d'améliorer ce compromis reste d'actualité pour l'homme de l'état de l'art.

Un autre aspect des composants de puissance est la commande. Elle peut être en courant, en tension, optique ou spontanée. Ce dernier point est très bien représenté par la diode PIN. Une classification des composants peut donc être aussi réalisée à partir de la nature de la commande.

Une autre classification utilisée peut porter sur l'éventuelle réciprocité en tension et en courant. Ainsi, ils peuvent être unidirectionnels en tension et en courant, bidirectionnels pour une de ces deux dernières grandeurs électriques ou totalement bidirectionnels en tension et en courant.

Les évolutions récentes dans les composants de puissance portent sur la volonté d'intégrer avec l'interrupteur de puissance des éléments de protection, de commande rapprochée, des capteurs d'état et éventuellement d'éléments permettant une communication avec son environnement extérieur. L'objectif de ces améliorations est de rendre l'interrupteur plus "intelligent" afin d'améliorer à la fois le rendement, la fiabilité et les coûts de fabrication et de maintenance du système complet dans lequel se trouve l'interrupteur.

La figure 1.8 montre les principaux composants discrets utilisés en fonction de la puissance et de la fréquence. On retrouve les grands domaines d'applications que sont la distribution de l'énergie électrique, l'automobile, la traction ferroviaire, ect Une observation plus détaillée de cette figure permet de retrouver le compromis expliqué plus haut. Les structures bipolaires avec deux jonctions injectantes (CSR, GTO) sont utilisées pour des applications fortes

1.2. Présentation et évolution du transistor IGBT

puissances et faibles fréquences de fonctionnement. A l'opposé, nous trouvons les structures unipolaires que sont les MOSFET. L'IGBT, avec une seule jonction injectante, occupe une position centrale qui lui permet d'être effectivement compétitif sur des tensions et fréquences d'utilisation moyenne. Le paragraphe suivant est donc consacré à la présentation de l'IGBT qui est au coeur de nos travaux de thèse.

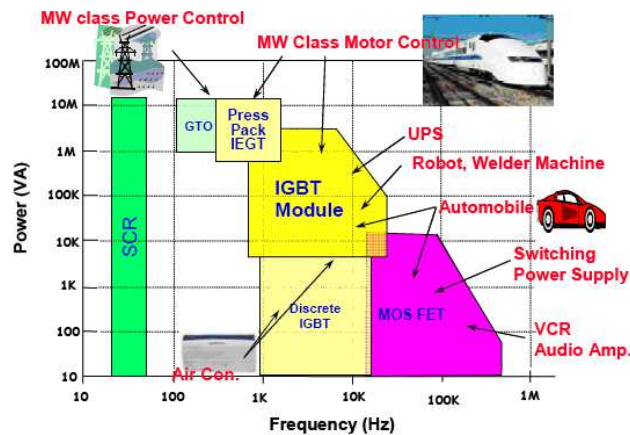


FIGURE 1.8 – Evolution d'applications des semi-conducteurs de puissance en 2005

1.2.2 Étude de fonctionnement de l'IGBT (Insulated Gate Bipolar Transistor)

Comme cela a été expliqué précédemment dans le mémoire, les modules de puissance à IGBT sont utilisés dans l'électronique embarquée et en particulier dans la traction ferroviaire. C'est la raison pour laquelle les concepteurs des IGBT ont toujours eu pour objectifs d'améliorer les performances, de réduire les pertes, d'augmenter la puissance, d'augmenter la gamme de puissance admise et d'augmenter la fiabilité. Ces objectifs ont donné naissance à plusieurs générations d'IGBT [31] représentées sur la figure 1.9. Ce paragraphe est donc consacré à présenter ces générations d'IGBT à travers les différentes architectures semi-conductrices développées et les technologies associées. Dans un premier temps, la fonctionnalité de l'IGBT sera présentée.

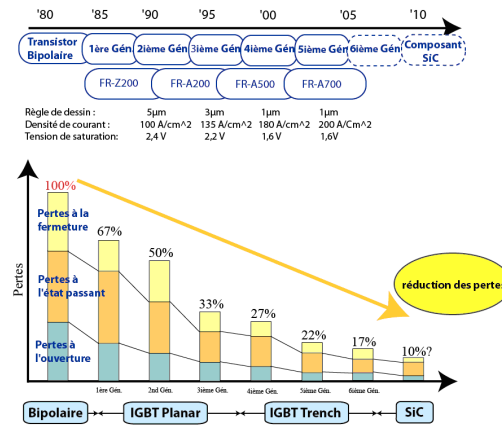


FIGURE 1.9 – Evolution des IGBT en fonction des pertes

1.2.2.1 Structure de l'IGBT planar

L'IGBT a été proposé pour la première fois par Baliga en 1979 [8] et s'est décliné dans un premier temps sous plusieurs dénominations avant de prendre le nom définitif. Il est donc possible de le trouver sous les noms suivants : IGT (Insulated Gate Transistor) par General Electric, GEMFET (Gain Enhanced MOSFET) par Motorola, COMFET (Conductivity Modulated FET) par RCA.

L'IGBT résulte de l'intégration sur le même substrat d'un transistor bipolaire et d'un transistor MOSFET [43] [38]. Il combine donc les avantages des deux technologies précédentes, c'est-à-dire la facilité de commande liée à la grille MOS et un meilleur compromis chute de tension à l'état passant/tenue en tension puisque la conduction se fait par les deux types de porteurs. Les IGBT sont des structures de conception multi-cellulaire où le calibre en courant résulte de la mise en parallèle de plusieurs milliers de cellules élémentaires. La figure 1.10 (a) montre une cellule élémentaire. Elle se distingue d'une cellule d'un transistor VDMOS par une couche P^+ en lieu et place du drain N^+ . Cette région P^+ injecte des porteurs minoritaires dans la zone profonde et faiblement dopée N^- afin de diminuer la conductivité et donc la chute de tension à l'état passant.

1.2. Présentation et évolution du transistor IGBT

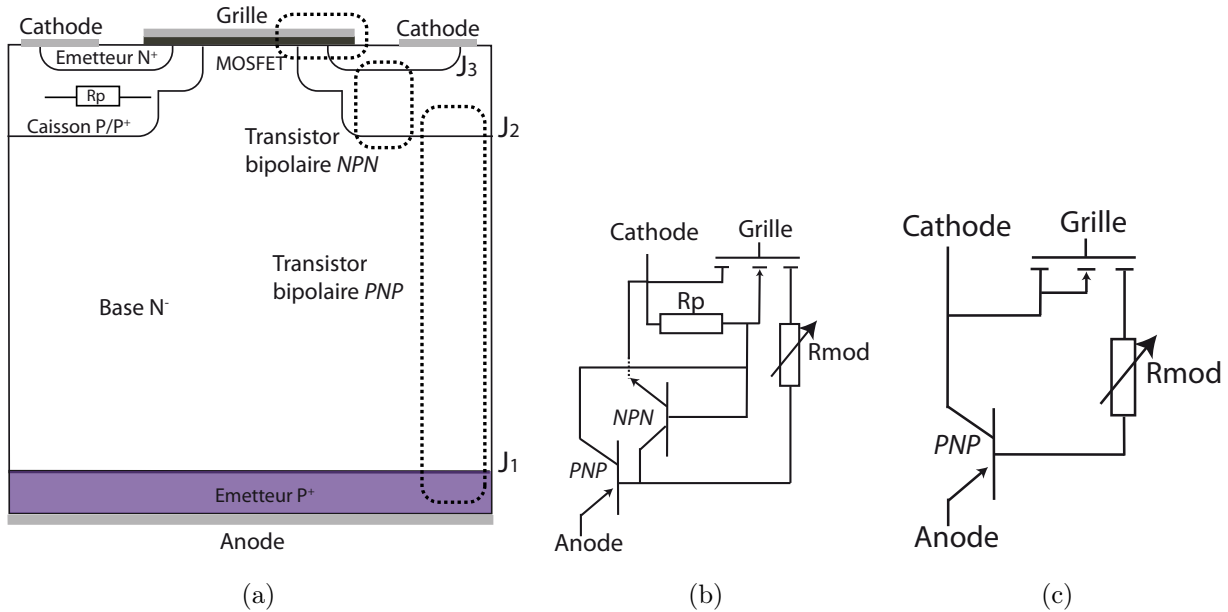


FIGURE 1.10 – (a) Structure de l'IGBT, (b) schéma équivalent de l'IGBT et (c) circuit simplifié

Le schéma électrique équivalent de l'IGBT est représenté sur la figure 1.10(b). Il comprend un transistor MOSFET à canal N , deux transistors bipolaires NPN et PNP , d'une résistance entre les zones N^+ et P^+ et une résistance de modulation (R_{mod}) relative au comportement de la couche faiblement dopée N^- [24]. Le transistor MOSFET permet de relier électriquement la cathode N^+ à la région de drift N^- .

L'association du transistor NPN , constitué par les trois couches N^+PN^- , avec le transistor PNP correspond à une structure de type thyristor. Afin d'éliminer un fonctionnement parasite de type thyristor, un contact en surface est réalisé entre les couches N^+ et P par l'intermédiaire de métallisation de cathode court-circuitant ainsi la jonction émetteur-base du transistor NPN . La résistance R_p correspond au caisson P situé en dessous la couche N^+ . Sa valeur doit être la plus faible possible afin d'éviter le déclenchement du thyristor parasite.

La résistance R_{mod} représente la couche épitaxiée N^- dont la résistance est modulée par l'injection des porteurs minoritaires (trous) depuis la couche P^+ de l'anode.

Le schéma équivalent simplifié, représenté sur la figure 1.10(c), se ramène donc à un montage darlington MOS-bipolaire PNP avec la résistance modulable R_{mod} . Il est à noter que vu l'épaisseur importante de la base N^- du transistor bipolaire PNP son gain est très faible (entre 0,2 et 0,4)

1.2.2.2 Principe de fonctionnement

Dans cette partie, nous allons décrire le comportement électrique de l'IGBT pendant les phases statique et dynamique.

(a)Phase Statique En fonction des polarisations appliquées, il existe deux états de fonctionnement possibles pour la fonction interrupteur qui travaille en régime de commutation : l'état bloqué et l'état passant. Ces deux états sont représentés sur la figure 1.11.

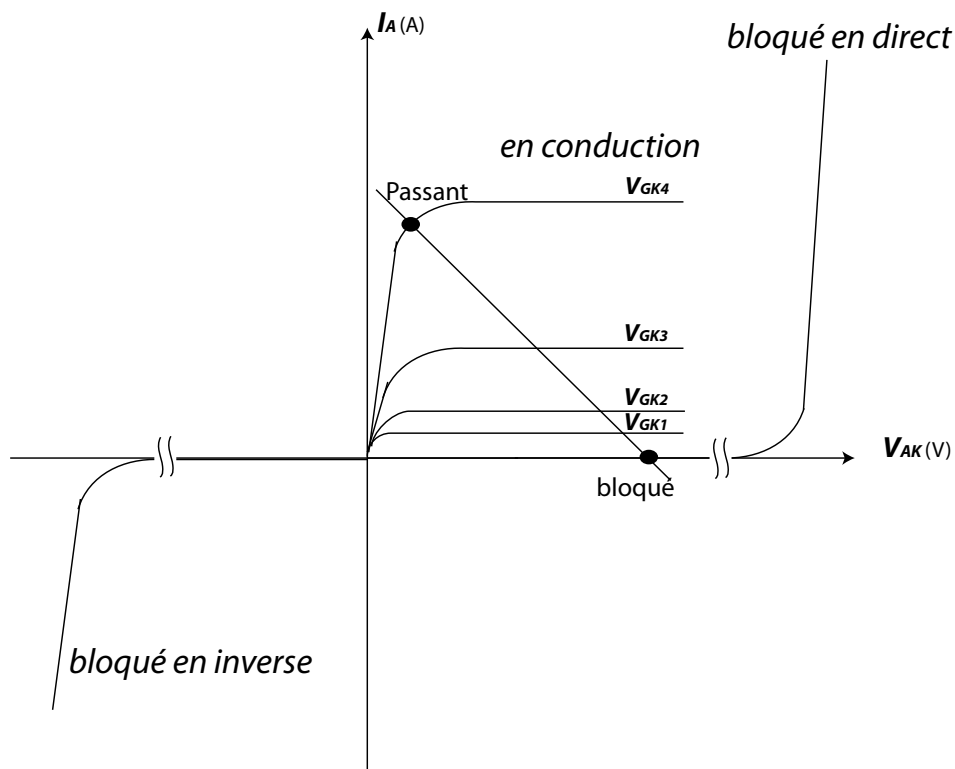


FIGURE 1.11 – Caractéristiques statiques $I_A = f(V_{AC})$ d'un IGBT pour plusieurs polarisation V_{GK}

État bloqué Théoriquement, il est possible d'avoir un mode bloqué direct $V_{AK} > 0$ et un mode bloqué inverse $V_{AK} < 0$. Dans le premier cas, c'est la jonction J_2 (figure 1.10) qui est polarisée en inverse. C'est l'extension de charge d'espace dans la région de base qui va déterminer au premier ordre la tenue en tension. Dans le deuxième cas, c'est la jonction J_1 qui est polarisée en inverse. En règle générale, cette jonction ne permet pas de supporter

1.2. Présentation et évolution du transistor IGBT

des tensions importantes en raison de la difficulté de l'utilisation d'une technique de garde sur la face arrière. Cependant, des travaux proposent des terminaisons de jonction permettant une bidirectionnalité en tension comme le MOS Bidirectionnal Switch (MBS) proposé par ST Microelectronics ou par IXIS.

État passant Dans le premier quadrant de la figure 1.11, le passage du mode bloqué au mode passant se fait à la fois par application d'une tension de grille supérieure à la tension de seuil (V_{TH}) et pour une tension V_{AK} supérieure à la tension de la jonction P^+/N^- coté anode (environ $0.7V$). Pour une tension V_{AK} positive donnée, l'application d'une tension de grille supérieure à la tension de seuil de la section MOS entraîne l'apparition d'un canal entre la cathode N^+ et la région de base N^- permettant ainsi d'alimenter cette dernière en électrons. Ce courant de base contrôle alors le transistor bipolaire PNP . Ce régime de fonctionnement peut être traduit au premier ordre par la relation suivant :

$$I_A = I_{MOS}(1 + \beta_{PNP}) \quad (1.1)$$

avec I_A le courant de l'IGBT, I_{MOS} le courant traversant la partie MOSFET et β_{PNP} le gain du transistor PNP .

Le courant I_A est donc la somme du courant MOS et du courant de la section bipolaire. Cependant, le gain β_{PNP} est de faible valeur (environ 0.2 à 0.4) en raison de la profondeur importante de la région de base. Cette injection permet d'augmenter la conductivité de la région de drift dans des proportions significatives, diminuant de ce fait la chute de tension à l'état passant. La contrepartie de cet avantage est une diminution des performances dynamiques par rapport à une structure de type VDMOS. La figure 1.12 (b) montre la répartition des porteurs dans la région centrale N^- pour deux coupes aa' et bb' et pour une faible tension V_{AK} . La particularité de la répartition des porteurs selon la coupe bb' est la présence d'une couche accumulée sous l'oxyde de grille dans la région intercellulaire.

(b)Phase Dynamique L'étude dynamique d'un cycle de commutation passe par l'analyse des phases d'amorçage et de blocage. Cette analyse se fera à partir du circuit de la figure 1.13.

Phase d'amorçage La phase d'amorçage de l'IGBT débute lorsque la tension de grille devient largement supérieure à V_{TH} (figure 1.14 (a)). Le contrôle du courant de grille au travers de la résistance de grille permet de régler la vitesse de commutation à l'amorçage : il s'agit

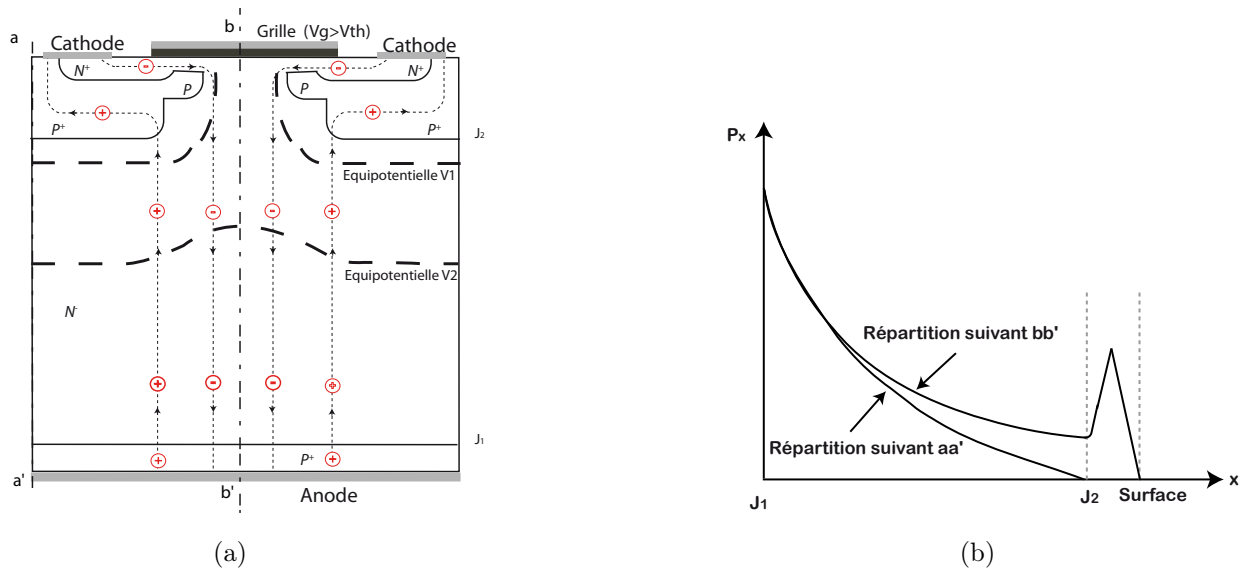


FIGURE 1.12 – Répartition des porteurs dans la base durant l'état passant de l'IGBT.

simplement de la charge de la capacité C_{GS} au travers de la résistance de grille. L'amorçage de l'IGBT peut être décrit en trois phases.

PHASE 1 : le transistor IGBT est initialement bloqué, la diode de roue libre conduit le courant I_0 et la tension anode-cathode V_{AK} est égale à la tension d'alimentation U_{DC} . Le courant de commande charge les capacités d'entrée de l'IGBT (C_{GS} et C_{GD}). La tension de grille augmente mais tant qu'elle n'a pas atteint la tension de seuil V_{TH} aucun courant ne circule dans la structure. Lorsque V_{TH} est atteint, le canal de la partie MOS se forme. Le courant d'anode I_A commence à croître.

PHASE 2 : l'IGBT conduit le courant I_0 . La tension de grille croît légèrement au début de cette phase, cela permet au canal de faire circuler le courant I_0 et les courants de décharge C_{GS} et C_{GD} . Lorsque I_A a atteint la valeur I_0 , la diode se bloque. La tension V_{GK} reste figée dans une phase de plateau appelée " effet Miller " (correspondant à la rétroaction des variations V_{AK} sur la commande de grille à travers C_{GD}).

PHASE 3 : la tension V_{AK} atteint sa valeur finale V_{AKsat} qui correspond à la chute de tension à l'état passant. La tension de grille croît jusqu'à la valeur du générateur de grille.

Phase de Blocage Pour bloquer le dispositif IGBT, il suffit d'annuler la tension aux bornes de la grille c'est-à-dire annuler le canal MOS en appliquant une tension $V_{GK} < V_{TH}$. Les différentes phases de blocage d'un IGBT sur charge inductive sont les suivantes (figure 1.14(b)) :

1.2. Présentation et évolution du transistor IGBT

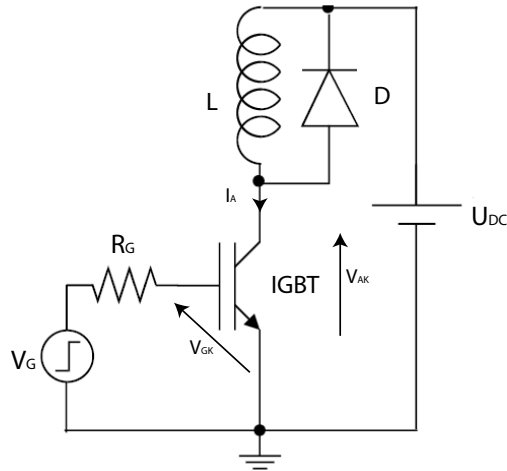


FIGURE 1.13 – Circuit utilisé pour la commutation

PHASE 1 : la tension de commande de grille passe de son niveau haut à son niveau bas. La tension V_{GK} décroît jusqu'au plateau Miller qui correspond à la décharge de la capacité C_{GD} . Pendant ce temps V_{AK} augmente alors que le courant I_A commence à décroître.

PHASE 2 : la décroissance du courant I_A est très rapide jusqu'à ce que le canal du MOS se ferme, la base du transistor *PNP* n'est donc plus alimentée.

PHASE 3 : la dernière phase de l'ouverture est la phase du courant de queue. La décroissance du courant est alors limitée par la vitesse de recombinaison des porteurs dans le transistor *PNP* dont la base est ouverte.

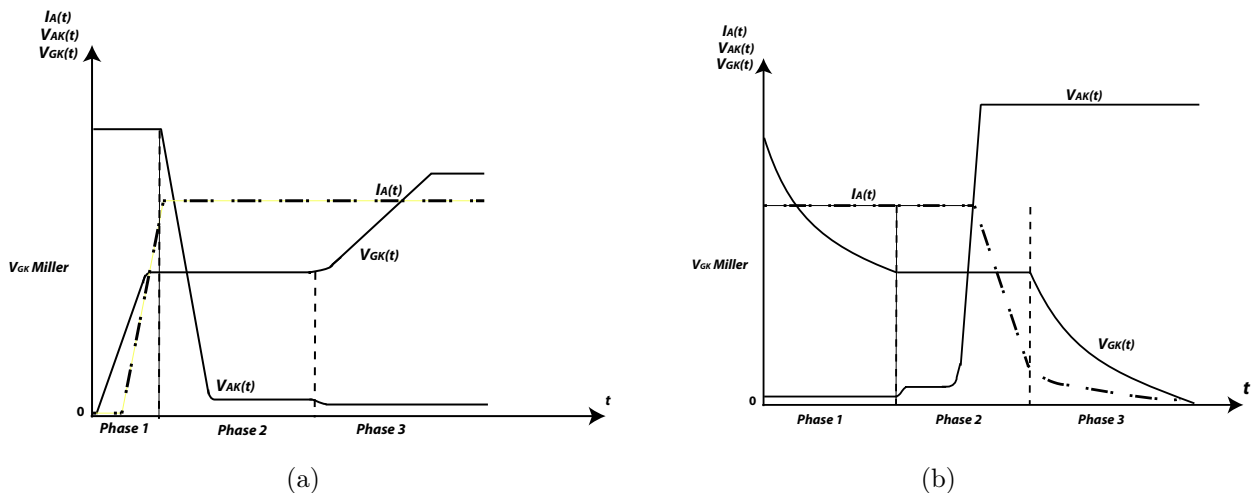


FIGURE 1.14 – (a) Formes d'ondes de la phase d'amorçage d'un IGBT, (b) Formes d'ondes de la phase de blocage d'un IGBT

1.2.3 Les différents types de technologie planar des IGBT

Pour optimiser les performances des IGBT en fonction des gammes de tension, courant et fréquences visées, deux technologies planar ont été développées : la technologie Non Punch Through (NPT) apparue en 1982 et la technologie Punch Through (PT) apparue en 1985 [9]. Nous allons décrire ces deux types de technologie ainsi que leurs évolutions.

1.2.3.1 Structure NPT

La structure NPT possède une région de base N^- suffisamment profonde pour que la couche de déplétion n'atteigne jamais la couche d'injection P^+ de la face arrière. A l'état direct bloqué, cette structure fonctionne donc en régime de non limitation de charge d'espace Non punch Through (NPT). La figure 1.15 montre l'allure de la répartition du champ électrique dans les bases de la structure. Les traits pleins correspondent à une tension V_{AK} positive, les traits pointillés à une tension V_{AK} négative. La zone N^- excédentaire contribue à augmenter la chute de tension à l'état passant. Ceci peut être évité en utilisant une couche N^- plus fine.

La technologie NPT permet d'avoir de faibles pertes en commutation en ajustant le dopage et la profondeur de la jonction de l'émetteur du PNP (anode de l'IGBT). Cette couche P^+ , très mince, a pour rôle de contrôler la quantité de charges injectées dans la région N^- . Le gain du transistor, fortement réduit, permet de diminuer la quantité de charges stockées dans la zone de drift. Néanmoins, la durée de vie des porteurs dans cette région reste importante et n'est pas contrôlée. La recombinaison s'effectue plus lentement ce qui a pour effet de ralentir la disparition de la charge stockée dans la base du PNP. La queue de courant, au blocage, est par conséquent importante mais les pertes en commutation restent faibles.

Cette technologie est souvent utilisée pour des tensions supérieures ou égales à 1200V.

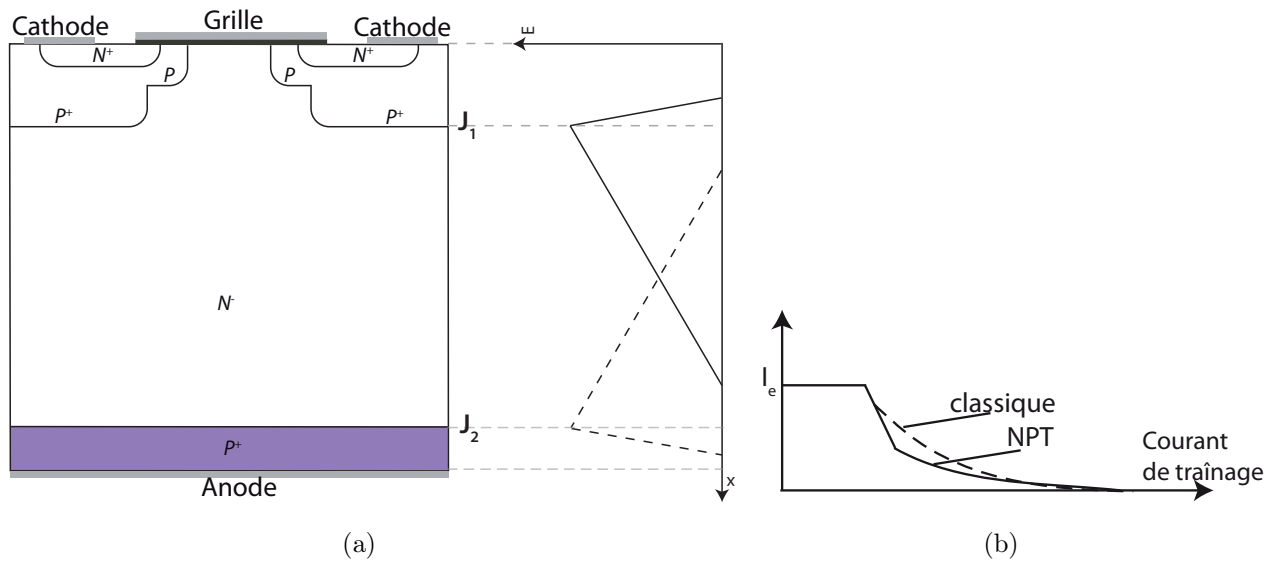


FIGURE 1.15 – (a) Structure de l'IGBT NPT avec son champ électrique, (b) courant de traînage

1.2.3.2 Structure PT (épitaxie)

La structure de la technologie PT permet de diminuer les pertes en conduction en minimisant l'épaisseur de la région N^- peu dopée. En effet, la structure initiale de l'IGBT est améliorée par l'adjonction d'une couche tampon de type N^+ entre le substrat P^+ et l'épitaxie N^- . Cette couche, dite tampon, bloque la progression de la zone de charge d'espace. A l'état direct bloqué, cette structure fonctionne en régime de limitation de charge d'espace. La figure 1.16(a) présente comme pour la structure NPT l'allure de la répartition du champ électrique. Malgré dans la structure une profondeur de base N^- plus faible, la répartition trapézoïdale du champ électrique dans une structure PT optimisée peut permettre d'obtenir des tenues en tension équivalentes aux structure NPT. Ainsi, pour des tenues en tension équivalentes, les structures à couche tampon possèdent une chute de tension à l'état passant plus faible.

Par ailleurs, cette couche intermédiaire diminue l'injection de porteurs de l'anode permettant ainsi une amélioration des caractéristiques dynamiques en diminuant la valeur du courant de queue à l'origine (figure 1.16(b)). Ainsi, plus la couche est profonde et dopée plus la tenue en tension au blocage est grande. Par contre, le dopage de la couche tampon étant plus important que celui de la couche N^- , la durée de vie des porteurs minoritaires est plus faible. Par conséquent, l'amplitude initiale du courant de queue est plus faible mais le traînage est important. Pour conserver des pertes en commutation faibles, la durée de vie des porteurs dans la zone tampon doit être réduite par irradiations.

Le développement des techniques de contrôle de la durée de vie des porteurs reste le pro-

blème majeur de l'amélioration des performances des transistors IGBT PT. Cette technologie PT est essentiellement adaptée pour des dispositifs de la gamme 600V-1200V pour des tensions supérieures l'épaisseur de la couche N^- n'est plus compatible avec le coût et la maîtrise de la technique d'épitaxie.

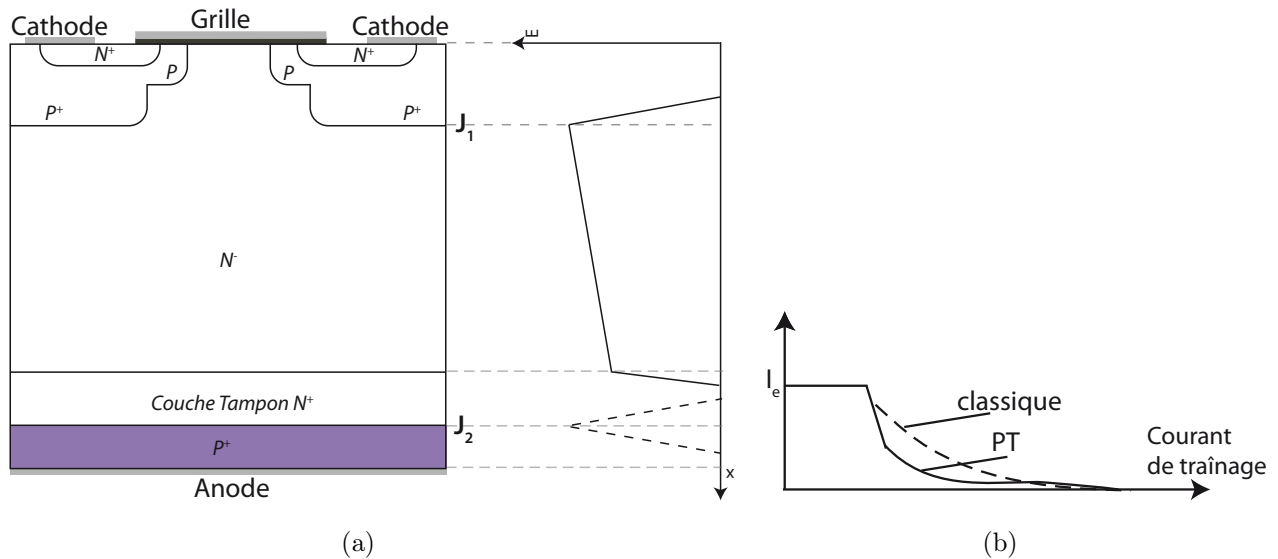


FIGURE 1.16 – (a) Structure de l'IGBT PT avec son champ électrique, (b) courant de traînage

1.2.3.3 Field Stop

Pour s'affranchir des problèmes d'épitaxie pour une structure haute tension, une nouvelle technologie a été développée pour réunir les avantages de ces deux dernières structures. Cette technologie est l'IGBT à champ limité appelé "Field Stop" (figure 1.17) développée par Infineon [34] [6] et Fuji.

Cette structure fonctionne ainsi en limitation de zone de charge d'espace. Le champ électrique, grâce à la fine couche N^- "Field Stop" faiblement dopée, a une forme trapézoïdale identique à celle d'une structure PT. Cette couche modifie l'injection des trous de la couche P (côté anode) et permet de stopper le champ électrique de la zone N^- en polarisation directe bloquée. Cela permet comme dans la structure PT de minimiser la chute de tension à l'état passant et de modifier la queue de courant due à l'accumulation des charges dans la région centrale de base N^- .

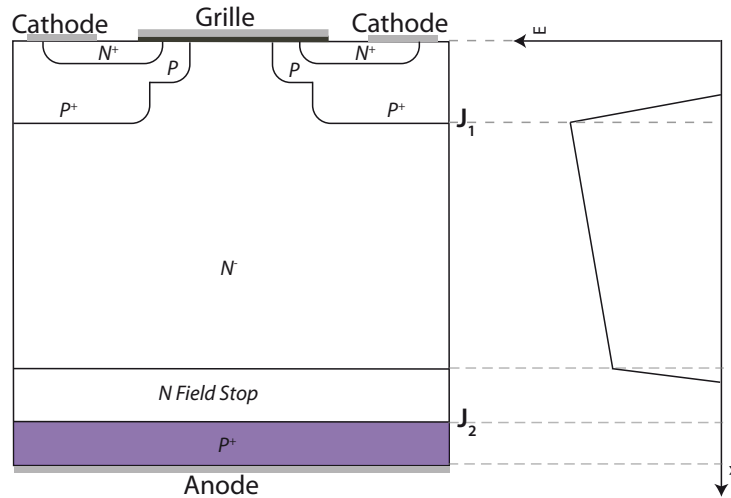


FIGURE 1.17 – structure IGBT Field Stop avec son champ électrique

1.2.4 Structure à grille verticale : l'IGBT Trench

Les dernières avancées technologiques sur les dispositifs IGBT ont pour objectif d'optimiser le compromis entre les pertes en régime de commutation et de conduction et d'améliorer la fiabilité. Sur la figure 1.18, nous pouvons voir l'évolution des IGBT [40] en fonction du ratio Figure Of Merit (FOM) qui est le rapport entre la densité de courant et la chute de tension de saturation et l'énergie de commutation à l'ouverture. Il est à noter que dans ce comparatif les dernières générations d'IGBT présentent des grilles en tranchées.

La technologie de grille en tranchées (Trench Gate) (figure 1.19) est apparue en 1987 [23] [52]. L'IGBT en tranchées (ou "IGBT Trench") reste globalement une structure quatre couches *PNPN* avec une région faiblement dopée N^- , une anode P^+ , un caisson P et une cathode N^+ . La différence avec une structure planar se situe au niveau de la zone de grille. En effet, la grille MOS positionnée verticalement permet de générer un canal de conduction vertical.

Cette structure présente plusieurs avantages par rapport à une structure de type planar. Un des premiers avantages porte sur le fait que l'"IGBT Trench" est quasiment insensible au thyristor parasite. La raison d'une telle insensibilité est que le courant de trous qui circule à travers la résistance R_p de latch-up a une valeur plus faible que pour les IGBT planar.

Le second avantage est que la grille enterrée permet d'inhiber l'effet JFET car les caissons P entre deux cellules adjacentes ne sont plus en vis-à-vis. Un autre avantage est que la largeur d'une cellule élémentaire d'un "IGBT Trench" est plus faible que celle d'une cellule planar, ceci permet d'augmenter le nombre de cellules et le périmètre total du canal MOS par unité de

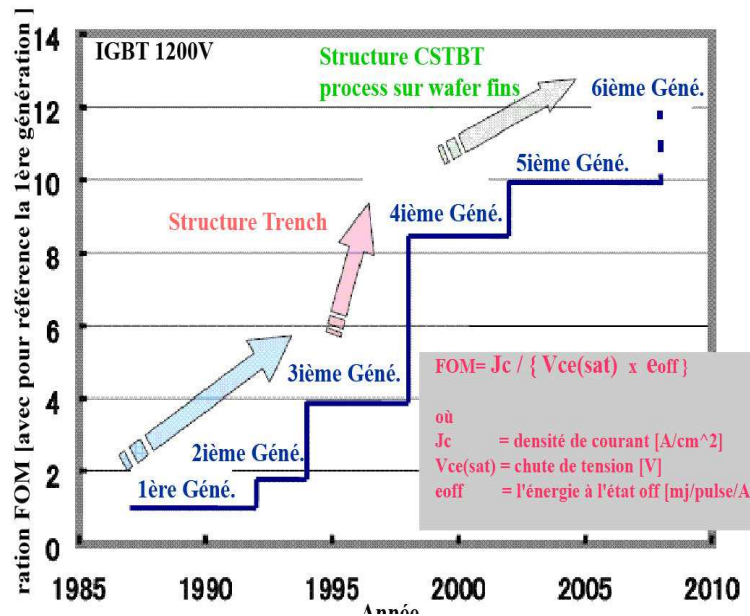


FIGURE 1.18 – Evolution des IGBT en fonction du FOM

surface. Le calibre en courant peut ainsi être augmenté d'un facteur 1,5. L'inconvénient de cette structure est l'accroissement de la capacité grille-cathode C_{GK} qui modifie le comportement dynamique de l'IGBT et nécessite un circuit de commande adapté car la capacité mettra plus de temps à se charger et se décharger.

A partir de cette structure de base de l'"IGBT Trench", plusieurs études ont été réalisées afin d'améliorer les caractéristiques électriques. Ces études ont donné lieu à la naissance de plusieurs variantes d'"IGBT Trench" mariant la structure trench à des techniques field stop ou enrichissement telles que le Trench Field Stop IGBT [31] [39], l'IEGT (Injection Enhanced Gate Transistor) [32] et le CSTBT (Carrier Stored Trench Gate Bipolar Transistor)[50].

1.2.4.1 Dernière évolution de l'IGBT : RC-IGBT

La toute dernière évolution porte sur le développement du Reverse-Conducting IGBT (RC-IGBT) [54] (figure 1.20). Il s'agit de l'intégration monolithique d'un IGBT et d'une diode de roue libre (Forward wheel Diode FWD) connectés en antiparallèle. Cette structure est compatible avec un procédé technologique de type IGBT. Cette stratégie a été récemment validée avec des dispositifs IGBT trench. La grille à tranchée est située en face avant de la structure et la cathode de la diode située en face arrière. Le RC-IGBT combine ainsi les deux modes de fonctionnement IGBT et diode. En effet, quand l'IGBT conduit, la couche P^+ en

1.2. Présentation et évolution du transistor IGBT

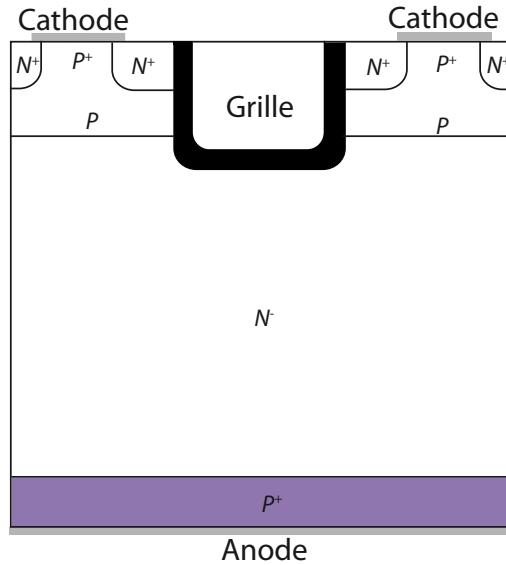


FIGURE 1.19 – Structure de l'IGBT Trench

bas de la structure se comporte comme une anode et quand la diode conduit le caisson N^+ en bas de la structure se comporte comme une cathode.

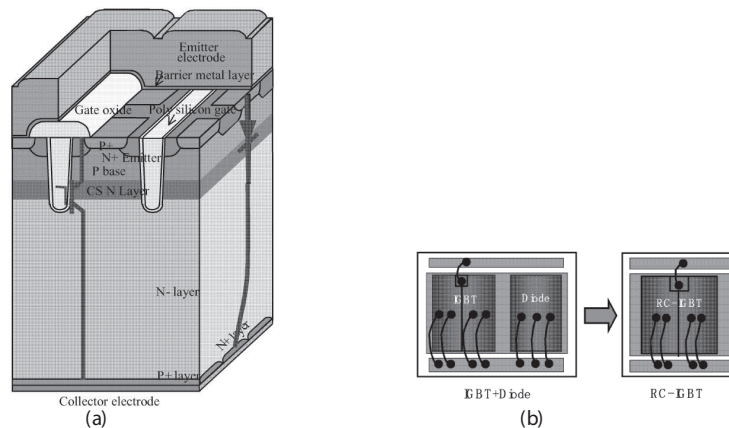


FIGURE 1.20 – (a) Structure du RC-IGBT, (b) comparaison de taille de puce entre un IGBT+diode et un RC IGBT

1.2.5 Les différents mécanismes de défaillances

La destruction des IGBT peut avoir des conséquences importantes. En effet dans le domaine ferroviaire lors d'un dysfonctionnement le module peut prendre feu et endommager le matériel environnant. Les mécanismes de défaillance sont déclenchés par des régimes extrêmes de fonc-

tionnement. Nous allons présenter les principales causes de destruction d'un IGBT qui sont le latch-up, l'emballement thermique, les différents claquages et la condition de court-circuit [10].

1.2.5.1 Le latch-up

La mise en conduction du thyristor parasite, représenté par les quatre couches ($NPNP$) dans la structure de l'IGBT, peut être à l'origine de la défaillance de l'IGBT. En effet son déclenchement entraîne une perte du contrôle du dispositif. La solution pour éviter la destruction de l'IGBT est de diminuer la tension de la structure et donc le courant. Le phénomène de latch-up peut intervenir quand l'IGBT est en fonctionnement statique ou dynamique.

(a) *Latch-up statique* Durant le fonctionnement de l'IGBT, le courant de trous circule sous la cathode dans la base PP^+ du transistor NPN . Ce courant latéral provoque une polarisation de la jonction N^+-PP^+ . Si cette tension atteint la valeur de $0,7V$, le transistor NPN s'amorce. Ce transistor bipolaire parasite alimente la base du deuxième transistor bipolaire PN^-P^+ qui devient passant à son tour. Les deux transistors ont un fonctionnement bouclé formant ainsi le thyristor parasite qui n'est plus contrôlable au blocage.

(b) *Latch-up dynamique* Le phénomène de latch-up intervient lors de commutation au blocage de l'IGBT. Le blocage rapide de l'IGBT par annulation de la tension grille-cathode entraîne l'apparition d'une forte tension à ses bornes alors que le courant dans la structure a très peu varié. Le canal de MOSFET étant pincé, une grande partie du courant permet grâce à la résistance R_p , l'amorçage du transistor bipolaire NPN et donc le thyristor parasite.

1.2.5.2 L'emballement thermique

En négligeant les effets secondaires, la tension à l'état passant de l'IGBT est la somme de trois composantes : le potentiel de la jonction V_{P+N^-} , la chute de tension dans la zone modulée R_{mod} et dans le canal R_{canal} . Le potentiel V_{P+N^-} (à zéro de courant) constitue la tension de déchet V_{AK} et croît en fonction de la concentration de charge. Son coefficient de température est négatif. La résistance de canal R_{canal} a un coefficient de température positif grâce à la réduction de la mobilité surfacique d'électrons dans le canal. La résistance R_{mod} dépend à la fois de la mobilité volumique d'électrons μ_n et de la quantité de charges Q . Ces deux éléments ont un coefficient de température opposé. Lorsque la température augmente μ_n diminue tandis que Q augmente à cause de la variation de la durée de vie.

1.2. Présentation et évolution du transistor IGBT

Lorsque l'IGBT est traversé par une forte valeur de courant, la composante liée au canal R_{canal} est prépondérante ce qui a pour effet que le coefficient de température est positif quelle que soit la structure de l'IGBT. L'augmentation de la température fait croître les charges stockées et décroître la conductivité du canal. Il y a alors dégradation des performances de l'IGBT en commutation. L'augmentation des pertes peut provoquer "l'emballement thermique" global du composant avec des conséquences ultimes jusqu'à fusion locale du silicium.

1.2.5.3 Les claquages de l'IGBT

Les différents types de claquages intervenant dans l'IGBT sont le claquage de l'oxyde ou le claquage de la jonction P^+N^- . Ce dernier peut être associé soit à l'avalanche de la jonction soit à l'extension trop importante de la zone de charge d'espace.

(a) *Claquage de l'oxyde* : Un champ électrique important dans l'oxyde de grille peut provoquer la destruction du composant. Le champ responsable du claquage est relativement important et est de l'ordre de $6 \cdot 10^6 \text{ V/cm}$. Pour une épaisseur d'oxyde SiO_2 de $0.1 \mu\text{m}$, la tension de claquage de grille est de 60V . Les fabricants s'autorisent en général une marge de sécurité d'un facteur 3 donc la tension limite utilisée sur la grille est de 20V .

(b) *claquage de la jonction P^+N^-* : Si on considère que la grille de l'IGBT NPT n'est pas polarisée, sa structure est équivalente à la figure 1.21. En polarisation directe, l'anode est positive par rapport à la cathode. La jonction J_1 est polarisée en directe et J_2 polarisée en inverse. Une zone de charge d'espace se crée au niveau de J_2 qui s'étend principalement du côté le moins dopé N^- . Le claquage est provoqué par l'effet avalanche si la largeur de la zone dépeuplée W_2 est inférieure à W_1 . Par contre si W_2 est atteinte, le claquage du transistor $P^+N^-P^+$ est obtenu par extension de charge d'espace. En polarisation inverse, le raisonnement est le même.

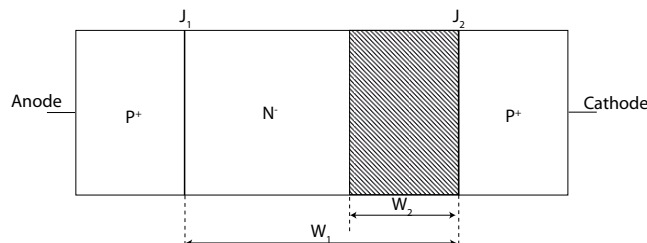


FIGURE 1.21 – Schéma simplifié modélisant un IGBT NPT

Dans le cas d'un IGBT PT, la structure est représentée sur la figure 1.22. Il y a présence

Chapitre 1. Évolution des IGBT dans le domaine de la traction

d'une couche N^+ entre la couche P^+ de l'anode et la zone de drift N^- pour améliorer la vitesse de commutation. Le claquage est dû à l'avalanche en polarisation en inverse et par l'extension de la zone de charge d'espace pour une polarisation inverse.

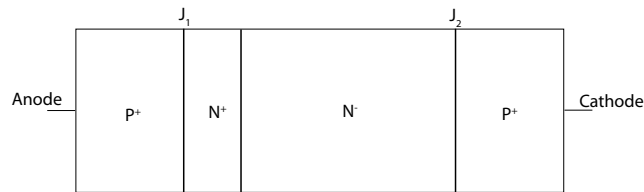


FIGURE 1.22 – Schéma simplifié modélisant un IGBT PT

Le dopage et l'épaisseur de la zone de drift sont choisis pour supporter de fortes tensions en direct.

1.2.5.4 L'IGBT en condition de court-circuit

Lors d'un court-circuit, l'IGBT est parcouru par un courant très important alors qu'il existe la pleine tension à ses bornes. On distingue quatre modes de défaillances de l'IGBT durant un court-circuit représentés sur la figure 1.23 [55].

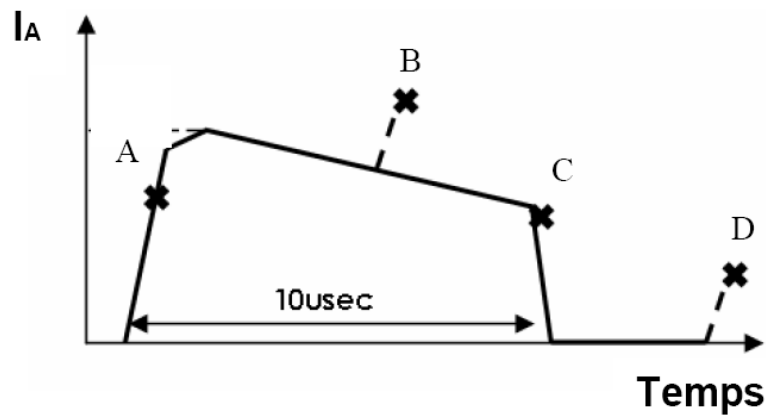


FIGURE 1.23 – Différents modes de défaillances en mode de court-circuit de l'IGBT

La défaillance dit "mode A" se produit lors de la mise en court-circuit, plus précisément durant la phase de fermeture. Les principales causes sont soit le claquage dû à la forte tension aux bornes de l'IGBT, soit le phénomène de latch-up.

La défaillance dit "mode B" se produit à l'état passant du composant. La principale cause est l'emballement thermique ou second claquage dû à l'élévation de la température intrinsèque

de l'IGBT.

La défaillance dit "mode C" se produit à l'ouverture du composant et est dû au latch-up dynamique.

La dernière défaillance dit "mode D" se produit plusieurs microsecondes après l'ouverture de l'IGBT et est dû à l'élévation de la température intrinsèque du composant.

1.3 Les techniques de protection rapprochée

1.3.1 Pourquoi est-il nécessaire de développer des protections ?

La fiabilité est la probabilité qu'un produit remplisse la fonction pour laquelle il a été conçu dans des conditions de fonctionnement données pendant une période d'utilisation définie.

Les systèmes de transport ferroviaire ou collectif requièrent une très grande fiabilité des équipements de traction et donc des composants de puissance. En effet, les conditions de fonctionnement des convertisseurs des engins urbains et suburbains sont beaucoup plus sévères que pour la plupart des applications industrielles. C'est pour cela que les composants de puissance doivent être optimisés afin d'éviter leur destruction.

Le passage de l'IGBT en latch-up a longtemps été la condition de destruction de l'IGBT. Or les progrès réalisés depuis plusieurs décennies en terme d'architecture des IGBT ont permis de s'affranchir de ce handicap. A l'heure actuelle, les causes de destruction d'un module IGBT sont généralement d'origine thermique liées à un court-circuit, de surintensité ou surtension. Les conséquences sont alors désastreuses et entraînent quelquefois la perte d'un convertisseur ou d'un équipement complet (figure 1.24) [37]. Le court-circuit constitue la condition de fonctionnement la plus critique pour un composant. En effet, il est alors traversé par un fort courant en ayant la pleine tension à ses bornes.

Les dispositifs ont évolué vers une intégration de plus en plus importante afin de rapprocher au maximum le circuit de protection du composant de puissance. Il existe deux types d'intégration pour améliorer les performances des systèmes de puissance :

-*l'intégration hybride* des fonctions de commande (driver), de mémoire, de contrôle et de protection est réalisée sur des puces séparées et reportées dans un même boîtier que le composant de puissance. Cette intégration est la plus utilisée dans la traction ferroviaire.

-*l'intégration monolithique* des diverses fonctions autour du composant de puissance est l'optimisation ultime du système de puissance global. En effet, l'intégration de la fonction de commandes, de protections et d'alimentations sur la même puce que le composant de puissance

contribue à l'amélioration des performances du système.

Ces intégrations permettent de gagner en taille de module et d'augmenter la fiabilité des systèmes. De plus, elles garantissent la survie du composant et donc celle du convertisseur de puissance lors des défauts survenant sur celui-ci [16]. Il est également établi qu'une succession de court-circuit se traduit par une diminution de durée de vie des puces.

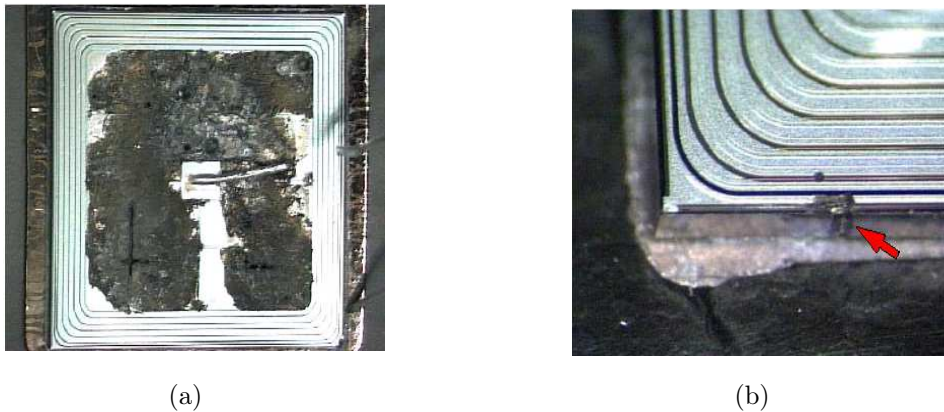


FIGURE 1.24 – (a) Sur courant fusion du silicium, (b) Sur tension : claquage de l'anneau de garde

Le paragraphe suivant décrit le court-circuit ainsi que les circuits développés pour protéger le composant de puissance.

1.3.2 Cas de notre travail de thèse : le court-circuit

Comme cela a déjà été dit, le court-circuit est un dysfonctionnement très contraignant pour les composants semi-conducteur de puissance, car ces derniers supportent simultanément de fortes tensions et de forts courants. Les composants de puissance doivent avoir une aire de sécurité suffisante et être capables de dissiper de façon transitoire des énergies très élevées. Si le régime de court-circuit est supporté par la grande majorité des modules IGBT, il n'est pas conseillé de rester dans cet état pendant un laps de temps excédant une dizaine de microsecondes qui est le temps minimal pour faire réagir un circuit de protection. En effet, l'IGBT comme tout composant a une aire de sécurité définie par le constructeur [44]. On distingue l'aire de sécurité directe *FBSOA* (Forward biased Safe Operating Area), l'aire de sécurité indirecte *RBSOA* (Reverse Biased Safe Operating Area) et l'aire de sécurité en court-circuit *SCSOA* (Short-circuit Safe Operating Area). Ces aires de sécurité sont des représentations graphiques

1.3. Les techniques de protection rapprochée

qui permettent de fixer les limites de la tenue courant-tension d'un IGBT (figure 1.25).

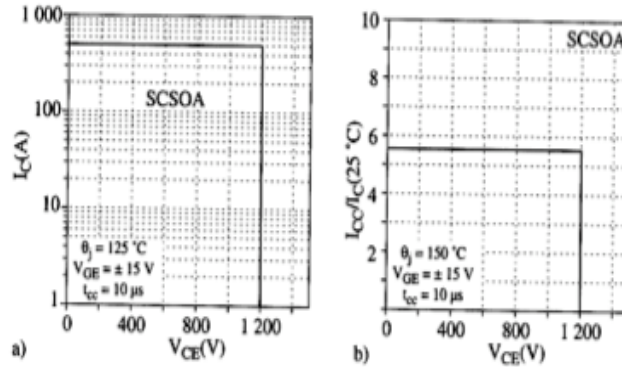


FIGURE 1.25 – Aires de sécurité en court-circuit : (a) PT-IGBT 1200V-75A, (b) NPT-IGBT 1200-25A

Il existe deux types de court-circuit qui dépendent de l'état initial du composant avant sa mise en court-circuit [34] :

- *court-circuit de type I* (figure 1.26(a)) : Le court-circuit est présent sur la charge au moment de la mise en conduction de l'IGBT. Le courant dans ce dernier circule et la tension à ses bornes ne s'écroule pas et reste au niveau de la tension d'alimentation.

- *court-circuit de type II* (figure 1.26 (b)) : l'IGBT est déjà en conduction lorsque le court-circuit survient. La tension V_{AK} passe de quelques volts à la tension d'alimentation. Le niveau de courant maximal de court-circuit est atteint. C'est le court-circuit le plus critique pour les IGBT car il intervient alors que la charge stockée dans la structure est maximale.

1.3.2.1 Détection et protection du court-circuit

Même si les IGBT peuvent supporter pendant un temps très court (inférieur à $10\ \mu\text{s}$) ce régime de court-circuit, il convient de le détecter le plus rapidement possible afin de bloquer le composant pour les protéger. Les études qui ont été menées afin de connaître le comportement de l'IGBT pendant un court-circuit ont permis de déterminer les grandeurs spécifiques [19] [36] que l'on peut utiliser pour détecter le défaut. La détection des courts-circuits peut se faire par :

- Mesure de "désaturation" : le principe de cette détection est de suivre la tension aux bornes de l'IGBT. Lorsqu'il n'y a pas de court-circuit et qu'une tension est appliquée sur la grille, le composant se trouve dans l'état passant avec une faible chute de tension à ses bornes.

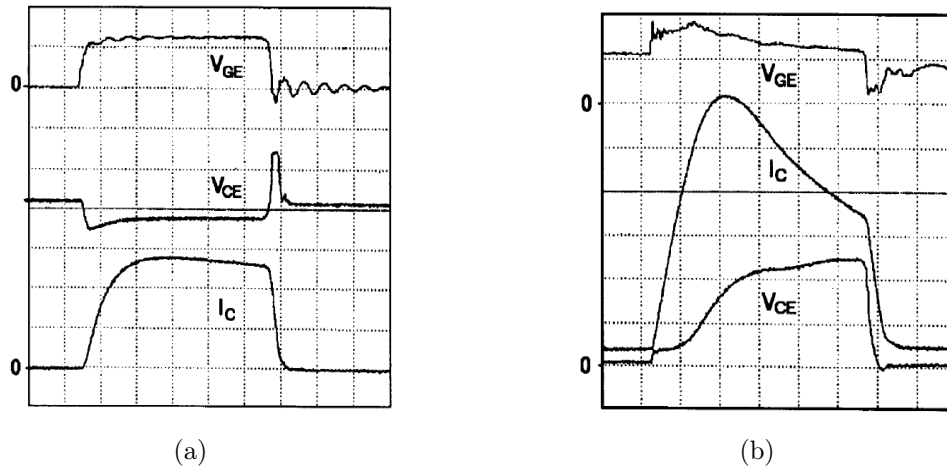


FIGURE 1.26 – (a) Formes d’ondes d’un court-circuit de type I (b) Formes d’ondes d’un court-circuit de type II

Par contre, dans le cas où il y a un court-circuit la tension aux bornes du composant est très largement supérieure à la tension de déchet. Il suffit donc de suivre la valeur de cette tension anode-cathode de l’IGBT pour détecter un court-circuit.

-Mesure du *courant* : dans ce cas on détecte un accroissement anormal du courant. Pendant le court-circuit, l’IGBT doit supporter une tension proche de la tension d’alimentation à travers la jonction $P/baseN^-$. De ce fait, la zone de charge d’espace nécessaire pour supporter la tension d’alimentation s’étend un peu plus dans la base N^- . L’extension de la charge d’espace a pour conséquence de réduire la base du transistor PNP et donc la charge stockée et la charge fixe. Les gains en courant du transistor PNP augmentent alors, ce qui conduit à une augmentation du courant transitant dans l’IGBT lors d’un court-circuit.

Dans le cadre de nos travaux, nous allons étudier les deux types de détection. Nous détaillerons dans le chapitre suivant les deux capteurs d’état qui permettent de détecter les surtensions et surcourants. Il faut adjoindre à ces éléments de détection des éléments permettant d’assurer le blocage de l’interrupteur. Les circuits de protection sont donc constitués des capteurs d’état et des éléments de blocage qui doivent être compatibles avec la technologie de l’interrupteur de puissance. La valeur généralement élevée du courant de court-circuit rend la phase de blocage délicate. En effet, sans protection, la rapide décroissance du courant peut entraîner le claquage en avalanche du transistor par la surtension due à l’inductance de la maille de commutation. A résistance de grille R_G donnée, le di/dt au blocage est plus élevé pour un fort niveau de

1.4. État de l'art des circuits de protection rapprochée contre les courts-circuits

courant.

Le circuit de protection devra avoir comme spécificité de [17] :

- bloquer l'IGBT afin de diminuer le courant et donc la puissance dissipée pendant la phase des deux types de court-circuit,

- ne pas modifier les performances de l'IGBT en régime normal de fonctionnement en statique et en dynamique,

- être insensible aux bruits souvent dues aux inductances parasites du circuit,

- être intégrable monolithiquement.

Après avoir décrit les différents modes de détection de court-circuit et les principes des circuits de protection, nous proposons un état de l'art des circuits de protection.

1.4 État de l'art des circuits de protection rapprochée contre les courts-circuits

Cette partie est consacrée à un état de l'art des différents capteurs et circuits de protection. Nous avons établi deux groupes : un groupe de circuits où la détection est basée sur le suivi du courant et un second groupe où la détection est basée sur le suivi en tension.

1.4.1 Circuits basés à partir de la détection de sur-intensité

Les circuits de détection présentés dans ce paragraphe sont donc basés sur la détection du courant qui est effectuée à partir de l'IGBT-Sense. Nous utiliserons aussi ce capteur en courant que nous présenterons en détail dans le chapitre 2. Ces circuits se différencient uniquement par les technologies utilisées.

1.4.1.1 Circuit de protection contre les courts-circuits intégré basé sur un caisson P^+ flottant (détection du courant)

Le circuit de protection proposé par [27] est représenté sur la figure 1.27. Cette structure est composée d'un caisson P^+ flottant, de deux transistors LDMOS et de leurs résistances polysilicium associées. Le bloc "pull-down circuit", composé du transistor LDMOS M_p -résistance poly, assure le rôle de circuit d'ouverture en cas de condition de court-circuit. Le bloc "Floating p-well current sensing circuit", composé du LDMOS M_f -résistance poly, assure le rôle de capteur de courant provenant du caisson P^+ flottant. Cette structure a été validée par simulation

Chapitre 1. Évolution des IGBT dans le domaine de la traction

en mixed mode dans le cas d'un court-circuit de type I. Cette technique permet d'avoir un temps de réaction rapide (elle réagit en 1-2 μs) et n'affecte pas l'état passant de l'IGBT.

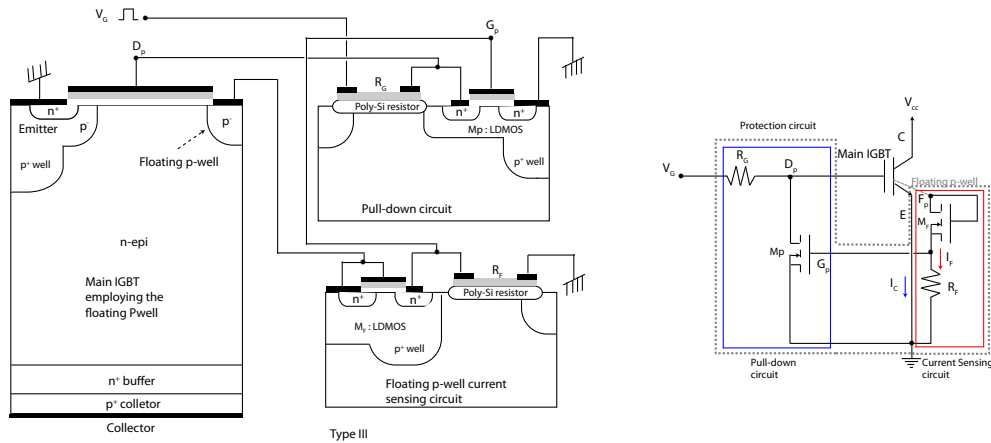


FIGURE 1.27 – Coupe schématique du circuit équivalent du circuit de protection par détection de surintensité

1.4.1.2 Circuit de protection utilisant un IGBT et un MOSFET

Le circuit de détection de court-circuit proposé par [49] se compose d'un IGBT-Sense jouant le rôle de miroir de courant, d'un MOSFET, d'une diode polarisée en inverse (RBD) et une diode Zener (Z_D) (figure 1.28 (a)). La résistance R_d permet d'obtenir un délai entre l'IGBT et l'IGBT de détection. En parallèle avec le circuit de protection, les deux diodes connectées tête bêche (BTB) empêchent la mise en conduction du thyristor parasite.

Quand un court-circuit est détecté, le MOSFET est mis en conduction par le capteur. La tension de grille de l'IGBT est maintenue à la somme des potentiels aux bornes de Z_D , RBD et le MOSFET. La surface du circuit de protection prend 5% de la surface du dispositif (figure 1.28(b)). Cette solution permet d'intégrer les protections sur la base du processus de fabrication de l'IGBT.

1.4. État de l'art des circuits de protection rapprochée contre les courts-circuits

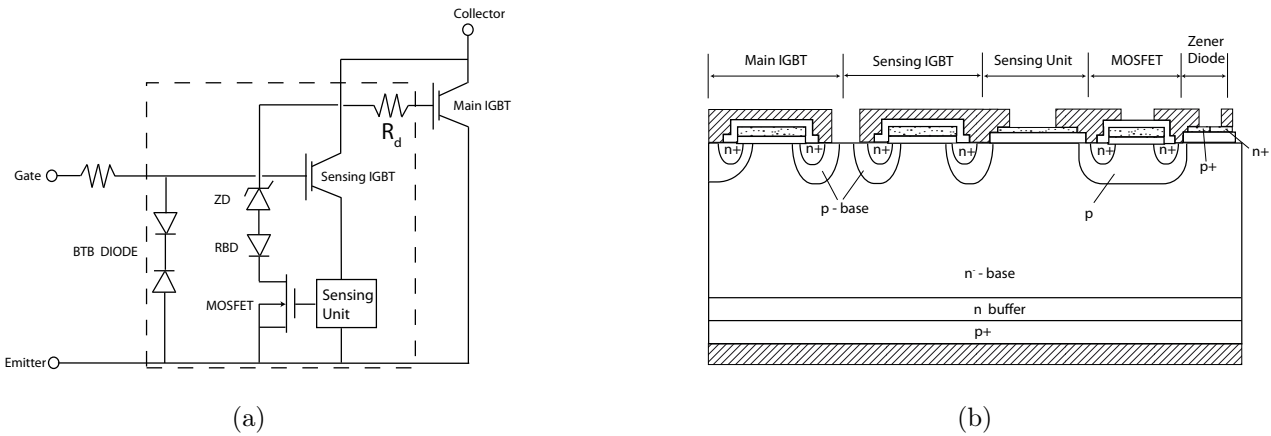


FIGURE 1.28 – Association de l'IGBT et de son circuit de protection (a) Schéma équivalent, (b) vue en coupe

1.4.1.3 Circuit limitant la tension de grille de l'IGBT lors d'une sur-intensité

Le circuit de protection de l'IGBT proposé par [33] est illustré sur la figure 1.29. Le circuit est composé d'une résistance (R_S), d'un MOSFET, d'une diode et de l'élément de puissance l'IGBT-Sense. Son principe de fonctionnement est le suivant : lorsque la tension qui traverse la résistance (R_S) est plus grande que la tension de seuil du MOSFET, la tension de grille de l'IGBT est immédiatement réduite à une valeur spécifique. La valeur du courant limite est ajustée grâce à la valeur de la résistance R_S .

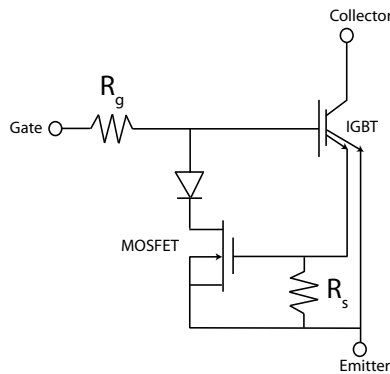


FIGURE 1.29 – Circuit de protection de l'IGBT lors d'une sur-intensité

1.4.1.4 Circuit permettant la détection de sur-intensité et de l'échauffement

Nous avons ici deux circuits de protection intégrées (figure 1.30) [48]. En effet, un premier circuit est dédié à la protection contre la sur-intensité, un second circuit dédié à la protection

contre l'échauffement. La détection de sur-intensité se fait à partir d'un IGBT de détection et d'une résistance R_{sense} . La sur-intensité est détectée lorsque la tension aux bornes de R_{sense} est supérieure à la tension de seuil du MOSFET (M_2). L'IGBT de détection et R_{sense} doivent être choisis judicieusement pour fixer la condition de sur-intensité. Le circuit de protection contre l'échauffement consiste à comparer la somme des chutes de tension en direct de plusieurs diodes en polysilicium mises en série, qui diminue avec la température, avec une tension de référence qui est la tension de claquage d'une jonction PN . Comme la chute de tension directe des diodes en série a un coefficient de température négatif, la tension de grille de M_1 augmente en même temps que la température. Le MOSFET M_4 est en conduction quand la température augmente. L'opération logique OU est faite par les MOSFETs M_1 , M_2 et M_3 et les résistances polysilicium R_4 et R_5 . Si l'une des deux fautes est détectée, M_4 est mise en conduction ce qui a pour effet de réduire abruptement la tension de grille de l'IGBT jusqu'à son ouverture.

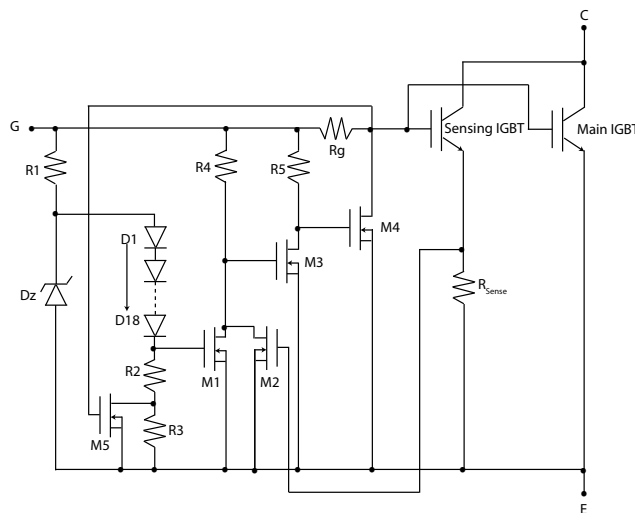


FIGURE 1.30 – Circuit de protection contre la sur-intensité et l'échauffement

1.4.2 Circuits basés sur la détection d'une sur-tension

Les circuits, que nous allons présenter dans cette partie, sont basés sur la détection de la tension. Cette détection peut être effectuée à partir d'une diode et d'un transistor MOSFET, d'un caisson P flottant, d'un circuit intégré ou d'un capteur de tension d'anode.

1.4. État de l'art des circuits de protection rapprochée contre les courts-circuits

1.4.2.1 Circuit de protection des IGBT latéraux

Le circuit de protection proposé par [48] de la figure 1.31 est basé sur le suivi de la tension anode-cathode (V_{AK}) notée V_{CE} . Cette technique est aussi appelée "détection de désaturation" ou détection d'accroissement de tension aux bornes. Les éléments clés de ce circuit sont la diode D_2 qui assure la détection de désaturation et le transistor M_1 qui provoque le blocage de l'IGBT. Le principe de fonctionnement du circuit est le suivant : quand l'IGBT conduit, la tension V_{AK} est faible et la diode D_2 est passante. Au noeud V_A , nous avons la somme de la chute de potentiel de la diode D_2 et de la tension V_{AK} . La tension aux bornes du condensateur C_1 est inférieure à la tension seuil du MOSFET (M_1) qui reste dans l'état bloqué. Lorsqu'un court-circuit se produit, il y a simultanément accroissement du courant et de la tension aux bornes V_{AK} de l'IGBT. La diode D_2 se bloque et l'augmentation du potentiel V_A conduit à la charge du condensateur C_1 . Quand la tension aux bornes du condensateur C_1 devient supérieure à la tension de seuil du transistor M_1 , celui-ci devient passant et ramène la tension de grille de l'IGBT à une valeur inférieure à sa tension de seuil ce qui conduit à son blocage. Les composants M_2 , R_4 , R_5 et R_{G1} ont pour but de réduire la tension de grille de l'IGBT pendant toute la phase du court-circuit. Le temps qui s'écoule entre la détection du court-circuit et le blocage du transistor est inférieur à $1 \mu s$. La constante de temps est déterminée par $((R_1+R_4)*R_5/R_1+R_4+R_5) C_g (M_2)$. Ce circuit est particulièrement bien adapté pour les technologies "smart power" utilisées souvent pour la réalisation des circuits de commande "Driver".

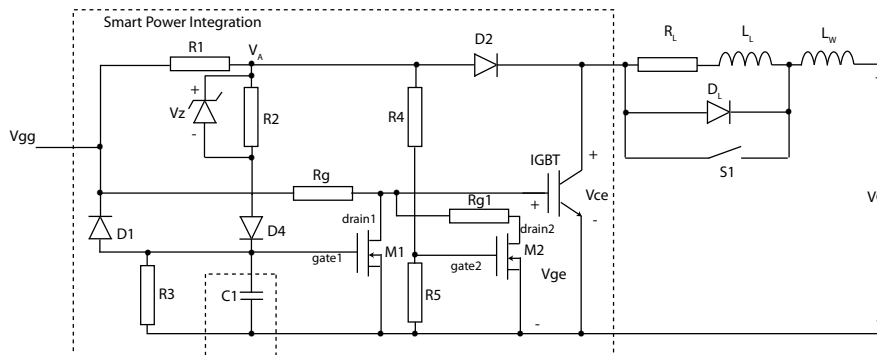


FIGURE 1.31 – circuit de protection de l'IGBT en technologie "smart power "

1.4.2.2 Circuit de protection contre les courts-circuits intégré basé sur un caisson P flottant

Un caisson P flottant est associé à la structure IGBT pour détecter l'augmentation de la tension aux bornes lors d'une phase de court-circuit. Lorsque l'IGBT est en conduction, la tension à ses bornes et par conséquent celle de l'anneau flottant sont faibles [28]. Lorsque l'IGBT est en court-circuit, la tension aux bornes V_{AK} et la tension de l'anneau flottant augmentent. Lorsque ce potentiel devient supérieur à la tension de seuil du transistor MOS , ce dernier se met en conduction et permet de décharger la grille de l'IGBT pour le bloquer. Grâce à la constante de temps (réalisée avec la capacité externe non intégrée), il n'y a pas d'erreur de détection de court-circuit lors de la mise en conduction de l'IGBT. Ce *Blanking time* est de $2 - 3\mu s$.

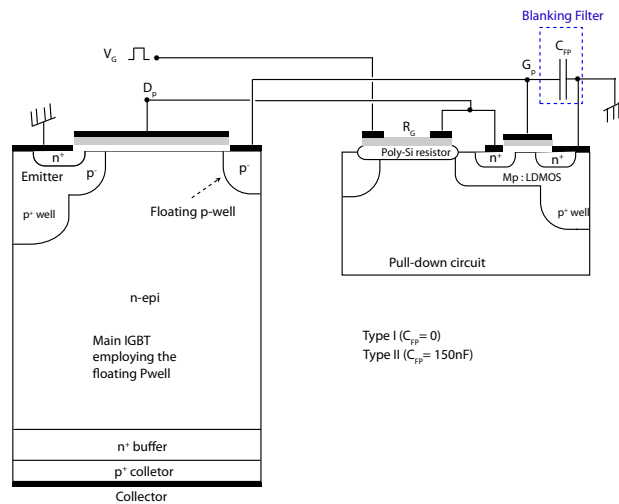


FIGURE 1.32 – Coupe schématique du circuit de l'IGBT et du filtre RC

1.4.2.3 Circuit utilisant un circuit intégré IR2125

Le circuit proposé par [1] présenté sur la figure 1.33 est basé sur le même principe que la solution précédente. Le circuit de protection et de commande de grille sont réalisés grâce à un circuit intégré de type IR2125. La présence d'un court-circuit provoque une surintensité et l'accroissement de la tension aux bornes de l'IGBT. Cette augmentation entraîne le blocage de la diode D_1 et le traitement de cette information par le circuit intégré se traduit par la charge du condensateur C_6 . Cela va permettre de ramener à zéro la tension de grille de l'IGBT. Le temps de réaction pour protéger l'IGBT est $1,5 \mu s$.

1.4. État de l'art des circuits de protection rapprochée contre les courts-circuits

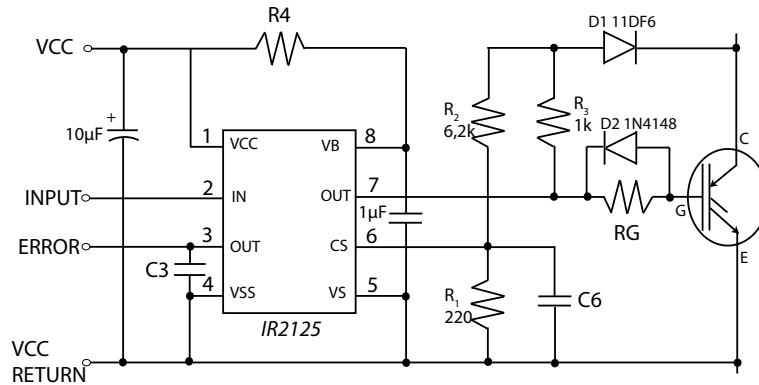


FIGURE 1.33 – Circuits de protection de l'IGBT utilisant le circuit intégré : current limiting single channel driver IR2125

1.4.2.4 Circuit utilisant le capteur de tension d'anode

La structure dédiée à la protection des dispositifs de puissance à grille isolée contre les courts-circuits est représentée sur la figure 1.34(a) et est proposée par [13]. L'élément de puissance de cette structure est un IGBT. Ce circuit est composé d'un capteur de tension d'anode [26], de deux transistors LDMOS (un dédié à la fonction de délai et un dédié à la fonction de coupure), d'une diode Zener ayant pour rôle de protéger la grille du LDMOS de coupure et d'une résistance de délai qui est associée à la capacité du MOS de délai ce qui permet d'éviter la mise en conduction du LDMOS de blocage pendant le fonctionnement normal de l'IGBT. La détection des deux courts-circuits se fait par le capteur de tension d'anode qui détecte l'augmentation de la tension anode-cathode.

Quand un court-circuit de type I se produit, le LDMOS M_d met en conduction le LDMOS M_c avec un délai. Ce délai est déterminé par la résistance R_d et la capacité d'entrée C de M_d . La constante de temps $R_d C$ peut être modifiée en changeant principalement la valeur R_d . Il faut dans ce cas que la constante de temps soit inférieure au temps de tenue en court-circuit de l'IGBT c'est-à-dire $10\mu s$. Dans le circuit, la constante de temps qui a été choisie est de $1\mu s$. La capacité de grille du transistor LDMOS M_d a pour valeur $10pF$. Pour obtenir la constante de temps de $1\mu s$, la résistance R_d est égale à $100k\Omega$. Ce délai est crucial pour le bon fonctionnement, il doit être inférieur au temps de tenue en court-circuit du composant de puissance mais par contre suffisamment long pour éviter la mise en conduction systématique du LDMOS qui annulerait la commande de l'IGBT. Dans le cas d'un court-circuit, ce délai est toute fois suffisamment court pour permettre au composant de se décharger en le connectant à la masse.

Quand un court-circuit survient lorsque le composant est en conduction (court-circuit de

type II), la tension anode-cathode augmente jusqu'à une valeur limite. Dans ce cas, M_c se met en conduction sans délai (le transistor M_d étant déjà à l'état passant) et abaisse la tension grille-source pour la ramener à une valeur inférieure à la tension de seuil de l'IGBT assurant ainsi le retard à l'état bloqué du dispositif avant sa destruction. Le délai pour le court circuit de type II n'est pas nécessaire car M_d est déjà en conduction.

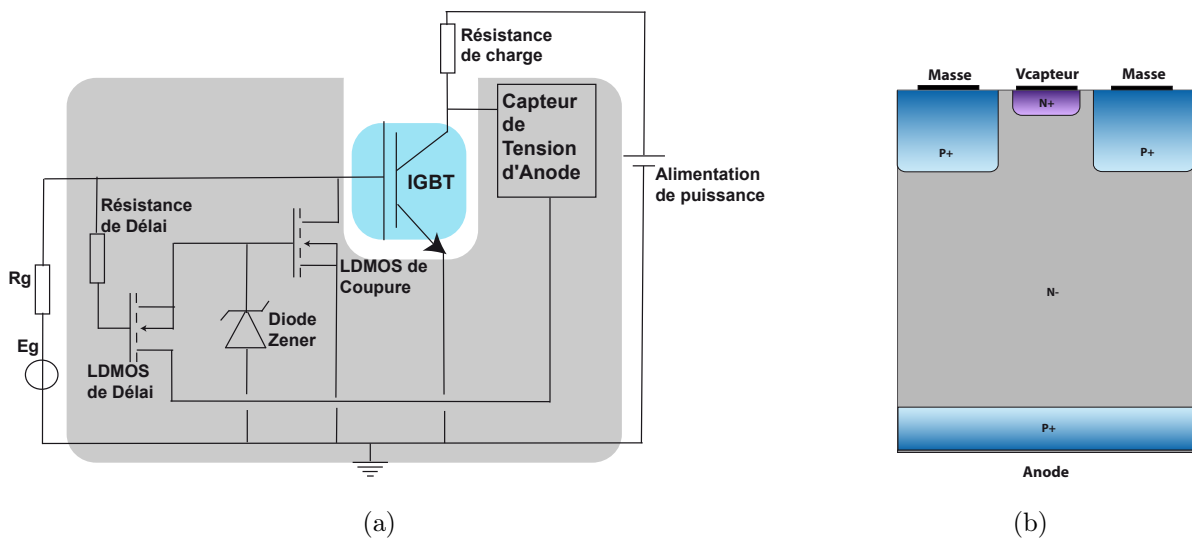


FIGURE 1.34 – (a) Circuit de protection contre les courts-circuits, (b) Capteur de tension d'anode

1.5 Conclusion

Ce chapitre a rappelé dans un premier temps différentes fonctionnalités d'interrupteur de puissance et leurs applications. Après avoir présenté l'évolution des modules de puissance dans le domaine de la traction ferroviaire, l'attention s'est portée sur le composant IGBT qui en est l'élément principal. Nous avons rappelé son principe de fonctionnement en statique et en dynamique ainsi que les différentes structures et topologies existantes. De plus, nous avons introduit les différents modes de défaillance de l'IGBT et plus particulièrement le court-circuit. Un état de l'art des différentes stratégies de détection et de protection de l'IGBT contre les courts-circuits a été effectué. Tous ces circuits présentés détectent et protègent l'IGBT contre le court-circuit en moins de $10\mu s$. Les capteurs permettant la détection d'un court-circuit sont compatibles avec un procédé technologique IGBT. Les circuits ont été séparés en deux catégories. La première concerne les circuits dont la détection est basée sur le suivi en courant

à partir d'IGBT-Sense. Dans ce cas, lors d'une augmentation anormale du courant de l'IGBT, le capteur de courant active le circuit de protection. La seconde catégorie de circuits détecte le court-circuit en mesurant la désaturation. Cette détection peut être effectuée à partir d'une diode et d'un transistor MOSFET, d'un caisson P flottant, d'un circuit intégré ou d'un capteur de tension d'anode. Dans ce cas, lors d'une augmentation anormale de la chute de tension aux bornes de l'IGBT, le capteur de tension active le circuit de protection. Nous allons maintenant nous focaliser sur deux différents capteurs d'état qui sont l'IGBT-Sense et le capteur de tension d'anode.

Intégration de protections rapprochées

Sommaire

2.1	Design du véhicule test IGBT	46
2.1.1	Règles de dessin	47
2.1.2	Optimisation de la cellule élémentaire	48
2.1.3	Caractéristiques à l'état passant de l'interrupteur IGBT	51
2.1.4	IGBT 3,3kV	52
2.2	Étude des capteurs en courant et en tension	54
2.2.1	Principe du miroir de courant ou Sense	55
2.2.2	Capteur de tension	61
2.3	Circuit de détection et de protection contre les courts-circuits	63
2.3.1	Principe de fonctionnement du circuit	63
2.3.2	Contraintes imposées par le circuit	65
2.3.3	Conception des différents dispositifs du circuit de protection et de détection	67
2.4	Simulation du circuit de protection et détection en mode d'intégration discrète	70
2.4.1	Paramètres de la structure de protection pour la validation par simulation	71
2.5	Optimisation dans le cas d'une intégration monolithique du circuit	73
2.5.1	Simulation de la structure intégrée et problème d'isolation	74
2.5.2	Différentes techniques d'isolation	75
2.6	Etude du circuit avec isolation par caissons P	77
2.6.1	Adaptation des caractéristiques électriques du LDMOS	77
2.6.2	Structure intégrée avec le LDMOS <i>adapté</i>	79
2.6.3	Structure intégrée en condition de court-circuit avec le LDMOS <i>adapté</i>	79
2.7	Conclusion	81

D'une manière générale pour protéger un composant d'un éventuel dysfonctionnement, il convient de développer des capteurs d'état qui permettent de le détecter. Ces derniers font partie intégrante de circuits permettant à la fois la détection et la validation des défauts de fonctionnement ainsi que la mise en action d'une procédure de protection. Il existe plusieurs types de capteur en fonction de la technologie et de la grandeur d'état recherchés. En fonction des applications il peut être utile de détecter des pressions, des températures, des vibrations, des flux lumineux, des tensions et des courants. Bien entendu cette liste n'est pas exhaustive. Dans le cas qui nous intéresse, les grandeurs d'état que nous utilisons sont la tension et le courant qui existent aux bornes des interrupteurs de puissance. La seule contrainte, que nous avons pour développer ces capteurs, porte sur la technologie. En effet, ils doivent pouvoir être intégrables monolithiquement avec les interrupteurs de puissance. Nous avons donc écarté "pour le moment" toutes les technologies à base de MEMS et autres méthodes externes tel que par exemple l'effet Hall. En ce qui concerne le courant nous allons revisiter et adapter un capteur qui a déjà été utilisé dans la littérature [3]. Il faut noter que nous allons proposer des variantes de ce capteur qui n'existe pas dans la littérature. La dénomination de ce capteur est le "Sense en courant" que l'on peut trouver aussi sous l'appellation "miroir de courant". Nous l'utiliserons par la suite dans un circuit permettant de détecter les sur-intensités. En ce qui concerne la tension, nous allons utiliser un capteur que nous appelons capteur d'anode qui a été développé par le passé au LAAS-CNRS [26]. Ce dernier sera utilisé dans un circuit de détection et de protection contre les courts-circuits.

Nous présenterons par la suite un circuit de détection et protection contre les courts-circuits utilisant le capteur de tension d'anode. Nous proposerons une solution afin d'intégrer le circuit dans un même substrat silicium.

2.1 Design du véhicule test IGBT

L'IGBT que nous allons présenter est conçu à partir d'une filière technologique que nous allons décrire ci-dessous. Pour des raisons de caractérisations électriques disponibles au laboratoire, nous nous fixons une tension d'application de 600V et un calibre en courant de l'ordre de l'ampère. En réalité, le calibre en courant sera fixé par la taille de la puce qui ne devra pas excéder $2mm^2$. En prenant un marge de 50%, la tenue en tension que nous visons est donc de 1200V. Dans un premier temps, nous allons présenter les règles de dessin de la filière technologique que nous utilisons. Dans un deuxième temps, nous allons nous intéresser à l'opti-

misation des cellules élémentaires pour obtenir la tenue en tension et le calibre en courant visés. Nous terminerons en donnant les caractéristiques électriques statiques simulées de l'IGBT ainsi obtenus.

2.1.1 Règles de dessin

La filière développée au LAAS-CNRS a permis de fixer les règles de dessin pour la réalisation des IGBT [26]. Cette filière est établie sur un processus "auto-aligné" avec des grilles en polysilicium permettant de réaliser les dispositifs de puissance de base de la famille MOS/bipolaire (IGBT, MOS-Thyristor ...). Cette filière sera expliquée dans le prochain chapitre.

Les règles de dessin de cette technologie sont données sur la figure 2.1. Une cellule carrée a pour dimension $48\mu m \times 48\mu m$ avec des distances inter cellulaire de $22\mu m$ et une longueur du canal de $3\mu m$ (Il faut noter que ces dimensions tiennent compte de la diffusion latérale). La longueur Z d'une cellule est donc de $168\mu m$. La demi-cellule IGBT a pour dimension $35\mu m$ et une épaisseur de $300\mu m$. Les caissons P et P^+ ont respectivement des profondeurs de jonction de $5\mu m$ et $7\mu m$ et des concentrations en surface de $5.10^{17}cm^{-3}$ et $3.10^{19}cm^{-3}$. La cathode N^+ a pour profondeur de jonction $1,1\mu m$ et comme concentration de surface $9.10^{19}cm^{-3}$. Le caisson P^+ de l'anode face arrière a pour profondeur de jonction $7\mu m$ et une concentration en surface de $3.10^{19}cm^{-3}$.

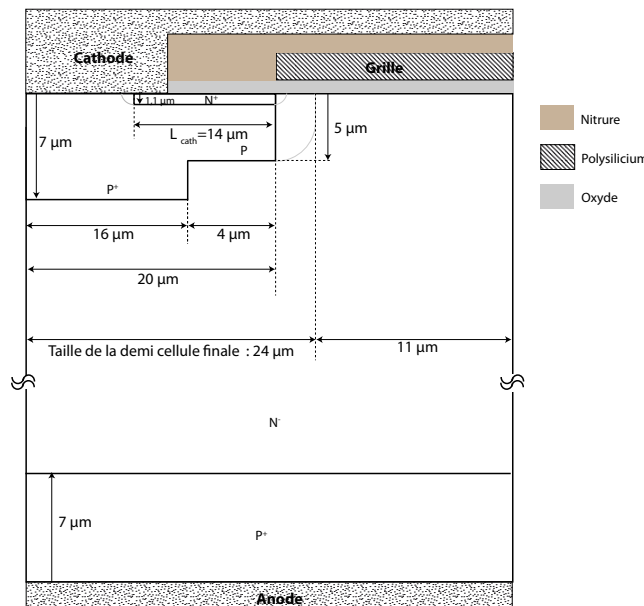


FIGURE 2.1 – Règles de conception pour la demi-cellule IGBT

2.1.2 Optimisation de la cellule élémentaire

2.1.2.1 Calibre en tension

Au premier ordre, la tenue en tension d'un composant de puissance est soutenue par la zone de déplétion d'une jonction plane PN polarisée en inverse. Bien entendu une jonction réelle fait apparaître une jonction sphérique et une jonction cylindrique. Pour supprimer les effets néfastes de la jonction sphérique, il faut arrondir les angles d'ouverture de diffusion. Les effets de la jonction cylindrique sont diminués grâce à des terminaisons de jonction que nous allons évoquer ultérieurement. La tenue en tension de la jonction dépend du dopage N_D du substrat N^- et de son épaisseur W . Pour éviter que le champ électrique total dépasse la valeur maximale que pourrait supporter le composant il faut réduire la concentration du substrat. Il est bien connu que pour tenir un maximum de tension il faut avoir un dopage N_D de faible valeur et une région W importante. Pour des raisons de coût des plaquettes et de réalisation technologique, nous avons choisi un mode de fonctionnement de type NPT (Non Punch Through) pour l'IGBT. Les plaquettes disponibles possèdent une épaisseur de $300\mu m$ pour un dopage N_D de 1.10^{14} . Pour de telles valeurs la tenue en tension en étalement libre de la jonction plane infinie est d'environ $1670V$ [3].

Cependant il convient de protéger la jonction principale à l'aide d'une terminaison de jonction afin d'éviter la diminution de la tenue en tension liée à la jonction cylindrique. En effet, cette dernière tombe à même pas une centaine de volts pour une profondeur de jonction de $7\mu m$ et un étalement libre de $140\mu m$ [4].

Les terminaisons de jonction ont pour objectif d'augmenter le rayon de courbure des équipotentielles afin de réduire le champ électrique et permettent ainsi d'augmenter la tension de claquage. Il existe plusieurs terminaisons de jonction : les anneaux de garde, la plaque de champ, couche semi-résistive, le RESURF, les super-jonctions et la jonction implantée P^- .

La technique de garde que nous avons utilisée (figure 2.2 (a)) est l'extension de jonction implantée ou Junction Termination Extension (JTE) proposée par Temple en 1977 [51]. Elle consiste à faire une implantation P^- faiblement dopé en surface autour de la jonction principale. La charge d'espace va s'étendre dans le silicium sous la jonction implantée. La région P^- va modifier la forme et la profondeur de la charge d'espace et donc la distribution du champ électrique. L'optimisation de cette structure consiste à obtenir un claquage simultanément à la courbure de la jonction principale et à la courbure de la jonction implantée. L'optimisation de la *JTE* se fait avec deux paramètres, la longueur L de la *JTE* et la dose implantée dans la zone P^- .

2.1. Design du véhicule test IGBT

Sur la figure 2.2 (b) sont représentées les tensions de claquage en fonction des différentes longueurs de *JTE* allant de $40\mu m$ à $160\mu m$. Pour les simulations la valeur du dopage de la couche P^- est de $1,3 \cdot 10^{12} cm^{-2}$ utilisé dans la filière technologique [26]. Il est donc possible avec cette terminaison d'obtenir $1200V$ avec une longueur L de $140\mu m$.

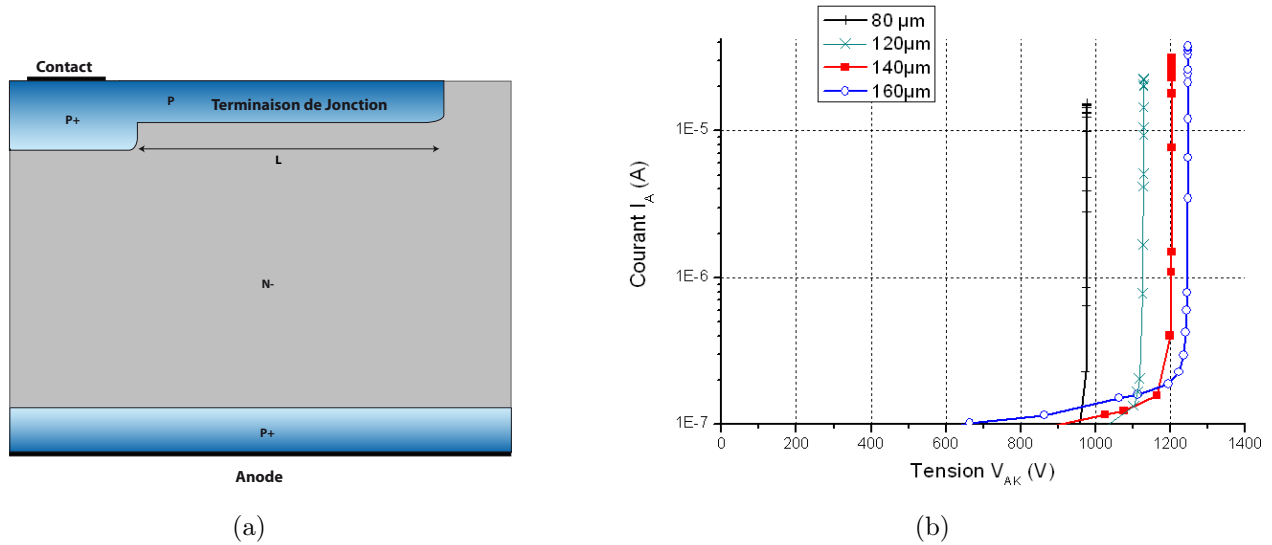


FIGURE 2.2 – (a) Technique de garde JTE, (b) Tension de claquage en fonction de la longueur de la JTE

2.1.2.2 Calibre en courant

Les IGBT étant multicellulaires, l'augmentation du calibre en courant passe nécessairement par l'augmentation du nombre de cellules qui sont placées en parallèle dans la surface active du composant. Pour des raisons de coût lié à la surface de silicium occupée, les topologies adoptées doivent permettre l'intégration d'un maximum de cellules pour une surface minimale. Il convient de choisir ensuite la géométrie et le dimensionnement de la cellule élémentaire. Plusieurs topologies de cellule (figure 2.3) ont été développées pour améliorer les caractéristiques des IGBT [56]. Les cellules à bande (continues ou interrompues) sont moins sensibles au déclenchement du thyristor parasite car elles ont une petite largeur de grille et donc une densité de courant plus faible. Les cellules carrées présentent de meilleures caractéristiques à l'état passant. Ce sont ces dernières cellules que nous avons utilisées pour la réalisation de nos puces IGBT.

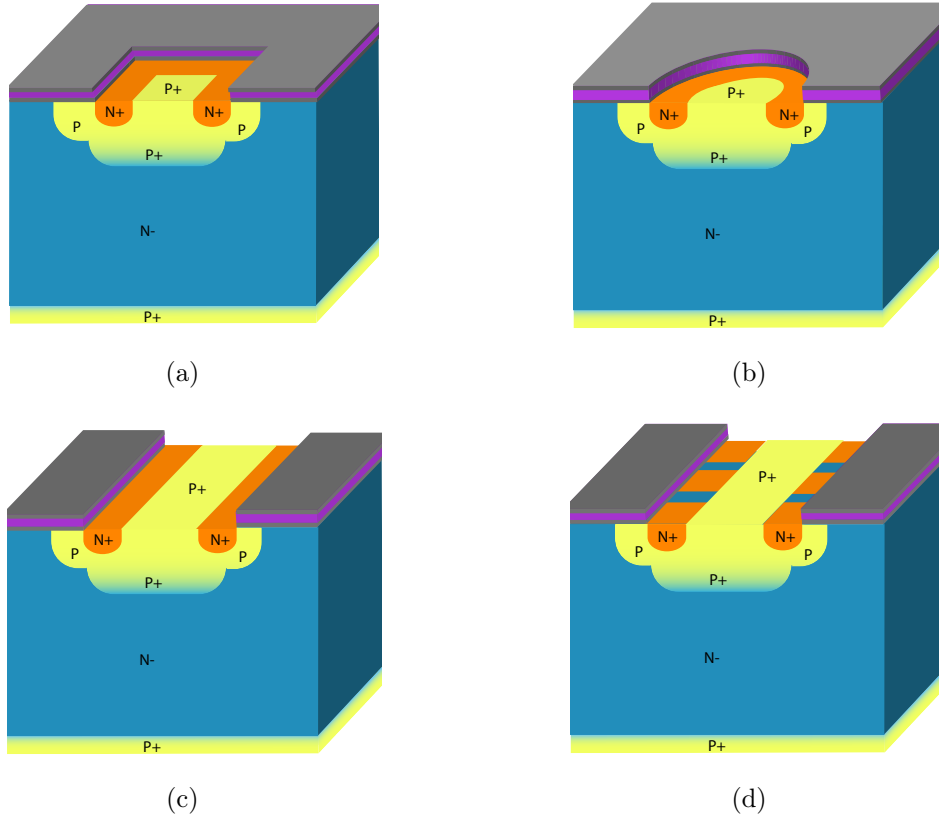


FIGURE 2.3 – Différentes topologies de cellules IGBT : (a) carrée, (b) circulaire, (c) à bandes et (d) à bandes interrompues.

Le courant total d'une cellule carrée de d'IGBT est donné par l'équation 2.1 où α_{pnp} représente le gain du transistor PNP , Z sa longueur et L sa largeur. Le paramètre α_{pnp} doit être le plus grand possible tout en respectant la densité de courant de déclenchement de latch-up. On rappelle que le latch-up est le déclenchement en mode thyristor de l'IGBT en raison de la mise en conduction du transistor NPN liée à une augmentation du courant latéral circulant sous la source N^+ .

$$I_{cellule} \propto \alpha_{pnp} \frac{Z}{L} \quad (2.1)$$

Pour une technologie de fabrication donnée, les paramètres qui permettent de fixer le courant $I_{cellule}$ sont les paramètres géométriques Z et L .

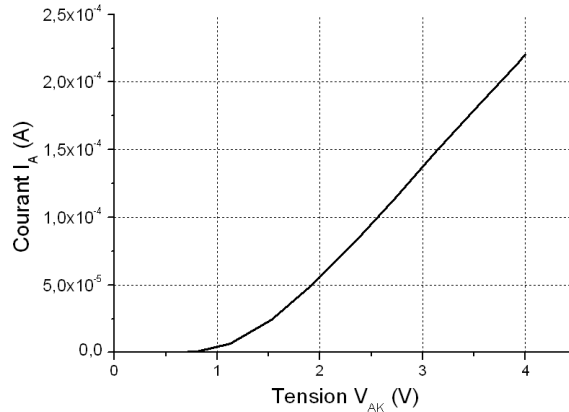


FIGURE 2.4 – $I_A(V_{AK})$ d'une cellule élémentaire IGBT pour $V_{GK} = 15V$

La figure 2.4 montre les caractéristiques statiques en fonction de V_{GK} pour la cellule élémentaire définie à partir des règles de dessin présentées plus haut et pour un Z de $1\mu m$. Nous souhaitons obtenir au final un V_{ON} de $1,8V$ pour une tension de grille de $15V$, le courant transitant dans une cellule élémentaire possédant un Z de $1\mu m$ est donc de $4.10^{-5}A$. Les cellules de notre technologie possèdent un Z de $168\mu m$, le courant admissible par ces dernières est de $6,72mA$.

Nous avons été contraint de réaliser un transistor IGBT ayant une surface de $2mm^2$. Le nombre de cellules que nous avons pu mettre en parallèle est de 194. Nous obtenons ainsi un courant total de $1,3A$.

2.1.3 Caractéristiques à l'état passant de l'interrupteur IGBT

Après avoir décrit les différentes stratégies pour calibrer le courant et la tension, les caractéristiques électriques statiques à l'état bloqué et à l'état passant sont données dans ce paragraphe.

Les figures 2.5 (a) et (b) montrent les caractéristiques statiques simulées de l'IGBT issu de notre filière technologique. La première figure correspond au courant d'anode I_A en fonction de la tension d'anode V_{AK} pour différentes tension de grille V_{GK} allant de $5V$ à $20V$. La seconde figure représente le courant d'anode I_A en fonction de la tension V_{GK} . Cette courbe permet de déterminer la tension de seuil du composant qui est de $4,2V$. Pour un courant de $1,3A$, nous retrouvons bien les $1,8V$ de chute de tension. La figure 2.6 montre le temps de mise en conduction de l'IGBT qui est de $100ns$.

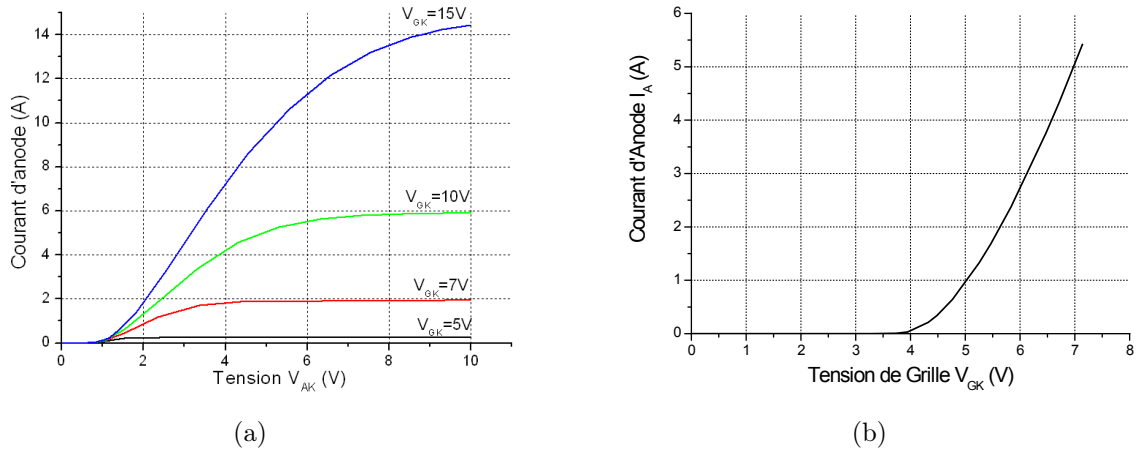


FIGURE 2.5 – (a) Caractéristiques statiques $I_A(V_{AK})$ pour différentes tensions de grille, (b) Caractéristiques statiques $I_A(V_{GK})$

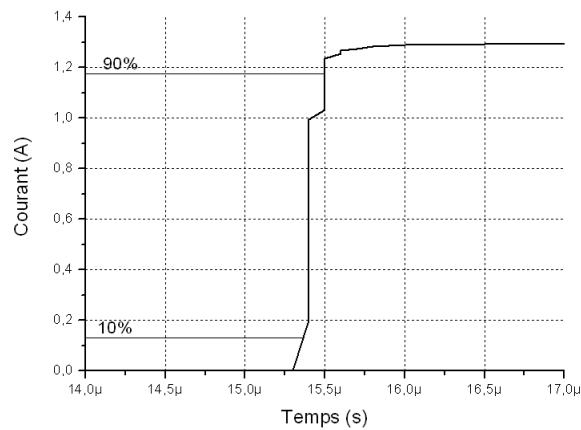


FIGURE 2.6 – Temps de mise en conduction T_{on} de l'IGBT

2.1.4 IGBT 3,3kV

Pour réaliser l'extension au 3,3kV pour les applications d'ALSTOM, nous avons simulé la terminaison de jonction qui est la technique des anneaux de garde. Cette technique a été proposée par Kao en 1967 [30]. Son principe est de réduire le champ électrique en surface en utilisant un ou plusieurs anneaux entourant la jonction principale. L'anneau apparaît comme un diviseur de tension en surface. Kao a montré que le champ électrique maximal se situait en surface au bord de la jonction polarisée en inverse. Lorsque la tension augmente, la charge d'espace de la jonction P^+/N s'étend en même temps que le champ maximal augmente. Le claquage a lieu lorsque le champ électrique atteint une valeur critique $E_{critique}$ pour une tension

latérale maximale de la charge d'espace notée W' .

On peut représenter le champ électrique par un triangle dont la plus grande partie se situe dans la région la moins dopée. Lorsque la charge d'espace rencontre une zone de diffusion fortement dopée, un anneau, avant que le champ électrique ait atteint sa valeur critique, la distribution des équipotentielles est modifiée de sorte qu'elles contournent la zone d'anneau (figure 2.7). La présence d'anneau diffusé permet donc de limiter le champ électrique en surface à une valeur inférieure au champ électrique critique, à condition que la distance entre la jonction et l'anneau soit correctement choisie. Le potentiel de l'anneau est fixé par la distribution de potentiel de la jonction principale.

Pour cette technique de garde il faut optimiser ses paramètres, tels que le nombre d'anneaux et la distance entre les anneaux. Les distances optimales sont celles pour lesquelles le claquage se produit simultanément à la jonction principale et sur tous les anneaux. Plusieurs auteurs ont montré que :

- les distances optimales entre les anneaux sont croissantes de l'anneau intérieur vers l'anneau extérieur,
- la distance optimale entre les deux derniers anneaux diminue lorsque le nombre d'anneaux croît,
- la tension de claquage augmente à chaque fois que l'on rajoute des anneaux.

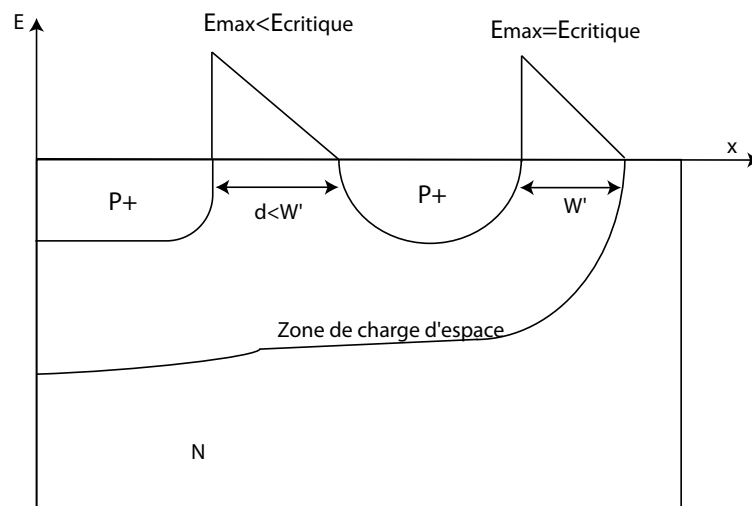


FIGURE 2.7 – Tenue en tension 3,3kV

Dans notre cas, nous avons eu besoin de 22 caissons P à des distances commençant à $8\mu m$

à $64\mu m$ (2.8 (a)). La figure 2.8 (b) montre la simulation de la tenue en tension des anneaux de garde qui est de $3,5kV$.

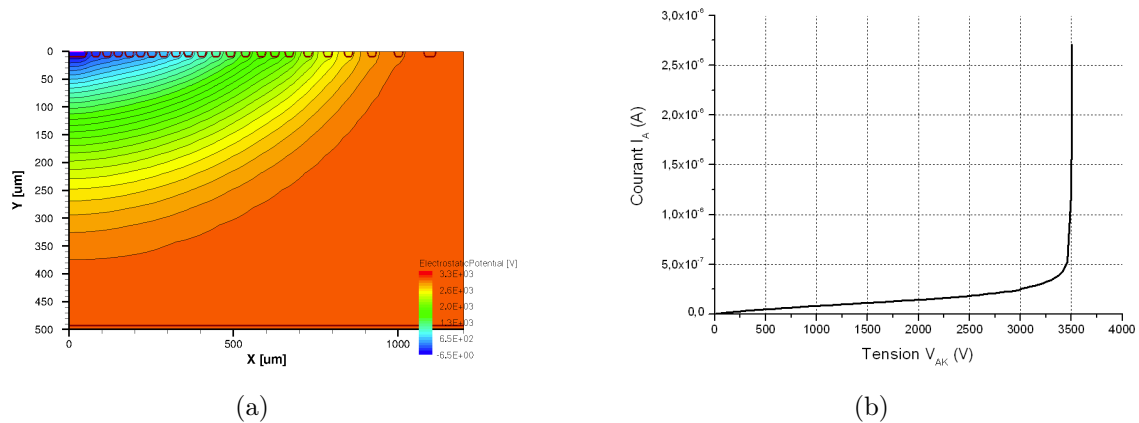


FIGURE 2.8 – (a) Structure avec des anneaux de garde avec les équipotentielles,(b) Tenue en tension $3,3kV$

2.2 Étude des capteurs en courant et en tension

Dans cette partie nous allons présenter les capteurs en courant et en tension que nous pouvons utiliser dans le cadre de l'intégration fonctionnelle puisqu'ils sont intégrables monolithiquement. Dans un premier temps, nous allons nous intéresser au capteur en courant et nous l'utiliserons dans un circuit permettant la détection d'une augmentation anormale du courant. Nous terminerons ce paragraphe par la présentation du "capteur d'anode" qui permet de détecter l'accroissement de la tension. L'utilisation de ce capteur dans un circuit de protection sera expliqué dans le paragraphe 2.3. Il faut souligner que l'approche utilisée pour intégrer les capteurs dans le cristal de silicium aura une influence fondamentale à la fois sur leurs caractéristiques électriques et sur leurs comportements dans les circuits de protection intégrés. En effet la première approche consiste à intégrer les cellules élémentaires du capteur de manière distribuée dans les cellules du composant de puissance. La deuxième consiste à regrouper l'ensemble des cellules du capteur dans une zone active du composant de puissance. La figure 2.9 (a) montre un exemple de cette deuxième méthode. Bien évidemment les interactions électriques seront différentes selon la méthode employée. Afin d'éviter un deuxième niveau de métallisation pour la réalisation technologique, nous allons principalement nous intéresser à la deuxième approche d'intégration.

2.2.1 Principe du miroir de courant ou Sense

Le capteur de courant ou "Sense" permet de donner une image du courant total traversant un composant de puissance de conception multicellulaire. Bien évidemment dans notre cas d'étude l'interrupteur utilisé est l'IGBT précédemment présenté et optimisé. Le Sense est constitué d'un certain nombre de cellules connectées entre elles et reliées à l'extérieur par une électrode auxiliaire appelée "Sense". Cette électrode fournit donc un courant qui est proportionnel au courant principal circulant dans le composant de puissance. La proportionnalité entre les courants dépend à la fois du design des "Sense" et de la méthode d'intégration utilisée. En effet les cellules "Sense" peuvent être de même type que celles de l'interrupteur de puissance ou de conception différente et peuvent être regroupées dans une même zone du cristal ou distribuées.

Nous allons étudier trois topologies de cellules "Sense" qui sont représentées dans le tableau 2.1 :

- *topologie 1* : les cellules du "Sense" sont identiques aux cellules IGBT,
- *topologie 2* : les cellules du "Sense" comprennent un caisson P représentant un bipolaire,
- *topologie 3* : les cellules "Sense" sont identiques à celles de l'IGBT mais sans court-circuit entre la région N^+ et P^+ (caisson P^+ à la masse) représentant un MOSFET.

Nous rappelons que la méthode utilisant la topologie 1 existe déjà dans la littérature [47]. Les topologies 2 et 3 n'ont jamais vraiment été étudiées. A titre d'illustration, la figure 2.9 (a) montre la photographie d'une puce IGBT utilisant la topologie 1 avec une localisation regroupée des cellules. L'électrode de contact de cathode et de Sense sont visibles sur cette photographie. La surface du contact Sense est alors représentée par un pavé au centre de la puce. Cette surface peut être positionnée ailleurs sur la puce avec des formes différentes. Elle peut être par exemple positionnée au bord de la puce sous forme de rectangle. D'un point de vue simulation, la forme et la position du contact Sense ne changent rien en terme de résultats. D'un point de vue réalisation expérimentale cette affirmation est peut être moins vraie et c'est la raison pour laquelle nous réaliserons différentes formes de regroupement de cellules Sense. Cette étude sera présentée dans le chapitre 3 portant sur la réalisation technologique. La figure 2.9 (b) montre le symbole électrique utilisé pour représenter l'IGBT possédant une électrode Sense.

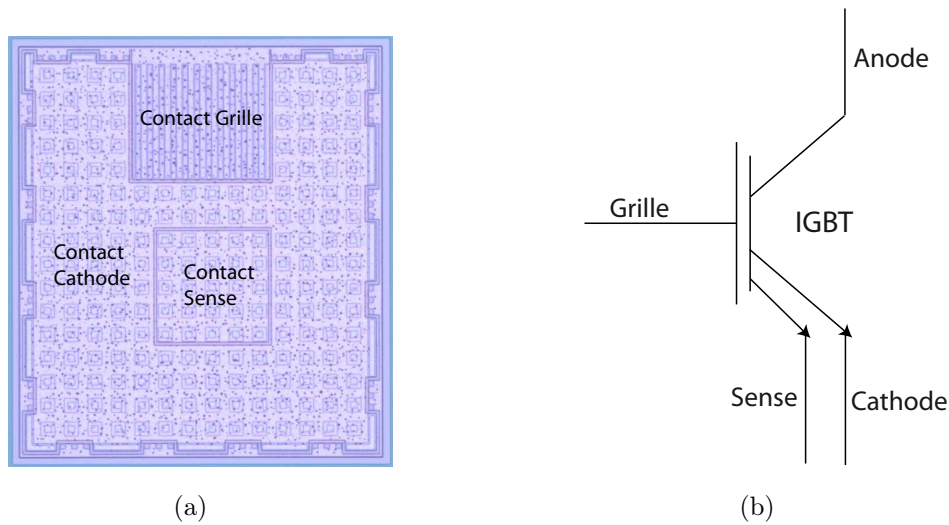


FIGURE 2.9 – (a) Vue de dessus d'un dispositif IGBT Sense, (b) symbole de l'IGBT-Sense

2.2.1.1 Comparaison des performances différentes structures IGBT "Sense"

Le critère de sélection pour les topologies Sense porte sur la surface active du Sense qui doit être, pour un courant donné, la plus petite possible. Les simulations ont été effectuées à partir des optimisations du paragraphe précédent pour l'IGBT de puissance et où une électrode est donc affectée à la partie Sense. Il faut noter que les commandes de grille sont fixées à 15V.

Nous avons simulé dans un premier temps les différentes topologies IGBT-Sense intégrées avec la partie IGBT de puissance (cf tableau 2.1). Dans cette approche de simulation, il n'est pas possible de différencier le Z de la cellule IGBT de celui affecté à la partie Sense. En effet la simulation totalement intégrée implique des longueurs de canaux identiques qui sont fixés à une longueur de $33000\mu m$. Cette première approche nous permet de voir l'influence des interactions électriques dans la structure dans le cas où le capteur serait distribué dans le cristal. Les résultats de simulation donnés dans le tableau 2.1 montrent les caractéristiques électriques $I_{AK}(V_{AK})$ pour les trois topologies. La première ligne du tableau correspond aux résultats donnés pour le point de fonctionnement en régime normal de fonctionnement pour l'IGBT précédemment étudié à savoir une chute de tension à l'état passant de 1,8V et un courant de 1,3A. La deuxième ligne montre les caractéristiques $I_{AK}(V_{AK})$ allant jusqu'à 600V. En effet en cas de court-circuit il faut tenir compte du comportement de l'IGBT et du capteur de courant pour ces niveaux de tension. En réalité la première ligne de résultat n'est rien d'autre qu'un zoom des résultats de la seconde ligne pour les faibles tensions.

Les résultats correspondant à la première topologie montrent, de manière attendue, que le

2.2. Étude des capteurs en courant et en tension

courant I_{Sense} est identique au courant total de l'IGBT de puissance. En effet cette topologie n'est rien d'autre que la mise en parallèle dans le cristal de deux IGBT de surface identique. La somme de ces deux courants correspond donc au courant total qui traverse l'IGBT étudié au paragraphe 2.1. Cette répartition des courants dans un rapport 1/2 est valable jusqu'à 600V. La seconde topologie permet d'obtenir un courant I_{Sense} correspondant à 14% du courant de la partie puissance I_{AK} . Ce rapport reste vrai jusqu'à 600V. Pour la dernière topologie, le pourcentage monte à 70% pour une chute de tension de 1,8V. Par contre avec l'augmentation de la tension jusqu'à 600V, ce rapport n'est pas constant et diminue légèrement puisque le courant de Sense reste constant.

Les simulations en mode mixed-mode ont été réalisées pour les trois topologies. Pour les topologies 1 et 3 il n'existe aucune modification sur les résultats obtenus. Nous pouvons donc affirmer que pour un Z identique les interactions électriques dans le cristal entre la partie Sense et la partie puissance n'ont aucune influence. Par contre il n'est pas de même pour la topologie 2. Les résultats de la figure 2.10 montrent très clairement que le courant Sense est nul quelque soit la tension. Nous pouvons donc affirmer que le courant Sense dans cette topologie n'est que le résultat d'une interaction électrique dans le cristal et ne pourra être utilisé que le cas d'une approche distribuée du Sense.

Dans le mode mixed-mode, il est possible de jouer sur la valeur affectée au Z des différents éléments. Nous avons donc réalisé des simulations en faisant varier le rapport Z_{Sense}/Z_{IGBT} pour les topologies 1 et 3. Les résultats sont donnés dans les figures 2.11 (a) et (b) respectivement. L'analyse des résultats obtenus montre pour les deux topologies qu'il existe une variation linéaire entre le rapport des courants et des Z. Dans le cas d'une intégration localisée du Sense, il n'existe donc aucune différence entre les topologies 1 et 3 puisqu'il est possible de fixer le courant I_{Sense} en jouant sur le rapport des Z.

D'après l'ensemble de ces résultats présentés, la topologie 1 est la plus judicieuse à utiliser pour réaliser le capteur Sense à la fois en mode distribué des cellules ou en mode localisé. En effet dans les deux cas nous obtenons le courant Sense le plus faible à surface identique. Il est bon de rappeler que plus ce courant est faible plus la puissance fournie par la partie puissance est élevée. D'autre part, c'est cette topologie qui demande le moins de modifications technologiques pour sa réalisation par rapport à la filière technologique de la partie puissance. Nous allons donc utiliser cette dernière dans un circuit de détection contre les sur-intensités.

	topologie 1	topologie 2	topologie 3
Structures			
$V_{AK} = 1,8V$			
$V_{AK} = 600V$			
Résultat	100%	14%	70% et 61%

TABLE 2.1 – Simulations Structure IGBT-Sense intégrée

2.2. Étude des capteurs en courant et en tension

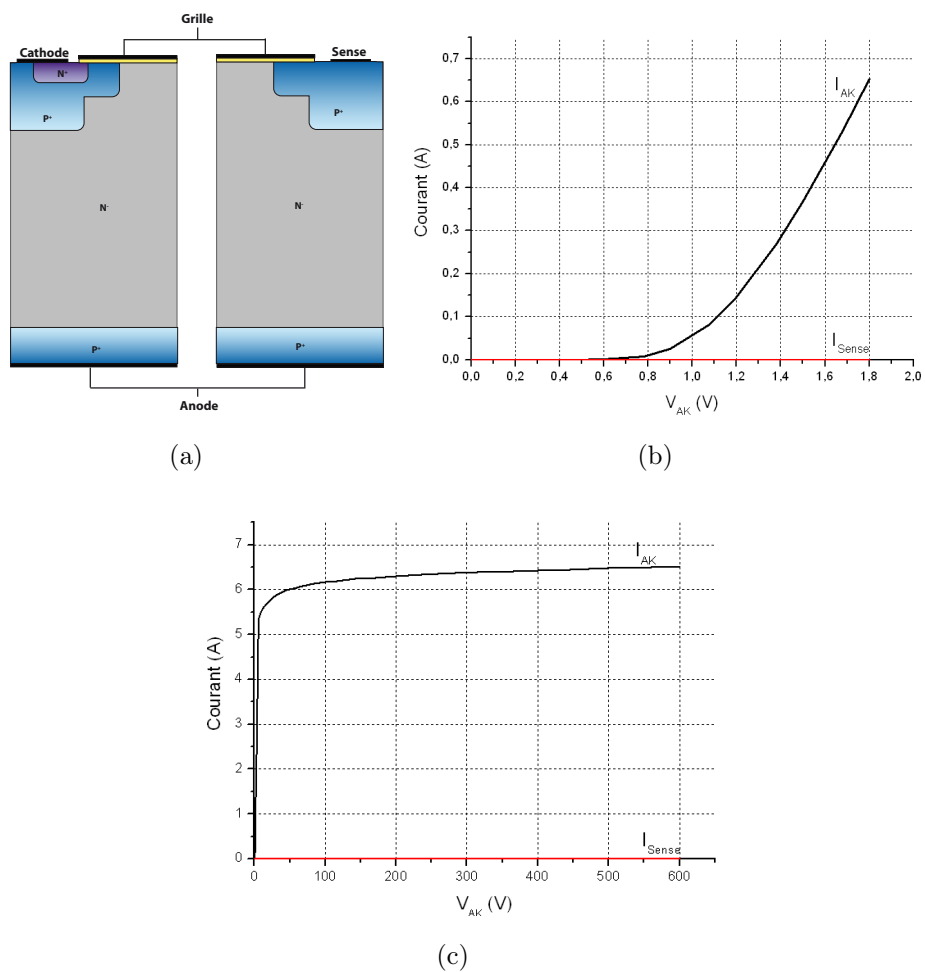


FIGURE 2.10 – (a) Structure IGBT et Sense (topologie 3) en mixed mode, (b) $I_A(V_{AK})$ pour $V_{AK} = 1,8V$, (c) $I_A(V_{AK})$ pour $V_{AK} = 600V$

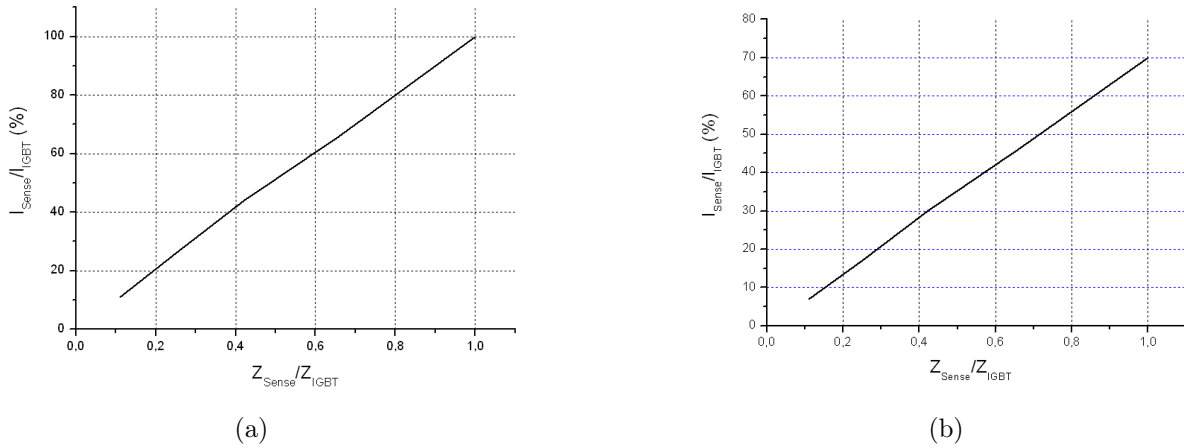


FIGURE 2.11 – (a) IGBT et Sense topologie 1, (b) IGBT et Sense topologie 3

2.2.1.2 Validation du capteur de courant Sense avec un circuit de détection

Afin de valider l'intérêt de ce capteur, un circuit de détection contre les sur-intensités a été simulé. Ce circuit est représenté sur la figure 2.12(a). Il est composé d'un interrupteur de puissance avec le capteur de courant à cellule localisée à 10%, d'un MOSFET de coupure possédant une tension de seuil de 3,5V et d'une résistance appelée R_{sense} . Pour les raisons évoquées dans le paragraphe précédent, la structure du capteur Sense retenue correspond à celle de la topologie 1. Le rôle du MOSFET de coupure est de court-circuiter la grille de l'IGBT lorsqu'il y a apparition d'une sur-intensité. En effet, l'augmentation du courant de Sense entraîne une augmentation de la chute de tension aux bornes de la résistance R_{sense} qui arrive à la tension du MOS de coupure. Le seuil en courant permettant la détection de la sur-intensité que nous avons choisi est de 1,3A. Cette valeur correspond à un courant Sense 0,13A. Afin d'arriver à la tension de seuil du MOS de coupure, il est donc nécessaire d'avoir une valeur de résistance de 23Ω.

La figure 2.12 (b) montre les tensions de grille et courant transitant aux bornes de l'IGBT et du MOS de coupure. La tension de commande de grille de l'IGBT est fixée à 15V. Nous avons simulé une montée rapide du courant d'anode de l'IGBT. La tension de grille du MOS de coupure augmente jusqu'à sa tension de seuil et donc devient passant. Ainsi la tension de grille de l'IGBT décroît jusqu'à 4V. Les simulations valident le principe de la détection d'une sur-intensité.

Ce circuit permet la détection d'une élévation du courant au travers l'IGBT mais n'assure

2.2. Étude des capteurs en courant et en tension

pas une protection permanente. En effet, la diminution du courant total de l'IGBT après la détection entraîne un écroulement de la tension aux bornes de R_{sense} permettant le reblocage du MOS de coupure et la remise en conduction de l'IGBT. Si les conditions qui ont provoqué une sur-intensité sont toujours présentes, un comportement oscillatoire va s'installer. Pour rendre la protection permanente il serait donc nécessaire d'introduire un élément de maintien de la protection afin d'éviter ce comportement. Il est donc difficile d'utiliser ce capteur dans le cas d'une protection contre les courts-circuits par détection du sur-intensité sans maintien de la protection. D'autre part, ce type de capteur a l'inconvénient de dériver une partie de l'énergie transitée par la partie puissance. Ce type de circuit est plus pertinent pour traiter un problème de surcharge que pour assurer une protection efficace contre les courts-circuits.

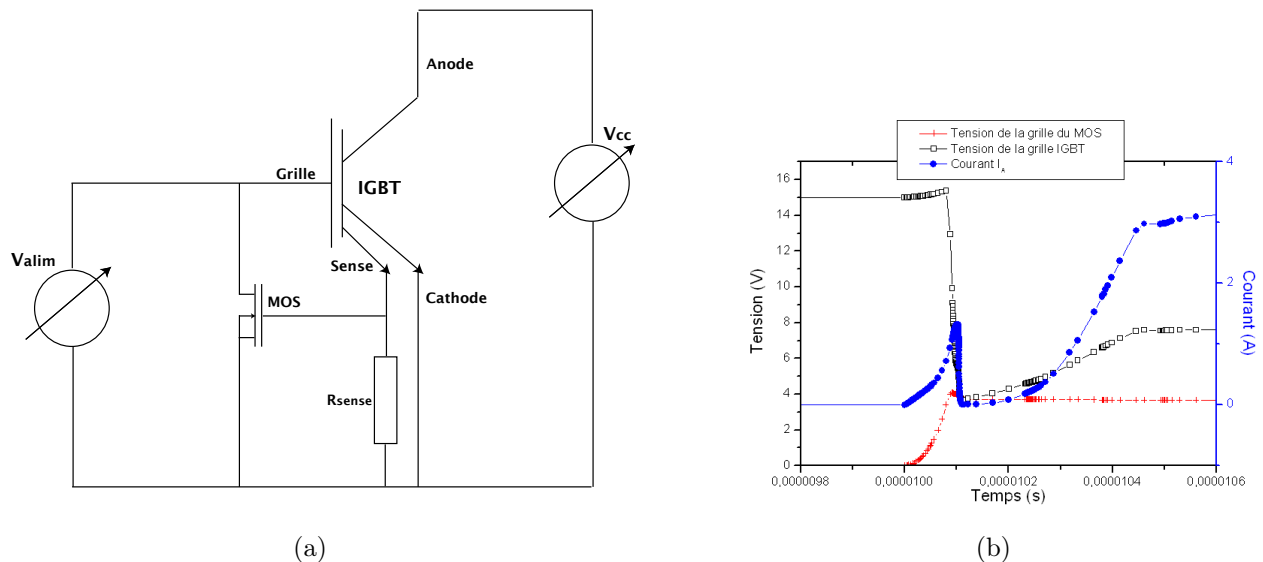


FIGURE 2.12 – (a)Circuit de protection avec l'IGBT Sense, (b) Courbes des tensions de grille et courant transisant aux bornes de l'IGBT et du MOS de coupure

2.2.2 Capteur de tension

Cette partie est consacrée au second capteur d'état qui est le capteur de tension d'anode. Ce capteur va permettre de suivre l'évolution de la tension d'anode aux bornes de l'IGBT.

2.2.2.1 Présentation du capteur

Les figures 2.13(a) et (b) montrent respectivement la coupe transversale du capteur et sa topologie de surface. Ce capteur de tension appelé "Capteur de Tension d'Anode" (CTA) [12]

permet de délivrer sur la face avant de la structure une image continue du potentiel présent sur la face arrière du dispositif c'est-à-dire la tension d'anode. Ce capteur est compatible avec le procédé technologique du composant de puissance principal. Le CTA est matérialisé par deux caissons P^+ référencés à la masse distant d'une longueur L . En réalité ces deux caissons P^+ ne forment qu'une seule diffusion dans la troisième dimension puisque le dessin définit une diffusion fermée. Ainsi la forme de la diffusion P^+ peut être circulaire, rectangulaire (en bande) ou bien de forme carrée. Il existe aussi un caisson N^+ situé entre les deux caissons P^+ qui assure le contact ohmique de l'électrode de Sense.

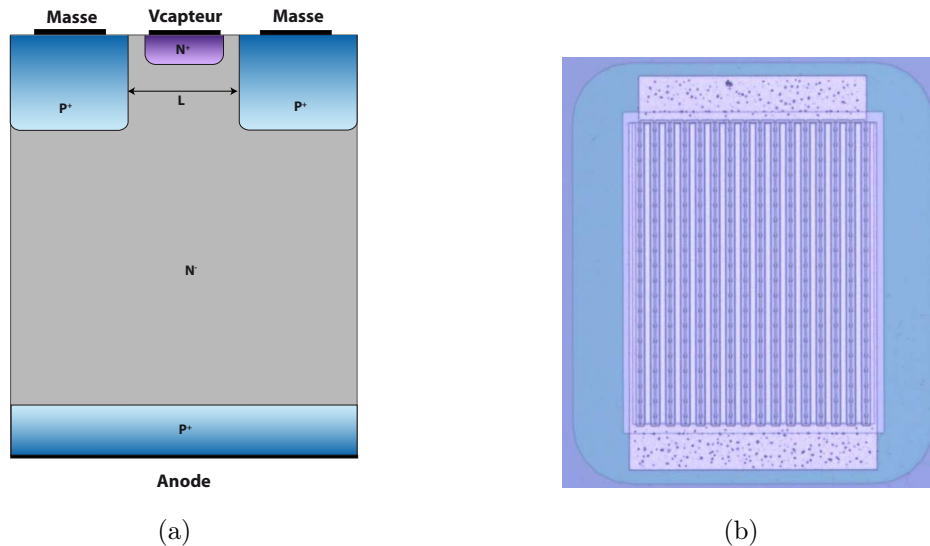


FIGURE 2.13 – (a) Coupe schématique du capteur de tension d'anode, (b) Photo d'un dispositif CTA

2.2.2.2 Principe de fonctionnement du capteur de tension d'anode

Afin d'illustrer le comportement électrique du capteur de tension, la variation de la tension V_{capteur} en fonction de la tension appliquée sur l'anode pour différentes longueurs L est représentée sur la figure 2.14 (a). La tension d'anode varie de 0 à 600V pour des longueurs L allant de $5\mu m$ à $21\mu m$. La diminution de L entraîne une diminution de la tension V_{capteur} . Cette constatation s'explique par le recouvrement des lignes équipotentielles entre les deux caissons P^+ quand ils sont polarisés en inverse (figure 2.14 (a)). On constate que pour une tension d'anode de 600V, une longueur L inférieure ou égale à $10\mu m$ permet d'obtenir une tension de Sense inférieure à 30V. Cette gamme de tension permet d'être utilisée par les éléments basse

2.3. Circuit de détection et de protection contre les courts-circuits

tension d'un circuit du traitement de l'information. La validation expérimentale de ce capteur sera présentée dans le dernier chapitre.

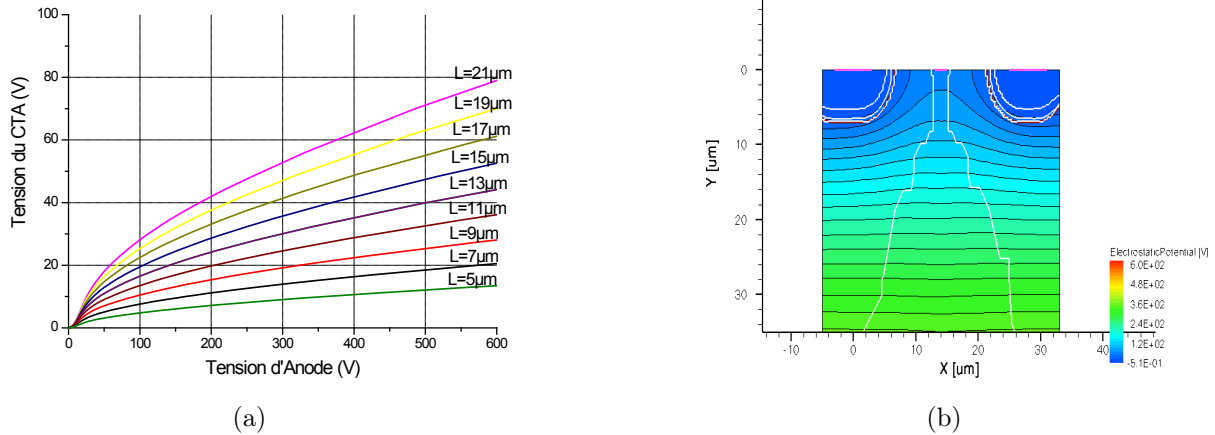


FIGURE 2.14 – (a) Évolution de V_{capteur} en fonction de la tension d'anode pour différentes distance L, (b) Lignes équipotentielles du capteur de tension d'anode

Nous allons maintenant présenter l'utilisation de ce capteur dans un circuit dédié à la détection et à la protection contre les courts-circuits pouvant intervenir aux bornes des IGBT.

2.3 Circuit de détection et de protection contre les courts-circuits

Dans cette partie nous allons étudier le circuit de détection et de protection des dispositifs IGBT contre les courts-circuits. Dans un premier temps, nous allons simuler ce circuit en mixed mode dans les deux cas de court-circuit. Dans l'optique d'intégrer monolithiquement ce circuit, nous allons présenter un LDMOS *adapté* et ainsi pouvoir simuler la structure intégrée.

2.3.1 Principe de fonctionnement du circuit

Le circuit de détection et de protection des IGBT contre les courts-circuits, que nous allons étudier, est représenté sur la figure 2.15. Ce dernier est constitué du capteur CTA, que nous avons étudié précédemment, de deux MOS, d'une diode zener et d'une résistance. Ce circuit peut protéger contre les courts-circuits de type I et II présentés dans le paragraphe 1.3.2 du

chapitre 1.

Dans le cas d'un court-circuit de type I, l'IGBT est à l'état bloqué et possède donc la tension d'alimentation à ses bornes. Le capteur de tension d'anode renvoie alors une tension sur le drain du MOS de délai (M_d). Dès que la tension de commande de l'IGBT (E_g) passe à l'état 1 la grille du MOS de délai se charge après une durée correspondant à la constante de temps RC définie par la résistance de délai et la capacité de grille du MOS de délai. Ce dernier passe à l'état ON et charge la grille du MOS de coupure jusqu'à atteindre la tension de seuil de ce dernier. Le MOS de coupure (M_c) devient passant et court-circuite la grille de l'IGBT. La constante de temps RC doit être choisie de manière à être légèrement plus élevée que le temps de mise en conduction T_{on} de l'IGBT dans des conditions normales de fonctionnement.

Lorsqu'une condition de court-circuit de type II intervient, l'IGBT se trouve déjà contrairement au mode de court-circuit de type I à l'état passant. La tension d'anode augmente alors brutalement d'une faible valeur (V_{on}) à une valeur proche de la tension d'alimentation. Le CTA fournit alors, par l'électrode $V_{capteur}$, une tension supérieure à la tension de seuil du transistor M_c . Ce dernier devient passant et permet la décharge de la grille de l'IGBT de manière identique au court-circuit de type I. Dans ce type de court-circuit la constante de temps n'intervient pas car le MOS de délai est déjà chargé et ce dernier est conducteur lorsque la tension de drain augmente.

Dans une commutation ordinaire c'est-à-dire sans court-circuit, le temps de délai déterminé par la constante $R_d C$ judicieusement choisie permet de laisser la tension s'écrouler avant d'enclencher la protection. Il faut noter que la diode Zener permet de protéger la grille du MOS de coupure pendant la phase de charge de sa grille. D'autre part, dans le cas d'une intégration totale du circuit elle permet de fixer la pseudo polarisation du contact source-substrat du transistor M_d . En effet, lorsque l'on observe la structure de détection et de protection (figure 2.23), le potentiel source-substrat du transistor M_d est flottant. Il est connecté à la grille du transistor M_c dont le potentiel n'est pas défini et qui, de surcroît, est susceptible d'évoluer. Il peut donc apparaître le problème suivant : lorsque le transistor M_d n'est pas passant, une augmentation du potentiel de drain de ce transistor aura pour conséquence une augmentation de celui de la source et du substrat. On imagine facilement que cela pourra empêcher le fonctionnement de la structure de détection et de protection mais aussi de l'IGBT.

2.3. Circuit de détection et de protection contre les courts-circuits

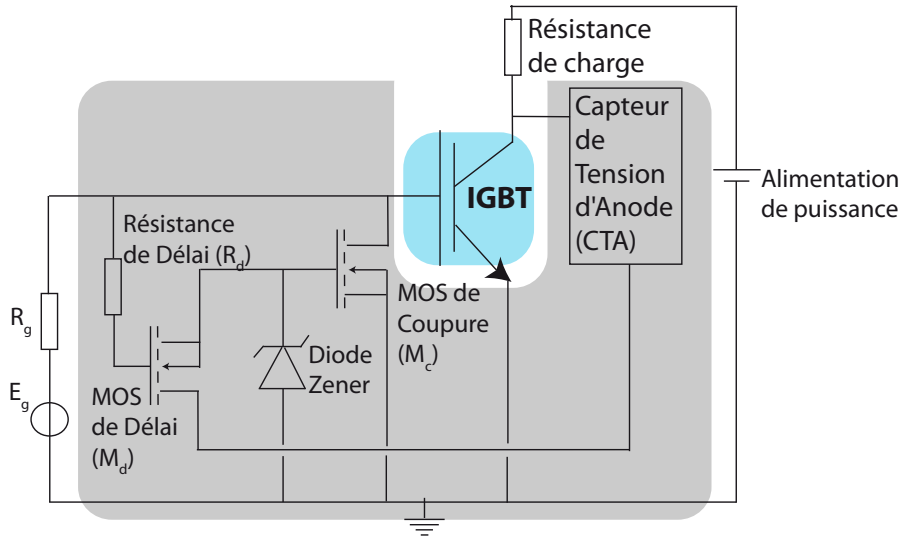


FIGURE 2.15 – Circuit de protection et de détection contre les courts-circuits

2.3.2 Contraintes imposées par le circuit

Après avoir expliqué le fonctionnement du circuit dans les deux cas de court-circuit, nous allons définir les contraintes du circuit pour dimensionner électriquement chaque élément du circuit de protection en fonction des caractéristiques de l'IGBT-test qui a été défini dans le paragraphe 2.1.

Le transistor MOS de coupure M_c , qui a pour rôle de décharger la grille de l'IGBT lors d'un court-circuit, doit être capable de supporter une tension égale à la tension de commande (E_g) qui sera de 15V dans notre cas. Il doit également être capable de dériver un courant suffisant afin de décharger la grille de l'IGBT. En toute logique, la valeur de la résistance R_g doit être de l'ordre de quelques ohms. Ainsi la surface qui doit être allouée au MOS de coupure doit permettre de faire transiter un courant proche de E_g/R_g . Il en résulte que la surface du MOS doit être importante et donc coûteuse en surface silicium dans le cas d'une intégration totale du circuit. D'autre part, d'un point de vue pratique, court-circuiter un générateur de tension n'est pas la meilleure stratégie. Ces problèmes de court-circuit de générateur de commande pourraient être étudiés dans le cas d'une protection en aval des drivers. Le sujet de notre thèse portant sur le protection contre les courts-circuits au niveau de l'interrupteur de puissance, nous avons volontairement limité le courant débité par le générateur en fixant une résistance R_g élevée. Cette méthode nous permet donc d'aboutir à des surfaces de MOS de coupure raisonnables pour une intégration globale. Dans le cas d'une intégration hybride le problème de la surface du MOS ne se pose plus et les simulations peuvent être réalisées avec des valeurs élevées

Chapitre 2. Intégration de protections rapprochées

de surface et des valeurs R_g faibles. Pour nos simulations, nous avons choisi une résistance R_g de $1,5k\Omega$ ce qui conduit à un courant maximal de circuit de commande de $10mA$. Dans la filière technologique de notre laboratoire nous avons une longueur de canal de $3\mu m$ ce qui conduit à un périmètre ou largeur développée du MOS de coupure de $4000\mu m$.

Pour sa part la conception du MOS de délai M_d est géré par deux principales contraintes. La première porte sur la tension qu'il doit supporter et la seconde sur la valeur de sa capacité de grille qui fixera, avec la résistance R_d de délai, le temps de délai avant l'enclenchement de la protection.

La différence de potentiel que doit supporter le MOS de délai correspond au premier ordre au potentiel de drain c'est-à-dire au potentiel $V_{capteur}$ délivré par le capteur de tension d'anode. La figure 2.9 (a) montre que pour une technologie de longueur $L = 8\mu m$ pour le capteur d'anode, la tension délivrée est de $30V$. C'est cette dernière valeur que doit supporter au minimum le MOS de délai. Pour l'optimisation nous allons prendre une marge de sécurité et donc une valeur de $40V$. Les MOS classiques ne peuvent donc pas être utilisés. Nous nous sommes donc orientés vers les LDMOS qui seront présentés dans le paragraphe 2.3.3.

La nécessité d'un temps de délai a été expliqué précédemment. Il correspond à la constante de temps déterminée par la résistance R_d et la capacité C de la grille du transistor M_d . Afin de protéger efficacement l'IGBT dans le cas de court-circuit de type I nous avons choisi une constante de temps de $1\mu s$ qui est bien supérieure à l'amorçage T_{ON} simulé au paragraphe 2.1.2 (cf figure 2.6).

Pour avoir ce temps de délai il est nécessaire dans un premier temps de calculer la valeur de la capacité d'oxyde de grille donnée par la relation 2.2.

$$C = \frac{\epsilon_{ox}}{e_{ox}} \cdot W \cdot l \quad (2.2)$$

Nous sommes ici aussi tributaires de la filière technologique développée au laboratoire pour calculer cette valeur. En effet la valeur de l'épaisseur d'oxyde e_{ox} est fixée à 550 \AA , la longueur du canal est de $3\mu m$ et la longueur développée par le canal W est de $4000\mu m$. La capacité de grille du transistor MOS M_d a donc pour valeur $10pF$. Pour obtenir la constante de temps de $1\mu s$, la résistance R_d doit donc être égale à $100k\Omega$.

Il existe pour les deux MOS une dernière contrainte liée au mode de réalisation du circuit de protection. Si ce dernier est réalisé de manière discrète, les effets parasites d'intégration n'existent pas. A contrario, l'intégration monolithique du circuit entraîne des contraintes supplémentaires dont il faut tenir compte lors de la conception des MOS. Ces contraintes portent

2.3. Circuit de détection et de protection contre les courts-circuits

sur des courants de fuite et des problèmes d'auto-blindage entre chaque élément. Ces deux approches d'intégration seront envisagées au travers du "design" des MOS.

Les contraintes de l'application que nous venons de décrire seront exploitées dans ce qui suit afin de dimensionner les différents composants du circuit. Le fonctionnement du circuit sera validé ensuite par des simulations 2D en mode mixte dans un premier temps.

2.3.3 Conception des différents dispositifs du circuit de protection et de détection

Avant de réaliser des simulations sur la structure totalement intégrée, nous avons fait le choix de dimensionner dans un premier temps chaque composant séparément en prenant en compte l'ensemble des contraintes du circuit complet. Le transistor IGBT qui va être simulé avec le circuit est celui qui a été étudié dans le paragraphe 2.1. Le capteur de tension d'anode que nous allons utiliser a été étudié dans le paragraphe 2.2.2 et nous utiliserons une longueur inter-caisson P^+ de $10\mu m$. Les éléments complémentaires au circuit de protection que nous allons donc présenter sont les transistors MOS de coupure et de délai, la diode zener et la résistance R_d . Les MOS qui vont être utilisés sont des LDMOS de conception classique qui pourront être utilisés uniquement lors d'une réalisation discrète du circuit de protection. Nous verrons par la suite que l'intégration complète du circuit entraîne des phénomènes parasites qui nous conduiront à adapter ce LDMOS pour aboutir à ce type d'intégration totale dans le silicium.

2.3.3.1 Transistor LDMOS

La contrainte du MOS de délai est de pouvoir supporter entre son drain et sa source une tension inférieure ou égale à $40V$ qui est délivrée par le capteur de tension d'anode. Le transistor MOS de coupure doit, quant à lui, supporter entre son drain et sa source une tension égale à $15V$ qui représente la tension de commande E_g .

Le LDMOS (Lateral Diffused Metal Oxide Semiconductor) comme son nom l'indique est un transistor latéral. La structure de ce transistor est représentée sur la figure 2.16. L'originalité de ce transistor de moyenne puissance par rapport aux structures verticales provient du chemin du courant qui est donc latéral. La position de l'électrode de drain se trouve donc sur la face supérieure de la puce. Le canal N est caractérisé par la présence d'une région de drift N^- située entre la fin du canal d'inversion et le drain N^+ . L'un des avantages majeurs de ce transistor LDMOS est d'être compatible technologiquement avec des circuits de commande

Chapitre 2. Intégration de protections rapprochées

CMOS ou BiCMOS ou encore avec les filières des composants de puissance verticaux à grille isolée de type VDMOS ou IGBT. Pour une intégration monolithique, des aménagements de ce LDMOS seront nécessaires. Dans le cadre de ce travail, le LDMOS sera réalisé en utilisant la filière technologique du composant de puissance IGBT ce qui implique que les profondeurs et profils des dopages des différentes couches semi-conductrices seront ceux définis au paragraphe 2.1.1.

Nous n'avons pas pour objectif principal de détailler le fonctionnement des transistors LDMOS mais le lecteur intéressé pourra se reporter aux références suivantes [21] [42]. Par contre, nous allons, pour notre filière technologique, montrer les caractéristiques statiques à l'état passant et l'état bloqué du LDMOS.

La tension est supportée par la zone N^- de longueur L_d séparant la fin du canal de la zone de drain fortement dopé. Pour obtenir une tension de l'ordre de $40V$, il est nécessaire d'avoir une distance au minimum L_d de $3\mu m$. Comme l'étalement de la zone de charge d'espace est latéral, l'épaisseur de l'oxyde de champ a une influence importante sur la tenue en tension. En effet le champ que peut supporter un oxyde est $3.10^6 V/cm$. Il est donc nécessaire d'avoir un oxyde de 1300 \AA pour tenir les $40V$. L'oxyde de champ étant de 4000 \AA , cette valeur permet de tenir $45V$. La contre-partie de la longueur L_d permettant de tenir la tension est l'augmentation à la fois de la résistance à l'état passant R_{on} et la surface occupée par la cellule LDMOS.

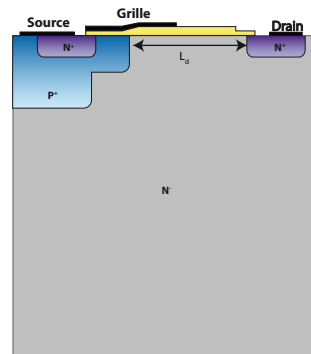


FIGURE 2.16 – Structure d'un transistor LDMOS

Les figures 2.17 (a) et (b) montrent respectivement les caractéristiques simulées d'entrée pour une très faible valeur de V_{DS} et la tenue en tension. Comme cela a été précisé dans le paragraphe 2.3.2, la largeur développée utilisée pour ces simulations est de $4000\mu m$ et l'épaisseur de l'oxyde de grille est de 550 \AA . La tension de seuil est de $3,6V$ et le courant admissible est supérieur au $10mA$ nécessaire pour le MOS de coupure. La tenue en tension est légère-

2.3. Circuit de détection et de protection contre les courts-circuits

ment supérieure au 40V nécessaire pour le MOS de délai. Nous pourrions donc utiliser le même LDMOS pour celui de coupure et celui de délai.

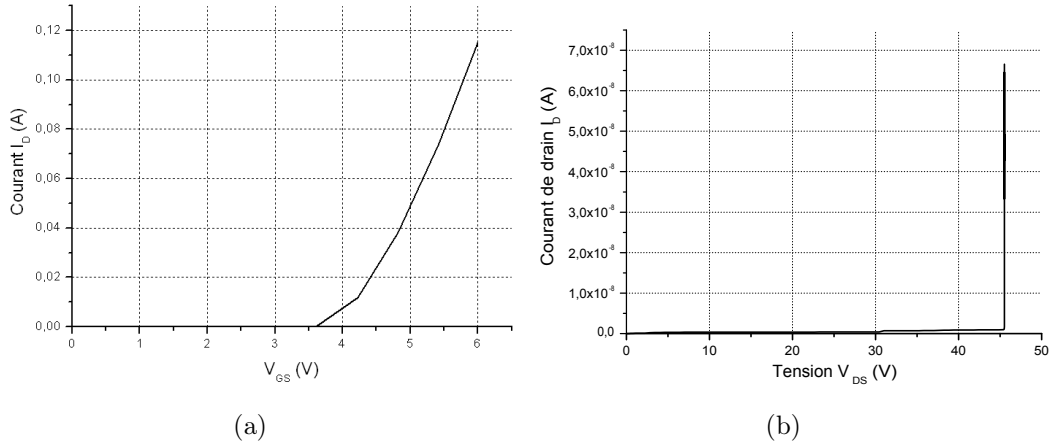


FIGURE 2.17 – (a) Caractéristique $I_D(V_{DS})$, (b) Tenue en tension du transistor LDMOS pour un $Z = 4000\mu m$

2.3.3.2 Diode Zener et résistance de délai

Les rôles de la diode zener et de la résistance de délai sont expliqués dans le paragraphe 2.3.1.

Dans le sens direct, la diode (figure 2.18 (a)) se comporte comme une jonction PN classique c'est-à-dire lorsque une tension supérieure à la tension de seuil est appliquée sur l'anode la diode devient passante. Dans le sens inverse, la diode reste bloquée tant que la tension reste inférieure à un seuil négatif V_Z . Au delà de ce seuil, la diode conduit en inverse la tension V_{AK} varie très peu, il y a effet zener. Notre technologie nous conduit à obtenir des tensions de $-10V$ (cf figure 2.18 (b)). Cette tension est largement suffisante pour protéger la grille du MOS de coupure.

La résistance de délai R_d , qui a été calculée dans le paragraphe 2.3.2, peut être réalisée monolithiquement et sa valeur est donnée par l'équation 2.3. La valeur de la résistance par carré est fixée par la filière technologique et est de $100\Omega/\square$. Les dimensions de la résistance par carré sont de $12\mu m \times 12\mu m$ en prenant en compte la diffusion latérale du caisson P. En fixant $W = 12\mu m$ et sachant que l'on veut une résistance R_d de $1.10^5\Omega$, il est donc nécessaire d'avoir une longueur L de $12.10^3\mu m$. La surface totale de cette résistance sera de $0,14mm^2$.

$$R = R_{\square} \frac{L}{W} (\Omega) \quad (2.3)$$

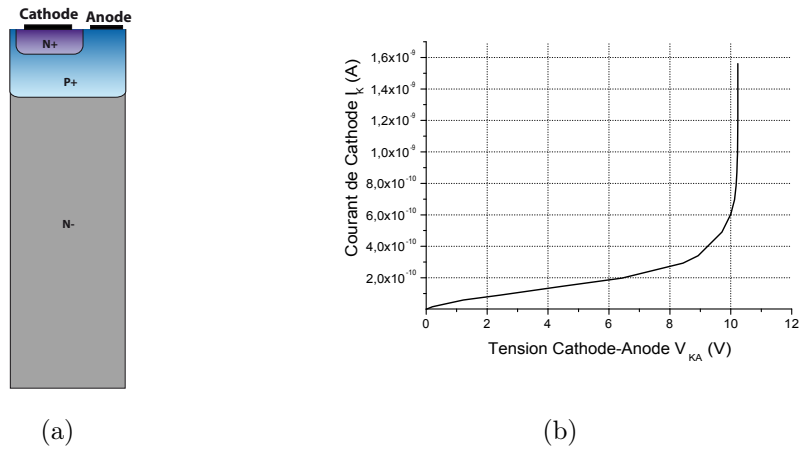


FIGURE 2.18 – (a) Coupe schématique d’une diode zener, (b) Tension de seuil de la diode Zener l’IGBT

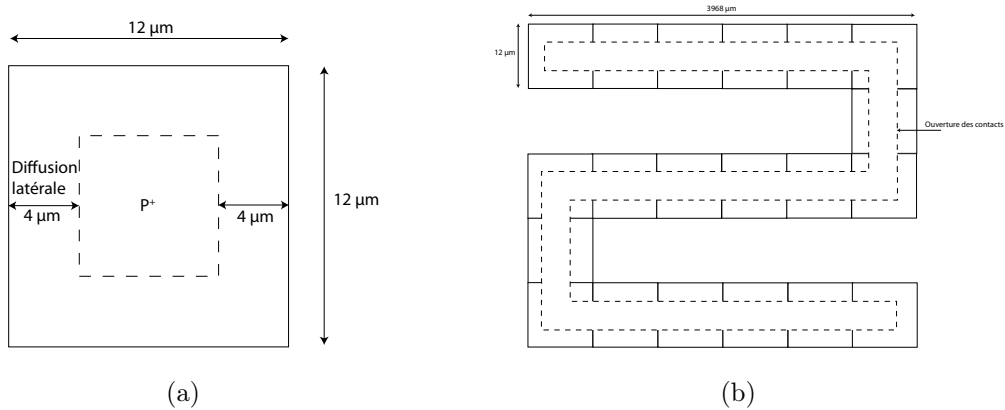


FIGURE 2.19 – (a) Dimension d’une résistance par carré, (b) Résistance de délai

2.4 Simulation du circuit de protection et détection en mode d’intégration discrète

La première étape avant d’envisager l’intégration monolithique totale du circuit de protection est de réaliser une étude pour une intégration de type discrète. Cette étude peut être réalisée à l’aide de simulation de type mixed mode où chaque élément constituant le circuit sont connectés par une connectique extérieure. Tous les éléments du circuit ont été simulés séparément précédemment et possèdent les caractéristiques correspondant au cahier des charges.

2.4. Simulation du circuit de protection et détection en mode d'intégration discrète

2.4.1 Paramètres de la structure de protection pour la validation par simulation

Le cahier des charges de chaque composant a bien été respecté : le transistor MOS de délai M_c peut supporter entre son drain et sa source la tension maximale que délivre le capteur de tension d'anode $40V$, le transistor MOS de coupure M_c peut supporter entre son drain et sa source la tension venant de la commande E_g $15V$ et transiter un courant de $10mA$, la capacité du MOS de délai permet d'obtenir un délai de $1\mu s$. Les dimensions et caractéristiques des différents éléments du circuit sont rappelées dans le tableau 2.2. Nous allons donc procéder à une étude en discret du circuit de protection et détection dans les deux cas de court-circuit.

Caisson	Paramètres physiques
P	Concentration en surface $C_S = 5.10^{17}cm^{-3}$ Profondeur de jonction $5\mu m$
P^+	Concentration en surface $C_S = 3.10^{19}cm^{-3}$ Profondeur de jonction $7\mu m$
N^+	Concentration en surface $C_S = 9.10^{19}cm^{-3}$ Profondeur de jonction $1,1\mu m$
P^+ (Anode)	Concentration en surface $C_S = 3.10^{19}cm^{-3}$ Profondeur de jonction $7\mu m$

Composants	Paramètres électriques et géométriques
IGBT	$W = 33000\mu m$ $4V < V_{AK(th)} < 6V$
Capteur de tension d'anode	$W = 4000\mu m$ $L = 8\mu m$
LDMOS de coupure	$W = 4000\mu m$ $4V < V_{GS(th)} < 6V$
LDMOS de délai	$W = 4000\mu m$ $4V < V_{GS(th)} < 6V$
Zener	$W = 4000\mu m$ $V_{Zener} = 10V$

TABLE 2.2 – Paramètres utilisés pour la validation de la structure de détection et protection par simulation 2D sous SENTAURUS

2.4.1.1 Simulation en condition de court-circuit de type I

Cette partie concerne les résultats de simulations en condition de court-circuit de type I c'est-à-dire quand le défaut est déjà présent au moment de la mise en conduction de l'IGBT. Nous rappelons que les simulations ont été effectuées en mixed-mode et donc les éventuelles interactions électriques dans le cristal ne seront pas effectives. Le but de ces simulations est de montrer dans un premier temps la pertinence du circuit pour la protection.

Sur la figure 2.20 sont représentées les évolutions de la tension de grille de l'IGBT, de la grille de M_c et de la tension aux bornes de la diode Zener (ou grille du MOS M_d). De $t = 0$ à $t = 200\mu s$, l'IGBT est à l'état OFF. Au temps $t = 200\mu s$, un court-circuit est simulé. On peut constater qu'il y a une surtension de la tension de grille de l'IGBT. Ce phénomène est du à la décharge de la capacité d'oxyde de grille. La tension de grille M_d atteint sa tension de seuil, ce dernier devient passant. Ainsi, la tension de source de LDMOS de coupure M_d augmente, le LDMOS de coupure M_c est à son tour passant et permet de court-circuiter la grille de l'IGBT à la masse. L'IGBT reste fermé pendant toute la durée du court-circuit. Le circuit est efficace dans le cas d'un court-circuit de type I.

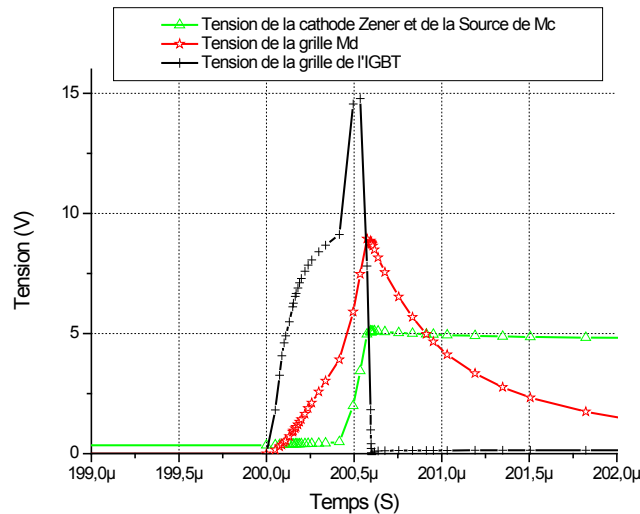


FIGURE 2.20 – Fonctionnement de la structure en condition de court-circuit de type I

2.4.1.2 Simulation en condition de court-circuit de type II

Toujours en mode mixed mode, nous allons simuler le circuit de protection dans le cas d'un court-circuit de type II c'est-à-dire quand le défaut intervient alors que l'IGBT est déjà à l'état ON. Sur la figure 2.21, la tension grille de l'IGBT est égale à la tension d'alimentation E_g

2.5. Optimisation dans le cas d'une intégration monolithique du circuit

lorsque que le court-circuit survient. Dans ce cas, aucun délai n'est toléré donc la grille du transistor M_d étant au même potentiel que celle de l'IGBT. Lors d'une croissance rapide de la tension d'anode, le transistor M_c se met en conduction et ainsi dérive le courant transitant dans le dispositif IGBT. La tension de grille de l'IGBT est mise à 0. L'IGBT est donc protégé contre le court-circuit de type II.

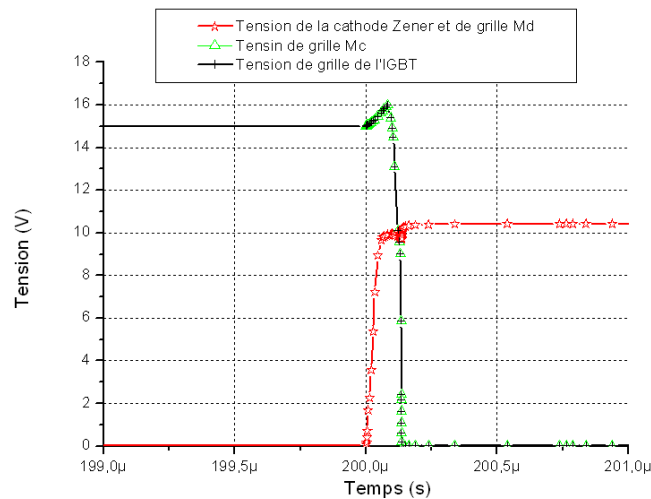


FIGURE 2.21 – Fonctionnement de la structure en condition de court-circuit de type II

La fonctionnalité du circuit de protection et de détection est validée dans les deux cas de court-circuit. La réponse de ce circuit est inférieure à $10\mu s$ temps limite de tenue en court-circuit de l'IGBT. L'étape suivante est donc l'intégration monolithique des différents éléments du circuit et de l'interrupteur IGBT c'est-à-dire associer tous les éléments de basse (circuit de protection et détection) et haute (IGBT) tension dans un même substrat de silicium.

2.5 Optimisation dans le cas d'une intégration monolithique du circuit

Le but ultime de la conception de ce circuit de protection est de pouvoir le réaliser entièrement monolithiquement au plus près de l'interrupteur de puissance. En effet, l'intégration monolithique améliore la fiabilité de l'ensemble en supprimant les connectiques, permet une diminution des coûts quand la surface silicium reste modérée, augmente le comportement électrique en évitant les inductances parasites liées au câblage et permet une diminution du volume utile. L'inconvénient majeur de ce type d'intégration porte sur les éventuelles interactions élec-

triques qui peuvent intervenir dans le cristal entre les différents éléments. Nous allons donc simuler tous les éléments du circuit dans le même substrat et proposer des solutions de protection entre les éléments basse tension et l'élément de puissance, afin de réduire les effets parasites qui vont apparaître.

2.5.1 Simulation de la structure intégrée et problème d'isolation

Nous avons intégré tous les éléments qui composent le circuit de protection ainsi que l'interrupteur de puissance dans un même substrat de silicium. Les simulations ne sont plus effectuées en mode "mixed-mode" avec les différents éléments séparés mais sur tous les éléments intégrés dans le même volume de silicium afin de prendre en compte les interactions électriques. Il faut noter que ces dernières sont particulièrement chronophages. La figure 2.23 (sans la partie isolation) montre la structure qui a été simulée. La longueur est de $300\mu m$ sur un Z de $4000\mu m$. Les résultats ont montré que la protection de l'IGBT n'est pas efficace dans les deux cas de court-circuit comme le montrent les résultats donnés sur les figures 2.22 (a) et (b). Dans le cas d'un court-circuit de type I, on peut constater que la tension de la grille de l'IGBT est polarisée avant l'application de la commande. Dans le cas d'un court-circuit de type II, la tension de commande de grille n'augmente pas suffisamment pour commander efficacement l'IGBT afin de le mettre à l'état passant. Ces deux phénomènes sont liés aux interactions électriques dans le cristal et correspondent à des courants de fuite qui viennent perturber le bon fonctionnement du circuit. Ces courants ont été détectés et représentés sur la figure 2.23 qui montre la coupe schématique du circuit intégré. En effet, deux mécanismes sont à l'origine de ces courants :

- le premier correspond au fait que la région N^- de drift est commune à l'ensemble des éléments. Ainsi lorsque la commande de grille est appliquée et dès que la tension de seuil de l'IGBT est atteinte, un courant de substrat est observé entre les deux drains des transistors LDMOS. Ce courant traverse ensuite le capteur de tension d'anode jusqu'à la cathode au travers du canal. Par conséquent, la polarisation de la grille de l'IGBT est limitée juste à la valeur seuil. Une commande efficace de l'IGBT devient alors impossible.

- le second mécanisme intervient lorsque l'anode injecte des porteurs et qu'une partie du courant peut être récupéré par les régions de drain (cela correspond à la mise en conduction de la diode matérialisée par la région P^+ d'anode, la région N^- de drift et la région N^+ de drain). Ce courant vient alors charger la grille de l'IGBT et ce dernier peut s'amorcer.

Il est donc nécessaire d'isoler les transistors LDMOS de l'élément de puissance afin de supprimer l'effet néfaste de ces courants parasites. Le paragraphe suivant traite des différentes techniques d'isolation qui peuvent être implantées dans le circuit.

2.5. Optimisation dans le cas d'une intégration monolithique du circuit

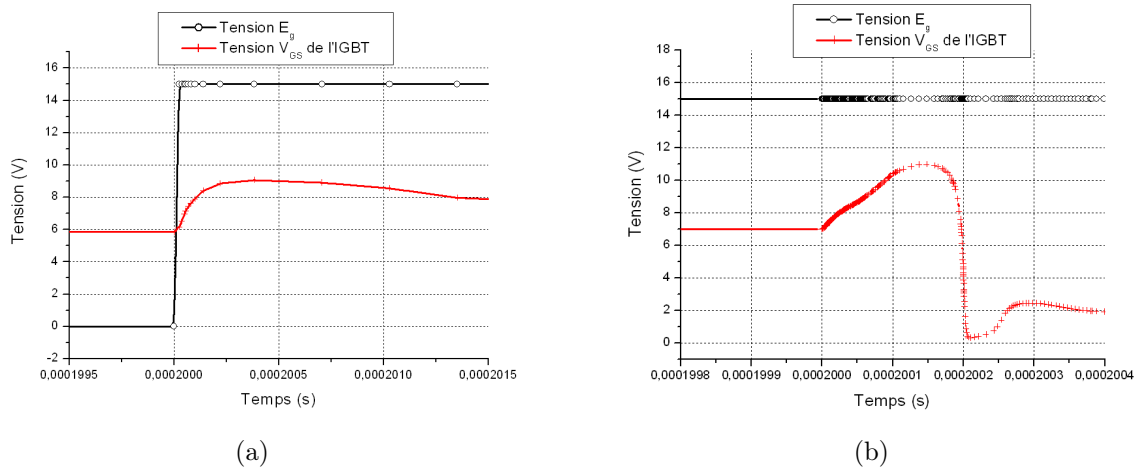


FIGURE 2.22 – (a) Tension de la grille de l'IGBT dans le cas d'un court-circuit de type I sans isolation, (b) Tension de la grille de l'IGBT dans le cas d'un court-circuit de type II sans isolation

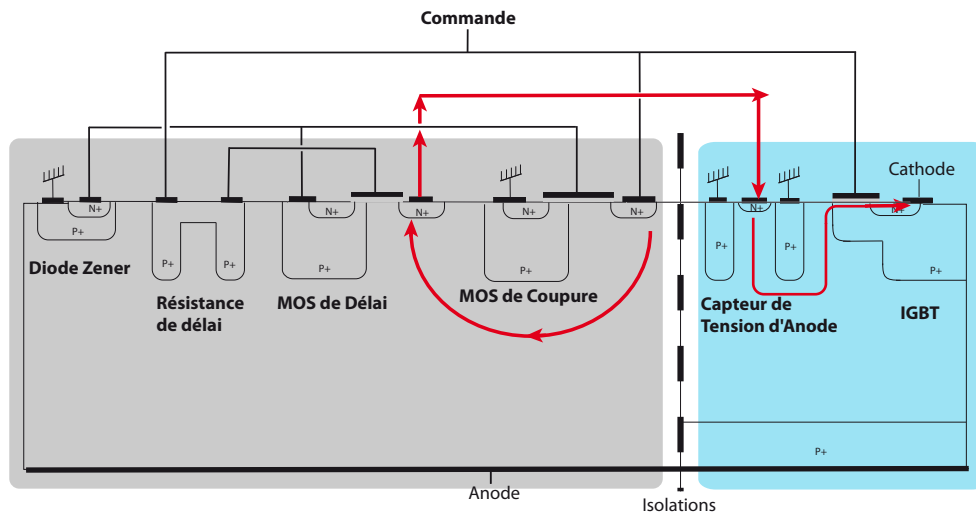


FIGURE 2.23 – Coupe schématique qui met en évidence la problématique d'intégration monolithique de la structure de détection et de protection

2.5.2 Différentes techniques d'isolation

Pour résoudre ce problème de fuites de courant quelques techniques d'isolation ont été proposées [12] à savoir la technique des murs traversant, la technique de SOI partiel et le technique SON.

Chapitre 2. Intégration de protections rapprochées

Les principes de ces techniques sont les suivants :

-la technique des "murs traversant" est basée sur la réalisation de tranchées traversant entièrement les wafers (figure 2.24). Après gravure, ces tranchées sont remplies de polysilicium fortement dopé P^+ . Les murs réalisés permettent une isolation par jonction entre les différents éléments du circuit. Cette technique a été réalisée pour la première fois au LAAS-CNRS [14].

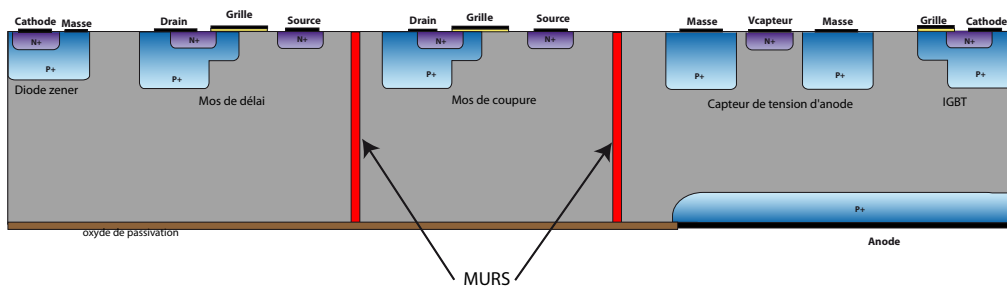


FIGURE 2.24 – Structure utilisant la technique d'isolation par des murs

-la technique dite de "SOI partiel" (Silicon On Insulator) [11] a pour objectif de réduire les courants de fuite et de couplage entre deux circuits grâce à sa faible capacité d'oxyde (figure 2.25). L'oxyde de silicium procure une bonne isolation électrique mais aussi thermique. Les parties sensibles à protéger sont donc logées dans des caissons SOI localisés. Cette isolation est appropriée pour les applications hautes tensions.

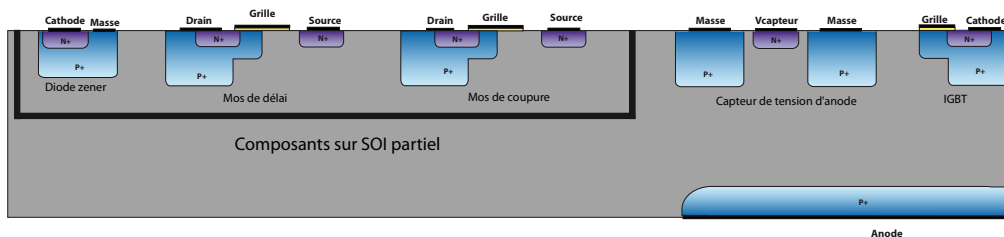


FIGURE 2.25 – Structure avec la méthode d'isolations SOI

-la technique dite du "Silicon On Nothing"(SON) [53] ou composant sur membrane est réalisée à partir de tranchées profondes de $20\mu m$ remplies de polysilicium saturé P^+ et d'une gravure face arrière, en face des régions délimitées par les tranchées, de manière à réaliser des composants sur membranes (Figure 2.26).

2.6. Etude du circuit avec isolation par caissons P

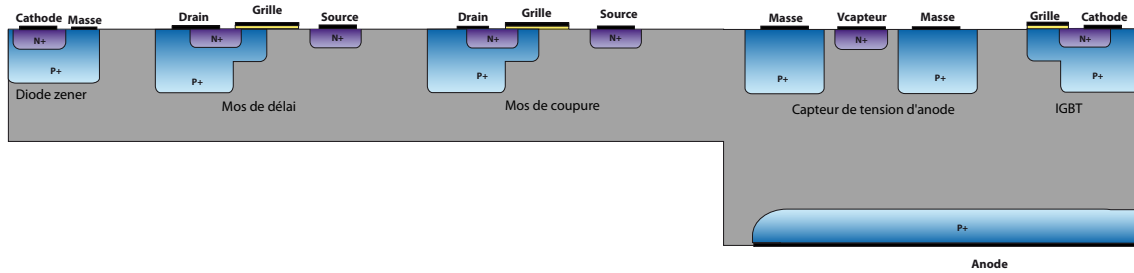


FIGURE 2.26 – Structure avec la méthode d’isolations SON

Ces trois techniques d’isolation ont été étudiées et simulées dans [12]. Les résultats obtenus ont montré qu’elles étaient efficaces et permettaient de retrouver un comportement correct du circuit de protection. Cependant leurs réalisations technologiques se sont révélées délicates et incompatibles avec un faible coût de réalisation.

Nous avons développé une alternative faible coût permettant de réaliser une isolation entre les différents éléments. Cette alternative consiste à introduire les LDMOS dans des caissons P réalisant une auto-isolation entre les différents éléments de la structure et permettant de réduire les courants parasites. Cette technique reste toujours compatible avec un procédé de technologie planar.

2.6 Etude du circuit avec isolation par caissons P

Le principe de l’intégration monolithique que nous utilisons en intégration fonctionnelle [15] [45] [41] est basé sur le phénomène de l’auto-blindage [20] [35] entre les caissons P dans lesquels sont définis les éléments. Cette technique d’isolation est compatible avec un procédé technologique de type IGBT. Elle implique l’utilisation de structure de base de jonctions PN polarisées en inverse comme dans toutes les structures VDMOS ou IGBT.

2.6.1 Adaptation des caractéristiques électriques du LDMOS

Afin de bénéficier du phénomène d’auto-blindage, nous avons donc positionné la région de drain du LDMOS de délai dans un caisson P^+ (figure 2.27). Cette figure peut être comparée à celle d’un LDMOS classique sans caissons P dans la figure 2.17 (a). L’introduction du caisson P^+ du drain permet une auto-isolation avec celui de source en polarisation inverse. Les paramètres technologiques de ce caisson P^+ sont ceux de l’IGBT principal (cf paragraphe 2.1.1). L’introduction du caisson P^+ au niveau du drain implique la réalisation d’une région N en

Chapitre 2. Intégration de protections rapprochées

surface reliant la région de drain N proprement dite au substrat N^- afin d'assurer le passage du courant drain-source. Cette technique nécessite donc une étape supplémentaire permettant la réalisation de cette région N^- . Pour la région P^+ de drain il suffit simplement de la définir sur le masque d'ouverture des caissons P^+ .

Pour vérifier que le mode de fonctionnement de cette configuration de ce LDMOS correspond aux exigences liées au circuit (cf paragraphe 2.3.2), nous avons effectué des simulations 2D à l'état bloqué. Le premier type de simulation porte sur la tenue en tension drain-source en fonction de la distance L_d inter-caissons P^+ . La figure 2.28 (a) illustre les résultats obtenus pour une distance L_d comprise entre 10 et $20\mu m$ pour une tension d'anode nulle dans ces simulations. Une distance L_d de $20\mu m$ permet d'obtenir $55V$ de tenue en tension ce qui est largement suffisant pour notre application. D'autre part, cette distance restant inférieure à une distance de $25\mu m$, l'auto-blindage entre les caissons P^+ reste garanti.

Des simulations ont été réalisées à l'état passant et sont données sur la figure 2.28 (b). Il n'existe aucune différence de caractéristiques avec le LDMOS avec et sans caissons P^+ . Il en résulte que l'utilisation de ces LDMOS "adaptés" dans le circuit de protection réalisé de manière discrète n'introduira pas de modification sur son fonctionnement. Reste à vérifier qu'il en est de même pour un circuit monolithiquement intégré. C'est l'objet du paragraphe suivant.

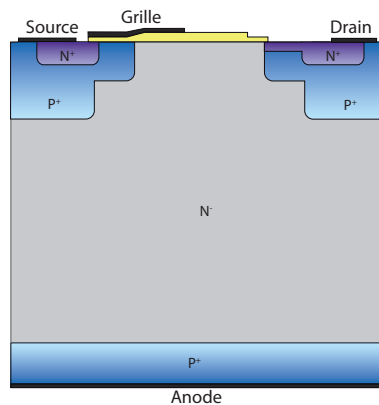


FIGURE 2.27 – Coupe de la structure LDMOS *adapté*

2.6. Etude du circuit avec isolation par caissons P

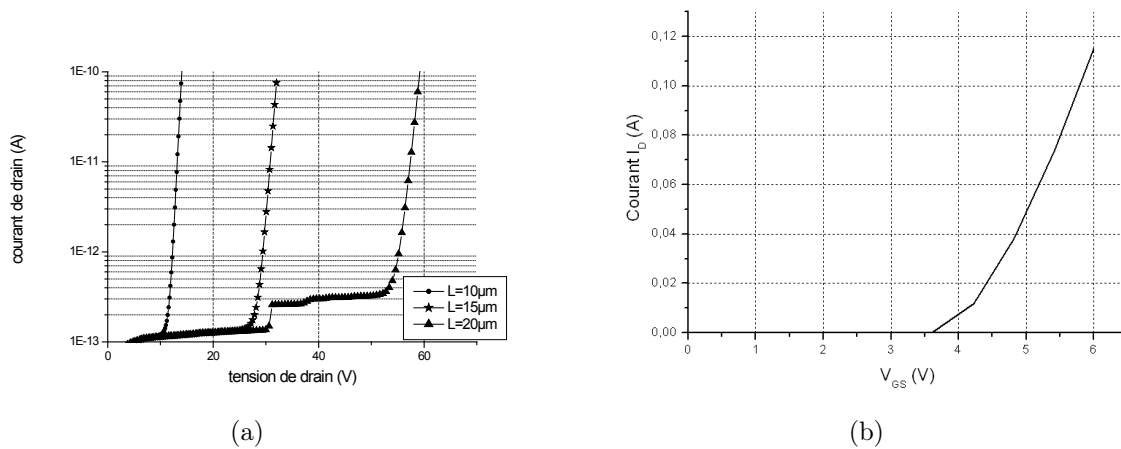


FIGURE 2.28 – (a) et (b) Tenue en tension à l'état bloqué et Caractéristiques statiques du LDMOS *adapté*

2.6.2 Structure intégrée avec le LDMOS *adapté*

Dans ce paragraphe, nous allons étudier le circuit de protection totalement intégré en utilisant le LDMOS *adapté*. Ce LDMOS sera utilisé pour le LDMOS de délai puisqu'il doit tenir une tension de 35V. Par contre le MOS de coupure ne devant tenir que 15V, il est possible d'utiliser un MOS classique réalisé dans un caisson P permettant son isolation de la haute tension.

2.6.3 Structure intégrée en condition de court-circuit avec le LDMOS *adapté*

L'objectif de cette partie est de simuler en condition de court-circuit la structure qui comprend les différents éléments du circuit de protection et de détection et l'interrupteur (figure 2.29). Sur cette coupe nous distinguons le capteur de tension d'anode, le LDMOS adapté qui correspond au MOS de délai, à la diode zener, au MOS classique réalisé dans un caisson P correspondant au MOS de coupure et à l'IGBT de puissance. L'isolation électrique dans la structure entre les composants se fait à l'aide une distance de $25\mu\text{m}$ entre les caissons P^+ . (Le schéma de la coupe n'est pas à l'échelle). Cette distance est suffisante pour avoir l'auto-isolation.

Chapitre 2. Intégration de protections rapprochées

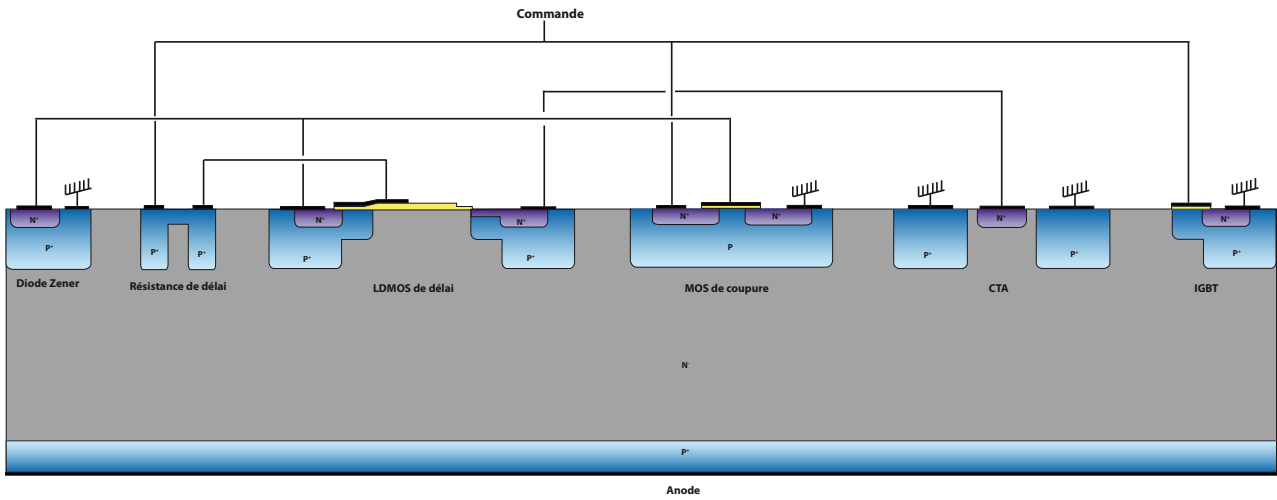


FIGURE 2.29 – Coupe de la structure intégrée

Les figures 2.30 et 2.31 montrent l'évolution de la tension de grille de l'IGBT durant la détection d'un court-circuit de type I et de type II. Dans les deux cas, lors de la présence de court-circuit, l'IGBT est mis à l'état *OFF*. Le circuit permet donc une détection et une protection efficace de l'IGBT. La méthode d'isolation par caissons P^+ est donc effective et supprime les courants de fuite entre les éléments liés à l'intégration monolithique.

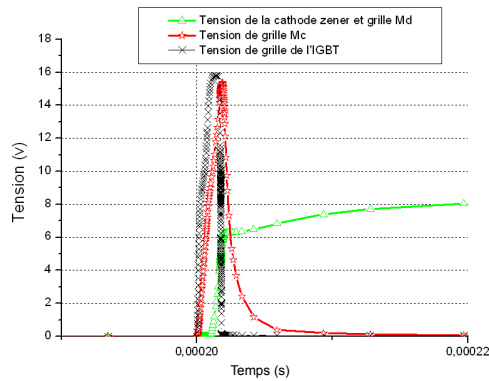


FIGURE 2.30 – Tension de grille de l'IGBT durant un court-circuit de type I

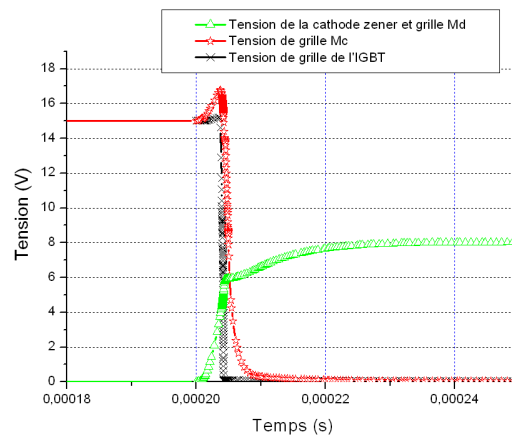


FIGURE 2.31 – Tension de grille de l'IGBT durant un court-circuit de type II

2.7 Conclusion

Dans un premier temps, nous avons conçu l'IGBT-test. Il peut tenir une tension de 1200V grâce à la terminaison de jonction JTE avec une longueur L du caisson P^- de $140\mu m$. Concernant les IGBT 3,3kV, nous avons utilisé la technique des anneaux de garde. L'IGBT, étant multicellulaire, l'augmentation du calibre en courant passe obligatoirement pour une augmentation du nombre de cellules connectées en parallèle dans la surface active du composant. Parmi les différentes géométries de cellules, nous avons opté pour les cellules carrées qui présentent de meilleures caractéristiques à l'état passant. L'IGBT est donc constitué de 194 cellules pour obtenir un courant de l'ordre de l'ampère (1,3A).

Nous avons ensuite présenté dans ce chapitre deux capteurs d'état. Le premier est basé sur le suivi en courant et le second sur le suivi de la tension d'anode. Le premier capteur étudié est le miroir de courant ou "Sense". Ce capteur permet de donner une image du courant total traversant le composant de puissance. Le Sense est constitué de plusieurs cellules en parallèle (pouvant être de même type que celle de l'interrupteur) connectées entre elles à l'extérieur par une électrode auxiliaire. L'IGBT dispose alors de 4 électrodes. Nous avons simulé trois topologies de "Sense". Pour la première topologie les cellules Sense sont identiques aux cellules IGBT, la seconde les cellules "Sense" ne comportent qu'un caisson P et les dernières sont identiques à celles de l'IGBT mais sans court-circuit entre le caisson N^+ et P^+ . Les simulations de ces trois topologies pour une surface de "Sense" donnée, nous ont permis de conclure que la première topologie était la plus judicieuse. En effet, cette configuration permet d'avoir un courant faible à surface identique. De plus la réalisation de cette topologie ne nécessite la modification que

Chapitre 2. Intégration de protections rapprochées

d'un seul masque par rapport à la filière technologique de la partie puissance.

Le capteur de tension d'anode permet de délivrer sur la face avant du dispositif une image continue de la tension présente sur la face arrière du dispositif. Nous avons vu qu'en jouant sur la longueur L inter-caisson P , on pouvait obtenir différentes valeurs V_{Capteur} . Pour une longueur L inférieure à $10\mu m$, la tension V_{Capteur} ne dépasse pas $30V$. Cette tension peut être utilisée par des éléments basse tension sans les endommager. L'objectif est de réaliser ce circuit entièrement monolithiquement au plus près de l'interrupteur de puissance. En effet, l'intégration monolithique améliore la fiabilité, diminue les coûts de fabrication. Nous avons simulé la structure intégrée du circuit en condition de court-circuit. Les résultats ont montré dans les deux cas de courts-circuits que la protection de l'IGBT n'est pas efficace. Plusieurs techniques d'isolations ont été proposés pour pallier aux différentes interactions électriques. Toutes ces solutions, malgré leur efficacité, sont délicates et incompatibles avec une réalisation faible coût. Nous avons donc adapté le transistor LDMOS afin de bénéficier du phénomène d'auto-blindage en positionnant le drain dans un caisson P^+ . Cette modification n'a pas entraîné de changement au niveau des caractéristiques du transistor. Nous avons alors simulé ce transistor dans le circuit de détection et de protection en mode mixed-mode et dans la structure intégrée monolithiquement. Le circuit a permis la protection de l'IGBT dans les deux cas de court-circuit.

Conception et réalisation de Véhicules de tests

Sommaire

3.1	Description des étapes de réalisation des véhicules de tests	84
3.2	Présentation et description de la filière flexible	85
3.2.1	Étape 1 : Oxydation de masquage	87
3.2.2	Étape 2 : Terminaison de jonction	87
3.2.3	Étape 3 : Anode P^+ face arrière	88
3.2.4	Étape 4 : Oxydation de grille	89
3.2.5	Étape 5 : Réalisation des caissons P_{well} face avant	91
3.2.6	Étapes 6 et 7 : Réalisation des Courts-Circuits face avant (caissons P^+) et redistribution du bore	92
3.2.7	Étapes 8 et 9 : Réalisation des régions N^+ et redistribution	93
3.2.8	Étapes 10-11 et 12 : Dépôt nitrure, ouverture des contacts et métallisation	94
3.2.9	Étape 14 : Recuit Aluminium	95
3.3	Résultats expérimentaux	96
3.3.1	Caractéristiques statiques des IGBT	97
3.3.2	Caractérisations électriques des dispositifs IGBT-Sense	101
3.3.3	Test en condition de court-circuit de type II	104
3.4	Conclusion	108

Chapitre 3. Conception et réalisation de Véhicules de tests

Nous avons dans le chapitre précédent étudié deux types de circuits intégrables avec le composant de puissance permettant d'assurer la détection de court-circuit et la protection du composant. Pour chacun d'eux, nous avons détaillé le fonctionnement du circuit de détection et de protection des IGBT contre les deux types de courts-circuits. Afin de valider expérimentalement ces résultats nous proposons dans ce chapitre la réalisation des différents éléments qui composent ces circuits. Pour le premier circuit basé sur le capteur d'anode nous réaliserons :

- des transistors IGBT *NPT* avec deux types de spécifications (des IGBT avec pour calibre en tension $600V$ et en courant $1,3A$, d'autres IGBT avec $3,3kV$ et $50A$),
- des transistors LDMOS,
- des capteurs de tension d'Anode,

Pour la deuxième solution basée sur des IGBT-Sense nous réaliserons :

- des IGBT avec des capteurs de courant intégrés (IGBT Sense) avec différentes topologies de surface de Sense.

Ces dispositifs nous permettront de tester le circuit de protection et détection basé sur le capteur de tension d'anode dans le cas d'un court-circuit. Nous allons tester les IGBT-Sense et ainsi comparer les résultats des différentes topologies réalisées. Nous allons dans un premier temps décrire la filière technologique IGBT développée au LAAS-CNRS. Nous présenterons ensuite les résultats électriques de tous les dispositifs réalisés et les résultats du circuit de détection en discret, qui nous permettront de valider le fonctionnement et d'optimiser les différents éléments pour envisager l'intégration monolithique.

3.1 Description des étapes de réalisation des véhicules de tests

La démarche que nous avons suivi pour la réalisation des différents composants est représentée sur la figure 3.1.

La première étape concerne la définition du cahier des charges qui permet de spécifier la fonctionnalité et les caractéristiques électriques des différents composants.

La deuxième étape, largement décrite dans le deuxième chapitre, a consisté à définir les paramètres géométriques de ces composants en fonction des paramètres physiques fixés par le processus de fabrication technologique. Cette optimisation s'est appuyée sur les outils de simulations de procédés technologiques et électriques avec le logiciel SENTAUROS TCAD.

3.2. Présentation et description de la filière flexible

Sur la base des paramètres géométriques définis dans la deuxième étape, la troisième étape a été consacrée à la réalisation des différents masques qui permettront la matérialisation des différents composants dans le silicium.

Les dernières étapes portent sur la réalisation technologique et les tests électriques des dispositifs.

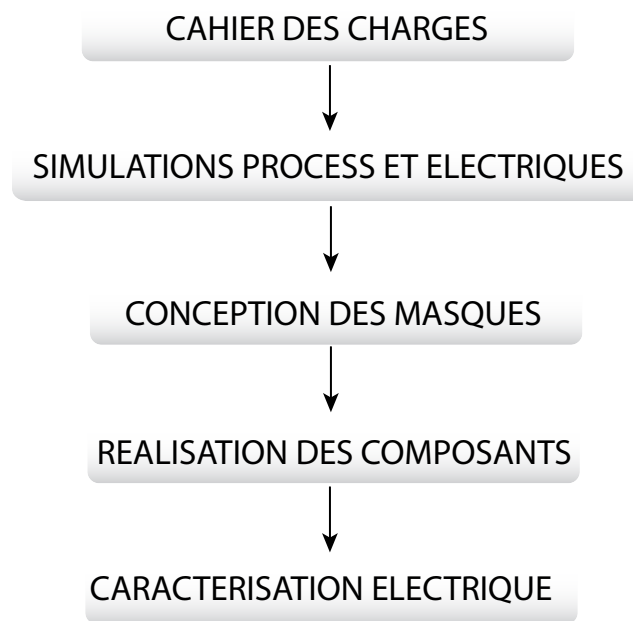


FIGURE 3.1 – Enchaînement des étapes pour la réalisation des puces.

3.2 Présentation et description de la filière flexible

La fonctionnalité et les caractéristiques électriques des dispositifs basés sur le mode d'intégration fonctionnelle dépendent non seulement de l'agencement des couches semi-conductrices et de la topologie de surface mais également des caractéristiques physiques des différentes régions. Le processus technologique de fabrication d'une structure assurant une fonction électrique est établi à partir des étapes optimisées de cette filière. Cette filière est basée sur un processus "auto-aligné" avec des grilles en polysilicium permettant de réaliser des dispositifs de puissance de base de la famille MOS/Bipolaire (IGBT, MOS-Thyristor,...) qui peut être complétée par des étapes technologiques spécifiques permettant de réaliser par exemple des régions différenciées N ou P sur la face arrière, deux types de caissons P, des périphéries P^- ...

L'enchaînement des étapes se fait en respectant le bilan thermique final de chacune d'entre

Chapitre 3. Conception et réalisation de Véhicules de tests

elles. Cette notion de filière flexible permet d'introduire des étapes supplémentaires par rapport à celles du composant de puissance . La figure 3.2 présente les étapes coeur de cette filière basées sur 10 niveaux de masques qui permettent de réaliser un dispositif IGBT.

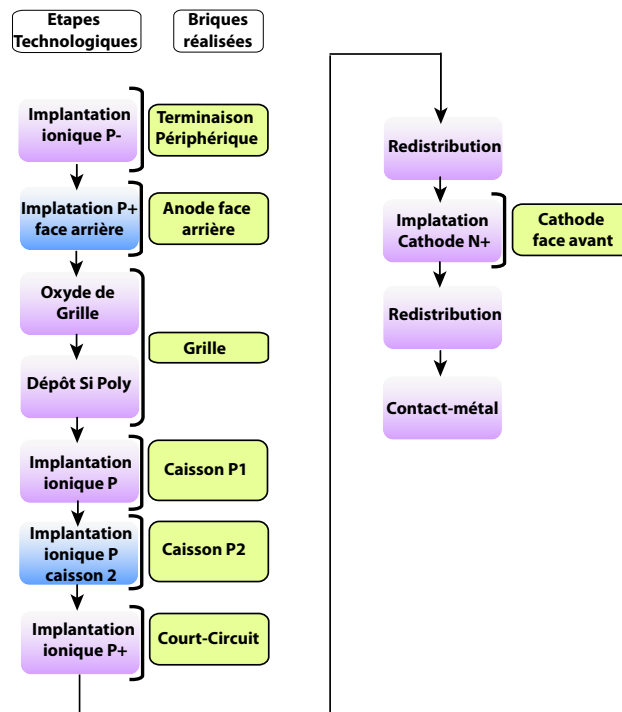


FIGURE 3.2 – Enchaînement des étapes pour la réalisation des puces IGBT

Nous allons détailler les différentes étapes technologiques ainsi que les différents masques qui ont permis la réalisation des différents dispositifs. La figure 3.3 montre une plaquette de silicium constituée de plusieurs dispositifs IGBT composés de cellules carrées.

3.2. Présentation et description de la filière flexible

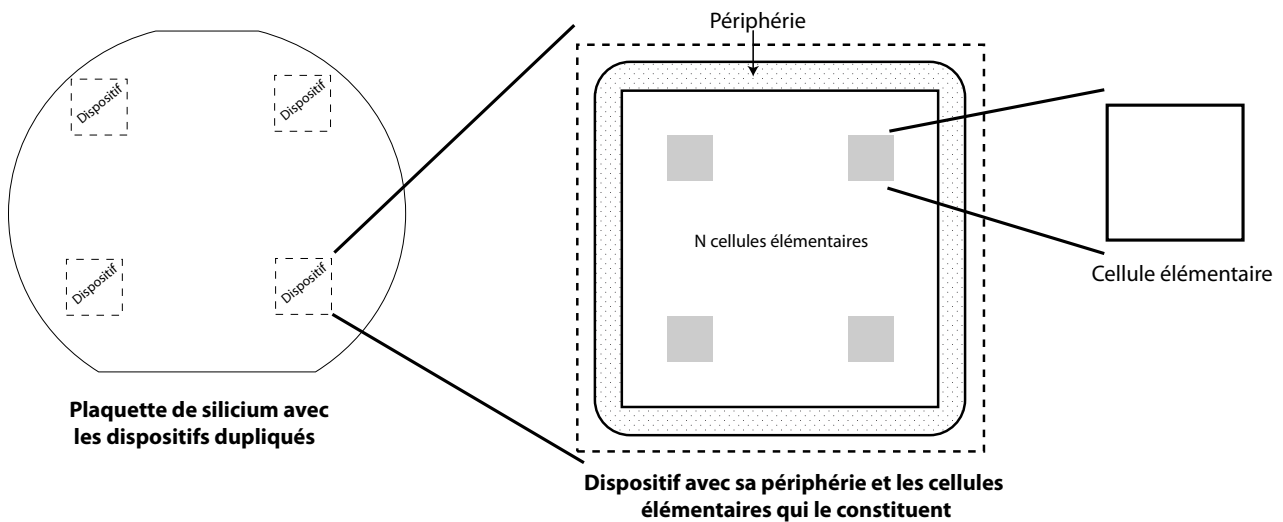


FIGURE 3.3 – Détail d'une plaquette silicium

3.2.1 Étape 1 : Oxydation de masquage

Cette étape ne nécessite pas de masque car un oxyde est créé sur toute la surface de la plaquette de silicium empêchant la diffusion dans le volume des dopants tels que le bore, l'arsenic ou le phosphore. Cet oxyde peut par attaque chimique être enlevé localement.

Les plaquettes sont enfournées à 600°C , et subissent une montée lente en température jusqu'à 1150°C sous atmosphère d'oxygène sec. Toutes les étapes d'oxydation sont suivies sur le palier de température de 15min sous azote, ce qui permet d'arrêter la réaction d'oxydation à haute température. La descente en température se fait sous ambiance neutre (azote) à la vitesse de $5^{\circ}\text{C}/\text{mn}$. L'épaisseur d'oxyde de masquage obtenue est de 5960 \AA .

3.2.2 Étape 2 : Terminaison de jonction

Cette filière technologique est basée sur les terminaisons de jonction de type JTE (cf chapitre 2 paragraphe 2.1.2) optimisées précédemment au LAAS-CNRS pour des tenues en tension situées dans les gammes 600V - 1200V . Ces terminaisons sont réalisées en périphérie des dispositifs par implantation ionique de bore avec une faible dose. Le caisson P^{-} , ainsi réalisé, est ensuite redistribué sous ambiance oxydante. L'implantation ionique de bore se fait à une énergie de 50keV et une dose de $2,5 \cdot 10^{12}\text{cm}^{-2}$. L'épaisseur d'oxyde de champ alors créée est de 6400 \AA . Les doses et énergies d'implantation sont choisies pour obtenir en fin de processus de fabrication une dose active dans le silicium de $1,3 \cdot 10^{12}\text{cm}^{-2}$ correspondant à la tenue en tension

maximale.

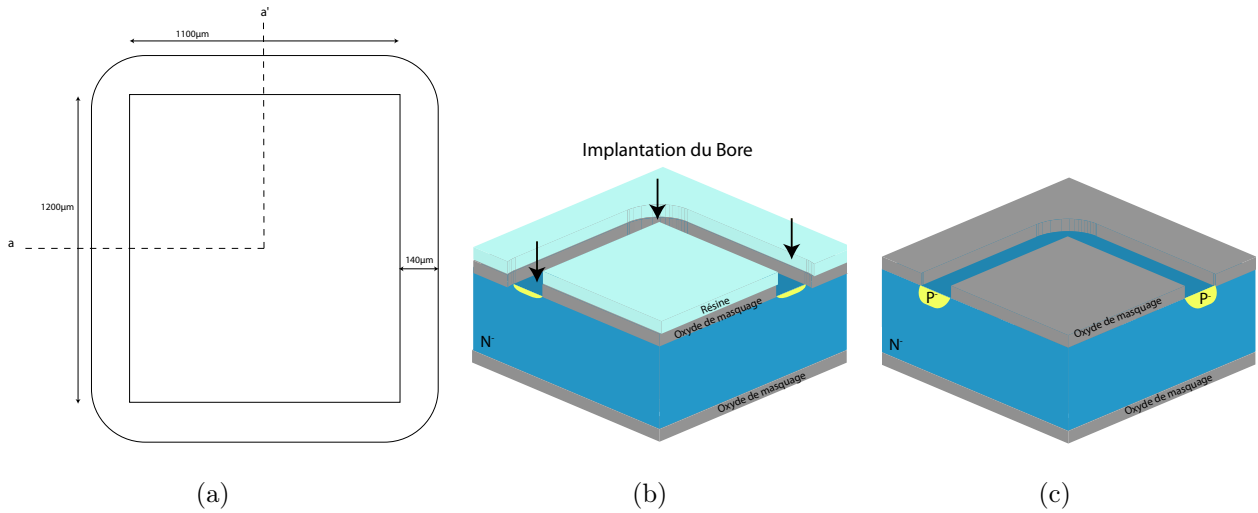


FIGURE 3.4 – (a) Masque P_{msup} , (b) Implantation de bore, (c) Redistribution des caissons P^-

3.2.3 Étape 3 : Anode P^+ face arrière

La région d'anode P^+ est réalisée par implantation ionique de bore sur la face arrière sans auto-alignement par rapport à la grille. L'énergie d'implantation est de $50keV$ et la dose est de $1.10^{16}cm^{-2}$. La redistribution de cette région se fait d'une part lors de la réalisation de l'oxyde de grille effectuée à $1000^\circ C$, et d'autre part lors des redistributions des caissons P et des cathodes N^+ de la face avant à $1150^\circ C$. A la fin du procédé de fabrication et après toutes les étapes thermiques, la concentration en surface obtenue est de $3.10^{19}cm^{-3}$ pour une profondeur de jonction de $7,2\mu m$. La redistribution de l'anode se fait en même temps que celles des caissons P_{well} et P^+ face avant.

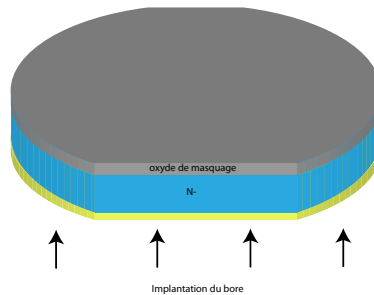


FIGURE 3.5 – Implantation du bore sur la face arrière de la plaquette

3.2.4 Étape 4 : Oxydation de grille

La réalisation de la grille en polysilicium est un des points critiques de la filière car elle va déterminer notamment la tension de seuil de l'IGBT. Afin d'obtenir un auto alignement des régions de cathodes par rapport à la grille, il est nécessaire de réaliser cette dernière au début du procédé de fabrication. Les deux paramètres les plus importants dans la réalisation de la grille en polysilicium sont l'épaisseur de l'oxyde et le dopage du polysilicium déposé.

1-Ouverture de la zone active

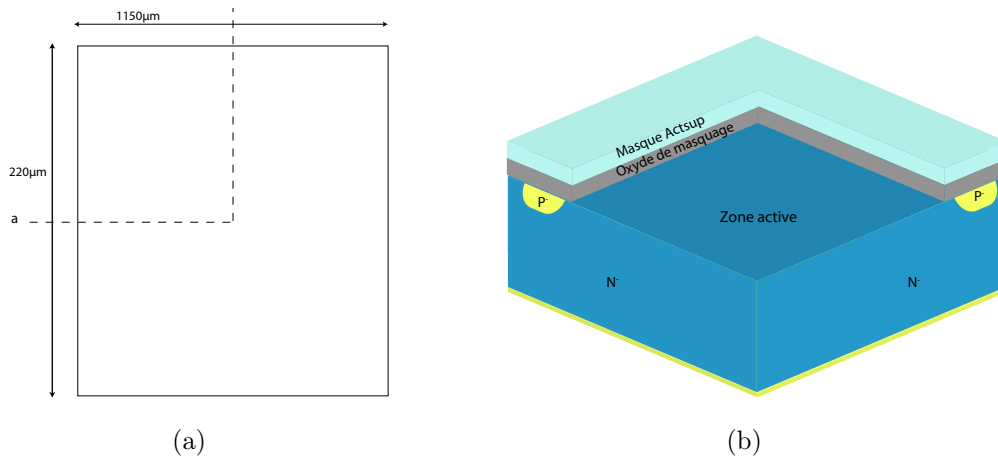


FIGURE 3.6 – (a) Masque *Actsup*, (b) Ouverture de la zone active sur un dispositif IGBT

2-Oxydation thermique du silicium

Cette étape d'oxydation est toujours précédée d'un nettoyage chimique qui permet d'éliminer un maximum d'impuretés de type sodium ou potassium qui sont des effets néfastes sur la qualité et l'intégrité électrique de la grille.

L'oxyde de grille est réalisé par oxydation thermique du silicium. Le profil thermique de cette étape a été optimisé à la centrale technologique du LAAS CNRS pour obtenir une épaisseur d'oxyde de 550 Å. Les 10 min à 700°C sous azote après enfournement permettent d'uniformiser la température du four ainsi que la répartition des gaz, en vue d'obtenir une épaisseur d'oxyde la plus homogène possible (plus ou moins quelques dizaines d'angstroems) sur chaque plaquette et également sur l'ensemble des plaquettes.

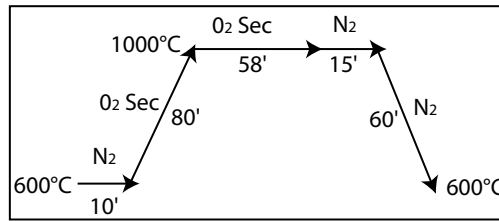


FIGURE 3.7 – Croissance de l’oxyde de grille

3-Dépôt LPCVD du polysilicium (3500 Å)

Le dopage du polysilicium de type N peut se faire soit par implantation ionique d’atomes d’arsenic ou de phosphore, soit par diffusion de phosphore. Nous travaillerons avec la deuxième solution car la grille doit subir toutes les étapes de redistribution, et il aurait été nécessaire, dans le cas d’une implantation ionique, de déposer une couche de nitrure afin d’éviter l’exo-diffusion du dopant de la grille. En revanche, lors de la diffusion du phosphore, qui se déroule sous ambiance oxydante, la couche d’oxyde naturellement créée permet d’éviter cette exodiffusion des atomes de phosphore. Le polysilicium de grille est déposé par LPCVD à partir de la décomposition du silane ((SiH_4)), à la température $605^\circ C$ pendant $30min$ pour obtenir une épaisseur de 3000 \AA .

4-Dopage polysilicium (diffusion $POCl_3$)

Le dopage de type N du polysilicium s’effectue à partir d’un pré-dépôt d’une source de liquide de phosphore $POCl_3$. La résistivité obtenue varie de $1.10^{-3}\Omega/cm$ et $7.10^{-4}\Omega/cm$ dans les cas extrêmes. La couche d’oxyde créée lors de cette étape thermique a une épaisseur d’environ 500 \AA .

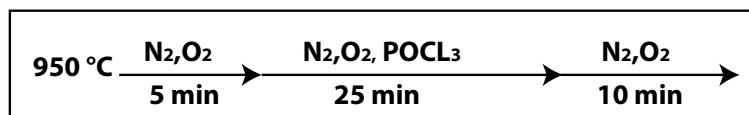


FIGURE 3.8 – Étape de dopage du polysilicium

5-Gravure du polysilicium

Cette gravure est effectuée par RIE à l’aide du masque *Polysup*. Elle permet d’enlever le polysilicium qui va permettre la formation des caissons P par auto-alignement.

3.2. Présentation et description de la filière flexible

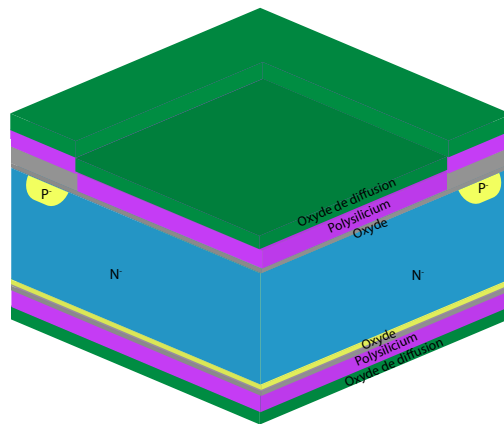


FIGURE 3.9 – Dépôt et dopage du polysilicium

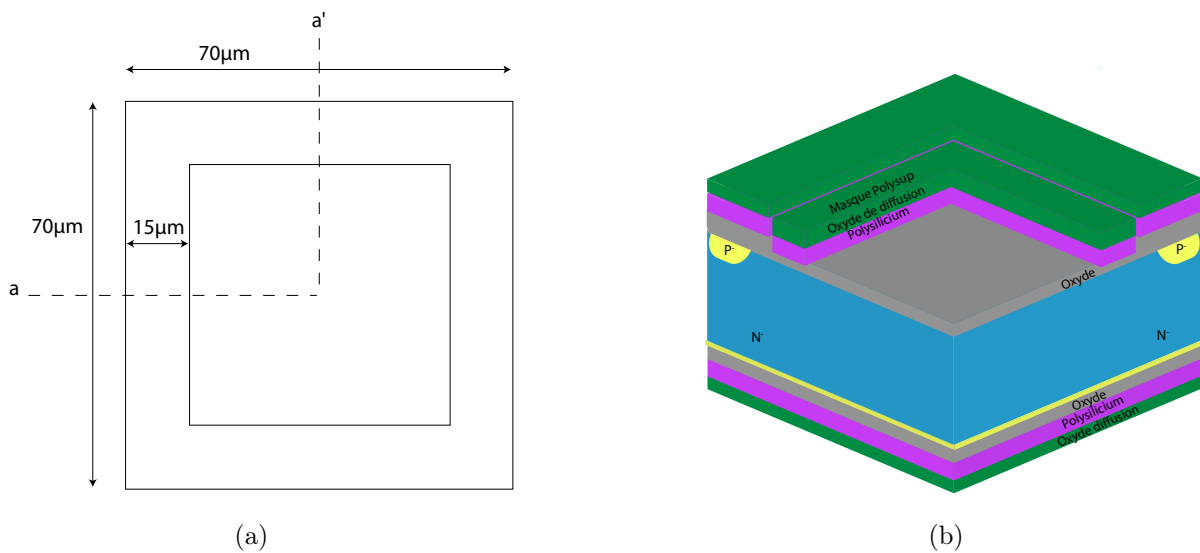


FIGURE 3.10 – (a) Masque *Polysup*, (b) Gravure du polysilicium

3.2.5 Étape 5 : Réalisation des caissons P_{well} face avant

Les régions P réalisées par implantation ionique de bore en utilisant la région de polysilicium de grille comme auto-alignement, vont matérialiser les bases des IGBT. La dose implantée est de $1.10^{14}cm^{-2}$ et l'énergie de $50KeV$. A l'issu du bilan thermique complet, on obtient une concentration en surface de $6.10^{17}cm^{-3}$ et une profondeur de jonction de $4,8\mu m$. Dans ces conditions, la concentration en surface maximale sous la grille est de $1.10^{17}cm^{-3}$. Il est à noter qu'une couche de protection résine recouvre le polysilicium de grille lors de cette étape technologique.

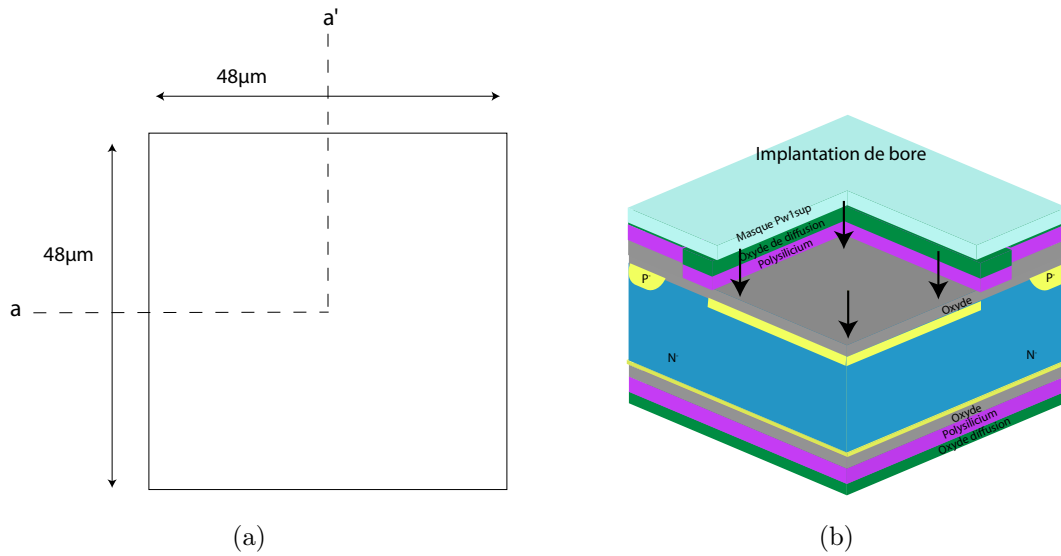


FIGURE 3.11 – (a) Masque P_{well} , (b) Implantation de bore pour les caissons P_{well}

3.2.6 Étapes 6 et 7 : Réalisation des Courts-Circuits face avant (caissons P^+) et redistribution du bore

Les régions P^+ permettent de matérialiser les courts circuits des dispositifs IGBT. Ces caissons sont réalisés par implantation ionique de bore avec une dose de $1.10^{16}cm^{-2}$ et une énergie de $50keV$. Le redistribution des régions P est commune avec celle des caissons P. A l'issu du bilan thermique complet, la région P^+ a une concentration en surface de $3.10^{19}cm^{-3}$ et une profondeur de jonction de $7,1\mu\text{m}$.

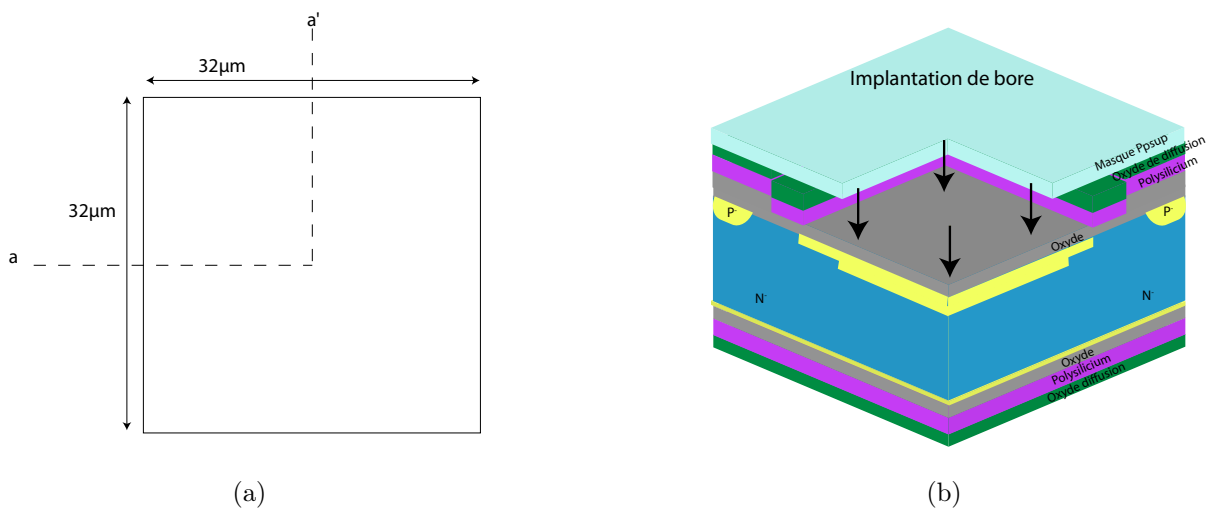


FIGURE 3.12 – (a) Masque P_{psup} , (b) Implantation de bore

3.2. Présentation et description de la filière flexible

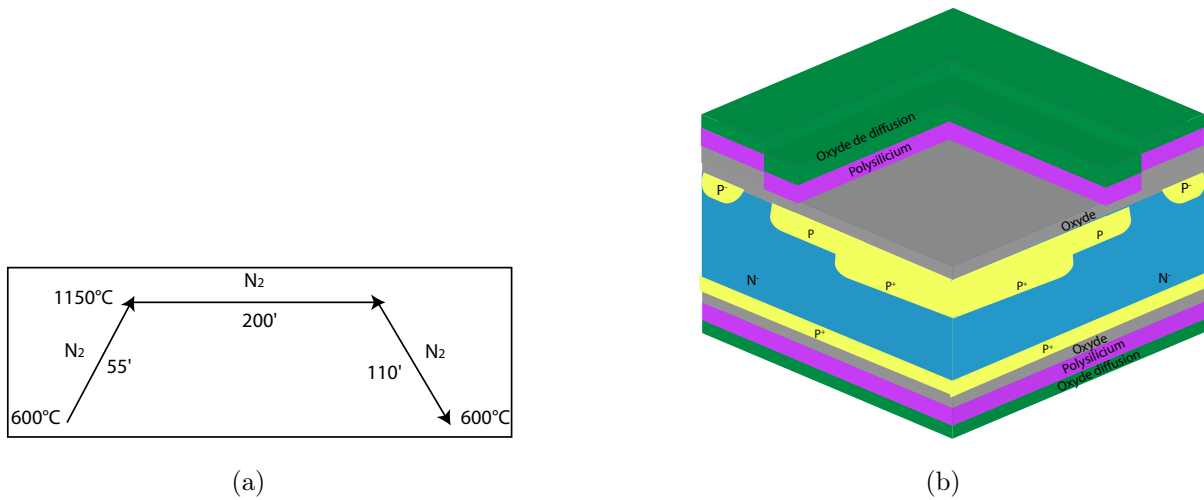


FIGURE 3.13 – (a) Étape de redistribution des caissons P, (b) Redistribution du bore

3.2.7 Étapes 8 et 9 : Réalisation des régions N^+ et redistribution

Les régions N^+ matérialisent les cathodes des dispositifs IGBT. Ces régions sont réalisées par implantation ionique d'arsenic et utilisent la région de grille pour assurer l'auto-alignement. Avec une dose de $1.10^{16}cm^{-2}$ et une énergie de $100keV$, on obtient après redistribution une concentration en surface de $1.10^{20}cm^{-3}$ et une profondeur de jonction de $1\mu m$.

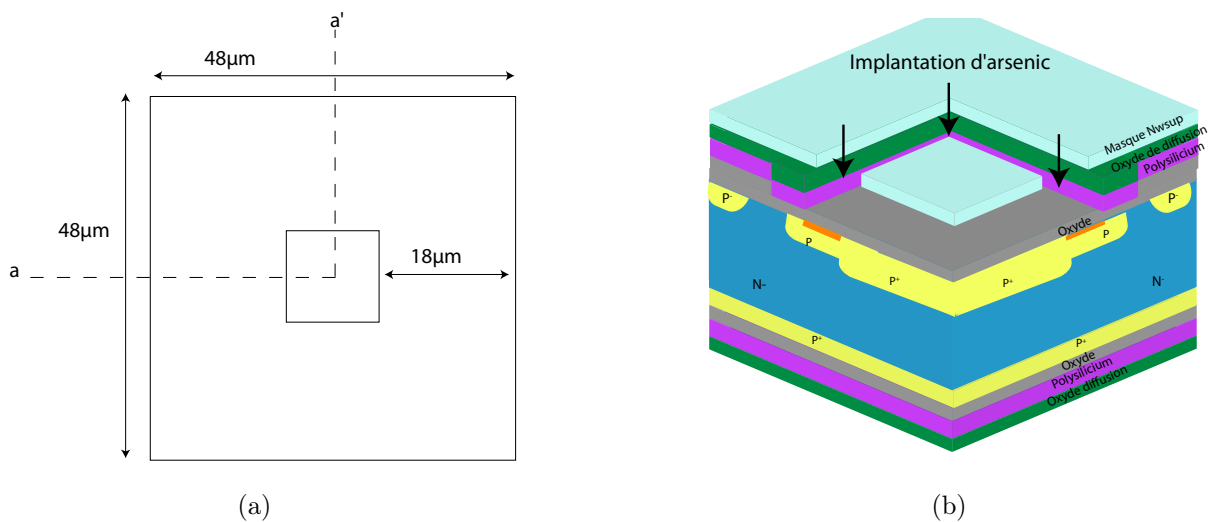


FIGURE 3.14 – (a) Masque N_{well} , (b) Implantation d'arsenic

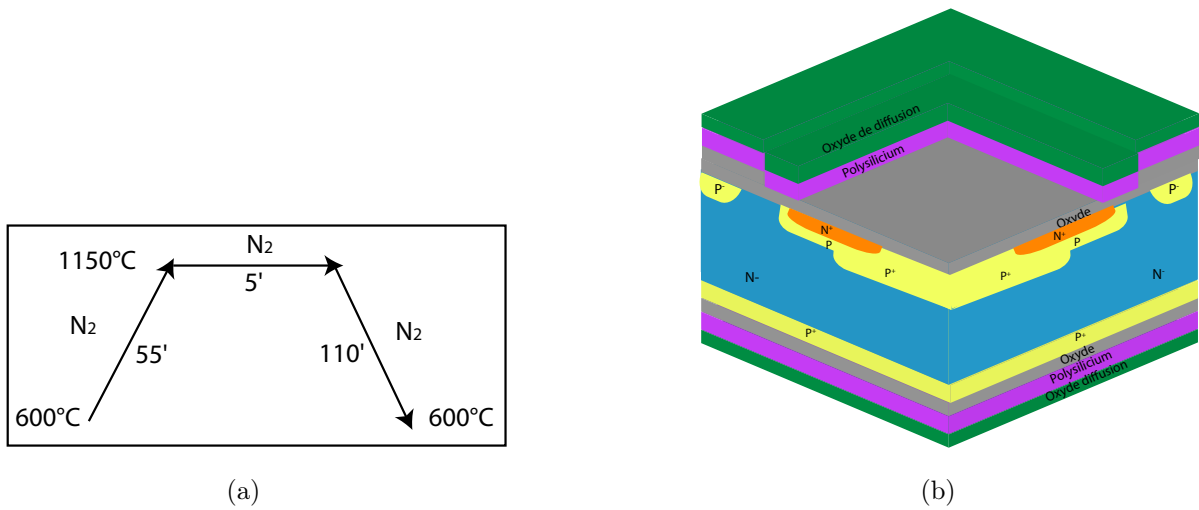


FIGURE 3.15 – (a) Étape de redistribution du caisson N , (b) Redistribution d'arsenic

3.2.8 Étapes 10-11 et 12 : Dépôt nitrure, ouverture des contacts et métallisation

Le dépôt nitrure est un dépôt LPCVD de Si_3N_4 . Il est effectué pendant $47min$ sous NH_3 et SiH_2Cl_2 à $750^\circ C$. L'épaisseur du nitrure est de 1200 \AA . Cette couche de nitrure et l'oxyde de grille sont ensuite gravés pour ouvrir les contacts. Ces étapes sont suivies d'une métallisation d'aluminium de $1\mu m$ par sputtering. Le même procédé est effectué sur la face arrière. En fin de processus, un recuit d'aluminium est effectué à $450^\circ C$ pendant 20 minutes.

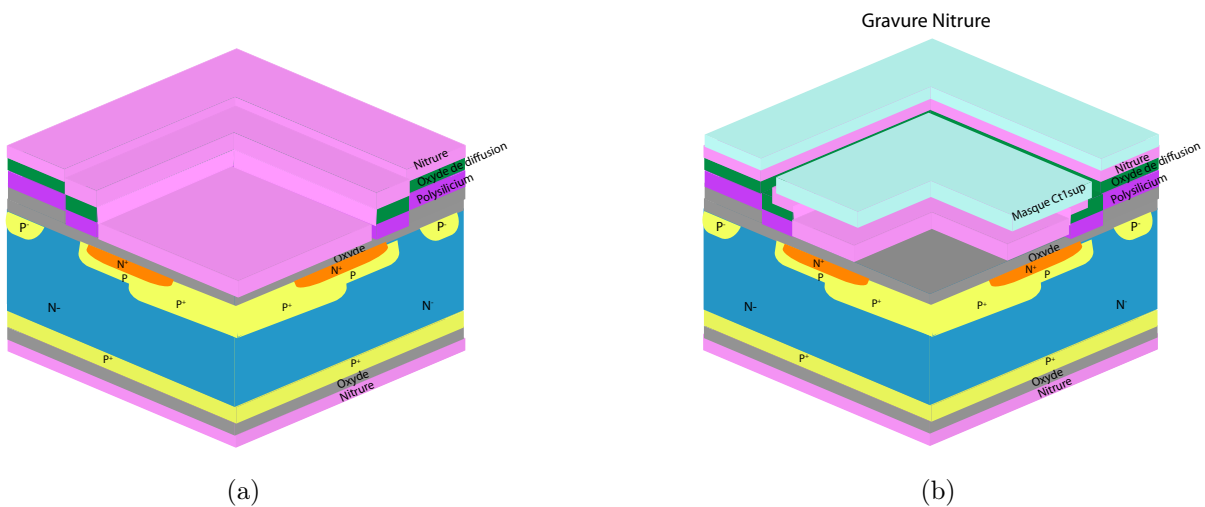


FIGURE 3.16 – (a) Dépôt nitrure, (b) Gravure nitrure

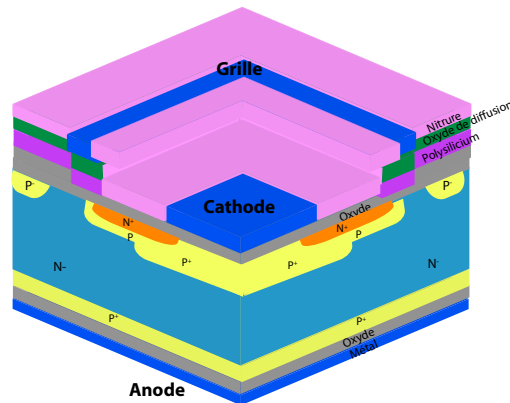


FIGURE 3.19 – Cellule élémentaire d'un IGBT

3.3 Résultats expérimentaux

Après avoir décrit précédemment le procédé technologique de réalisation des dispositifs IGBT, nous allons présenter maintenant les résultats électriques correspondant aux différents dispositifs tests réalisés au LAAS-CNRS : des transistors LDMOS, des capteurs de tension d'anode, des IGBT et des IGBT-Sense. Pour ces derniers, deux gammes de tensions ont été visées, à savoir 600V et 3,3kV, les premiers ont été réalisés au LAAS-CNRS et les seconds au CNM. L'intérêt de cette dernière gamme de tension est de valider l'ensemble de notre démarche pour les applications de traction ferroviaire. Pour les dispositifs 3,3kV, nous avons travaillé en collaboration avec le CNM de Barcelone qui a développé une filière pour cette gamme de tension. Trois types de distribution de cellules Sense au sein des cellules IGBT ont été réalisés et caractérisés afin de déterminer les plus judicieuses en terme de rapport des courants. Nous avons choisi de réaliser la première topologie pour la réalisation de ces IGBT-Sense (cf chapitre 2 paragraphe 2.2.1).

La dernière partie de ce chapitre est consacrée à la réalisation et au test du circuit de protection et de détection de l'IGBT avec le capteur de tension d'anode dans le cas d'un court-circuit de type II.

La figure 3.20 montre une photographie d'une plaque de silicium où sont disposés les différents composants réalisés. Il faut noter que la durée de la réalisation d'un process de cette ampleur (11 niveaux de masques et alignement double face) est d'environ 4 mois. Le premier lot de composants réalisés n'a pas permis d'obtenir des composants fonctionnels pour des raisons qui n'ont pas été identifiées. Les résultats présentés correspondent à un deuxième lot.

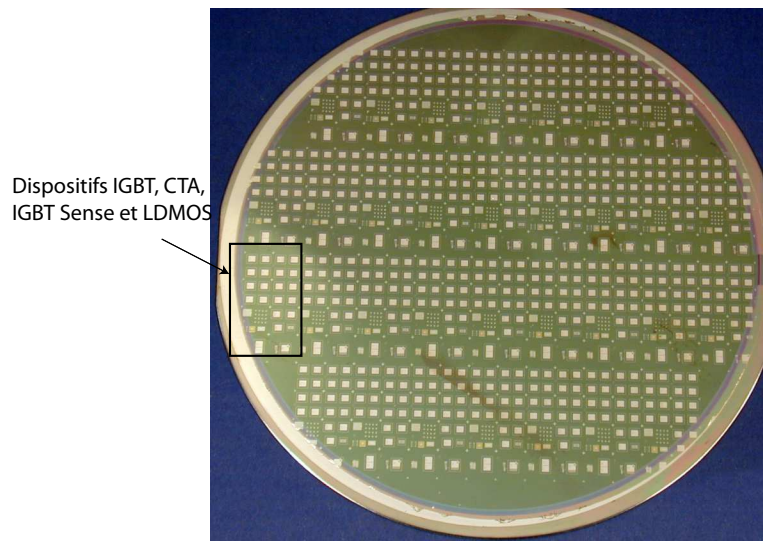


FIGURE 3.20 – Photographie du Wafer 4pouces avec les IGBT, LDMOS, CTA

3.3.1 Caractéristiques statiques des IGBT

3.3.1.1 IGBT 600V

Les IGBT 600V ont été réalisés et caractérisés au LAAS-CNRS. La figure 3.21 montre la photographie de la surface du composant réalisé dont la surface active est de $0,1\text{mm}^2$. Nous pouvons identifier la terminaison de jonction JTE à la périphérie de la puce, les contacts de cathode et de grille ainsi que les cellules élémentaires. Nous pouvons remarquer sous le contact de grille, des bandes qui matérialisent les caissons P^+ permettant d'assurer la continuité de l'auto-blindage des cellules élémentaires de l'IGBT qui sont proches de ce dernier. Cette particularité est propre à notre design puisque le contact de grille se trouve dans la surface délimitée par la périphérie. D'autre part le pourtour de la puce entre les cellules élémentaires et la terminaison de jonction correspond à la distribution des pistes de grille permettant d'amener le courant de manière homogène dans le dispositif.

La caractéristique $I_A(V_{GK})$ de l'IGBT est représentée sur la figure 3.22 (a) pour une tension d'anode de 1V. La valeur de la tension de seuil mesurée à l'aide de la méthode de la tangente est de 1,9V. Cette tension de seuil expérimentale est inférieure de presque 50% à celle obtenue par simulation (cf paragraphe 2.1.3 du chapitre 2). Ce décalage en seuil peut être expliqué soit par un dopage en surface du caisson P sous le canal plus faible que prévu soit par une présence d'ions sodium ou potassium dans l'oxyde de grille induisant des charges positives peut être privilégié.

Chapitre 3. Conception et réalisation de Véhicules de tests

Le réseau de caractéristiques $I_A(V_{AK})$ est donné sur la figure 3.22 (b). Il faut noter que le traceur de caractéristiques est limité en courant à 1A ce qui explique l'allure des caractéristiques sur la figure 3.22 (b). Par contre, nous pouvons estimer que pour un courant de 1A il existe déjà une chute de tension à l'état passant de 5V. Pour mémoire, les simulations donnaient pour un courant de 1,3A une chute de tension à l'état passant de 1,8V. Nous avons donc un écart significatif entre la valeur expérimentale et simulée. Cette différence peut être expliquée par une durée de vie et/ou une efficacité d'injection de l'anode différentes.

La tenue en tension des IGBT 600V a été mesurée et nous avons malheureusement constaté qu'elle n'était que de 30V au lieu des 600V attendus. Manifestement les dispositifs ne tiennent pas la tension! Une valeur de 30V correspond à l'ordre de grandeur de la tenue en tension d'une jonction cylindrique non protégée. Deux possibilités s'offrent à nous. La première porte sur un non fonctionnement de la terminaison de jonction périphérique. La deuxième porte sur un mauvais recouvrement des lignes équipotentielles entre les cellules élémentaires adjacentes de la puce : le phénomène de l'auto-blindage n'est donc pas assuré.

Afin de bien comprendre et d'expliquer les écarts observés significatifs entre les résultats simulés et expérimentaux il serait nécessaire de conduire une campagne d'extraction des paramètres physiques (profondeurs de jonction, profil des dopages, caractérisation des oxydes, ...). Cette campagne n'a pu être réalisée par manque de temps en raison du retard occasionné par le premier "run" de réalisation technologique qui n'a pas fonctionné.

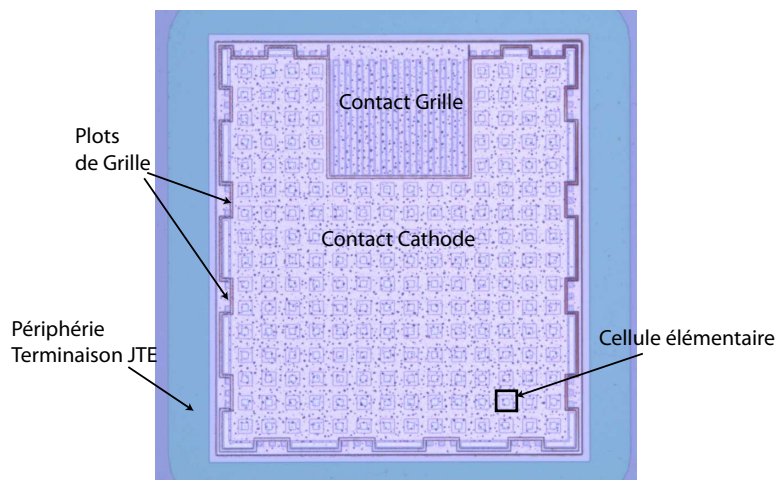


FIGURE 3.21 – Photographie d'un dispositif IGBT

3.3. Résultats expérimentaux

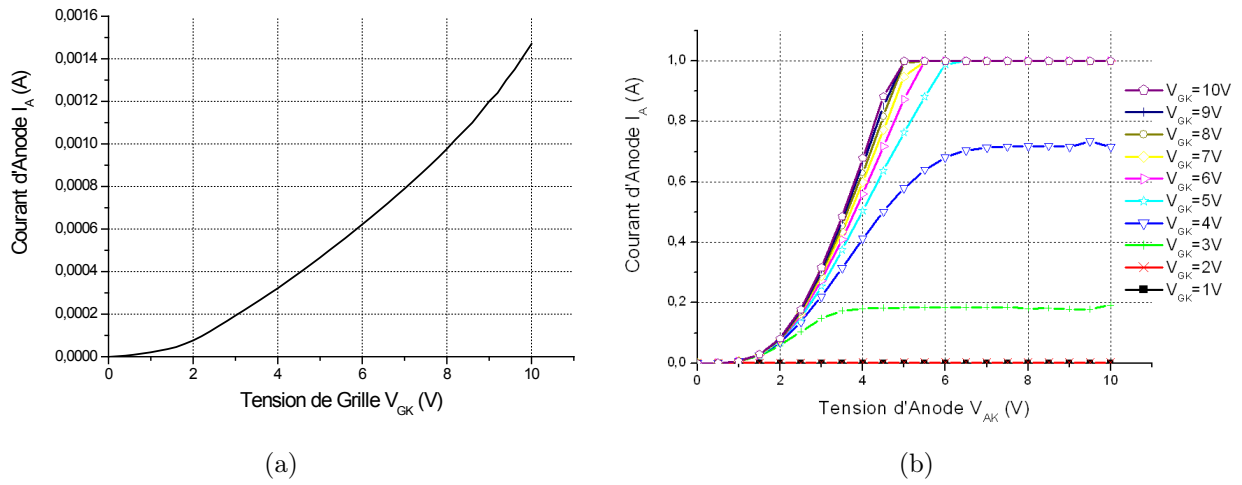


FIGURE 3.22 – (a) Tension de seuil des IGBT 600V, (b) Caractéristique $I_A(V_{AK})$ des IGBT 600V

3.3.1.2 IGBT 3,3kV

Les dispositifs IGBT ont été réalisés en collaboration avec le CNM de Barcelone. Ces dispositifs correspondent au cahier des charges donnés par Alstom à savoir une tension de claquage de 3,3kV et un calibre en courant de 50A (cf paragraphe 2.1.4 chapitre 2). La figure 3.23 montre la photographie d'un puce IGBT 3,3kV.

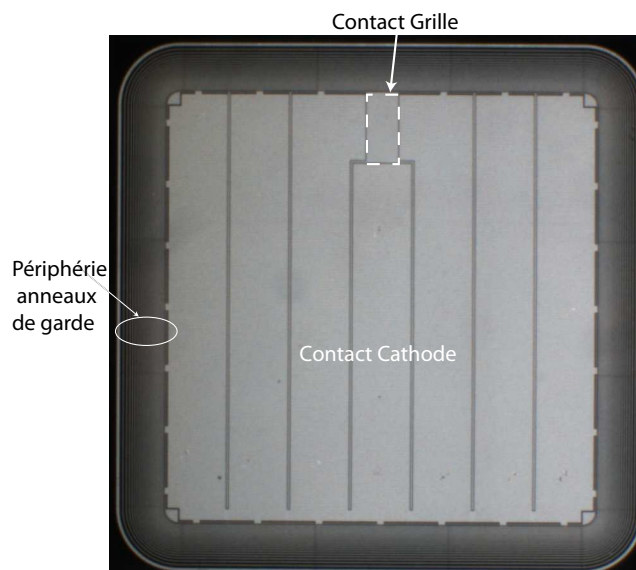


FIGURE 3.23 – Photographie d'un dispositif IGBT 3,3kV

Chapitre 3. Conception et réalisation de Véhicules de tests

Pour des tensions de $3,3kV$, il est strictement impossible de réaliser des mesures sous pointes. C'est la raison pour laquelle avant de les caractériser électriquement, une procédure de montage et d'encapsulation a été réalisée au laboratoire PEARL. Pour encapsuler les dispositifs, les différentes étapes sont le brasage, le bonding, soudure des composants sur la semelle et le potting.

Le brasage permet d'établir une liaison mécanique et thermique des éléments à assembler. Le substrat sur lequel sont brasés les composants joue le rôle de support mécanique, de circuit électrique, ainsi que de dissipateur thermique. Le brasage est une étape importante car il doit conduire à une brasure parfaite afin d'éviter l'augmentation de la résistance thermique sous les composants.

La connexion par wire bonding consiste en une soudure par ultra-sons de fil d'Aluminium sur les métallisations des composants. Cette technique est aujourd'hui communément utilisée dans les produits de types Pack IGBT (Eupec, Mitsubishi,...). Le diamètre des fils de bonding est de $500\mu m$ et peuvent transiter jusqu'à $60A$.

Les différents éléments du circuit sont brasés sur la semelle avec une crème à braser contenant un certain pourcentage de flux incorporé à l'alliage et est appliquée par sérigraphie ou directement déposée à la seringue.

Le matériau d'encapsulation a deux fonctions : assurer l'isolation électrique au niveau des composants de puissance et à l'intérieur de la phase vis-à-vis des éventuels potentiels de "terre". Pour cela, le matériau devra tenir les contraintes imposées par le fonctionnement des composants de puissance mais également les contraintes dues au process d'encapsulation lui-même. La figure 3.24 montre l'IGBT $3,3kV$ et la diode montés dans un boîtier de puissance.

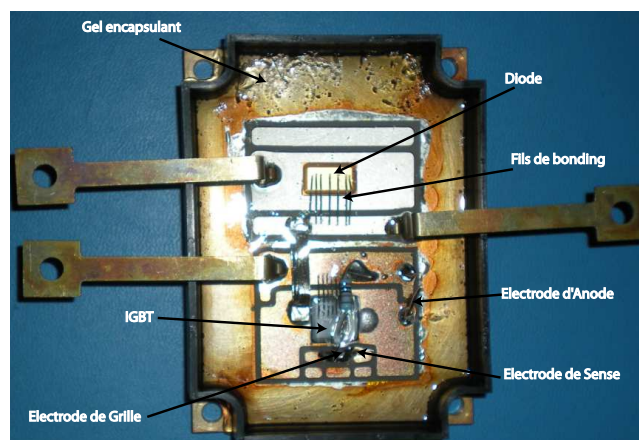


FIGURE 3.24 – Vue de dessus d'un dispositif test $3,3kV$ monté au laboratoire PEARL

La figure 3.24 montre la tenue en tension des IGBT obtenus sur les bancs de caractérisation du laboratoire PEARL. La valeur de la tenue en tension est de $2,8kV$ et est en accord avec les résultats de simulation (cf paragraphe 2.1.4 chapitre 2).

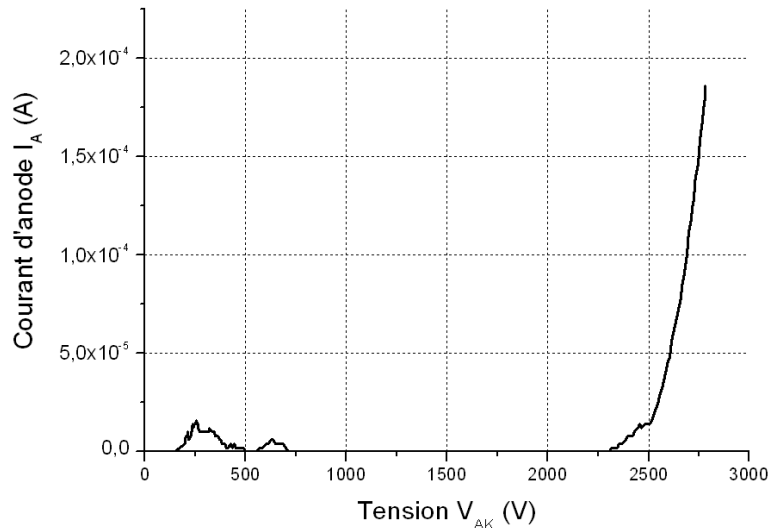


FIGURE 3.25 – Tenue en tension des IGBT 3, 3kV

3.3.2 Caractérisations électriques des dispositifs IGBT-Sense

3.3.2.1 IGBT-Sense 600V

Nous rappelons que les cellules "Sense" sont identiques aux cellules IGBT. En effet dans le paragraphe 2.2.1.1 du chapitre 2, nous avons conclu que la topologie où les cellules "Sense" étaient identiques aux cellules IGBT était la plus judicieuse. Cette topologie permet d'obtenir un courant "Sense" faible et donc une puissance fournie par la partie puissance élevée.

Nous avons choisi arbitrairement d'obtenir un courant Sense de $200mA$ pour le courant nominal (cf figure 2.5 du paragraphe 2.1.3) de $1,3A$ obtenu par simulation et attendu expérimental. Ce courant Sense impose donc une surface de 17% par rapport à la surface IGBT (correspondant au rapport des courants). Nous avons réalisé trois types de regroupement de cellules "Sense" qui sont représentés dans le tableau 3.1 et nous n'avons pas opté pour une inter-digitation des cellules plus compliquée technologiquement.

- *regroupement 1* : la surface des cellules "Sense" est située au centre du dispositif IGBT,
- *regroupement 2* : la surface des cellules "Sense" est située au pourtour du dispositif IGBT,
- *regroupement 3* : la surface des cellules "Sense" est située de façon répartie en utilisant une géométrie en forme de peigne dans le dispositif IGBT.

Chapitre 3. Conception et réalisation de Véhicules de tests

La méthodologie de collecte des résultats a été de fixer une tension V_{GS} de $5V$ bien inférieur au $15V$ couramment utilisé dans les applications. En effet, nous rappelons que le traceur est limité en courant à $1A$ et que notre principale préoccupation est d'une part de vérifier la fonctionnalité et, d'autre part, de mettre en évidence les éventuels écarts qui pourraient exister entre les trois regroupements. Le courant qui était attendu par simulation pour une tension de grille de $5V$ devait être de $0,2A$ en régime de saturation. Les résultats expérimentaux sont donc conformes pour les trois regroupements étudiés malgré la chute en tension à l'état passant qui est bien trop élevée comme c'était le cas pour les IGBT puisqu'ils sont réalisés sur la même plaquette.

Le courant Sense du premier regroupement correspond à 16% du courant de la partie puissance et est donc en adéquation avec ce qui était attendu.

Le courant I_{Sense} pour le regroupement 2 est quant à lui de 21% du courant I_{AK} . Ce courant est donc supérieur de 5% à ce qui était attendu dans le cas de ce regroupement périphérique.

Pour le dernier regroupement, le courant I_{Sense} est égal à 30% du courant total soit l'écart le plus important avec ce qui était attendu.

D'après ces premiers résultats il apparaît que le premier regroupement permet d'obtenir parfaitement ce qui était attendu par simulation. Il existe donc pour les deux autres regroupements des mécanismes parasites qui conduisent à une distribution non homogène du courant. Il faut noter qu'il existe des écarts entre les trois regroupements sur les niveaux de courant de la partie puissance mais cela n'affecte en rien les conclusions que nous apportons puisque nous raisonnons en relatif entre le courant total et le courant Sense pour chaque regroupement.

Il est possible d'extraire une règle de conception. Si nous souhaitons avoir un rapport des courants identique au rapport des surfaces, il faut que le périmètre développé par la surface soit le plus petit possible. Le périmètre le plus petit est donné par le premier regroupement et le périmètre le plus élevé est donné par le regroupement 3 là où l'écart est le plus grand. Afin de bien comprendre les raisons physiques d'un tel phénomène il faudra dans l'avenir explorer cette problématique à l'aide de simulations 3D plus complexes.

3.3.2.2 IGBT-Sense 3, $3kV$

Les dispositifs IGBT-Sense 3, $3kV$ sont représentés dans le tableau 3.2. Nous avons choisi d'obtenir un courant de "Sense" de $1A$ pour un courant nominal de $50A$. Pour cela, la surface de Sense est de 2% . Nous avons réalisé deux positions pour le contact "Sense" : une au centre (Regroupement 1) et l'autre au bord (Regroupement 2) du dispositif. Nous avons testé ces dispositifs pour des tensions de grille allant de $4V$ à $14V$. Pour une tension de grille fixée à

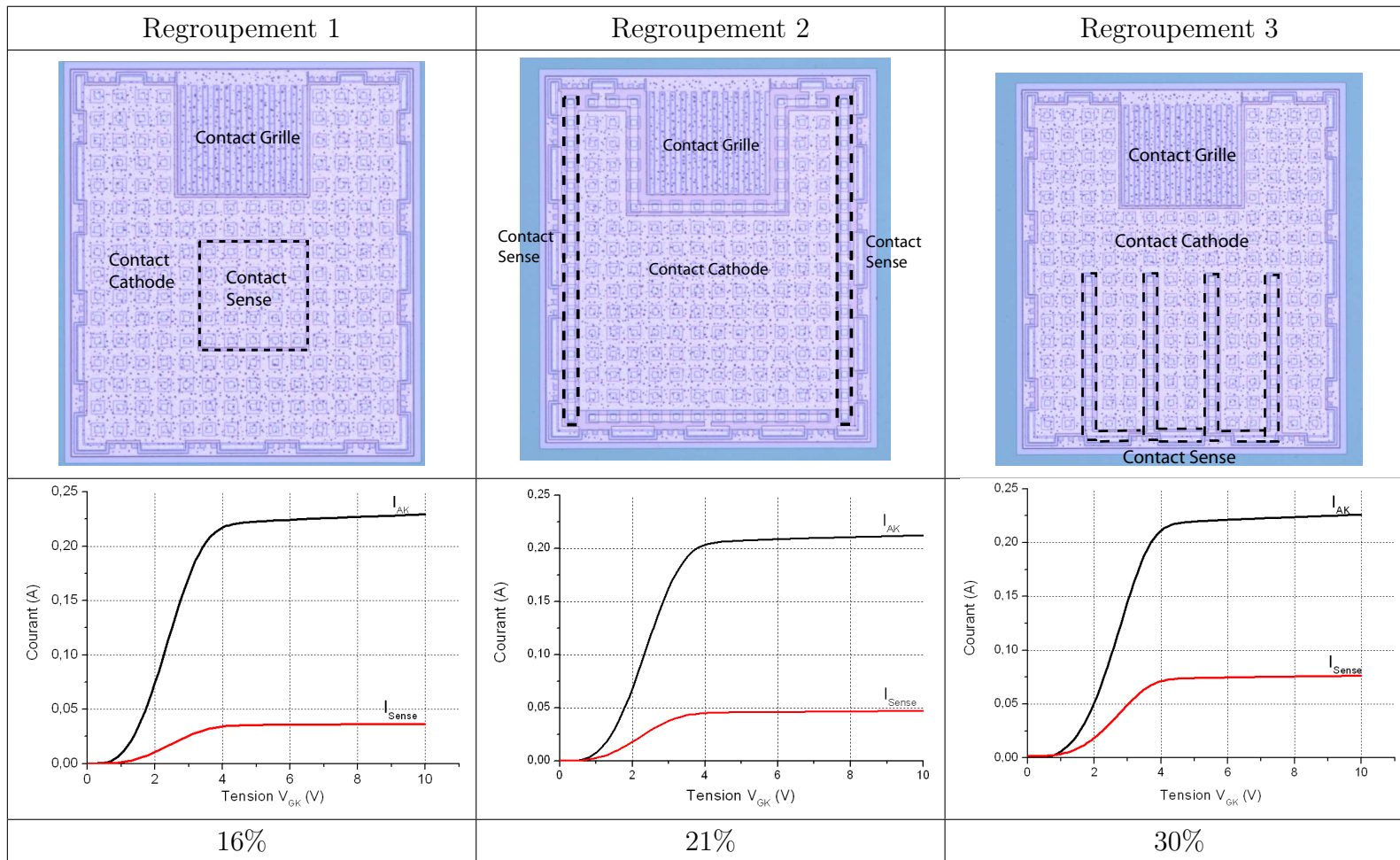


TABLE 3.1 – Différentes topologies de Sense

Chapitre 3. Conception et réalisation de Véhicules de tests

8V, le premier regroupement permet d'obtenir 11% du courant total de l'IGBT. Le second regroupement représente 6% du courant I_{AK} . Le rapport entre surface et courant Sense n'est pas respecté. Il conviendra à l'avenir de réaliser d'autres études afin de mieux comprendre l'impact de la géométrie des cellules et du positionnement des cellules Sense sur les structures 3,3kV.

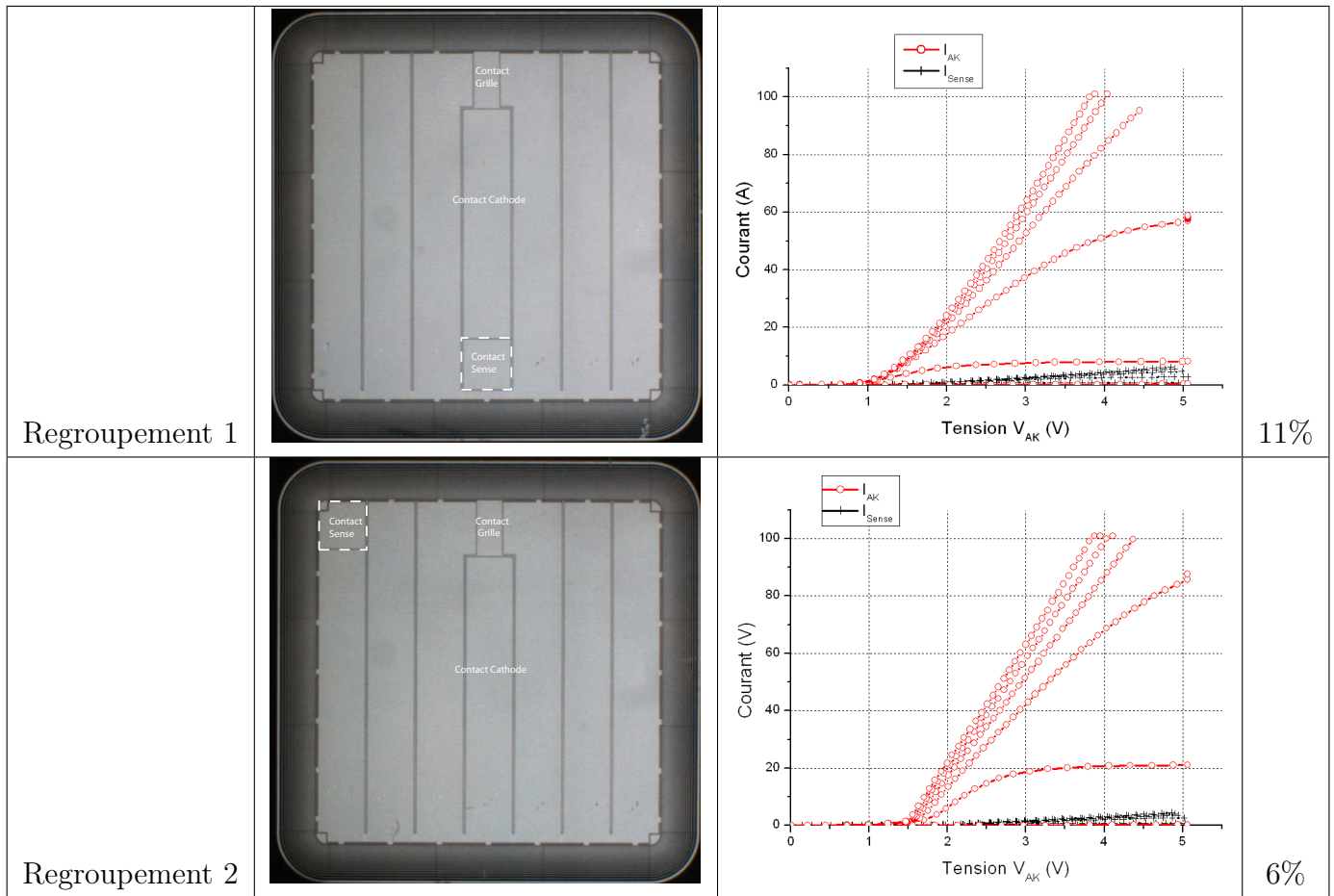


TABLE 3.2 – Différentes topologies de Sense

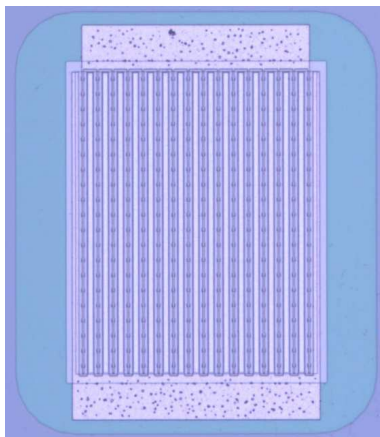
3.3.3 Test en condition de court-circuit de type II

Dans le but de valider le circuit de protection et de détection, nous avons donc réalisé les différents éléments qui le constituent : le CTA et les deux transistors identiques LDMOS (M_c et M_d). Ces derniers sont des transistors classiques puisque le montage complet du circuit de protection sera réalisé de manière hybride (cf chapitre 2). Après la caractérisation de ces éléments, nous allons tester le circuit de protection et de détection en condition de court-

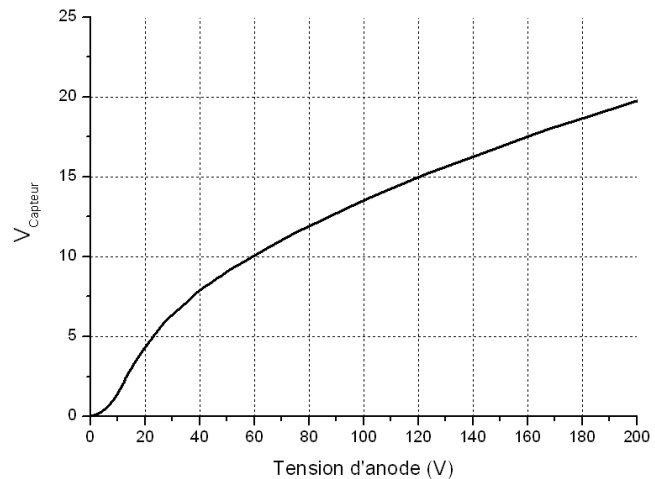
circuit de type II. Ce dernier type de court-circuit a été choisi car il est plus facile à reproduire expérimentalement.

3.3.3.1 Caractéristique électrique du Capteur de tension d'anode

Le capteur de tension d'anode, que nous avons réalisé, est constitué de cellules carrée (figure 3.26 (a)). La longueur l inter-caisson P^+ est de $8\mu m$. La figure 3.26 (b) montre la tension $V_{Capteur}$ en fonction de la tension face arrière que nous avons appelé anode. On peut constater que la tension $V_{Capteur}$ donne une image identique aux résultats de simulations. En effet, pour une tension d'anode de $200V$ la tension $V_{capteur}$ est égale en simulation à $18V$ et à $19,8V$ expérimentalement.



(a)



(b)

FIGURE 3.26 – (a) Vue de dessus du capteur de tension d'anode CTA, (b) Tension $V_{Capteur}$ en fonction de la tension d'anode

3.3.3.2 Caractéristique électrique du transistor LDMOS

Le transistor LDMOS présent dans le circuit de détection et de protection est représenté sur la figure 3.27(a). Ces LDMOS ont été réalisés avec deux niveaux d'oxyde. La tension de seuil mesurée est de l'ordre de $3,5V$ (figure 3.27 (b)). Sur la figure 3.27 (c) est représentée la tenue en tension qui est de $35V$. Cette valeur est donc suffisante pour supporter la tension délivrée par le capteur de tension d'anode.

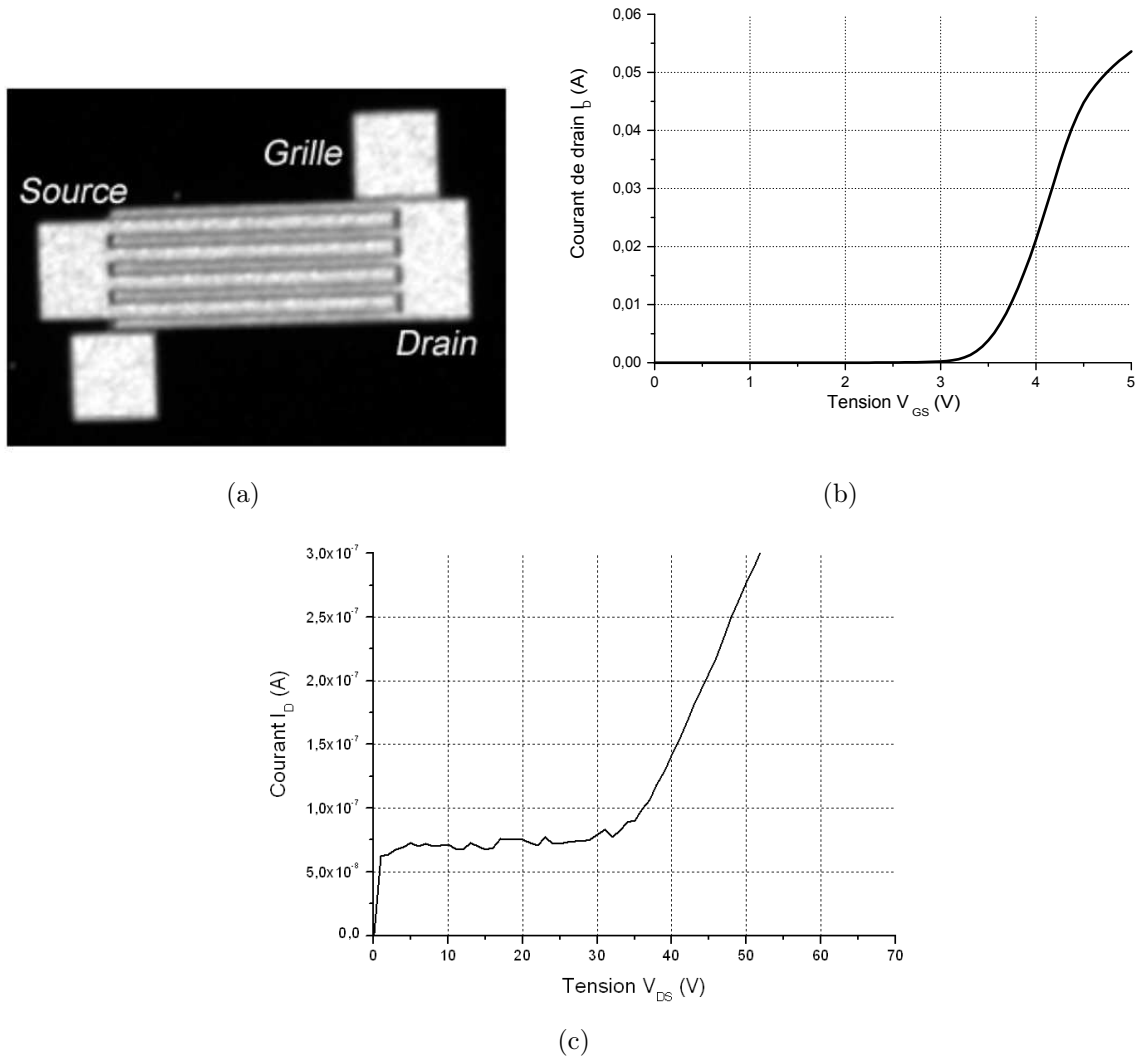


FIGURE 3.27 – (a) Photographie d'un dispositif LDMOS ,(b) Tension de seuil du LDMOS, (c) Tenue en tension du LDMOS

3.3.3.3 Test en condition de court-circuit

Le circuit représenté sur la figure 3.28 a permis de valider la détection et la protection de l'IGBT en condition de court-circuit de type II. Le fonctionnement du circuit est expliqué dans le paragraphe 2.3.1 du chapitre 2. Ce circuit est composé des deux LDMOS, du capteur de tension d'anode, d'une résistance de délai, d'une résistance de "limitation" et du transistor IGBT. Il a été nécessaire d'insérer une résistance R_{limit} entre la grille de l'IGBT et la résistance de délai pour éviter la destruction de la partie alimentation de commande.

3.3. Résultats expérimentaux

Le court-circuit, que nous avons réalisé, est de type II c'est-à-dire qu'il intervient lorsque l'IGBT est déjà passant. Nous rappelons que dans ce cas de court-circuit aucun délai n'intervient car le MOS de délai est déjà chargé. Comme les IGBT ne tiennent que $30V$ en raison d'un problème lié à la technologie de réalisation, nous avons testé le circuit avec une tension d'alimentation de $25V$ uniquement, le but étant principalement de valider la fonctionnalité.

Sur la figure 3.29 nous avons représenté les évolutions de la tension de grille, du courant d'anode de l'IGBT et de la tension aux bornes du capteur de tension d'anode. Sur cette figure apparaissent très clairement les deux phases de fonctionnement du circuit : la phase où la protection est inactive et où l'IGBT est à l'état passant et la phase de blocage de l'IGBT après la détection d'une condition de court-circuit.

Après l'application du court-circuit, la tension $V_{capteur}$ du capteur de tension d'anode est de $7V$ ce qui permet de commander le transistor MOS de coupure qui présente une tension de seuil de $3,5V$. Ainsi la tension grille cathode de l'IGBT est ramenée à zéro et l'IGBT est bloqué tant que le court-circuit est présent. La réponse du circuit est de $100ns$ et est donc inférieure à $1\mu s$ qui est le temps que nous nous somme fixés dans le cahier des charges.

La fonctionnalité est donc validée expérimentalement sur un circuit discret.

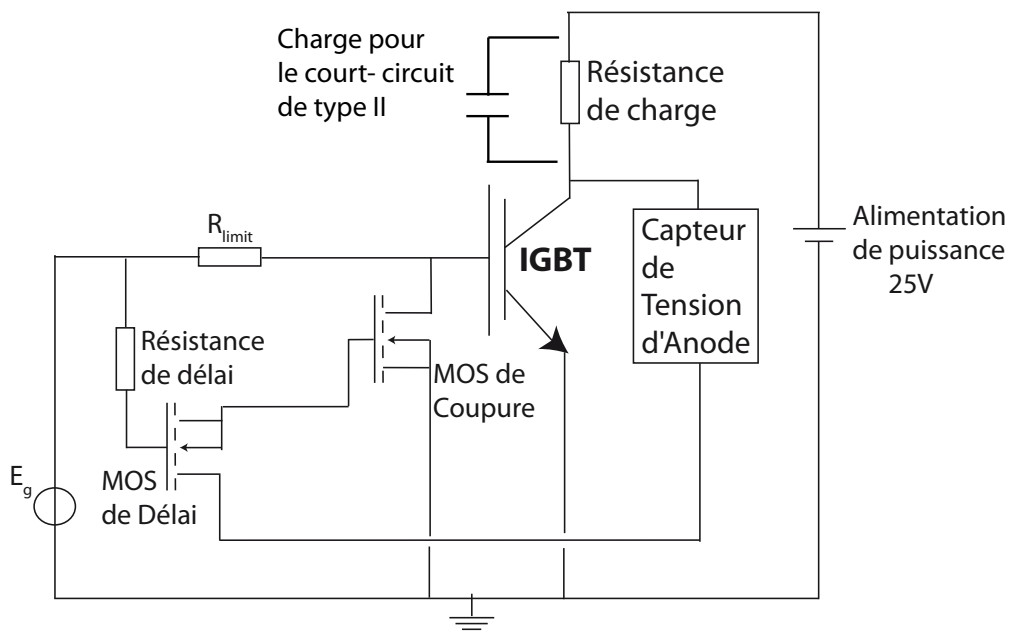


FIGURE 3.28 – Circuit de détection et de protection de l'IGBT contre les courts-circuits

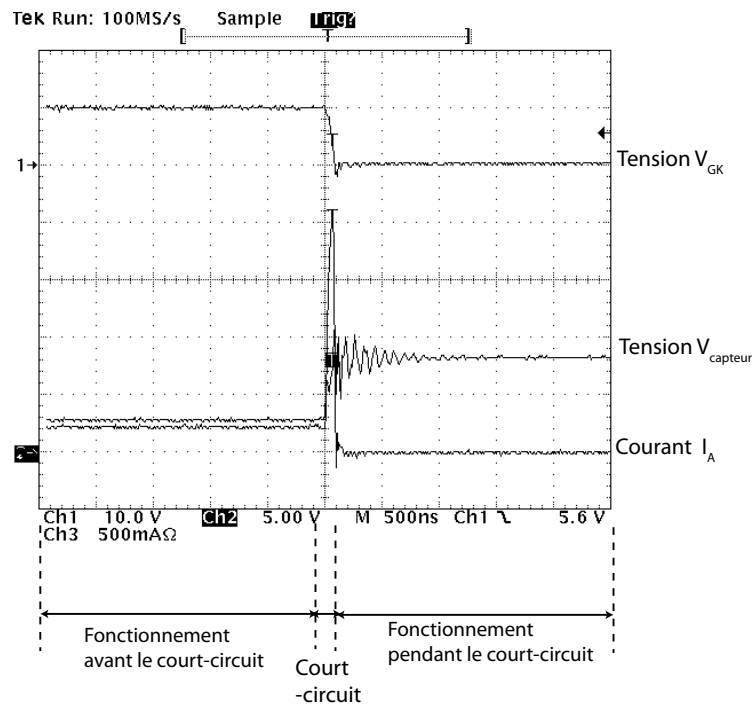


FIGURE 3.29 – Courbes de la tension de grille et du courant d’anode de l’IGBT et la tension aux bornes du Capteur durant un court-circuit de type II

3.4 Conclusion

Le dernier chapitre porte sur la réalisation des différents dispositifs et leurs caractéristiques électriques. La filière technologique a été développée au LAAS-CNRS et est basée sur un processus "auto-aligné". Ce procédé technologique nous a permis de réaliser les différents composants c’est-à-dire l’IGBT, le capteur de tension d’anode, les transistor LDMOS des IGBT-Sense. La collaboration avec le CNM de Barcelone nous a permis de réaliser des IGBT (3,3kV/50A) plus proches des caractéristiques souhaitées par ALSTOM pour les applications ferroviaires. Les IGBT réalisés présentent une tension de seuil de 1,9V au lieu de 4,2V en simulation et une tenue en tension de 30V au lieu des 600V attendu. Ces différences peuvent être expliquées par le fait que les caissons P ont été moins dopés que prévu. Les IGBT réalisés au CNM de Barcelone ont montré une tenue en tension proche des valeurs simulées c’est-à-dire 2,8kV.

Nous avons testé par la suite différents regroupements IGBT-Sense correspondant à 17% de la surface active. Dans le cas de la première géométrie, les cellules Sense sont au centre du dispositif IGBT et permettent d’obtenir un courant Sense de 16%. La seconde géométrie dans laquelle les cellules Sense sont situées au pourtour du dispositif donne un courant I_{Sense} de

21%. Enfin la dernière géométrie de Sense située de façon répartie en utilisant une géométrie en forme de peigne permet d'obtenir 30% du courant total. De ces résultats, nous pouvons en déduire que le périmètre des surfaces Sense doit être le plus petit possible pour obtenir un rapport de courants au même ordre que les rapports des surfaces.

Dans le but d'effectuer le test en court-circuit de type II de manière discrète, nous avons réalisé les différents éléments qui le constituent. Le premier est le capteur de tension d'anode. Les résultats expérimentaux de ce capteur sont en adéquation avec les résultats de simulation. Nous obtenons une tension V_{capteur} de 19V pour une tension d'anode de 200V. Le transistor LDMOS réalisé a une tension de seuil de 3,5V et une tenue en tension de 30V. Ces résultats concordent avec ceux de simulations. Nous avons réalisé le test du circuit de détection et de protection de l'IGBT contre les courts-circuits de manière hybride. Les résultats ont montré que la fonctionnalité du circuit est bien validée et confirme donc les résultats obtenus par simulation dans le chapitre 2.

Conclusion générale

Cette thèse s'inscrit dans une démarche d'amélioration de fiabilité des transistors IGBT pour les modules de puissance dans le domaine ferroviaire. En effet, les modules de puissance sont souvent contraints à fonctionner dans des régimes extrêmes. Pour éviter la destruction de ces derniers, des fonctions de protection et de diagnostic rapprochées ont été proposées. Le thème de cette thèse est donc d'étudier la possibilité d'intégrer des capteurs d'état et des circuits de protection au plus près du dispositif de puissance afin d'augmenter sa fiabilité. Le cas de défaillance étudié est celui du court-circuit. Cette thèse a donc porté sur la conception, la réalisation et la validation expérimentale de capteurs et de protections intégrables monolithiquement contre les courts-circuits.

Le premier chapitre a permis de faire le point sur les évolutions des modules de puissance IGBT utilisés dans le domaine de la traction ferroviaire. L'amélioration des performances électriques et de la fiabilité des modules implique celle de composants de puissance IGBT. Ainsi nous avons fait un inventaire des différents mécanismes de défaillances des IGBT : le latch-up, l'emballement thermique, le claquage de l'oxyde, le claquage de la jonction P^+N^- et le court-circuit. Ce dernier est relativement courant dans les applications de l'électronique de puissance et est donc le plus critique pour les systèmes. En effet, ce cas de défaillance peut engendrer la destruction et la perte d'un module complet. Les différentes stratégies pour détecter les courts-circuits sont basées sur le suivi du courant ou de la tension aux bornes du composant et les circuits de protection sont réalisés de manière hybride dans le module. Ces circuits sont complexes et relativement fiables.

La volonté d'intégrer monolithiquement le capteur et le circuit de protection apparaît donc clairement pour pallier aux contraintes de l'intégration hybride. Il est donc nécessaire de concevoir des capteurs et des circuits qui soient monolithiquement intégrables avec les IGBT. Ces derniers sont présentés dans le deuxième chapitre.

La seconde partie porte sur l'intégration de protections rapprochées. Dans un premier temps, nous avons réalisé la conception du véhicule test IGBT. La tenue en tension visée est de 600V et le calibre en courant est de l'ordre de l'ampère. Après avoir dimensionné l'IGBT, nous avons étudié deux capteurs pour détecter un dysfonctionnement de type court-circuit.

Le capteur de courant permet le suivi en courant de la partie puissance grâce à une électrode supplémentaire appelée "Sense". Nous avons étudié trois topologies différentes, seule la

Chapitre 3. Conception et réalisation de Véhicules de tests

topologie pour laquelle les cellules "Sense" sont identiques aux cellules IGBT permet d'obtenir un courant de Sense faible pour une petite surface active. Nous avons intégré ce capteur dans un circuit de détection d'une élévation anormale du courant.

Le second capteur étudié est le capteur de tension d'anode. Ce capteur permet de délivrer, sur la face avant de la structure, une image continue du potentiel présent sur la face arrière du dispositif. Nous avons simulé ce capteur dans un circuit de détection et de protection de l'IGBT contre les deux types de court-circuit. Le circuit est composé du capteur de tension d'anode, de deux LDMOS, d'une diode zener et d'une résistance de délai. La fonctionnalité de ce circuit a été validée par simulation dans les deux types de courts-circuits en mixed-mode. Dans l'optique d'intégrer monolithiquement ce circuit, nous avons adapté le LDMOS de délai en positionnant la région de drain dans un caisson P afin de bénéficier du phénomène d'auto-blindage. Cette approche a permis de valider par simulation le circuit de détection et de protection intégré. En effet, l'IGBT est protégé dans les deux cas de court-circuit.

Nous avons présenté dans le dernier chapitre la filière technologique basée sur un processus "auto-aligné" avec des grilles en polysilicium permettant de réaliser des dispositifs de puissance de base de la famille MOS/bipolaire (IGBT, Thyristor-MOS, ...). Grâce à cette filière nous avons réalisé plusieurs dispositifs tels que les IGBT, les capteurs de courant IGBT-Sense, le capteur de tension d'anode (CTA), les transistors LDMOS. En collaboration avec le CNM, nous avons réalisé des capteurs de courant avec les IGBT 3,3kV/50A.

Les IGBT réalisés au LAAS-CNRS présentent une tension de seuil de 1,9V et une tenue en tension de 30V. Les différences avec les résultats de simulation peuvent être expliquées par le fait que les caissons P aient été dopés plus faiblement que prévu ou par une contamination de l'oxyde de grille. Les IGBT, réalisés au CNM de Barcelone, ont été montés dans un module de puissance et testés à ALSTOM. Leur tenue en tension de 2,8kV est en accord avec les résultats de simulation.

Nous avons réalisé plusieurs regroupements d'IGBT-Sense et les résultats ont montré que le regroupement, où le périmètre du Sense était le plus petit, permettait d'obtenir une corrélation entre les surfaces des Sense et le courant.

Nous avons réalisé les différents dispositifs du circuit de détection et de protection des IGBT contre les courts-circuits, à savoir le CTA, les LDMOS et l'IGBT. Les résultats expérimentaux du capteur de tension d'anode et des transistor LDMOS sont identiques à ceux obtenus en simulation. Nous avons testé électriquement le circuit de détection de protection de manière hybride dans le cas d'un court-circuit de type II. Nous avons validé que ce circuit permet de

protéger l'IGBT durant la phase de court-circuit.

Les perspectives à court terme de ces travaux portent sur plusieurs aspects qui sont déclinés ci-dessous :

- réaliser des simulations en 3D de différents regroupements d'IGBT-Sense afin de mieux différencier les interactions électriques,
- améliorer le circuit de protection contre les sur-intensités en se basant sur le capteur IGBT-Sense,
- étudier l'influence de la géométrie des cellules à l'aide de simulation 3D des IGBT-Sense $3,3kV$,
- réaliser technologiquement les transistors LDMOS "adaptés" avec le caisson P pour vérifier si les caractéristiques du transistor ne sont pas modifiées,
- réaliser technologiquement le circuit de détection et de protection totalement intégré monolithiquement,
- réaliser technologiquement différents regroupement d'IGBT-Sense afin d'étudier plus en détail l'influence de la position et du périmètre du Sense ,
- réaliser expérimentalement un circuit de détection et de protection pour une gamme de tension de $3,3kV$ qui est principalement utilisé dans la traction ferroviaire.

A plus long terme, les perspectives de ces travaux s'inscrivent toujours dans le domaine de la fiabilité. Nous avons étudié qu'un seul type de défaillance, à savoir le court-circuit, mais nous pouvons envisager d'autres défaillances : di/dt , dv/dt et autres problèmes thermiques... Pour ce faire, différents capteurs d'état intégrables monolithiquement devront être étudiés (pression, température, vibration, ...), ainsi que les circuits de protection associés. D'autre part, nous pouvons extrapoler toutes ces études à d'autres matériaux que le silicium. Par exemple, nous pouvons envisager des études sur les matériaux à grand gap pour les parties actives de puissance (SiC, GaN) et des matériaux tels que les polymères pour la partie capteur.

Bibliographie

- [1] Ir21225. Datasheet No. PD-6.017D, International RectifierTM. 40
- [2] Araki.T and Wiatr.R. Integration power devices transfer-mold packaging technology. Power Systems Design Europe, 1(1) :1, 2006. 11
- [3] Patrick Austin. Conception, technologie et caractérisation de transistors bipolaire de puissance à émetteur polysilicium. PhD thesis, Université Paul Sabatier Toulouse III, 1993. 46, 48
- [4] Austin.P, Sanchez.J-L, and Berriane.R. Optimization of pp- junction termination for new power devices. Solid-State Electronics, 39(4) :593–599, 1996. 48
- [5] Bakran.M.M, Eckel.H.-G, Helsper.M, and Nagel.A. A.next generation of igbt-modules applied to high power traction ; power electronics and applications. Power Electronics and Applications, 2007 European Conference on, pages 1–9, 2007. 9
- [6] Bakran.M.M, Eckel.H.-G, Helsper.M, and Nagel.A. Next generation of igbt-modules applied to high power traction. Power Semiconductor Devices and ICs, 1(1) :1–9, 2007. 24
- [7] Bakran.M.M and Eckel.H.G. Evolution of igbt converters for mass transit applications. Industry Applications Conference, 2000. Conference Record of the 2000 IEEE, 3(1) :1930–1935, 2000. 10
- [8] Baliga.B.J. Enhancement and depletion mode vertical channel mos gated thyristors. Electronics Letters, 15(1) :645–647, 1979. 16
- [9] Baliga.B.J. Trends in power semiconductor devices. Electron Devices, IEEE Transactions on, 43(1) :1717–1731, 1996. 9, 22
- [10] Adel Benmansour. Contribution à l'étude des mécanismes de défaillances de l'IGBT sous régimes de fortes contraintes électriques et thermiques. PhD thesis, Université de Bordeaux 1, 2008. 28
- [11] Isabelle Bertrand. Recristallisation en phase liquide de films épais de poly-silicium pour la réalisation à faible coût de circuits de puissance sur SOI partiel. PhD thesis, INSA de Toulouse, 2006. 76
- [12] Christian Caramel. Nouvelles fonctions interrupteurs intégrées pour la conversion d'énergie. PhD thesis, Université Paul Sabatier Toulouse III, 2007. 61, 75, 77

Bibliographie

- [13] Caramel.C, Austin.P, SanchezJ-L, Imbernon.E, and Breil.M. Short-circuit protection structure for insulated gate power devices. Bipolar/BiCMOS Circuits and Technology, pages 297 – 300, 2004. 41
- [14] Olivier Causse. Contribution à l'amélioration de la fonctionnalité et des performances de l'IGBT. PhD thesis, Université Paul Sabatier Toulouse III, 2001. 76
- [15] Charitat.G, Sanchez.J-L, Rossel.P, Tranduc.H, and Baffleur.M. Power integrations :overview and future. Mixed Design of VLSI circuits, pages 47–59, 1995. 77
- [16] Chokhawala.R.S, Catt.J, and Kiraly.L. A discussion on igbt short circuit behavior and fault protection schemes. IEEE Transactions on industry application, 31(2) :256–263, 1995. 32
- [17] Chokhawala.R.S, Catt.J, and Kiraly.L. A discussion on igbt short-circuit behavior and fault protection schemes. Techniques de l'ingénieur, 31(2) :256 – 263, 1995. 35
- [18] Coquery.G. Les modules igbt de forte puissance leur essor dans les applications de traction ferroviaire : L'électricité dans le ferroviaire. Revue de l'électricité et de l'électronique ISSN 1265-6534, 1(9) :71–91, 1998. 10
- [19] Cotorogea.M, Claudio.A, and Aguayo.J. Analysis by measurements and circuit simulations of the pt and npt-igbt under different short-circuit conditions. Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE, 2(1) :1115–1121, 2000. 33
- [20] Daniela Dragomirescu. Conception des terminaisons de jonctions pour des dispositifs très haute tension. Aspect statiques et dynamiques. PhD thesis, INSA de Toulouse, 2001. 77
- [21] Efland.T.R, Chin-Yu Tsai, and Pendharkar.S. Lateral thinking about power devices (ldmos). Electron Devices Meeting IEDM, pages 679 – 682, 1998. 68
- [22] Fratelli.L and Giannini.G. Dual-voltage power converter for a distributed power system in heavy traction, using high-voltage igbt's. Power Electronics Specialists Conference, 2(1) :1414–1419, 1996. 9
- [23] Harada.M, Minato.T, Takahashi.H, Nishihara.H, Inoue.K, and Takata.I. 600 v trench igbt in comparison with planar igbt-an evaluation of the limit of igbt performance. Physics of Semiconductor Devices IWPSD, 1(1) :411–416, 1994. 25
- [24] Helsper.M, Fuchs.F.W, and Munzer.M. Analysis and comparison of planar- and trench-igbt-modules under zvs and zcs switching conditions. Power Electronics Specialists Conference, 2(1) :614– 619, 2002. 17

- [25] H.Foch. Elements constitutifs et synthèse des convertisseurs statiques. In Techniques de l'ingénieur, traité de génie électrique, D 3152 :1-18. 6
- [26] Eric Imbernon. Etude et optimisation d'une filière technologique flexible et adaptée au mode d'intégration monolithique. PhD thesis, Université Paul Sabatier Toulouse III, 2002. 41, 46, 47, 49
- [27] In-Hwan Jia, Min-Woo Haa, Young-Hwan Choia, Seung-Chul Leeb, Chong-Man Yunb, and Min-Koo Hana. A new fault current-sensing scheme for fast fault protection of the insulated gate bipolar transistor. 8th International Seminar on Power Semiconductors ISPS, 39(6) :908–913, 2006. 35
- [28] In-Hwan Jia, Min-Woo Haa, Young-Hwan Choia, Seung-Chul Leeb, Chong-Man Yunb, and Min-Koo Hana. The optimized monolithic fault protection circuit for the soft-shutdown behavior of 600v pt-igbt by employing a new blanking filter. Power Semiconductor Devices and ICaps ISPSD, pages 1 – 4, 2006. 40
- [29] Jung.M, Setiawan.H, and Tadros.Y. Development trends for traction inverters with high voltage igbts. IGBT Propulsion Drives, IEE Colloquium on, 1(7/1-7/9) :694–709, 1995. 8
- [30] Kao.Y.C and Wolley.E.D. High voltage planar p-n junctions. IEEE Electron Device Lett, 55(8) :1409– 1414, 1967. 52
- [31] Khanna.V.K. The Insulated Gate Bipolar Transistor Theory and Design. IEEE Press, 2003. 9, 15, 26
- [32] Kitagawa.M, Omura.I, Hasegawa.S, Inoue.T, and Nakagawa.A. A 4500 v injection enhanced insulated gate bipolar transistor(iegt) operating in a mode similar to a thyristor. Electron Devices Meeting IEDM '93 Technical Digest International, 1(1) :679–682, 1993. 26
- [33] Kudoh.M, Otsuki.M, Obinata.S, Momota.S, Yamazaki.T, Fujihira.T, and Sakurai.K. Current sensing igbt structure with improved accuracy. Power Semiconductor Devices and ICs ISPSD, pages 119–122, 1995. 37
- [34] Laska.T, Munzer.M, Pfirsch.F, Schaeffer.C, and Schmidt.T. The field stop igbt (fs igbt) : A new power device concept with a great improvement potential. Power Semiconductor Devices and ICs, 1(1) :355 – 358, 2000. 24
- [35] Lefebvre.S and Miserey.F. Composants à semi-conducteur pour l'électronique de puissance. Lavoisier, 2004. 77
- [36] Lefebvre.S and Multon.B. Mosfet et igbt : circuit de commande. Techniques de l'ingénieur, D-3 233(1) :1–14. 33

Bibliographie

- [37] Pierre Lefranc. Etude conception et réalisation de circuits de commande d'IGBT de forte puissance. PhD thesis, INSA de Lyon, 2005. 31
- [38] Leturcq.P. Semi-conducteur de puissance unipolaires et mixtes (partie 2). Techniques de l'ingénieur, D3 108(1) :15–22, 1. 16
- [39] Rodolphe De Maglie. Modélisation de différentes technologies de transistors bipolaires à grille isolée pour la simulation d'applications en électronique de puissance. PhD thesis, Université Paul Sabatier Toulouse III, 2007. 26
- [40] Majumdar.G. Recent technologies and trends of power devices. Physics of Semiconductor Devices IWPSD 2007, 1(1) :787 – 792, 2007. 25
- [41] Marc Marmouget. Contribution au développement d'outils d'aide à la conception de dispositifs de puissance basés sur le mode d'intégration fonctionnelle. PhD thesis, Université Paul Sabatier Toulouse III, 2000. 77
- [42] Diana Moncoquit. Propriétés physiques et modélisation du transistor de puissance LDMOS. PhD thesis, Université Paul Sabatier Toulouse III, 1997. 68
- [43] Perret.R. Interrupteur électroniques de puissance. Lavoisier, 2003. 16
- [44] Peter.J-M. Protection des igbt contre les courts-circuits. Revue générale de l'électricité, 1(2) :32–39, 1994. 32
- [45] Sanchez.J-L. State of the art and trends in power integration. MSM, pages 20–29, 1999. 77
- [46] Schurtze.T, Berg.H, and Schilling.O. The new 6,5kv igbt module : a reliable device for medium voltage applications. PCIM Nuremberg, page 1, 2001. 10
- [47] Shen.Z, So.K.C, and Chow.T.P. Comparative study of integrated current sensors in n-channel igbts. Power Semiconductor Devices and ICs ISPSD, pages 75–80, 1994. 55
- [48] Shen.Z.J and Robb.S.P. Monolithic integration of the vertical igbt and intelligent protection circuits. Power Semiconductor Devices and ICs ISPSD, pages 295–298, 1996. 37, 39
- [49] Shimizu.Y, Nakano.Y, Kono.Y, Sakurai.N, Sugawara.Y, and Otaka.S. A high performance intelligent igbt with overcurrent protection. Power Semiconductor Devices and ICs ISPSD, pages 37–41, 1994. 36
- [50] Takahashi.H, Haruguchi.H, Hagino.H, and Yamada.T. Carrier stored trench-gate bipolar transistor (cstbt)-a novel powerdevice for high voltage application. Power Semiconductor

- Devices and ICs ISPSD '96 Proceedings 8th International Symposium on, 1(1) :349–352, 1996. 26
- [51] Temple.V.A.K. Junction termination extension (jte), a new technique for increasing avalanche breakdown voltage and controlling surface electric fields in p-n junctions. Electron Devices Meeting, 23 :423– 426, 1977. 48
- [52] Udrea.F and Amaratunga.G. The trench insulated gate bipolar transistor a high power switching device. Microelectronics Journal, 38(1) :1–12, 1997. 25
- [53] Udrea.F, Trajkovic.T, Lee.C, Garner.D, Yuan.X, Joyce.J, Udugampola.N, Bonnet.G, Coulson.D, Jacques.R, Izmajlowicz.M, van der Duijn Schouten.N, Ansari.Z, Moyse.P, and Amaratunga.G.A.J. Ultra-fast lightbs and superjunction devices in membrane technology. Power Semiconductor Devices and ICs ISPSD, pages 267 – 270, 2005. 76
- [54] Voss.S, Niedernostheide.F, and Schulze.H. Anode design variation in 1200-v trench field-stop reverse-conducting igbts. Power Semiconductor Devices and IC's ISPSD '08. 20th International Symposium on, 1(1) :169–172, 2008. 26
- [55] Yamashita.J, Uenishi.A, Tomomatsu.Y, Haruguchi.H, Takahashi.H, Takata.I, and Hagiino.H. A study on the short circuit destruction of igbts. Power Semiconductor Devices and ICs ISPSD '93 Proceedings of the 5th International Symposium on, 1(1) :35–40, 1993. 30
- [56] Yilmaz.H. Cell geometry effect on igbt latch up. IEEE Electron Device Lett, 6(8) :419–421, 1985. 49

Liste des publications

REVUES INTERNATIONALES

[1] " The BI-IGBT : a low losses power structure by IGBT parallel association "
C.CARAMEL, R.DE MAGLIE, P.AUSTIN, J.L.SANCHEZ, J.LE GAL, E.IMBERNON, J.P.LAUR,
D.FLORES, S.HIDALGO, J.MILLAN, J.REBOLLO, Journal Title :Semiconductor science and
technology ISSN 0268-1242 CODEN SSTEET , 2008, vol. 23, no5.

CONGRES INTERNATIONAUX AVEC COMITE DE LECTURE

[2] "Simulation based analysis of a monolithically integrated fast and slow IGBT structure
(U)"
J.LE GAL, R.DE MAGLIE, C.CARAMEL, A.BOURENNANE, P.AUSTIN, J.L.SANCHEZ,
J.P.LAUR, D.FLORES, J.MILLAN, J.REBOLLO, 2007 European Conference on Power Elec-
tronics and Applications (EPE 2007), vol.3, Aalborg, Denmark.

[3] "Evolution of an integrated short-circuits protection structure : specific design of a LD-
MOS transistor"
J.LE GAL, C.CARAMEL, A.BOURENNANE, P.AUSTIN, J.L.SANCHEZ, M.BREIL, J.SAIZ,
M.MERMET-GUYENNET, E.IMBERNON, 9th International Seminar on Power Semiconduc-
tors (ISPS'08), Prague, République Tchèque, 27-29 août 2008.

[4] "Development of a self-protected and self-controlled integrated power switch : compari-
son of two circuit architectures"
F.CAPY, J.LE GAL, M.BREIL, F.RICHARDEAU, J.P.LAUR, P.AUSTIN, J.L.SANCHEZ,
BiCMOS Circuits and Technology Meeting (BCTM 2008), Monterey, Etats-Unis, 13-16 oc-
tobre2008, pp.49-52.

CONGRES NATIONAUX AVEC COMITE DE LECTURE

[5] "Intégration de la commande et de protection avec les dispositifs IGBT"
J.LE GAL, P.AUSTIN, J.L.SANCHEZ, 11eme Journées Nationales du Réseau Doctoral de
Microélectronique (JNRDM'08), Bordeaux, 14-16 mai 2008

[6] "Évolution de la structure intégrée de protection contre les court-circuits : un transistor
LDMOS spécifique pour une intégration monolithique" J.Le Gal, Conférence des Jeunes Cher-

Liste des publications

cheurs en Génie Electrique (JCGE'08), Lyon, 16-17 décembre 2008, pp.49-53.

TITLE : Detection and protection function integrated with Insulated Gate Bipolar Transistor (IGBT) device

SUMMARY

Reliability and availability of systems energy management are the basic conditions for the spread of electrical solutions in many applications. Power devices must perform not only in normal but also in extreme regimes, such as during short circuits. For this, power switches are combined in a discrete manner to systems of detection and protection. A solution to improve the reliability of the devices is to integrate monolithically within a single chip, the switch and the functions of detection and protection. These devices exploit the integrated electrical interactions that occur in the chip to detect the failure and thus stop it. The power switch is protected and recovered in conduction when the failure is corrected. The power components are able to protect themselves during a failure. The objective of this thesis is to propose solutions for integrating protection and detection functions with IGBT devices to increase the reliability and availability of power systems. We focus on two different detection functions : the current mirror ("Sense") and the sensor anode (anode voltage sensor) to detect short circuits. These two sensors have been studied using 2D simulation and technological achievements. A detection circuit and IGBT protection against short circuits, including the anode voltage sensor monolithically integrated is proposed and simulated. The electrical testing of the sensors in static allow a better understanding of their behavior. Finally, the IGBT associated with its detection and protection is tested in hybrid under short-circuit to validate the operation.

KEYWORDS : IGBT,short-circuit, reliability, protection, power integration simulation SENTAURUS-TCAD, characterization.

AUTEUR : Julie Le Gal

TITRE : Intégration des fonctions de protection avec les dispositifs IGBT

DIRECTEUR DE THESE : Jean-Louis Sanchez et Patrick Austin

LIEU ET DATE DE SOUTENANCE : le 20 Avril 2010 à Toulouse au LAAS-CNRS

RESUME :

La fiabilité et la disponibilité des systèmes de gestion de l'énergie sont les conditions de base pour la généralisation de solutions électriques dans de nombreuses applications. Les dispositifs de puissance doivent être performants non seulement en régime normal, mais aussi en régimes extrêmes, par exemple lors des courts-circuits. Pour cela, les interrupteurs de puissance sont associés de façon discrète à des systèmes de détection et de protection. Une solution pour améliorer la fiabilité des dispositifs consiste à intégrer monolithiquement, au sein d'une même puce, l'interrupteur et les fonctions de détection et de protection. Ces dispositifs intégrés exploitent les interactions électriques qui apparaissent dans la puce pour détecter la défaillance et ainsi la stopper. L'interrupteur de puissance est ainsi protégé et se remet en conduction une fois la défaillance corrigée. Les composants de puissance seront ainsi capables de se protéger lors d'une défaillance.

L'objectif de cette thèse est de proposer des solutions d'intégration de fonctions de protection et de diagnostic rapprochées avec les dispositifs IGBT afin d'augmenter la fiabilité et la disponibilité des systèmes de puissance. Les fonctions de protection sur lesquelles nous nous sommes focalisés sont le miroir de courant (« Sense ») et le capteur d'anode («Capteur de Tension d'Anode») pour détecter les courts-circuits. Ces deux capteurs ont été étudiés à l'aide de simulation 2D puis réalisés technologiquement. Un circuit de détection et de protection des IGBT contre les courts-circuits, comprenant le capteur de tension d'anode intégré monolithiquement, est proposé et simulé. Les tests électriques des capteurs en mode statique permettent de mieux comprendre leur comportement. Enfin, l'interrupteur IGBT associé à ses fonctions de détection et de protection est testé de manière discrète dans un circuit de commutation en condition de court-circuit afin de valider le fonctionnement.

MOTS CLES : IGBT, courts-circuits, fiabilité, protection, intégration de puissance, filière technologique, simulation SENTAURUS-TCAD, caractérisations.

DISCIPLINE : Conception de Circuits Microélectroniques et Microsystèmes

INTITULE ET ADRESSE DU LABORATOIRE : LAAS CNRS, 7 Avenue du Colonel Roche, 31077 Toulouse

