



HAL
open science

Modélisation et simulation numérique des nano-transistors multi-grilles à matériaux innovants

Mathieu Moreau

► **To cite this version:**

Mathieu Moreau. Modélisation et simulation numérique des nano-transistors multi-grilles à matériaux innovants. Micro et nanotechnologies/Microélectronique. Université de Provence - Aix-Marseille I, 2010. Français. NNT: . tel-00566288v2

HAL Id: tel-00566288

<https://theses.hal.science/tel-00566288v2>

Submitted on 16 Feb 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Année 2010

THESE

présentée devant

L'UNIVERSITE DE PROVENCE (AIX-MARSEILLE I)

Par

Mathieu MOREAU

en vue d'obtenir

LE GRADE DE DOCTEUR

Ecole doctorale : Mécanique, Physique, Micro- et Nano-électronique
Spécialité : Micro- et Nano-électronique

MODELISATION ET SIMULATION NUMERIQUE DES NANO-TRANSISTORS MULTI-GRILLES A MATERIAUX INNOVANTS

Directeur de thèse : Jean-Luc AUTRAN
Co-encadrant : Daniela MUNTEANU

Soutenue publiquement le 9 décembre 2010 devant la commission d'examen :

Président	M. Gilbert Vincent	Professeur, Université Joseph Fourier
Rapporteur	M. Michel Houssa	Professeur, Université Catholique Leuven
Rapporteur	M. Arnaud Bournel	Professeur, Université Paris-Sud
Examineur	M. Sylvain Barraud	Ingénieur de recherche, CEA-LETI
Directeur de thèse	M. Jean-Luc Autran	Professeur, Université de Provence
Co-encadrant	Mme. Daniela Munteanu	Chargée de recherche CNRS, IM2NP

Thèse préparée à l'Institut Matériaux Microélectronique Nanosciences de
Provence (IM2NP-CNRS)

“Certains hommes parlent durant leur sommeil. Il n'y a guère que les conférenciers pour parler pendant le sommeil des autres”

Alfred Capus

Remerciements

Voilà trois ans qui s'achèvent et tant de personnes à remercier pour m'avoir permis d'accomplir avec brio cette "aventure" qu'est la thèse. J'espère que je n'oublierai personne !

Ces travaux se sont déroulés au sein de l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP, UMR 6242 CNRS), dont je remercie chaleureusement le directeur Mr Rachid Bouchakour pour l'accueil au sein du laboratoire, en collaboration avec l'IMEC, Belgique, dans le cadre d'un Projet International de Collaboration Scientifique (PICS) du CNRS. Je remercie donc tous les acteurs de ce projet pour m'avoir intégré dans ce programme.

Je souhaite ensuite vivement remercier tous les membres de mon jury de soutenance :

- Mr Gilbert Vincent, Professeur à l'Université Joseph Fourier, qui m'a offert le privilège de présider la dernière soutenance de sa carrière exceptionnelle,
- Mr Arnaud Bournel, Professeur à l'Université Paris-Sud 11, d'avoir accepté et pris le temps d'évaluer de manière minutieuse mes travaux de recherche en tant que rapporteur,
- Mr Michel Houssa, Professeur à la Katholieke Universiteit Leuven, d'avoir été le second rapporteur de mon manuscrit. Son professionnalisme et son immense gentillesse au cours de nos différentes rencontres dans le cadre du projet PICS-CNRS m'auront été d'une aide précieuse tout au long de ma thèse.
- Mr Sylvain Barraud, Ingénieur au CEA-LETI, pour m'avoir fait l'honneur de participer à ma soutenance en tant qu'examinateur. Cet expert du domaine a su m'apporter des remarques très constructives et des conseils importants lors de la soutenance.
- Mr Jean-Luc Autran, Professeur à l'Université de Provence, d'avoir été mon directeur de thèse. Il aura été un tuteur scientifique d'une qualité exceptionnelle et aura su m'apporter toute sa rigueur scientifique qui, je le sais, me sera d'une grande aide pour la suite de ma carrière.
- Pour finir, je souhaite remercier avec toute ma reconnaissance Mme Daniela Munteanu, chargée de recherche à l'IM2NP, qui, pendant cinq ans a inlassablement su m'apporter son soutien et ses conseils avisés en tant que responsable et "prof" du Master MINELEC puis en tant que co-encadrante de ma thèse. Sa gentillesse, sa disponibilité, sa patience et ses qualités scientifiques en font une personne de grande confiance avec qui il est très agréable de travailler.

Je remercie tout spécialement Jérôme Mitard et Florence Bellenger de l'IMEC pour leur collaboration au travers du projet PICS-CNRS et pour m'avoir fourni des données expérimentales précieuses qui ont enrichies ce manuscrit.

Je tiens également à remercier Steffen Schäfer, Maître de Conférences à l'Université de Provence, qui fut mon tuteur de monitorat lors de ces trois années. Il m'a tout simplement initié à l'enseignement et a su me guider tout au long de cet apprentissage en m'apportant des conseils judicieux et toute sa disponibilité. Par la même, je souhaite remercier Mr Khalifa Aguir, responsable de la spécialité Pro du Master MINELEC, pour m'avoir permis d'enseigner dans ce master et toute l'équipe du CIES Provence Côte d'Azur Corse pour toutes les formations offertes lors de ce monitorat.

Mes prochains remerciements vont bien évidemment au personnel de L'IM2NP que j'ai côtoyé durant ces trois années. Je pense en particulier aux membres permanents de l'équipe Dispositifs Ultimes sur Silicium : Nicolas et Fabienne pour leur amabilité et leur grande qualité pédagogique qui m'ont incité à poursuivre dans la recherche, Marc et ses "blagues de porte" et enfin Jean-Luc et Daniela, encore merci.

La vie de bureau serait bien évidemment moins dynamique si les non-permanents n'étaient pas là. Un grand merci à Xavier mon 1^{er} co-bureau, Nico (quand il n'est pas déguisé en Spiderman et accompagné de son ami imaginaire), mon pote de thèse, pour ses nombreux repas en tête à tête au RU de Château-Gombert, nos soirées bien arrosées et cette semaine en Italie qui restera mémorable..., Sebastien M. mon ami et 2^{ème} co-bureau, grand fan de Star Wars mais légèrement "désordonné", qui m'a soutenu scientifiquement et moralement pendant la rédaction et avec qui j'ai passé de grands moments de rigolade au bureau (notamment lorsque nous avons évoqué cette citation "L'espoir fait vivre mais heureusement qu'il ne tue pas" d'après un certain Mathieu M.) et en conf à Boston et Athènes (dédicaces aux razmokets !), je lui dois beaucoup..., Julien le collègue du LETI à qui je souhaite bon courage pour la suite de sa thèse, Sébastien S. mon remplaçant de bureau et pour finir un grand merci à Aude, Elias et Pierre, stagiaires puis jeunes thésards, qui ont su m'apporter tout leur dynamisme et leur soutien au cours de ces derniers mois notamment grâce à nos pique-niques au bord de la piscine et pour nos interminables parties de tarot africain dont je tairai le nom marseillais...

Je tiens également à remercier les autres membres de l'institut et notamment ceux présents à l'IMT de Château-Gombert qui m'ont parfaitement et très amicalement intégrés dans ces locaux : l'équipe CCI avec Nicolas, Fayrouz, Stéphane, Annie, Wence, Lakhdar, Eric, Olivier, Manu, Rémy, l'équipe Mémoire avec Marc, Romain, Jérémy, Damien, Gilles, Christophe, Jean-Michel, Pierre, Philippe et enfin mes nouveaux collègues de l'équipe RFID avec Philippe, Manu, Matthieu, Jean, Evangéline, Juve, Mathieu, Jean-Luc, Rita, Gary et Thibault.

Il me semble maintenant important de remercier le personnel administratif et, en particulier, les secrétaires de l'IRPHE, Christiane de l'IM2NP et Pascal Campion de l'ED352 qui, grâce à leur professionnalisme, ont toujours réussi à apporter des solutions à des problèmes parfois épineux.

Au cours de ces dernières années, j'ai également rencontré beaucoup de personnes au travers de différents projets et en divers lieux. Je tiens à remercier : mes anciens collègues de promo de Master (Greg, JC, Nico), les personnes avec qui j'ai partagé de bons moments en conf (Sophie, Jean-Luc, Jean, Marc, Vincent, ...) et mes collègues du CIES et du projet "les 5 sens" pour

nos nombreuses discussions et organisations de “réunions” (Greg, Lydie, Fanny, Adrien, Aurélie, Kéo, Thanh, Célia, Sophia, ...).

Je crois que ces trois ans ne se seraient pas aussi bien passé si je n'avais pas eu mes amis de toujours (même si pour la plupart, ils sont ardéchois...) auprès de moi pour me soutenir. Je commence par l'inévitable Alban (dit Albinos le lapin) avec qui j'ai tout partagé (enfin presque !) depuis le lycée : la vogue de Saint-Romain-d'Ay, nos soirées à Lyon puis en Avignon, la construction de sa maison (en passant merci également à Bruno et Christiane pour leur pêche !) et ses p... de bétonnières, la découverte de l'apiculture et du squash, j'en passe et des meilleures, pourvu que ça dure ! Passons à Juju (dit biquounitte) sa fidèle acolyte pour m'avoir fait découvrir la Lozère et tant d'autres choses (qu'il ne vaut mieux pas ébruiter...). Viennent ensuite dans le désordre : Jérôme (dit Pacoulin), un jour tu verras tu arriveras à me battre au squash..., et Céline, pour la découverte des joies du ramassage d'olive, votre joie de vivre est exceptionnelle (encore désolé pour un certain jour de fin décembre 2009 où vous avez eu très froid) ; Jean-Luc, un jour tu verras je finirai par te battre au squash... et Marjo, pour tout nos moments de complicités partagés autour d'un bon “Lost”, votre amitié m'est primordiale ; Raph (dit Rafoufou) et Blandine (dit Blandoche ou la pipelette) pour nos soirées aux rhums arrangés et nos week-ends aux Orres ; Fabrice (dit le grand), celui qui a retourné sa veste sur les pistes, et Virginie l'institutrice, heureusement qu'il y a les week-ends et les vacances pour se retrouver ; Yohan et Marie qui sont à mes cotés depuis le collège et même la maternelle ; Guillaume, Maud et le petit Noam continuez à me faire rire (Oh Yeh !) ; Mimi, Roger et toute leur famille pour votre gentillesse et votre enthousiasme incroyable ; Andreï, Gé, Johan (vive le Mont Ventoux !), Val et toute la troupe de “Rencontre avec Le Christ” (Emilie, Julie, Noémi, Guigui, ...).

Ce travail de thèse n'aurait également pu être accompli sans un soutien indéfectible de ma famille. Merci à ma mère pour m'avoir motivé tout au long de mes études et pour ses petits plats fantastiques qui sont un réel bonheur à chaque week-end passé à Pélussin. Merci à mon père et Anne pour leurs encouragements et tous ces moments passés au ski ensemble. Merci à mon frère, Cédric, sa femme Audrey, et leurs petits monstres Lucas et Elise qui m'apportent tant de joie. Merci également à toute ma famille de la région parisienne et de la Saône-et-Loire, notamment ma grand-mère. Et enfin merci à ma belle-famille : Joëlle et Gérard les néo-bretons, ne changez rien sauf peut-être votre niveau au Trivial Pursuit (un jour on arrivera à vous battre !) ; Déborah, Lolo et Maïa pour toutes ses soirées inoubliables et bien plus ; Eugénie ou Nini pour ton sale caractère, ton immense joie de vivre et tout simplement ta présence ; Sab et son accordéon ; Eric et ses enfants, Patrick, ma belle-grand-mère.

Je finirai bien évidemment ce “premier chapitre” en ayant une pensée toute particulière à Noémie, la femme qui partage ma vie et bien plus encore. C'est elle qui a su m'apporter tout son soutien pour mener à bien cette thèse. C'est elle qui, tous les jours est présente à mes côtés, c'est elle qui m'a encouragé quand le moral n'était pas là, c'est elle qui m'a fait rire et qui continue de le faire au fur et à mesure que les années ensemble passent, c'est elle qui me rend heureux, c'est elle qui... Tous les remerciements du monde ne suffiraient pas pour te rendre la pareille.

Table des matières

Table des matières	1
Introduction	5
Présentation du manuscrit.....	6
Chapitre 1 Le transistor MOSFET et son devenir	9
1.1 Introduction	11
1.2 Le transistor MOSFET	12
1.2.1 Principe et fonctionnement.....	12
1.2.2 Réduction des dimensions	15
1.2.2.1 Effets de canal court.....	16
1.2.2.2 Effets quantiques.....	17
1.2.2.3 Du régime diffusif au transport balistique.....	19
1.2.3 Conclusion.....	20
1.3 Les solutions technologiques innovantes	20
1.3.1 Les transistors MOSFET en architecture multi-grilles	20
1.3.1.1 Le transistor SOI complètement déplété (Fully-Depleted SOI, FDSOI).....	21
1.3.1.2 Le transistor MOS Double-Grille	22
1.3.1.3 Le transistor à nanofil.....	25
1.3.2 Les transistors MOSFET à base de matériaux innovants	26
1.3.2.1 Diélectriques de grilles high- κ	26
1.3.2.2 Transistors à canal de silicium contraint	28
1.3.2.3 Transistors à base de semiconducteurs à forte mobilité.....	29
1.3.3 Bilan des solutions technologiques innovantes	32
1.4 Quels outils pour étudier les performances des dispositifs ?	32
1.5 Conclusion	34
Chapitre 2 Modélisation numérique de la structure Métal-Isolant-Semiconducteur	37
2.1 Introduction	39

2.1.1	Problématique des matériaux innovants	40
2.1.2	Rappel de fonctionnement.....	41
2.1.2.1	Capacité MIS idéale	41
2.1.2.2	Capacité MIS réelle et effets parasites.....	44
2.1.3	Conclusion.....	45
2.2	Simulation de la courbe C-V	46
2.2.1	Présentation du code.....	46
2.2.1.1	Equation de Poisson 1D.....	47
2.2.1.2	Equation de Schrödinger 1D.....	51
2.2.1.3	Méthode de résolution numérique	56
2.2.2	Description des structures innovantes	59
2.2.3	Etude détaillée des dispositifs.....	61
2.2.3.1	Validation du code sur capacités SiO ₂ /Si.....	61
2.2.3.2	Structures high- κ /Ge.....	63
2.2.3.3	Structures high- κ /III-V	65
2.2.4	Bilan/discussion.....	66
2.3	Simulation de la courbe I-V	67
2.3.1	Etude théorique	67
2.3.1.1	Approche classique dans les capacités MIS.....	68
2.3.1.2	Calcul quantique (NEGF) dans les capacités MIM.....	73
2.3.2	Etude des capacités MIS.....	79
2.3.3	Etude des capacités MIM	81
2.3.3.1	Comparaison des transparences WKB et NEGF : influence sur le courant de fuite de grille ...	81
2.3.3.2	Etude de structures par le formalisme NEGF.....	85
2.3.4	Bilan/discussion.....	88
2.4	Conclusion du chapitre	90
Chapitre 3 Modélisation numérique du transistor MOS en architecture Double-Grille.....		93
3.1	Introduction.....	95
3.2	Description du code de simulation numérique	97
3.2.1	Mise en équation	98
3.2.1.1	Approche classique	100
3.2.1.2	Approche quantique.....	101
3.2.1.3	Calcul du courant de drain.....	103
3.2.2	Discussion.....	106
3.3	Simulation des transistors MOS Double-Grille à grilles indépendantes sur silicium.....	107
3.3.1	Simulation classique des dispositifs.....	107
3.3.1.1	Validation du code	107
3.3.1.2	Extraction des paramètres électriques	108
3.3.1.3	Réduction de la longueur de grille : effets de canal court.....	111
3.3.2	Impact du confinement quantique : simulation classique vs simulation quantique	113
3.3.2.1	Explication des phénomènes mis en jeu.....	113
3.3.2.2	Réduction de l'épaisseur du film semiconducteur	116
3.3.3	Bilan	120
3.4	Le transistor MOS Double-Grille à base de matériaux innovants	121
3.4.1	Adaptation du code de simulation.....	121
3.4.2	Réduction des dimensions : comparaison avec le silicium.....	123
3.4.2.1	Effets de canal court et pente sous le seuil.....	125
3.4.2.2	Confinement quantique	127
3.4.2.3	Discussion	132
3.4.3	Simulation de l'inverseur CMOS (simulation Atlas)	134

3.4.3.1	<i>Présentation du composant</i>	134
3.4.3.2	<i>Analyse des performances statiques et dynamiques</i>	135
3.4.3.3	<i>Discussion</i>	138
3.4.4	Bilan.....	139
3.5	Conclusion du chapitre	139
Chapitre 4 Modélisation compacte du transistor MOS en architecture		
Double-Grille sur silicium		
		143
4.1	Introduction	145
4.2	Modélisation compacte du courant de drain en dérive-diffusion	147
4.2.1	Modélisation du potentiel électrostatique.....	149
4.2.2	Calcul de la charge d'inversion	152
4.2.3	Expression du courant de drain	155
4.2.4	Comparaison et validation du modèle par la simulation numérique	156
4.3	Modélisation analytique du courant de drain sous le seuil en régime balistique	159
4.3.1	Profil de potentiel sous le seuil.....	160
4.3.2	Modélisation du courant balistique dans le régime sous le seuil	163
4.3.3	Validation du modèle par la simulation numérique.....	165
4.4	Conclusion du chapitre	168
	Conclusion et perspectives	171
	Annexes	175
A.1	Discrétisation des équations par la méthode des différences finies	176
A.1.1	Maillage 1D	176
A.1.2	Maillage 2D	178
A.1.3	Exemple : résolution de l'équation de Poisson 2D	179
A.2	Paramètres des matériaux semiconducteurs	181
A.2.1	Tableau récapitulatif.....	181
A.2.2	Calcul des masses effectives de confinement et de densité d'état 2D	182
A.3	Paramètres des diélectriques de grilles	183
	Références bibliographiques	185
	Publications de l'auteur	205

Introduction

Sans nous rendre compte, nous avons aujourd'hui pris l'habitude d'utiliser dans notre vie quotidienne une multitude d'objets électroniques. Que ce soit simplement pour retirer de l'argent avec notre carte bleue, communiquer avec notre téléphone portable, programmer notre machine à laver ou conduire une voiture, nous sommes sans arrêt confrontés à l'électronique. Ces comportements reposent en partie sur le fonctionnement d'un composant principal, pourtant invisible à l'œil nu : le transistor MOSFET*, brique de base des circuits intégrés électroniques.

Aujourd'hui, la multiplication de ces objets technologiques engendre un marché économique et industriel dont l'essor est considérable depuis ces 50 dernières années. En effet, il apparaît qu'une part majeure de l'économie repose sur l'industrie de la microélectronique puisque celle-ci détermine l'innovation technologique et industrielle et permet le bon développement de la plupart des secteurs d'activités. Ainsi, sans industrie des semiconducteurs performante, certains secteurs ne connaîtraient pas un tel développement (aéronautique, défense, santé ou environnement par exemple). A titre indicatif, avec 265 milliards de dollars de chiffre d'affaires au niveau mondial, le secteur des semiconducteurs contribue à générer plus de 1300 milliards de dollars de chiffre d'affaires dans les industries électroniques et 5000 milliards de dollars dans le secteur des services, soit 10% du PIB mondial.

Même si le transistor MOSFET a gardé sa structure initiale, l'industrie microélectronique a su faire évoluer ce composant et les circuits dans lesquels il est intégré pour répondre aux exigences sociétales. En effet, au fil des années, les systèmes sont devenus de plus en plus petits alors que leurs fonctionnalités (application haute-fréquence par exemple) et leurs performances n'ont cessé de s'améliorer, approchant aujourd'hui sérieusement leur rendement maximum.

La réduction des dimensions des circuits permise par la diminution physique du transistor, n'est toutefois pas sans conséquence sur son fonctionnement. Jusqu'à présent, l'industrie de la microélectronique a toujours su répondre aux effets parasites rencontrés,

* *Metal-Oxyde-Semiconductor Field-Effect-Transistor.*

principalement en optimisant les procédés de fabrication, toujours plus complexes et onéreux*. Pourtant, la taille de ce transistor est devenue si proche de quelques dizaines de nanomètres que les lois bien connues de la physique classique, généralement utilisées pour décrire son fonctionnement, sont remises en causes car elles ne peuvent plus expliquer l'apparition de "nouveaux" phénomènes physiques, dérégulant sérieusement le bon fonctionnement du composant et, par conséquent, le bon fonctionnement du circuit entier.

Alors la "recherche" rentre en jeu et de nouvelles alternatives sont explorées, notamment grâce à la simulation numérique et la modélisation compacte, d'une part pour contrer les effets parasites, et d'autre part, pour continuer d'améliorer les performances du transistor : modifications plus ou moins importantes de l'architecture conventionnelle sur silicium massif et/ou remplacement de tout ou partie des matériaux actuellement utilisés. Ces avancées offrent des solutions viables à court terme. A plus long terme, les prospections technologiques "*beyond CMOS*" (transistors à base de nanotube de carbone, électronique moléculaire, spintronique, ...) connaissent un engouement certain mais représentent une rupture technologique profonde avec la filière classique sur silicium et doivent encore faire face à de nombreux défis techniques pour être viables, économiquement parlant.

Notre travail s'inscrit alors dans cette démarche de compréhension et d'évaluation de nouveaux dispositifs en se proposant d'étudier plus particulièrement de nouvelles architectures pour le transistor MOSFET à base de matériaux innovants tels que les diélectriques à forte permittivité et les semiconducteurs à forte mobilité. Nos travaux se sont réalisés dans le cadre d'un Projet International de Collaboration Scientifique (PICS) entre l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP), France et l'IMEC, Belgique.

Présentation du manuscrit

Ce manuscrit s'articule autour de quatre chapitres, regroupant les principaux travaux effectués lors de cette thèse.

Le premier chapitre s'attache à introduire d'une manière assez générale les enjeux actuels auxquels sont confrontées les industries microélectroniques. Tout d'abord, le fonctionnement du transistor MOSFET est rappelé, puis sont présentés les principaux phénomènes physiques dégradant les performances des dispositifs lorsque les dimensions de ce composant sont réduites. Ensuite, nous dressons un bilan des différentes solutions technologiques envisagées dans l'avenir proche pour remplacer l'architecture conventionnelle afin de poursuivre la miniaturisation des composants tout en améliorant leur efficacité. Enfin, nous détaillons les différents outils de simulation et techniques utilisées pour étudier de tels dispositifs en soulignant ceux qui seront adoptés dans la suite de nos travaux.

Le second chapitre décrit l'étude de structures simples telles que les dispositifs Métal-Isolant-Semiconducteur (MIS) et Métal-Isolant-Métal (MIM), composées de matériaux innovants tant au niveau du diélectrique de grille (matériaux à forte permittivité) que du

* Actuellement, le coût de mise en œuvre des procédés doublerait tous les trente six mois.

matériau de substrat (semiconducteur à forte mobilité). Les performances de ces dispositifs sont étudiées grâce au développement de codes de simulation numérique incluant différents niveaux de modélisation comme la résolution auto-cohérente des équations de Poisson et de Schrödinger ou le formalisme des fonctions de Green.

Les chapitres 3 et 4 sont quant à eux dédiés à la simulation du fonctionnement des transistors MOSFET en architecture Double-Grille. Dans un premier temps, un code de simulation numérique bidimensionnel (2D), basé sur le calcul du courant en dérive-diffusion et la résolution auto-cohérente des équations de Poisson et de Schrödinger, est présenté pour étudier les performances des architectures à grilles indépendantes. Cet outil est ensuite utilisé pour évaluer et comparer différents semiconducteurs à la fois en termes de dispositif unique (transistor Double-Grille conventionnel) mais également au niveau circuit (inverseur CMOS), grâce au simulateur commercial Atlas [Silvaco]. Finalement, le dernier chapitre présente une contribution à la modélisation compacte et analytique du courant de drain dans les transistors MOS en architecture Double-Grille à grilles indépendantes, transport décrit de manière classique par le formalisme dérive-diffusion ou de façon quantique dans le régime balistique.

Chapitre 1

Le transistor MOSFET et son devenir

Le chapitre 1 a pour premier objectif de résumer le plus simplement possible quelles sont les solutions envisagées dans les années à venir pour améliorer les performances du composant de base de l'électronique : le transistor MOSFET sur silicium massif.

Ainsi, nous commencerons par présenter son fonctionnement en soulignant les effets physiques rencontrés lors de sa miniaturisation. Puis, nous détaillerons les différentes technologies actuelles, présentées comme des solutions encourageantes pour son amélioration. Enfin, les outils de simulation numérique utilisés dans cette thèse seront introduits.

Chapitre 1 Le transistor MOSFET et son devenir	9
1.1 Introduction.....	11
1.2 Le transistor MOSFET	12
1.2.1 Principe et fonctionnement.....	12
1.2.2 Réduction des dimensions	15
1.2.2.1 Effets de canal court.....	16
1.2.2.2 Effets quantiques.....	17
1.2.2.3 Du régime diffusif au transport balistique	19
1.2.3 Conclusion.....	20
1.3 Les solutions technologiques innovantes	20
1.3.1 Les transistors MOSFET en architecture multi-grilles	20
1.3.1.1 Le transistor SOI complètement déplété (Fully-Depleted SOI, FDSOI).....	21
1.3.1.2 Le transistor MOS Double-Grille	22
1.3.1.3 Le transistor à nanofil.....	25
1.3.2 Les transistors MOSFET à base de matériaux innovants	26
1.3.2.1 Diélectriques de grilles high- κ	26
1.3.2.2 Transistors à canal de silicium contraint	28
1.3.2.3 Transistors à base de semiconducteurs à forte mobilité.....	29
1.3.3 Bilan des solutions technologiques innovantes	32
1.4 Quels outils pour étudier les performances des dispositifs ?.....	32
1.5 Conclusion	34

Chapitre 1

Le transistor MOSFET et son devenir

1.1 Introduction

La microélectronique et son essor économique sans précédent repose sur l'invention du premier circuit intégré par J. Kilby* en 1958, reliant pour la première fois plusieurs transistors entre eux. Depuis la fin des années 1960 [1967 plus exactement et l'invention de la technologie *Complementary Metal Oxide Semiconductor* (CMOS)] et le début des années 1970 (1971 pour la commercialisation par Intel du premier microprocesseur† 4004 [Intel]), les performances de ces dispositifs technologiques n'ont alors cessées de croître grâce à la miniaturisation‡ de la brique de base de ces circuits : le transistor MOS à effet de champ ou transistor MOSFET dont la conception théorique est énoncée pour la première fois en 1925 par J. E. Lilienfeld [Colinge]. Ce n'est qu'en 1947 avec les travaux de J. Bardeen, W. Brattain et W. Shockley§ que le premier transistor bipolaire à base de germanium fut alors fabriqué. Cependant, la difficulté d'obtenir des oxydes de germanium stables**, nécessaires au bon fonctionnement des transistors MOSFET, a largement contribué au déclin du germanium à la fin des années 1950 et au développement de composant à base de silicium†† (pour le canal de conduction mais également son oxyde SiO₂ pour le diélectrique de grille et sa forme polycristalline poly-Si pour la fabrication de la grille), matériau le plus utilisé de nos jours pour la fabrication des transistors MOSFET.

* Prix Nobel de physique en 2000 pour ses travaux relatifs au circuit intégré.

† Intégration de plusieurs circuits intégrés sur une même puce pour réduire entre autres la taille des composants et les coûts de fabrication.

‡ Dictées par la célèbre "Loi de Moore" [Moore].

§ Le prix Nobel de physique 1956 leur a été attribué pour cette invention.

** Qui reste encore aujourd'hui un problème majeur pour le développement des composants à base de matériaux à forte mobilité.

†† Le premier transistor MOSFET en silicium a été construit en 1960 par D. Kahng.

Le transistor MOSFET “historique” sur silicium massif (*bulk*), dont le fonctionnement sera brièvement rappelé dans le prochain paragraphe, se heurte aujourd’hui à des limitations d’ordres technologiques et physiques, détaillées par la suite. Néanmoins, de nombreuses recherches fondamentales et expérimentales laissent entrevoir de nouvelles possibilités pour le remplacement de l’architecture “historique” dans les années à venir, dont nous ferons le bilan non-exhaustif tout au long de ce premier chapitre introductif. Nous évoquerons parmi les solutions les plus envisagées et étudiées lors de cette thèse, les transistors MOS en architecture multi-grilles et les dispositifs à base de matériaux à forte mobilité. La dernière partie introduira, de manière succincte, les outils mis à disposition pour étudier et comprendre les phénomènes physiques mis en jeu dans ces dispositifs innovants.

1.2 Le transistor MOSFET

1.2.1 Principe et fonctionnement

De manière générale, le transistor MOSFET utilisé dans les circuits numériques est un interrupteur de très petite dimension qui permet de commander le passage ou non d’un courant entre deux contacts.

Deux types de transistor sont distingués : le transistor nMOS où le courant est fourni par les électrons et le transistor pMOS où le courant est assuré par les trous. Le schéma simplifié du transistor nMOS est représenté sur la figure 1.1 Dans le cas d’une technologie conventionnelle sur silicium massif, le transistor est fabriqué sur un substrat de silicium dopé de type p (les porteurs de charge majoritaires sont les trous) dans lequel on crée, par implantation ionique ou diffusion, deux zones très fortement dopées du type opposé (n⁺⁺), appelées région de source et de drain. Une couche d’oxyde de silicium est ensuite élaborée par oxydation au-dessus de la zone du substrat non recouverte par les régions de source et de drain. Finalement, la grille en poly-Si est déposée sur la couche d’oxyde pour constituer le dernier élément de commande du dispositif. Le transistor MOSFET comporte donc trois principales électrodes (contacts de source, de drain et de grille) auxquelles sont associées trois polarisations indépendantes (V_S , V_D et V_G , respectivement). Dans une utilisation standard, le contact de source est relié électriquement à la masse et la tension V_S est nulle.

Le fonctionnement du transistor MOSFET est décrit par deux phénomènes complémentaires. Tout d’abord, l’application d’une tension positive entre la grille et le substrat permet de créer un champ électrique à l’interface oxyde/semiconducteur, ce qui entraîne l’apparition d’un canal de conduction, composé de porteurs de charge mobiles*, à la surface du silicium entre la source et le drain. Le contrôle de la densité de porteurs dans le canal sera alors géré par la tension de grille V_G . Ensuite, sous l’effet d’une polarisation différente entre la source et le drain, les porteurs du canal de conduction peuvent circuler librement entre ces deux contacts : le courant de drain I_D , modulé par la tension V_D , est alors créé.

* On parle alors de charge d’inversion car les porteurs mobiles dans le canal de conduction (électrons, ici) sont de type opposé aux porteurs majoritaires (trous). Nous rappelons plus en détails cet effet dans le chapitre 2, §2.1.2.

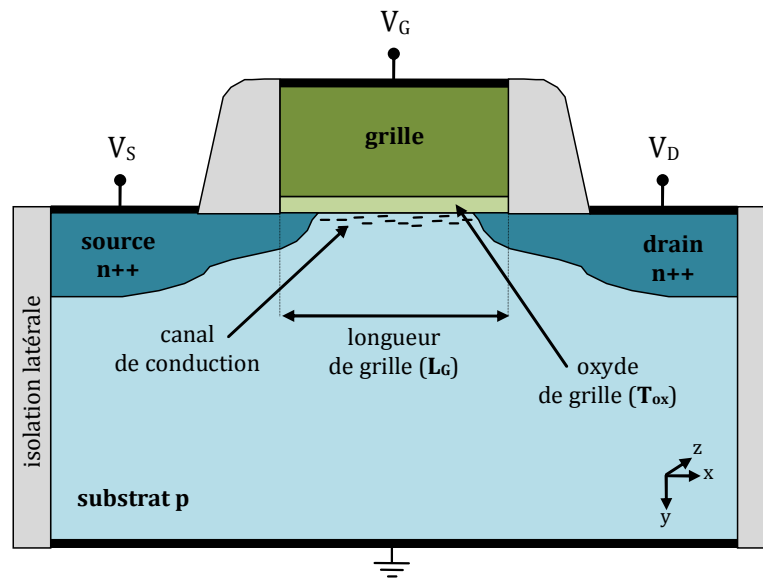


Figure 1.1 : Représentation schématique bidimensionnelle (2D) du transistor MOSFET actuel (architecture sur silicium massif).

Quand la tension de grille est inférieure à la tension de seuil ($V_G < V_{Th}$), c'est-à-dire que la densité de porteurs libres à l'interface oxyde/semiconducteur n'est pas suffisante pour créer un canal de conduction, le transistor est dans l'état "bloqué" (équivalent à un 0 en logique binaire) ; au contraire, lorsque la tension de grille est augmentée ($V_G > V_{Th}$), le transistor passe dans l'état "passant" (équivalent à un 1 en logique binaire). Le comportement électrique de ce composant ne se limite cependant pas à deux états distincts mais il est plus pratique de le décrire selon les différents régimes de fonctionnement représentés sur les caractéristiques de courant $I_D(V_G)$ et $I_D(V_D)$, tracées sur les figures 1.2.a et 1.2.b.

Dans le régime d'inversion faible ($V_G < V_{Th}$) d'un transistor MOSFET à canal long ($L_G \geq 1 \mu\text{m}$), le courant répond à une loi exponentielle et suit donc une variation linéaire en échelle logarithmique. On définit alors la pente sous le seuil (SS)*, paramètre clé du transistor qui indique la "rapidité" du composant : plus la pente sous le seuil est faible et plus le transistor passe de l'état *off* à l'état *on* rapidement. La pente sous le seuil est minimale quand la capacité de la zone de déplétion C_{D0} est négligeable devant la capacité de l'oxyde C_{ox} . La valeur est alors obtenue par $SS_{min} = (kT/q) \times \ln(10) = 60 \text{ mV/decade}^\dagger$ où k est la constante de Boltzmann, T est la température et q est la charge de l'électron. D'après la caractéristique $I_D(V_G)$, il est également important de définir deux autres paramètres pour décrire les performances de ce dispositif : (a) le courant de fuite I_{off} (courant de drain pour $V_G = 0 \text{ V}$ et $V_D = V_{DD}$, la tension d'alimentation) qui doit être le plus faible possible pour minimiser la consommation électrique du composant au repos, et, (b) le courant à l'état passant I_{on} (courant de drain pour $V_G = V_D = V_{DD}$) qui doit être le plus élevé possible pour maximiser la puissance du transistor. Le rapport I_{on}/I_{off} est donc l'une des principales caractéristiques à maximiser dans les nouvelles technologies de transistors.

* En réalité, le paramètre SS est l'inverse de la pente du courant sous le seuil en fonction de V_G .

† La valeur de 60 mV/dec est valable dans les transistors MOSFET à température ambiante ($T = 300 \text{ K}$) quel que soit le matériau de substrat ou l'architecture (*bulk* ou multi-grille).

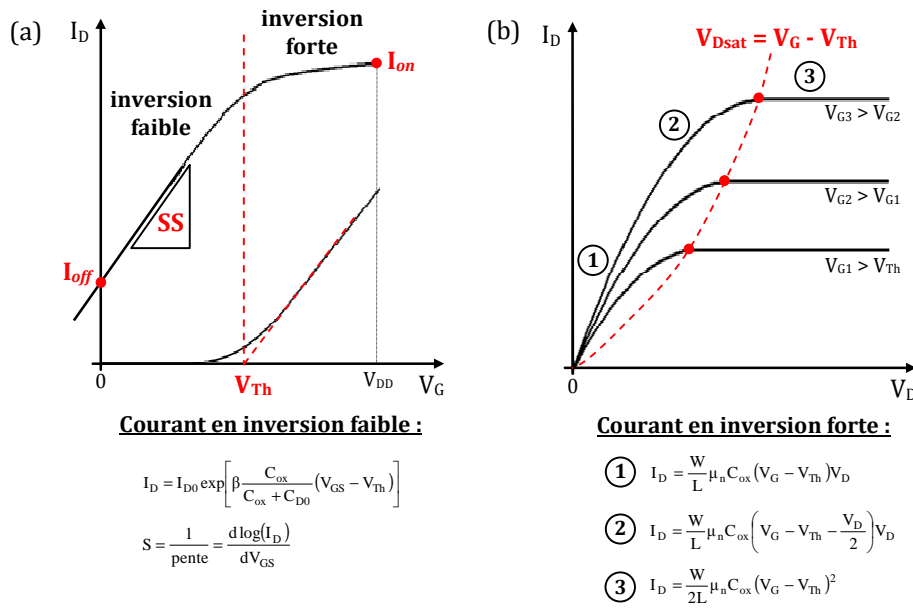


Figure 1.2 : (a) Caractéristique $I_D(V_G)$ [en échelle logarithmique (à gauche) et linéaire (à droite)] d'un transistor MOSFET où sont définis le courant de fuite I_{off} , le courant à l'état passant I_{on} , la pente sous le seuil SS et la tension de seuil V_{Th} . (b) Caractéristique $I_D(V_D)$ d'un transistor MOSFET à canal long en échelle linéaire pour différentes polarisation de grille où les numéros représente les régimes de fonctionnement (les équations sont également fournies) : 1 = régime ohmique (linéaire) ; 2 = régime non-ohmique ; 3 = régime de saturation.

Nous distinguons sur la caractéristique $I_D(V_D)$, représentée sur la figure 1.2.b, deux principales zones de fonctionnement pour le transistor : le régime non saturé (1 et 2) et le régime de saturation (3). La frontière entre ces deux zones est délimitée par la tension de drain de saturation définie par $V_{Dsat} = V_G - V_{Th}$.

La première région de la courbe $I_D(V_D)$ ($V_D < V_{Dsat}$) est en réalité décomposée en deux régimes différents (1 et 2). Dans la zone 1, appelée régime ohmique ou linéaire, le canal de conduction se comporte comme une résistance, variable selon la tension de grille V_G , et le courant de drain varie linéairement en fonction de la tension de drain selon l'expression* :

$$I_D = \frac{W}{L_G} \mu_n C_{ox} (V_G - V_{Th}) V_D, \quad (1.1)$$

où W est la largeur du dispositif (direction z dans la figure 1.1) et μ_n est la mobilité des électrons dans le canal, dépendante des champs électriques parallèle (direction x) et transverse (direction y) dans la structure mais également des collisions provoquées par le déplacement des porteurs[†].

* Les expressions du courant formulées dans cette partie sont dérivées de l'équation de transport de dérive-diffusion et sont les plus simples possibles pour reproduire le fonctionnement basique du transistor à canal long.

† En principe, on distingue trois types de mécanismes qui influencent la mobilité des électrons : les collisions Coulombienne (collision avec les dopants), les collisions avec le réseau (collision avec les phonons) et les collisions avec la rugosité de surface (interactions dues aux imperfections de l'interface Si/SiO₂).

Quand V_D augmente, le champ électrique vers la zone de drain diminue, la zone de déplétion à cet endroit est alors plus large et l'épaisseur du canal de conduction est réduite : le transistor est dans le régime non-ohmique avant saturation. Le courant de drain n'augmente plus linéairement et amorce sa saturation. Son expression, uniquement valable jusqu'à V_{Dsat} , est donnée par :

$$I_D = \frac{W}{L} \mu_n C_{ox} \left(V_G - V_{Th} - \frac{V_D}{2} \right) V_D. \quad (1.2)$$

Enfin, lorsque la tension de drain atteint la tension de saturation V_{Dsat} , il n'y a plus de canal de conduction au niveau du drain (régime de pincement) et le courant de drain I_D reste constant quand la polarisation de drain augmente :

$$I_D = \frac{W}{2L} \mu_n C_{ox} (V_G - V_{Th})^2. \quad (1.3)$$

Pour conclure, il est important de rappeler que les équations (1.1) à (1.3) sont uniquement valides dans les transistors à canal long où aucun effet lié à la réduction des dimensions n'est pris en compte.

1.2.2 Réduction des dimensions

La diminution des dimensions dans les transistors MOSFET n'est pas le fruit du hasard et suit une loi de réduction d'échelle généralisée [Baccarani]. Cette loi est en fait une version améliorée de la première loi rédigée par *Dennard et al.* en 1974 [Dennard]. Le principe de ces lois est de quantifier les paramètres majeurs d'une technologie (dimensions, dopage, capacité, courant, ...) à l'aide d'un facteur unique K afin de prédire aisément les performances attendues pour les futurs nœuds technologiques.

Les problèmes liés à la réduction des dimensions dans les transistors MOSFET peuvent être séparés en différentes catégories* d'ordre physique ou technologique. En ce qui concerne les problèmes technologiques, on note à titre d'exemple, les problèmes de fabrication d'oxydes ultra-minces fiables, les résistances d'accès au niveau de la source et du drain (qui deviennent du même ordre de grandeur que la résistance du canal) et la fluctuation de dopants dans les canaux ultra-courts [Asenov] (problème de variabilité des paramètres clés entre les transistors d'une même puce électronique). Ces différentes difficultés rencontrées lors de la fabrication des composants décanométriques posent de nombreux problèmes majeurs pour le développement de l'industrie microélectronique mais ne seront pas abordés dans la suite de ce manuscrit.

En effet, nous aborderons plus en détails les phénomènes physiques, séparés en trois familles : les effets liés à l'électrostatique du dispositif, les effets quantiques (confinement, effet tunnel, ...) et le problème du transport des porteurs dans le canal de conduction. Ces complications ont toutes une influence sur le fonctionnement du transistor et peuvent être bénéfiques (transport balistique), mais en principe, elles dégradent les caractéristiques du courant et les performances générales des dispositifs. Les effets cités précédemment n'entrent pas en jeu aux mêmes dimensions et peuvent être généralement traités d'un point de vue classique ;

* Qui bien évidemment peuvent interférer les unes entre les autres.

cependant, les problèmes émergents liés à la physique quantique semblent aujourd'hui indispensables à prendre en compte au vu des dimensions mises en jeu dans les transistors actuels*.

1.2.2.1 Effets de canal court

Parmi les effets électrostatiques parasites rencontrés lors de la miniaturisation des transistors, nous notons l'apparition des effets de canal court.

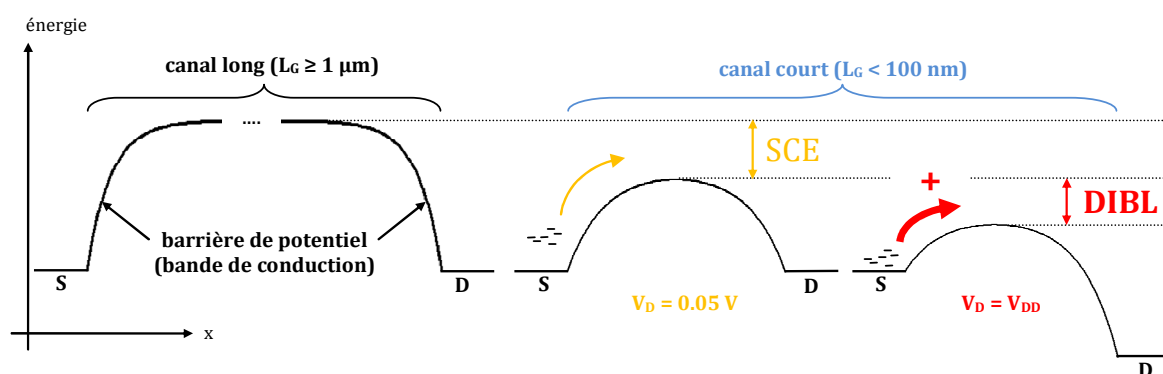


Figure 1.3 : Représentation schématique de l'évolution de la barrière de potentiel dans les transistors à canal long et à canal court sous faible et forte polarisation de drain.

Quand la longueur de la grille (et donc du canal de conduction) est réduite, les zones de déplétion des jonctions source-canal et canal-drain se rapprochent et les charges de déplétion se partagent entre le drain et la grille. Le potentiel électrostatique le long du canal est alors majoritairement dominé par les zones de charge d'espace autour des jonctions. Les charges ne sont plus uniquement contrôlées par la tension de grille comme c'est le cas dans les transistors à canal long et la grille perd alors le contrôle du potentiel électrostatique dans le canal de conduction (*Short-Channel Effects* ou SCE). La figure 1.3 représente schématiquement l'évolution de la barrière de potentiel le long du canal de conduction quand la longueur de grille est diminuée. L'effet SCE augmente le potentiel électrostatique dans le canal de conduction et par conséquent la barrière de potentiel vue par les électrons de la source s'abaisse, facilitant leur accès dans le drain. Si une forte polarisation est appliquée au niveau du drain, la zone de charge d'espace autour de cette zone est amplifiée et provoque une réduction supplémentaire de la hauteur de la barrière de potentiel comme illustré sur la figure 1.3 (effet appelé *Drain-Induced Barrier Lowering* ou DIBL).

Les effets de canal court SCE et DIBL impliquent donc que les porteurs passent plus facilement de la source au drain. Il s'en suit une baisse de la tension de seuil, appelée V_{Th} *roll-off*, et une dégradation généralisée des paramètres sous le seuil des transistors : augmentation drastique du courant de fuite I_{off} et de la pente sous le seuil SS, illustrée sur la caractéristique de courant $I_D(V_G)$ tracée sur la figure 1.4.

* Intel produit aujourd'hui ses nouveaux processeurs (Intel Core i7) avec une technologie 32 nm ($L_G \sim 22 \text{ nm}$) [Packan].

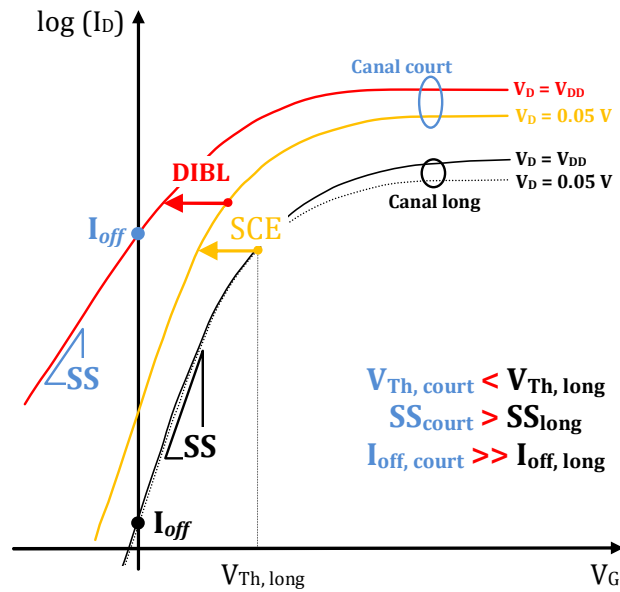


Figure 1.4 : Caractéristiques $I_D(V_G)$ schématiques de transistors MOSFET à canal long et canal court sous faible et forte polarisation de drain. La figure met en évidence la dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL.

Les effets de canal court régissent donc le fonctionnement sous le seuil des transistors MOSFET et ne peuvent plus être négligés dans la modélisation du courant de drain. Nous verrons par la suite (Chapitre 3 et 4) que ces effets électrostatiques ne peuvent être rigoureusement pris en compte qu'en résolvant l'équation de Poisson à deux dimensions (selon les directions x et y de la figure 1.1).

D'un point de vue technologique, les effets de canal court sont maîtrisés dans les technologies actuelles grâce à diverses méthodes : augmentation du dopage dans le canal de conduction (réduction de la largeur des zones de déplétion au niveau des jonctions de la source et du drain), diminution de l'épaisseur de l'oxyde de grille (augmentation de la capacité de l'oxyde et donc renforcement du couplage capacitif entre la grille et le canal) et réduction de l'épaisseur des zones de source et de drain (jonction fine) (augmentation de la longueur des lignes de champ électrique source-drain). Ces solutions technologiques ne peuvent cependant pas être envisagées à long terme. En effet, l'augmentation du dopage dans le canal provoque la dégradation de la mobilité des porteurs (ils subissent de plus en plus de collisions avec les dopants) et donc la diminution du courant I_{on} . De plus, la fabrication parfaite de couches d'oxyde inférieures au nanomètre est difficilement réalisable et entraînent des effets parasites quantiques qui détériorent le courant I_{off} . Nous verrons cependant tout au long de ce manuscrit que différentes méthodes existent pour réduire l'impact des effets de canal court sur le courant de drain en jouant sur l'architecture et les matériaux du dispositif.

1.2.2.2 Effets quantiques

Lors du passage de l'échelle microscopique à l'échelle nanoscopique, des "nouveaux" phénomènes physiques apparaissent et influencent considérablement le fonctionnement "classique" des transistors MOSFET.

Sous certaines conditions, les relations habituellement utilisées pour décrire la physique du transistor MOS conventionnel ne sont plus adaptées aux structures de petites dimensions, il est donc indispensable de prendre en compte certains effets quantiques qui se manifestent à l'échelle nanométrique. En effet, comme nous venons de le décrire, les effets de canal court sont réduits en augmentant le dopage du canal de conduction et en diminuant l'épaisseur de l'oxyde de grille. D'un point de vue électrostatique, ces changements ont pour conséquence l'augmentation du champ électrique à l'interface oxyde/semiconducteur, traduit par une forte courbure des bandes de conduction et de valence du silicium dans la direction verticale du transistor (direction y). Les porteurs de charge (électrons ou trous) se retrouvent alors confinés dans un puits de potentiel [Ando] de plus en plus étroit (effet de confinement quantique). Les porteurs ne se sont plus caractérisés par un gaz 3D occupant un continuum d'énergie dans les bandes de conduction et de valence (cas classique), mais plutôt comme un gaz 2D, leur énergie étant quantifiée, faisant apparaître des niveaux d'énergies discrets dans le puits de potentiel* (cas quantique avec la résolution de l'équation de Schrödinger dans la direction y). L'effet du confinement quantique entraîne alors la modification de la répartition des charges libres dans le canal de conduction notamment en déplaçant d'environ 1 nm (selon la forme du puits de potentiel et donc du dopage et de l'épaisseur de l'oxyde) le barycentre de la couche d'inversion à l'intérieur du substrat semiconducteur [Autran]. De plus, la densité de la charge d'inversion (intégrée dans tout le canal de conduction) sera, dans le cas quantique, fortement réduite par rapport à une évaluation classique de la densité de charges disponible pour le courant de drain [Raynaud]. Les conséquences du confinement quantique sur les propriétés électriques du transistor sont nombreuses et aujourd'hui il est indispensable de les prendre en compte dans la modélisation des composants [Autran] : réduction de la capacité de l'oxyde (due à l'augmentation apparente de la valeur de l'épaisseur d'oxyde en raison du déplacement des charges à l'intérieur du substrat) et augmentation de la tension de seuil (car la largeur de la bande interdite ou *bandgap* du silicium est augmentée de manière "virtuelle" en raison de la quantification des niveaux d'énergie dans le puits de potentiel). Comme pour les effets de canal court, le confinement quantique dans différentes structures sera très largement abordé tout au long de ce manuscrit pour étudier son influence sur les performances des dispositifs innovants.

Parmi les effets quantiques observés dans les transistors MOSFET, nous aborderons également les problèmes liés au transport tunnel à travers une barrière de potentiel. Tout d'abord, l'effet tunnel quantique est rencontré lors de la diminution de l'épaisseur de l'oxyde. Dans les transistors à canal long (oxyde de grille épais), le passage des électrons (respectivement des trous) du canal de conduction vers la grille est évité car la barrière de potentiel, formée dans la direction y par la différence d'énergie entre les bandes de conduction (respectivement de bande de valence) du matériau de substrat (silicium) et de l'oxyde de grille (SiO_2)[†], est suffisamment large. Cependant, lorsque l'épaisseur de l'oxyde est réduite et par conséquent la largeur de la barrière de potentiel entre la grille et le silicium est diminuée, les lois de la mécanique quantique prévoient que les porteurs de charge ont une probabilité non nulle de franchir la barrière même si leur énergie est inférieure au maximum de la hauteur de

* Les effets de confinement quantique seront plus largement abordés dans le chapitre 2.

† Les valeurs des différences entre les bandes de conduction ΔE_C (ou de valence ΔE_V) des diélectriques de grilles et des matériaux semiconducteurs utilisées pendant cette thèse sont indiquées dans l'annexe A.3.

la barrière. L'effet tunnel direct à travers la grille augmente alors considérablement le courant de fuite (et la pente sous le seuil dans les transistors MOSFET) et ne peut être maîtrisé qu'en "jouant" sur la forme de la barrière de potentiel de l'empilement de grille en utilisant différents matériaux diélectriques. L'enjeu est de taille et implique un choix judicieux dans les matériaux à utiliser pour l'empilement de grille où de nombreux paramètres physiques et technologiques, évoqués dans la suite de ce chapitre ainsi que dans le chapitre 2, rentrent en compte. Ensuite, l'effet tunnel quantique est évidemment observé dans la direction du transport (direction x). Vers des longueurs de grilles ultimes, proches de quelques nanomètres, la barrière de potentiel entre la source et le drain devient si mince que la majorité des porteurs passe directement de la source au drain par effet tunnel même sous faible polarisation de grille et/ou de drain : l'augmentation du courant de fuite I_{off} des transistors MOSFET est dramatique. Le mécanisme quantique tunnel pourrait alors être une des limites physiques fondamentales que l'industrie microélectronique rencontrerait si l'architecture sur silicium massif restait dans son état actuel.

1.2.2.3 Du régime diffusif au transport balistique

Finalement, la réduction de la longueur de la grille dans les transistors MOSFET pourrait entraîner un effet bénéfique (enfin !) sur les performances des dispositifs ultimes.

En effet, pour des longueurs de grille d'une dizaine de nanomètres, la distance entre la source et le drain devient comparable au libre parcours moyen des porteurs, qui passent ainsi de la source au drain sans subir de collision dans le canal. Le transport des porteurs est alors qualifié de balistique [Lundstrom]. Les électrons de la bande de conduction qui ont une énergie suffisante, passent par-dessus la barrière de potentiel source-canal-drain par émission thermoïonique. Ce mode de transport est particulièrement bénéfique puisque l'absence d'interaction entre les électrons et le réseau a pour conséquence l'augmentation importante du courant I_{on} . Le passage du régime diffusif (nombre important d'interactions entre les porteurs) au transport balistique quand la longueur de grille est diminuée est aujourd'hui une caractéristique indispensable pour évaluer le gain en courant attendu dans les futurs technologies, représenté dans l'ITRS par le "*effective ballistic enhancement factor*" [ITRS]. Cependant, même si les prédictions obtenues par simulation numérique sont excellentes [Lundstrom2], en termes de courant balistique de drain, il est difficile d'imaginer un régime de fonctionnement purement balistique même dans les dispositifs ultimes car les problèmes de fabrication engendrent bien souvent des défauts dans le canal de conduction que la simulation numérique a du mal à prévoir au niveau du calcul du courant (problème de rugosité de surface [Poli] [Martinez], collisions avec les charges fixes piégées dans l'oxyde de grille [Barraud], collisions électrons-phonons [Fischetti], collisions électrons-ions [Dollfus], ...). De plus, il apparaît dans différents travaux que les résistances d'accès des zones de source et de drain semblent être des éléments difficilement contrôlables qui réduisent l'apport du transport balistique au niveau de la simulation des circuits [Martinie] [Martinie2]. Ce phénomène reste malgré tout réel et les contributions des différentes équipes de recherches restent considérables pour décrire au mieux le fonctionnement des transistors dans le régime balistique ou quasi-balistique [Gnani] (limite entre le régime diffusif et le régime purement balistique). Nous apporterons à la fin de ce manuscrit une contribution à la modélisation

analytique du courant de drain sous le seuil en régime balistique dans les transistors MOS Double-Grille à grilles indépendantes.

1.2.3 Conclusion

Les problèmes soulignés lors de la présentation du transistor MOSFET nous montrent qu'il est aujourd'hui difficilement envisageable de préserver le transistor MOSFET dans son architecture "historique" pour les générations de composants futurs, malgré tous les efforts fournis par les industriels pour le conserver en l'état.

L'industrie microélectronique, guidée par sa "feuille de route" (*International Technology Roadmap for Semiconductors* [ITRS]) et les recherches académiques, doivent donc s'orienter vers de nouvelles solutions technologiques pour le remplacement du transistor MOSFET sur silicium massif en modifiant l'architecture même du composant (architecture multi-grilles) ou en envisageant l'utilisation de nouveaux matériaux (semiconducteurs à forte mobilité et diélectriques de grilles à haute permittivité).

1.3 Les solutions technologiques innovantes

Nous aborderons dans la suite de ce premier chapitre les deux principales options retenues à court terme pour le remplacement des transistors MOSFET sur silicium massif : les architectures multi-grilles et les "nouveaux" matériaux.

1.3.1 Les transistors MOSFET en architecture multi-grilles

L'amélioration des performances dans les transistors MOSFET passe, entre autres, par le renforcement du couplage électrostatique de la grille sur le flux de porteurs dans le canal de conduction. Les solutions proposées consistent donc à augmenter le nombre de grille de contrôle autour du canal pour diminuer les effets électrostatiques parasites. Les recherches se sont alors orientées, déjà depuis la fin des années 1980, vers l'étude des transistors MOSFET sur substrat SOI (pour *Silicon On Insulator*) [Cristoloveanu] [Colinge] et des architectures multi-grilles [Park] sur ce même substrat : Double-Grille (planaire [Harrison] [Hisamoto] [Frank] ou verticale [Hergenrother]), Triple-Grille (FinFET [Choi] [Huang] [Kedzierski], Ω -gate [Yang], π -gate [Park2]), dispositifs à grille enrobante (GAA (pour *Gate-All-Around*) [Park] [Monfray]) et nanofils (cylindriques ou rectangulaires [Jimenez]) pour ne citer que les plus importantes [Autran2].

La figure 1.5 représente les allures schématiques de quelques unes de ces structures en fonction du nombre d'électrodes de grilles qui les composent. L'évolution des architectures montre que le nombre de grille passe de 1 pour les architectures sur silicium massif (*bulk*) et FDSOI, à 4 pour le transistor à nanofil où la grille de contrôle enrobe complètement le film de silicium. Passons en revue les différentes architectures multi-grilles (FDSOI, Double-Grille et nanofil).

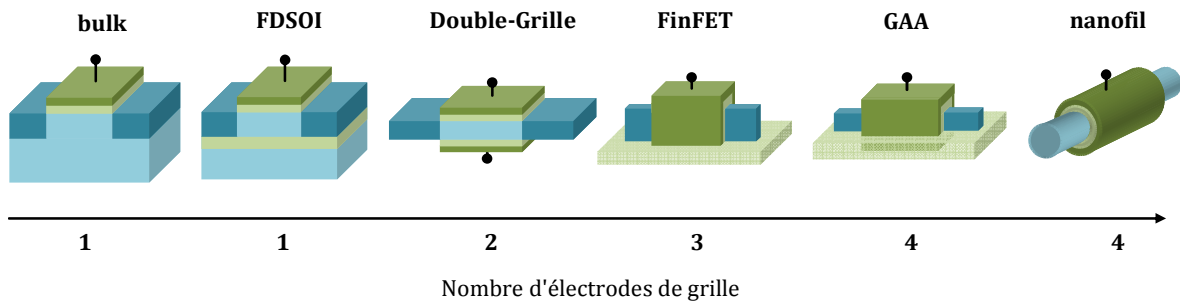


Figure 1.5 : Evolution envisagée des architectures multi-grilles sur substrat isolant pour améliorer le contrôle électrostatique.

1.3.1.1 Le transistor SOI complètement déplété (Fully-Depleted SOI, FDSOI)

Les transistors SOI [Cristoloveanu] [Colinge] ne sont pas à proprement parlé des architectures multi-grilles car la couche d'oxyde enterré (ou BOX pour *Burried OXide* en SiO_2 et caractérisée par son épaisseur T_{BOX}) sur laquelle repose la partie active (film de silicium également défini par son épaisseur T_{Si}) n'est pas connectée électriquement à la grille.

Selon le niveau de dopage et l'épaisseur du film de silicium, la zone de déplétion* va s'étendre plus ou moins loin dans la partie active. Il est alors possible de distinguer deux types de transistor SOI : (a) le transistor SOI partiellement déplété (*Partially-Depleted* SOI ou PDSOI) quand la zone de déplétion ne recouvre pas entièrement la partie active, et (b) le transistor SOI complètement déplété (*fully-depleted* SOI ou FDSOI) quand la zone de désertion englobe tout le film de silicium.

D'après l'ITRS de 2009, le transistor FDSOI semble être le plus sérieux candidat au remplacement de l'architecture *bulk* à court terme (à partir du nœud technologique 22 nm [SOI][†]). En effet, l'utilisation de films et de BOX minces permet de mieux maîtriser les lignes de champs électriques dans le canal de conduction par rapport à la technologie PDSOI et donc d'augmenter le contrôle de la grille sur le canal de conduction et minimiser le couplage électrostatique entre les zones de source et de drain. Même si la bonne maîtrise des effets de canal court reste l'un des principaux intérêts de cette structure, la technologie FDSOI offrent de nombreux autres avantages. En effet, l'utilisation de l'oxyde enterré pour la fabrication des composants CMOS permet tout d'abord d'isoler totalement les transistors nMOS et pMOS adjacents (élimination de l'effet *latch-up*) et donc d'améliorer la densité d'intégration (rapprochement des zones de source et drain des deux types de transistors). Ensuite, les performances électriques sont améliorées. La zone de désertion étant limitée à l'épaisseur du film de silicium, la charge de déplétion dans le régime d'inversion est alors réduite (dans le cas de transistor FDSOI), la tension de seuil et la pente sous le seuil sont donc finalement diminuées (voir équation du courant en inversion faible dans la figure 1.2) tout en maintenant

* A l'application d'une certaine tension de grille, il se crée dans le semiconducteur une zone désertée par les porteurs de charges mobiles appelée zone de déplétion ou zone de désertion.

[†] La référence [SOI] est en réalité le site internet d'un groupement de plusieurs laboratoires (LETI, MIT, IMEC, ...) et industries microélectroniques (IBM, ST, Freescale, ...), leaders dans le domaine, crée pour promouvoir la technologie SOI. Ce site est une véritable "base de données" sur le développement actuel des technologies SOI où l'on retrouve un grand nombre d'explications simples toujours appuyées par des articles scientifiques publiés dans les plus importants journaux de la microélectronique.

un courant de fuite équivalent. Par ailleurs, comme les effets de canal court sont assez bien maîtrisés au niveau de l'architecture, il est possible d'abaisser le niveau de dopage dans le film et donc d'améliorer la mobilité des porteurs en baissant l'impact des collisions coulombiennes. Les champs électriques sont alors moins intenses que dans le dispositif *bulk*, ce qui améliore d'autant plus la mobilité effective des porteurs (fortement dépendante des champs électriques).

En revanche, la technologie SOI apporte quelques inconvénients tels que : (a) des effets d'auto-échauffement des composants car la chaleur générée n'est plus évacuée par le silicium, comme dans la technologie *bulk*, mais par l'oxyde enterré moins bon conducteur, (b) des problèmes de variabilité des paramètres liés à la fabrication des plaquettes où l'épaisseur du film semiconducteur doit être parfaitement uniforme sur toute la surface, et (c) l'augmentation des résistances d'accès des jonctions de source et de drain* qui limite fortement le courant de drain [pour l'instant solutionné en surélevant les jonctions et en augmentant très fortement le dopage de ces zones (contact presque métallique)] et reste l'un des enjeux majeurs pour améliorer le transport dans les technologies multi-grilles.

1.3.1.2 Le transistor MOS Double-Grille

Le transistor MOS en architecture Double-Grille fait également partie des solutions prometteuses pour le remplacement du dispositif MOSFET *bulk*. On le trouve sous forme planaire ou verticale, se rapprochant alors des architectures Triple-Grille comme le FinFET. Dans cette thèse (chapitre 3 et 4), nous avons plus particulièrement étudié le transistor Double-Grille sous sa forme planaire dont une représentation schématique est donnée sur la figure 1.6.a.

Le terme planaire signifie que la conduction des porteurs se fait dans le plan du substrat [de manière générale le plan (001)], comme c'est le cas dans les architectures *bulk*, et différent des structures non-planaires (FinFET) par leurs formes et le rapport entre la largeur (W) et l'épaisseur du film semiconducteur (T_{Si}) [Andrieu]. En effet, dans le transistor MOS Double-Grille, le film de silicium est mince et la largeur est grande ($T_{Si} > W$) alors que c'est l'inverse pour l'architecture FinFET ($T_{Si} < W$) (figure 1.6.b).

D'une manière générale, le transistor en architecture Double-Grille est un composant à quatre terminaux : la source, le drain, la grille avant et la grille arrière. Dans la plupart des cas, les grilles avant et arrière sont connectées à la même polarisation (tension de grille V_G) et nous parlerons tout au long de ce manuscrit de transistor Double-Grille conventionnel ou DG, mais nous verrons par la suite que l'indépendance des grilles avant et arrière apporte de nombreux avantages (transistor Double-Grille à grilles indépendantes ou IDG) par rapport à la structure classique.

* D'un point de vue très schématique, la résistance est donnée par $R=\rho L/S$ donc si les zones de drain et de source sont plus fines (car elles ne peuvent s'étendre que sur l'épaisseur du film de silicium), la section S des jonctions diminue et la résistance augmente.

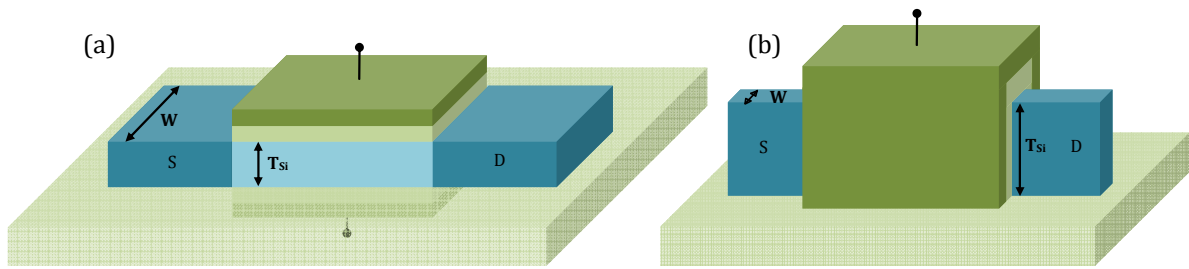


Figure 1.6 : Représentation schématique (a) du transistor MOSFET en architecture Double-Grille planeaire et (b) du transistor FinFET (dispositif Triple-Grille non-planeaire) où sont représentées les largeurs W et les épaisseurs du film semiconducteur T_{Si} (avec S pour région de source et D pour région de drain).

La description physique des transistors en architecture Double-Grille n'est pas fondamentalement différente de celle des dispositifs *bulk* et les mêmes mécanismes sont mis en jeu pour décrire le fonctionnement de ces composants. Cependant, l'apport d'une seconde grille dans le transistor DG conventionnel, qui renforce le couplage électrostatique sur le canal de conduction et entraîne donc une nette réduction des effets de canal court SCE et DIBL*, améliore les performances sur bon nombre d'éléments.

D'un point de vue classique [film de silicium relativement épais ($T_{Si} > 15$ nm)], la polarisation simultanée des grilles avant et arrière crée deux canaux de conduction aux interfaces oxyde/film avant et arrière : le courant de drain est donc théoriquement doublé par rapport à une architecture simple-grille.

Quand l'épaisseur du film est réduite ($T_{Si} < 10$ nm), l'effet de confinement quantique peut apporter des avantages supplémentaires car la conduction des porteurs se fait principalement dans le volume du film semiconducteur [Balestra] [Ge] [Munteanu]. Le maximum de la densité de porteurs se situe alors au milieu du film et non plus aux interfaces. La mobilité des porteurs† en est améliorée puisqu'ils subissent moins de collision avec la rugosité de surface. De plus, la configuration à grilles connectées à la même polarisation (transistor DG conventionnel) permet d'annuler le champ électrique transverse dans le canal (distribution symétrique du potentiel dans la direction y) et le phénomène de collision des porteurs avec les phonons acoustiques (fortement dépendant du champ électrique) s'en trouve réduit. L'effet de confinement quantique n'est cependant pas positif à tous les niveaux car, d'une part la charge d'inversion est réduite ce qui provoque une dégradation des paramètres sous le seuil (tension de seuil et pente sous le seuil), et d'autre part, sa modélisation s'avère compliquée pour décrire de façon simple mais précise le fonctionnement général des transistors Double-Grille.

Finalement, au vu de l'excellent contrôle des effets électrostatiques, cette architecture peut être envisagée avec un canal de conduction très peu dopé voire intrinsèque afin de réduire les problèmes liés à la fluctuation de dopants, et d'améliorer considérablement les conditions de transport dans le canal de conduction (diminution voire suppression des collisions avec les dopants). En effet, à plus long terme, cela permettrait également de favoriser la probabilité de

* Le chapitre 3 présentera plus en détails les performances de tels dispositifs grâce à un code de simulation numérique dédié à la description du fonctionnement électrique des architectures Double-Grille.

† Dans le cas où les longueurs de grilles sont suffisamment importantes pour décrire le transport des porteurs grâce à leur mobilité.

transport balistique quand la longueur de grille est faible (typiquement $L_G < 20\text{-}30\text{ nm}$) et donc d'augmenter fortement le courant I_{on} dans les transistors en architecture Double-Grille.

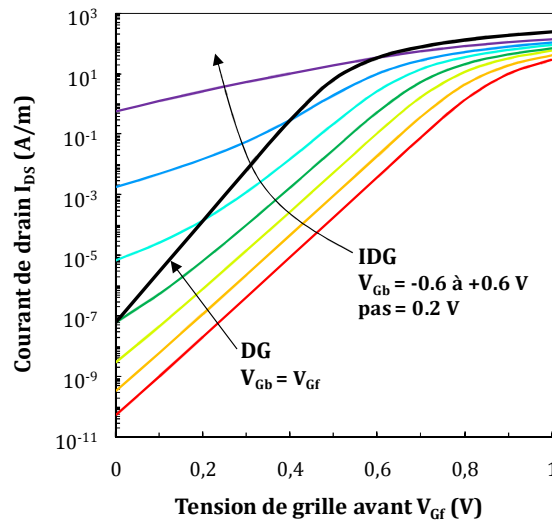


Figure 1.7 : Caractéristiques $I_{DS}(V_{Gf})$ d'une architecture Double-Grille conventionnelle (DG : $V_{Gb} = V_{Gf}$) et à grilles indépendantes (IDG : $V_{Gb} \neq V_{Gf}$) : illustration de la modulation du courant de drain par la tension de grille arrière.

Le fait de déconnecter électriquement la grille arrière de la grille avant apporte un degré de liberté supplémentaire à l'architecture Double-Grille. En effet, selon les polarisations des grilles avant (V_{Gf}) et arrière (V_{Gb}), plusieurs cas de fonctionnement peuvent être différenciés dans le transistor IDG [Pei] [Zhang] [Masahara] [Dupre]. Si les deux grilles sont polarisées à la même tension, le dispositif IDG se comporte bien évidemment comme le transistor DG classique. Il est ensuite possible au gré des variations de tensions sur les grilles avant et arrière de faire apparaître, simultanément ou non, un ou deux canaux de conduction. Dans la majorité des cas, la grille avant reste la grille de commande* et la grille arrière permet de moduler le courant comme le montre la figure 1.7.

Quand la polarisation de la grille arrière est négative et la tension de grille avant est nulle, les porteurs minoritaires sont repoussés de l'interface arrière (régime d'accumulation) et faiblement attirés à l'interface avant (régime d'inversion faible) : la charge d'inversion totale et le courant de drain sont faibles, ce qui permet de réduire le courant de fuite du transistor. Si la tension de grille avant augmente, les électrons vont de plus en plus être attirés à l'interface avant, les charges libres passeront du régime d'inversion faible à l'inversion forte pour obtenir une caractéristique $I_D(V_{Gf})$ tout à fait classique (figure 1.7 pour $V_{Gb} = -0.6 \text{ V}$) sans dégradation de la pente sous le seuil. A tension de grille avant faible et lorsque la tension de grille arrière est augmentée, la densité de porteurs mobiles et la charge d'inversion totale dans le film semiconducteur sont amplifiées car un deuxième canal de conduction se forme à l'interface arrière (figure 1.7 pour $V_{Gb} = +0.6 \text{ V}$). Par conséquent, la tension de seuil de la grille de commande varie selon la polarisation de la grille arrière et le fonctionnement de ce dispositif est donc plus complexe [Reyboz]. L'étude des paramètres clés, des effets de canal court et de

* Les caractéristiques étudiées seront donc le courant de drain en fonction de la tension de grille avant : $I_D(V_{Gf})$

confinement quantique dans les transistors IDG seront plus longuement discutés dans le chapitre 3.

D'un point de vue circuit, la polarisation indépendante des grilles avant et arrière offre de nouvelles possibilités. Par exemple, l'utilisation de transistor IDG permet de réduire le nombre de transistors pour réaliser certaines fonctions logiques (NAND et NOR)*, tout en améliorant les performances de ces circuits en termes de puissance statique et dynamique [Chiang]. Les variations de la tension de seuil et la transconductance dans les dispositifs MOS IDG peuvent également être judicieusement utilisées pour réaliser des circuits analogiques [Pei2], tel qu'un modulateur radiofréquence HF avec un seul transistor [Mathew], ou des points mémoires [Endo] [Puget] (en contrôlant la tension de seuil par la grille arrière).

Pour conclure, les procédés de fabrication des architectures Double-Grille sont plus complexes que ceux des dispositifs *bulk* (car moins matures) et apportent des inconvénients à l'utilisation de telles structures. Outre les problèmes liés au substrat SOI (forte augmentation des résistances d'accès des zones de source et drain et difficulté à contrôler l'épaisseur du film semiconducteur†), la réalisation de grille parfaitement alignées est très difficile‡ alors que la connexion de la grille arrière a un impact négatif sur la densité d'intégration. Malgré ces problèmes d'ordre technologique, les performances des architectures Double-Grille et FinFET ainsi que leur capacité de miniaturisation restent meilleures par rapport aux dispositifs *bulk* et FDSOI.

1.3.1.3 Le transistor à nanofil

La solution ultime en termes de maîtrise du potentiel électrostatique dans le canal par la grille est bien évidemment le cas où la grille enrobe complètement le film semiconducteur. On parle alors de transistor Gate-All-Around (GAA) [Park] [Monfray] ou transistor à nanofil de silicium (SiNW FET pour *Silicon NanoWire FET*) [Cui] [Singh] [Suk]. Le passage de 2 à 4 grilles autour du canal de conduction permet donc d'avoir un contrôle électrostatique de la grille optimal (maîtrise parfaite des effets de canal court) et d'améliorer les principaux paramètres clés des transistors [Autran2] [Park] : pente sous le seuil, courant de fuite, et courant à l'état passant même si le délai intrinsèque du composant (défini par $\tau = C_G V_{DD} / I_{on}$) est impacté par l'augmentation de la capacité totale de la grille C_G (plus le couplage électrostatique est renforcé et plus la capacité de grille augmente). Le transistor SiNW FET est peut être aujourd'hui le dispositif le plus performant des architectures multi-grilles et de nombreuses études particulièrement prometteuses sont menées au niveau expérimentales [Black] [Ernst] [Dupre] [Bernard] [Ernst2] [Tachi] [Hubert] [Bangsaruntip] [Colinge2] pour évaluer et améliorer ses capacités. Cependant, il reste difficilement réalisable technologiquement parlant et d'une complexité très importante faisant apparaître des phénomènes physiques "nouveaux" tel que la modification de la structure de bande du silicium pour des films ultra-minces.

* Il faut quatre transistors MOSFET classiques pour réaliser ces fonctions alors qu'avec le transistor IDG, il n'en faut plus que trois, ce qui améliore la densité d'intégration de transistors pour réaliser une même fonction logique

† En particulier dans les transistors FinFET [Ernst].

‡ Surtout pour les architectures Double-Grille planaire où un non-alignement des grilles introduit des phénomènes parasites dégradant de manière générale les performances des transistors DG [Yin] [Yin2] [Widiez].

1.3.2 Les transistors MOSFET à base de matériaux innovants

Si les architectures multi-grilles ne sont aujourd'hui pas encore utilisées dans les composants CMOS*, le changement de matériau a quant à lui déjà été opéré par Intel pour la fabrication de ses derniers processeurs [technologies 32 nm (Intel Core i3-i5-i7)†] [Packan]. En effet, Intel a incorporé deux changements majeurs sur l'architecture historique des transistors MOSFET : (a) l'introduction de nouveaux "empilements de grille" à base de grilles métalliques et de matériaux *high-κ* (diélectriques à forte permittivité) pour la maîtrise des courants de fuite tunnel, et (b) l'application de contraintes mécaniques au niveau du canal de conduction pour l'amélioration du courant à l'état *on* et des performances globales du transistor. Ainsi, l'intégration de diélectriques de grille différents du SiO₂ ainsi que la volonté d'améliorer les performances des composants CMOS ont ouvert la voie au développement de transistors MOSFET à base de semiconducteurs à forte mobilité‡ (germanium et semiconducteur III-V) pour remplacer le silicium [Heyns]. Nous dressons par la suite un inventaire non-exhaustif de ces différentes structures à base de matériaux innovants.

1.3.2.1 Diélectriques de grilles *high-κ*

L'empilement de grille (grille + oxyde de grille) est un élément essentiel au bon fonctionnement du transistor MOSFET car il permet le contrôle des porteurs dans le canal de conduction. Cependant, avec la miniaturisation des composants et la réduction physique de l'épaisseur d'oxyde (aujourd'hui de l'ordre du nanomètre soit quelques couches de molécules de SiO₂ seulement), de nombreux problèmes apparaissent : courant de fuite tunnel (J_G) à travers l'oxyde exacerbé (limite physique) et impossibilité de continuer à réduire l'épaisseur (T_{ox}) de la couche (limite technologique). Le compromis performance (I_{on} via $C_{ox} = \epsilon_{ox}/T_{ox}$)/puissance dissipée (I_{off} via J_G) est donc remis en cause pour les générations de transistors futurs [Rochette].

La solution proposée pour remédier à ces problèmes est l'utilisation de matériaux à forte permittivité [diélectrique *high-κ* ($\epsilon_{high-κ} > \epsilon_{SiO_2}$)] [Houssa] [Gusev]. En effet, grâce à leur forte permittivité, les matériaux *high-κ* permettent d'augmenter l'épaisseur physique de l'empilement de grille (donc la diminution du courant de fuite tunnel, voir chapitre 2) tout en maintenant la même capacité d'oxyde générale. Il est donc aujourd'hui convenu de ne plus parler d'épaisseur d'oxyde T_{ox} mais d'épaisseur équivalente d'oxyde ou EOT (Equivalent Oxide thickness) définit pour deux couches de matériaux quelconques (M_1 et M_2) par [Houssa] :

$$EOT = T_{M_1} \frac{\epsilon_{SiO_2}}{\epsilon_{M_1}} + T_{M_2} \frac{\epsilon_{SiO_2}}{\epsilon_{M_2}}, \quad (1.4)$$

où T_{M_1} et T_{M_2} sont les épaisseurs des matériaux d'oxydes M_1 et M_2 et ϵ_{M_1} et ϵ_{M_2} sont leurs permittivités respectives. Par exemple, pour reproduire un EOT de 1.2 nm avec un empilement

* A l'exception des transistors PDSOI qui ne sont pas réellement des architectures "Multi-grille" et que l'on retrouve déjà dans bon nombre de domaines de l'électronique : console de jeux (processeur Cell en technologie 45 nm SOI pour la console de jeux PlayStation3 Slim de Sony en 2009, aérospatiale (SRAM à haute performance en technologie 150 nm SOI chez Honeywell en 2009), MEMS (par l'IMEC), biomédical... [SOI].

† La couche unique d'oxyde de grille des transistors MOSFET est remplacée par un empilement de grille composé d'une couche mince de SiO₂ et d'une couche plus épaisse d'un matériau *high-κ*, le HfO₂.

‡ En témoigne le nombre très importants d'études sur le sujet depuis le début des années 2000.

de grille double-couches à base de SiO_2 (0.8 nm) et de HfO_2 , il faut que l'épaisseur du diélectrique *high- κ* (HfO_2) soit environ égale à 2 nm soit une épaisseur physique totale des oxydes de 2.8 nm au lieu de 1.2 nm en n'utilisant uniquement que du SiO_2 .

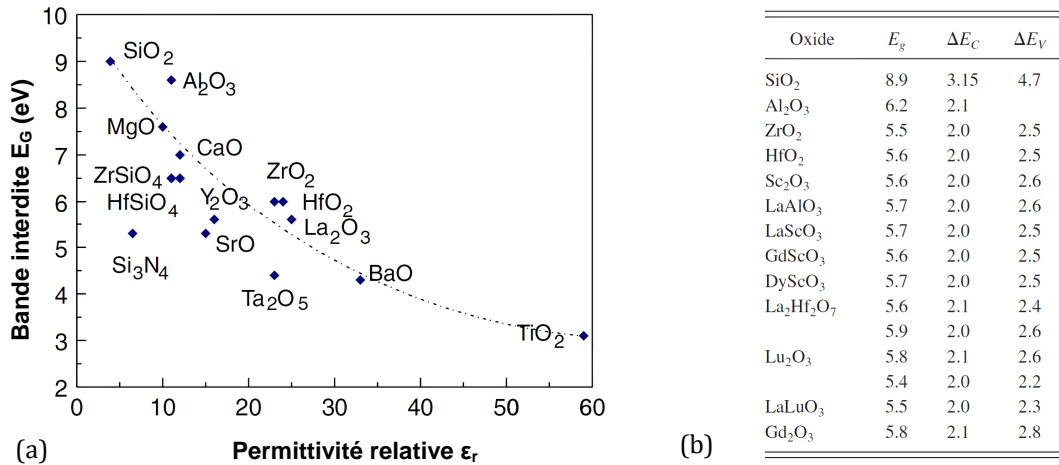


Figure 1.8 : Propriétés des principaux matériaux *high- κ* envisagés pour le remplacement du SiO_2 : (a) bande interdite en fonction de la permittivité relative, obtenue par le calcul [Robertson], et (b) bande interdite et écart entre la bande de conduction ΔE_C et la bande de valence ΔE_V par rapport à celles du silicium, obtenus de résultats expérimentaux [Afanasev].

Aujourd'hui, de nombreux diélectriques *high- κ* sont envisagés pour le remplacement de l'oxyde de silicium (figure 1.8) mais tous ne répondent pas aux multiples critères requis pour l'intégration dans la filière CMOS [Houssa] :

- une bonne stabilité thermique en contact avec le silicium afin de prévenir de la formation d'oxyde interfaciale trop épais,
- une maîtrise de la passivation de la surface avec le silicium pour éviter les défauts d'interface améliorant ainsi la mobilité des porteurs dans le canal de conduction et la durée de vie du diélectrique,
- une compatibilité avec les procédés de fabrication en particulier à hautes températures,
- et le choix du bon matériau en fonction de ses propriétés électriques : forte bande interdite E_g afin d'assurer un écart entre les bandes de conduction ΔE_C et de valence ΔE_V par rapport au semiconducteur suffisamment important pour réduire le courant de fuite tunnel.

A ce propos, l'ingénierie de la fabrication des oxydes est très complexe et les propriétés des matériaux peuvent évoluer selon la technique de dépôt (ALD pour *Atomic Layer Deposition*, CVD pour *Chemical Vapor Deposition*, MBE pour *Molecular Beam Epitaxy*, ...) et le type de mesure [Bersch]. Il est alors fréquent d'avoir une grande disparité entre les valeurs des propriétés des matériaux (ϵ , E_g , ΔE_C , ΔE_V) mesurées expérimentalement et calculées par des modèles analytiques*. Or, les propriétés de ces diélectriques sont capitales pour effectivement permettre une amélioration des performances des dispositifs (voir les résultats de nos simulations sur les dispositifs Métal-Isolant-Semiconducteur (MIS) et Métal-Isolant-Métal

* Pour preuve, la valeur de la bande interdite de l' Al_2O_3 est égale à 8.6 eV selon le calcul effectué par [Robertson] alors que sa valeur mesurée expérimentalement est égale à 6.2 eV [Afanasev].

(MIM) détaillés dans le chapitre 2). Ainsi, les données expérimentales seront utilisées en priorités dans nos simulations (données en annexe A.3), à chaque fois qu'elles sont disponibles.

Finalement, même si de nombreux progrès ont été réalisés ces dernières années pour améliorer la fiabilité des diélectriques *high- κ* , souvent associés à une couche interfaciale très mince, l'utilisation d'empilement de grille double-couches n'est pas sans conséquence sur le fonctionnement des dispositifs, notamment sur les propriétés de transport des porteurs du canal de conduction. En effet, il a été observé expérimentalement que la mobilité des porteurs est fortement dégradées à faibles champs électriques dans les dispositifs avec un empilement de grille à deux couches ($\text{HfO}_2+\text{SiO}_2$) et en particulier quand l'épaisseur de la couche interfaciale est importante [Cassé]. L'origine précise des mécanismes de dégradation de la mobilité est aujourd'hui toujours très discutée mais les hypothèses les plus probables semblent faire intervenir les interactions à distances telles que : (a) les interactions entre les charges fixes du matériau *high- κ* et les porteurs du canal (RCSE, *Remote Coulomb Scattering Effects*) [Saito] [Esseni] [Poli2] [Barraud] [Barraud2], (b) la rugosité de surface entre les matériaux [Martinez] [Poli], et (c) les interactions entre les phonons optiques [*Soft Optical (SO) phonons*] et les porteurs du canal [Fischetti]. Il est alors difficile d'évaluer précisément l'impact sur le courant de drain mais l'utilisation de nouveaux matériaux à forte mobilité pour le substrat pourrait solutionner ce problème en augmentant intrinsèquement la mobilité des porteurs.

1.3.2.2 Transistors à canal de silicium contraint

Pour augmenter les performances et plus précisément le courant I_{on} dans les transistors MOSFET, il est possible d'améliorer le transport des porteurs en modifiant la mobilité du silicium dans le canal de conduction par l'application de contraintes mécaniques sur le matériau. Il existe deux types de contraintes mécaniques (tension et compression) suivant un ou deux axes (uni-axial ou bi-axial, respectivement) qui vont induire une modification de la structure de bande du matériau, et par conséquent [Weber] : (a) un changement de la courbure des bandes de conduction et de valence et donc une "amélioration" des masses effectives qui régissent la qualité du transport, et (b) un décalage en énergie entre les différentes vallées dans les deux bandes (levée de dégénérescence) qui va réduire la probabilité d'interaction entre les porteurs (électrons et trous) et les phonons d'intervallées et impliquer une occupation des électrons dans les vallées Δ transverses où la masse effective est plus faible (donc meilleur transport). L'influence des contraintes n'est pas identique sur la structure de la bande de conduction et de la bande de valence et les mécanismes mis en jeu sont très complexes dont les explications précises sortent du cadre de cette thèse.

D'un point de vue expérimental, il existe de nombreuses techniques pour contraindre un matériau. Les contraintes uni-axiales sont généralement obtenues soit par le dépôt d'une couche de nitrure CESL (*Contact Etch Stop Layer*) recouvrant le dispositif (contrainte en tension ou en compression), soit par l'utilisation de l'alliage SiGe dans la source et le drain (contrainte uniquement en compression) car le paramètre de maille de ce matériau est plus élevé que celui du substrat en silicium (maîtrise de la contrainte en jouant sur la concentration de Ge). Ces deux techniques ont été utilisées par Intel pour la fabrication de ses transistors dès le nœud technologique 90 nm [Thompson]. Les contraintes bi-axiales sont, quant à elle généralement, introduites par l'intermédiaire d'un substrat précontraint en utilisant l'alliage SiGe. D'une manière générale, les meilleurs résultats sont obtenus pour une tension bi-axiale

selon le plan (001) ou une tension uni-axiale selon la direction $\langle 110 \rangle$ dans les transistors nMOS et pour une compression uni-axiale selon $\langle 110 \rangle$ dans les transistors pMOS [Andrieu].

Finalement, sans réellement parler de changement de matériau, le courant de drain est augmenté (à travers l'amélioration de la mobilité des porteurs de charge) et le transistor MOSFET parvient à atteindre les spécifications des nœuds technologiques actuels en conservant une architecture *bulk* poussée à ses limites (*extended bulk MOS* [ITRS]). Cependant, ces techniques ne permettent pas de réduire la perte progressive du contrôle électrostatique de la grille sur le canal de conduction.

1.3.2.3 Transistors à base de semiconducteurs à forte mobilité

En parallèle de l'étude des architectures multi-grilles, l'émergence des diélectriques de grille *high- κ* a permis d'envisager un changement radical des matériaux de la partie active du transistor MOSFET en introduisant les matériaux à forte mobilité : germanium et semiconducteurs III-V*. De part leur propriétés intrinsèques (faible masse effective des électrons et des trous donc meilleure mobilité et courant de drain plus fort), les transistors MOSFET à base de matériaux à forte mobilité (Ge pour les transistors pMOS et III-V pour les transistors nMOS) seront peut-être utiles pour atteindre les prévisions des nœuds technologiques 16 nm et en deçà pour les applications CMOS hautes performances [Chau] [Hong] [Heyns] [ITRS].

Historiquement, ces "nouveaux" matériaux sont loin d'être méconnus et ont déjà une longue histoire avec l'industrie microélectronique. En effet, le germanium (mobilité des électrons 2 fois plus élevée et mobilité 4 des trous fois plus élevée par rapport au silicium) fut le premier semiconducteur à être utilisé pour fabriquer le transistor (bipolaire) et les circuits intégrés (voir §1.1). L'avantage d'utiliser un semiconducteur III-V, tel que le GaAs (mobilité des électrons 5 fois plus élevée, par rapport au silicium), à la place du silicium fut également prouvé assez tôt par la fabrication du premier transistor MOSFET en GaAs (avec un oxyde de grille en SiO₂) par Becke et al. dès 1965 [Becke]. Cependant, ces matériaux (Ge et III-V) furent vite remplacés par le silicium en raison d'un problème majeur : il était difficile voire impossible de leur trouver un diélectrique de grille stable thermiquement et sans défaut [Heyns], problème remis en cause aujourd'hui par l'amélioration des connaissances et des procédés de fabrication des matériaux *high- κ* . Pourtant, l'un des principaux freins à l'élaboration des MOSFETs à base de germanium et de semiconducteur III-V reste la grande difficulté à créer un empilement de grille optimal avec les bons matériaux [Shang] : faible EOT et courant de fuite maîtrisé pour envisager une utilisation à long terme, densité d'états d'interfaces réduite au maximum pour éviter une baisse de la mobilité des porteurs [Bai] [Martens], et minimisation des charges fixes dans les oxydes pour empêcher des instabilités de fonctionnement.

Actuellement, de nombreux travaux de recherche se penchent sur le meilleur moyen de passiver la surface du semiconducteur [Molle] avant le dépôt de la grille pour préserver la forte mobilité des porteurs (électrons et trous).

L'une des méthodes consiste à conserver la combinaison Si/SiO₂ (dont les excellentes propriétés ne sont plus à démontrer) entre le matériau semiconducteur (Ge ou III-V) et le

* Dénommés ainsi car ils sont uniquement composés de matériaux des colonnes III (Al, Ga, In) et V (P, As, Sb) de la partie droite de la table périodique des éléments (GaAs, InP, InAs, GaSb, In_{1-x}Ga_xAs, ...).

diélectrique *high-κ*. La présence d'une couche ultra fine de silicium (*Si-capping layer* < 10 monocouches) permettrait de faire croître une couche de SiO₂ avant le dépôt du matériau *high-κ*. Des résultats expérimentaux ont montré que cette méthode est très prometteuse pour la fabrication de transistors MOSFET pMOS à base de Ge [Zimmerman] [Mitard] (mais hélas pas pour les transistors nMOS) et de transistors nMOS à base de GaAs [Koveshnikov] [Koester].

Pour les dispositifs à base de germanium, d'autres approches très efficaces sont basées sur la croissance thermique de l'oxyde natif du germanium (GeO₂) [Bellenger] [Xie] et avec apport de nitrure (GeO_xN_y) [Chui] [Kuzum]. Même si ces matériaux sont solubles dans l'eau et instables chimiquement (ce qui les rend difficilement intégrables dans un procédé de fabrication classique), ils permettent quand même d'améliorer les performances sur les transistors nMOS et pMOS en utilisant le même empilement de grille (GeO₂/Al₂O₃/TiN) pour une intégration possible dans les technologies CMOS futures [Bellenger2]. Notons que la passivation de la surface du germanium peut être également améliorée par des traitements de surface [Houssa2] ou en utilisant d'autres matériaux high-κ tels que les oxydes de terre rare (La₂O₃ [Andersson], Gd₂O₃ [Evangelou], CeO₂ [Evangelou2], ...). Un autre verrou technologique concernant également ce type de dispositif est la faible activité électrique des dopants qui crée de fortes résistances d'accès de source et de drain [Krishnamohan], qui comme nous l'avons déjà évoqué, provoque une chute importante du courant de drain.

Il existe une multitude de semiconducteurs III-V qui possèdent une mobilité très élevée* (voir annexe A.2) et donc autant de candidats disponibles pour le remplacement des transistors nMOS. Le problème est en revanche identique à celui du germanium : trouver un bon oxyde de grille. Les études récentes se focalisent pourtant principalement sur le GaAs et l'In_{1-x}Ga_xAs (même si d'un point de vue théorique et expérimentale des composés tels que l'InSb ou l'InAs sont également en vus) car des résultats très intéressants ont été obtenus en utilisant des matériaux tels que l'Al₂O₃ [Ye] [Delabie], le Ga₂O₃(Gd₂O₃) (GGO) [Kwo] ou le HfO₂ [Kim] (pour une revue complète, voir les références [Kwo2] [Hong]).

Des solutions technologiques existent donc d'ores et déjà pour fabriquer des transistors nMOS en InGaAs et pMOS en Ge avec le même empilement de grille [Lin]. Cependant, la diminution des résistances des contacts de source et drain reste une nouvelle fois au cœur des problèmes technologiques pour ne pas limiter l'intérêt des matériaux à forte mobilité [Dimoulas]. Enfin, pour être viables économiquement dans les applications CMOS, les semiconducteurs à forte mobilité doivent être intégrés sur les plateformes classiques de silicium mais l'écart de maille entre les différents matériaux pose de sérieux problèmes surtout pour les matériaux III-V [Heyns], en partie résolus avec le germanium grâce à l'utilisation de plaquettes (*wafers*) GeOI (*Germanium On Insulator*) [Romanjek].

* Les semiconducteurs III-V sont déjà très largement utilisés en microélectronique pour leurs propriétés optiques et de transport exceptionnelles dans les cellules photovoltaïques, les diodes laser (le GaN est notamment utilisé dans la technologie des disques Blue-Ray) et des transistors à effet de champ très spéciaux, les HEMT (High-Electron-Mobility Transistor). Les dispositifs HEMT, particulièrement prisés dans le domaine des communications (téléphones portables, radars), sont utilisés seuls ou dans des petits circuits intégrés (pas plus de 1000 transistors) mais ne peuvent être intégrés en l'état (empilement de plusieurs couches de semiconducteurs) dans les microprocesseurs pour des problèmes de chaleur qu'ils dégageraient s'ils étaient utilisés par million [Ye2].

Au-delà des problèmes technologiques cités ci-dessus, les propriétés des matériaux à forte mobilité sont très différentes de celle du silicium et favorisent l'apparition de phénomènes physiques (principalement d'ordre quantique) jusqu'alors négligeables dans les transistors sur silicium.

Le premier élément concerne la faible largeur de bande interdite du germanium et de certains semiconducteurs III-V (InSb, InAs, $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)* qui provoque une forte dégradation du courant de fuite I_{off} . Dans le cas de matériaux à faible *bandgap*, le courant à l'état *off* n'est plus commandé par le mécanisme classique de courant de fuite sous le seuil mais principalement par le mécanisme de courant tunnel bande à bande (BTBT pour *Band-To-Band Tunneling*) [Krishnamohan2] [Saraswat]. Cet effet quantique permet aux porteurs de charge de passer de la bande de valence à la bande de conduction par pénétration des fonctions d'onde dans la bande interdite. L'augmentation du courant de fuite est importante et pourrait bien être une limite fondamentale pour les transistors nMOS à base de Ge et des longueurs de grilles inférieures à 17 nm [Laux]. De plus, l'effet de contrainte sur un matériau (qui aujourd'hui est de plus en plus utilisé) entraîne en général une réduction de son *bandgap* et donc une hausse supplémentaire du courant BTBT. Cependant, la réduction des dimensions des composants, et notamment l'épaisseur du film semiconducteur (en particulier dans les transistors multi-grilles sur SOI), implique une augmentation des effets de quantification des niveaux d'énergies qui conduit, entre autres, à un déplacement de quelques angströms du barycentre de charge ainsi qu'à un rétrécissement des fonctions d'ondes des porteurs. Par conséquent, la probabilité de présence des électrons et des trous dans la bande interdite est diminuée et les fonctions d'ondes s'éloignent l'une de l'autre : la largeur de bande effective du matériau est augmentée [Saraswat]. Il existe donc un compromis à trouver entre le matériau utilisé, la contrainte à lui appliquer et son épaisseur pour allier forte mobilité et faible courant de fuite.

Ensuite, de nombreuses simulations numériques ont révélé que le transport des électrons dans les matériaux à forte mobilité a plutôt lieu dans les vallées de hautes énergies de la bande de conduction (L et X pour les semiconducteurs III-V et X et Γ pour le germanium). Dans ces vallées, la masse effective des électrons est plus élevée que celle dans la vallée la plus basse en énergie†, détériorant la capacité de ces matériaux à fournir un courant de drain très élevé [Pethe]. L'utilisation de films ultras minces entraîne également une dégradation des conditions de transport dans les matériaux III-V [Zhu] [Cantley] en raison de l'importance des effets de confinement quantique. Ce problème pourrait être résolu en choisissant une nouvelle fois le bon matériau qui possède un écart d'énergie important entre la vallée la plus basse et les vallées de hautes énergies (par exemple l'InGaAs [Neophytou])

Enfin, la faible densité effective d'état dans la bande de conduction (N_c) des semiconducteurs III-V (liée à la faible masse effective de densité d'état 2D des électrons de la vallée Γ , $m^{2D\Gamma}$) provoque une baisse de la densité de charge dans le canal de conduction et donc de la capacité en inversion C_{inv} [Moreau] [Lubow] (voir chapitre 2), induisant une réduction du courant I_{on} et une augmentation de la tension de seuil. Nous étudierons, plus particulièrement dans le chapitre 3, ces effets (également appelé *DOS bottleneck* ou *source starvation* [Fischetti2] [Laux])

* Pour les valeurs des différentes propriétés des semiconducteurs considérées dans cette thèse, se reporter à l'annexe A.2.

† On parle alors de transport quantique intervallée.

sur le courant de drain dans les transistors MOS Double-Grille à base de semiconducteurs à forte mobilité [Moreau2].

Malgré ces différents inconvénients, les semiconducteurs III-V peuvent être sérieusement envisagés pour améliorer le courant de drain car la mobilité des électrons dans ces matériaux est nettement supérieure à celle dans le silicium, ce qui favorise la probabilité de transport balistique [Laux] [Neophytou].

1.3.3 Bilan des solutions technologiques innovantes

Les solutions présentées dans cette partie pour remplacer les architectures sur silicium massif semblent nombreuses et déjà très prometteuses pour l'avenir du transistor MOSFET. Si les architectures multi-grilles présentent de nombreux avantages en termes de maîtrise des effets électrostatiques, l'utilisation de matériaux à forte mobilité permettrait quant à elle d'améliorer les conditions de transport dans le canal de conduction, c'est-à-dire les performances du composant. Dans cette thèse, nous aborderons ces deux thèmes et envisagerons même de combiner les bienfaits des transistors Double-Grille aux avantages des matériaux à forte mobilité (chapitre 3).

Cependant le développement de tels dispositifs fait face à de nombreux verrous technologiques auxquels il faudra répondre dans les prochaines années pour permettre une intégration idéale et peu coûteuse (car oui, le principal verrou reste l'aspect économique !) avec la logique CMOS. Pour l'instant, les dispositifs innovants doivent être optimisés pour en tirer les meilleures performances possibles en termes de courant et de délai et répondre au cahier des charges suggéré par l'ITRS pour les applications hautes performances.

1.4 Quels outils pour étudier les performances des dispositifs ?

Comme nous l'avons déjà fait remarquer dans les paragraphes précédents, l'un des enjeux capitaux pour l'industrie microélectronique sera de s'orienter vers les bons choix technologiques pour espérer une amélioration des performances des dispositifs futurs. Or, les essais expérimentaux sont onéreux, longs et complexes et n'autorisent pas autant de degré de liberté que peut offrir la simulation numérique.

Aujourd'hui, il semble impensable et même tout à fait impossible de développer une nouvelle technologie sans ordinateur. Tout d'abord, la fabrication de centaines de millions de transistors sur une puce ne serait tout simplement pas possible sans machine exclusivement pilotées par ordinateur. Ensuite, comment analyser, comparer et améliorer les performances des composants sans l'aide du moindre outil numérique ? Et enfin, peut-on réellement envisager de créer une nouvelle structure viable sans prévoir ses performances, tout du moins théoriques ?

Même si l'Homme reste et restera bien évidemment derrière la fabrication des machines, la programmation et la création de nouveaux concepts, la simulation numérique (assistée par ordinateur) est une brique essentielle à la construction de nouveaux dispositifs et à la prédiction de leur fonctionnement. Elle permet d'une manière générale d'étudier des

phénomènes physiques en évitant de calculer “à la main” les tâches répétitives d'un modèle théorique qui parfois s'avère même impossible à résoudre sans outil numérique.

Le développement de la microélectronique permet d'offrir chaque année des ordinateurs plus puissants* (en termes de rapidité d'exécution), utilisés pour simuler le fonctionnement de dispositifs déjà fabriqués, en cours d'élaboration, ou tout simplement n'existant pas, tout en ayant accès aux quantités physiques internes du dispositif lors de son fonctionnement, données qui ne peuvent évidemment pas être mesurées si l'architecture simulée n'existe pas.

En microélectronique, la simulation rentre en jeu pour étudier différents phénomènes : les procédés de fabrication (croissance des matériaux, diffusion des dopants, ...), la physique des dispositifs uniques (transport électronique [Sverdlov] [Vasileska], effets électrostatiques, ...), le fonctionnement général d'un circuit complet (rapidité, ...), et la conception de circuits intégrés (optimisation de la consommation électrique, ...). Il est ensuite possible de diviser chaque catégorie selon le niveau de la modélisation théorique (autrement dit, quelles équations sont choisies pour résoudre numériquement le système ?), qui dictera alors la précision des résultats obtenus :

- la simulation numérique avancée pour décrire des phénomènes physiques à l'échelle nanométrique voire atomique impliquant des théories complexes : calculs ab initio pour expliquer, par exemple, l'arrangement atomique entre deux interfaces [Pourtois], description de la structure de bande des semiconducteurs [Gautier] [Reggiani] [Cavassilas], transport quantique et non-stationnaire (modélisation des interactions) dans les dispositifs ultimes grâce au formalisme des fonctions de Green [Datta] [Delerue], à la simulation Monte-Carlo [Fischetti3] [Dollfus2][†] ou par la résolution de l'équation de transport de Wigner couplée à l'équation de Schrödinger [Barraud3]. Le temps de simulation de ces approches est généralement long (résolution auto-cohérente des équations) et demandent des ressources informatiques importantes.
- la simulation numérique des composants et des procédés technologiques avec un niveau de modélisation inférieur en ajoutant différentes approximations (transport de type dérive-diffusion) pour raccourcir le temps de simulation.
- la modélisation compacte et analytique pour principalement étudier des circuits avec un grand nombre de transistors. Ce type de simulation est absolument nécessaire pour concevoir de nouveaux circuits et composants toujours plus performant.

Dans ce manuscrit, nous aborderons ces différentes méthodes en utilisant le formalisme des fonctions de Green pour l'étude des composants MIS et MIM (chapitre 2) puis une approche quantique (basée sur le modèle dérive-diffusion quantique, chapitre 3) et analytique (chapitre 4) pour simuler le fonctionnement des transistors MOSFET en architecture Double-Grille.

* A l'heure actuelle, les performances des processeurs Intel Core i7 atteignent plus de 100 GigaFLOPS (Floating point Operations Per Second) alors que les GPUs (*Graphics processing unit*, principalement dédiés au traitement d'image 3D, très onéreux en termes de puissance de calcul) peuvent atteindre presque un TeraFLOPS (en Double Precision). A ce jour, l'ordinateur le plus puissant au monde possède 224162 cœurs et une puissance de calcul maximum de 2.33 PetaFLOPS (soit 2.33 millions de milliards d'opération à la seconde...)

[†] Grâce à la résolution de l'équation de transport de Boltzmann d'ordre élevée.

1.5 Conclusion

Ce premier chapitre introductif nous a permis dans un premier temps de rappeler le fonctionnement général du transistor MOSFET à canal long puis de présenter les principaux phénomènes physiques apparaissant avec la réduction des dimensions dans les composants.

Nous avons ensuite dressé un bilan des dernières innovations technologiques [sans doute loin d'être exhaustif puisque nous n'avons pas abordé l'"après semiconducteur" ou plus généralement appelé *Emerging Device Research* [ITRS] (ou *nonclassical CMOS technology*, ou *technology beyond CMOS* !) (transistors à base de nanotubes de carbone*, transistors moléculaires, ...)] envisagées à court terme pour le remplacement du transistor MOSFET sur silicium massif en abordant deux principaux axes : (a) l'augmentation du contrôle électrostatique de la grille sur le canal de conduction grâce aux architectures multi-grilles (transistors FDSOI, Double-Grille, FinFET et à nanofil), et (b) l'amélioration du transport électronique en remplaçant les matériaux historiques (Si et SiO₂) par des matériaux innovants (diélectriques *high-κ* et semiconducteurs à forte mobilité).

D'une part, l'augmentation du nombre de grilles permet, d'un point de vue théorique, d'améliorer les principales performances des transistors : diminution du courant de fuite et de la pente sous le seuil grâce au fort couplage entre le canal et les électrodes de grille, et augmentation du courant à l'état passant en raison de la création de différents canaux de conduction ou de la conduction volumique qui améliore la mobilité des porteurs dans le film semiconducteur. La possibilité de ne pas doper le canal de conduction favorise également l'amélioration du transport électronique et permet d'envisager plus facilement le transport balistique. Cependant, le développement des architectures multi-grilles est une vraie rupture technologique qui entraîne une sérieuse complexification des procédés de fabrication et du fonctionnement général, qui devient très difficile à décrire de manière simple (modèles analytiques) pour prévoir à long terme leur capacité à répondre aux exigences des futurs nœuds technologiques.

D'autre part, l'utilisation de "nouveaux" matériaux pour l'empilement de grille (réduction du courant de fuite de grille) et pour le substrat (augmentation de la mobilité des semiconducteurs) semble également être une piste très sérieuse pour évoluer vers des transistors plus performant. Si certains leviers technologiques sont déjà maîtrisés et adoptés pour la fabrication des transistors actuels (matériaux *high-κ* et effets de contraintes sur les matériaux), le principal challenge à l'introduction du germanium pour les pMOS et des matériaux III-V pour les nMOS, repose sur la maîtrise des procédés de fabrication. Dans un premier temps, la passivation de la surface des semiconducteurs est primordiale pour conserver les propriétés de ces matériaux et dans un second temps il faudra être capable de créer de nouvelles structures (*enhancement-mode* MOSFET [Passlack], HEMT appliqué au circuit logique [Kim2]) pour diminuer le courant de fuite I_{off} , maximiser le courant I_{on} , afin de, bien évidemment, améliorer le délai de commutation des circuits. L'abondance des projets de recherche mené dans le monde [Asenov2], tant sur le plan théorique par la simulation

* Les nanotubes de carbone sont formés à partir de l'enroulement de feuille de graphène, matériau 2D constitué d'une couche monoatomique de carbone dont les propriétés mécaniques et électriques sont remarquables. L'identification et l'analyse du graphène ont valu à Andre K. Geim et Konstantin S. Novoselov le prix Nobel de physique en 2010 [Novoselov].

numérique et analytique (car la compréhension et la maîtrise des phénomènes physiques qui découlent du changement de matériau est primordiale pour le choix de matériaux performants), que sur le plan expérimental, montrent que les dispositifs à base de matériaux à forte mobilité auront une importance capitale dans le développement des composants logiques à haute performance.

Enfin, nous avons mis en avant l'un des enjeux majeurs pour l'industrie microélectronique, à savoir la prédiction exacte des performances des dispositifs futurs pour s'orienter vers les bons choix technologiques, grâce à différents niveaux de modélisation du fonctionnement (du modèle analytique à la simulation numérique évoluée).

A travers ce travail, nous essaierons donc, grâce à la simulation, d'explorer ces différents leviers technologiques (diélectrique de grille *high- κ* , transistor Double-Grille et semiconducteurs à forte mobilité) pour apporter une pierre, ou tout du moins un atome, à l'édifice.

Chapitre 2

Modélisation numérique de la structure Métal-Isolant-Semiconducteur

Comme nous l'avons décrit dans le premier chapitre, la fabrication des composants ultimes à base de matériaux innovants pose aujourd'hui des problèmes technologiques importants, notamment en termes de passivation de surface entre le matériau de substrat et l'oxyde de grille dégradant ainsi les propriétés électriques, supposées meilleures, des matériaux innovants.

Ainsi, nous nous proposons dans ce chapitre de développer un outil de simulation numérique pour étudier le comportement électrique de la structure métal-isolant-semiconducteur (MIS), brique de base servant à la compréhension des phénomènes mis en jeu pour la fabrication future de transistors MOSFET à base de matériaux innovants. Après un bref rappel du fonctionnement du dispositif MIS et des problématiques mises en jeu par les matériaux innovants, nous étudierons l'influence des matériaux et de la composition de l'empilement de grille sur la courbe capacité-tension (C-V) puis sur le calcul du courant de fuite à travers l'oxyde de grille (courbe I-V).

Enfin, une dernière partie sera dédiée à la comparaison de deux méthodes de calculs du courant de fuite dans les capacités métal-isolant-métal (MIM) pour mettre en avant l'importance des effets tunnels quantiques dans les dispositifs MIM de tailles réduites à plusieurs couches d'oxydes.

Chapitre 2 Modélisation numérique de la structure Métal-Isolant-Semiconducteur	37
2.1 Introduction.....	39
2.1.1 Problématique des matériaux innovants	40
2.1.2 Rappel de fonctionnement.....	41
2.1.2.1 Capacité MIS idéale	41
2.1.2.2 Capacité MIS réelle et effets parasites.....	44
2.1.3 Conclusion	45
2.2 Simulation de la courbe C-V	46
2.2.1 Présentation du code.....	46
2.2.1.1 Equation de Poisson 1D.....	47
2.2.1.2 Equation de Schrödinger 1D.....	51
2.2.1.3 Méthode de résolution numérique.....	56
2.2.2 Description des structures innovantes	59
2.2.3 Etude détaillée des dispositifs.....	61
2.2.3.1 Validation du code sur capacités SiO ₂ /Si	61
2.2.3.2 Structures high- κ /Ge.....	63
2.2.3.3 Structures high- κ /III-V.....	65
2.2.4 Bilan/discussion	66
2.3 Simulation de la courbe I-V	67
2.3.1 Etude théorique	67
2.3.1.1 Approche classique dans les capacités MIS.....	68
2.3.1.2 Calcul quantique (NEGF) dans les capacités MIM.....	73
2.3.2 Etude des capacités MIS	79
2.3.3 Etude des capacités MIM	81
2.3.3.1 Comparaison des transparences WKB et NEGF : influence sur le courant de fuite de grille	81
2.3.3.2 Etude de structures par le formalisme NEGF	85
2.3.4 Bilan/discussion	88
2.4 Conclusion du chapitre	90

Chapitre 2

Modélisation numérique de la structure Métal-Isolant-Semiconducteur

Le chapitre 2 est dédié au développement de codes de simulation numérique afin d'étudier en détail le comportement électrique des dispositifs métal-isolant-semiconducteur (MIS) et métal-isolant-métal (MIM) à base de matériaux innovants. Nous verrons donc par la suite la description adoptée pour la simulation des courbes capacité-tension (C-V) ainsi que les différents modèles utilisés pour calculer le courant de fuite à travers l'empilement de grille dans ces dispositifs. Les résultats obtenus seront, dans la mesure du possible, comparés à différents résultats expérimentaux pour comprendre les mécanismes mis en jeu dans ces architectures à base de matériaux innovants.

2.1 Introduction

Le fonctionnement du transistor MOSFET (metal-oxide-semiconductor field-effect transistor) repose sur deux éléments clés de la structure (figure 2.1) : l'empilement vertical communément appelé capacité MOS auquel on ajoute une zone de source et de drain dans la découpe horizontale afin de faire circuler un courant dans le dispositif. Ainsi, avant tout développement technologique avancé, il est important de comprendre dans un premier temps les mécanismes qui régissent le fonctionnement de la capacité MOS avant de pouvoir étudier le transistor. Dans cette partie, nous nous proposons donc d'étudier les phénomènes mis en jeu dans les composants MOS à base de matériaux innovants, que ce soit au niveau de la grille avec les matériaux *high- κ* ou bien au niveau du substrat avec les matériaux à forte mobilité.

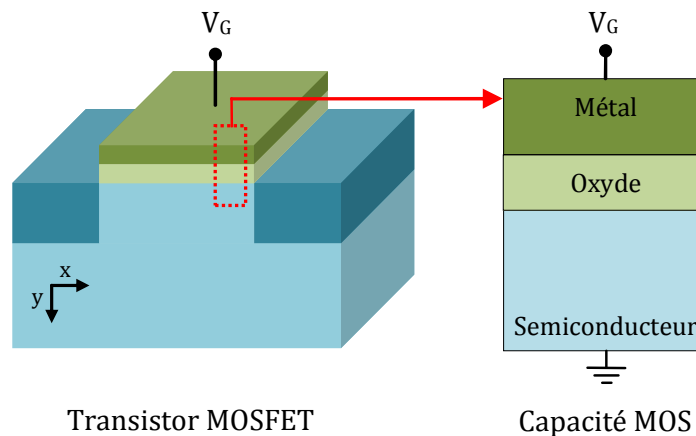


Figure 2.1 : Illustration schématique du transistor MOSFET et de sa découpe verticale (axe y) : la capacité Métal-Oxyde-Semiconducteur (MOS).

2.1.1 Problématique des matériaux innovants

Pour les raisons évoquées dans le premier chapitre (§1.3.2), les matériaux qui composent l'empilement de grille de la capacité MOS ont changé au cours de ces dernières années.

En effet, la grille, historiquement fabriquée en polysilicium (poly-Si), est aujourd'hui remplacée par des matériaux métalliques à base de siliciure (NiSi, CoSi₂, ...), de nitrure (TiN, TaN) ou de tungstène (W, WSi₂, ...). L'avantage des grilles métalliques est double :

- premièrement, ces matériaux empêchent les effets de poly-déplétion de grille en régime de forte inversion, qui entraînaient une désertion des porteurs à l'interface grille/oxyde réduisant la capacité d'inversion et la mobilité des porteurs (par interaction coulombienne à distance avec les dopants ionisés de la région poly-Si/SiO₂) dans le canal de conduction donc le courant à l'état *on*.
- deuxièmement, les matériaux de grilles peuvent être choisis en fonction de leur travail de sortie pour ajuster la tension de seuil des transistors selon les applications visées (haute performance, basse consommation).

Le deuxième élément clé de la structure MOS est le diélectrique de grille, à la base fabriqué en SiO₂ mais progressivement substitué par les matériaux *high-κ*. Tout en conservant une capacité d'oxyde équivalente à celle du SiO₂ (pour conserver le contrôle électrostatique des porteurs par la grille), l'utilisation de diélectrique *high-κ* permet d'augmenter l'épaisseur physique de la couche d'oxyde et par conséquent de fortement diminuer le courant de fuite I_{off} . Lors de la fabrication des composants, il apparaît généralement des couches d'oxyde interfaciales* entre le substrat et le diélectrique *high-κ*, créant des capacités MOS dont l'"Oxyde" est composé de plusieurs couches de matériaux. La fabrication de ces empilements de grilles multi-couches† doit être parfaitement maîtrisée pour passiver efficacement la surface du semiconducteur afin d'éviter la création de pièges dans les oxydes et d'états d'interface (désignés par leur densité d'état N_{ox} et N_{it} , respectivement). Ces défauts influencent particulièrement le fonctionnement

* Qui peuvent être des oxydes natifs du matériau de substrat (SiO₂ ou GeO₂ [Bellenger2]) ou des mélanges du semiconducteur et du diélectrique *high-κ* (LaGeOx [Andersson]).

† On parle alors plus généralement de capacité Métal-Isolant-Semiconducteur (MIS).

général du dispositif qui est également très dépendant des propriétés des matériaux (épaisseurs, permittivité, ...) qui composent l'empilement de grille, comme nous le verrons par la suite.

2.1.2 Rappel de fonctionnement

2.1.2.1 Capacité MIS idéale

Pour rappeler le principe de fonctionnement général de la capacité MIS (figure 2.1), nous nous plaçons dans le cas d'une structure considérée comme idéale. La figure 2.2 représente schématiquement le diagramme de bande en énergie dans la direction y (sans contact entre les matériaux) de la structure MIS et les principaux paramètres qui caractérisent les matériaux. Le métal est, dans notre étude, uniquement défini par son travail de sortie* Φ_M , tandis que l'isolant est caractérisé par son affinité électronique† χ_{ox} et sa largeur de bande interdite (*bandgap*) $E_{G,ox}$. Le semiconducteur est quant à lui défini par son affinité électronique χ_{sc} et son travail de sortie Φ_{sc} , donnée qui dépend elle-même de la largeur de la bande interdite du semiconducteur $E_{G,sc}$ et de son niveau de dopage par l'intermédiaire du potentiel de Fermi Φ_F , qui correspond à l'écart entre le niveau de Fermi intrinsèque (E_i) et le niveau de Fermi du semiconducteur dopé ($E_{F,sc}$), loin de l'interface.

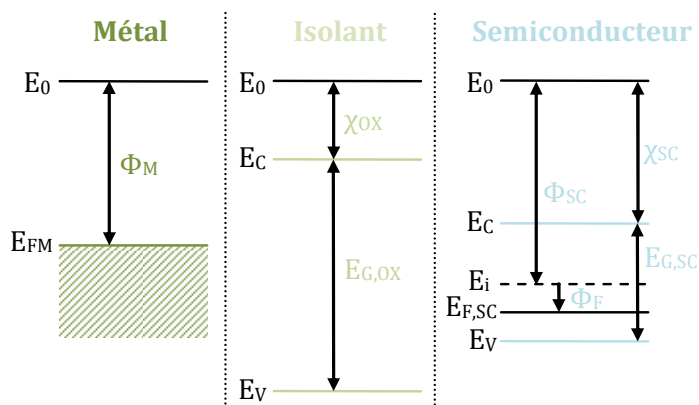


Figure 2.2 : Représentation schématique du diagramme de bande en énergie dans la direction y de la capacité MIS sans contact entre les matériaux et définition des paramètres qui les caractérisent.

Les approximations pour décrire le système idéal sont les suivantes :

- le travail de sortie de la grille métallique est strictement égal au travail de sortie du semiconducteur Φ_{sc} ,
- l'isolant est parfait : aucune charge fixe n'est piégée dans le matériau et aucun courant ne peut circuler entre le métal et le semiconducteur,

* C'est une donnée intrinsèque du matériau qui correspond à l'écart entre le niveau du vide (E_0) et le niveau de Fermi du métal et qui définit la valeur minimum de l'énergie à fournir à un électron pour qu'il puisse s'échapper du matériau [Mathieu].

† On définit l'affinité électronique par l'énergie à fournir à un électron situé au bas de la bande de conduction pour l'extraire du matériau et l'envoyer dans le vide car, à contrario du métal, aucun électron n'est présent au niveau de Fermi à la température absolue dans un semiconducteur non dégénéré.

- l'interface entre l'oxyde de grille et le semiconducteur est également parfaite : il n'y a pas de charge piégée entre les deux matériaux et il n'existe pas d'états d'interface (nous évoquerons l'influence de ces approximations sur la courbe C-V dans le § 2.1.2.2).

Quand une tension V_G est appliquée entre la grille (métal) et le substrat (semiconducteur), on distingue quatre grands régimes de fonctionnement selon la valeur de la tension appliquée :

- le régime de bandes plates (*flat band*),
- le régime d'accumulation qui représente l'accumulation de porteurs majoritaires à l'interface isolant/substrat,
- le régime de déplétion où les porteurs majoritaires sont repoussés dans le volume du substrat,
- le régime d'inversion qui symbolise l'accumulation de porteurs de charges minoritaires à l'interface isolant/substrat.

La figure 2.3 représente schématiquement les diagrammes de bandes de chaque régime dans le cas d'un semiconducteur dopé de type p avec un niveau de dopage égale à N_A^* .

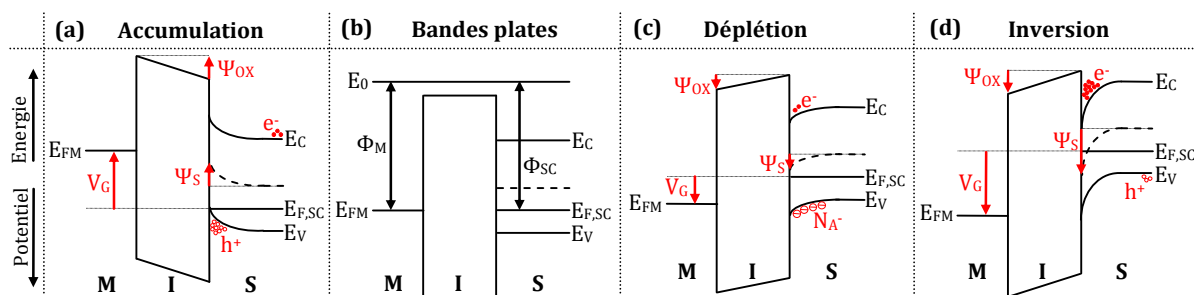


Figure 2.3 : Diagrammes de bandes de la structure MIS (semiconducteur dopé de type p) dans la direction y pour les différents régimes de fonctionnement : (a) régime d'accumulation, (b) régime de bandes plates, (c) régime de déplétion et (d) régime d'inversion.

Dans le cas d'une capacité MIS idéale, le régime de bande plate intervient quand il n'y a pas de tension appliquée dans la structure ($V_G = 0$ V). Cet état correspond au régime d'équilibre thermodynamique de la structure et donc à l'alignement des niveaux de Fermi du métal E_{FM} et du semiconducteur $E_{F,SC}$ (figure 2.3.b). A partir du moment où la tension appliquée sur la grille est différente de 0 V, il existe une différence de potentiel entre les matériaux qui désaligne les niveaux de Fermi du métal et du semiconducteur. Cette différence de potentiel se traduit par une courbure des bandes de conduction et de valence de l'isolant et du semiconducteur régie par l'équation de Poisson†. La bande de conduction du métal (qui correspond à son niveau de Fermi puisque c'est un métal) ne subit quant à elle aucune chute de potentiel car, d'un point de vue classique, on peut considérer que sa résistance est nulle. Ainsi, selon le type de dopage du semiconducteur et la valeur de la tension appliquée aux bornes de la structure, on va pouvoir distinguer plusieurs régimes de fonctionnement.

* Nous considérons ici, et par ailleurs dans tout le reste du manuscrit, que pour chaque type de dopage (n et p), les impuretés donatrices et accepteuses sont toutes ionisées ($N_D^+ = N_D$ et $N_A^- = N_A$).

† Les différentes équations seront présentées dans le §2.2.1.

Pour un semiconducteur dopé de type p et si la tension appliquée sur la grille est négative (figure 2.3.a), on parle du régime d'accumulation. Les porteurs de charge minimisent leur énergie et deux phénomènes peuvent être observés : les électrons de la bande de conduction (porteurs de charge minoritaires dans notre cas) sont repoussés vers l'intérieur du substrat alors que les trous sont attirés à l'interface isolant/semiconducteur provoquant l'accumulation de ces charges majoritaires qui se retrouvent plus nombreuses à l'interface que dans le substrat.

Lorsque la tension de grille est positive, à l'inverse du régime d'accumulation, la tension V_G modifie les bandes d'énergie dans l'autre sens (figure 2.3.c et 2.3.d). Ainsi, quand les électrons de la bande de conduction et les trous de la bande de valence minimisent leur énergie, on distingue deux régimes différents : la déplétion et l'inversion. En régime de déplétion comme en régime d'inversion, la courbure de bande dans le semiconducteur implique que les trous (porteurs majoritaires) sont repoussés vers le volume du substrat alors que les électrons (porteurs minoritaires) sont attirés vers l'interface isolant/semiconducteur. Cependant, dans le cas de la déplétion (figure 2.3.c), la concentration de porteurs majoritaires (trous) à l'interface est supérieure à la concentration de porteurs minoritaires (électrons) et les dopants ionisés (même type de charge que les porteurs minoritaires) sont alors les charges les plus nombreuses. Il se crée alors dans le semiconducteur, une zone désertée par les porteurs de charges mobiles appelée zone de déplétion. Pour le régime d'inversion (figure 2.3.d), les porteurs minoritaires (électrons) deviennent plus nombreux que les porteurs majoritaires (trous) à l'interface et lorsque la concentration de porteurs minoritaires à l'interface devient supérieure à la concentration de porteurs majoritaires dans le volume, on parle alors d'inversion forte.

Ainsi, à chaque régime de fonctionnement correspond une variation du nombre et du type de porteurs dans le semiconducteur et il est alors intéressant de voir comment évolue la valeur de la capacité (qui par définition est la dérivée de la charge par rapport à la tension d'un système) de la structure MIS selon la variation de la tension de grille. La structure MIS est alors vue comme, dans une première approximation, une association en série de deux capacités* (figure 2.4.a) : la capacité de l'oxyde C_{OX} , dont la valeur est fixe et dépend de la permittivité du matériau isolant de grille et de son épaisseur, et la capacité du semiconducteur C_{SC} qui varie selon le régime de fonctionnement et, par conséquent, selon la tension appliquée sur la grille métallique.

La figure 2.4 représente l'allure générale d'une caractéristique capacité-tension (C-V) d'une structure MIS où sont distingués les différents régimes de fonctionnement.

En forte accumulation ou inversion, la valeur de la capacité tend vers une valeur constante qui égale la capacité de l'oxyde. Comme nous l'avons décrit précédemment, les densités de charges à ces tensions sont très importantes et par conséquent, la valeur de la capacité du semiconducteur devient beaucoup plus importante que celle de l'isolant. Dans une structure idéale comme celle-ci, l'association en série des deux capacités fait donc tendre la valeur totale de la capacité vers celle de l'isolant. La capacité diminue et atteint un minimum dans le régime de déplétion car seules les charges fixes (dopants ionisés) participent à la charge totale du semiconducteur.

* Les différentes équations seront présentées dans le §2.2.1.

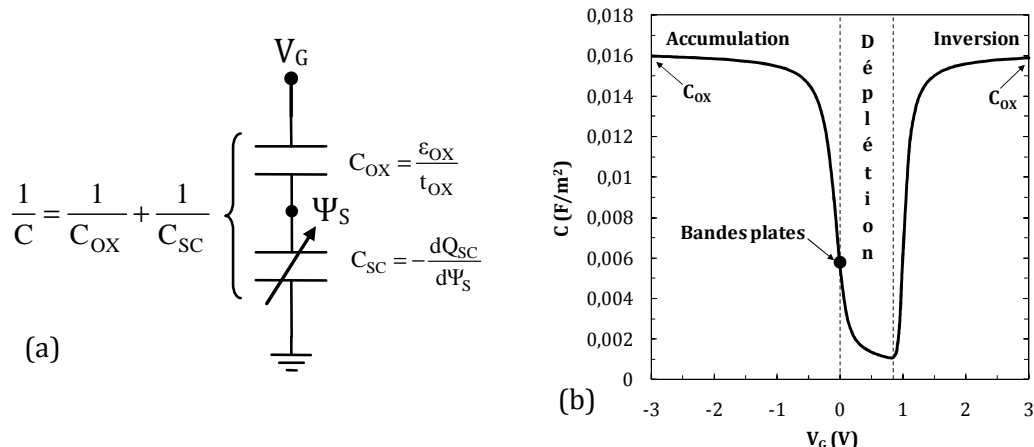


Figure 2.4 : (a) Schéma électrique équivalent et (b) allure de la courbe C-V avec les différents régimes de fonctionnement de la capacité MIS.

Nous verrons par la suite que la composition des matériaux de l'empilement de grille ainsi que le type de semiconducteur jouent un rôle important dans l'allure de la courbe C-V notamment en termes de capacité maximum en accumulation ou inversion ou en termes de largeur de zone de déplétion en fonction de V_G . Mais intéressons nous d'abord au cas de la structure MIS réelle et des effets parasites rencontrés.

2.1.2.2 Capacité MIS réelle et effets parasites

De nombreux phénomènes liés à la fabrication et à la réduction de la taille des dispositifs sont à prendre en compte dans le fonctionnement réel de la capacité MIS.

Dans le cas d'un empilement de grille dit "classique" (poly-Si/SiO₂/Si), les procédés technologiques de fabrication sont très bien maîtrisés et les seuls effets parasites rencontrés dans ce type de structure sont liés à la réduction d'échelle du composant. Les principaux phénomènes qui influencent le plus le fonctionnement de cette structure sont les effets de poly-déplétion de la grille, de confinement quantique et de courant de fuite tunnel à travers l'oxyde de grille [Ghibaudo].

La poly-déplétion de grille dans la structure MIS est un phénomène qui apparait lorsque le contact de grille n'est plus fabriqué en métal mais en semiconducteur. La tension de grille induit alors, comme c'est le cas dans la partie semiconducteur de la capacité MIS, une courbure des bandes de conduction et de valence près de l'interface grille/oxyde. Il apparait alors une variation de charges dans la grille selon V_G qui se traduit par l'ajout d'une capacité en série dans le schéma électrique équivalent de la structure (figure 2.4.a). La poly-déplétion de grille entraîne en particulier la chute de la valeur maximale de la capacité pour des tensions de grille élevées et réduit le couplage capacitif grille-substrat. Cet effet ne devient important que pour des oxydes très minces (inférieurs à 3 nm) et peut être limité en augmentant fortement le dopage de la grille pour obtenir un semiconducteur dégénéré [Ghibaudo]. Cependant, grâce aux efforts industriels et notamment Intel pour la fabrication des dispositifs des nœuds technologiques sub-45nm [Intel2], l'utilisation de grilles métalliques permet de supprimer totalement cet effet néfaste. Par la suite, il nous a donc semblé plus cohérent de considérer des grilles métalliques et s'affranchir des problèmes de poly-déplétion dans nos simulations.

Les effets de confinement des porteurs et de courant de fuite dans les structures MIS constituent une part importante de ce travail de thèse. Ainsi, ces deux phénomènes d'origine quantique seront discutés en détail dans le §2.2 et le §2.3.

En ce qui concerne l'utilisation de matériaux innovants dans l'empilement de grille (diélectrique de grille à forte permittivité + matériaux à forte mobilité), nous avons vu dans le premier chapitre que des problèmes de fabrication* peuvent être ajoutés à ceux cités précédemment.

Le premier élément à prendre en compte est la différence des travaux de sortie du métal Φ_M et du semiconducteur Φ_{SC} . Si les données de ces matériaux ne sont pas identiques, le régime de bande plate ne s'établira plus quand la tension de grille est nulle mais à la tension de bande plate V_{FB} , calculée à partir de la différence entre Φ_M et Φ_{SC} . L'influence sur la caractéristique C-V sera juste le décalage de la courbe vers la gauche ou la droite selon la valeur de V_{FB} .

En second lieu, l'interface entre le semiconducteur et l'isolant est une zone où le réseau cristallin de chaque matériau est perturbé. Cette rupture de périodicité entraîne l'apparition d'états électroniques appelés états d'interface [Mathieu]. Si les niveaux d'énergie correspondant aux états d'interface sont situés dans la bande interdite du semiconducteur et plus particulièrement au-dessous du niveau de Fermi du semiconducteur, des charges peuvent y être piégées. Ces charges se rajoutent à celles du semiconducteur pour équilibrer la charge totale sur la grille. D'un point de vue schéma électrique équivalent, la capacité associée à ces charges est ajoutée en parallèle à la capacité du semiconducteur et son influence est particulièrement notable sur la tension de bande plate.

Enfin, selon la technique de dépôt de l'isolant sur le semiconducteur, il est possible que la présence de défauts dans l'isolant entraîne le piégeage de charges fixes (positives ou négatives) dans cette couche. Selon la polarité des charges et les lois de l'électrostatique, elles peuvent attirer des électrons ou des trous et il existe une probabilité de transition des porteurs du semiconducteur vers l'oxyde. Cette probabilité dépend de la distance entre les charges et l'interface semiconducteur-isolant, ainsi que de la hauteur de barrière entre les deux états. L'effet de charges dans l'isolant revient à déformer la courbure des bandes de conduction et de valence, ce qui implique une translation horizontale de la courbe C-V soit un décalage de la tension de bande plate [Bernardini].

2.1.3 Conclusion

Dans cette partie, nous avons décrit de façon très succincte le fonctionnement de la capacité MIS idéale et nous avons introduit les différents problèmes liés, d'une part à la fabrication de ces dispositifs et d'autre part aux effets rencontrés lors de la miniaturisation de ce composant de base. En effet, nous avons pu expliquer que la réalisation de structures innovantes à base de "nouveaux" diélectriques de grille *high- κ* et de substrats semiconducteurs à forte mobilité implique la fabrication de dispositifs dont l'empilement de grille peut être composé de plusieurs couches d'oxydes et d'un ou deux matériaux semiconducteurs. Nous avons également introduit l'importance des effets de confinement quantique sur le

* Il est important de noter que ces phénomènes ont déjà été rencontrés lors de la fabrication des dispositifs "classiques" et qu'avec la maturité des procédés technologiques ils tendent à disparaître.

fonctionnement de la capacité. Ainsi, par la suite, nous allons approfondir l'étude de l'architecture MIS en présentant un code de simulation numérique entièrement développé lors de la thèse. Les équations qui régissent le système et les méthodes de résolution numérique employées seront présentées et le code sera ensuite utilisé pour étudier l'impact des effets de confinement quantique ainsi que l'influence des matériaux de la structure sur la courbe C-V (§2.2) et sur le courant de fuite à travers l'empilement de grille (§2.3).

2.2 Simulation de la courbe C-V

2.2.1 Présentation du code

Le code de simulation numérique est basé sur la résolution numérique auto-cohérente des équations de Poisson et de Schrödinger et permet le calcul de la capacité de la structure à basse et haute fréquence. Cette approche a été étudiée en détail durant les quarantes dernières années, et de nombreuses références existent [Stern] [Palestri], mais n'a jamais été dédiée à la simulation de structures innovantes, combinant des empilements de grille multi-couches à base de différents matériaux *high- κ* et plusieurs semiconducteurs (voir annexe A.2 et A.3 pour tous les matériaux qui peuvent être utilisés dans le code de simulation). L'organigramme du code est donné sur la figure 2.5.

Dans cette étude, nous allons considérer que la variation du potentiel électrostatique de notre structure varie en fonction de la seule dimension y (1D). Le dispositif MIS sera donc, d'un point de vue numérique, réduit à une seule ligne de points (voir §2.2.1.3) et toutes les équations seront résolues en 1D dans cette direction. Après avoir défini la structure, c'est-à-dire le nombre de couches de diélectrique et leur épaisseur, le choix du semiconducteur, son niveau de dopage et son type, le choix du type de calcul (classique ou quantique)..., les initialisations des différentes variables et les calculs préliminaires nécessaires à la résolution des équations sont effectuées. Cette étape permet entre autres de définir les données intrinsèques de la structure (figure 2.2) telles que la tension de bande plate du dispositif ($V_{FB} = \Phi_M - \Phi_{SC}$), le niveau de Fermi dans le semiconducteur Φ_F , les différentes masses effectives selon la direction et les matériaux choisis. Ensuite, dans le cas classique, seule l'équation de Poisson est résolue numériquement selon la méthode de Newton-Raphson (voir §2.2.1.3) alors que dans le cas quantique, nous procédons à la résolution auto-cohérente des équations de Poisson et de Schrödinger. Une fois le critère de convergence atteint, le code calcule les capacités de la structure (figure 2.4.a) en fonction de la tension de grille puis écrit les différents résultats obtenus tels que le potentiel électrique, le diagramme de bande, les niveaux d'énergie, la concentration de porteurs... Revenons tout d'abord sur la simulation classique et la résolution de l'équation de Poisson.

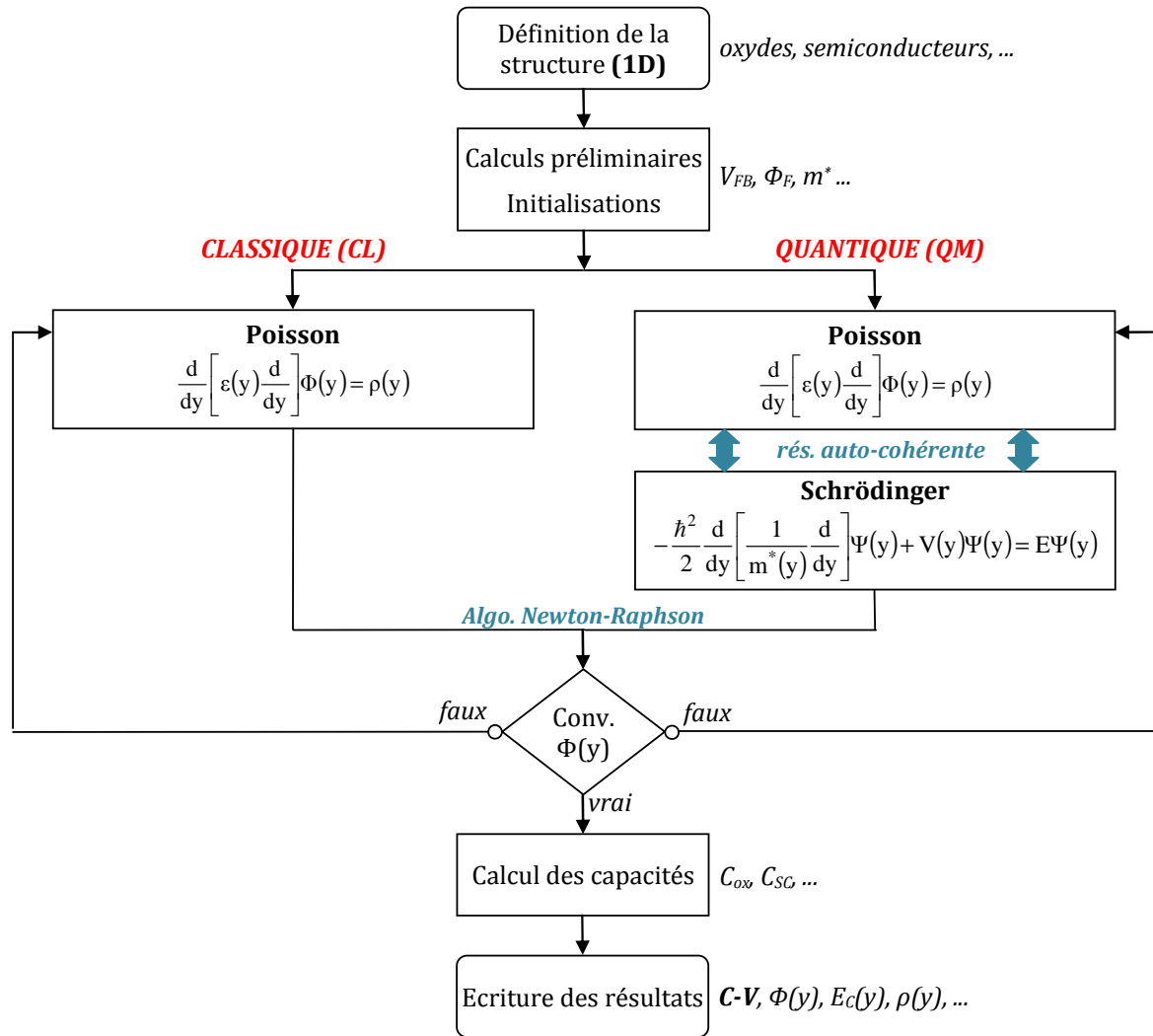


Figure 2.5 : Organigramme schématique du code de simulation numérique dédié au calcul de la caractéristique C-V.

2.2.1.1 Equation de Poisson 1D

Les lois de l'électrostatique permettent d'étudier l'effet des charges électriques dans un système où un potentiel électrique est appliqué. En particulier, l'équation de Poisson relie la distribution de charges locales au potentiel électrostatique par la formule suivante (en 1D) :

$$\frac{d}{dy} \left[\epsilon_r(y) \frac{d}{dy} \right] \Phi(y) = -\frac{q}{\epsilon_0} \rho(y), \tag{2.1}$$

où ϵ_0 est la permittivité du vide, q est la charge élémentaire de l'électron, ϵ_r est la permittivité relative (ou constante diélectrique) du matériau, Φ est le potentiel électrique et ρ est la distribution de charge d'espace. Pour traiter de manière exacte la structure dans son intégralité, chaque variable dépendante de la position est identifiée, en particulier la constante diélectrique qui dépend bien évidemment du matériau donc de la position.

Les charges dans le semiconducteur sont calculées en prenant en compte les charges mobiles (électrons et les trous) et les charges fixes localisées sur les dopants (accepteurs et donneurs) tous ionisés ; par ailleurs, cette hypothèse sera considérée dans notre étude et plus généralement dans toute la thèse*. Pour respecter la condition d'électroneutralité du matériau, le total des charges, positives (p et N_D) et négatives (n et N_A), doit être nul et est donné par l'équation :

$$\rho(y) = p(y) + N_D(y) - n(y) - N_A(y), \quad (2.2)$$

où $p(y)$ et $n(y)$ correspondent, respectivement, à la densité de trous dans la bande de valence et à la densité d'électrons dans la bande de conduction. $N_D(y)$ et $N_A(y)$ sont les concentrations d'impuretés de type donneurs ionisés et accepteurs ionisés et correspondent aux profils de dopage dans le semiconducteur selon la direction y . L'équation (2.2) peut être simplifiée selon deux critères :

- le profil du dopage dans le semiconducteur est constant dans la direction y : $N_D(y) = N_D$ et $N_A(y) = N_A$.
- selon le type dopage, l'une des deux concentrations d'impuretés (N_A ou N_D) peut être négligée devant l'autre :
 - semiconducteur dopé de type p : $N_A \gg N_D$
 - semiconducteur dopé de type n : $N_D \gg N_A$

Ces approximations sont habituellement utilisées lorsque l'équation de Poisson doit être résolue analytiquement mais le code de simulation présenté ici prend en compte en toute rigueur l'expression (2.2) pour le calcul des charges.

Le calcul de la densité des charges mobiles $n(y)$ et $p(y)$ peut s'effectuer de différentes manières selon le type de calcul et le régime de fonctionnement de la capacité [Raynaud]. Par la suite, nous allons considérer deux types de calcul différents appelés calcul classique et calcul quantique, cependant quel que soit le type de calcul, nous nous placerons dans l'approximation des bandes paraboliques en utilisant le concept de la masse effective pour les décrire.

Dans le cas du calcul classique, les porteurs de charge (électrons et trous) sont libres de se déplacer dans toutes les directions de l'espace dans leur bande permise (bande de conduction et bande de valence, respectivement), on parle alors de *gaz de porteurs tridimensionnelle (3D)*. Dans la statistique de Fermi-Dirac, valable pour tous les régimes de fonctionnement de la capacité MIS†, le calcul de la concentration des porteurs de charge dans un gaz 3D est évalué en intégrant sur toute la bande permise le produit du nombre d'états disponibles par la probabilité d'y trouver un porteur :

$$n = \int_{E_{C,\min}}^{+\infty} N_C(E) f(E) dE, \quad (2.3.a)$$

* Cette approximation est parfaitement valable si le système est placé à température ambiante.

† Contrairement à la statistique de Boltzmann habituellement utilisée mais uniquement valable quand le semiconducteur est non-dégénéré (le niveau de Fermi se situe dans la bande interdite).

$$p = \int_{-\infty}^{E_{V,\max}} N_V(E)[1-f(E)]dE, \quad (2.3.b)$$

où $N_C(E)$ et $N_V(E)$ sont les densités d'états 3D dans la bande conduction et de valence respectivement, $E_{C,\min}$ est le bas de la bande de conduction, $E_{V,\max}$ est le haut de la bande de valence et $f(E) = \frac{1}{1 + e^{(E-E_F)/kT}}$ est la fonction de Fermi et représente la probabilité d'occupation d'un électron au niveau d'énergie E .

Après différentes manipulations mathématiques, les concentrations d'électrons dans la bande de conduction et de trous dans la bande de valence sont données par :

$$n(y) = \frac{2}{\sqrt{\pi}} N_C \mathfrak{S}_{1/2}[\eta_e(y)], \quad (2.4.a)$$

$$p(y) = \frac{2}{\sqrt{\pi}} N_V \mathfrak{S}_{1/2}[\eta_h(y)], \quad (2.4.b)$$

où N_C et N_V sont les densités d'états intégrées sur toute la gamme d'énergie de la bande de conduction et de la bande de valence, respectivement. Dans le cadre de l'approximation des bandes paraboliques, N_C et N_V sont égales à :

$$N_C = 2 \left(\frac{2\pi k T m_e^{3D}}{h^2} \right)^{3/2}, \quad (2.5.a)$$

$$N_V = 2 \left(\frac{2\pi k T m_h^{3D}}{h^2} \right)^{3/2}, \quad (2.5.b)$$

avec k : la constante de Boltzmann ; T : la température du réseau ; h : la constante de Planck ; m_e^{3D} : la masse effective de densité d'états 3D des électrons de la bande de conduction ; m_h^{3D} : la masse effective de densité d'états 3D des trous de la bande de valence. Les valeurs des densités d'états N_C et N_V des différents semiconducteurs sont données dans l'annexe A.2.

Dans les équations 2.4, $\mathfrak{S}_{1/2}$ est l'intégrale de Fermi d'ordre $\frac{1}{2}$ [Lundstrom] :

$$\mathfrak{S}_{1/2}(x) = \int_0^{\infty} \frac{\varepsilon^{1/2}}{1 + e^{\varepsilon - x}}. \quad (2.6)$$

Dans le code de simulation, cette formule sera calculée en utilisant des valeurs tabulées préalablement déterminées.

Enfin, η_e et η_h correspondent à l'écart entre le bas de la bande de conduction, respectivement le haut de la bande de valence, et le niveau de Fermi du semiconducteur en fonction de y (voir figure 2.3) :

$$\eta_e(y) = [E_F - E_{C,SC}(y)]/kT, \quad (2.7.a)$$

$$\eta_h(y) = [E_{V,SC}(y) - E_F]/kT. \quad (2.7.b)$$

Les figures 2.6.a et 2.6.b illustrent simplement le calcul du potentiel électrique et de la charge en fonction de y obtenus par la simulation numérique classique d'une capacité MIS

(approximation de la capacité idéale (§2.1.2.1)) constituée de deux couches d'oxydes [HfO_2 (10 nm) + GeO_2 (5 nm)] et d'un substrat de germanium dopé uniformément en y et de type n. Nous remarquons que le potentiel électrique est non uniformément réparti le long de la structure ce qui correspond aux changements de matériaux et de leurs propriétés électriques*. Dans le cas classique, la figure 2.6.b montre également que la concentration maximale des charges en régime de forte inversion ($V_G \ll 0$ V) se situe à l'interface oxyde/semiconducteur. Comme le semiconducteur est dopé de type n, ces charges d'inversion à l'interface sont uniquement les trous, et les électrons (qui sont dans ce cas les porteurs majoritaires) sont repoussés loin dans le substrat.

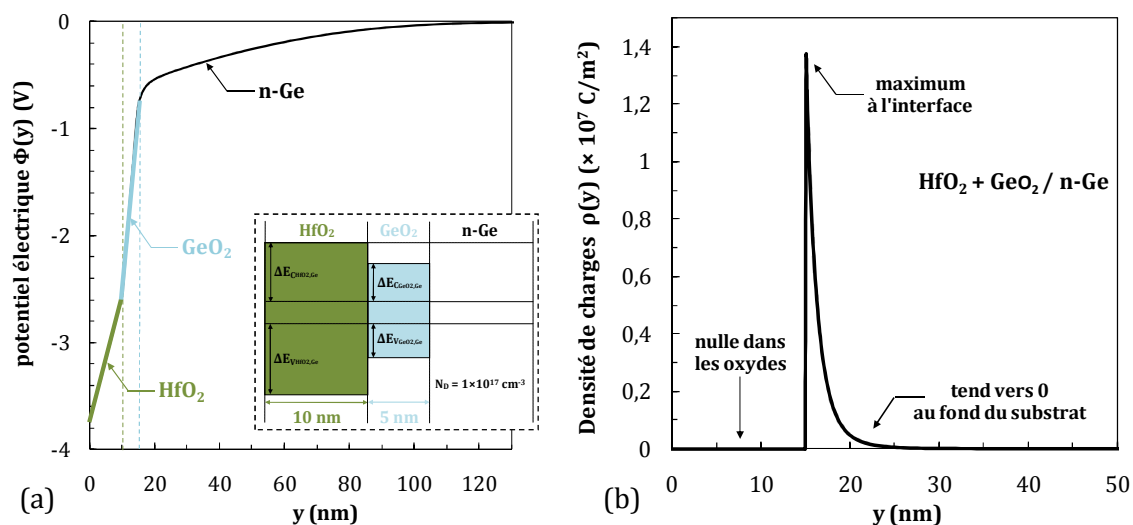


Figure 2.6 : (a) Potentiel électrique $\Phi(y)$ et (b) densité de charges $\rho(y)$ d'une structure $\text{HfO}_2+\text{GeO}_2/\text{n-Ge}$ [avec $T_{\text{HfO}_2} = 10$ nm, $T_{\text{GeO}_2} = 5$ nm, $N_D = 10^{17}$ cm^{-3} , voir encart de la figure (a)] dans le régime d'inversion forte ($V_G \ll 0$ V). L'origine de l'axe horizontal est prise au contact métal/oxyde.

Nous venons donc de voir qu'à partir du calcul de la charge classique, la concentration de porteurs est très importante à l'interface oxyde/semiconducteur selon le régime de fonctionnement et le type de dopage (figures 2.3 et 2.6.b). Cette charge est liée par l'équation de Poisson à une forte variation de potentiel (figure 2.6.a) près de l'interface oxyde/semiconducteur, ce qui se traduit d'un point de vue énergétique par la création d'un puits de potentiel dans le semiconducteur.

Dans l'approximation des bandes paraboliques, le potentiel électrique 1D $\Phi(y)$ est relié à l'énergie potentielle des électrons $E_C(y)$ et des trous $E_V(y)$ par les équations :

$$E_C(y) = [-q\Phi(y) + \Delta E_{C_{sc,ox}}], \quad (2.8.a)$$

$$E_V(y) = [-q\Phi(y) - \Delta E_{V_{sc,ox}}], \quad (2.8.b)$$

où $\Delta E_{C_{ox,sc}}$ et $\Delta E_{V_{ox,sc}}$ sont les décalages de bande entre les bandes de conduction et de valence du semiconducteur et de l'oxyde avec les indices SC et OX à remplacer respectivement par le semiconducteur et l'oxyde considéré (encart de la figure 2.6.a).

* Les valeurs des paramètres de tous les matériaux utilisés dans le simulateur sont données dans l'annexe A.2 pour les semiconducteurs et dans l'annexe A.3 pour les diélectriques.

D'un point de vue expérimental, ces données sont très difficiles à obtenir précisément surtout lorsque l'empilement de grille est composé de plusieurs couches d'oxyde, et aujourd'hui encore, la question reste ouverte comme nous l'avons déjà évoqué dans le §1.3.2. Dès lors, il apparaît une grande disparité des valeurs selon les matériaux et leur maturité technologique (principalement pour les interfaces entre les diélectriques *high- κ* et les matériaux III-V), et nous avons, par conséquent, décidé d'utiliser principalement les valeurs calculées par [Robertson2]. Ainsi, l'annexe A.3 regroupe les principales valeurs utilisées dans le code de simulation sachant que nous utiliserons les valeurs expérimentales [Afanasev] (quand elles sont disponibles) lorsqu'il s'agira de comparer nos simulations avec les résultats expérimentaux [Moreau3]. D'autre part, le signe négatif avant $\Delta E_{Vsc,ox}$ indique que les valeurs de ce paramètre seront données en valeurs absolues dans le tableau de l'annexe A.3 (figure A.5).

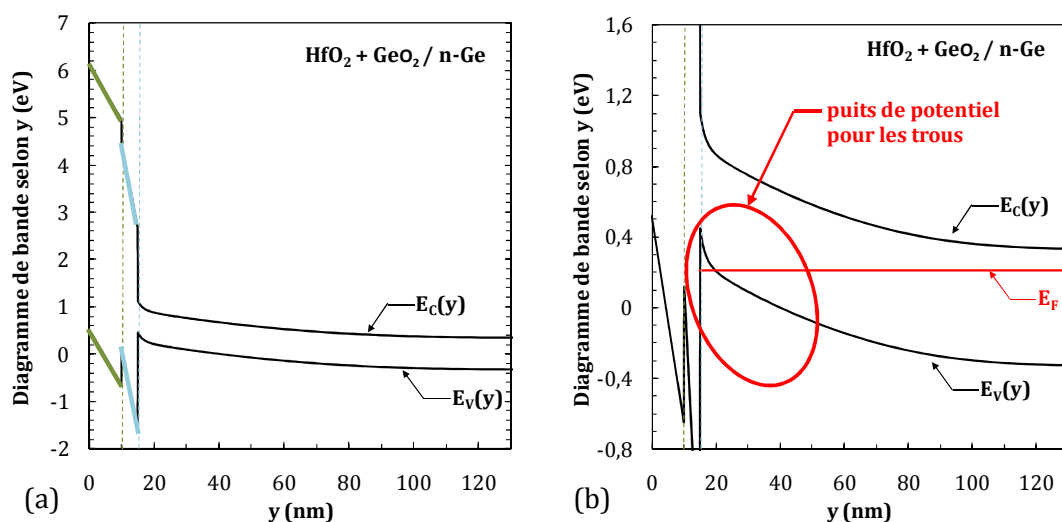


Figure 2.7 : (a) Reconstruction du diagramme de bande de la structure présentée dans la figure 2.6.a et (b) zoom sur le puits de potentiel : le niveau de Fermi E_F se trouve alors dans la bande permise, le semiconducteur est dégénéré.

La figure 2.7 montre la reconstruction du diagramme de bande en énergie de la structure présentée dans la figure 2.6.a et prouve la création d'un puits de potentiel très profond impliquant l'apparition de phénomènes quantiques dans ces dispositifs. Nous allons donc voir comment introduire les effets quantiques dans le calcul de la capacité notamment au niveau du calcul des niveaux d'énergie et de la densité quantique de charges dans les bandes permises.

2.2.1.2 Equation de Schrödinger 1D

Nous venons de mettre en évidence de manière classique que la concentration de porteurs proches de l'interface oxyde/semiconducteur est très importante sur une épaisseur très faible (de l'ordre de quelques dizaines de nanomètres) due aux fortes courbures des bandes permises dans les régimes d'inversion et d'accumulation.

D'un point de vue ondulatoire, la relation de *De Broglie* associe la longueur d'onde de la particule λ à son vecteur d'onde \mathbf{k} par $\lambda = 2\pi/k$ et dans l'approximation parabolique des bandes, les électrons de la bande de conduction occupent un continuum de niveaux d'énergie $E(\mathbf{k})$ donné par :

$$E(\vec{k}) = E_C + \frac{\hbar^2 \vec{k}^2}{2m^*}, \quad (2.9)$$

où $\hbar = h/2\pi$ et h est la constante de Planck, et m^* est la masse effective des porteurs. Dans le cas d'un semiconducteur dégénéré où le niveau de Fermi est dans la bande permise, il est possible de montrer grâce à l'équation (2.9) que la longueur d'onde des porteurs devient équivalente à la largeur du puits de potentiel. Si ces deux quantités sont du même ordre de grandeur, les lois de la mécanique quantique montrent que la probabilité de présence des porteurs n'est alors possible que sur des niveaux d'énergie quantifiés dont l'écart entre 2 niveaux permis peut être important selon la profondeur du puits et du matériau considéré (par la valeur de la masse effective). Ainsi, les porteurs de charge se retrouvent confinés dans un puits de potentiel avec des niveaux d'énergies discrétisés : la notion de gaz 3D n'est plus valide.

Par conséquent, les électrons et les trous se comportent comme un *gaz de porteurs bidimensionnel (2D)* [Ando] et la densité de porteurs libres selon la direction y sera déterminée à partir du calcul des niveaux d'énergie dans le puits de potentiel et de la probabilité de présence des porteurs (fonctions d'onde) à ces niveaux.

Dans l'approximation de la masse effective et en traitant le problème indépendamment du temps, l'équation de Schrödinger 1D est alors résolu dans toute la structure (oxyde+semiconducteur) grâce à [Stern] [Sune] [Raynaud] :

$$-\frac{\hbar^2}{2} \frac{d}{dy} \left[\frac{1}{m^{\text{conf}}(y)} \frac{d}{dy} \right] \Psi(y) + V(y)\Psi(y) = E\Psi(y), \quad (2.10)$$

où m^{conf} est la masse effective de confinement, Ψ est l'enveloppe de la fonction d'onde, V est l'énergie potentielle et E correspond au niveau d'énergie. Toutes ces variables sont dépendantes de la position y , direction perpendiculaire à l'interface oxyde/semiconducteur. Le code de simulation traite les deux bandes permises (bande de conduction et de valence) séparément grâce à l'équation (2.10) pour différents semiconducteurs de type IV ou III-V.

Pour la bande de conduction, l'équation à résoudre est :

$$-\frac{\hbar^2}{2} \frac{d}{dy} \left[\frac{1}{m_{v,el}^{\text{conf}}(y)} \frac{d}{dy} \right] \Psi_{v,el}(y) + E_C(y)\Psi_{v,el}(y) = E_{v,el}\Psi_{v,el}(y), \quad (2.11.a)$$

où l'indice v correspond à la vallée de la bande de conduction à prendre en compte selon le matériau (Δ , Λ , ou Γ) ; el est l'indice du type d'électron [longitudinal (l) ou transversal (t) pour la vallée Δ , et sans indice pour les vallées Λ et Γ] ; E_C est le profil du bas de la bande de conduction dans toute la structure, profil défini par l'équation (2.8.a).

Dans le cas de la bande de valence, l'équation (2.10) est remplacée par :

$$-\frac{\hbar^2}{2} \frac{d}{dy} \left[\frac{1}{m_h^{\text{conf}}(y)} \frac{d}{dy} \right] \Psi_h(y) + E_V(y)\Psi_h(y) = E_h\Psi_h(y), \quad (2.11.b)$$

où l'indice h correspond à la bande de trous considérée [trou léger (lh), trou lourd (hh) ou trou dû au décalage spin-orbite (so)] et E_V est le profil du haut de la bande de valence dans toute la structure, profil défini par l'équation (2.8.b). Dans l'approximation de la masse effective, la

masse de confinement des trous de chaque bande est donnée par la masse effective ($m_h^{\text{conf}} = m_h$) car la dégénérescence de chaque bande est égale à 1.

Pour les équations (2.11), les masses de confinement des électrons et des trous dans chaque vallée et pour chaque type de porteurs sont données dans l'annexe A2.

Grâce à la résolution numérique des équations (2.11) [Moreau3] dans tout le dispositif, détaillée dans le §2.2.1.3, l'enveloppe des fonctions d'ondes Ψ et les niveaux d'énergie E permettent de déterminer la densité d'électrons et de trous dans tout le dispositif. Dans l'approximation d'un gaz 2D, la population totale d'électrons pour un niveau d'énergie $E_{v,el}$ donné s'écrit [sous la même forme que l'équation (2.3)]:

$$n_{v,el} = \int_{E_{v,el}}^{+\infty} g_{v,el}(E) f(E) dE, \quad (2.12)$$

où $g_{v,el}(E)$ est la densité d'états 2D des électrons au niveau d'énergie $E_{v,el}$ et $f(E)$ est la fonction de Fermi. Dans le cas d'un gaz de porteurs 2D, la densité d'états ne dépend pas de l'énergie et l'équation (2.12) s'écrit finalement :

$$n_{v,el} = \frac{m_{v,el}^{2D}}{\pi \hbar^2} kT \ln \left(1 + e^{\frac{E_F - E_{v,el}}{kT}} \right), \quad (2.13)$$

où $m_{v,el}^{2D}$ est la masse effective de densité d'états 2D des électrons de la vallée v et de chaque type de porteurs (l ou t). Cette masse dépend encore une fois du semiconducteur considéré dont le calcul est effectué dans [Rahman] et rappelé en annexe A.2.

La concentration d'électrons selon la position est ensuite calculée grâce à la probabilité de présence des porteurs à chaque niveau :

$$n_{v,el}(y) = n_{v,el} |\Psi_{v,el}(y)|^2. \quad (2.14)$$

Enfin, la densité quantique totale d'électrons n_q en fonction de la position est calculée en sommant la contribution de la concentration des électrons de chaque type (indice el) et de chaque vallée (indice v) sur un nombre prédéfini de niveaux (indice i) :

$$n_q(y) = \frac{kT}{\pi \hbar^2} \sum_i \sum_v \sum_{el} \mu_{v,el} m_{v,el}^{2D} \ln \left(1 + e^{\frac{E_F - (E_{v,el}^i + \Delta E_v)}{kT}} \right) |\Psi_{v,el}^i|^2, \quad (2.15)$$

où μ_v est le facteur de dégénérescence des électrons de la vallée v donné en annexe A.2 et l'indice i correspond au nombre de niveaux quantiques pris en compte dans la simulation et qui dépend du régime de fonctionnement (voir §2.2.1.3). Dans cette équation, le terme de l'exponentielle traduit la probabilité d'occupation d'un électron au niveau $E_{el,v}$ calculée par l'équation (2.11.a). Nous rajoutons à ces niveaux le terme ΔE_v qui correspond à l'écart d'énergie entre la vallée la plus basse en énergie et celle que l'on considère dans le calcul afin de traduire

* En toute rigueur, la barrière de potentiel que voient les porteurs n'est pas infinie à l'interface oxyde/semiconducteur mais égale à ΔE_c pour les électrons et ΔE_v pour les trous (fig. 2.7.a). Ainsi, il est important d'étendre les limites de résolution de l'équation de Schrödinger aux extrêmes bords du domaine de simulation pour prendre en compte la pénétration des fonctions d'onde dans l'oxyde.

la chute de probabilité d'occupation des électrons de cette vallée. Par exemple pour le germanium, la vallée la plus basse en énergie est la vallée Λ et celle qui suit est la vallée Γ . Donc, dans cette approximation, lors du calcul de la concentration des électrons de la vallée Λ , la valeur de ΔE_v est nulle. Puis, quand nous calculons la population de la vallée Γ , nous ajoutons aux niveaux d'énergie, l'écart d'énergie ΔE_v entre les vallées Λ et Γ pour respecter la diminution du nombre de porteurs dans cette vallée de haute énergie. Les valeurs de ΔE_v pour chaque matériau sont données dans l'annexe A.2.

Pour calculer la concentration quantique de trous libres dans la structure, nous nous plaçons toujours dans l'approximation des bandes paraboliques. Le raisonnement et les équations (2.12) à (2.15) développées pour les électrons sont alors applicables aux trous et après la résolution numérique de l'équation (2.11.b), la population de trous à un niveau quantique E_h s'écrit :

$$p_h = \int_{-\infty}^{E_h} g_h(E) [1 - f(E)] dE, \quad (2.16)$$

où $g_h(E)$ est la densité d'états 2D des trous au niveau d'énergie E_h et $1-f(E)$ traduit la probabilité de trou à ce niveau (non-présence d'électrons). Tout comme les électrons, la densité d'états 2D des trous ne dépend pas de l'énergie et l'équation (2.16) s'écrit finalement :

$$p_h = \frac{m_h^{2D}}{\pi \hbar^2} kT \ln \left(1 + e^{\frac{E_h - E_F}{kT}} \right), \quad (2.17)$$

où m_h^{2D} est la masse effective de densité d'états 2D des trous pour chaque vallée (trous légers, lourds et so) (annexe A.2) et qui est égale, dans l'approximation de la masse effective, à la masse effective de confinement ($m_h^{2D} = m_h$) car la dégénérescence de chaque bande est égale à 1.

En déterminant la probabilité de présence des trous à chaque niveau grâce à la fonction d'onde $\Psi_h(y)$, la concentration de porteurs est alors égale à :

$$p_h(y) = p_h |\Psi_h(y)|^2, \quad (2.18)$$

et finalement l'équation pour calculer la population totale de trous dans la structure p_q est obtenue en sommant la contribution de chaque bande de trous (indice h) sur un nombre de niveaux prédéfinis dans le code (indice j) :

$$p_q(y) = \frac{kT}{\pi \hbar^2} \sum_j \sum_h m_h \ln \left(1 + e^{\frac{(E_h^j - \Delta E_{so}) - E_F}{kT}} \right) |\Psi_h^j(y)|^2. \quad (2.19)$$

Comme nous l'avons indiqué précédemment, la dégénérescence de chaque bande de trous est égale à 1 et ne participe donc pas à l'équation (2.19). De plus, nous retranchons aux niveaux calculés E_h le terme ΔE_{so} pour prendre en compte la chute de probabilité d'occupation des trous de cette bande de faible énergie.

Les équations (2.15) et (2.19) montrent que les concentrations de porteurs quantiques, nécessaires au calcul de la densité de charge dans toute la structure [équation (2.2)],

dépendent directement des solutions des équations de Schrödinger 1D des électrons et des trous. Or, les équations de Schrödinger (2.11.a) et (2.11.b) dépendent de la courbure des bandes de conduction et de valence donc du potentiel électrostatique [équations (2.8.a) et (2.8.b)] qui lui-même permet de calculer la densité de charges par l'équation de Poisson. Les équations de Poisson et de Schrödinger sont donc indissociables et le système d'équations Poisson-Schrödinger 1D doit être résolu de manière auto-cohérente.

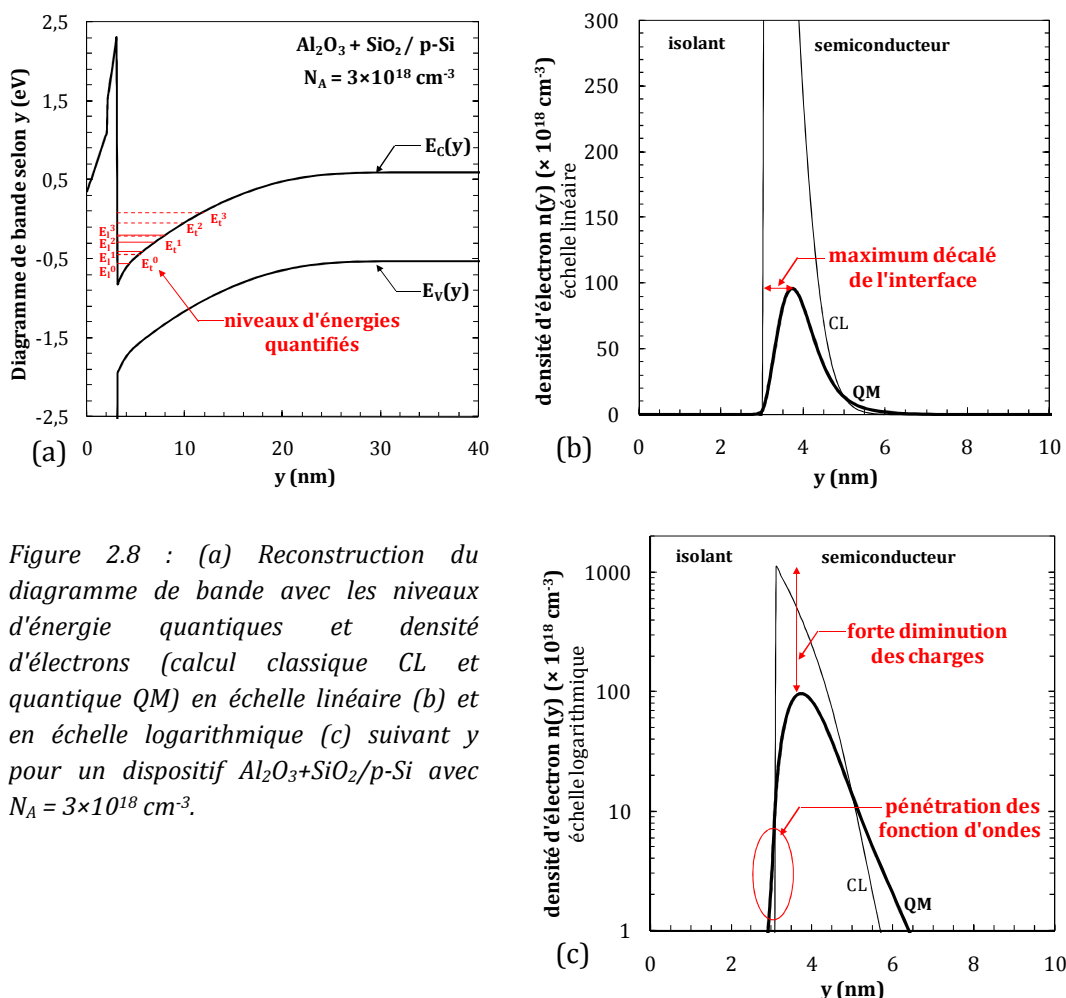


Figure 2.8 : (a) Reconstruction du diagramme de bande avec les niveaux d'énergie quantiques et densité d'électrons (calcul classique CL et quantique QM) en échelle linéaire (b) et en échelle logarithmique (c) suivant y pour un dispositif $Al_2O_3/SiO_2/p-Si$ avec $N_A = 3 \times 10^{18} \text{ cm}^{-3}$.

Finalement, nous montrons sur la figure 2.8, les niveaux d'énergie quantiques calculés (seulement les quelques premiers) ainsi que la densité de porteurs de charge suivant y dans le régime d'inversion forte pour un dispositif $Al_2O_3/SiO_2/p-Si$ [accumulation de porteurs minoritaires (électrons) vers l'interface]. La figure 2.8.b met en avant les principaux effets du confinement quantique des porteurs dans les structures MIS [Raynaud] :

- une réduction très importante de la densité de charges dans le semiconducteur par rapport au calcul classique,
- un déplacement, de l'ordre du nanomètre, du maximum de charges à l'intérieur du substrat,

- la pénétration des fonctions d'onde des porteurs dans la couche d'isolant (les porteurs ont une probabilité non-nulle d'être dans l'oxyde près de l'interface*).

Nous verrons à travers différents résultats, présentés la partie 2.2.3, que ces effets quantiques influencent fortement les caractéristiques C-V mais intéressons-nous maintenant aux méthodes numériques employées pour développer le code de simulation.

2.2.1.3 Méthode de résolution numérique

Les paragraphes précédents ont montré que le code de simulation numérique est basé sur la résolution de l'équation de Poisson dans le cas classique et sur la résolution auto-cohérente du système d'équations Poisson-Schrödinger.

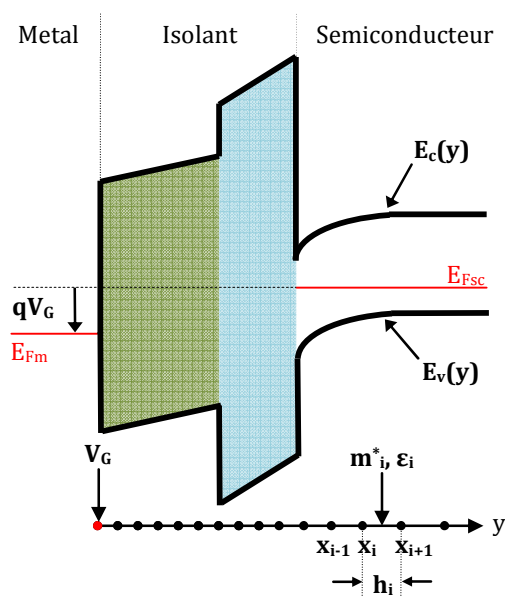


Figure 2.9 : Diagramme de bande schématisé d'une structure MIS (semiconducteur dopé de type p) pour $V_G > 0$ et représentation du maillage 1D (uniforme dans les oxydes et non-uniforme dans le semiconducteur).

Nous avons choisi d'utiliser la méthode des différences finies à trois points pour discrétiser la structure. Cette méthode relativement simple à mettre en œuvre s'applique parfaitement aux équations aux dérivées partielles, telles que les équations de Poisson et de Schrödinger définies sur un maillage 1D. D'autre part, il est important de noter que la densité de porteurs (classique ou quantique) doit être évaluée dans toute la région de déplétion du semiconducteur qui peut s'étendre sur une centaine de nanomètres ou plus si le semiconducteur est faiblement dopé. Ainsi, dans le but de réduire le temps de calcul pour ces dispositifs, nous considérons un maillage uniforme dans les oxydes et non-uniforme dans le semiconducteur (figure 2.9). Le développement des formules pour le calcul des dérivées premières et secondes par la méthode des différences finies est effectué en annexe A.1.

Une fois la méthode appliquée en imposant les bonnes conditions aux limites, la résolution itérative de l'équation de Poisson par la méthode de Newton-Raphson [Raymond] donne facilement une solution du potentiel électrique dans toute la structure (figure 2.6.a).

* Même si dans l'équation de Poisson, nous considérons une densité de charges nulle dans les oxydes.

Cependant, attardons-nous sur la résolution de l'équation de Schrödinger dans le cas du maillage non-uniforme.

En appliquant la méthode des différences finies (annexe A.1) à l'équation (2.10), nous obtenons [Moreau3] :

$$-\frac{\hbar^2}{2} \left[\frac{2(\Psi_{i+1} - \Psi_i)}{m_i^* h_i (h_i + h_{i-1})} - \frac{2(\Psi_i - \Psi_{i-1})}{m_{i-1}^* h_{i-1} (h_i + h_{i-1})} \right] + V_i \Psi_i = E \Psi_i, \quad (2.20)$$

où toutes les variables dépendent de leur position sur le maillage représenté par l'indice i et h_i est le pas de maillage (distance entre les points consécutifs i et $i+1$), non-uniforme selon x .

L'équation (2.20) s'écrit sous la forme matricielle

$$A\Psi = E\Psi, \quad (2.21)$$

où A représente une matrice tridiagonale carrée de taille $N \times N$ (N est le nombre total de points de maillage) de l'hamiltonien donnée par :

$$A = \begin{bmatrix} \bullet & \times & 0 & \cdots & 0 \\ \circ & \bullet & \times & \ddots & \vdots \\ 0 & \circ & \bullet & \times & 0 \\ \vdots & \ddots & \circ & \bullet & \times \\ 0 & \cdots & 0 & \circ & \bullet \end{bmatrix}, \quad (2.22)$$

où les termes diagonaux et tridiagonaux sont égaux à :

$$-\circ = -\frac{\hbar^2}{2} \left(\frac{2}{m_{i-1}^* h_{i-1} (h_i + h_{i-1})} \right), \quad (2.23.a)$$

$$-\bullet = \frac{\hbar^2}{2} \left(\frac{2}{m_{i-1}^* h_{i-1} (h_i + h_{i-1})} \right) + \frac{\hbar^2}{2} \left(\frac{2}{m_i^* h_i (h_i + h_{i-1})} \right) + V_i, \quad (2.23.b)$$

$$-\times = -\frac{\hbar^2}{2} \left(\frac{2}{m_i^* h_i (h_i + h_{i-1})} \right). \quad (2.23.c)$$

Dans le cas d'un maillage uniforme ($h_i = h_{i-1}$), la matrice (2.22) est dite symétrique (par rapport à la diagonale) car les termes non diagonaux sont égaux entre eux ($A_{i+1,i} = A_{i,i+1}$). Or, dans le cas d'un maillage non-uniforme ($h_i \neq h_{i-1}$), la matrice A n'est plus symétrique ($A_{i+1,i} \neq A_{i,i+1}$) et le calcul des valeurs et vecteurs propres devient numériquement plus compliqué. Cependant, en utilisant la méthode développée par [Tan] et repris dans [Moreau3], nous pouvons simplifier le système en posant :

$$L_{i,i}^2 = (h_i + h_{i-1})/2. \quad (2.24)$$

Ainsi, la matrice A est réécrite en incluant le terme (2.24) et nous définissons alors une nouvelle matrice :

$$B = TA, \quad (2.25)$$

où T est une matrice de transformation diagonale carrée de taille $N \times N$ dont les éléments diagonaux sont égaux à $L_{i,i}^2$. La matrice B est alors définie par :

$$B = \begin{bmatrix} \oplus & + & 0 & \cdots & 0 \\ * & \oplus & + & \ddots & \vdots \\ 0 & * & \oplus & + & 0 \\ \vdots & \ddots & * & \oplus & + \\ 0 & \cdots & 0 & * & \oplus \end{bmatrix}, \quad (2.26)$$

où :

$$- * = -\frac{\hbar^2}{2} \left(\frac{1}{m_{i-1}^* h_{i-1}} \right), \quad (2.27.a)$$

$$- \oplus = L_i^2 \times \left[\frac{\hbar^2}{2} \left(\frac{1}{m_{i-1}^* h_{i-1} L_i^2} \right) + \frac{\hbar^2}{2} \left(\frac{1}{m_i^* h_i L_i^2} \right) + V_i \right], \quad (2.27.b)$$

$$- + = -\frac{\hbar^2}{2} \left(\frac{1}{m_i^* h_i} \right). \quad (2.27.c)$$

La matrice (2.26) et ses éléments (2.27) prouvent que B est une matrice tridiagonale symétrique car les termes diagonaux sont égaux entres eux ($B_{i+1,i} = B_{i,i+1}$), ce qui répond parfaitement au rôle de matrice de transformation. Avec les équations (2.21) et (2.25), nous devons donc résoudre le système :

$$B\Psi = T A \Psi = T E \Psi. \quad (2.28)$$

Etant donné que la matrice de transformation T est diagonale, elle peut être facilement décomposée et réécrite en un produit de deux matrices L carrées et inversibles de taille $N \times N$: $T = LL$ dont les seuls éléments diagonaux de L sont égaux à :

$$L_{i,i} = \sqrt{(h_i + h_{i-1})/2}. \quad (2.29)$$

En utilisant les propriétés des produits matriciels, nous pouvons appliquer le produit de matrices $L^{-1}L$ (matrice identité) de part et d'autre de l'équation (2.28) :

$$BL^{-1}L\Psi = (LL)EL^{-1}L\Psi, \quad (2.30)$$

puis en multipliant par L^{-1} de chaque coté de (2.30), nous obtenons :

$$L^{-1}BL^{-1}L\Psi = L^{-1}E(LL)L^{-1}L\Psi = E(L^{-1}L)(L^{-1}L)L\Psi, \quad (2.31)$$

ce qui est équivalent au système à valeurs propres suivant :

$$H\Phi = E\Phi, \quad (2.32)$$

avec :

$$H = L^{-1}BL^{-1}, \quad (2.33.a)$$

$$\Phi = L\Psi. \quad (2.33.b)$$

Finalement, au lieu de résoudre l'équation générique (2.21) où la matrice A n'était pas symétrique, nous allons traiter l'équation (2.32) où H est une matrice tridiagonale symétrique de taille $N \times N$ donnée par :

$$H = \begin{bmatrix} \bullet & \times & 0 & \cdots & 0 \\ \circ & \bullet & \times & \ddots & \vdots \\ 0 & \circ & \bullet & \times & 0 \\ \vdots & \ddots & \circ & \bullet & \times \\ 0 & \cdots & 0 & \circ & \bullet \end{bmatrix}, \quad (2.34)$$

avec :

$$- \circ = -\frac{\hbar^2}{2} \left(\frac{2}{m_{i-1}^* h_{i-1} L_i^2} \right) \frac{L_i}{L_{i-1}}, \quad (2.35.a)$$

$$- \bullet = \frac{\hbar^2}{2} \left(\frac{1}{m_{i-1}^* h_{i-1} L_i^2} \right) + \frac{\hbar^2}{2} \left(\frac{1}{m_i^* h_i L_i^2} \right) + V_i, \quad (2.35.b)$$

$$- \times = -\frac{\hbar^2}{2} \left(\frac{2}{m_i^* h_i L_i^2} \right) \frac{L_i}{L_{i+1}}. \quad (2.35.c)$$

La résolution de l'équation aux valeurs propres (2.32) dont l'hamiltonien est une matrice tridiagonale symétrique à coefficients réels est obtenue grâce à l'algorithme itératif QL avec changement implicite (*QL algorithm with implicit shifts*) [Numerical]. Les valeurs propres retournées donnent donc accès aux niveaux d'énergie dans le puits quantique alors que les vecteurs propres normalisés sont les fonctions d'onde associées aux niveaux d'énergie. Ces données sont ensuite utilisées dans les équations (2.15) et (2.19) pour déterminer la concentration de porteurs de charge dans la structure puis dans l'équation (2.2) pour calculer la densité de charges et résoudre l'équation de Poisson (2.1) selon l'algorithme du code donné sur la figure (2.5).

2.2.2 Description des structures innovantes

Aujourd'hui de nombreuses solutions sont explorées afin de répondre aux exigences de fonctionnement des structures MIS de basse dimensionnalité notamment pour réduire le courant de fuite à travers l'empilement de grille sans diminuer le couplage capacitif de la structure. Dans la grande majorité des cas, l'introduction de matériaux à forte permittivité dans les dispositifs a permis de réduire ces effets néfastes mais l'intégration de ces nouveaux matériaux ne s'est pas faite sans une détérioration de certaines caractéristiques clés du composant. Ceci est d'autant plus vrai pour les structures où le matériau semiconducteur n'est plus du silicium mais d'autres matériaux tels que le germanium ou les matériaux III-V. Si les procédés technologiques sont connus et relativement bien maîtrisés sur la technologie silicium, il n'en est pas vraiment le cas pour ces nouveaux matériaux et les solutions technologiques étudiées et envisagées sont alors très nombreuses tant au niveau de la composition des matériaux de grille que du substrat [Moreau].

En effet, la recrudescence des travaux de recherche sur les matériaux *high-κ* déposés sur substrat à base de matériaux semiconducteurs à forte mobilité montre non seulement que la communauté scientifique s'intéresse particulièrement à ces dispositifs mais que les solutions envisagées sont très nombreuses du fait de la quantité importante de matériaux *high-κ* plus ou moins compatibles dans la fabrication des dispositifs. Le problème majeur des capacités MIS (et plus largement des transistors MOSFET) réside alors dans la grande difficulté à obtenir un

diélectrique de grille stable et donc de créer un empilement de grille optimal [Shang] (faible EOT, faible densité d'états d'interface, faible courant de fuite).

Aujourd'hui les principaux matériaux utilisés pour passiver la surface de germanium lors de la fabrication des dispositifs sont (sans parler des techniques expérimentales en elles-mêmes)* :

- le GeO_2 en couche interfaciale associé la plupart du temps aux matériaux *high- κ* HfO_2 et Al_2O_3 (structures $\text{GeO}_x/\text{HfO}_2$ ou $\text{GeO}_x/\text{Al}_2\text{O}_3$) avec les travaux de nombreux laboratoires de recherche et notamment de l'IMEC [DeJaeger] [Delabie] [Bellenger2], de l'Université de Tokyo [Nakakita] [Morii] et de l'Université de Stanford [Kuzum],
- les oxydes de terres rares (La_2O_3 , CeO_2) associés également aux matériaux HfO_2 et Al_2O_3 avec les travaux du laboratoire NCSR DEMOKRITOS [Mavrou] ou du laboratoire d'IBM à Zurich [Andersson],
- l'oxynitride de germanium (GeO_xN_y) couplé au ZrO_2 avec le centre de recherche T. J. Watson d'IBM [Shang] ou encore une fois l'Université de Stanford [Chui].

Une autre méthode, qui offre également de bons résultats, réside dans l'accroissement d'une couche de silicium épitaxiée ultra mince (< 10 monocouches) sur la surface du germanium [Nicholas] [Mitard2] [Romanjek]. Cette couche est ensuite partiellement oxydée pour faire apparaître quelques monocouches de SiO_x avant le dépôt de la grille (dispositif Ge/Si/ $\text{SiO}_x/\text{HfO}_2$).

En ce qui concerne la fabrication des dispositifs à base de semiconducteurs III-V (essentiellement les matériaux GaAs et $\text{In}_{1-x}\text{Ga}_x\text{As}$), les principaux diélectriques de grille utilisés sont :

- l' Al_2O_3 avec les travaux de l'Université de Purdue [Xuan] [Ye2] et de l'Université de Stanford [Kim3],
- le HfO_2 avec passivation par Si dans les travaux de [Oktyabrsky],
- le $\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ (GGO) avec des travaux de l'Université taïwanaise National Tsing Hua [Kwo] et de Freescale [Passlack2].

Il est également indispensable de noter que, dans toutes ces structures innovantes, le matériau de grille est toujours en métal, ce qui justifie l'utilisation de grilles métalliques ("réglables" par leur travail de sortie Φ_M) dans nos codes de simulation. Les métaux tels que l'aluminium (Al), le tungstène (W), le nitrure de titane (TiN) et le nitrure de tantale (TaN) font partie des principaux matériaux d'électrodes utilisés pour la fabrication de dispositifs à base de germanium et de semiconducteurs III-V [Oktyabrsky].

Il est donc aujourd'hui indispensable de pouvoir prédire les performances des dispositifs à base de matériaux innovants tout en incluant le plus grand nombre de diélectriques (*high- κ* et oxydes natifs) et de substrats (Si, Ge et semiconducteurs III-V) ainsi que les phénomènes physiques et électriques liés à l'utilisation de ces matériaux.

* Une revue complète et détaillée des méthodes de passivation de surface sur Ge et semiconducteurs III-V peut être trouvée dans les références [Heyns], [Dimoulas] et [Houssa2].

2.2.3 Etude détaillée des dispositifs

Cette partie est entièrement dédiée à l'utilisation du code présenté dans le §2.2.1, dans le but d'étudier les effets quantiques dans les dispositifs MIS composés de différents empilements de grille sur plusieurs matériaux semiconducteurs à forte mobilité. Le code nous permettra également de confronter nos résultats, issus des simulations numériques, aux données expérimentales de la littérature et issues de la collaboration avec l'IMEC, Belgique. Cependant, la multitude de procédés et matériaux employés pourrait donner lieu à de très nombreuses comparaisons ; ainsi nous nous limiterons à un nombre restreint de simulations pour prouver l'efficacité et les limites du code, malgré la possibilité de considérer un grand nombre de diélectriques et de semiconducteurs.

2.2.3.1 Validation du code sur capacités SiO_2/Si

Dans un premier temps, il est indispensable de comparer nos simulations à une structure de référence issue d'un procédé technologique maîtrisé afin de valider notre code de simulation. Tout d'abord, nous représentons sur la figure 2.10 des caractéristiques C-V simulées dans les cas classique et quantique pour montrer l'influence de l'épaisseur de l'oxyde et du dopage du substrat.

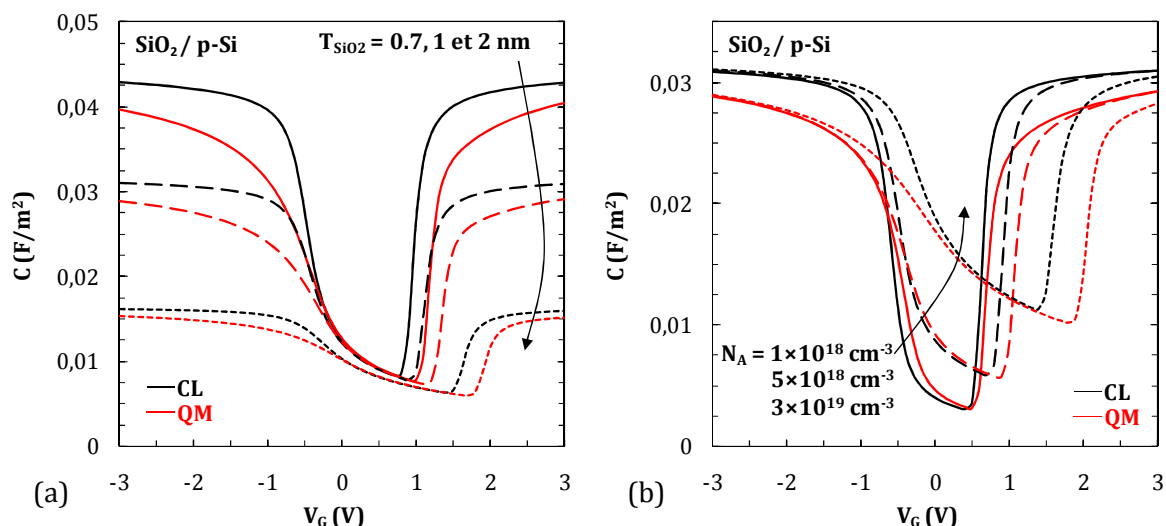


Figure 2.10 : Caractéristiques C-V simulées (classique en noir et quantique en rouge) d'une capacité $\text{SiO}_2/\text{p-Si}$ où les paramètres de simulation sont ($\Phi_M = 4.05 \text{ eV}$) : (a) $N_A = 1 \times 10^{19} \text{ cm}^{-3}$, $T_{\text{SiO}_2} = 0.7, 1 \text{ et } 2 \text{ nm}$, et (b) $T_{\text{SiO}_2} = 1 \text{ nm}$, $N_A = 1 \times 10^{18}, 5 \times 10^{18} \text{ et } 3 \times 10^{19} \text{ cm}^{-3}$.

D'après la figure 2.10.a, nous pouvons constater que la différence entre les courbes C-V classique (CL, noir) et quantique (QM, rouge) est particulièrement importante en régime d'inversion forte et d'accumulation ($|V_G| \gg 0 \text{ V}$) d'une part, et augmente quand l'épaisseur de l'oxyde est diminuée d'autre part. En effet, la valeur de la capacité est plus faible dans le cas quantique car les effets de confinement quantique réduisent la densité de porteurs libres (électrons en inversion et trous en accumulation) dans le semiconducteur (figure 2.8.b), ce qui implique une chute de la capacité. Ensuite, plus l'épaisseur de l'oxyde est diminuée et plus les effets de confinement quantique sont importants, conduisant à une forte surestimation de la capacité dans les régimes d'inversion forte et d'accumulation avec le calcul classique. Or, une

des méthodes employées pour la mesure de l'épaisseur de l'oxyde étant la valeur de la capacité en régime d'accumulation [Raynaud], il apparaît évident que la simulation classique n'est pas valide dans les dispositifs de faibles dimensions. Il est alors indispensable de prendre en compte les effets de confinement quantique pour le calcul de la capacité et l'extraction de la valeur des épaisseurs d'oxyde au risque de sous estimer l'épaisseur de la couche d'oxyde.

D'autre part, ces effets quantiques induisent un décalage en tension de la courbe C-V (figure 2.10.b) qui peut être interprété comme une augmentation (en valeur absolue) de la tension de seuil et va donc influencer l'évaluation de ce paramètre en particulier dans les transistors. Le décalage des courbes classique et quantique est d'autant plus important que le dopage du substrat augmente puisque les champs électriques de la structure sont amplifiés provoquant une forte courbure des bandes et donc une augmentation des effets de confinement quantique. Ainsi, d'après la figure 2.10.b, il est évident que la diminution de l'épaisseur de l'oxyde associée à l'augmentation du dopage du substrat, lois utilisées pour améliorer les performances des transistors à faibles longueurs de grille, provoque irrémédiablement une élévation des effets de confinement quantique.

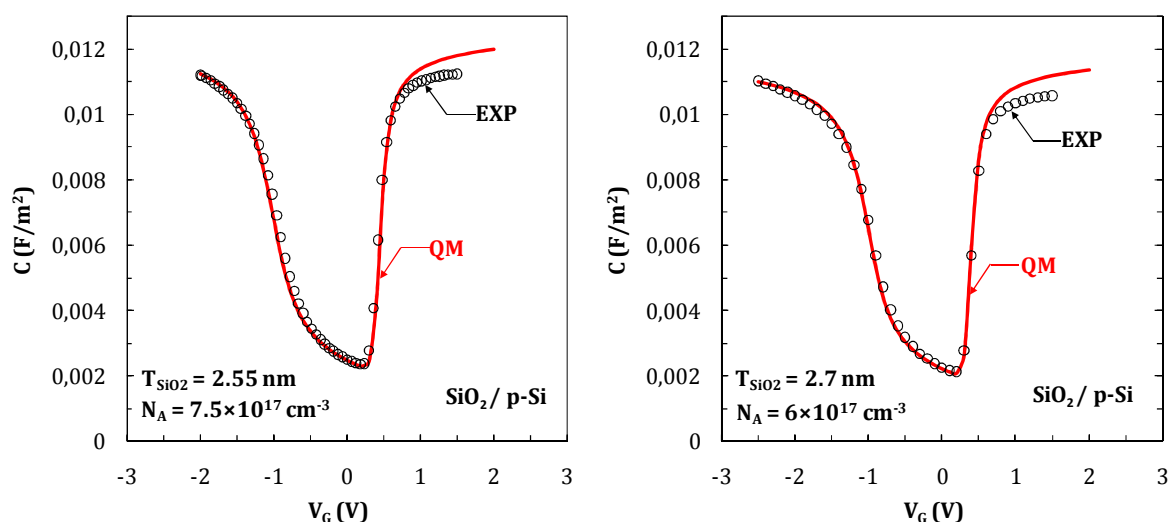


Figure 2.11 : Caractéristiques C-V expérimentales (ronds noirs) [Raynaud] et simulées (quantique en rouge) d'une capacité SiO₂/p-Si où les paramètres de simulation sont ($\Phi_M = 4.05$ eV) : (a) $T_{SiO_2} = 2.55$ nm, $N_A = 7.5 \times 10^{17}$ cm⁻³ et (b) $T_{SiO_2} = 2.7$ nm, $N_A = 6 \times 10^{17}$ cm⁻³.

Enfin, pour valider le code sur des structures classiques, nous comparons sur la figure 2.11, les caractéristiques C-V d'une capacité SiO₂/p-Si issues de l'expérimentation [Raynaud] et de nos simulations dans le cas quantique (Poisson-Schrödinger) [Moreau3]. Nous montrons un très bon accord entre les données simulées (simulation quantique, traits rouges) et expérimentales (rond noir). La simulation quantique décrit particulièrement bien les régimes d'inversion faible, de bande plate et d'accumulation et montre que notre code de simulation peut être un outil très performant pour l'extraction de l'épaisseur des oxydes de grille [Bellenger2]. Il existe par ailleurs une légère différence entre les deux courbes C-V en inversion forte car la grille du dispositif expérimental est fabriquée en poly-Si alors que nous avons simulé une grille métallique (avec un travail de sortie identique $\Phi_M = 4.05$ eV). Les grilles en poly-Si entraînent des effets de poly-déplétion (§2.1.2.2) qui réduisent la valeur de la capacité en inversion forte comme c'est le cas sur la figure 2.10. Cependant, les technologies utilisant

des matériaux innovants emploient principalement des grilles métalliques [Bellenger2], ce qui justifie amplement le choix de ne pas considérer les grilles en Poly-Si dans notre code.

2.2.3.2 Structures *high- κ /Ge*

Dans le cadre d'une collaboration avec l'IMEC, Belgique, nous avons utilisé notre code de simulation [Moreau3] [Moreau] afin d'étudier le comportement électrique des capacités MIS à base de matériaux *high- κ* sur substrat de germanium. L'IMEC développe et utilise différentes méthodes pour réaliser ses capacités sur substrat de germanium. En effet, plusieurs pistes sont étudiées afin de réduire les effets parasites rencontrés lors de la fabrication de ces dispositifs.

D'une part, la différence s'effectue sur les techniques de dépôt utilisées : (a) la technique par déposition de couche atomique [*Atomic Layer Deposition (ALD)*] [Delabie2] et (b) la technique d'épitaxie par jet moléculaire [*Molecular Beam Epitaxy (MBE)*] [Bellenger] pour faire croître l'empilement de grille composé de matériau *high- κ* (HfO_2 ou Al_2O_3).

D'autre part, la différence de fabrication se situe au niveau du matériau utilisé pour passiver la surface entre la couche d'oxyde *high- κ* (HfO_2 ou Al_2O_3) et le substrat de germanium : (a) utilisation de l'oxyde natif du germanium [Bellenger2] [Delabie] (dispositifs trois couches $\text{HfO}_2/\text{GeO}_2/\text{Ge}$ ou $\text{Al}_2\text{O}_3/\text{GeO}_2/\text{Ge}$), et (b) utilisation de l'oxyde de silicium déposé sur une fine couche (quelques rangées d'atomes) de silicium [Nicholas] [Mitard] (dispositifs quatre couches $\text{HfO}_2/\text{SiO}_2/\text{Si}/\text{Ge}$).

Chaque technique possède ses qualités et ses défauts et c'est pourquoi toutes sont encore en voie d'exploration. En effet, la technique de passivation par Si donne de très bons résultats au niveau de la mobilité des trous et du ratio I_{on}/I_{off} pour des transistors pMOS à base de Ge [Mitard]. L'utilisation de GeO_2 pour passiver la surface de germanium permet quant à elle de réduire la densité d'états d'interface et montre que la mobilité des électrons peut être élevée pour des conditions d'utilisation conventionnelle (faible EOT et fort dopage) dans les deux types de transistors (nMOS et pMOS) à base de Ge [Bellenger2].

Cependant, ces techniques ne possèdent pas la maturité des empilements de grille classiques (SiO_2/Si) et les capacités possèdent encore un nombre important de défauts. Le code de simulation a été utilisé pour extraire les paramètres électriques des matériaux et pour mettre en avant certains défauts de ces capacités.

La figure 2.12 compare les données expérimentales [Delabie] et simulées (simulation quantique) [Moreau] [Moreau3] pour deux capacités sur germanium (dopé de type p) et empilement de grille double-couches à base de GeO_2 pour des basses (LF, figure 2.12.a) et hautes fréquences (HF, fig. 2.12.b)*.

* En haute fréquence (HF), les porteurs minoritaires ne répondent pas à la variation trop rapide, en terme de fréquence, de la tension de grille et il ne peut se créer la couche de porteurs d'inversion à l'interface oxyde/semiconducteur. La capacité du semiconducteur en régime d'inversion est alors égale à la capacité de déplétion du semiconducteur dont la valeur est plus faible que celle de l'oxyde : la capacité totale tend donc vers une valeur constante égale à la capacité de déplétion du semiconducteur qui dépend du dopage (c'est donc une des méthodes utilisées pour retrouver le dopage d'un semiconducteur d'une capacité MIS).

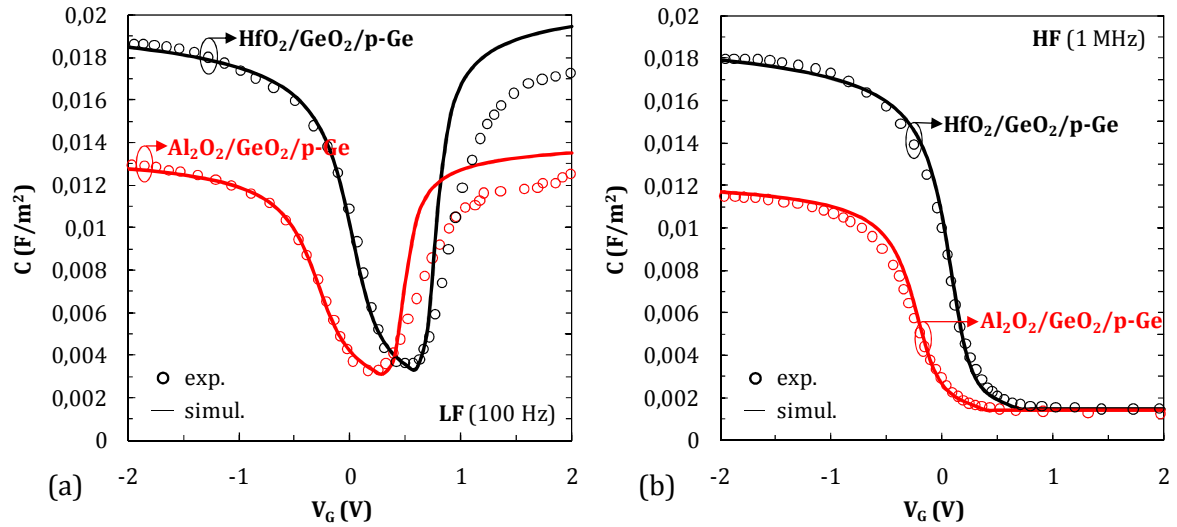


Figure 2.12 : Caractéristiques C-V expérimentales (ronds) [Delabie] et simulées [Moreau3] (Poisson-Schrödinger) de deux capacités $HfO_2/GeO_2/p-Ge$ (noir) et $Al_2O_3/GeO_2/p-Ge$ (rouge) (a) à basse fréquence (100 Hz) et (b) à haute fréquence (1MHz) (où les paramètres de simulation sont: $T_{HfO_2} = T_{Al_2O_3} = 4.0$ nm, $T_{GeO_2} = 1.4$ nm, $N_A = 1 \times 10^{17} cm^{-3}$).

Dans les deux cas (LF et BF), les données expérimentales et simulées sont en très bon accord pour les régimes d'accumulation et de déplétion. Ainsi, nous avons pu extraire, à partir de l'épaisseur de la couche de matériau *high- κ* connue ($T_{HfO_2} = T_{Al_2O_3} = 4.0$ nm), différents paramètres de la structure. Les valeurs des travaux de sortie ont tout d'abord été ajustées afin de bien reproduire les courbes expérimentales en régime de déplétion. Puis, l'épaisseur de la couche de GeO_2 a été déterminée égale à 1.4 ± 0.2 nm avec une permittivité relative de ce matériau égale à ~ 7 ($/\epsilon_0$), en accord avec la littérature [Delabie]. Enfin, le dopage du substrat est égal à $1 \times 10^{17} cm^{-3}$.

Le seul écart notable entre les courbes simulées et expérimentales est observé en régime d'inversion à basse fréquence : il est probablement dû soit à un problème de mesure liée à la difficulté expérimentale d'observer le bon comportement des porteurs à basse fréquence, soit à un important problème de fuite tunnel à travers l'empilement de grille qui n'est ici pas pris en compte dans les simulations.

Enfin, pour compléter notre étude sur les structures à base de germanium, nous comparons les résultats de nos simulations avec des données expérimentales à haute fréquence sur un substrat dopé de type n [Xie] (figure 2.13). Une nouvelle fois, la courbe simulée et les données expérimentales sont en très bon accord du régime de déplétion au régime d'accumulation de porteurs majoritaires (cette fois ce sont les électrons), d'autant plus que les épaisseurs utilisées pour la simulation sont équivalentes à celles données dans la référence [Xie] ($T_{HfO_2} = 4.5$ nm et $T_{GeO_2} = 2.0$ nm). Pour obtenir cette courbe, la permittivité relative du GeO_2 a en revanche été fixée à 8 ($/\epsilon_0$) et non à 7 (comme sur la figure 2.11) mais ces deux valeurs restent très proches sachant que la composition exacte de la couche interfaciale (GeO_x) n'est pas forcément identique entre les deux expérimentations [Delabie] [Xie].

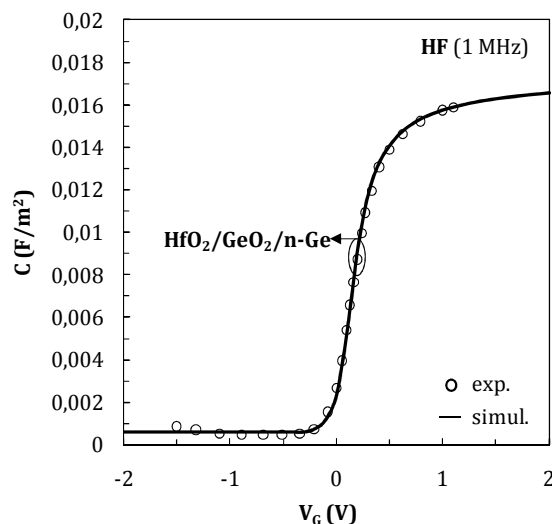


Figure 2.13 : Caractéristiques C-V expérimentales (ronds) [Xie] et simulées (Poisson-Schrödinger) d'une capacité $HfO_2/GeO_2/Ge$ à haute fréquence (1MHz) avec : $T_{HfO_2} = 4.5$ nm, $T_{GeO_2} = 2.0$ nm, $N_A = 1 \times 10^{16}$ cm^{-3} .

2.2.3.3 Structures high- κ /III-V

Le code a également été développé afin de simuler les caractéristiques C-V de capacités dont le substrat est un semiconducteur III-V, particulièrement étudié ces dernières années dû à la forte mobilité des électrons dans ces matériaux (voir §1.3.2). Les paramètres physiques et électriques des matériaux III-V sont très variables (voir annexe A.2) et offrent une large possibilité de fonctionnement comme le montre la figure 2.14.

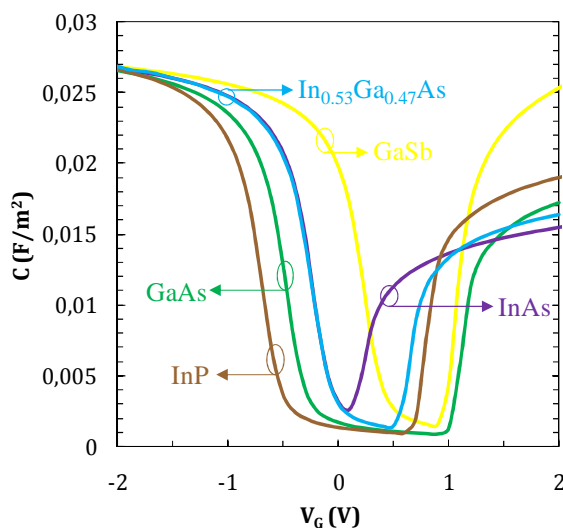


Figure 2.14 : Caractéristiques C-V simulées (Poisson-Schrödinger) pour différents semiconducteurs III-V (GaAs en vert, $In_{0.53}Ga_{0.47}As$ en bleu, InAs en violet, GaSb en jaune et InP en marron) dopés de type p ($N_A = 1 \times 10^{17}$ cm^{-3}) avec une couche d'oxyde [$T_{Al_2O_3} = 2.3$ nm (EOT ~ 1 nm)] et un travail de sortie fixe pour toutes les structures ($\Phi_M = 5.0$ eV).

D'après la figure 2.14, nous observons que la zone de déplétion dépend très fortement du bandgap du semiconducteur où plus la valeur de E_G est faible et plus l'épaisseur de la zone de déplétion est courte en termes de tension de grille. Le passage du régime d'accumulation au

régime d'inversion est donc très rapide dans les semiconducteurs III-V à très faible *bandgap*. Ensuite, la densité d'états 3D de porteurs de la bande de valence étant très proche entre chaque semiconducteur III-V, on observe à V_G très négatif une capacité presque identique pour tous les semiconducteurs. En revanche, la très faible densité d'états 3D dans la bande de conduction de ces matériaux implique une large disparité ainsi qu'une forte diminution de la valeur de la capacité dans le régime d'inversion forte. Cette faible densité d'états va jouer un grand rôle dans le fonctionnement des transistors MOSFET à base de matériaux III-V puisque qu'il sera impossible de fortement doper les zones de source/drain au risque de rendre le semiconducteur métallique dans ces régions*.

2.2.4 Bilan/discussion

Le paragraphe 2.2 décrit le code de simulation numérique développé pour le calcul de la courbe C-V dans les capacités MIS et présente différents résultats sur des structures à base de matériaux innovants dans l'empilement de grille et dans le substrat.

Ce code est adapté à la simulation des capacités MIS avec une ou deux couches d'oxydes de grille dont le choix se fait parmi les matériaux les plus utilisés de nos jours (SiO_2 , HfO_2 , Al_2O_3 , La_2O_3 , ...). Il est basé sur la résolution auto-cohérente des équations de Poisson et de Schrödinger en 1D avec un maillage non-uniforme afin de réduire le temps de simulation dans les dispositifs peu dopés. Intrinsèquement, il permet donc de prendre en compte les effets de confinement quantique par le calcul des niveaux d'énergie quantifiés dans les bandes permises du matériau semiconducteur et de déterminer la densité quantique de porteurs dans toute la structure. Cette charge est ensuite utilisée pour calculer la variation de la capacité de la structure en fonction de la tension de grille appliquée. Enfin, ce code permet l'utilisation de nombreux matériaux de substrat et notamment les matériaux à forte mobilité les plus étudiés aujourd'hui (Ge, GaAs et $\text{In}_{1-x}\text{Ga}_x\text{As}$) en prenant en compte le calcul quantique des charges dans toutes les vallées de la bande de conduction et de la bande de valence de ces matériaux.

Les résultats issus du code de simulation ont été comparés à différents résultats expérimentaux pour plusieurs types de structures (SiO_2/Si , *high- κ /Ge*) et nous avons montré qu'il peut être utilisé pour extraire les paramètres clés d'un dispositif MIS à base d'un empilement de grille à deux couches (avec la possibilité d'utiliser plusieurs matériaux). En effet, nos résultats permettent de déterminer précisément la tension de seuil et la tension de bande plate du dispositif mais également les paramètres des diélectriques de grille tels que les valeurs des constantes diélectriques et les épaisseurs des couches principale et interfaciale et donc l'EOT de tout le dispositif. De plus, nous avons mis en évidence la forte dépendance de la largeur de la zone de déplétion à la valeur du *bandgap* du matériau semiconducteur dans les capacités à base de matériaux III-V. Enfin, nous montrons que la faible densité d'états de la vallée principale de la bande de conduction des matériaux III-V (vallée Γ) provoque une très forte dégradation de la valeur de la capacité pour des tensions de grille positives (régime d'inversion pour les semiconducteurs dopés de type p et régime d'accumulation pour les semiconducteurs dopés de type n). Ce phénomène peut donc entraîner une dégradation du

* Si le niveau de dopage dans les zones de source et de drain est très élevé par rapport à la densité d'états de la bande de conduction, le niveau de Fermi sera dans la bande de conduction et le semiconducteur sera fortement dégénéré entraînant un comportement métallique.

couplage capacitif du semiconducteur à fortes tensions dans les dispositifs MOSFET à base de matériaux III-V.

La comparaison avec des données expérimentales a cependant montré les limites de ce code de simulation qui ne prend pas en compte certains phénomènes physiques tels que la densité d'états d'interface (liée à des problèmes de fabrication de ces dispositifs innovants) et certains phénomènes de transport quantique [Cohen] [transport tunnel bande à bande [Schenk] (BTBT, *band-to-band tunneling*) et transport inter-vallées [Saraswat] (passage des électrons d'une vallée à une autre)]. Ce code de simulation reste malgré tout adapté pour décrire et extraire rapidement les principaux paramètres des capacités MIS à base de matériaux innovants.

2.3 Simulation de la courbe I-V

2.3.1 Etude théorique

L'un des problèmes majeurs dans les dispositifs microélectroniques actuels réside dans la capacité des porteurs de charge à traverser la couche isolante, augmentant alors considérablement le courant à l'état *off* de la structure. Avec la réduction de l'épaisseur de l'oxyde de grille, les lois de la mécanique quantique prévoient que la probabilité de présence des porteurs devient non nulle de l'autre côté de la barrière de potentiel, formée par l'oxyde, et dont la forme dépend des propriétés électriques des matériaux qui la composent. Il est donc indispensable, dans l'étude des performances des dispositifs à base de matériaux innovants, d'étudier et de prévoir l'influence de cet effet sur le courant dans ces nouvelles structures.

Les différents mécanismes de transport de charges à travers la barrière de potentiel (pour une seule couche d'oxyde) peuvent être classés en 5 catégories (figure 2.15) selon l'énergie du porteur considéré [Fowler] [Chaneliere] :

- le transport **thermoïonique** : les porteurs de charge ont une énergie supérieure au maximum de la barrière de potentiel dans l'oxyde et sont directement injectés de la bande de conduction du semiconducteur dans le métal par conduction thermoïonique. Seuls les électrons les plus énergétiques bénéficient de ce mode de transport.
- la conduction par effet **tunnel Fowler-Nordheim** : l'énergie des porteurs est telle qu'ils doivent franchir une barrière de potentiel de forme triangulaire pour passer d'une électrode à une autre. L'énergie des porteurs est alors inférieure à celle de la conduction thermoïonique.
- la conduction par effet **tunnel direct** : Les porteurs de charge ont une énergie qui correspond au franchissement d'une barrière de potentiel de forme trapézoïdale. Ce sont uniquement les porteurs de faible énergie qui passent d'une électrode à l'autre par cet effet quantique.
- la conduction **Poole-Frenkel** : c'est un type de transport assisté par pièges. Les charges sont situées dans un défaut de l'oxyde et leur énergie est suffisante pour passer d'un piège à un autre par conduction thermoïonique locale.

- la conduction par saut ou **hopping** : c'est également un type de transport assisté par pièges. Dans ce cas, l'énergie du porteur dans le piège est inférieure à la barrière de potentiel et le porteur "saute" dans un autre piège par effet tunnel direct local.

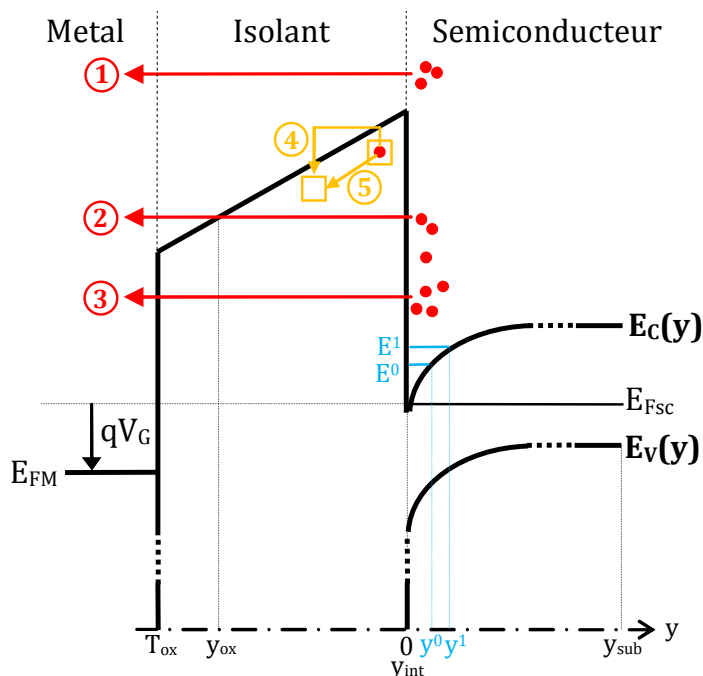


Figure 2.15 : Diagramme de bande d'énergie de la structure MIS représentant les principaux mécanismes de transport des charges à travers la barrière de potentiel : (1) la conduction thermoionique, (2) la conduction tunnel Fowler-Nordheim (FN), (3) la conduction tunnel direct (TD), (4) la conduction Poole-Frenkel et (5) la conduction par saut. Définition des paramètres nécessaires au calcul du courant de fuite à travers l'oxyde [équations (2.36) à (2.46)].

Dans les deux derniers cas, le passage des charges d'une électrode à une autre se fait par l'intermédiaire de pièges dans l'oxyde (charges fixes) et par la suite nous nous intéresserons principalement aux trois mécanismes élémentaires : le transport thermoionique, l'effet tunnel direct (TD) et l'effet tunnel Fowler-Nordheim (FN).

Par le passé, différentes études [Palestri] ont été menées pour reproduire les données expérimentales du courant de fuite à travers les empilements de grille dans les capacités MIS sur silicium (avec une [Maserjian] [Rana] [Sune] ou plusieurs couches [Yang2] [Fan] [Li] d'oxydes) et notre principal objectif dans cette partie sera de comparer différentes approches (simulation classique et quantique) dans deux types de structures (capacités MIS et MIM) afin de déterminer les qualités et les défauts de ces modèles et dresser un bilan des performances des nouvelles structures à base de matériaux innovants.

2.3.1.1 Approche classique dans les capacités MIS

Cette partie est dédiée à la présentation du modèle utilisé pour le calcul du courant de fuite dans les structures MIS. Le calcul est effectué dans une extension du code présenté dans la partie précédente. Ainsi, la base de l'algorithme est conservée (figure 2.5) et le module "courant" est ajouté au code de simulation numérique (l'utilisateur a donc le choix entre le

calcul de la courbe C-V ou le calcul de la courbe I-V). La résolution auto-cohérente des équations de Poisson et Schrödinger est conservée et permet donc de déterminer les niveaux d'énergie quantifiés et la densité de charges associée à ces niveaux dans le semiconducteur pour calculer le courant des porteurs (électrons et trous) injectés depuis le substrat vers la grille métallique.

Dans l'approximation semiclassique des états quasi-liés* [Clerc], la densité totale de courant tunnel (J en $A.m^{-2}$) d'un gaz d'électrons 2D (confinement quantique 1D selon la direction y , figure 2.8.a) est obtenue en sommant les densités de courant d'électrons associées à chaque niveau d'énergie (J_i) [Rana] [Lo]:

$$J = \sum_i J_n^i = \sum_i \frac{Q_n^i}{\tau_n^i}, \quad (2.36)$$

où l'indice i correspond au numéro du niveau d'énergie quantifié considéré, Q_n^i est la densité de charge des électrons et τ_n^i est la durée de vie des électrons sur le niveau d'énergie i . L'équation (2.36) peut également être écrite pour les trous mais nous ne développerons ici que les formules pour les électrons de la bande de conduction.

La densité de charge est évaluée de façon quantique en intégrant la densité de porteurs du niveau i sur toute la largeur du semiconducteur (y_{sub}). Pour les électrons, l'équation est :

$$Q_n^i = \int_0^{y_{sub}} n_{v,el}(y) dy, \quad (2.37)$$

où $n_{v,el}(y)$ est la concentration d'électrons selon y au niveau d'énergie i et donnée par l'équation 2.14 [équation (2.18) pour les trous].

La durée de vie τ représente, quant à elle, le temps moyen d'un porteur passé dans la couche d'inversion du semiconducteur et peut être calculée selon différentes approches classiques ou quantiques [Coignus]. Nous utiliserons dans cette partie une technique semi-classique basée sur le calcul de la transparence de la barrière de potentiel. Dans cette approximation semi-classique, τ est défini par [Register] [Govoreanu] :

$$\frac{1}{\tau_n^i} = f_n^i T_n^i, \quad (2.38)$$

où f_n est la fréquence d'impact des électrons sur l'interface oxyde-semiconducteur dépendant du niveau i (et donc de l'énergie du porteur), et T_n représente la probabilité tunnel qu'ont les porteurs de franchir la barrière de potentiel (également appelée transparence de la barrière). Il a été montré [Govoreanu] que cette approche donne des résultats très similaires à ceux obtenus par des calculs quantiques tout en permettant une forte réduction du temps de calcul.

En introduisant l'équation (2.38) dans l'équation (2.36), il vient :

$$J = \sum_i Q_n^i f_n^i T_n^i. \quad (2.39)$$

* (en anglais, quasibound state (QBS)). Cette approximation implique que les porteurs restent confinés sur des états liés stationnaires malgré la circulation d'un courant à travers la barrière de potentiel dû à l'effet tunnel quantique [Clerc].

L'équation (2.39) représente un modèle de calcul de courant dans les dispositifs MIS plus généralement appelé modèle "QfT" [Register] où Q représente la charge des porteurs sur un niveau d'énergie du puits de potentiel, f est la fréquence d'impact des porteurs sur le niveau d'énergie contre la bande de conduction et T symbolise la probabilité de transmission des porteurs à travers la barrière de potentiel formée par les oxydes.

La fréquence d'impact est donnée par [Register] :

$$f_n^i = \frac{1}{2 \int_0^{y^i} v_{sc}^i(y)^{-1} dy}, \quad (2.40)$$

où v_{sc} est la vitesse de déplacement des électrons sur le niveau d'énergie E^i quantifié dans la bande de conduction et y^i est le point tournant classique associé à ce niveau, définit sur la figure 2.15 (croisement entre le niveau d'énergie et la bande de conduction).

Dans notre étude, les porteurs sont confinés dans un puits de potentiel 1D (direction y) sur des niveaux d'énergie E^i . Les porteurs se déplacent dans les autres directions selon une relation de dispersion parabolique (car nous nous sommes placés dans l'approximation parabolique des bandes) mais le mouvement des porteurs sur les niveaux E^i est d'origine purement cinétique. Nous pouvons alors écrire :

$$E^i - E_C(y) = \frac{1}{2} m_{v,el}^{conf} v_{sc}^i(y)^2, \quad (2.41)$$

et en déduire la vitesse de groupes des électrons :

$$v_{sc}^i(y) = \sqrt{\frac{2[E^i - E_C(y)]}{m_{v,el}^{conf}}}, \quad (2.42)$$

où le terme $(E^i - E_C)$ représente la différence d'énergie entre le bas de la bande de conduction du semiconducteur en fonction de y et le niveau d'énergie E^i et $m_{v,el}^{conf}$ est la masse effective de confinement des porteurs dans la direction perpendiculaire à l'interface (y). Le profil de la bande de conduction et le calcul des niveaux d'énergie dans le semiconducteur sont obtenus par la même méthode de résolution auto-cohérente des équations de Poisson et de Schrödinger que dans la partie précédente. La valeur E^i fait donc référence au $i^{ème}$ niveau d'énergie calculé par l'équation de Schrödinger [équation (2.11.a) pour les électrons ($E_{v,el}^i$) ou équation (2.11.b) pour les trous ($E_{h,i}^i$)] avec la bonne masse effective de confinement (qui dépend du type de porteurs et de la vallée considérée, voir annexe A.2) auquel on ajoute l'*offset* d'énergie entre les vallées si celles-ci ne sont pas les plus basses en énergie. En d'autres termes, E^i est le classement final des niveaux d'énergie où E^0 est le niveau le plus faible énergétiquement.

Le dernier élément nécessaire au calcul du courant de fuite dans la structure MIS est la transparence, ou coefficient de transmission, de la barrière tunnel. Cet effet quantique traduit la probabilité pour qu'un porteur de charge franchisse la barrière de potentiel qui lui est soumise. La transparence peut être évaluée par de nombreuses approches dont les méthodes de résolution les plus utilisées sont les suivantes :

- le formalisme des fonctions de Green [Delerue] : cette méthode est décrite dans le §2.3.1.2 et utilisée sur des structures métal-isolant-métal (MIM) [Munteanu2] [Moreau4].

- le formalisme des fonctions d'Airy [Gundlach] : la méthode consiste à résoudre l'équation de Schrödinger par morceau sur des parties où le potentiel est de forme connue, en utilisant les équations d'Airy, puis de les raccorder à l'aide de matrices [Allen]. Cette technique est exacte s'il n'y a pas de charge dans les oxydes car le potentiel doit absolument varier linéairement dans les différentes parties (sinon l'équation de Schrödinger ne peut pas être approximée par des équations d'Airy)
- la méthode des matrices de transfert : la technique consiste cette fois à découper la barrière de potentiel de forme quelconque en plusieurs barrières d'énergie constante et d'épaisseur infinitésimale. Ainsi, les solutions de l'équation de Schrödinger sont connues et sont raccordées à l'aide de matrices [Clerc].
- l'approximation WKB (Wentzel-Kramers-Brillouin) [Cohen] : c'est la méthode de résolution la plus simple car elle ne prend pas en compte (contrairement aux méthodes citées précédemment) la possibilité de réflexion de l'onde incidente (qui représente le porteur de charge) et considère simplement que celle-ci est atténuée en traversant la barrière de potentiel. Ainsi, l'approximation WKB est d'autant plus erronée quand la barrière de potentiel subit des discontinuités comme c'est le cas dans les structures MIS.

Cependant, l'approximation WKB est très largement utilisée pour sa simplicité à mettre en œuvre et il a été montré qu'il était toutefois possible de l'utiliser sans trop d'influence sur le courant de fuite à travers une barrière de potentiel composée d'une seule couche d'oxyde dont l'épaisseur est supérieure à 3 nm [Shih]. Ainsi, dans le cadre de cette thèse, nous avons décidé d'intégrer dans le code de simulation, le calcul du coefficient de transmission de la barrière par l'approximation WKB. Dans l'approximation WKB, le coefficient de transmission est donné par le rapport entre l'onde transmise et l'onde incidente, l'expression finale est alors [Cohen] :

$$T_{\text{WKB}}^i = \exp \left[-2 \int_0^{y_{\text{ox}}} \kappa_{\text{ox}}^i(y) dy \right], \quad (2.43)$$

où y_{ox} est le point tournant classique dans l'oxyde*, et κ_{ox}^i est la partie imaginaire du vecteur d'onde des porteurs à l'énergie E^i dans le *bandgap* de l'oxyde donnée par :

$$\kappa_{\text{ox}}^i(y)^2 = \frac{2m_{\text{ox}}^*(y)[E_C(y) - E^i]}{\hbar^2}, \quad (2.44)$$

où m_{ox}^* est la masse effective de confinement des porteurs dépendante de la direction y (la valeur utilisée pour chaque matériau est donnée en annexe A.3).

L'expression (2.43) est uniquement valide lorsque l'énergie du porteur E_i est inférieure au maximum de la bande de conduction. Dans le cas où l'énergie du porteur est supérieure, on parle de transmission thermoionique et la valeur de la transparence dans l'approximation WKB est égale à 1.

Par la suite et comme nous considérons plusieurs épaisseurs d'oxydes avec différents matériaux, nous allons étendre le modèle en utilisant l'approximation WKB modifiée [Register] [Li]. En effet, une étude de Register et al. a montré que l'utilisation d'un terme correctif $T_R(E)$ lié

* y_{ox} varie au maximum de 0 [$y = 0$ correspond à l'interface oxyde/semiconducteur (y_{int}), figure 2.15] à T_{ox} (largeur totale de l'oxyde) selon l'énergie du porteur (niveau d'énergie considéré) et de la tension de grille.

aux réflexions des porteurs sur la barrière de potentiel aux points tournants (non pris en compte dans l'expression de base) permet de mieux reproduire le courant à faible tension de grille. La démonstration du calcul étant faite dans la référence [Li], nous nous contenterons donc de donner les expressions implémentées dans le code de simulation. L'expression finale de la transparence (à remplacer dans l'équation 2.38) s'écrit alors :

$$T_n^i = T_{WKB}^i \times T_{sc}^i \times T_G^i, \quad (2.45)$$

où T_{sc} et T_G sont les termes correctifs de réflexion du côté du semiconducteur et du côté de la grille respectivement. Ces expressions sont égales à [Li] :

$$T_{sc}^i = \frac{4v(y_{int})v(y_{int}^i)}{v(y_{int})^2 + v(y_{int}^i)^2}, \quad (2.46.a)$$

$$T_G^i = \frac{4v(y_{ox})v(y_{ox}^i)}{v(y_{ox})^2 + v(y_{ox}^i)^2}, \quad (2.46.b)$$

où $v(y_{int})$ et $v(y_{ox})$ sont les vitesses de groupe des porteurs sur le niveau d'énergie E^i évaluées juste à l'extérieur des points tournants y_{int} et y_{ox} respectivement, et $v(y_{int}^i)$ et $v(y_{ox}^i)$ sont les valeurs imaginaires des vitesses de groupe des porteurs évaluées juste à l'intérieur des points tournants y_{int} et y_{ox} , respectivement.

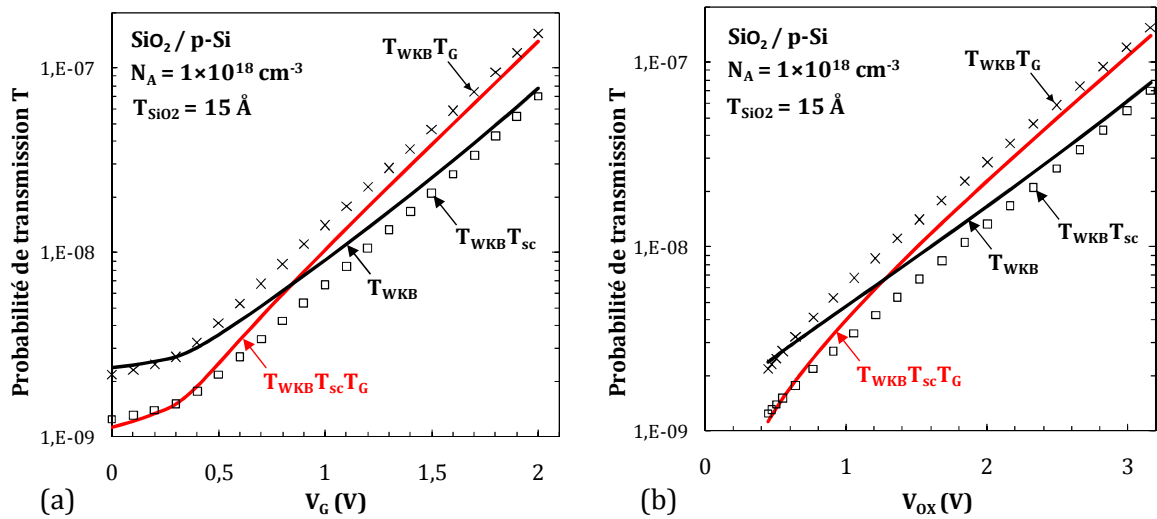


Figure 2.16 : Probabilité de transmission T des électrons du premier niveau d'énergie (E^0) dans une structure $M/SiO_2/p-Si$ avec $\Phi_M = 4.05$ eV, $T_{SiO_2} = 15$ Å, $N_A = 1 \times 10^{18}$ cm $^{-3}$ calculée selon différentes approximations : WKB [$T = T_{WKB}$ (trait noir)] ; WKB avec prise en compte du terme de correction côté grille [$T = T_{WKB} \times T_G$ (croix)] ; WKB avec prise en compte du terme de correction côté semiconducteur [$T = T_{WKB} \times T_{sc}$ (carrés)] ; WKB avec prise en compte des deux termes de correction [$T = T_{WKB} \times T_G \times T_{sc}$ (trait rouge)].

La figure 2.16 présente une comparaison simple entre les deux méthodes de calcul de la transparence (avec ou sans prise en compte des réflexions des porteurs) dans une capacité MOS avec une seule couche d'oxyde. Les résultats prouvent l'importance de prendre en compte les termes correctifs dans le calcul de la probabilité de transmission des porteurs quel que soit le champ électrique. En effet, quand l'énergie des électrons est faible (électrons du premier niveau quantifié), ceux-ci doivent franchir la barrière par effet tunnel direct et rencontrent

donc deux fortes discontinuités de potentiel (côté substrat et côté grille) que le modèle WKB simple ne peut traduire en terme de probabilité de présence.

2.3.1.2 Calcul quantique (NEGF) dans les capacités MIM

Afin d'étudier plus en détails l'influence des effets quantiques sur le transport des électrons à travers un empilement de grille multi-couches, nous nous proposons, dans cette partie, d'appliquer le formalisme des fonctions de Green hors-équilibre (*Non Equilibrium Green's function*, NEGF) [Delerue] pour calculer la transparence ainsi que le courant de fuite dans des capacités Métal-Isolant-Métal (MIM) à base de matériaux innovants [Munteanu2] [Moreau4].

Le formalisme des fonctions de Green hors-équilibre [Delerue] est une approche de la mécanique quantique rigoureuse qui fournit des solutions exactes à l'équation de Schrödinger avec des conditions aux limites ouvertes [Datta] [Autran3]. Cette approche permet alors de prendre en compte tous les phénomènes quantiques de réflexion et d'atténuation des fonctions d'onde des porteurs contre une barrière de potentiel.

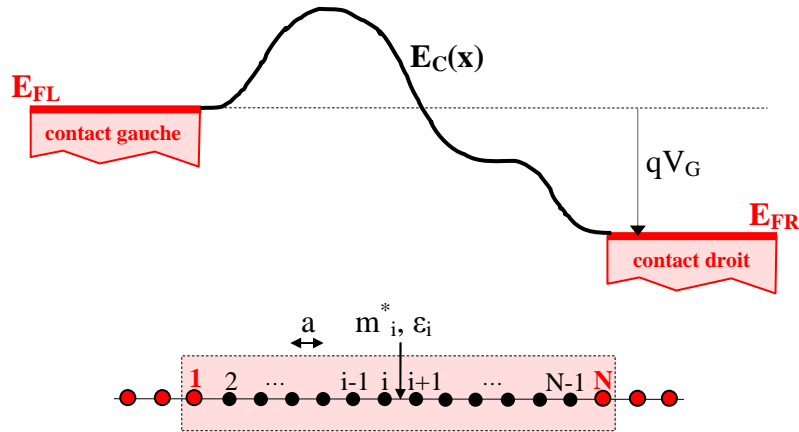


Figure 2.17 : Représentation schématique de la bande de conduction d'une capacité MIM avec deux couches d'oxydes à $V_G > 0$ V. Les principaux paramètres des matériaux ainsi que le maillage 1D de la structure sont également représentés.

Ce formalisme est ici adapté à l'étude 1D des capacités MIM. La figure 2.17 représente le diagramme de bande schématique de la structure où l'empilement de grille (avec une ou plusieurs couches de diélectriques) est connecté aux deux contacts métalliques à gauche et à droite. Les contacts métalliques (réservoirs infinis de porteurs) sont définis par leur niveau de Fermi (E_{FL} et E_{FR} pour le contact de gauche et de droite respectivement) dont la différence constitue la tension de grille ($qV_G = E_{FL} - E_{FR}$). Quelle que soit la forme de la barrière tunnel ($E_C(x)$, partie active), le transport cohérent des électrons à travers la barrière de potentiel est traité en résolvant l'équation de Schrödinger 1D indépendante du temps dans l'approximation de la masse effective :

$$-\frac{\hbar^2}{2} \frac{d}{dx} \left[\frac{1}{m^*(x)} \frac{d}{dx} \right] \Psi(x) + E_C(x) \Psi(x) = E \Psi(x), \quad (2.47)$$

où m^* est la masse effective de confinement des électrons dépendante de la position x , Ψ est la fonction d'onde des électrons, E est l'énergie potentiel des électrons, et E_c est le profil de la bande de conduction comme le montre la figure 2.17.

La discrétisation de l'équation (2.47) est obtenue en utilisant la méthode des différences finies à trois points appliquée à un maillage uniforme 1D (paramètre de maille : a , voir figure 2.17). Sous ces conditions, l'équation différentielle (2.47) se réécrit [annexe A.1 et équation (2.20)] :

$$-t_{i-1}\Psi_{i-1} + (t_{i-1} + t_i + E_{C_i})\Psi_i - t_i\Psi_{i+1} = E\Psi_i, \quad (2.48)$$

où $\Psi_i = \Psi(x_i)$, c'est-à-dire que l'index i correspond à une position sur un point de maillage de l'axe x , et $t_i = \hbar^2/(2m_i^*a^2)$ représente le couplage entre les deux points i et $i+1$. Cette équation s'écrit également sous forme matricielle :

$$H\Psi = E\Psi, \quad (2.49)$$

où H représente une matrice tridiagonale carrée de taille $N \times N$ donnée par :

$$H = \begin{bmatrix} \bullet & \times & 0 & \dots & 0 \\ \circ & \bullet & \times & \ddots & \vdots \\ 0 & \circ & \bullet & \times & 0 \\ \vdots & \ddots & \circ & \bullet & \times \\ 0 & \dots & 0 & \circ & \bullet \end{bmatrix}, \quad (2.50)$$

où les termes diagonaux et tridiagonaux sont égaux à [équation (2.48)] :

$$- \circ = -t_{i-1}, \quad (2.51.a)$$

$$- \bullet = t_{i-1} + t_i + E_{C_i}, \quad (2.51.b)$$

$$- \times = -t_i. \quad (2.51.c)$$

L'équation (2.48) est valide entre les points $i = 2$ et $N-1$ (où N est le nombre total de points de maillage) et doit être réécrite aux deux extrémités de la barrière, en $i = 1$ et N , afin de pouvoir la résoudre (conditions aux limites du système). L'une des conditions applicables consiste à annuler la fonction d'onde aux limites ($\Psi_0 = \Psi_{N+1} = 0$). La première et la dernière ligne de la matrice H sont alors définies*, le système est dit fermé, l'électron est "encagé" dans le domaine 1D et aucun courant ne peut circuler entre les deux électrodes. Dans ce cas de figure, la résolution numérique de l'équation de Schrödinger conduit à résoudre un problème "classique" d'équation aux valeurs propres (voir §2.2.1.2).

Dans notre étude, l'électron injecté depuis le contact de gauche doit pouvoir circuler vers le contact de droite (système ouvert) et les conditions aux limites doivent être modifiées. Détaillons les calculs pour la condition aux limites au niveau du contact de gauche (première ligne de la matrice H). Si les électrons incidents de l'électrode gauche sont définis par une onde plane, la fonction d'onde dans le contact de gauche est alors définie par la somme d'une onde incidente et d'une onde réfléchie :

$$\Psi(x) = e^{ik_L x} + r e^{-ik_L x}, \quad (2.52)$$

* Avec $\Psi_0 = \Psi_{N+1} = 0$ (système fermé), la première et la dernière ligne de la matrice H sont égales à $(t_0 + t_1 + E_{C_1})\Psi_1 - t_1\Psi_2 = E\Psi_1$ et $-t_{N-1}\Psi_{N-1} + (t_{N-1} + t_N + E_{C_N})\Psi_N = E\Psi_N$.

où k_L est le vecteur d'onde des électrons du contact gauche et r le coefficient de réflexion (qui traduit la réflexion de l'onde). Pour $i = 1$ ($x = 0$) et $i = 0$ ($x = -a$), l'équation (2.52) est égale à

$$\Psi(x=0) = \Psi_1 = 1 + r, \quad (2.53.a)$$

$$\Psi(x=-a) = \Psi_0 = e^{-ik_L a} + r e^{ik_L a}. \quad (2.53.b)$$

En intégrant (2.53.a) dans (2.53.b), Ψ_0 devient égale à :

$$\Psi_0 = e^{-ik_L a} - e^{ik_L a} + \Psi_1 e^{ik_L a}. \quad (2.54)$$

Et l'équation (2.48) se met sous la forme :

$$\begin{aligned} -t_0 \Psi_0 + (t_0 + t_1 + E_{C_1}) \Psi_1 - t_1 \Psi_2 &= E \Psi_1, \\ (-t_0 e^{ik_L a} + t_0 + t_1 + E_{C_1}) \Psi_1 - t_1 \Psi_2 &= E \Psi_1 + t_0 (e^{ik_L a} - e^{-ik_L a}). \end{aligned} \quad (2.55)$$

Ainsi, le terme en Ψ_0 disparaît comme dans le cas du système fermé (voir note de bas de page de la page précédente) et il suffit de rajouter au terme diagonal de la première ligne, l'expression $-t_0/\exp(ik_L a)$ pour prendre en compte la condition aux limites au contact gauche. Le même raisonnement peut être appliqué sur la condition aux limites du contact droit (dernière ligne de la matrice H) et dans ce cas le terme $-t_N/\exp(ik_R a)$ doit être ajouté à l'élément diagonal de la dernière ligne. Ces deux termes constituent les éléments de deux matrices Σ_L et Σ_R (de taille $N \times N$) appelées *self-energies* des contacts gauche et droit du dispositif [Delerue] [Datta]. Elles permettent de résoudre exactement l'équation de Schrödinger pour un système ouvert où deux couplages quantiques relient deux réservoirs de porteurs métalliques à une partie active (définie par une énergie potentielle). Pour notre système, les *self-energies* s'écrivent donc :

$$\Sigma_L = \begin{bmatrix} -t_0 \exp(ik_L a) & 0 & \cdots & 0 \\ 0 & 0 & & \vdots \\ \vdots & & \ddots & \\ 0 & \cdots & & 0 \end{bmatrix}, \quad (2.56.a)$$

$$\Sigma_R = \begin{bmatrix} 0 & \cdots & 0 \\ \vdots & & \vdots \\ \vdots & 0 & 0 \\ 0 & \cdots & 0 & -t_N \exp(ik_R a) \end{bmatrix}, \quad (2.56.b)$$

où k_L et k_R sont les vecteurs d'onde des électrons (définis par des ondes planes) des contacts de gauche et de droite respectivement.

L'équation (2.49) peut alors se mettre sous la forme :

$$(EI - H - \Sigma_L - \Sigma_R) \Psi = S, \quad (2.57)$$

où I est la matrice identité de taille $N \times N$ et $S = iy$. En pratique une valeur de γ très faible est considérée [Delerue] [Autran3] (ici, $\gamma = 10^{-12}$).

La solution formelle de l'équation de Schrödinger (2.47) est finalement donnée par :

$$\Psi = G(E)S, \quad (2.58)$$

avec

$$G(E) = (EI - H - \Sigma_L - \Sigma_R)^{-1}, \quad (2.59)$$

où $G(E)$ est une matrice de taille $N \times N$ et est appelée fonction de Green retardée du système.

Cette approche très réaliste permet donc de simuler des systèmes très complexes (transistor MOSFET double-grille [Autran3], à base de nanofil [Luisier] [Martinez], ...) où de nombreux phénomènes physiques peuvent être pris en compte grâce à la définition des *self-energies* (rugosité de surface [Poli], phonons [Jin], ...) et de l'hamiltonien du système (approximation de la masse effective [Wang], liaison forte [Luisier2], ...). Cependant, cette approche nécessite une puissance de calcul importante et le temps de simulation est très élevé dû à l'inversion de la matrice de la fonction de Green, ce qui peut déjà être rédibitoire pour simuler des dispositifs de l'ordre de seulement quelques dizaines de nanomètres.

Malgré tout, le principal avantage du formalisme NEGF est de passer d'une résolution d'équation aux valeurs propres (système fermé) à la résolution d'un système continu en énergie. En effet, si l'énergie incidente E des porteurs est connue, la fonction de Green peut être déterminée et de nombreuses quantités physiques internes aux systèmes sont simplement calculées par les théorèmes de la mécanique quantique. Ainsi, le coefficient de transmission (transparence) des électrons à travers la barrière tunnel est défini par [Datta] :

$$T_{\text{NEGF}}(E) = \text{Tr}(G^+ \Gamma_R G \Gamma_L), \quad (2.60)$$

où Γ_L et Γ_R traduisent le taux auquel un électron initialement placé dans un état peut s'échapper dans le réservoir de gauche ou de droite, respectivement. Ces termes sont égaux à :

$$\Gamma_L = i(\Sigma_L - \Sigma_L^+), \quad (2.61.a)$$

$$\Gamma_R = i(\Sigma_R - \Sigma_R^+). \quad (2.61.b)$$

Par la suite, nous nous intéresserons également aux densités locales d'états (*local density-of-states*, LDOS) des électrons du contact gauche et du contact droit évaluées grâce à :

$$\text{LDOS}_L = \frac{A_L}{2\pi}, \quad (2.62.a)$$

$$\text{LDOS}_R = \frac{A_R}{2\pi}, \quad (2.62.b)$$

dont la somme des deux composantes permet de déterminer la densité d'état totale dans tout le système ($\text{LDOS} = \text{LDOS}_L + \text{LDOS}_R$) et où A_L et A_R sont les fonctions spectrales liées aux contacts de gauche et de droite respectivement :

$$A_L = \frac{G \Gamma_L G^+}{2\pi}, \quad (2.63.a)$$

$$A_R = \frac{G \Gamma_R G^+}{2\pi}. \quad (2.63.b)$$

Tous les éléments des équations (2.60) à (2.63) sont évidemment dépendants de l'énergie des porteurs E et du profil de la barrière de potentiel E_c qui sont volontairement omis dans ces équations pour en simplifier leur écriture.

Enfin, une fois que la probabilité de transmission des électrons a été calculée, il est nécessaire de calculer le courant de fuite à travers l'empilement de grille pour caractériser et comparer les performances des différents types d'empilements dans les capacités MIM. En premier lieu, il convient d'assumer que le transport des électrons dans les contacts peut être décrit par un gaz 3D car les électrons se déplacent, au niveau des réservoirs, dans un continuum d'énergie de part la nature purement métallique des contacts du dispositif*. D'autre part, le courant total qui traverse la structure est donné par la somme des courants issus des contacts de gauche et de droite et la présence des électrons au niveau d'énergie est traduite par la fonction de Fermi dans chaque contact (f_L et f_R). Ainsi, la formule de la densité de courant est donnée par [Clerc2] [Depas]:

$$J_G = \frac{4\pi m_0 q}{h^3} \int_{E_{FL}}^{+\infty} T(E) \int_{E_{FL}}^{+\infty} [f_L(E_x) - f_R(E_x)] dE_x dE. \quad (2.64)$$

Or, la fonction de Fermi dans le contact de gauche (même raisonnement pour le contact de droite) s'écrit également :

$$\int_{E_{FL}}^{+\infty} f_L(E_x) dE_x = kT \ln \left[1 + \exp\left(\frac{E_{FL} - E}{kT}\right) \right]. \quad (2.65)$$

Donc, la formule finale du courant utilisée est égale à [Autran4] [Moreau4] :

$$J_G = \frac{4\pi m_0 q k T}{h^3} \int_{E_{FL}}^{+\infty} \ln \left[\frac{1 + \exp\left(\frac{E_{FL} - E}{kT}\right)}{1 + \exp\left(\frac{E_{FR} - E}{kT}\right)} \right] T(E) dE, \quad (2.66)$$

où le terme $T(E)$ représente la transparence de la barrière calculé dans le code par l'approche NEGF ou l'approche classique WKB [équation (2.43)]. La densité de courant J_G dépend indirectement de l'énergie des porteurs E mais directement de la tension de grille V_G au travers de l'expression du niveau de Fermi dans le contact droit E_{FR} ($qV_G = E_{FL} - E_{FR}$).

Dans cette étude, la définition de la barrière de potentiel électrostatique n'est pas couplée de façon auto-cohérente avec le formalisme NEGF car nous ne prenons pas en compte le piégeage des charges dans les oxydes. Ainsi, le profil de la barrière de potentiel (figure 2.18) peut être calculé analytiquement en calculant les chutes de potentiel dans les oxydes ($V_{ox} = V_{oxL} + V_{oxR}$)† et en ajoutant les *offsets* de bande de conduction des matériaux ($\Delta E_{C,ox}$, donnés en annexe A.3).

* A opposer au calcul du courant dans les capacités MIS (§2.3.1.1) où les électrons sont confinés dans la direction y (calcul du courant pour un gaz 2D).

† Par la résolution de l'équation de Poisson (2.1) 1D en négligeant les charges dans les oxydes : $\rho(x)=0$.

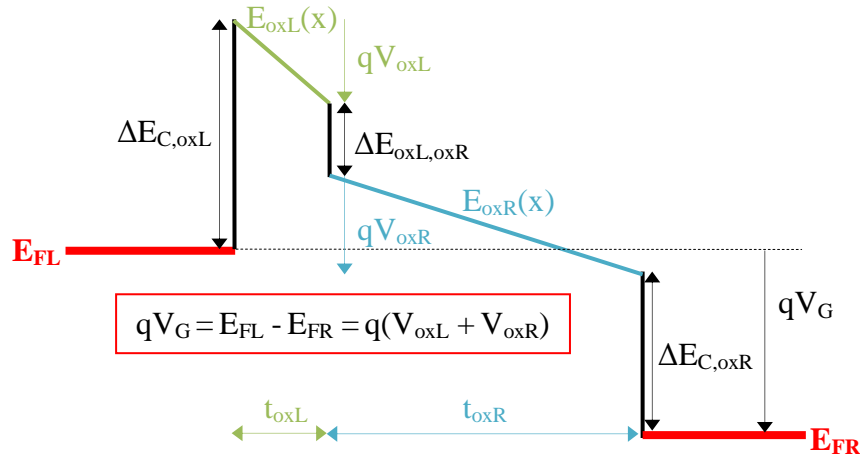


Figure 2.18 : Diagramme de bande de la bande de conduction d'une capacité MIM avec deux couches d'oxydes à $V_G > 0$ V où sont définis les différents paramètres électriques et physiques de la structure.

Dans le cas de la figure 2.18 avec un empilement de grille composé de deux matériaux, la bande de conduction du dispositif sera décrite en deux parties :

- la bande de conduction dans l'oxyde du côté du contact gauche $E_{oxL}(x)$ qui est définie par :

$$E_{oxL}(x) = E_{FL} + \Delta E_{C,oxL} - q \frac{V_{oxL}}{t_{oxL}} x, \quad (2.67)$$

avec :

$$V_{oxL} = \frac{V_G}{t_{oxL} + \frac{\epsilon_{oxL}}{\epsilon_{oxR}} t_{oxR}}, \quad (2.68)$$

- et la bande de conduction dans l'oxyde du côté du contact droit $E_{oxR}(x)$ décrite par :

$$E_{oxR}(x) = E_{FL} + \Delta E_{C,oxL} - qV_{oxL} - \Delta E_{oxL,oxR} - q \frac{V_{oxR}}{t_{oxR}} (x - t_{oxL}), \quad (2.69)$$

avec :

$$V_{oxR} = \frac{V_G}{\frac{\epsilon_{oxR}}{\epsilon_{oxL}} t_{oxL} + t_{oxR}}, \quad (2.70)$$

où ϵ_{oxL} et ϵ_{oxR} sont les constantes diélectriques des matériaux d'oxydes (annexe A.3) côté gauche et côté droit, et t_{oxL} et t_{oxR} sont les épaisseurs des oxydes côté gauche et côté droit (figure 2.18), respectivement.

2.3.2 Etude des capacités MIS

Cette partie s'attache à décrire les résultats de simulation obtenus sur des structures MIS avec différentes compositions de l'empilement de grille et différents matériaux de substrat. Le code de simulation, tel qu'il a été développé, nous permettrait de comparer un grand nombre de semiconducteurs et/ou matériaux d'oxydes mais nous avons simplement préféré reprendre les dispositifs étudiés dans le §2.2.3 pour compléter cette étude sur les structures MIS.

Ainsi, la figure 2.19 compare le courant de fuite de capacités MIS à base de Ge dopé de type p ($N_A = 10^{17} \text{ cm}^{-3}$) avec deux empilements de grille ($\text{Al}_2\text{O}_3\text{-GeO}_2$ et $\text{HfO}_2\text{-GeO}_2$ où $T_{\text{GeO}_2} = 1.4 \text{ nm}$ et $T_{\text{HfO}_2} = T_{\text{Al}_2\text{O}_3} = 4 \text{ nm}$)*.

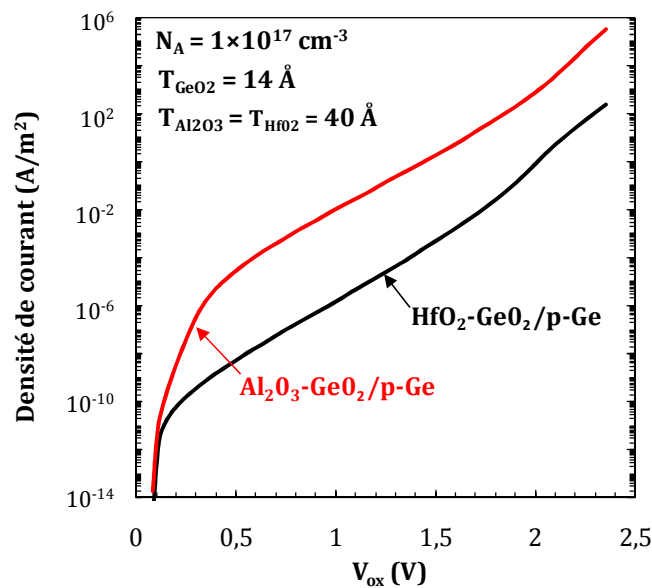


Figure 2.19 : Densité de courant de fuite à travers la grille (injection substrat) de deux capacités MIS $\text{Al}_2\text{O}_3/\text{GeO}_2/\text{p-Ge}$ (rouge) et $\text{HfO}_2/\text{GeO}_2/\text{p-Ge}$ (noir) avec $T_{\text{HfO}_2} = T_{\text{Al}_2\text{O}_3} = 4.0 \text{ nm}$, $T_{\text{GeO}_2} = 1.4 \text{ nm}$ et $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Nous observons des valeurs de courant de fuite très faibles à des tensions d'oxyde basses car l'empilement de grille possède une épaisseur physique de la couche *high- κ* importante, ce qui réduit très fortement le courant tunnel et explique la similitude des valeurs entre les deux dispositifs à très faible V_{ox} . Ensuite, le courant de fuite dans la structure à base d' Al_2O_3 devient supérieur à celui à base d' HfO_2 car l'*offset* de bande entre l' Al_2O_3 et le GeO_2 (0.65 eV) est plus important que celui entre l' HfO_2 et le GeO_2 (0.5 eV) [Afanasev2]. D'autre part, à la même tension d'oxyde, la chute de potentiel dans la couche d' Al_2O_3 est plus élevée que celle dans l' HfO_2 car la valeur de la permittivité de l' Al_2O_3 est inférieure à celle de l' HfO_2 †. La structure à base d' Al_2O_3 est donc soumise à un plus fort courant tunnel de type FN que le dispositif à base d' HfO_2 , ce qui implique une plus forte densité de courant de fuite à travers la grille.

* Les structures sont identiques à celle de la figure 2.12.

† En première approximation, nous pouvons le constater en utilisant le calcul des chutes dans les oxydes dans la capacité MIM avec les équations (2.68) et (2.70).

Cette figure met en avant l'importance des paramètres des matériaux utilisés dans l'empilement de grille et particulièrement l'influence des *offsets* de bande entre les matériaux d'oxydes, donnée difficile à extraire d'un point de vue expérimental, sur le courant de fuite.

Ensuite, la figure 2.20 confronte le courant de fuite dans plusieurs dispositifs MIS où seul le matériau de substrat change. Les valeurs du dopage (type p, $N_A = 10^{17} \text{ cm}^{-3}$), de l'épaisseur de la couche d'oxyde ($T_{\text{Al}_2\text{O}_3} = 2.3 \text{ nm}$ et $EOT = 1 \text{ nm}$) et du travail de sortie (dépend du semiconducteur) sont fixées pour toutes les structures.

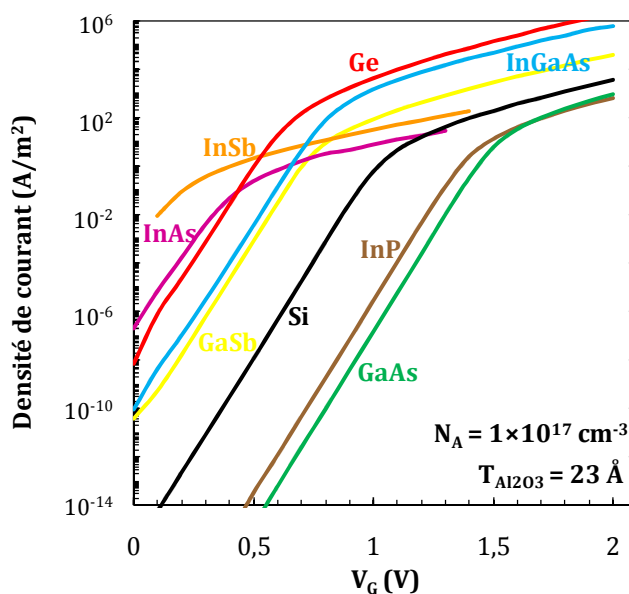


Figure 2.20 : Densité de courant de fuite à travers la grille (injection substrat) des capacités MIS $\text{Al}_2\text{O}_3/p\text{-SC}$ [où SC = Si (noir), Ge (rouge), GaAs (vert), $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (bleu), GaSb (jaune), InAs (violet), InP (marron), InSb (orange)] avec $T_{\text{Al}_2\text{O}_3} = 2.3 \text{ nm}$ ($EOT = 1 \text{ nm}$), et $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Nous montrons sur la figure que le matériau de substrat est également un élément crucial pour réduire le courant de fuite à travers la grille. En effet, nous observons que les matériaux semiconducteurs à très faibles *bandgap* (InAs et InSb) donnent des courants de fuite très élevés à faible tension par rapport aux matériaux à fort *bandgap* (GaAs et InP). Ceci est d'autant plus vrai que le mécanisme de transport quantique *Band-To-Band Tunneling* (BTBT) [Schenk], qui prend en compte la probabilité de passage des porteurs de la bande de valence à la bande de conduction et qui peut être particulièrement élevé dans les semiconducteurs à faible *bandgap*, n'est pas considéré dans nos simulations. Pour les semiconducteurs les plus étudiés actuellement (Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$), il semble que seul le GaAs permet de réduire fortement le courant de fuite dans les structures MIS par rapport au Si. La faible valeur du *bandgap* de l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ et du Ge détériore les performances de ces matériaux en termes de courant de fuite à travers l'oxyde. Cependant, comme nous l'avons expliqué auparavant, il est aujourd'hui très difficile de réaliser expérimentalement des interfaces propres et sans défaut entre le substrat et l'oxyde. Souvent une couche interfaciale apparaît entre le matériau d'oxyde principal et le substrat, ce qui permet de réduire le courant tunnel sous certaines conditions.

Ainsi, afin d'étudier plus en détails l'influence des paramètres des matériaux d'oxydes (*high- κ*) et de la structure (une ou deux couches d'oxydes), nous allons à présent étudier des dispositifs MIM à l'aide de deux méthodes de simulation (WKB et NEGF, voir §2.3.1.2).

2.3.3 Etude des capacités MIM

2.3.3.1 Comparaison des transparences WKB et NEGF : influence sur le courant de fuite de grille

Cette partie est consacrée à l'étude du courant de fuite dans les capacités MIM et plus particulièrement à l'influence de la composition de la partie isolante du dispositif et du type de calcul utilisé [Moreau4]. Les diagrammes de bandes schématiques des dispositifs étudiés et les différentes méthodes de calcul du courant (et plus particulièrement le calcul de la transparence par les approches WKB et NEGF) sont présentés dans le §2.3.1.2.

En premier lieu, nous comparons sur la figure 2.21 les deux méthodes de calcul (WKB et NEGF) du coefficient de transmission tunnel des électrons en fonction de l'énergie pour deux types d'empilement de grille : une barrière de potentiel de référence composée d'une seule couche de SiO_2 ($T_{\text{SiO}_2} = \text{EOT} = 1.2 \text{ nm}$) et un empilement avec deux couches (pour un $\text{EOT} = 1.2 \text{ nm}$) composé d'une couche interfaciale en SiO_2 ($T_{\text{SiO}_2} = 6 \text{ \AA}$) et d'une couche principale en HfO_2 ($T_{\text{HfO}_2} = 30.8 \text{ \AA}$).

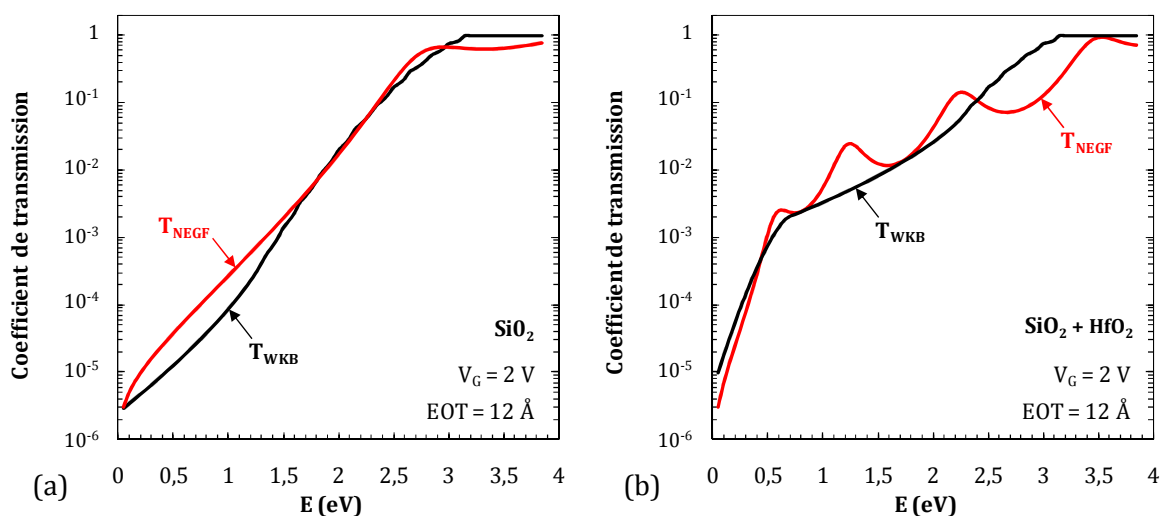


Figure 2.21 : Coefficient de transmission calculé selon l'approche WKB (noir) ou NEGF (rouge) en fonction de l'énergie des électrons à $V_G = 2 \text{ V}$ dans des capacités MIM ($\text{EOT} = 1.2 \text{ nm}$) avec (a) une couche de SiO_2 et (b) une couche de SiO_2 ($T_{\text{SiO}_2} = 6 \text{ \AA}$) + une couche d' HfO_2 ($T_{\text{HfO}_2} = 30.8 \text{ \AA}$).

Nous observons sur la structure à une couche que les calculs classique (WKB) et quantique (NEGF) conduisent à des résultats assez différents entre les deux courbes de transparence. En effet, les fortes discontinuités de potentiel introduites par les *offsets* de bande de conduction entre le métal et l'isolant ($\Delta E_{\text{C,oxL}}$ et $\Delta E_{\text{C,oxR}}$) provoquent la réflexion des fonctions d'onde des électrons contre ces discontinuités, phénomène non pris en compte dans le calcul WKB. La différence entre les deux calculs s'observe quand l'énergie des électrons est inférieure à 1.6 eV (voir le diagramme de bande de cette structure sur la figure 2.22.a), ce qui correspond

à la transition entre les mécanismes de transport FN et TD. En effet, le formalisme NEGF calcule exactement la probabilité de transmission des électrons quand ceux-ci sont soumis à l'effet TD alors que le calcul WKB ne permet pas de prendre en compte rigoureusement les réflexions des porteurs contre deux discontinuités de potentiel. Ensuite, quand l'énergie des porteurs est proche du haut de la barrière de potentiel, la différence entre les calculs apparaît de nouveau plus importante car là où le calcul WKB impose une transmission intégrale des porteurs au dessus de la barrière ($T_{\text{WKB}} = 1$ si $E \geq 3.1$ eV), le formalisme NEGF considère qu'une partie des porteurs est soumise à des réflexions, ce qui explique que T_{NEGF} tende vers 1 sans jamais vraiment l'égaliser.

Le tracé du coefficient de transmission dans la structure à deux couches (figure 2.21.b) confirme l'importance de prendre en compte les réflexions des porteurs contre les discontinuités de potentiel. En effet, les deux approches de calcul de la transparence de la barrière sont très différentes dues aux fortes discontinuités entre les contacts (métal) et les isolants (SiO_2 et HfO_2) mais plus encore quand l'énergie est supérieure à 0.5 eV du fait de la discontinuité entre les isolants eux-mêmes.

Ces résultats sont justifiés par le tracé des densités locales d'états (figure 2.22) résolues en énergie (obtenues par les équations (2.62.a) et (2.62.b) du formalisme NEGF) dans les deux structures de la figure 2.21. Sur la figure 2.22, les zones les plus claires (jaunes puis vertes) représentent une forte densité d'états et les zones sombres (rouges puis noires) représentent une faible densité d'états.

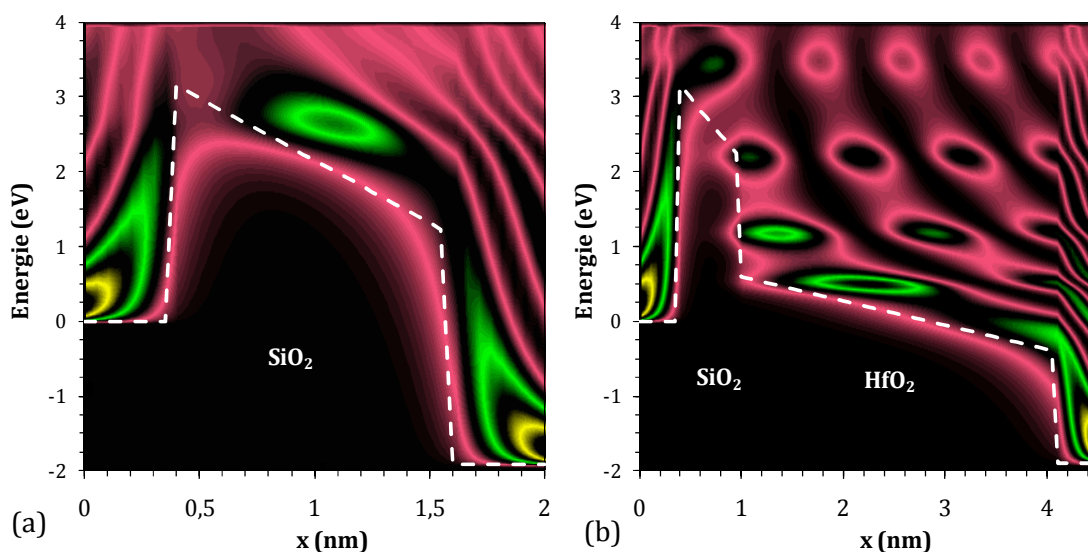


Figure 2.22 : Densité locale d'état résolue en énergie [approche NEGF, équation (2.59)] à $V_G = 2$ V dans des capacités MIM ($EOT = 1.2$ nm) avec (a) une couche de SiO_2 et (b) une couche de SiO_2 ($T_{\text{SiO}_2} = 6$ Å) + une couche d' HfO_2 ($T_{\text{HfO}_2} = 30.8$ Å). Le diagramme de bande des structures est également représenté en pointillés blancs.

Les franges visibles dans les contacts illustrent l'existence d'interférences sur la barrière de potentiel entre les fonctions d'ondes incidentes et réfléchies. De plus, il apparaît une "structure" de densité d'états non-nulle dans la région "classiquement" interdite, c'est-à-dire juste en dessous de la bande de conduction de l'oxyde, ce qui illustre bien la probabilité de présence d'électrons dans ces zones et le mécanisme tunnel à travers la barrière. La figure

2.22.b montre également que les pics de transmission observés sur le dispositif à deux couches (figure 2.21.b) sont liés à la forte densité d'états à des énergies bien spécifiques ($E \sim 0,5, 1,2, 2,2$ eV). En réalité, les électrons injectés depuis les réservoirs se retrouvent confinés dans une structure équivalente à un puits de potentiel électrique. En effet, la variation abrupte du potentiel provoqué par les *offsets* de bande de conduction entre le métal et les oxydes est considérée par les électrons comme des murs de potentiel "virtuels". Il se forme alors des niveaux d'énergie quantifiés dans les bandes de conduction des oxydes, ce qui implique une forte augmentation de la probabilité de transmission des porteurs à ces niveaux d'énergie spécifiques. Ces phénomènes purement quantiques et liés aux fortes discontinuités de potentiel entre les matériaux ne sont donc pas pris en compte lors du calcul de la transparence de la barrière avec l'approche classique WKB.

Ensuite, il devient intéressant d'étudier le courant de fuite qui traverse la barrière de potentiel pour montrer l'influence de l'effet tunnel quantique dans les dispositifs multi-couches avec différents matériaux d'oxydes, en comparant les deux approches de résolution de la transparence. La figure 2.23 compare la densité de courant de fuite [calculée grâce à l'équation (2.66)] en fonction de la tension de grille (appliquée sur le contact de gauche) dans les mêmes capacités MIM étudiées sur les figures 2.21.a et 2.21.b.

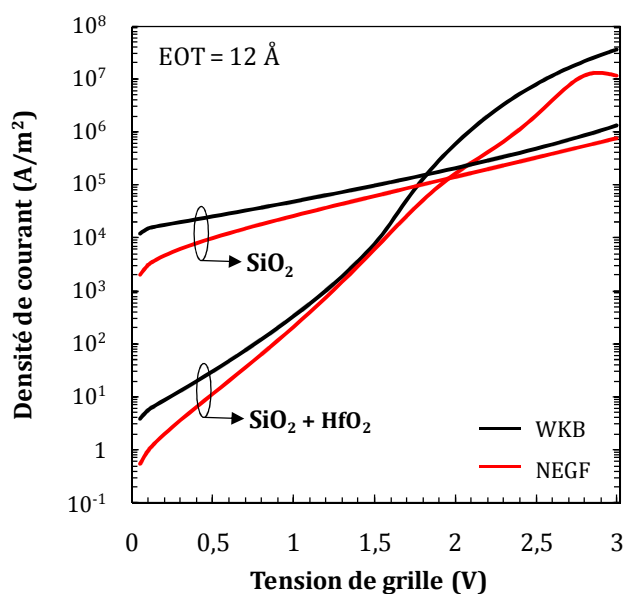


Figure 2.23 : Comparaison entre les densités de courant de fuite de grille calculées à partir des transparences WKB (noir) et NEGF (rouge) en fonction de la tension de grille dans des capacités MIM ($EOT = 1.2$ nm) avec une couche de SiO_2 et une couche de SiO_2 ($T_{SiO_2} = 6$ Å) + une couche d' HfO_2 ($T_{HfO_2} = 30.8$ Å).

D'après la figure 2.23, les effets du calcul quantique (transparence NEGF) sur la densité de courant sont significatifs sur les deux dispositifs et particulièrement à faible tension de grille car les réflexions des fonctions d'onde sur la barrière de potentiel sont nombreuses à cette polarisation [Munteanu2]. Il est également important de noter que la différence entre les calculs classique et quantique n'évolue pas de façon régulière en fonction de V_G . Il est donc difficile d'évaluer et de quantifier précisément l'importance des effets quantiques dans ces structures. En effet, la figure 2.24 montre l'évolution en fonction de V_G de l'erreur relative entre le calcul du courant avec la transparence WKB et NEGF dans des capacités MIM avec plusieurs

matériaux d'oxydes dont les caractéristiques (permittivité relative et *offset* de bande) sont assez différentes.

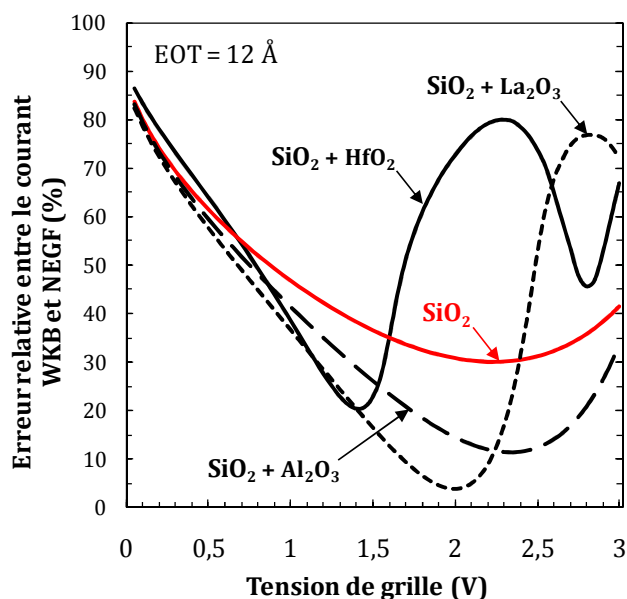


Figure 2.24 : Erreur relative entre le calcul du courant avec la transparence WKB et NEGF en fonction de la tension de grille dans des capacités MIM à deux couches ($T_{SiO_2} = 6 \text{ \AA}$ et $EOT = 1.2 \text{ nm}$) avec différents matériaux *high- κ* : HfO_2 (traits continus), Al_2O_3 (pointillés larges) et La_2O_3 (pointillés courts). La structure de référence (simple couche de SiO_2) est également représentée en rouge.

Selon la figure 2.24, quel que soit le type d'empilement et de matériaux utilisés, l'erreur sur le courant entre les deux méthodes de calcul est toujours supérieure à 50% à faible tension de grille ($V_G \leq 0.8 \text{ V}$) où le courant WKB est toujours surestimé par le courant NEGF. Ensuite, il apparaît clairement que l'erreur évolue très différemment selon le type de structures et de matériaux. Plus l'écart entre les bandes de conduction des oxydes ($\Delta E_{oxL,oxR}$, figure 2.18) est élevé (HfO_2 : $\Delta E_{SiO_2,HfO_2} = 1.65 \text{ eV}$), plus il y a de pics de transmission à des énergies spécifiques (créés par les murs de potentiel comme expliqué précédemment) et plus le courant NEGF subit ces influences. L'erreur entre les calculs varie alors fortement en fonction de la tension de grille. Cependant il est presque impossible de quantifier l'erreur précisément selon l'épaisseur des couches interfaciale et *high- κ* , du type de matériau et de ses caractéristiques bien spécifiques, pas toujours parfaitement connues.

La dernière comparaison effectuée entre les deux méthodes de calculs de la transparence est représentée sur la figure 2.25 par le tracé du courant de fuite de grille en fonction de l'EOT pour différentes épaisseurs de la couche interfaciale de SiO_2 dans des capacités MIM à deux couches avec du HfO_2 comme second diélectrique. Les calculs WKB et NEGF montrent comme prévu une réduction du courant de fuite à travers l'empilement de grille quand l'EOT augmente. Nous observons également que cette réduction est plus importante dans le dispositif à deux couches que dans celui à une couche car pour augmenter l'EOT, l'épaisseur physique de la couche *high- κ* doit être plus fortement augmentée, ce qui réduit drastiquement le courant de fuite par effet tunnel. Enfin, nous remarquons qu'à faible tension de grille ($V_G \leq 0.9 \text{ V}$), la différence entre les deux calculs WKB et NEGF est quasiment identique quelle que soit la valeur de l'EOT et de l'épaisseur de la couche interfaciale. Il est donc intéressant de remarquer que

l'écart entre les deux méthodes de résolution de la transparence est visible sur le courant de fuite de grille et dépend de la tension de grille mais pas de l'EOT.

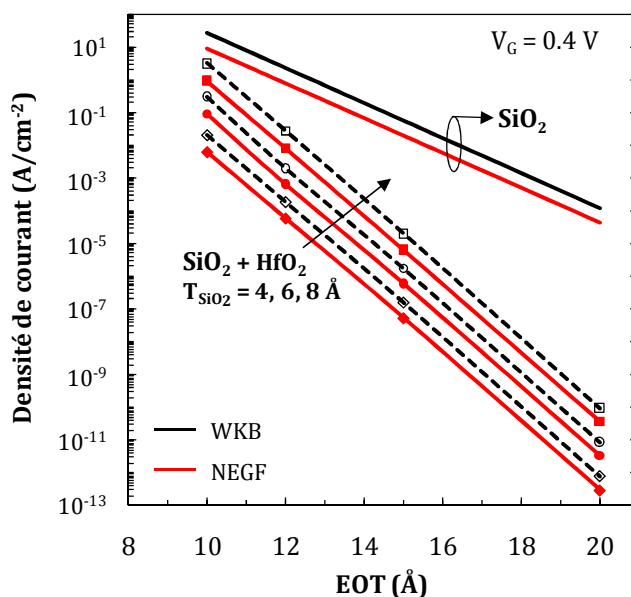


Figure 2.25 : Comparaison entre les densités de courant de fuite de grille calculées à partir des transparences WKB (noir) et NEGF (rouge) en fonction de l'EOT dans des capacités MIM avec une couche de SiO_2 et une couche de SiO_2 ($T_{\text{SiO}_2} = 4, 6, 8 \text{ \AA}$) + une couche d' HfO_2 ($T_{\text{HfO}_2} = 41, 30.8, 20.5 \text{ \AA}$ pour un EOT = 12 nm par exemple).

2.3.3.2 Etude de structures par le formalisme NEGF

Nous nous attachons ici à comparer les performances de différentes capacités MIM en utilisant le formalisme NEGF. La figure 2.26 compare la structure de référence (une seule couche de SiO_2 avec $T_{\text{SiO}_2} = \text{EOT} = 10 \text{ \AA}$) à différentes capacités MIM à deux couches avec plusieurs matériaux *high- κ* ($T_{\text{SiO}_2} = 4 \text{ \AA} + T_{\text{High-}\kappa}$) en termes de probabilité de transmission des électrons à travers la barrière de potentiel ($V_G = 2 \text{ V}$, figure 2.26.a) et de courant de fuite (figure 2.26.b).

Ces figures montrent que les propriétés de transport électronique des capacités MIM sont très dépendantes des matériaux et de leurs paramètres intrinsèques. D'une part, les courbes de la figure 2.26.a indiquent que l'*offset* de bande et la permittivité relative du matériau influencent la transparence de la barrière tunnel. En effet, même si le Ta_2O_5 et le La_2O_3 ont presque la même permittivité (Annexe A.3) et donc une épaisseur physique équivalente, les coefficients de transmission de ces dispositifs sont complètement différents (en tout cas à faible tension de grille) en raison de la différence des *offsets* de bande de ces matériaux. Dans le dispositif à base de Ta_2O_5 , les électrons peuvent facilement passer à travers la première couche d'oxyde car le mécanisme tunnel est prédominant dans cette couche très fine. Ensuite, comme nous l'avons expliqué dans le §2.3.3.2, la très forte discontinuité de potentiel induite par la valeur élevée de $\Delta E_{\text{SiO}_2, \text{Ta}_2\text{O}_5}$ ($\sim 2.8 \text{ eV}$) provoque un puits de potentiel dans la bande de conduction du Ta_2O_5 et l'apparition de niveaux d'énergie quantifiés avec une forte probabilité de densité d'états. Les pics de transmission sont nombreux et l'association des

deux phénomènes augmentent fortement la probabilité de transmission des électrons et le courant de fuite à travers ce dispositif (figure 2.26.b).

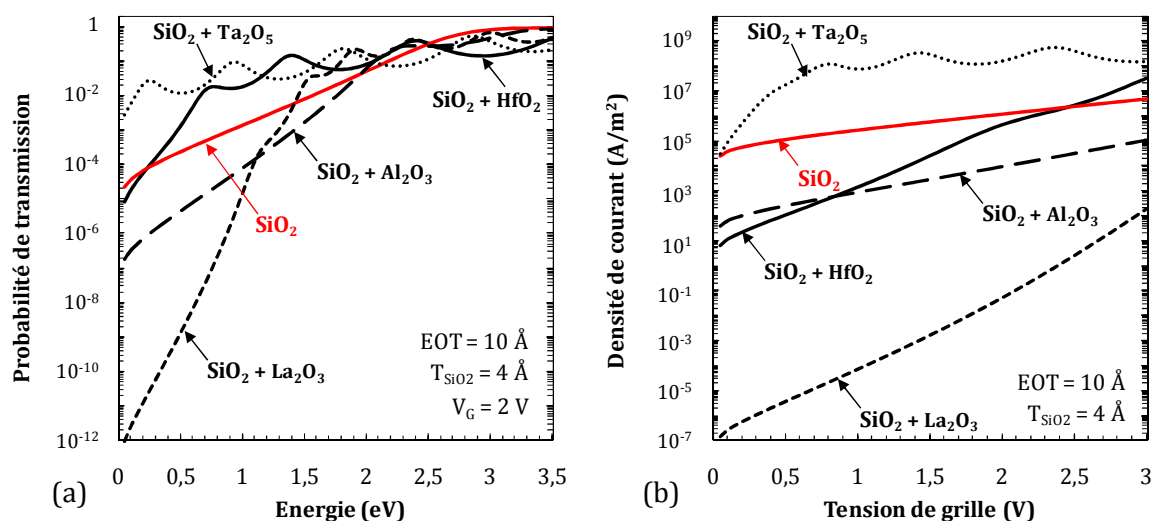


Figure 2.26 : Comparaison de capacités MIM avec différents empilements de grille [SiO_2 ($T_{\text{SiO}_2} = \text{EOT}$, rouge), $\text{SiO}_2 + \text{HfO}_2$ ($T_{\text{HfO}_2} = 30.8 \text{ \AA}$, traits continus), $\text{SiO}_2 + \text{Al}_2\text{O}_3$ ($T_{\text{Al}_2\text{O}_3} = 13.9 \text{ \AA}$, pointillés larges), $\text{SiO}_2 + \text{La}_2\text{O}_3$ ($T_{\text{La}_2\text{O}_3} = 43.1 \text{ \AA}$, pointillés courts), $\text{SiO}_2 + \text{Ta}_2\text{O}_5$ ($T_{\text{Ta}_2\text{O}_5} = 40.0 \text{ \AA}$, points)] et le même $\text{EOT} = 10 \text{ \AA}$ ($T_{\text{SiO}_2} = 4 \text{ \AA}$ pour les structures à deux couches,) en terme de (a) coefficient de transmission des électrons vs énergie à $V_G = 2 \text{ V}$ et (b) densité de courant de fuite vs tension de grille (calcul avec la transparence NEGF).

Ensuite, quand l'*offset* de bande entre le SiO_2 et la couche *high- κ* est réduit (comparaison entre les dispositifs $\text{SiO}_2 + \text{Ta}_2\text{O}_5$, $\text{SiO}_2 + \text{HfO}_2$ et $\text{SiO}_2 + \text{Al}_2\text{O}_3$), nous observons logiquement une diminution du nombre de pics de transmission et un décalage de ces pics vers des énergies plus élevées, ce qui réduit le courant de fuite à cette polarisation. En ce qui concerne la capacité à base de La_2O_3 , les pics de transmission sont particulièrement prononcés au dessus de 1.5 eV du fait d'un *offset* de bande de conduction entre les matériaux assez important. Cependant, la valeur de la permittivité de ce matériau est très élevée, ce qui entraîne une forte réduction de la transparence pour de faibles énergies et une importante diminution du courant de fuite.

Donc, d'un point de vue simulation, la combinaison d'une permittivité élevée du matériau *high- κ* et d'un *offset* de bande faible entre la couche interfaciale et le matériau *high- κ* semble être le meilleur compromis pour réduire le courant de fuite à travers un empilement de grille à deux couches.

Nous considérons à présent des capacités MIM avec différentes épaisseurs de la couche interfaciale. La comparaison des courants de fuite en fonction de la tension de grille ($\text{EOT} = 10 \text{ \AA}$) entre la structure de référence et les capacités $\text{SiO}_2 + \text{HfO}_2$ avec $T_{\text{SiO}_2} = 4, 6$ et 8 \AA est représentée sur la figure 2.27. A faible tension de grille, le courant dans le dispositif à deux couches augmente quand la couche interfaciale s'épaissit (de 4 \AA à 8 \AA) car l'épaisseur totale de l'empilement de grille diminue de $\sim 35 \text{ \AA}$ à $\sim 18 \text{ \AA}$ et provoque l'augmentation de la probabilité de transmission des électrons par effet tunnel. Cependant, à $V_G = 3\text{V}$, nous observons que la densité de courant dans le dispositif avec $T_{\text{SiO}_2} = 8 \text{ \AA}$ devient plus petite que dans les autres structures, phénomène expliqué par la densité d'états locale tracée sur les figures 2.27.b et

2.27.c. La probabilité de transport tunnel des électrons à travers l'oxyde est augmentée ou réduite si les électrons injectés depuis les électrodes ont la possibilité ou non d'être sur des états de la bande de conduction des oxydes. A $T_{\text{SiO}_2} = 6 \text{ \AA}$, il se trouve que la forte densité d'états locale de l'électrode de gauche (E proche de 0 V) correspond à la forte densité d'états de la bande de conduction associée au premier niveau d'énergie quantifié, ce qui n'est manifestement pas le cas à $T_{\text{SiO}_2} = 8 \text{ \AA}$. Le profil de la barrière de potentiel influence donc fortement le courant de fuite calculé par le formalisme NEGF.

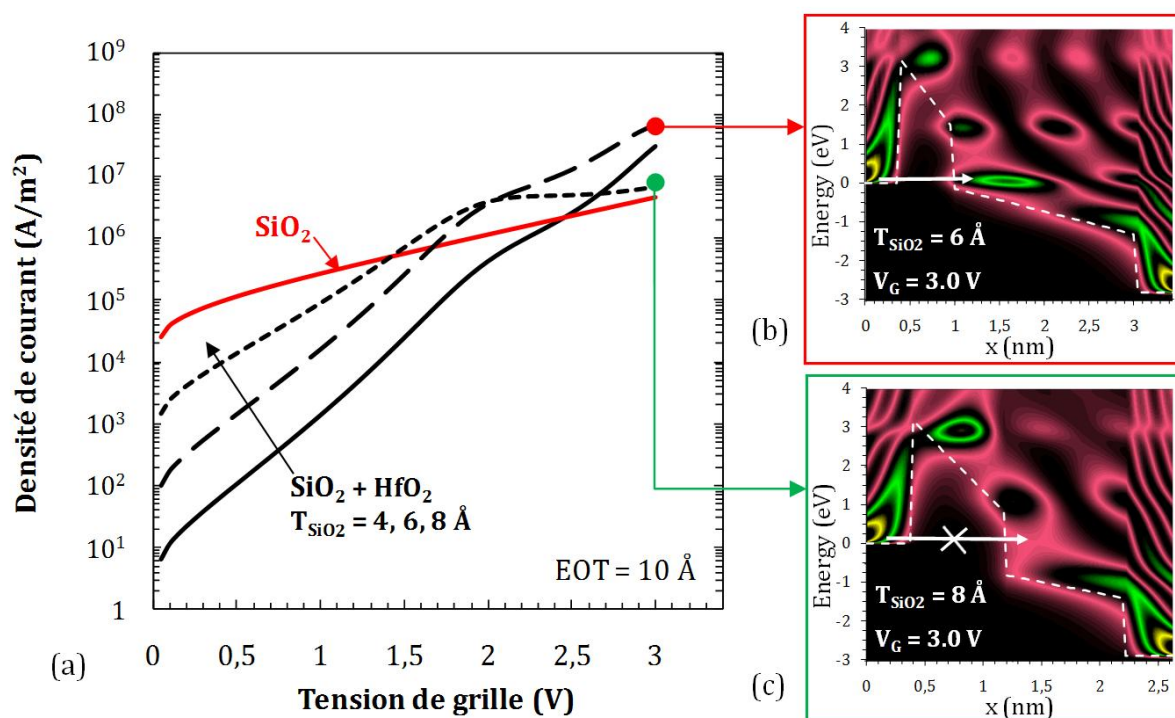


Figure 2.27 : (a) Comparaison entre les densités de courant de fuite en fonction de la tension de grille dans des capacités MIM ($EOT = 10 \text{ \AA}$) avec une couche de SiO_2 et une couche de SiO_2 ($T_{\text{SiO}_2} = 4, 6, 8 \text{ \AA}$) + une couche d' HfO_2 . Densités locales d'états résolues en énergie à $V_G = 3 \text{ V}$ dans les capacités MIM à deux couches pour (b) $T_{\text{SiO}_2} = 4 \text{ \AA}$ et $T_{\text{HfO}_2} = 30.8 \text{ \AA}$ et (c) $T_{\text{SiO}_2} = 8 \text{ \AA}$ et $T_{\text{HfO}_2} = 10.25 \text{ \AA}$.

Nous pouvons également conclure de la figure 2.27.a que le courant dans les dispositifs à deux couches et à faible EOT est très sensible à l'épaisseur de la couche interfaciale. Il est alors primordial de maîtriser expérimentalement la croissance et l'épaisseur de cette couche afin de maintenir les avantages d'une capacité à deux couches d'oxydes en termes de courant de fuite sur une large gamme de tensions de grille.

Finalement, la figure 2.28 compare le courant de fuite de différentes capacités MIM en fonction de l'EOT. Il apparaît que le dispositif à base de Ta_2O_5 ne permet pas d'améliorer le courant de fuite par rapport à la structure de référence car l'*offset* de bande entre le SiO_2 et le Ta_2O_5 est trop élevé. Ce résultat est cohérent avec [Robertson] qui montre que les *offsets* de bande entre les matériaux dans les structures à deux couches ne doivent pas être supérieurs à 1 eV pour que le courant de fuite soit inférieur à celui d'une structure à 1 couche de SiO_2 . Ensuite, la capacité avec la couche de La_2O_3 donne les meilleurs résultats en termes de courant

de fuite due à sa forte permittivité relative et son *offset* de bande avec le SiO₂ relativement faible. Enfin, les performances des dispositifs MIM à deux couches évalués par le formalisme NEGF en termes de courant de grille, dépendent fortement à la fois des propriétés des matériaux et de la tension de grille appliquée [Moreau4], ce qui rend difficile la prédiction des meilleurs empilements de grilles.

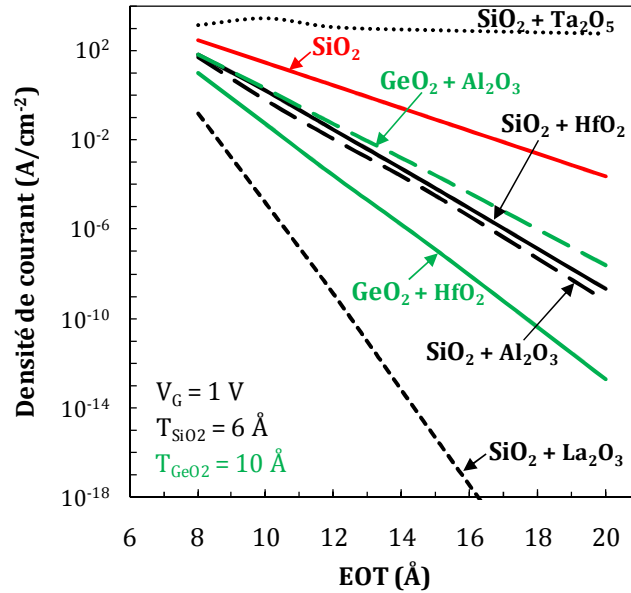


Figure 2.28 : Comparaison de la densité de courant de fuite en fonction de l'EOT (à $V_G = 1$ V) dans différentes capacités MIM avec les empilement de grille suivants : SiO₂ (rouge), SiO₂ + HfO₂ (traits continus noirs), SiO₂ + Al₂O₃ (pointillés larges noirs), SiO₂ + La₂O₃ (pointillés courts), SiO₂ + Ta₂O₅ (points), GeO₂ + HfO₂ (traits continus verts), GeO₂ + Al₂O₃ (pointillés larges verts) ($T_{SiO_2} = 6$ Å et $T_{GeO_2} = 10$ Å pour les structures à deux couches).

2.3.4 Bilan/discussion

Le §2.3 fait état du calcul du courant de fuite dans les capacités MIS et MIM à base de matériaux innovants. Deux codes de simulation ont été développés pour déterminer et comparer les performances de ces deux types de dispositifs.

En premier lieu, la simulation du courant de fuite à travers la capacité MIS est ajoutée au code de simulation de la courbe C-V, précédemment décrit dans le §2.2. Ainsi, la résolution auto-cohérente 1D des équations de Poisson et de Schrödinger est conservée et permet de déterminer les niveaux d'énergie quantifiés dans le substrat et les charges quantiques associées à ces niveaux. Le courant de fuite à travers l'oxyde par injection du substrat vers la grille est alors obtenu en sommant la contribution de tous les courants de fuite de chaque niveau d'énergie par le modèle "QfT" [Register]. La fréquence d'impact est calculée numériquement et la transparence de la barrière est obtenue en utilisant le modèle semi-classique WKB amélioré [Li] afin de mieux reproduire la forte diminution du courant à faible tension de grille observée expérimentalement. Les résultats montrent que le courant de fuite dans les capacités MIS dépend des matériaux qui composent l'empilement de grille et notamment de leur permittivité et de leur *offset* de bande de conduction. Un matériau à forte permittivité permet d'augmenter l'épaisseur physique réelle de l'empilement (tout en

maintenant L'EOT à la même valeur) et donc de réduire considérablement le courant de fuite à travers l'oxyde par effet tunnel quantique. Nous avons également montré que le courant de fuite à travers l'oxyde dépend très fortement du matériau de substrat. La comparaison entre plusieurs matériaux III-V a révélé une forte dépendance du courant de fuite à la valeur du *bandgap* du matériau. Les matériaux à faible *bandgap* tel que l'InAs ou le Ge ont les courants de fuite les plus élevés alors que le GaAs semble être le semiconducteur le plus performant au niveau du courant de fuite à travers la grille. Ces résultats doivent être nuancés par le fait que notre méthode de calcul du courant n'est pas optimale et ne prend pas en compte certains éléments physiques. En effet, pour les empilements de grille à deux couches assez larges, nos résultats donnent des courants de fuite faibles par rapport à l'expérimentation car notre objectif n'était pas de modéliser les autres types de transport prédominant dans ce genre de structure (conduction assistée par pièges due à la faible maturité des procédés technologiques des nouveaux matériaux). De plus, nous ne considérons pas le transport tunnel BTBT dans le calcul du courant de fuite mais si cet effet est pris en compte, il ne fera que confirmer nos résultats à savoir que plus le *bandgap* du matériau semiconducteur est faible et plus le courant de fuite de grille est élevé.

En second lieu, nous avons étudié et comparé deux méthodes de résolution de la transparence de la barrière dans les capacités MIM. Nous avons repris l'approximation semi-classique WKB que nous avons comparé au formalisme NEGF [Datta], adapté à ces dispositifs, afin de comprendre l'influence des effets quantiques sur le courant de fuite à travers des empilements de grille à plusieurs couches. Le formalisme NEGF permet de résoudre des systèmes complexes ouverts (mise en contact de la partie active avec le "monde extérieur", c'est-à-dire avec des réservoirs semi-infinis de porteurs) sans passer par la résolution d'équations aux valeurs propres. Dans notre cas, le formalisme NEGF est découplé de l'équation de Poisson car nous ne considérons pas les défauts dans les oxydes, ce qui nous permet d'étudier de manière simple, très rapide et assez complète différents matériaux et types d'empilements de grille. Nous montrons que l'approche classique WKB ne peut être appliquée dans les capacités MIM de très faibles dimensions pour parfaitement décrire le transport des électrons car l'*offset* de bande de conduction entre les matériaux d'oxydes et les électrodes induit des effets quantiques qui affectent profondément la densité de courant de fuite. Nous mettons également en évidence que la différence entre les simulations classique et quantique dépend des paramètres des matériaux et de la tension de grille appliquée mais ni de l'EOT ni de l'épaisseur de la couche mince interfaciale, ce qui ne permet en aucun cas de déduire l'erreur faite par l'approximation WKB. Enfin, nous avons déduit que le meilleur moyen de réduire le courant de fuite à travers un empilement de grille à deux couches est d'utiliser une couche interfaciale la plus mince possible couplée à un matériau à très forte permittivité et où l'*offset* de bande conduction entre les deux oxydes doit être le plus faible possible (par exemple le couple $\text{SiO}_2 + \text{La}_2\text{O}_3$) pour réduire les effets quantiques indésirables.

Les résultats obtenus sur les capacités MIM dressent des conclusions intéressantes et il serait évidemment très intéressant de les transcrire sur les capacités MIS. Dans ce cas, le couplage de l'équation de Poisson avec le formalisme NEGF est indispensable pour parfaitement décrire le transport des électrons dans ces dispositifs. Cette méthode déjà utilisée [Baumgartner] reste cependant très coûteuse en termes de temps de calcul et n'est donc pas adaptée à une utilisation industrielle.

2.4 Conclusion du chapitre

Le chapitre 2 s'est focalisé sur la simulation numérique de dispositifs simples tels que les architectures Métal-Isolant-Semiconducteur (MIS) et Métal-Isolant-Métal (MIM) à base de matériaux innovants. Les codes de simulation proposés dans ce chapitre intègrent systématiquement les diélectriques de grille à forte permittivité (*high- κ*) dans le but d'évaluer leur aptitude à remplacer le traditionnel oxyde de silicium.

Dans un premier temps, nous avons développé un code de simulation pour le calcul des caractéristiques C-V dans les dispositifs MIS avec des semiconducteurs à forte mobilité [germanium et semiconducteurs III-V (GaAs, In_{1-x}Ga_xAs, InP, ...)]. L'approche utilisée est fondée sur la résolution auto-cohérente des équations de Poisson et de Schrödinger en 1D dans l'approximation des masses effectives avec un maillage non-uniforme. La distribution des charges dans la structure est donc évaluée de manière quantique afin de prendre en compte, d'une part, toutes les spécificités des dispositifs de taille nanométrique, et d'autre part, les caractéristiques des matériaux à forte mobilité, en particulier la possibilité de présence des porteurs dans toutes les vallées de la bande de conduction, aux propriétés très variées. Les caractéristiques C-V obtenues par le code de simulation ont été validées par comparaison avec des résultats expérimentaux sur plusieurs types de structures (une ou deux couches d'oxydes) et différents diélectriques (SiO₂, *high- κ* : HfO₂, Al₂O₃) et semiconducteurs (Si, Ge). Le code peut donc être utilisé pour extraire les paramètres clés électriques (tension de seuil et tension de bande plate) et structurels (constantes diélectriques des matériaux et leur épaisseur) d'un dispositif MIS avec un empilement de grille multi-couches à base de divers matériaux. La simulation des dispositifs à base de semiconducteurs III-V a également révélée une très forte dépendance du fonctionnement électrique des capacités aux propriétés spécifiques de ces matériaux : (a) la diminution de la valeur du *bandgap* réduit la largeur de la zone de déplétion (en termes de tension sur la courbe C-V) ; (b) la faible densité d'états de la vallée principale de la bande de conduction dégrade la valeur de la capacité des "électrons" (en régime d'inversion pour les semiconducteur dopé de type p et en régime d'accumulation pour les semiconducteurs dopés de type n). Ce phénomène peut donc entraîner une dégradation du couplage capacitif du semiconducteur à forte tension dans les dispositifs MOSFET à base de matériaux III-V.

Dans un deuxième temps, nous avons inclus dans le code C-V le calcul du courant de fuite à travers l'empilement de grille (injection des porteurs depuis le substrat vers la grille). La caractéristique I-V est alors déterminée grâce au modèle "Qft" [Register] avec une transparence de la barrière tunnel évaluée par le modèle semi-classique WKB amélioré [Li]. Les résultats obtenus par ce modèle montrent que l'augmentation de la permittivité dans les matériaux d'oxydes permet de réduire considérablement le courant de fuite par effet tunnel quantique (augmentation de l'épaisseur physique de l'empilement de grille). Nos résultats ont également souligné le fait que plus le *bandgap* du matériau semiconducteur est faible plus le courant de fuite de grille est élevé.

Enfin, nous avons étudié le transport quantique des électrons dans les capacités MIM (structure 1D) grâce au formalisme des fonctions de Green hors-équilibre. Les résultats issus de la simulation quantique (NEGF) sont comparés à ceux de l'approche semi-classique WKB afin d'évaluer l'influence du transport quantique dans de tels dispositifs. Le formalisme NEGF permet de résoudre des systèmes complexes sans passer par la résolution d'équations aux

valeurs propres en prenant en compte intrinsèquement les effets liés à la mécanique quantique (réflexion des porteurs contre la barrière de potentiel, pénétration des fonctions d'onde dans les oxydes, ...). Les résultats montrent que l'approche classique WKB n'est pas adaptée pour décrire le transport des électrons dans les dispositifs MIM multi-couches ultra-minces car les *offsets* de bande de conduction entre les matériaux induisent des effets quantiques qui affectent le calcul du courant de fuite. De plus, les écarts observés entre les approches classique et quantique évoluent selon le matériau d'oxyde utilisé et la polarisation de la grille, il est donc difficile d'apporter une correction quantique précise aux prévisions du modèle classique. Enfin, nous avons montré que, pour réduire au maximum les effets quantiques indésirables dans les capacités MIM avec des empilements de grille à deux couches, il faut combiner une couche interfaciale la plus mince possible à un matériau à très forte permittivité avec un *offset* de bande (entre les deux matériaux d'oxyde) minimal. Ainsi, sans parler de problèmes expérimentaux, le couple de matériaux $\text{SiO}_2 + \text{La}_2\text{O}_3$ serait l'un des plus efficaces en termes de courant de fuite.

Le chapitre 2 consitue donc une première comparaison des performances entre les matériaux "classiques" de la microélectronique et les matériaux innovants (diélectriques à forte mobilité et semiconducteur à forte mobilité) sur des dispositifs de base (capacités MIS et MIM). Le prochain chapitre propose alors une étude sur une structure avancée : le transistor MOS en architecture Double-Grille.

Chapitre 3

Modélisation numérique du transistor MOS en architecture Double-Grille

Le chapitre 3 est consacré à l'étude du transistor MOS en architecture Double-Grille.

En premier lieu, nous présenterons un code de simulation numérique, basé sur la résolution auto-cohérente des équations de Poisson et de Schrödinger couplées à l'équation de transport dérive-diffusion, code dédié au calcul du courant de drain dans les transistors MOS en architecture Double-Grille.

Cet outil numérique sera ensuite utilisé pour comprendre l'influence des effets de la réduction des dimensions (longueur de grille et épaisseur de film) sur le fonctionnement des transistors MOS Double-Grille à grilles connectées (DG) et à grilles indépendantes (IDG) sur silicium.

Enfin, le code sera adapté aux semiconducteurs à forte mobilité et les performances des matériaux (Si, Ge, GaAs et $In_{0.53}Ga_{0.47}As$) seront comparées au niveau dispositif (transistor MOS DG) et circuit (inverseur CMOS à base de transistor MOS DG, simulation Atlas [Silvaco]) pour dresser un bilan sur la possibilité d'envisager ces structures dans les futurs composants.

Chapitre 3 Modélisation numérique du transistor MOS en architecture Double-Grille.....	93
3.1 Introduction.....	95
3.2 Description du code de simulation numérique	97
3.2.1 Mise en équation	98
3.2.1.1 Approche classique	100
3.2.1.2 Approche quantique.....	101
3.2.1.3 Calcul du courant de drain.....	103
3.2.2 Discussion.....	106
3.3 Simulation des transistors MOS Double-Grille à grilles indépendantes sur silicium.....	107
3.3.1 Simulation classique des dispositifs	107
3.3.1.1 Validation du code	107
3.3.1.2 Extraction des paramètres électriques	108
3.3.1.3 Réduction de la longueur de grille : effets de canal court.....	111
3.3.2 Impact du confinement quantique : simulation classique vs simulation quantique.....	113
3.3.2.1 Explication des phénomènes mis en jeu.....	113
3.3.2.2 Réduction de l'épaisseur du film semiconducteur.....	116
3.3.3 Bilan	120
3.4 Le transistor MOS Double-Grille à base de matériaux innovants	121
3.4.1 Adaptation du code de simulation.....	121
3.4.2 Réduction des dimensions : comparaison avec le silicium.....	123
3.4.2.1 Effets de canal court et pente sous le seuil	125
3.4.2.2 Confinement quantique	127
3.4.2.3 Discussion	132
3.4.3 Simulation de l'inverseur CMOS (simulation Atlas)	134
3.4.3.1 Présentation du composant	134
3.4.3.2 Analyse des performances statiques et dynamiques	135
3.4.3.3 Discussion	138
3.4.4 Bilan	139
3.5 Conclusion du chapitre	139

Chapitre 3

Modélisation numérique du transistor MOS en architecture Double-Grille

Le chapitre 3 est dédié à la modélisation numérique 2D du transistor MOSFET en architecture Double-Grille et l'étude de son fonctionnement. Le chapitre 3 présente le développement du code de simulation des dispositifs à grilles connectées (DG MOS) et à grilles indépendantes (IDG MOS) puis s'attache à comprendre les phénomènes mis en jeu lors de la réduction des dimensions dans ces dispositifs. Enfin, une large partie sera consacrée à la comparaison des performances entre les structures à base de silicium et à base de matériaux innovants (Ge et semiconducteurs III-V).

3.1 Introduction

Dans la poursuite de la miniaturisation des composants microélectroniques, les architectures multi-grilles font figure de favorites pour le remplacement du transistor MOS sur silicium massif en raison de tous les avantages cités dans le premier chapitre de cette thèse. Ainsi, le transistor MOS en architecture Double-Grille, intégré dans la roadmap de la microélectronique [ITRS], est l'objet de sérieuses investigations depuis le début des années 90 tant au niveau de la simulation numérique qu'au niveau expérimental. Les dimensions des transistors étant actuellement réduites à l'échelle décanométrique, le comportement des dispositifs devient de plus en plus complexe alors que de nouveaux phénomènes physiques spécifiques aux canaux ultra-courts apparaissent (comme le confinement quantique, le transport quasi-balistique et balistique ou les fluctuations des paramètres). Les coûts de fabrication de ces dispositifs innovants complexes à réaliser étant très élevés, il est aujourd'hui indispensable de prévoir et d'évaluer leurs performances à long terme. La simulation

numérique (étude au niveau du dispositif de base, en l'occurrence le transistor MOS) et la modélisation compacte ou analytique (séries d'équations simplifiées dédiées à la simulation de circuit entier à base d'un grand nombre de transistors) sont alors des outils indispensables pour répondre aux attentes des fabricants de composants.

	Model	Key feature(s)
Semi-classical approaches	Compact Models	Appropriate for circuit design
	Drift-Diffusion Equations	For devices down to $\sim 0.2 \mu\text{m}$ Include $\mu(E)$
	Hydrodynamic Equations	Include velocity overshoot and carrier diffusion by electronic temperature gradient
	Boltzmann transport Equation (Monte-Carlo method)	Accurate up to classical limits
Quantum approaches	Density Gradient	Drift-Diffusion or Hydrodynamic + quantum corrections
	Schrödinger equation (confinement)	Drift-Diffusion or Hydrodynamic + accurate quantum confinement
	Wigner function method	Quantum kinetic approach (determinist/Monte-Carlo)
	Non-Equilibrium Green Functions (NEGF) method	Mode-space, real-space and/or time domain approaches

QDD

Difficult to implement
CPU consuming

Figure 3.1 : Classification hiérarchique des modèles de transport [Vasileska].

Le chapitre 3 sera donc consacré au développement d'un code de simulation numérique, pour l'étude du fonctionnement du transistor MOS en architecture Double-Grille et plus particulièrement des dispositifs à grilles indépendantes. L'intérêt de ce code développé au laboratoire est d'être entièrement modulable pour prendre en compte toutes les spécificités des dispositifs à grilles indépendantes d'une part, et de pouvoir expliquer de manière précise le fonctionnement électrique pour de faibles dimensions, d'autre part. Le code s'attache à décrire la variation du potentiel électrostatique dans toute l'architecture en résolvant l'équation de Poisson 2D et permet de prendre en compte les effets de confinement quantique, particulièrement importants dans ce dispositif comme nous le verrons par la suite, par la résolution de l'équation de Schrödinger 1D. Il représente donc, d'un point de vue électrostatique, une évolution du code C-V décrit dans le chapitre 2 (§2.2) par le passage d'un dispositif 1D à 2D. En ce qui concerne la modélisation du courant de drain, nous avons choisi, parmi les différentes approximations principalement utilisées dans la littérature (représentées sur la figure 3.1 en fonction du niveau de difficulté et du temps de calcul [Vasileska]) de considérer un transport de charge de type dérive-diffusion (DD) qui reste aujourd'hui l'une des méthodes les plus employées pour décrire le transport des porteurs dans les transistors MOS décanométriques. Le modèle développé dans la suite de ce chapitre couple donc le système d'équations Poisson+Schrödinger+DD et est plus communément appelé dans la littérature modèle de Dérive-Diffusion Quantique (QDD) [Spinelli] [DeFalco] [Baccarani2]. Il est malgré tout important de noter que cette approche n'est pas aussi précise que des modèles comme la méthode Monte-Carlo quantique [Jaud] [Querlioz], le couplage de l'équation de Schrödinger avec l'équation de transport de Wigner [Barraud3] ou le formalisme des fonctions de Green

hors-équilibre (NEGF pour *Non Equilibrium Green's Function*)* [Delerue] [Datta], mais largement suffisante pour décrire les effets électrostatiques et de confinement quantique dans des transistors avec des longueurs de canal supérieures à 20-30 nm.

L'intérêt grandissant des matériaux à forte mobilité, plus amplement décrit dans le premier chapitre, sera également abordé à la fin de ce chapitre en intégrant des matériaux tels que le Ge, le GaAs et l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ dans le canal de conduction des transistors MOS en architecture Double-Grille classique. Nous verrons que les propriétés spécifiques de ces matériaux (largeur du bandgap, permittivité, densité d'état de la bande de conduction) influencent fortement le fonctionnement électrique des architectures Double-Grille en apportant à la fois des avantages et des inconvénients (sans parler des problèmes liés à la fabrication) par rapport au silicium.

3.2 Description du code de simulation numérique

Le travail proposé dans ce paragraphe est basé sur un code de simulation numérique précédemment développé par Munteanu et al. (code BALMOS) [Munteanu] pour étudier le fonctionnement électrique du transistor MOS en architecture Double-Grille dans le régime balistique. Cette étude [Moreau5] est donc dédiée à l'adaptation de ce code en utilisant le modèle de dérive diffusion quantique pour la simulation du courant dans les transistors MOS en architecture Double-Grille. Cette structure, dont la représentation schématique est donnée sur la figure 3.2, peut se décliner en deux dispositifs[†] : le transistor MOSFET Double-Grille conventionnel (DG) où les deux grilles avant et arrière sont connectées ($V_{Gf} = V_{Gb} = V_G$) et le transistor MOSFET Double-Grille à grilles indépendantes (IDG) où les grilles avant et arrière sont déconnectées l'une de l'autre ($V_{Gf} \neq V_{Gb}$)[‡].

Le code a été développé pour être entièrement modulable et permet donc de prendre en compte toutes les spécificités des dispositifs à grilles indépendantes et asymétriques. En effet, le code offre la possibilité d'avoir une polarisation indépendante des grilles avant et arrière mais également un travail de sortie indépendant sur chaque grille métallique et des empilements de grilles (avec une ou deux couches d'oxydes) avant et arrière différents. De plus, il est adapté à la simulation de transistor à canal dopé type n ou type p avec différents matériaux semiconducteurs et plusieurs diélectriques de grilles[§].

Le code se décompose en différents modules et les équations utilisées pour décrire le fonctionnement et calculer le courant dans les transistors MOSFET en architecture Double-Grille sont décrites dans le paragraphe suivant.

* Le formalisme NEGF est plutôt utilisé pour décrire le transport dans le régime balistique.

[†] Pour plus de détails, se reporter au chapitre 1.

[‡] Le dispositif DG n'est en fait qu'un cas particulier de la structure IDG, qui d'un point de vue physique est donc plus difficile à décrire.

[§] Les matériaux utilisés dans ce code sont les mêmes que ceux utilisés dans le chapitre 2.

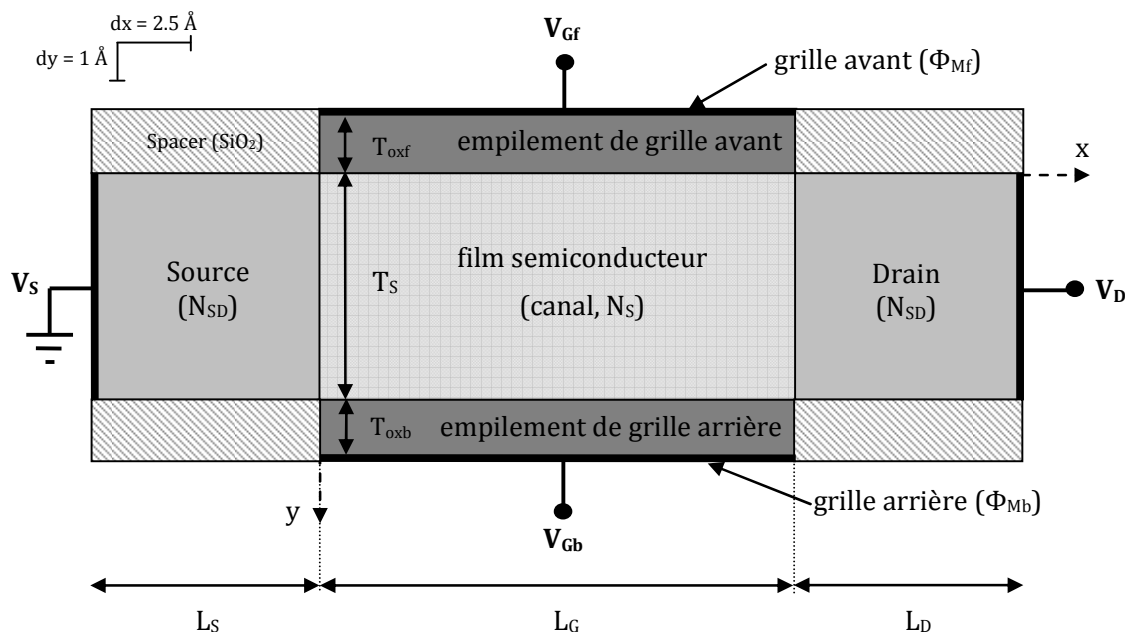


Figure 3.2 : Vue schématique du transistor MOS en architecture Double-Grille où les principaux paramètres électriques et structuraux sont définis : canal (gris clair), source et drain (gris moyen), empilements de grille avant et arrière (gris foncé) et espaceurs (zones hachurées).

3.2.1 Mise en équation

Le code de simulation est basé sur la résolution numérique auto-cohérente des équations de Poisson (2D) et de Schrödinger (1D) couplées avec l'équation de transport standard Dérive-Diffusion. Dans la mesure où les équations de base du code de simulation du transistor DG sont identiques à celles de la capacité MIS présentée dans le §2.2.1 (résolution auto-cohérente du système Poisson-Schrödinger), toutes les équations ne seront pas explicitées mais feront référence à celles du chapitre 2. Cependant, le dispositif étant beaucoup plus complexe et décrit par un domaine de simulation 2D, il convient d'apporter quelques précisions sur la résolution des équations et la description de la structure. L'algorithme de fonctionnement du code est donné sur la figure 3.3.

Le domaine de simulation 2D, où toutes les équations sont résolues grâce à la méthode des différences finies appliquée sur un maillage uniforme selon les directions x et y (voir annexe A.1), comprend (figure 3.2) :

- la zone de canal définie par le matériau semiconducteur utilisé (et ses caractéristiques intrinsèques (voir annexe A.2) : bandgap, permittivité relative, ...), son type et son niveau de dopage (N_s), l'épaisseur du film T_s , et sa longueur de grille L_G .
- Les régions de source et drain caractérisées par leur longueur (éventuellement différentes) L_S et L_D respectivement et leur dopage identique N_{SD} . L'épaisseur et le type de matériau est identique à celui du canal.
- les empilements de grille avant et arrière décrits par leur épaisseur T_{oxf} et T_{oxb} respectivement, et leur matériau (éventuellement différent). Une ou deux couches de diélectriques peuvent être considérées dans l'un et l'autre des empilements de grille.

- les espaceurs sont définis en SiO₂ et leurs dimensions sont fixées par les autres éléments de la structure (source, drain, canal, ...).
- les électrodes de grilles métalliques avant et arrière définies par leur travail de sortie Φ_{Mf} et Φ_{Mb} , respectivement.

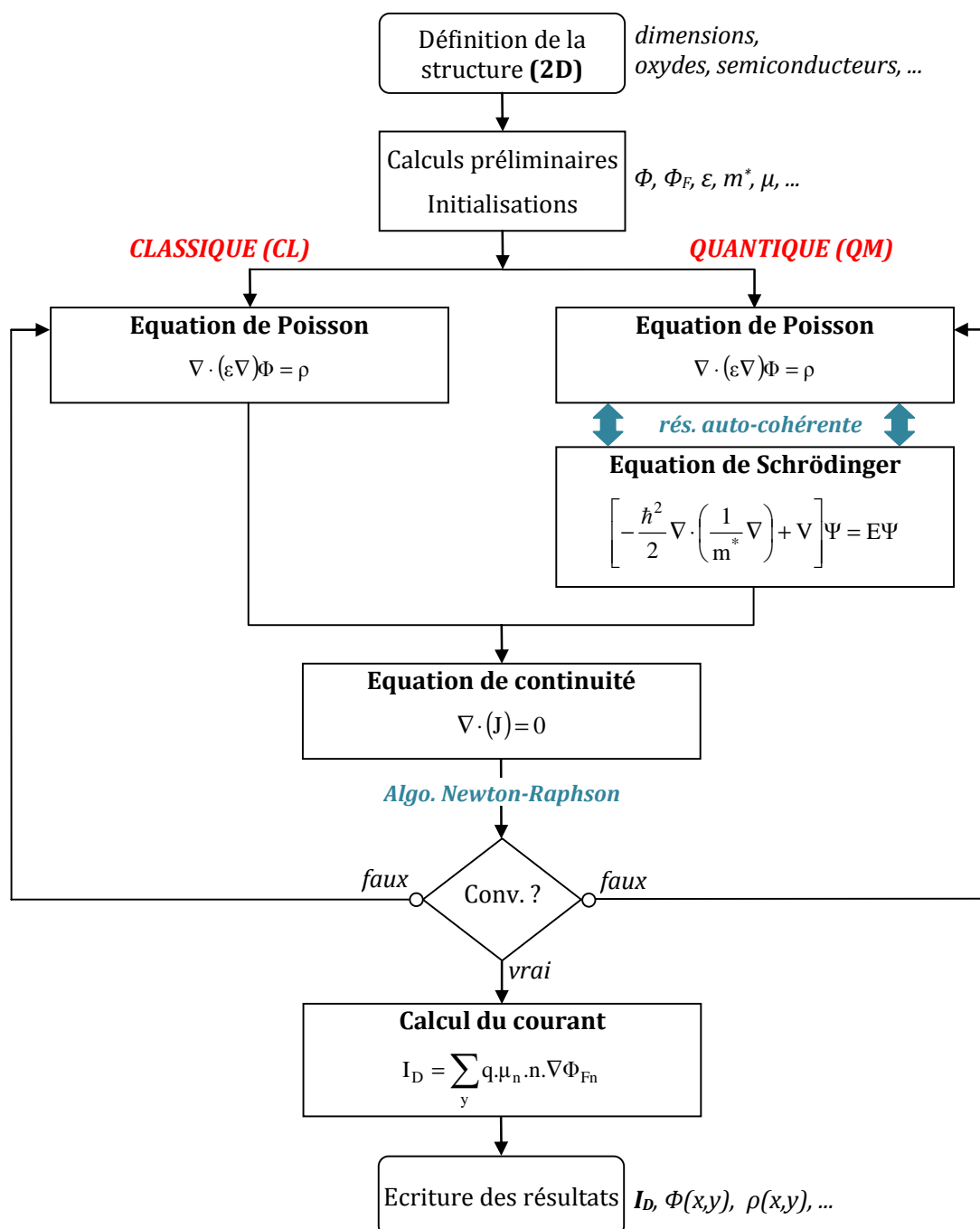


Figure 3.3 : Organigramme schématisant le code de simulation numérique dédié au calcul du courant de drain dans les transistors MOS en architecture Double-Grille.

Enfin, notons que la structure est également définie par les polarisations appliquées sur les contacts de grille avant et arrière V_{Gf} et V_{Gb} respectivement, et sur les contacts de source et drain V_S et V_D (V_D est toujours pris égale à 0 V) respectivement.

Après avoir défini les paramètres de la structure cités ci-dessus, la densité totale de porteurs de charge dans la zone source-canal-drain est ensuite calculée selon deux types de simulation : les simulations dites "classique" et "quantique".

3.2.1.1 Approche classique

Si les dimensions du transistor sont suffisamment importantes (typiquement $L_G > 100$ nm et $T_S > 15$ nm), il convient de traiter la structure uniquement par la résolution de l'équation de Poisson (simulation classique) car les effets de confinement quantique n'influencent pas le fonctionnement des transistors en architecture Double-Grille (DG et IDG) [Moreau5].

Le potentiel électrostatique Φ de toute la structure est préalablement initialisé et l'équation de Poisson générale doit alors être résolue :

$$\nabla \cdot (\epsilon \nabla \Phi) = \rho . \quad (3.1)$$

Dans notre cas, le domaine de simulation est bidimensionnelle (2D) et l'équation (3.1) se met sous la forme :

$$\nabla_{xy} [\epsilon_r(x, y) \nabla_{xy}] \Phi(x, y) = -\frac{q}{\epsilon_0} \rho(x, y) . \quad (3.2)$$

La numérisation ainsi que la solution générale de l'équation aux dérivées partielles (3.2) sont présentées en annexe A.1.

Dans le cas du dispositif Double-Grille, les épaisseurs du film semiconducteur considérées ainsi que le dopage du canal sont faibles ($T_S < 15$ nm) et des approximations sont réalisées au niveau du calcul de la densité de charge [équation (2.2)]. En effet, à ces épaisseurs, le matériau semiconducteur est complètement déserté par les porteurs majoritaires : on parle de semiconducteur en déplétion totale (*fully depleted*). De plus, pour améliorer le transport des porteurs et parce que le contrôle électrostatique du potentiel dans le canal est amélioré avec la présence des deux grilles, le semiconducteur est très souvent considéré comme intrinsèque. Ainsi, le processus de transport des charges entre le drain et la source sera uniquement décrit par les porteurs minoritaires. L'équation (2.2) est simplifiée et $\rho(x,y)$ de l'équation (3.2) est simplement donné par la somme de la densité de porteurs minoritaires et du dopage de la zone considérée N_{DOP} *. Dans le cas d'un transistor DG dopé p [les porteurs minoritaires sont les électrons $n(x,y)$], la densité totale de porteur en tout point du film semiconducteur est égale à :

$$\rho(x, y) = -n(x, y) + N_{DOP} , \quad (3.3.a)$$

où le dopage dans les régions de source et drain est donné par $N_{DOP} = +N_{SD}$ [type n équivalent au terme N_D dans l'équation (2.2)] et dans le canal $N_{DOP} = -N_S$ [type p équivalent au terme N_A dans l'équation (2.2)].

* Nous assumons un dopage uniforme dans chaque zone donc N_{DOP} ne dépend ni de x ni de y et selon le type de dopage de la zone, la concentration d'impuretés de type opposé est négligeable devant l'autre (voir §2.2.1.1).

Pour un transistor DG dopé n [les porteurs minoritaires sont les trous $p(x,y)$], la densité totale de charge s'écrit cette fois :

$$\rho(x,y) = p(x,y) + N_{DOP}, \quad (3.3.b)$$

où le dopage dans les régions de source et drain est donné par $N_{DOP} = -N_{SD}$ [type p équivalent au terme N_A dans l'équation (2.2)] et dans le canal $N_{DOP} = +N_S$ [type n équivalent au terme N_D dans l'équation (2.2)].

La différence entre le calcul classique et quantique se situe alors dans le calcul de la densité de porteurs minoritaires $n(x,y)$ ou $p(x,y)$. Dans le cas du calcul classique, la densité de porteurs est évaluée selon la statistique de Fermi-Dirac pour un gaz de porteurs 3D. Les équations (2.3) à (2.7), présentées dans le §2.2.1.1, sont alors valides et réutilisées pour la simulation du dispositif en architecture Double-Grille. Les seules modifications apportées concernent le caractère 2D de la résolution des équations (les variables n , $E_{c,sc}$ et $E_{v,sc}$ ne dépendent plus uniquement de la direction y mais bien des deux directions x et y) et le niveau de Fermi E_F dans l'équation 2.7 (indépendant des directions) qui est remplacé par le quasi-niveau de Fermi des électrons $\Phi_{Fn}(x,y)$ ou des trous $\Phi_{Fp}(x,y)$ (calculé par l'équation de continuité du système comme nous le verrons dans le §3.2.1.3).

3.2.1.2 Approche quantique

Les réductions des dimensions dans les transistors en architecture Double-Grille entraînent l'apparition des phénomènes quantiques de confinement, explicités dans le §1.2.2.2. En effet, la réduction de l'épaisseur du film semiconducteur T_s ainsi que les forts champs électriques présents dans ces structures impliquent que les porteurs de charge minoritaires se trouvent confinés dans un puits de potentiel dans la direction y , puits formé par les décalages de bande de conduction (et de valence) entre les matériaux d'oxyde et de canal [Ge] [Trivedi] [Baccarani3]. La distribution de charge dans le canal est alors profondément modifiée et les influences sur les propriétés électriques (tension de seuil, pente sous le seuil, ...) sont très significatives dans les dispositifs DG et IDG comme nous le prouverons dans le §3.3.2.

Dans le cas des dispositifs suffisamment longs*, c'est-à-dire quand la longueur de grille du transistor est supérieure au libre parcours moyen des porteurs, avec un canal de conduction de faible épaisseur†, la description précise du transport de charge peut être effectuée en combinant l'équation de transport classique dérive-diffusion avec la résolution du système d'équation Poisson-Schrödinger. C'est ce modèle, plus couramment appelé dans la littérature modèle dérive-diffusion quantique (QDD, *quantum drift-diffusion*) [Spinelli] [DeFalco] [Baccarani2], que nous utiliserons quand nous parlerons de simulation "quantique". Le code regroupe donc deux types de simulation (figure 3.3) : la simulation classique (Poisson + dérive-diffusion) et la simulation quantique (Poisson-Schrödinger + dérive-diffusion). La validité du modèle QDD sera discutée dans le §3.2.2.

Pour prendre en compte le confinement quantique dans les simulations, l'équation de Schrödinger doit être résolue :

* La longueur de grille des dispositifs Double-Grille considérés dans cette thèse ne sera jamais inférieure à $L_G = 20$ nm.

† Typiquement pour $T_s \leq 10 \sim 15$ nm.

$$\left[-\frac{\hbar^2}{2} \nabla \cdot \left(\frac{1}{m^*} \nabla \right) + V \right] \xi = E \xi. \quad (3.4)$$

Deux hypothèses sont prises en compte pour résoudre l'équation (3.4) dans le cas du transistor MOS en architecture Double-Grille où la configuration 2D* du dispositif impose le transport des porteurs dans la direction x et le confinement quantique 1D des porteurs (gaz 2D) dans la direction y.

Tout d'abord, nous assumons que la fonction d'onde du porteur ξ , initialement dépendante du plan (x,y), peut se décomposer en un produit de fonction d'onde dont l'une dépend de la direction x et l'autre de y (fonction réelle) [$\xi(x,y) = \Psi(x)\Psi(y)$] [Baccarani2]. Ensuite, nous considérons que l'énergie potentielle du porteur V, liée à l'équation de Poisson 2D, est décorrélée de la direction du transport x et donc elle ne dépend que de la direction de confinement y [$V(x,y) = V(y)$] [Baccarani2].

Ensuite, le code a été développé pour être utilisé avec du silicium comme matériau de canal. Ce matériau possède une structure de bande de conduction assez particulière qui nous autorise, toujours dans le cadre des dimensions définies ci-dessus, à ne considérer le confinement quantique que dans la vallée la plus basse en énergie (Δ) de la bande de conduction†, comme la grande majorité des simulateurs sur silicium [Laux]. Cependant, le caractère “multivallée” du silicium nous oblige à considérer deux types de porteurs dans la vallée Δ : les électrons transverses et les électrons longitudinaux caractérisés par leur masse effective m_t et m_l (les valeurs considérées dans cette thèse sont données en annexe A.2).

Ainsi, chaque sous-bande pour les deux types de porteurs est traitée individuellement, l'équation (3.4) se simplifie et les équations de Schrödinger 1D finales à résoudre pour ce dispositif (dans le cas d'un confinement d'électron ou de trous) sont données par :

$$-\frac{\hbar^2}{2} \nabla_y \left[\frac{1}{m_{l,t}^{\text{conf}}(x,y)} \nabla_y \right] \Psi_{l,t}(y) + E_C(x,y) \Psi_{l,t}(y) = E_{l,t} \Psi_{l,t}(y), \quad (3.5.a)$$

$$-\frac{\hbar^2}{2} \nabla_y \left[\frac{1}{m_h^{\text{conf}}(x,y)} \nabla_y \right] \Psi_h(y) + E_V(x,y) \Psi_h(y) = E_h \Psi_h(y). \quad (3.5.b)$$

Les masses effectives de confinement ($m_{l,t}^{\text{conf}}$ et m_h^{conf}) ainsi que le profil du bas de la bande de conduction et de la bande de valence [E_C et E_V décrit par les équations (2.8.a) et (2.8.b)] sont avant tout dépendants de la direction y. Cependant, comme les équations (3.5.a) et (3.5.b) sont résolues tranche par tranche pour un x donné, il est tout à fait cohérent d'inclure la dépendance en x sur ces mêmes variables d'autant plus que ces termes sont directement liés aux matériaux qui composent toute la structure et qu'ils évoluent selon x et y. En revanche, les enveloppes des fonctions d'onde des porteurs ($\Psi_{l,t}$ et Ψ_h) dépendent uniquement de la direction y (résolution

* La résolution des équations en 2D (x et y, figure 2.1) néglige les effets liés à la direction z : le courant de drain dans le dispositif est toujours exprimé en A/m (donc résolue en x et y et dépendante de la direction z).

† Les autres vallées de la bande de conduction du silicium (L et Γ) sont beaucoup trop hautes en énergie (les écarts entre le bas de la bande de la vallée Δ et celle de la vallée L ($E_{\Delta-L}$) et entre le bas de la bande de la vallée Δ et celle de la vallée Γ ($E_{\Delta-\Gamma}$) sont supérieurs à 1 eV) pour que les électrons peuplent ces vallées.

en 1D de l'équation de Schrödinger selon y) sur toute la largeur du dispositif, permettant ainsi leurs pénétrations dans les empilements de grille avant et arrière.

Les solutions des équations (3.5.a) et (3.5.b) sont obtenues par les mêmes méthodes de résolution numérique utilisées dans la capacité MIS (détaillées dans le §2.2.1.3). Le calcul des densités de porteurs quantiques (électrons et trous) est finalement calculé tranche par tranche pour un x donné [en réalité pour un nœud i variant de 1 à NX (voir annexe A.1.3, figure A.2)] en suivant le même raisonnement détaillé dans le §2.2.1.2. Uniquement dans le cas du silicium, les équations (2.15) et (2.19) sont alors remplacées par [Moreau5] :

$$n_q(y) = \frac{kT}{\pi\hbar^2} \sum_i \sum_{l,t} \mu_{l,t} m_{l,t}^{2D} \ln \left(1 + e^{\frac{\Phi_{Fn} - (E_{l,t}^i)}{kT}} \right) \left| \Psi_{l,t}^i(y) \right|^2, \quad (3.6.a)$$

$$p_q(y) = \frac{kT}{\pi\hbar^2} \sum_j \sum_h m_h^{2D} \ln \left(1 + e^{\frac{(E_h^j - \Delta E_{so}) - \Phi_{Fp}}{kT}} \right) \left| \Psi_h^j(y) \right|^2, \quad (3.6.b)$$

où seul le niveau de Fermi E_F [dans les équations (2.15) et (2.19)] est remplacé par les quasi-niveaux de Fermi des électrons et des trous Φ_{Fn} et Φ_{Fp} , déterminés par la suite.

Les densités de charge quantique sont alors réinjectées dans l'équation de Poisson par l'intermédiaire des équations (3.3) (n et p sont remplacés par n_q et p_q) et le système Poisson-Schrödinger est résolu de façon auto-cohérente jusqu'à convergence.

3.2.1.3 Calcul du courant de drain

Quel que soit le type de calcul de la densité de porteurs (classique ou quantique), la condition de continuité du courant doit être assurée. En effet, les équations de continuité décrivent l'évolution des porteurs (électrons et trous) dans le film semiconducteur (source-canal-drain) pour imposer un courant constant le long du film où il n'y a pas d'accumulation de charges.

Les équations de continuité et par la suite les densités de courant sont définies par les modèles de transport de charge, généralement obtenus dans une approche semi-classique par simplification ou par approximation de l'équation de transport de Boltzmann (ETB). Les hypothèses émises sur cette équation aboutissent à plusieurs modèles semi-classiques différents tels que le modèle dérive-diffusion ou le modèle hydrodynamique. L'approche la plus simplifiée de l'ETB donne naissance au modèle dérive-diffusion où les principales hypothèses sont [Kiréev] [Gritsch] [Pottier] :

- Approximation des bandes paraboliques.
- La fonction de distribution est une Maxwellienne déplacée qui est scindée en une partie symétrique et une partie antisymétrique.
- Les temps de relaxation sont constants par rapport à l'énergie.
- L'énergie moyenne néglige la partie de "dérive" par rapport à la partie thermique.
- La variation temporelle de la densité de courant est négligée.
- La température des électrons est égale à celle du réseau (relation de fermeture de l'ETB).

Dans la cadre du modèle de transport dérive-diffusion choisi dans cette thèse pour calculer le courant de drain dans les transistors en architecture Double-Grille, les équations de continuité sont données par [Mathieu] :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot J_n + g_n - r_n, \quad (3.7.a)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \nabla \cdot J_p + g_p - r_p, \quad (3.7.b)$$

où J_n et J_p sont les densités de courant des électrons et des trous, respectivement, g_n et g_p sont les taux de génération, et r_n et r_p sont les taux de recombinaison.

Le transport de charges dans les dispositifs Double-Grille se fait uniquement par la conduction des porteurs minoritaires et seulement une des deux équations est appliquée dans notre code : l'équation (3.7.a) dans le cas de transport d'électrons et l'équation (3.7.b) pour le transport de trous. De plus, nous ne ferons pas d'étude dynamique et le caractère temporel de ces équations sera négligé : aucune génération ou recombinaison de porteurs n'aura lieu dans nos simulations. Enfin, les lignes de courant entre le drain et la source ne varient que dans la direction du transport x . L'équation de continuité à résoudre dans notre code pour le transport des électrons se résume donc à :

$$\nabla_x \cdot J_n = 0. \quad (3.8.a)$$

Pour le transport des trous, l'équation de continuité est :

$$\nabla_x \cdot J_p = 0. \quad (3.8.b)$$

Les densités de courant des électrons et des trous sont ensuite exprimées dans le modèle dérive-diffusion par [Mathieu] :

$$\bar{J}_n = q \cdot \mu_n \cdot n \cdot \bar{E} + q \cdot D_n \cdot \nabla n = q \cdot \mu_n \cdot n \cdot \nabla \Phi_{Fn}, \quad (3.9.a)$$

$$\bar{J}_p = q \cdot \mu_p \cdot p \cdot \bar{E} - q \cdot D_p \cdot \nabla p = q \cdot \mu_p \cdot p \cdot \nabla \Phi_{Fp}, \quad (3.9.b)$$

où μ_n et μ_p sont les mobilités des électrons et des trous respectivement, D_n et D_p sont les coefficients de diffusion des électrons et des trous calculés par la relation d'Einstein [dans le cas non dégénéré : $D_n = \mu_n \times (kT/q)$, $D_p = \mu_p \times (kT/q)$], Φ_{Fn} et Φ_{Fp} sont les quasi-niveaux de Fermi des électrons et des trous, n et p sont les densités d'électrons et de trous* et \bar{E} est le champ électrique de la structure.

En remplaçant dans les équations (3.8) les densités de courant exprimées par les équations (3.9), nous obtenons :

$$\nabla_x \cdot \left[q \cdot \left(\mu_n \cdot n \cdot \bar{E} + \frac{kT}{q} \cdot \mu_n \cdot \nabla n \right) \right] = 0, \quad (3.10.a)$$

$$\nabla_x \cdot \left[q \cdot \left(\mu_p \cdot p \cdot \bar{E} - \frac{kT}{q} \cdot \mu_p \cdot \nabla p \right) \right] = 0. \quad (3.10.b)$$

* Dans le cas du calcul quantique, n et p sont remplacés par n_q et p_q [relations (3.6.a) et (3.6.b)].

Puis, en utilisant les propriétés d'analyse vectorielle et en ne s'attardant qu'à la résolution de l'équation (3.10.a) (équation de continuité des électrons), celle-ci se met sous la forme [avec $\beta = q/(kT)$] :

$$\begin{aligned} \nabla_x \cdot (\mu_n \cdot n \cdot \vec{E}) + \frac{1}{\beta} \nabla_x \cdot (\mu_n \cdot \nabla n) &= 0, \\ \mu_n \cdot n \cdot \nabla_x \cdot (\vec{E}) + \vec{E} \nabla (\mu_n \cdot n) + \frac{1}{\beta} [\mu_n \cdot \nabla_x \cdot \nabla n + \nabla n \cdot \nabla \mu_n] &= 0, \\ \mu_n \cdot n \cdot \nabla_x \cdot (\vec{E}) + \vec{E} \nabla \mu_n + \vec{E} \mu_n \nabla n + \frac{1}{\beta} \mu_n \cdot \Delta n + \frac{1}{\beta} \nabla n \cdot \nabla \mu_n &= 0. \end{aligned} \quad (3.11)$$

Or le champ électrique est lié au potentiel électrostatique par la relation $\vec{E} = -\nabla \Phi$ et, dans l'approximation de Boltzmann, la densité d'électrons est égale à $n = n_0 \exp [\beta(\Phi - \Phi_{Fn})]$. Nous pouvons donc écrire :

$$\nabla n = \nabla (n_0 \exp [\beta(\Phi - \Phi_{Fn})]) = \beta \cdot n \cdot \nabla (\Phi - \Phi_{Fn}), \quad (3.12)$$

et :

$$\Delta n = \Delta [n \cdot \nabla (\Phi - \Phi_{Fn})] = \beta^2 \cdot n \cdot [\nabla (\Phi - \Phi_{Fn})]^2 + \beta \cdot n \cdot \Delta (\Phi - \Phi_{Fn}). \quad (3.13)$$

En utilisant (3.12) et (3.13), l'expression (3.11) devient alors :

$$\begin{aligned} -\mu_n \cdot n \cdot \Delta \Phi + \vec{E} \nabla \mu_n + \vec{E} \mu_n \nabla n + \frac{1}{\beta} \mu_n \cdot \Delta n + \frac{1}{\beta} \nabla n \cdot \nabla \mu_n &= 0, \\ -\mu_n \cdot n \cdot \Delta \Phi - n \nabla \Phi \cdot \nabla \mu_n - \beta \cdot \mu_n \cdot n \cdot \nabla \Phi \cdot \nabla (\Phi - \Phi_{Fn}) + \mu_n \cdot \beta \cdot n \cdot [\nabla (\Phi - \Phi_{Fn})]^2 \\ + \mu_n \cdot n \cdot \Delta (\Phi - \Phi_{Fn}) + n \cdot \nabla (\Phi - \Phi_{Fn}) \cdot \nabla \mu_n &= 0 \end{aligned} \quad (3.14)$$

Après diverses manipulations algébriques, l'équation (3.14) est simplifiée et l'équation de continuité des électrons résolue dans le code de simulation est égale à :

$$\Delta (\Phi_{Fn}) + \frac{1}{\mu_n} \nabla \mu_n \nabla \Phi_{Fn} + \beta \nabla \Phi_{Fn} \nabla (\Phi - \Phi_{Fn}) = 0. \quad (3.15.a)$$

Dans le cas du transport des trous, le raisonnement est identique et l'équation finale à résoudre est :

$$\Delta (\Phi_{Fp}) + \frac{1}{\mu_p} \nabla \mu_p \nabla \Phi_{Fp} + \beta \nabla \Phi_{Fp} \nabla (-\Phi + \Phi_{Fp}) = 0. \quad (3.15.b)$$

Si la mobilité est considérée constante dans le film semiconducteur, μ_n et μ_p sont indépendantes des coordonnées x et y , leur gradient s'annule et les équations (3.15) deviennent :

$$\Delta (\Phi_{Fn}) + \beta \nabla \Phi_{Fn} \nabla (\Phi - \Phi_{Fn}) = 0, \quad (3.16.a)$$

$$\Delta (\Phi_{Fp}) + \beta \nabla \Phi_{Fp} \nabla (-\Phi + \Phi_{Fp}) = 0. \quad (3.16.b)$$

D'un point de vue numérique, les équations (3.15) et (3.16) sont des équations aux dérivées partielles. Elles permettent donc de déterminer le quasi-niveau de Fermi des électrons et des trous de la structure et sont traitées en 2D à partir de la même méthode de résolution numérique que l'équation de Poisson 2D (3.2) (voir annexe A.1).

Après convergence de l'équation de continuité, un dernier test est effectué sur le potentiel (voir figure 3.2) et la densité de courant de drain en fonction de x est ensuite évaluée grâce au second terme des équations (3.9.a) pour le transport des électrons et (3.9.b) pour le transport des trous. Le courant total de drain en fonction des tensions appliquées est alors calculé en sommant la contribution de chaque ligne de courant dans le film semiconducteur (somme sur tous les y). Finalement, les principaux résultats (densité de porteurs classique ou quantique, niveaux d'énergie, quasi-niveau de Fermi, courant de drain) sont stockés et analysés.

3.2.2 Discussion

Cette partie s'attache à discuter du domaine de validité de notre approche (QDD) pour la simulation du transport dans les transistors MOS en architecture Double-Grille.

Comme les dimensions des dispositifs MOS tendent toujours à diminuer, les grandeurs du canal de transport (longueur et largeur) dans les structures se rapprochent des longueurs d'onde caractéristiques des particules (par exemple, la longueur d'onde De Broglie à l'énergie de Fermi). Les phénomènes liés à la mécanique quantique apparaissent donc de plus en plus et tendent à dominer le fonctionnement des nano-dispositifs par rapport à une approche classique. Les principaux phénomènes quantiques sont : le confinement quantique, le transport balistique et les effets liés à la structure de bande (déformation des bandes pour les dispositifs de basses dimensionnalités, BTBT, conduction inter-vallée). Même si le transport balistique tend à améliorer le courant de drain des dispositifs [Lundstrom], certains phénomènes semblent limiter fortement les performances (principalement sous le seuil : courant à l'état off, pente sous le seuil) des transistors en architecture Double-Grille à très faible longueur de canal (typiquement $L_G \leq 10$ nm), comme :

- l'effet tunnel direct entre la source et le drain [Stadele] [Munteanu] [Autran3],
- l'effet BTBT dans les semiconducteurs à faible bandgap [Saraswat].

Le modèle de transport QDD, choisi dans cette thèse, ne décrit pas le transport quantique dans les structures de très petites dimensions. Des outils spécialement dédiés à la simulation du transport quantique sont donc nécessaires pour prévoir les performances de ces futurs dispositifs. Différentes approches ont été développées et les approches les plus précises restent la simulation Monte-Carlo (grâce à la résolution de l'équation de transport de Boltzmann avec un ordre plus élevé que pour le transport de dérive-diffusion), la résolution couplée des équations de Schrödinger et de Wigner et le formalisme NEGF (§2.3.1.2). Le principal défaut de ces méthodes reste néanmoins un temps de simulation très important.

Tout au long de ce chapitre, la plus faible longueur de canal simulée sera égale à 20 nm. A cette longueur, nous pouvons donc considérer que les phénomènes quantiques de transport (transport balistique et BTBT) sont limités et que le transport des porteurs peut tout à fait être décrit par l'approche QDD avec suffisamment de précision. En revanche, le phénomène de confinement quantique sera bien pris en compte grâce à la résolution auto-cohérente des équations de Poisson et de Schrödinger.

3.3 Simulation des transistors MOS Double-Grille à grilles indépendantes sur silicium

Le but de cette partie est de décrire le fonctionnement des transistors MOS en architecture Double-Grille à base de silicium. Les performances des deux structures, DG et en particulier IDG, seront comparées à l'aide du code de simulation numérique présenté dans le §3.2. Les objectifs principaux de cette partie sont donc d'étudier les caractéristiques de ces dispositifs et de mettre en avant l'importance de la simulation quantique par rapport à la simulation classique en particulier dans les transistors MOS IDG.

3.3.1 Simulation classique des dispositifs

Dans un premier temps, nous allons nous intéresser au fonctionnement des transistors MOS en architecture Double-Grille (DG et IDG) à base de silicium et à canal n grâce à la simulation classique (Poisson + dérive-diffusion). Dans tout le §3.3.1, la structure de référence, représentée schématiquement sur la figure 3.2, sera caractérisée par les paramètres physiques et électriques suivants :

- $L_G = 200$ nm (canal long),
- $T_{oxf} = T_{oxb} = 1$ nm, matériaux SiO_2 ,
- $T_S = 10$ nm (épaisseur de film élevée),
- $N_S = n_{iSi} = 1.15 \times 10^{10}$ cm⁻³ (canal intrinsèque),
- $N_{SD} = 3 \times 10^{20}$ cm⁻³,
- $\Phi_{Mf} = \Phi_{Mb} = 4,61$ eV (grilles midgap).

3.3.1.1 Validation du code

La figure 3.4 compare les caractéristiques $I_{DS}(V_{Gf})$ dans les dispositifs DG ($V_{Gb} = V_{Gf}$) et IDG (pour plusieurs tensions de grille arrière V_{Gb}) issues de la simulation classique de notre code (CL, trait continu) et d'un code de simulation commercial (Atlas, Silvaco [Silvaco]) [Loussier]. La concordance entre les deux codes de simulation permet de valider notre code de simulation dans le cas classique pour les dispositifs DG et IDG. En effet, l'erreur maximum observée entre les deux codes de simulation ne dépasse jamais 3% dans les dispositifs de la figure 3.4 Pour des dispositifs IDG avec $V_{Gb} < -0.6$ V, notre code fonctionne parfaitement alors que des problèmes de convergence ont été observés dans les simulations du logiciel Atlas (non montrés ici). Notre code de simulation va donc nous permettre de simuler des structures IDG pour une large gamme de tension de grille arrière (§3.3.1.2).

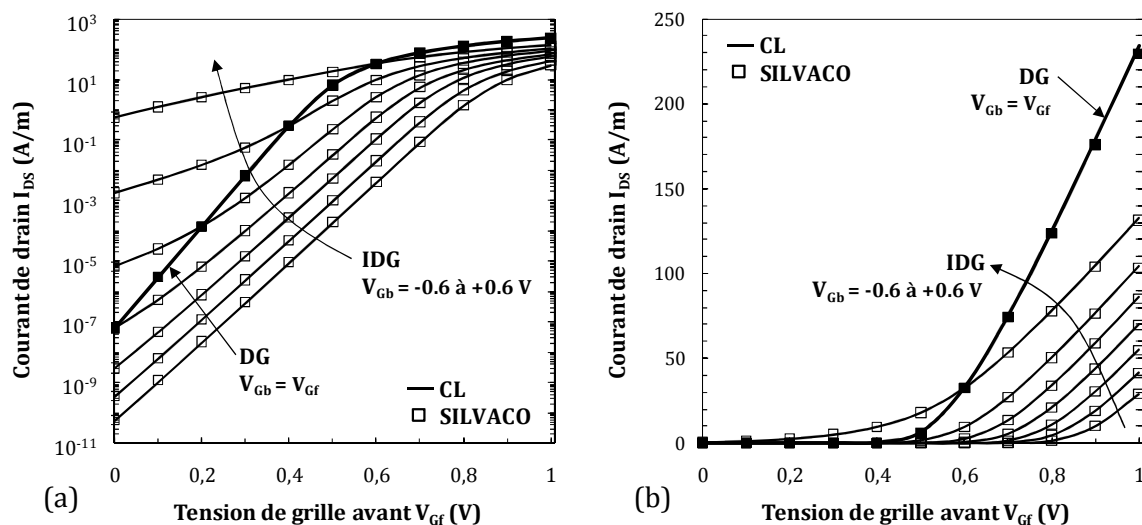


Figure 3.4 : Caractéristiques $I_{DS}(V_{Gf})$ ($V_D = 0.1$ V) issues de la simulation classique de notre code (CL, traits continus) et d'un code de simulation commercial (Atlas Silvaco [Silvaco], symboles carrés) [Loussier] des transistors MOS DG ($V_{Gb} = V_{Gf}$, traits épais) et IDG ($V_{Gb} = -0.6$ à $+0.6$ V par pas de 0.2 V, traits fins) (a) en échelle logarithmique et (b) en échelle linéaire. Les principales données des structures sont : $L_G = 200$ nm, $T_S = 10$ nm, $T_{oxf} = T_{oxb} = 1$ nm, $N_S = n_i^{Si}$, $N_{SD} = 3 \times 10^{20}$ cm $^{-3}$.

La figure 3.4 montre également l'influence des polarisations des grilles avant et arrière sur le courant de drain dans les transistors MOS Double-Grille à grilles indépendantes. En effet, le courant de drain dans le dispositif IDG est modulé par la tension appliquée sur la grille arrière. Ce phénomène est lié à la création (ou non) d'un canal de porteurs près de l'interface semiconducteur/oxyde arrière : plus la tension V_{Gb} est élevée et plus le nombre de porteurs attirés vers la grille arrière augmente. Par exemple, à $V_{Gb} = -0.6$ V et $V_{Gf} = 0$ V les électrons sont repoussés de la grille arrière et aucun canal de porteurs n'est créé. Quand la tension de contrôle V_{Gf} augmente, les porteurs sont attirés vers la grille avant et un seul canal de conduction permet d'augmenter le courant circulant de la source au drain. En revanche, si la tension de grille arrière est supérieure à la tension de seuil ($V_{Gb} = +0.6$ V $>$ V_{Th}) et $V_{Gf} = 0$ V les électrons sont déjà attirés près de la grille arrière ce qui crée un canal de conduction arrière entre la source et le drain et explique le fort courant observé à ces tensions. Ensuite pour $V_{Gb} = +0.6$ V et $V_{Gf} = +1$ V, le courant est le plus élevé pour les structures IDG car deux canaux de conduction avant et arrière existent et peuvent fournir un flux d'électrons important entre les électrodes de source et de drain.

La comparaison avec le dispositif DG montre donc la possibilité d'utiliser la grille arrière comme quatrième terminal de commande (au lieu de trois dans le transistor DG) pour faire varier les valeurs des principaux paramètres électriques qui caractérisent ce dispositif.

3.3.1.2 Extraction des paramètres électriques

Par la suite, nous avons extrait et représenté sur la figure 3.5 les courants I_{on} et I_{off} , la tension de seuil V_{Th} et la pente sous le seuil SS en fonction de la tension de grille arrière à $V_{DS} = 0.1$ V dans la structure de référence.

Le courant de fuite I_{off} , représenté sur la figure 3.5.a, correspond à la valeur du courant de drain lorsque la tension de grille avant est nulle. Sa valeur doit donc être la plus faible possible

pour éviter que le dispositif consomme de l'énergie au repos. Cette figure traduit parfaitement la création d'un canal de conduction à l'interface oxyde/semiconducteur arrière. Plus la tension de grille arrière augmente et plus le courant de fuite de l'IDG augmente car les électrons sont de plus en plus attirés vers le bas du canal augmentant ainsi le flux d'électrons pouvant circuler de la source au drain à cette interface. Nous observons une très grande variation de cette valeur en fonction de V_{Gf} où celle-ci passe largement sous la valeur obtenue dans le transistor DG. Ce résultat est intéressant puisqu'il signifie que les dispositifs IDG peuvent avoir un courant de fuite plus faible que celui des structures à grilles connectées. La consommation statique des circuits à base de ces composants serait alors très réduite, condition indispensable pour respecter l'ITRS dans le cas des applications "basse puissance" (*LSTP : Low Standby Power Technology*) [ITRS].

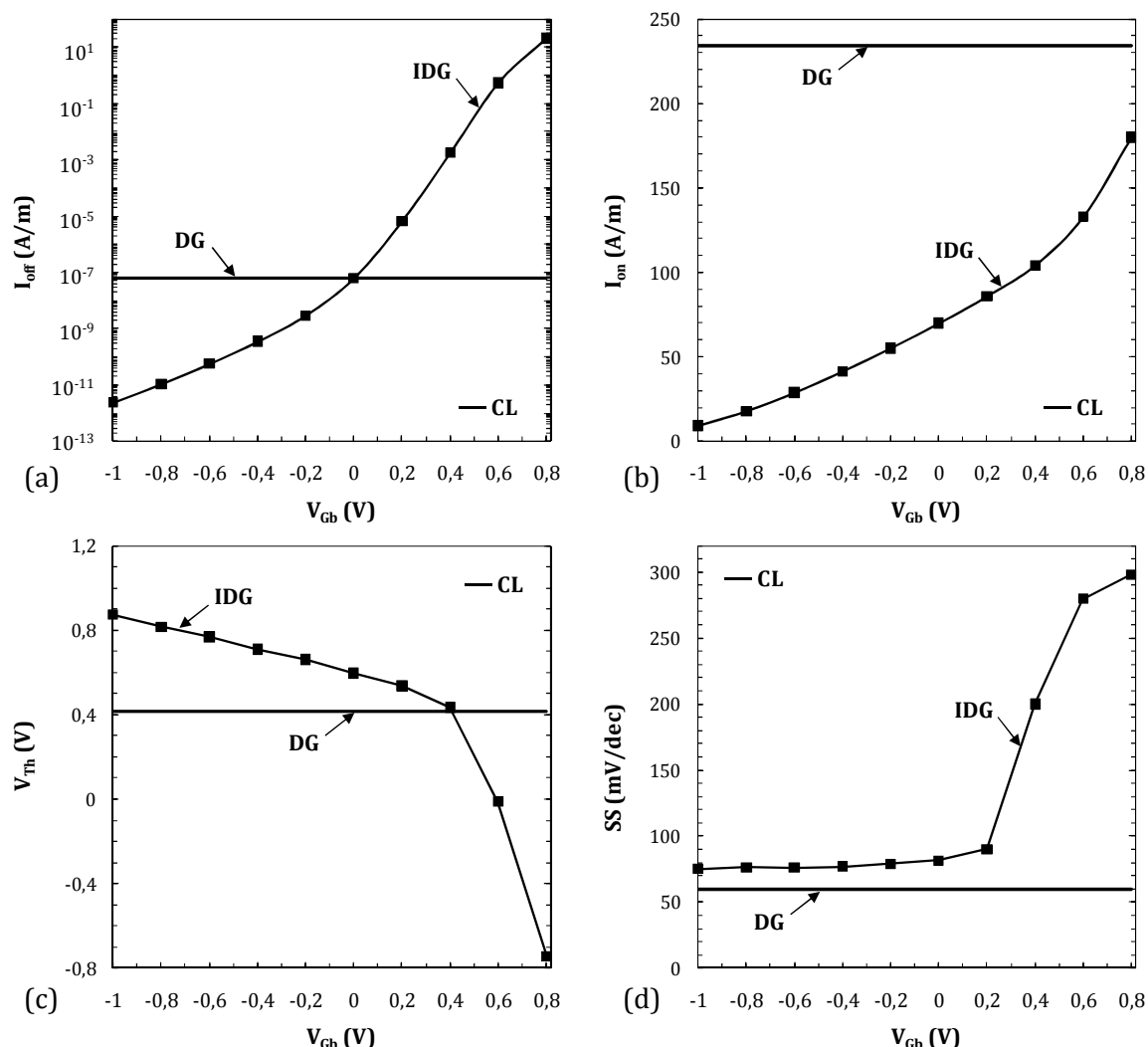


Figure 3.5 : Représentation des paramètres électriques de la structure IDG de référence (figure 3.4) en fonction de la tension de grille arrière V_{Gb} issus de notre code de simulation classique : (a) courant du dispositif à l'état on I_{on} , (b) courant du dispositif à l'état off I_{off} , (c) tension de seuil V_{Th} et (d) pente sous le seuil SS. A titre de comparaison, les valeurs dans le transistor DG figurent également sur les courbes.

La figure 3.5.b illustre la variation du courant de saturation I_{on} en fonction de la tension de grille arrière. Ici, la valeur du courant de saturation de l'IDG est logiquement toujours

inférieure à celle du DG. En effet, le courant I_{on} du transistor DG est extrait à $V_{Gf} = V_{Gb} = 1$ V alors que la valeur maximum dans l'IDG est extraite à $V_{Gf} = 1$ V mais $V_{Gb} = 0.8$ V (moins d'électrons du canal de conduction arrière participent au transport à cette tension). Cette figure illustre une nouvelle fois l'apparition d'un second canal de conduction à l'interface arrière au fur et à mesure que V_{Gb} augmente. En revanche, la variation du courant I_{on} entre les deux extrêmes de la tension de grille arrière est beaucoup plus faible car la contribution des électrons du canal de conduction arrière au courant total est très faible quand V_{Gb} est négatif. Ainsi, le transistor IDG est également capable de fournir un courant I_{on} assez élevé malgré une tension de grille arrière faible.

La tension de seuil des dispositifs est extraite à partir de la méthode du courant constant. Cette méthode consiste à déterminer la valeur de la tension de commande (tension de grille avant pour les transistors IDG) pour laquelle le courant de drain est égale à $I_{DS} = 10^{-7} \times (W/L_G)$ A où W est la largeur du dispositif et égale à 1 puisque le courant simulé ne prend pas en compte cette dimension (I_{DS} est calculé en A/m). La figure 3.5.c montre l'évolution de la tension de seuil en fonction de la tension de grille arrière dans les structures IDG et DG de référence. La valeur de V_{Th} dans le dispositif IDG varie peu et linéairement entre $V_{Gb} = -1$ V et $V_{Gb} = 0.2$ V. Cette courbe montre donc que la tension de seuil peut être facilement modulée par la variation de la tension de grille arrière, phénomène particulièrement intéressant pour étendre la conception de nouveaux circuits à base de transistor MOS IDG [Mathew]. Au-delà de 0.4 V, la tension de seuil chute fortement dû à l'augmentation du nombre d'électrons dans le canal de conduction arrière comme expliqué ci-dessus.

Enfin, le dernier paramètre extrait des caractéristiques $I_{DS}(V_{Gf})$ est la pente sous le seuil SS tracée sur la figure 3.5.d en fonction de la tension de grille arrière. La valeur reste stable aux alentours de 70 mV/dec tant que le deuxième canal de conduction a peu d'influence sur le courant de drain ($V_{Gb} \leq 0.2$ V). Ces valeurs sont en revanche toujours plus élevées par rapport à la pente sous le seuil idéale ($SS = 60$ mV/dec) du transistor MOS DG car la dissymétrie des tensions de grille avant et arrière réduit le contrôle électrostatique dans la structure IDG.

Pour conclure, l'étude du fonctionnement du transistor MOS IDG montre que cette structure est un composant à part entière qui permet de régler les différents paramètres électriques (I_{on} , I_{off} , V_{Th}) de cette structure à l'aide de la simple variation des tensions de grille avant et arrière. Ce dispositif a donc un fort potentiel pour le développement de nouveaux circuits élémentaires tels que l'utilisation en tant que point mémoire [Puget] ou modulateur de transconductance [Mathew]. En revanche, le comportement électrique de la structure à forte tension de grille arrière montre des dégradations importantes des paramètres clés nécessaires au bon fonctionnement du transistor MOS IDG (au-delà d'une tension de grille arrière supérieure à 0.6 V).

La simulation numérique de cette structure, présentée dans ce chapitre, est essentielle pour comprendre en détail les phénomènes mis en jeu notamment lors de la réduction des dimensions (voir paragraphes suivants) mais doit s'accompagner d'une modélisation compacte pour être utilisée dans des simulateurs de circuit. Pour remédier à ce problème, un modèle compact dédié au calcul du courant de drain dans les transistors MOS IDG sera présenté dans le chapitre 4 de cette thèse.

3.3.1.3 Réduction de la longueur de grille : effets de canal court

La réduction de la longueur de grille dans les transistors (en architecture *bulk* ou multi-grilles) entraîne inévitablement l'apparition des effets de canal court, phénomène expliqué en détail dans le §1.2.2.1. Nous allons donc étudier ici l'influence de ces effets sur le fonctionnement du transistor MOS IDG. Les paramètres physiques des dispositifs simulés restent identiques à ceux de la structure de référence à l'exception de la longueur de grille qui sera réduite. Les courbes seront issues de notre code de simulation numérique en utilisant le calcul classique de la densité de porteurs. La figure 3.6 représente les caractéristiques $I_{DS}(V_{Gf})$ de la structure IDG pour trois longueurs de grille à V_{Gb} nulle et V_{DS} faible et fort ($V_{DS} = 0.1$ et 1 V).

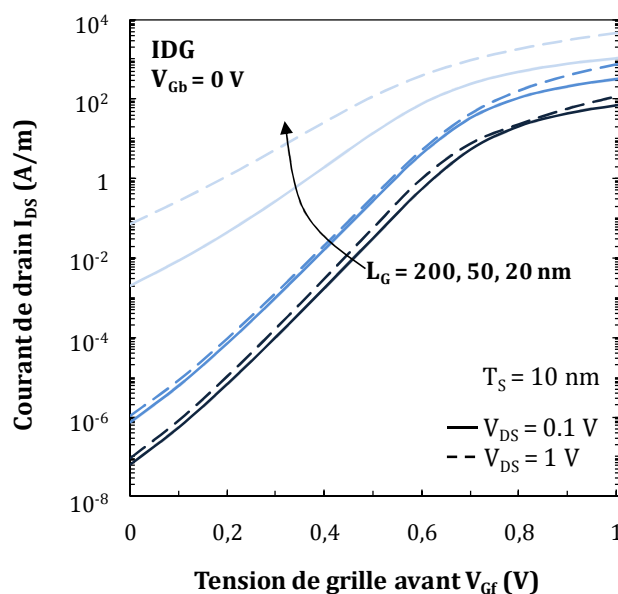


Figure 3.6 : Caractéristiques $I_{DS}(V_{Gf})$ du transistor MOS IDG ($V_{Gb} = 0$ V et $T_S = 10$ nm) issues de la simulation classique de notre code pour différentes longueurs de grille [$L_G = 200, 50$ et 20 nm (traits bleu foncé à bleu clair)] à V_D faible ($V_D = 0.1$ V, traits continus) et à V_D fort ($V_D = 1$ V, traits pointillés).

Les courbes de la figure 3.6 montrent l'influence générale des effets de la réduction de la longueur de grille sur le courant de drain dans les dispositifs IDG : augmentation du courant de fuite, diminution de la pente sous le seuil et de la tension de seuil, et, augmentation du courant de saturation. Le comportement électrique de cette structure est donc identique à l'architecture Double-Grille. Les effets liés à la réduction de la longueur de grille dans les dispositifs MOSFETs s'expliquent par l'apparition de deux phénomènes électrostatiques (§1.2.2.1) :

- l'effet de canal court à V_{DS} faible (SCE) qui entraîne une diminution de l'amplitude de la barrière de potentielle vue par les électrons entre la source et le drain. La grille perd donc de son contrôle sur le flux de porteurs et les électrons passent plus facilement d'un contact à l'autre.
- l'effet de chute de potentiel induite par la tension de drain (DIBL à V_{DS} fort). Cet effet est une amplification de l'effet SCE générée par l'application d'une forte polarisation sur le drain. Celle-ci diminue l'amplitude de la barrière de potentiel entre la source et le drain

et provoque donc l'augmentation du nombre de porteurs entre la source et le drain et par conséquent le courant I_{DS} .

Les effets SCE, calculé par la différence entre la tension de seuil à canal long et la tension de seuil à différentes longueurs de grille pour V_{DS} faible :

$$SCE = V_{Th}(L_G = 200 \text{ nm}) - V_{Th}(L_G < 200 \text{ nm}), \quad (3.17)$$

et DIBL, donnée par la différence entre la tension de seuil à V_{DS} faible et fort :

$$DIBL = \frac{[V_{Th}(V_{DS} = 0.1 \text{ V}) - V_{Th}(V_{DS} = 1 \text{ V})]}{\Delta V_{DS}}, \quad (3.18)$$

sont représentés sur la figure 3.7 en fonction de la polarisation de grille arrière pour des transistors MOS IDG avec différentes longueurs de grille.

Pour $L_G = 50 \text{ nm}$ (et $L_G/T_S = 5$), les effets de canal court (SCE et DIBL) sont très faibles car le rapport L_G/T_S est supérieur à 3 [Haensch] et ce quelle que soit la polarisation de grille arrière. En effet, le contrôle du flux d'électrons par les grilles reste bon malgré un fort champ électrique dans le canal à l'extraction des tensions de seuil dû à la forte dissymétrie des tensions avant et arrière [par exemple, pour $V_{Gb} = -0.6 \text{ V}$, la tension de seuil (équivalente à la tension de grille avant) est égale à environ 0.7 V].

Quand la longueur de grille est réduite ($L_G = 20 \text{ nm}$ et $L_G/T_S = 2$), les effets de canal court augmentent fortement. Nous remarquons deux comportements différents : pour le SCE, sa valeur est stable (voire diminue légèrement) jusqu'à $V_{Gb} = 0 \text{ V}$ puis augmente drastiquement au-dessus de cette tension alors que pour le DIBL, sa valeur croit au fur et à mesure que la polarisation arrière augmente avec une très forte augmentation de ce paramètre au-dessus de $V_{Gb} = 0.2 \text{ V}$. Ces résultats confirment que ce composant ne peut être utilisé à forte polarisation de la grille arrière car les effets de canal court sont beaucoup trop importants.

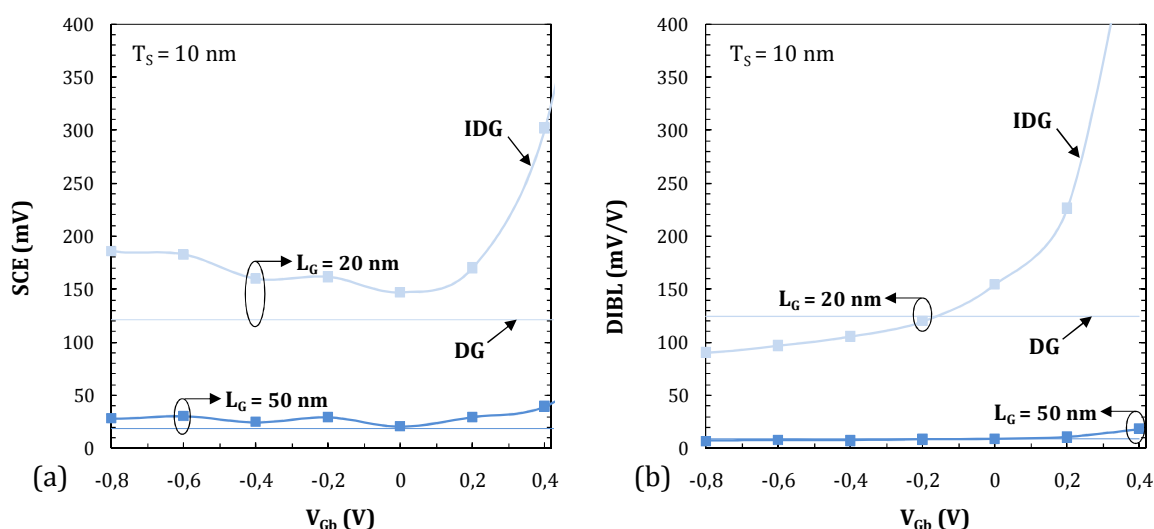


Figure 3.7 : Représentation des effets électrostatiques liés à la réduction de la longueur de grille dans les transistors MOS IDG ($T_S = 10 \text{ nm}$) en fonction de la polarisation de la grille arrière pour deux longueurs de grille (a) SCE et (b) DIBL.

En comparant avec les valeurs du transistor MOS DG (traits fins des figures 3.7), la structure IDG à une plus faible immunité à l'effet SCE quelle que soit la tension de grille arrière et la longueur de canal. En revanche, le DIBL est plus faible dans le dispositif IDG quand la polarisation de la grille arrière est très négative car l'impact de la chute de la hauteur de la barrière de potentiel est moins important quand il n'y a qu'un seul canal de conduction. En effet, à la tension de seuil, les deux canaux de conduction sont formés dans la structure DG alors qu'un seul est formé à l'interface avant quand la polarisation de la grille arrière du dispositif IDG est négative.

D'une part, le transistor MOS IDG est plus impacté par l'effet de canal court SCE mais d'autre part, cette structure permet de diminuer l'effet de canal court DIBL à polarisation de grille arrière négative par rapport au dispositif DG classique. En revanche, les effets de canal court SCE et DIBL sont exacerbés à forte tension de grille avant, ce qui prouve une nouvelle fois que le transistor MOS IDG ne possède pas de bonnes caractéristiques électriques pour être utilisé dans ces conditions de polarisations.

3.3.2 Impact du confinement quantique : simulation classique vs simulation quantique

Cette partie est dédiée à l'étude de la réduction de l'épaisseur du film semiconducteur T_s dans les transistors MOS en architecture Double-Grille. Les résultats issus des simulations classique et quantique (modèle QDD, détaillé dans le §3.2.1.2) sont donc comparés pour mettre en avant l'impact des effets de confinement quantique sur les performances des dispositifs DG et IDG à canal n. Ainsi, la mobilité des électrons sera fixée pour toutes les simulations à une valeur constante [$\mu(x,y) = 200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$] dans tout le film semiconducteur (source-canal-drain) afin de s'affranchir des effets liés à la variation de la mobilité dans le canal.

3.3.2.1 Explication des phénomènes mis en jeu

L'utilisation de films minces comme canal de conduction dans les structures ultimes impliquent que les porteurs de charge (électrons ou trous) ne peuvent plus se déplacer dans toutes les directions du canal. Les dimensions ($L_G \geq 20 \text{ nm}$ et $T_s \leq 10 \text{ nm}$) et le caractère 2D des architectures Double-Grille simulées dans cette partie imposent une quantification de l'énergie des porteurs dans la direction y du canal de conduction (voir §1.2.2.2). En effet, le diagramme de bande dans la direction y de ce dispositif forme un puits de potentiel électrique 1D où les porteurs de charge sont confinés. La résolution auto-cohérente des équations de Poisson et de Schrödinger permet de situer les niveaux d'énergie quantifiés et de calculer la probabilité de présence des porteurs à ces niveaux en fonction de la forme du puits de potentiel quantique.

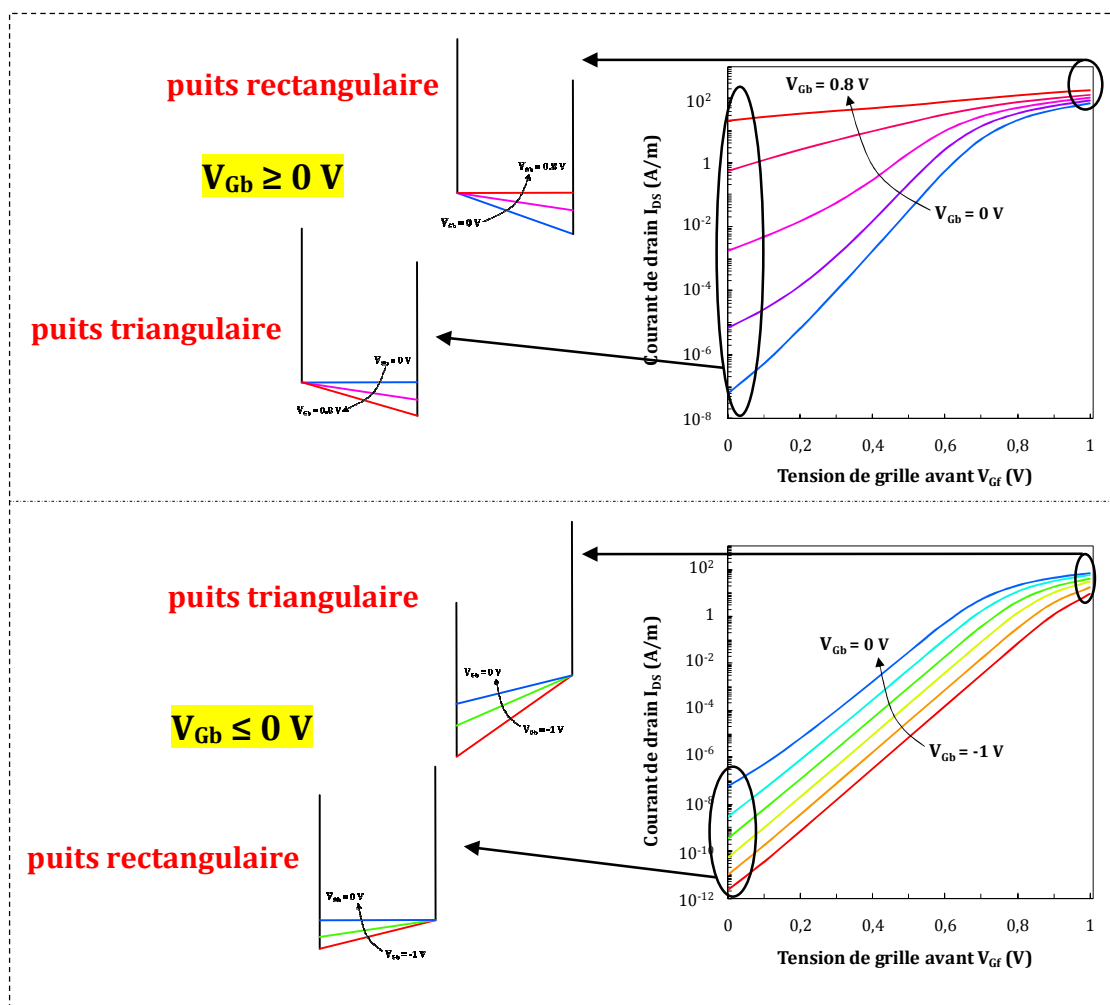


Figure 3.8 : Illustration schématique de la variation de la forme du puits de potentiel en fonction des polarisations sur les grilles avant et arrière dans un transistor MOS IDG.

Ainsi, l'évolution du puits de potentiel qui dépend principalement de la polarisation appliquée sur les grilles avant et arrière du dispositif va fortement influencer l'évolution des effets de confinement quantique dans le transistor MOS en architecture Double-Grille. La figure 3.8 représente schématiquement l'évolution de la forme du puits de potentiel dans un dispositif IDG selon la polarisation de la grille arrière V_{Gb} .

Quand la polarisation de la grille arrière est très négative ($V_{Gb} = -1$ V, courbe rouge) et que la polarisation de la grille avant augmente (V_{Gf} passe de 0 à 1 V), l'écart entre les polarisations des grilles avant et arrière augmente et déforme la bande de conduction vers un puits de potentiel de plus en plus triangulaire. Ensuite, plus V_{Gb} se rapproche de zéro (courbe bleu) et plus le puits de potentiel prend une forme rectangulaire (sauf à V_{Gf} très fort où le puits reste faiblement triangulaire) car les tensions de grille avant et arrière tendent vers les mêmes valeurs. D'une manière générale, nous notons que le puits de potentiel où sont confinés les électrons est principalement de forme triangulaire quand $V_{Gb} \leq 0$ V (et V_{Gf} varie de 0 à +1 V) puisque les polarisations sont de signe opposé.

Quand V_{Gb} devient supérieure à 0 V, les écarts de tension entre les deux grilles se réduisent puisque V_{Gf} varie entre 0 et 1 V. Ainsi, le puits passe d'une forme rectangulaire à triangulaire

quand V_{Gb} est augmentée et V_{Gf} proche de zéro. Enfin quand les deux polarisations de grille avant et arrière deviennent fortes le puits de potentiel vu par les électrons est rectangulaire. Dans ces conditions ($V_{Gb} \geq 0$ V), les électrons sont donc plutôt confinés dans un puits de potentiel rectangulaire.

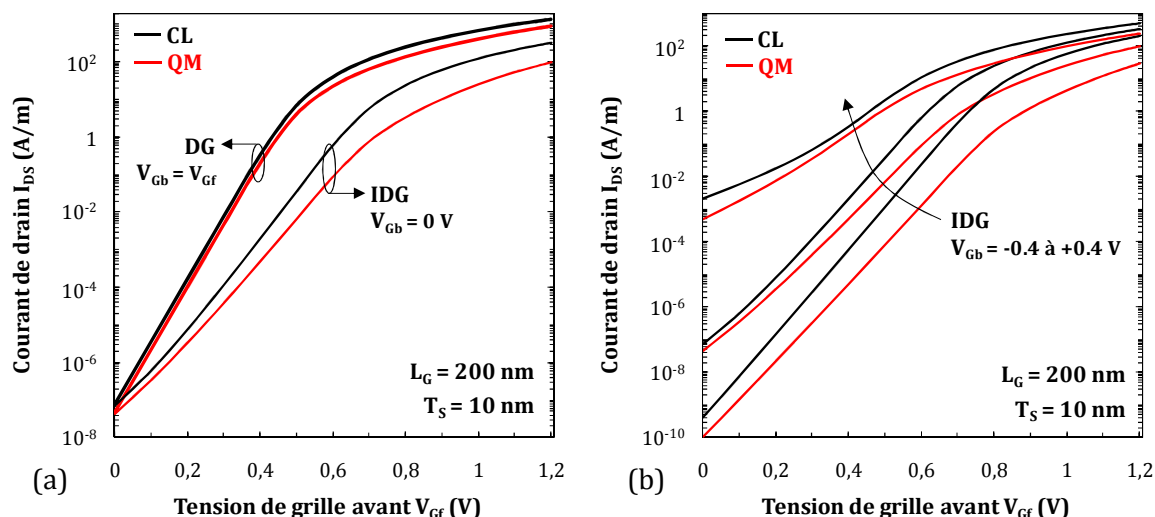


Figure 3.9 : Caractéristiques $I_{DS}(V_{Gf})$ ($V_D = 1$ V) issues des simulations classique (CL, courbes noires) et quantique (QM, courbes rouges) des transistors MOS (a) DG ($V_{Gb} = V_{Gf}$) et IDG ($V_{Gb} = 0$ V), et (b) IDG ($V_{Gb} = -0.4, 0, +0.4$ V). Les principales données des structures sont : $L_G = 200$ nm, $T_S = 10$ nm, $T_{oxf} = T_{oxb} = 1$ nm, $N_S = n_i^{Si}$, $N_{SD} = 3 \times 10^{20}$ cm $^{-3}$.

Les porteurs du dispositif IDG sont donc soumis à deux types de confinement quantique [Trivedi] :

- un confinement dit structurel car lié à la réduction physique de l'épaisseur du film semiconducteur T_S ,
- un confinement électrique induit par la différence de potentiel appliquée sur les deux grilles avant et arrière.

La figure 3.9 représente les caractéristiques simulées du courant de drain en fonction de la polarisation de la grille avant pour les dispositifs DG ($V_{Gb} = V_{Gf}$) et IDG ($V_{Gb} \neq V_{Gf}$) où la densité de porteurs est calculée de façon classique (CL, courbes noires) ou quantique (QM, courbes rouges)*.

La figure 3.9.a révèle l'importance de l'effet de confinement quantique sur les caractéristiques $I_{DS}(V_{Gf})$ de la structure IDG par rapport à celles du dispositif DG simple. En effet, dans le dispositif DG, la comparaison entre les courbes classique et quantique montre simplement un très faible décalage de la caractéristique quantique vers une tension de grille plus élevée par rapport à la courbe classique. La simulation quantique montre donc une faible diminution des courants I_{on} et I_{off} et de la tension de seuil V_{Th} mais n'influence pas la pente sous le seuil SS de cette structure. A ces dimensions ($L_G \gg T_S$ et $T_S = 10$ nm), l'impact du calcul de la densité de porteurs sur les caractéristiques $I_{DS}(V_{Gf})$ du dispositif DG est faible : d'une part,

* Ce système de représentation des courbes [simulation classique (CL) en noire et simulation quantique (QM) en rouge] sera utilisé tout au long de ce chapitre et la légende ne figurera pas sur toutes les courbes pour ne pas encombrer la visibilité des graphiques.

l'épaisseur du film semiconducteur est trop importante pour confiner les porteurs ; d'autre part un rapport L_G/T_S important "immunise" la structure contre les effets de canal court. En revanche, dans le cas du dispositif IDG avec $V_{Gb} = 0$ V, la pente sous le seuil est dégradée en plus du décalage important des courbes classique et quantique : l'effet de confinement quantique dégrade les performances de ce dispositif. La figure 3.9.b compare les courbes de courant classique et quantique dans un transistor IDG où différentes polarisations de grille arrière sont appliquées. L'évolution de la différence entre les courbes classique et quantique semble être fortement dépendante de la tension de grille arrière et donc de l'évolution de la forme du puits de potentiel (rectangulaire ou triangulaire). Ces premiers résultats prouvent que l'effet de confinement quantique est plus important dans le transistor IDG que dans la structure DG simple.

Malgré des dimensions relativement élevées ($L_G = 200$ nm et $T_S = 10$ nm), l'effet de confinement quantique semble dégrader fortement la réponse en courant du transistor MOS IDG. Les principaux paramètres électriques ont donc été extraits des caractéristiques $I_{DS}(V_{Gf})$ afin d'étudier l'influence de ce phénomène pour différentes épaisseurs de film et tensions de grille arrière.

3.3.2.2 Réduction de l'épaisseur du film semiconducteur

La figure 3.10 montre la variation de la tension de seuil dans le transistor MOS IDG, extraite à partir de la méthode du courant constant dans les simulations classique et quantique, en fonction de la tension de grille arrière pour deux épaisseurs de film de silicium. Les fortes tensions de seuil observées sont dues à l'utilisation de grilles métalliques *midgap* ($\Phi_{Mf} = \Phi_{Mb} = 4.61$ eV) qui donnent dans le cas du transistor MOS DG des tensions de seuil raisonnables aux alentours de 0.4 eV. Les explications suivantes ne seront en aucun cas altérées par ces fortes valeurs et il suffirait de régler les travaux de sorties des deux grilles pour obtenir des valeurs proches de celles observées dans les dispositifs actuels.

Nous remarquons sur la figure 3.10 que la tension de seuil quantique est toujours supérieure à la tension de seuil classique. Le fort confinement quantique dans la structure IDG provoque la diminution générale de la concentration de porteurs dans le canal et donc l'augmentation de la tension à laquelle le transistor passe du régime d'inversion faible au régime d'inversion forte. Nous pouvons également noter que les tensions de seuil classique et quantique sont quasiment égales quand V_{Gb} augmente et s'approche de $V_{Gf} = V_{Th}$, c'est-à-dire quand le champ électrique transverse de la structure tend vers zéro et que le confinement électrique devient faible. La figure 3.11, où est tracée la différence entre les tensions de seuil classique et quantique ΔV_{Th}^q et la variation du champ électrique en fonction de la polarisation de la grille arrière, illustre parfaitement ce phénomène.

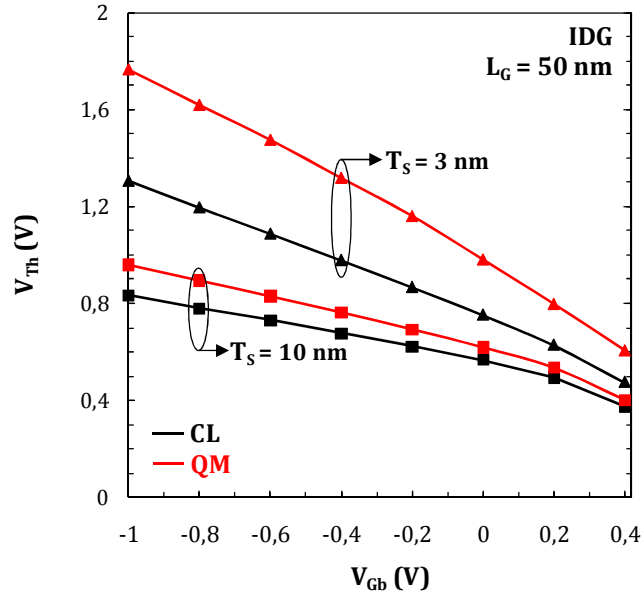


Figure 3.10 : Comparaison entre les tensions de seuil issues des simulations classique et quantique en fonction de la tension de grille arrière pour des transistors MOS IDG ($V_{Gb} = 0$ V) avec $L_G = 50$ nm et deux épaisseurs de film de silicium ($T_S = 3$ et 10 nm).

La figure 3.11 montre tout d'abord que plus l'épaisseur du film semiconducteur est réduite et plus la quantification des porteurs dans le puits de potentiel est importante pour toutes les tensions de grille arrière car le confinement structurel est beaucoup plus important à faible épaisseur de film. Ensuite, les valeurs de ΔV_{Th}^q dépendent fortement de la polarisation de la grille arrière et donc du champ électrique transverse défini par :

$$E_{x,c} = \frac{(V_{Gf} - V_{Gb}) - (V_{FBf} - V_{FBb})}{T_S + 2 \left(\frac{\epsilon_S}{\epsilon_{ox}} \right) T_{ox}}, \quad (3.19)$$

où V_{FBf} et V_{FBb} sont les tensions de bande plate des grilles avant et arrière (ici, $V_{FBf} = V_{FBb}$ car les empilements de grille avant et arrière sont identiques), et ϵ_S et ϵ_{ox} sont les permittivités relatives des matériaux du canal et de l'oxyde (ici, Si et SiO_2) respectivement.

En effet, quand le champ électrique transverse de la structure est minimum, les polarisations des grilles avant et arrière sont proches et la différence entre le calcul classique et quantique est lui aussi minimum car le confinement quantique électrique est très faible. Si V_{Gb} s'éloigne de 0.4V (en étant supérieure ou inférieure), la valeur absolue du champ électrique augmente et le confinement électrique impacte de plus en plus la tension de seuil (augmentation de ΔV_{Th}^q). Cet effet est d'autant plus notable que l'épaisseur de film est réduite car le confinement quantique structurel s'ajoute au confinement électrique pour toutes ces polarisations de grille arrière. Enfin, il est important de noter que ΔV_{Th}^q atteint des valeurs très élevées (proches de 0.5 V dans le pire des cas avec une très forte polarisation négative de la grille arrière et un film très mince) et qu'il est donc indispensable de traiter avec précision dans les modèles compacts les effets de confinement quantique structurel et électrique dans le dispositif IDG.

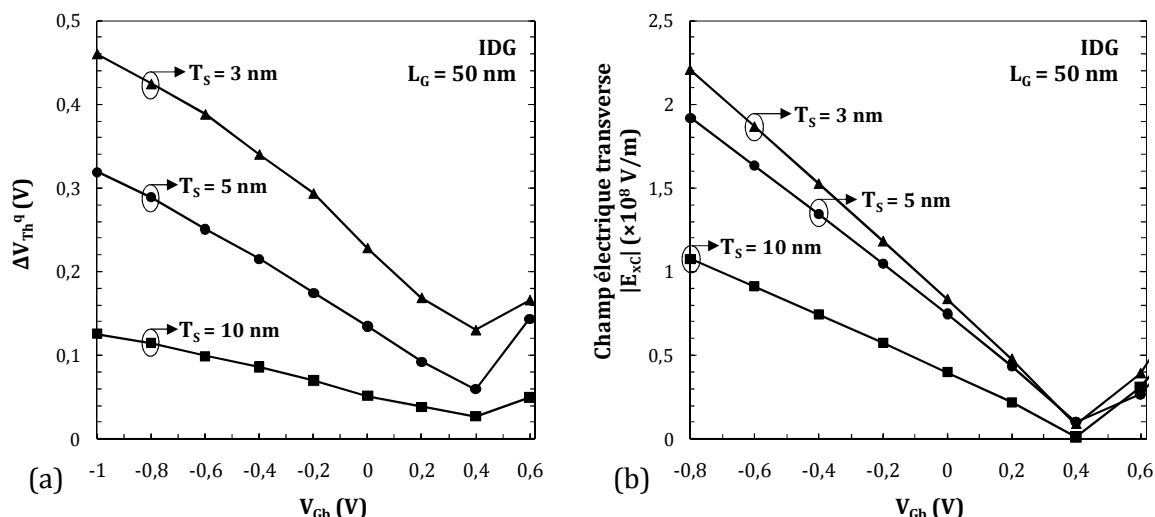


Figure 3.11 : Représentation (a) de la différence entre les tensions de seuil classique et quantique ΔV_{Th}^q et (b) du champ électrique transverse [équation (3.19) calculée avec $V_{Gf} = V_{Th}$] en fonction de la tension de grille arrière dans les transistors MOS IDG avec différentes épaisseurs du film semiconducteur ($T_s = 3, 5, 10$ nm) et $L_G = 50$ nm.

Finalement, les principaux paramètres électriques (SCE, ΔV_{Th}^q et SS) ont été extraits des caractéristiques $I_{DS}(V_{Gf})$ et tracés en fonction de l'épaisseur du film semiconducteur pour les transistors MOS DG et IDG ($V_{Gb} = -0.8$ et 0 V) sur la figure 3.12.

D'après la figure 3.12.a, l'effet de canal court SCE (défini dans le §3.3.1.3) dans le dispositif IDG est plus important dans le cas quantique que dans le cas classique pour les tensions de grille arrière. En effet, le confinement quantique tend à déplacer le barycentre de charge loin des interfaces semiconducteur-oxyde comme dans le cas du dispositif MIS. Ainsi, le contrôle de la grille avant sur le flux d'électrons dans le canal est atténué et l'effet SCE est augmenté en présence du confinement quantique des porteurs. Cet effet est confirmé par le comportement du SCE en fonction de V_{Gb} : le SCE quantique est plus élevé pour $V_{Gb} = -0.8$ V que pour $V_{Gb} = 0$ V, car dans le premier cas le champ électrique transverse est plus important ce qui entraîne l'augmentation du confinement quantique par l'ajout du confinement électrique au confinement structurel. Quand l'épaisseur de film est réduite, le contrôle de la grille avant redevient efficace ($L_G/T_s > 3$) et, comme attendu, l'effet SCE dans le transistor MOS IDG diminue fortement. Il reste malgré tout très supérieur à celui du dispositif DG où même pour des films semiconducteurs ultras fins, l'effet du confinement quantique sur le SCE est très faible.

Il est également intéressant de mesurer l'impact de la réduction du film semiconducteur sur la pente sous le seuil (figure 3.12.b). La diminution de T_s entraîne la baisse de la pente sous le seuil car l'amélioration du contrôle électrostatique permet de réduire ce paramètre dans le transistor MOS DG alors que les effets de confinement quantique sont très faibles sur ce paramètre dans ce dispositif. En revanche, le comportement de la pente sous le seuil est assez différent dans la structure IDG. Quand V_{Gb} est très négative, les effets de canal court restent élevés malgré la diminution de l'épaisseur du film. Ainsi, le contrôle électrostatique des grilles sur le canal reste faible et la pente sous le seuil du transistor MOS IDG en subit les conséquences pour toutes les tensions de grille arrière. Même si l'effet SCE est plus faible à $V_{Gb} = 0$ V qu'à $V_{Gb} = -0.8$ V, la pente sous le seuil à la première tension est plus élevée car le

deuxième canal de conduction se forme à l'interface arrière et réduit encore le contrôle électrostatique. Enfin, les résultats issus de la simulation quantique montre que la pente sous le seuil augmente quelle que soit la tension de grille arrière, ce qui justifie une nouvelle fois que les effets de confinement doivent être pris en compte dans les modèles compacts pour parfaitement décrire et prévoir les performances des transistors MOS IDG.

La figure 3.12.c confirme la différence de comportement entre les dispositifs MOS DG et IDG face à la réduction de l'épaisseur du film semiconducteur en termes de confinement quantique. Dans les deux dispositifs, la valeur de ΔV_{Th}^q , qui traduit l'effet du confinement quantique sur la tension de seuil, augmente inévitablement quand T_s est réduite. Cependant, comme la dissymétrie des polarisations des grilles avant et arrière dans la structure IDG ajoute un confinement électrique au confinement structural (pour $V_{Gb} = -0.8$ V), ΔV_{Th}^q et donc le confinement quantique général augmentent très fortement. La tension de seuil dans ces dispositifs doit absolument prendre en compte les effets de confinement quantique structural et électrique même quand le film semiconducteur est épais ($T_s = 10$ nm).

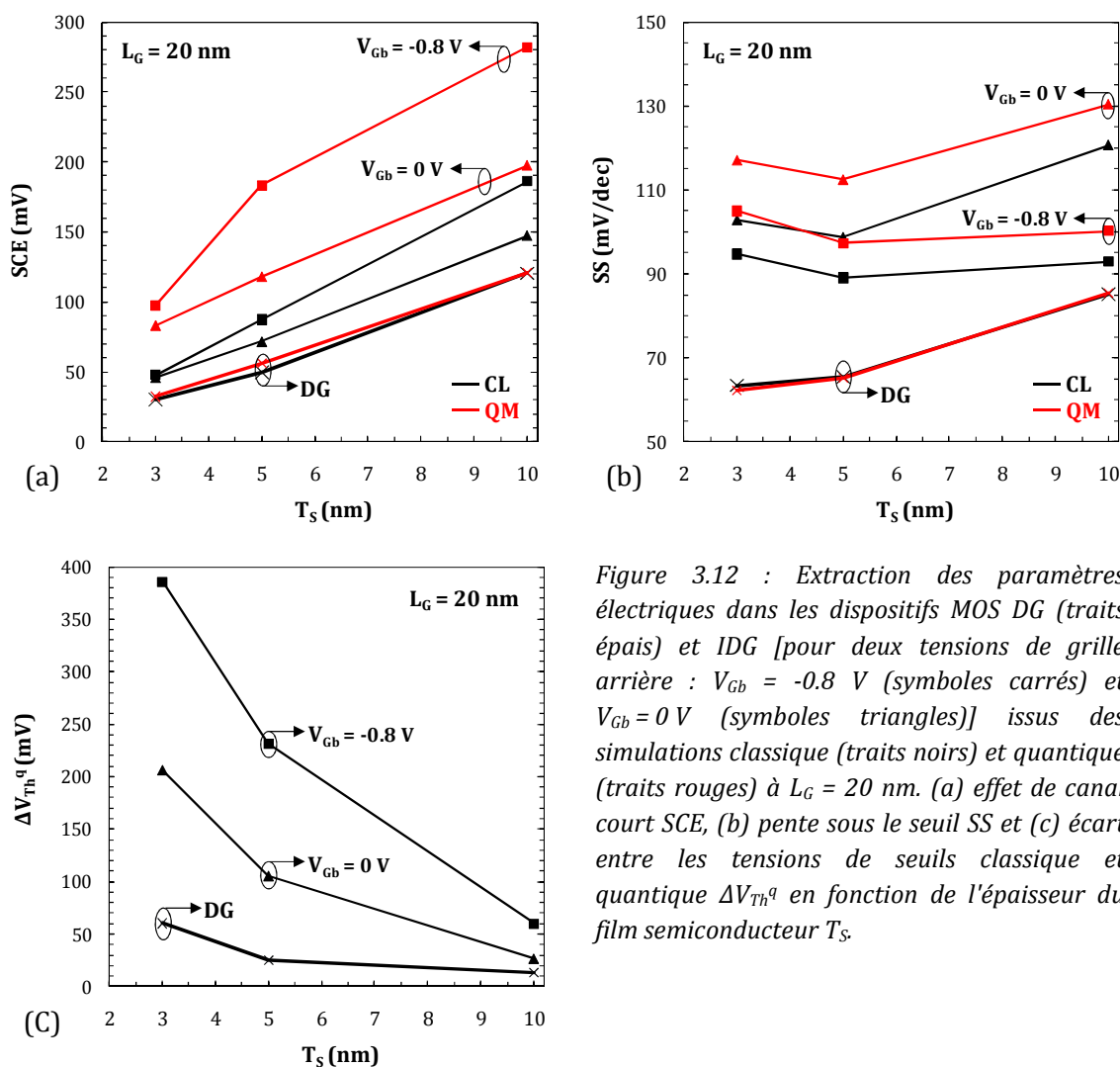


Figure 3.12 : Extraction des paramètres électriques dans les dispositifs MOS DG (traits épais) et IDG [pour deux tensions de grille arrière : $V_{Gb} = -0.8$ V (symboles carrés) et $V_{Gb} = 0$ V (symboles triangles)] issus des simulations classique (traits noirs) et quantique (traits rouges) à $L_G = 20$ nm. (a) effet de canal court SCE, (b) pente sous le seuil SS et (c) écart entre les tensions de seuils classique et quantique ΔV_{Th}^q en fonction de l'épaisseur du film semiconducteur T_s .

3.3.3 Bilan

Cette partie nous a permis d'étudier le fonctionnement des transistors MOS DG et IDG grâce au code de simulation numérique Poisson+Schrödinger+Dérive-Diffusion présenté dans le §3.2. En premier lieu, nous avons pu valider notre code sur des dispositifs à grande longueur de grille en le comparant aux résultats [Loussier] du logiciel commercial Atlas [Silvaco]. Nous avons ensuite mis en évidence la possibilité d'utiliser le dispositif IDG comme composant à part entière grâce à la modulation de la tension de seuil par la variation de la polarisation de la grille arrière V_{Gb} . En effet, la structure IDG offre notamment la possibilité de faire varier linéairement la tension de seuil à polarisation de grille arrière négative tout en réduisant le courant à l'état *off* et en ne dégradant que légèrement le courant à l'état *on* et la pente sous le seuil dans les dispositifs à canal long.

Puis, nous avons réduit la longueur de la grille dans les simulations, ce qui entraîne inévitablement l'apparition des effets de canal court SCE et DIBL dans les dispositifs MOS IDG. Cette structure est plus impactée par l'effet de canal court SCE mais elle permet de diminuer l'effet de canal court DIBL à polarisation de grille arrière négative par rapport au dispositif DG conventionnel. En revanche, les effets de canal court SCE et DIBL sont très élevés à forte tension de grille avant car l'apparition d'un second canal de conduction à l'interface semiconducteur/oxyde arrière réduit le contrôle électrostatique de la grille avant sur le flux de porteurs. Les résultats ont donc montré que les performances du transistor MOS IDG sont fortement dégradées et qu'il ne peut être utilisé dans ces conditions de polarisations ($V_{Gb} \geq 0.4$ V).

Enfin, grâce à la résolution auto-cohérente des équations de Poisson et Schrödinger et le calcul quantique de la densité de charge dans le canal, nous avons pu comparer les performances des dispositifs DG et IDG face à la réduction de l'épaisseur du film semiconducteur. Les résultats ont montré que le comportement électrique du transistor MOS IDG diffère de celui de la structure DG classique car la dissymétrie des polarisations des grilles avant et arrière entraîne la présence d'un fort champ électrique transverse dans la première structure. Celui-ci modifie profondément la forme du puits de potentiel dans lequel les électrons du canal sont confinés et conduit à la création d'un confinement quantique électrique qu'il faut ajouter au confinement structurel lié à l'architecture Double-Grille. Ce phénomène entraîne la dégradation des performances sous le seuil (I_{off} , SS) et l'augmentation des effets de canal court SCE et DIBL. Cette étude a également mis en avant le fait que l'effet de confinement quantique dans le transistor MOS IDG peut être important même quand le film semiconducteur est épais ($T_s = 10$ nm et dépend de la tension de grille arrière) alors qu'il est négligeable dans ce cas pour le transistor MOS DG classique. De plus, ces résultats prouvent que le confinement quantique doit absolument être pris en compte à partir de $T_s \leq 15$ nm dans la modélisation compacte du dispositif IDG pour parfaitement décrire son fonctionnement là où cet effet peut être négligé dans le transistor MOS DG.

3.4 Le transistor MOS Double-Grille à base de matériaux innovants

Le transistor MOS en architecture Double-Grille est aujourd'hui envisagé comme une possible alternative au transistor MOS bulk pour les futurs nœuds technologiques [ITRS] car ce dispositif offre un meilleur contrôle électrostatique et une diminution des effets de canal court SCE et DIBL (§3.3). Les matériaux à forte mobilité (Ge et semiconducteurs III-V) sont également très étudiés pour remplacer le silicium, principal matériau de substrat des technologies actuelles, dans les dispositifs hautes performances grâce à l'amélioration du transport des porteurs dans ces matériaux (§1.3.2). Ainsi, l'association des matériaux à forte mobilité avec les transistors en architecture Double-Grille pourrait être une alternative sérieuse au remplacement du dispositif MOSFET bulk historique afin d'atteindre les prévisions des performances des composants pour les futurs nœuds technologiques.

Dans ce contexte, nous allons adapter le code de simulation numérique développé dans le §3.2 aux matériaux à forte mobilité (Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) afin d'étudier l'influence des paramètres de ces matériaux sur les performances des transistors MOS DG en termes d'effet de canal court et de confinement quantique mais également au niveau du fonctionnement de petits circuits tel que l'inverseur CMOS (à l'aide du logiciel commercial Atlas [Silvaco]).

3.4.1 Adaptation du code de simulation

La simulation des composants à base de matériaux semiconducteurs à forte mobilité nécessite de prendre en compte de nouveaux phénomènes liés au modèle de transport des porteurs (diffusif ou balistique) et à la structure de bande des matériaux considérés.

Les matériaux à forte mobilité seraient aujourd'hui envisagés pour les nœuds technologiques inférieurs à 17 nm, ce qui implique une longueur de canal très faible proche de la dizaine de nanomètres. A ces dimensions, les électrons qui circulent de la source au drain ne subissent pas (ou peu) d'interactions*, on ne parle plus de transport diffusif mais balistique (ou quasi-balistique) [Lundstrom]. Ce type de transport est aujourd'hui très étudié dans les architectures à base de silicium mais les matériaux à forte mobilité n'y échappent pas et semblent même avoir un taux de balisticité plus élevé (plus de probabilité d'avoir du transport balistique) que celui du Si [Laux]. Par ailleurs, la plupart des simulateurs dédiés au fonctionnement des composants MOS à base de matériaux III-V utilisent le transport balistique pour le calcul du courant [Pethe] [Bescond] [Laux] [Neophytou]. Cependant, nous avons développé un code de simulation numérique basé sur le modèle QDD (présenté dans le §3.2) que nous allons continuer à utiliser dans cette partie car notre principal objectif est d'étudier qualitativement (par rapport au silicium) les performances en termes d'effets de canal court dans les dispositifs à base de matériaux innovants avec des longueurs de grille supérieures ou égales à 20 nm. Les résultats obtenus par notre code de simulation n'ont donc pas un caractère prédictif en termes de courant de drain mais fournissent des comparaisons sur la structure Double-Grille avec différents semiconducteurs.

* Le transport balistique reste une limite théorique qui d'un point de vue expérimental reste très difficile à atteindre.

Les principaux phénomènes liés à la structure de bande des matériaux sont les suivants. Tout d'abord, dans le cas de matériaux à faible *bandgap* comme le germanium ou certains composés III-V (InAs, InSb)*, le courant à l'état *off* n'est plus commandé par le mécanisme classique de courant de fuite sous le seuil mais principalement par le mécanisme de courant tunnel bande à bande (BTBT, §1.3.2) [Krishnamohan2] [Saraswat]. Cet effet quantique permet aux porteurs de charge de passer de la bande de valence à la bande de conduction par pénétration des fonctions d'onde dans la bande interdite provoquant donc l'augmentation drastique du courant sous le seuil, principale caractéristique à réduire au maximum dans les futurs transistors basse consommation (*Low Stand-By Power*, LSBP [ITRS]). Cependant, la réduction des dimensions des composants peut favoriser la disparition de ce phénomène. En effet, la diminution de l'épaisseur du film semiconducteur T_s implique une augmentation des effets de quantification des niveaux d'énergie (§3.3.2) qui conduit, entre autres, à un déplacement du barycentre de charge ainsi qu'à un rétrécissement des fonctions d'onde des porteurs. Par conséquent, la probabilité de présence des électrons et des trous dans la bande interdite est diminuée et les fonctions d'onde s'éloignent l'une de l'autre : la largeur du *bandgap* effective du matériau est finalement augmentée [Saraswat]. Il est donc important de noter que dans ce cas, la réduction des dimensions du transistor permet d'atténuer des effets néfastes qui dégradent le bon fonctionnement du dispositif.

Ensuite, la configuration de la structure de la bande de conduction des matériaux à forte mobilité est relativement différente de celle du silicium. En premier lieu, la vallée la plus basse en énergie n'est plus la vallée Δ comme c'est le cas pour le silicium, mais la vallée L pour le Ge et la vallée Γ pour les principaux matériaux III-V de cette étude (GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$). Cela nécessite donc d'utiliser les bonnes masses effectives de transport et de confinement des différentes vallées pour chaque semiconducteur (calculées par [Rahman] et exposées en annexe A.2). En second lieu, le décalage d'énergie entre les différentes vallées des semiconducteurs est très réduit et la probabilité de présence des électrons dans ces vallées de plus haute énergie n'est plus négligeable. Les simulations doivent donc tenir compte de ce phénomène puisque les propriétés de transport des électrons (liées à la valeur de leurs masses effectives) sont très différentes d'une vallée à une autre. Selon l'architecture du dispositif, les tensions appliquées et les matériaux eux-mêmes, l'intérêt des semiconducteurs à forte mobilité peut alors être complètement nul car les électrons ne circulent plus dans la "bonne" vallée de conduction [Bescond] [Saraswat]. Nous pouvons enfin noter que le transport des électrons dans la bande de conduction est également perturbé par des mécanismes d'interactions avec le réseau cristallin et notamment les interactions avec les phonons acoustiques (collisions élastiques) et optiques (collisions inélastiques). Les phonons optiques polaires provoquent des collisions anisotropes, intravallées, très probables dans les semi-conducteurs III-V alors que les phonons optiques non polaires permettent des transitions intervallées [Richard]. Les effets liés à la structure de bande des matériaux peuvent être pris en compte en couplant le calcul de la structure de bande à la résolution "classique" des autres équations (Poisson, Schrödinger, transport) grâce à différentes méthodes plus ou moins précises (donc avec un temps de simulation plus ou moins long) : *ab-initio* (adapté uniquement à la simulation de la structure de

* L'effet de contrainte sur un matériau (qui aujourd'hui est de plus en plus utilisé pour les applications hautes performances) entraîne également une réduction de la largeur du *bandgap* mais ce phénomène dépasse le cadre de cette thèse et ne sera pas abordé par la suite.

bande de quelques dizaines d'atomes), pseudopotentiel [Gautier] [Chelikowsky], liaisons fortes (*tight binding*) ou k.p (avec plusieurs niveaux d'approximations : k.p 2 bandes, k.p 6 bandes, k.p 30 bandes [Cavassilas]).

Afin de prendre en compte le transport des électrons dans toutes les vallées de la bande de conduction des matériaux à forte mobilité, nous calculons la densité quantique de porteurs dans chaque vallée puis nous sommions la contribution de ces différentes vallées pour obtenir la densité de charge totale disponible dans la bande de conduction. Seule l'équation (3.6.a) doit être changée, celle-ci est désormais égale à (valable pour tous les matériaux) :

$$n_q(y) = \frac{kT}{\pi\hbar^2} \sum_i \sum_v \sum_{el} \mu_{v,el} m_{v,el}^{2D} \ln \left(1 + e^{\frac{\Phi_{Fn} - (E_{v,el}^i + E_v)}{kT}} \right) \left| \Psi_{v,el}^i(y) \right|^2, \quad (3.20)$$

où l'indice v correspond à la vallée à traiter ($v = \Delta, L$ ou Γ pour les matériaux à forte mobilité et uniquement Δ pour le Si) et E_v est l'écart d'énergie entre la vallée la plus basse en énergie et la vallée considérée. Cette quantité est ajoutée au niveau d'énergie quantique pour traduire le fait que la vallée n'est pas au même niveau que celle la plus basse en énergie et donc traduire la chute de probabilité d'occupation des électrons de cette vallée. Par exemple pour le germanium, la vallée la plus basse en énergie est la vallée Δ et celle qui vient ensuite est la vallée Γ . Donc, dans cette approximation, lors du calcul de la concentration des électrons de la vallée Δ , la valeur de E_Δ est nulle. Puis, lorsque nous calculons la population de la vallée Γ , nous ajoutons aux niveaux d'énergie, l'écart d'énergie E_Γ entre les vallées Δ et Γ pour respecter la diminution du nombre de porteurs dans cette vallée de haute énergie (donné en annexe A.2).

L'architecture du code de simulation développé dans le paragraphe 3.2 est donc strictement identique pour la simulation des transistors MOS DG à base de matériaux à forte mobilité. Nous allons maintenant utiliser ce code pour étudier l'influence des matériaux sur le comportement électrique du transistor MOS DG.

3.4.2 Réduction des dimensions : comparaison avec le silicium

L'étude est réalisée sur des transistors MOS en architecture Double-Grille (figure 3.2) symétrique avec plusieurs matériaux à forte mobilité (Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$). Les grilles avant et arrière sont connectées électriquement ($V_{Gf} = V_{Gb} = V_G$, transistor MOS DG classique) et les empilements de grille avant et arrière sont identiques ($T_{oxf} = T_{oxb} = T_{ox} = 1 \text{ nm}$). Le canal du transistor est intrinsèque pour tous les matériaux ($N_S = n_i$)* et les régions de source et drain sont très fortement dopées pour avoir un profil de potentiel plat dans ces zones (élimination des résistances d'accès) : $N_{SD}^{\text{Si}} = 3 \times 10^{20} \text{ cm}^{-3}$, $N_{SD}^{\text{Ge}} = 1 \times 10^{20} \text{ cm}^{-3}$, $N_{SD}^{\text{GaAs}} = 4 \times 10^{19} \text{ cm}^{-3}$ et $N_{SD}^{\text{InGaAs}} = 2.5 \times 10^{19} \text{ cm}^{-3}$. Ensuite, le travail de sortie des grilles métalliques, défini par la différence entre le niveau du vide et le niveau de Fermi de la grille, a été choisi pour chaque matériau afin d'obtenir la même tension de seuil classique (résolution Poisson + dérive-diffusion) que celle du silicium à canal long et V_{DS} faible. Les valeurs sont égales à : $\Phi_M^{\text{Si}} = 4.61 \text{ eV}$ (*midgap*), $\Phi_M^{\text{Ge}} = 4.66 \text{ eV}$, $\Phi_M^{\text{GaAs}} = 4.5 \text{ eV}$, $\Phi_M^{\text{InGaAs}} = 4.88 \text{ eV}$. De plus, le §3.3 (et notamment la figure

* Le contrôle des effets de canal étant excellent dans cette structure, cela nous permet d'utiliser un canal non dopé. Les données de chaque semiconducteur sont données en annexe A.2.

3.7) a mis en avant la maîtrise du contrôle électrostatique du transistor MOS DG à base de silicium lorsque le rapport L_G/T_S est supérieur à 3. Par exemple, pour une longueur de grille de 50 nm et une épaisseur de film de 10 nm, le SCE est inférieur à 20 mV et le DIBL inférieur à 10 mV/V. Les simulations effectuées sur les transistors MOS DG à base de matériaux à forte mobilité (Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) ont également montré une très bonne immunité aux effets de canal court SCE et DIBL pour ces dimensions. Les résultats pour $L_G \geq 50$ nm et $T_S \geq 10$ nm dans les transistors MOS DG à base de matériaux à forte mobilité sont donc très encourageants (au même titre que ceux avec le silicium) mais ne sont pas exploitables car les valeurs des effets SCE et DIBL sont très faibles et sujettes à des problèmes de précision lors de l'extraction de ces données. Ainsi, les résultats les plus intéressants et les plus représentatifs concernent des longueurs de grilles plus faibles : l'étude des effets de canal court et de confinement quantique selon les différents matériaux est donc uniquement présentée sur des dispositifs avec une longueur de grille égale à 20 nm.

Enfin, pour tous les résultats présentés par la suite, nous avons utilisé un modèle de mobilité constante dans le film semiconducteur pour deux raisons. La première est justifiée par le fait que très peu de modèles de mobilité à faible champ électrique existent dans la littérature pour les matériaux III-V et particulièrement pour l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$. Pour équilibrer l'étude nous avons donc choisi une mobilité constante pour tous les matériaux dont les valeurs ont été extraites à partir du maximum des courbes de mobilité obtenues expérimentalement à l'état de l'art des dispositifs MOSFET à base de matériaux à forte mobilité [Kuzum] [Lin] ($\mu_n^{\text{Si}}(x,y) = 200\text{cm}^2\text{V}^{-1}\text{s}^{-1}$, $\mu_n^{\text{Ge}}(x,y) = 500\text{cm}^2\text{V}^{-1}\text{s}^{-1}$, $\mu_n^{\text{GaAs}}(x,y) = 500\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ et $\mu_n^{\text{InGaAs}}(x,y) = 1300\text{cm}^2\text{V}^{-1}\text{s}^{-1}$). La seconde raison est d'ordre physique puisque, par la suite, nous nous consacrerons uniquement à l'étude des effets électrostatiques et quantiques qui sont peu impactés par l'évolution de la mobilité dans le film. Un modèle de mobilité non constant doit bien évidemment être pris en compte lors de l'évaluation des performances en termes de courant à l'état passant.

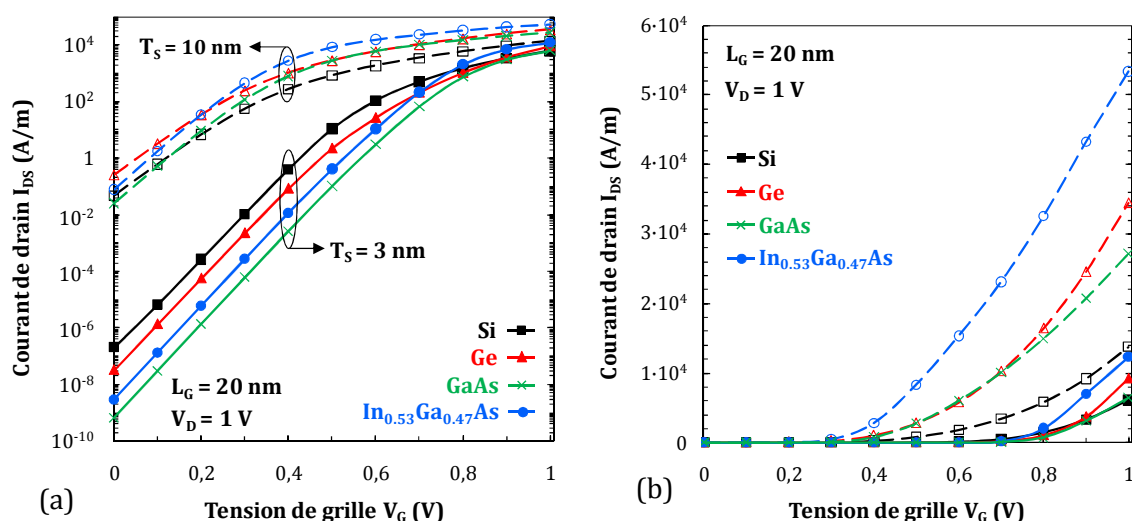


Figure 3.13 : Caractéristiques $I_{DS}(V_G)$ des transistors MOS DG avec différents matériaux semiconducteurs (Si en noir, Ge en rouge, GaAs en vert et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en bleu) dans le cas de simulations quantiques à $V_D = 1$ V, $L_G = 20$ nm et deux épaisseurs de film ($T_S = 3$ et 10 nm) (a) en échelle logarithmique et (b) en échelle linéaire.

La figure 3.13 montre un exemple de caractéristiques $I_{DS}(V_G)$ à $V_D = 1$ V issues de la simulation quantique pour des transistors MOS DG avec les différents matériaux (Si, Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) et deux épaisseurs de film ($T_S = 3$ et 10 nm). Les courbes obtenues sont cohérentes dans tous les régimes de fonctionnement et il est déjà possible de voir que le comportement des matériaux n'est pas identique face aux effets de canal de court et de confinement quantique.

3.4.2.1 Effets de canal court et pente sous le seuil

Grâce aux caractéristiques $I_{DS}(V_G)$ issues des simulations quantiques, nous avons extrait la valeur du DIBL (figure 3.14.a, même méthode que dans le §3.3.1) et de la pente sous le seuil (figure 3.14.b) en fonction de l'épaisseur du film pour les transistors MOS DG avec différents matériaux semiconducteurs.

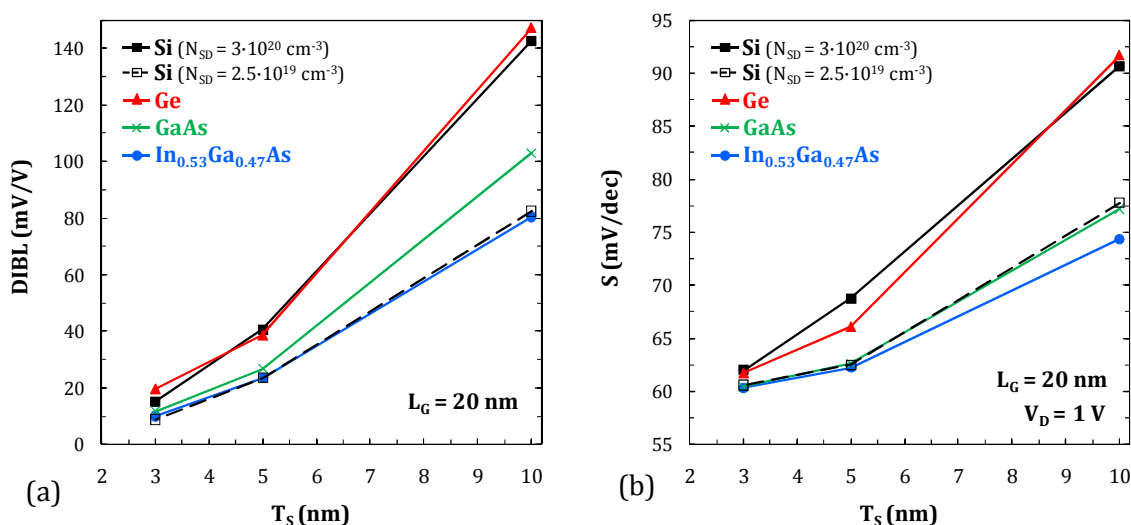


Figure 3.14 : Représentation (a) de l'effet de canal court DIBL et (b) de la pente sous le seuil SS en fonction de l'épaisseur de film T_S dans les transistors MOS DG ($L_G = 20$ nm et simulation **quantique**) avec différents matériaux semiconducteurs (même code couleur que la figure 3.13). Le cas d'un transistor MOS DG à base de Si avec des régions S/D moins dopées ($N_{SD} = 2.5 \cdot 10^{19} \text{ cm}^{-3}$) est également représenté en pointillés.

Nous observons tout d'abord que pour tous les matériaux simulés la valeur du DIBL diminue fortement quand l'épaisseur de film est réduite dû au renforcement du contrôle électrostatique des grilles sur le canal. Ainsi, les effets de canal court sont parfaitement maîtrisés dans le transistor MOS DG quand le rapport L_G/T_S est amélioré (L_G/T_S passe de 2 à 6.6) et ce quel que soit le matériau semiconducteur.

Ensuite, nos résultats montrent une forte diminution de l'effet DIBL dans les transistors MOS DG avec le GaAs et l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ par rapport au Si (avec des régions S/D fortement dopées, trait noir continu) ou au Ge [en prenant en compte (simulation quantique, figure 3.14) ou non (simulation classique, figure 3.15) le confinement quantique des porteurs dans les simulations]. Ces deux derniers matériaux (Si et Ge) montrent par ailleurs un comportement similaire face à la réduction de l'épaisseur du film alors que les valeurs du DIBL avec le GaAs et l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ sont très inférieures pour toutes les épaisseurs. Ces résultats sont assez surprenants car les effets de canal court sont des effets liés à l'électrostatique dans le dispositif

et sont sensés augmenter quand la permittivité du matériau semiconducteur du canal est augmentée [Pethe].

Pour comprendre ces résultats plusieurs études (qualitatives) ont été menées [Moreau2] en comparant les résultats obtenus par notre code de simulation numérique (en mode classique) à ceux basés sur une modélisation compacte de la tension de seuil dans les transistors MOS DG [Munteanu3] [Martinie], et ceux issus du simulateur commercial Atlas [Silvaco]. Les différents paramètres des matériaux à forte mobilité utilisés dans notre code de simulation numérique ont donc été implémentés dans le modèle analytique [Munteanu3] [Martinie] ainsi que dans le simulateur Atlas. La figure 3.15.a compare la variation du DIBL en fonction de T_s entre notre code de simulation numérique (trait continu) et le modèle analytique alors que la figure 3.15.b compare les simulations de notre code et les résultats du simulateur Atlas [Leroux].

La comparaison avec le modèle analytique approuve les résultats de [Pethe] à savoir que lorsque la permittivité augmente, les effets de canal court sont également augmentés. En effet, le dispositif à base de germanium, qui possède la permittivité la plus élevée, a le DIBL le plus fort. Les autres matériaux se classent ensuite exactement en fonction de la valeur de leur permittivité : $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ($\epsilon_r = 13.9$), GaAs ($\epsilon_r = 12.9$) et Si ($\epsilon_r = 11.8$) (du DIBL le plus fort au plus faible).

En revanche, la comparaison avec les résultats de notre code montre que, qualitativement (sans regarder avec précision les valeurs du DIBL), le DIBL ne varie pas avec la permittivité. Cette observation est confirmée en comparant les résultats de notre code avec ceux issus du simulateur Atlas [Silvaco]. Les variations du DIBL en fonction de l'épaisseur suivent la même tendance pour tous les matériaux entre les deux simulateurs numériques. Le matériau le mieux "immunisé" contre l'effet de canal court est l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ suivi du GaAs puis du Si et enfin du Ge.

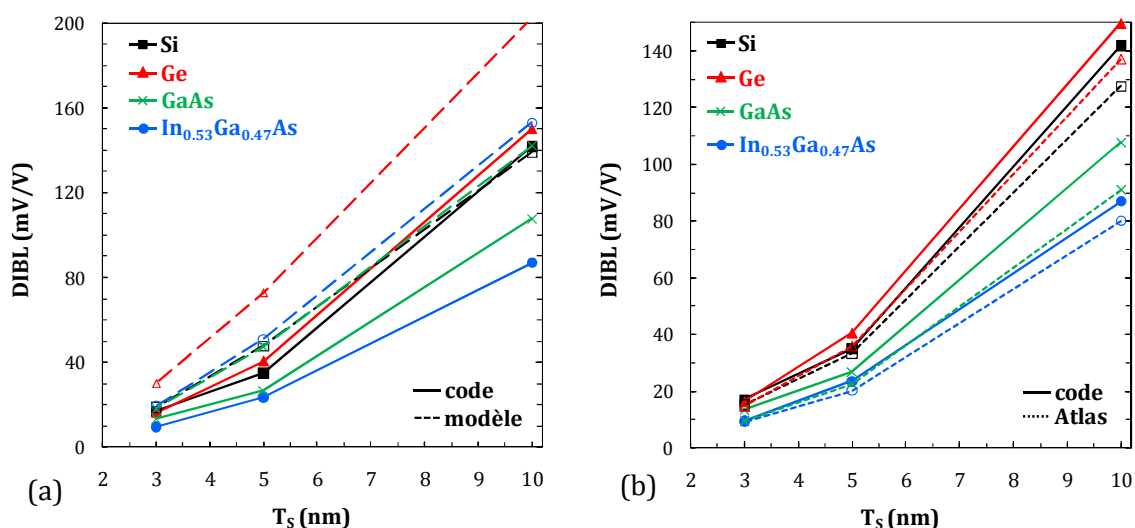


Figure 3.15 : Comparaison de la caractéristique $\text{DIBL}(T_s)$ obtenue grâce à notre code de simulation numérique [Moreau2] (simulation **classique**) et (a) le simulateur Atlas [Silvaco] ou (b) le modèle analytique [Munteanu3] [Martinie] pour des transistors MOS DG avec $L_G = 20$ nm et différents matériaux semiconducteurs (même code couleur que la figure 3.13).

Ces résultats s'expliquent finalement par le niveau de dopage dans les zones de S/D utilisé dans les dispositifs simulés : plus le dopage N_{SD} est fort et plus l'immunité des dispositifs face aux effets de canal de court est faible. La courbe du DIBL en fonction de T_S pour un transistor MOS DG à base de Si avec un dopage de S/D plus faible ($N_{SD}^{Si} = 2.5 \times 10^{19} \text{ cm}^{-3}$), tracée sur la figure 3.14.a, confirme cette tendance. En effet, nous observons clairement que si le dopage N_{SD} est diminué pour un même matériau (en l'occurrence le Si), la valeur du DIBL diminue fortement. Nous pouvons même remarquer que les courbes du Si (trait noir pointillé) et de l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (trait bleu) sont très similaires car le dopage des S/D de ces deux dispositifs est identique. La comparaison entre les deux courbes nous permet donc de découpler la permittivité du matériau semiconducteur par rapport au dopage N_{SD} sur l'effet DIBL dans les transistors MOS DG. D'autres analyses faites grâce au modèle analytique nous permettent de conclure que l'augmentation de la permittivité du matériau semiconducteur diminue l'immunité des transistors MOS DG face aux effets de canal court mais le niveau de dopage des zones de S/D semble avoir plus d'influence sur le contrôle électrostatique de la structure. Ces observations ont également été mises en avant lors de la simulation des transistors MOS SOI avec les mêmes matériaux [Laux].

Les observations réalisées sur la pente sous le seuil [figure 3.14.b et comparaison entre notre code de simulation numérique et le simulateur commercial (non montrée ici)] sont identiques et appuient donc le fait que le niveau de dopage est un paramètre plus important que la permittivité du matériau semiconducteur pour régler les problèmes d'électrostatique dans le transistor MOS DG.

Finalement, nous montrons que l'utilisation des matériaux à forte permittivité permet de réduire les effets de canal court et la pente sous le seuil dans les transistors MOS DG quand le dopage des zones de S/D est fortement réduit. L'emploi de faibles dopages dans ces zones est d'un point de vue expérimental fort probable puisque la faible densité d'état de la bande de conduction des matériaux à forte permittivité (et surtout des matériaux III-V) oblige à ne pas trop doper ces régions (voir §3.4.3.3). Les résultats obtenus ici sont donc une limite supérieure qu'il est difficile à dépasser.

3.4.2.2 Confinement quantique

La principale propriété pour laquelle les matériaux à forte mobilité (Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ dans cette étude) sont utilisés est la possibilité des porteurs à se mouvoir rapidement (forte mobilité) dans le matériau grâce aux faibles masses effectives des électrons et des trous de ces semiconducteurs (annexe A.2), ce qui n'est pas sans conséquence sur le fonctionnement des dispositifs. Ainsi, nous allons évaluer dans ce paragraphe l'importance des masses effectives des matériaux sur l'effet de confinement quantique (à travers le calcul de la différence des tensions de seuil classique et quantique, ΔV_{Th^q}) dans les transistors MOS DG à base de semiconducteurs à forte mobilité.

La figure 3.16 représente la variation de ΔV_{Th^q} à $V_D = 0.1 \text{ V}$ en fonction de l'épaisseur du film semiconducteur dans un transistor MOS DG à base de Si, Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ avec $L_g = 20 \text{ nm}$. Comme pour les effets de canal court, les transistors MOS DG à base de semiconducteurs à forte mobilité subissent les mêmes variations logiques que celles observées avec du silicium, à savoir une augmentation de l'effet de confinement quantique quand

l'épaisseur du film est réduite. Il est également important de noter que la longueur de grille n'influence presque pas le confinement quantique pour tous les matériaux, notamment lorsque le contrôle électrostatique de la structure est bon ($L_G/T_S > 3$). L'analyse des résultats montre plus exactement que la valeur de ΔV_{Th}^q augmente pour tous les matériaux quand L_G diminue (à T_S constant) mais dans des proportions infimes [dans le pire des cas ($In_{0.53}Ga_{0.47}As$), l'écart entre ΔV_{Th}^q à $L_G = 20$ nm et $L_G = 50$ nm passe de 5 mV pour $T_S = 3$ nm à 15 mV pour $T_S = 10$ nm]. Les effets de canal court n'influencent visiblement pas l'effet de confinement quantique dans le transistor MOS DG à base de matériaux à forte mobilité.

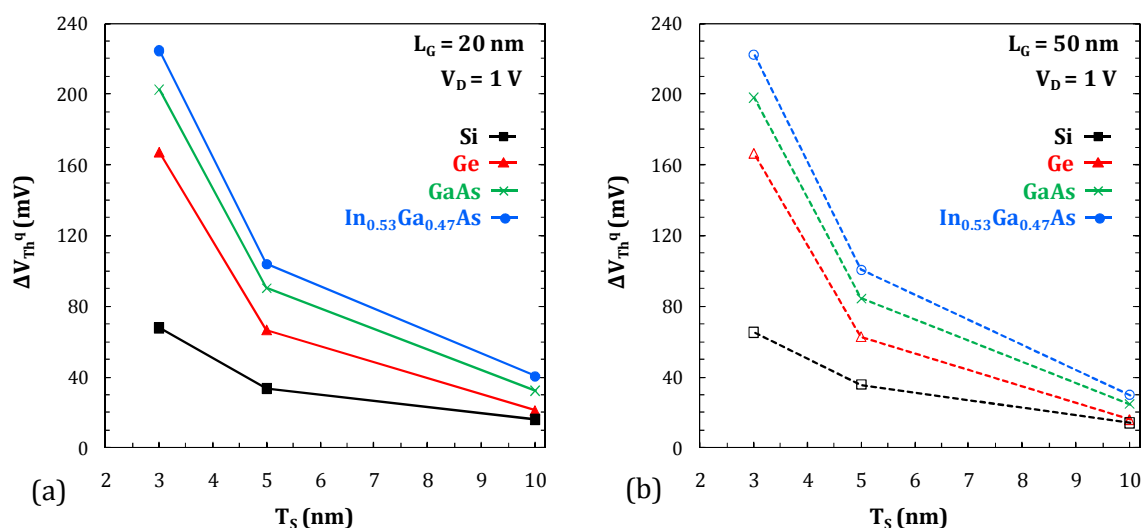


Figure 3.16 : Comparaison des différents matériaux semiconducteurs (même code couleur que la figure 3.13) en termes d'écart entre les tensions de seuil classique et quantique ΔV_{Th}^q (extraites à $V_D = 1$ V) en fonction de l'épaisseur du film semiconducteur T_S dans les transistors MOS DG avec (a) $L_G = 20$ nm et (b) $L_G = 50$ nm.

En revanche, la variation de ΔV_{Th}^q en fonction de l'épaisseur T_S dépend fortement du matériau de canal comme il fallait s'y attendre. Dans les toutes simulations effectuées, le matériau le plus affecté par le confinement quantique est l' $In_{0.53}Ga_{0.47}As$ alors que le moins sensible à cet effet est le Si pour toutes les épaisseurs de film semiconducteur. Il semble donc que le confinement quantique des électrons soit lié à la masse effective de confinement de la vallée la plus basse en énergie de chaque matériau dans les transistors nMOS DG. En effet, le classement des matériaux en termes de ΔV_{Th}^q suit à l'opposé la valeur des masses effectives de confinement des vallées principales : $m_{\Gamma}^{InGaAs} = 0.041$, $m_{\Gamma}^{GaAs} = 0.063$, $m_{\Lambda}^{Ge} = 0.12$ et $m_{\Delta,1}^{Si} = 0.9163$ $m_{\Delta,t}^{Si} = 0.19$ (ΔV_{Th}^q du plus fort au plus faible alors la masse passe de la valeur la plus faible à la valeur la plus forte).

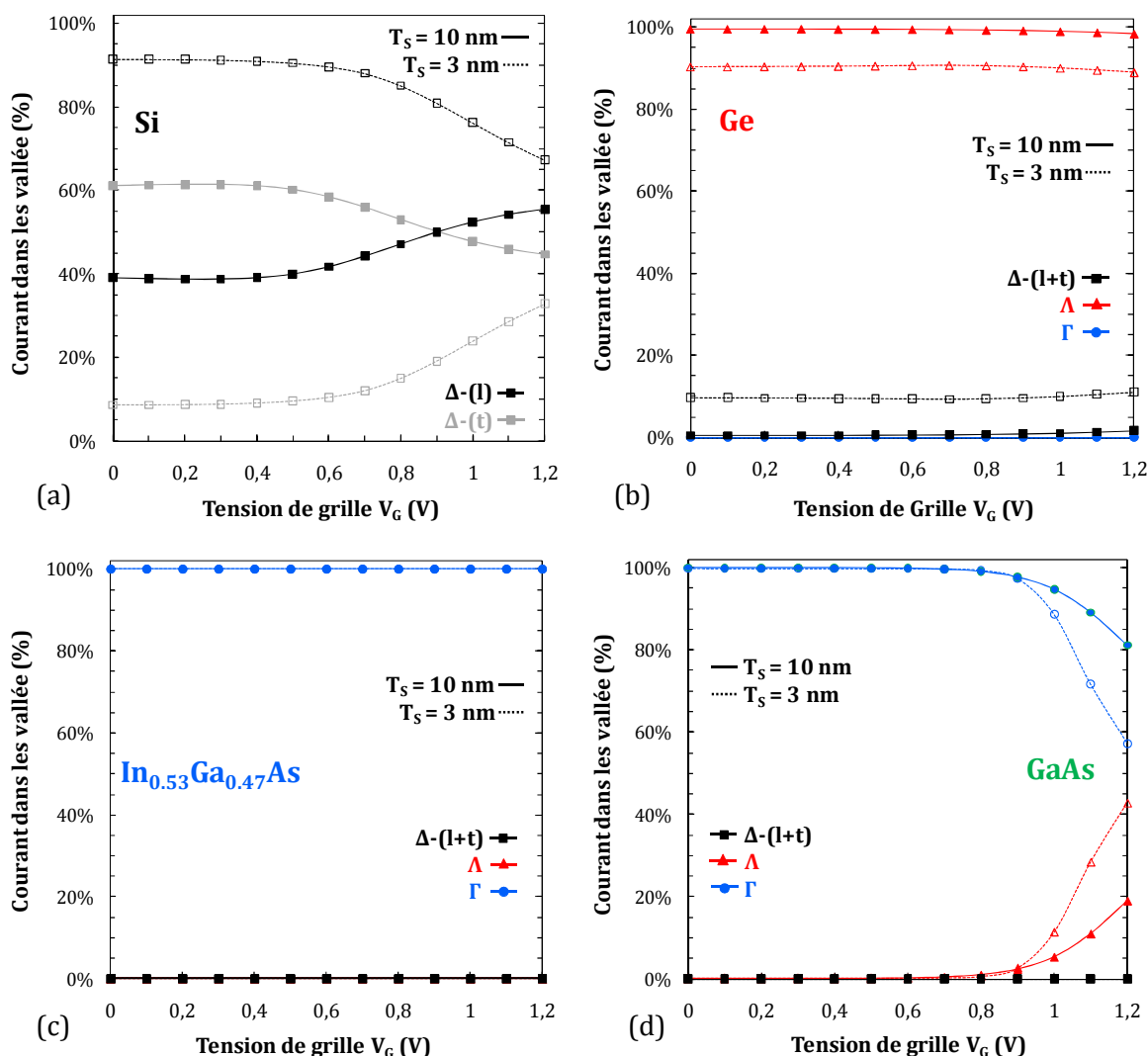


Figure 3.17 : Pourcentage de courant de drain dans les différentes vallées de la bande de conduction (Δ en noir, Δ en rouge et Γ en bleu) en fonction de la tension de grille dans les transistors MOS DG avec $L_G = 20$ nm, $V_D = 0.1$ V et deux épaisseurs de film [$T_S = 3$ (traits pointillés) et 10 (traits continus) nm] avec (a) du Si, (b) du Ge, (c) de l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ et (d) du GaAs.

Pour confirmer cette tendance, nous avons tracé sur la figure 3.17 le pourcentage de courant qui circule dans les différentes vallées de la bande de conduction (Δ , Δ et Γ) en fonction de la tension de grille pour deux épaisseurs de film ($T_S = 3$ et 10 nm) et chaque matériau dans les transistors MOS DG avec $L_G = 20$ nm et $V_D = 0.1$ V (même résultats qu'à $V_D = 1$ V). Etudions les résultats selon les différents matériaux.

Pour le Si, une seule vallée est considérée (Δ) mais les deux types de porteurs [transverse (l) et longitudinaux (l)] sont représentés sur la figure 3.17.a. Quand le film semiconducteur est épais (peu de confinement quantique), la majorité des électrons (60% du courant total) circule dans la vallée transverse où la masse est la plus faible ($m_{\Delta,t}^{\text{Si}} = 0.19$) à faible V_G . Quand la polarisation des grilles augmente, la tendance est inversée et un nombre plus important d'électrons se déplace dans la vallée longitudinale (55% contre 45%). Ensuite, quand l'épaisseur du film est réduite et que le confinement quantique est important, la principale vallée de conduction est la

vallée longitudinale à faible tension de grille car celle-ci a la masse la plus élevée (donc un niveau d'énergie plus bas). La dépopulation de cette vallée est également observée lorsque la tension de grille augmente.

Dans le cas de l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, les résultats sont clairs puisque dans toutes les simulations effectuées (avec peu ou beaucoup de confinement quantique) le courant circule uniquement dans la vallée la plus basse en énergie (Γ) car l'écart d'énergie entre cette vallée et les autres (Λ et Δ) est beaucoup trop important ($E_{\Lambda} = 0.73$ eV et $E_{\Delta} = 1.02$ eV). Comme la masse de confinement est la plus faible ($m_{\Gamma}^{\text{InGaAs}} = 0.041$), le confinement quantique est le plus important de tous les matériaux simulés (figure 3.16).

La simulation de l'occupation des vallées dans le Ge montre encore une fois que tout le courant circule dans la vallée principale où la masse des électrons est la plus faible ($m_{\Lambda}^{\text{Ge}} = 0.12$), notamment lorsque le confinement quantique de la structure est important (faible T_S). En effet, pour $T_S = 10$ nm, plus de 88% du courant total se situe dans la vallée Λ et pour $T_S = 3$ nm plus de 98%, quelle que soit la polarisation des grilles. Nous remarquons également que la seconde vallée de conduction (Γ , $E_{\Gamma} = 0.135$ eV) n'est pas la deuxième la plus occupée ($\sim 0\%$) mais que c'est bien la vallée la plus éloignée du bas de la bande de conduction (Δ , $E_{\Delta} = 0.173$ eV) où l'autre partie du courant circule ($\sim 12\%$ pour $T_S = 10$ nm et $\sim 2\%$ pour $T_S = 3$ nm). Ce résultat est relativement logique dans la mesure où l'écart entre les deux vallées Γ et Δ est faible et que la masse de confinement de la seconde vallée est plus faible ($m_{\Gamma}^{\text{Ge}} = 0.041$) que celle de la dernière vallée ($m_{\Delta,1}^{\text{Ge}} = 0.2$ ou $m_{\Delta,t}^{\text{Ge}} = 0.436$), ce qui implique un fort décalage des niveaux d'énergie dans la vallée Γ . Ainsi, le premier niveau d'énergie de la vallée Γ est plus haut que le premier niveau de la vallée Δ malgré le décalage d'énergie entre ces vallées.

Ensuite, dans le cas du GaAs et pour les deux épaisseurs de film simulées, le courant circule à 100% dans la vallée Γ , la plus basse en énergie et qui possède la plus faible masse effective ($m_{\Gamma}^{\text{GaAs}} = 0.063$). Lorsque la tension de grille augmente, la répartition du courant évolue et une portion passe dans la seconde vallée [la troisième étant beaucoup plus haute en énergie ($E_{\Delta} = 0.747$), le phénomène observé dans le Ge n'est pas présent dans cette structure]. Ces résultats seront détaillés dans le paragraphe suivant. Mais nous pouvons déjà conclure qu'à la tension de seuil, c'est-à-dire là où est calculé ΔV_{Th^q} , l'augmentation des effets de confinement quantique dans les transistors MOS DG à base de matériaux à forte mobilité est bien connectée à la faible la masse effective de confinement des électrons dans la vallée la plus basse de la bande de conduction de ces matériaux.

Cas détaillé du GaAs (étude des niveaux d'énergie en fonction de la tension de grille et de l'épaisseur du film) :

Grâce à l'observation de la figure 3.17.d, nous venons de voir deux phénomènes liés à l'évolution du paramètre ΔV_{Th^q} dans le transistor MOS DG à base de GaAs : une modification de la répartition du courant dans les vallées selon la tension de grille et selon l'épaisseur du film. A V_G faible, le courant circule entièrement dans la vallée Γ la plus basse en énergie puis lorsque V_G augmente, le courant circule de plus en plus dans la seconde vallée Λ . Ce phénomène est observé à $T_S = 10$ nm et devient plus important lorsque l'épaisseur du film diminue ($T_S = 3$ nm).

La figure 3.18 montre la répartition des 5 premiers niveaux d'énergie dans le puits quantique, formé par la bande de conduction dans la direction y (au milieu du film en x), selon les différentes vallées pour deux tensions de grille ($V_G = 0.4$ V et $V_G = 1.2$ V).

A $T_S = 10$ nm, le confinement quantique structurel est faible et les niveaux quantifiés en énergie sont peu espacés. Ainsi, les premiers niveaux d'énergie de chaque vallée sont uniquement décalés par les *offsets* d'énergie entre chaque bande du matériau. Il apparaît que les deux premiers niveaux sont dans la vallée la plus basse (Γ) donc, en toute logique, tout le courant circule dans cette vallée en raison de l'écart important entre les niveaux.

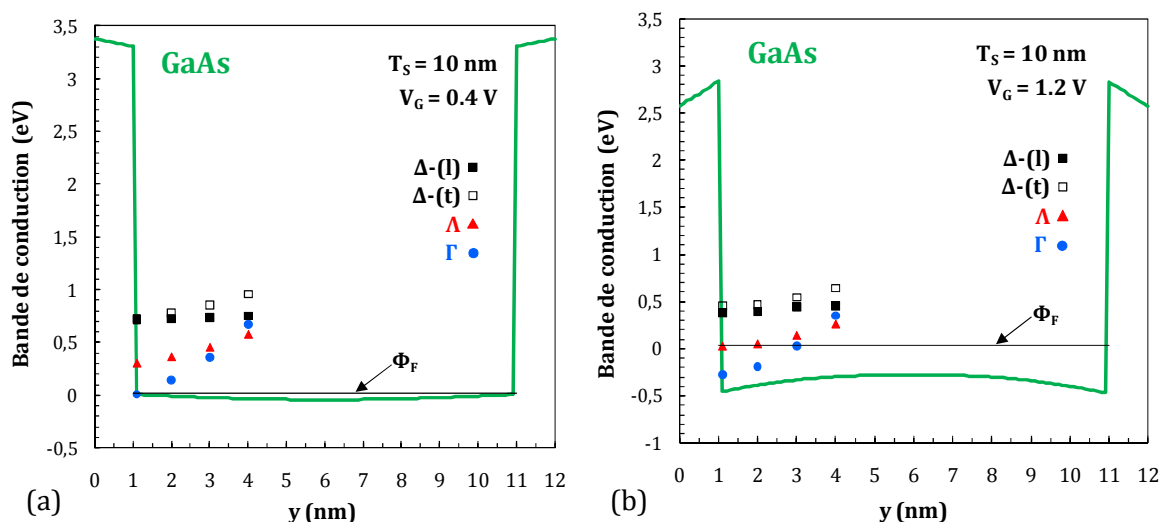


Figure 3.18 : Représentation du diagramme de bande selon la direction y (au milieu du film en x) et des 5 premiers niveaux d'énergie des différentes vallées dans un transistor MOS DG à base de GaAs à $T_S = 10$ nm et $V_D = 0.1$ V pour (a) $V_G = 0.4$ V ou (b) $V_G = 1.2$ V. Le quasi niveau de Fermi est également représenté en trait continu noir.

Lorsque V_G augmente (3.17.b), l'allure de tous les niveaux d'énergie reste semblable et l'augmentation du courant dans la vallée L semble alors peu justifiée. Cependant, en comparant les valeurs du quasi niveau de Fermi dans les différentes situations, il est tout à fait possible d'expliquer ces résultats. En effet, à $V_G = 0.4$ V, $\Phi_F = 0.0223$ eV et l'écart entre le premier niveau de la vallée L (E_0) et Φ_F est égale à 0.2834 eV ; alors qu'à $V_G = 1.2$ V, $\Phi_F = 0.0289$ eV et l'écart entre le 1^{er} niveau de la vallée L et Φ_F est alors égale à 0.00134 eV. Or, la densité d'électron n_q est proportionnelle à $\exp[-(E-\Phi_F)]$ donc la quantité $E-\Phi_F$ (écart entre les niveaux d'énergie et le quasi niveau de Fermi) va fortement influencer la densité quantique de porteurs à ces niveaux d'énergie et par la suite le courant. Celui-ci circule de plus en plus dans la vallée L à fort V_G car les premiers niveaux d'énergie de cette vallée sont plus proches du quasi niveau de Fermi (le bas de la bande de conduction est également plus bas à cette tension (-0.5 eV par rapport à 0 eV)).

Pour $T_S = 3$ nm (non montré ici), l'amincissement du puits quantique provoque l'espacement des niveaux d'énergie quantifiés (en particulier dans la vallée Γ où la masse de confinement des électrons est très faible) mais le niveau le plus bas en énergie reste dans la vallée Γ à faible tension de grille. A fort V_G , la conclusion est la même que pour $T_S = 10$ nm : le pourcentage de courant dans la vallée L augmente car l'écart entre le premier niveau de cette vallée et le quasi

niveau de Fermi fait augmenter le terme dans l'exponentielle du calcul de la densité d'électrons.

D'après les observations effectuées sur le déplacement des niveaux d'énergie en fonction de la tension de grille et de l'épaisseur du film dans les transistors MOS DG à base de matériaux à forte mobilité, nous pouvons conclure que les résultats sont cohérents avec le pourcentage de courant dans les différentes vallées des matériaux.

Pour l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, les *offsets* d'énergie entre les bandes sont tellement importants que seul le premier niveau d'énergie de la vallée la plus basse (Γ) rentre en compte dans le calcul quantique de la densité d'électrons et donc tout le courant circule dans cette vallée quelle que soit la tension de grille ou l'épaisseur de film. Ce matériau est donc le plus affecté par l'effet de confinement quantique des électrons mais il est le mieux "immunisé" contre les effets de canal court.

Ensuite, il apparaît plus clairement dans les autres matériaux que l'écart entre les niveaux d'énergie et le quasi niveau de Fermi est une donnée capitale pour le calcul du courant (qui reflète la densité quantique de porteurs) dans chaque vallée. Dans toutes les simulations, il semblerait que le quasi niveau de Fermi est toujours placé de manière à ne remplir que les premier ou second niveaux car l'écart est ensuite trop élevé pour vraiment jouer dans le terme de l'exponentielle de la densité de porteurs (assez flagrant dans le Ge où l'écart entre les niveaux est faible alors que seuls les deux premiers niveaux comptent).

Il est également important de noter que, quel que soit le matériau, le confinement quantique à $T_S = 10$ nm est assez faible et que le courant circule en toute logique dans la vallée la plus basse en énergie (même si pour le Ge, il est assez surprenant de ne pas voir une plus forte dépendance en V_G).

Enfin, quand l'épaisseur de film est réduite, le confinement structurel du dispositif DG est plus important. Dans le Ge, il apparaît une circulation du courant dans la 3^{ème} vallée au détriment de la 2^{ème} vallée car la masse de confinement de cette vallée est très faible, ce qui implique un fort confinement dans cette vallée et un décalage en énergie plus élevé que pour la seconde. Dans le GaAs, même si la masse de confinement de la vallée Γ est très faible, le courant circule principalement dans cette vallée car l'*offset* d'énergie entre Γ et Λ est relativement important. Le passage des électrons dans la seconde vallée de ce matériau ne s'effectue qu'à fort V_G dû à la baisse du bas de la bande de conduction et donc au rapprochement du niveau de Fermi et des niveaux de la vallée Λ .

3.4.2.3 Discussion

Grâce à l'adaptation de notre code de simulation numérique des transistors MOS en architecture Double-Grille aux semiconducteurs à forte mobilité, nous avons montré que le GaAs et l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ permettent de réduire les effets de canal court par rapport au Si et au Ge dans les dispositifs DG car le dopage des zones de S/D doit être faible avec ces matériaux. Nous avons également prouvé que les matériaux à forte mobilité avec de faibles masses effectives de confinement (dans la vallée la plus basse en énergie) sont sujets à un plus fort confinement quantique que les dispositifs à base de silicium, ce qui entraîne une importante différence entre les tensions classique et quantique même pour des films semiconducteurs épais ($T_S = 10$ nm).

Cependant, le code ne prend pas en compte tous les éléments nécessaires à une description parfaite des dispositifs “réels”. Tout d’abord, nous avons utilisé des dopages de S/D très élevés dans les transistors à base de matériaux III-V, difficilement réalisables dans les dispositifs expérimentaux. En effet, les simulations à faible dopage de S/D ont montré que le courant de drain à forte polarisation de grille diminue fortement dû au problème de *source starvation* (ou *DOS bottleneck*) [Fischetti2] [Laux] [Neophytou]. Ce phénomène, lié à la faible densité d’état des électrons dans la bande de conduction des matériaux III-V (quelques 10^{17} cm^{-3}), empêche la source de fournir un nombre d’électrons assez important pour assurer le bon fonctionnement du transistor : plus le niveau de Fermi dans la source est proche de la bande de conduction et plus le phénomène de “source starvation” est important et se produit à faible V_G . Ainsi, en augmentant le dopage des zones S/D dans les simulations*, les semiconducteurs sont fortement dégénérés (le niveau de Fermi se trouve largement au-dessus du bas de la bande de conduction), les régions S/D vont alors pouvoir fournir assez de porteurs à fort V_G , le profil de potentiel y sera plat et la grille gardera un bon contrôle électrostatique sur le canal. Il est finalement important de noter que malgré les forts niveaux de dopage des zones S/D dans les transistors à base de matériaux III-V, ceux-ci restent mieux “immunisés” contre les effets de canal court par rapport aux structures sur silicium et sur germanium en particulier.

Ensuite se pose le problème du transport des porteurs dans le canal. Il a été montré que le transport balistique est favorisé dans les transistors à base de matériaux III-V [Laux] [Neophytou]. Cependant, notre étude, basée sur le modèle dérive-diffusion quantique, n’est pas concernée par les performances dépendantes du courant maximum que peut fournir le transistor mais a pour but d’étudier la réponse électrostatique des différents matériaux. Ainsi nos conclusions dressées sur les effets électrostatiques et de confinement quantique dans les transistors MOS DG restent valables pour d’autres types de transport.

En revanche, le fait d’ignorer dans nos simulations les effets quantiques BTBT et conduction intervallée peut altérer nos résultats. L’effet BTBT provoque le passage de porteurs par effet tunnel de la bande de valence vers la bande de conduction augmentant drastiquement le courant de fuite à l’état *off* des transistors où le matériau de canal a un très faible *bandgap*. La dégradation du courant de fuite entraîne alors inévitablement l’augmentation de la pente sous le seuil, et dans notre étude, les dispositifs à base de Ge ($E_G = 0.66 \text{ eV}$) et d’ $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ($E_G = 0.751 \text{ eV}$) verraient alors leur pente sous le seuil se dégrader. Dans le cas de l’ $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, l’association du confinement structurel de l’architecture Double-Grille et du fort confinement quantique lié à la faible masse des électrons permet d’augmenter les niveaux d’énergie quantifiés dans la bande de conduction et donc d’élargir la largeur du *bandgap* effective de ce matériau [Saraswat]. L’impact de l’effet BTBT sur la pente sous le seuil dans le transistor MOS DG à base d’ $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ serait alors très réduit. En revanche, les caractéristiques du germanium ne permettraient pas d’atténuer l’effet BTBT et ce matériau resterait probablement le moins performant en termes de pente sous le seuil. Le réarrangement des électrons de la bande de conduction, créé par les phénomènes de collisions avec les phonons, modifierait quant à lui les effets de confinement quantique et aurait une influence plus prononcée dans les matériaux où la structure de bande implique un fort confinement quantique “naturel” (GaAs et

* Dans la littérature, les résultats issus de la simulation montrent que ce phénomène est toujours contrôlé en utilisant des forts dopages [Neophytou] ou des forts dopages avec un profil non abrupt [Laux].

In_{0.53}Ga_{0.47}As). Les valeurs de ΔV_{Th}^q mesurées par la simulation sont malgré tout très élevées pour tous les matériaux à forte mobilité ce qui prouve que les effets de confinement quantique doivent être absolument pris en compte dans la modélisation compacte des transistors MOS en architecture Double-Grille.

Enfin, toutes les simulations présentées dans cette partie ne tiennent pas compte des effets liés à la fabrication des dispositifs tels que les problèmes d'interface semiconducteur/oxyde (rugosité de surface), de fluctuations de dopant ou des problèmes liés aux empilements de grille multi-couches à base de diélectriques à forte permittivité. En effet, l'introduction des matériaux *high- κ* provoque des effets électrostatiques 2D qui peuvent entraîner une dégradation importante des performances électriques des transistors quand l'épaisseur physique du diélectrique de grille devient comparable à la longueur de la grille ou quand l'empilement de grille contient des charges fixes discrètes [Autran5]. A partir de simulations effectuées dans des transistors MOS DG à base de germanium avec des empilements de grille à deux couches (interfaciale + high- κ), nous avons montré que les charges piégées dans la couche de matériau *high- κ* induisent des fluctuations de potentiel dans la structure qui entraînent des dégradations importantes sur le comportement sous le seuil du courant de drain [Munteanu4]. La réponse sous le seuil est d'autant plus altérée que les grains chargés sont présents dans les deux empilements de grille avant et arrière. Nous avons également étudié l'influence du placement de ces charges et nous avons démontré que si celles-ci se situent vers la jonction source-canal les caractéristiques sous le seuil sont dégradées alors qu'elles n'ont pas d'influence notable sur le courant quand elles sont placées à proximité de la jonction drain-canal [Munteanu4].

3.4.3 Simulation de l'inverseur CMOS (simulation Atlas)

Pour compléter l'étude sur les transistors MOS DG à base de matériaux à forte mobilité, nous avons simulé à l'aide du logiciel Atlas [Silvaco] le fonctionnement de l'inverseur CMOS et étudié les performances statique et dynamique de ces dispositifs [Leroux].

3.4.3.1 Présentation du composant

L'inverseur CMOS (*Complementary MOS*, représenté schématiquement sur la figure 3.19.a) est un composant constitué de deux transistors pMOS et nMOS montés en série dont la fonction est d'inverser l'état de l'entrée. La tension d'entrée V_e (tension de commande) est reliée aux grilles avant et arrière des deux transistors alors que la tension de sortie V_s est connectée à la source du transistor pMOS et au drain du transistor nMOS (reliés l'un avec l'autre). Finalement, le drain du pMOS est relié à la tension V_{dd} et la source du nMOS à la masse.

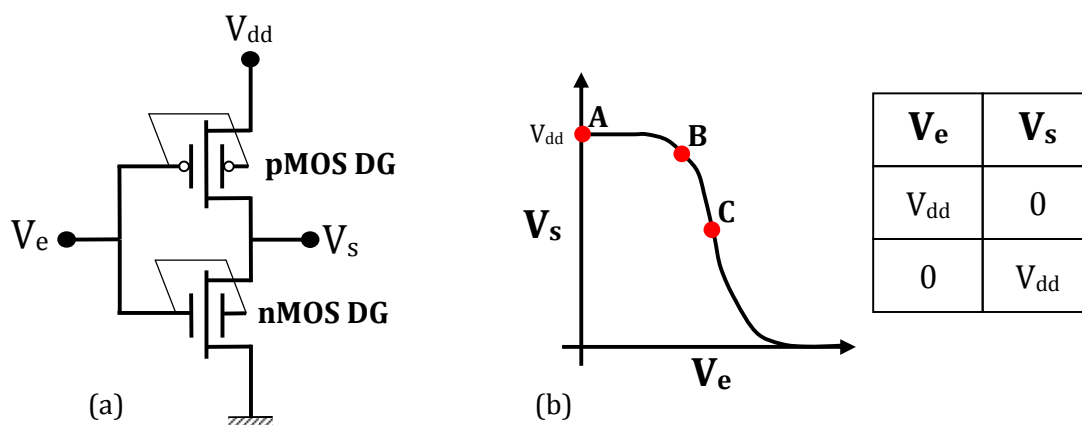


Figure 3.19 : (a) Schéma de l'inverseur CMOS à base de transistor MOS DG et (b) caractéristique de sortie du composant.

La caractéristique de transfert de l'inverseur CMOS dans le cas équilibré* [tension de sortie en fonction de la tension d'entrée, $V_s=f(V_e)$] est représentée sur la figure 3.19.b. Tant que la tension d'entrée V_e est inférieure à la tension de seuil V_{Thn} du transistor nMOS, celui-ci reste bloqué alors que le transistor pMOS est à l'état passant en régime linéaire (ou ohmique) : $V_e = 0$ V (état "0") et $V_s = V_{dd}$ (état "1"), la sortie est bien inversée par rapport à l'entrée (point A de la figure 3.19.b). Ensuite, quand V_e dépasse V_{Thn} , le transistor pMOS est en régime linéaire tandis que le transistor nMOS, en régime de saturation, fait légèrement diminuer la tension de sortie (point B). Puis, lorsque la tension d'entrée V_e est égale à la tension $V_{dd}/2$, la contribution en courant des deux transistors est la même et la tension de sortie est égale à $V_{dd}/2$ (point C). Enfin lorsque V_e dépasse $V_{dd}/2$ le comportement des transistors est inversé : le nMOS passe progressivement du régime non-linéaire au régime linéaire et le pMOS en régime de saturation passe de l'état passant à l'état bloqué.

Le fonctionnement de ce composant est simulé à l'aide du logiciel commercial Altas [Silvaco]. Les paramètres des matériaux ont été redéfinis dans le logiciel par les valeurs utilisées dans notre code. Les structures simulées et le modèle de mobilité (constant dans le film semiconducteur) sont identiques au §3.3.

3.4.3.2 Analyse des performances statiques et dynamiques

L'inverseur CMOS est caractérisé par ses performances statique et dynamique. L'analyse statique est réalisée par la mesure de la marge de bruit alors que l'analyse dynamique est effectuée par le temps de réponse à 5%.

Marge de bruit :

La zone de la caractéristique de sortie $V_s=f(V_e)$, où la sortie de l'inverseur n'est ni vraiment à l'état "0" ni à l'état "1", est une zone inutile puisque le signal n'a pas basculé de l'état passant à l'état bloqué. Plus cette zone "morte" est mince (en termes de tension) et plus le composant se rapproche de l'inverseur idéal. La qualité de l'inverseur est donc évaluée par la

* Cet état correspond à un ratio de courant $I_{on}(pMOS)/I_{on}(nMOS) \sim 1$.

largeur de cette zone appelée marge de bruit (*noise margin*, NM). La marge de bruit est alors obtenue en calculant la différence de tension entre les zones où la pente de la caractéristique $V_s=f(V_e)$ est égale à -1^* ($NM = V_{eH} - V_{eL}$, figure 3.20.a).

La figure 3.20 compare la marge de bruit des inverseurs CMOS à base de transistor MOS DG avec différents matériaux de canal dans le cas où les effets de canal court sont faibles ($L_G/T_S = 5$) et forts ($L_G/T_S = 2$) et où le confinement quantique influence peu la tension de seuil ($T_S = 10$ nm). En effet, le logiciel Atlas ne résout pas de façon auto-cohérente les équations de Poisson et de Schrödinger mais utilise simplement des corrections quantiques qui sont peu satisfaisantes et augmentent de façon drastique le temps de simulation au niveau circuit.

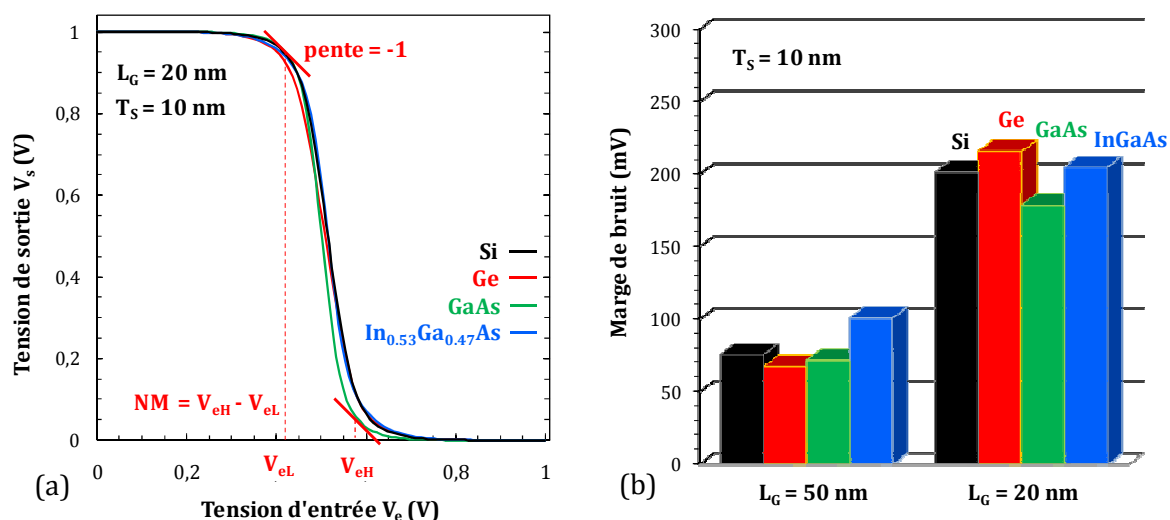


Figure 3.20 : (a) Caractéristiques de sortie $V_s=f(V_e)$ (simulation Atlas [Silvaco]) de l'inverseur CMOS avec des transistors MOS DG ($L_G = 20$ nm et $T_S = 10$ nm) à base de différents matériaux (même code couleur que la figure 3.13) et définition de la marge de bruit. (b) Résultat de la marge de bruit dans ces mêmes transistors pour deux longueurs de grille ($L_G = 50$ et 20 nm).

Les résultats montrent que la marge de bruit dans les inverseurs CMOS à base de matériaux à forte mobilité (Ge, GaAs) est sensiblement identique à celle obtenue avec du silicium quand les effets de canal court sont faibles ($L_G = 50$ nm). En effet, pour cette longueur de grille, la marge de bruit évolue entre 70 et 100 mV et le meilleur matériau est le germanium.

Lorsque la longueur de grille est réduite ($L_G = 20$ nm), la marge de bruit augmente avec l'apparition des effets de canal court. La diminution de la tension de seuil couplée à la perte de contrôle électrostatique des grilles sur le flux de porteurs dans le canal modifie la caractéristique du courant $I_{DS}(V_G)$ (§1.2.2.1), ce qui détériore la caractéristique de transfert $V_s=f(V_e)$ de l'inverseur CMOS. Ainsi, nous observons une forte augmentation de la marge de bruit dans tous les matériaux. Cependant, l'immunité de l' $In_{0.53}Ga_{0.47}As$ face aux effets de canal court (§3.4.2) semble réduire cette augmentation et le place au même niveau que le silicium à $L_G = 20$ nm alors qu'il avait la marge de bruit la plus élevée à $L_G = 50$ nm. En revanche, le germanium subit la plus forte augmentation de la marge de bruit et dépasse le silicium à faible

* D'un point de vue pratique, il faut calculer la dérivée du signal $V_s=f(V_e)$ et déterminer la différence de tension entre les deux points où cette dérivée est égale à -1 .

longueur de grille. Dans ces simulations, le matériau le mieux “immunisé” contre les effets de canal court est le GaAs.

Il semble donc difficile à partir de ces simulations d'établir un classement des meilleurs matériaux pour améliorer la marge de bruit. Ainsi, d'autres investigations doivent être menées pour comprendre en détail l'influence des matériaux sur la caractéristique de sortie de l'inverseur CMOS.

Réponse indicielle (temps de réponse à 5%) :

Afin d'étudier les performances dynamiques de l'inverseur CMOS, nous avons simulé, toujours à l'aide du logiciel Atlas [Silvaco], l'oscillateur en anneau, composant des boucles à verrouillage de phase (*Phase Locked Loop, PLL*) [Miyasaki] qui sert à la modulation ou la démodulation des signaux (synthétiseurs de fréquence, récepteurs de télévision, ...). L'oscillateur en anneau est composé d'inverseurs CMOS mis en cascade dont le nombre d'étage est impair pour créer un état instable qui fait osciller la tension de sortie du composant. La fréquence d'oscillation (f_{osc}) de la tension de sortie de l'oscillateur est alors fonction de l'inverse du temps de propagation intrinsèque d'un inverseur T_{inv} : $f_{osc} = 1/(2nT_{inv})$ (avec n : le nombre d'inverseurs composant l'oscillateur) [Martinie]. Ainsi, l'étude de l'inverseur CMOS permet d'identifier les performances dynamiques, par la mesure du temps de propagation d'un signal, d'un petit circuit tel que l'oscillateur en anneau. Dans notre étude, nous nous sommes donc uniquement intéressés à l'inverseur CMOS en comparant les performances dynamiques de ce circuit avec des transistors MOS DG à base de différents semiconducteurs (les caractéristiques des transistors nMOS et pMOS sont les mêmes que dans le paragraphe précédent).

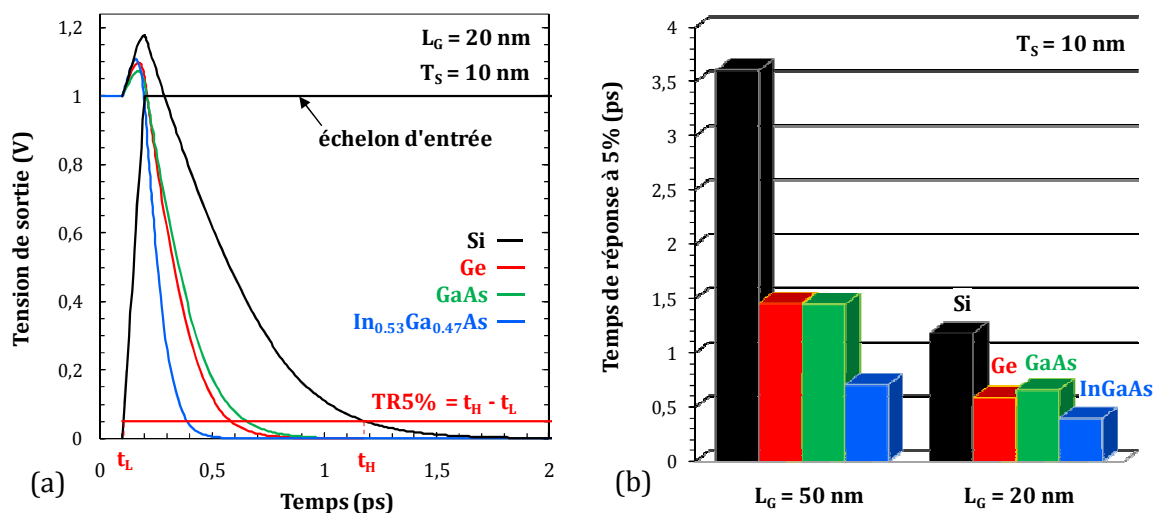


Figure 3.21 : (a) Réponse à un échelon de tension (pente de 0.1 ps) de l'inverseur CMOS avec des transistors MOS DG ($L_G = 20 \text{ nm}$ et $T_S = 10 \text{ nm}$) à base de différents matériaux (même code couleur que la figure 3.13) et définition du temps de réponse à 5% ($TR5\%$). (b) Résultat du temps de réponse dans ces mêmes transistors pour deux longueurs de grille ($L_G = 50$ et 20 nm).

Ainsi, nous analysons les différents résultats en termes de temps de réponse à 5% ($TR5\%$) suite à l'envoi d'un échelon de tension sur l'entrée de l'inverseur (V_e). Le temps de

réponse à 5% est défini par la durée entre le début de l'échelon de tension (t_L) et le moment où la réponse parvient à 5% de sa valeur finale (t_H). Le temps de réponse à 5% quantifie donc le temps de propagation d'un signal à travers l'inverseur (temps pour basculer d'un état à l'autre). La figure 3.21.a définit graphiquement ce paramètre ($TR_{5\%}$) et montre la différence de réponse (suite à un échelon de tension dont le temps de montée est égal à 0.1 ps) entre les différents matériaux pour des transistors MOS DG avec $L_G = 20$ nm et $T_s = 10$ nm.

Le paramètre $TR_{5\%}$ dépend une nouvelle fois fortement du matériau utilisé dans les transistors MOS DG comme le montre la figure 3.21.b. A $L_G = 50$ nm, le meilleur matériau est l' $In_{0.53}Ga_{0.47}As$ suivi du GaAs, du Ge puis du Si car plus le temps de réponse est faible et meilleur est le composant. Ces performances sont intimement liées à la mobilité des matériaux qui donne un niveau de courant plus élevé quand celle-ci est la plus forte, ce qui réduit le temps de propagation du signal d'entrée vers la sortie dans le composant. Quand la longueur de grille est réduite ($L_G = 20$ nm), le temps de réponse à 5% diminue également grâce à l'augmentation du courant de drain dans les transistors. La bonne tenue aux effets de canal court et les fortes mobilités des transistors MOS DG à base de matériaux à forte mobilité permettent donc à ces composants d'avoir de meilleures performances dynamiques même pour faibles longueurs de grille. D'un point de vue théorique, les composants à base d' $In_{0.53}Ga_{0.47}As$ semblent donc être les meilleurs.

3.4.3.3 Discussion

Les premiers résultats obtenus sur la simulation (par le logiciel commercial Atlas [Silvaco]) de l'inverseur CMOS à base de semiconducteurs à forte mobilité semblent assez prometteurs. En effet, même si les performances statiques (marge de bruit) des matériaux à forte mobilité sont assez équivalentes à celle du Si à faible longueur de grille, les performances dynamiques (temps de réponse à 5%) sont nettement améliorées avec tous les matériaux simulés (Ge, GaAs et $In_{0.53}Ga_{0.47}As$). D'un point de vue simulation, les matériaux à forte mobilité et en particulier l' $In_{0.53}Ga_{0.47}As$ (immunité aux effets de canal court et forte mobilité) restent donc tout à fait envisageables pour le remplacement du silicium dans les futurs composants.

Ces conclusions restent néanmoins très théoriques puisque les modèles utilisés dans les simulations ne prennent pas en compte certains phénomènes physiques clés comme les effets de confinement quantique ou la variation de la mobilité du canal dans les transistors MOS DG. En effet, les problèmes de confinement quantique étant supérieurs dans les dispositifs à base de matériaux innovants, il est fort probable que ceux-ci dégradent les performances des inverseurs CMOS. De plus, il est important de noter que le modèle de mobilité doit absolument refléter la réalité des dispositifs expérimentaux pour évaluer précisément les performances dynamiques de l'inverseur CMOS. Ainsi, comme les empilements de grille multi-couches font apparaître de nouveaux mécanismes d'interactions des porteurs dans le canal (les interactions RCSE par exemple, §1.3.2.1) qui ne sont pas prises en compte dans le logiciel Atlas [Silvaco], des modèles de mobilité doivent être mis au point pour traiter ces problèmes [Martinie2].

Il serait donc intéressant de pouvoir poursuivre ces études en développant un modèle de mobilité pour les matériaux innovants mais le manque de données expérimentales (lié à la faible maturité des procédés technologiques ?) des transistors MOS à base de semiconducteurs à forte mobilité (Ge, GaAs et $In_{0.53}Ga_{0.47}As$) doit être comblé car ces modèles nécessitent une

calibration avec les résultats expérimentaux pour refléter au mieux la physique de ces dispositifs innovants.

3.4.4 Bilan

Nous nous sommes intéressés dans le §3.4 à la simulation de dispositifs à base de matériaux à forte mobilité (Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) pour évaluer l'impact de ces matériaux innovants lors la réduction des dimensions dans le dispositif DG MOS et dans l'inverseur CMOS à base de ces transistors. Le code de simulation numérique (développé dans le §3.2) a donc été adapté aux contraintes liées à l'introduction de ces matériaux notamment en ajoutant la prise en compte du transport des électrons dans les vallées de haute énergie de la bande de conduction.

Les simulations ont mis en avant la réduction des effets de canal court dans les transistors MOS DG à base de GaAs et d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ car les niveaux de dopage des zones S/D sont plus faibles que ceux utilisés dans la simulation des dispositifs à base de Si et Ge. Nous avons également montré que les matériaux à forte mobilité, qui possèdent de faibles masses effectives de confinement dans leur vallée la plus basse en énergie, sont sujets à un plus fort confinement quantique. L'importante différence entre les tensions de seuil classique et quantique observée pour toutes les épaisseurs de films semiconducteurs simulées ($T_S = 3, 5, 10$ nm) prouve que les effets de confinement quantique doivent être absolument pris en compte dans la modélisation compacte des transistors MOS en architecture Double-Grille avec ces matériaux.

Enfin, pour compléter l'étude sur les transistors MOS DG à base de matériaux à forte mobilité, nous avons simulé à l'aide du logiciel Atlas [Silvaco] le fonctionnement de l'inverseur CMOS et étudié les performances statiques et dynamiques de ces dispositifs. Les premiers résultats ont montré que les performances statiques (mesurées par la marge de bruit sur la caractéristique de sortie) sont équivalentes pour les matériaux simulés (Si, Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) à faible longueur de grille. La réduction des effets de canal court dans les transistors à base d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ne semble pas améliorer la marge de bruit de ce composant. En revanche, les performances dynamiques (évaluées par le temps de réponse à 5% suite à l'envoi d'un échelon de tension) sont fortement améliorées avec les matériaux à forte mobilité (Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) car ceux-ci peuvent fournir un courant de drain plus élevé.

3.5 Conclusion du chapitre

Le chapitre 3 présente l'étude, par la simulation numérique, du fonctionnement des transistors MOS en architecture Double-Grille. Ainsi, nous avons développé un code de simulation dédié au calcul du courant de drain dans ces dispositifs, en considérant toutes les spécificités des architectures à grilles indépendantes (transistor MOS IDG). L'approche utilisée pour le calcul du courant est basée sur la résolution auto-cohérente des équations de Poisson 2D et de Schrödinger 1D couplées à l'équation de transport en régime de dérive-diffusion (modèle QDD). La simulation QDD reproduit alors les principaux phénomènes physiques émergeant lors de la réduction des dimensions dans les dispositifs Double-Grille (dans la limite où le transport quantique n'est pas prédominant : typiquement $L_G > 20$ nm) : (a) effets

électrostatiques 2D (effets de canal court), et (b) effet de confinement quantique 1D des porteurs dans la direction perpendiculaire au canal de conduction.

Tout d'abord, la simulation numérique nous a permis de démontrer les avantages et inconvénients de l'architecture à grilles indépendantes à base de silicium. En effet, la variation de la polarisation de la grille arrière (sous réserve d'une tension V_{Gb} inférieure à ~ 0.4 V) entraîne la modulation de la tension de seuil tout en réduisant le courant à l'état *off* et en ne dégradant que très légèrement le courant à l'état *on* et la pente sous le seuil dans les dispositifs à canal long. Ces observations sont remarquables puisque cette architecture pourrait alors être utilisée comme un composant à part entière. L'étude approfondie des performances de ce composant (réduction de la longueur de grille) a également révélée une bonne immunité du dispositif face à l'effet de canal court DIBL à polarisation de grille arrière négative. En revanche, l'utilisation de ce composant à forte tension de grille arrière semble compromise face à la perte du contrôle électrostatique de la grille avant sur le flux d'électrons [présence d'un canal de conduction à l'interface oxyde/semiconducteur arrière quelle que soit la polarisation de la grille avant (grille de commande)]. Enfin, quand l'épaisseur du film semiconducteur est réduite (augmentation de l'effet de confinement quantique), les résultats de la simulation numérique ont montré que le comportement électrique du transistor MOS IDG est très différent de celui de la structure DG conventionnelle. En effet, la dissymétrie des polarisations des grilles avant et arrière entraîne la présence d'un fort champ électrique transverse qui modifie profondément la forme du puits de potentiel dans lequel les électrons du canal sont confinés. L'effet de confinement quantique électrique s'ajoute alors au confinement structurel (lié à l'architecture Double-Grille), ce qui entraîne la dégradation des performances sous le seuil (I_{off} , SS) et l'augmentation des effets de canal court SCE et DIBL. Les effets de confinement quantique dans le transistor MOS IDG sont donc indispensables à décrire dans les modèles compacts, même lorsque le film semiconducteur est épais ($T_s \leq 15$ nm et dépend de la tension de grille arrière), là où ils étaient négligeables dans les transistors MOS DG conventionnels.

Ensuite, le code de simulation numérique a été adapté à la simulation de dispositifs à base de semiconducteurs à forte mobilité (prise en compte de la probabilité de présence des porteurs dans les différentes vallées des bandes de conduction et de valence). Les performances des transistors MOS DG conventionnels à base de Ge, de GaAs et d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ont ainsi pu être évaluées et comparées à celle obtenues sur Si, en termes d'effets de canal court et de confinement quantique. Deux principaux résultats ont pu être dégagés par la simulation numérique : (a) les effets de canal court dans les transistors MOS DG à base de GaAs et d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ sont plus faibles que ceux obtenus dans les dispositifs à base de Si et de Ge car le dopage dans les zones de source et de drain doit être plus faible dans les semiconducteurs III-V (lié à la faible densité d'états de la bande de conduction de ces matériaux) ; (b) les matériaux à forte mobilité, qui possèdent de faibles masses effectives de confinement dans leur vallée la plus basse en énergie, sont sujets à un plus fort confinement quantique. Par la suite, nous avons complété notre étude en simulant, de manière classique à l'aide du logiciel Atlas [Silvaco], le fonctionnement de l'inverseur CMOS à base de transistors MOS DG avec des matériaux innovants. Les performances statiques sont équivalentes pour tous les matériaux simulés (Si, Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) à faible longueur de grille. Ainsi, la réduction des effets de canal court observée dans les transistors à base d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ne semblent pas améliorer la marge de bruit de ce composant. En revanche, les performances dynamiques (évaluées par le

temps de réponse à 5%) sont fortement améliorées avec les matériaux à forte mobilité (Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) car ceux-ci peuvent fournir un courant de drain plus élevé grâce à leur mobilité plus importante. L'intérêt de ces matériaux est donc bien réel mais des modèles plus réalistes notamment en termes de transport quantique doivent être créés pour évaluer précisément les performances des transistors MOS DG.

Le chapitre 3 dresse donc un bilan des performances de l'architecture Double-Grille, utilisée à la fois en déconnectant les grilles de commande et à la fois en changeant le matériau du film semiconducteur grâce à un code de simulation numérique. Celui-ci sera ensuite utilisé dans le chapitre 4 pour valider un modèle compact décrivant le courant de drain dans ces architectures.

Chapitre 4

Modélisation compacte du transistor MOS en architecture Double-Grille sur silicium

Malgré une description très précise du comportement électrique des transistors MOS en architecture Double-Grille, la simulation numérique n'est pas adaptée pour évaluer les performances des circuits en raison du temps de calcul trop important. Par conséquent, le fonctionnement des dispositifs est étudié en développant des modèles compacts à base d'équations simplifiées.

Ce chapitre est alors dédié à la modélisation compacte et analytique du courant de drain dans les transistors MOS en architecture Double-Grille à grilles indépendantes. Tout d'abord, nous présentons un modèle compact dédié au calcul du courant de drain en dérive-diffusion et valide dans tous les régimes de fonctionnement. Ensuite, un modèle analytique sera consacré à l'évaluation du courant de drain en régime sous le seuil décrit par un transport purement balistique.

Enfin, pour attester de leur validité, les modèles seront à chaque fois comparés aux résultats obtenus par la simulation numérique, décrite dans le chapitre 3 [Moreau5] (modèle QDD) et dans la référence [Autran3] (code DGGREEN2D).

Chapitre 4 Modélisation compacte du transistor MOS en architecture Double-Grille sur silicium	143
4.1 Introduction.....	145
4.2 Modélisation compacte du courant de drain en dérive-diffusion	147
4.2.1 Modélisation du potentiel électrostatique.....	149
4.2.2 Calcul de la charge d'inversion	152
4.2.3 Expression du courant de drain	155
4.2.4 Comparaison et validation du modèle par la simulation numérique	156
4.3 Modélisation analytique du courant de drain sous le seuil en régime balistique	159
4.3.1 Profil de potentiel sous le seuil.....	160
4.3.2 Modélisation du courant balistique dans le régime sous le seuil	163
4.3.3 Validation du modèle par la simulation numérique.....	165
4.4 Conclusion du chapitre	168

Chapitre 4

Modélisation compacte du transistor MOS en architecture Double-Grille sur silicium

Le chapitre 4 présente les différents modèles compacts dédiés au calcul du courant de drain dans les transistors MOSFET en architecture Double-Grille et plus particulièrement dans les dispositifs à grilles indépendantes (IDG). Le transistor Double-Grille à grilles connectées (DG) étant un cas particulier de l'architecture à grilles indépendantes, les modèles seront donc valides pour les deux types de structure. Le premier modèle, valable dans tous les régimes de fonctionnement, s'attache à décrire le courant de drain à partir de l'équation de transport de dérive-diffusion en prenant en compte les effets liés à la réduction des dimensions des transistors : réduction de la longueur de grille (effets de canal court) et diminution de l'épaisseur de film (effets de confinement quantique). Le second modèle est quant à lui développé pour la détermination des performances sous le seuil des transistors MOS DG à grilles indépendantes fonctionnant dans le régime balistique.

4.1 Introduction

Le fonctionnement du transistor MOS en architecture Double-Grille a été étudié dans le chapitre 3 grâce à des outils de simulation numérique. Nous avons montré que ces dispositifs apportent des solutions viables pour améliorer les performances des transistors MOS conventionnels. En particulier, le dispositif DG améliore le contrôle électrostatique des grilles sur le canal de conduction tout en augmentant le courant de drain alors que le transistor MOS IDG (où les grilles avant et arrière sont déconnectées électriquement l'une de l'autre) semble très intéressant au niveau circuit puisqu'il permet une modulation de la tension de seuil tout en conservant de bonnes performances si la polarisation de la grille arrière ne dépasse pas ~ 0.4 V.

Cependant, nous avons également pu constater que la réduction des dimensions entraîne l'apparition de phénomènes physiques tels que le confinement quantique et les effets électrostatiques 2D, déterminants sur le fonctionnement général des transistors MOS en architecture Double-Grille. Si la simulation numérique permet alors de reproduire aisément le fonctionnement des dispositifs décanométriques, l'extrême réduction des dimensions dans les transistors engage de nouveaux défis pour la modélisation analytique et compacte. En effet, la simulation numérique n'est pas un outil adaptée pour étudier les performances des circuits car les temps de simulation sont beaucoup trop importants surtout lorsqu'il s'agit de simuler plusieurs milliers de composants. Ainsi, les modèles compacts et analytiques rentrent en jeu mais doivent être impérativement capables de reproduire les phénomènes physiques émergents liés à l'utilisation de canaux de conduction très courts et des films semiconducteurs très fins dans les transistors MOS DG. Dans le cas des dispositifs Double-Grille à grilles indépendantes, la tâche de modélisation est encore plus difficile, en raison de l'influence de la grille arrière qui peut être polarisée de façon indépendante.

Pour ces dispositifs innovants, de nouveaux modèles analytiques ou compacts appropriés doivent donc être développés pour le calcul de la tension de seuil ou plus généralement pour évaluer le courant circulant dans le canal de conduction. Dans ce chapitre, nous nous sommes intéressés au calcul du courant de drain dans les transistors nMOS IDG (et par conséquent des transistors MOS DG conventionnels). De nombreux modèles sont proposés dans la littérature pour déterminer le courant en régime de dérive-diffusion dans les transistors MOS DG [Taur] [Ortiz] [Sallese] mais peu sont adaptés à la simulation des dispositifs à grilles indépendantes [Pei] [Lu] [Reyboz2]. Les modèles sont principalement basés sur la modélisation du potentiel de surface ou de la charge et bien souvent négligent soit les effets électrostatiques 2D et/ou le confinement quantique et/ou la charge d'inversion ; ils ne sont donc pas valides dans tous les régimes de fonctionnement (de l'inversion faible à la saturation).

A partir des travaux réalisés dans [Munteanu5] sur le transistor MOS DG, nous proposons dans un premier temps (§4.2), un modèle de courant de drain fonctionnant dans le régime de dérive-diffusion pour les transistors MOS IDG [Munteanu6]. Ce modèle, basé sur la résolution 2D du potentiel électrostatique, prend en compte les effets de canal court et de confinement quantique en calculant les niveaux d'énergie quantifiés développé dans [Trivedi]. Ce modèle permet alors de capturer l'essentiel de la physique dans ces dispositifs et a été validé par comparaison avec des données issues de simulation numérique quantique 2D (code présenté dans le chapitre 3 [Moreau5]).

Pour des longueurs de canal très faibles, les électrons ne rencontrent plus d'interaction dans le canal de conduction, on ne parle alors plus de transport diffusif mais balistique. Quand $L_G \leq 15$ nm, le caractère balistique du transport commence à devenir important et de nouveaux phénomènes quantiques s'ajoutent à ceux observés dans le cas de la physique classique. La modélisation compacte doit alors être de nouveau adaptée pour reproduire le bon fonctionnement de ces dispositifs ultimes. Dans la littérature, quelques modèles compacts ont été publiés pour décrire le transport balistique dans les dispositifs Double-Grille ultra-courts [Jimenez2] [Rahman2] [Hamid]. Le courant de drain est généralement donné par la différence entre les flux d'injection de la source et du drain calculés au niveau du maximum de la barrière de potentiel dans le canal [Jimenez2]. Pour les canaux ultra-courts ($L_G \leq 8$ nm), la probabilité que les électrons passent d'une électrode à l'autre par effet tunnel quantique à travers la

barrière de potentiel source-canal-drain n'est plus négligeable. Le courant total de la structure devient alors la somme de deux composantes : (a) l'émission thermoïonique (les électrons ont une énergie supérieure à la hauteur de la barrière de potentiel) et (b) le courant par effet tunnel quantique (les électrons ont une énergie inférieure à la hauteur de la barrière de potentiel).

Ainsi, dans une deuxième partie (§4.3), nous avons développé un modèle analytique de courant de drain balistique en régime sous le seuil pour les transistors nMOS Double-Grille à grilles indépendantes sur silicium [Munteanu7], à partir des travaux effectués par [Autran6]. Cette approche prend en compte des effets essentiels de la physique de ces dispositifs de très faibles dimensions (confinement quantique, courant thermoïonique) et introduit deux nouveautés majeures, généralement négligées dans la modélisation compacte : les effets de canal court 2D et le courant tunnel des porteurs à travers la barrière de potentiel. Comme pour le modèle en dérive-diffusion, les résultats obtenus par cette approche analytique sont comparés et validés avec les données de la simulation numérique en utilisant un code basé sur la résolution auto-cohérente des équations de Poisson et de Schrödinger couplées au formalisme des fonctions de Green hors-équilibre (DGGREEN2D [Autran3]).

4.2 Modélisation compacte du courant de drain en dérive-diffusion

Dans cette partie, nous proposons un modèle compact pour le calcul du courant de drain dans les transistors nMOS en architecture Double-Grille sur silicium. Le modèle, développé à partir de travaux antérieurs dans le transistor MOS DG conventionnel (à grilles connectées) [Munteanu5], est adapté à la simulation des transistors nMOS DG à grilles indépendantes (IDG) et prend en compte les effets de canal court et de confinement quantique [Munteanu6]. Le modèle est valable dans tous les régimes de fonctionnement et considère toutes les spécificités de cette structure (grilles asymétriques, polarisations des grilles indépendantes, ...), ce qui le rend très approprié pour l'implémentation dans un simulateur circuit. Le développement de ce modèle est basé sur le calcul de la distribution bi-dimensionnelle du potentiel électrostatique dans le canal de conduction en prenant en compte la charge d'inversion évaluée de façon classique ou quantique.

La figure 4.1 représente schématiquement la structure Double-Grille à grilles indépendantes considérée pour la résolution des équations. Comme il a été défini dans le §3.2, le transistor MOS IDG est de manière générale un dispositif asymétrique défini par une grille avant et une grille arrière déconnectées électriquement (V_{Gf} et V_{Gb} , respectivement) dont les travaux de sortie sont différents (Φ_{Mf} et Φ_{Mb}), tout comme les épaisseurs des deux oxydes situés entre le canal et les grilles avant et arrière (T_{oxf} et T_{oxb}). Le modèle est pour l'instant uniquement adapté aux transistors à base de matériaux "classiques" avec un film semiconducteur en silicium [source et drain dopé n++ (N_{SD}) et canal dopé p (N_A)] et empilement de grille composé d'une seule couche de SiO_2 . Il serait bien évidemment très intéressant de l'adapter aux matériaux innovants [film semiconducteur en germanium ou matériaux III-V et empilement de grille avec deux couches (interfaciale + *high- κ*)] pour le comparer à nos simulations numériques (§3.4.2) et évaluer plus précisément l'intérêt de ces

structures au niveau des performances circuit (au lieu d'utiliser le simulateur Atlas où il est difficile d'inclure les effets de confinement quantique, voir §3.4.3).

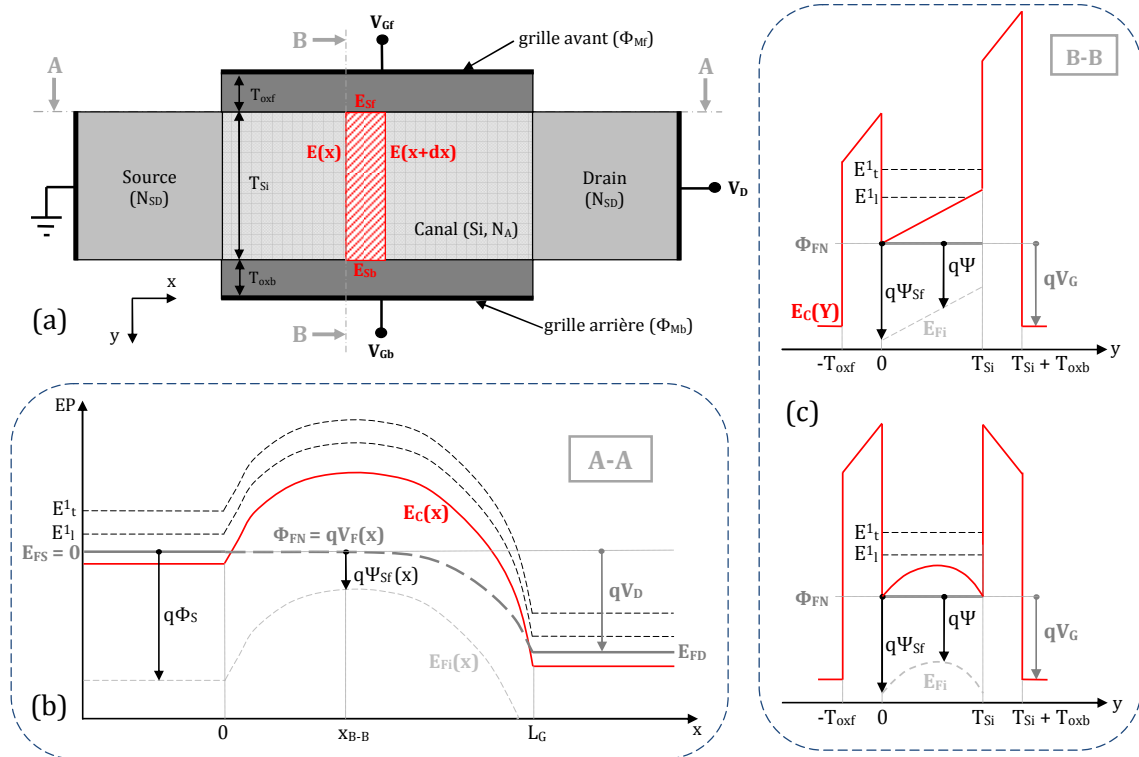


Figure 4.1 : (a) Vue schématique du transistor MOS en architecture Double-Grille à grilles indépendantes (IDG) et définition des principaux paramètres électriques et structuraux (l'aire hachurée en rouge représente la surface fermée utilisée pour l'application de la loi de Gauss). (b) Diagramme de bande dans une coupe horizontale (A-A) du film de silicium avec $EP =$ énergie potentielle, $E_c =$ énergie du bas de la bande de conduction, $\Phi_{FN} =$ quasi-niveau de Fermi des électrons, E_{FS} et $E_{FD} =$ quasi-niveaux de Fermi dans la source et le drain, respectivement, et $E_{Fi} =$ niveau de Fermi intrinsèque. (c) Diagramme de bande dans une coupe verticale (B-B) du film de silicium où les deux grilles sont polarisées en faible inversion avec $V_{Gf} \neq V_{Gb}$ (figure du dessus) et où les deux grilles sont polarisées en forte inversion avec $V_{Gf} = V_{Gb}$ (figure du dessous).

La modélisation compacte nécessite des simplifications pour rendre possible la résolution des équations et calculer le courant de drain. La figure 4.1.b montre une coupe horizontale (x) du diagramme de bande de la structure et définit quelques paramètres tels que les niveaux d'énergie [référéncés par rapport au quasi-niveau de Fermi des électrons de la source (E_{FS})*] et le quasi-niveau de Fermi (Φ_{FN}) qui sera supposé constant le long de la direction y (le courant de drain circulera principalement dans la direction x). Les diagrammes de bandes dans la direction verticale (y) sont représentés sur la figure 4.1.c pour deux cas : (a) lorsque les deux grilles sont polarisées en faible inversion avec $V_{Gf} \neq V_{Gb}$ et (b) quand les grilles sont polarisées en forte inversion avec $V_{Gf} = V_{Gb}$. Dans le premier cas et si les tensions de grilles sont assez différentes, le potentiel électrostatique a une distribution linéaire dans le film de

* L'utilisation de forts dopages (n++) dans la source et le drain implique que les quasi-niveaux de Fermi dans ces zones sont généralement situés dans la bande de conduction (semiconducteur dégénéré).

silicium (en y) : le puits de potentiel vu par les électrons a une forme triangulaire* entre 0 et T_{Si} . Dans le second cas, les fortes tensions induisent une déformation du potentiel dans le canal et celui-ci suit une distribution quasi-parabolique en fonction de la position dans le film de silicium.

Nous allons par la suite présenter les équations du modèle et comparer les résultats avec le code de simulation numérique développé dans le chapitre 3 [Moreau5].

4.2.1 Modélisation du potentiel électrostatique

La modélisation du courant de drain est basée sur le calcul de la distribution de potentiel électrostatique 2D dans le dispositif. Plusieurs méthodes ont été proposées dans la littérature et la plus complète (mais mathématiquement compliquée) est basée sur l'analyse des modes évanescents (*evanescent-mode analysis*) : le potentiel est divisé en deux parties distinctes [Oh] représentant la solution pour le canal long et le comportement à canal court pour prendre en compte de manière rigoureuse les effets de canal court.

En s'inspirant du cas des transistors MOS DG conventionnels [Munteanu5] et de l'approche des modes évanescents, nous proposons dans ce modèle de découpler le potentiel en deux dépendances : une dépendance parabolique dans la direction y (figure 4.1.c) et une dépendance en x à travers le potentiel de surface à l'interface avant $\Psi_{Sf}(x)^\dagger$ qui dépend des polarisations V_{Gf} , V_{Gb} et V_D .

L'expression générale du potentiel est alors donnée par l'équation suivante :

$$\Psi(x, y) = \Psi_{Sf}(x) + \alpha(x)y + \beta(x)y^2, \quad (4.1)$$

où α and β sont deux coefficients dépendants uniquement de la direction x . Dans le cas particulier où $V_{Gf} = V_{Gb}$, le potentiel décrit par l'équation (4.1) prend une forme parabolique en fonction de y . En revanche, cette expression se réduit bien à une dépendance linéaire dans le cas où les deux grilles sont en inversion faible et V_{Gf} est différente de V_{Gb} .

Par la suite, pour déterminer les coefficients α and β il faut imposer des conditions aux limites aux interfaces avant ($y = 0$) et arrière ($y = T_{Si}$) avec :

$$-\left. \frac{\partial \Psi(x, y)}{\partial y} \right|_{y=0} = E_{Sf} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{V_{Gf} - V_{FBf} - \Psi_{Sf}}{T_{oxf}}, \quad (4.2.a)$$

$$-\left. \frac{\partial \Psi(x, y)}{\partial y} \right|_{y=T_{Si}} = E_{Sb} = -\frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{V_{Gb} - V_{FBb} - \Psi_{Sb}}{T_{oxb}}, \quad (4.2.b)$$

où E_{Sf} et E_{Sb} sont les champs électriques et Ψ_{Sf} et Ψ_{Sb} sont les potentiels de surface aux interfaces Si/SiO₂ avant et arrière respectivement (figure 4.1).

* En revanche, si $V_{Gb} = 0$ V, le puits de potentiel sera en réalité de forme carré (plat au fond du puits) au début de la caractéristique $I_{DS}(V_{Gf})$ ($V_{Gf} \sim 0$), ce qui n'empêchera pas de considérer une variation linéaire du potentiel.

† Le calcul du potentiel pourrait également se faire à partir du potentiel de surface à l'interface Si/SiO₂ arrière mais il semble plus logique que l'expression dépende du potentiel de surface avant, lié à la grille de commande (grille avant). L'expression de $\Psi_{Sf}(x)$ sera développée plus loin dans le paragraphe.

Il suffit ensuite de calculer la dérivée de l'équation (4.1) par rapport à y , de l'évaluer pour $y = 0$ et $y = T_{Si}$ puis de remplacer les résultats par les expressions (4.2) et il vient :

$$\alpha(x) = -E_{Sf}, \quad (4.3)$$

$$\alpha(x) + 2\beta(x)T_{Si} = -E_{Sb}. \quad (4.4)$$

En remplaçant les valeurs des champs électriques E_{Sf} et E_{Sb} dans les équations (4.3) et (4.4) par leur valeur données dans les expressions (4.2) et en sachant que $\Psi_{Sb} = \Psi(x, y=T_{Si}) = \Psi_{Sf}(x) + \alpha(x)T_{Si} + \beta(x)T_{Si}^2$, les coefficient α and β sont finalement donnés par :

$$\alpha(x) = -\frac{V_{Gf} - V_{FBf} - \Psi_{Sf}}{\gamma T_{oxf}}, \quad (4.5)$$

$$\beta(x) = \frac{V_{Gb} - V_{FBb} - \Psi_{Sf}}{T_{Si}(2\gamma T_{oxb} + T_{Si})} - \alpha(x) \frac{\gamma T_{oxb} + T_{Si}}{T_{Si}(2\gamma T_{oxb} + T_{Si})}, \quad (4.6)$$

où $\gamma = \epsilon_{Si}/\epsilon_{ox}^*$.

La distribution de potentiel donnée par l'équation (4.1) où α et β sont calculés grâce aux équations (4.5) et (4.6) inclut bien évidemment la dépendance en fonction des polarisations sur les grilles avant (V_{Gf}) et arrière (V_{Gb}) et l'asymétrie du dispositif (travail de sortie et épaisseur du diélectrique de grille différents selon les grilles avant ou arrière). La dernière étape pour déterminer le potentiel électrostatique dans le dispositif passe par le calcul du potentiel de surface à l'interface avant.

Dans les transistors Double-Grille à film mince, l'électrostatique est décrite de façon exacte quand toutes les charges sont prises en compte dans le canal de conduction. Dans les dispositifs décanométriques, les volumes de canal mis en jeu sont relativement faibles et la charge de déplétion est alors parfois négligée. De plus, l'avantage d'un très bon contrôle électrostatique dans les architectures Double-Grille permet d'envisager des films de silicium intrinsèques et dans ce cas la charge de déplétion est alors complètement négligeable. Toutefois, la contribution due à la densité de charge d'inversion est très importante, notamment au-dessus de seuil [Iniguez]. Pour être le plus complet possible, nous prendrons donc en compte dans ce modèle à la fois la charge de déplétion et la charge d'inversion dans le calcul du potentiel. Ainsi, le potentiel de surface Ψ_{Sf} , uniquement dépendant de la direction x , est calculé en appliquant le théorème de Gauss[†] sur la surface fermée hachurée représentée dans la figure 4.1.a :

$$-\int_0^{T_{Si}} E(x, y) dy + \int_0^{T_{Si}} E(x + dx, y) dy - E_{Sf}(x) dx + E_{Sb}(x) dx = -\frac{qN_A T_{Si} dx}{\epsilon_{Si}} - \frac{q_i(x) dx}{\epsilon_{Si}}. \quad (4.7)$$

Dans la partie de droite de l'équation (4.7), le premier terme correspond à la charge de déplétion (grâce au dopage du canal N_A) et le deuxième terme est lié à la charge d'inversion des porteurs libres $q_i(x)$ (calculée dans le prochain paragraphe). Pour des films très minces

* Pour simplifier les calculs, le paramètre γ est unique pour les deux interfaces et les couches des oxydes de grille avant et arrière seront donc constituées du même matériau : $\epsilon_{oxf} = \epsilon_{oxb} = \epsilon_{ox}$ (l'indice ox représente le matériau qui peut être du SiO_2 ou n'importe quel autre diélectrique : HfO_2 , Al_2O_3 , ...).

† Le flux du champ électrique à travers une surface S fermée est égal à la somme des charges contenues dans le volume V , délimité par cette surface, divisée par la permittivité du vide.

considérés dans cette approche ($T_{Si} < 15\text{nm}$), le champ électrique $E(x,y)$ peut être approximé par [Banna] [Biesemans] [Munteanu5] :

$$E(x, y) \approx -\frac{d\Psi_{Sf}(x)}{dx}. \quad (4.8)$$

En effectuant les calculs de l'équation (4.7) avec l'expression (4.8), l'équation différentielle 1D suivante est obtenue pour le calcul de Ψ_{Sf} :

$$\frac{d^2\Psi_{Sf}}{dx^2} - m_1^2\Psi_{Sf} = R(x), \quad (4.9)$$

où les termes m_1 et $R(x)$ sont donnés par :

$$m_1 = \sqrt{\frac{2(C_{oxf}\epsilon_{Si} + C_{oxb}\epsilon_{Si} + C_{oxf}C_{oxb}T_{Si})}{\epsilon_{Si}T_{Si}(2\epsilon_{Si} + T_{Si}C_{oxb})}}, \quad (4.10)$$

$$R(x) = \frac{1}{\epsilon_{Si}T_{Si}} \left(qN_A T_{Si} + q_i(x) - 2C_{oxf}(V_{Gf} - V_{FBf}) \frac{\gamma T_{oxb} + T_{Si}}{2\gamma T_{oxb} + T_{Si}} \right) - \frac{1}{\epsilon_{Si}T_{Si}} \left(2C_{oxb}(V_{Gb} - V_{FBb}) \frac{\gamma T_{oxb}}{2\gamma T_{oxb} + T_{Si}} \right), \quad (4.11)$$

et $C_{oxf} = \epsilon_{ox}/T_{oxf}$ et $C_{oxb} = \epsilon_{ox}/T_{oxb}$ représentent les valeurs des capacités des oxydes de grilles avant et arrière, respectivement.

Une solution analytique approximative de l'équation (4.9) est ensuite donnée par :

$$\Psi_{Sf}(x) = C_1 \exp(m_1 x) + C_2 \exp(-m_1 x) - \frac{R(x)}{m_1^2}, \quad (4.12)$$

où les expressions de C_1 et C_2 sont calculées pour remplir les conditions aux limites dans le drain et la source suivantes (figure 4.1.b) :

$$\Psi_{Sf}(x=0) = \Phi_S, \quad (4.13.a)$$

$$\Psi_{Sf}(x=L_G) = \Phi_S + V_D, \quad (4.13.b)$$

avec :

$$\Phi_S = \frac{kT}{q} \ln \left(\frac{N_A N_{SD}}{n_i^2} \right), \quad (4.14)$$

où k est la constante de Boltzmann, T est la température, q est la charge de l'électron et n_i est la concentration intrinsèque du silicium (donnée en annexe A.2).

Les termes C_1 et C_2 sont finalement donnés par :

$$C_1 = \frac{\Phi_S [1 - \exp(-m_1 L_G)] + V_D + R(0) \frac{1 - \exp(-m_1 L_G)}{m_1^2}}{2 \sinh(m_1 L_G)}, \quad (4.15)$$

$$C_2 = -\frac{\Phi_S[1 - \exp(m_1 L_G)] + V_D + R(0) \frac{1 - \exp(m_1 L_G)}{m_1^2}}{2 \sinh(m_1 L_G)}. \quad (4.16)$$

Toutes les formules présentées ci-dessus sont valables pour des transistors MOS en architecture Double-Grille quelles que soit les polarisations des grilles [grilles connectées électriquement (DG) ou indépendantes (IDG)] et les empilements de grille [dispositif symétrique ou asymétrique ($T_{oxf} \neq T_{oxb}$ et/ou $\Phi_{Mf} \neq \Phi_{Mb}$)].

4.2.2 Calcul de la charge d'inversion

Comme indiqué dans le paragraphe précédent, la densité de charge d'inversion $q_i(x)$ est un élément indispensable à prendre en compte dans la modélisation compacte des transistors en architecture Double-Grille à film mince. La densité de charge d'inversion est nécessaire dans le calcul du potentiel de surface à l'interface avant à travers l'équation (4.7) et peut être évaluée de deux manières distinctes : (a) le cas classique où les porteurs sont libres de se déplacer dans tout le volume du semiconducteur [les électrons sont vus comme un gaz de porteurs 3D (continuum d'énergie dans la bande de conduction) et régis par la statistique de Maxwell-Boltzmann] et (b) le cas quantique où les porteurs sont confinés dans un puits de potentiel dans la direction y . Les électrons sont uniquement libres de circuler dans deux directions (x et z) et sont confinés dans la direction y sur des niveaux d'énergie quantifiés (figure 4.1.c) à déterminer analytiquement.

Dans le cas classique (sans confinement quantique), la densité d'électrons est donnée par l'expression suivante en supposant une distribution de porteurs libres 3D dans le film semiconducteur, régie par la statistique de Maxwell-Boltzmann :

$$n(x) = n_i e^{\frac{q}{kT}[(\Psi(x,y) - V_F(x))]}, \quad (4.17)$$

où $V_F(x)$ est le quasi-niveau de Fermi des électrons défini graphiquement sur la figure 4.1.b.

La charge d'inversion classique $q_{i,CL}(x)$ est finalement obtenue en intégrant la densité de porteurs sur l'ensemble de l'épaisseur du film semiconducteur :

$$q_{i,CL}(x) = \int_0^{T_{Si}} q n_i e^{\frac{q}{kT}[(\Psi(x,y) - V_F(x))]} dy. \quad (4.18)$$

Le calcul de la charge d'inversion [équation (4.16)] passe donc par l'évaluation du quasi-niveau de Fermi des électrons $V_F(x)$ le long du film. Plusieurs expressions analytiques de $V_F(x)$ ont été présentées dans la littérature et nous avons choisi d'utiliser celle proposée par [VanOver] pour les transistors MOS sur silicium massif :

$$V_F(x) = \frac{kT}{q} (m/n) \ln \left[\left(\exp \left(\frac{V_D (m/n)}{kT/q} \right) - 1 \right) \frac{x}{L_G} + 1 \right]^{-1}. \quad (4.19)$$

Le quasi-niveau de Fermi V_F donné par l'équation (4.19) dépend de la position x dans le canal, de la longueur de celui-ci (L_G) et de la tension de drain. Cependant, la simulation numérique des dispositifs MOS IDG a mis en avant la forte dépendance du quasi-niveau de Fermi des électrons

aux polarisations de grilles avant (V_{Gf}) et arrière (V_{Gb}) mais également à l'épaisseur du film (T_{Si}). L'expression (4.19) n'est donc pas suffisante pour reproduire précisément le comportement du transistor MOS Double-Grille à grilles indépendantes. Par conséquent, nous avons adopté dans ce modèle une expression quasi-empirique inspirée de l'équation (4.19) et largement vérifiée par la simulation numérique [Munteanu6] :

$$V_F(x) = \frac{kT}{q} (m/n) \ln \left[\left(\exp \left(\frac{V_D (m/n)^{-1}}{kT/q} \right) - 1 \right) \left(\frac{x}{L_G} \right)^{\frac{c}{(V_{Gf} - V_{FBf}) + (V_{Gb} - V_{FBb})}} + 1 \right]^{-1} (a T_{Si})^{\frac{V_D}{3c}}, \quad (4.20)$$

avec :

$$m/n = 2 + b (V_{Gf} - V_{FBf}) + b (V_{Gb} - V_{FBb}), \quad (4.21)$$

où $a = 0.2 \text{ nm}^{-1}$, $b = 0.05 \text{ V}^{-1}$, $c = 1 \text{ V}$.

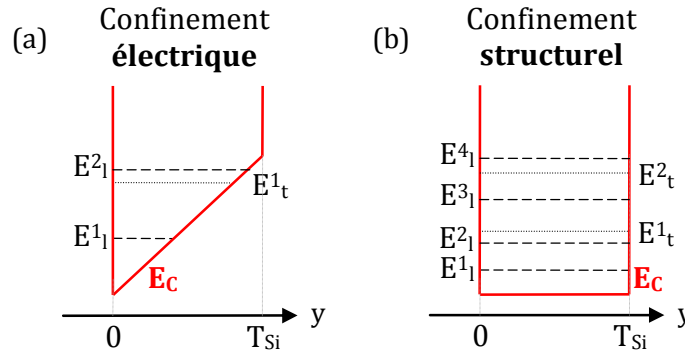


Figure 4.2 : Diagrammes de bande dans une coupe verticale dans le film de silicium d'un transistor MOS Double-Grille à grilles indépendantes illustrant les deux cas possibles de confinement quantique : (a) confinement induit par le champ électrique à l'interface et (b) confinement structurel induit par l'épaisseur physique du film de silicium.

Dans le cas quantique, le calcul analytique de la charge d'inversion est moins aisé que dans la modélisation classique notamment pour les transistors MOS en architecture Double-Grille à grilles indépendantes où la difficulté réside dans la détermination des niveaux d'énergie quantifiés dans le puits de potentiel 1D (direction y). En effet comme nous l'avons déjà expliqué dans le chapitre 3 (§3.3.2.1), l'évolution du puits de potentiel, et donc du confinement quantique des porteurs dans ces architectures, dépend de deux phénomènes distincts [Trivedi] (figure 4.2) : le confinement quantique électrique (lié à la polarisation indépendante des grilles avant et arrière) et le confinement quantique structurel (lié à l'épaisseur du canal de conduction). L'étude du confinement quantique dans les transistors MOS IDG par la simulation numérique (§3.3.2.2) a montré qu'il est indispensable de traduire ces phénomènes dans la modélisation compacte du courant de drain même pour des épaisseurs de films importantes ($T_{Si} \leq 15 \text{ nm}$) à forte polarisation de grille arrière.

Pour évaluer la densité d'électrons dans le film semiconducteur d'un point de vue quantique, l'équation de Poisson doit être résolue de façon auto-cohérente avec l'équation de Schrödinger comme nous l'avons montré dans le chapitre 3. Dans ce cas, une solution

analytique n'est pas possible sans faire des hypothèses simplificatrices, soit sur la forme du potentiel, soit sur la distribution des électrons pour le calcul des niveaux d'énergie [Ge]. Cependant quelle que soit la forme du puits de potentiel, la densité de charge totale d'inversion quantique $q_{i,QM}(x)$ est obtenue en sommant la densité d'électrons (gaz de porteurs 2D) de chaque niveau d'énergie. Dans l'approximation des bandes paraboliques, la charge d'inversion quantique est égale à :

$$q_{i,QM}(x) = \frac{qkT}{\pi\hbar^2} \sum_i \sum_{l,t} \mu_{l,t} m_{l,t}^{2D} \ln \left[1 + \exp \left(-\frac{q}{kT} \left(E_{l,t}^i + \frac{E_G}{2} - \Psi_{SF}(x) + V_F(x) \right) \right) \right], \quad (4.22)$$

où l'indice i correspond au nombre de niveaux quantiques pris en compte dans le modèle ; les indices l et t font référence aux électrons des vallées longitudinal et transverse de la vallée Δ du silicium, respectivement ; $m_{l,t}^{2D}$ est la masse effective de densité d'état 2D des électrons des vallées l et t , et $\mu_{l,t}$ est le facteur de dégénérescence des électrons des vallées l et t . Toutes les valeurs de ces paramètres sont données en annexe A.2. Enfin, $E_{l,t}^i$ sont les niveaux d'énergie quantifiés des vallées l et t dans le puits de potentiel (figure 4.2).

Pour un transistor MOS DG [$V_{Gf} = V_{Gb} = V_G$ et symétrique] dont le film semiconducteur est intrinsèque, le confinement quantique est uniquement structurel et le profil du fond du puits de potentiel dans le film en y est plat à faible polarisation de grille. Les niveaux d'énergie peuvent alors être calculés analytiquement en considérant un puits de potentiel rectangulaire infini. Quand la polarisation des grilles augmente, le potentiel $\Psi(x,y)$ dans le canal suit une variation parabolique en y [équation (4.1)] et une évaluation plus précise des niveaux d'énergie doit être réalisée. La correction des niveaux d'énergie est alors obtenue en utilisant la méthode des perturbations au premier ordre [Ge]* et l'expression finale des niveaux d'énergie dans les transistors MOS DG conventionnels est égale à [Munteanu5] :

$$E_{l,t}^i(x) = \frac{\hbar^2 \pi^2 i^2}{2q m_{l,t}^{conf} T_{Si}^2} + \frac{\alpha(x) T_{Si}^2}{6} \left[1 + \frac{3}{\pi^2 i^2} \right], \quad (4.23)$$

où le terme de gauche représente les niveaux d'énergie dans un puits de potentiel rectangulaire auquel on ajoute, grâce au terme de droite, la correction liée à la variation parabolique du puits de potentiel en forte inversion.

Comme nous venons de le rappeler, le confinement quantique dans les transistors MOS IDG dépend à la fois du confinement structurel et du confinement électrique. En faible inversion et quand les polarisations des deux grilles sont très différentes, le puits de potentiel n'est plus de forme rectangulaire mais triangulaire : l'expression (4.23) des niveaux d'énergie quantifiés n'est plus valable mais il serait possible de déterminer une nouvelle expression uniquement dédiée au puits de potentiel triangulaire [Munteanu3].

Cependant, une approche complète et valable dans tous les régimes de fonctionnement est bien plus intéressante. Par conséquent, nous avons utilisé dans notre modèle, les expressions développées dans [Trivedi] pour le calcul des niveaux d'énergie dans les transistors MOS IDG. Dans cette approche, les niveaux d'énergie sont cette fois-ci calculés grâce à la méthode

* La méthode consiste à appliquer un hamiltonien de perturbation (résolvable analytiquement) sur les fonctions d'onde (dépendantes des niveaux et proportionnelles à des fonctions sinusoïdales) associées aux niveaux d'énergie [Munteanu2].

variationnelle où les fonctions d'onde d'essai des électrons sont proportionnelles au produit d'un sinus et d'une exponentielle (où le paramètre variationnel est présent) [Trivedi] [Cohen]. Les niveaux d'énergie $E_{i,t}^i$ sont alors donnés par [Munteanu6] :

$$E_{i,t}^i \cong \left(\frac{\hbar^2}{2m_{i,t}^{\text{conf}}} \right) \left[\left(\frac{\pi i}{T_{\text{Si}}} \right)^2 + A_{i,t}^i \right]^2 \left(3 - \frac{4}{3} \left(\frac{1}{1 + (A_{i,t}^i T_{\text{Si}} / (\pi i))^2} \right) \right) \quad (4.24)$$

avec :

$$A_{i,t}^i \cong \left[\frac{1}{4} \left(\frac{2m_{i,t}^{\text{conf}} q E_{\text{Sf}}}{\hbar^2} \right) (4i - 1) \right]^{1/3}, \quad (4.25)$$

où l'expression du champ électrique à l'interface s'exprime à travers les polarisations des grilles avant et arrière pour tenir compte de l'évolution de la forme du puits de potentiel [réécrite par rapport à l'équation (3.19)] :

$$E_{\text{Sf}} = - \frac{(V_{\text{FBf}} - V_{\text{FBb}}) - (V_{\text{Gf}} - V_{\text{Gb}})}{T_{\text{Si}} + 2\gamma T_{\text{ox}}}. \quad (4.26)$$

Finalement, la distribution de potentiel 2D dans le film semiconducteur d'un transistor MOS IDG évaluée d'un point de vue quantique est obtenue en introduisant $R(x)$ [calculé par l'équation (4.11) avec $q_{i,\text{QM}}(x)$ donnée par l'équation (4.22)] dans l'expression (4.12). Cette nouvelle équation du potentiel de surface $\Psi_{\text{Sf}}(x)$ est maintenant introduite dans l'équation (4.22) où les niveaux d'énergie sont remplacés par leur expression (4.24). Cela conduit à une équation implicite en $q_{i,\text{QM}}(x)$, qui est résolue numériquement pour obtenir la charge d'inversion. Une fois la charge d'inversion quantique déterminée, les expressions finales du potentiel de surface $\Psi_{\text{Sf}}(x)$ et du potentiel $\Psi(x, y)$ peuvent être facilement calculées grâce aux expressions (4.12) et (4.1), respectivement.

4.2.3 Expression du courant de drain

Dans le développement de ce modèle compact, nous nous attachons à décrire le transport des électrons dans les transistors MOS en architecture Double-Grille grâce au modèle de transport de dérive-diffusion présenté dans le chapitre 3 (§3.2.1.3). Ainsi, le modèle compact pourra être complètement validé par comparaison avec le code de simulation numérique développé dans le chapitre 3 [Moreau5] qui utilise également ce type de transport.

Malgré une distribution de potentiel bidimensionnelle dans le film de silicium, nous pouvons faire l'hypothèse que les lignes de courant sont parallèles à l'interface. Cette approximation est exprimée depuis le début de la construction du modèle compact en négligeant la variation du quasi-niveau de Fermi dans la direction y (V_{F} ne dépend que de la direction x). La densité de courant des électrons entre la source et le drain est alors exprimée dans le modèle dérive-diffusion par (voir les détails dans le §3.2.1.3, équation 3.9.a) :

$$J_n = -q\mu_n(x, y)n(x, y)\frac{dV_{\text{F}}(x)}{dx}, \quad (4.27)$$

où $\mu_n(x,y)$ est la mobilité des électrons dans tout le film semiconducteur. Si celle-ci est indépendante de la position ($\mu_n(x,y) = \mu_n$), le courant de drain est calculé en intégrant l'expression (4.27) dans les directions y et z et est alors donné par :

$$I_{ds}(x) = \mu_n W q_i(x) \frac{dV_F(x)}{dx}, \quad (4.28)$$

où W est la largeur de l'architecture*.

Enfin, la condition de continuité du courant [$\text{div}(J) = 0$] impose qu'il n'y ait pas d'accumulation de charges dans le canal de conduction. Ainsi, le courant de drain est indépendant de x et en intégrant (4.28) de 0 à L_G , l'expression finale du courant de drain, en assumant un calcul quantique de la charge d'inversion $q_{i,QM}(x)$ [donnée par l'équation (4.22)], s'exprime par :

$$I_{DS,QM} = \mu_n \frac{W}{L} \int_0^{L_G} q_{i,QM}(x) dV_F(x). \quad (4.29)$$

Lorsque la charge d'inversion est évaluée d'un point de vue classique [$q_{i,CL}(x)$], l'intégration de l'équation (4.28) conduit à une simplification du courant de drain qui devient égale à [Liang] :

$$I_{DS,CL} = \mu_n \frac{W}{L} \frac{kT}{q} \frac{1 - \exp(-qV_D/kT)}{\int_0^{L_G} \left(\int_0^{T_{Si}} n_i e^{q\Psi(x,y)/kT} dx \right)^{-1} dy}. \quad (4.30)$$

4.2.4 Comparaison et validation du modèle par la simulation numérique

Afin de valider le modèle compact développé ci-dessus, nous comparons les résultats avec les données issues de notre code de simulation numérique [Moreau5] présenté dans le chapitre 3 et dédié au calcul du courant de drain (transport de type dérive-diffusion) dans les transistors MOS en architecture Double-Grille (DG et IDG). La simulation numérique, basée sur une résolution 2D des dispositifs, permet de valider à la fois le modèle compact "classique" (la charge d'inversion est évaluée dans le cas classique en considérant une distribution d'électrons 3D régie par la statistique de Maxwell-Boltzmann) et le modèle compact "quantique" (la densité de porteurs dans le film semiconducteur est obtenue en sommant la contribution des électrons sur chaque niveaux d'énergie dans le puits de potentiel) grâce à la résolution numérique auto-cohérente des équation de Poisson 2D et de Schrödinger 1D. Ainsi, les résultats du modèle compact ont été confrontés à de nombreuses données numériques en termes de distribution de potentiel, de densité de charge d'inversion ou encore de potentiel de surface. L'accord entre les deux méthodes de résolution a toujours été très bon et nous allons le justifier en comparant uniquement les caractéristiques du courant de drain.

* En pratique, le courant de drain est exprimé en ampère par mètre (A/m) et il n'est donc pas nécessaire de connaître la valeur de W .

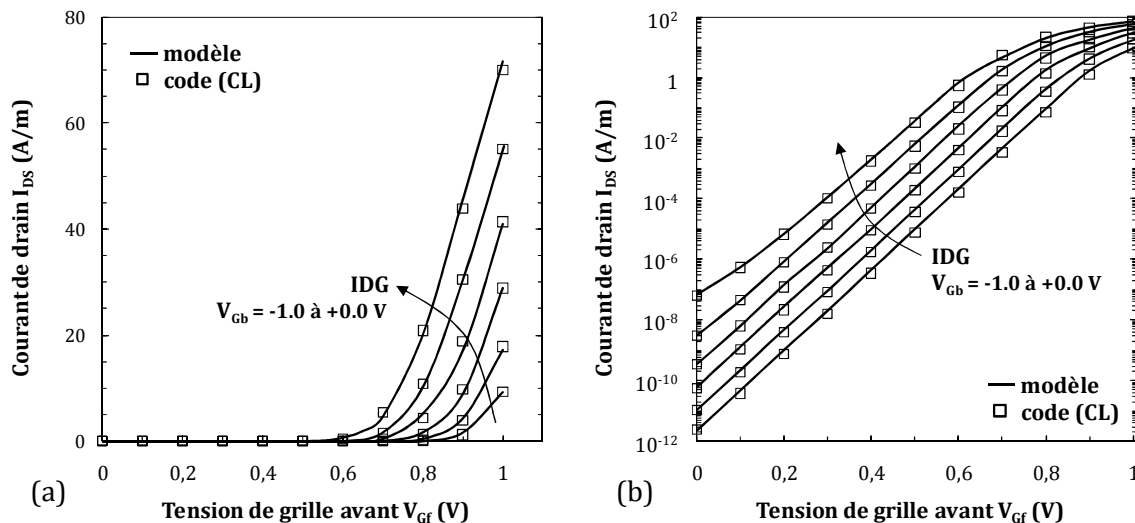


Figure 4.3 : Modèle compact (traits continus) versus simulation numérique (symboles) : caractéristiques $I_{DS}(V_{Gf})$ à $V_D=0.1 \text{ V}$ pour différentes valeurs négatives de la tension de la grille arrière (V_{Gb} varie de -1 à 0 V par de pas de 0.2 V) (a) en échelle linéaire et (b) en échelle logarithmique dans le cas de transistors MOS IDG avec $L_G = 200 \text{ nm}$, $T_{Si} = 10 \text{ nm}$, $T_{oxf} = T_{oxb} = 1 \text{ nm}$, $N_A = n_i$, $N_{SD} = 3 \times 10^{20} \text{ cm}^{-3}$.

Dans un premier temps, le modèle du courant de drain classique a été validé par la simulation numérique classique pour des dispositifs à canal long avec des épaisseurs du film semiconducteur allant de $T_{Si} = 20 \text{ nm}$ à $T_{Si} = 10 \text{ nm}$ où la mobilité des électrons est fixée à une valeur constante [$\mu_n = 200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ dans l'équation (4.30)]. Les figures 4.3 et 4.4 montrent les caractéristiques $I_{DS}(V_{Gf})$ de transistors MOS IDG avec $L_G = 200 \text{ nm}$ et $T_{Si} = 10 \text{ nm}$ pour différentes polarisations de la grille arrière (figure 4.3 pour $V_{Gb} \leq 0 \text{ V}$, et figure 4.4 pour $V_{Gb} \geq 0 \text{ V}$) en échelle linéaire (figures a) et logarithmique (figures b). Les données représentées en traits continus sont issues du modèle compact alors que les symboles représentent les résultats de notre code de simulation numérique.

D'après les figures 4.3 et 4.4, il apparaît que notre modèle compact reproduit très bien le comportement électrique de cette structure sur une large gamme de polarisations de grille arrière que ce soit en régime de faible inversion (V_{Gf} faible, courbes en échelle logarithmique) ou en saturation (V_{Gf} fort, courbes en échelle linéaire). De plus, le modèle est continu entre ces deux zones et les valeurs des courants de drain autour des tensions de seuil sont en très bon accord avec la simulation numérique. Le modèle compact peut donc être facilement utilisé pour obtenir les principaux indicateurs de performance des dispositifs IDG tels que la tension de seuil, la pente sous le seuil, les effets de canal court (SCE et DIBL) ainsi que les courants de saturation I_{on} et de fuite I_{off} selon la polarisation de la grille arrière. Il est donc tout à fait adapté pour la simulation de circuit à base de transistors MOS IDG.

Dans un deuxième temps, nous poursuivons la validation de notre modèle compact du courant de drain dans les transistors MOS IDG en comparant les résultats avec ceux de la simulation numérique lorsque les effets de confinement quantique sont importants ($T_{Si} \leq 10 \text{ nm}$). Les courants de drain issus de la simulation numérique [basée sur le modèle dérivate-diffusion quantique (QDD, voir chapitre 3, §3.2.1.2)] et du modèle compact [équation (4.29)] dans des transistors MOS en architecture Double-Grille sont représentés sur la figure 4.5 avec un film semiconducteur mince ($T_{Si} = 5 \text{ nm}$) pour une meilleure illustration de l'impact

des effets de confinement quantique. La figure 4.5.a montre la comparaison entre les deux calculs pour des transistors MOS DG et IDG ($V_{Gb} = 0$ V) alors que la figure 4.5.b illustre deux polarisations de grille arrière différentes ($V_{Gb} = -0.2$ et 0.2 V) dans le cas classique et quantique.

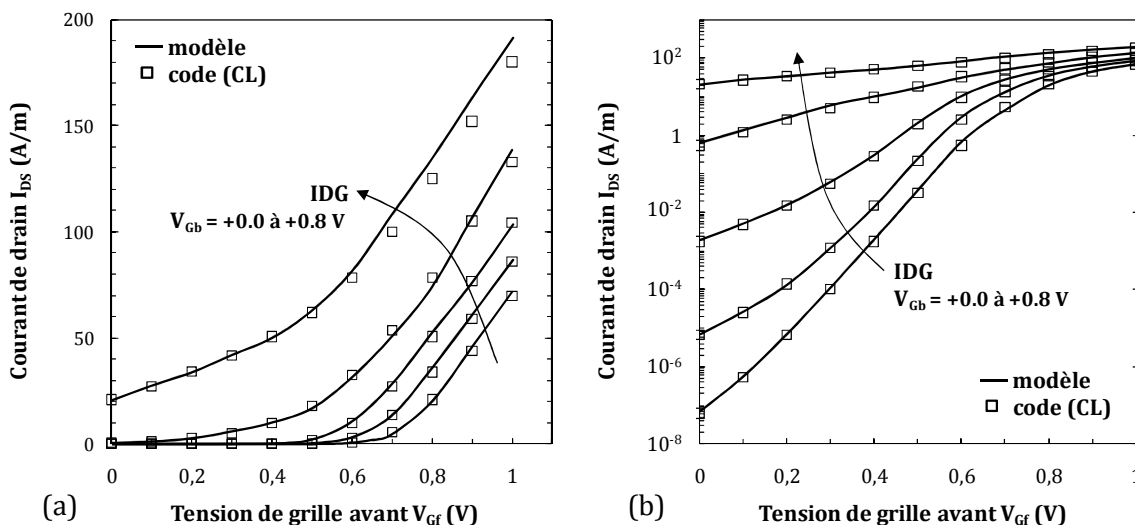


Figure 4.4 : Modèle compact (traits continus) versus simulation numérique (symboles) : caractéristiques $I_{DS}(V_{Gf})$ à $V_D=0.1$ V pour différentes valeurs positives de la tension de la grille arrière (V_{Gb} varie de 0 à 0.8 V par pas de 0.2 V) (a) en échelle linéaire et (b) en échelle logarithmique pour les mêmes dispositifs que la figure 4.3.

Un accord très satisfaisant est obtenu entre le modèle quantique et la simulation numérique quantique, dans les deux dispositifs DG et IDG et pour tous les régimes de fonctionnement.

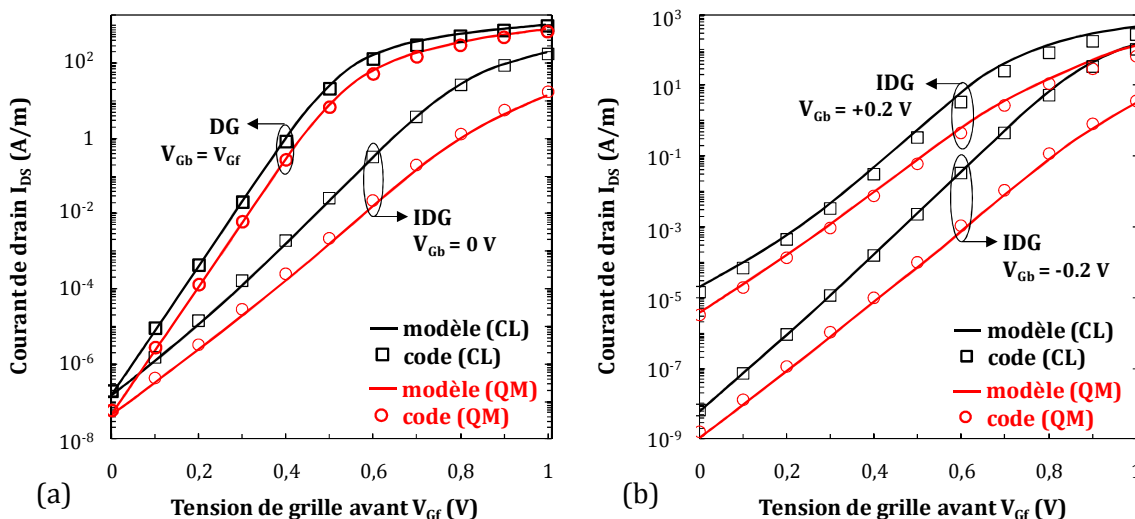


Figure 4.5 : Caractéristiques $I_{DS}(V_{Gf})$ ($V_D = 0.1$ V) issues de la simulation numérique (symboles) et du modèle compact (traits continus) dans les cas classique (courbes noires) et quantique (courbes rouges) des transistors MOS (a) DG ($V_{Gb} = V_{Gf}$) et IDG ($V_{Gb} = 0$ V), et (b) IDG ($V_{Gb} = -0.2$ et $+0.2$ V). Les principales données des structures sont : $L_G = 50$ nm, $T_S = 5$ nm, $T_{oxf} = T_{oxb} = 1$ nm.

La figure 4.5 montre que dans le cas quantique le transistor IDG et le transistor DG ne se comportent pas de la même manière dans le régime sous le seuil [Moreau5]. Compte tenu du fait que dans le dispositif IDG le confinement quantique est plus fort que dans le transistor DG dû à l'ajout du confinement électrique (par la polarisation indépendante de la grille arrière) au confinement structurel, la tension de seuil dans la structure IDG est plus élevée que celle relative au DG. Pour les mêmes raisons, la pente sous le seuil du transistor IDG est plus élevée dans le cas quantique que dans le cas classique, alors que pour le transistor DG les pentes dans le cas classique et quantique sont identiques. L'effet de confinement quantique, important dans ce type de structure, est donc bien reproduit grâce au modèle compact quantique qui pourrait être implémenté pour la simulation au niveau circuit.

4.3 Modélisation analytique du courant de drain sous le seuil en régime balistique

Les modèles compacts développés dans le §4.2 considèrent le transport d'un point de vue classique (transport de type dérive-diffusion) et sont uniquement valables lorsque les longueurs de grilles simulées sont assez importantes ($L_G \geq 20-30$ nm). En effet, à ces dimensions, les électrons du canal des transistors Double-Grille subissent de nombreuses collisions et le mouvement des porteurs peut alors être encore décrit par des lois de mobilité : les modèles basés sur le transport dérive-diffusion sont donc tout à fait valides. Cependant quand la longueur du canal est diminuée, les interactions entre les porteurs de charges sont réduites et la probabilité que les électrons ne subissent aucune collision entre la source et le drain est fortement augmentée* : le transport des électrons est dit balistique (voir chapitre 1, §1.2.2.3). Les modèles basés sur le transport de type dérive-diffusion ne sont plus aptes à reproduire les caractéristiques de ces dispositifs et de nouveaux modèles spécifiques doivent être développés. Ainsi, de nombreux travaux ont été menés ces dernières années pour prédire les performances des transistors fonctionnant dans le régime balistique ou quasi-balistique† tant au point de vue de la simulation numérique [Ren] [Laux] [Autran3] [Palestri2] qu'au niveau de la modélisation compacte [Jimenez2] [Fuchs] [Martinie2] [Gnani].

Nous présentons par la suite un modèle analytique dédié au calcul du courant de drain en régime balistique sous le seuil dans les transistors nMOS (transport d'électrons) en architecture Double-Grille à grilles indépendantes sur silicium avec un film semiconducteur très mince ($T_{Si} < 5$ nm) et des longueurs de canal faible ($L_G \leq 10$ nm) [Munteanu7]. Cette approche inclut tous les phénomènes physiques essentiels qui interviennent dans ces dispositifs ultimes : confinement quantique, effets de canal court 2D, courant thermoionique et transport tunnel des porteurs à travers la barrière de potentiel source-canal-drain. Ce modèle compact sera bien évidemment construit à partir du modèle présenté dans le §4.2 en ajoutant quelques hypothèses simplificatrices pour le rendre complètement analytique. Le modèle proposé sera ensuite validé par la simulation numérique en utilisant le code DGGREEN2D développé au sein de l'IM2NP [Autran3].

* La longueur de canal (distance entre les réservoirs d'électrons de la source et du drain) doit être inférieure au libre parcours moyen des porteurs (typiquement $L_G \leq 10$ nm).

† Le régime quasi-balistique est considéré comme un régime intermédiaire entre le courant purement balistique et le régime de dérive-diffusion.

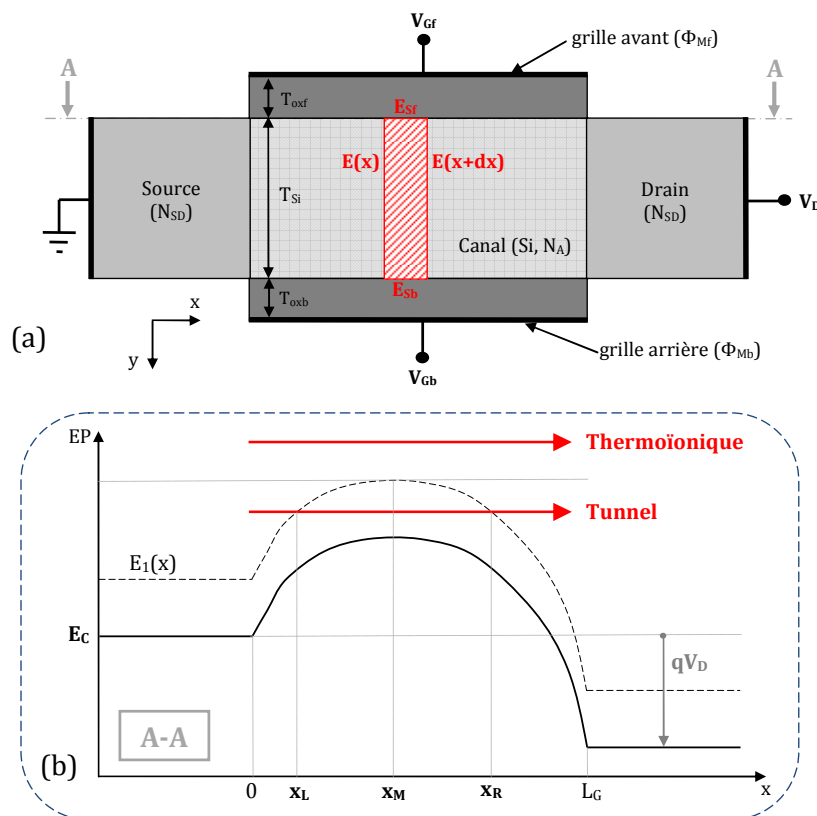


Figure 4.6 : (a) Description schématique du transistor MOS en architecture Double-Grille où les principaux paramètres électriques et structuraux considérés dans ce travail sont définis. (b) Représentation de la première sous-bande d'énergie $[E_1(x)]$ calculée par l'équation (4.39) dans une coupe horizontale du canal (A-A) et définition des points tournants (x_L , x_R), du maximum de la barrière x_M et des deux types de mécanismes de franchissement de la barrière (émission thermoïonique et transport tunnel quantique).

Nous rappelons sur la figure 4.6.a la structure considérée pour développer le modèle de calcul du courant de drain sous le seuil en régime balistique dans les transistors MOS IDG. Si le transport des électrons dans le canal (évidemment traité en 1D pour ce genre de structure) est purement balistique, la modélisation du comportement de ces dispositifs est réduite à la description de la transmission des électrons au-dessus et à travers la barrière d'énergie formée entre la source et le drain. La forme et l'amplitude de cette barrière sont modulées de façon déterminante par les polarisations de drain (V_D) et des grilles avant et arrière (V_{Gf} et V_{Gb} , respectivement), comme nous avons pu le constater dans le paragraphe précédent. La figure 4.6.b permet de définir les deux types de transmission rencontrés par les électrons pour traverser le canal de conduction : (a) l'émission thermoïonique quand les porteurs ont une énergie supérieure au maximum de la barrière de potentiel entre la source et le drain et (b) le transport tunnel quantique si leur énergie est inférieure au maximum de la barrière de potentiel.

4.3.1 Profil de potentiel sous le seuil

L'hypothèse de base pour le calcul du courant de drain repose sur le choix du profil de potentiel dans la structure. Les bons résultats obtenus avec le modèle présenté dans le §4.2

nous montrent que le découplage du potentiel selon x (grâce au potentiel de surface à l'interface avant $\Psi_{sf}(x)$ qui dépend des polarisations V_{Gf} , V_{Gb} et V_D) et y (dépendance parabolique) est tout à fait valide dans les transistors MOS IDG. Ainsi, nous reprenons pour ce modèle l'expression générale du potentiel électrostatique donnée par l'équation (4.1) :

$$\Psi(x, y) = \Psi_{sf}(x) + \alpha(x)y + \beta(x)y^2, \quad (4.31)$$

où les coefficients $\alpha(x)$ et $\beta(x)$ sont donnés dans les expressions (4.5) et (4.6), respectivement. Cette expression permet donc de prendre en compte les effets électrostatiques 2D (effets de canal court).

Cependant, contrairement au modèle compact du §4.2, le courant de drain est uniquement calculé dans le régime sous le seuil. Ainsi, les porteurs minoritaires peuvent être négligés et l'équation de Poisson est résolue analytiquement dans la direction x avec les mêmes conditions aux limites explicites aux deux interfaces oxyde/silicium que dans le modèle précédent (prise en compte de l'influence électrostatique des deux tensions de grille avant et arrière). De façon similaire au développement du modèle de courant en régime dérivediffusion, nous définissons le potentiel électrostatique Ψ_{sf} comme la courbure de bande par rapport au niveau de Fermi intrinsèque et nous choisissons la référence de potentiel au niveau de Fermi dans le réservoir de source. L'expression du potentiel $\Psi_{sf}(x)$ est alors obtenue en intégrant la loi de Gauss sur la surface fermée particulière de la figure 4.6.a (aire hachurée en rouge) :

$$-E(x, y)T_{Si} + E(x + dx, y)T_{Si} - E_{sf}(x)dx + E_{sb}(x)dx = -\frac{qN_A T_{Si} dx}{\epsilon_{Si}}. \quad (4.32)$$

L'expression (4.31) est identique à l'équation (4.7) à laquelle nous avons retiré dans la partie de droite la charge d'inversion $q_i(x)$ car les porteurs libres sont négligés en régime sous le seuil. Les valeurs des champs électriques aux interfaces avant (E_{sf}) et arrière (E_{sb}) sont alors données dans les équations (4.2.a) et (4.2.b), respectivement.

En suivant le même raisonnement décrit dans le §4.2.1 et en assumant les mêmes hypothèses [le champ électrique E est indépendant de la direction y et égal à la dérivée du potentiel de surface avant, équation (4.8)], le potentiel de surface avant est calculé grâce à l'équation différentielle 1D suivante dans le cas où les deux oxydes de grille sont identiques (même matériau et même épaisseur : $C_{oxf} = C_{oxb} = C_{ox} = \epsilon_{ox}/T_{ox}$) :

$$\frac{d^2\Psi_{sf}}{dx^2} - n^2\Psi_{sf} = S, \quad (4.33)$$

où les termes n et S sont donnés par :

$$n = \sqrt{\frac{2C_{ox}}{\epsilon_{Si} T_{Si}}}, \quad (4.34)$$

$$S = \frac{1}{\epsilon_{Si} T_{Si}} \left(qN_A T_{Si} - 2C_{ox} (V_{Gf} - V_{FBf}) \frac{\gamma T_{ox} + T_{Si}}{2\gamma T_{ox} + T_{Si}} \right) - \frac{1}{\epsilon_{Si} T_{Si}} \left(2C_{ox} (V_{Gb} - V_{FBb}) \frac{\gamma T_{ox}}{2\gamma T_{ox} + T_{Si}} \right), \quad (4.35)$$

Le fait de ne plus considérer la charge d'inversion (qui dépend de x) permet de déterminer une solution analytique exacte de l'équation (4.33). Celle-ci est égale à :

$$\Psi_{Sf}(x) = K_1 \exp(nx) + K_2 \exp(-nx) - \frac{S}{n^2}, \quad (4.36)$$

où les expressions de K_1 et K_2 sont calculées pour remplir les mêmes conditions aux limites dans le drain et la source que celle dans le §4.2.1 [équations (4.13.a) et (4.13.b)]. Les termes K_1 et K_2 sont alors calculés grâce à :

$$K_1 = \frac{\Phi_S [1 - \exp(-nL_G)] + V_D + S \left[\frac{1 - \exp(-nL_G)}{n^2} \right]}{2 \sinh(nL_G)}, \quad (4.37)$$

$$K_2 = - \frac{\Phi_S [1 - \exp(nL_G)] + V_D + S \left[\frac{1 - \exp(nL_G)}{n^2} \right]}{2 \sinh(nL_G)}. \quad (4.38)$$

Les termes (4.34), (4.35), (4.37) et (4.38) sont regroupés dans (4.36) qui est finalement utilisé pour calculer le potentiel électrostatique de toute la structure (4.31) grâce à (4.5) et (4.6).

Une fois le potentiel calculé, il faut déterminer le profil de la bande de conduction dans le film semiconducteur où les électrons vont circuler. Dans le cas limite de film très mince considéré dans ce travail ($T_{Si} \leq 3$ nm), l'effet de confinement quantique est important et nous assumons qu'il est possible de prendre en compte un seul niveau d'énergie quantifié dans le puits de potentiel formé dans la direction y . Le profil de ce premier niveau selon la direction x est alors calculé comme suit :

$$E_1(x) = q(\Phi_S - \Psi(x, y)) + E_1^1, \quad (4.39)$$

où E_1^1 est le premier niveau d'énergie calculé directement à partir de l'équation (4.24) (avec $i = 1$) [Trivedi], compte tenu du fait qu'un régime de faible inversion est considéré :

$$E_1^1 \cong \left(\frac{\hbar^2}{2m_1^{conf}} \right) \left[\left(\frac{\pi}{T_{Si}} \right)^2 + A_1^1 \left(3 - \frac{4}{3} \left(\frac{1}{1 + (A_1^1 T_{Si} / \pi)^2} \right) \right) \right], \quad (4.40)$$

avec :

$$A_1^1 \cong \left(\frac{3}{4} \frac{2m_1^{conf} qE_{Sf}}{\hbar^2} \right)^{1/3}, \quad (4.41)$$

où l'expression du champ électrique à l'interface avant E_{Sf} s'exprime à travers les polarisations des grilles avant et arrière pour tenir compte de l'évolution de la forme du puits de potentiel et est donnée par l'équation (4.26). Une fois $E_1(x)$ calculé en fonction des polarisations, le courant balistique en régime sous le seuil peut être évalué.

4.3.2 Modélisation du courant balistique dans le régime sous le seuil

Dans le cadre de ce modèle, les charges mobiles dans le canal de conduction ont été négligées et par conséquent seul le courant sous le seuil pourra être déterminé. Le courant en régime balistique est séparé en deux composantes :

$$I_{DS} = I_{Therm} + I_{Tun} , \quad (4.42)$$

où I_{Therm} et I_{Tun} sont, respectivement, les composantes thermoïonique et tunnel du courant balistique total I_{DS} . Le courant thermoïonique correspond à un passage des électrons au dessus de la barrière de potentiel alors que le courant tunnel répond au passage des électrons à travers cette barrière par effet tunnel quantique comme le montre la figure 4.6.b.

Pour un gaz d'électrons 2D (confinement quantique des porteurs dans la direction y), les différents courants sont égaux à [Ferry]:

$$I_{Therm} = \frac{2q}{\pi^2 \hbar} \int_{-\infty}^{+\infty} dk_z \times \int_{E_{1,max}}^{+\infty} [f(E, E_{FS}) - f(E, E_{FD})] dE_x , \quad (4.43)$$

$$I_{Tun} = \frac{2q}{\pi^2 \hbar} \int_{-\infty}^{+\infty} dk_z \times \int_0^{E_{1,max}} [f(E, E_{FS}) - f(E, E_{FD})] T(E_x) dE_x , \quad (4.44)$$

où $f(E, E_{FS})$ est la fonction de distribution de Fermi-Dirac qui traduit la probabilité de présence des électrons au niveau E par rapport à E_{FS} (qui rappelons le est la référence de potentiel : $E_{FS} = 0$). Elle est donnée par :

$$f(E, E_{FS}) = \frac{1}{1 + \exp[(E - E_{FS})/kT]} . \quad (4.45)$$

Dans les expressions (4.43) et (4.44), E_{FS} et E_{FD} sont les niveaux de Fermi dans la source et dans le drain ($E_{FD} = E_{FS} - qV_D$), respectivement, k_z est la composante dans la direction z du vecteur d'onde des électrons, le facteur 2 permet de prendre en compte la dégénérescence de la vallée la plus basse en énergie considérée pour le confinement vertical (vallée des électrons longitudinaux*) et E est l'énergie totale des porteurs dans la source et le drain, calculée avec :

$$E = E_1 + E_x + \frac{\hbar^2 k_z^2}{2m_t^{conf}} , \quad (4.46)$$

où E_1 est le niveau d'énergie de la première sous-bande [équation (4.39)], E_x l'énergie des porteurs dans la direction du courant et m_t^{conf} la masse effective transversale qui permet décrire la relation de dispersion des électrons dans l'espace des k selon la direction z .

Pour le calcul du courant tunnel [donnée par (4.44)], il est nécessaire de traduire la probabilité quantique qu'ont les porteurs à franchir la barrière de potentiel. Cette donnée est représentée

* Plus la masse des électrons est forte et plus le niveau d'énergie est bas dans le puits de potentiel selon l'approximation des bandes paraboliques. Ainsi, comme la masse des électrons de la vallée longitudinale du silicium [100] ($m_t^{conf} = 0.916 \times m_0$) est plus élevée que celle des électrons transverses ($m_t^{conf} = 0.19 \times m_0$), le premier niveau d'énergie quantifié selon y (qui est par ailleurs le seul considéré dans ce modèle) est dans la vallée longitudinale dont la dégénérescence est égale à 2.

par la transparence de la barrière $T(E_x)$ calculée dans ce modèle par l'approximation WKB [Cohen] :

$$T_{\text{WKB}}(E_x \leq E_{1,\text{max}}) = \exp\left(-2 \int_{x_L}^{x_R} \sqrt{\frac{2m_i^{\text{conf}}(E_1(x) - E_x)}{\hbar^2}} dx\right), \quad (4.47)$$

$$T_{\text{WKB}}(E_x > E_{1,\text{max}}) = 1$$

où $E_{1,\text{max}} = E_1(x_{\text{max}})$ est le maximum de la première sous-bande d'énergie [les porteurs dont l'énergie est supérieur à cette valeur (émission thermoïonique) sont tous transmis dans cette approximation] et x_L et x_R sont les points tournants à gauche et droite de la barrière de potentiel, définis graphiquement sur la figure 4.6.b. Les valeurs des points tournants ont également des expressions littérales du au caractère analytique de la barrière. Ils sont déterminés en cherchant les valeurs de x pour lesquelles la première sous-bande $E_1(x)$ est égale à E_x . L'équation à résoudre est donc la suivante :

$$E_x = q(\Phi_S - \Psi(x, y)) + E_1^1. \quad (4.48)$$

En remplaçant le potentiel électrostatique par sa valeur en $y = 0$ [$\Psi(x, 0) = \Psi_{\text{st}}(x)$, donnée par (4.36)], il vient :

$$K_1 \exp(nx) + K_2 \exp(-nx) = \Phi_S + \frac{E_1^1}{q} + \frac{S}{n^2} - \frac{E_x}{q}. \quad (4.49)$$

Après différentes manipulations algébriques, les points tournants sont finalement calculés grâce à :

$$x_{L,R}(E_x) = \frac{1}{n} \ln \left[\frac{A \mp \sqrt{\Delta}}{2K_1} \right], \quad (4.50)$$

avec :

$$A = \Phi_S + \frac{E_1^1}{q} + \frac{S}{n^2} - \frac{E_x}{q}, \quad (4.51)$$

$$\Delta = A^2 - 4K_1K_2. \quad (4.52)$$

Dans le chapitre 2, nous avons mis en avant le fait qu'il existe plusieurs méthodes pour le calcul de la transparence (méthode des matrices de transfert, fonction de Green) mais notre choix s'est uniquement porté sur l'approximation WKB dans ce modèle. En effet, l'approche WKB a le principal avantage d'être peu coûteuse en terme de temps de calcul et suffisamment précise pour des longueurs de canal jusqu'à quelques nanomètres où la barrière de potentiel varie lentement (ce qui est bien le cas ici par rapport au structure MIS). De plus, il a été montré dans [Stadele] que les différences entre les résultats obtenus en considérant d'une part l'approximation WKB et un traitement quantique précis (liaisons fortes) sont étonnamment faibles (typiquement quelques pourcents), ce qui confère à l'approche WKB une précision raisonnable dans le cadre du modèle compacte développé ci-dessus.

Enfin, pour rendre le modèle complètement analytique, les intégrations dans les courants thermoïonique [équation (4.43)] et tunnel [équation (4.44)] sont remplacées par des sommes discrètes (méthode des rectangles à points milieux) selon k_z et E_x où les nombre de points ont

été optimisés pour reproduire les résultats non analytiques le plus précisément possible. Ce modèle est utilisé dans le cas de transistor MOS en architecture Double-Grille à base de silicium [100] mais il peut tout à fait être adapté à la simulation de dispositifs avec d'autres matériaux tels que les diélectriques de grille *high- κ* et les semiconducteurs à forte mobilité pour étudier l'influence du régime balistique sur les performances sous le seuil de ces transistors.

4.3.3 Validation du modèle par la simulation numérique

Afin de tester la validité de cette approche analytique, nous avons comparé les prédictions du modèle avec ceux obtenus par la simulation numérique (code DGGREEN2D basé sur le formalisme des fonctions de Green hors-équilibre) [Autran3] en termes de courant de drain sous le seuil en régime balistique.

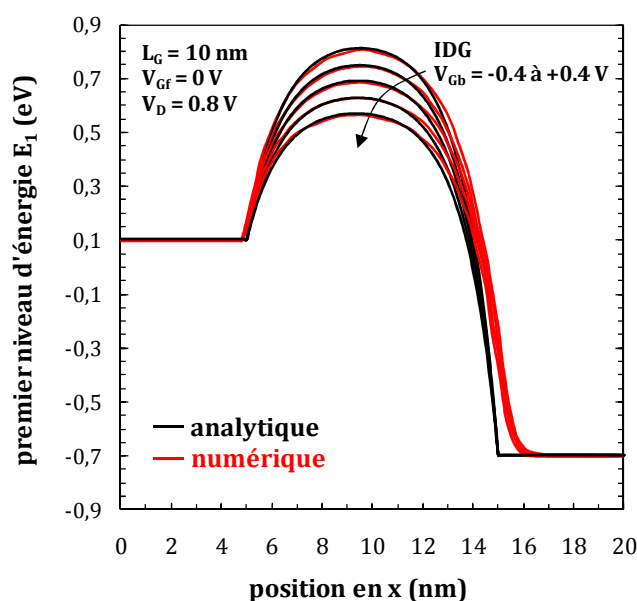


Figure 4.7 : Profil des premières sous-bandes d'énergie $E_1(x)$ dans le film de silicium calculées pour différentes polarisations de la grille arrière ($V_{Gf} = -0.4 \text{ V}$ à $+0.4 \text{ V}$ par pas de 0.2 V) avec le modèle analytique [traits noirs, équation (4.39)] et avec le code de simulation numérique DGGREEN2D [Autran3] (traits rouges). Les paramètres du dispositif sont : $L_G = 10 \text{ nm}$, $T_{Si} = 2 \text{ nm}$ et $T_{ox} = 0.6 \text{ nm}$.

Les premiers éléments comparés sont les profils de la première sous-bande d'énergie (figure 4.7) dans le film de silicium de transistors MOS IDG [canal intrinsèque avec $L_G = 10 \text{ nm}$, $T_{Si} = 2 \text{ nm}$ et $T_{ox} = 0.6 \text{ nm}$ (empilements de grille symétriques)] pour différentes polarisations de grille arrière. Un bon accord est trouvé entre les deux séries de barrière (modèle analytique en noir et simulation numérique en rouge) dans le régime sous le seuil ($V_{Gf} = 0 \text{ V}$). En particulier, nous notons une description parfaite du maximum des barrières ainsi que leur amplitude pour toutes les polarisations de grille arrière simulées ($V_{Gf} = -0.4 \text{ à } +0.4 \text{ V}$). La faible différence obtenue entre les profils des barrières vers les régions de source et de drain est due à la pénétration du champ électrique dans ces zones, phénomène uniquement pris en compte dans l'approche numérique. Une étude plus poussée (non montrée ici) a mis en avant le fait que lorsque la polarisation de la grille avant est forte (régime au-dessus du seuil), les profils numériques et analytiques divergent à cause de la présence des porteurs minoritaires dans le canal (charge d'inversion) qui ne sont pas pris en compte dans le modèle analytique.

Nous allons à présent comparer les caractéristiques $I_{DS}(V_{Gf})$ sous le seuil en régime balistique calculées grâce au modèle analytique et à la simulation numérique (DGGREEN2D).

La figure 4.8.a représente les différentes courbes de courant de drain dans le même transistor MOS IDG que la figure 4.7 où les caractéristiques pour la structure DG sont également rapportées, tandis que la figure 4.8.b montre l'évolution du courant de drain des transistors MOS IDG à $V_{Gb} = 0$ V et quand la longueur de grille est réduite ($L_G = 15, 10, 8$ et 5 nm).

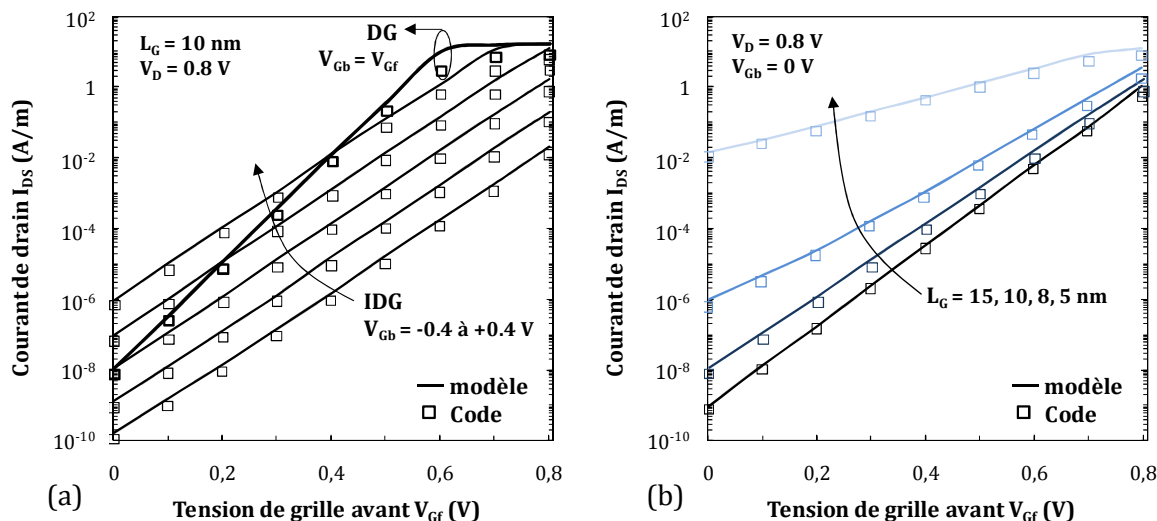


Figure 4.8 : Comparaison des caractéristiques $I_{DS}(V_{Gf})$ sous le seuil calculées avec le modèle analytique et obtenues par la simulation numérique avec le code DGGREEN2D (a) pour des transistors MOS en architecture Double-Grille [DG et IDG ($V_{Gb} = -0.4$ à $+0.4$ V par pas de 0.2 V)] où les paramètres du dispositif sont les mêmes que dans la figure 4.7 ; et (b) pour des transistors MOS IDG ($V_{Gb} = 0$ V) avec différentes longueurs de grille ($L_G = 5, 8, 10$ et 15 nm) et $T_{Si} = 2$ nm et $T_{ox} = 0.6$ nm.

Tout d'abord, les caractéristiques $I_{DS}(V_{Gf})$ de la figure 4.8.a montrent que, dans le régime sous le seuil, le modèle analytique est en très bon accord avec les résultats de la simulation numérique obtenues avec le code DGGREEN2D pour toutes les polarisations de grille arrière et même lorsque le transistor MOS IDG est utilisé en mode "classique" (grilles avant et arrière connectées). Par ailleurs, nous observons un comportement similaire des paramètres sous le seuil entre le transport balistique et le modèle dérive-diffusion quantique notamment en termes de modulation de la tension de seuil et d'augmentation du courant de fuite I_{off} . Cependant, la dégradation de la pente sous le seuil quand la tension de grille arrière devient supérieure à $+0.2$ V dans les transistors MOS IDG en régime de dérive-diffusion n'est pas observé quand le transport est balistique (que ce soit pour le modèle analytique ou la simulation numérique). Ainsi, malgré l'augmentation de la polarisation de la grille arrière et la création d'un second canal de conduction à cette interface, ces dispositifs fonctionnant dans le régime purement balistique peuvent encore être utilisés à ces tensions pour des applications hautes-performances.

Ensuite, nous observons sur la figure 4.8.b que le modèle analytique permet également de bien reproduire les résultats de la simulation numérique pour différentes longueurs de grille, ce qui atteste d'une bonne prise en compte de l'effet tunnel quantique malgré un calcul de la transparence de la barrière simplifié à son maximum dans le modèle compacte [approximation

WKB, équation (4.47)] alors que l'approche numérique NEGF est beaucoup plus réaliste (prise en compte de la réflexion des fonctions d'onde des porteurs sur la barrière de potentiel).

Enfin, il apparait que la différence entre les deux calculs est plus importante à fort V_{Gf} , c'est-à-dire en forte inversion, car la charge des porteurs mobiles (charge d'inversion) dans le canal de conduction est négligée dans l'évaluation du courant de drain. Le modèle analytique n'est donc pas destiné à explorer les performances à l'état *on* des dispositifs mais il permet de montrer l'évolution des paramètres sous le seuil selon les polarisations de la grille arrière dans les transistors MOS IDG avec des très faibles longueurs de grille.

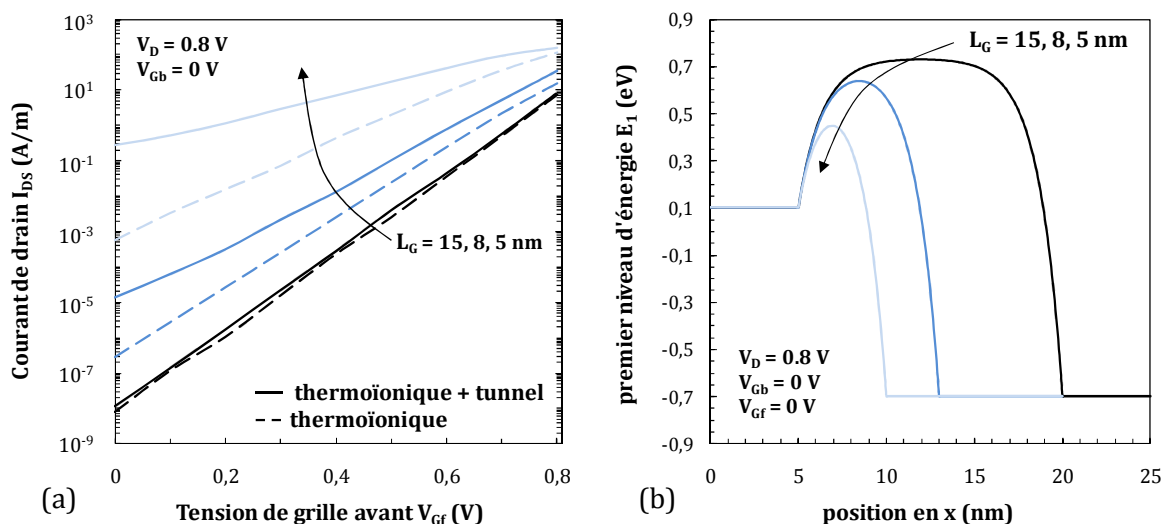


Figure 4.9 : (a) Caractéristiques $I_{DS}(V_{Gf})$ sous le seuil calculées avec le modèle analytique en considérant, ou non, la composante tunnel (approximation WKB) dans le courant balistique total. (b) Variation du premier niveau d'énergie dans le canal de conduction entre la source et le drain calculé par le modèle analytique quand la longueur de grille est diminuée ($L_G = 15, 8,$ et 5 nm). Les paramètres des dispositifs sont les mêmes que dans la figure 4.7.

Les caractéristiques $I_{DS}(V_{Gf})$ de la figure 4.8.b montrent également une augmentation drastique du courant de fuite à l'état *off* dans les transistors MOS IDG. A première vue, l'augmentation du courant de fuite est due aux effets de canal court (SCE et DIBL) liés à la réduction de la longueur de grille comme nous avons pu le constater dans le chapitre 3 (§3.3.1.3). Cependant, l'augmentation de ces effets correspond plutôt à la diminution du rapport L_G/T_{Si} qui doit rester supérieur à 3 pour conserver un contrôle électrostatique des grilles sur le flux de porteur [Haensch]. Dans notre cas, le rapport reste important pour toutes les longueurs de grilles simulées ($L_G/T_{Si} \geq 2.5$) mais nous observons malgré tout une forte augmentation du courant de fuite et de la pente sous le seuil : la baisse des performances de ces dispositifs met en avant l'apparition de nouveaux phénomènes physiques lorsque la longueur de grille devient inférieure à 10 nm.

Ainsi, nous représentons sur la figure 4.9.a, les caractéristiques $I_{DS}(V_{Gf})$ sous le seuil calculées avec le modèle analytique où deux séries de courbes sont représentées, en tenant compte (traits continus) ou non (traits pointillés) de l'effet tunnel quantique des porteurs à travers la barrière de potentiel. Lorsque l'effet tunnel est négligé, la transparence du courant totale est nulle quand l'énergie des porteurs est inférieure au maximum de la barrière et donc seul

l'émission thermoïonique ($E_x > E_{1,max}$) participe au le calcul du courant [équation (4.43)]. Dans le cas avec prise en compte de l'effet tunnel (thermoïonique + tunnel), le courant est déterminé grâce à l'équation (4.44) avec l'approximation WKB pour le calcul de la transparence [équation (4.47)]. Les résultats de cette figure montrent donc l'impact dramatique de l'effet tunnel quantique à travers la barrière de potentiel sur le courant sous le seuil en régime balistique. Pour des longueurs de canal supérieur à 10 nm, le courant par effet tunnel est négligeable. Le courant total de la structure ne dépend que de la composante thermoïonique. Par contre, en dessous de 8 nm, l'effet tunnel quantique devient très important et domine complètement le courant total sous le seuil. A partir de $L_G \leq 8$ nm, la hauteur de la barrière de potentiel ainsi que sa largeur (représentés sur la figure 4.9.b) sont faibles donc les porteurs traversent le canal aussi bien par émission thermoïonique (qui ne rentre même plus en compte dans le courant total à $L_G = 5$ nm) que par effet tunnel quantique, dégradant tous les paramètres sous le seuil : pente sous le seuil SS et courant de fuite I_{off} . Par conséquent, l'effet tunnel devient le principal phénomène physique qui régit ces dispositifs ultimes quand la longueur de grille diminue. La diminution de la taille des structures a donc bien des limites puisque, selon la roadmap de la microélectronique [ITRS], il est inconcevable d'avoir un tel courant de fuite quand le transistor est à l'état *off*.

Ces résultats sont cependant une limite supérieure théorique puisque le courant est évalué dans un cas purement balistique où les réflexions des fonctions d'ondes des porteurs contre la barrière sont négligées (approximation WKB).

4.4 Conclusion du chapitre

Le chapitre 4 présente les différents modèles compact et analytique développés lors de cette thèse pour simuler le courant de drain dans les transistors MOS en architecture Double-Grille à base de silicium. Deux modèles ont spécialement été adaptés de travaux précédents [Munteanu5] [Autran6] pour décrire le fonctionnement particulier du dispositif à grilles indépendantes : (a) un modèle de courant en dérive-diffusion quantique valable pour tous les régimes de fonctionnement, et (b) un modèle de courant sous le seuil en régime purement balistique. Ces travaux sont basés sur une description précise des effets rencontrés dans les dispositifs IDG en termes d'effets électrostatiques 2D (effets de canal court), de confinement quantique, de charge d'inversion dans le canal de conduction et de transport tunnel à travers la barrière de potentiel. Ces modèles ont pu être comparés et validés par la simulation numérique, notamment grâce au code présenté dans le chapitre 3 pour la description du transport en dérive-diffusion quantique et avec l'aide du code DGGREEN2D [Autran3] dans le cas du transport balistique.

Le modèle compact de courant en dérive-diffusion quantique considère toutes les spécificités de l'architecture IDG telles que la polarisation indépendante des grilles avant et arrière et la dissymétrie des grilles (les épaisseurs des oxydes et les travaux de sortie des grilles peuvent être différents). Il est basé sur une description 2D du potentiel électrostatique dans le film de silicium en tenant compte à la fois des charges fixes (dopage) et des charges mobiles (charge d'inversion). Ainsi, le modèle est valable pour tous les régimes de fonctionnement (du régime d'inversion faible au régime de saturation) et tient compte

intrinsèquement des effets de canal court (SCE et DIBL). De plus, nous avons intégré dans le modèle le calcul quantique des charges mobiles dans le canal par l'intermédiaire du calcul des niveaux d'énergies quantifiés dans le puits de potentiel dont la forme est très dépendante des deux polarisations de grille. La comparaison avec la simulation numérique a prouvé que les effets de confinement quantique sont alors particulièrement bien reproduits par le modèle compact dans différentes configurations et sur une large gamme de tensions de grille arrière. Par conséquent, nous avons pu constater une nouvelle fois l'importance des effets de confinement quantique dans les architectures à grilles indépendantes. Ce modèle constitue alors une base solide pour évaluer plus précisément l'intérêt de ces structures au niveau des performances circuit avec des transistors de longueurs de grille supérieures à 20 nm.

Nous avons ensuite développé un modèle analytique de courant de drain sous le seuil dans le régime purement balistique pour les transistors MOS IDG à très faibles longueur de grille ($L_G \leq 10$ nm) et films de silicium ultra-mince ($T_{Si} \leq 3$ nm). Cette approche est basée sur le premier modèle et prend donc en compte les effets essentiels de la physique de ces dispositifs ultimes : (a) effets de canal court 2D et (b) confinement quantique. Nous avons également introduit une nouveauté majeure, généralement négligée dans la modélisation analytique : le calcul du courant tunnel à travers la barrière de potentiel source-canal-drain. La probabilité de passage des électrons à travers la barrière de potentiel est alors déterminée par le calcul de la transmission des porteurs à l'aide de l'approximation WKB. Dans ce cas, la charge d'inversion dans le canal est négligée et le modèle ne peut alors reproduire que les caractéristiques de courant sous le seuil. Les résultats obtenus par cette approche analytique ont ensuite été comparés et validés sur différentes structures avec le code DGGREEN2D [Autran3], solveur numérique basé sur la résolution auto-cohérente de l'équation de Poisson 2D associée au formalisme des fonctions de Green hors-équilibre. Grâce aux simulations, nous avons pu mettre en avant l'impact dramatique de l'effet tunnel quantique sur le courant sous le seuil en régime balistique quand la longueur de grille est inférieure à 8 nm. A ces dimensions, le courant tunnel est prédominant sur le courant thermoionique et les paramètres sous le seuil (pente SS et courant de fuite I_{off}) sont très fortement dégradés laissant entrevoir une limite physique fondamentale à la réduction des transistors MOS en architecture Double-Grille.

Conclusion et perspectives

Au fur et à mesure que les dimensions fondamentales du transistor MOSFET diminuent, le fonctionnement de ce dispositif est modifié et, quand la longueur de la grille est inférieure à quelques dizaines de nanomètres, ses performances se dégradent : réduction du contrôle de la grille de commande sur les charges dans le semiconducteur et élévation du courant de fuite à travers la grille. De plus, le transport des électrons dans la structure doit être amélioré afin d'augmenter le courant à l'état passant et repousser les limites de la miniaturisation des composants électroniques.

Ainsi, les travaux effectués lors de cette thèse ont consisté à décrire, grâce à la simulation numérique basée sur différents niveaux de modélisation et à la modélisation compacte, le fonctionnement de nouveaux dispositifs composés de matériaux innovants. D'une part, le fonctionnement des capacités Métal-Isolant-Semiconducteur (MIS) et Métal-Isolant-Métal (MIM) à base de diélectriques de grille à forte permittivité (matériaux *high- κ*) a été étudié pour répondre à la diminution du courant de fuite à travers la grille. D'autre part, l'augmentation du contrôle électrostatique de la grille sur le canal de conduction a été abordée en examinant le fonctionnement des architectures Double-Grille conventionnelles et à grilles indépendantes. Enfin, les semiconducteurs à forte mobilité, regagnant un intérêt certain ces dernières années, ont été envisagés dans les différentes structures précédemment citées afin de comparer leurs avantages et inconvénients par rapport au silicium.

D'un point de vue expérimental, l'introduction de matériaux innovants dans la grille (diélectriques *high- κ*) et le substrat (semiconducteurs à forte mobilité) des transistors MOSFET passe par l'étude du fonctionnement de la brique de base du transistor : la capacité MOS (ou MIS pour faire apparaître un changement avec l'empilement de grille "classique" poly-Si/SiO₂/Si). Ainsi, afin de valider les données expérimentales issues de la collaboration avec l'IMEC, Belgique, nous nous sommes intéressés à simuler le fonctionnement de la capacité MIS composée de matériaux innovants. Cette structure est le plus souvent constituée d'un empilement de plusieurs couches d'oxydes qui peut dégrader son fonctionnement en termes de réponse capacitive (courbe C-V) ou de courant de fuite (courbe I-V). L'approche utilisée pour simuler ce dispositif est fondée sur la résolution auto-cohérente des équations de Poisson et de Schrödinger en 1D dans l'approximation de la masse effective avec un maillage non-uniforme.

Cette méthode permet de prendre en compte les spécificités des dispositifs de faibles dimensions (effet de confinement quantique des porteurs à l'interface oxyde/semiconducteur) ainsi que les caractéristiques très variables des diélectriques *high- κ* et des semiconducteurs à forte mobilité (largeur de la bande interdite, permittivité, faible espacement entre les différentes vallées des bandes de conduction et de valence des semiconducteurs, ...).

Dans un premier temps, nous avons simulé les caractéristiques C-V de différentes structures que nous avons pu comparer avec des données expérimentales. Nous avons donc mis en avant l'aptitude de notre code à être utilisé pour extraire les paramètres électriques (tension de seuil et tension de bande plate) et structurels (constantes diélectriques des matériaux et leur épaisseur) de dispositifs MIS composés d'un empilement de grille multi-couches (avec divers diélectriques *high- κ*) sur différents semiconducteurs. De plus, nous avons montré que le fonctionnement électrique des capacités est très dépendant des propriétés intrinsèques des matériaux et que la faible densité d'états dans la bande de conduction des principaux semiconducteurs III-V provoque une baisse générale du couplage capacitif du semiconducteur à forte tension de grille positive.

Pour compléter cette étude sur les capacités MIS à base de matériaux innovants, nous avons dans un second temps, simulé le courant de fuite par effet tunnel à travers l'empilement de grille en utilisant un modèle semi-classique pour le calcul de la probabilité de transmission des porteurs. Les résultats des simulations ont indiqué que l'utilisation de diélectriques à très forte permittivité permet de considérablement réduire le courant de fuite par effet tunnel grâce à l'augmentation physique de l'épaisseur de l'empilement de grille. Une nouvelle fois, la grande variabilité des propriétés des semiconducteurs III-V entraîne un comportement du courant de fuite des structures très différent selon le matériau utilisé, mais de manière générale, plus la largeur de la bande interdite du semiconducteur est faible et plus le courant de fuite est amplifié.

Finalement, nous avons étudié l'influence des effets quantiques sur le transport des électrons dans les capacités MIM à base de matériaux *high- κ* en comparant une approche classique (WKB) et une approche quantique basée sur le formalisme des fonctions de Green hors-équilibre. Les écarts observés entre les résultats des deux modèles sont significatifs et prouvent que le choix des diélectriques est capital pour minimiser le courant de fuite dans ces structures. Nous avons ainsi pu conclure que le courant de fuite tunnel le plus faible dans les capacités MIM à deux couches d'oxydes est obtenu quand l'empilement de grille combine une couche interfaciale la plus mince possible à un matériau à très forte permittivité avec un *offset* de bande entre les deux matériaux d'oxyde minimal.

Après avoir considéré des structures assez simples, nos travaux se sont orientés vers l'étude de transistors MOSFET avancés en architecture Double-Grille. Le fonctionnement de ce composant a été décrit d'une part, par la simulation numérique, et d'autre part, en utilisant la modélisation analytique et compacte.

Grâce au développement d'un code de simulation numérique basé sur la résolution auto-cohérente des équations de Poisson 2D et de Schrödinger 1D couplées à l'équation de transport en régime de dérive-diffusion, nous avons pu étudier le courant de drain dans les transistors MOS DG conventionnel et à grilles indépendantes. Cette approche prend donc en compte à la fois les effets électrostatiques 2D liés à la réduction de la longueur de la grille, et l'effet de

confinement quantique 1D des porteurs, provoqué par la réduction de l'épaisseur du film semiconducteur.

Nous avons montré que la polarisation indépendante des grilles apporte de nouvelles fonctionnalités (notamment la modulation de la tension de seuil) par rapport au transistor DG conventionnel offrant la possibilité de concevoir de nouveaux circuits avec moins de composants. Ensuite, quand la longueur de la grille est réduite, il s'avère que le transistor MOS IDG sur silicium possède une bonne immunité face aux effets de canal court à polarisations de grille arrière négatives. Cependant, ses performances sont fortement dégradées lorsqu'un canal de conduction est créé à l'interface arrière, c'est-à-dire à fortes polarisations positives de la grille arrière. Nous avons également mis en avant le fait que le comportement électrique du transistor MOS IDG est très différent de celui de la structure DG conventionnelle face à l'augmentation des effets de confinement quantique (réduction de l'épaisseur du film semiconducteur). L'effet de confinement quantique électrique (dû à l'indépendance des polarisations des grilles avant et arrière) s'ajoute au confinement structural (lié à l'architecture Double-Grille) dans le transistor MOS IDG, ce qui provoque la dégradation de ses performances sous le seuil (I_{off} , SS) et l'augmentation des effets de canal court SCE et DIBL. Ces résultats ont donc montré qu'il ne faut pas négliger les effets de confinement quantique lors de la modélisation compacte de ce composant même lorsque le film semiconducteur est relativement épais ($T_s \leq 15$ nm).

Par ailleurs, nous avons mis en place un modèle compact pour la simulation du courant de drain dans ce composant. Notre approche, basée sur une description 2D du potentiel électrostatique et sur le calcul quantique de la charge d'inversion dans le film de silicium, s'est avérée suffisamment précise pour décrire tous les phénomènes observés par la simulation numérique dans tous les régimes de fonctionnement et dans le cadre du transport en régime de dérive-diffusion. A partir de ce modèle compact, nous avons aussi pu développer un modèle analytique dédié à la description du courant de drain sous le seuil dans le régime purement balistique, pour des transistors MOS IDG à très faibles longueurs de grille ($L_G \leq 10$ nm) et films de silicium ultra-minces ($T_{Si} \leq 3$ nm). Nous avons montré que le courant tunnel, déterminé à l'aide de l'approximation WKB mais validé par la simulation numérique avancée (code DGGREEN2D [Autran3]), est prédominant par rapport au courant thermoionique quand la longueur de la grille est inférieure à ~ 8 nm. Ainsi, les paramètres sous le seuil (pente et courant de fuite) sont très fortement dégradés laissant entrevoir une limite physique fondamentale à la réduction des transistors MOS en architecture Double-Grille.

Enfin, nous avons également utilisé notre code de simulation numérique pour comparer les performances des transistors MOS DG conventionnels à base de Si, de Ge, de GaAs et d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$. Nous avons montré que les effets de canal court dans les transistors MOS DG à base de GaAs et d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ sont plus faibles que ceux obtenus dans les dispositifs à base de Si et de Ge. Ce phénomène est principalement lié à la faible densité d'états de la bande de conduction des matériaux III-V qui impose de doper moins fortement les zones de source et de drain. De plus, la faible masse effective de confinement de la vallée la plus basse en énergie des matériaux III-V (qui par ailleurs est à l'origine de la baisse de la densité d'états de la bande de conduction) implique un plus fort confinement quantique dans les transistors MOS DG, qui n'est plus négligeable par rapport au silicium. L'intérêt des transistors MOS DG à base de matériaux innovants a également été mesuré en simulant le fonctionnement de l'inverseur

CMOS à l'aide du logiciel Atlas [Silvaco]. Le principal point positif de cette étude est l'amélioration des performances dynamiques avec les semiconducteurs à forte mobilité puisque intimement liées à la forte mobilité des électrons et des trous dans ces matériaux.

Tous les résultats de nos travaux sont issus de la simulation et n'ont pas toujours été comparés à des résultats expérimentaux. Quand il était possible de le faire, nous avons montré que les données simulées pouvaient correspondre aux données expérimentales même si tous les éléments parasites liés à la fabrication des composants n'ont pas été pris en compte dans nos simulations. Cependant, il apparaît aujourd'hui que certains éléments négligés, surtout pour la simulation des transistors en architecture Double-Grille, nous permettent de proposer quelques perspectives à ces travaux.

Perspectives

L'intérêt certain des matériaux innovants s'accompagne de développements technologiques qui aujourd'hui ne sont pas encore maîtrisés notamment lorsqu'il s'agit de mettre en contact les diélectriques de grille *high- κ* et les semiconducteurs à forte mobilité. Ceci entraîne beaucoup d'incertitudes sur la capacité de ces nouveaux composants à être viables dans les différentes applications de la microélectronique pour lesquels ils sont étudiés, et bien évidemment sur la façon dont ils doivent être modélisés pour prédire de la manière la plus précise possible leurs performances.

Dans ce sens, différents éléments n'ont pas été pris en compte dans la simulation des transistors en architecture Double-Grille (pour tous les matériaux) et plus particulièrement au niveau du transport des porteurs dans le dispositif. Dans la continuité de nos travaux, il serait alors judicieux de prendre en compte la variation de la mobilité des porteurs dans le film semiconducteur pour inclure les différents phénomènes observés expérimentalement [liés aux interactions dans le canal (électron-électron, électron-phonon, ...)] et ainsi les identifier pour expliquer la dégradation des performances de ces dispositifs.

Les semiconducteurs à forte mobilité sont envisagés pour des nœuds technologiques très avancés où la longueur du canal serait inférieure à 10 nm. Il serait donc également envisageable de considérer un transport purement balistique et déterminer le matériau le plus performant, même si le transistor doit être vu dans une structure globale où les éléments parasites, tels que les résistances séries, semblent limiter l'apparition du transport purement balistique.

Enfin, il semble indispensable de ne pas oublier que tous les effets liés aux très faibles dimensions de ces composants doivent être transcrits dans des modèles simples et résolubles rapidement pour mesurer l'impact réel des matériaux innovants sur des circuits entiers.

Annexes

A.1	Discrétisation des équations par la méthode des différences finies	176
A.1.1	Maillage 1D	176
A.1.2	Maillage 2D	178
A.1.3	Exemple : résolution de l'équation de Poisson 2D	179
A.2	Paramètres des matériaux semiconducteurs	181
A.2.1	Tableau récapitulatif.....	181
A.2.2	Calcul des masses effectives de confinement et de densité d'état 2D	182
A.3	Paramètres des diélectriques de grilles.....	183

A.1 Discrétisation des équations par la méthode des différences finies

Les principales équations (équations de Poisson, de Schrödinger, de continuité, ...) des différents codes de simulation numérique développés dans le cadre de cette thèse (chapitres 2 et 3) sont des équations aux dérivées partielles du second ordre appliquées sur un maillage unidimensionnel (1D, pour les dispositifs MIS ou MIM) ou bidimensionnel (2D, pour l'architecture Double-Grille). Afin de résoudre ces différents calculs, le système doit être discrétisé et parmi les nombreuses méthodes de résolution/discrétisation numériques des dérivées, nous avons choisi la méthode des différences finies à trois points car elle a le principal avantage d'être simple à mettre en œuvre (par rapport aux méthodes par éléments ou volumes finis) malgré l'utilisation de maillage non-uniforme. Nous allons donc présenter dans cette annexe la méthode numérique générale utilisée dans le code pour trouver les solutions des équations 1D et 2D.

A.1.1 Maillage 1D

Dans un premier temps, il faut discrétiser numériquement les équations sur un maillage prédéfini. Nous considérons ici un maillage 1D selon la direction x . La fonction $f(x)$ est quelconque (mais suffisamment dérivable) ; le but étant de trouver les dérivées premières et secondes de cette fonction, numériquement. A chaque point de maillage i du système correspond une abscisse x_i et une valeur de la fonction $f(x)$ évaluée en ce point : $f(x_i) = f_i$. La distance entre les nœuds $i+1$ et i est dénommée h_i et la distance entre i et $i-1$ est h_{i-1} . La figure A.1 détaille toutes ces notations.

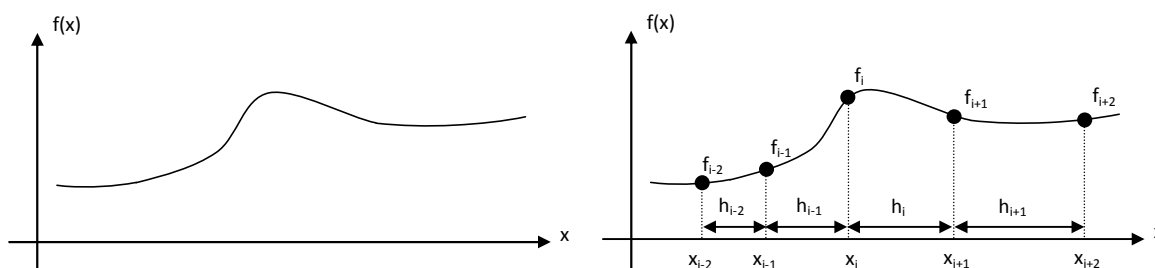


Figure A.1 : (a) Représentation d'une fonction $f(x)$ quelconque et (b) la même fonction numérisée sur un maillage non-uniforme 1D.

Il s'agit maintenant de déterminer les dérivées premières et secondes au point i . A l'aide des formules des développements limités au deuxième ordre, nous pouvons décrire la fonction f à l'aide d'un maillage non-uniforme en différents points :

$$\begin{aligned}
f_{i+2} &\cong f_i + \frac{(x_{i+2} - x_i)}{1!} f_i' + \frac{(x_{i+2} - x_i)^2}{2!} f_i'' + \varepsilon = f_i + [h_{i+1} + h_i] f_i' + \left[\frac{(h_{i+1} + h_i)^2}{2} \right] f_i'' \\
f_{i+1} &\cong f_i + \frac{(x_{i+1} - x_i)}{1!} f_i' + \frac{(x_{i+1} - x_i)^2}{2!} f_i'' + \varepsilon = f_i + [h_i] f_i' + \left[\frac{h_i^2}{2} \right] f_i'' \\
f_{i-1} &\cong f_i + \frac{(x_{i-1} - x_i)}{1!} f_i' + \frac{(x_{i-1} - x_i)^2}{2!} f_i'' + \varepsilon = f_i - [h_{i-1}] f_i' + \left[\frac{h_{i-1}^2}{2} \right] f_i'' \\
f_{i-2} &\cong f_i + \frac{(x_{i-2} - x_i)}{1!} f_i' + \frac{(x_{i-2} - x_i)^2}{2!} f_i'' + \varepsilon = f_i - [h_{i-2} + h_{i-1}] f_i' + \left[\frac{(h_{i-2} + h_{i-1})^2}{2} \right] f_i''
\end{aligned} \tag{A.1}$$

où f_i' et f_i'' sont respectivement les dérivées première et seconde de la fonction f au point i , et, ε représente les termes d'ordres plus élevés (partie infinitésimale et donc négligeable dans cette approximation).

En réalisant des combinaisons entre les différentes expressions données en (A.1) afin d'éliminer les termes dépendant de la dérivée seconde, la dérivée première de la fonction peut s'écrire :

$$f_i' = \frac{-h_i^2 f_{i-1} - (h_{i-1}^2 - h_i^2) f_i + h_{i-1}^2 f_{i+1}}{h_{i-1} h_i (h_{i-1} + h_i)} \tag{A.2}$$

Ainsi, la dérivée première de la fonction f au point i dépend de la valeur de f aux points $i-1$, i et $i+1$. En revanche, pour résoudre les équations au bord du domaine, c'est-à-dire résoudre les équations avec des conditions aux limites, les expressions des dérivées ne doivent pas dépendre du point $i-1$ à gauche du domaine ou du point $i+1$ à droite du domaine car la fonction n'est pas définie en dehors du domaine. Dans ce cas, la valeur de la fonction aux points $i-2$ et $i+2$ est nécessaire. En combinant f_i , f_{i+1} et f_{i+2} , la dérivée première peut s'écrire sous la forme :

$$f_i' = \frac{-[h_{i+1}(2h_i + h_{i+1})] f_i + [h_i + h_{i+1}]^2 f_{i+1} - h_i^2 f_{i+2}}{h_i h_{i+1} (h_i + h_{i+1})} \tag{A.3.a}$$

En utilisant cette fois f_i , f_{i-1} et f_{i-2} , la dérivée première est donnée par :

$$f_i' = \frac{h_{i-1}^2 f_{i-2} - [h_{i-2} + h_{i-1}]^2 f_{i-1} - [h_{i+1}(2h_i + h_{i+1})] f_i}{h_{i-2} h_{i-1} (h_{i-2} + h_{i-1})} \tag{A.3.b}$$

Pour calculer la dérivée seconde de f_i , les expressions de (A.1) sont de nouveaux combinées pour obtenir l'équation finale :

$$f_i'' = \frac{h_i f_{i-1} - (h_{i-1} + h_i) f_i + h_{i-1} f_{i+1}}{\frac{h_{i-1} h_i}{2} (h_{i-1} + h_i)} \tag{A.4.a}$$

L'expression (A.4.a) s'écrit également :

$$f_i'' = \frac{2}{h_{i-1} (h_{i-1} + h_i)} f_{i-1} - \left[\frac{2}{h_{i-1} (h_{i-1} + h_i)} + \frac{2}{h_i (h_{i-1} + h_i)} \right] f_i + \frac{2}{h_i (h_{i-1} + h_i)} f_{i+1} \tag{A.4.b}$$

Ainsi, quand il faudra calculer la dérivée d'une fonction composée par le produit d'une constante (qui dépend quand même de la position comme la permittivité) et de la dérivée de

cette fonction (formule générale de l'équation de Poisson voir annexe A.1.3), nous utiliserons plutôt la dérivée seconde sous sa forme donnée en (A.4.b).

Les principales conditions aux limites utilisées dans les codes de simulation (Dirichlet* et Neumann†) ne nécessitent pas de connaître la dérivée seconde en fonction des autres points de maillage. Ainsi, les formules (A.2) et (A.3) permettent de déterminer la dérivée première de la fonction f au point i alors que l'expression (A.4) donne la dérivée seconde, le tout sur un maillage non-uniforme 1D.

A.1.2 Maillage 2D

Pour les architectures Double-Grille, les équations du code de simulation numérique sont résolues sur un maillage 2D (axes x et y). Dans le cas général, la fonction étudiée $f(x,y)$ est discrétisée selon les deux axes sur un maillage non-uniforme. Il faut donc associer à chaque point de coordonnées (x_i, x_j) , la valeur de la fonction correspondante $f_{i,j}$. Il est également indispensable de définir les différents pas de maillage sur les deux axes : (a) h_i est le pas sur l'axe x , et (b) h_j est le pas sur l'axe y .

En appliquant le maillage 1D sur l'axe y , les équations (A.2) à (A.4) sont réécrites en fonction de l'indice j (non réécrites ici car il suffit de remplacer i par j) afin de déterminer les dérivées premières et secondes de la fonction f selon y .

Finalement, les équations du code de simulation 2D (chapitre 3, §3.2.1) sont données soit par des calculs de divergence de fonctions [par exemple pour le calcul de la densité de courant en dérive-diffusion : équation (3.9)], soit par des calculs de Laplacien de fonctions [par exemple pour la détermination des quasi-niveaux de Fermi dans la structure : équation (3.16)]. Dans le cas général d'une fonction $f_{i,j}$ discrétisée sur un maillage 2D, la formule de la divergence est donnée par :

$$\begin{aligned} \nabla f_{i,j} &= f'_{i,j}|_i + f'_{i,j}|_j, \\ \nabla f_{i,j} &= -\frac{h_i^2}{h_{i-1}h_i(h_{i-1}+h_i)}f_{i-1,j} - \frac{h_j^2}{h_{j-1}h_j(h_{j-1}+h_j)}f_{i,j-1} \\ &\quad - \left[\frac{(h_{i-1}^2 - h_i^2)}{h_{i-1}h_i(h_{i-1}+h_i)} + \frac{(h_{j-1}^2 - h_j^2)}{h_{j-1}h_j(h_{j-1}+h_j)} \right] f_{i,j} \\ &\quad + \frac{h_{i-1}^2}{h_{i-1}h_i(h_{i-1}+h_i)}f_{i+1,j} + \frac{h_{j-1}^2}{h_{j-1}h_j(h_{j-1}+h_j)}f_{i,j+1} \end{aligned} \quad (A.5)$$

Et la formule du Laplacien est égale à :

$$\Delta f_{i,j} = f''_{i,j}|_i + f''_{i,j}|_j,$$

* Condition aux limites de Dirichlet : il faut fixer la valeur de la fonction en dehors du domaine (par exemple : $f_0 = 0$).

† Condition aux limites de Neumann : il faut fixer la valeur de la dérivée de la fonction en dehors du domaine (par exemple : $f'_0 = 0$).

$$\Delta f_{i,j} = \frac{2}{h_{i-1}(h_{i-1} + h_i)} f_{i-1,j} + \frac{2}{h_{j-1}(h_{j-1} + h_j)} f_{i,j-1} - \left[\frac{2}{h_{i-1}(h_{i-1} + h_i)} + \frac{2}{h_i(h_{i-1} + h_i)} + \frac{2}{h_{j-1}(h_{j-1} + h_j)} + \frac{2}{h_j(h_{j-1} + h_j)} \right] f_{i,j} + \frac{2}{h_i(h_{i-1} + h_i)} f_{i+1,j} + \frac{2}{h_j(h_{j-1} + h_j)} f_{i,j+1} \quad (\text{A.6})$$

Les formules (A.5) et (A.6) sont donc les expressions de bases pour la résolution des équations du code 2D. Prenons un exemple sur la résolution de l'équation de Poisson 2D en annexe A.1.3.

A.1.3 Exemple : résolution de l'équation de Poisson 2D

L'électrostatique des dispositifs MOS est régie par l'équation de Poisson dont la formule en 2D est donnée par :

$$\nabla_{xy} [\varepsilon_r(x,y) \nabla_{xy}] \Phi(x,y) = -\frac{q}{\varepsilon_0} \rho(x,y). \quad (\text{A.7})$$

En appliquant un maillage 2D et en utilisant les formules précédentes, l'équation (A.7) peut être numérisée et se réécrit sous la forme :

$$-\frac{q}{\varepsilon_0} \rho_{i,j} = \frac{2\varepsilon_{i-1,j}}{h_{i-1}(h_{i-1} + h_i)} \Phi_{i-1,j} + \frac{2\varepsilon_{i,j-1}}{h_{j-1}(h_{j-1} + h_j)} \Phi_{i,j-1} - \left[\frac{2\varepsilon_{i-1,j}h_i + 2\varepsilon_{i,j}h_{i-1}}{h_{i-1}h_i(h_{i-1} + h_i)} + \frac{2\varepsilon_{i,j-1}h_j + 2\varepsilon_{i,j}h_{j-1}}{h_{j-1}h_j(h_{j-1} + h_j)} \right] \Phi_{i,j} + \frac{2\varepsilon_{i,j}}{h_i(h_{i-1} + h_i)} \Phi_{i+1,j} + \frac{2\varepsilon_{i,j}}{h_j(h_{j-1} + h_j)} \Phi_{i,j+1} \quad (\text{A.8})$$

où ε_{ij} est la permittivité relative du matériau entre les i et $i+1$ et j et $j+1$. Cette formule est donc valable pour tous les points i et j (dans le corps du dispositif : $1 < i < NX$ et $1 < j < NY$) ; elle permet ainsi de traiter tout le dispositif (passage aux interfaces pris en compte naturellement) en tenant compte de chaque matériau dans les différents zones [oxydes, canal, espaceur (*spacer*), ...]. Le potentiel électrostatique de tout le dispositif est donc obtenu de manière récursive par la formule :

$$\Phi_{i,j} = \frac{\frac{q}{\varepsilon_0} \rho_{i,j} + \frac{2\varepsilon_{i-1,j}}{h_{i-1}(h_{i-1} + h_i)} \Phi_{i-1,j} + \frac{2\varepsilon_{i,j-1}}{h_{j-1}(h_{j-1} + h_j)} \Phi_{i,j-1} + \frac{2\varepsilon_{i,j}}{h_i(h_{i-1} + h_i)} \Phi_{i+1,j} + \frac{2\varepsilon_{i,j}}{h_j(h_{j-1} + h_j)} \Phi_{i,j+1}}{\left[\frac{2\varepsilon_{i-1,j}h_i + 2\varepsilon_{i,j}h_{i-1}}{h_{i-1}h_i(h_{i-1} + h_i)} + \frac{2\varepsilon_{i,j-1}h_j + 2\varepsilon_{i,j}h_{j-1}}{h_{j-1}h_j(h_{j-1} + h_j)} \right]} \quad (\text{A.9})$$

où $\rho_{i,j}$ est la densité de porteur sur chaque nœud du maillage, calculée par les équations (3.3) pour l'approche classique et (3.6) pour l'approche quantique.

Pour traiter les interfaces avec le “monde extérieur” ($i=1$ et NX , et $j=1$ et NY), des conditions aux limites de Dirichlet sont appliquées aux niveaux des contacts métalliques (le potentiel électrostatique est fixé à sa valeur sur la source, le drain, la grille avant et la grille arrière). Les autres conditions aux limites sont de types Neumann (la dérivée du potentiel est nulle) pour assurer la rupture entre le vide et le dispositif comme le montre la figure A.2. Dans le dernier cas, les formules utilisées pour déterminer le potentiel sont calculées à partir des équations (A.3.a) et (A.3.b) en remplaçant f_i par 0. Par exemple, au nœud de coordonnées (1,1), le potentiel est égal à :

$$\Phi_{1,1} = \frac{[h_1 + h_2]^2 \Phi_{2,1} - h_1^2 \Phi_{3,1}}{h_2(2h_1 + h_2)}. \quad (\text{A.10})$$

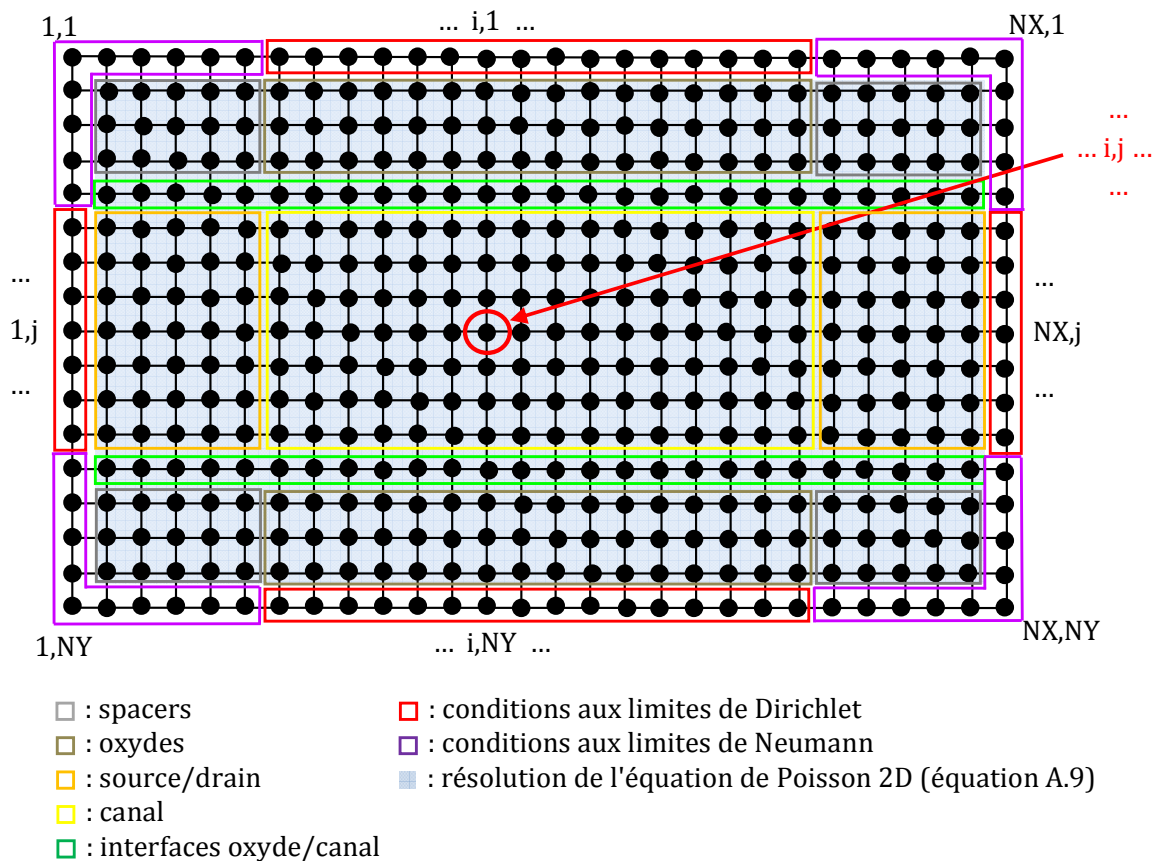


Figure A.2 : Exemple de maillage utilisé pour décrire l'architecture Double-Grille.

A.2 Paramètres des matériaux semiconducteurs

Dans cette annexe nous présentons les différents paramètres relatifs aux semiconducteurs utilisés dans cette thèse.

A.2.1 Tableau récapitulatif

propriétés à 300 K [Ioffe] [Sze] [Laux] [Green] [Fischetti3]		largeur du bandgap (eV)	Permittivité relative ϵ_r / ϵ_0	Affinité électronique (eV)	Concentration intrinsèque (cm ⁻³)	Densité effective d'état 3D [bande de conduction (N _c), bande valence (N _v)]		Mobilité [électrons (n), trous (p)] (cm ² V ⁻¹ s ⁻¹)	Masses effectives [électrons, trous] (/m ₀)	Offset d'énergie entre les vallées [électrons, trous] (eV)							
						N _c	N _v				μ _{0n}	μ _{0p}	vallée : m _l × m _t	trous :	vallée : ΔE _{vallée}	ΔE _{so}	
Si	ΔI	1.124	11.8	4.05	1.15×10 ¹⁰	3.24×10 ¹⁹	3.11×10 ¹⁹	1350	450	Δ : 0.92 × 0.19	lh : 0.16	hh : 0.49	so : 0.29	Δ : 0	Λ : /	Γ : /	0.044
		0.660	16.0	4.13	1.83×10 ¹³	1.05×10 ¹⁹	3.95×10 ¹⁸	3900	1900	Δ : 0.95 × 0.2	lh : 0.044	hh : 0.28	so : 0.084	Δ : 0.173	Λ : 0	Γ : 0.135	0.028
GaAs		1.424	12.9	4.07	2.15×10 ⁶	3.97×10 ¹⁷	9.73×10 ¹⁸	8500	400	Δ : 1.99 × 0.23	lh : 0.082	hh : 0.51	so : 0.15	Δ : 0.747	Λ : 0.323	Γ : 0	0.34
In _{0.53} Ga _{0.47} As		0.751	13.9	4.51	6.37×10 ¹¹	2.09×10 ¹⁷	8.05×10 ¹⁸	13000	300	Δ : 2.26 × 0.25	lh : 0.052	hh : 0.46	so : 0.15	Δ : 1.25	Λ : 0.767	Γ : 0	/
InAs	Δ-III	0.354	15.1	4.9	1.02×10 ¹⁵	1.37×10 ¹⁷	6.69×10 ¹⁸	33000	460	Δ : 1.13 × 0.18	lh : 0.050	hh : 0.40	so : 0.14	Δ : 1.02	Λ : 0.72	Γ : 0	0.41
		0.726	15.7	4.06	9.38×10 ¹¹	2.08×10 ¹⁷	6.63×10 ¹⁸	5000	850	Δ : 1.51 × 0.22	lh : 0.026	hh : 0.41	so : 0.16	Δ : 0.31	Λ : 0.084	Γ : 0	0.80
InP		1.344	12.5	4.38	1.47×10 ⁷	5.68×10 ¹⁷	1.23×10 ¹⁹	4600	150	Δ : 1.32 × 0.27	lh : 0.089	hh : 0.60	so : 0.17	Δ : 1.65	Λ : 0.832	Γ : 0	0.11

Figure A.3 : Principales propriétés des semiconducteurs utilisés dans nos différents codes de simulation.

A.2.2 Calcul des masses effectives de confinement et de densité d'état 2D

Dans la résolution de l'équation de Schrödinger par l'approximation des bandes paraboliques [équations (2.11) et (3.5)], il faut nécessairement connaître la valeur des masses effectives de confinement ($m^{\text{conf}}_{v,\text{el}}$ pour les électrons et m^{conf}_h pour les trous) et de densité d'état 2D ($m^{2D}_{v,\text{el}}$ pour les électrons et m^{2D}_h pour les trous) pour le calcul des niveaux d'énergies ($E^i_{v,\text{el}}$) et la densité de charge quantique (n_q) dans chaque vallée (indice v à remplacer par Δ , Λ ou Γ) et pour chaque type de porteur (indice el à remplacer par l ou t). Les valeurs des masses de confinement et de densité d'état 2D dépendent des matériaux et de l'orientation cristalline du *wafer* sur lequel les transistors sont fabriqués.

Pour les trous, la situation est simple car, dans cette approche, les vallées (lh pour *light holes*, hh pour *heavy holes* et so pour *spin-orbit*) sont isotropes avec une dégénérescence égale à 1 quel que soit le matériau et l'orientation du *wafer*. Ainsi, les masses effectives de confinement et de densité d'état 2D sont égales aux masses effectives de chaque vallée ($m^{\text{conf}}_h = m^{2D}_h = m_h$) dont les valeurs sont données dans le tableau A.2.1.

Pour les électrons, le problème est plus compliqué. Dans le cas de transistors sur silicium avec un *wafer* (100), les calculs restent simples puisque les ellipsoïdes de la vallée Δ [dégénérées 2 fois pour les électrons longitudinaux ($\mu_{\Delta,l} = 2$) et 4 pour les électrons transverses ($\mu_{\Delta,t} = 4$)] sont orientées le long des axes du dispositif (axe x : vallée longitudinale, axe y : vallée transverse). Cependant, pour les matériaux à forte mobilité, les autres vallées doivent être prises en compte (Λ et Γ) mais le calcul s'avère complexe (surtout pour la vallée Λ car la vallée Γ est isotrope) car les ellipsoïdes ne sont pas orientées dans les directions du *wafer*. Les valeurs sont obtenues en rapportant les masses de l'espace des k vers l'espace réel cartésien (x,y,z) grâce aux calculs de différents tenseurs (approche de la masse effective généralisée [Rahman]). Nous rappelons dans le tableau A.2.2 uniquement les valeurs considérées dans les simulations [$m^{\text{conf}}_{v,\text{el}} = m_z$ et $m^{2D}_{v,\text{el}} = (m_x \times m_y)^{1/2}$], et nous invitons les lecteurs à se rapporter à la référence [Rahman] pour avoir le détail des calculs de m_x , m_y et m_z .

semiconducteurs [wafer (001)]		masses effectives de confinement et de densité d'état 2D [Rahman]						
		vallée Δ : $\mu_{\Delta} = \mu_{\Delta,l} (2) + \mu_{\Delta,t} (4) = 6$				vallée Λ : $\mu_{\Lambda} = 4$		vallée Γ : $\mu_{\Gamma} = 1$
		$m^{\text{conf}}_{\Delta,l}$	$m^{2D}_{\Delta,l}$	$m^{\text{conf}}_{\Delta,t}$	$m^{2D}_{\Delta,t}$	$m^{\text{conf}}_{\Lambda}$	m^{2D}_{Λ}	$m^{\text{conf}}_{\Gamma} = m^{2D}_{\Gamma}$
IV	Si	0.916	0.191	0.191	0.418	/	/	/
	Ge	0.950	0.200	0.200	0.436	0.120	0.303	0.041
III-V	GaAs	1.990	0.230	0.230	0.677	0.187	0.373	0.063
	In _{0.53} Ga _{0.47} As	2.260	0.250	0.250	0.752	0.187	0.376	0.041
	InAs	1.126	0.175	0.175	0.444	0.179	0.367	0.023
	GaSb	1.510	0.220	0.220	0.576	0.156	0.271	0.041
	InP	1.320	0.270	0.270	0.597	0.216	0.442	0.080

Figure A.4 : Valeurs des masses effectives de confinement et de densité d'état 2D des semiconducteurs utilisés dans nos différents codes de simulation.

A.3 Paramètres des diélectriques de grilles

Les propriétés des diélectriques de grille utilisés dans cette thèse sont données dans cette annexe.

diélectriques		propriétés à 300 K [Robertson] [Afanasev]						
		largeur de la bande interdite (eV) E_G	Permittivité relative ϵ_r / ϵ_0	Affinité électronique (eV) χ	Offset de bande entre le semiconducteur et l'oxyde (eV)			
					BC : $\Delta E_{Cox,sc}$		BV : $\Delta E_{Vox,sc}$	
					Si	Ge	Si	Ge
natifs	SiO ₂	9.0	3.9	0.9	3.15	3.3	4.72	5.04
	GeO ₂	4.3	7.0	2.6	/	1.54	/	2.10
high-κ	HfO ₂	5.6	20.0	2.4	1.5	2.04	2.98	2.90
	Al ₂ O ₃	6.2	9.0	1.0	2.8	2.19	2.28	3.35
	La ₂ O ₃	6.0	28.0	2.0	2.3	2.56	2.58	2.78

Figure A.5 : Principales propriétés des diélectriques utilisés dans nos différents codes de simulation. La valeur de l'offset de bande de valence entre le semiconducteur et l'oxyde est obtenue par le calcul suivant : $\Delta E_{Vox,sc} = E_{Gox} - (\Delta E_{Vox,sc} + E_{Gsc})$

Références bibliographiques

A

[Afanasev] V. V. Afanas'ev and A. Stesmans, "Internal photoemission at interfaces of high- κ insulators with semiconductors and metals", *J. Appl. Phys.*, vol. 102, p. 081301, 2007.

[Afanasev2] V. V. Afanas'ev, A. Stesmans, A. Delabie, F. Bellenger, M. Houssa, and M. Meuris, "Electronic structure of GeO₂-passivated interfaces of (100)Ge with Al₂O₃ and HfO₂", *Appl. Phys. Lett.*, vol. 92, no. 2, p. 022109, 2008.

[Allen] S. S. Allen and S. L. Richardson, "Improved Airy function formalism for study of resonant tunneling in multibarrier semiconductor heterostructures", *J. Appl. Phys.*, vol. 79, no. 2, pp. 886-894, 1996.

[Andersson] C. Andersson, C. Rossel, M. Sousa, D.J. Webb, C. Marchiori, D. Caimi, H. Siegwart, Y. Panayiotatos, A. Dimoulas, and J. Fompeyrine, "Lanthanum germanate as dielectric for scaled Germanium metal-oxide-semiconductor devices", *Microelec. Eng.*, vol. 86, no. 7-9, pp. 1635-1637, 2009.

[Ando] T. Ando, B. Fowler, F. Stern, "Electronic properties of two-dimensional systems", *Rev. Mod. Phys.*, vol. 58, no. 2, pp. 437-672, 1982.

[Andrieu] F. Andrieu, "Transistors CMOS décanométriques à canaux contraints sur silicium massif ou sur SOI - fabrication, caractérisation et étude du transport", *Thèse de Doctorat*, 2005.

[Asenov] A. Asenov, A. R. Brown, J. H. Davies, S. Kaya, and G. Slavcheva, "Simulation of intrinsic parameter fluctuations in decanometer and nanometer-scale MOSFETs", *IEEE Trans. Electron Devices*, vol. 50, no. 9, pp. 1837-1852, 2003.

[Asenov2] A. Asenov, K. Kalna, I. Thayne, and R. J. W. Hill, "Simulation of implant free III-V MOSFETs for high performance low power Nano-CMOS applications", *Microelec. Eng.*, vol. 84, pp. 2398-2403, 2007.

- [Autran] J. L. Autran et D. Munteanu, "Les architectures innovantes sur silicium mince : un second souffle pour la loi de Moore", *Revue de l'Electricité et de l'Electronique*, no. 8, pp. 21-31, 2003.
- [Autran2] J. L. Autran et D. Munteanu, "Au-delà du transistor MOS sur silicium massif", *Revue de l'Electricité et de l'Electronique*, no. 4, pp. 25-37, 2007.
- [Autran3] J. L. Autran and D. Munteanu, "Simulation of Electron Transport in Nanoscale Independent-Gate Double-Gate Devices Using a Full 2D Green's Function Approach", *J. Comput. Theor. Nanosci.*, vol. 5, no. 6, pp. 1120-1127, 2008.
- [Autran4] J. L. Autran, D. Munteanu, and M. Houssa, in *High- κ Gate Dielectrics*, edited by M. Houssa (IOP Publishing, Bristol, U. K., 2004), Chap. 3.4.
- [Autran5] J. L. Autran, D. Munteanu, M. Houssa, K. Castellani-Coulié, and A. Said, "Performance Degradation Induced by Fringing Field-Induced Barrier Lowering and Parasitic charge in Double-Gate Metal-Oxide-Semiconductor Field-Effect Transistors with High- κ Dielectrics", *Jap. J. Appl. Phys*, vol. 44, pp. 8362-8366, 2005.
- [Autran6] J. L. Autran, D. Munteanu, E. Decarre, O. Tintori, and A. M. Ionescu, "An analytical subthreshold current model for ballistic quantum-wire double-gate MOS transistors", *Molecular Simulation*, vol. 31, no. 2-3, pp. 179-183, 2009.

B

- [Baccarani] G. Baccarani, M. R. Wordeman, and R. H. Dennard, "Generalized scaling theory and its application to a $\frac{1}{4}$ micrometer MOSFET design", *IEEE Trans. Electron Devices*, vol. 31, no. 4, pp. 452-462, 1984.
- [Baccarani2] G. Baccarani, E. Gnani, A. Gnudi, S. Reggiani, and M. Rudan, "Theoretical foundations of the quantum drift-diffusion and density-gradient models", *Solid State Electron.*, vol. 52, no. 12, pp. 526-532, 2008.
- [Baccarani3] G. Baccarani and S. Reggiani, "A compact double-gate MOSFET model comprising quantum-mechanical and nonstatic effects," *IEEE Trans. Electron Devices*, vol. 46, no. 8, pp. 1656-1666, 1999.
- [Bai] W. P. Bai, N. Lu, A. Ritenour, M. L. Lee, D. A. Antoniadis, and D.-L. Kwong, "Ge n-MOSFETs on Lightly Doped Substrates With High- κ Dielectric and TaN Gate", *IEEE Electron Device Lett.*, vol. 27, no. 3, pp. 175-178, 2006.
- [Balestra] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini, and T. Elewa, "Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance", *IEEE Electron Device Lett.*, vol. 8, no. 9, pp. 410-412, 1987.
- [Bangsaruntip] S. Bangsaruntip et al., "High Performance and Highly Uniform Gate-All-Around Silicon Nanowire MOSFETs with Wire Size Dependent Scaling", in *IEDM Tech. Dig.*, pp. 297-300, 2009.

-
- [Banna] S. Banna, P. C. H. Chan, P. K. Ko, C. T. Nguyen, and M. Chan, "Threshold Voltage Model for Deep-Submicrometer Fully Depleted SO1 MOSFET's", *IEEE Trans. Electron Devices*, vol. 42, no. 11, pp. 1949, 1995.
- [Barraud] S. Barraud, O. Bonno, and M. Cassé, "The influence of Coulomb centers located in HfO₂/SiO₂ gate stacks on the effective electron mobility", *J. Appl. Phys.*, vol. 104, no. 7, p. 073725, 2008.
- [Barraud2] S. Barraud, L. Thevenod, M. Cassé, O. Bonno, and M. Mouis, "Modeling of remote Coulomb scattering limited mobility in MOSFET with HfO₂/SiO₂ gate stacks", *Microelec. Eng.*, vol. 84, no. 9-10, pp. 2404-2407, 2007.
- [Barraud3] S. Barraud, "Phase-coherent quantum transport in silicon nanowires based on Wigner transport equation: Comparison with the nonequilibrium-Green function formalism", *J. Appl. Phys.*, vol. 106, p. 063714, 2009.
- [Baumgartner] O. Baumgartner, M. Karner, and H. Kosina, "Modeling of High-k-Metal-Gate-Stacks Using the Non-Equilibrium Green's Function Formalism", in *Proc. SISPAD*, pp. 353-356, 2008.
- [Becke] H. Becke, R. Hall, and J. White, "Gallium arsenide MOS transistors", *Solid-State Electron.*, vol. 8, no. 10, pp. 813-818, 1965.
- [Bellenger] F. Bellenger, C. Merckling, J. Penaud, M. Houssa, M. Caymax, M. Meuris, K. De Meyer, and M. M. Heyns, "Interface properties improvement of Ge/Al₂O₃ and Ge/GeO₂/Al₂O₃ gate stacks using molecular beam deposition", *ECS Trans.*, vol. 16, no. 5, pp. 411-422, 2008.
- [Bellenger2] F. Bellenger, B. De Jaeger, C. Merckling, M. Houssa, J. Penaud, L. Nyns, E. Vrancken, M. Caymax, M. Meuris, T. Hoffmann, K. De Meyer, and M. M. Heyns, "High FET Performance for a Future CMOS GeO₂-Based Technology", *IEEE Electron Device Lett.*, vol. 31, no. 5, pp. 402-404, 2010.
- [Bernard] E. Bernard, T. Ernst, B. Guillaumot, N. Vulliet, T. C. Lim, O. Rozeau, F. Danneville, P. Coronel, T. Skotnicki, S. Deleonibus, and O. Faynot, "First Internal Spacers' Introduction in Record High ION/IOFF TiN/HfO₂ Gate Multichannel MOSFET Satisfying Both High-Performance and Low Standby Power Requirements", *IEEE Electron Device Lett.*, vol. 30, no. 2, pp. 148-151, 2009.
- [Bernardini] S. Bernardini, "Modélisation des structures Metal-Oxyde-Semiconducteur (MOS) : applications aux dispositifs mémoires", *Thèse de Doctorat*, 2004.
- [Bersch] E. Bersch, S. Rangan, R. A. Bartynski, E. Garfunkel, and E. Vescovo, "Band offsets of ultrathin high-κ oxide films with Si", *Phys. Rev. B*, vol. 78, p. 085114, 2008.
- [Bescond] M. Bescond, N. Cavassilas, K. Kalna, K. Nehari, L. Raymond, J.-L. Autran, M. Lanoo, and A. Asenov, "Ballistic transport in Si, Ge, and GaAs nanowire MOSFETs", in *IEDM Tech. Dig.*, pp. 526-529, 2005.
- [Biesemans] S. Biesemans, S. Kubicek, and K. de Meyer, "New Current-Defined Threshold Voltage Model from 2D Potential Distribution Calculations in MOSFETs", *Solid-State Electronics*, vol. 39, no.1, pp. 43-48, 1996.
-

[Black] C. T. Black, "Self-aligned self assembly of multi-nanowire silicon field effect transistors", *Appl. Phys. Lett.*, vol. 87, no. 16, p. 163116, 2005.

C

[Cantley] K. D. Cantley, Y. Liu, H. S. Pal, T. Low, S. S. Ahmed, and M. S. Lundstrom, "Performance Analysis of III-V Materials in a Double-Gate nano-MOSFET", in *IEDM Tech. Dig.*, pp. 113-116, 2007.

[Cassé] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reibold, T. Billon, M. Mouis, and F. Boulanger, "Carrier transport in HfO₂/metal gate MOSFETs: physical insight into critical parameters", *IEEE Trans. Electron Devices*, vol. 53, no. 4, pp. 759-768, 2006.

[Cavassilas] N. Cavassilas, F. Aniel, K. Boujdaria, and G. Fishman, "Energy-band structure of GaAs and Si: A sps* k"p method", *Phys. Rev. B*, vol. 64, p. 115207, 2001.

[Chaneliere] C. Chaneliere, J. L. Autran, and R. A. B. Devine, "Conduction mechanisms in Ta₂O₅/SiO₂ and Ta₂O₅/Si₃N₄ stacked structures on Si", *J. Appl. Phys.*, vol. 86, no. 1, pp. 480-486, 1999.

[Chau] R. Chau, "Challenges and Opportunities of III-V Nanoelectronics for Future Logic Applications", in *Proc. 64th Dev. Research Conf.*, pp. 3-4, 2006.

[Chelikowsky] J. R. Chelikowsky and M. L. Cohen, "Nonlocal pseudopotential calculations for the electronic structure of eleven diamond and zinc-blende semiconductors", *Phys. Rev. B*, vol. 14, no. 2, pp. 556-582, 1976.

[Chiang] M. H. Chiang, K. K. C. Tretz, and C. T. Chuang, "Novel high-density low-power logic circuit techniques using DG devices", *IEEE Trans. Electron Devices*, vol. 52, no. 10, pp. 2339-2342, 2005.

[Choi] Y. Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T. King, J. Bokor, and C. Hu, "Sub-20nm CMOS FinFET technologies", in *Proc IEDM Tech. Dig.*, pp. 421-424, 2001.

[Chui] C. O. Chui, F. Ito, and K. C. Saraswat, "Nanoscale Germanium MOS Dielectrics-Part I: Germanium Oxynitrides", *IEEE Trans. Electron Devices*, vol. 53, no. 7, pp. 1501-1508, 2006.

[Clerc] R. Clerc, A. Spinelli, G. Ghibaudo and G. Pananakakis, "Theory of direct tunneling current in metal-oxide-semiconductor structures", *J. Appl. Phys.*, vol. 91, no. 3, pp. 1400-1409, 2002.

[Clerc2] R. Clerc, "Etude des effets quantiques dans les composants CMOS à oxydes de grille ultra minces - modélisation et caractérisation", *Thèse de Doctorat*, 2001.

[Cohen] C. Cohen-Tannoudji, B. Diu, et F. Laloe, "Mécanique quantique I et II", (Hermann, Paris, 1995).

[Coignus] J. Coignus, R. Clerc, C. Leroux, G. Reibold, G. Ghibaudo and F. Boulanger, "Analytical modeling of tunneling current through SiO₂-HfO₂ stacks in metal oxide semiconductor structures", *J. Vac. Sci. Technol. B*, vol. 27, no. 1, pp. 338-345, 2009.

-
- [Colinge] J.-P. Colinge, "Silicon-On-Insulator Technology: Materials to VLSI", 3rd edition, (Springer, 2004).
- [Colinge2] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A.-M. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistors without junctions", *Nature Nanotechnology*, vol. 5, pp. 225-229, 2010.
- [Cristoloveanu] S. Cristoloveanu and S. S. Li, "Electrical Characterization of Silicon On Insulator Materials and Devices", (Kluwer Academic Publishers, 1995).
- [Cui] Y. Cui, Z. Zhong, D. Wang, W. U. Wang and C. M. Lieber, "High Performance Silicon Nanowire Field Effect Transistors", *NanoLetters*, vol. 3, no. 2, pp. 149-152, 2003.

D

- [Datta] S. Datta, "Nanoscale device modeling: the Green's function method", *Superlattices Microstruct.*, vol. 28, no. 4, pp. 253-278, 2000.
- [DeFalco] C. de Falco, E. Gatti, A. L. Lacaita, and R. Sacco, "Quantum-corrected drift-diffusion models for transport in semiconductor devices", *J. Comput. Phys.*, vol. 204, pp. 533-561, 2005.
- [DeJaeger] B. De Jaeger *et al.*, "Ge deep sub-micron pFETs with etched TaN metal gate on a High-K dielectric, fabricated in a 200mm silicon prototyping line", in *Proc. ESSDERC*, pp. 189-192, 2004.
- [Delabie] A. Delabie, F. Bellenger, M. Houssa, T. Conard, S. Van Elshocht, M. Caymax, M. Heyns, and M. Meuris, "Effective electrical passivation of Ge (100) for high- κ gate dielectric layers using germanium oxide", *Appl. Phys. Lett.*, vol. 91, no. 8, p. 082904, 2007.
- [Delabie2] A. Delabie, A. Alian, F. Bellenger, G. Brammertz, D. P. Brunco, M. Caymax, T. Conard, A. Franquet, M. Houssa, S. Sioncke, S. Van Elshocht, J. L. Van Hemmen, W. Keuning, W. M. Kessels, V. Avanas'ev, A. Stesmans, M. M. Heyns, and M. Meuris, "Atomic Layer Deposition of High-k Dielectric Layers on Ge and III-V MOS Channels", *ECS Trans.*, vol. 16, no. 10, pp. 671-685, 2008.
- [Delerue] C. Delerue and M. Lannoo, "Nanostructures: theory and modelling", (Springer, 2004).
- [Dennard] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions", *IEEE J. Solid-State Circuits*, vol. 9, no. 5, pp. 256-268, 1974.
- [Depas] M. Depas, B. Vermeire, P. W. Mertens, R. L. Van Meirhaeghe, and M. M. Heyns, "Determination of Tunneling Parameters in Ultra-Thin Oxide Layer Poly-Si/SiO₂/Si Structures", *Solid-State Electron.*, vol. 38, no. 8, pp. 1465-1471, 1995.
- [Dimoulas] A. Dimoulas, E. Gusev, P. C. McIntyre and M. Heyns, "Advanced Gate Stacks for High-Mobility Semiconductors", (Springer, Berlin, 2007).

[Dollfus] P. Dollfus, A. Bournel, S. Galdin, S. Barraud, and P. Hesto, "Effect of discrete impurities on electron transport in ultrashort MOSFET using 3D MC simulation", *IEEE Trans. Electron Devices*, vol. 51, no. 5, pp. 749-756, 2004.

[Dollfus2] P. Dollfus, "Si/Si_{1-x}Ge_x heterostructures: Electron transport and field-effect transistor operation using Monte Carlo simulation", *J. Appl. Phys.*, vol. 82, no. 8, pp. 3911-3916, 1997.

[Dupre] C. Dupre et al., "15nm-diameter 3D Stacked Nanowires with Independent Gates Operation: Φ FET", in *IEDM Tech. Dig.*, pp. 749-752, 2008.

E

[Endo] K. Endo, S.-I. O'uchi, Y. Ishikawa, Y. Liu, T. Matsukawa, K. Sakamoto, M. Masahara, J. Tsukada, K. Ishii, H. Yamauchi, and E. Suzuki, "Independent-Double-Gate FinFET SRAM for Leakage Current Reduction", *IEEE Electron Device Lett.*, vol. 30, no. 7, pp. 757-759, 2009.

[Ernst] T. Ernst et al., "Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO₂/TiN gate stack", in *IEDM Tech. Dig.*, pp. 1-4, 2006.

[Ernst2] T. Ernst, E. Bernard, C. Dupre, A. Hubert, S. Becu, B. Guillaumot, O. Rozeau, O. Thomas, P. Coronel, J.-M. Hartmann, C. Vizios, N. Vulliet, O. Faynot, T. Skotnicki, and S. Deleonibus, "3D Multichannels and stacked nanowires Technologies for New Design opportunities in Nanoelectronics", in *Proc. ICICDT*, pp. 265-268, 2008.

[Esseni] D. Esseni and A. Abramo, "Modeling of electron mobility degradation by remote Coulomb scattering in ultrathin oxide MOSFETs", *IEEE Trans. Electron Devices*, vol. 50, no. 7, pp. 1665-1674, 2003.

[Evangelou] E. K. Evangelou, G. Mavrou, A. Dimoulas, and N. Konofaos, "Rare earth oxides as high-k dielectrics for Ge based MOS devices: An electrical study of Pt/Gd₂O₃/Ge capacitors," *Solid State Electron.*, vol. 51, no. 1, pp. 164-169, 2007.

[Evangelou2] E. K. Evangelou, M. S. Rahman, and A. Dimoulas, "Correlation of Charge Buildup and Stress-Induced Leakage Current in Cerium Oxide Films Grown on Ge (100) Substrates", *IEEE Trans. Electron Devices*, vol. 56, no. 4, pp. 648-655, 2009.

F

[Fan] Y.-Y. Fan, R. E. Nieh, J. C. Lee, G. Lucovsky, G. A. Brown, L. F. Register, and S. K. Banerjee, "Voltage- and temperature-dependent gate capacitance and current model: Application to ZrO₂ n-channel MOS capacitor," *IEEE Trans. Electron Devices*, vol. 49, no. 11, pp. 1969-1978, Nov. 2002.

[Ferry] D.K. Ferry and S.M. Goodnick, "Transport in nanostructures", (Cambridge University Press, New-York, 1997).

- [Fischetti] M. V. Fischetti, D. A. Neumayer, and E. A. Cartier, "Effective electron mobility in Si inversion layers in metal-oxide-semiconductor systems with a high- κ insulator: The role of remote phonon scattering", *J. Appl. Phys.*, vol. 90, p. 4587, 2001.
- [Fischetti2] M. V. Fischetti, T. P. O'Regan, S. Narayanan, C. Sachs, S. Jin, J. Kim, and Yan Zhang, "Theoretical Study of Some Physical Aspects of Electronic Transport in nMOSFETs at the 10-nm Gate-Length", *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2116-2136, 2007.
- [Fischetti3] M. V. Fischetti, "Monte Carlo Simulation of Transport in Technologically Significant Semiconductors of the Diamond and Zinc-Blende Structures-Part I: Homogeneous Transport", *IEEE Trans. Electron Devices*, vol. 38, no. 3, pp. 634-649, 1991.
- [Fowler] R. H. Fowler and L. Nordeim, "Electron Emission in Intense Electric Fields", *Proceedings of the Royal Society of London*, vol. 119, no. 781, pp. 173-181, 1928.
- [Frank] D. J. Frank, S. E. Laux, and M. V. Fischetti, "Monte Carlo simulation of a 30 nm dual-gate MOSFET : How short can Si go?", in *Proc IEDM Tech. Dig.*, pp 553-556, 1992.
- [Fuchs] E. Fuchs, P. Dollfus, S. Barraud, D. Villanueva, F. Salvetti and T. Skotniki, "A new bascattering model giving a description of the quasi-ballistic transport in Nano-MOSFET", *IEEE Trans. Electron Devices*, vol. 52, no. 10, pp. 2280-2289, 2005.

G

- [Gautier] J. Gautier, "Les principes de calcul de structure de bandes et la notion de pseudopotentiel", *Journal de Physique Colloques*, vol. 28, no. C3, pp. C3-3-C3-11, 1967.
- [Ge] L. Ge and J. G. Fossum, "Analytical modeling of quantization and volume inversion in thin Si-film DG MOSFETs", *IEEE Trans. Electron Devices*, vol. 49, no. 2, pp. 287-294, 2002.
- [Ghibaudo] G. Ghibaudo, R. Clerc, E. Vincent, S. Bruyère, and J. L. Autran, "Gate dielectrics for ultimate CMOS technologies - Limitations and alternative solutions", *Comptes Rendus de l'Académie des Sciences - Series IV - Physics*, vol. 1, no. 7, pp. 911-927, 2000.
- [Govoreanu] B. Govoreanu, P. Blomme, K. Henson, J. Van Houdt, and K. De Meyer, "An effective model for analysing tunneling gate leakage currents through ultrathin oxides and high-k gate stacks from Si inversion layers", *Solid-State Electron.*, vol. 48, pp. 617-625, 2004.
- [Gnani] E. Gnani, A. Gnudi, S. Reggiani, and G. Baccarani, "Effective Mobility in Nanowire FETs Under Quasi-Ballistic Conditions", *IEEE Trans. Electron Devices*, vol. 57, no. 1, pp. 336-344, 2010.
- [Green] M. A. Green, "Intrinsic concentration, effective densities of states, and effective mass in silicon", *J. Appl. Phys.*, vol. 67, no. 6, pp. 2944-2954, 1990.
- [Gritsch] M. Gritsch, "Numerical modeling of silicon-on-insulator MOSFETs", *PhD Thesis*, 2002.
- [Gundlach] K. H. Gundlach, "Zur berechnung des tunnelstroms durch eine trapezförmige potentialstufe", *Solid-State Electron.*, vol. 9, pp. 949-957, 1966.

[Gusev] E. P. Gusev, V. Narayanan, and M. M. Frank, "Advanced high- κ dielectric stacks with PolySi and metal gates: Recent progress and current challenges", *IBM j. res. & dev.*, vol. 50, no. 4/5, pp. 387-410, 2006.

H

[Haensch] W. Haensch, E. J. Nowak, R. H. Dennard, P. M. Solomon, A. Bryant, O. H. Dokumaci, A. Kumar, X. Wang, J. B. Johnson, and M. V. Fischetti, "Silicon CMOS devices beyond scaling", *IBM j. res. & dev.*, vol. 50, no. 4/5, pp. 339-361, 2006.

[Hamid] H. A. Hamid, B. Iñíguez, D. Jiménez, L. F. Marsal and J. Pallarès, "Transmission model for the nanoscale double gate MOSFET including the effect of the scattering", *Phys. Stat Sol. C*, vol. 2, no. 8, pp. 3086-3089, 2005.

[Harrison] S. Harrison, P. Coronel, F. Leverd, R. Cerruti, R. Palla, D. Delille, S. Borel, S. Descombes, D. Lenoble, A. Talbot, A. Villaret, S. Monfray, P. Mazoyer, J. Bustos, H. Brut, A. Cros, D. Munteanu, J.-L. Autran, and T. Skotnicki, "Highly performant double gate MOSFET realized with SON process", in *Proc IEDM Tech. Dig.*, pp. 449-452, 2004.

[Hergenrother] J. M. Hergenrother, "50 nm vertical replacement-gate (VRG) nMOSFETs with ALD HfO₂ and Al₂O₃ gate dielectrics", in *Proc IEDM Tech. Dig.* pp. 51-54, 2001.

[Heyns] M. M. Heyns and W. Tsai, "Ultimate Scaling of CMOS Logic Devices with Ge and III-V Materials", *MRS Bulletin*, vol. 34, pp. 485-492, 2009.

[Hisamoto] D. Hisamoto, "FD/DG-SOI MOSFET-A viable approach to overcoming the device scaling limit", in *Proc IEDM Tech. Dig.*, pp. 429-432, 2001.

[Hong] M. Hong, J. R. Kwo, P.-C. Tsai, Y. Chang, M.-L. Huang, C.-P. Chen, and T.-D. Lin, "III-V Metal-Oxide-Semiconductor Field-Effect Transistors with High κ Dielectrics", *Jap. J. Appl. Phys.*, vol. 46, no. 5B, pp. 3167-3180, 2007.

[Houssa] M. Houssa and M. M. Heyns, in "High- κ Gate Dielectrics", edited by M. Houssa (IOP Publishing, Bristol, U. K., 2004), Chap. 1.1.

[Houssa2] M. Houssa, E. Chagarov, and A. Kummel, "Surface Defects and Passivation of Ge and III-V Interfaces", *MRS Bulletin*, vol. 34, pp. 504-513, 2009.

[Huang] X. Huang, W. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. Choi, K. Asano, V. Subramanian, T. King, J. Bokor, and C. Hu, "Sub 50nm FinFET : PMOS", in *Proc IEDM Tech. Dig.*, pp. 67-70, 1999.

[Hubert] A. Hubert et al., "A stacked SONOS technology, up to 4 levels and 6nm crystalline nanowires, with gate-all-around or independent gates (Φ -Flash), suitable for full 3D integration", in *IEDM Tech. Dig.*, pp. 637-640, 2009.

I

- [Iniguez] B. Iniguez, T. A. Fjeldly, A. Lázaro, F. Danneville and M. J. Deen, "Compact-Modeling Solutions For Nanoscale Double-Gate and Gate-All-Around MOSFETs", *IEEE Trans. Electron Devices*, vol. 53, no. 9, pp. 2128-2142, 2006.
- [Intel] <http://www.intel.com/about/companyinfo/museum/exhibits/4004/index.htm>
- [Intel2] http://www.intel.com/technology/45nm/index.htm?iid=tech_as+silicon_45nm
- [Ioffe] <http://www.ioffe.rssi.ru/SVA/NSM/>
- [ITRS] 2009 International Technology Roadmap for Semiconductors. Disponible sur internet : <http://www.itrs.net/>

J

- [Jaud] M.-A. Jaud, S. Barraud, J. Saint-Martin, A. Bournel, P. Dollfus, and H. Jaouen, "A Pearson Effective Potential for Monte Carlo Simulation of Quantum Confinement Effects in nMOSFETs", *IEEE Trans. Electron Devices*, vol. 55, no. 12, pp. 3450-3458, 2008.
- [Jimenez] D. Jimenez, B. Iniguez, J. Suné, L. F. Marsal, J. Pallarès, J. Roig, and D. Flores, "Continuous Analytic I-V Model for Surrounding-Gate MOSFETs", *IEEE Electron. Device Lett.*, vol. 25, no. 8, pp. 571-573, 2004.
- [Jimenez2] D. Jiménez, J. J. Sáenz, B. Iniguez, J. Suñé, L. F. Marsal, and J. Pallarès, "Unified compact model for the ballistic quantum wire and quantum well metal-oxide-semiconductor field-effect-transistor", *J. Appl. Phys.*, vol. 94, no. 2, pp. 1061-1068, 2003.
- [Jin] S. Jin, Y. J. Park, and H. S. Min, "A three-dimensional simulation of quantum transport in silicon nanowire transistor in the presence of electron-phonon interactions", *J. Appl. Phys.*, vol. 99, p. 123719, 2006.

K

- [Kedzierski] J. Kedzierski et al., "Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation", in *Proc IEDM Tech. Dig.*, pp. 247-250, 2002.
- [Kim] H.-S. Kim, I. Ok, M. Zhang, F. Zhu, S. Park, J. Yum, H. Zhao, J. C. Lee, P. Majhi, N. Goel, W. Tsai, C. K. Gaspe, and M. B. Santos, "A study of metal-oxide-semiconductor capacitors on GaAs, In_{0.53}Ga_{0.47}As, InAs, and InSb substrates using a germanium interfacial passivation layer", *Appl. Phys. Lett.*, vol. 93, p. 062111, 2008.
- [Kim2] D.-H. Kim, J. A. Del Alamo, J.-H. Lee, and K.-S. Seo, "Performance Evaluation of 50 nm In_{0.7}Ga_{0.3}As HEMTs For Beyond-CMOS Logic Applications", in *IEDM Tech. Dig.*, pp. 767-770, 2005.

- [Kim3] E. J. Kim, E. Chagarov, J. Cagnon, Y. Yuan, A. C. Kummel, P. M. Asbeck, S. Stemmer, K. C. Saraswat, and P. C. McIntyre, "Atomically abrupt and unpinned Al₂O₃ / In_{0.53}Ga_{0.47}As interfaces: Experiment and simulation", *J. Appl. Phys.*, vol. 106, p. 124508, 2009.
- [Kiréev] P. Kireev, "Physique des semiconducteurs ", Traduction française (Edition MIR, Moscou, 1975).
- [Koester] S. J. Koester, E. W. Kiewra, Y. Sun, D. A. Neumayer, J. A. Ott, M. Copel, D. K. Sadana, D. J. Webb, J. Fompeyrine, J.-P. Locquet, C. Marchiori, M. Sousa, and R. Germann, "Evidence of electron and hole inversion in GaAs metal-oxide-semiconductor capacitors with HfO₂ gate dielectrics and α -Si/SiO₂ interlayers", *Appl. Phys. Lett.*, vol. 89, p. 042104, 2006.
- [Koveshnikov] S. Koveshnikov, W. Tsai, I. Ok, J. C. Lee, V. Torkanov, M. Yakimov, and S. Oktyabrsky, "Metal-oxide-semiconductor capacitors on GaAs with high-k gate oxide and amorphous silicon interface passivation layer", *Appl. Phys. Lett.*, vol. 88, p. 022106, 2006.
- [Krishnamohan] T. Krishnamohan, Z. Krivokapic, K. Uchida, Y. Nishi, and K. C. Saraswat, "High-Mobility Ultrathin Strained Ge MOSFETs on Bulk and SOI With Low Band-to-Band Tunneling Leakage: Experiments", *IEEE Trans. Electron Devices*, vol. 53, no. 5, pp. 990-999, 2006.
- [Krishnamohan2] T. Krishnamohan, D. Kim, C. D. Nguyen, C. Jungemann, Y. Nishi, and K. C. Saraswat, "High-Mobility Ultrathin Strained Ge MOSFETs on Bulk and SOI With Low Band-to-Band Tunneling Leakage: Simulations", *IEEE Trans. Electron Devices*, vol. 53, no. 5, pp. 1000-1009, 2006.
- [Kuzum] D. Kuzum, A. J. Pethe, T. Krishnamohan, and K. C. Saraswat, "Ge (100) and (111) N- and P-FETs With High Mobility and Low-*T* Mobility Characterization", *IEEE Trans. Electron Devices*, vol. 56, no. 4, pp. 648-655, 2009.
- [Kwo] J. Kwo, M. Hong, B. Busch, D.A. Muller, Y.J. Chabal, A.R. Kortan, J.P. Mannaerts, B. Yang, P. Ye, H. Gossmann, A.M. Sergent, K.K. Ng, J. Bude, W.H. Schulte, E. Garfunkel, and T. Gustafsson, "Advances in high k gate dielectrics for Si and III-V semiconductors", *J. Crystal Growth*, vol. 251, pp. 645-650, 2003.
- [Kwo2] J. Kwo and M. Hong, "Research advances on III-V MOSFET electronics beyond Si CMOS", *J. Crystal Growth*, vol. 311, pp. 1944-1949, 2009.

L

- [Laux] S. E. Laux, "A Simulation Study of the Switching Times of 22- and 17-nm Gate-Length SOI nFETs on High Mobility Substrates and Si", *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2304-2320, 2007.
- [Leroux] P. Leroux, "Etude des performances au niveau petit-circuit des transistors innovants à base de nouveaux matériaux ", *rapport de stage*, Master 2 Recherche MINELEC, 2010.
- [Li] F. Li, S. P. Mudanai, Y.-Y. Fan, L. F. Register, and S. K. Banerjee, "Physically Based Quantum-Mechanical Compact Model of MOS Devices Substrate-Injected Tunneling Current

Through Ultrathin (EOT ~ 1 nm) SiO₂ and High- Gate Stacks”, *IEEE Trans. Electron Devices*, vol. 53, no. 5, pp. 1096-1106, 2006.

[Liang] Y. P. Liang and Y. Taur, “A 2-D analytical solution for SCEs in DG MOSFETs”, *IEEE Trans. Electron Devices*, vol. 51, no. 9, pp. 1385–1391, 2004.

[Lin] D. Lin et al., “Enabling the high-performance InGaAs/Ge CMOS: a common gate stack solution”, in *Proc. IEDM*, pp. 327-330, 2009

[Lo] S.-H. Lo, D. A. Buchanan, Y. Taur, and W. Wang, “Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nMOSFET's”, *IEEE Electron Device Lett.*, vol. 18, no. 5, pp. 209-211, 1997.

[Loussier] X. Loussier, “Modélisation et simulation analytique et numérique des nano-transistors multigrille : du dispositif au circuit intégré”, *Thèse de Doctorat*, 2008.

[Lu] D. D. Lu, M. V. Dunga, C.-H. Lin, A. M. Niknejad and C. Hu, “A Multi-Gate MOSFET Compact Model Featuring Independent-Gate Operation”, in *IEDM Tech. Dig.*, pp. 565-568, 2007.

[Lubow] A. Lubow, S. Ismail-Beigi, and T. P. Ma, “Comparison of drive currents in metal-oxide-semiconductor field-effect transistors made of Si, Ge, GaAs, InGaAs, and InAs channels”, *Appl. Phys. Lett.*, vol. 96, p. 122105, 2010.

[Luisier] M. Luisier and A. Schenk, “Atomistic Simulation of Nanowire Transistors”, *J. Comput. Theor. Nanosci.*, vol. 5, no. 6, pp. 1031-1045, 2008.

[Luisier2] M. Luisier, A. Schenk, W. Fichtner, and G. Klimeck, “Atomistic simulation of nanowires in the sp³d⁵s* tight-binding formalism: From boundary conditions to strain calculations”, *Phys. Rev. B*, vol. 74, p. 205323, 2006.

[Lundstrom] M. Lundstrom, “Fundamentals of Carrier Transport”, 2nd ed., (Cambridge University Press, U. K., 2000).

[Lundstrom2] M. Lundstrom and Z. Ren, “Essential physics of carrier transport in nanoscale MOSFETs”, *IEEE Trans. Electron Devices*, vol. 49, no. 1, pp. 131-141, 2002.

M

[Martens] K. Martens, B. De Jaeger, R. Bonzom, J. Van Steenberghe, M. Meuris, G. Groeseneken, and H. Maes, “New Interface State Density Extraction Method Applicable to Peaked and High-Density Distributions for Ge MOSFET Development”, *IEEE Electron Device Lett.*, vol. 27, no. 5, pp. 405-408, 2006.

[Martinez] A. Martinez, M. Bescond, J. R. Barker, A. Svizhenko, M. P. Anantram, C. Millar, and A. Asenov, “A Self-Consistent Full 3-D Real-Space NEGF Simulator for Studying Nonperturbative Effects in Nano-MOSFETs”, *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2213-2222, 2007.

[Martinie] S. Martinie, G. Le Carval, D. Munteanu, S. Soliveres, and J. L. Autran, “Impact of ballistic and quasi-ballistic transport on performances of Double-Gate MOSFET-based circuits”, *IEEE Trans. Electron Devices*, vol. 55, no. 9, pp. 2443-2453, 2008.

-
- [Martinie2] S. Martinie, D. Munteanu, G. Le Carval, and J. L. Autran, "Physics-based analytical modeling of quasi-ballistic transport in Double-Gate MOSFETs: from device to circuit operation", *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2692-2702, 2009.
- [Masahara] M. Masahara, Y. Liu, K. Sakamoto, K. Endo, T. Matsukawa, K. Ishii, T. Sekigawa, H. Yamauchi, H. Tanoue, S. Kanemaru, H. Koike, and E. Suzuki, "Demonstration, Analysis, and Device Design Considerations for Independent DG MOSFETs", *IEEE Trans. Electron Devices*, vol. 52, no. 9, pp. 2046-2053, 2005.
- [Maserjian] J. Maserjian, "Tunneling in thin MOS structures", *J. Vat. Sci. Technol.*, vol. 11, no. 6, pp. 996-1003, 1974.
- [Mathew] L. Mathew et al., "CMOS Vertical Multiple Independent Gate Field Effect Transistor (MIGFET)", in *Proc. IEEE Int. SOI Conf.*, pp. 187-189, 2004.
- [Mathieu] H. Mathieu, *Physique des semiconducteurs et des composants électroniques*, 5^{ème} édition, Dunod, 2004.
- [Mavrou] G. Mavrou, S. Galata, P. Tsipas, A. Sotiropoulos, Y. Panayiotatos, A. Dimoulas, E. K. Evangelou, J. W. Seo, and Ch. Dieker, "Electrical properties of La₂O₃ and HfO₂/La₂O₃ gate dielectrics for germanium metal-oxide-semiconductor devices", *J. Appl. Phys.*, vol. 103, p. 014506, 2008.
- [Mitard] J. Mitard, B. De Jaeger, F. E. Leys, G. Hellings, K. Martens, G. Eneman, D. P. Brunco, R. Loo, J. C. Lin, D. Shamiryan, T. Vandeweyer, G. Winderickx, E. Vrancken, C. H. Yu, K. De Meyer, M. Caymax, L. Pantisano, M. Meuris, and M. M. Heyns, "Record I_{ON}/I_{OFF} performance for 65nm Ge pMOSFET and novel Si passivation scheme for improved EOT scalability", in *IEDM Tech. Dig.*, pp. 873-876, 2008.
- [Mitard2] J. Mitard, K. Martens, B. De Jaeger, J. Franco, C. Shea, C. Plourde, F. E. Leys, R. Loo, G. Hellings, G. Eneman, W.-E. Wang, J. C. Lin, B. Kaczer, K. De Meyer, T. Hoffmann, S. De Gendt, M. Caymax, M. Meuris, and M. M. Heyns, "Impact of Epi-Si growth temperature on Ge-pFET performance", in *Proc. ESSDERC*, pp. 411-414, 2009.
- [Miyasaki] T. Miyasaki, M. Hashimoto, and H. Onodera, "A Performance Prediction of Clock Generation PLLs: A Ring Oscillator Based PLL and an LC Oscillator Based PLL", *IEICE Trans. Electron.*, vol. E88-C, no. 3, pp. 437-44, 2005.
- [Molle] A. Molle, S. Baldovino, S. Spiga, and M. Fanciulli, "High permittivity materials for oxide gate stack in Ge-based metal oxide semiconductor capacitors", *Thin Film Solids*, vol. 518, no. 6, pp. S96-S103, 2010.
- [Monfray] S. Monfray et al., "50 nm-gate all around (GAA)-silicon on nothing (SON)-devices: A simple way to co-integration of GAA transistors with bulk MOSFET process," in *VLSI Symp. Tech. Dig.*, pp. 108-109, 2002.
- [Moore] G. Moore, "Cramming more components onto integrated circuits", *Electronics*, vol. 38, no. 8, pp. 144-147, 1965.
- [Moreau] M. Moreau, D. Munteanu, J. L. Autran, F. Bellenger, J. Mitard, and M. Houssa, "Quantum Simulation of C-V and I-V Characteristics in Ge and III-V Materials/High- κ MOS
-

Devices”, in *High-k Dielectrics on Semiconductors with High Carrier Mobility*, ed. by P.D. Ye, M. Hong, W. Tsai, A. Dimoulas (*Mater. Res. Soc. Symp. Proc.*, vol. 1194E, 2010).

[Moreau2] M. Moreau, D. Munteanu, and J. L. Autran, “Simulation Study of Short-Channel Effects and Quantum Confinement in Double-Gate FinFET Devices With High-Mobility Materials”, *Microelec. Eng.*, in press, 2010.

[Moreau3] M. Moreau, D. Munteanu, J. L. Autran, F. Bellenger, J. Mitard, and M. Houssa, “Investigation of Capacitance-Voltage Characteristics in Ge/High- κ MOS Devices”, *J. Non-Cryst. Sol.*, vol. 355, pp. 1171-1175, 2009.

[Moreau4] M. Moreau, D. Munteanu, and J. L. Autran, “Simulation of gate tunneling current in metal-insulator-metal capacitor with multi later high- κ dielectric stack using the non-equilibrium Green's function formalism”, *Jap. J. Appl. Phys*, vol. 48, p. 111409, 2009.

[Moreau5] M. Moreau, D. Munteanu, and J. L. Autran, “Simulation Analysis of Quantum Confinement and Short-Channel Effects in Independent Double-Gate Metal-Oxide-Semiconductor Field-Effect Transistors”, *Jap. J. Appl. Phys*, vol. 47, no. 9, pp. 7013-7018, 2008.

[Morii] K. Morii, T. Iwasaki, R. Nakane, M. Takenaka, and S. Takagi, “High Performance GeO₂/Ge nMOSFETs with Source/Drain Junctions Formed by Gas Phase Doping”, in *Proc. IEDM*, pp. 681-684, 2009

[Munteanu] D. Munteanu and J.L. Autran, “Two-dimensional Modeling of Quantum Ballistic Transport in Ultimate Double-Gate SOI Devices”, *Solid-State Electron.*, vol. 47, no. 7, p. 1219-1225, 2003.

[Munteanu2] D. Munteanu, J. L. Autran, M. Moreau, and M. Houssa, “Electron transport through High- κ dielectric barriers: a non-equilibrium Green's function (NEGF) study”, *J. Non-Cryst. Sol.*, vol. 355, pp. 1180-1184, 2009.

[Munteanu3] D. Munteanu, J. L. Autran, and S. Harrison, “Quantum short-channel compact model for the threshold voltage in double-gate MOSFETs with high-permittivity gate dielectrics”, *J. Non-Cryst. Sol.*, vol. 351, no. 21-23, pp. 1911-1918, 2005.

[Munteanu4] D. Munteanu, M. Moreau, and J.L. Autran, “Effects of gate stack parasitic charge on current-voltage characteristics of Double-Gate MOSFETs with high-permittivity dielectrics and Ge-channel”, submitted to *J. Non-Cryst. Sol.*, 2010.

[Munteanu5] D. Munteanu, J.L. Autran, X. Loussier, S. Harrison, R. Cerutti, and T. Skotnicki, “Quantum short-channel compact modeling of drain-current in double-gate MOSFET”, *Solid-State Electron.*, vol. 50, no. 4, p. 680-686, 2006.

[Munteanu6] D. Munteanu, J.L. Autran, and M. Moreau, “Quantum Compact Model of Drain Current in Independent Double-Gate Metal-Oxide-Semiconductor Field-Effect-Transistors”, submitted to *Jap. J. Appl. Phys*, 2010.

[Munteanu7] D. Munteanu, M. Moreau, and J.L. Autran, “A compact model for the ballistic subthreshold current in ultra-thin independent double-gate MOSFETs”, *Molecular Simulation*, vol. 35, no. 6, pp. 491-497, 2009.

N

[Nakakita] Y. Nakakita, R. Nakane, T. Sasada, H. Matsubara, M. Takenaka, and S. Takagi, "Interface-controlled Self-Align Source/Drain Ge pMOSFETs Using Thermally-Oxidized GeO₂ Interfacial Layers", in *IEDM Tech. Dig.*, pp. 877-880, 2008.

[Neophytou] N. Neophytou, T. Rakshit, and M. S. Lundstrom, "Performance Analysis of 60-nm Gate-Length III-V InGaAs HEMTs: Simulations Versus Experiments", *IEEE Trans. Electron Devices*, vol. 56, no. 7, pp. 1377-1387, 2009.

[Nicholas] G. Nicholas, B. De Jaeger, D. P. Brunco, P. Zimmerman, G. Eneman, K. Martens, M. Meuris, and M. M. Heyns, "High-Performance Deep Submicron Ge pMOSFETs With Halo Implants", *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2503-2511, 2007.

[Novoselov] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, and A. A. Firsov, "Electric Field Effect in Atomically Thin Carbon Films", *Science*, vol. 306, no. 5696, pp. 666-669, 2004.

[Numerical] "Numerical Recipes in Fortran 90: the Art of Parallel Scientific Computing", (2nd edition, Cambridge University Press, 1996), Chap. B11.

O

[Oh] S-H. Oh, D. Monroe, and J.M. Hergenrother, "Analytic description of short-channel effects in fully-depleted Double-Gate and cylindrical, surrounding-gate MOSFETs", *IEEE Electron. Device Lett.*, vol. 21, no. 9, pp. 445-447, 2000.

[Oktyabrsky] S. Oktyabrsky, S. Kovesnikov, V. Tokranov, M. Yakimov, R. Kambhampati, H. Bakhru, F. Zhu, J. Lee, and W. Tsai, "InGaAs and GaAs/InGaAs Channel Enhancement Mode n-MOSFETs With HfO₂ Gate Oxide and a-Si Interface Passivation Layer", in *Proc. 65th Dev. Research Conf.*, pp. 203-204, 2007.

[Ortiz] A. Ortiz-Conde and F. J. García Sánchez, "Rigorous analytic solution for the drain current of undoped symmetric dual-gate MOSFETs", *Solid-State Electron.*, vol. 49, no. 4, pp. 640-647, 2005.

P

[Packan] P. Packan et al, "High Performance 32nm Logic Technology Featuring 2nd Generation High-k + Metal Gate Transistors", in *Proc. IEDM*, pp. 1-4, 2009.

[Palestri] P. Palestri et al., "Comparison of Modeling Approaches for the Capacitance-Voltage and Current-Voltage Characteristics of Advanced Gate Stacks", *IEEE Trans. Electron Devices*, vol. 54, no. 1, pp. 106-114, 2007.

[Palestri2] P. Palestri et al., "A comparison of advanced transport models for the computation of the drain current in nanoscale nMOSFETs", *Solid-State Electron.*, vol. 53, no. 10, pp. 1293-1302, 2009.

- [Park] J. T. Park et J. P. Colinge, "Multiple-gate SOI MOSFETs: Device design guidelines", *IEEE Trans. Electron Devices*, vol. 49, no. 12, pp. 2222-2229, 2002.
- [Park 2] J.-T. Park, J. P. Colinge, and C. H. Diaz, "Pi-Gate SOI MOSFET", *IEEE Electron. Device Lett.*, vol. 22, no. 8, pp. 405-406, 2001.
- [Passlack] M. Passlack et al., "High Mobility III-V MOSFETs For RF and Digital Applications", in *IEDM Tech. Dig.*, pp. 621-624, 2007.
- [Passlack2] M. Passlack, J. K. Abrokwhah, R. Droopad, Z. Yu, C. Overgaard, S. I. Yi, M. Hale, J. Sexton, and A. C. Kummel, "Self-Aligned GaAs p-Channel Enhancement Mode MOS Heterostructure Field-Effect Transistor", *IEEE Electron Device Lett.*, vol. 23, no. 9, pp. 508-510, 2002.
- [Pei] G. Pei, W. Ni, A. V. Kammula, B. A. Minch, and E. C.-C. Kan, "A physical compact model of DG MOSFET for mixed-signal circuit applications - part I: model description", *IEEE Trans. Electron Devices*, vol. 50, no. 10, pp. 2135-2143, 2003.
- [Pei2] G. Pei and E. C.-C. Kan, "Independently driven DGMOSFETs for Mixed-Signal Circuits: Part I - Quasi-static and Nonquasi-static channel coupling", *IEEE Trans. Electron Devices*, vol. 51, no. 12, pp. 2086-2093, 2004.
- [Pethe] A. Pethe, T. Krishnamohan, D. Kim, S. Oh, H.-S. P. Wong, Y. Nishi, and K. C. Saraswat, "Investigation of the performance limits of III-V double-gate n-MOSFETs", in *IEDM Tech. Dig.*, pp. 605-608, 2005.
- [Poli] S. Poli, M.G. Pala, T. Poiroux, S. Deleonibus, and G. Bacarani, "Size dependence of surface-roughness limited mobility in silicon-nanowire FETs", *IEEE Trans. Electron Devices*, vol. 55, no. 11, pp. 2968-2976, 2008.
- [Poli2] S. Poli, M. G. Pala, and T. Poiroux, "Full Quantum Treatment of Remote Coulomb Scattering in Silicon Nanowire FETs", *IEEE Trans. Electron Devices*, vol. 56, no. 6, pp. 1191-1198, 2009.
- [Pottier] N. Pottier, "Physique statistique hors équilibre", (Edp Sciences, 2007).
- [Pourtois] G. Pourtois, M. Houssa, A. Delabie, T. Conard, M. Caymax, M. Meuris, and M. M. Heyns, "Ge 3d core-level shifts at (100)Ge/Ge(Hf)O₂ interfaces: A first-principles investigation", *Appl. Phys. Lett.*, vol. 92, p. 032105, 2008.
- [Puget] S. Puget, G. Bossu, P. Masson, P. Mazoyer, R. Ranica, A. Villaret, P. Lorenzini, J.-M. Portal, D. Rideau, G. Ghibaudo, R. Bouchakour, G. Jacquemod, and T. Skotnicki, "Modeling the Independent Double Gate Transistor in Accumulation Regime for 1TDRAM Application", *IEEE Trans. Electron Devices*, vol. 57, no. 4, pp. 855-865, 2010.

Q

- [Querlioz] D. Querlioz, J. Saint-Martin, K. Huet, A. Bournel, V. Aubry-Fortuna, C. Chassat, S. Galdin-Retailleau, and P. Dollfus, "On the Ability of the Particle Monte Carlo Technique to Include Quantum Effects in Nano-MOSFET Simulation", *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2232-2242, 2007.

R

- [Rahman] A. Rahman, M. S. Lundstrom, and A. W. Ghosh, "Generalized effective-mass approach for n-type metal-oxide-semiconductor field-effect transistors on arbitrarily oriented wafers", *J. Appl. Phys.*, vol. 97, p. 053702, 2005.
- [Rahman2] A. Rahman and M. S. Lundstrom, "A compact scattering model for the nanoscale double gate MOSFET", *IEEE Trans. Electron Devices*, vol. 49, no. 3, pp. 481–489, 2002.
- [Rana] F. Rana, S. Tiwari, and D. A. Buchanan, "Self-Consistent Modeling of Accumulation Layers and Tunneling Currents Through Very Thin Oxides", *Appl. Phys. Lett.*, vol. 69, no. 8, pp. 1104-1106, 1996.
- [Raymond] L. Raymond, "simulation numérique", cours du Master MINELEC de l'Université de Provence.
- [Raynaud] C. Raynaud, J. L. Autran, P. Masson, M. Bidaud, and A. Poncet, "Analysis of MOS Device Capacitance-Voltage Characteristics Based on the Self-Consistent Solution of the Schrödinger and Poisson Equations", in *Structure and Electronic Properties of Ultrathin Dielectric Films on Silicon and Related Structures*, ed. by H.J. von Bardeleben, A.H. Edwards, T. Hattori, D.A. Buchanan (*Mater. Res. Soc. Symp. Proc.*, vol. 592, 2000).
- [Reggiani] S. Reggiani, M. C. Vacchi, and M. Rudan, "Investigation on electron and hole transport properties using the full-band spherical-harmonics expansion method", *IEEE Trans. Electron Devices*, vol. 45, no. 9, pp. 2010-2019, 1998.
- [Register] L. F. Register, E. Rosenbaum, and K. Yang, "Analytical Model for Direct Tunneling Current in Polycrystalline Silicon-Gate Metal-Oxide-Semiconductor devices", *Appl. Phys. Lett.*, vol. 74, no. 3, pp. 457-459, 1999.
- [Ren] Z. Ren, R. Venugopal, S. Goasguen, S. Datta, and M. S. Lundstrom, "nanoMOS 2.5: A two-dimensional simulator for quantum transport in double-gate MOSFETs", *IEEE Trans. Electron Devices*, vol. 50, no. 9, pp. 1914-1925, 2003.
- [Reyboz] M. Reyboz, "Modélisation analytique de transistors double grille à effet de champ en technologie sub-45 nm", *Thèse de Doctorat*, 2007.
- [Reyboz2] M. Reyboz, P. Martin, T. Poiroux, and O. Rozeau, "Continuous model for independent double gate MOSFET", *Solid-State Electron.*, vol. 53, no. 5, pp. 504-513, 2009.
- [Richard] S. Richard, "modélisation physique de la structure électronique, du transport et de l'ionisation par choc dans les matériaux IV-IV massifs, contraints et dans les puits quantiques", *Thèse de Doctorat*, 2004.
- [Robertson] J. Robertson, "High dielectric constant gate oxides for metal oxide Si transistors", *Rep. Prog. Phys.*, vol. 69, pp. 327-396, 2006.
- [Robertson2] J. Robertson and B. Falabretti, "Band offsets of high K gate oxides on III-V semiconductors", *J. Appl. Phys.*, vol. 100, 014111, 2006.
- [Rochette] F. Rochette, "Etude et caractérisation de l'influence des contraintes mécanique sur le transport électronique dans les architectures MOS avancées", *Thèse de Doctorat*, 2008.
-

[Romanjek] K. Romanjek et al., “High performance 70 nm gate length germanium-on-insulator pMOSFET with high-k/metal gate”, *Solid-State Electron.*, vol. 53, pp. 723-729, 2009.

S

[Saito] S. Saito, D. Hisamoto, S. Kimura, and M. Hiratani, “Unified mobility model for high- κ gate stacks”, in *IEDM Tech. Dig.*, pp. 33.3.1-33.3.4, 2003.

[Sallese] M. Sallese, F. Krummenacher, F. Pregaldiny, C. Lallement, A. Roy and C. Enz, “A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism”, *Solid-State Electron.*, vol. 49, no. 3, pp. 485-489, 2005.

[Saraswat] K. C. Saraswat, C. O. Chui, D. Kim, T. Krishnamohan, and A. Pethe, “High Mobility Materials and Novel Device Structures for High Performance Nanoscale MOSFETs”, in *IEDM Tech. Dig.*, pp. 1-4, 2006.

[Schenk] A. Schenk, “Rigorous Theory and Simplified Model of the Band-to-Band Tunneling in Silicon”, *Solid-State Electron.*, vol. 36, no. 1, pp. 19-34, 1993.

[Shang] H. Shang, M. M. Frank, E. P. Gusev, J. O. Chu, S. W. Bedell, K. W. Guarini, and M. Jeong, “Germanium channel MOSFETs: Opportunities and challenges”, *IBM j. res. & dev.*, vol. 50, no. 4/5, pp. 339-361, 2006.

[Shih] W.-K. Shih, E. X. Wang, S. Jallepalli, F. Leon, C. M. Maziar, and A. F. Tasch Jr., “Modeling gate leakage current in nMOS structures due to tunneling through an ultra-thin oxide”, *Solid-State Electron.*, vol. 42, no. 6, p. 997-1006, 1998.

[Singh] N. Singh, A. Agarwal, L.K. Bera, T.Y. Liow, R. Yang, S.C. Rustagi, C.H. Tung, R. Kumar, G.Q. Lo, N. Balasubramanian, and D.-L. Kwong, “High-Performance Fully Depleted Silicon Nanowire (Diameter ≤ 5 nm) Gate-All-Around CMOS Devices”, *IEEE Electron Device Lett.*, vol. 27, no. 5, pp. 383-386, 2006.

[Silvaco] Silvaco International Inc.: Atlas User’s Manual (2010).

[SOI] <http://www.soiconsortium.org/>

[Spinelli] A. S. Spinelli, A. Benvenuti, and A. Pacelli, “Self-Consistent 2-D Model for Quantum Effects in n-MOS Transistors”, *IEEE Trans. Electron Devices*, vol. 45, no. 6, pp. 1342-1349, 1998.

[Stadele] M. Städele, “Influence of source-drain tunneling on the subthreshold behavior of sub-10nm double-gate MOSFETs”, in *Proc. ESSDERC*, pp. 135-138, 2002.

[Stern] F. Stern, “Self-Consistent Results for n-type Si Inversion Layers,” *Phys. Rev. B*, vol. 5, No. 12, pp. 4891-4899, 1972.

[Suk] S. D. Suk et al., “High Performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET): Fabrication on Bulk Si Wafer, Characteristics, and Reliability”, in *IEDM Tech. Dig.*, pp. 717-720, 2005.

[Sune] J. Suñé, P. Olivo, and B. Riccó, “Quantum-mechanical modeling of accumulation layers in MOS structure”, *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1732-1739, 2002.

[Sverdlov] V. Sverdlov, E. Ungersboeck, H. Kosina, and S. Selberherr, "Current transport models for nanoscale semiconductor devices", *Materials science & engineering. Reports*, vol. 58, no. 6, pp. 228-270, 2008.

[Sze] S. M. Sze, "Physics of semiconductor Devices", (Editions Wiley, New York, 1981).

T

[Tachi] K. Tachi et al., "Relationship between mobility and high-k interface properties in advanced Si and SiGe nanowires", in *IEDM Tech. Dig.*, pp. 313-316, 2009.

[Tan] I. H. Tan, G. L. Snider, L. D. Chang, and E. L. Hu, "A Self-Consistent Solution of Schrödinger-Poisson Equation Using a Nonuniform Mesh", *J. Appl. Phys.*, vol. 68, no. 8, pp. 4071-4076, 1990.

[Taur] Y. Taur, X. Liang, W. Wang, and H. Lu, "A continuous, analytic drain-current model for DG-MOSFETs", *IEEE Electron Device Lett.*, vol. 25, no. 2, pp. 107-109, 2004.

[Thompson] S. E. Thompson et al., "A 90-nm Logic Technology Featuring Strained-Silicon", *IEEE Trans. Electron Devices*, vol. 51, no. 11, pp. 1790-1797, 2004.

[Trivedi] V. P. Trivedi and J. G. Fossum, "Quantum-Mechanical Effects on the Threshold Voltage of Undoped Double-Gate MOSFETs", *IEEE Electron Device Lett.*, vol. 26, no. 8, pp. 579-582, 2005.

V

[VanOver] R. J. Van Overstraeten, G. J. Declerck, and P. A. Muls, "Theory of the MOS transistor in weak inversion-new method to determine the number of surface states", *IEEE Trans. Electron Devices*, vol. 22, no. 5, p. 282-288, 1975.

[Vasileska] D. Vasileska and S.M. Goodnick, "Computational electronics", *Materials Science and Engineering Reports*, vol. 38, no. 5, pp. 181-236, 2002.

W

[Wang] J. Wang, E. Polizzi, and M. S. Lundstrom, "A three-dimensional quantum simulation of silicon nanowire transistors with the effective-mass approximation", *J. Appl. Phys.*, vol. 96, p. 2192, 2004.

[Weber] O. Weber, "Etude, fabrication et propriétés de transport de transistor CMOS associant un diélectrique haute permittivité et un canal de conduction haute mobilité", *Thèse de Doctorat*, 2005.

[Widiez] J. Widiez, J. Lolivier, M. Vinet, T. Poiroux, B. Previtali, F. Dauge, M. Mouis, and S. Deleonibus, "Experimental evaluation of gate architecture influence on DG SOI MOSFETs performance", *IEEE Trans. Electron Devices*, vol. 52, no. 8, pp. 1772-1779, 2005.

X

[Xie] R. Xie, T. H. Phung, W. H., M. Yu, and C. Zhu, "Interface-Engineered High-Mobility High- k /Ge pMOSFETs With 1-nm Equivalent Oxide Thickness", *IEEE Trans. Electron Devices*, vol. 56, no. 6, pp. 1330-1337, 2009.

[Xuan] Y. Xuan, Y. Q. Wu, and P. D. Ye, "High-Performance Inversion-Type Enhancement-Mode InGaAs MOSFET With Maximum Drain Current Exceeding 1 A/mm", *IEEE Electron Device Lett.*, vol. 29, no. 4, pp. 294-296, 2008.

Y

[Yang] F. Yang, H. Chen, F. Chen, C. Huang, C. Chang, H. Chiu, C. Lee, C. Chen, H. Huang, C. Chen, H. Tao, Y. Yeo, M. Liang, and C. Hu, "25nm CMOS Omega FETs", in *Proc IEDM Tech. Dig.*, pp. 255-258, 2002.

[Yang2] H. Y. Yang, H. Niimi, and G. Lucovsky, "Tunneling currents through ultrathin oxide/nitride dual layer gate dielectrics for advanced microelectronic devices", *J. Appl. Phys.*, vol. 83, no. 4, pp. 2327-2337, 1998.

[Ye] P. D. Ye, G. D. Wilk, B. Yang, J. Kwo, S. N. G. Chu, S. Nakahara, H.-J. L. Gossmann, J. P. Mannaerts, M. Hong, K. K. Ng, and J. Bude, "GaAs metal-oxide-semiconductor field-effect transistor with nanometer thin dielectric grown by atomic layer deposition", *Appl. Phys. Lett.*, vol. 83, no. 1, pp. 180-182, 2003.

[Ye2] P. D. Ye, "Beyond silicon's elemental logic", *IEEE Spectrum*, vol. 45, no. 9, pp. 39-43, 2008.

[Yin] C. Yin, P. C. H. Chan, and V. W. C. Chan, "Fabrication of raised S/D gate-all-around transistor and gate misalignment analysis", *IEEE Trans. Electron Devices*, vol. 52, no. 1, pp. 85-90, 2005.

[Yin2] C. Yin and P. C. H. Chan, "Investigation of the source/drain asymmetric effects due to gate misalignment in planar double-gate MOSFETs", *IEEE Electron Device Lett.*, vol. 24, no. 10, pp. 658-660, 2003.

Z

[Zhang] W. Zhang, J. G. Fossum, L. Mathew and Y. Du, "Physical Insights Regarding Design and Performance of Independent-Gate FinFETs", *IEEE Trans. Electron Dev.*, vol. 52, no. 10, pp. 2198-2206, 2005.

[Zhu] Z. G. Zhu, T. Low, M. F. Li, W. J. Fan, P. Bai, D. L. Kwong, and G. Samudra, "Modeling Study of InSb Thin Film For Advanced III-V MOSFET Applications", in *IEDM Tech. Dig.*, pp. 1-4, 2006.

[Zimmerman] P. Zimmerman et al., "High performance Ge pMOS devices using a Si-compatible process flow", in *IEDM Tech. Dig.*, pp. 1-4, 2006.

Publications de l'auteur

Revue internationale à comité de lecture

- [1] **M. Moreau**, D. Munteanu, and J. L. Autran, "Simulation Analysis of Quantum Confinement and Short-Channel Effects in Independent Double-Gate Metal-Oxide-Semiconductor Field-Effect Transistor", *Japanese Journal of Applied Physics*, Vol. 47, No. 9, pp. 7013-7018, 2008. (doi:10.1143/JJAP.47.7013)
- [2] D. Munteanu, **M. Moreau**, and J. L. Autran, "A Compact Model for the Ballistic Subthreshold Current in Ultra-Thin Independent Double-Gate MOSFETs", *Molecular Simulation*, Vol. 35, No. 6, pp. 491-497, 2009 (special issue of the NSTI Nanotech 2008 Conference). (doi:10.1080/08927020902801548)
- [3] **M. Moreau**, D. Munteanu, J. L. Autran, F. Bellenger, J. Mitard, and M. Houssa, "Investigation of Capacitance-Voltage Characteristics in Ge/High- κ MOS Devices", *Journal of Non-Crystalline Solids*, Vol. 355, pp. 1171-1175, 2009 (special issue of 7th Symposium on SiO₂, Advanced Dielectrics and Related Devices). (doi:10.1016/j.jnoncrysol.2009.01.056)
- [4] D. Munteanu, J. L. Autran, **M. Moreau**, and M. Houssa, "Electron Transport through High- κ Dielectric Barriers: A Non-Equilibrium Green's Function (NEGF) Study", *Journal of Non-Crystalline Solids*, Vol. 355, pp. 1180-1184, 2009 (special issue of 7th Symposium on SiO₂, Advanced Dielectrics and Related Devices). (doi:10.1016/j.jnoncrysol.2009.03.006)
- [5] **M. Moreau**, D. Munteanu, and J. L. Autran, "Simulation of Gate Tunneling Current in Metal-Insulator-Metal Capacitor with Multi layer High- κ Dielectric Stack using the Non-equilibrium Green's Function Formalism", *Japanese Journal of Applied Physics*, Vol. 48, No. 11, pp. 1114091-1114098, 2009. (doi:10.1143/JJAP.48.111409)
- [6] **M. Moreau**, D. Munteanu, and J. L. Autran, "Simulation Study of Short-Channel Effects and Quantum Confinement in Double-Gate FinFET Devices with High-Mobility Materials", *Microelectronic Engineering*, Vol. 88, No. 4, pp. 366-369, 2010 (special issue of E-MRS 2010 Spring Meeting). (doi: 10.1016/j.mee.2010.08.026)

-
- [7] D. Munteanu, J. L. Autran, and **M. Moreau**, "Quantum Compact Model of Drain Current in Independent Double-Gate Metal-Oxide-Semiconductor Field-Effect-Transistors", accepté pour publication dans *Japanese Journal of Applied Physics*, 2011.
- [8] D. Munteanu, **M. Moreau**, and J. L. Autran, "Effects of gate stack parasitic charge on current-voltage characteristics of Double-Gate MOSFETs with high-permittivity dielectrics and Ge-channel", accepté pour publication dans *Journal of Non-Crystalline Solids*, 2011.

Conférences internationales

- [1] D. Munteanu, **M. Moreau**, and J. L. Autran, "Compact Model of the Ballistic Subthreshold Current in Independent Double-Gate MOSFETs", *NSTI Nanotech Conference, Workshop on Compact Modeling 2008 (WCM 2008)*, June 1st - 5th, 2008, Boston, MA, USA. Technical Proceedings of the 2008 NSTI Nanotechnology Conference and Trade Show, Vol. 3, 2008, pp. 877-880. (CD: ISBN 978-1-4200-8511-2). (poster)
- [2] **M. Moreau**, D. Munteanu, J. L. Autran, F. Bellenger, J. Mitard, and M. Houssa, "Investigation of Capacitance-Voltage Characteristics in Ge/High- κ MOS Devices", *7th Symposium SiO₂ Advanced Dielectrics and Related Devices*, June 30th - July 2nd, 2008, Saint-Etienne, France. Proceedings, 2008, pp. 107-108. (poster)
- [3] D. Munteanu, J. L. Autran, **M. Moreau**, and M. Houssa, "Electron Transport through High- κ Dielectric Barriers: A Non-Equilibrium Green's Function (NEGF) Study", *7th Symposium SiO₂ Advanced Dielectrics and Related Devices*, June 30th - July 2nd, 2008, Saint-Etienne, France. Proceedings, 2008, pp. 161-162. (poster)
- [4] **M. Moreau**, D. Munteanu, and J. L. Autran, "Quantum Simulation Analysis of Gate Tunneling Current in High- κ Gate Stack MIM Capacitors", *39th European Solid-State Device Research Conference (Fringe-ESSDERC09)*, September 14th - 18th, 2009, Athens, Greece. (poster)
- [5] **M. Moreau**, D. Munteanu, J. L. Autran, F. Bellenger, J. Mitard, and M. Houssa, "Quantum Simulation of C-V and I-V Characteristics in Ge and III-V Materials/High- κ MOS Devices", *Material Research Society (MRS) 2009 Fall Meeting*, November 30th - December 4th, Boston, MA, USA. (oral)
- [6] **M. Moreau**, D. Munteanu, J. L. Autran, F. Bellenger, J. Mitard, and M. Houssa, "Quantum Simulation of C-V and I-V Characteristics in Ge and III-V Materials/High- κ MOS Devices", in *High-k Dielectrics on Semiconductors with High Carrier Mobility* (edited by P.D. Ye, M. Hong, W. Tsai, A. Dimoulas), *Materials Research Society Symposium Proceedings*, Vol. 1194E, 1194-A02-02, 2010 (Proceedings of MRS 2009 Fall Meeting). (doi:10.1557/PROC-1194-A02-02)
- [7] **M. Moreau**, D. Munteanu, J. L. Autran, "Simulation Study of Short-Channel Effects and Quantum Confinement in Double-Gate FinFET Devices with High-Mobility Materials", *European-Material Research Society (E-MRS) 2010 Spring Meeting*, June 7th - 11th, 2010, Strasbourg, France. (oral)

Autres communications

- [1] **M. Moreau**, "Simulation quantique du courant de fuite de grille dans les capacités MIM à base de matériau high- κ ", Journée des doctorants de l'ED353, 25 février 2010, Marseille, France.

Titre : Modélisation et simulation numérique des nano-transistors multi-grilles à matériaux innovants.

Résumé :

Afin de continuer l'amélioration des performances du transistor MOSFET à l'échelle décanométrique, la recherche en microélectronique explore différentes solutions. Les travaux menés au cours de cette thèse se sont plus particulièrement orientés vers l'étude de transistors innovants avec une architecture Double-Grille (DGMOSFET) et l'utilisation de "nouveaux" matériaux tels que les diélectriques de grille à forte permittivité dits "high- κ " et les semiconducteurs à forte mobilité intrinsèque (Ge et III-V). Grâce au développement de codes de simulation numérique basés sur la résolution auto-cohérente du couple d'équations Poisson-Schrödinger ou en utilisant le formalisme des fonctions de Green (NEGF), nous étudions le comportement électrique de différentes structures. Dans un premier temps, le fonctionnement des capacités Métal-Isolant-Semiconducteur et Métal-Isolant-Métal est simulé afin d'évaluer l'influence des propriétés des matériaux innovants et de la composition de l'empilement de grille sur les caractéristiques capacité-tension et sur le courant de fuite tunnel à travers la grille. Puis, les performances en termes de courant de drain face à la réduction de la longueur de grille (effets électrostatiques) et de l'épaisseur du canal de conduction (effet de confinement quantique) sont comparées dans le transistor MOS Double-Grille (à grilles indépendantes ou connectées) avec plusieurs matériaux aux propriétés très différentes (Si, Ge, GaAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$). Enfin, nous avons développé une approche simplifiée (modélisation compacte) pour le calcul du courant de drain en dérive-diffusion ou balistique dans les transistors MOS Double-Grille à grilles indépendantes, validée par nos codes de simulation numérique.

Mots clés : simulation numérique, transistor Double-Grille, diélectrique high- κ , semiconducteurs à forte mobilité, confinement quantique, effets électrostatiques.

Title: Modeling and numerical simulation of multiple-gate nano-transistors with innovative materials.

Abstract:

In order to improve MOSFET performances in the decanometer scale, microelectronic research explores several solutions. In this study, we investigate innovative transistors with Double-Gate architecture (DGMOSFETs) and "new" materials such as high- κ gate dielectrics and high-mobility semiconductors (Ge and III-V). With the development of simulation codes, based on the self-consistent solving of Poisson-Schrödinger equations or using the Green function formalism (NEGF), we study the electrical behavior of different structures. First, the operation of Metal-Insulator-Semiconductor (MIS) and Metal-Insulator-Metal (MIM) capacitance is simulated in order to show the influence of material properties and gate stack composition on capacitance-voltage characteristics and tunneling gate leakage current. Then, drain current performances in Double-Gate MOSFET with independent or connected gates and multiple materials (Si, Ge, GaAs and $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) are evaluated for different gate lengths (electrostatic effects) and various semiconductor film thicknesses (quantum confinement). Finally, we developed a compact model of the drain current in drift-diffusion and ballistic regimes for Independent Double-Gate MOSFET, validated with our numerical simulation codes.

Keywords: numerical simulation, Double-Gate MOSFET, high- κ dielectrics, high-mobility semiconductors, quantum confinement, electrostatic effects.