



HAL
open science

Contribution à la réalisation d'amplificateurs de puissance en technologie CMOS 65 nm pour une application au standard UMTS(en Français)

Yohann Luque

► To cite this version:

Yohann Luque. Contribution à la réalisation d'amplificateurs de puissance en technologie CMOS 65 nm pour une application au standard UMTS(en Français). Micro et nanotechnologies/Microélectronique. Université Sciences et Technologies - Bordeaux I, 2009. Français. NNT : . tel-00585659

HAL Id: tel-00585659

<https://theses.hal.science/tel-00585659>

Submitted on 13 Apr 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par Yohann LUQUE

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ELECTRONIQUE

Contribution à la réalisation d'amplificateurs de puissance en technologie CMOS 65 nm pour une application au standard UMTS

Après avis de :

MM.	Eric BERGEAULT	Professeur, d'Université (ENST Paris)	Rapporteur
MM.	Jean Michel NEBUS	Professeur, d'Université (Limoge)	Rapporteur

Devant la commission d'examen formée de :

MM.	Jean Baptiste BEGUERET	Professeur, d'Université (Bordeaux 1)	Président
MM.	Denis MASLIA	Directeur d'entreprise (ACCO)	Examineur
MM.	Philippe CATHELIN	Industriel (STMicroelectronics)	Examineur
MM.	Eric KERHERVE	Professeur, d'Université (IPB)	Examineur
MMe.	Nathalie DELTIPLE	Maître de conférences (IPB)	Examineur

A mon épouse Aurélie....

« Celui qui trouve sans chercher est celui qui a longtemps cherché sans trouver »

Gaston Bachelard

Remerciement

Ces travaux de recherche ayant été effectués au laboratoire IMS, sous la direction de Monsieur FOUILLAT Pascal. Je tiens donc tout d'abord remercier Monsieur FOUILLAT Pascal pour m'avoir accepté au sein du laboratoire IMS

Le sujet de ces travaux m'a été proposé par mon directeur de thèse, le professeur KERHERVE Eric, que je remercie sincèrement pour la confiance qu'il m'a fait en me faisant intégrer l'équipe CSH (Circuit et Système en Hyperfréquence) qu'il dirige. Je tiens à remercier la maîtresse de conférence DELTIMPLE Nathalie, co-directrice de ma thèse, pour son aide ainsi que pour son soutien tout au long de ces trois ans de travaux.

Ces travaux ont été réalisés en collaboration avec STMicroelectronics. Je remercie donc Monsieur Dider BELOT, ingénieur R&D à ST Minatec, pour être le maillon de cette collaboration et sa participation à mon jury de thèse.

Merci beaucoup à Monsieur Jean-Baptiste BEGUERET pour m'avoir fait l'honneur d'être membre du jury de cette thèse.

Je tiens également à remercier les membres de l'administration : Valérie BAROUILLET, Simone VAN DANG, Valérie CAUHAPE, Fanny DAMAS et Mireille BERNARD. Merci aussi aux ingénieurs réseaux : Regis DEVREESE, Patrick VILLESUZANNE et Michel ALEXELINE. Merci également aux personnels d'entretien : Maryse CESARION, Jean FERNANDEZ et Nathalie BONNEAU. Merci à tous, pour nous rendre chaque jour, la vie plus facile.

Je souhaite remercier tous les membres de l'équipe CHS pour leur contribution humaine et professionnelle. Merci à Pierre JARRY, Jean-Marie PHAM, Laurent COURCELLE, Nejdat DEMIREL, Sofiane ALOUI, Bernardo LEITE, Nicolas DELAUNAY, Kamal BARAKA, Olivier DORIAN et Cleverson CHAVES.

Je remercie sincèrement les enseignants chercheurs de l'équipe EC2 pour leur aide scientifique ainsi que leur sympathie : Yann DEVAL, Jean Baptiste BEGUERET, Thierry TARIS et Hervé LAPUYADE.

Durant ces trois années de thèse, la majorité de mes travaux s'est déroulée dans la salle ST du laboratoire, occupée principalement par les équipes CHS et EC2. Je souhaite remercier profondément tous mes collègues de la salle ST pour leur qualité tant humaine que technique. Cette thèse est aussi la leur. Merci particulièrement à Romaric TOUPE, Olivier MAZOUFFRE, Cédric MAJEK et Magali DEMATOS, que je connais depuis mes débuts en Mars 2006 et qui sont toujours présents au laboratoire. Merci pour leur aide permanente, leur écoute, leur soutien. Merci, bien sûr, aux anciens déjà partis, nouveaux arrivés ainsi à tous les autres pas encore

nommés : Birama GOUMBALLA, Mickael CIMINO, Diego ROSSONI-MATOS, Aya MABROUKI, Chama AMEZIANE, Nicolas REGIMBAL, Raffaele SEVERINO, Luca TESTA, Quentin BERAUD, Andrée FOUQUE et Pierre-Olivier LUCAS DE PESLOUAN.

Un grand merci à mes collègues et amis, André MARIANO et François RIVET, pour leur soutien technique, mais aussi pour m'avoir supporté pendant ces trois ans de thèse. Leur soutien moral a été un moteur important pour surmonter les difficultés liées à la thèse.

Je remercie mes parents pour leurs sacrifices afin de financer mes études et pour avoir toujours cru en moi et en mon travail, malgré un parcours scolaire au début difficile. Sans eux, arrivé jusqu'ici n'aurait pas été possible. Merci aussi à mes beaux parents pour leur soutien indispensable à la réussite de ce projet.

A mon épouse Aurélie, à qui je dédie ce mémoire, et que je remercie infiniment pour sa compréhension (Lors des week end au laboratoire, des semaines en conférence, ainsi que des périodes de stress) ainsi que sa présence durant ces trois dernières années.

Tables des matières

TABLES DES MATIERES.....	9
INTRODUCTION GENERALE	1
CHAPITRE I.....	5
I ETAT DE L'ART DES AMPLIFICATEURS DE PUISSANCE INTEGRES DESTINES AUX COMMUNICATIONS SANS FIL	5
I <i>L'émission-réception pour les systèmes sans fil</i>	<i>6</i>
II <i>La technologie MOS sur silicium.....</i>	<i>13</i>
III <i>Les amplificateurs de puissance CMOS pour les communications RF.....</i>	<i>17</i>
IV <i>Conclusion.....</i>	<i>40</i>
CHAPITRE II.....	45
II METHODOLOGIE DE CONCEPTION D'UN PA SFFDS CMOS DESTINE A L'UMTS	45
I <i>Détermination d'une Structure de PA.....</i>	<i>46</i>
II <i>Etude de la structure SFDS</i>	<i>54</i>
III <i>Conception de l'amplificateur de puissance SFDS à deux étages destiné au W-CDMA.....</i>	<i>65</i>
IV <i>Conclusion sur le choix de l'architecture SFDS.....</i>	<i>72</i>
CHAPITRE III.....	75
III CONCEPTION ET MESURE D'UN PA SFFDS EN CMOS 130 NM ET 65 NM	75
I <i>Conception d'un PA en technologie CMOS 130 nm et CMOS 65 nm</i>	<i>76</i>
II <i>Contraintes de routage pour un PA CMOS.....</i>	<i>89</i>
III <i>Mesures des PAs CMOS 130 nm et CMOS 65 nm.....</i>	<i>95</i>
IV <i>Conclusion sur le PA SFDS.....</i>	<i>113</i>
CHAPITRE IV.....	117
IV PERSPECTIVES POUR L'INTEGRATION COMPLETE D'UN PA CMOS 65 NM.....	117
I <i>Conception d'un PA dédié à l'application WiFi.....</i>	<i>118</i>
II <i>Conception d'un PA SFDS avec DAT dédié à l'UMTS</i>	<i>132</i>
III <i>Conclusion sur les perspectives d'intégration.....</i>	<i>146</i>
CONCLUSION GENERALE	149
GLOSSAIRE.....	153
LISTE DES TRAVAUX PUBLIES.....	157

Introduction générale

L'augmentation du nombre de standards de communication sans fil est inhérente à la forte croissance du nombre de réseaux mis à disposition des utilisateurs. Afin de permettre l'implémentation régulière de ces nouveaux standards sur un seul support, le coût et la taille de chaque circuit doivent être réduits. De plus, de larges bandes de fréquence et de hauts débits sont requis pour permettre aux consommateurs une utilisation fluide sans saturer les réseaux. Certains standards comme l'UMTS sont mis en place dans le but de répondre à ces nouvelles contraintes du marché. L'UMTS requiert une longue distance d'émission ainsi qu'un maximum de débit. Ces exigences se traduisent par une grande linéarité dans le signal à émettre. Les contraintes auxquelles doivent répondre les téléphones mobiles de 3^{ème} génération doivent être compatibles avec une intégration en technologie à faible coût, possible par l'utilisation du MOS sur silicium.

La miniaturisation technologique vers un MOS ultime permet d'augmenter la densité d'intégration. Cependant, il reste difficile de développer un système d'émission-réception entièrement en technologie CMOS et destiné au standard UMTS. En effet, la difficulté de concevoir un amplificateur de puissance (PA) avec cette technologie s'accroît avec la réduction des dimensions. Les deux principaux effets de la miniaturisation sont un obstacle pour une intégration full CMOS car ils limitent les performances du PA. Il s'agit de la réduction de la tension de claquage du transistor MOS qui limite la puissance de sortie et de la résistance du substrat qui a tendance à réduire le rendement de travail et donc à limiter la durée de vie des batteries.

La motivation de cette thèse est d'effectuer une recherche fondamentale sur la possibilité d'intégrer un PA en technologie CMOS avec une longueur de grille de 65nm. L'intérêt de la conception d'un PA en CMOS réside dans la possibilité de synthétiser toute la chaîne d'émission sur une seule et même puce et de palier la difficulté de faire de la communication WWAN (Wireless Wide Area Network) haut débit à très faible coût.

Le premier chapitre rappelle les principaux standards de communication sans fil et les topologies possibles pour l'émission et la réception en radiofréquence. Un état de l'art sur les amplificateurs de puissance (PA) est proposé pour déterminer le mode de fonctionnement du

PA permettant de répondre aux exigences du standards UMTS. Le circuit est destiné à être implanté sur une technologie silicium CMOS avancée. L'évolution et les limites de la technologie CMOS sont illustrées.

Il est souhaitable de déterminer une architecture de PA CMOS robuste en puissance. Le deuxième chapitre a pour but de développer une nouvelle architecture de PA. Pour cela, un état de l'art des différentes architectures déjà existantes est présenté. Par la suite, une nouvelle architecture est proposée. Une étude théorique ainsi qu'un protocole de conception sont alors décrits.

Le troisième chapitre présente la conception d'un PA SFDS (*Stacked Foded Differential PA structure*) à deux étages. Ce PA est implémenté sur deux technologies CMOS de STMicroelectronics : la technologie 130 nm et 65 nm. Une forte puissance d'émission sur une technologie à forte densité d'intégration nécessite de nombreuses précautions de routage. Finalement, les mesures des deux PAs sont illustrées dans ce chapitre.

Le but final est l'intégration d'une chaîne d'émission-réception sur une seule et même puce. Le quatrième chapitre propose des PAs totalement intégrés sur silicium. De nouvelles architectures basées sur le PA SFDS sont alors proposées. Un PA destiné au Wifi ainsi qu'un PA destiné à l'UMTS sont présentés.

Chapitre I

I Etat de l'art des amplificateurs de puissance intégrés destinés aux communications sans fil

I	ETAT DE L'ART DES AMPLIFICATEURS DE PUISSANCE INTEGRES APPLIQUES AUX COMMUNICATIONS SANS FIL.....	5
I	L'EMISSION-RECEPTION POUR LES SYSTEMES SANS FIL	6
I.1	Les systèmes de communications sans fil.....	6
I.1.a	Les systèmes de transfert de données	7
I.1.b	Les systèmes cellulaires	8
I.1.c	Tableau de synthèse des standards	10
I.2	L'émission-réception en radiofréquence	10
I.2.a	La chaîne de réception.....	11
I.2.b	La chaîne d'émission.....	11
II	LA TECHNOLOGIE MOS SUR SILICIUM.....	13
II.1	Les différentes technologies silicium	13
II.2	Les difficultés autour du MOS	14
II.2.a	Le phénomène Latchup	14
II.2.b	Confinement quantique et effet de surface	14
II.2.c	Effet canal court	14
II.3	Les métaux en technologie silicium.....	15
II.4	La puissance en CMOS sur silicium	16
III	LES AMPLIFICATEURS DE PUISSANCE CMOS POUR LES COMMUNICATIONS RF	17
III.1	Les paramètres de caractérisation d'un PA.....	17
III.1.b	La puissance de sortie	18
III.1.c	Le gain en puissance	19
III.1.d	Le rendement et la PAE	19
III.1.e	Le point de compression à 1dB	20
III.1.f	Le produit d'intermodulation d'ordre 3.....	22
III.1.g	L'ACLR	22
III.1.h	Power Ratio (PR) et Cubic Metric (CM).....	24
III.1.i	La conversion de phase (AM/PM) et de gain (AM/AM).....	24
III.2	Les amplificateurs à haut rendement	25
III.2.a	La classe E	25
III.2.b	La classe F.....	28
III.2.c	La classe D et la classe S.....	30
III.2.d	Etat de l'art sur les PAs à haut rendement.....	31
III.3	Les amplificateurs linéaires	32
III.3.a	Analyse du fonctionnement linéaire.....	32
III.3.b	La classe A	34
III.3.c	La classe B	35
III.3.d	La classe AB	36
III.3.e	La classe C	38
III.3.f	Etat de l'art sur les PAs linéaires.....	38
IV	CONCLUSION	40

Introduction : Dans ce premier chapitre, nous rappellerons les principaux standards de communication sans fil présents dans un système. Par la suite, nous rappellerons les topologies d'émission-réception qu'il est possible de mettre en œuvre afin de répondre à ces standards. Nous présenterons aussi les principaux types d'amplificateurs de puissance (PA) destinés aux communications RF, sans oublier de détailler les principaux critères caractérisant leur fonctionnement. Le but étant de concevoir un PA en technologie silicium, nous exposerons avant de conclure l'état de l'art de la technologie silicium, de manière à illustrer l'importance de son utilisation pour les circuits dédiés au grand public.

I L'émission-réception pour les systèmes sans fil

I.1 Les systèmes de communications sans fil

De plus en plus de liaisons s'effectuent par l'intermédiaire d'ondes radio (entre ordinateurs, téléphones portables ou bornes d'accès Internet). Trois principaux paramètres permettent de définir les exigences d'un système de communication sans fil : **la distance** d'émission et de réception, **le débit** de la communication (défini selon la quantité d'informations à transmettre) et **le type** de communication (transfert de données : Internet, GPS ou communication vocale : Télécommunication mobile).

Il existe quatre groupes de communication sans fil (Figure I-1) :

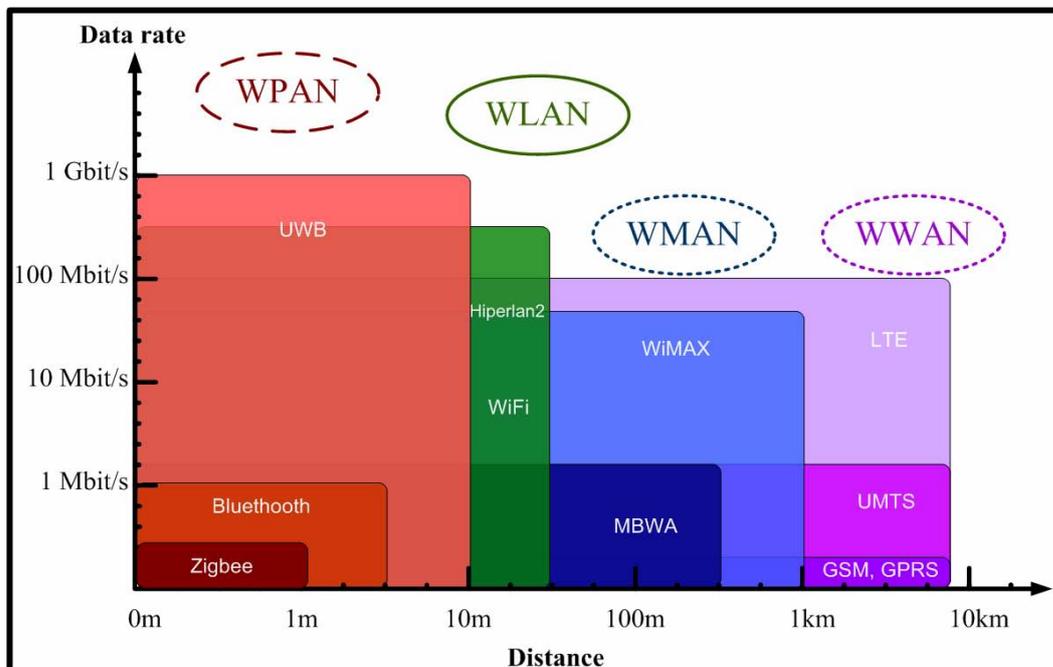


Figure I-1 : distance et débit des réseaux sans fil

- Le WPAN (Wireless Personal Area Network) est destiné à des communications entre deux utilisateurs sur une courte distance.
- Le WLAN (Wireless Local Area Network) permet des communications à travers un réseau commun de proximité.
- Le WMAN (Wireless Metropolitan Area Network) est une extension du principe du WLAN à plus grande échelle.
- Le WWAN (Wireless Wide Area Network) est dédié aux communications mobiles.

I.1.a Les systèmes de transfert de données

Nous distinguons trois groupes de communication véhiculant des données : WLAN, WPAN, et WMAN.

Le WLAN (Wireless Area Network)

La notion de WLAN recouvre un ensemble de technologies permettant d'établir un réseau local informatique n'utilisant pas de câblage pour les liaisons entre ordinateurs. A l'origine, ces réseaux locaux sans fil étaient destinés à remplacer une infrastructure filaire limitée à une zone géographique très restreinte : quelques bureaux, quelques étages. Des ingénieurs ont eu l'idée d'exploiter ces technologies WLAN pour couvrir des territoires plus larges et créer un réseau libre, gratuit et indépendant d'Internet. Le WLAN n'est donc pas une technologie adaptée à un réseau couvrant l'ensemble d'un pays, mais sert plutôt à amener des « îlots à large bande » qui permettent, aux endroits de taille relativement réduite mais qui sont très visités d'accéder rapidement à Internet, ou à des réseaux d'entreprises. Ce groupe de communication peut répondre à différentes normes IEEE comme l'HiperLAN 2 [STA99_1], [STA99_2] ou le WiFi [BOU07].

Le WPAN (Wireless Personal Area Network)

Le WPAN répond à la norme IEEE 802.15. Cette norme regroupe les standards Bluetooth, Zigbee, et UWB. Le WPAN a pour intérêt de relier sur une courte distance des équipements appartenant à l'environnement d'un petit groupe de personnes soit entre eux, soit avec d'autres réseaux tel qu'Internet [CHI02], [HAR02], [WIL].

Le WMAN (Wireless Metropolitan Area Network)

Le WMAN a été formalisé pour une émission de données à haut débit sur de plus longues distances, afin de permettre un réseau à l'échelle d'une ville entière. La norme de

réseau métropolitain sans fil la plus connue est le WiMAX (802.16). Il permet d'obtenir des débits de l'ordre de 70 Mbit/s sur un rayon de plusieurs kilomètres. D'autres normes moins connues comme le MBWA (802.20) font aussi partie de ce groupe de communication [EKL02].

I.1.b Les systèmes cellulaires

Les systèmes cellulaires permettent des communications vocales et visuelles lors d'un appel téléphonique. Le GSM, l'EDGE ou encore l'UMTS (standards inclus dans le groupe WWAN) sont conçus pour ce type d'applications.

+ GSM, le standard de deuxième génération

En 1987, le choix technologique concernant l'utilisation des télécommunications mobiles est fixé par le groupe GSM. C'est en 1992 que la commercialisation de ce système de seconde génération fut lancée. Le GSM permet d'allouer une bande de fréquence uniquement si l'utilisateur en a besoin, augmentant potentiellement le nombre d'abonnés. Il est le standard de communication par excellence utilisé par tous les téléphones portables. 700 opérateurs différents répartis en 220 pays l'utilisent, pour plus de 2,5 milliards d'utilisateurs et 82% de part du marché mondial de la téléphonie mobile [GSM], [LTE]. Le GSM utilise trois bandes de fréquences : le GSM900, le DCS1800 et le PCS1900. Le faible débit de ce standard permet principalement une émission-réception vocale, ou des services simples comme les SMS et MMS. Toutefois, la demande de nouveaux services de transmission de données plus rapides a été vite reconnue et la norme GSM a été dotée de nouvelles fonctionnalités comme le HSCSD (High Speed Circuit Switched Data), GPRS (General Packet Radio Service) et EDGE (Enhanced Data Rates for GSM Evolution).

+ UMTS, le standard de troisième génération

Après l'apparition de ces nouveaux standards, l'ITU-R (International Telecommunication Union-Regulatory) a cherché à établir un nouveau standard encore plus performant. Le standard UMTS (Universal Mobile Telecommunication System) fut créé. L'UMTS et d'autres standards de troisième génération forment l'IMT2000 (International Mobile Telecommunication) [ICU00], [SAM98]. Initialement développé en Europe, l'UMTS intéressa rapidement d'autres pays non européens (Etats-Unis, Chine, Japon). Cette troisième génération de communication mobile permet un transfert de données important allant jusqu'à 2 Mbits/s théorique (344 kbit/s réel) [PAV06]. Ainsi des services interactifs tels que la vidéophonie sont possibles. Une nouvelle méthode de transfert est utilisée. Il s'agit de la

transmission CDMA (Code Division Multiple Access) qui permet à tous les usagers d'un même réseau d'utiliser la même bande de fréquence. Le CDMA est une évolution du système CDMAOne utilisé aux Etats-Unis qui consiste à étaler le spectre au moyen d'un code alloué à chaque communication. Le nombre d'usagers n'est donc pas limité. Ce système se distingue donc totalement du GSM. En effet, la limite du GSM réside dans le fait que les usagers sont séparés les uns des autres par différentes fréquences d'utilisation. Ceci limite la quantité d'informations transmissibles ainsi que le nombre d'utilisateurs. Au cours d'une communication, l'UMTS ajuste sa puissance de sortie en fonction de la distance entre le téléphone et la station, afin d'économiser l'énergie. Sa technique de transmission par paquets lui permet d'être constamment connecté à Internet. L'efficacité de son spectre le rend 2 à 3 fois plus performant que le GSM.

LTE, l'avenir du cellulaire

L'avenir du marché mobile réside sur la possibilité d'offrir des services Internet mobiles avec des débits similaires à l'Internet fixe. Le LTE (Long Term Evolution) est candidat pour répondre au réseau post 3G. Il permet des débits de l'ordre de 100 Mbps en réception et 50 Mbps en émission, tout en réduisant le coût du Mégabit de transport de données. Sa bande passante est modulable en fonction des besoins en débit (1,25 - 2,5 - 5 - 10 - 15 ou 20 MHz). Ceci lui vaut le nom de super 3G ou 3,9G. La Figure I-2 représente l'évolution des standards mobiles jusqu'au LTE.

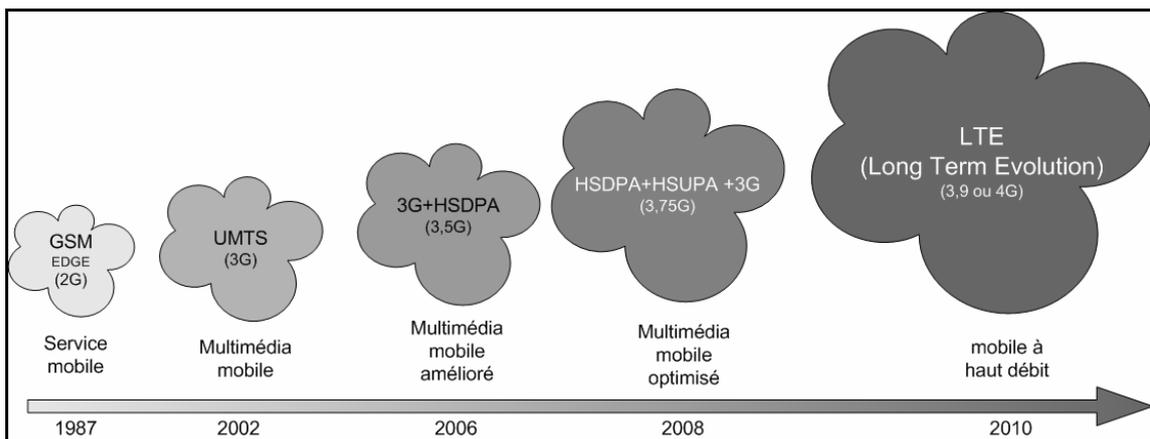


Figure I-2 : Illustration de l'évolution du mobile vers le LTE

Le LTE fait appel à des technologies récentes de radio transmission (OFDMA en réception, SC-FDMA [XIA07] et MIMO pour l'émission), qui permettent une mobilité du réseau avec un seul et unique standard. Ainsi, le débit de communication sera optimisé en fonction des possibilités de la borne de relais et quel que soit l'emplacement géographique de l'utilisateur.

I.1.c Tableau de synthèse des standards

Le Tableau I-1 présente un récapitulatif des principaux standards. Cette liste est non exhaustive, car d'autres standards existent ou sont actuellement en cours de développement.

Tableau I-1 : Caractéristiques des principaux systèmes de communications sans fil.

Groupe	Standard		Tx (MHz)	Rx (MHz)	Application	Technique d'accès	Modulation	Débit
WLAN	WiFi	802.11a	5150-5350		Données	CSMA/CA	OFDM, BPSK, QPSK, 16QAM, 64QAM	54 Mbit/s
		802.11b	2412-2472		Données		DQPSK, DBPSK, CCK	11 Mbit/s
		802.11g	2412-2472		Données		OFDM, BPSK, QPSK, 16QAM, 64QAM	54 Mbit/s
	HiperLAN2		5150-5350 5470-5725		Données	TDMA	OFDM, xQAM, BPSK	54 Mbit/s (/utilisateur)
WPAN	UWB		3100-10600		Données	CDMA	QPSK (MBOA) BPSK, QPSK, OFDM	480 Mbit/s
	Bluetooth		2402-2480		Données	FHSS	GFSK	723 kbit/s
	Zigbee		868-868,6 2412-2472		Données	TDMA	GFSK, O-QPSK	28/250 kbit/s
WMAN	MBWA		NC		Données	NC	OFDM	1 Mbit/s (/utilisateur)
	WiMAX		2000-11000		Données	TDMA, OFDMA	BPSK, QPSK, xQAM	70 Mbit/s
WWAN	GSM	Gsm900	880-915	925-960	Voix	TDMA	GMSK	14.5 kbit/s
		Dcs1800	1710-1785	1805-1880	Voix			115 kbit/s
		Pcs1900	1850-1910	1930-1990	Voix			
	EDGE		1710-1785	1805-1880	Données	TDMA, FDMA	GMSK, 8-PSK	384 kbit/s
	UMTS		1920-1980	2110-2170	Données Visio Voix	W-CDMA	QPSK, HPSK	2 Mbit/s
LTE		2500-2700		Données	OFDMA (DL)	QPSK, 16-QAM, 64- QUAM	100 Mbit/s	
					SC-FDMA (UL)		50 Mbit/s	

I.2 L'émission-réception en radiofréquence

Afin d'établir une communication sans fil, le système émet et reçoit des ondes électromagnétiques. Une topologie générale définie permet l'exploitation de ces signaux. On parle alors d'une chaîne d'émission-réception (transceiver) dont la topologie simplifiée est présentée en Figure I-3.

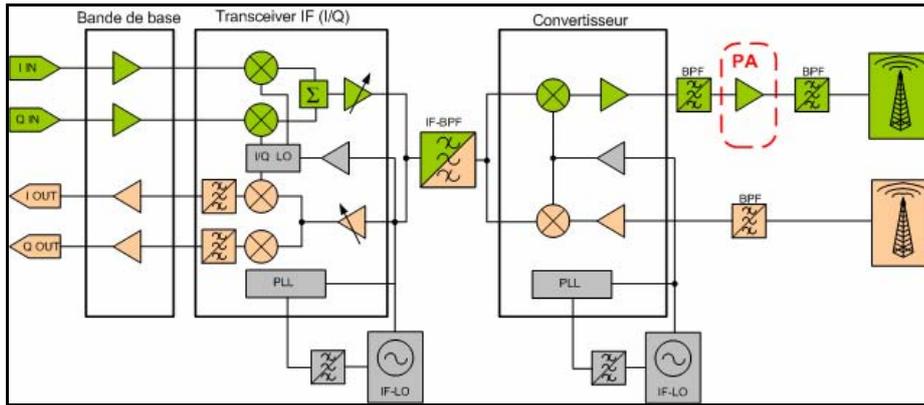


Figure I-3 : Topologie simplifiée d'une chaîne d'émission réception

I.2.a La chaîne de réception

Il existe différentes architectures dédiées à la chaîne de réception. Elles ont chacune leurs propres limites énumérées au Tableau I-2. La structure hétérodyne reste à ce jour la plus utilisée.

Tableau I-2 Inconvénients des architectures de réception

Architecture	Limites
Hétérodyne	- Nécessite des filtres externes - Compromis entre la sélectivité des filtres et la fréquence image résiduelle
Super Hétérodyne	- Problème de fréquence image - Mise en œuvre complexe
Low IF [MAU02]	- Pas de multi-standard possible
Zero IF [RAV97]	- Uniquement des spectres symétriques - Problème d'auto-mélange
Weaver [RAZ98]	- Sensible au déphasage I/Q - Problème de fréquence image
Zero IF polyphasée	- Problème d'auto-mélange
Low IF polyphasée	- Pas de limite particulière

I.2.b La chaîne d'émission

Une architecture classique d'émission est présentée en Figure I-4. Ce type d'architecture d'émetteur a une faiblesse. Les réinjections de signal dans le mélangeur via l'antenne créent un décalage de l'oscillateur local. Les parasites liés à l'antenne sont en partie supprimés si

l'antenne fonctionne en commutation. Cependant le phénomène d'auto-mélange reste problématique.

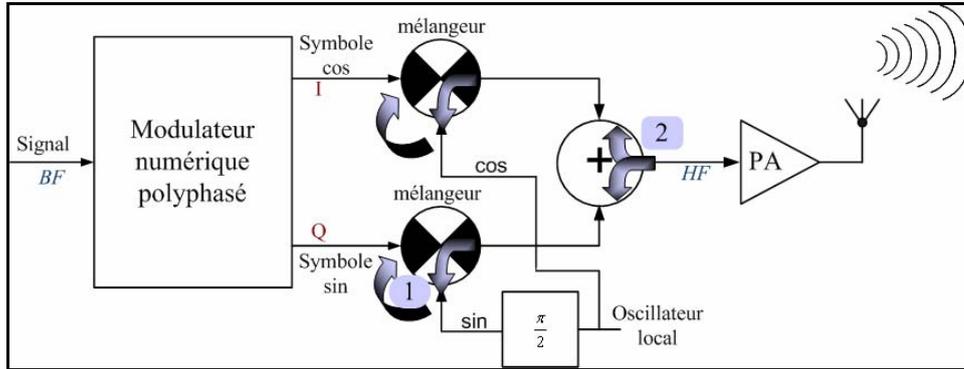


Figure I-4 : Architecture classique de la chaîne d'émission de modulation polyphasée

Une topologie solution est présentée en Figure I-5. Elle évite une pollution de l'oscillateur local, qui peut être très gênante car elle est proportionnelle à la puissance de travail. La solution réside dans l'ajout d'un deuxième oscillateur local.

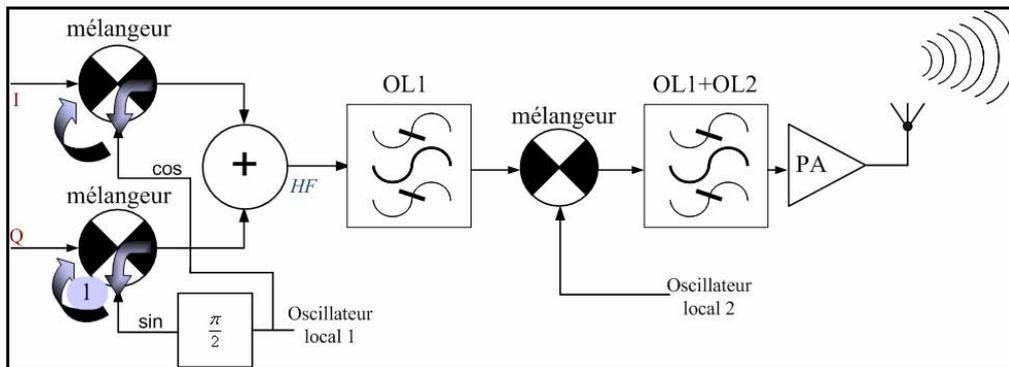


Figure I-5 : Topologie solution évitant l'auto-mélange

La combinaison de cet oscillateur et des deux filtres passe-bande qui l'entourent permet de filtrer l'auto-mélange créé par les deux premiers mélangeurs. La fréquence du signal RF dépend donc des deux oscillateurs. Nous pouvons alors écrire :

$$F_{RF} = F_{OL1} + F_{OL2} \tag{I-1}$$

La qualité de transmission du signal jusqu'à l'entrée du PA est plus efficace lors de l'utilisation de la topologie de la Figure I-5. L'implantation d'un PA en technologie CMOS sur silicium étant prévue, nous allons en présenter un état de l'art.

II La technologie MOS sur silicium

La principale motivation du développement des technologies silicium est de concevoir des produits à bas coût pour viser le plus grand nombre de consommateurs. Les bonnes connaissances de ce matériau permettent de cibler la recherche sur la miniaturisation. La taille des produits est ainsi réduite et la fréquence de fonctionnement est augmentée. La miniaturisation permet aussi l'intégration de systèmes entiers sur une seule puce, ce qui augmente la fiabilité. Cette partie présente un état de l'art du silicium.

II.1 Les différentes technologies silicium

Actuellement, le substrat silicium est le plus utilisé. La Figure I-6 illustre une liste des principales technologies présentes sur silicium. Ces technologies se distinguent en deux groupes.

- Le groupe à hétérojonction SiGe, qui est composé de HBT et de 4 FETs différents.
- Le groupe à monojonction Si, qui est composé de BJT et MOS.

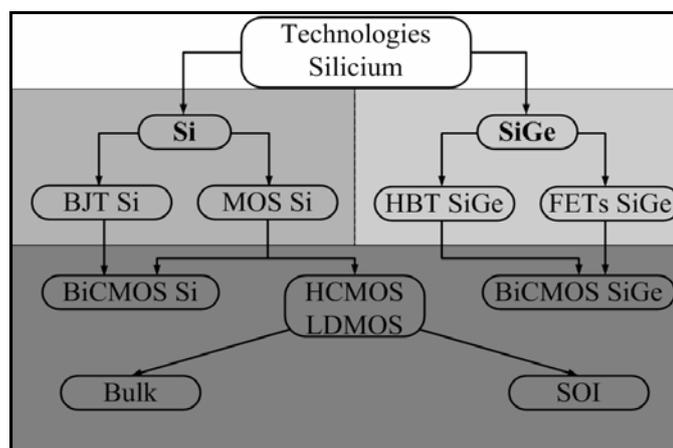


Figure I-6 : Principales technologies d'intégration sur substrat silicium

Différents processus de fabrication sont mis en œuvre. Ils sont plus ou moins coûteux et performants. Le design kit HCMOS (uniquement composé de transistors MOS sur silicium) a un très bon compromis coût de fabrication / densité d'intégration. La technologie HCMOS sur silicium correspond au besoin de conception des systèmes RF grand public.

Pour les raisons évoquées précédemment, nous utiliserons donc les technologies CMOS 130 nm et CMOS 65 nm de STMicroelectronics pour développer un PA destiné à l'application UMTS.

II.2 Les difficultés autour du MOS

L'évolution de la technologie MOS est très rapide. La miniaturisation consiste à réduire la longueur de canal et l'épaisseur de l'isolant de grille selon les règles de réduction des dimensions. Les problèmes inhérents à cette évolution deviennent importants. La conception d'un PA doit être réactive à ces contraintes. Les phénomènes liés à la miniaturisation, et dont les technologies CMOS 130 nm et CMOS 65 nm sont pourvues, sont énumérés par la suite.

II.2.a Le phénomène Latchup

Un Latchup est la création d'un chemin de basse impédance accrue avec la miniaturisation. Il résulte de ce chemin la formation de deux transistors bipolaires, qui ne doivent pas être mis en conduction, sous peine de détruire le composant. Il existe plusieurs solutions afin de remédier aux divers parasites. Se protéger de ce phénomène de miniaturisation a un coût, réduisant en partie le potentiel économique d'un circuit.

II.2.b Confinement quantique et effet de surface

Tout matériau amené à une taille nanométrique voit inévitablement sa chaîne d'atome de même nature décroître. A ces tailles, deux grands types d'effets sont susceptibles de se manifester : un effet de confinement quantique et un effet de surface. Ils ont déjà été observés, notamment dans les semi-conducteurs. Le confinement quantique se traduit par un décalage aussi bien de l'absorption que de l'émission vers les hautes énergies lorsque la taille des particules diminue. Le confinement spatial est un simple effet statique. Il traduit le fait que plus les motifs sont petits et plus le silicium a de chance d'émettre de la lumière lors du passage d'un électron de l'état excité à un état non excité.

II.2.c Effet canal court

Le punch through

Le punch through se produit lorsque les zones de déplétion, de source, et de drain se touchent (phénomène qui dépend non seulement de la longueur du canal, mais aussi de la tension de drain). Il en résulte une perte de contrôle du potentiel dans le canal par la grille et le passage d'un courant anarchique de percement entre la source et le drain.

✚ Ionisation par impact

L'ionisation par impact apparaît lors d'un champ électrique trop élevé. Ce défaut est aggravé dans les transistors MOS à canal court. Ce problème va créer un courant de substrat et piéger les électrons dans l'oxyde. Ces derniers induisent une augmentation de V_t et une diminution de G_m . Le courant de grille n'est plus négligeable.

✚ Limite de l'oxyde

Le problème majeur posé par la réduction de l'oxyde de grille concerne la conduction par effet tunnel direct, qui se traduit par une augmentation rapide du courant pour de petites variations de tensions appliquées. La tension d'alimentation et celle de seuil doivent donc être réduites. De plus, la complémentarité entre le nMOS et le pMOS apportée par la technologie CMOS n'est pas totalement vraie. L'oxyde de grille renferme des ions H^+ . Ces ions, déposés par une réaction chimique, apportent leurs charges fixes à l'oxyde chargé positivement et donc attire les électrons des alentours sans aucun champ électrique stimulant cette démarche. Le transistor nMOS se trouve donc en début de régime de déplétion et le pMOS en accumulation, par ce fait $|V_{t_n}| < |V_{t_p}|$. Le CMOS perd la complémentarité recherchée.

II.3 Les métaux en technologie silicium

La miniaturisation des technologies est suivie d'une réduction des épaisseurs des niveaux de métallisation permettant les connexions entre composants. La Figure I-7 présente une vue en coupe des niveaux de métallisation des technologies les plus récentes.

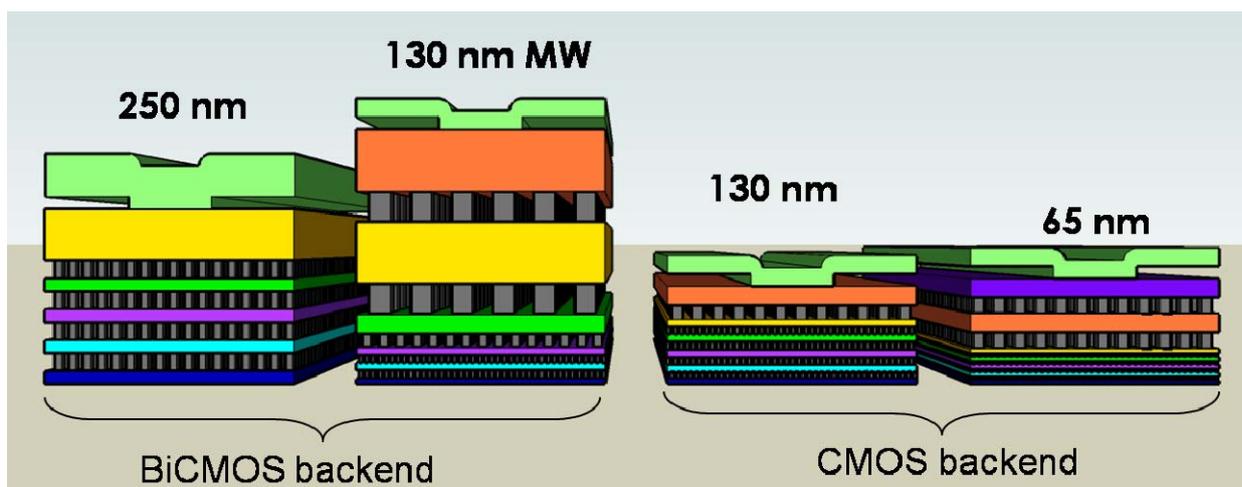


Figure I-7 : Vue en coupe des niveaux de métallisation en fonction de la technologie

D'après cette vue en coupe, l'épaisseur des métaux subit une forte réduction entre les 'Design Kit' (DK) destinés aux applications BiCMOS ou millimétriques et ceux destinés aux

applications CMOS. La technologie CMOS 65 nm a des métaux 4 à 5 fois moins épais que ceux de la technologie BiCMOS 0,25 μm .

Cette réduction a pour conséquence les effets suivant :

- Une réduction du facteur de qualité des passifs. Les pertes des inductances et des capacités sont donc plus importantes.
- Une augmentation des risques d'électro-migration. L'évacuation de forts courants nécessite une augmentation de la largeur des pistes de connexion et donc une élévation des parasites liés à cette connexion.
- Une augmentation des parasites résistifs, inductifs et capacitifs. Ceci engendre une réduction du rendement globale du circuit.
- Une augmentation des pertes à travers le substrat. Les pistes de connexion sont plus proches du substrat. La capacité entre la piste et le substrat est plus importante. Les pertes à travers le substrat augmentent.

II.4 La puissance en CMOS sur silicium

Le Tableau I-3 présente une comparaison entre les principaux substrats utilisés pour l'intégration de circuits RF.

Tableau I-3 : Comparaison entre les principaux substrats

Semi conducteur	Tension de claquage	Puissance	Rendement	Coût	Fréquence
GaAs	Elevée	Elevée	Elevé	Elevé	Elevée
SiGe (BiCMOS-Ge)	Moyenne	Moyenne	Elevé	Moyen	Elevée
Si (CMOS)	Faible	Faible	Moyen	Faible	Moyenne

D'après le Tableau I-3, les technologies CMOS avancées n'apparaissent pas être candidates idéales pour la conception de circuits de puissance. De nos jours, la majorité des PA présents sur téléphone mobile sont intégrés en GaAs (Arséniure de gallium). En effet, les semi-conducteurs de la technologie III-V sont nettement plus performants que le silicium en ce qui concerne les applications de puissance. La référence [MAE95] est représentative des performances que peut fournir un PA en GaAs. Dans cet exemple, le PA est composé de deux étages MESFET en source commune et peut fournir jusqu'à 31,5 dBm de puissance de sortie

avec un rendement de 61 %. De plus, ce PA est suffisamment linéaire pour répondre aux critères de l'UMTS.

Le GaAs permet aussi d'obtenir des vitesses de porteurs importantes avec un champ électrique réduit, c'est à dire un travail à hautes fréquences avec une faible consommation d'énergie. Les composés III-V sont donc particulièrement intéressants pour les utilisations RF. La Figure I-8 situe les différentes technologies couramment utilisées en fonction de leur coût et de leur potentiel de puissance.

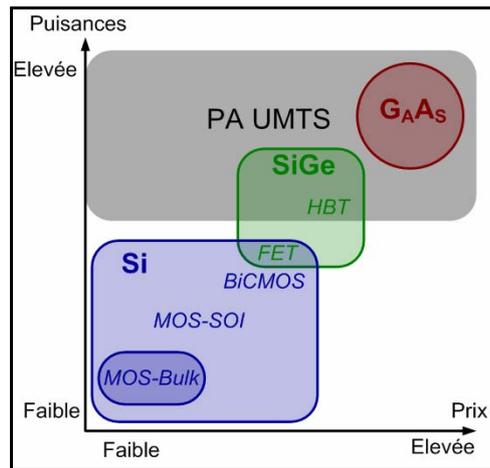


Figure I-8 : Positionnement des technologies en fonction du prix et de la puissance

Il existe cependant un inconvénient illustré par la Figure I-8. Le GaAs est plus coûteux que le silicium or le coût d'un produit reste le facteur principal au développement d'un système. Afin de répondre aux exigences faible coût des applications mobiles et réaliser l'intégration totales des émetteurs-récepteurs nous travaillerons sur une architecture de PA CMOS innovante permettant d'atteindre des puissances de sorties élevées. Auparavant, nous allons présenter un état de l'art des amplificateurs de puissance linéaires et à haut rendement ainsi que leurs principaux critères de caractérisations.

III Les amplificateurs de puissance CMOS pour les communications RF

III.1 Les paramètres de caractérisation d'un PA

Nous allons dans un premier temps détailler les paramètres qui caractérisent le fonctionnement du PA. Quel que soit le standard visé ou la classe de fonctionnement, un PA est caractérisé par des paramètres propres à son application.

Les principaux paramètres pour la caractérisation d'un PA sont :

- La puissance de sortie P_{out} ,
- Le gain en puissance G_p ,
- Le rendement à puissance ajoutée PAE ,
- Le point de compression à 1dB CP_1 ,
- Le produit d'intermodulation d'ordre 3 IP_3 ,
- Adjacent Channel Leakage Ratio $ACLR$,
- Conversion de **phase (AM/PM)** et de **gain (AM/AM)**.

III.1.b La puissance de sortie

La puissance de sortie d'un PA détermine la distance de communication du système sans fil. Certaines relations entre les autres puissances du circuit et celle de sortie permettent de déterminer les caractéristiques de l'amplificateur comme son rendement ou son gain. La Figure I-9 présente les principales puissances qui composent un amplificateur de puissance.

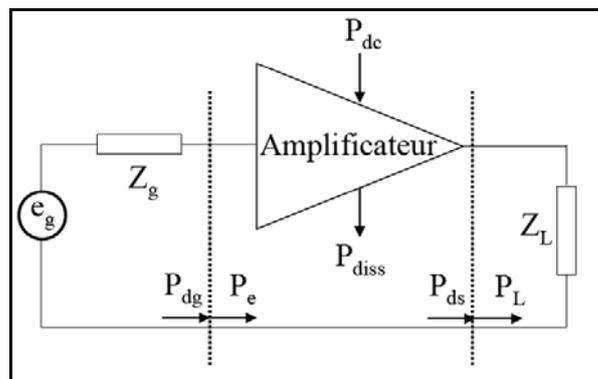


Figure I-9 : Amplificateur de puissance

Les significations de chaque puissance décrite par la Figure I-9 sont les suivantes :

- P_{dg} : puissance maximale disponible au générateur
- P_e : puissance d'entrée de l'amplificateur
- P_{ds} : puissance maximale disponible à la sortie de l'amplificateur
- P_L : puissance délivrée à la charge
- P_{dc} : puissance continue fournie par l'alimentation
- P_{diss} : puissance dissipée par l'amplificateur

L'adaptation d'un circuit optimise le transfert en puissance de ce dernier en limitant les pertes entre les puissances ($P_{dg}|P_e$) et ($P_{ds}|P_L$). Ainsi, la puissance de sortie P_{out} dépend de la charge placée en sortie de l'amplificateur. Soit une résistance R en sortie, l'expression est alors:

$$P_{out} = \frac{V_{out}^2}{2R} \quad (\text{I-2})$$

Il est alors nécessaire de créer un réseau d'adaptation capable de convertir l'impédance de l'antenne en une impédance optimum à présenter en sortie, pour obtenir la puissance de sortie désirée. Obtenir une forte puissance de sortie afin de répondre aux exigences de l'UMTS, et cela avec une technologie à faible tension de claquage, revient à faire passer de forts courants au travers d'une faible impédance. L'adaptation pour les applications à forte puissance sera critique pour l'obtention d'un bon résultat. Pour les autres paramètres de caractérisation, le circuit est considéré comme adapté. Il est alors possible d'écrire $P_{dg}=P_e$ et $P_{ds}=P_L$

III.1.c Le gain en puissance

Le gain en puissance est exprimé par : $Gp = \frac{P_L}{P_{dg}}$ (I-3)

ou encore en dB par : $Gp_{(dB)} = 10 \cdot \log\left(\frac{P_L}{P_{dg}}\right)$ (I-4)

III.1.d Le rendement et la PAE

Le rendement est un indicateur important des performances d'un PA, car le temps de décharge de la batterie associée au système portatif y est directement liée.

Le rendement s'écrit : $\eta = \frac{P_L}{P_{dc}}$ (I-5)

et le rendement en puissance ajoutée s'écrit : $PAE = \eta \cdot \left(1 - \frac{1}{Gp}\right)$ (I-6)

or, d'après les expressions Gp et η , nous obtenons: $PAE = \frac{P_L - P_{dg}}{P_{dc}}$ (I-7)

III.1.e Le point de compression à 1dB

Les amplificateurs, comme les autres dispositifs non-linéaires, sont sensibles aux phénomènes de saturation de la puissance de sortie pour de fortes puissances d'entrée.

Le point de compression à 1dB caractérise la limite du fonctionnement linéaire du circuit en fonctionnement mono-porteuse. Ce point de compression est défini au point de puissance pour lequel l'écart entre la puissance de sortie et son extrapolation linéaire est de 1dB, pour une puissance d'entrée donnée P_{dg} .

Mathématiquement, la réponse d'un système non linéaire s'écrit :

$$y(t) = a_1 \cdot x(t) + a_2 \cdot x^2(t) + a_3 \cdot x^3(t) + \dots + a_n \cdot x^n(t) \quad (\text{I-8})$$

Posons par la suite :

- $y(t)$: signal de sortie $v_s(t)$
- $x(t)$: signal d'entrée $v_e(t)$

Si le signal $v_e(t)$ est sinusoïdal avec ($v_e(t) = A \cos(\omega.t)$), il est possible d'écrire :

$$v_s(t) = a_1 \cdot A \cdot \cos(\omega.t) + a_2 \cdot A^2 \cdot \cos^2(\omega.t) + a_3 \cdot A^3 \cdot \cos^3(\omega.t) \quad (\text{I-9})$$

$$v_s(t) = a_1 \cdot A \cdot \cos(\omega.t) + a_2 \cdot A^2 \cdot \left(\frac{1}{2} + \frac{1}{2} \cdot \cos(2 \cdot \omega.t) \right) + a_3 \cdot A^3 \cdot \left(\frac{3}{4} \cdot \cos(\omega.t) + \frac{1}{4} \cdot \cos(3 \cdot \omega.t) \right) \quad (\text{I-10})$$

$$v_s(t) = \frac{a_2 \cdot A^2}{2} + \left(a_1 \cdot A + \frac{3}{4} a_3 \cdot A^3 \right) \cdot \cos(\omega.t) + \frac{a_2 \cdot A^2}{2} \cdot \cos(2 \cdot \omega.t) + \frac{a_3 \cdot A^3}{4} \cdot \cos(3 \cdot \omega.t) \quad (\text{I-11})$$

Le gain à la fréquence fondamentale est égal à la composante fondamentale sur l'amplitude du signal d'entrée :

$$G = \frac{a_1 \cdot A + \frac{3}{4} a_3 \cdot A^3}{A} \quad (\text{I-12})$$

$$G_{(dB)} = 20 \cdot \log \left(a_1 + \frac{3}{4} a_3 \cdot A^2 \right) \quad (\text{I-13})$$

Soit $A_{(-1dB)}$ l'amplitude pour laquelle l'écart entre la puissance de sortie et son extrapolation linéaire est de 1dB, l'égalité suivante est vérifiée:

$$G_{(dB)} = 20 \cdot \log \left(a_1 + \frac{3}{4} \cdot a_3 \cdot A_{(-1dB)}^2 \right) = 20 \cdot \log |a_1| - 1 \quad (\text{I-14})$$

Il est maintenant possible d'écrire :

$$A_{(-1dB)} = \sqrt{0.145 \cdot \frac{|a_1|}{|a_3|}} \quad (\text{I-15})$$

La puissance $P_{(-1dB)}$ délivrée sur une charge R s'écrit :

$$P_{(-1dB)} = 10 \cdot \log \left(\frac{\left(\frac{A_{(-1dB)}}{\sqrt{2}} \right)^2}{R} \cdot 10^3 \right) = 10 \cdot \log \left(0.0725 \cdot \frac{|a_1|}{|a_3|} \cdot \frac{10^3}{R} \right) \quad (\text{I-16})$$

Au-delà de ce point, la sortie n'est plus proportionnelle à l'entrée. La Figure I-10, représente graphiquement le point de compression à 1 dB.

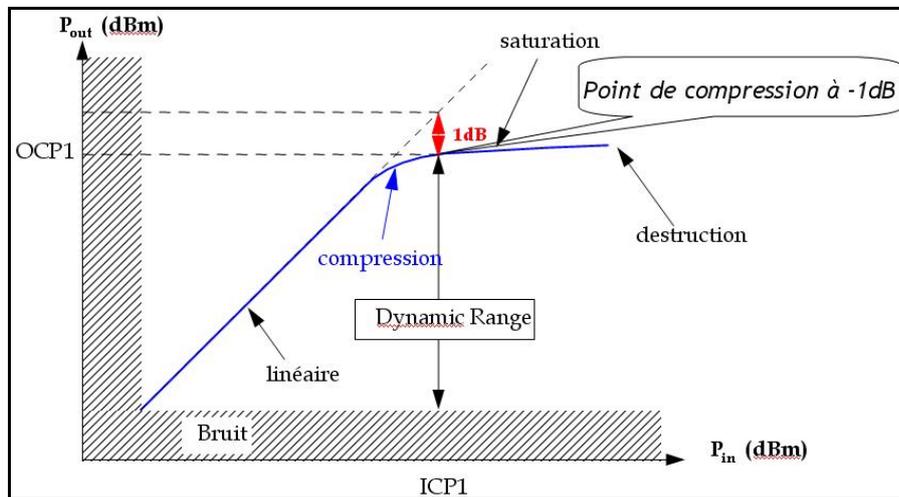


Figure I-10 : Représentation graphique du diagramme du point de compression

L'expression de OCP_1 s'écrit :

$$OCP_1 = (G_{|dB} - 1) + P_{(-1dB)} \quad (\text{I-17})$$

$$\text{Alors : } OCP_1 = 10 \cdot \log \left(0.0576 \cdot \frac{|a_1^3|}{|a_3|} \cdot \frac{10^3}{R} \right) \quad (\text{I-18})$$

III.1.f Le produit d'intermodulation d'ordre 3

Le PA introduit des distorsions dans le signal de sortie, dues à ses non-linéarités. Ces non-linéarités conduisent à l'apparition de raies parasites, résultantes de produits d'intermodulation, lorsqu'un signal multi-tons est appliqué à l'entrée du PA. Les harmoniques résultantes du produit d'intermodulation d'ordre 3 sont les plus proches de la fréquence centrale d'utilisation. Elles ne sont pas négligeables. Tant que les puissances d'entrée appliquées à l'amplificateur sont suffisamment faibles, le tracé de la puissance des raies d'intermodulation d'ordre 3 en sortie du PA en fonction de la puissance d'entrée est linéaire. Sa croissance est de 3dB en sortie pour 1dB en entrée. Le point d'intersection de l'extrapolation linéaire du signal utile et de celle de l'intermodulation d'ordre 3 est nommé IP_3 . Ce point peut être référencé en sortie (OIP_3) ou en entrée (IIP_3). Pour les mêmes raisons que le point de compression à 1dB, plus OIP_3 est élevé, plus les raies issues des produits d'intermodulation sont faibles et meilleure est la linéarité.

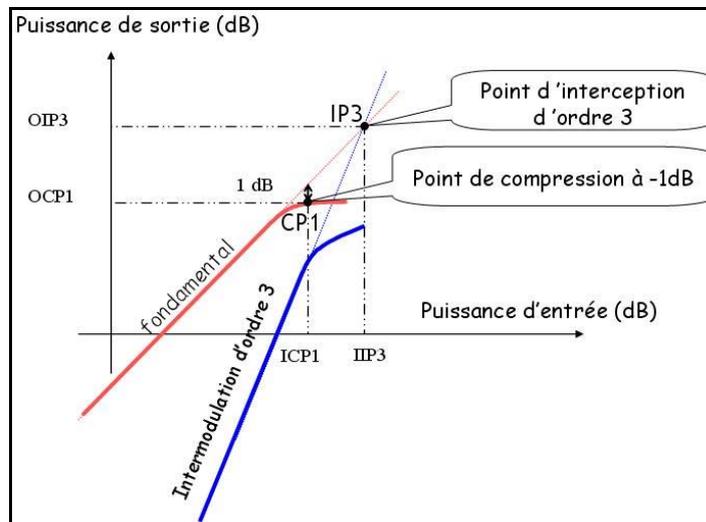


Figure I-11 : Représentation graphique du point d'intermodulation d'ordre 3 (IP_3)

III.1.g L'ACLR

L'ACLR (Adjacent Channel Leakage Ratio) mesure le niveau de puissance dans le canal adjacent par rapport au canal principal en sortie de l'amplificateur. Il est défini comme le rapport entre la densité spectrale de puissance à la fréquence centrale et celle des canaux adjacents. Cette déformation du signal est illustrée en Figure I-12 [DEL05].

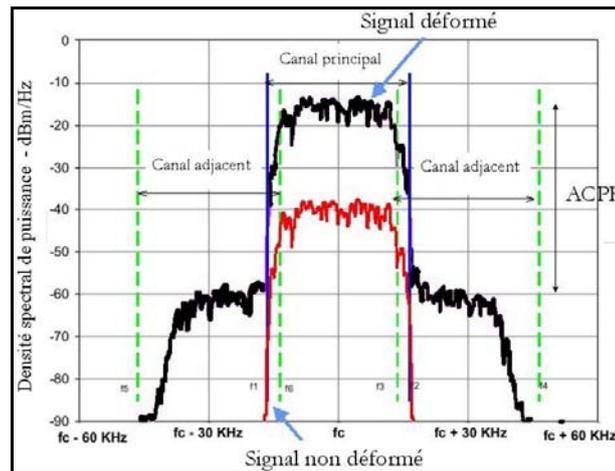


Figure I-12 : Représentation graphique de l'ACLR

Des distorsions sont engendrées en raison du fonctionnement en commutation et en saturation des amplificateurs. Elles entraînent un élargissement de la densité spectrale de puissance. Le petit signal du canal principal de la Figure I-12 est le signal de sortie théorique sans distorsion. Il est préférable d'obtenir l'ACLR le plus élevé possible. L'intérêt de réduire les distorsions entraînant l'élargissement de la densité spectrale ne s'explique pas uniquement par le fait que certains canaux adjacents peuvent être utilisés par d'autres réseaux, mais aussi parce que les puissances à ces canaux sont différentes, comme l'exemple présenté sur la Figure I-13.

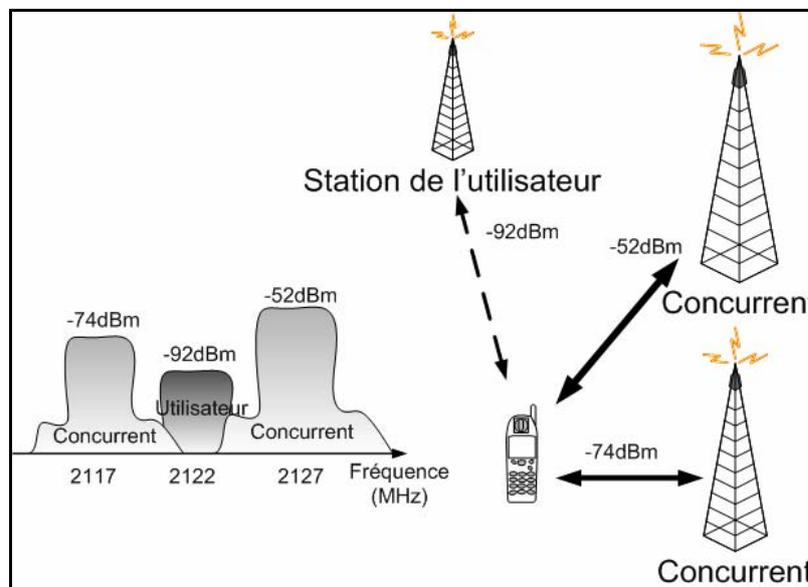


Figure I-13 : Exemple de l'ACLR dans un cas d'utilisation mobile

Dans cet exemple le positionnement de l'utilisateur du mobile par rapport aux différentes stations de base pose problème. En effet, il se trouve près d'une ou plusieurs stations concurrentes et reçoit donc un fort signal non désiré à une fréquence proche de la sienne.

L'utilisateur risque de perdre sa conversation si un trop fort élargissement spectral du concurrent vient perturber son signal. L'*ACLR* est défini afin d'éviter ce genre de désagrément [REY06].

III.1.h Power Ratio (PR) et Cubic Metric (CM)

Le PR (Power Ratio), connu dans la littérature sous les acronymes *PAPR* (Peak to Average Power Ratio) ou *PMEPR* (Peak to Mean Envelope Power ratio) est le rapport entre la puissance instantanée et la puissance moyenne d'un signal continu ou échantillonné. Il permet de dimensionner les fluctuations de puissance possibles vis-à-vis du PA associé [RIH08]. Le *PMEPR* est la déclinaison du PR pour des signaux en bande de base, alors que le *PAPR* est la déclinaison du PR pour des signaux RF. Le PR est utilisé pour connaître le recul à prendre entre le point de compression du PA et la puissance maximale linéaire spécifiée par un standard. Cela évite les distorsions lors de l'amplification. Néanmoins, malgré l'utilisation possible du PR pour caractériser un PA linéaire monostandard utilisant une modulation de signal à une seule porteuse, son utilisation en multistandard ou avec des signaux multi-porteuses semble poser problèmes.

Les nouveaux standards, toujours plus gourmands en débit, utilisent de plus en plus les signaux multi-porteuses, ou des variations de back off en puissance. Le Cubic Metric (*CM*) est alors plus réaliste que le PR. Par définition, le *CM* est la mesure de la réduction de la puissance effective. En d'autres termes, il permet comme le PR d'évaluer le recul à prendre entre la puissance considérée linéaire et le point de compression, mais cela pour chaque valeur de puissance de sortie désirée. En effet, selon la puissance de sortie, le recul à considérer n'est pas constant. Cette variation n'est pas prise en compte par le PR. Il s'agit donc d'un prédicateur plus efficace que le PR pour des signaux à multi-porteuses [DEU08].

III.1.i La conversion de phase (AM/PM) et de gain (AM/AM)

La conversion de phase et de gain est l'image de la non-linéarité d'un PA. Le déphasage et le gain varient en fonction de la puissance appliquée en entrée. La Figure I-14 présente le phénomène de compression de gain ainsi que la variation du déphasage en fonction de la puissance d'entrée. La puissance de sortie d'un étage driver appliquée à l'entrée du PA principal ne doit pas être trop élevée, afin de ne pas se retrouver en compression et d'éviter une importante erreur de phase. Les méthodes de linéarisation modifient ces conversions et permettent ainsi la linéarisation du PA.

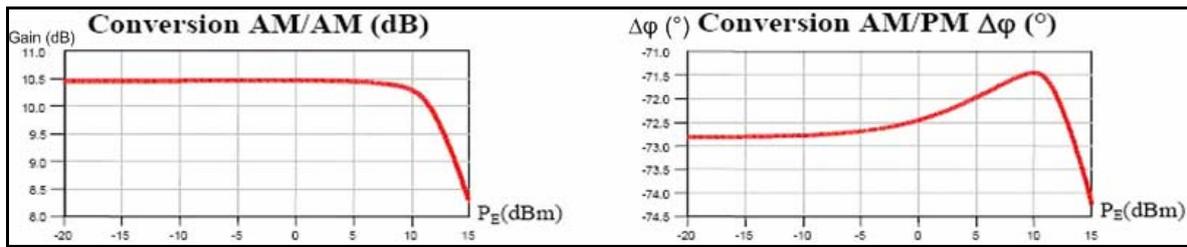


Figure I-14 : Gain et déphasage d'un PA en fonction de la puissance d'entrée.

Les paramètres de caractérisation d'un PA précédemment décrit permettent la mise en œuvre d'un circuit d'amplification efficace destiné à l'UMTS. Lors de l'amplification d'un signal (modulé pour une communication sans fil) un compromis subsiste entre la linéarité et le rendement du PA. Le signal peut être amplifié, soit par un PA linéaire mais au détriment du rendement, soit par un PA à haut rendement mais au détriment de la linéarité. Ces deux types d'amplificateurs sont illustrés par la suite.

III.2 Les amplificateurs à haut rendement

Pour les amplificateurs non linéaires, le transistor se comporte comme un interrupteur (fonctionnement en commutation) avec une sortie non proportionnelle à l'entrée. Ce type d'amplification est avantageux lors de la modulation GMSK à enveloppe constante utilisée pour le standard GSM. La consommation est très fortement réduite et le rendement très bon car soit le courant est nul, soit la tension est nulle (théoriquement hors commutation). Cet avantage permet au PA de préserver la durée de vie des batteries associées à un système mobile. L'intégration d'un amplificateur à haut rendement dans un mobile accroît le temps de fonctionnement. Les classes les plus représentatives de ce groupe de PAs sont les classes *E* et *F*. D'autres classes sont aussi utilisées comme les classes *D* et *S*.

III.2.a La classe E

Le principe de base de la classe *E* est d'avoir un rendement maximum. Il est important que la tension de seuil du transistor MOS soit la plus faible possible afin de consommer le moins possible lors de la commutation. Le transistor ne consomme pas car soit V_{ds} , soit I_d sont à zéro. Son rendement idéal est de 100% (75% en pratique). La classe E, présentée en Figure I-15 impose en entrée de l'amplificateur une tension de commande carrée.

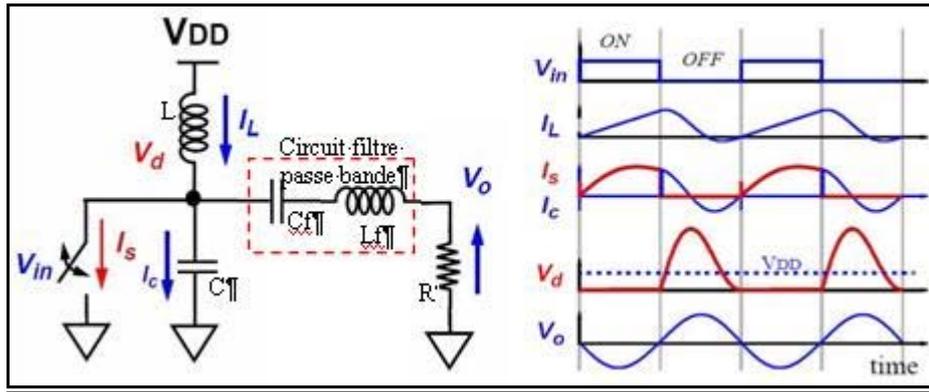


Figure I-15 : Principe de base de l'amplificateur de puissance classe E

D'après la Figure I-15, l'évolution de la tension de drain est due à la charge et à la décharge de la capacité C . Si les valeurs des composants sont judicieusement choisies, la tension aux bornes du collecteur s'annule au même moment que le basculement du commutateur. Il n'est pas possible de résoudre explicitement la théorie apportée à la tension et au courant au delà d'un cycle entier. Cependant, l'équation (I-19) permet de déterminer la forme d'onde de la tension du drain lorsque le commutateur est fermé.

$$v_c(\theta) = \left[\frac{I_{dc}}{B} \left(y - \frac{\pi}{2} \right) + \frac{V_o}{B.R} \sin(\phi - y) + \frac{I_{dc}}{B} \theta + \frac{V_o}{B.R} \cos(\theta + \phi) \right] \quad (\text{I-19})$$

- I_o est le courant en sortie et permet de déterminer V_o à travers R ,
- ϕ est le déphasage entre V_o et l'ouverture du commutateur,
- $2y$ est le temps de passage d'un état à l'autre du commutateur,
- B est la susceptance présentée au commutateur.

Afin d'obtenir une bonne résonance à la fréquence désirée avec une tension de drain nulle lors de la commutation, les paramètres B et X (parties imaginaires de l'impédance de C_f et de l'impédance de L_f respectivement) doivent être déterminées avec précision. Il faut s'assurer que $\frac{d(v_c(\theta))}{d\theta} = 0$, de sorte qu'aucun courant ne traverse la capacité à cet instant. En ce plaçant

à une commutation $\theta = \frac{\pi}{2} + y$, les valeurs à prendre sont :

$$\phi = -32,48^\circ, \text{ alors } B = \frac{0,1936}{R} \text{ et } X = \frac{1,152}{R} \quad (\text{I-20})$$

Il est possible d'écrire :

$$V_o = \frac{2}{\sqrt{1 + \frac{\pi^2}{4}}} V_{CC} \quad (\text{I-21})$$

$$P_{out} = \frac{2}{1 + \frac{\pi^2}{4}} \cdot \frac{V_{CC}^2}{R} = 0,577 \cdot \frac{V_{CC}^2}{R} \quad (\text{I-22})$$

Le courant DC s'écrit :

$$I_{dc} = \frac{V_{CC}}{1,734 \cdot R} \quad (\text{I-23})$$

Pour un dimensionnement optimal, les maxima en tension et courant de drain sont :

$$\begin{aligned} V_{D,peak} &= 3,56 \cdot V_{CC} \\ I_{S,peak} &= 2,86 \cdot I_{dc} \end{aligned} \quad (\text{I-24})$$

Les coefficients de qualité des composants passifs du filtre ne sont pas infinis. Cela autorise le passage d'un courant aux harmoniques. La conséquence est l'obtention d'un potentiel de drain non-nul lors du basculement du commutateur. Il est donc important de prendre en compte le facteur de qualité des passifs pour le calcul des paramètres B et X .

Ainsi X et B s'expriment alors différemment de l'équation (I-20) :

$$X = \frac{1,11 \cdot Q}{Q - 0,67} \cdot R \text{ et } B = \frac{0,1836}{R} \left(1 + \frac{0,81 \cdot Q}{Q^2 + 4} \right) \quad (\text{I-25})$$

$$Q = \frac{\omega_0 \cdot L}{R} \quad (\text{I-26})$$

Exemple de PA classe E

La référence [LEE07] présente un PA classe E en technologie CMOS 180 nm dont le schéma de principe est présenté sur la Figure I-16. Il s'agit dans cet exemple de plusieurs PAs en parallèle. Cette mise en parallèle permet d'augmenter la puissance maximale (P_{max}) présentée en sortie du PA complet. Le PA fournit une puissance maximale de 33 dBm avec une PAE (Power Added Efficiency) de 30% à 1,8 GHz. Il répond aux exigences du GSM1800 qui

utilise une modulation à enveloppe constante (pas d'amplification linéaire requise). Son gain de sortie à P_{max} est de 19,5 dB.

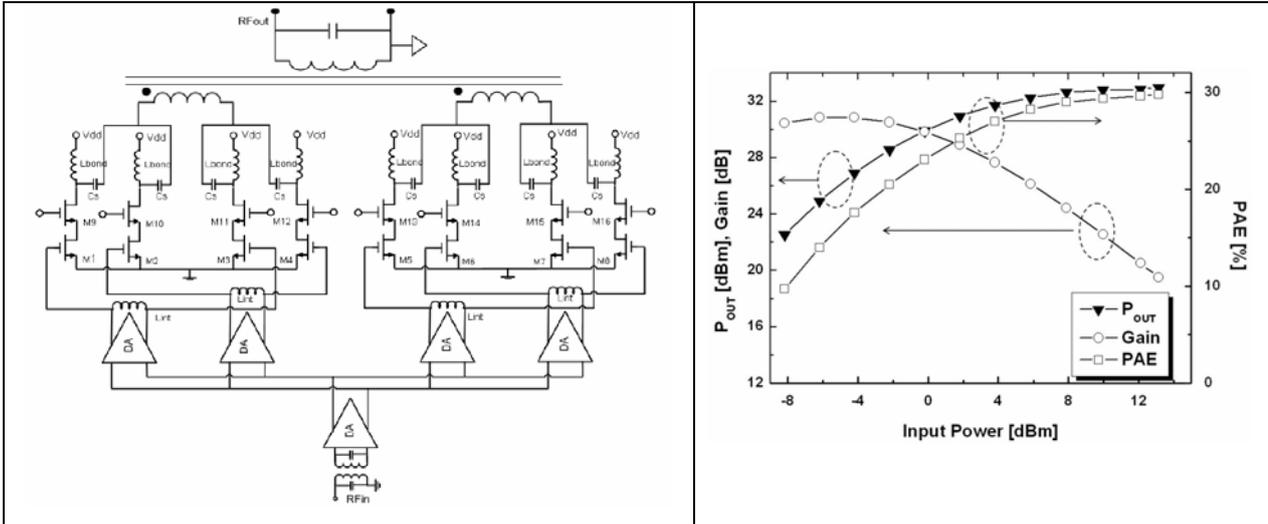


Figure I-16 : Schéma et résultats de mesures du PA [LEE07]

III.2.b La classe F

La Figure I-17 montre que la classe F est proche schématiquement des amplificateurs linéaires de puissance. Dans cet amplificateur, des filtres sont utilisés pour préserver les harmoniques du signal amplifié. En raison du contenu harmonique, le PA classe F est plus efficace que les amplificateurs linéaires. Le fonctionnement de cette classe permet un rendement du PA de 90%. Cependant, un compromis doit être fait entre le nombre de filtres associés au PA et la surface de silicium occupée. En revanche, l'augmentation du nombre d'harmoniques impaires amplifiées permet d'augmenter théoriquement le rendement (88,4% pour l'harmonique 3, 92,0% pour l'harmonique 5).

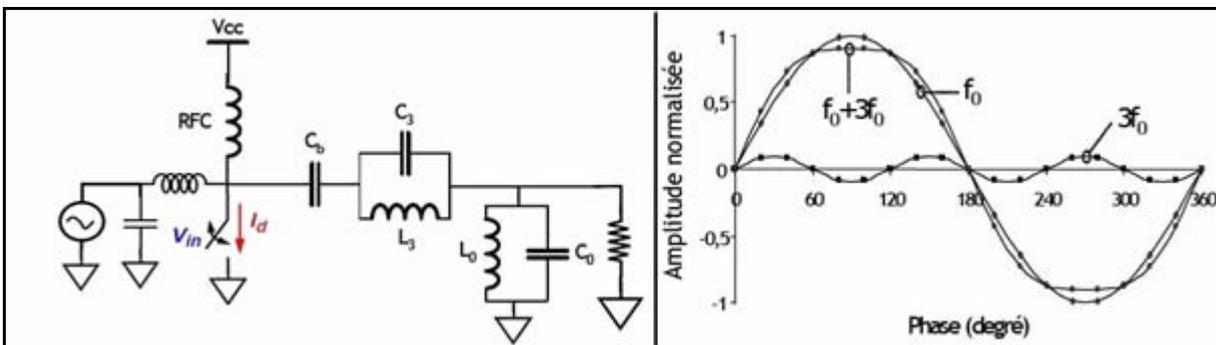


Figure I-17 : Principe de base de l'amplificateur de puissance classe F [DEL05]

La netteté du signal carré obtenu en sortie du PA classe F dépend du nombre d'harmoniques amplifiées. Plus le nombre d'harmoniques à amplifier augmente et plus la surface du circuit est importante.

La puissance maximale et le rendement varient en fonction de l'ordre de résonance choisi. Pour une résonance d'ordre 3 (F3), la puissance maximale s'écrit :

$$P_{out,max} = \frac{\left(\frac{9}{8}\right)^2 \cdot V_{DS,max}^2}{8 \cdot R_L} = 0,1582 \cdot \frac{V_{DS,max}^2}{R_L} \quad (\text{I-27})$$

Pour une résonance d'ordre 5 (F5) :

$$P_{out,max} = \frac{\left(\frac{75}{64}\right)^2 \cdot V_{DS,max}^2}{8 \cdot R_L} = 0,1717 \cdot \frac{V_{DS,max}^2}{R_L} \quad (\text{I-28})$$

Si toutes les harmoniques sont incluent, la puissance maximale est la suivante :

$$P_{out,max} = \frac{2 \cdot V_{DS,max}^2}{\pi^2 \cdot R_L} = 0,2026 \cdot \frac{V_{DS,max}^2}{R_L} \quad (\text{I-29})$$

✚ Exemple de PA classe F

La référence [SHI02] illustre un PA classe F en technologie CMOS 250 nm dont le schéma est présenté Figure I-18.

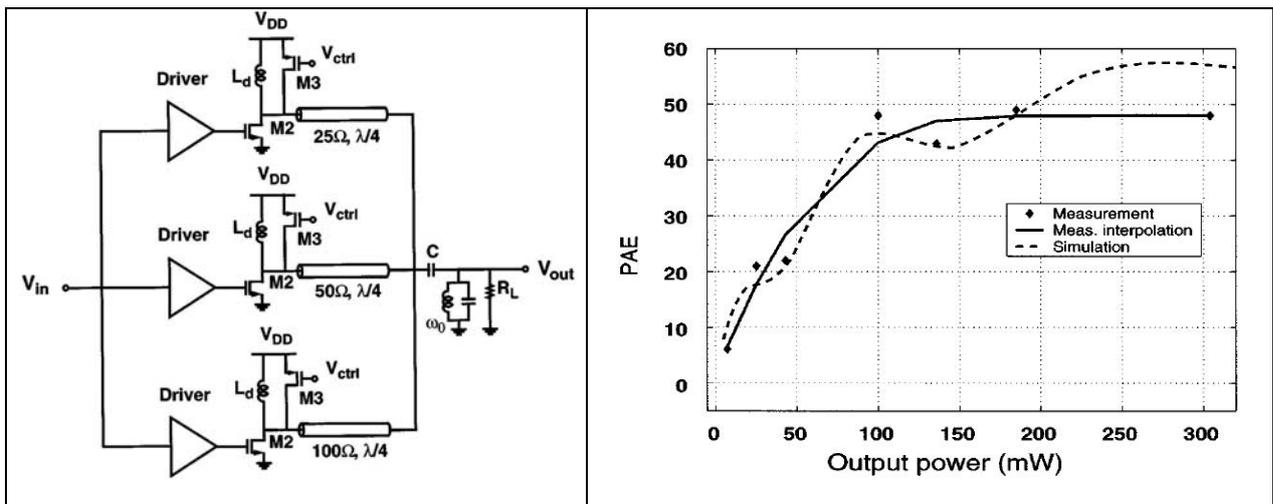


Figure I-18 : Schéma du PA [SHI02]

Ce PA utilise une configuration en parallèle permettant un contrôle en puissance à 1,4 GHz destiné au standard PDC (Personal Digital Cellular). Sa puissance évolue de 8 dBm à 24 dBm avec une PAE_{max} de 49 %.

III.2.c La classe D et la classe S

Le principe de fonctionnement du PA classe *D* est présenté sur la Figure I-19. Le signal d'entrée et le signal de sortie du transistor nMOS sont des signaux carrés. La composition de L_0 et de C_0 permet le passage d'un courant sinusoïdal dans la charge de sortie [CRI99]. La Figure I-19 b) représente la tension et le courant de drain du transistor de puissance. L'amplitude théorique de V_{ds} évolue entre 0 et V_{dd} .

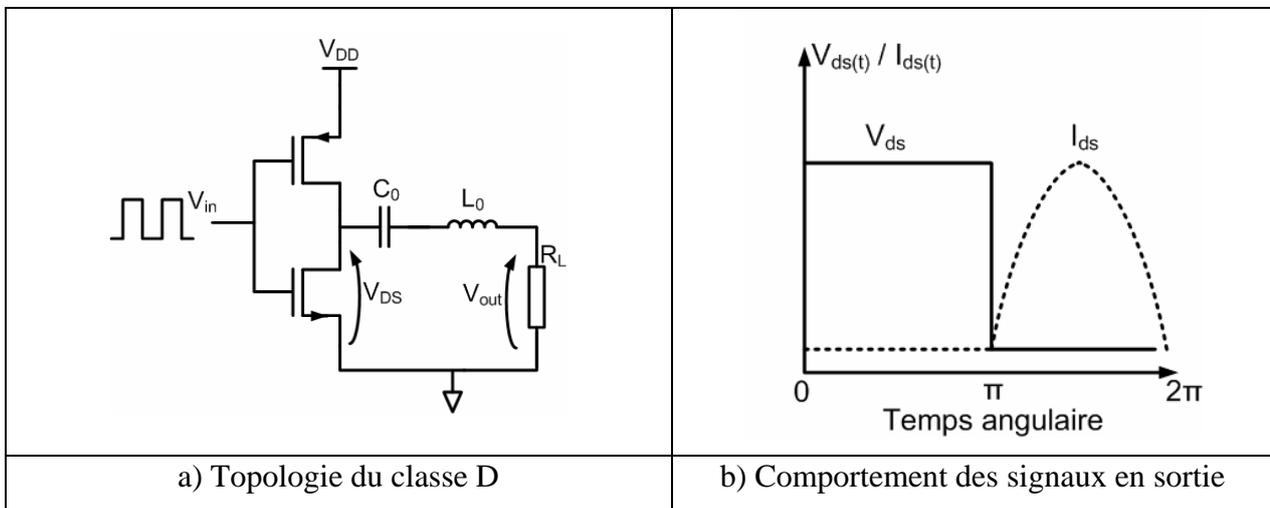


Figure I-19 : Principe de base de l'amplificateur de puissance de classe D

Le fondamental du signal a une amplitude $V_0 = \frac{2.V_{DD}}{\pi}$. Le courant en sortie s'écrit :

$$I_0 = \frac{2.V_{DD}}{\pi.R_L} \tag{I-30}$$

Par conséquent, la puissance de sortie de l'amplificateur de puissance est donnée par :

$$P_0 = \frac{V_o.I_0}{2} = \frac{2.V_{DD}^2}{\pi^2.R_L} \tag{I-31}$$

Le maximum de tension sur le drain est V_{DD} . La puissance maximale de sortie est :

$$P_{0,max} = \frac{2.V_{DS,max}^2}{\pi^2.R_L} = 0,2026.\frac{V_{DS,max}^2}{R_L} \tag{I-32}$$

La puissance théorique maximale est la même que celle déterminée pour la classe *F5*. La synthèse comparative du Tableau I-4 illustre le potentiel des classes à haut rendement.

Tableau I-4 : Performances des classes à haut rendement

Classe	B	F3	F5	D
Rendement max	78,5%	88,4%	92,0%	100%
Pout normalisée ($V_{DD}=1V$ et $R_L=1\Omega$)	0,5000	0,6328	0,6866	0,8106
Pout max ($V_{DS,max}=1V$ et $R_L=1\Omega$)	0,1250	0,1582	0,1717	0,2026

La classe *S* est basée sur le même principe que la classe *D* à la différence que la classe *S* est destinée à être appliquée à des signaux pulsés et non périodiques [DEM06]. Il s'agit donc d'une classe *D* modifiée de manière à supporter des signaux PWM (*Pulse Width Modulated*) [RAL07].

III.2.d Etat de l'art sur les PAs à haut rendement

Le Tableau I-5 présente un état de l'art des performances possibles des PAs CMOS de classe à haut rendement en fonction de l'évolution des largeurs de grille.

Tableau I-5 : Etat de l'art

Ref	Classe	CMOS (nm)	Freq (GHz)	Alim (V)	Pout (dBm)	Gain (dB)	PAE (%)	Standard	Structure
[SHI02]	F	250	1,4	1,5	Max: 24	NC	Max: 49	PDC	PA //
[HO03]	F-E	180	2	2,4	Max: 16,3 OCPI: 14,5 Spec: 20	16	Max: 70 À OCPI: 60	NC	Source commune
[LEE07]	E	180	1,8	3,3	Max: 33	@ P_{max} 19,5	Max: 30	GSM	PA //
[HEY03]	E	180	5,7	1,8	Max: 25	NC	Max: 42,6	NC	Différentiel
[MAZ05]	E	130	1,4 à 2	2,5	Max: 23	NC	Max: 67	NC	Cascode
[APO08]*	E	65	2	4,8	Max: 30	@ P_{max} 22	Max: 60	NC	Cascode auto-polarisé

* Transistors à haute tension de claquage

Les PAs présentés dans cet état de l'art ne permettent pas une amplification suffisamment linéaire. Le PA de la référence [LEE07] permet une forte puissance d'émission

mais il est non linéaire et a un rendement proche de celui attendu par une classe linéaire. L'utilisation d'un PA de classe linéaire est donc indispensable pour répondre aux exigences du standard UMTS.

III.3 Les amplificateurs linéaires

Dans les amplificateurs linéaires sinusoïdaux, le transistor se comporte comme une source de courant. La puissance de sortie est proportionnelle à la puissance d'entrée, le gain est constant sur une très large plage de puissance. Les classes de fonctionnement linéaire sont très bien maîtrisées et sont requises lors de l'utilisation d'une modulation polyphasée (modulation à enveloppe non constante). Elles ne détériorent pas les informations contenues dans l'enveloppe. Le standard UMTS utilise ce type de modulation (QPSK, HPSK).

III.3.a Analyse du fonctionnement linéaire

L'amplificateur de puissance linéaire comporte plusieurs classes d'amplification : les classes A, AB, B et C. À l'exception de la classe A, le courant n'est pas sinusoïdal, mais le modèle théorique de l'ensemble des classes est basé sur la forme sinusoïdale, comme le montre la Figure I-20 [CRI99].

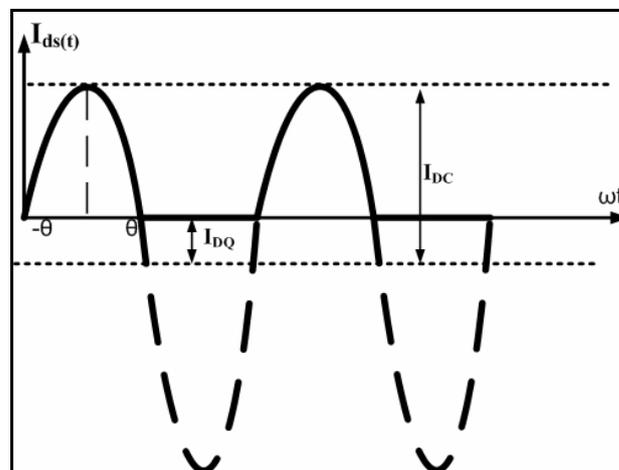


Figure I-20 : Forme d'onde et analyse des classes linéaires

La puissance maximale de sortie du PA pour une excursion entre 0V et 2 VCC se calcule par :

$$P_{out,max} = \frac{V_{CC}}{\sqrt{2}} \cdot \frac{i_{fd}}{\sqrt{2}} = \frac{V_{CC} \cdot I_{CC}}{4\pi} (\theta - \sin \theta) \quad (\text{I-33})$$

Les classes d'amplification (A, AB, B, C) se différencient par leur angle de conduction selon l'évolution présentée en Figure I-21.

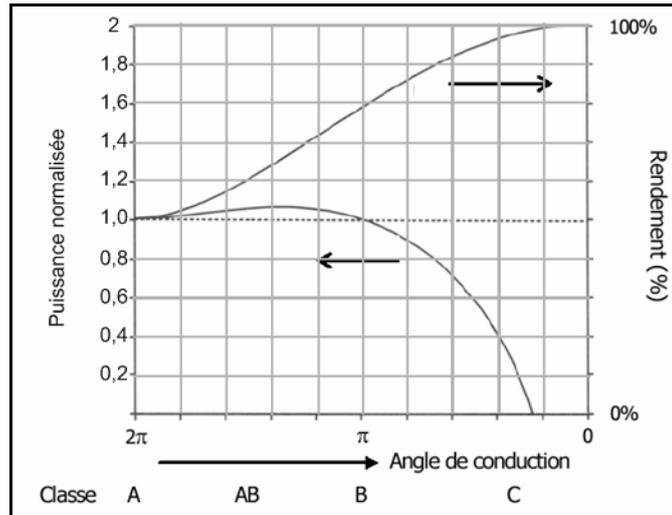


Figure I-21 : Evolution du rendement et de la puissance de sortie en fonction de l'angle de conduction

Une réduction de l'angle de conduction augmente le rendement du système au détriment de la linéarité. Le compromis entre la linéarité et le rendement d'un PA de classe linéaire est mis en évidence. Ce compromis a un optimum défini par la puissance maximale normalisée qui est le rapport entre la puissance maximale possible par la classe utilisée et la puissance normalisée du signal non distordu.

$$P_{out,norm} = \frac{V_{CC} \cdot I_{CC} \left(1 - \cos \frac{\theta}{2}\right)}{4} \quad (\text{I-34})$$

La puissance maximale normalisée s'écrit :

$$P_{out,max,norm} = \frac{P_{out,norm}}{P_{out,max}} = \frac{1}{\pi} \cdot \frac{(\theta - \sin \theta)}{1 - \cos \frac{\theta}{2}} \quad (\text{I-35})$$

Comme le montre la Figure I-21, la puissance normalisée devient maximale (=1,15) pour un angle de conduction de $\frac{4 \cdot \pi}{3}$.

La Figure I-22 montre que plus l'angle de conduction du circuit est faible, plus le signal s'éloigne de sa forme sinusoïdale. Les harmoniques ne sont donc plus négligeables par rapport au fondamental. Cette influence est plus importante pour la classe C ($\pi < \theta < 0$) car pour un angle de conduction inférieur à π , la puissance maximale diminue. L'amplitude du fondamental qui est directement liée à cette puissance chute et devient du même ordre de grandeur que les harmoniques.

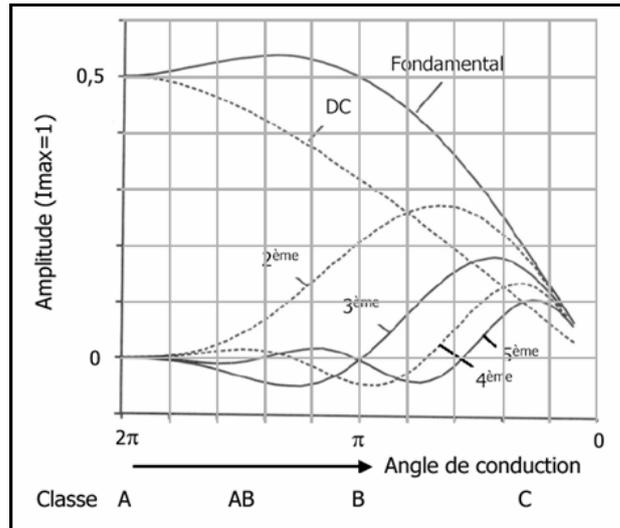


Figure I-22 : Linéarité en fonction de la classe

La classe *AB*, moins parasitée par les harmoniques comporte un pic au fondamental. Ce pic reflète la variation de la puissance maximale normalisée définie par l'équation (I-35). Afin de donner quelques ordres de grandeur, l'analyse du fonctionnement de l'amplification linéaire est appliquée à toutes les classes qui composent ce groupe de PAs.

III.3.b La classe A

L'amplificateur de classe *A* est le plus linéaire avec son angle de conduction de 2π . Le signal de sortie résultant ne comporte aucune harmonique parasite. En contre partie, il consomme plus. Son rendement théorique maximal est de 50%. L'évolution théorique du signal de sortie d'un PA classe *A* est illustrée en Figure I-23.

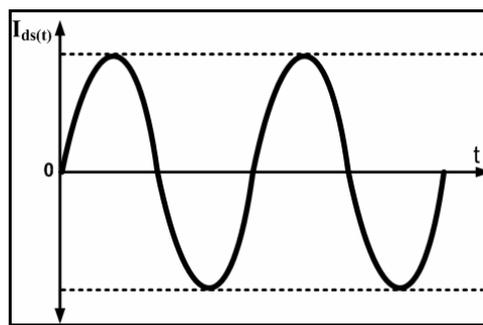


Figure I-23 : Allure du signal en sortie d'un PA classe A

D'après l'équation (I-33) et l'angle de conduction de cette classe, la puissance maximale en sortie du PA s'écrit :

$$P_{out,max} = \frac{V_{CC} \cdot I_{CC}}{2} \tag{I-36}$$

Exemple de PA en classe A

Le PA de la référence [SOW02] utilise une configuration cascode auto-polarisée. Cette technique permet notamment d'augmenter la tension de sortie, réduisant ainsi les contraintes sur le courant de polarisation.

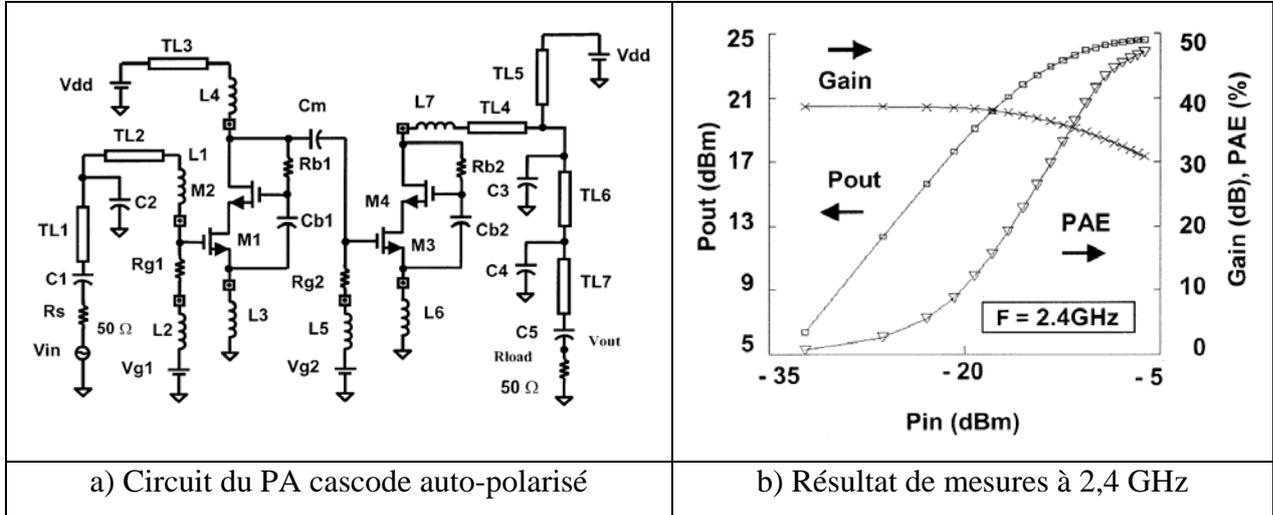


Figure I-24 : Schéma et résultats de mesures du PA [SOW02]

Ce PA, développé en technologie CMOS 180 nm permet de répondre au standard Bluetooth. Son gain est de 35,5 dB. A 2,4 GHz, sa puissance maximale et son OCP_1 (puissance de sortie à 1 dB de compression) sont respectivement égaux à 23 dBm et 21 dBm. Son PAE_{max} et son PAE_{OCP1} sont respectivement de 42% et 20%. Le PA offre une linéarité suffisante pour répondre aux exigences du Bluetooth.

III.3.c La classe B

Le PA de classe B conduit sur une demi-période du signal. Son angle de conduction est π . D'après la Figure I-22, les harmoniques paires influent sur la linéarité de cette classe. En contrepartie son rendement théorique maximal est de 78,54%.

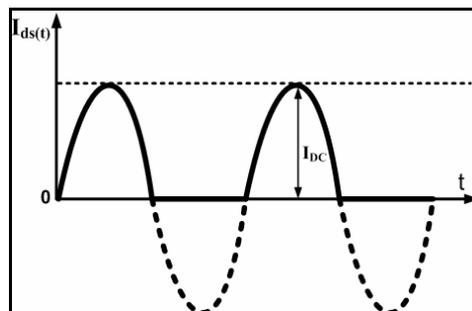


Figure I-25 : Allure du signal en sortie d'un PA classe B

D'après l'équation (I-33) et l'angle de conduction, la puissance maximale en sortie du PA s'écrit :

$$P_{out,max} = \frac{V_{CC} \cdot I_{CC}}{4} \tag{I-37}$$

Une combinaison Push-pull permet de retrouver la linéarité d'un classe A mais avec le rendement maximal théorique d'un classe B. La polarisation DC est réduite en comparaison à la classe A.

✚ Exemple de PA en classe B

La référence [ASB01] présente un PA en technologie CMOS 250 nm entièrement polarisé en classe B. Le PA source commune utilise une technique de linéarisation permettant les résultats présentés à la Figure I-26.

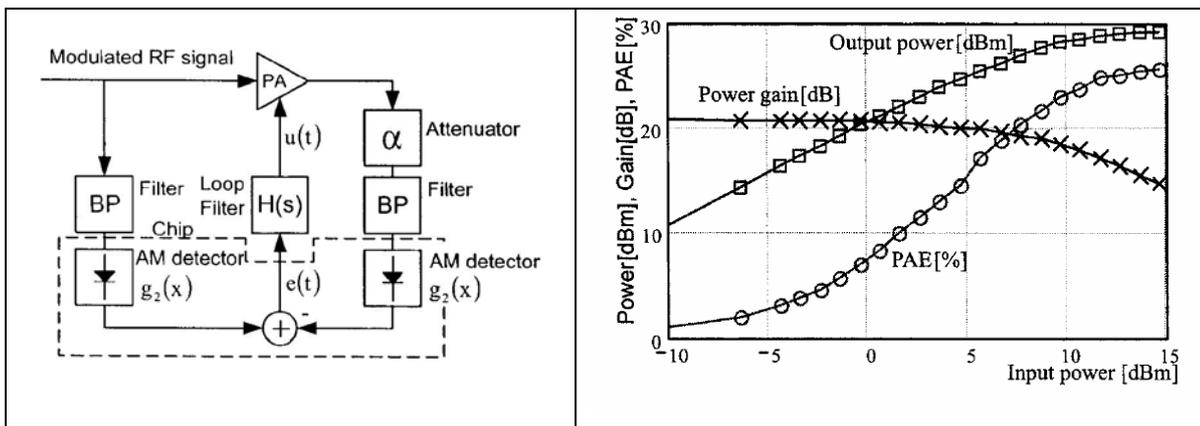


Figure I-26 : Résultats de mesures du PA classe B [ASB01]

Il est stipulé qu'à 1,9 GHz, la P_{max} et la PAE_{max} sont respectivement égales à 29,2 dBm et 27,4%. Nous pouvons estimer la PAE_{OCP1} autour de 18 % pour un $OCP1$ de 26 dBm d'après un relevé sur la courbe de la Figure I-26.

III.3.d La classe AB

La classe AB comporte tous les angles de conduction possibles entre la classe A et la classe B. Elle permet un compromis entre la linéarité et le rendement. La Figure I-27 illustre l'allure pour une valeur de θ définie.

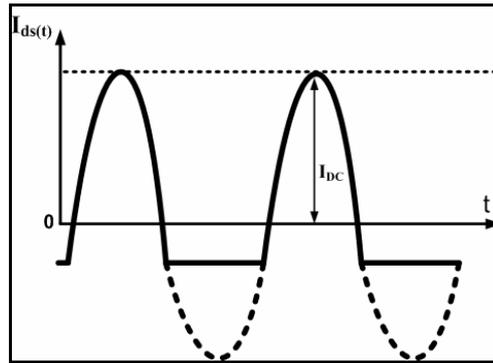


Figure I-27 : Allure du signal en sortie d'un PA classe AB

Pour un angle de conduction de $\frac{4\pi}{3}$, la puissance maximale normalisée atteint son optimum à 1,15. C'est avec cet angle de conduction que le PA fournit une puissance optimale. La classe AB est un bon compromis entre la linéarité et le rendement mais aussi avec la puissance de sortie.

✚ Exemple de PA en classe AB

La classe AB est la plus répandue pour concevoir un PA linéaire. Parmi les nombreux PAs en classe AB présents dans la littérature, celui de la référence [HAL07] est illustré en Figure I-28.

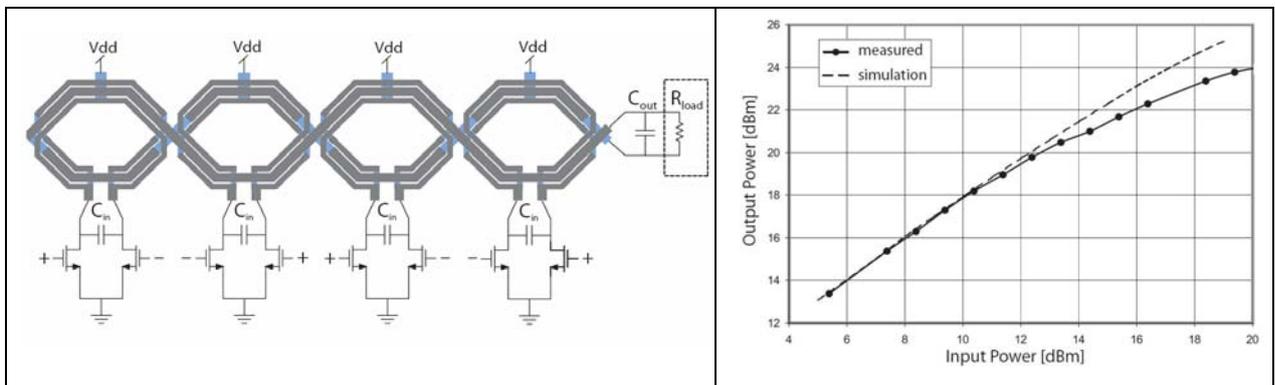


Figure I-28 : Schéma de principe du PA [HAL07]

Ce PA utilise une technologie CMOS 90 nm. Sa topologie de PAs placés en parallèle permet d'améliorer la linéarité et contourner la faible tension de claquage des transistors. Son gain est de 8 dB. A 5,8 GHz, la P_{max} et l' OCP_1 sont respectivement égales à 24,3 dBm et 20,5 dBm. Son PAE_{max} et son PAE_{OCP_1} sont respectivement de 27% et 15%.

III.3.e La classe C

La classe C comporte un ensemble d'angles de conduction de π à 0. La Figure I-29 représente l'allure de $I_{ds(t)}$ pour un θ compris dans cet intervalle. Cette classe est la moins linéaire et a une puissance de sortie maximale relativement faible. Cependant, son rendement théorique maximal est compris entre 78,53% et 100%. La classe C utilise le principe de conception lié aux classes linéaires mais répond davantage à une amplification à haut rendement.

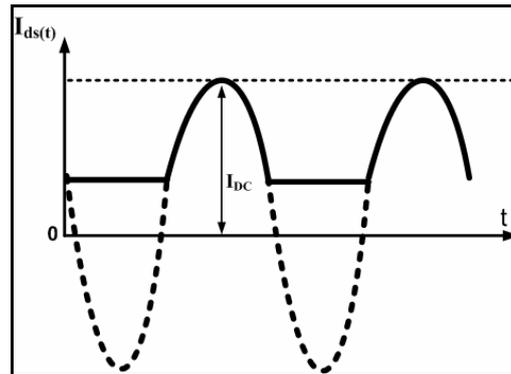


Figure I-29 : Allure du signal en sortie d'un PA classe C

✚ Exemple de PA en classe C

La référence [SEK01] présente des travaux de thèse effectués à l'Université de Berkeley. Le PA classe C qui y est présenté est destiné à une application DCS1800 dont la modulation utilisée (GMSK) est à enveloppe constante. Ce PA se positionne dans le cadre d'une amplification non linéaire. Sa P_{max} et sa PAE_{max} sont respectivement de 30,3 dBm et de 42 %. Ces performances sont intéressantes mais la technologie CMOS utilisée est ancienne (0,35 μ m) et le PA n'a pas une bonne linéarité.

III.3.f Etat de l'art sur les PAs linéaires

Le Tableau I-6 présente un état de l'art des performances possibles des PAs CMOS de classe linéaire en fonction de l'évolution des longueurs de grille.

La majorité des PAs présentés dans le Tableau I-6 appartiennent à la classe AB. En effet, la classe A et la classe B n'utilisent qu'un seul angle de conduction chacune. Tous les autres angles de conduction permettent le développement d'un PA suffisamment linéaire appartenant à la classe AB. Il est donc normal que la quasi-totalité des PAs linéaires présentés dans cet état de l'art appartiennent à cette classe de fonctionnement.

Tableau I-6 : Etat de l'art

Ref	Classe	CMOS (nm)	Freq (GHz)	Vali (V)	Pout (dBm)	Gain (dB)	PAE (%)	Standard	Structure
[WAN04]	AB	500	1,75	3,3	Max: 25 OCP1: 24 Spec: 24	23,9	Max: 33 À OCP1: 29	3GPP WCDMA	Source commune
[SEK01]	C	350	1,75	3,3	Max: 30,3 OCP1: NC	NC	Max: 42 À OCP1: NC	DCS1800	Différentielle
[HEO01]	NC	250	2,4	2,5	Max: 23 OCP1: 21 Spec: 20	18,8	Max: 45 À OCP1: 26	ISM band	Source commune
[ASB01]*	B	250	1,9	3	Max: 29,2 OCP1: 26*	20,7	Max: 27,4 À OCP1: 18*	EDGE	Source commune
[SOW02]	A-AB	180	2,4	2,4	Max: 23 OCP1: 21 Spec: 20	35,5	Max: 42 À OCP1: 20	Bluetooth	Cascade autopolarisé
[WAN04]	AB	180	5,2	1,8	Max: 19,5 OCP1: 16	15	Max: 32 À OCP1: 13	WLAN	Push-Pull
[KAN06]	AB	180	2,4	3,3	Max: - OCP1: 24,5	19,8	Max: NC À OCP1: 31	WLAN	Différentielle
[REY07]	BE	130	2,45	1,5	Max: 23 OCP1: NC	15	Max: 35 À OCP1: NC	Bluetooth	PA //
[HAL07]	AB	90	5,8	1	Max: 24,3 OCP1: 20,5	8	Max: 27 À OCP1: 15	NC	PA //

* PA avec linéarisation. Valeurs de OCP_1 et PAE_{OCP_1} estimées d'après la courbe de la Figure I-26

La combinaison entre une classe *B* et *E* est présentée par la référence [REY07]. Cette classe combine l'avantage en puissance de la classe *B* et le bon rendement de la classe *E*.

L'évolution des structures de PAs présentée dans cet état de l'art est inhérente à l'effet de la miniaturisation des technologies. Elle démontre l'inefficacité des architectures classiques à fournir de la puissance sur des technologies CMOS avancées. Ce critère est à prendre en compte pour la détermination d'une nouvelle structure de PA qui est présentée dans le chapitre suivant. Plusieurs paramètres de caractérisation régissent la conception d'un PA linéaire destiné à l'UMTS. Ces paramètres sont présentés dans la section suivante.

IV Conclusion

Ce chapitre a permis de mettre en évidence l'évolution des communications filaires vers des systèmes radiofréquences sans fil. Ces systèmes répondent à différentes exigences spécifiées par des standards. En fonction du standard, la distance de communication, la fréquence de travail et le débit sont différents.

Présenter un état de l'art du CMOS et de son marché a permis d'argumenter sur la nécessité de développer les futurs produits grand public avec cette technologie. L'objectif des années à venir est de concevoir des PA intégrés sur une puce d'émission-réception. Le marché grand public impose une technologie faible coût à forte capacité de miniaturisation. Cela soulève des problèmes technologiques, qui devront être pris en compte pour la détermination d'une architecture de PA.

Nous avons recensé les différentes possibilités d'amplifier des signaux analogiques. Chaque topologie de PA comporte ses avantages, et ses inconvénients. De plus, une fois sur silicium, des facteurs comme la taille du circuit, sa consommation, la complexité du circuit, des spécifications du standard ou la technologie utilisée sont à considérer. Le choix d'une topologie d'amplificateur est inhérent à tous ces critères. Les classes linéaires paraissent plus appropriées aux contraintes que nous nous sommes fixés. Néanmoins, il est essentiel de proposer une architecture innovante permettant d'allier technologie avancée à faible coût et de répondre au standard UMTS.

Le chapitre 2 confrontera donc la compatibilité entre la conception d'un PA CMOS et son application au standard UMTS, afin de déterminer la meilleure architecture possible.

REFERENCES

- [ANC02] F. Anceau, 'Evolution de l'architecture des processeurs', Technique et technologie de la nouvelle économie, Septembre 2002
- [APO08] M. Apostolidou, M.P. van der Heijden and D.M.W. Leenaerts, "A 65 nm CMOS 30 dBm Class-E RF Power Amplifier with 60 % Power Added Efficiency", RFIC, June 2008, Page(s) 141-144
- [ASB01] P. Asbeck and C. Fallesen, "An RF Power Amplifier in a Digital CMOS Process", JSSC, vol36, issue 2, February 2001, Page(s) 166-175
- [BOU07] Université de Bourgogne. "Tuto JRES 3, Wi-Fi Eduroam: de la théorie à la pratique", Centre de ressource informatique, Janvier 2007
- [CHI02] C.F. Chiasserini and R.R. Rao, "Coexistence mechanisms for interference mitigation between IEEE 802.11 WLANs and Bluetooth", INFOCOM 2002, Vol 2, Page(s) 590-598
- [CRI99] Steve C. Cripps "RF Power Amplifier for Wireless Communication", Artech House, Boston, 1999
- [DEL05] N. DELTIMPLE, "Etude et Réalisation d'un Amplificateur de Puissance Reconfigurable en Technologie BiCMOS SiGe pour des Applications Multi-standards GSM/DCS/UMTS ", Thèse de l'Université Bordeaux I, 9 Décembre 2005
- [DEM06] N. DEMIREL, "High Efficiency Switching Mode Power Amplifiers Using Delta-Sigma Modulators", Rapport de stage, University of Calgary, 2006
- [DEU08] M. Deunal, A. Behravan, T. Erikson, "Evaluation of Performance Improvement Capabilities of PAPR-Reducing Methods", Wireless Pers Commun, Springer, 2008
- [EKL02] C. Eklund, R.B. Marks, S. Wang, "IEEE standard 802.16: a technical overview of the Wireless MANTM Air Interface for Broadband Wireless Access", IEEE Communications Magazine, Vol 40, 2002-08-07, Page(s) 98-107
- [GSM] GSM world website <http://www.gsmworld.com>
- [HAL07] Haldi, P. Chowdhury, D. Liu, G. Niknejad and M Ali, "A 5.8 GHz Linear Power Amplifier in a Standard 90nm CMOS Process using a 1V Power Supply", RFIC, June 2007, Page(s): 431-434
- [HAR02] Harnalainen, M. Hovinen, V Tesi "On the UWB system coexistence with GSM900, UMTS/WCDMA, and GPS", JSAC, Vol 20, December 2002, Page(s) 1712-1721
- [HEO01] D. Heo, A. Sutono, E. Chen, "A High Efficiency 0.25µm CMOS PA with LTCC Multi-layer High-Q Integrated Passives for 2.4GHz ISM Band ", MTT-S, Phoenix, 20-25 May 2001, Page(s) 915-918
- [HEY03] P.Heydari and Y.Zhang "A Novel High Efficiency, Differential Class-E Power Amplifier in 0.18µm CMOS", ISLPED, August 2003, Page(s):455 – 458
- [HO03] Chien-Chih Ho, Chin-Wei Kuo, Chao-Chih Hsiao and Yi-Jen Chan "A Fully Integrated Class-E CMOS Amplifier With a Class-F Driver Stage", RFIC, 8-10 June 2003, Page(s): 211 – 214

- [HOL07] H. Holma, A. Toskala, and L. Noël, “WCDMA for UMTS – HSPA Evolution and LTE”, Wiley Edition, Springer, 2007
- [ICU00] International Communication Union, “IMT-2000 Radio Interface Specifications Approved in ITU Meeting in Helsinki”, ITU, Press Release ITU/99-22, Nov 1999
- [KAN06] J. Kang Hajimiri and A. Bumman Kim, “A single-chip linear CMOS power amplifier for 2.4 GHz WLAN”, ISSCC, February 2006, Page(s): 761- 769
- [LEE07] Lee, O. Yang, K. Seok An, K. Hwan Kim, Y. Kim, H. Chang, J. Joon Woo, W. Lee, C. Laskar, “A 1.8-GHz 2-Watt Fully Integrated CMOS Push-Pull Parallel-Combined Power Amplifier Design”, RFIC, June 2007, Page(s): 435-438
- [LTE] LTE : <http://www.journaldunet.com/ebusiness/mobile/dossier/070919-questions-reponses-3glte/index.shtml>
- [MAE95] S. Jae Maeng, S.S Chun, J.L Lee and C.S Lee, “A GaAs Power Amplifier for 3.3V CDMA/AMPS Dual-Mode Cellular Phones”, MTT, Vol 43, N°12, Decembre 1995, Page(s) 2839-2844
- [MAU02] A. Springer, L. Maurer and R. Weigel, “RF System Concepts for Highly Integrated RFICs for W-CDMA Mobile Radio Terminals”, MTT, Vol. 50, No. 1, January 2002, Page(s). 254-267.
- [MAZ05] A.Mazzanti, L.Larcher, R.Brama and F.Svelto, “A 1.4 GHz – 2GHz wideband CMOS class-E Power Amplifier delivering 23 dBm peak with 67 % PAE”, RFIC, 12-14 June 2005, Page(s) 425-428
- [PAV06] C. Pavao Moreira “Conception et Réalisation d’Amplificateurs Faible Bruit (LNA) Multistandard en Technologie BiCMOS SiGe pour Applications Mobiles sans Fil ” Thèse de l’Université Bordeaux I, 22 Novembre 2006
- [RAL07] S. Ralph, R. Farrell, “Using High Pass Sigma-Delta Modulation for Class-S Power Amplifiers“, ECCTD 2007, Pages 707-710
- [RAV97] B. Ravazi, “Design Considerations for Direct-Conversion Receivers”, IEEE Transactions on Circuits and Systems II, Vol. 44, June 1997, Page(s) 428-435.
- [RAZ98] B. Razavi, “RF Microelectronics”, Prentice Hall, Upper Saddle River, NJ, USA, 1998.
- [REY06] P. Reynaert, M. Steyaert “RF Power Amplifier for Mobile Communications”, Springer 2006
- [REY07] P. Reynaert and S. J. Steyaert, “A 2.45-GHz 0.13 μ m CMOS PA With Parallel Amplification”, JSSCC, vol 42, No3, march 2007, Page(s) 551-562
- [RIH08] B. RIHAWI, “Analyse et réduction du Power Ratio des Systèmes de Radiocommunication Multi-antennes”, Institut d’Electronique et de Télécommunication de Rennes, 20 Mars 2008
- [SAM98] A. Samukit, “UMTS Universal Mobile Telecommunications System: Development of Standards for the Third Generation”, IEEE Vehicular Technology, Vol 47, November 1998, Page(s) 1099-1104
- [SEK01] R. Sekhar Narayanaswami, “RF CMOS Class C Power Amplifier for Wireless Communications” University of California, Berkeley, 2001

- [SHI02] A. Shirvani, D.K Su and B.A. Wooley, “A CMOS RF power amplifier with parallel amplification for efficient power control”, Solid-State Circuits, Vol 37, Issue 6, June 2002, Page(s) 684 – 693
- [SOW02] T. Sowlati, D. Leenaerts “A 2.4GHz 0.18 μ m CMOS Self-Biased Cascode Power Amplifier with 23dBm Output Power”, ISSCC, Session17, San Francisco, CA, February 3-7, 2002, Page(s) 294-467
- [STA99_1] LAN MAN Standard Committee, “Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications”, High Speed Physical Layer in the 5 GHz Band, IEEE Std. 802.11a, 1999 Edition.
- [STA99_2] LAN MAN Standard Committee, “Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications”, Higher-Speed Physical Layer Extension in the 2,4GHz Band, ANSI/IEEE Std. 802.11b, 1999 Edition.
- [VAT01] V.R Vathulya., T. Sowlati and D. Leenaerts, “Class 1 bluetooth power amplifier with 24 dBm output power and 48% PAE at 2.4 GHz in 0.25 μ m CMOS”, ESSCIRC, 18-20 Sept. 2001 Page(s): 57 - 60
- [WAN04] C. Wang, M. Vaidyanathan, “A capacitance compensation technique for improved linearity in CMOS class AB power amplifiers”, JSSCC, vol39, No11, November 2004, Page(s) 1927-1937
- [WAN04] W. Wang and Y.P Zhang, “0.18- μ m CMOS Push-Pull Power Amplifier With Antenna in IC Package”, IEEE Microwave and Wireless Components Letters, vol.14, no.1, January 2004, Page(s) 13-15
- [WIL] William C. Craig “Zigbee: Wireless Control that Simply Works” Program Manager Wireless Communications ZMD America, Inc
- [XIA07] F.Xiangning, L.Yuanjie, L.Mingqi and Z.Xiaodong, “Analysis and Comparison of Different SC-FDMA Schemes for 3GPP LTE”, Wireless Communications, Networking and Mobile Computing, Shanghai, 21-25 September 2007, Pages 787-790

Chapitre II

II Méthodologie de conception d'un PA SFDDS CMOS destiné à l'UMTS

II	METHODOLOGIE DE CONCEPTION D'UN PA SFDDS CMOS DESTINE A L'UMTS	45
I	DETERMINATION D'UNE STRUCTURE DE PA	46
I.1	Architecture de PA à un étage	46
I.1.a	Utilisation d'un circuit en source commune	46
I.1.b	Architecture commune, différentielle et quadrature	47
I.1.c	Structure cascodée et structure empilée	49
I.1.d	Etude comparative des performances entre la structure empilée et la structure cascodée	50
I.2	La topologie choisie	52
II	ETUDE DE LA STRUCTURE SFDDS	54
II.1	Etude théorique du SFDDS au petit signal	54
II.1.a	Calcul du gain en court circuit G_{cc}	55
II.1.b	Calcul de R_{sc}	56
II.1.c	Calcul du gain A_v	57
II.2	Les limites du SFDDS	58
II.3	Méthodologie de conception d'un étage SFDDS	59
II.3.a	Impact du nombre de transistors empilés sur la tension d'alimentation et l'impédance de sortie	59
II.3.b	Dimensionnement des transistors et polarisation	60
II.4	Influence de la taille des transistors sur un étage SFDDS à deux transistors	61
II.4.b	Influence de la taille du transistor M_2 sur le comportement du SFDDS	62
II.4.c	Influence de la taille du transistor M_1 sur le comportement du SFDDS	63
II.4.d	Synthèse sur les paramètres de caractérisation	64
III	CONCEPTION DE L'AMPLIFICATEUR DE PUISSANCE SFDDS A DEUX ETAGES DESTINE AU W-CDMA	65
III.1	Introduction	65
III.2	Conception de l'étage de puissance	66
III.2.a	Alimentation du circuit	66
III.2.b	Charge en sortie	66
III.2.c	Taille minimale des transistors de puissance et polarisation	67
III.3	Conception de l'étage driver	67
III.4	Adaptation d'impédance	68
III.5	Circuit de polarisation	69
III.6	PA SFDDS complet	70
IV	CONCLUSION SUR LE CHOIX DE L'ARCHITECTURE SFDDS	72

Introduction : Dans ce deuxième chapitre, nous déterminerons dans un premier temps une architecture de travail permettant de concevoir un PA linéaire à forte puissance utilisant une technologie CMOS à faible longueur de grille. Cette première partie nous amènera, dans un second temps à étudier une nouvelle structure nommée SFDS (Stacked Folded Differential Structure). Une méthodologie de conception d'un PA SFDS sera aussi proposée, de manière à généraliser l'utilisation d'un PA SFDS pour les applications de puissance en technologie CMOS avancée. Cette méthodologie sera ainsi appliquée à un PA SFDS à deux étages.

I Détermination d'une Structure de PA

Concevoir un PA pour l'UMTS est un réel challenge, de par la faible tension de claquage des technologies CMOS et la linéarité exigée par le standard. Le standard UMTS est visé car ses exigences repoussent les limites de la faisabilité d'un PA. Le signal UMTS n'utilise qu'une seule porteuse. L'objectif principal est de délivrer une puissance maximale la plus élevée possible et une puissance au point de compression d'au moins 27dBm (500mW) à 1,95GHz. Cela permet d'être suffisamment linéaire entre -20 dBm et 24 dBm, comme le préconise la technique d'accès du standard [HOL07]. Il est important de déterminer l'architecture permettant de délivrer ces niveaux de puissance, avec une faible consommation. Nous allons présenter différentes topologies qu'il est possible de mettre en œuvre pour un PA linéaire à un étage. Cette comparaison fixera un point de départ dans la détermination d'une architecture pour la conception du PA.

I.1 Architecture de PA à un étage

La comparaison portera sur différentes structures : un étage mode commun, différentiel, ou en quadrature. Une fois la structure choisie, elle peut être modifiée pour concevoir un circuit destiné à une application en puissance (structure Cascodée ou structure empilée). Cette modification permet de jouer sur les paramètres intrinsèques aux performances du PA.

I.1.a Utilisation d'un circuit en source commune

Plusieurs connexions possibles du transistor MOS sont déterminées selon le pôle référence entre l'entrée et la sortie. Nous parlons alors de montage en source commune, en drain commun ou en grille commune. Ces différents montages sont présentés à la Figure II-1.

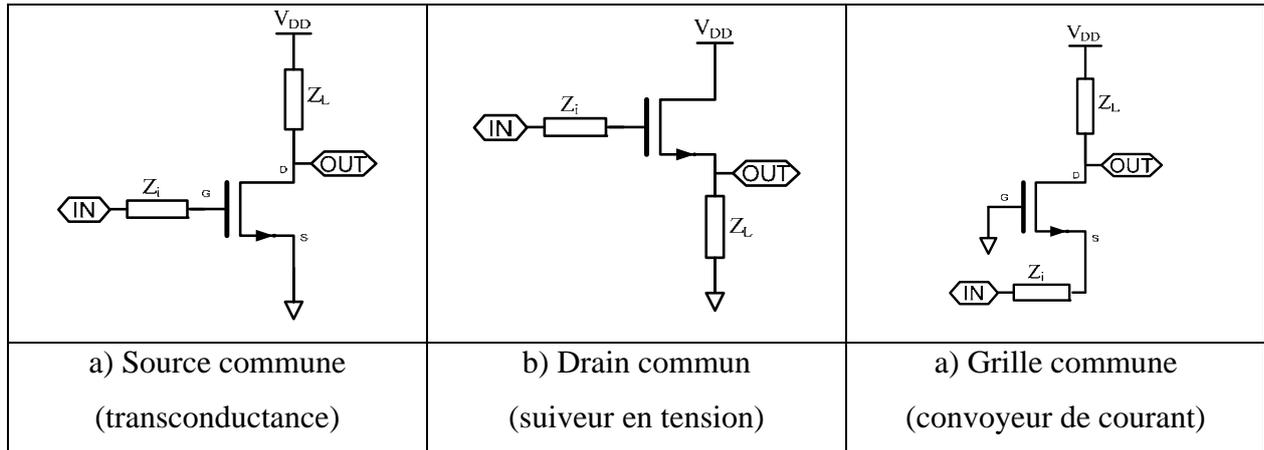


Figure II-1 : Modes d'utilisation du transistor MOS

Tableau II-1 : Paramètres incrémentaux des différents modes d'utilisation du MOS

	Impédance d'entrée	Impédance de sortie	Gain en tension
Source commune	$Z_{in} = \infty$	$Z_{out} = r_{ds} // Z_L = Z_L$	$A_v = -g_m \cdot Z_L$
Drain commun	$Z_{in} = \infty$	$Z_{out} = \frac{1}{g_m}$	$A_v = 1$
Grille commune	$Z_{in} = \frac{1}{g_m}$	$Z_{out} = \frac{1 + g_m \cdot Z_i}{g_{ds}}$	$A_v = \frac{g_m \cdot Z_L}{1 + g_m \cdot Z_i}$

Le Tableau II-1 présente les principales différences entre les trois modes de fonctionnement. Le gain est un critère inhérent pour notre choix de départ. Le montage source commune permet d'obtenir le gain le plus élevé. Nous retenons donc cette topologie pour la suite de nos travaux.

I.1.b Architecture commune, différentielle et quadrature

Nous allons effectuer une présentation des différentes architectures simples qu'il est possible d'obtenir avec une topologie en source commune.

Architecture à montage commun

Le montage commun est le plus simple. Un seul transistor par étage est suffisant, comme le montre la Figure II-2.

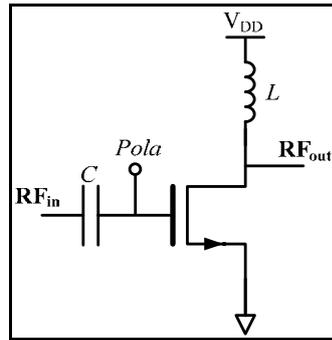


Figure II-2 : Montage commun

Le rendement est un des points clés du PA. Le montage commun est le montage ayant la consommation DC la plus faible. C'est pour cela que cette architecture est retrouvée fréquemment dans la littérature [HOL07], [HEO01] et [ASB01]. Grâce à la faible consommation de cette structure, le PA de la référence [HEO01] obtient une PAE_{max} de 45%, permettant au PA d'être moins gourmand en énergie. D'un autre côté, cette structure permet difficilement une puissance de sortie élevée avec des technologies CMOS à faible longueur de grille.

✚ Architecture différentielle

La topologie différentielle est présentée à la Figure II-3. Le gain et la puissance de sortie de l'étage d'une paire différentielle sont plus élevés que pour un montage commun [SEK01] et [KAN06]. Les limites de performance en puissance et en gain du montage commun sont compensées au détriment du rendement et de la surface du PA. Cette structure permet un fonctionnement en quadrature ou en opposition de phase entre les deux transistors qui la composent.

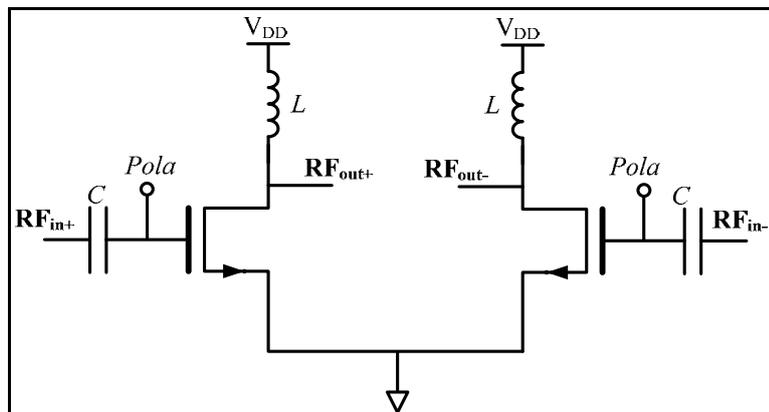


Figure II-3 : Topologie différentielle

Le PA de la référence [KAN06] utilise une topologie différentielle en technologie CMOS 180 nm. Son OCP_1 et sa PAE_{OCP1} sont respectivement 24,5 dBm et de 31%. Ces

performances sont supérieures au PA de la référence [HEO01] qui utilise un montage commun avec une technologie CMOS de 250 nm.

I.1.c Structure cascodée et structure empilée.

Nous souhaitons optimiser la linéarité et la puissance de notre PA. L'ajout d'un deuxième transistor en série au montage en source commune augmente la tension en sortie du PA. La puissance de sortie peut alors être améliorée. Une structure cascodée ou une structure empilée permet cette amélioration.

Structure cascodée

La Figure II-4 présente un montage cascodé [SOW02]. Cette structure isole la sortie de l'entrée et multiplie la résistance de sortie du montage par le gain d'un étage, comme le montre l'équation (II-2). Cascoder un circuit augmente son gain (équation(II-3)), ce qui est un avantage pour la consommation, car le gain détermine le nombre d'étages dont le PA doit être composé. Le montage cascode améliore aussi la réponse en fréquence par la réduction de l'effet Miller. La référence [SOW02] présente un PA en technologie CMOS 180 nm destiné à l'application Bluetooth. Le montage en cascode auto-polarisé de ce PA permet d'obtenir de bonnes performances en puissance ($P_{max}=23$ dBm) et en rendement ($PAE_{max}=42\%$) avec une technologie CMOS 180 nm.

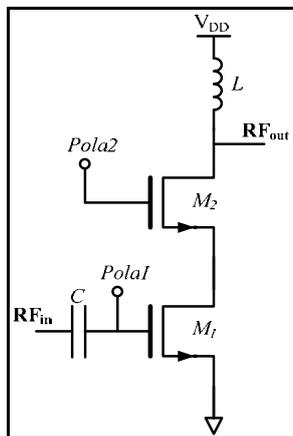


Figure II-4 : Montage Cascode

$$G_m = g_{m1} \quad (\text{II-1})$$

$$Z_{out} = g_{m2} \cdot R_{ds1} \cdot R_{ds2} \quad (\text{II-2})$$

$$A_v = g_{m1} \cdot (R_L // g_{m2} \cdot r_{ds1} \cdot r_{ds2}) \quad (\text{II-3})$$

Structure empilée

La structure empilée est présentée à la Figure II-5. Elle a été développée au cours de cette thèse [LUQ07], [LUQ08]. Le signal en entrée du circuit est appliqué sur le transistor M_1 et M_2 . Cette structure a pour but de créer un ensemble indivisible avec les transistors qui la composent afin de convenir à des applications de puissance.

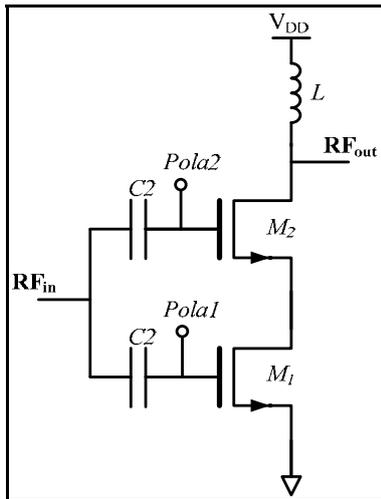


Figure II-5 : Structure empilée

$$G_m = g_{m1} + \frac{(g_{m2} - g_{m1})}{g_{m2} \cdot r_{ds} + 2} \quad \text{(II-4)}$$

$$Z_{out} = R_L // (r_{ds} \cdot (2 + g_{m2} \cdot r_{ds})) \quad \text{(II-5)}$$

$$A_v = \left(g_{m1} + \frac{(g_{m2} - g_{m1})}{g_{m2} \cdot r_{ds} + 2} \right) \cdot [R_L // (r_{ds} \cdot (2 + g_{m2} \cdot r_{ds}))] \quad \text{(II-6)}$$

Une simulation comparative entre cette structure et un montage cascodé est présentée de manière à démontrer son potentiel et son originalité.

I.1.d Etude comparative des performances entre la structure empilée et la structure cascodée

Nous avons effectué une comparaison des performances entre un circuit cascodé (Figure II-4) et un circuit empilé (Figure II-5) afin de montrer le potentiel en puissance de la structure empilée. La charge de sortie et le courant de drain sont identiques pour toutes les simulations présentées. Les transistors M_1 et M_2 ont les mêmes dimensions ($W=2\text{mm}$; $N_f=25$, $N_c=20$). L'adaptation en entrée est effectuée par un réseau LC. Pour cette démonstration, nous avons utilisé les transistors nsvt18RF de la technologie CMOS 65 nm de STMicroelectronics mais la validité de cette simulation a été vérifiée sur d'autres technologies CMOS. Les simulations sont présentées en Figure II-6 et Figure II-7.

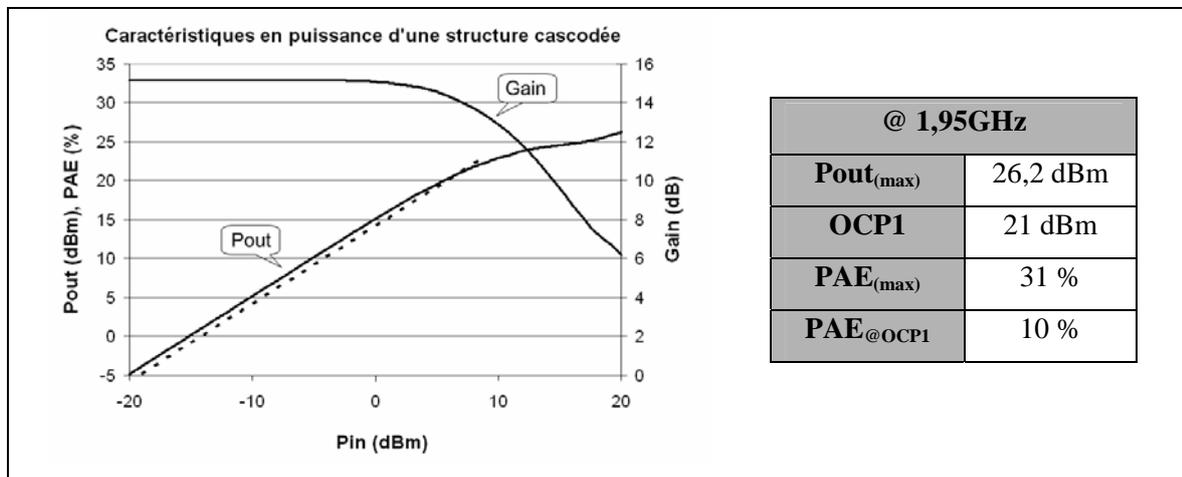


Figure II-6 : Simulation en puissance d'une structure cascodée

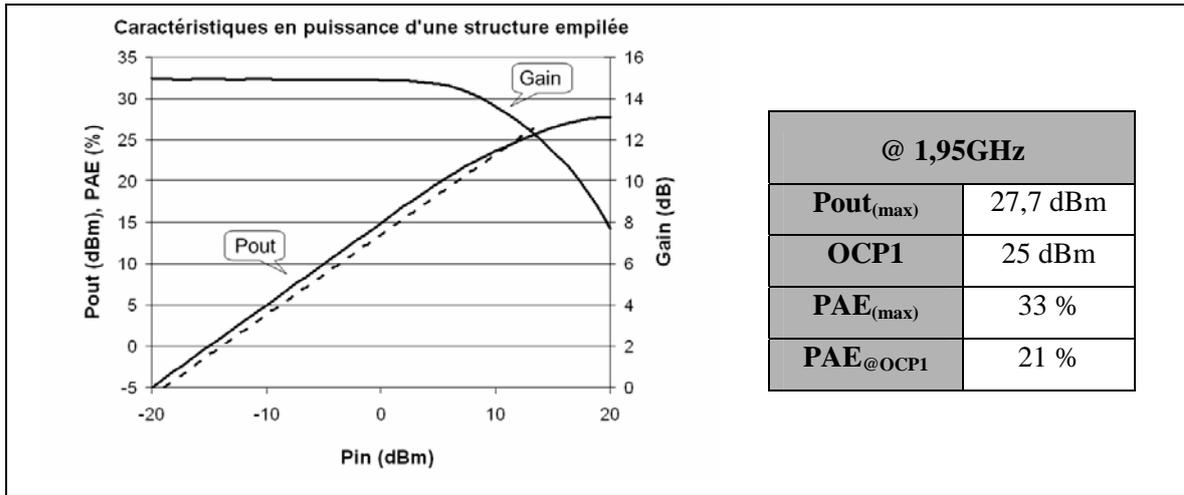


Figure II-7 : Simulation en puissance d'une structure empilée

La première comparaison entre les simulations de la structure cascodée présentée à la Figure II-6 et celle de la structure empilée présentée à la Figure II-7 met en évidence les améliorations apportées par la structure empilée sur la puissance de sortie (27,7 dBm pour la structure empilée contre 26,2 dBm pour la structure cascodée), sur la linéarité (OCP_1 à 25 dBm pour la structure empilée contre 21 dBm pour la structure cascodée) et sur le rendement (33% pour la structure empilée contre 31% pour la structure cascodée). Il est donc plus intéressant d'utiliser cette structure pour notre application, et ce quel que soit la technologie CMOS utilisée. Nous avons néanmoins effectués plusieurs autres comparaisons entre la moitié d'un SFDFS et d'un montage cascode, en fonction du ratio entre les transistors M_1 et M_2 , de la polarisation et de la charge en sortie. Le Tableau II-2, Tableau II-3, Tableau II-4 et Tableau II-5 présentes une liste non exhaustive des comparaisons effectuées, ici en fonction du ratio des transistors.

Tableau II-2 : Comparaison des caractéristiques en puissance entre le montage cascode et demi SFDFS pour $M_2=M_1$

@ 1,95 GHz $M_2=M_1$	SFDS $M_2=8,8mm$ $M_1=8,8mm$	Cascode $M_2=8,8mm$ $M_1=8,8mm$
P_{max}	28,7 dBm	26,7 dBm
OCP1	25,5 dBm	21,5 dBm
PAE_{max}	41,5 %	40 %
PAE_{OCP1}	22,5 %	10 %
Gain	12,6 dB	15,8 dB

Tableau II-3 : Comparaison des caractéristiques en puissance entre le montage cascode et demi SFDFS pour $M_2>M_1$

@ 1,95 GHz $M_2>M_1$	SFDS $M_2=11mm$ $M_1=8,8mm$	Cascode $M_2=11mm$ $M_1=8,8mm$
P_{max}	30 dBm	26,7 dBm
OCP1	26 dBm	22,5 dBm
PAE_{max}	42 %	40 %
PAE_{OCP1}	27 %	12 %
Gain	12 dB	15 dB

Tableau II-4 : Comparaison des caractéristiques en puissance entre le montage cascode et demi SFDS pour $M_2 < M_1$

@ 1,95 GHz $M_2 < M_1$	SFDS $M_2=4,4\text{mm}$ $M_1=8,8\text{mm}$	Cascode $M_2=4,4\text{mm}$ $M_1=8,8\text{mm}$
P_{\max}	28,7 dBm	24,5 dBm
OCP1	23,6 dBm	18,5 dBm
PAE_{\max}	40 %	34 %
PAE_{OCP1}	16,2 %	5,5 %
Gain	14,6 dB	17,5 dB

Tableau II-5 : Comparaison des caractéristiques en puissance entre le montage cascode et demi SFDS pour $M_2 < M_1$

@ 1,95 GHz $M_2 < M_1$	SFDS $M_2=8,8\text{mm}$ $M_1=11\text{mm}$	Cascode $M_2=8,8\text{mm}$ $M_1=11\text{mm}$
P_{\max}	29 dBm	26 dBm
OCP1	25 dBm	21,8 dBm
PAE_{\max}	31 %	18 %
PAE_{OCP1}	18 %	8,6 %
Gain	12,5 dB	14 dB

Quelque soit le ratio utilisé entre les transistors et pour une charge optimale, la moitié du SFDS fourni une meilleur linéarité, puissance et PAE que le montage cascode.

I.2 La topologie choisie

Les nouveaux standards mobiles à haut débit exigent une forte puissance et une grande linéarité. Le Tableau II-6 illustre un état de l'art des PAs CMOS destinés à des applications linéaires en fonction de l'évolution technologique. La réduction des dimensions technologiques induit une chute de la tension de claquage des transistors.

Cette dernière entraîne une réduction inévitable de la puissance de sortie. Comme l'expose le Tableau II-6, afin de compenser cette perte en puissance, l'utilisation d'une paire différentielle ou d'une structure cascodée devient alors plus appropriée que celle du montage en mode commun.

La mise en parallèle de plusieurs cellules cascodées ou différentielles semble être une solution pour le développement de PAs utilisant des technologies CMOS inférieures à 180 nm de longueur de grille (cf Tableau II-6).

Tableau II-6 : Etat de l'art

Ref	Classe	CMOS (nm)	Freq (GHz)	Vali (V)	Pout (dBm)	Gain (dB)	PAE (%)	Standard	structure
[WAN04]	AB	500	1,75	3,3	Max: 25 OCPI: 24 Spec: 24 (lin)	23,9	Max: 33 À OCPI: 29	3GPP WCDMA	Source commune
[SEK01]	C	350	1,75	3,3	Max: 30,3 OCPI: NC	NC	Max: 42 À OCPI: NC	DCS1800	Différentiel
[HEO01]	NC	250	2,4	2,5	Max: 23 OCPI: 21 Spec: 20	18,8	Max: 45 À OCPI: 26	ISM band	Source commune
[ASB01]*	B	250	1,9	3	Max: 29,2 OCPI: 26*	20,7	Max: 27,4 À OCPI: 18*	EDGE	Source commune
[SOW02]	A-AB	180	2,4	2,4	Max: 23 OCPI: 21 Spec: 20	35,5	Max: 42 À OCPI: 20	Bluetooth	Cascade autopolarisé
[WAN04]	AB	180	5,2	1,8	Max: 19,5 OCPI: 16	15	Max: 32 À OCPI: 13	WLAN	Push-Pull
[KAN06]	AB	180	2,4	3,3	Max: - OCPI: 24,5	19,8	Max: NC À OCPI: 31	WLAN	Différentiel
[REY07]	BE	130	2,45	1,5	Max: 23 OCPI: NC	15	Max: 35 À OCPI: NC	Bluetooth	PA //
[HAL07]	AB	90	5,8	1	Max: 24,3 OCPI: 20,5	8	Max: 27 À OCPI: 15	NC	PA //

* PA avec linéarisation. Valeurs de OCP_1 et PAE_{OCP_1} estimées d'après la courbe de la Figure I-26

Le standard UMTS est très exigeant en puissance et en linéarité. Malgré l'évolution des topologies de PA, depuis la référence [WAN04], les performances obtenues en technologie CMOS (hors ajout de technique de linéarisation, [ASB01]) ne permettent pas de répondre à ce standard. Une structure empilée permet d'apporter cette nouvelle perspective aux applications PA. En effet, la comparaison précédente effectuée entre une structure empilée et cascodée montre le fort potentiel d'un PA empilé à garantir une bonne linéarité lors de l'amplification, tout en obtenant un bon rendement. De plus, une parallélisation de PAs empilés reste aussi envisageable, comme le montre l'évolution des structures utilisées en fonction de la longueur de grille (cf Tableau II-6).

L'utilisation de l'association entre une structure empilée et la topologie différentielle a été choisie pour développer notre PA CMOS 65 nm destiné à l'UMTS. Le schéma de cette association présenté à la Figure II-8 est appelé SFDFS 'Stacked Folded Differential Structure' [LUQ07], [LUQ08].

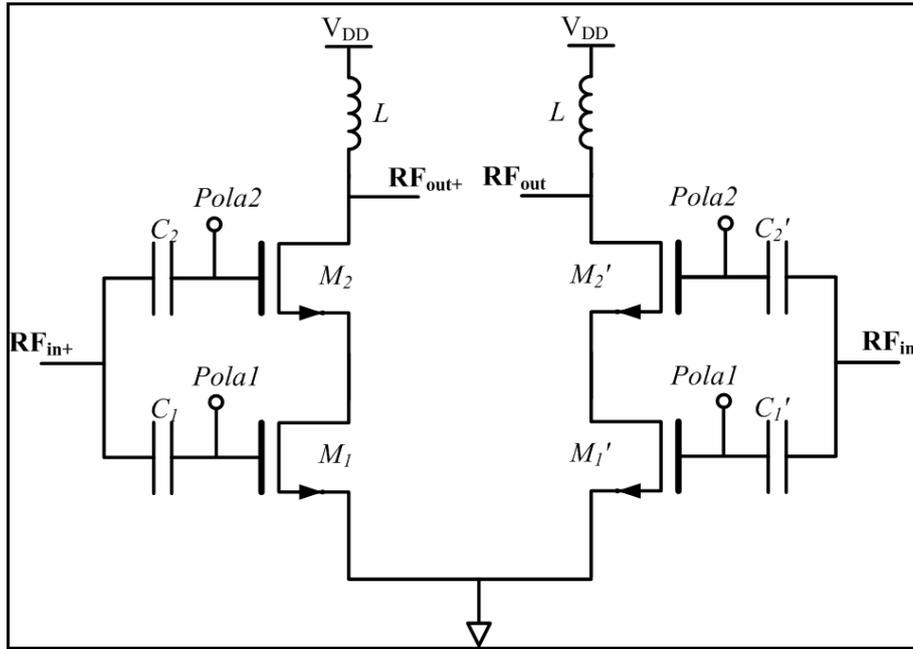


Figure II-8 : Topologie du SFDS 'Stacked Folded Differential Structure'

Par la suite, tous les PAs présentés utiliseront la structure SFDS. Un protocole de conception de cette structure a donc été développé.

II Etude de la structure SFDS

La structure SFDS (combinaison entre une structure empilée et une architecture différentielle) est une approche intéressante pour notre application en puissance. Cette combinaison est compatible pour une utilisation en régime linéaire. Une étude de la structure ainsi qu'un protocole de conception sont présentés dans cette partie.

II.1 Etude théorique du SFDS au petit signal

L'objectif de cette étude est de déterminer le gain du SFDS aux petits signaux. La Figure II-9 présente la moitié du schéma du SFDS, ainsi que son schéma équivalent aux petits signaux. Dans notre cas, la détermination du gain s'effectue en plusieurs étapes.

Le gain en court circuit (G_{cc}) et la résistance de sortie en court circuit (R_{scc}) sont préalablement déterminés. Le schéma équivalent de Thévenin résultant de ces deux calculs permet de déterminer le gain final.

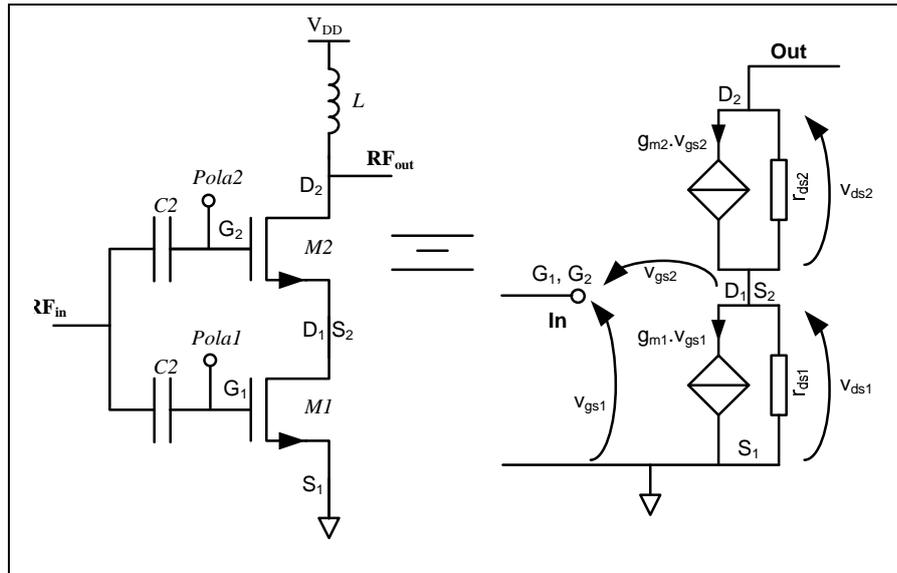


Figure II-9 : Schéma de la moitié du SFDFS ainsi que son équivalence aux petits signaux

II.1.a Calcul du gain en court circuit G_{cc}

La Figure II-10 présente le circuit aux petits signaux permettant d'effectuer le calcul du gain en court circuit.

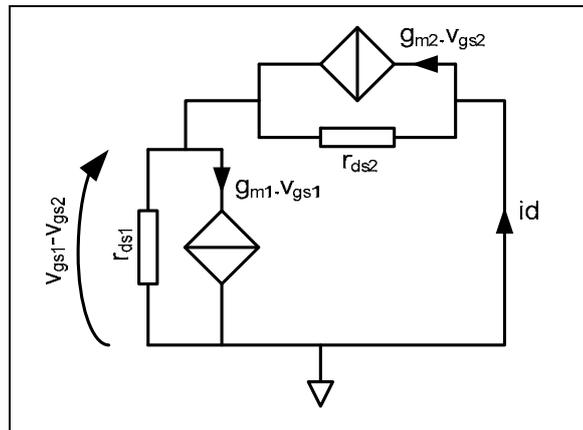


Figure II-10 : Circuit équivalent petits signaux pour le calcul de G_{cc}

Par définition, le gain en court circuit s'écrit :

$$G_{CC} = \frac{id}{v_{gs1}} = \frac{\frac{v_{gs1} - v_{gs2}}{r_{ds1}} + g_{m1} \cdot v_{gs1}}{v_{gs1}} = \frac{v_{gs1} - v_{gs2}}{r_{ds1} \cdot v_{gs1}} + g_{m1} \quad (\text{II-7})$$

Nous savons d'après le schéma que :

$$v_{gs1} - v_{gs2} = (r_{ds1} // r_{ds2}) (g_{m2} \cdot v_{gs2} - g_{m1} \cdot v_{gs1}) \quad (\text{II-8})$$

$$\text{Maintenant posons : } a = \frac{v_{gs2}}{v_{gs1}} \quad (\text{II-9})$$

D'après l'équation (II-8) et l'équation (II-9), nous pouvons écrire :

$$1 - a = (r_{ds1} // r_{ds2}) (g_{m2} \cdot a - g_{m1}) \quad (\text{II-10})$$

$$a = \frac{g_{m1} \cdot (r_{ds1} // r_{ds2}) + 1}{g_{m2} \cdot (r_{ds1} // r_{ds2}) + 1} \quad (\text{II-11})$$

D'après l'équation (II-7), et sachant que $a = \frac{v_{gs2}}{v_{gs1}}$, le gain en court circuit peut s'écrire :

$$G_{CC} = \frac{v_{gs1} - v_{gs2}}{r_{ds1} \cdot v_{gs1}} + g_{m1} = \frac{1 - a}{r_{ds1}} + g_{m1} \quad (\text{II-12})$$

En remplaçant le terme « a » par l'équation (II-11) nous obtenons :

$$G_{CC} = \frac{id}{v_{gs1}} = g_{m1} + \frac{1}{r_{ds1}} \cdot \frac{(g_{m2} - g_{m1}) (r_{ds1} // r_{ds2})}{g_{m2} \cdot (r_{ds1} // r_{ds2}) + 1} \quad (\text{II-13})$$

Dans le cas de notre structure SFDS, le courant de drain qui traverse le transistor M_2 et

le transistor M_1 est identique, or $I_D = \frac{1}{\lambda \cdot r_{ds}}$ alors $r_{ds1} = r_{ds2}$

$$\text{Donc } [G_{CC}]_{r_{ds1}=r_{ds2}} = g_{m1} + \frac{(g_{m2} - g_{m1})}{g_{m2} \cdot r_{ds} + 2} \quad (\text{II-14})$$

II.1.b Calcul de R_{scc}

Nous allons maintenant déterminer la résistance de sortie de court circuit. Le schéma équivalent aux petits signaux permettant ce calcul est illustré en Figure II-11.

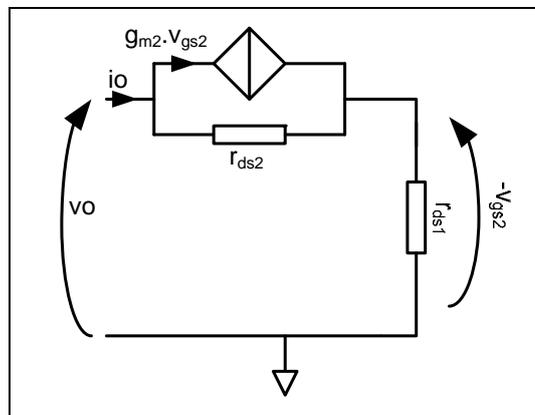


Figure II-11 : Circuit équivalent petits signaux pour le calcul de R_{scc}

D'après le schéma, nous pouvons écrire :

$$v_0 = r_{ds2} \cdot (i_0 - g_{m2} \cdot v_{gs2}) + r_{ds1} \cdot i_0 \text{ or } -v_{gs2} = r_{ds1} \cdot i_0 \quad (\text{II-15})$$

$$\text{Alors } R_{scc} = r_{ds2} \cdot (1 + g_{m2} \cdot r_{ds1}) + r_{ds1} \quad (\text{II-16})$$

Nous savons que $r_{ds1} = r_{ds2}$, alors l'expression s'écrit :

$$\boxed{[R_{scc}]_{r_{ds1}=r_{ds2}} = r_{ds} \cdot (2 + g_{m2} \cdot r_{ds})} \quad (\text{II-17})$$

II.1.c Calcul du gain A_v

La Figure II-12 illustre le schéma simplifié équivalent petits signaux du SFDS obtenu par le théorème de Thévenin.

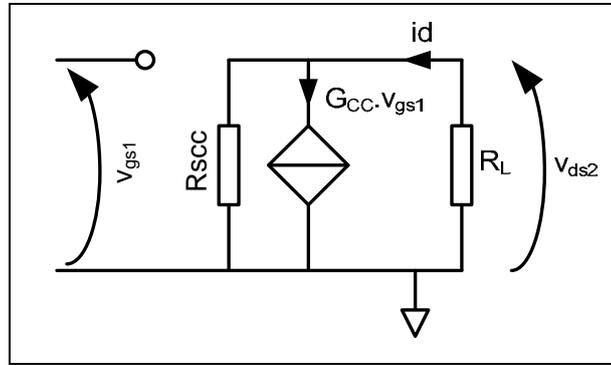


Figure II-12 : Circuit petits signaux pour le calcul de A_v ,

$$G = \frac{id}{v_{gs1}} = G_{cc} \cdot \frac{R_{scc}}{R_{scc} + R_L} \quad (\text{II-18})$$

$$A_v = \frac{v_{d2}}{v_{gs1}} = -G_{cc} \cdot (R_{scc} // R_L) \quad (\text{II-19})$$

Sachant que $r_{ds1} = r_{ds2}$ alors le gain de la moitié du SFDS s'écrit

$$\boxed{[A_v]_{r_{ds1}=r_{ds2}} = - \left(g_{m1} + \frac{(g_{m2} - g_{m1})}{g_{m2} \cdot r_{ds} + 2} \right) \cdot [R_L // (r_{ds} \cdot (2 + g_{m2} \cdot r_{ds}))]} \quad (\text{II-20})$$

Rappelons que le gain du cascode et de la source commune :

$$\text{Gain du cascode : } A_v = -g_{m1} \cdot [R_L // (g_{m2} \cdot r_{ds1} \cdot r_{ds2})] \quad (\text{II-21})$$

$$\text{Gain de la source commune : } A_v = -g_m \cdot (R_L // r_{ds}) \quad (\text{II-22})$$

En comparant la théorie de l'équation (II-20) avec celle de l'équation (II-21), nous remarquons que le gain théorique aux petits signaux de la moitié du SFDS est supérieur à celui du cascode. Nous remarquons donc que la structure SFDS comporte un avantage en termes de gain en plus des avantages en puissance, en linéarité et en rendement démontrés par la comparaison présentée dans la partie I.1.d. Si g_{m2} est supérieur à g_{m1} et d'après l'équation (II-20), le gain du SFDS devient alors égal à la somme du gain du cascode (II-21) plus deux fois le gain d'un montage en source commune (II-22). Néanmoins la validité de cette théorie est limitée car elle ne prend pas en considération l'effet Miller.

II.2 Les limites du SFDS

L'effet Miller est la résultante de la variation de l'impédance d'entrée d'un amplificateur en fonction de son gain. En effet, l'impédance entre l'entrée et la sortie du PA apparaît multipliée par (A_v+1) . Cet effet explique entre autres l'augmentation de la capacité d'entrée d'un étage amplificateur inverseur due à la capacité grille-drain.

L'effet Miller est considérablement réduit lorsqu'un circuit est cascodé. Le PA est mieux isolé ce qui limite aussi les risques d'instabilité. Les capacités parasites liées au 'Layout' du circuit ont alors un impact moins important sur les pertes de performances du PA.

En comparaison au montage cascode, la connexion entre l'entrée RF_{in} et la grille du transistor M_2 (Figure II-5) de la structure empilée accroît l'impact de l'effet Miller sur le gain du circuit. Une simulation de l'impact de la capacité grille-drain sur les deux structures est effectuée pour démontrer cet effet. Pour cette simulation, les transistors M_1 et M_2 ont les mêmes dimensions ($W=2\text{mm}$; $N_f=25$, $N_c=20$). Les transistors utilisés sont des nsvt18RF de la technologie CMOS 65 nm de STMicroelectronics. Les résultats de simulation sont présentés à la Figure II-13.

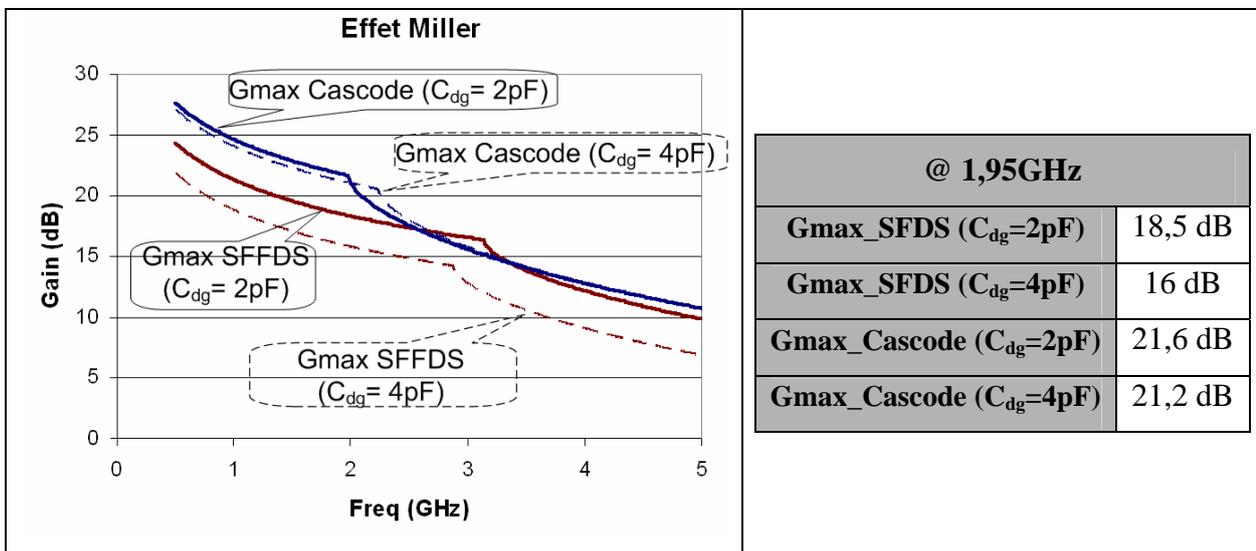


Figure II-13 : Comparaison de l'effet Miller sur les montages cascode et SFDS

Nous remarquons dans cet exemple qu'une augmentation de la capacité C_{dg} de 50 % du transistor M_2 engendre une plus forte réduction de gain sur l'étage SFDS (13% de réduction) que sur celui cascodé (1,8% de réduction). L'effet Miller a donc plus d'impact sur la structure SFDS que sur une structure cascodée. La théorie présentée précédemment ne tient pas compte de l'effet Miller. Une série de simulations permet de remarquer que le gain du SFDS devient inférieur à celui du cascode pour des transistors (nsvt18RF du DK 65 nm) ayant une longueur de grille supérieure à 1,5 μ m.

II.3 Méthodologie de conception d'un étage SFDS

La structure SFDS empile en série plusieurs transistors MOS. L'intérêt de cette technique est d'empiler des transistors de taille, de polarisation et de tension de claquage différente en fonction des performances souhaitées. Cette structure répond à une méthodologie de conception décrite à la Figure II-14.

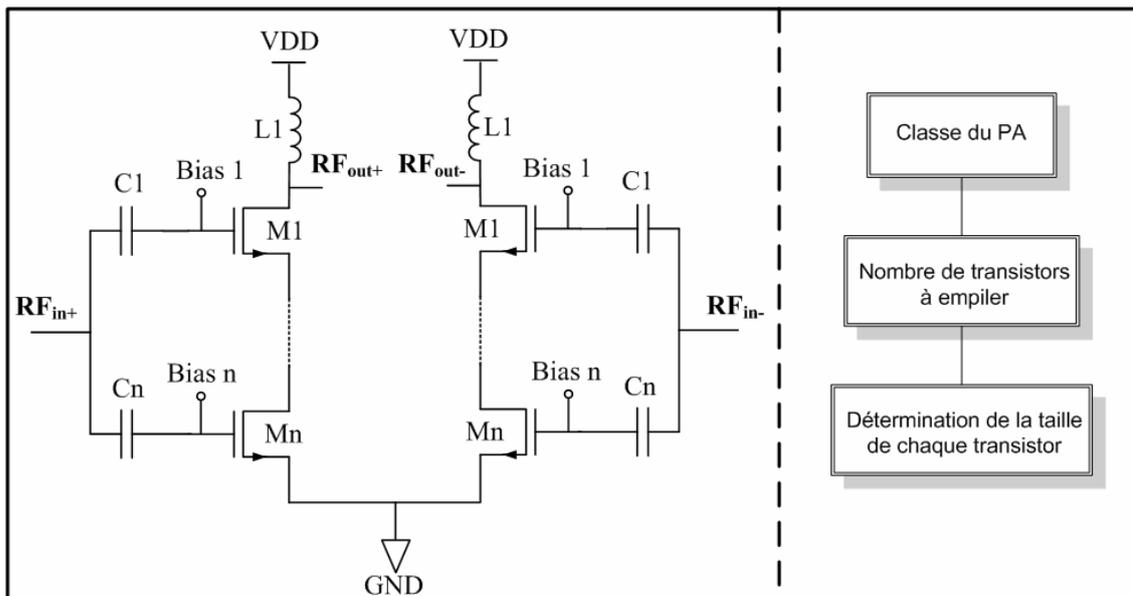


Figure II-14 : Méthodologie de la mise en œuvre de la structure SFDS

Nous souhaitons concevoir un PA fonctionnant en classe A pour une meilleure linéarité. Tous les transistors, quel que soit leur nombre, devront être polarisés en classe A.

II.3.a Impact du nombre de transistors empilés sur la tension d'alimentation et l'impédance de sortie

Connaître le nombre de transistors que l'on souhaite empiler permet de déterminer la tension maximale d'excursion possible en sortie ainsi que la tension d'alimentation. Le choix du nombre de transistors est limité par le compromis puissance-rendement. En effet, plus il y a de transistors empilés, plus la puissance de sortie pourra être importante. Ceci se fait au

détriment du rendement global du circuit. La tension d'alimentation est limitée par le compromis tension de claquage-nombre de transistors. Elle est déterminée par l'équation (II-23).

$$V_{a\lim} = \frac{\sum \text{tension de claquage de chaque transistor}}{2} \quad (\text{II-23})$$

Une fois l'alimentation du circuit déterminée, il est nécessaire de calculer l'impédance à présenter en sortie du PA en fonction de la puissance désirée. Le calcul pour un PA classe A est présenté à l'équation (II-24).

$$Z_{charge} = \frac{V_{DD}^2}{2 \cdot P_{\max}} \quad (\text{II-24})$$

Par conséquent, plus le nombre de transistors empilés augmente et plus la puissance maximale sous une même charge est élevée. Pour la suite de nos travaux, nous utiliserons un montage SFDS à deux transistors empilés.

II.3.b Dimensionnement des transistors et polarisation

Désirant un fonctionnement en classe A et connaissant la charge, la puissance maximale désirée et le type de transistor utilisé, il est maintenant possible de polariser chaque transistor empilé. Hormis l'exigence de puissance, la linéarité est aussi un facteur majeur pour la mise en œuvre d'un PA dédié au standard UMTS. Nous avons simulé le comportement en DC d'un transistor RF (nsvt18RF en technologie 65 nm) en fonction de sa géométrie. La tension de coude de ce transistor est proche de 670mV. Comme le montre la Figure II-15, plus la largeur (W) du transistor est grande et sa longueur (L) petite, et plus le transistor fournit du courant (à V_{GS} et V_{DS} identiques).

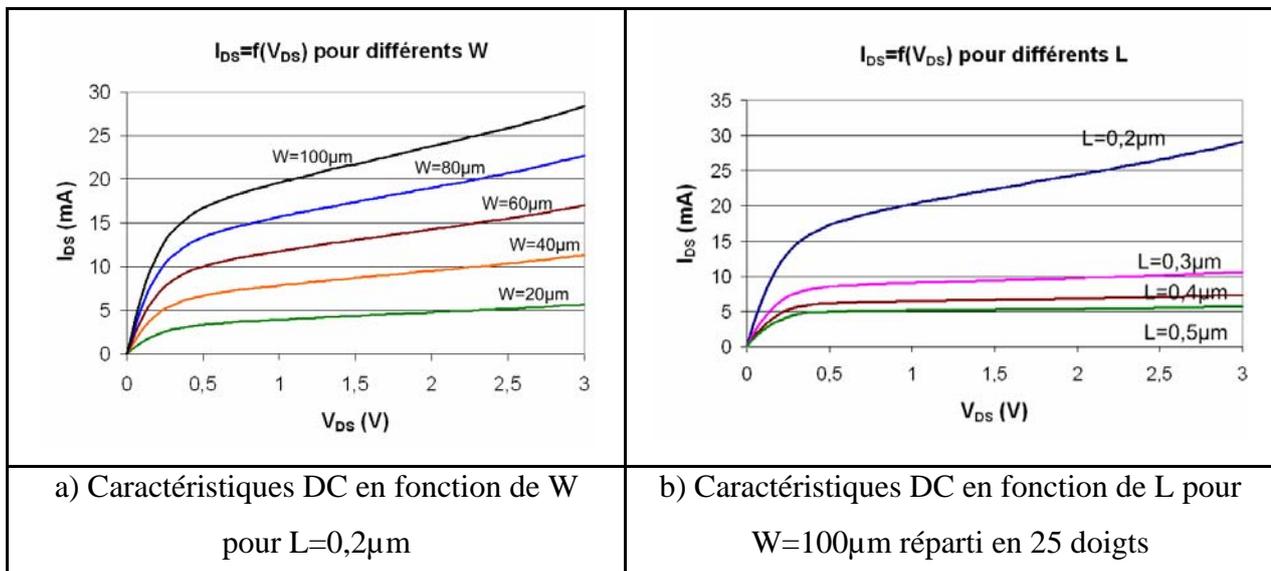


Figure II-15 : Caractéristique DC d'un transistor nsvt18RF CMOS 65 nm de ST en fonction de sa géométrie

Nous remarquons une forte variation de la résistance R_{DS} (pente de la courbe) pour une longueur de grille comprise entre 200 nm et 300 nm. La linéarité dépend du courant traversant le transistor. Par conséquent, pour une polarisation DC donnée, la taille des transistors influence sur le gain et la linéarité du circuit. Cette augmentation de puissance et de linéarité s'effectue donc en fonction du rendement du circuit.

Par la suite, une étude concernant l'influence de la taille de chaque transistor sur le comportement du PA est présentée.

II.4 Influence de la taille des transistors sur un étage SFDS à deux transistors.

Afin de concevoir le PA SFDS, il est important de comprendre le fonctionnement de la structure à deux transistors présentée en Figure II-16. Pour plus de facilité, la moitié de la structure SFDS est étudiée. Pour cette étude, les transistors nsvt18RF de la technologie CMOS 65 nm ont été utilisés.

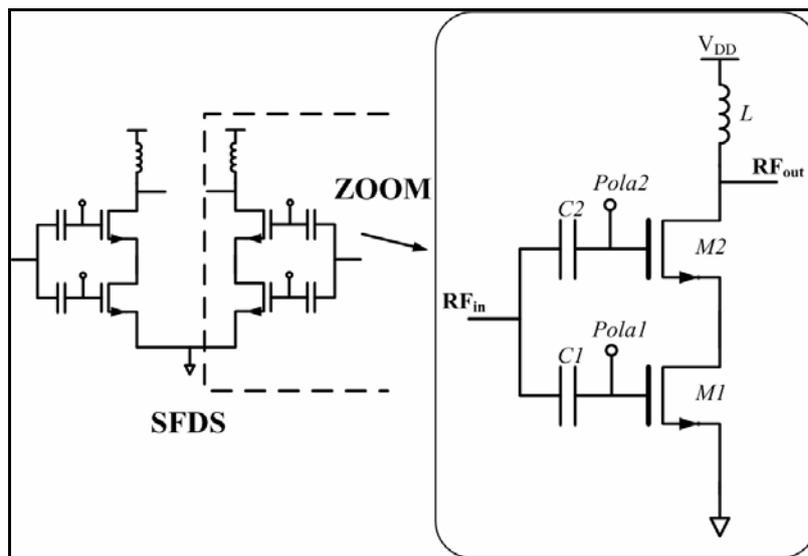


Figure II-16 : Structure SFDS à deux transistors

Les deux transistors sont ici polarisés dans leur zone de saturation. Toutes les caractéristiques sont effectuées sous Cadence Spectre RF. Les deux transistors composant la structure empilée créent un ensemble indivisible. Les conditions de simulation sont les suivantes :

- la longueur de grille est fixée à son minimum (200 nm pour le transistor nsvt18RF de la technologie CMOS 65 nm),
- les tensions V_{gM1} et V_{gM2} sont respectivement placées aux potentiels 0,85V et 1,7V.

Pour les caractéristiques DC, un balayage de la tension d'alimentation de 0 à 3 V est effectué. $I_{DS}=I_{DS1}=I_{DS2}$ sont tracés en fonction de V_{DS1} ou V_{DS2} .

II.4.b Influence de la taille du transistor M_2 sur le comportement du SFDS

Afin de regarder l'influence de la taille du transistor M_2 sur le reste du circuit, un balayage de W_{M_2} (μm) est effectué. Les résultats de cette simulation paramétrique sont synthétisés en Figure II-17.

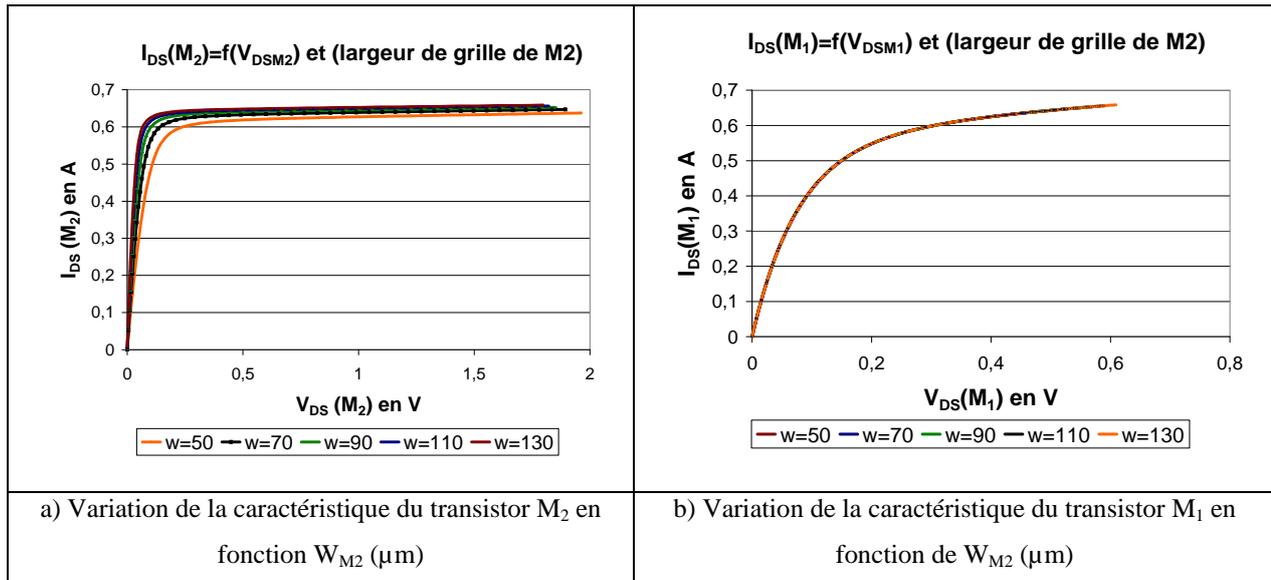


Figure II-17 : Influence de la longueur de grille de M_2 sur les caractéristiques DC des transistors

Comme prévue, une variation de la taille du transistor M_2 a peu d'influence sur le comportement DC de l'ensemble des transistors. Le courant DC de l'étage ne subit qu'une variation de 4% pour une augmentation de la taille du transistor de plus de 100%.

Le transistor M_2 peut donc être dimensionné sans préoccupation autre que la prise en compte de la densité de courant le traversant. En conséquence, M_2 pourra être dimensionné de manière à optimiser la linéarité, le gain et assurer la tenue en tension des transistors placés en série. Le transistor M_2 doit cependant rester de taille raisonnable car l'effet Miller peut réduire le gain du SFDS.

La Figure II-18 permet d'illustrer l'influence de la taille du transistor M_2 sur les caractéristiques de puissance. Pour cette simulation, nous fixons M_1 ($W=2\text{mm}$; $Nf=25$, $Nc=20$). Dans un premier temps, la simulation en puissance montre que l'étage SFDS subit une réduction de gain lorsque M_2 est surdimensionné ($M_1 < M_2$). Cette diminution est inhérente à la réduction de densité de courant traversant le transistor ainsi qu'à l'augmentation des capacités parasites de celui-ci. Néanmoins, la linéarité n'est pas affectée.

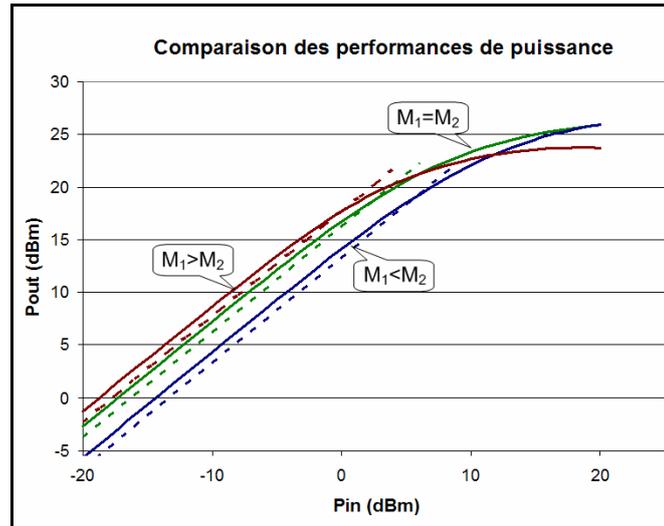


Figure II-18 : Comportement en puissance du SFDS en fonction de la taille de M_2

Dans un second temps, si M_2 est sous-dimensionné ($M_1 > M_2$), l'étage SFDS a un gain plus important, mais la linéarité du circuit finit par se dégrader. Pour une réduction de M_2 de 50%, l' OCP_1 passe de 20 dBm à 16,5 dBm. Le meilleur compromis entre la linéarité et le gain est obtenu lorsque la taille du transistor M_2 s'approche de celle du transistor M_1 .

II.4.c Influence de la taille du transistor M_1 sur le comportement du SFDS

Regardons maintenant l'influence de la taille du transistor M_1 sur le reste du circuit. Un balayage de W_{M_2} (μm) est effectué. Les résultats de la simulation paramétrique sont synthétisés en Figure II-19. Les simulations montrent l'influence de la taille du transistor M_1 sur les caractéristiques DC des deux transistors empilés. La taille du transistor M_1 fixe en partie le courant de polarisation de l'ensemble, sous condition que ce dernier reste saturé.

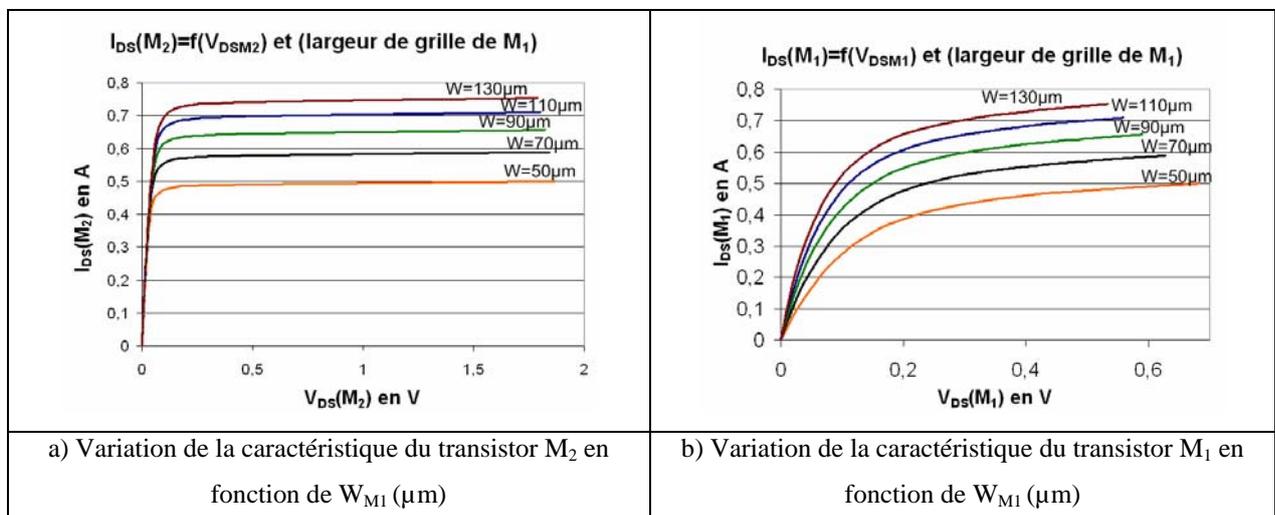


Figure II-19 : Influence de la longueur de grille de M_1 sur les caractéristiques DC des transistors

D'après la Figure II-19, une réduction de 50% de la taille du transistor M_1 engendre une réduction de 30% sur le courant DC. La taille de M_1 influence donc la puissance maximale du SFDS, sous condition que M_2 conserve le dimensionnement relatif précédemment optimisé ($M_1=M_2$). Une étude en puissance est effectuée afin de vérifier cette hypothèse. La Figure II-20 présente les caractéristiques en puissance du circuit en fonction de la taille de M_2 .

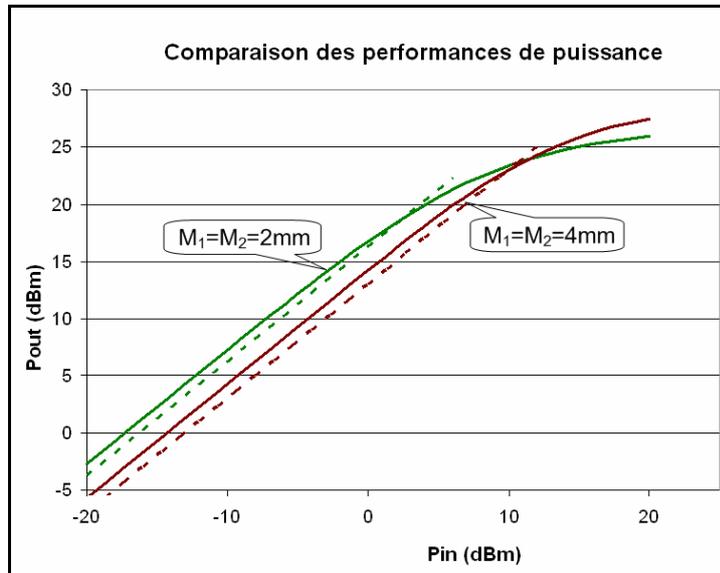


Figure II-20 : Comportement en puissance du SFDS en fonction de la taille de M_2

Les résultats de la Figure II-20 confirment l'hypothèse de l'influence de la taille de M_1 sur la puissance maximale de sortie. Une augmentation de 100% de la taille de M_1 ($M_1=M_2$ pour optimiser le dimensionnement relatif) permet à la puissance maximale de sortie de passer de 26 dBm à 28,5 dBm. Ce changement a aussi permis d'augmenter de la linéarité du circuit. L' OCP_1 passe donc de 20 dBm pour $M_1=2\text{mm}$ à 22,5 dBm pour $M_1=4\text{mm}$. Néanmoins, nous augmentons aussi M_2 de manière à conserver la distribution des potentiels, ce qui engendre une réduction du gain du SFDS. Avec l'augmentation de la taille des transistors, le gain passe de 16 dB à 14 dB.

II.4.d Synthèse sur les paramètres de caractérisation.

Nous avons déterminé le rôle et l'influence de chaque transistor. Nous avons vu que les transistors M_2 et M_1 (cf Figure II-16) influencent chacun à leur manière le gain, la linéarité et la puissance de sortie. Cette étude a déterminé un dimensionnement relatif optimal entre M_1 et M_2 . Les transistors M_1 et M_2 doivent être de taille similaire de manière à obtenir le meilleur compromis entre linéarité et gain. Avec ce rapport de dimension, il est possible de fixer la linéarité du PA en variant leurs tailles. L'étude présentée a été effectuée avec une polarisation

en tension constante. En effet, modifier le rapport de polarisation pourrait détériorer le potentiel flottant (Potentiel de drain de M_1 et potentiel de source de M_2) et changer le régime de fonctionnement des transistors.

III Conception de l'amplificateur de puissance SFDS à deux étages destiné au W-CDMA

III.1 Introduction

Le protocole exposé à la Figure II-14 permet de concevoir chaque étage du PA que nous souhaitons développer. Le PA doit répondre aux exigences du standard UMTS utilisant la technique d'accès W-CDMA dont les spécifications sont récapitulées par le Tableau II-7. Le PA est en régime linéaire. La technologie CMOS 65 nm de STMicroelectronics est prise comme exemple mais l'étude peut être étendue à toutes les technologies faible coût.

Tableau II-7 : Cahier des charges du standard et de sa technique d'accès

UMTS	Fréquences : 1,92-1,98GHz en Tx Largeur de canal : 50MHz Bande passante : 5 MHz Type de modulation d'amplitude possible : QPSK, HPSK
W-CDMA	Type de modulation : HPSK Puissance de sortie linéaire : de -20dBm à 24dBm Critère de linéarité : $ACPR_1 = -33dBc$ à +/-5MHz $ACPR_1 = -33dBc$ à +/-5MHz $HD3 < 40dBc$

Nous choisissons de travailler avec une structure SFDS à deux transistors empilés et à deux étages, dont le schéma de principe est présenté à la Figure II-21.

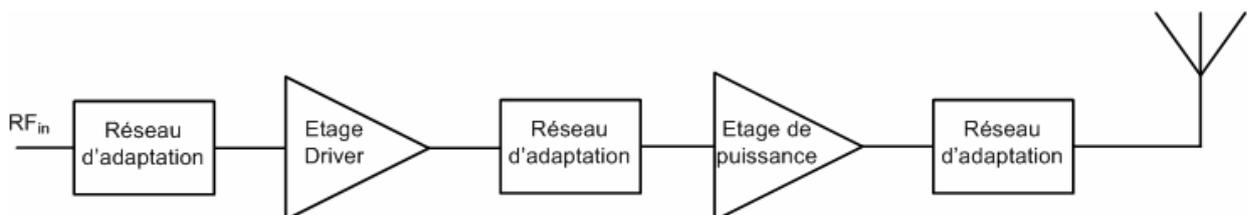


Figure II-21 : Topologie d'un PA à deux étages

Le cahier des charge définit la fréquence de fonctionnement, la puissance maximale en sortie ainsi que la linéarité minimum à respecter. Nous commençons la conception par l'étage de sortie du PA. Le PA ne peut pas être plus linéaire que l'étage de puissance lui-même. L'étage de puissance doit donc respecter la linéarité au détriment du gain. Mais le compromis linéarité-gain est très critique, car une bonne linéarité sans un bon gain sur l'étage de puissance imposera à l'étage Driver d'être lui aussi très linéaire.

Le standard impose donc la linéarité de l'étage de puissance, et le gain de l'étage de puissance détermine la linéarité de l'étage Driver. Ce compromis régit le nombre d'étages nécessaires au PA.

III.2 Conception de l'étage de puissance

L'UMTS requiert une puissance maximale linéaire de 24dBm. Afin d'être linéaire à cette puissance, nous souhaitons obtenir un point de compression en sortie de 27dBm et donc une puissance maximale de l'ordre de 32dBm.

III.2.a Alimentation du circuit

Nous déterminons la tension d'alimentation théorique en fonction du nombre de transistors empilés. Les transistors utilisés pour le PA sont des nsvt18RF, avec une tension de claquage de 1,8V. La tension d'alimentation s'écrit :

$$V_{alim} = \left(\frac{V_{DS\max} \cdot N_{tr}}{2} + V_{ind} \right) = \left(\frac{1,8 \cdot 2}{2} + 0,4 \right) = 2,2 \text{ V} \quad (\text{II-25})$$

Avec

- $V_{ds\max}$ représente la tension de claquage de V_{ds} ,
- N_{tr} représente le nombre de transistors empilés,
- V_{ind} représente la perte de potentiel dans l'inductance de choc.

III.2.b Charge en sortie

Nous effectuons un calcul de l'impédance de charge pour une puissance de 29 dBm en configuration single, afin d'obtenir en théorie 32 dBm avec le montage SFDFS (différentiel). La charge single théorique à présenter au PA pour obtenir la puissance désirée, est calculée comme suit :

$$Z_{charge} = \frac{2,2^2}{2 \cdot (794mW = 29dBm)} = 3\Omega \quad (\text{II-26})$$

Nous prenons une marge et présentons une charge de 2,5 Ω single en sortie. Cela qui revient à présenter 5 Ω différentiel.

III.2.c Taille minimale des transistors de puissance et polarisation

La taille minimale de chaque transistor dépend directement du courant DC qui les traverse. Le courant est déterminé par l'expression suivante :

$$I_{DC} = \frac{V_{a\lim}}{Z_{charge}} = \frac{2}{3} = 0,666 \approx 650mA \quad (\text{II-27})$$

Pour garder une bonne flexibilité, chaque transistor doit pouvoir évacuer le double du courant DC, soit 1,3A. Les transistors de l'étage de puissance sont dimensionnés de manière plus ou moins importante selon l'optimisation en densité de courant désirée.

III.3 Conception de l'étage driver

Une fois l'étage de puissance dimensionné, il est intéressant de déterminer les caractéristiques de l'étage Driver. D'après une première simulation, l'étage de puissance permet d'obtenir un OCP_I à 27dBm en sortie avec un gain maximal de 10dB. Il nous faut maintenant, grâce à l'équation (II-28), déterminer l' OCP_I minimum du driver afin que la linéarité générale du PA ne soit pas affectée.

$$P_{out(1dB)} = P_{1dB(\text{étage2})} - (Gain_{1dB(\text{étage2})} - 3dB) = 27 - (9 - 3) = 21dBm \quad (\text{II-28})$$

La Figure II-22 permet de mettre en évidence l'intérêt de l'équation (II-28) dans la détermination des caractéristiques de l'étage driver. Afin de ne pas dégrader la linéarité de l'étage de puissance (10 dB de gain), l'étage driver doit encore être linéaire avec un P_{out} de 18 dBm. Si l' OCP_I de l'étage driver reste supérieur ou égale à 21 dBm ce dernier sera encore linéaire lorsque l'étage de puissance arrivera à la compression. Pour atteindre cette linéarité, nous fixons une puissance maximale de 26dBm.

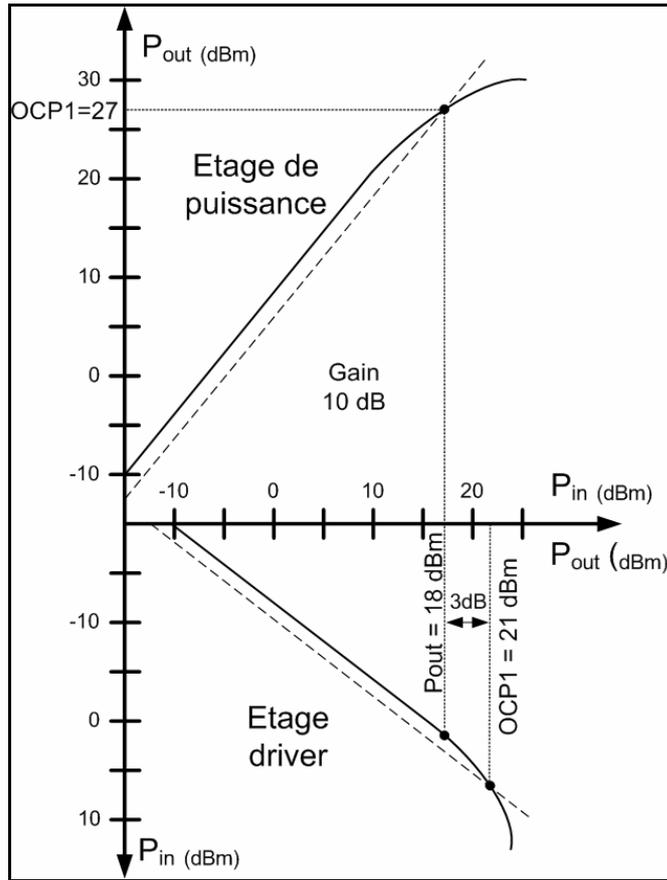


Figure II-22 : Détermination des caractéristiques de l'étage driver

Comme précédemment, nous effectuons un calcul de l'impédance de charge pour une puissance de 23 dBm en configuration single, afin d'obtenir en théorie 26 dBm avec le montage SFDS (différentiel). La charge single théorique à présenter au PA pour obtenir la puissance est calculée comme suit :

$$Z_{charge} = \frac{2,2^2}{2 \cdot (200mW = 23dBm)} = 12\Omega \quad (\text{II-29})$$

$$I_{DC} = \frac{2,2}{12} = 183mA \quad (\text{II-30})$$

III.4 Adaptation d'impédance

Maintenant que les deux étages sont dimensionnés, l'adaptation inter-étage ramène l'impédance d'entrée de l'étage de puissance aux 12Ω attendus par l'étage Driver. Deux choix s'offrent à nous : les montages en π ou en T , présentés en Figure II-23.

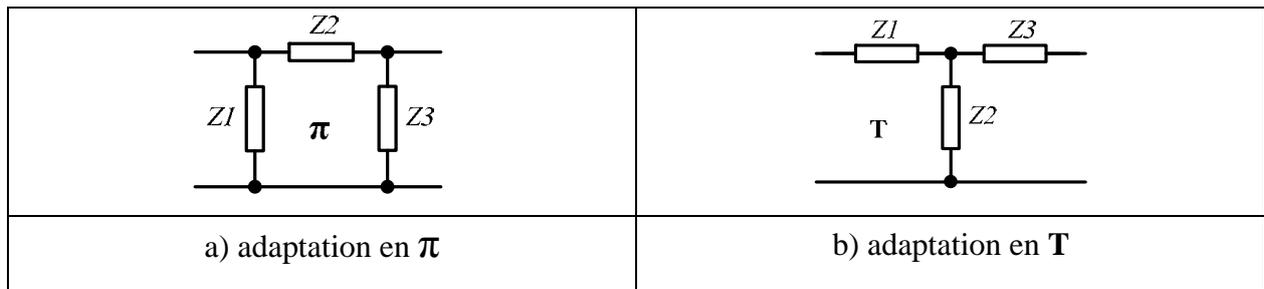


Figure II-23 : Topologies de réseaux d'adaptation à trois composants

Les adaptations d'impédance sont souvent critiques pour les applications PA à forte puissance car le changement de charge est important. Pour effectuer un changement d'impédance entre 50Ω et 3Ω , les deux solutions proposées en Figure II-24 sont possibles.

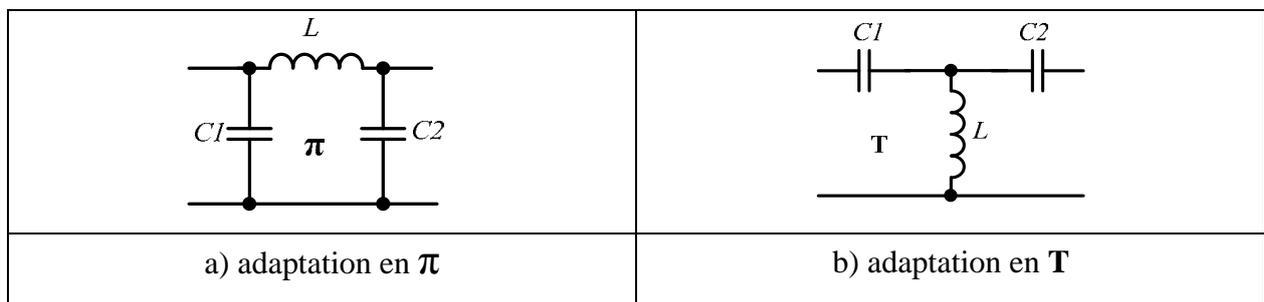


Figure II-24 : Réseaux d'adaptation L C

La solution T requiert une valeur trop faible de l'inductance pour des variations d'impédances importantes. Cette petite valeur associée à la tolérance des composants passifs, risque d'errer l'adaptation. Pour cette raison, nous retenons l'adaptation en π au détriment de la surface occupée et de la consommation liée aux pertes résistives des passifs intégrés. En effet, le réseau en π nécessite des composants de valeur importante pour une adaptation allant de la basse impédance vers 50Ω . Cela a d'ailleurs tendance d'augmenter les pertes des passifs.

III.5 Circuit de polarisation

Le PA apporte des effets non désirés comme une élévation de la température, de fortes injections de bruit dans le substrat ou une élévation importante du potentiel de masse. Ces effets perturbent fortement le fonctionnement de la polarisation et donc du PA lui-même. De plus, le ratio entre le transistor de puissance et le transistor de polarisation est très important afin de limiter la consommation. La polarisation est donc très sensible aux perturbations apportées par le fonctionnement du PA. Afin de limiter les problèmes nous concevons une polarisation peu dépendante de la température. Le schéma de la polarisation est présenté sur la Figure II-25.

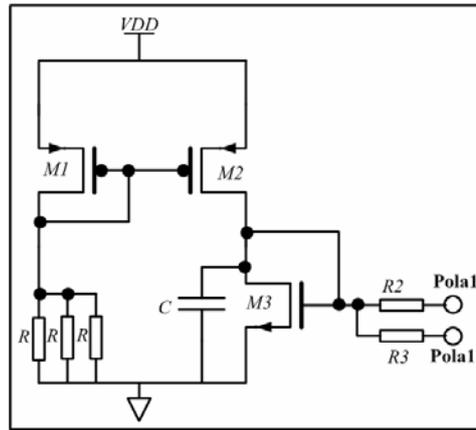


Figure II-25 : Circuit de polarisation

Des simulations effectuées sur la polarisation montrent que pour une puissance d'entrée égale à 0 dBm sur un PA comportant 20 dB de gain, la tension de polarisation ne varie que de 7mV (6mV issu de la variation de température, 1mV issu de la puissance), pour une variation de température comprise entre 20°C et 200°C. Cette excursion en tension ne représente que 4% de la polarisation.

III.6 PA SFDS complet

Les parties constituant le PA précédemment présentées sont assemblées pour former la Figure II-26. Cette figure représente la partie du PA qui pourra être intégrée sur Silicium.

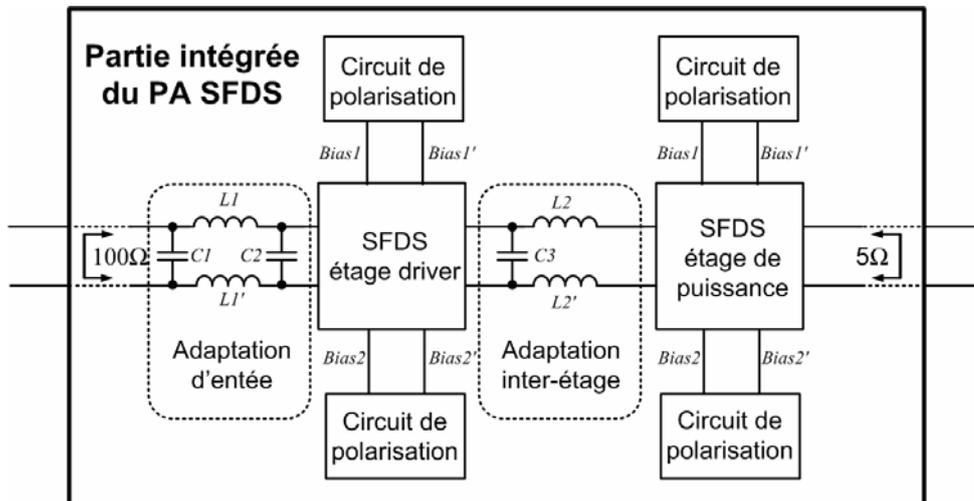


Figure II-26 : Topologie principale simplifiée du PA SFDS complet

L'étage driver ainsi que l'étage de puissance utilise un étage SFDS car ils requièrent une linéarité importante. En raison de la forte puissance exigée par l'UMTS et de la technologie CMOS utilisée, les inductances de drain (inductance de choc), ainsi que l'étage d'adaptation de sortie seront implantés à l'extérieur du Silicium. Le schéma complet de simulation est illustré en Figure II-27. Ce schéma permet de mettre en avant la prise en compte du réseau

d'alimentation en étoile. Ainsi toutes les masses distribuées du circuit sont prises en compte pour anticiper les augmentations de potentiel à travers les diverses pistes de masse. L'ensemble est simulé sous Cadence Spectre RF à une température de 90°C pour prendre en compte l'échauffement important de la structure lors de son fonctionnement.

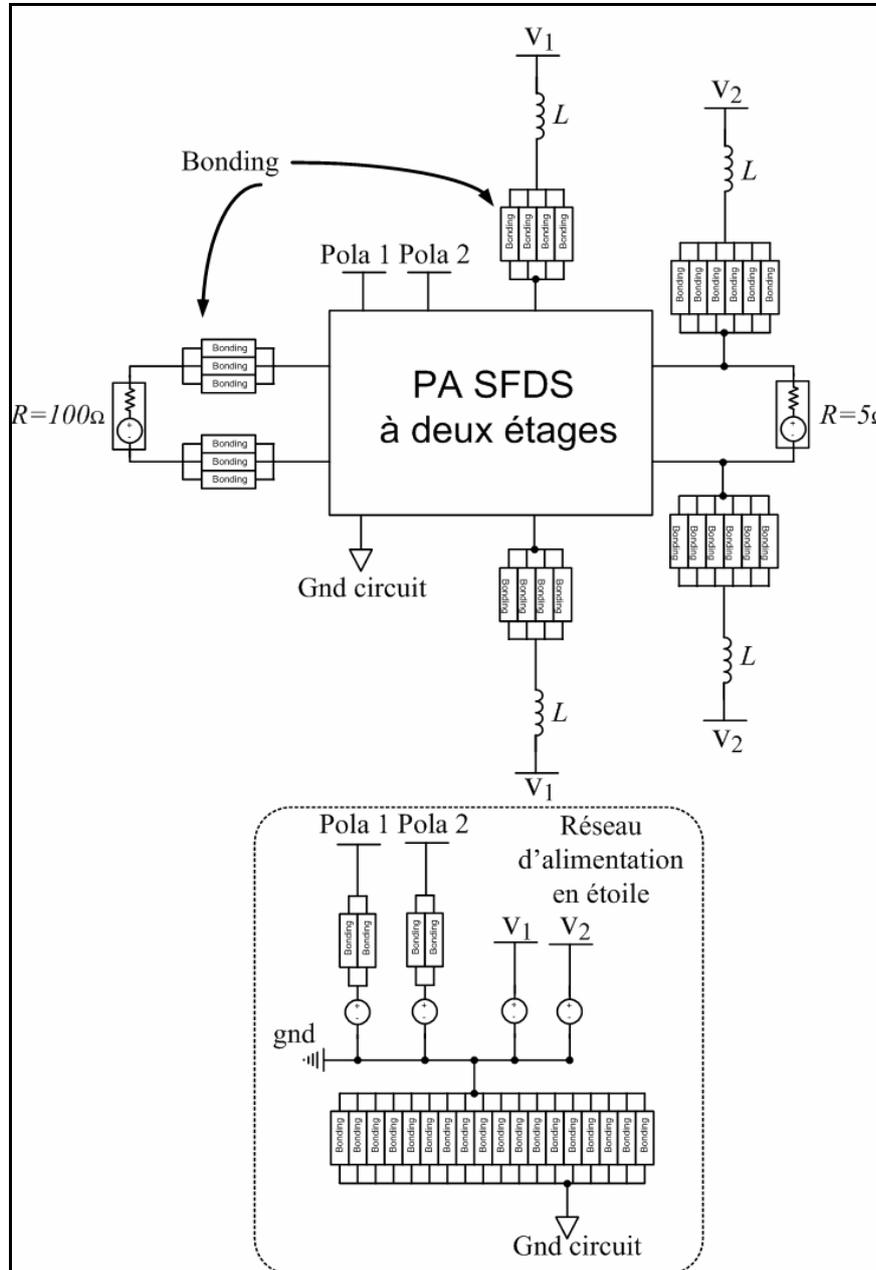


Figure II-27 : Schéma de la simulation du PA SFDFS sur Cadence

Un modèle simplifié des bondings utilisés est détaillé en Figure II-28. Il permet d'étudier leurs influences sur le circuit. Dans ce modèle, la capacité C_l n'est pas intégrée dans le bonding car elle est intrinsèque au layout et dépend du plot. Elle est extraite en amont, et est déjà présente dans le schéma de cadence lors des simulations. Le plot doit donc être dimensionné avant la conception même du PA pour modéliser cette capacité parasite. Le courant est calculé en fonction de la puissance désirée. Il permet de définir le nombre de

bondings et la taille du plot associé à chaque partie du PA. L'influence de la capacité C_1 est d'autant plus importante dans la mesure où la bobine de choc se situe en dehors de la puce. Les capacités parasites des plots d'alimentation de puissance influent donc directement sur le signal RF.

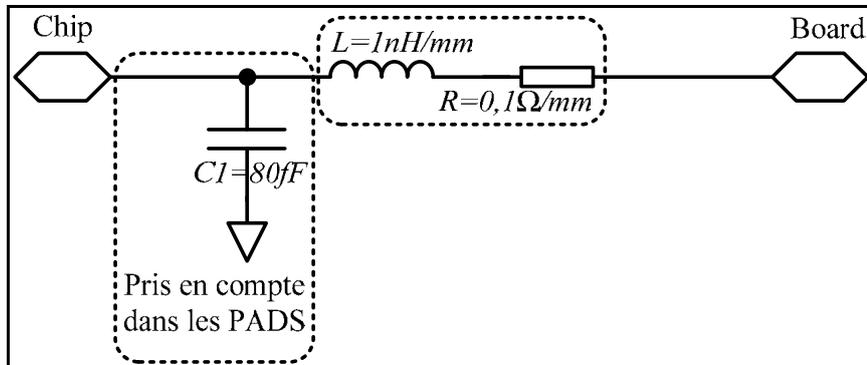


Figure II-28 : Modèle simplifié du bonding

La topologie de simulation présentée en Figure II-26 sera donc utilisée pour développer le PA SFDFS à deux étages destiné à l'application W-CDMA.

IV Conclusion sur le choix de l'architecture SFDFS

Le choix d'une bonne architecture de travail est crucial pour la conception d'un PA CMOS alliant performance sur la distance de communication (puissance de sortie) et sur le débit (linéarité du PA). Le PA doit consommer le moins possible pour optimiser le temps de vie de la batterie du téléphone mobile (augmentation du « *Talk Time* »).

Nous souhaitons utiliser une classe linéaire en technologie CMOS. La consommation devient vite excessive, mais la combinaison avec une technique d'augmentation du rendement reste possible. Plusieurs structures permettent de concevoir un PA linéaire : les structures single à source commune, différentielles ou cascodées. Faire corrélérer la réduction des longueurs de grille avec une évolution des structures de conception nous a mené à développer une nouvelle topologie appelée '*Stacked Folded Differential Structure*' (SFDFS). La théorie ainsi que les simulations démontrent l'intérêt de cette structure en gain, en puissance, en linéarité et en rendement.

L'élaboration d'une méthodologie de conception et une étude comportementale de la structure SFDFS permet de concevoir ce type de PA. L'utilisation de cette méthodologie dans la conception d'un PA SFDFS CMOS à deux étages a été présentée et sera appliquée pour la suite des travaux. Le prochain chapitre porte sur la réalisation de deux PAs SFDFS CMOS à deux étages, en technologie 130nm et 65nm de STMicroelectronics.

REFERENCES

- [ASB01] P. Asbeck and C. Fallesen, "An RF Power Amplifier in a Digital CMOS Process", JSSC, vol36, issue 2, February 2001, Page(s) 166-175
- [HAL07] Haldi, P. Chowdhury, D. Liu, G. Niknejad and M Ali, "A 5.8 GHz Linear Power Amplifier in a Standard 90nm CMOS Process using a 1V Power Supply", RFIC, June 2007, Page(s): 431-434
- [HEO01] D. Heo, A. Sutono, E. Chen, "A High Efficiency 0.25 μ m CMOS PA with LTCC Multi-layer High-Q Integrated Passives for 2.4GHz ISM Band ", MTT-S, Phoenix, 20-25 May 2001, Page(s) 915-918
- [HOL07] H.Holma, A.Toskala, and L.Noël, "WCDMA For UMTS – HSPA Evolution and LTE" Wiley Edition, Springer, 2007
- [KAN06] J. Kang Hajimiri and A. Bumman Kim, "A single-chip linear CMOS power amplifier for 2.4 GHz WLAN", ISSCC, February 2006, Page(s): 761- 769
- [LUQ07] Y.Luque, N.Deltimple, E.Kerhervé, D.Belot 'A 0.13 μ m CMOS Stacked Folded Fully Differential PA Structure for W CDMA Application', PRIME 2007 Bordeaux, Page(s) 157 - 160
- [LUQ08] Y.Luque, N.Deltimple, E.Kerhervé, D.Belot 'A 65nm CMOS SFFD PA structure for WCDMA application', ICECS 2008 Malte, September 2008, Page(s) 157 - 160, Best student paper award
- [REY07] P. Reynaert and S. J. Steyaert, "A 2.45-GHz 0.13 μ m CMOS PA With Parallel Amplification", JSSCC, vol 42, No3, march 2007, Page(s) 551-562
- [SEK01] R. Sekhar Narayanaswami, "RF CMOS Class C Power Amplifier for Wireless Communications" University of California, Berkeley, 2001
- [SOW02] T. Sowlati, D. Leenaerts "A 2.4GHz 0.18 μ m CMOS Self-Biased Cascode Power Amplifier with 23dBm Output Power", ISSCC, Session17, San Francisco, CA, February 3-7, 2002, Page(s) 294-467
- [WAN04] C. Wang, M. Vaidyanathan, "A capacitance compensation technique for improved linearity in CMOS class AB power amplifiers", JSSCC, vol39, No11, November 2004, Page(s) 1927-1937
- [WAN04] W. Wang and Y.P Zhang, "0.18- μ m CMOS Push-Pull Power Amplifier With Antenna in IC Package", IEEE Microwave and Wireless Components Letters, vol.14, no.1, January 2004, Page(s) 13-15

Chapitre III

III Conception et mesure d'un PA SFDDS en CMOS

130 nm et 65 nm

III	CONCEPTION ET MESURE D'UN PA SFDDS EN CMOS 130 NM ET 65 NM	75
I	CONCEPTION D'UN PA EN TECHNOLOGIE CMOS 130 NM ET CMOS 65 NM	76
I.1	Simulations du PA en technologie CMOS 130 nm	76
I.1.a	Simulation schématique	76
I.1.b	Simulation Post-Layout	78
I.1.c	Comparaison des résultats schématiques et Post-Layout	80
I.2	Simulations du PA en technologie CMOS 65 nm	81
I.2.a	Simulation schématique	81
I.2.b	Simulation Post-Layout	83
I.2.c	Comparaison des résultats schématiques et Post-Layout	85
I.2.d	Simulation sur signal modulé HPSK	85
I.2.e	Répartition des pertes au point de compression	87
I.2.f	Circuits de l'étage driver et de l'étage de puissance seuls	87
II	CONTRAINTES DE ROUTAGE POUR UN PA CMOS	89
II.1	Présentation général du routage	89
II.2	Dimensionnement des composants et précautions à prendre pour le routage	90
II.2.a	Les passifs	90
II.2.b	Les transistors	90
II.3	Parasites liés au routage	91
II.3.a	Contexte	91
II.3.b	Impédance de sortie parasite	92
II.3.c	Parasites des pistes RF et masse	92
II.3.d	Résistance des pistes de masse	93
II.3.e	Compromis électro-migration / capacité parasite	93
II.3.f	Accès aux transistors de puissance	94
III	MESURES DES PAS CMOS 130 NM ET CMOS 65 NM	95
III.1	Préambule	95
III.1.a	Adaptation de sortie sur substrat IPD (<i>Integrated Passive Device</i>)	95
III.1.b	Les PCBs	97
III.1.c	Les bancs de mesures	98
III.2	Mesures du PA SFDDS CMOS 130 nm	101
III.2.a	Premières mesures sur PCB1	101
III.2.b	Mesures avec polarisation modifiée sur PCB1	105
III.3	Mesures load pull du PA SFDDS CMOS 65 nm	107
III.3.a	Mesures des paramètres S	107
III.3.b	Load Pull	108
III.3.c	Cartographie thermique du PA CMOS 65 nm	109
III.4	Synthèse	111
IV	CONCLUSION SUR LE PA SFDDS	113

Introduction : Ce troisième chapitre présente la conception de deux PA CMOS. Le premier utilise la technologie CMOS 130 nm, et le second utilise la technologie CMOS 65 nm. Dans une première partie, les simulations schématiques et les simulations Post-Layout de chacun des circuits seront présentées. La comparaison entre ces deux types de simulations nous amène, dans une seconde partie, à une discussion sur les difficultés de conception d'un circuit de puissance, tout en limitant les pertes de performances du circuit initial. La dernière partie de ce chapitre illustre la problématique liée aux mesures. En effet, une partie du circuit ne pouvant pas être intégrée, les conditions de mesures sont difficiles. Les mesures ainsi que les rétro-simulation des PAs 130 nm et 65 nm y seront présentées.

I Conception d'un PA en technologie CMOS 130 nm et CMOS 65 nm

L'architecture du PA et les règles de routage précédemment présentées sont appliquées aux technologies CMOS 130nm et CMOS 65nm. Dans un premier temps, un PA test est réalisé en technologie CMOS 130 nm pour valider le principe du circuit SFDS. Par la suite, le même PA est conçu en technologie CMOS 65 nm avec des contraintes technologiques accrues. Cette partie présente les simulations schématiques et Post-Layout de ces deux PAs.

I.1 Simulations du PA en technologie CMOS 130 nm

I.1.a Simulation schématique

La Figure III-1 présente le schéma du PA CMOS 130 nm (hors circuit de polarisation) avec la valeur de chaque composant. Le PA est alimenté sous 2,6V.

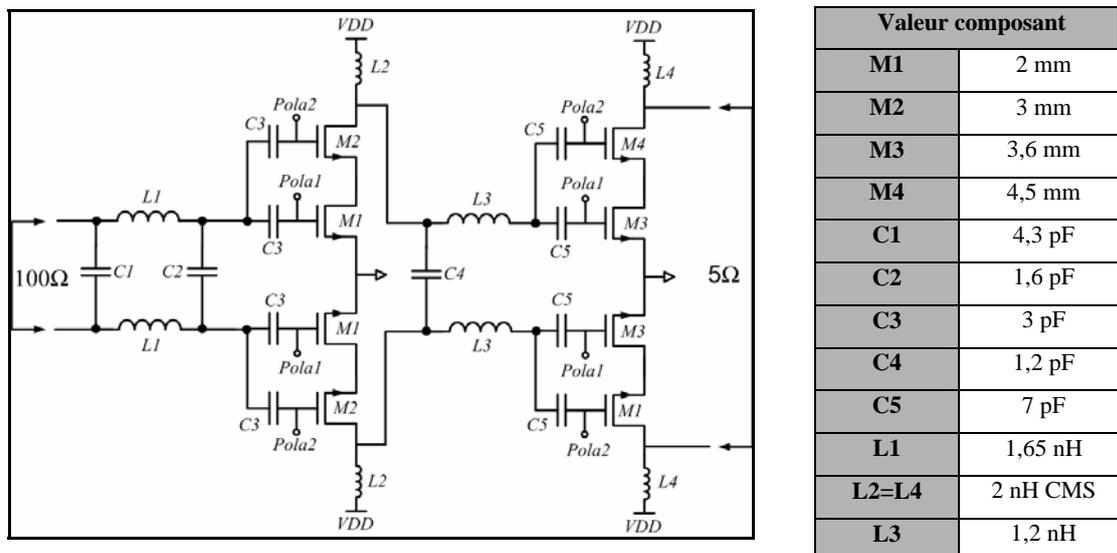


Figure III-1 : Schéma du PA en technologie CMOS 130 nm

Les simulations du PA sont effectuées avec Spectre sous Cadence. La température de simulation est fixée à 90°C. Les résultats de simulation sur la charge de 5 Ω en sortie sont présentés en Figure III-2 et Figure III-3.

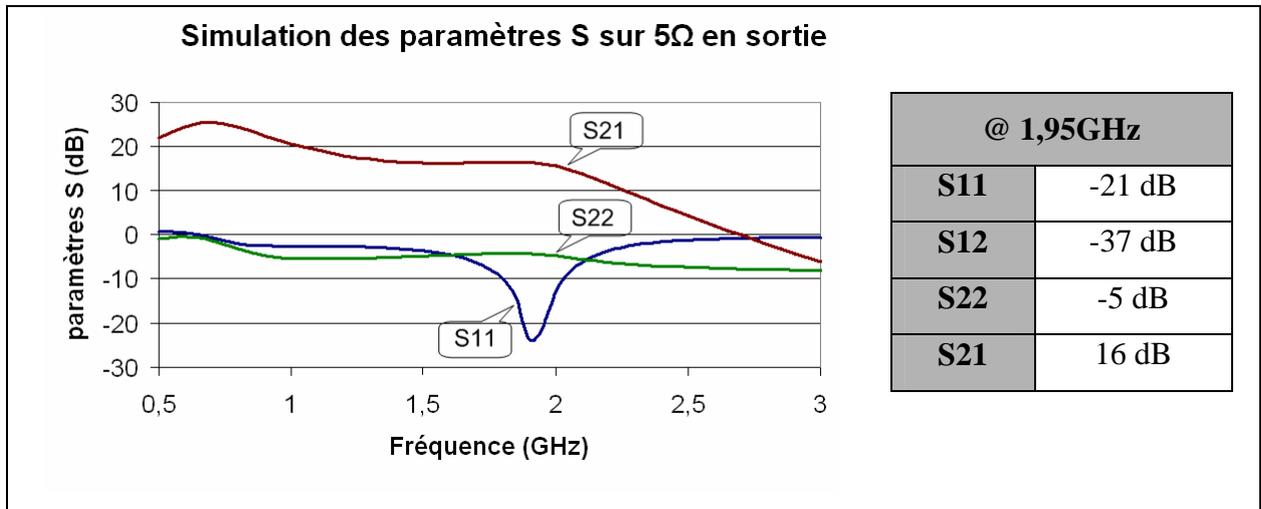


Figure III-2 : Simulation des paramètres S du SFDFS en CMOS 130 nm

La Figure III-2 présente les paramètres S simulés du circuit. A 1,95 GHz, le gain du circuit (S_{21}) est de 16 dB. Les paramètres S_{11} et S_{22} sont respectivement de -21 dB et -5 dB. Le paramètre S_{22} n'est pas optimisé, afin de ne pas dégrader la linéarité du circuit de manière trop importante (compromis gain/linéarité). L'isolation du circuit est de -37 dB.

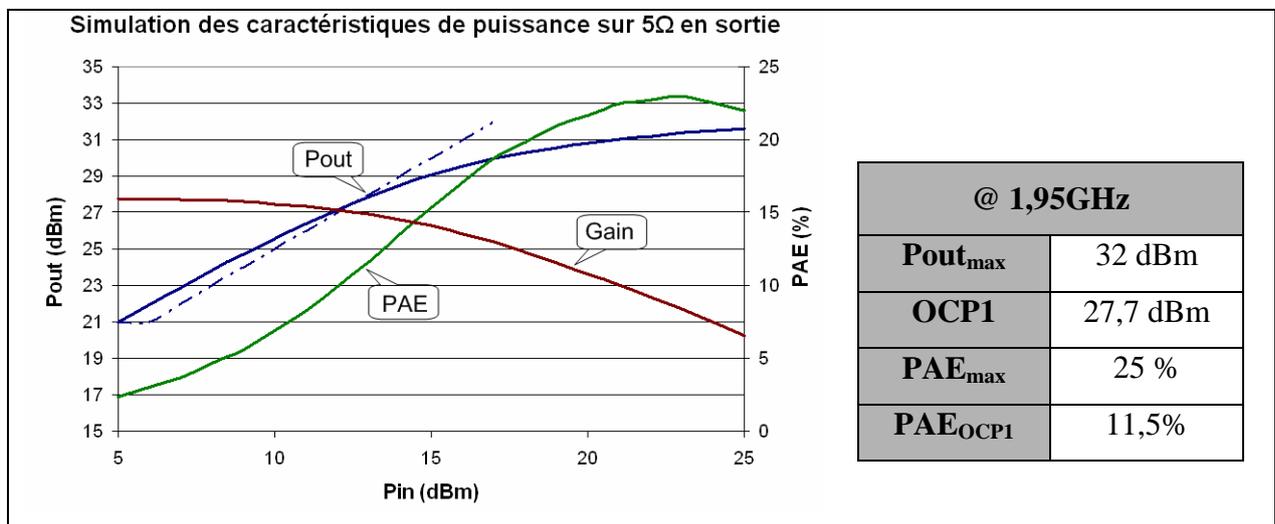


Figure III-3 : Simulation des paramètres de puissance du SFDFS en CMOS 130 nm

La Figure III-3 illustre la simulation du comportement en puissance du PA. La puissance maximale que peut fournir l'amplificateur est de 32 dBm, avec une PAE_{max} de 25 %, pour une fréquence d'utilisation de 1,95 GHz. L' OCP_1 est simulé à 27,7 dBm, cela permet à l'amplificateur d'être suffisamment linéaire à 24 dBm en sortie, comme le spécifie le standard W-CDMA. A cette puissance, la PAE_{OCP1} est de 11,5 %.

I.1.b Simulation Post-Layout

La Figure III-4 présente le dessin du PA CMOS 130 nm. La surface totale du circuit est de 4,6 mm². Les plots d'alimentation des drains sont au plus proche de la zone active pour réduire au maximum les capacités parasites et la résistance d'accès.

Un réseau de connexions de métal est présent sur chaque masse de puissance de manière à répartir le courant au mieux sur les plots et d'éviter la destruction des fils de bonding. En effet, un courant trop élevé pourrait détruire le bonding (~ 150 mA/bonding). Ce routage dispose de 7 niveaux de métallisation [LUQ07].

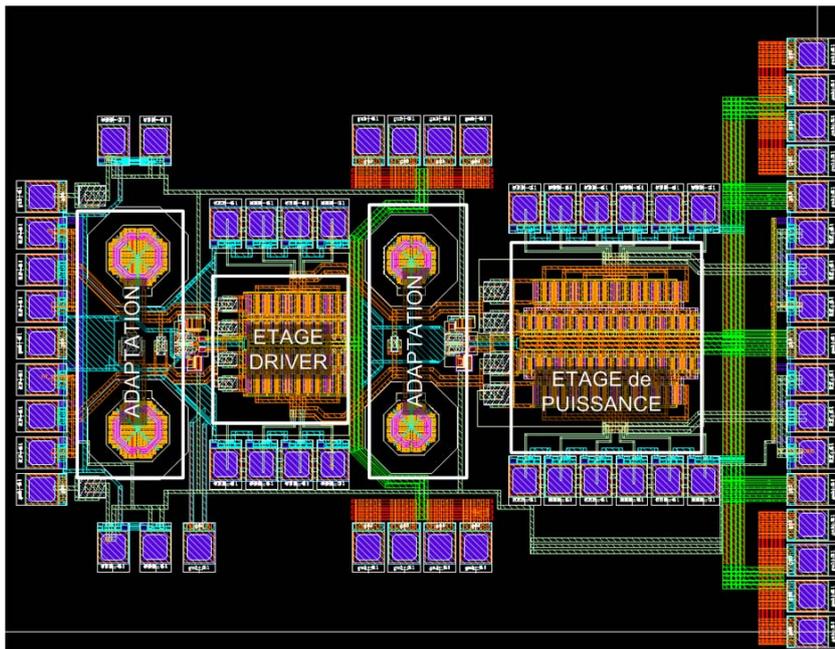


Figure III-4 : Layout du PA en technologie CMOS 130nm

Une fois le layout terminé, les simulations Post-Layout vont permettre la compensation des parasites de chaque piste RF du circuit en suivant un protocole précis. La première simulation Post-Layout met en avant la désadaptation inter-étage et en entrée.

L'adaptation inter-étage influe aussi sur celle en entrée, elle est donc la première à être corrigée. La réadaptation s'effectue de la manière présentée en Figure III-5.

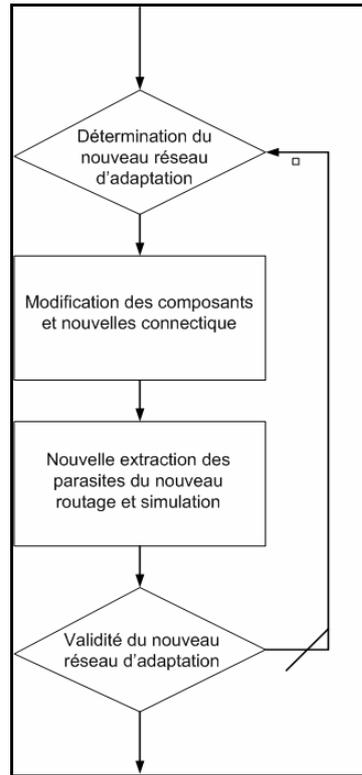


Figure III-5 : Organigramme de réadaptation après PLS

Cette méthodologie est répétée plusieurs fois car la modification des pistes d'accès modifie l'influence des nouveaux composants précédemment calculés. Les conditions de simulation sont les mêmes pour le routage et pour le schéma. L'extraction des capacités parasites est effectuée sous Calibre. Les résistances parasites du circuit sont toutes calculées à la main. Chaque plot constituant le dessin est rattaché à un modèle. La simulation Post-Layout comporte tous les parasites du circuit. Les aspects inductifs sont vérifiés bien qu'ils soient faibles et peu influents étant donnée la fréquence de travail. Les résultats de simulation sur la charge de $5\ \Omega$ en sortie sont présentés en Figure III-6 et Figure III-7.

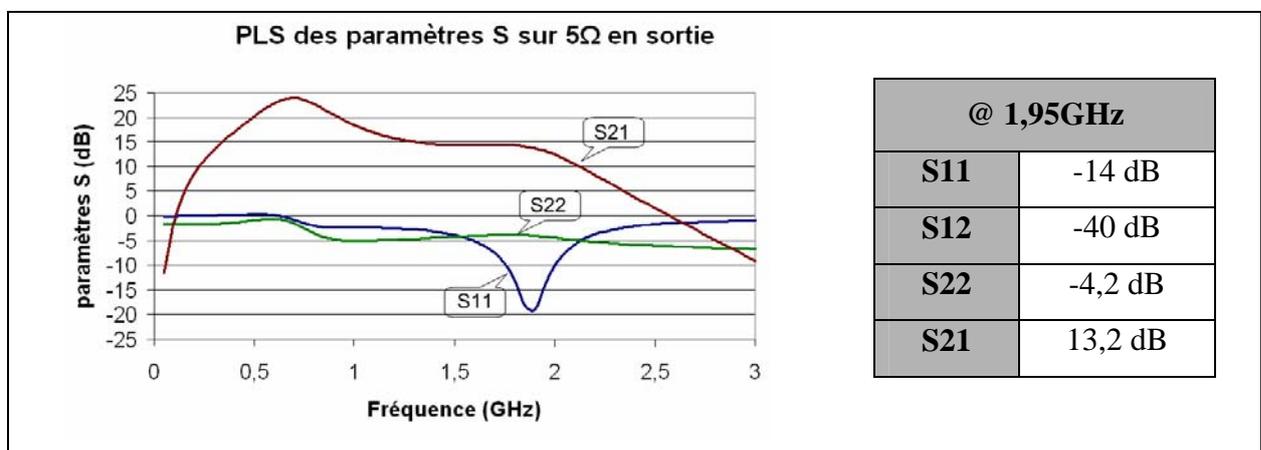


Figure III-6 : Simulation des paramètres S du SFDFS en CMOS 130 nm

La Figure III-6 présente les paramètres S simulés après routage du circuit. A 1,95 GHz, le gain du circuit (S_{21}) est de 13,2 dB. Les paramètres S_{11} et S_{22} sont respectivement de -14 dB et -4,2 dB. L'isolation du circuit est de -40 dB.

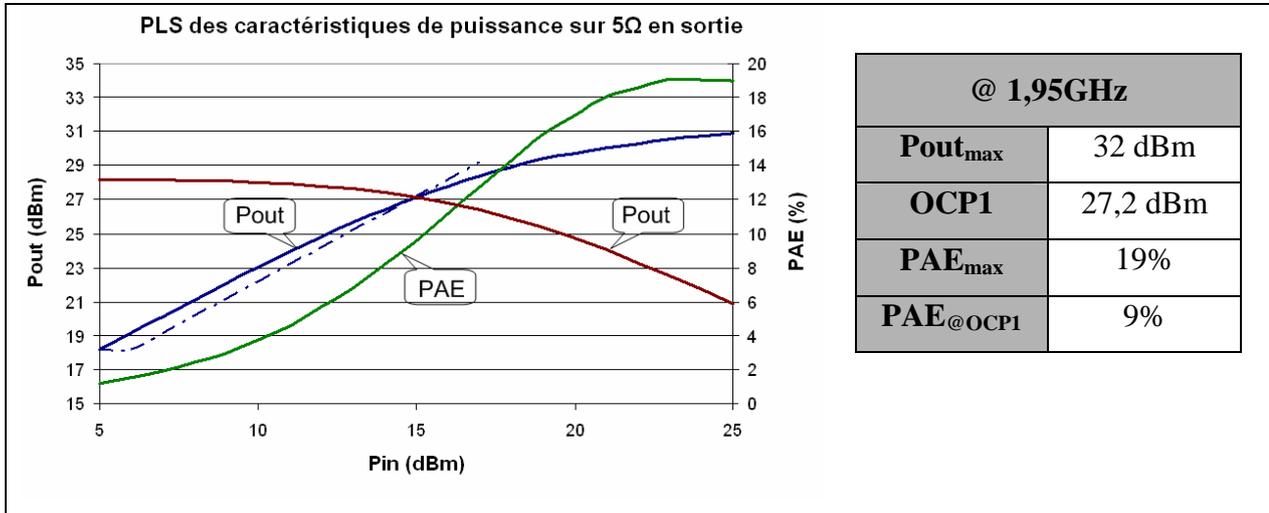


Figure III-7 : Simulation des paramètres de puissance du SFDFS en CMOS 130 nm

La Figure III-7 illustre les résultats de la Post-Layout simulation du comportement en puissance du PA. La puissance maximale que peut fournir l'amplificateur est de 32 dBm, avec une PAE_{max} de 19 %, pour une fréquence d'utilisation de 1,95 GHz. L' OCP_1 est simulé à 27,2 dBm, cela permet à l'amplificateur d'être suffisamment linéaire à 24 dBm en sortie, comme le spécifie le standard W-CDMA. A cette puissance, la PAE_{OCP1} est de 9 %.

Les simulations Post-Layout présentent des résultats plus réalistes des performances que nous pouvons attendre du PA. Par la suite, nous présentons une comparaison entre les simulations schématiques et Post-Layout, pour mettre en avant les pertes apportées par la réalisation du circuit intégré.

I.1.c Comparaison des résultats schématiques et Post-Layout

Le routage est terminé et optimisé. Les performances de simulation schématique sont comparées avec les performances de simulation Post-Layout. Le Tableau III-1 met en évidence les dégradations liées au routage. Toutefois les pertes en puissance et en linéarité sont limitées, ce qui permet toujours au PA de répondre à nos exigences. En contre partie, certains paramètres ont été dégradés. Après routage du PA, le gain a subi une chute de 2,8 dB, en partie liée aux résistances des pistes de routage. S_{11} passe de -21 dB avant routage à -14 dB après routage. La PAE_{max} et la PAE_{OCP1} subissent respectivement une réduction 6 points et 2,5 points.

Tableau III-1 : Comparaison des simulations schémas et Post-Layout du PA CMOS 130 nm

Paramètre simulé	Simulation schéma	Simulation Post-Layout
S21	16 dB	13,2 dB
S11	-21 dB	-14 dB
S22	-5 dB	-4,2 dB
S12	-37 dB	- 40 dB
Pmax	32 dBm	32 dBm
OCP1	27,7dBm	27,2 dBm
PAEmax	25 %	19 %
PAE @ OCP1	11,5 %	9 %

I.2 Simulations du PA en technologie CMOS 65 nm

I.2.a Simulation schématique

La Figure III-8 présente le schéma du PA CMOS 65 nm (hors circuit de polarisation) avec la valeur de chaque composant.

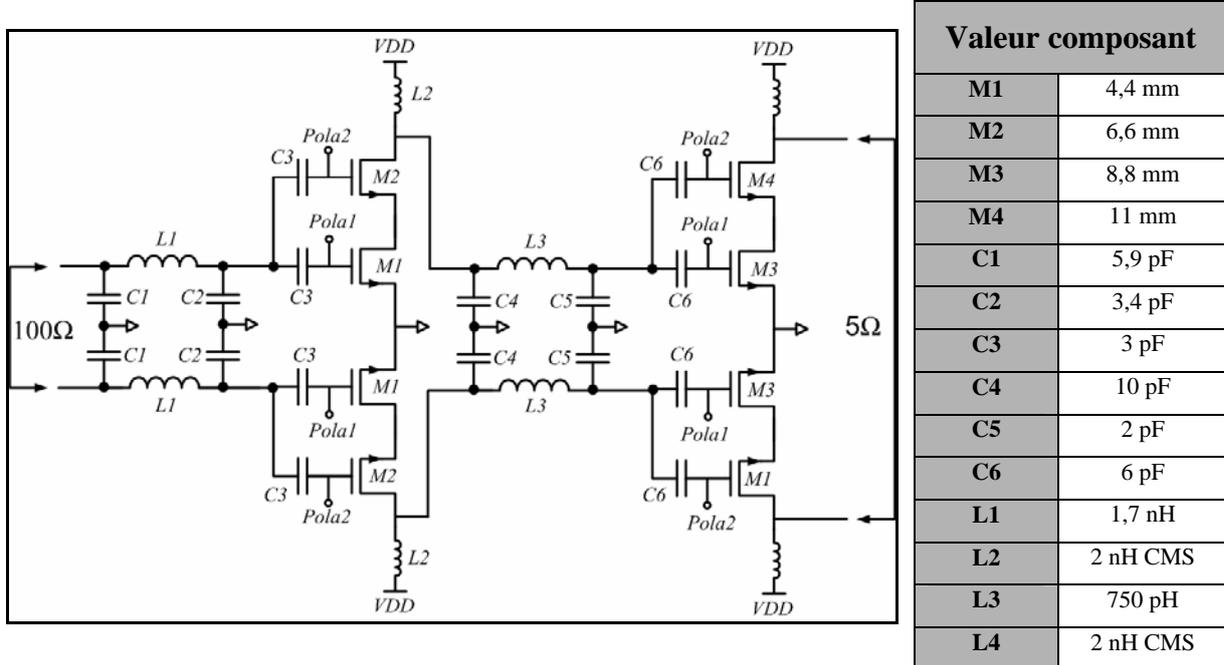


Figure III-8 : Schéma du PA en technologie CMOS 65 nm

Comme pour le PA CMOS 130 nm, les simulations sont effectuées avec Spectre sous Cadence. La température de simulation est fixée à 90°C. Les résultats de simulation sur la charge de 5 Ω en sortie sont présentés en Figure III-9 et Figure III-10

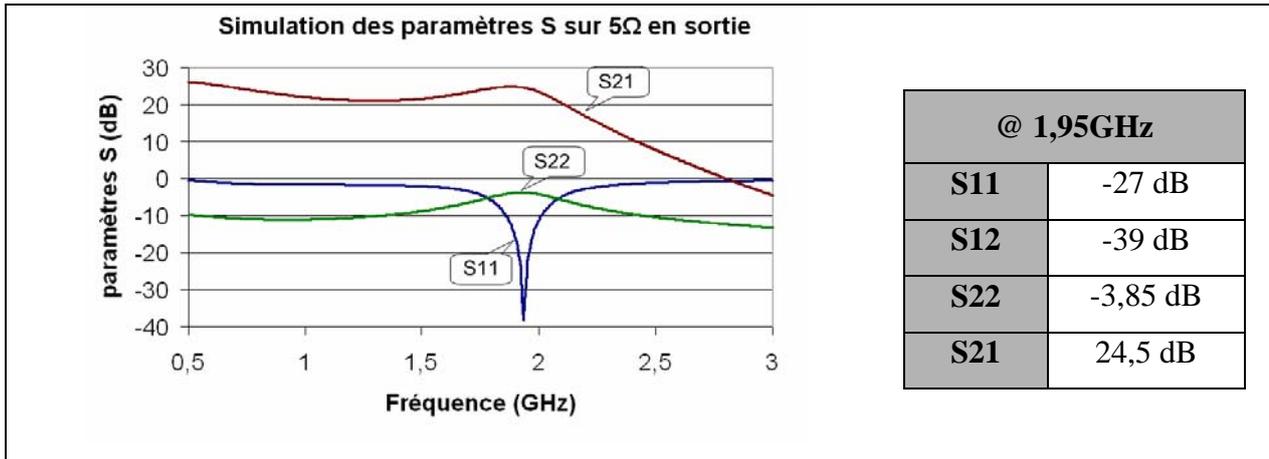


Figure III-9 : Simulation des paramètres S du SFDFS en technologie CMOS 65 nm

La Figure III-9 présente les paramètres S simulés du circuit. A 1,95 GHz, le gain du circuit (S_{21}) est de 24,5 dB. Les paramètres S_{11} et S_{22} sont respectivement à -27 dB et -3,85 dB. Le paramètre S_{22} n'est pas optimisé, afin de ne pas dégrader la linéarité du circuit de manière trop importante (compromis gain/linéarité). L'isolation du circuit est de -39 dB.

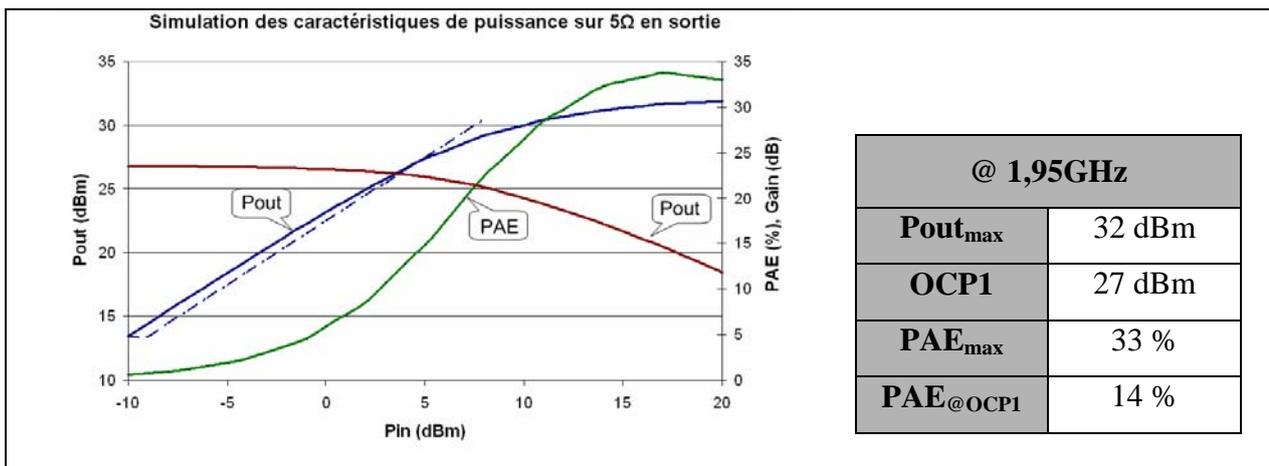


Figure III-10 : Simulation des paramètres de puissance du SFDFS en technologie CMOS 65 nm

La Figure III-10 illustre la simulation du comportement en puissance du PA. La puissance maximale que peut fournir l'amplificateur est de 32 dBm, avec une PAE_{max} de 33 %, pour une fréquence d'utilisation de 1,95 GHz. L' OCP_1 est simulé à 27 dBm, cela permet à l'amplificateur d'être suffisamment linéaire à 24 dBm en sortie, comme le spécifie le standard W-CDMA. A cette puissance, la PAE_{OCP1} est de 14 %.

Les critères de puissance sont respectés, mais un résultat supérieur à ceux présentés est préférable pour laisser place à une possible dégradation des performances liée au circuit et aux disparités lors de la fabrication. Obtenir de tels résultats avec des transistors CMOS 65 nm, normalement destinés à une utilisation en milieu numérique, reste théoriquement possible. Le soin apporté à la sécurité du circuit limite les performances. Pour ce PA, une puissance de

20 dBm en entrée, n'engendre pas de détérioration des transistors. Les réseaux d'adaptation ont été pensés de manière à compenser facilement la désadaptation liée au routage. Les polarisations ont été optimisées afin de ne dépendre ni de la température du circuit, ni de la puissance de travail. Finalement, chaque étage est conçu pour recevoir de très forts niveaux de puissance sans que les tensions de claquage ne soient atteintes.

I.2.b Simulation Post-Layout

Le circuit du PA en technologie CMOS 65 nm est présenté sur la Figure III-11. La surface totale du circuit est de 2 mm². Cette technologie offre 8 niveaux de métallisation. Cependant, les métaux laissent passer moins de courant que pour la technologie 130 nm.

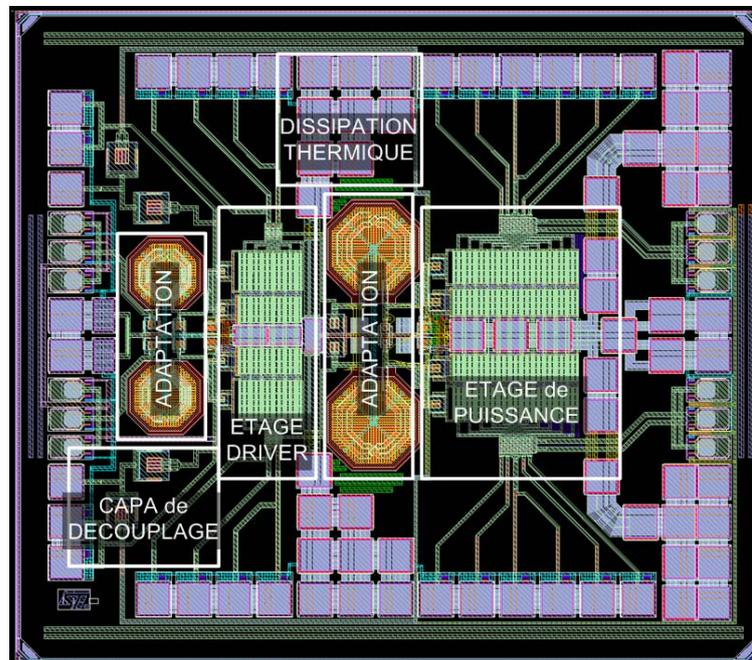


Figure III-11 : Layout du PA en technologie CMOS 65 nm

Les capacités parasites du circuit sont donc plus importantes. Le routage sur ce type de technologie est très difficile à mettre en place car de forts courants doivent traverser le circuit et avec des règles de dessin plus exigeantes, tel que la densité de métal autorisée. Toutes les pistes de masse du circuit sont réalisées avec des plots, dépourvus de passivation, ce qui facilite l'évacuation thermique par convection avec l'air. 94 plots sont présents dans le circuit : 56 sont destinés à être jumelés avec un bonding et 38 autres servent de pistes d'accès et de dissipateur thermique. La partie active du PA est très dense, les dummies de chaque étage de puissance sont donc placés à la main pour optimiser le routage.

L'extraction des capacités parasites a été effectuée sous Calibre. Les résistances parasites du circuit sont toutes calculées à la main. Chaque plot constituant le circuit est rattaché

à un modèle. La simulation Post-Layout comporte tous les parasites résistifs et capacitifs du circuit. Les aspects inductifs sont vérifiés, mais restent faibles et peu influents. Les résultats de simulation sur la charge de 5Ω en sortie sont présentés en Figure III-12 et Figure III-13. Les simulations Post-Layout fixent le fonctionnement réel du PA [LUQ08].

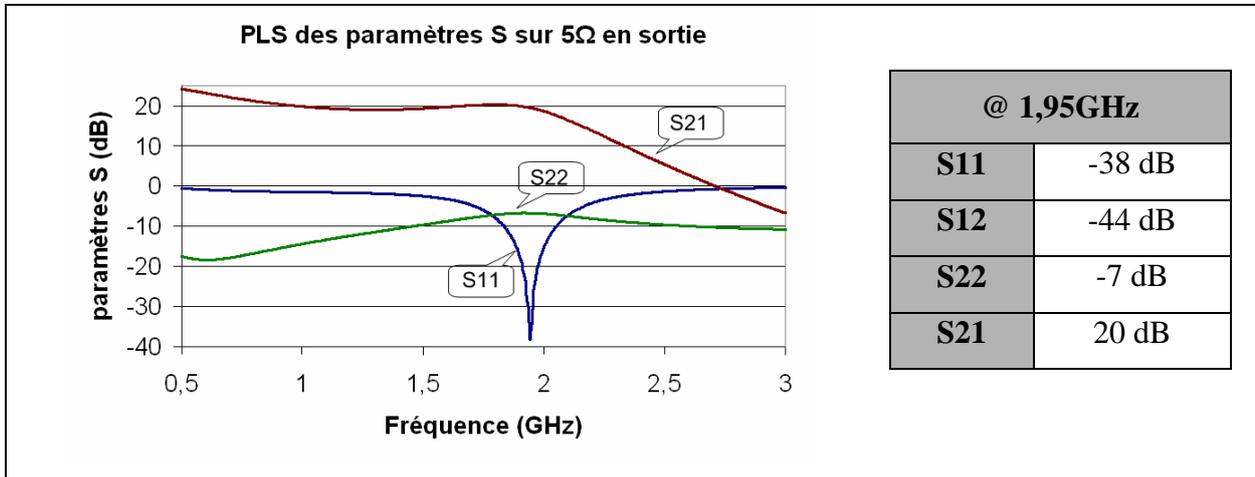


Figure III-12 : Simulation des paramètres S du SFDS en technologie CMOS 65 nm

La Figure III-12 présente les paramètres S simulés après routage du circuit. A 1,95 GHz, le gain du circuit (S_{21}) est de 20 dB. Les paramètres S_{11} et S_{22} sont respectivement à -38 dB et -7 dB. L'isolation du circuit est de -44 dB.

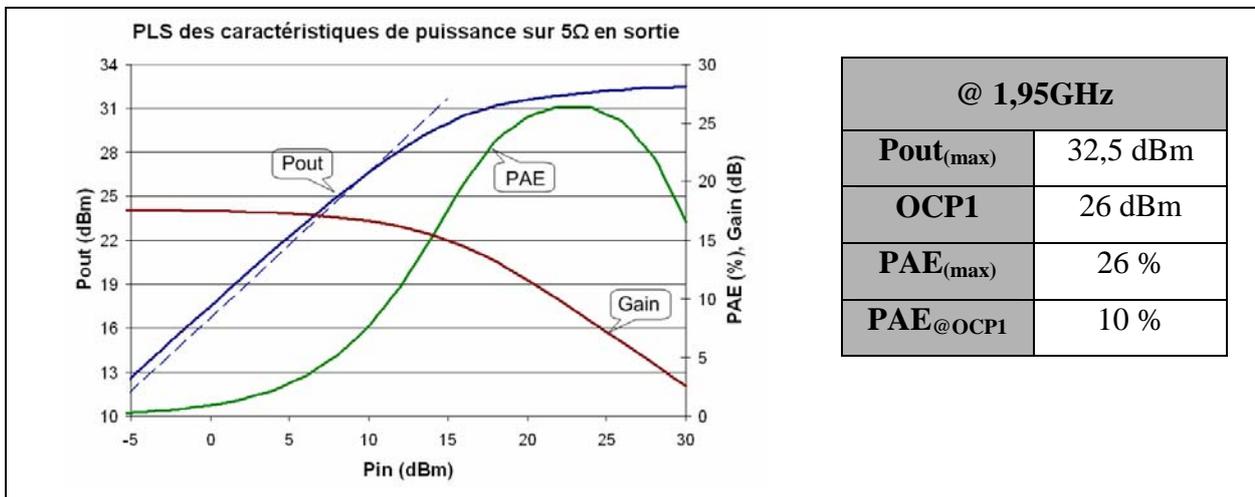


Figure III-13 : Simulation des paramètres de puissance du SFDS en technologie CMOS 65 nm

La Figure III-12 illustre la Post-Layout simulation du comportement en puissance du PA. La puissance maximale que peut fournir l'amplificateur est de 32,5 dBm, avec une PAE_{max} de 26 %, pour une fréquence d'utilisation de 1,95 GHz. L' OCP_1 est simulé à 26 dBm, cela permet à l'amplificateur d'être suffisamment linéaire à 24 dBm en sortie, comme le spécifie le standard W-CDMA. A cette puissance, la PAE_{OCP1} est de 10 %. Par la suite, nous présentons

une comparaison entre les simulations schémas et Post-Layout, pour mettre en avant les pertes apportées par la réalisation du circuit intégré.

I.2.c Comparaison des résultats schématiques et Post-Layout

Le routage est terminé et optimisé. Les performances de simulation schématique sont comparées avec les performances de simulation Post-Layout. Le Tableau III-2 synthétise cette comparaison.

Tableau III-2 : Comparaison des simulations schéma et Post-Layout du PA CMOS 65 nm

Paramètre simulé	Simulation schéma	Simulation PLS
S21	24 dB	20 dB
S11	-27 dB	-38 dB
S22	-3,85 dB	-7 dB
S12	-37 dB	-44 dB
Pmax	32 dBm	32,5 dBm
OCP1	27 dBm	26 dBm
PAEmax	33 %	26 %
PAE @ OCP1	14 %	10 %

Malgré une chute de l' OCP_1 de 27 dBm avant routage à 26 dBm après routage, la P_{max} augmente quand à elle de 0,5 dB. Cette augmentation s'explique en partie par l'amélioration de l'adaptation d'entrée (S_{11}). En effet, l'expérience acquise pendant la conception du PA CMOS 130 nm a permis l'optimisation de la réadaptation Post-Layout. Pour ce PA, la qualité du routage et de la réadaptation, ont permis d'améliorer le paramètre S_{11} de 11 dB. En contre partie, certains paramètres ont été dégradés. Après routage du PA et malgré l'amélioration du S_{11} , le gain a subi une chute de 4 dB. La PAE_{max} et la PAE_{OCP1} subissent respectivement une réduction de 7 points et 4 points.

I.2.d Simulation sur signal modulé HPSK

Le point de compression du PA 65 nm simulé en post layout est de 26 dBm. Nous allons donc effectuer une simulation sur signal modulé afin de tester la linéarité du PA en condition réel. Les simulations sont effectuées sur le simulateur ADS. Elles ne sont possibles que pour la technologie CMOS 65 nm, car nous nous possédons uniquement ce Design Kit sur le logiciel ADS.

Les résultats de cette simulation sont présentés sur les courbes de la Figure III-14. Les ACLR à +/- 5MHz et à +/- 10MHz de la porteuse restent respectivement inférieur à -33dBc jusqu'à 23 dBm en sortie du PA et à -43 dBc jusqu'à 23,5 dBm en sortie du PA. Le PA respecte ainsi les critères de linéarité jusqu'à 23 dBm en puissance de sortie.

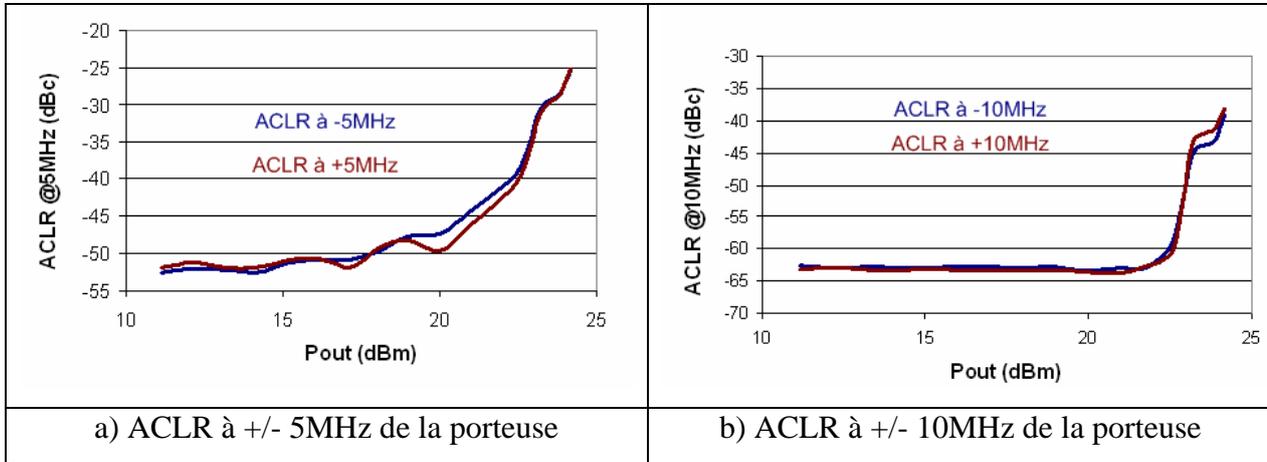


Figure III-14 : ACLR du PA CMOS 65 nm en fonction de la puissance de sortie

Les simulations du spectre de sortie et de la constellation, présentées sur la Figure III-17, ont été effectuées pour une puissance de sortie de 24 dBm, condition maximale de fonctionnement requis par le standard UMTS. A cette puissance, les ACLRs à +/- 5MHz sont respectivement de -28,8 dBc et -27,7 dBc. Les ACLRs à +/- 10MHz sont respectivement de -42,6 dBc et -40 dBc. Comme précédemment explicité, les ACLRs ne sont pas respectés à 24 dBm. Néanmoins, l'EVM est respecté, avec 11,5% à 24 dBm au lieu des 17,5% toléré.

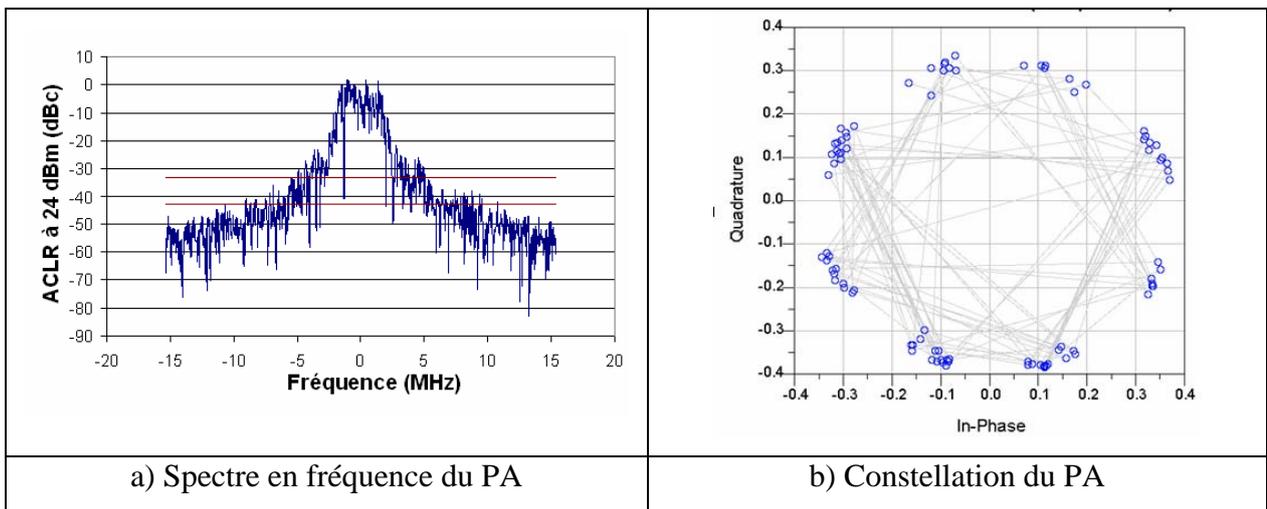


Figure III-15 : Comportement du PA CMOS 65 nm à 24 dBm en sortie

I.2.e Répartition des pertes au point de compression

Nous estimons obtenir un OCP_1 de 26 dBm avec une PAE_{OCP1} de 10% (cf Figure III-13). Nous avons estimé les pertes à travers le circuit pour un fonctionnement au point de compression, dont les résultats sont synthétisés dans le Tableau III-3.

Tableau III-3 : Répartition des pertes à travers le circuit

PA 65 nm PLS		
Consommation DC 4400mW	Consommation en mW	Consommation par élément en %
Transistors de puissance	2200	78 % des pertes dans les transistors et leurs connections entre grilles, drains et sources
Transistors driver	1270	
Accès source (puissance)	65	11,2 % des pertes dans l'accès aux alimentations, aux transistors et dans les réseaux d'adaptation
Accès source (driver)	45	
Adaptation interétage	70	
Adaptation d'entrée	12	
Accès drain (puissance)	260	
Accès drain (driver)	40	
Sortie	434 (~26 dBm)	9,8 % du signal en sortie
Reste	4	0,1 % des pertes non répertoriées

Cette simulation permet de montrer les pertes importantes liées à la connectique des transistors à faible tension de claquage sur un backend fin. La PAE au point de compression n'est que de 9,8 %, alors que plus de 11,2 % des pertes sont uniquement liée aux accès entre l'alimentation et les transistors ainsi qu'aux réseaux d'adaptation. De plus, les transistors consomment 78 % de l'alimentation DC.

I.2.f Circuits de l'étage driver et de l'étage de puissance seuls

L'étage driver et l'étage de puissance sont aussi envoyés en fonderie séparément. Les deux circuits sont présentés en Figure III-16. Ces circuits ont pour but de permettre, en cas d'anomalie, des mesures sur chaque étage indépendamment l'un de l'autre. En cas de dysfonctionnement du PA principal, il devient alors possible d'identifier l'étage qui pose problème.

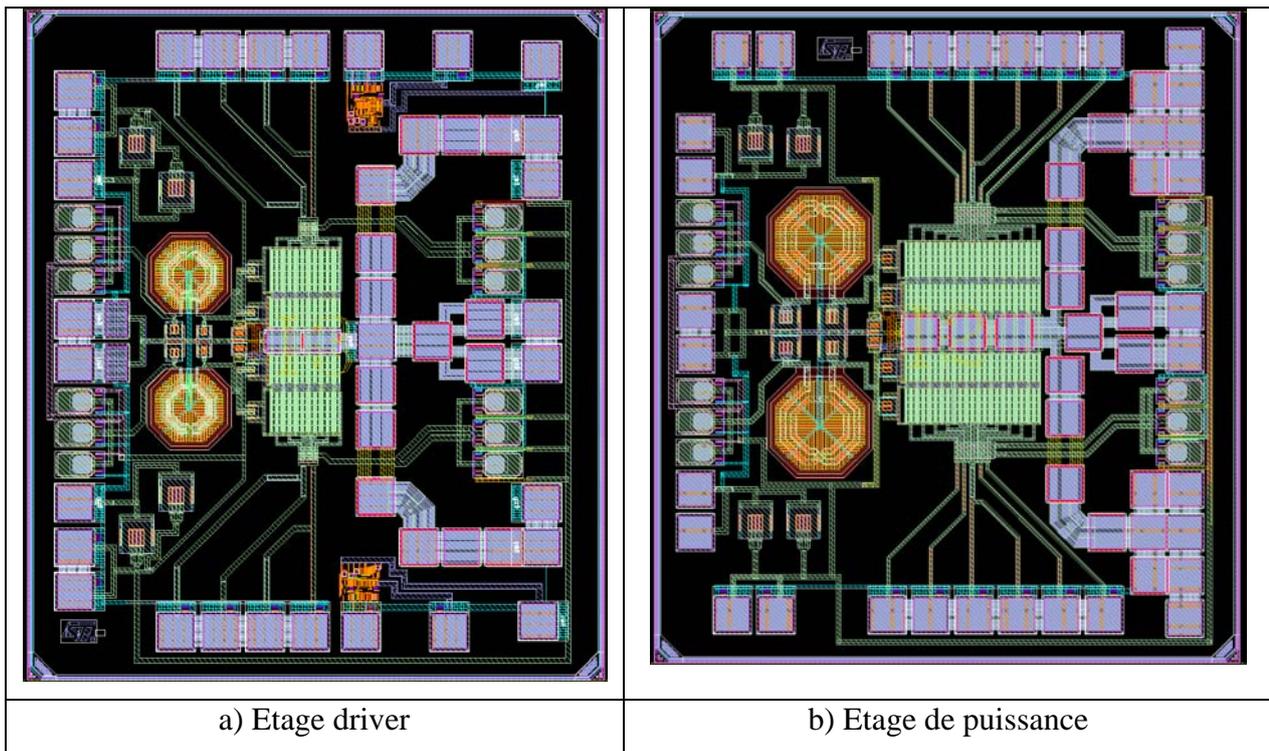


Figure III-16 : Circuits de substitution CMOS 65 nm

Le Tableau III-4 synthétise leurs simulations Post-Layout. Notons qu'il résulte de ces nouveaux circuits des différences de résultats pour la puissance de sortie au niveau de l'étage de puissance. En effet, la P_{max} et l' OCP_1 du PA complet sont respectivement égale à 32,5 dBm et 26 dBm. Ces puissances sont les résultats normalement obtenu par l'étage de puissance. Or, lorsque l'étage de puissance est seul, sa P_{max} et l' OCP_1 sont respectivement égales à 30 dBm et 24,6 dBm. Cette différence provient en partie du fait que le routage, l'adaptation d'impédance et les plots ne sont pas les mêmes sur le PA complet que sur le PA contenant uniquement l'étage de puissance. Nous retrouvons également cette même dégradation pour l'étage driver.

Tableau III-4 : Tableau récapitulatif des simulations Post-Layout

	Etage Driver	Etage Puissance
S_{21}	7 dB	7,4 dB
S_{11}	-26 dB	-22 dB
S_{22}	-6,3 dB	-12 dB
S_{12}	-24 dB	-24 dB
Z_{in}	98-9j	53+3.8j
Z_{out}	12+8j	2+4j
$P_{out(max)}$	24 dBm	30 dBm
OCP_1	18.26 dBm	24.6 dBm

II Contraintes de routage pour un PA CMOS

Les effets canal-court du circuit réduisent les tensions de claquage des transistors. Des courants élevés traversent le circuit pour compenser cette limite. Par conséquent, les composants sont tous dimensionnés de manière à résister à ces contraintes de courant. Le routage du PA est une partie critique car la fiabilité du circuit est déterminée par celui-ci. La largeur des pistes, les espaces entre les composants, les zones de fort échauffement thermique ne sont pas à négliger. De plus, le routage apporte des parasites qui dégradent les performances du PA. Les soins apportés au routage d'un circuit destiné à une application haute puissance sont développés dans ce paragraphe.

II.1 Présentation général du routage

Le routage présenté sur la Figure III-17 sert d'exemple. Il est dessiné en technologie CMOS 65 nm de STMicroelectronics. Le routage supporte 2A sous 2,2V d'alimentation.

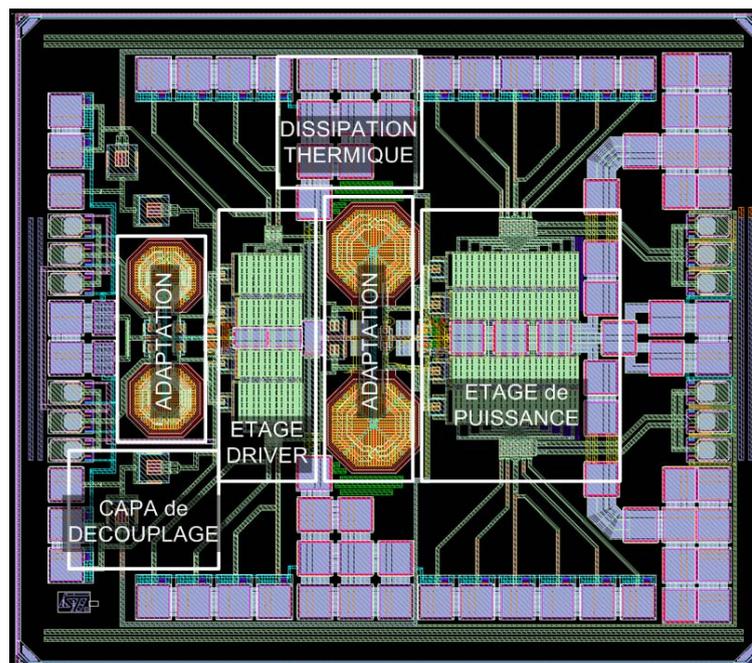


Figure III-17 : Routage d'un PA SFDS en CMOS 65nm

Les passifs sont dimensionnés pour supporter les forts courants traversant le circuit. La surface de la puce et sa consommation sont alors importantes. La surface totale de la puce est de 2mm² dont plus de 80% est occupée par les composants passifs et les pistes. L'adaptation de sortie est effectuée à l'extérieur étant donné les courants élevés qui traversent l'étage de puissance. En effet, à de telles intensités les composants passifs occupent une surface trop importante pour que ceux-ci soient intégrés sur Silicium.

II.2 Dimensionnement des composants et précautions à prendre pour le routage

II.2.a Les passifs

Les capacités *MIM* (Métal-Isolant-Métal, capacité RF) sont utilisées pour leur bonne tenue en tension afin de limiter le risque de claquage. Les inductances sont en série, le choix se porte donc sur des selfs symétriques (Figure III-18) afin de réduire la longueur des pistes RF associées à la connexion.

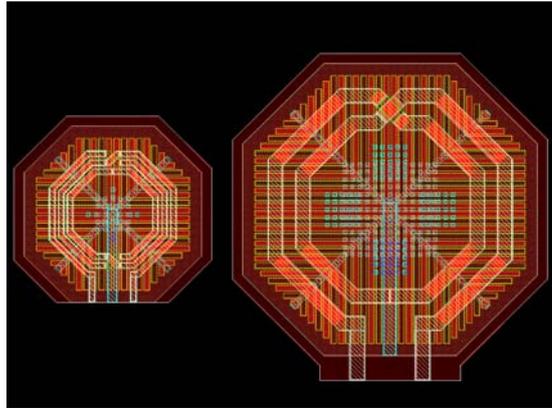


Figure III-18 : Inductances symétriques du DK CMOS 65 nm

Les deux inductances de la Figure III-18 ont la valeur de 1nH. La plus petite inductance est optimisée pour la surface occupée sur silicium au détriment du courant qui peut la traverser. Elle sera donc utilisée pour l'adaptation d'entrée, car le courant qui traverse y est encore faible. La plus grande des inductances autorise un passage de courant plus important et convient donc mieux pour des connexions de forte puissance comme l'adaptation inter-étage.

II.2.b Les transistors

Le choix du transistor et de sa géométrie sont importants à la fois pour un bon fonctionnement RF et pour optimiser la surface occupée. Contrairement aux transistors classiques, les transistors RF incluent dans leurs modèles l'accès aux grilles, dès lors que le transistor contient plusieurs doigts. Cette prise en compte permet à la simulation schématique d'être plus réaliste sur les parasites apportés par les connexions.

Pour notre application en puissance et en raison de sa tension de claquage, le transistor ndr25RF (tension de claquage 2,5V) serait intéressant mais sa géométrie n'a pas autant de flexibilité que le nsvt18RF (tension de claquage 1,8V). En effet, le transistor ndr25RF n'accepte que deux doigts de connexion seulement, augmentant fortement le nombre de transistor à placer en parallèle. Les pertes engendrées par le routage de ce type de transistor sont donc plus

importantes. Par conséquent et en dépit de sa tension de claquage plus faible, le transistor MOS nsvt18RF est retenu.

II.3 Parasites liés au routage

II.3.a Contexte

Une fois tous les composants placés et dimensionnés, le routage peut commencer. Cette étape détériore les performances du PA car les connexions ne sont pas encore prises en compte par le simulateur. La version technologique utilisée comporte 8 niveaux de métallisation. La Figure III-19 présente une vue des niveaux de métallisation en coupe afin de comprendre le rôle que nous attribuerons à chaque métal.

Les 5 premiers niveaux de métallisations sont fins et proche du substrat. Lors d'une connexion avec ces métaux, la capacité et la résistance parasite de la piste sont importantes. Ces niveaux de métaux sont donc exclus pour les connexions RF, mais plus intéressant pour les connexions DC ou la masse.

Les pistes RF utiliseront donc le métal 6, 7 et alucap (métaux épais). Ces 3 niveaux de métaux sont en effet plus haut dans le backend (capacité parasite réduite) et moins résistifs.

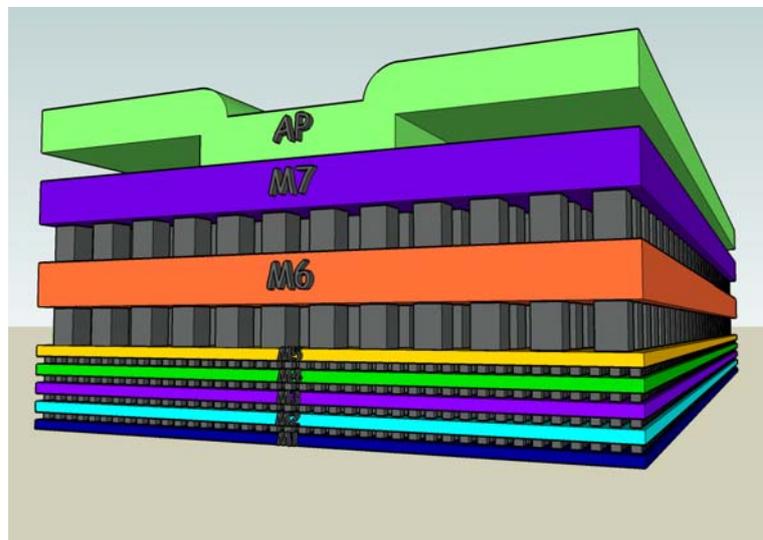


Figure III-19 : Représentation des niveaux de métallisation de la technologie CMOS 65 nm

La Figure III-19 met en évidence l'importance et la complexité d'effectuer un routage dédié à une application forte puissance. En effet, les pistes sont fines, proches du substrat et proches les unes des autres : rien n'est fait pour évacuer de tel courant à travers le circuit.

II.3.b Impédance de sortie parasite

La technologie CMOS impose le passage d'un courant important dans le circuit afin de compenser la faible tension de claquage liée à la réduction des largeurs de grille des transistors. Il faut aussi que l'impédance présentée en sortie soit faible ($2,5 \Omega$ single pour notre circuit), afin d'obtenir une puissance maximale de sortie proche des 32 dBm. Cependant, une impédance faible est beaucoup plus sensible aux composants parasites (inductifs, capacitifs et résistifs) liés aux pistes du circuit. Ajouter $2,5 \Omega$ parasite en série à cette impédance diviserait la puissance de sortie par quatre. Ces parasites, liés aux pistes de connexion, sont présents dans tous les circuits. Les points chauds comme les pistes RF et GND sont critiques vis-à-vis des dégradations possibles des performances lors du routage. Ces deux points sont discutés par la suite.

II.3.c Parasites des pistes RF et masse

La Figure III-20 montre les parasites apportés par les pistes RF. Ceux-ci créent un nouveau réseau d'adaptation équivalent. Après routage, le circuit n'est plus adapté. Dans notre exemple, la capacité d'adaptation C_1 de 10 pF subit une augmentation de 20% liée à la piste de connexion entre l'étage driver et le réseau d'adaptation [LUQ08]. La résistance de cette piste d'accès est de $350 m\Omega$. Nous prenons systématiquement en compte ces lignes dans les circuits d'adaptation.

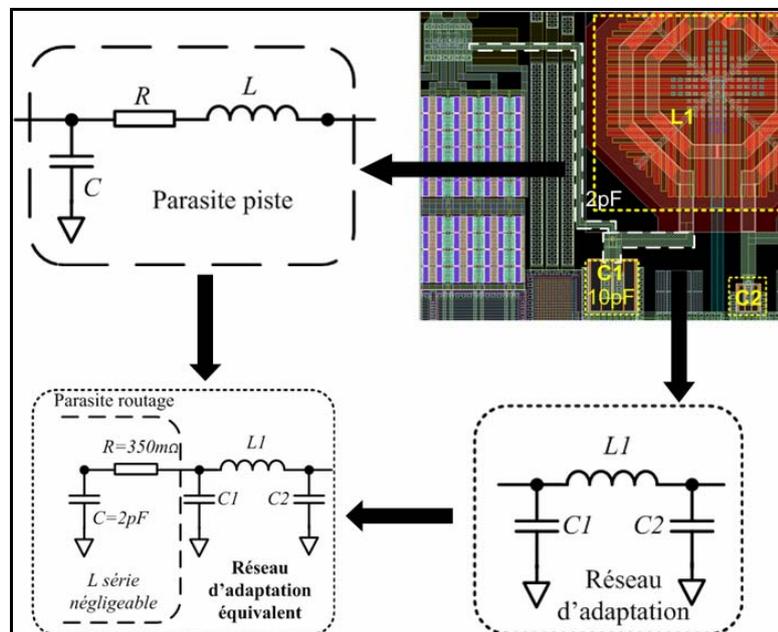


Figure III-20 : Exemple de l'influence des pistes RF sur l'adaptation

Un réseau d'adaptation en π permet de réadapter plus facilement. En effet, dans notre exemple, la capacité de 10 pF qui constitue une des capacités du réseau voit la capacité parasite en parallèle. Afin de réadapter, il suffit simplement de réduire la capacité C_1 par la valeur de la

capacité parasite de la piste d'accès. La capacité parasite fait ici 2 pF. C_I sera donc modifiée et passera de 10 pF à 8 pF. Un réseau en T aurait créé un pont capacitif entre la capacité d'adaptation et celle de la piste. Une correction d'adaptation aurait donc été plus difficile à effectuer. Pour cette connexion, l'impédance est de 15Ω . La résistance parasite a donc peu d'influence sur le réseau d'adaptation.

II.3.d Résistance des pistes de masse

Il est essentiel lors du dessin des masses de faire attention à la résistance de la piste entre la masse locale du transistor et le plot. La Figure III-21 montre la connexion de la masse de l'étage de puissance. Cet étage est traversé par un courant DC de 1,3 A. Une résistance de masse de 1Ω suffirait à augmenter le potentiel de masse de 1,3V (V_{perte}). Ceci aurait pour conséquence de dépolariser les transistors MOS ($V_{gs}=V_{pola}-1,3V$) et de mettre en conduction leurs transistors bipolaires parasites.

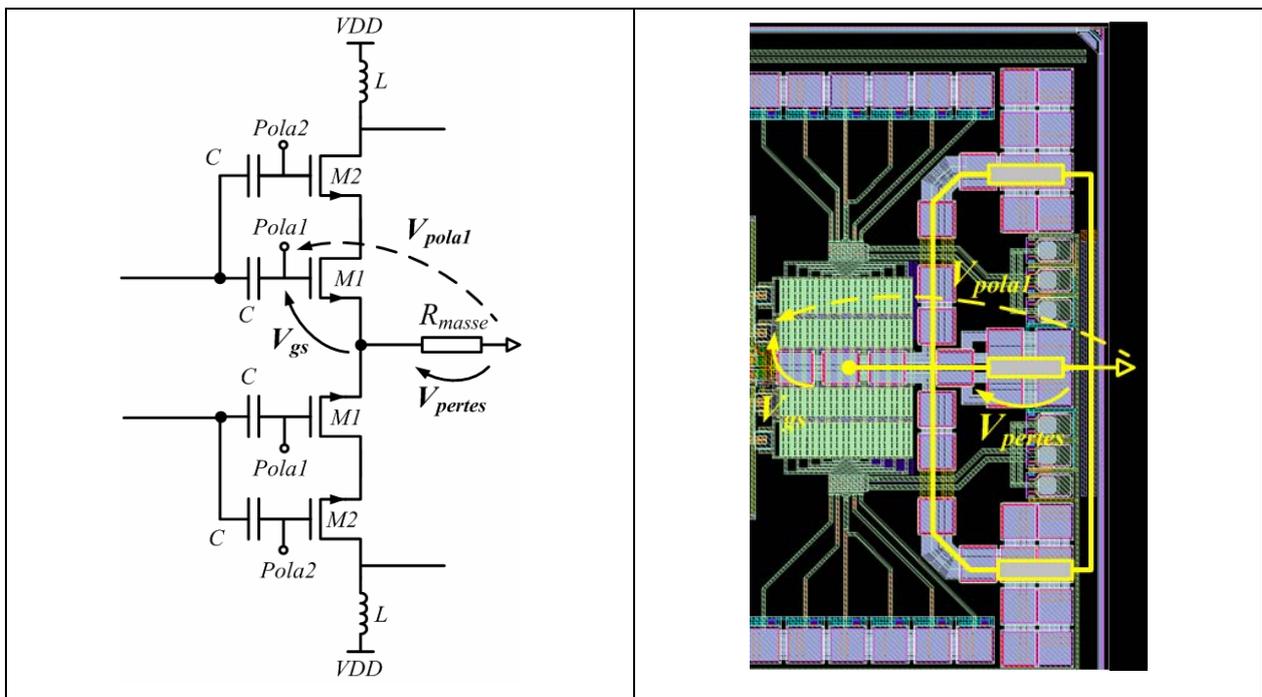


Figure III-21 : Exemple de l'influence des pistes sur le potentiel de masse

Dans notre circuit, la masse de sortie a une résistance totale maximale de $40m\Omega$. La chute de tension provoquée est donc limitée à 52 mV. Pour ce circuit la plus fine des masses est de $40\mu m$ de large sur les 8 niveaux de métallisation, tous reliés par un maximum de vias.

II.3.e Compromis électro-migration / capacité parasite

Les pistes de masse doivent être les moins résistives possible. Donc dès que possible, les masses sont routées sur les 8 niveaux de métallisation, eux-mêmes reliés par plusieurs milliers

de vias. Les pistes RF, quand à elles, doivent respecter un compromis entre la capacité parasite apportée par la piste (désadaptation possible à compenser) et le risque d'électro-migration du métal lorsque ce dernier doit véhiculer de forts courants.

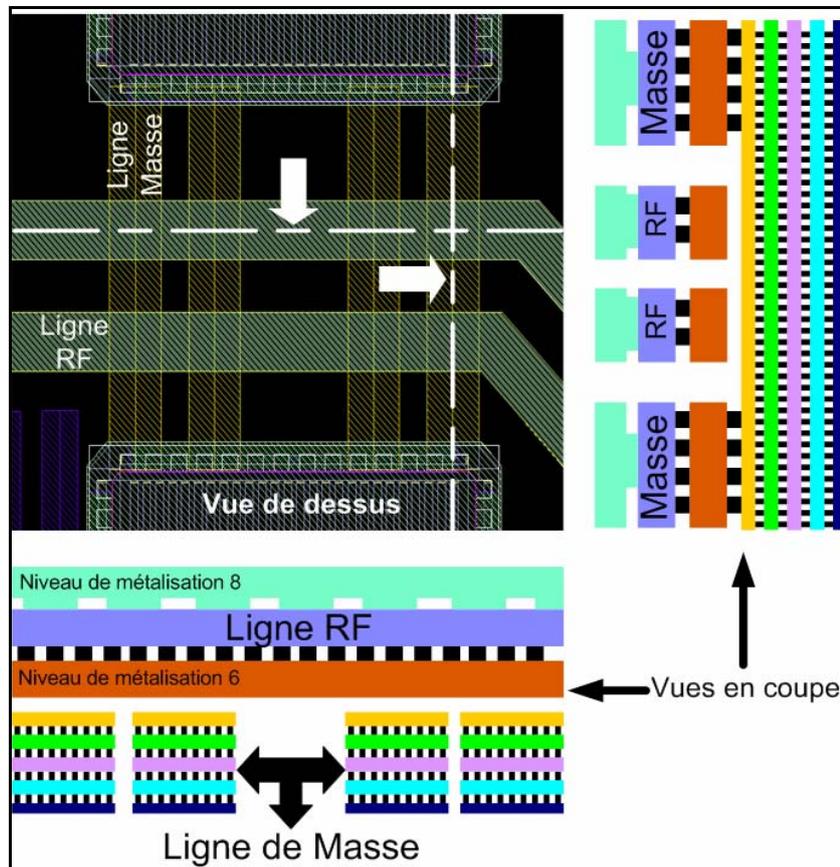


Figure III-22 : Optimisation d'un croisement entre masse et piste RF

Des points plus critiques comme des croisements entre une piste RF et une masse sont inévitables dans le circuit. Un exemple est proposé en Figure III-22, ainsi que les vues en coupe associées. Cet exemple permet de constater, une fois ramené sur le backend, que la capacité parasite apportée par ce type de croisement est très élevée. Dans certaines connexions RF, elle représente 70 % de la capacité parasite totale. De plus, la résistance de masse en série est fortement augmentée.

II.3.f Accès aux transistors de puissance

L'accès au transistor de puissance est le plus critique. En effet, le risque de claquage à cet endroit est très important. Quelques vias mal placés ou oubliés et un emballage thermique pourraient engendrer une électro-migration ou un phénomène de claquage. La Figure III-23 en vue de dessus et en vue 3D montre le soin apporté au routage des accès aux transistors.

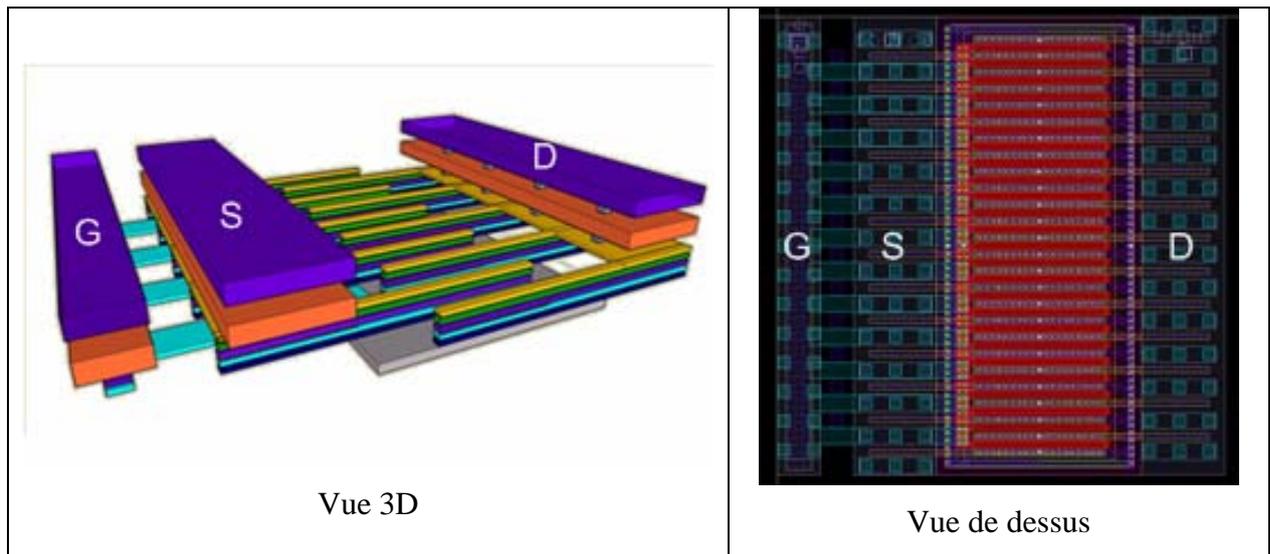


Figure III-23 : Schéma simplifié de l'accès aux transistors de puissance

Le choix de faire passer la grille sous la source a été volontaire. Il limite au maximum la capacité parasite entre le drain et la grille, plus critique pour le gain que la capacité parasite entre la grille et la source. Le courant maximal passant dans chaque doigt a permis de déterminer avec précision le nombre de couches de métal et de vias nécessaire pour éviter une électro-migration.

III Mesures des PAs CMOS 130 nm et CMOS 65 nm

La mesure d'un PA est une étape difficile. Malgré toutes les précautions prises lors de la conception et du layout de la puce, le claquage du circuit reste possible. De plus, l'implémentation sur PCB de l'adaptation de sortie ainsi que des inductances de drain compliquent fortement la mesure.

III.1 Préambule

III.1.a Adaptation de sortie sur substrat IPD (*Integrated Passive Device*)

Un circuit d'adaptation sur substrat de verre (IPD) a été développé dans le cadre du projet MOBILIS. Il permet le passage des 5Ω différentiel de sortie du PA vers 50Ω single grâce à l'utilisation de passifs et d'un balun. La Figure III-24 présente le schéma électrique de l'IPD.

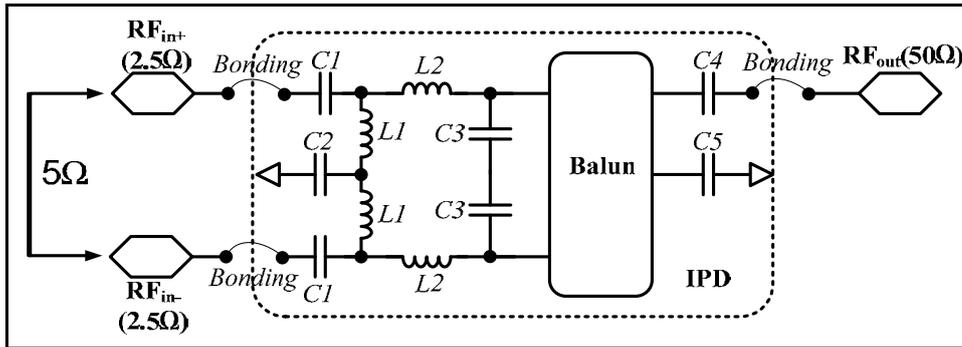


Figure III-24 : Schéma simplifié de l'IPD

Il a été développé de manière à effectuer cette transformation d'impédance dans la gamme de fréquence allouée à l'UMTS (1,92 GHz, à 1,98 GHz). De manière à optimiser le compromis qui réside entre la taille du circuit et ses performances, l'étude s'est limitée à un réseau de 4^{ème} ordre. Dans notre cas, les performances sont optimisées lorsque les conditions des équations suivantes sont remplies.

$$R_{inter} = (R_{balun} \cdot R_{drain})^{1/2} \tag{III-1}$$

$$L_1 = \frac{1}{4\pi^2 f_{RF}^2 \cdot C_1} = \frac{R_{balun}^{3/4} \cdot R_{drain}^{1/4}}{2\pi \cdot f_{RF}} \approx 1.88nH \tag{III-2}$$

$$L_2 = \frac{1}{4\pi^2 f_{RF}^2 \cdot C_2} = \frac{R_{balun}^{1/4} \cdot R_{drain}^{3/4}}{2\pi \cdot f_{RF}} \approx 0.45nH \tag{III-3}$$

Avec : $R_{balun} = 50\Omega$ et $R_{drain} = 2,5\Omega$, et

$$f_{RF} = \frac{(1.71+1.98)}{2} GHz \text{ (UMTS/DCS)} \tag{III-4}$$

Le circuit a été conçu et fabriqué sur une technologie de STMicroelectronics, dont une photo de la puce est visible en Figure III-25. Sa surface est de 12mm².

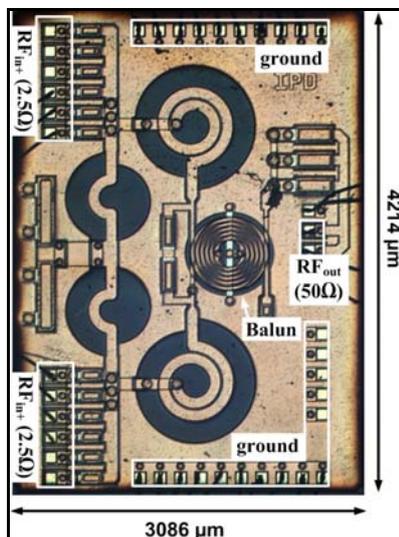


Figure III-25 : Photo de la puce IPD

Afin de valider le fonctionnement du circuit, des mesures de l'IPD seul ont été effectuées sous pointe (différentielle en entrée, single en sortie) et avec bonding.

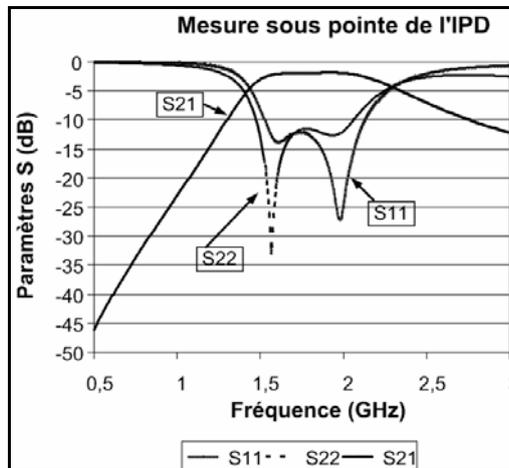


Figure III-26 : Résultat de mesure sous pointe de l'IPD

Une chute du gain initialement prévue à 1,1 dB a été mesurée à 1,85 dB, probablement liée au dé-embedding des microstrips d'accès. Les deux voies d'accès sont déséquilibrées de 0,1 dB de magnitude et 1° de phase. Les paramètres S_{11} et S_{22} sont inférieurs à 10 dB sur toute la gamme que couvre l'UMTS.

III.1.b Les PCBs

Durant la série de mesures des PAs, de nombreux PCB ont été développés. Certains PCB avaient une adaptation par guide d'onde, d'autre une adaptation avec IPD, ou encore sans adaptation de sortie afin d'effectuer des mesures *load pull*. Deux PCBs ont été retenus pour la suite.

Le premier PCB, présenté sur la Figure III-25 est destiné à une mesure classique. Il présente une adaptation avec IPD afin d'effectuer des mesures 3 ports sur 50Ω (Différentiel en entrée et single en sortie). Le substrat utilisé est en TMM10, matériaux permettant une bonne dissipation thermique, ce qui limite le risque de destruction du circuit.

Le second PCB présenté sur la Figure III-28 est destiné aux mesures *load pull*. Il ne comporte donc aucun réseau d'adaptation en sortie. Nous choisissons un substrat FR4 et une puce en boîtier afin de limiter la dissipation thermique et de tester ainsi la résistance du circuit.

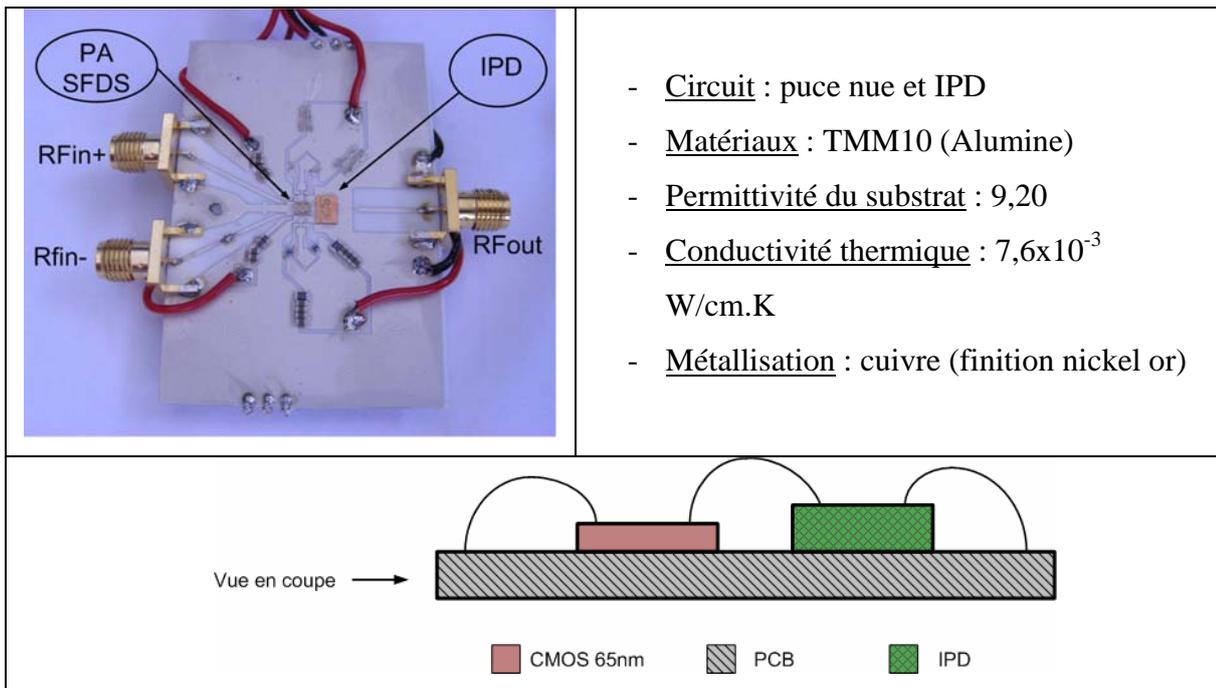


Figure III-27 : PCB1 : mesure sur 50 ohms

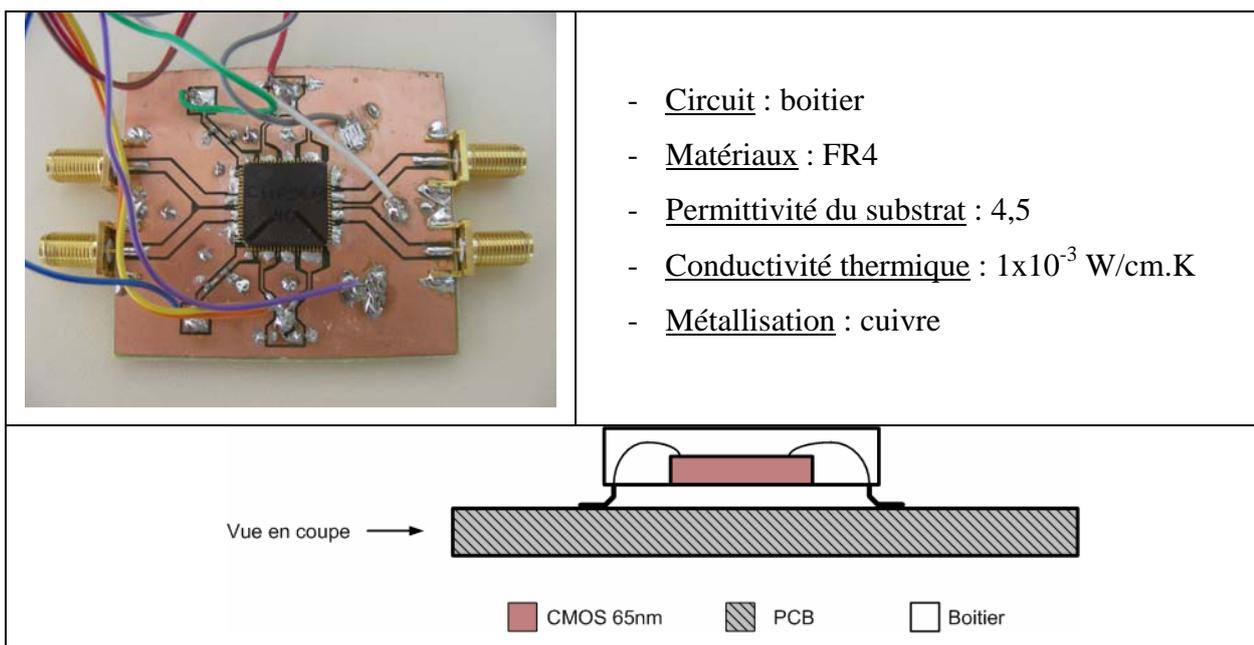


Figure III-28 : PCB2 : mesure sur banc *load pull*

III.1.c Les bancs de mesures

Les mesures effectuées peuvent être divisées en deux parties, car deux bancs de mesures différents ont été utilisés.

Banc de mesures 2 ports : Un premier banc de mesures a été mis en place, mais ce dernier restait limité. En effet, il s'agit d'un banc de mesure 2 ports, l'utilisation de balun est donc obligatoire. En cas de dysfonctionnement d'une partie du PA, le balun peut être

déséquilibré. La mesure est donc faussée et il devient alors difficile de déterminer l'origine du dysfonctionnement.

Banc de mesure 4 ports avec 'load pull' 2 ports : Par la suite, un nouveau banc a pu être utilisé. Ce deuxième banc combine un banc 'load pull' de Focus Microwave (0,8-18GHz) et un VNA 4 port d'Agilent. Il est alors possible d'effectuer soit des mesures 'load pull' 2 ports soit des mesures 4 ports sur 50Ω.

Banc de mesures 2 ports

Le banc 2 ports est illustré par la Figure III-29. Ce banc est composé des éléments suivants :

- 3 alimentations DC (HP E3631A) : pour la cellule de Peltier et pour le circuit,
- 1 cellule de Peltier : permettant le refroidissement du circuit en cas de surchauffe,
- 1 générateur de signaux (HP E4433B 250 KHz à 4 GHz) : envoi un signal RF au PA,
- 1 Wattmètre mètre (HP EPM 441 A) : mesure la puissance de sortie du PA,
- 1 analyseur de spectre : afin de vérifier la linéarité du PA, car d'éventuelles harmoniques pourraient fausser les mesures en puissance lues par le watt mètre,
- 1 analyseur de réseau 2 ports (HP 8720D 50 MHz à 20 GHz) : mesure les paramètres S du circuit,
- 2 baluns (Krytar 2 GHz à 18 GHz) : pour effectuer selon les besoins un passage du mode single au mode différentiel (pour le VNA à deux ports).

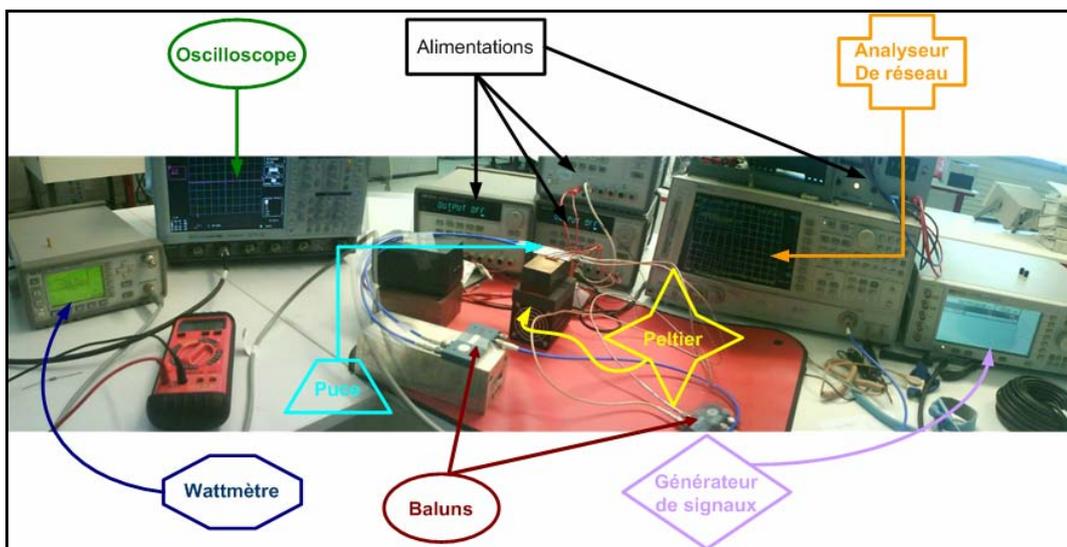


Figure III-29 : Banc de mesure 2 ports

En fonction du substrat utilisé, certains éléments comme les baluns, ou encore la cellule de Peltier ne sont pas utilisés.

Banc de mesure 4 ports avec 'load pull' 2 ports

Avec ce nouveau banc, les mesures ainsi que les calibrations sont pilotées par ordinateur et peuvent donc être automatisées. La chaîne de calibration remonte jusqu'au connecteur. Le de-embedding peut donc inclure tout ce qui est intégré à la mesure, comme les câbles, les baluns éventuels, les pré-amplificateurs et autre.

Le banc complet est présenté sur la Figure III-30. Il est composé des éléments suivants :

- 3 alimentations DC (HP E3631A) : pour la cellule de Peltier et pour le circuit,
- 1 cellule de Peltier : permettant le refroidissement du circuit en cas de surchauffe,
- 1 préamplificateur d'instrumentation (ZHL-42W) : afin de palier aux pertes de puissance à travers les tuners lors de la mesure 'load pull',
- 1 coupleur 3 dB (Agilent 11692D 2 GHz à 18 GHz) : permet la mesure de la puissance envoyée vers le PA à mesurer,
- 1 générateur de signaux (HP E4433B 250 KHz à 4 GHz) : envoi un signal RF au PA,
- 2 Wattmètre mètres (HP EPM 441 A et HP 437B) : mesure la puissance de sortie reçue et fournie par le PA,
- 1 oscilloscope (Wavepro 960 2 GHz) : afin de vérifier la linéarité du PA,
- 1 analyseur de réseau 4 ports (Agilent E8361A 100 MHz à 67 GHz) : mesure les paramètres S du circuit,
- 2 tuners 'load pull' (0,8-18 GHz) de Focus Microwave.

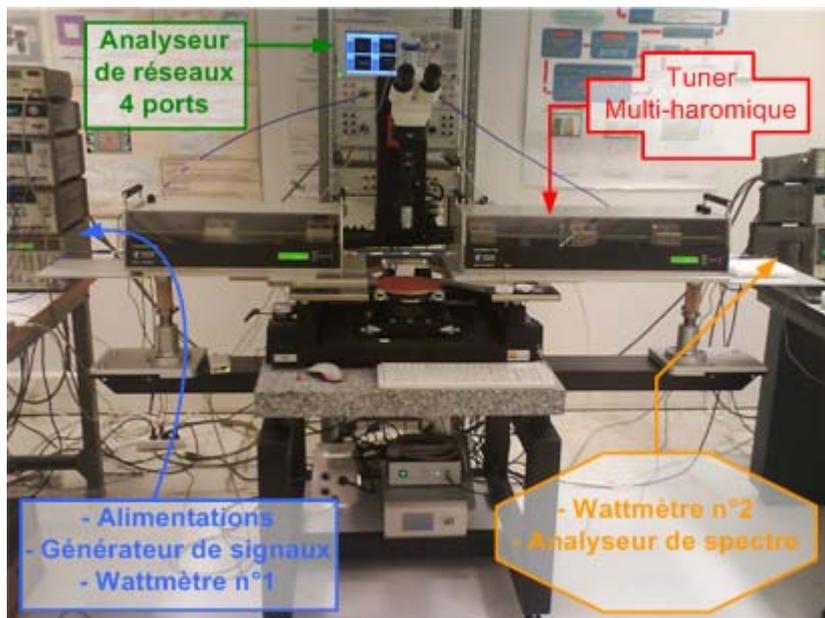


Figure III-30 : Banc de mesure 4 ports avec 'load pull' 2 ports

III.2 Mesures du PA SFDS CMOS 130 nm

III.2.a Premières mesures sur PCB1

Rappelons que le PCB1 utilise un substrat TMM10 et permet d'effectuer des mesures sur 50Ω en entrée et en sortie (cf Figure III-25 de la page 98).

Résultats de mesures des paramètres S

Les paramètres S mesurés sont présentés en Figure III-31 et Figure III-32. Pour la mesure single illustrée en Figure III-31, les ports 1 et 2 sont en entrée et le port 3 en sortie. Pour la mesure différentielle de la Figure III-32, le port 1 est en entrée, tandis que le port 2 est en sortie.

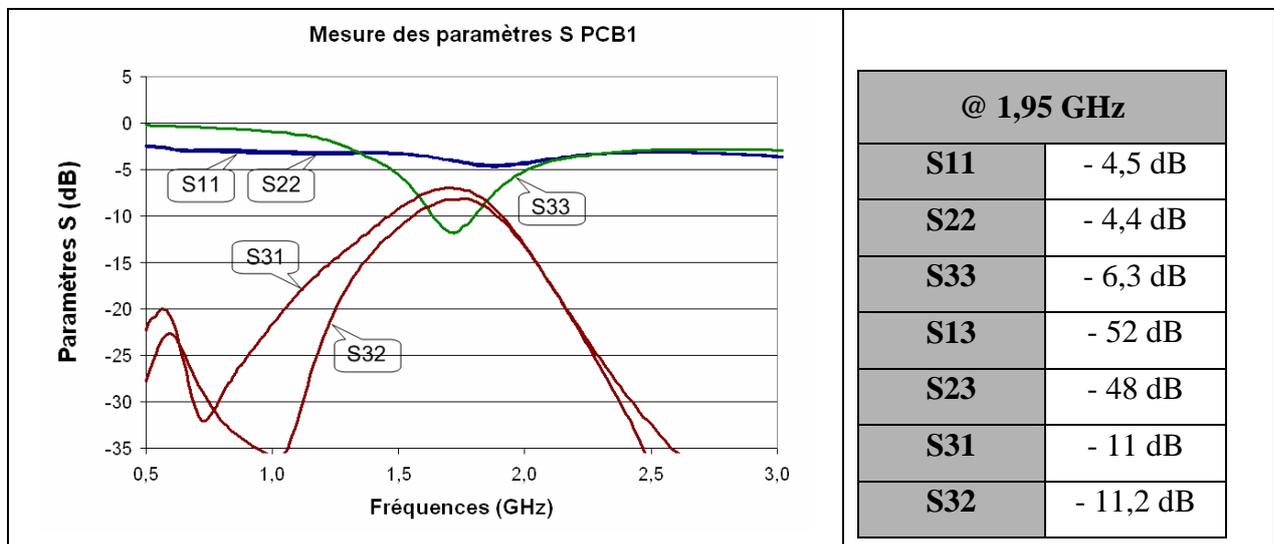


Figure III-31 : Mesures single des paramètres S du PA CMOS 130 nm avec IPD et PCB1

La mesure single des paramètres S, présentée par la Figure III-31, permet la vérification du fonctionnement des deux voies single du PA. D'après les mesures effectuées, les deux voies single fonctionnent de manière similaire, le PA n'est donc pas défectueux. A notre fréquence de travail, les deux impédances en entrée sont similaires ($S_{11} \approx S_{22} \approx -4,5$ dB), ainsi que le gain de chaque voie ($S_{31} \approx S_{32} \approx -11$ dB). Maintenant que nous avons pu constater le fonctionnement correct du PA, les mesures différentielles vont permettre de présenter les performances de celui ci.

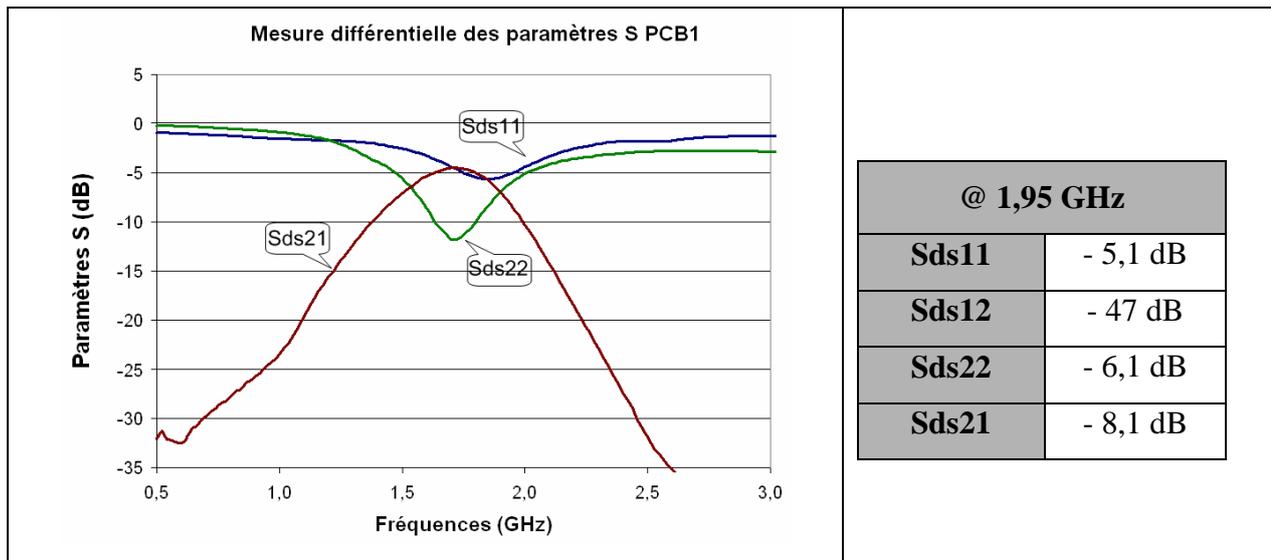


Figure III-32 : Mesures différentielles des paramètres S du PA CMOS 130 nm avec IPD et PCB1

La Figure III-32 présente les paramètres S différentiels mesurés du circuit. A 1,95 GHz, le gain du circuit (S_{ds21}) est de -8,1 dB. Les paramètres S_{ds11} et S_{ds22} sont respectivement à -5,1 dB et -6,1 dB. L'isolation du circuit (S_{ds12}) est de -47 dB.

Malgré un bon fonctionnement du circuit en DC (2A sous 2,6V), les paramètres S ne répondent pas à nos attentes. La forme du gain s'explique par la bande passante de l'IPD (Figure III-26), mais sa valeur est loin d'être celle attendue ($S_{ds21attendu}=13,2$ dB sur 5 Ω).

Il est important de prendre en considération que les paramètres S ont été simulés sur 5 Ω différentiel en sortie alors que les mesures sont effectuées sur 50 Ω single en sortie. En effet, au moment du développement du PA, le PCB et l'IPD n'existait pas encore. De plus le bonding de sortie été une estimation, or sur 2,5 Ω single, ce dernier influence énormément l'adaptation. Les conditions entre les mesures et les simulations ne sont donc pas les mêmes. Une comparaison directe entre la simulation et la mesure n'a donc aucun sens. Afin de donner un sens à cette comparaison, des rétro-simulations seront donc effectuées.

Rétro simulation des paramètres S

Une rétro simulation de la totalité du circuit de mesure est effectuée. Pour cela, ont été intégrés sous Cadence les paramètres S mesurés de l'IPD et simulés du PCB. Chaque valeur de bonding, qui n'était autre qu'une estimation, a pu être interprétée en fonction de sa longueur sur le PCB, et intégrée dans le simulateur. La simulation Cadence est maintenant représentée sous la forme illustrée en Figure III-33.

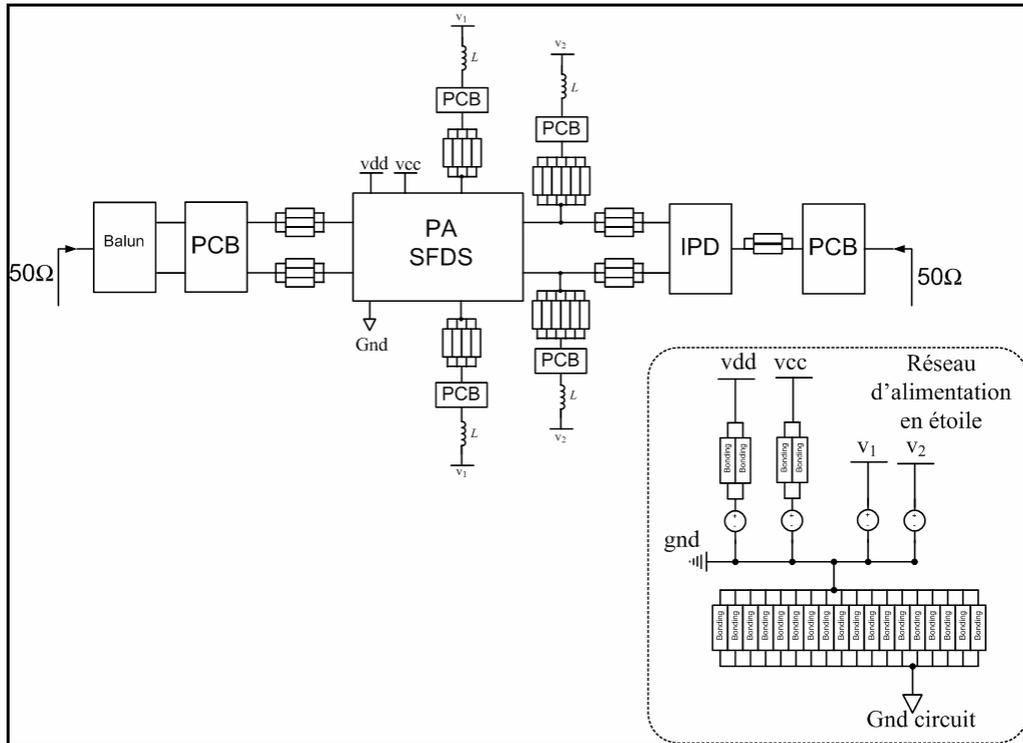


Figure III-33 : Topologie des rétro simulations sous Cadence du PA CMOS 130 nm

Lors des première rétro-simulations, la prise en compte de tous les éléments du PA (PCB, IPD, bonding) n'a pas permis de coller totalement à la mesure. Le problème restant était donc interne au circuit. Après quelques investigations, le problème s'est révélé venir d'une erreur lors de l'extraction des résistances parasites du circuit. En effet, les résistances parasites ayant été extraite à la main et l'effet de peau étant important à nos puissances, ceci laisser place à une sous estimation des résistances. Une fois les résistances recalculées de nouvelles rétro-simulations ont été effectuées. Ces rétro-simulations sont présentées à la Figure III-34, Figure III-35 et Figure III-36.

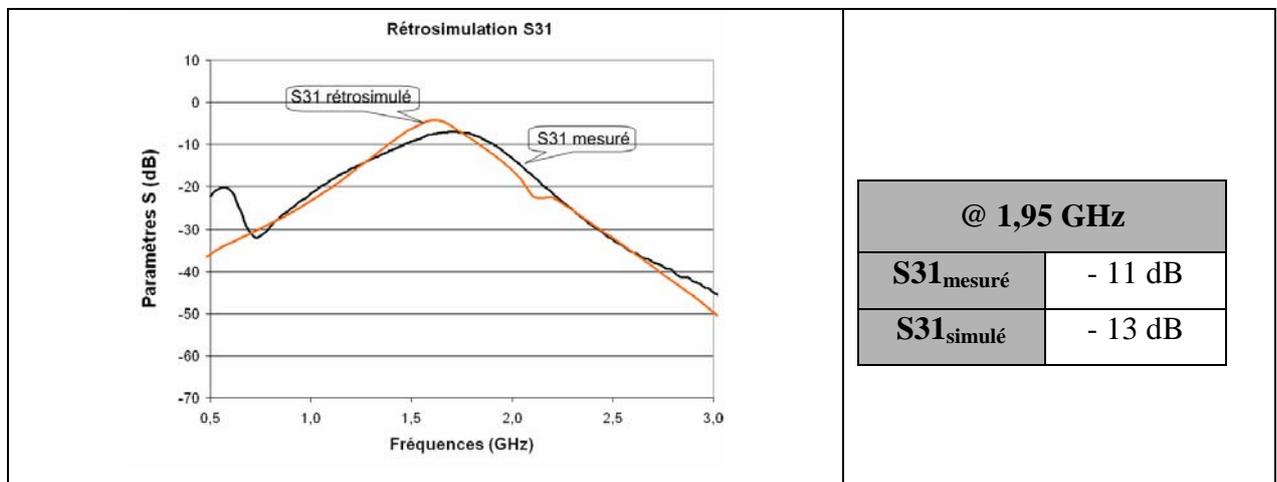


Figure III-34 : Comparaison du paramètre S31 entre mesure et rétro simulation

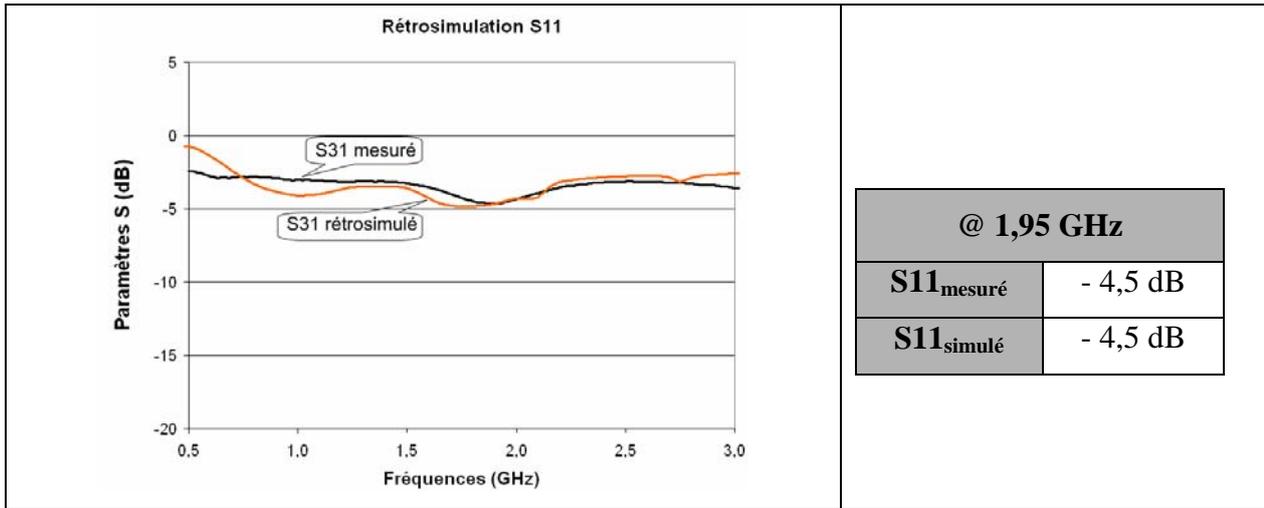


Figure III-35 : Comparaison du paramètre S_{11} entre mesure et rétro simulation

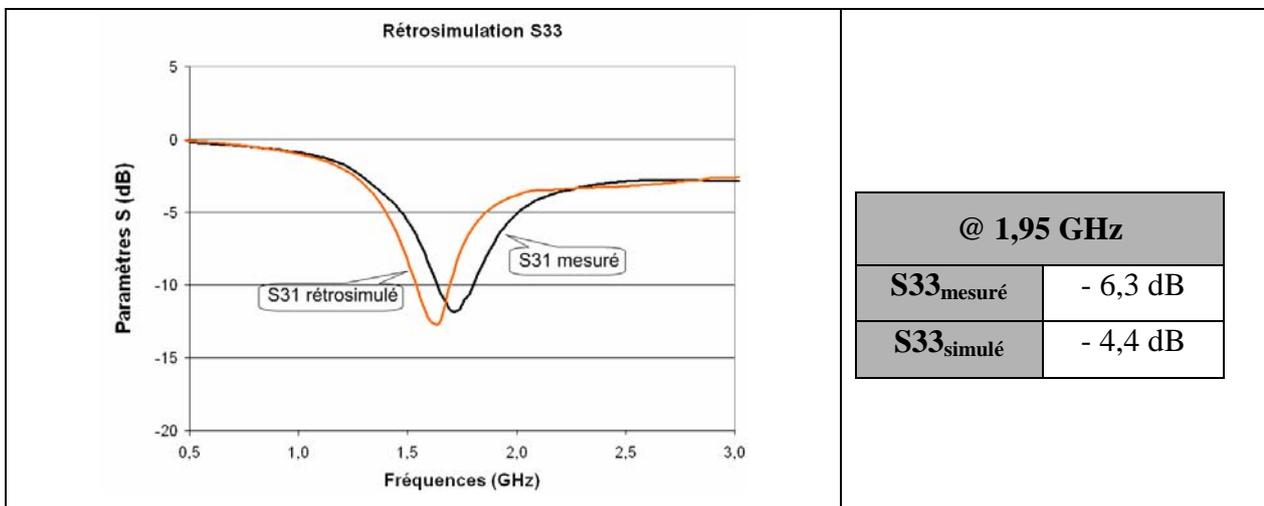


Figure III-36 : Comparaison du paramètre S_{33} entre mesure et rétro simulation

La rétro-simulation présentée met en avant le problème des pertes résistives du circuit. La prise en compte approfondie des bondings en fonction de leur taille sur le PCB a aussi contribué à cette rétro-simulation. En effet, l'influence de la variation sur la valeur de l'inductance des bondings de sortie est non négligeable (connexion entre circuit et IPD). A cet endroit, l'impédance single présentée ne dépasse pas 2,5 Ohms. Toute variation sur le bonding engendre une désadaptation rapide.

Maintenant que le problème est identifié, réduire le courant traversant le circuit permettrait de limiter la chute de gain. Pour, cela il nous suffit de réduire la polarisation du transistor inférieur qui compose le SFDS.

III.2.b Mesures avec polarisation modifiée sur PCB1

Afin de réduire le courant et de mieux polariser les transistors, la polarisation du transistor inférieur va être fortement diminuée. Maintenant le courant DC traversant le circuit complet ne dépasse pas 300mA, contre 2A initialement prévu.

✚ Résultats de mesures des paramètres S

Les paramètres S mesurés sont présentés en Figure III-37 et Figure III-38. Pour la mesure single de la Figure III-37, les ports 1 et 2 sont en entrée et le port 3 en sortie. Pour la mesure différentielle de la Figure III-38, le port 1 est l'entrée, tandis que le port 2 est la sortie.

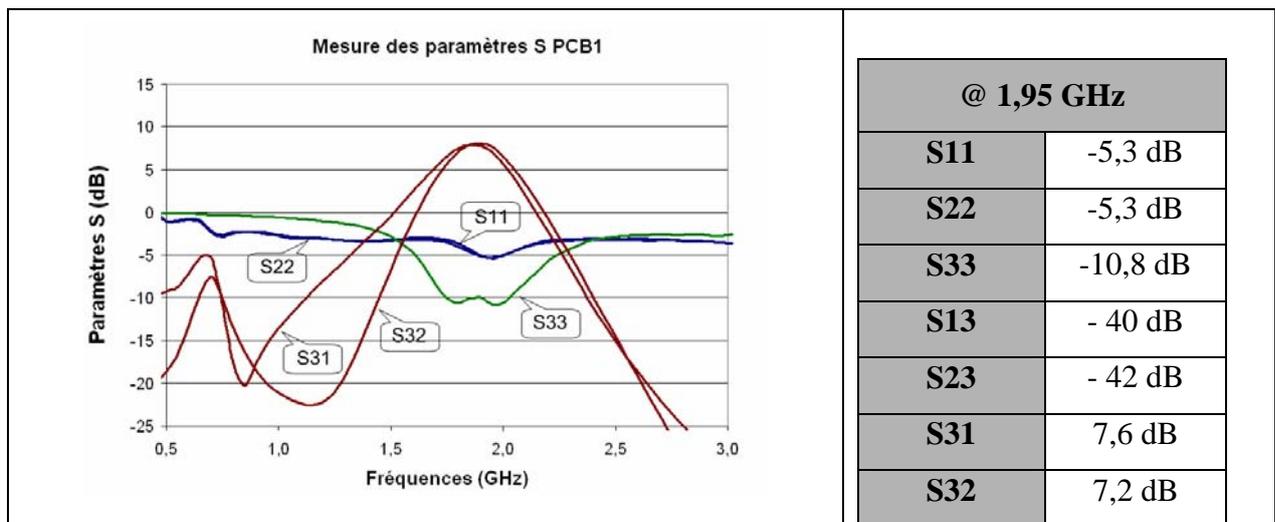


Figure III-37 : Mesures single des paramètres S du PA CMOS 130 nm avec IPD et PCB

La mesure single des paramètres S, présentée par la Figure III-37, permet la vérification du fonctionnement des deux voies single du PA. D'après les mesures effectuées, les deux voies single fonctionnent de manière similaire. A notre fréquence de travail, les deux impédances en entrée sont similaires ($S_{11}=S_{22}=-5,3$ dB), ainsi que le gain de chaque voie ($S_{31}\approx S_{32}\approx 7,6$ dB).

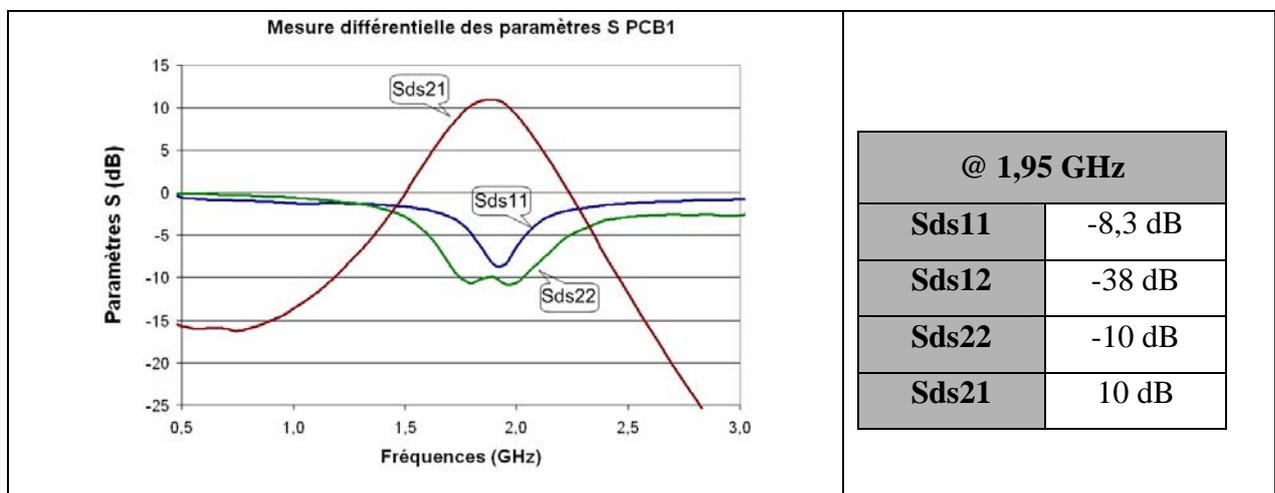


Figure III-38 : Mesures différentielles des paramètres S du PA CMOS 130 nm avec IPD et PCB

La Figure III-38 présente les paramètres S différentiels mesurés du circuit. Comme prévu, réduire le courant traversant le circuit a pour conséquence une réduction des pertes et une augmentation du gain. Deux raisons majeures peuvent expliquer cela. Premièrement, cette nouvelle polarisation modifie les paramètres S du transistor et donc contribue à l'amélioration de l'adaptation. Deuxièmement, la diminution du courant réduit les pertes liées aux parasites du circuit. Ceci conforte bien les hypothèses liées à notre rétro-simulation précédemment présentée. A 1,95 GHz, le gain du circuit (S_{ds21}) est de 10 dB. Les paramètres S_{ds11} et S_{ds22} sont respectivement à -8,3 dB et -10 dB. L'isolation du circuit (S_{ds12}) est de -38 dB.

✚ Mesure différentielle de puissance

Avec cette nouvelle polarisation, le courant qui traverse le circuit est moins important, mais suffisant pour une mesure en puissance. Les PA est toujours polarisé en classe AB. La mesure est présentée en Figure III-39.

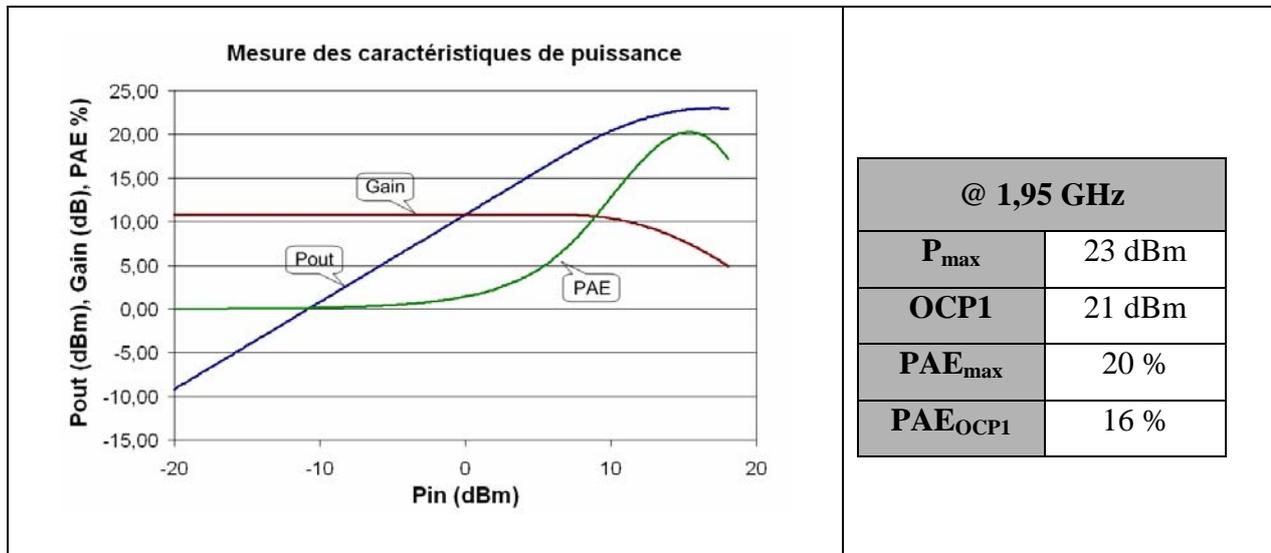


Figure III-39 : Mesure en puissance du PA CMOS 130 nm avec polarisation modifiée

Ayant réduit la polarisation afin de limiter les pertes, les performances obtenues par le PA ne peuvent pas être celles attendues. La puissance maximale que peut fournir l'amplificateur est de 23 dBm, avec une PAE_{max} de 20 %, pour une fréquence d'utilisation de 1,95 GHz. L' OCP_1 est mesuré à 21 dBm, cela ne permet pas à l'amplificateur d'être suffisamment linéaire à 24 dBm en sortie, comme le spécifie le standard W-CDMA. A cette puissance, la PAE_{OCP1} est de 16 %. Malgré tout, les mesures ont permis de mettre en évidence le problème lié à la conception d'un circuit haute puissance sur une technologie CMOS à faible longueur de grille. De plus, même si cela ne permet pas de répondre à l'UMTS, les caractéristiques en puissance de ce PA sont acceptables en comparaison à l'état de l'art actuel. Avec la même technologie,

nous obtenons la même puissance de sortie que la référence [REY07] et sans mise en parallèle de notre PA.

III.3 Mesures load pull du PA SFDS CMOS 65 nm

Pour des contraintes de temps, le PA en CMOS 65 nm a été envoyé en fonderie avant que la totalité des mesures et des rétro-simulations du circuit précédemment présentées n'aient été effectuées. De plus, malgré les améliorations effectuées sur ce nouveau circuit, la taille des transistors est devenue plus importante, et le backend de la technologie plus petit. Afin de tester les possibilités du PA CMOS 65 nm, une série de mesure *load pull* a été effectuée sur PCB2 (cf Figure I-26). Rappelons que le PCB2 utilise un substrat FR4 et permet d'effectuer des mesures '*load pull*' en sortie et 50 Ω en entrée (cf Figure III-28 de la page 98). Aucune adaptation n'est placée en sortie. Le *load pull* ne fonctionne que pour un circuit single et ne peut donc tester que la moitié des possibilités du circuit qui va être mesuré.

III.3.a Mesures des paramètres S

Avant de commencer les mesures *load pull*, le circuit est vérifié à l'analyseur de réseaux. Le circuit d'adaptation en sortie du PA étant inexistant sur ce PCB, les 2,5 Ω de sortie du PA sont directement reliés au 50 Ω de l'analyseur de réseaux. Les mesures ne sont donc pas effectuées dans des conditions optimales. Les mesures sont présentées Figure III-40. Pour la mesure single illustrée, les ports 1 et 2 sont en entrée et les ports 3 et 4 sont en sortie. Pour la mesure différentielle le port 1 est en entrée, tandis que le port 2 est en sortie.

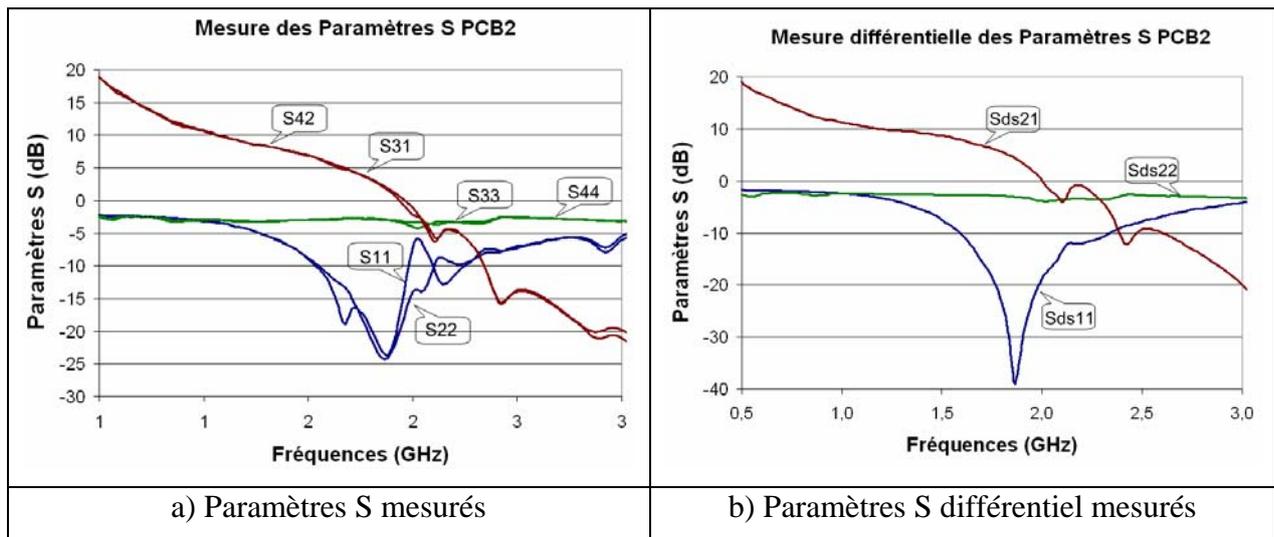


Figure III-40 : Mesures différentielles des paramètres S du PA CMOS 65 nm sur PCB2 (polarisation modifiée)

La mesure single des paramètres S, présentée par la Figure III-40, permet la vérification du fonctionnement des deux voies single du PA. A notre fréquence de travail, le gain du circuit (S_{ds21}) est de 2,5 dB. Les paramètres S_{ds11} et S_{ds22} sont respectivement à -24,5 dB et -3,5 dB. L'isolation du circuit (S_{ds12}) est de -60 dB. Maintenant que le bon fonctionnement de la puce est vérifié, les mesures *load pull* vont pouvoir être effectuées.

III.3.b Load Pull

Pour un problème de calibration, le *load pull* a été effectué à 1,8GHz. L'évolution du gain sur l'abaque de Smith est illustrée en Figure III-41.

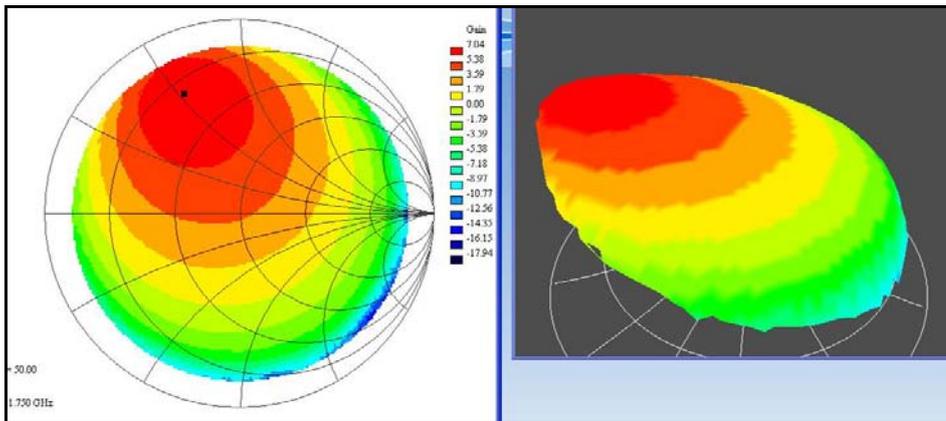


Figure III-41 : Mesure *load pull*

Le gain mesuré est maximal pour une impédance $Z_{out} = 13+29j$. Cette valeur n'est pas forcément optimale, mais l'abaque de Smith ne peut pas être balayée dans son intégralité, car à cause des limite de la calibration, les zones situées en périphérie peuvent erroner les mesures. Nous n'avons donc pas été jusque $2,5 \Omega$ pour tester les performances du PA sur cette impédance. Une mesure en puissance a été effectuée. Le PA est polarisé de manière à ce que 500 mA traverse sa moitié. Les résultats de cette mesure sont synthétisés à la Figure III-42 .

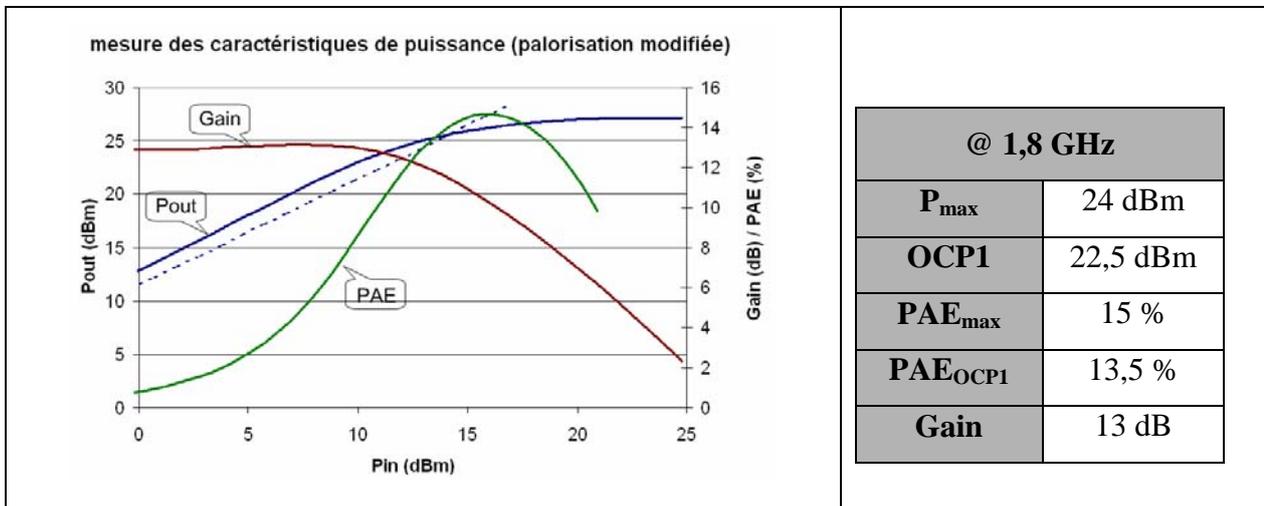


Figure III-42 : Mesure single en puissance du PA CMOS 65 nm avec polarisation modifié

Les pertes étant réduites, le gain augmente. La puissance maximale que peut fournir l'amplificateur est de 24 dBm, avec un PAE_{max} de 15 %, pour une fréquence d'utilisation de 1,8 GHz. L' OCP_1 est mesuré à 22,5 dBm. A cette puissance, la PAE_{OCP1} est de 13,5 %.

Le PA est linéaire jusqu'à 22,5 dBm, ce qui nous permet de présumer que l'étage de puissance est responsable de la saturation et non l'étage driver. Cependant le PAE reste faible. De plus, notons bien qu'il s'agit ici d'une mesure single et donc de la moitié du potentiel du PA. Les deux parties single ont été mesurées et donnent un résultat identique. Avec la totalité du PA nous pouvons donc nous attendre à une puissance maximale de 27 dBm et un $OCP1$ de 25,5 dBm. Le PA CMOS 65 nm mesuré est donc suffisamment linéaire à 24 dBm en sortie, comme le spécifie le standard W-CDMA

Nous souhaitons maintenant effectuer des mesures sous signal W-CDMA avec une modulation HPSK. Les résultats de mesures sont illustrés sur la Figure III-43.

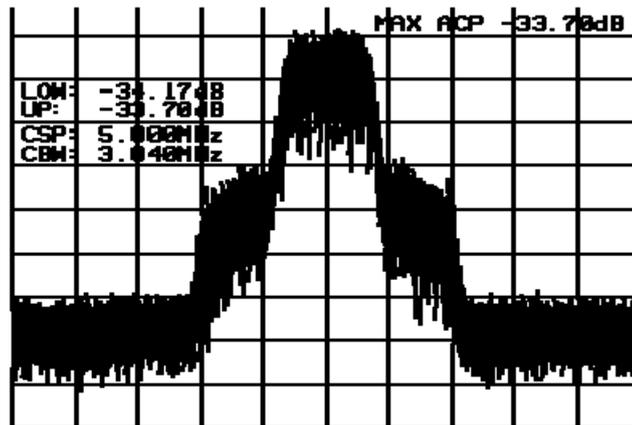


Figure III-43 : Mesure single de l'ACLR

Les ACLR de la mesure de l'amplificateur single sont respectés jusqu'à 20 dBm en sortie, soit 23 dBm en différentiel.

III.3.c Cartographie thermique du PA CMOS 65 nm

Une cartographie thermique a été effectuée sur une puce SFDS 65 nm sous 1A DC. La description de cette cartographie est détaillée à la Figure III-44. Les points chauds peuvent atteindre 115 °C. La connexion de la masse (entourée dans la Figure III-44) est effectuée avec des plots pour une question de densité d'intégration. L'ouverture d'oxyde présente sur les plots permet une bonne dissipation thermique, ce qui est un avantage pour notre circuit.

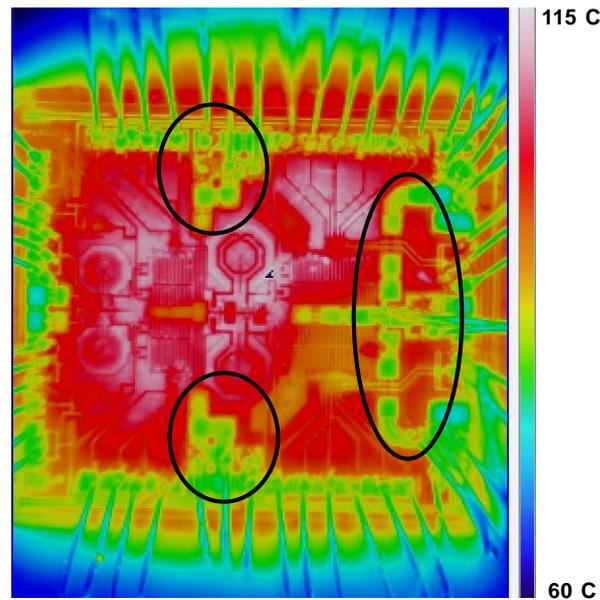


Figure III-44 : Cartographie thermique de la puce 65 nm

La cartographie étant destructrice pour la puce, cette mesure a donc été effectuée sur une ancienne version de PCB. L'asymétrie thermique au niveau de l'étage de puissance provient probablement d'une poussière présente sur ce circuit. En effet, d'autres cartographies thermiques ont été effectuées sur d'autres circuits sans problème d'asymétrie, comme sur un PA SFDS en technologie CMOS 130 nm, dont la cartographie est illustrée en Figure III-45.

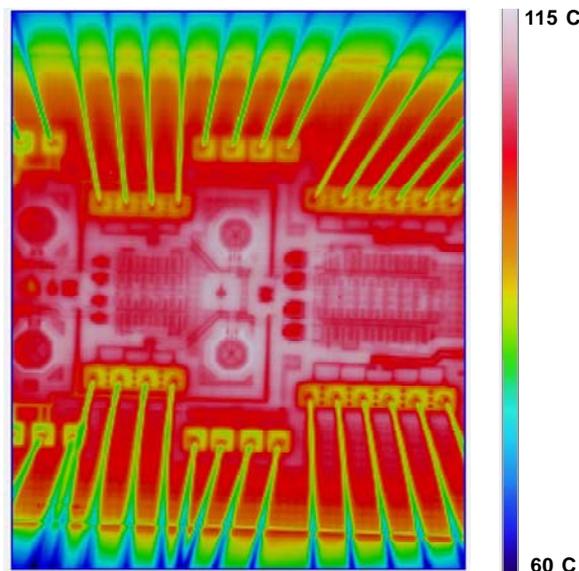


Figure III-45 : Cartographie thermique de la puce 130 nm

Les mesures load pull ont été effectuées avec une puce sur boîtier et sur substrat FR4. D'autres mesures avaient été effectuées sur substrat TMM10 avec puce nue, afin d'augmenter

la dissipation thermique. Une cartographie thermique des deux PCB est présentée en Figure III-46.

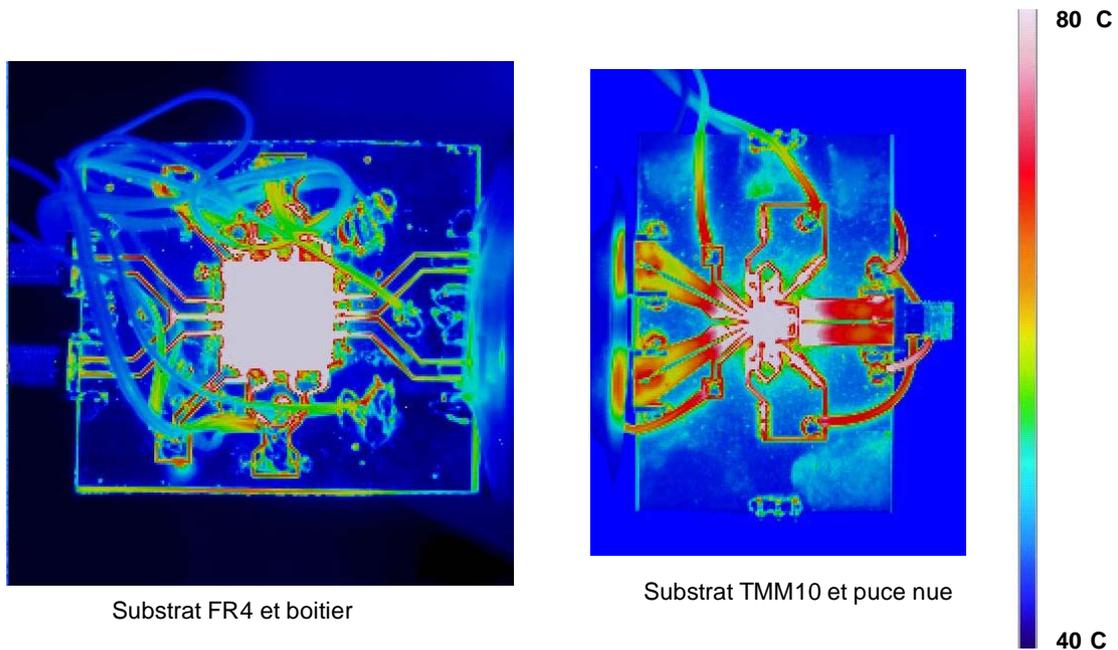


Figure III-46 : Cartographie thermique en fonction du PCB

Cette comparaison permet de montrer que la puce nue sur TMM10 dissipe beaucoup mieux la chaleur que notre boîtier sur FR4. En effet, nous remarquons une distribution plus importante de la chaleur sur le substrat TMM10 (Zone rouge). Les mesures *load pull* utilisent un substrat FR4 et ont donc été effectuées dans des conditions thermiques plus difficiles.

III.4 Synthèse

Cette synthèse a pour but de discuter des mesures effectuées. Les nombreuses séries de mesures amènent à penser que l'utilisation d'une technologie CMOS pour la conception de PA à forte puissance est complexe et problématique. Notre principale difficulté a été que tous les éléments n'ont pas pu être intégrés sur Silicium, causant des problèmes supplémentaires, comme entre autres l'utilisation de bonding sur une impédance très faible ($2,5 \Omega$). De plus, les forts courants traversant le circuit provoquent beaucoup de pertes. L'effet Miller doit être considéré car les transistors sont de tailles importantes et les capacités parasites démesurées ($11000 \mu\text{m}$ pour le plus gros de tous les transistors : $W=100$, $N_f=25$, $NTr=110$). De plus, les pertes résistives, les problèmes d'adaptation liés au PCB, ainsi que les pertes à travers le substrat réduisent les performances. Nous avons remarqué qu'une réduction du courant traversant le PA réduisait ces pertes rendant les mesures intéressantes. Ces changements de polarisations ne permettent pas aux PAs de fournir des résultats répondant aux exigences de

l'UMTS. Néanmoins les performances obtenues sont comparables à l'état de l'art actuel. Une synthèse est résumée dans le Tableau III-5.

Malgré les performances perfectibles des PAs CMOS présentés nous remarquons que leur positionnement vis-à-vis de l'état de l'art est intéressant.

Tableau III-5 : Confrontation des mesures de la structure avec l'état de l'art

Ref	[WAN04]	[SOW02]	[REY07]	[HAL07]	Nos travaux	
Techno	CMOS 500 nm	CMOS 180 nm	CMOS 130 nm	CMOS 90 nm	CMOS 0,13 μ m	CMOS 65 nm
Freq (GHz)	1,75	5,2	2,45	5,8	1,95	1,8
Alim (V)	3,3	1,8	1,5	1	2,6	2,2
Pout (dBm)	25	19,5	23	24,3	23	27*
OCP1 (dBm)	24	16	NC	20,5	21	25,5*
Gain (dB)	23,9	15	NC	8	10	13
PAE (%)	33	32	35	27	20	15
PAE (%) @OCP1	29	13	NC	15	16	13,5
Standard	W-CDMA	WLAN	Bluetooth	NC	W-CDMA	W-CDMA
Architecture	Source commune	Cascode	(PA//)	(PA//)	SFDS	SFDS

*Les deux parties single permettent ce résultat, la combinaison des deux voies permettrait d'obtenir $P_{max}=27$ dBm et $OCP1=25,5$ dBm

Le PA en CMOS 130 nm développé dans cette thèse peut fournir à 1,95 GHz une $P_{max}=23$ dBm avec une PAE_{max} de 20 %. Avec un gain de 10 dB, son OCP_1 et sa PAE_{OCP1} sont respectivement égales à 21 dBm et 16%. Ce PA ne permet pas totalement de répondre au standard UMTS, mais il est bien situé en comparaison à l'état de l'art. Le PA CMOS 130 nm de

la référence [REY07] permet d'obtenir de bons résultats avec un bon rendement grâce à l'utilisation de PA en parallèle. La puissance maximale obtenue avec notre PA CMOS 130 nm est la même ($P_{max}=23$ dBm), et uniquement avec un seul PA. La succession de PA SFDS en parallèle permettrait d'augmenter la puissance maximale ainsi que la linéarité de notre PA CMOS 130 nm. Néanmoins, avec notre PAE_{max} de 20 % et une PAE_{max} de 35 % pour le PA de la référence [REY07], une amélioration du rendement reste nécessaire.

Le PA en CMOS 65 nm développé dans cette thèse peut fournir à 1,8 GHz une $P_{max}=27$ dBm avec une PAE_{max} de 15 %. Avec un gain de 13 dB, son OCP_1 et sa PAE_{OCP_1} sont respectivement égales à 25,5 dBm et 13,5%. Son rendement est faible, mais à notre connaissance, sa puissance et sa linéarité sont au dessus de l'état de l'art des PA CMOS actuels. Le PA CMOS 500 nm de la référence [WAN04] à une P_{max} de sortie de 25 dBm contre 27 dBm obtenu avec notre PA CMOS 65 nm. En contre partie, son rendement est deux fois supérieur au notre.

Ces mesures ont permis de démontrer l'efficacité de la structure SFDS. En dépit des problèmes rencontrés, les PA sont performants. Néanmoins, le rendement reste faible. Il est donc essentiel d'améliorer ces PAs sur deux points. Le premier point consiste à réussir une intégration complète du PA. Notons que l'adaptation de sortie ainsi que les selfs de chocs étaient connectées hors silicium. Le deuxième point consiste à améliorer le rendement du PA de manière à le rendre compétitif.

IV Conclusion sur le PA SFDS

L'utilisation d'une technologie CMOS accroît la difficulté de conception d'un PA linéaire à haute puissance. L'augmentation du courant visant à compenser la réduction des tensions de claquage augmente l'influence des parasites. La confrontation entre les simulations schématique et Post-Layout simulation montrent l'importance du routage dans la conception d'un tel circuit. Malgré l'utilisation d'un PA SFDS permettant l'augmentation de la tension de sortie, de la linéarité et de la puissance maximale, les pertes engendrées par le courant restent une problématique.

Les difficultés de routage ont été exposées afin de mettre en évidence les précautions indispensables à prendre. Les contraintes sont telles, que la simulation et le routage doivent être pensés en même temps. Les risques d'électro-migration nous obligent à certains compromis dangereux pour les performances du PA. Les potentiels distribués de la masse, les capacités

parasites, la désadaptation, les pertes résistives et les conditions thermiques sont autant de critères qui ne doivent pas être négligés.

Les mesures effectuées ont permis de relever certains points importants comme l'influence des pertes engendrées par les circuits d'adaptation. En effet, une mesure montre le gain maximal en déphasage avec l'adaptation, ce qui démontre que même lorsque le circuit est adapté, les pertes peuvent être importantes. Ces pertes sont reliées à l'intensité des courants traversant le circuit. Réduire le courant réduit les pertes, mais réduit inexorablement le potentiel en puissance du PA. Néanmoins, les PAs réalisés sont bien situés par rapport à l'état de l'art, mais les puissances mesurées ne permettent pas de répondre à l'UMTS.

Cependant, le travail n'est pas terminé et beaucoup de problèmes doivent être résolus. Les puissances désirées ainsi que les faibles impédances compliquent la conception du PCB. Une solution consisterait à développer des PAs totalement intégrés. Le prochain chapitre propose certaines perspectives afin d'intégrer totalement un PA SFDS en technologie CMOS 65 nm.

REFERENCES

- [LUQ07] [HAL07] Haldi, P. Chowdhury, D. Liu, G. Niknejad and M Ali, "A 5.8 GHz Linear Power Amplifier in a Standard 90nm CMOS Process using a 1V Power Supply", RFIC, June 2007, Page(s): 431-434
- [LUQ07] Y.Luque, N.Deltimple, E.Kerhervé, D.Belot, 'A 0.13 μ m CMOS Stacked Folded Fully Differential PA Structure for W CDMA Application', PRIME 2007, Bordeaux, Page(s) 157 - 160
- [LUQ08] Y.Luque, N.Deltimple, E.Kerhervé, D.Belot, 'Conception d'un Amplificateur de Puissance en Technologie CMOS 65 nm pour des Applications 3G/4G', JNRDM 2008 Bordeaux, Mai 2008, Page(s) 157 – 160
- [LUQ08] Y.Luque, E.Kerhervé, N.Deltimple, D.Belot, 'CMOS PA Design Dedicated to UMTS (3G) Applications in 65nm Technology', ECCSC 2008, Roumanie, Bucarest, Juillet 2008, Page(s) 19 – 22
- [LUQ08] Y.Luque, N.Deltimple, E.Kerhervé, D.Belot, 'A 65nm CMOS SFFD PA Structure for WCDMA Application', ICECS 2008 Malte, September 2008, Page(s) 157 - 160, **Best student paper**
- [REY07] P. Reynaert and M. S. J. Steyaert, "A 2.45-GHz 0.13 μ m CMOS PA With Parallel Amplification" IEEE journal of solid-state circuits, vol 42, No3, March 2007
- [SOW02] T. Sowlati, D. Leenaerts, "A 2.4GHz 0.18 μ m CMOS Self-Biased Cascode Power Amplifier with 23dBm Output Power", ISSCC, Session17, San Francisco, CA, February 2002, Page(s) 294-467
- [WAN04] C. Wang, M. Vaidyanathan, "A capacitance compensation technique for improved linearity in CMOS class AB power amplifiers", JSSCC, vol39, No11, November 2004, Page(s) 1927-1937

Chapitre IV

IV Perspectives pour l'intégration complète d'un PA

CMOS 65 nm

IV	PERSPECTIVES POUR L'INTEGRATION COMPLETE D'UN PA CMOS 65 NM	117
I	CONCEPTION D'UN PA DEDIE A L'APPLICATION WiFi	118
<i>I.1</i>	<i>Simulations du PA HSFDS</i>	<i>118</i>
I.1.a	Conditions de simulation	118
I.1.b	Résultats de simulations du PA en fonction de l'adaptation	119
I.1.c	Simulation Post-Layout du PA HSFDS1	122
<i>I.2</i>	<i>Simulations du PA HSFDS cascodé</i>	<i>123</i>
I.2.a	Conditions de simulation	123
I.2.b	Résultats de simulations du PA HSFDS cascode	124
I.2.c	Simulation Post-Layout du PA HSFDS cascode	126
I.2.d	Comparaison des résultats schématiques et Post-Layout	127
<i>I.3</i>	<i>Amélioration du Layout</i>	<i>128</i>
I.3.a	Connexion entre les transistors	128
I.3.b	Le plan de masse	130
<i>I.4</i>	<i>Conclusion sur le PA CMOS 65 nm destiné au WiFi</i>	<i>130</i>
II	CONCEPTION D'UN PA SFDS AVEC DAT DEDIE A L'UMTS	132
<i>II.1</i>	<i>Détermination de la topologie du PA SFDS avec DAT</i>	<i>132</i>
II.1.a	Principe de la combinaison des PA en parallèle	132
II.1.b	Topologie carrée	134
II.1.c	Topologie empilée	135
<i>II.2</i>	<i>Etude du transformateur</i>	<i>136</i>
II.2.a	Etat de l'art	136
II.2.b	Conception du transformateur	136
<i>II.3</i>	<i>Conception et simulation du PA SFDS avec DAT</i>	<i>140</i>
II.3.a	Simulation du PA SFDS DAT	140
II.3.b	Layout du PA et simulation Post-Layout	143
<i>II.4</i>	<i>Perspective d'amélioration</i>	<i>145</i>
III	CONCLUSION SUR LES PERSPECTIVES D'INTEGRATION	146

Introduction : Ce chapitre propose plusieurs perspectives de PAs totalement intégrés sur Silicium et composés d'étages SFDS pour répondre aux standards de dernière génération. La première partie présente une perspective d'intégration complète d'un PA HSFDS (Half SFDS) et d'un PA HSFDS cascodé à un étage. Ces PAs sont destinés au standard WiFi. Les améliorations de routage y sont développées. La dernière partie a pour but de démontrer la faisabilité de combiner plusieurs PAs SFDS avec DAT (Distribute Active Transformer) pour augmenter la puissance de sortie et la linéarité. Ce PA est destiné au standard UMTS.

I Conception d'un PA dédié à l'application WiFi

Dans un premier temps, la conception d'un PA destiné à une application WiFi est présentée. La fréquence qui sépare l'UMTS du WiFi est de 450 MHz. Les contraintes de linéarité du Wifi sont moins importantes. Deux topologies sont développées afin de tester les performances d'un PA SFDS à un étage entièrement intégré. Pour ces PAs, seule la moitié du PA est développée afin d'effectuer uniquement des mesures single (HSFDS). Le WiFi 802.11n requiert une puissance maximale linéaire de 16 dBm.

I.1 Simulations du PA HSFDS

I.1.a Conditions de simulation

La structure du PA HSFDS à un étage est illustrée en Figure IV-1. Le PA est adapté en entrée et en sortie sur $50\ \Omega$. Les simulations sont effectuées sous le simulateur Cadence Spectre à une température de $90\ ^\circ\text{C}$.

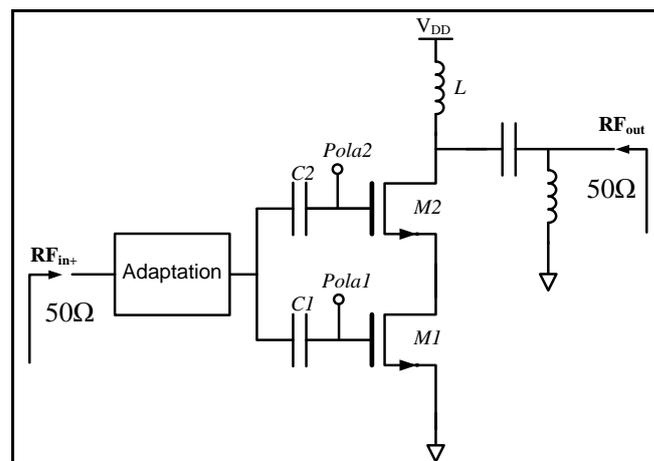


Figure IV-1 : Structure du PA HSFDS à un étage

Deux réseaux d'adaptations sont testés. Ces réseaux sont présentés à la Figure IV-2.

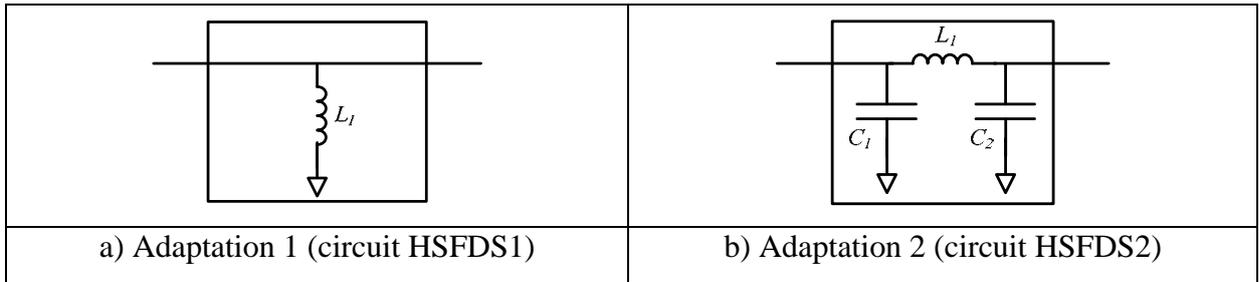


Figure IV-2 : Réseaux d'adaptation dédiés au HSFDS

Une fois inclus dans le PA, ces réseaux vont être comparés pour mieux comprendre leur influence sur le circuit. Notons que le PA n'a qu'un seul étage, l'isolation est donc relativement faible. Les deux PAs sont appelés respectivement HSFDS1 et HSFDS2.

I.1.b Résultats de simulations du PA en fonction de l'adaptation

Simulation du PA HSFDS1

Les résultats de simulation du PA HSFDS1 (cf Figure IV-1 et Figure IV-2) sous 50Ω sont présentés en Figure IV-3 et Figure IV-4.

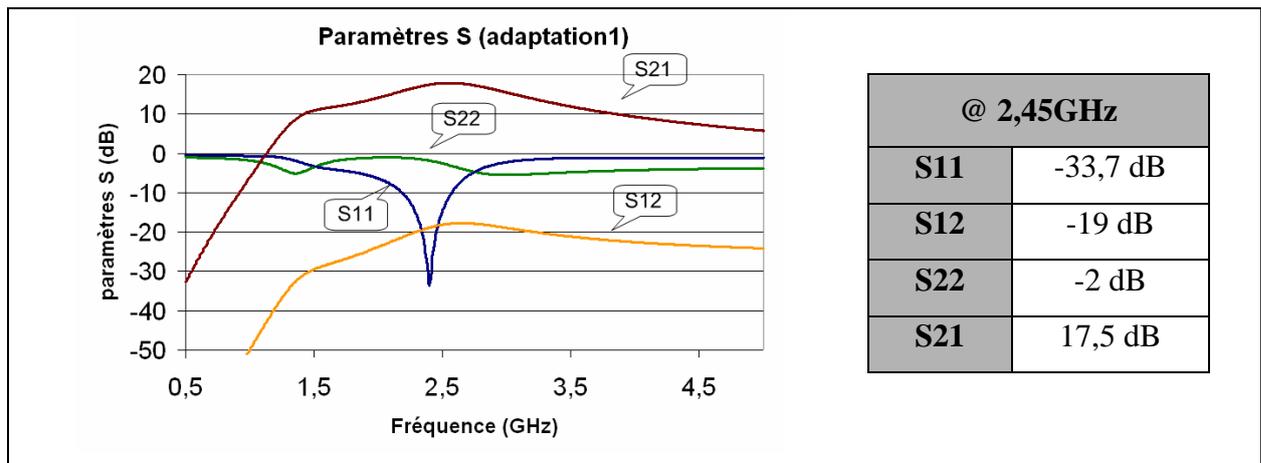


Figure IV-3 : Simulation des paramètres S du HSFDS1 en technologie CMOS 65 nm

La Figure IV-3 présente les paramètres S simulés du circuit. A 2,45 GHz, le gain du circuit (S_{21}) est de 17,5 dB. Les paramètres S_{11} et S_{22} sont respectivement de -33,7 dB et -2 dB. L'isolation du circuit est de -19 dB.

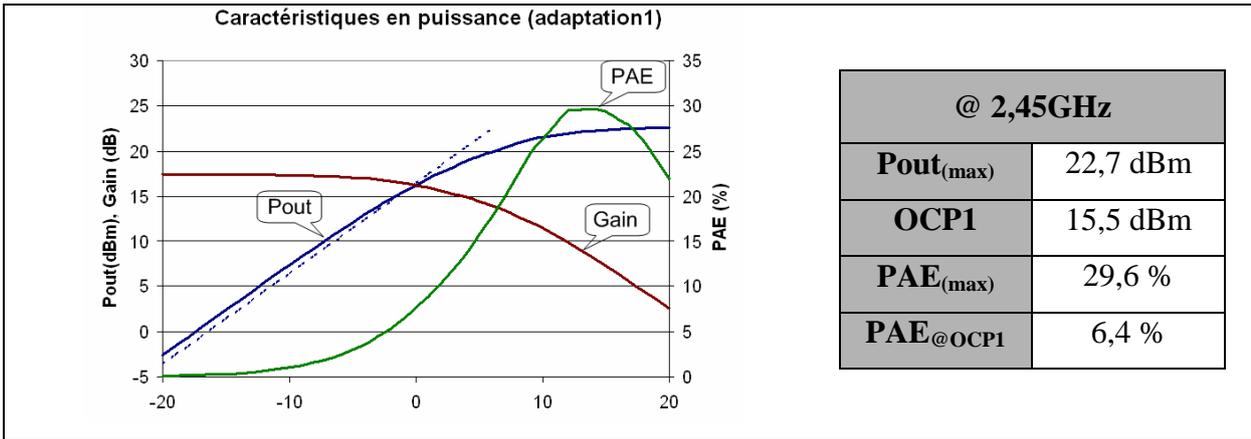


Figure IV-4 : Simulation des paramètres de puissance du HSFDS1 en technologie CMOS 65 nm

La Figure IV-4 illustre la simulation du comportement en puissance du PA. La puissance maximale que peut fournir l'amplificateur est de 22,7 dBm avec une PAE_{max} de 29,6 %, pour une fréquence d'utilisation de 2,45 GHz. L' OCP_1 est simulé à 15,5 dBm. À l' OCP_1 , la PAE_{OCP1} est de 6,4 %.

Les premières simulations de ce PA à un seul étage donnent de bons résultats. De plus, la bande passante du PA est importante. Son gain reste supérieur à zéro entre 800 MHz et 6,5 GHz. La puissance et le rendement sont acceptables même si la linéarité du PA peut être améliorée.

✚ Simulation du PA HSFDS2

Les résultats de simulation du PA HSFDS2 (cf Figure IV-1 et Figure IV-2) sous 50Ω sont présentés en Figure IV-5 et Figure IV-6.

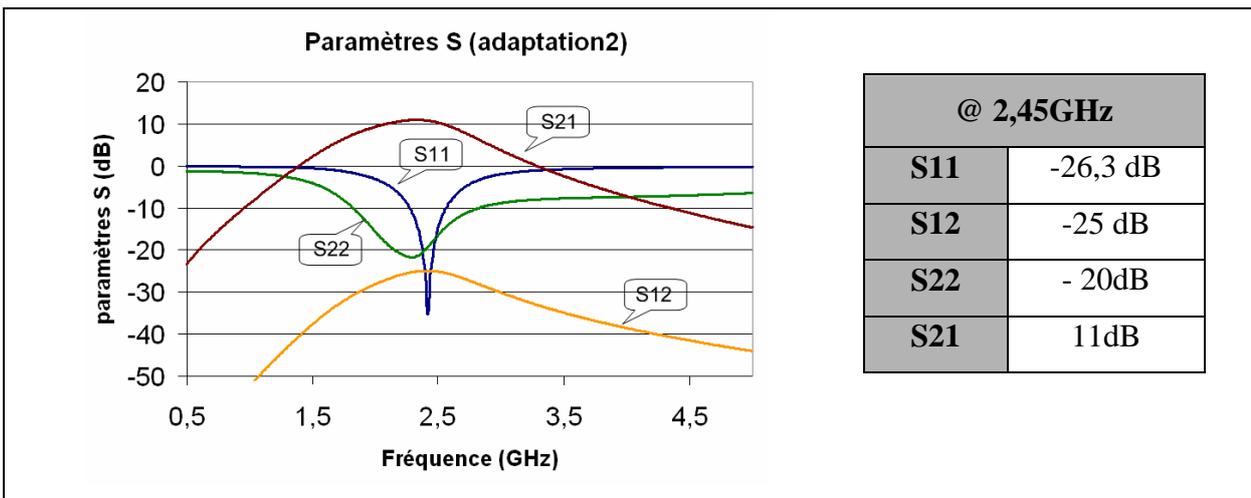


Figure IV-5 : Simulation des paramètres S du HSFDS2 en technologie CMOS 65 nm

La Figure IV-5 présente les paramètres S simulés du circuit. A 2,45 GHz, le gain du circuit (S_{21}) est de 11 dB. Les paramètres S_{11} et S_{22} sont respectivement de -26,3 dB et -20 dB. L'isolation du circuit est de -25 dB.

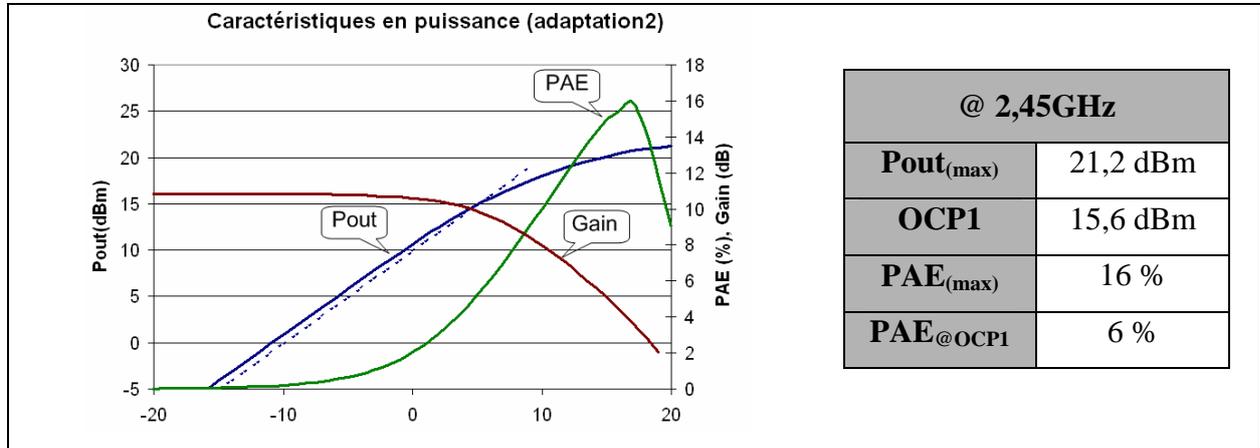


Figure IV-6 : Simulation des paramètres de puissance du HSFDS2 en technologie 65 nm

La Figure IV-6 illustre la simulation du comportement en puissance du PA. La puissance maximale que peut fournir l'amplificateur est de 21,2 dBm avec une PAE_{max} de 16 %, pour une fréquence d'utilisation de 2,45 GHz. L' OCP_1 est simulé à 15,6 dBm. À l' OCP_1 , la PAE_{OCP1} est de 6 %.

Le deuxième réseau d'adaptation améliore l'adaptation de sortie car S_{22} passe de -2 dB à -20 dB. Même si le réseau n'a apparemment changé qu'en entrée, la faible isolation impose une réadaptation relativement importante en entrée et en sortie. L'adaptation en sortie est améliorée mais le gain a diminué. Il passe de 17,5 dB (pour l'adaptation 1) à 11 dB (pour l'adaptation 2). En effet, la valeur de l'inductance de choc a été réduite (2nH pour l'adaptation 1 à 1nH pour l'adaptation 2) afin d'améliorer S_{22} . Ainsi l'impédance présentée par l'inductance est elle aussi réduite. Cette réduction engendre une augmentation des pertes du courant RF à travers l'alimentation. Cette problématique démontre que l'inductance de choc ne doit pas être réduite afin d'améliorer l'adaptation de sortie. S_{22} ne doit pas être amélioré au détriment des autres paramètres. La PAE_{max} chute de 29,6 % avec le circuit 1 à 16 % pour le circuit 2. Pour les raisons évoquées, le circuit composé par l'adaptation 1 est retenue pour la suite.

I.1.c Simulation Post-Layout du PA HSFDS1

Les mesures sont prévues sous pointe car la totalité du PA HSFDS1 étant intégré sur silicium. Le layout du PA est représenté sur la Figure IV-7. La surface totale du circuit est de 0,75 mm².

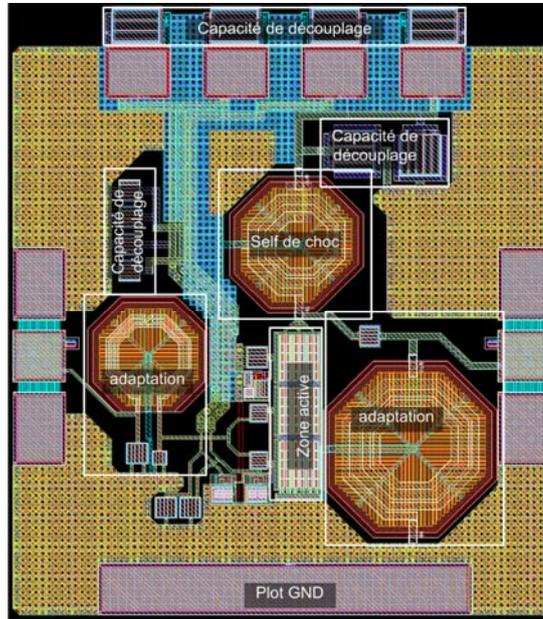


Figure IV-7 : Layout du PA HSFDS1 en CMOS 65 nm

L'inductance de choc est modifiée de manière à permettre le passage d'un courant de 300 mA. Son nombre de vias et le nombre de métaux permettant les croisements sont augmentés. L'intégration de l'inductance de choc est un avantage. Le modèle étant précis, il est maintenant possible de connaître la chute de potentiel exacte liée à l'inductance (500mV à 700mV dans notre cas). De plus, l'accès RF entre le drain et l'inductance est très court contrairement au circuit avec PCB où l'inductance de choc est à l'extérieur de la puce. Les résultats de la simulation Post-Layout du PA sont présentés en Figure IV-8 et Figure IV-9.

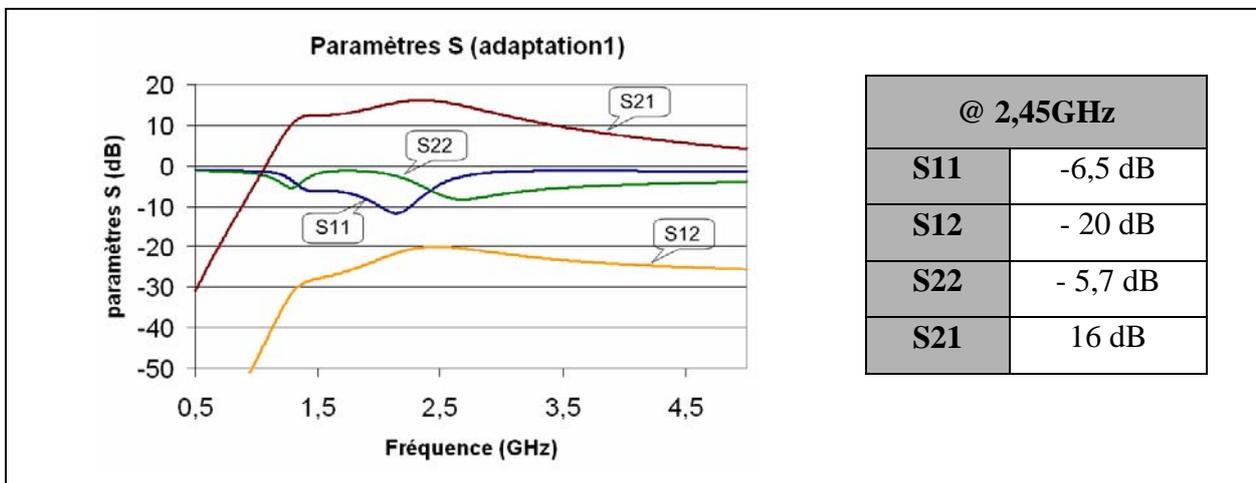


Figure IV-8 : Simulation Post-Layout des paramètres S du HSFDS1 en technologie CMOS 65 nm

La Figure IV-8 présente les paramètres S simulés après routage du circuit avec adaptation 1. A 1,95 GHz, le gain du circuit (S_{21}) est de 16 dB. Les paramètres S_{11} et S_{22} sont respectivement à -6,5 dB et -5,7 dB. L'isolation du circuit est de -20 dB.

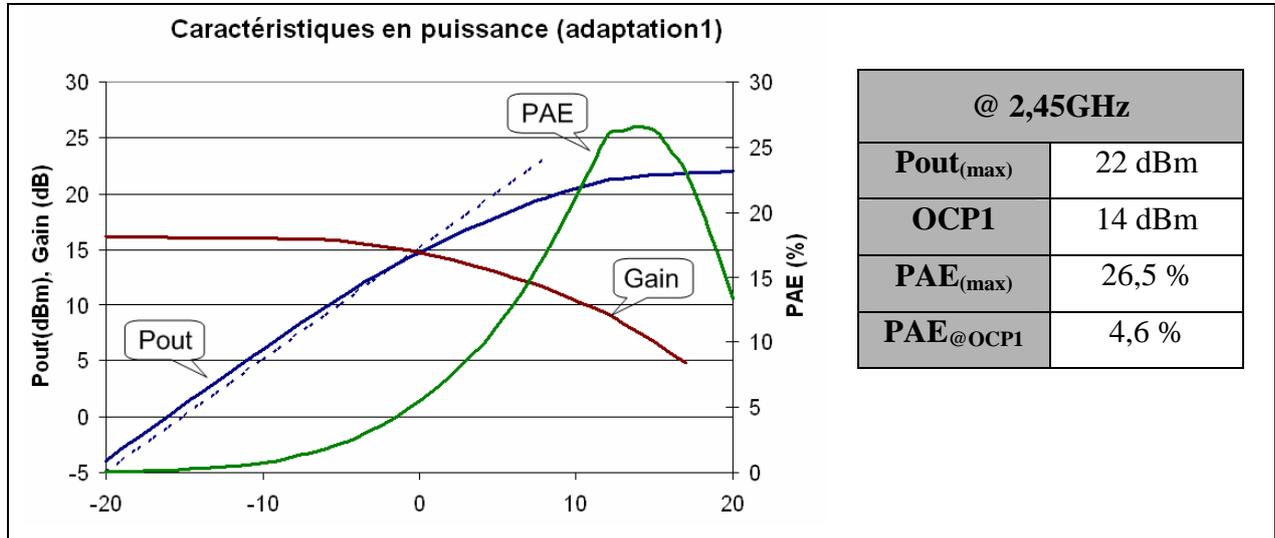


Figure IV-9 : Résultats de la simulation Post-Layout des paramètres de puissance du HSFDS1 en technologie 65 nm

La Figure IV-9 illustre la simulation Post-Layout du comportement en puissance du PA. La puissance maximale que fournit l'amplificateur est de 22 dBm avec une PAE_{max} de 26,5 %, pour une fréquence d'utilisation de 2,45 GHz. L' OCP_1 est simulé à 14 dBm, cela permet à l'amplificateur d'être linéaire à 5 dBm en sortie comme le spécifie le standard WiFi 802.11b. Au point de compression, la PAE_{OCP1} est de 4,6 %.

Nous développons maintenant un PA permettant de répondre à la norme 802.11n. Plus exigeante en linéarité, elle requiert une amplification linéaire jusqu'à 16 dBm. Il faut donc augmenter la linéarité et la puissance maximale du PA. Pour ce faire, un PA HSFDS cascodel est proposé.

I.2 Simulations du PA HSFDS cascodel

I.2.a Conditions de simulation

La structure du PA HSFDS à un étage est illustrée en Figure IV-10. Le PA est adapté en entrée et en sortie sur 50 Ω . Les simulations sont effectuées sous le simulateur Cadence Spectre à une température de 90 °C.

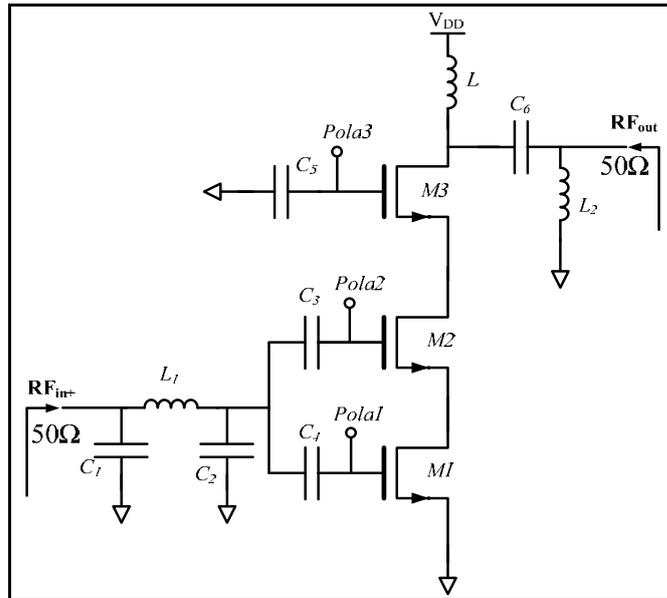


Figure IV-10 : Schématique du PA HSFDS cascodel à un étage

L'ajout d'un troisième transistor en cascode permet d'augmenter la tension maximale d'excursion en sortie du PA. De plus, le montage cascode permet la réduction de l'effet Miller. Ce PA est une association entre une structure empilée et cascodel. En dépit des avantages apportés par le réseau d'adaptation 1 (cf Figure IV-2) et pour une question de facilité, ce circuit est adapté avec le réseau 2 (cf Figure IV-2). Le cascode améliore l'isolation du PA.

I.2.b Résultats de simulations du PA HSFDS cascodel

Les premiers résultats de simulation de ce PA sont synthétisés par les Figure IV-11 et Figure IV-12.

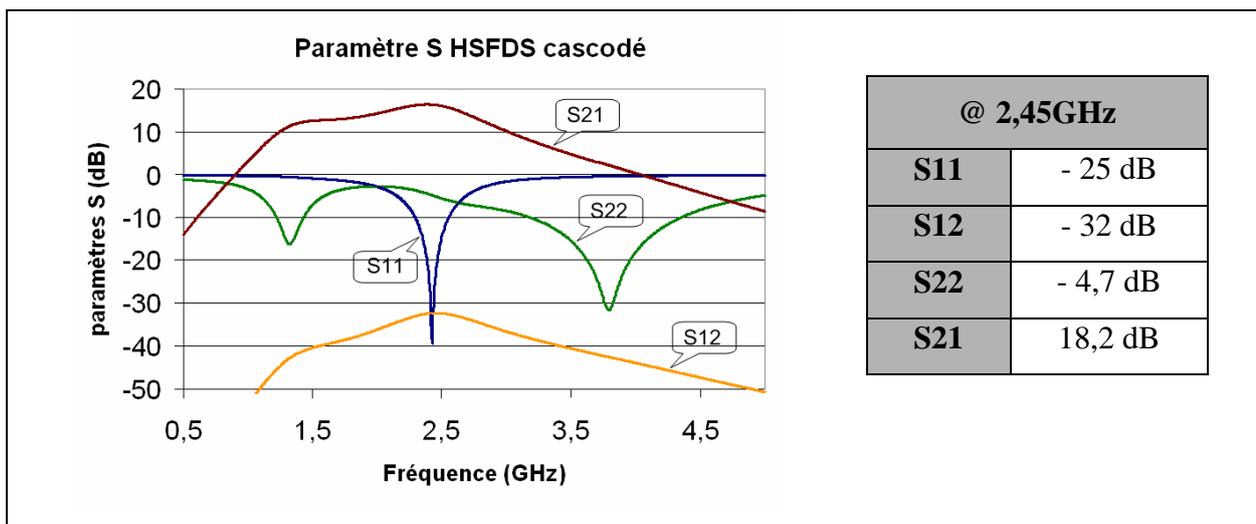


Figure IV-11 : Simulation des paramètres S du PA HSFDS cascodel en technologie CMOS 65 nm

La Figure IV-11 présente les paramètres S simulés du circuit cascodel. A 2,45 GHz, le gain du circuit (S_{21}) est de 18,2 dB avec un seul étage. Les paramètres S_{11} et S_{22} sont

respectivement de -25 dB et -4,7 dB. Le paramètre S_{22} n'est pas optimisé pour ne pas dégrader la linéarité du circuit de manière trop importante (compromis gain/linéarité). L'isolation du circuit est de -32 dB.

L'isolation S_{12} passe de -25 dB pour le PA HSFDS2 à -32 dB pour le circuit HSFDS cascodel. Comme nous l'avons prévu, l'isolation du circuit en le PA HSFDS et le PA HSFDS cascodel a été améliorée.

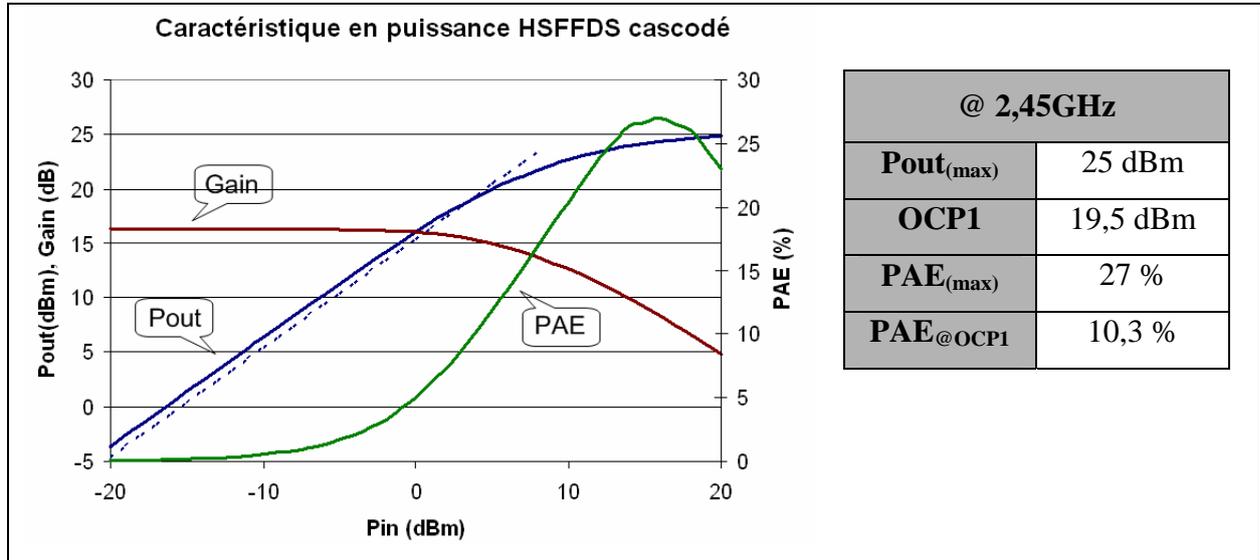


Figure IV-12 : Simulation des paramètres de puissance du PA HSFDS cascodel en technologie CMOS 65 nm

La Figure IV-12 illustre la simulation du comportement en puissance du PA. La puissance maximale que fournit l'amplificateur est de 25 dBm avec une PAE_{max} de 27 %, pour une fréquence d'utilisation de 2,45 GHz. L' OCP_1 est simulé à 19,5 dBm. À l' OCP_1 , la PAE_{OCP1} est de 10,3%. Le PA HSFDS cascodel augmente l' OCP_1 de 15,5 dBm (circuit HSFDS1) à 19,5 dBm, soit une amélioration de 4 dB. Cette amélioration en linéarité permet au PA d'être linéaire à 16 dBm en sortie comme le spécifie le standard WiFi 802.11n.

Ces résultats de simulations montrent le potentiel d'un PA HSFDS cascodel à fournir de la puissance et de la linéarité. L'isolation, le gain, la puissance, la linéarité ainsi que le rendement sont améliorés. De plus, l'utilisation du réseau d'adaptation en entrée facilite la réadaptation Post-Layout.

I.2.c Simulation Post-Layout du PA HSFDS cascodé

La Figure IV-13 présente une vue d'ensemble du layout du PA HSFDS cascodé. La surface totale du circuit est de 1,2mm².

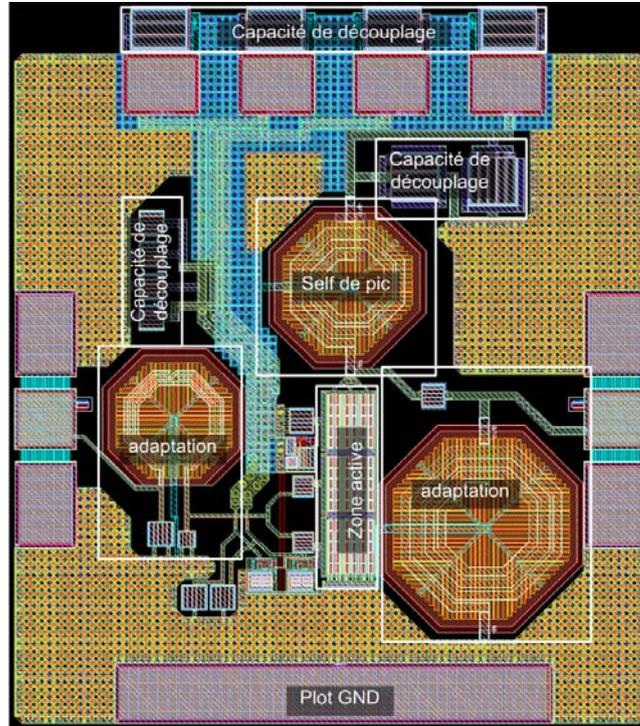


Figure IV-13 : Layout du PA HSFDS cascodé en technologie CMOS 65 nm

Les premiers résultats de simulation de ce PA sont présentés à la Figure IV-14 et Figure IV-15.

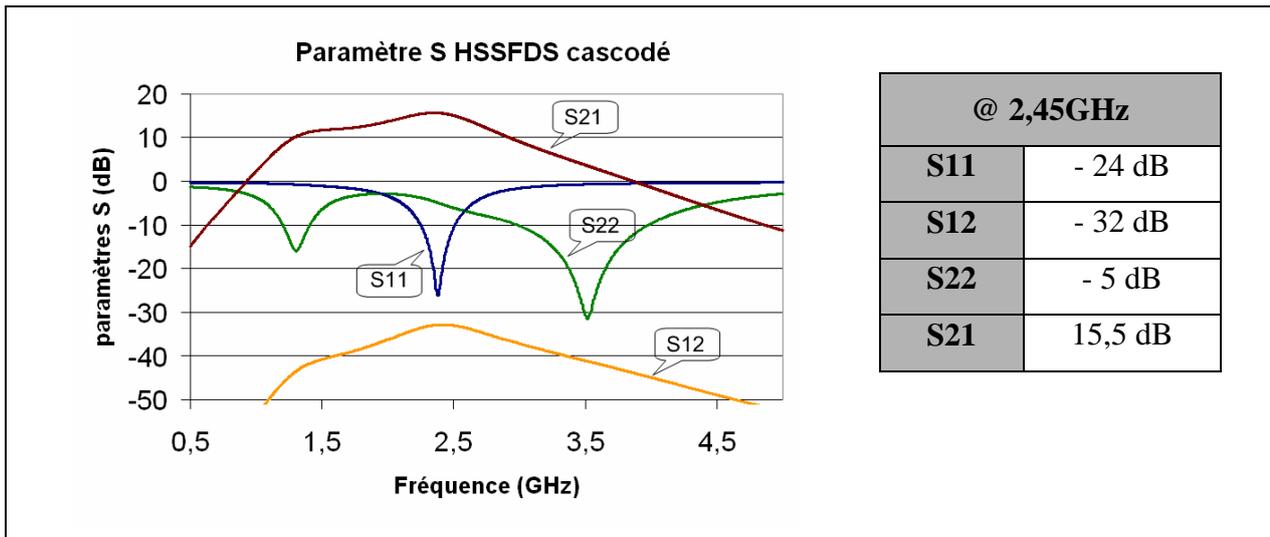


Figure IV-14 : Simulation Post-Layout des paramètres S du PA HSFDS cascodé en technologie CMOS 65 nm

La Figure IV-14 présente les paramètres S simulés après routage du circuit avec adaptation 1. A 1,95 GHz, le gain du circuit (S_{21}) est de 16 dB. Les paramètres S_{11} et S_{22} sont respectivement à -6,5 dB et -5,7 dB. L'isolation du circuit est de -20 dB.

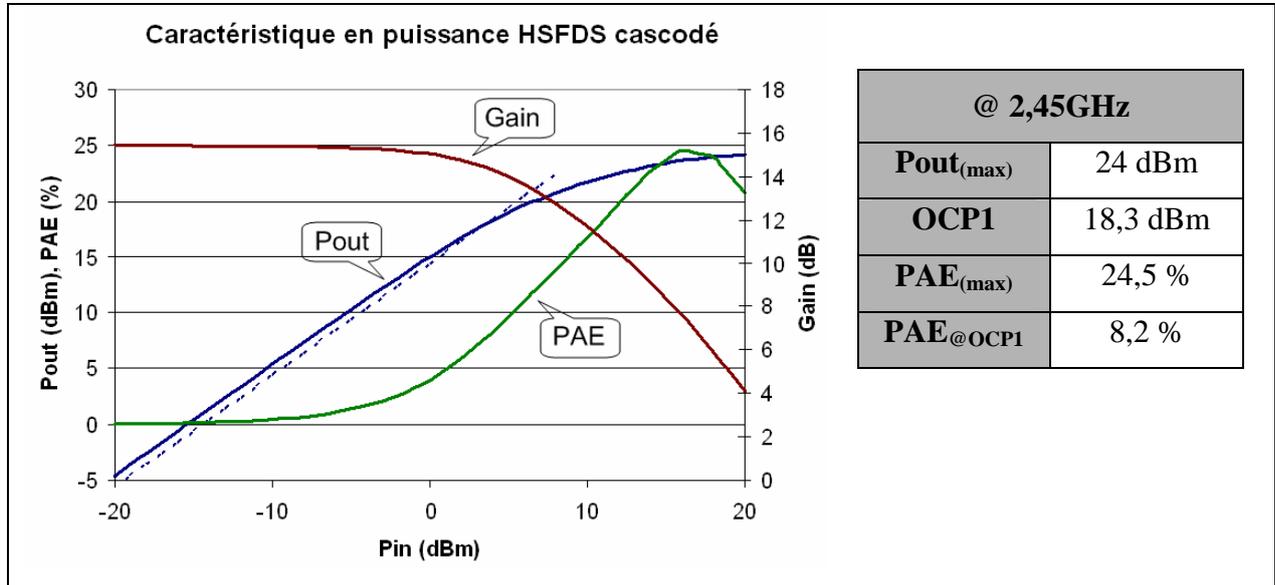


Figure IV-15 : Simulation Post-Layout des paramètres de puissance du PA HSFDS cascadé en technologie CMOS 65 nm

La Figure IV-15 illustre la simulation Post-Layout du comportement en puissance du PA. La puissance maximale que fournit l'amplificateur est de 24 dBm avec une PAE_{max} de 24,5 % pour une fréquence d'utilisation de 2,45 GHz. L' OCP_1 est simulé à 18,3 dBm. À l' OCP_1 , la PAE_{OCP1} est de 8,2%. Une fois routé, le PA est suffisamment linéaire pour répondre au standard WiFi 802.11n (16 dBm requis).

I.2.d Comparaison des résultats schématiques et Post-Layout

Les performances de simulation schématique sont comparées avec les performances de simulation Post-Layout. Le Tableau IV-1 met en évidence les dégradations liées au routage.

Les pertes en puissance et en linéarité sont limitées à 1 dB, ce qui permet toujours au PA de répondre à nos exigences. En contre partie, certains paramètres sont dégradés. Après routage du PA, le gain a subi une chute de 3 dB. La PAE_{max} et la PAE_{OCP1} subissent respectivement une réduction 2,5 % et 2,1 %. Malgré une chute plus importante du gain, les caractéristiques du PA ont subies peu de pertes par le routage. Notons que le courant traversant le circuit est moins important que pour les PAs du chapitre III.

Tableau IV-1 : Comparaison des simulations schémas et Post-Layout du PA CMOS 130 nm

Paramètre simulé	Simulation schématique	Simulation Post-Layout
S21	18,5 dB	15,5 dB
S11	-25 dB	-24 dB
S22	-4,7 dB	-5 dB
S12	-32 dB	- 32 dB
Pmax	25 dBm	24 dBm
OCP1	19,5dBm	18,5 dBm
PAEmax	27 %	24,5 %
PAE @ OCP1	10,3 %	8,2 %

La totalité du circuit est simulé sur 50 Ω . Tous les passifs sont intégrés. La réduction des exigences en puissance (24 dBm pour le standard UMTS contre 16 dBm pour le standard WiFi 802.11n) ainsi que l'intégration complète du PA est une exploitation intéressante. De plus, la mise en cascade du SFDS améliore les paramètres de puissance.

I.3 Amélioration du Layout

Un soin particulier a été pris lors des précédents layout. Néanmoins, certaines améliorations ont été apportées lors du design des PA HSFDS1 et HSFDS cascodé.

I.3.a Connexion entre les transistors

La plus grande amélioration porte sur la connexion des transistors. En effet, le courant traversant le circuit est important (~300 mA). Cette connexion est donc délicate car étant donné la technologie utilisée et les courants engagés, les risques d'électro-migration sont importants. D'un autre côté, des pistes trop larges augmentent les capacités parasites et donc l'effet Miller. Le compromis capacité parasite / électro-migration peut être amélioré en prenant en compte la distribution du courant dans les différents doigts d'un même transistor. Une solution de routage en escalier consiste à réduire les capacités parasites de connexion tout en limitant le risque d'électro-migration.

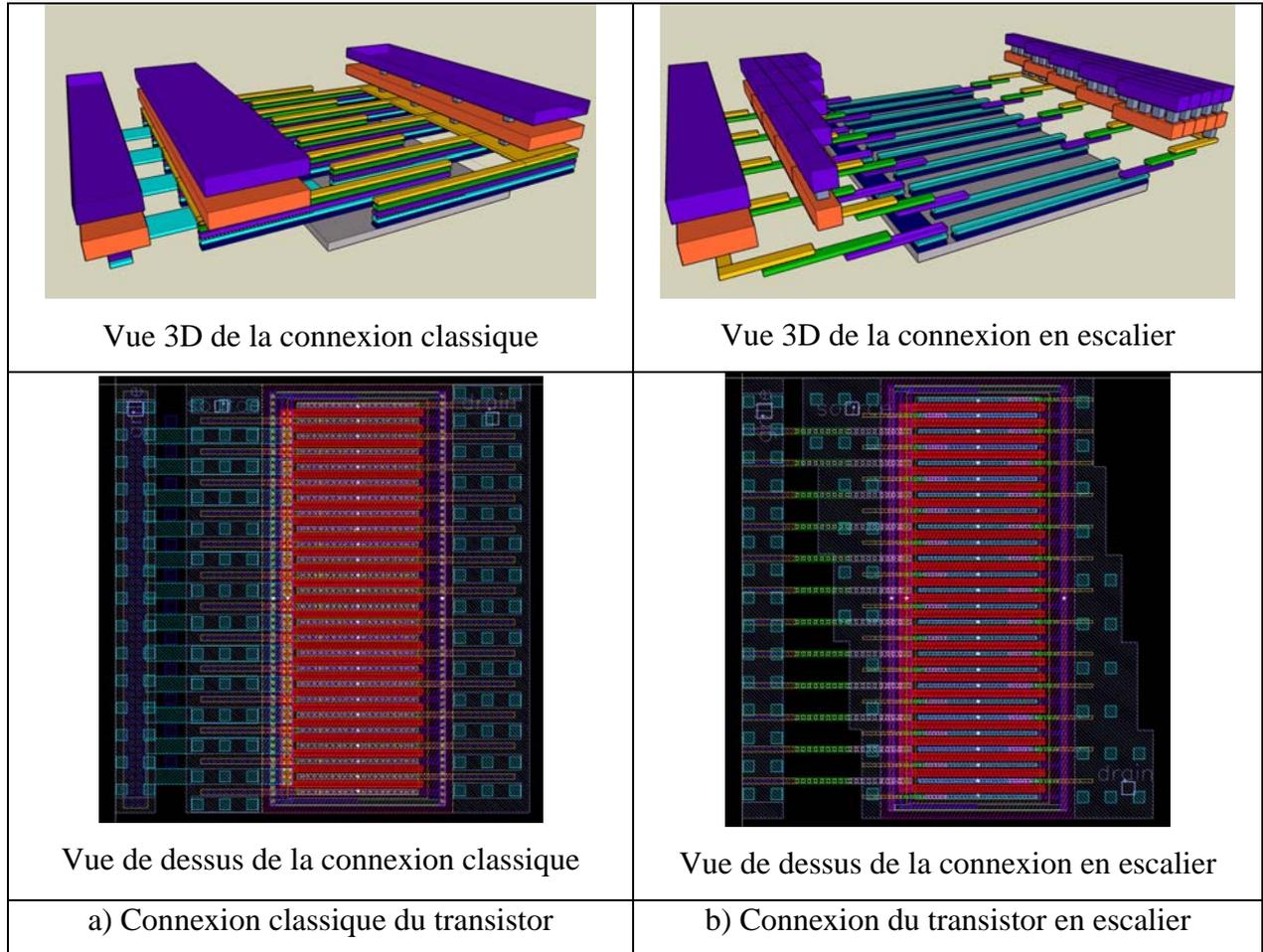


Figure IV-16 : Comparatif des accès aux transistors

La Figure IV-16 illustre l'amélioration et l'optimisation du layout. Le transistor utilisé pour l'exemple a une longueur (W) de $100\ \mu\text{m}$ coupé en 25 doigts et une largeur (L) de $0,2\ \mu\text{m}$. Les capacités parasites extraites lors d'une simulation Post-Layout sont répertoriées dans le Tableau IV-2.

Tableau IV-2 : Comparatif des capacités parasites en fonction du routage

Capacité	Layout classique	Layout escalier	Réduction de la capacité parasite
C_{gs} (1 transistor)	24,9 fF	18,7 fF	25 %
C_{ds} (1 transistor)	37 fF	18,75 fF	49,5 %
C_{dg} (1 transistor)	6,82 fF	6,46 fF	5,3 %
C_{gs} (100 transistors)	2,73 pF	2 pF	25 %
C_{ds} (100 transistors)	4,07 pF	2 pF	49,5 %
C_{dg} (100 transistors)	750 fF	710 fF	5,3 %

I.3.b Le plan de masse

Un plan de masse est aussi développé. Ce plan de masse a pour but d'optimiser le compromis entre la densité maximale d'intégration des métaux et la résistivité de la piste de masse. La Figure IV-17 représente une vue en 3D du plan de masse développé pour notre application.

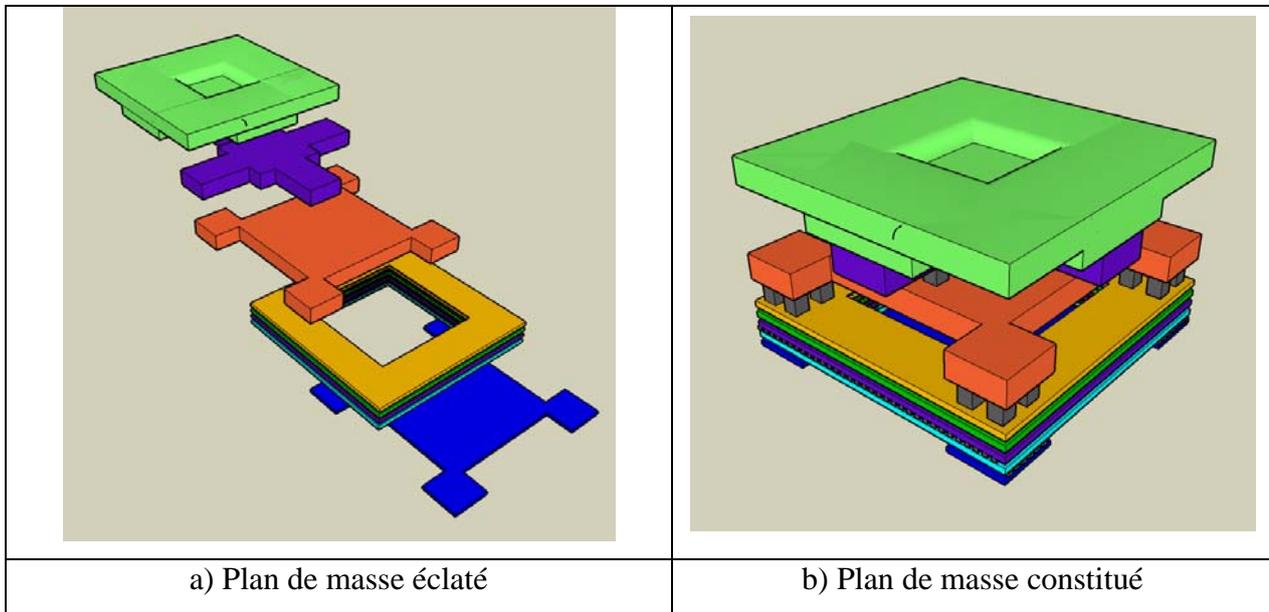


Figure IV-17 : Plan de masse utilisé

Le plan de masse ne laisse aucun vis-à-vis entre le circuit et le substrat, ce qui lui permet aussi une application pour les hautes fréquences. Sa résistance par carré est de $8\text{m}\Omega$. Le courant traversant le PA dédié au WiFi n'excède pas 300 mA et la chute de tension liée à un bloc de plan de masse est faible.

I.4 Conclusion sur le PA CMOS 65 nm destiné au WiFi

Le Tableau IV-3 présente une comparaison des simulations Post-Layout du PA HSFDS et du PA HSFDS cascodel.

Cette comparaison met en évidence l'intérêt de cascodel le circuit HSFDS. En effet, cascodel le circuit améliore la linéarité du PA. A 2,45 GHz la P_{max} passe de 22 dBm pour le PA HSFDS à 24 dBm pour le PA HSFDS cascodel. La plus grande amélioration est apportée à la linéarité, l' OCP_I augmente de 4,3 dB une fois le PA cascodel. En contre partie, l'ajout d'un nouveau transistor augmente la consommation du circuit. La PAE_{max} chute de 2%.

Le PA est plus linéaire. La PAE_{OCP_I} est améliorée de 3,6%. Le PA HSFDS répond au standard WiFi 802.11b. Le PA HSFDS cascodel permet de répondre au standard WiFi 802.11n, plus récent et plus exigeant en linéarité.

Tableau IV-3 : Comparaison des simulations Post-Layout entre le HSFDS et le HSFDS cascodé

Paramètre simulé	Simulation Post-Layout HSFDS 1	Simulation Post-Layout HSFDS cascode
S11	-6,5 dB	- 24 dB
S12	- 20 dB	- 32 dB
S22	- 5,7 dB	- 5 dB
S21	16 dB	15,5 dB
Pmax	22 dBm	24 dBm
OCP1	14 dBm	18,3 dBm
PAEmax	26,5 %	24,5 %
PAE @ OCP1	4,6 %	8,2 %

A 5,8 GHz, le PA CMOS 90 nm de la référence [HAL07] a un gain de 8 dB. Sa puissance maximale et son point de compression en sortie sont respectivement de 24,5 dBm et 20,5 dBm. Sa PAE_{max} est de 27 % et sa PAE_{OCP1} égale à 15 %. A 2,45 GHz, le PA HSFDS cascodé a un gain de 15,5 dB. Sa P_{max} et son OCP_1 sont respectivement de 24 dBm et 18,3 dBm. La PAE_{max} et la PAE_{OCP1} , qui sont respectivement égales à 24,5 % et 8,2 %. Le PA HSFDS cascodé fournit donc des caractéristiques en puissance proche du PA CMOS 90 nm de la référence [HAL07], qui quand à lui utilise une combinaison de PA en Parallèle. Néanmoins, il ne s'agit dans notre cas que de simulation Post-Layout. L'utilisation d'un PA HSFDS cascodé à un étage répond aux critères du WiFi de dernière génération. Les performances obtenues sont idéales et la surface très réduite.

Nous souhaitons maintenant développer un PA totalement intégré et destiné au standard UMTS. La combinaison de plusieurs PAs en parallèle souvent nommé PA avec DAT (Distribute Active Transformer) offre un fort potentiel de performance sur la puissance maximale et la linéarité de sortie du PA. Il est donc intéressant de développer un PA SFDS avec DAT.

II Conception d'un PA SFDS avec DAT dédié à l'UMTS

La structure SFDS reste une structure simple, comme le principe du cascode, du montage single ended, ou de la paire différentielle. Comme toute structure simple qui peut être utilisée avec une technologie faible coût, ses performances restent limitées. Certains facteurs, comme la puissance de sortie ou la linéarité d'un système sont inhérents à la tension de claquage des transistors MOS qui composent la technologie utilisée lors du design.

La topologie SFDS permet de repousser certaines limites. Néanmoins, les contraintes technologiques associées à de très fortes puissances imposent de nouveaux horizons de conception. Depuis quelques années, la conception de PA intégrés mène au développement de nouvelles topologies, toujours dirigées de manière à contourner les limites liées aux faibles tensions de claquage des transistors. Pour cela, l'idée la plus utilisée consiste à la mise en parallèle de plusieurs PAs combinés à l'aide de transformateurs intégrés [HAL07], [REY07], [LIU06], [HAL07], [KAN06].

Ainsi pour une même puissance désirée, chaque PA réduit sa puissance maximale de sortie et donc le courant qui le traverse. Il existe d'autres solutions comme l'utilisation dite de « *current re-used* » [KIC08] afin d'utiliser un seul courant de polarisation pour une paire différentielle et augmenter le rendement du circuit. Notre objectif est l'augmentation de la linéarité. Une combinaison de plusieurs PAs en parallèle appelé PA SFDS DAT est donc proposée.

II.1 Détermination de la topologie du PA SFDS avec DAT

II.1.a Principe de la combinaison des PAs en parallèle

Pour l'application que nous avons choisie, le principe général est présenté par la Figure IV-18.

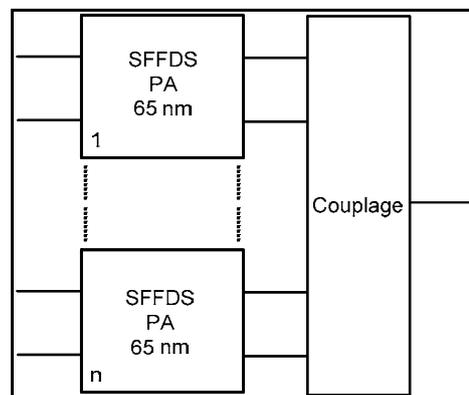


Figure IV-18 : Principe de l'association de PA en parallèle.

L'augmentation du nombre de PAs en parallèle a pour avantage d'augmenter la puissance et la linéarité, mais un certain nombre d'inconvénients sont à considérer. Le Tableau IV-4 synthétise les principaux changements liés à l'augmentation du nombre de PAs placés en parallèle.

Tableau IV-4 : Influence du nombre de PA SFDS placés en parallèle.

	Gain	Linéarité	Rendement	Pout	Surface	Fiabilité	Parasites
PA SFDS	Moyen	Moyen	Bien	Moyen	Moyenne	Bien	Moyen
4 PAs SFDS DAT	Moyen	Bien	Moyen	Bien	Grande	Moyen	Grand
6 PAs SFDS DAT	Moyen	Très bien	Faible	Très bien	Grande	Faible	Très grand

Afin d'obtenir un bon compromis entre les avantages et les inconvénients décrits dans le tableau précédent, nous choisissons de placer 4 PAs SFDS en parallèle. De plus, la plupart des PAs avec DAT présents dans la littérature sont composés de 4 PAs [KIC08], [LIU06].

Cette association permet à chacun des PAs d'être plus petits et donc plus fiables. Les PAs avec DAT présents dans la littérature récente sont composés de 4 blocs PAs empilés les uns sur les autres combinés par un transformateur à 4 primaires et 1 secondaire [KIC08]. Le déphasage entre les PAs et la surface de la puce sont inhérents à ces choix. Néanmoins, afin d'ouvrir d'autres possibilités, nous proposons deux topologies possibles.

La première topologie proposée forme un carré. Le centre est utilisé pour combiner les PAs à l'aide d'un transformateur à quatre primaires et un secondaire.

La seconde topologie consiste à empiler les PAs les uns sur les autres et de sortir sur un ou plusieurs transformateurs. Les deux topologies sont confrontées de manière à déterminer la topologie qui sera développée par la suite.

II.1.b Topologie carrée

La Figure IV-19 représente la topologie carrée simplifiée du PA SFDS avec DAT.

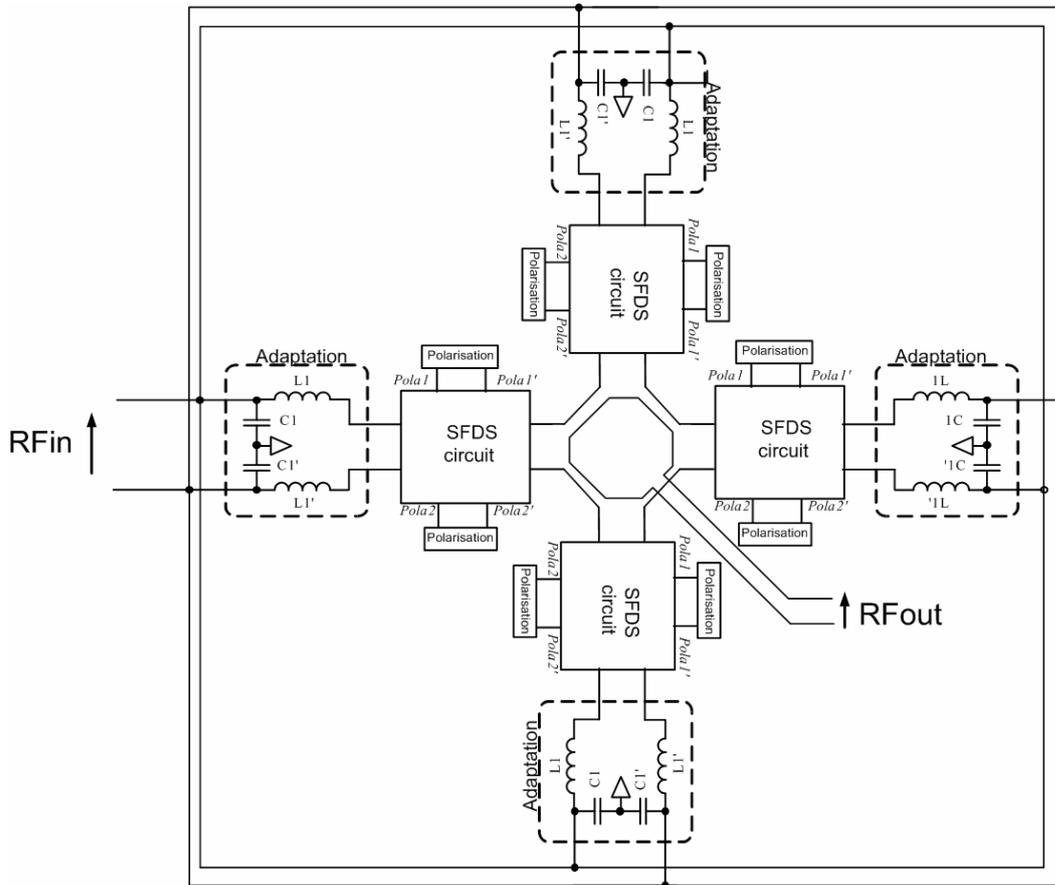


Figure IV-19 : Schéma simplifié du PA SFDS + DAT à topologie carrée

La topologie carrée permet l'utilisation d'un unique transformateur positionné au centre du circuit. La taille du PA complet est donc optimisée. Néanmoins, les entrées sont éloignées. Les voies ne sont donc pas en phase. Un circuit à retard est donc implanté sur chaque accès pour une attaque simultanée sur les grilles des transistors. De plus, le transformateur ne permet pas des valeurs d'inductance et un couplage suffisamment important pour une combinaison à forte puissance.

Quatre PAs peuvent être combinés ensemble mais il est impossible d'en combiner plus avec cette topologie car les règles de routage n'autorisent pas une rotation des composants inférieurs à 90° . Le circuit est en technologie CMOS. Le placement des transistors avec un angle de 90° crée un mismatching important sur le processus de fabrication des grilles. Ce critère est un inconvénient pour une application en puissance. Cette topologie est donc écartée pour notre application. Néanmoins, elle permet un gain de place important pour des applications visant des standards moins gourmands en énergie.

II.1.c Topologie empilée

La Figure IV-20 illustre la topologie empilée simplifiée du PA SFDS avec DAT [LUQ09].

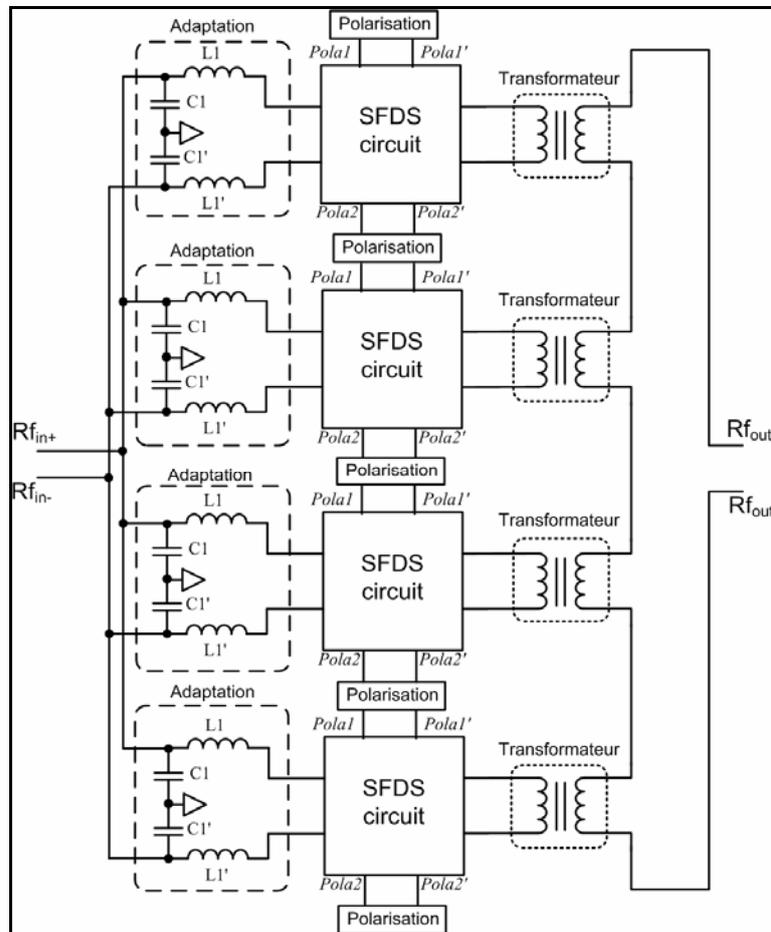


Figure IV-20 : Schéma simplifié du PA +DAT à topologie empilée

Avec cette topologie, les risques de déphasage sont réduits. Il est aussi possible d'utiliser un transformateur par PA. Le transformateur est donc plus volumineux. L'inductance et le couplage augmentent. De plus, si l'inductance est suffisamment importante, le transformateur est utilisé aussi comme inductance de pic. Pour cela, il suffit de prendre un point milieu sur le primaire pour alimenter les deux parties qui composent le SFDS. Les grilles des transistors sont toutes alignées dans le même sens ce qui réduit les problèmes de matching lors de la fabrication. Le nombre de PAs peut être différent de quatre ce qui permet une certaine flexibilité. Comme pour la précédente topologie, un circuit d'adaptation est utilisé par PA pour éviter une forte désadaptation pour une petite variation de process lors de la fabrication.

La topologie empilée est la meilleure solution pour concevoir un PA SFDS avec DAT permettant de répondre au standard UMTS. Le schéma de la Figure IV-20 représente donc la topologie du PA qui est développé par la suite.

II.2 Etude du transformateur

II.2.a Etat de l'art

Le transformateur a pour rôle de combiner la sortie des différents PA entre eux. Le Tableau IV-5 présente une comparaison entre les principales géométries de transformateurs.

Tableau IV-5 : Comparaison des topologies de transformateur.

	Planaire			Empilé
	Frlan	Shibata	Croisé	
L_s/L_p	= 1	< 1	< 1	= 1
Coefficient de couplage (k)	moyen	moyen	moyen	élevé
Facteur de qualité	moyen	moyen	moyen	faible
Surface	élevée	élevée	élevée	faible

L'adaptation de sortie est effectuée en fonction du ratio entre l'inductance au primaire et l'inductance au secondaire du transformateur (L_s/L_p). Il est préférable que ce ratio soit différent de 1 afin de créer un changement d'impédance. Malgré la réduction du courant dans chaque PA et donc dans chaque transformateur, l'intensité reste importante. En plus de permettre un ratio différent de 1, la structure « *Shibata* » facilite le passage du courant car le nombre de croisement entre les métaux est limité. Ces croisements sont critiques car les risque d'électromigration sont accrus. Le transformateur « *Shibata* » est donc retenu pour la suite des travaux.

II.2.b Conception du transformateur

Il est nécessaire de déterminer les inductances du primaire et du secondaire. Nous cherchons à obtenir respectivement pour le primaire et le secondaire une inductance de 2 nH et 1,5 nH pour optimiser le compromis entre l'adaptation et le coefficient de couplage désiré pour notre application. Les équations suivantes dimensionnent le transformateur en fonction de la valeur des inductances [GHA06].

$$k = 1 - \left(\frac{OD \cdot (14.5 \cdot OD - 13 \cdot AD)}{37.5 \cdot N_p \cdot \sqrt{N_s} \cdot AD^2} \right) \quad (\text{IV-1})$$

$$L_p = \frac{37.5 \cdot \mu_0 \cdot N_p^2 \cdot AD^2}{11 \cdot OD - 14 \cdot AD} \quad (\text{IV-2})$$

$$L_S = \left(\frac{N_P}{N_S} \right)^{-0.7} \cdot L_P \quad (\text{IV-3})$$

$$AD = (A_0 \times A_1 \times \dots \times A_{N_p-1})^{1/N_p} \quad (\text{IV-4})$$

$$A_i = \frac{OD}{2} - i \cdot 2 \cdot (W + S) \quad (\text{IV-5})$$

Avec

- N_p : nombre de tours du primaire
- N_s : nombre de tours du secondaire
- OD : diamètre extérieur du transformateur
- AD : diamètre moyen
- W : largeur des pistes
- S : distance entre deux pistes

Pour obtenir un primaire à 2 nH et un secondaire à 1,5 nH, $N_p=3,5$, $N_s=3$, $OD=250 \mu\text{m}$, $AD=92 \mu\text{m}$, $W=12 \mu\text{m}$ et $S=5 \mu\text{m}$. Le transformateur simulé est présenté à la Figure IV-21.

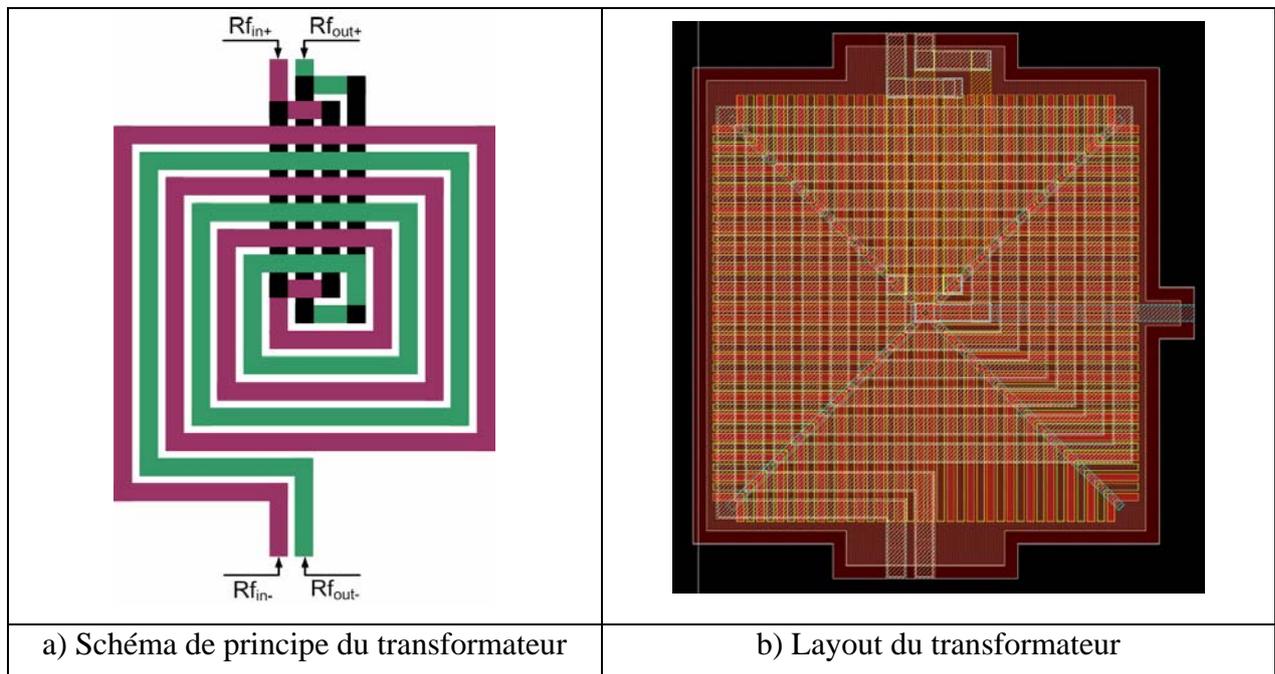


Figure IV-21 : Transformateur Shibata simulé sous Momentum

La largeur des pistes est suffisante pour supporter 300 mA. Le croisement est réalisé avec les métaux inférieurs. Des pistes en parallèle sont dessinées pour éviter l'électro-migration. Les simulations sont effectuées sous le simulateur Momentum d'ADS. Les

résultats de simulations sont présentés aux Figure IV-22, Figure IV-23, Figure IV-24 et Figure IV-25.

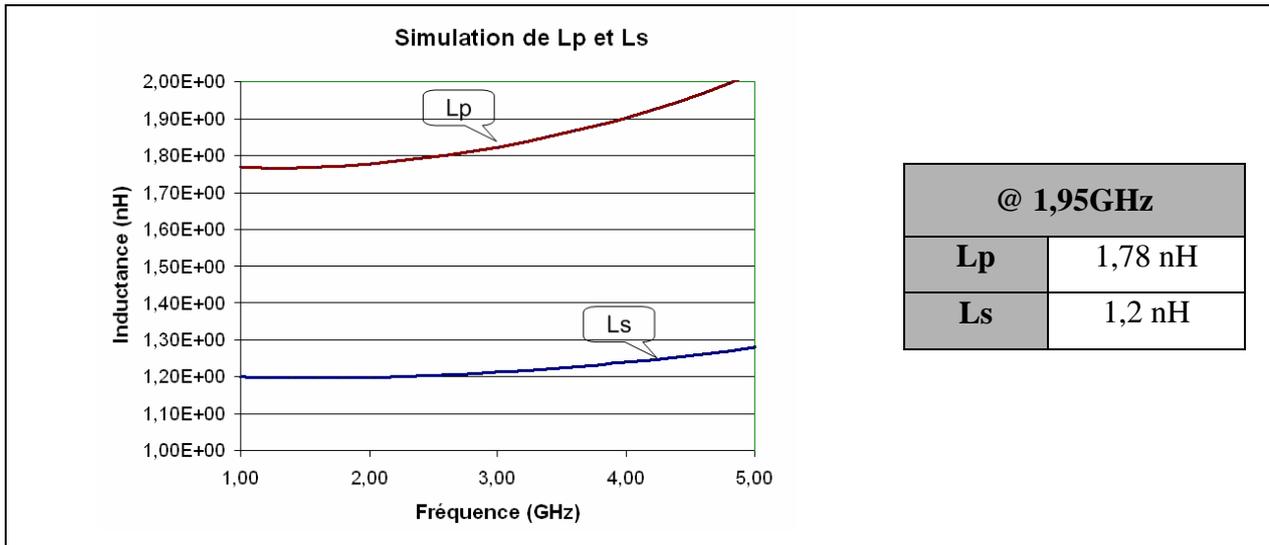


Figure IV-22 : Simulation Momentum des inductances du transformateur

A 1,95 GHz, les valeurs des inductances simulées sont 20 % inférieures à celle attendues. Ceci s'explique par le fait que la théorie ne prend pas en compte les pertes liées au rapprochement des pistes opposées d'une même inductance. En effet, ce rapprochement vers le centre du transformateur a tendance par inversion des champs à réduire la valeur de l'inductance. Néanmoins, le compromis entre la surface occupée et la valeur des inductances est acceptable.

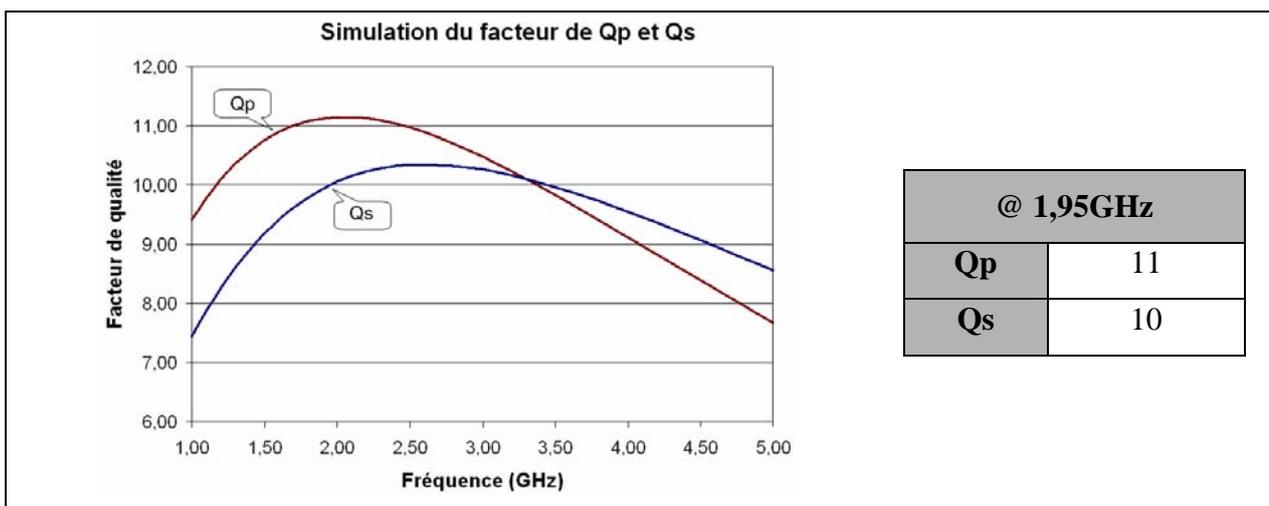


Figure IV-23 : Simulation Momentum des coefficients de qualité des inductances du transformateur

Le backend de cette technologie étant petit, les coefficients de qualité ne peuvent pas atteindre des valeurs importantes. De plus, le croisement effectué à l'aide des métaux inférieurs

réduit ce coefficient de qualité. Or, l'évacuation du courant ne peut se faire qu'avec de larges pistes de croisement.

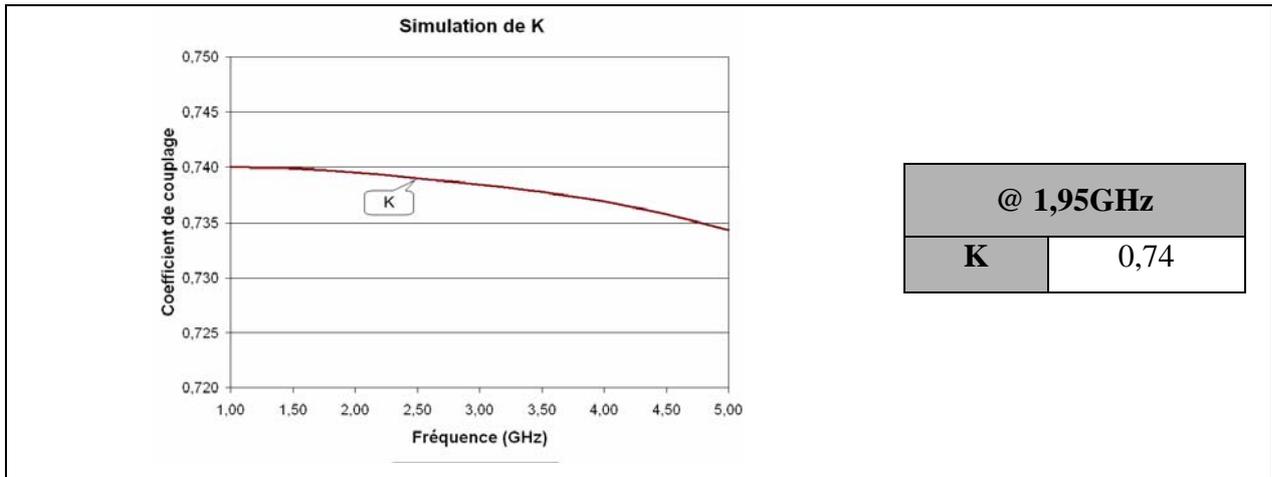


Figure IV-24 : Simulation Momentum du coefficient de couplage simulé du transformateur

L'ordre de grandeur du coefficient de couplage correspond bien à l'attente d'une structure planaire. La surface de regard entre le primaire et le secondaire étant plus faible, le coefficient de couplage n'excède que rarement 0,8 [GHA06].

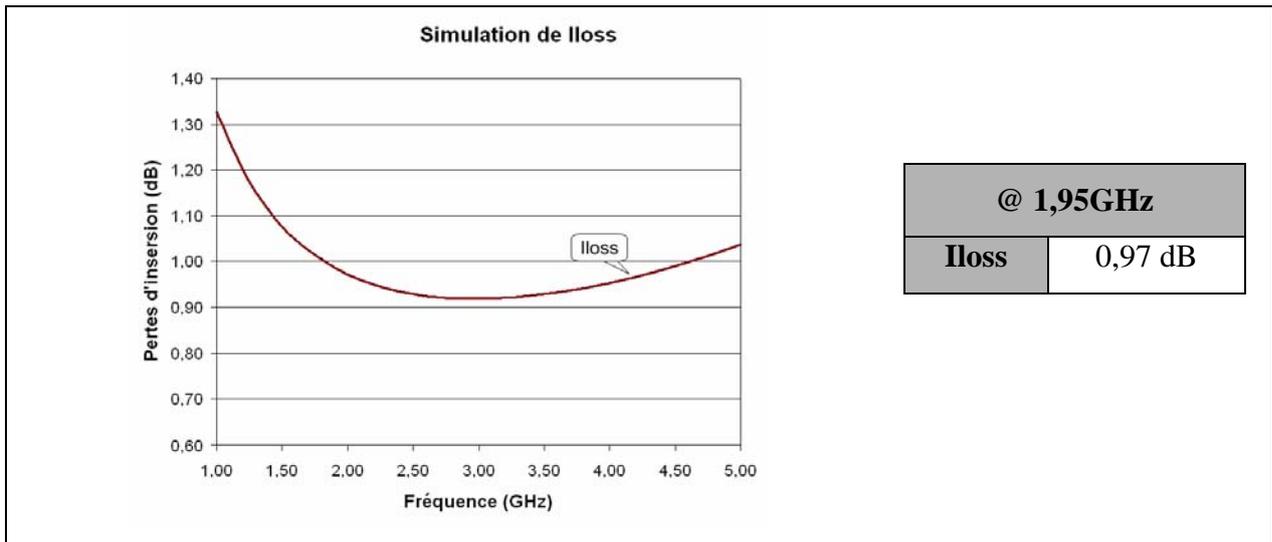


Figure IV-25 : Simulation Momentum des pertes d'insertion simulées du transformateur

Pour finir, les pertes d'insertion, qui sont la figure de mérite du transformateur, sont inférieures à 1 dB. Cette simulation reflète donc la qualité du transformateur.

Notre transformateur offre des performances acceptables pour être exploité dans le PA SFDS avec DAT. Un des transformateurs présentés par la référence [GHA07] comporte approximativement le même nombre de tours et des valeurs inductances proches de celles que nous avons simulées. Le coefficient de couplage maximal de ce transformateur est de 0,6, tandis que celui du transformateur présenté dans ce chapitre est de 0,74. Quelque soit le transformateur présenté dans cette référence, les pertes d'insertions sont toutes supérieures à

1 dB. Nos simulations sont basées sur le même modèle de conception que la référence [GHA07]. Nous concluons que le transformateur présenté dans ce mémoire offre de bonnes performances. Néanmoins, les valeurs présentées par le papier de la référence [GHA07] sont mesurées, or nous ne présentons dans ce chapitre que des simulations.

II.3 Conception et simulation du PA SFDS avec DAT

II.3.a Simulation du PA SFDS DAT

Le PA est développé suivant la topologie de la Figure IV-20. Les 4 blocs du PA sont conçus ensembles et sont de même taille. Contrairement à un PA à deux étages où chacun des étages peut être développé l'un après l'autre, il ne s'agit ici que d'un seul et même étage. Les 4 PAs qui forment l'étage ne sont donc pas développés séparément. Deux simulations sont présentées afin de montrer l'influence du transformateur sur les performances du PA. La première utilise un transformateur idéal (avec $k=0,7$), la seconde un transformateur simulé sur Momentum. Une comparaison entre les deux simulations permet de mettre en avant les pertes engendrées par le transformateur et conclut sur son importance dans le bon fonctionnement du PA.

✚ Résultats de simulations avec un transformateur idéal

La Figure IV-26 et la Figure IV-27 présentent les résultats de simulations des caractéristiques du PA avec un transformateur idéal de coefficient de couplage de 0,7.

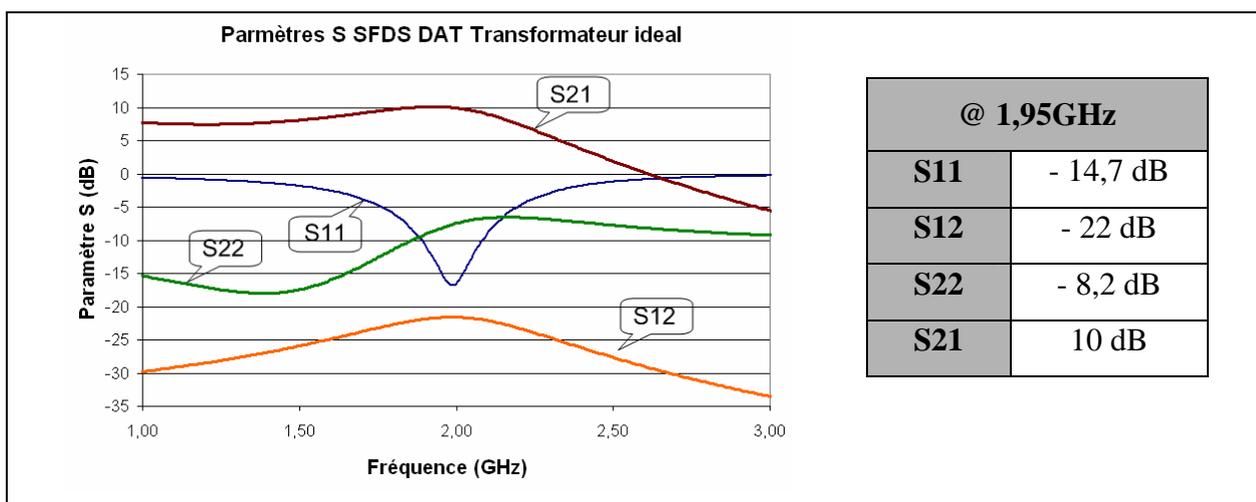


Figure IV-26 : Simulation des paramètres S du PA en technologie CMOS 65 nm avec DAT idéal

Le manque d'isolation lié à l'utilisation d'une structure SFDS est présent sur cette simulation ($S_{12}=-22$ dB). À 1,95 GHz, les paramètres S_{11} et S_{22} sont respectivement de -14,7 dB

et -8,2 dB. Le gain est de 10 dB ce qui est relativement faible. Les paramètres S de cette simulation sont peu encourageants mais ce PA n'a pas pour but d'améliorer le gain mais la puissance et la linéarité. La Figure IV-27 montre l'évolution de la puissance et de la linéarité du PA. Grâce à la forte puissance de sortie, le rendement maximum est proche du maximum théorique d'un PA classe A.

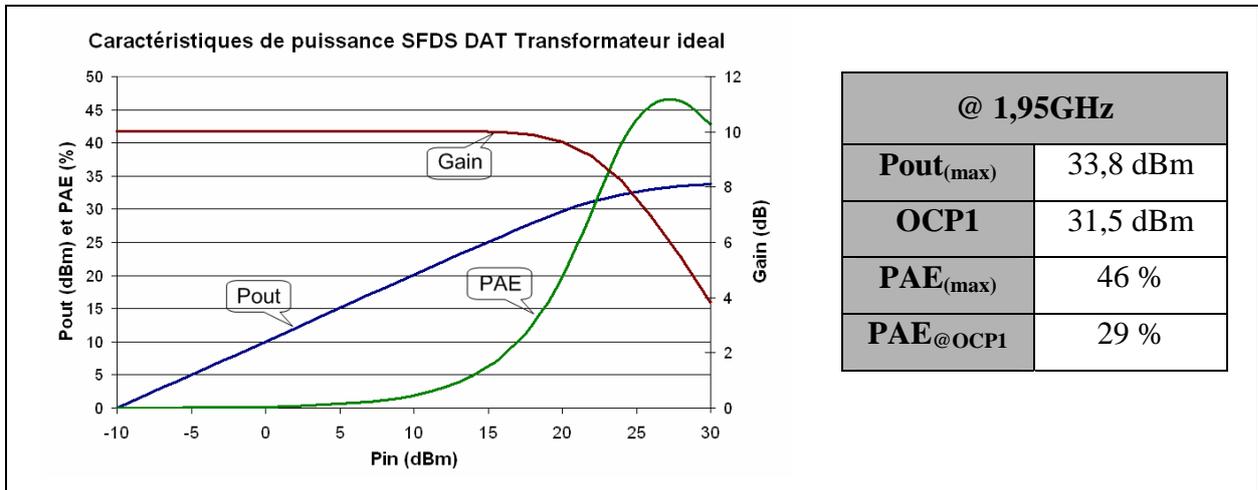


Figure IV-27 : Simulation des paramètres de puissance du PA en technologie CMOS 65 nm avec DAT idéal

La puissance maximale que fournit l'amplificateur est de 33,8 dBm avec une PAE_{max} de 46 % pour une fréquence d'utilisation de 1,95 GHz. L' OCP_1 est simulé à 31,5 dBm. À l' OCP_1 , la PAE_{OCP1} est de 29 %. Le comportement en puissance du PA est très satisfaisant. Sa linéarité et son rendement sont élevés. Cette première simulation permet de montrer les performances du PA. La prochaine simulation introduit le transformateur simulé.

Résultats de simulations avec le transformateur développé

La Figure IV-28 et Figure IV-29 présentent les résultats de simulation des caractéristiques du PA avec le transformateur développé. Le gain du circuit (S_{21}) est de 9,4 dB. Les paramètres S_{11} et S_{22} sont respectivement de -20 dB et -9 dB. L'isolation du circuit est de -22 dB. Malgré une optimisation de l'adaptation d'entrée, le gain subit une réduction lors de l'ajout du transformateur simulé. Les résultats de simulation des paramètres S restent relativement stables.

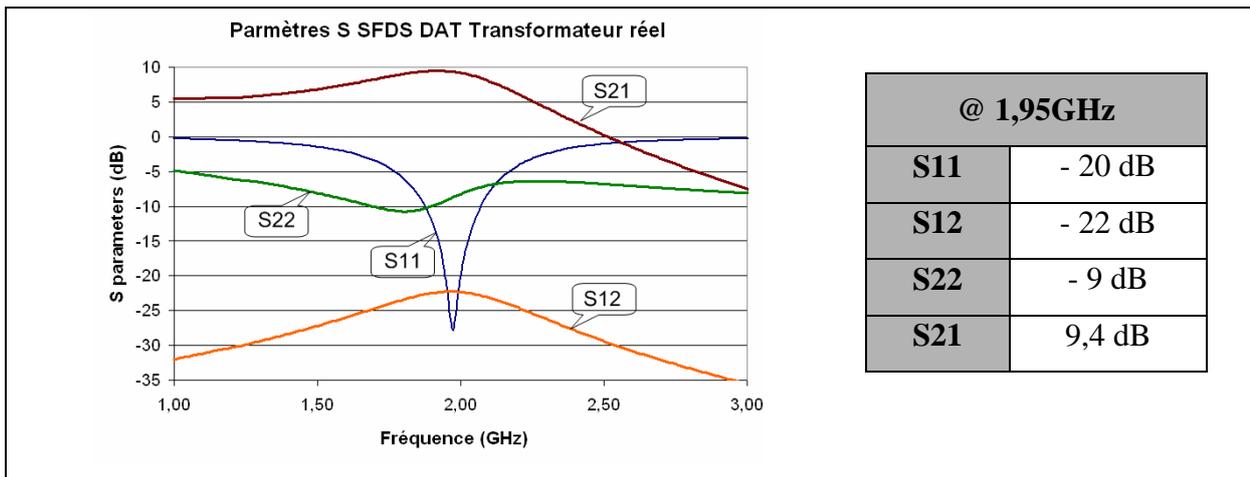


Figure IV-28 : Simulation des paramètres S du PA en technologie CMOS 65 nm avec DAT réel

La puissance maximale que fournit l'amplificateur est de 32,4 dBm avec une PAE_{max} de 29,5 % pour une fréquence d'utilisation de 1,95 GHz. L' OCP_1 est simulé à 29,5 dBm. À l' OCP_1 , la PAE_{OCP1} est de 19 %.

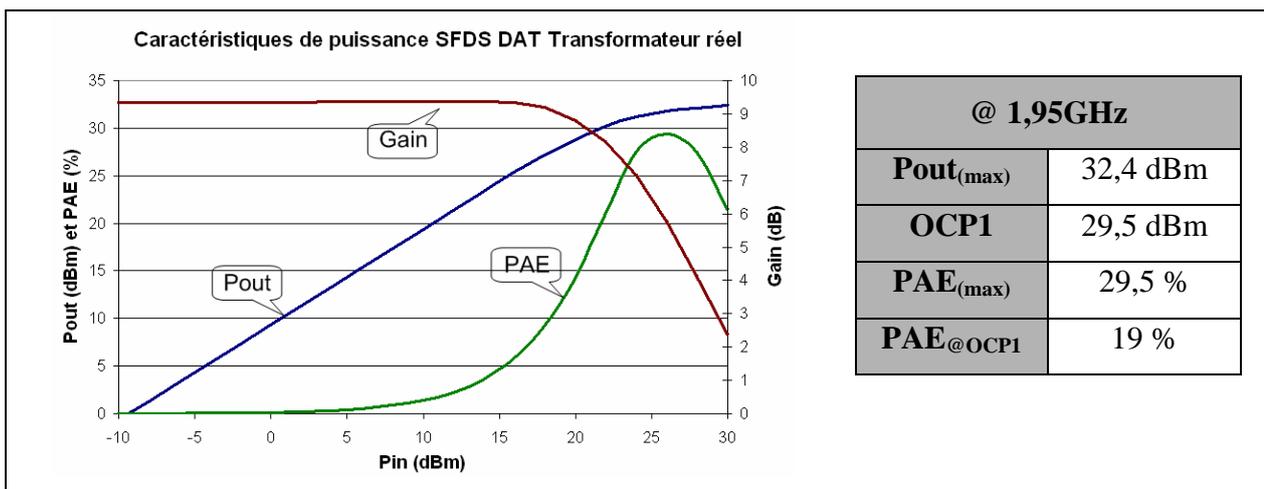


Figure IV-29 : Simulation des paramètres de puissance du PA en technologie CMOS 65 nm avec DAT réel

L'introduction du transformateur dans le PA réduit très fortement le rendement. La PAE_{max} passe de 46 % pour le PA avec transformateur idéal ($k= 0,7$) à 29,5 % lors de l'introduction du transformateur développé. La P_{max} chute de 1,8 dB et l' OCP_1 de 2 dB. Malgré la réduction de la puissance maximale et de la linéarité, le PA permet encore de répondre aux exigences de l'UMTS. Au delà de la réduction de puissance cette comparaison entre les deux simulations a permis de relever l'impact important du transformateur sur le rendement global du circuit.

II.3.b Layout du PA et simulation Post-Layout

✚ Layout du PA avec DAT

Le layout utilise le montage en escalier décrit à la Figure IV-16. La Figure IV-30 présente un bloc PA élémentaire. Chaque bloc PA est composé de transistors nsvt18RF, d'une adaptation en entrée, d'une polarisation, d'un transformateur et de deux inductances de choc.

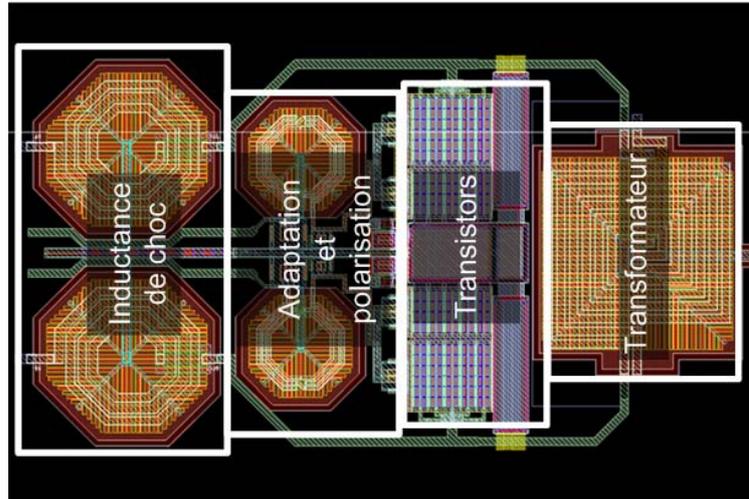


Figure IV-30 : Layout d'un bloc PA élémentaire

Quatre blocs PA sont présents dans le circuit. Le layout complet du PA SFDS avec DAT est présenté par la Figure IV-31.

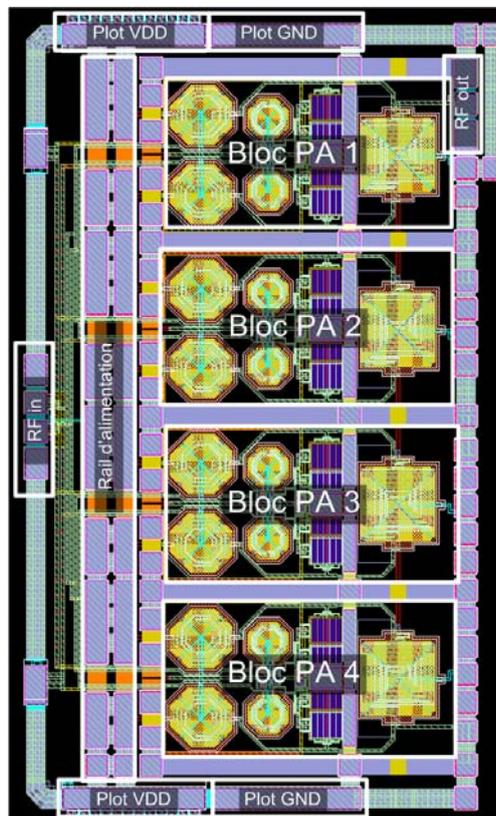


Figure IV-31 : Layout complet du PA SFDS DAT

Une fois le PA routé dans son intégralité, la surface occupée est de 4,5 mm². La surface occupée est importante. Même si l'intégration est complète, le PA ne comporte pas un étage driver pour le moment.

✚ Résultats de simulations avec le transformateur développé

La Figure IV-32 et la Figure IV-33 présentent les résultats de simulation Post-Layout des caractéristiques du PA avec DAT.

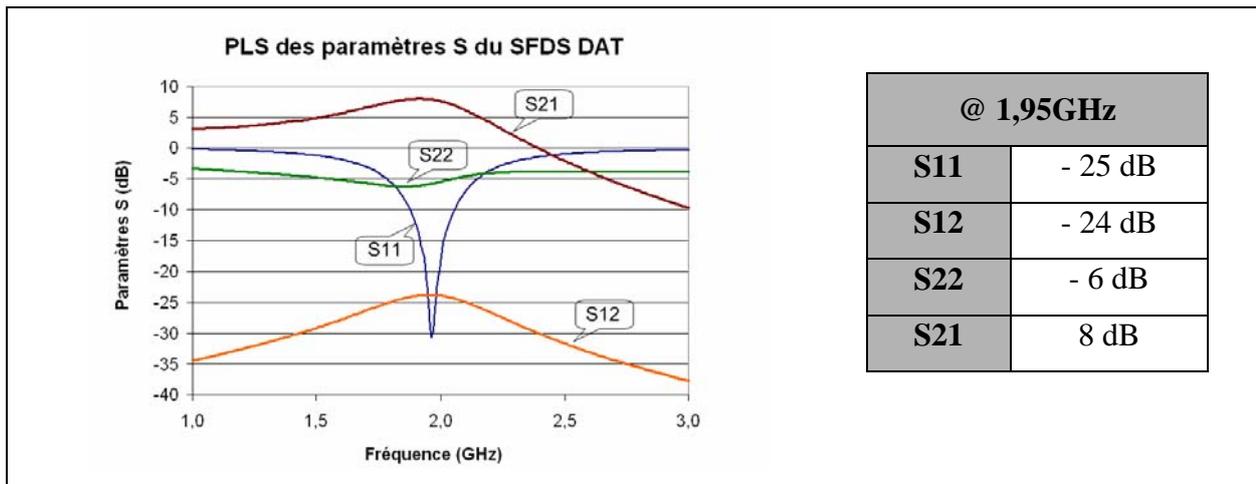


Figure IV-32 : Résultats de la simulation des paramètres S du PA avec DAT avec un transformateur réel

A 1,95 GHz, le gain est de 8 dB et son isolation de -24 dB. Les paramètres S_{11} et S_{22} sont respectivement de -25 dB et -6 dB. Malgré une optimisation de l'adaptation d'entrée, le gain subit une réduction de 1,4 dB entre la simulation schématique et Post-Layout.

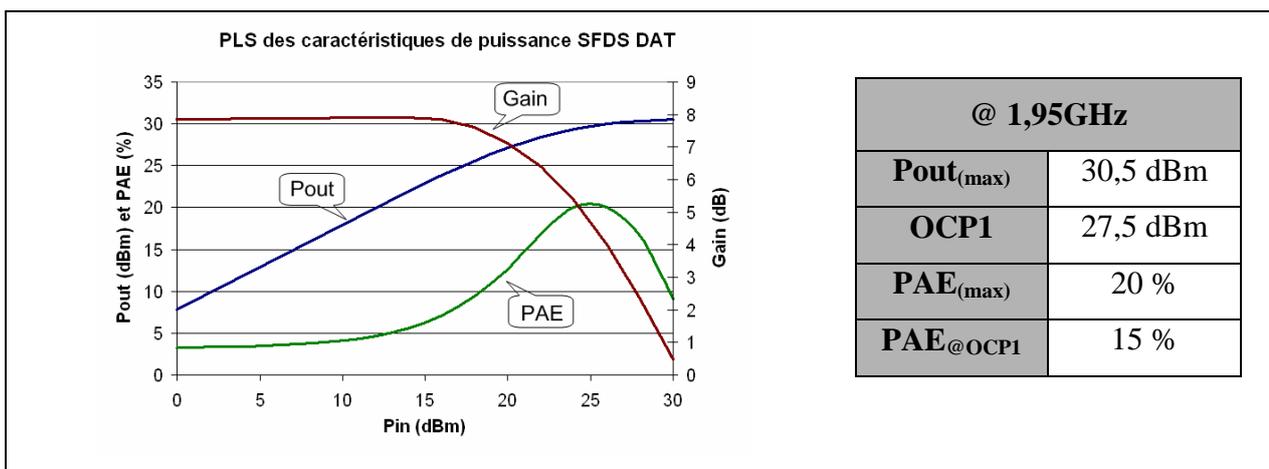


Figure IV-33 : Résultats de la simulation des paramètres de puissance du PA avec DAT avec un transformateur réel

Après routage, la puissance maximale de sortie passe de 32,4 dBm à 30,5 dBm et l' OCP_1 de 29,5 dB à 27,5 dB, soit une chute respective de 2 dB pour chacun. Le layout affecte

fortement le rendement. La PAE_{max} passe de 29,5 % à 20 % et la PAE_{OCP1} de 19 % à 15 %. Les pertes liées à la taille importante du layout réduisent la puissance de sortie, la linéarité et le rendement de l'amplificateur. Néanmoins, le PA est suffisamment linéaire à 24 dBm en sortie pour répondre aux exigences de l'UMTS. Les résultats ressemblent à ceux attendus par les PAs présentés au chapitre III. Cependant, la totalité des éléments qui constituent le PA SFDS avec DAT sont maintenant intégrés sur le Silicium.

II.4 Perspective d'amélioration

Afin d'améliorer le circuit, il est essentiel de réduire la taille du PA complet. La surface occupée par les pistes est importante mais ne peut pas être réduite. La solution réside dans la suppression des inductances de chocs du PA. Une réduction de 20 % de la surface est alors envisageable. Le transformateur joue alors le rôle des inductances de choc [HAL07]. Pour cela, un point milieu servant d'alimentation est ajouté sur le primaire. Le changement proposé est illustré par la Figure IV-34.

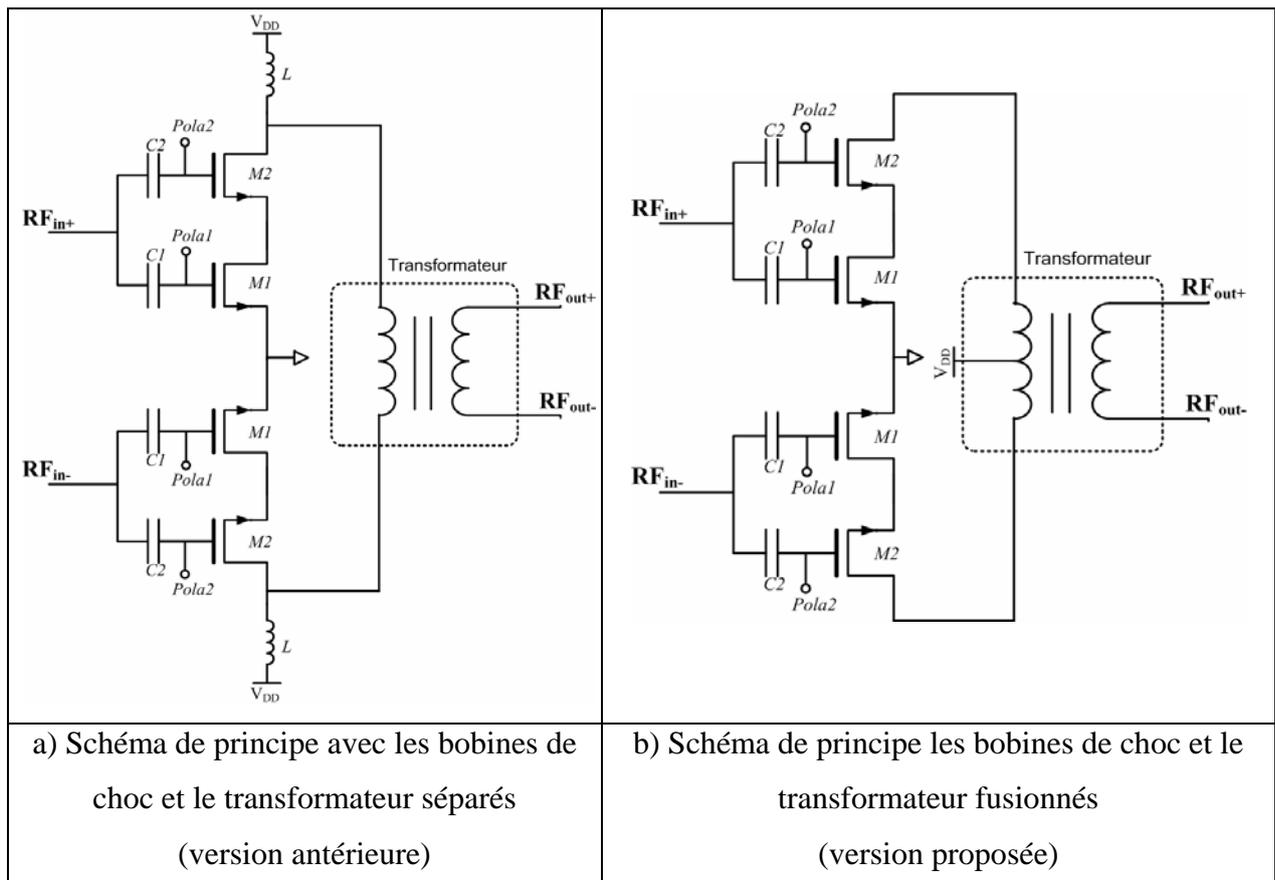


Figure IV-34 : Schéma de la modification relative l'amélioration de la surface du PA

L'influence du transformateur sur le fonctionnement du PA est importante. Avec un tel changement, le PA devra donc être re-conçu dans sa globalité. Avec un point milieu, Le transformateur est maintenant constitué de deux primaires. L'utilisation d'une structure empilée

ayant un rapport de transformation est envisageable. Ainsi, le coefficient de couplage pourra être amélioré, mais au détriment du facteur de qualité.

III Conclusion sur les perspectives d'intégration

Une intégration complète d'un PA sur une technologie CMOS avancée, permettrait le développement d'une chaîne d'émission-réception complète sur une seule et même puce. Cependant, l'exigence en puissance et en linéarité des standards de communication sans fil complique la mise en œuvre d'un circuit de puissance intégré.

Dans une première partie, un PA WiFi intégré en technologie CMOS 65 nm est proposé. Sur les trois PAs initialement développés, l'utilisation d'un PA HSFDS cascodé fournit de meilleurs résultats sur une petite surface de silicium (surface totale de 0,75 mm²). Les améliorations apportées au layout, tel que le montage en escalier et l'élaboration d'un plan de masse, ont contribué à l'optimisation de ce PA HSFDS cascodé. Ce chapitre met en avant l'intérêt de pouvoir cascoder un circuit SFDS de manière à réduire l'effet Miller et améliorer les performances du PA. Un seul étage ne comportant que la moitié d'un SFDS cascodé complet, suffit donc à fournir une puissance maximale de 24 dBm avec un gain de 15,5 dB.

La seconde partie de ce chapitre a permis de mettre en évidence la difficulté de réaliser un PA intégré destiné au standard UMTS. En effet, l'UMTS requiert des performances qu'un PA CMOS élémentaire ne peut apporter. La combinaison de plusieurs PAs SFDS en parallèle est donc proposée. Pour cela, la topologie empilée est retenue. En effet, la topologie carrée comporte de nombreux inconvénients contre le seul avantage d'accroître la densité d'intégration. Les PAs qui composent la topologie empilée sont combinés à l'aide de transformateurs « *shibata* ». Ce transformateur, compatible à une application forte puissance. Il permet d'effectuer un rapport de transformation pour l'adaptation de sortie. La taille du bloc complet est de 4,5 mm². Cette surface est importante, mais le PA permet d'obtenir un *OCPI* de 29,5 dBm. Cette linéarité suffit à répondre aux standard UMTS. Néanmoins, la surface et la consommation du circuit sont importantes. Une étude vise donc à utiliser un point milieu sur le primaire du transformateur afin de permettre la suppression des inductances de chocs réduisant ainsi la surface du circuit et sa consommation.

REFERENCES

- [GHA06] Ouail El-Gharniti, "Conception, Modélisation et Caractérisation des Transformateurs Intégrés sur Silicium. Application aux Amplificateurs Faible Bruit", Thèse de l'Université Bordeaux I, 4 Décembre 2006
- [GHA07] O. El-Gharniti, E. Kerhervé and J. B. Bégueret, "Modeling and Characterization of On-Chip Transformers for Silicon RFIC", MTT-S, April 2007, Vol 55, N° 4, Page(s) 607-615
- [HAL07] Haldi, P. Chowdhury, D. Liu, G. Niknejad and M Ali, "A 5.8 GHz Linear Power Amplifier in a Standard 90nm CMOS Process using a 1V Power Supply", RFIC, June 2007, Page(s): 431-434
- [HAL07] P.Haldi, D.Chowdhury, G.Liu, M.Niknejad, "A 5.8 GHz Linear Power Amplifier in a Standard 90 nm CMOS Process using a 1V Power Supply", Radio Frequency Integrated Circuits (RFIC), 3-5 June 2007, Page(s) 431 – 434
- [KAN06] J.Kang, A.Hajimiri, B.Kim, "A Single Chip Linear CMOS Power Amplifier for 2.4 GHz WLAN", International Solid State Circuits Conference (ISSCC), 6-9 February 2006, Page(s) 761 – 769
- [KIC08] H. Kichon and K. Bumman, "A parallel Power Amplifier With a Novel Mode Switching Control", Microwave and Wireless Components Letters 2008, Vol 18, N°3, Page(s) 200-202
- [LIU06] G.Liu, T.Liu, M.Niknejad, "A 1.2V, 2.4GHz Fully Integrated Linear CMOS Power Amplifier with Efficiency Enhancement", Custom Integrated Circuits Conference, 11-13 September 2006, Page(s) 141 – 144
- [LUQ09] Y.Luque, E.Kerhervé, N.Deltimple, D.Belot, "CMOS SFFDS PA with Coupled Transformer for High Power RF Applications", ISCAS 2009 Taiwan, Taipei, Mai 2009
- [REY07] P.Reynaert, A.M.Niknejad, "Power Combining Techniques for RF and mm-Wave CMOS Power Amplifiers", ESSCIRC 2007, 11-13 September 2007, Page(s): 272-275
- [REY07] P.Reynaert, M.S.Steyaert, "A 2.45 GHz 0.13 μm CMOS PA With Parallel Amplification", Solid State Circuits, IEEE Journal, March 2007, Lille, France, Issue 3, Page(s) 551 – 562

Conclusion générale

Les travaux présentés dans ce mémoire de thèse entre dans le cadre de la recherche d'une intégration complète sur silicium d'une chaîne d'émission-réception d'un standard de communication sans fil. Nous nous sommes intéressés à la conception de l'amplificateur de puissance présent dans cette chaîne d'émission-réception. Le standard auquel nous souhaitons répondre est l'UMTS.

Le premier chapitre propose un rappel sur les différents standards de communication sans fil. Un état de l'art sur les PAs est illustré afin de déterminer un choix de fonctionnement permettant de répondre aux standards UMTS. Les contraintes de linéarité liées à la technique d'accès du standard, le W-CDMA y sont développées. Le PA doit être conçu en technologie CMOS afin d'être axé sur une utilisation grand public. L'évolution et les limites de la technologie CMOS sont alors décrites.

Le second chapitre détermine une architecture de PA CMOS suffisamment robuste pour fournir une forte puissance et une bonne linéarité, tout en contournant le problème de la tension de claquage des transistors MOS. La structure SFDS est présentée. L'étude théorique est développée pour démontrer son potentiel. Le protocole de conception qui est abordé permet l'élaboration du schéma synoptique générale d'un PA SFDS à deux étages.

Le troisième chapitre illustre la mise en œuvre du PA SFDS à deux étages sur deux technologies CMOS de STMicroelectronics : la technologie CMOS 130nm et CMOS 65nm. Les simulations schématiques démontrent la faisabilité de l'intégration des deux PAs qui répondent aux exigences de l'UMTS. Néanmoins, le dessin des masques de fabrication est une partie importante de la conception du PA. Une précaution particulière est apportée au routage des PAs afin de limiter la dégradation des performances simulées. La comparaison entre les simulations schématiques et les simulations '*Post Layout*' montre la dégradation des performances des PAs liée aux parasites de fabrication. La dernière partie du chapitre concerne les mesures des PA 130 nm et 65 nm. Elles permettent de mettre en avant les pertes importantes liées aux nombreux problèmes provenant de l'utilisation d'un courant élevé dans un circuit silicium. La réduction du courant de polarisation et des mesures '*load pull*' ont démontré que le PA peut être performant mais avec un courant DC réduit. Le courant étant réduit, les performances ne permettent pas de répondre au standards UMTS. Le chapitre démontre également les problèmes de connectique '*chip on board*' en basse impédance et la

problématique concernant l'adaptation en sortie. Néanmoins, les caractéristiques des PAs sont intéressantes en comparaison avec la littérature.

Le quatrième chapitre propose des perspectives pour l'intégration totale sur silicium d'un PA CMOS à forte puissance. Dans un premier temps, un premier PA à un seul étage est proposé. Il est destiné au standard WiFi. Le développement de ce PA nous a amené à cascader le SFDS et à remarquer l'amélioration des performances. Dans cette conception, le PA entier est intégré sur silicium et adapté sur 50 Ω . Certaines améliorations de routage ont été apportées. Un second PA SFDS avec DAT est proposé. Ce PA plus complexe a pour but de répondre au standard UMTS avec un circuit totalement intégré. Il nécessite le développement d'un transformateur permettant l'adaptation de sortie et la combinaison des puissances de sortie. Les performances de ce PA permettent de répondre à l'UMTS. La surface et la consommation du circuit sont importantes. Une étude en cours porte sur l'utilisation d'un point milieu au primaire du transformateur afin de supprimer les selfs de pics. Ainsi, la surface du circuit et sa consommation pourront être réduites.

Ces travaux ont finalement démontré la difficulté de concevoir un PA CMOS destiné à l'intégration complète d'une chaîne d'émission-réception sur silicium. Cette intégration est possible, mais les limites qu'apporte la miniaturisation des technologies nécessitent le développement de PAs plus complexes. L'UMTS est un standard exigeant. Son marché doit rester grand public et suffisamment intégrable pour laisser place à d'autres nouveaux standards tels que le LTE. L'utilisation d'une architecture de PA SFDS cascodé en parallèle, visant au développement d'un émetteur-récepteur silicium CMOS 65 nm destiné à l'UMTS est une solution intéressante.

Glossaire

2.5G	Intermediated Generation between 2G and 3G
2G	2nd Generation of Mobile Communication Systems
3G	3rd Generation of Mobile Communication Systems
3GPP	Third Generation Partnership Project
8-PSK	8 Phase Shift Keying
A/N	Convertisseur Analogique-Numérique
ACLR	Adjacent Channel Leakage Ratio
ACPR	Adjacent Channel Power Ratio
ADS	Advanced Design System
AGC	Automatic Gain Control
AM	Amplitude Modulation
AMOS	Accumulation MOS (nom donné a une varicap utilisée en régime d'accumulation)
AMPS	Advanced Mobile Phone Service
ARIB	Association of Radio Industries and Business
BAW	Bulk Acoustic Wave
BC	Base Commune
BER	Bit Error Rate
BOM	Bill of Materials
Bonding	Fil d'interconnexion
BPSK	Binary Phase Shift Keying
CAN	Convertisseur Analogique-Numérique
CCK	Complementary Code Keying
CDMA	Code Division Multiple Access
CG	Coding Gain
CMS	Composants Montés en Surface
CP1	Compression Point 1dB
CP1	Point de compression à 1 dB
CRR	Contre-Réaction Résistive
CSD	Circuit Switched Data
CSMA	Code Division Multiple Access
CSMA	Carrier Sense Multiple Access
CWTS	China Wireless Telecommunication Standard group
DCB	Dynamic Current Biasing
DCR	Direct Conversion Receiver
DCS	Digital Cellular System
DECT	Digital Enhanced Cordless Telecommunications
DI	Dégénérescence Inductive
DK	Design Kit
DRM	Dynamic Range Merit
DSP	Digital Signal Processing
DSP	Digital Signal Processing
DSSS	Direct Sequence Spread Spectrum
DVB	Dynamic Voltage Biasing
EDGE	Enhanced Data rates for GSM Evolution
EER	Envelope Elimination and Restoration
EGPRS	Enhanced General Packet Radio System
ESD	Electro-Static Discharge
ETSI	European Telecommunication Standard Institute
EVM	Error Vector Magnitude
EY-NPMA	Elimination Yield Non Preemptive Multiple Access
FBAR	Film Bulk Acoustic Resonator
FDD	Frequency Division Duplex

FDMA	Frequency Division Multiple Access
FER	Frame Error Rate
FHSS	Frequency Hopping Spread Spectrum
FHSS	Frequency Hopping Spread Spectrum
FOM	Figure of Merit
FPGA	Field Programmable Field Array
FSK	Frequency Shift Keying
GFSK	Gaussian-FSK
GFSK	Gaussian Frequency Shift Keying
GMSK	Gaussian Minimum Shift Keying
GPRS	General Packet Radio Service
GPS	Global Positioning System
GSM	Global System for Mobile communication
HD	Harmonic Distortion
HiperLAN	High Performance Radio Local Area Network
HPAs	High Power Amplifiers
HSDPA	High Speed Downlink Packet Access
IEEE	Institute of Electrical and Electronic Engineer
IMD	InterModulation Distortion
IMOS	Inversio MOS (nom donné a une varicap utilisée en régime d'inversion)
IMT	International Mobile Telecommunication
IMT	IMT International Mobile Telecommunication
IP3	Intersept Point 3
IPn	Point d'interception d'ordre n
ISM	Industrial, Scientific and Medical
ISM	ISM Industrial, Scientific and Medical
ITU-R	International Telecommunications Union –Radio communication sector
LNA	Low Noise Amplifier
LTE	Long Term Evolution
LUT	LookUp Table
MAC	Medium Access Control
MEMS	Micro-Electro-Mechanical Systems
NMT	Nordic Mobile Telephone
OFDM	Orthogonal Frequency Division Multiplexing
OL	Oscillateur Local
OL	Oscillateur Local
PA	Power Amplifier
PAE	Power Added Efficiency
PAPR	Peak-to-Average-Power Ratio
PAR	Peak to Average Ratio
PCB	Printer Circuit Board
PCS	Personal Communications Services
PDA	Personal Digital Assistant
PDC	Personal Digital Communication
PM	Phase Modulation
PPAM	Pulse Position Amplitude Modulation
QAM	Quadrature Amplitude Modulation
QFN	Quad Flat No leads
QPSK	Quadrature Amplitude Modulation
RFFE	RadioFrequency receiver FrontEnd
RPC	Rapport Performance Coût
SAW	Surface Acoustic Wave
SDC	Single-to-Differential Converter
SDR	Software Defined Radio
SF	Spreading Factor
SG	Spreading Gain

SIP	System In Package
SMD	Surface Mount Devices
SMS	Short Message Service
SNR	Signal to Noise Ration
SOC	System On Chip
SOI	Silicon On Insulator
SOP	System On Package
TBH	Transistor Bipolaire de Hétérojonction
TBJ	Transistor Bipolaire de Jonction
TD-CDMA	Time Division/Code Division Multiple Access
TDD	Time Division Duplex
TDMA	Time Division Multiple Access
TD-SCDMA	Time Division/Synchronous Code Division Multiple Access
TQFP	Thin Quad Flat Package
TR	Terminaison Résistive
TTA	Telecommunications Technology Association
TTC	Telecommunication Technology Committee
UMTS	Universal Mobile Telecommunications Systems
UMTS	Universal Mobile Telecommunication System
UMTS	Universal Mobile Telecommunications System
UTRA	
UMTS	Terrestrial Radio Access
UWB	Ultra Wideband
VGA	Variable Gain Amplifier
VLSI	Very Large Scale Integration
VSA	Vector Signal Analyser
WCDMA	Wireless Code Division Multiple Access
WCDMA	Wideband Code Division Multiple Access
WiMAX	Worldwide Interoperability for Microwave Access
WLAN	Wireless Local Area Network
WMAN	Wireless Metropolitan Area Network
WPAN	Wireless Personnal Area Network
WWAN	Wireless Wide Area Network
xQAM	Quadrature Amplitude Modulation

Liste des travaux publiés

Journaux :

Y.Luque, E.Kerhervé, N.Deltimple, D.Belot '*CMOS PA Design Dedicated to UMTS (3G) Applications in 65nm Technology*', Special issue in Revue Roumaine des Sciences Techniques, 2009

Conférences Internationales :

Y.Luque, N.Deltimple, E.Kerhervé, D.Belot '*A 0.13 μ m CMOS Stacked Folded Fully Differential PA Structure for W CDMA Application*', PRIME 2007 Bordeaux, Page 157 à 160

Y.Luque, E.Kerhervé, N.Deltimple, D.Belot '*CMOS PA Design Dedicated to UMTS (3G) Applications in 65nm Technology*', ECCSC 2008, Roumanie, Bucarest, Page 19 à 22

Y.Luque, N.Deltimple, E.Kerhervé, D.Belot '*A 65nm CMOS SFFD PA structure for WCDMA application*', ICECS 2008 Malte, Septembre 2008, Page 157 à 160, **Best student paper**

Y.Luque, E.Kerhervé, N.Deltimple, D.Belot '*CMOS SFFDS PA with Coupled Transformer for High Power RF Applications*', ISCAS 2009 Taiwan, Taipei, Mai 2009

E.Kerhervé, **Y.Luque**, S.Aloui, N.Deltimple, R. Plana, D.Belot '*RF and mmW Low-Voltage Power Amplifier*' FTFC 2009, June 2009, Neuchâtel, Suisse, **Invited paper**

Conférences Nationales :

Y.Luque, N.Deltimple, E.Kerhervé, D.Belot '*Amplificateur de Puissance Push-Pull en Technologie CMOS 0,13 μ m. Application au Standard de Communication WLAN 802.11b*', JNM 2007, Toulouse

Y.Luque, N.Deltimple, E.Kerhervé, D.Belot '*Conception d'un amplificateur de puissance en technologie CMOS 65 nm pour des applications 3G/4G*', JNRDM 2008 Bordeaux, Page 157 à 16

