



**HAL**  
open science

## Vers de nouveaux modules de puissance intégrés

Manh Hung Tran

► **To cite this version:**

Manh Hung Tran. Vers de nouveaux modules de puissance intégrés . Sciences de l'ingénieur [physics]. Université de Grenoble, 2011. Français. NNT: . tel-00591079v1

**HAL Id: tel-00591079**

**<https://theses.hal.science/tel-00591079v1>**

Submitted on 6 May 2011 (v1), last revised 17 Oct 2011 (v2)

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

**THÈSE**

Pour obtenir le grade de  
**DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE**

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

**Manh Hung TRAN**

Thèse dirigée par **Jean-Christophe CREBIER** et  
codirigée par **Christian SCHAEFFER**

préparée au sein du **Laboratoire de Génie Electrique de Grenoble**  
dans l'**École Doctorale Electronique, Electrotechnique,**  
**Automatique & Traitement du signal**

**Vers de nouveaux modules de  
puissance intégrés**

Thèse soutenue publiquement le **02 Février 2011**  
devant le jury composé de :

**M. Jean-Luc SCHANEN**

Professeur à Grenoble INP, Président

**M. Stéphane LEFEBVRE**

Professeur au CNAM, Rapporteur

**M. Frédéric RICHARDEAU**

Directeur de recherche au CNRS, Rapporteur

**M. Ambroise SCHELLMANN**

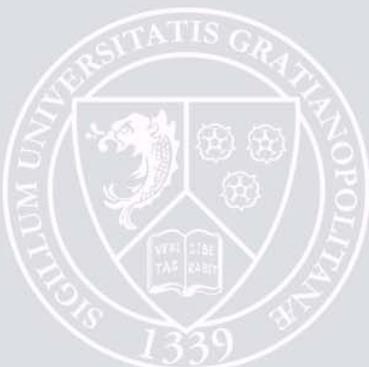
Maître de conférence au Polytech'Tours, Membre

**M. Jean-Christophe CREBIER**

Chargé de recherche au CNRS, Membre

**M. Christian SCHAEFFER**

Professeur à Grenoble INP, Membre



## Remerciements

Voici le moment que j'attendais depuis le début de la thèse, pour pouvoir remercier toutes les personnes sans qui je n'aurais certainement pas pu aboutir à la fin de mes années d'études.

Je tiens à remercier en premier lieu Stéphane LEFEBVRE et Frédéric RICHARDEAU pour avoir accepté d'être rapporteur de ma thèse. Je vous remercie pour le temps que vous avez passé sur ce manuscrit et aussi pour les remarques que vous avez portées à l'amélioration de celui-ci.

Un grand merci à Jean-Luc SCHANEN d'avoir accepté de diriger le jury de ma soutenance. Je me rappellerais toujours les discussions sincères que nous avons eu et tes précieux conseils au cours de la conférence aux Etats-Unis.

Je remercie également Ambroise SCHELLMANNNS pour avoir d'accepté d'examiner mon manuscrit ainsi que pour ses questions et ses remarques lors de ma soutenance.

Je voudrais remercier Christian SCHAEFFER d'avoir accepté d'être co-encadrant de ma thèse.

Un merci tout particulier à Jean-Christophe CREBIER. Je te remercie tout d'abord de m'avoir accepté en stage M2R et puis de m'avoir offert ce sujet de thèse à la fois très intéressant et ambitieux. J'apprécie énormément tes qualités scientifiques et en particulier tes immenses ressources d'idées et de solutions. J'admire également tes qualités humaines : ta franchise, ton honnêteté... et surtout l'énergie et la passion que tu consacres tout le temps à tes travaux. Tu as bien su m'encourager ainsi que me mettre la pression de temps en temps... Je t'adresse ici toute ma gratitude pour ta disponibilité et ta gentillesse. Ce serait pour moi un grand plaisir d'avoir une nouvelle opportunité de travailler avec toi... Amitiés !

Je souhaite ensuite remercier la direction ainsi que le personnel administratif, technique et le service informatique du G2ELab qui m'a réglé plusieurs fois des problèmes divers. Je tiens à remercier chaleureusement Jean BARBAROUX pour son support technique pendant mes trois années de thèse. Je te remercie pour la première leçon de soudure jusqu'à des astuces techniques... et particulièrement nos discussions quotidiennes qui ont formé les prémisses de notre amitié qui n'est pas prête de s'arrêter là...

Je remercie vivement Nicolas ROUGER pour sa gentillesse et son amitié. Je te remercie pour avoir encadré mon stage M2R, pour ta disponibilité, tes conseils techniques ainsi que tes aides chaleureuses pendant les derniers moments de ma thèse. Cela fût pour moi un grand plaisir de travailler avec toi.

Je voudrais remercier mes amis à Grenoble, avec qui j'ai passé quatre années inoubliables. Je commence par mon ami Bibi ou DJ Bisounours ou simplement « mon pote » que j'appelle, et qu'il m'appelle, tous les jours comme cela depuis quatre ans. Tu m'as fait d'abord découvrir plein de choses intéressantes sur la culture et la vie quotidienne française. Je me rappelle très bien des sorties, des soirées (à Grenoble, à Montpellier avec Hai zo et Kou Kien To...), des activités sportives et encore plein d'autres choses que nous avons faites ensemble. Tu es toujours très gentil et disponible pour me donner un coup de main. Je t'en remercie beaucoup. Je souhaite, du fond du cœur, te croiser tous les jours au Vietnam avec ta petite famille métisse... Je tiens également à remercier un beau couple anh Dương (Jérémie) et chị Phượng pour leurs gentillesse et pour nous avoir accueilli plusieurs fois dans les soirées... Je vous souhaite une super aventure à Singapour et on se verra très bientôt au Vietnam. Je pense aussi à tous les utilisateurs de salle EPTE que j'ai pu côtoyer pendant ma thèse et avec qui nous avons construit la merveilleuse équipe de foot EP'ticon, composée à l'époque de : Abdel, Benj, Bibi, Hai zo, Kien duc, Sylvain... Je vous souhaite, à tous, une bonne continuation.

Je tiens à remercier bien chaleureusement mes amis vietnamiens :

*Em cám ơn các anh Toàn, anh Việt đã giúp đỡ em từ những ngày ở Việt nam. Em xin cám ơn các anh khóa trên a Châu, a Sơn, a Doanh... đã giúp đỡ em trong những ngày đầu em đặt chân đến Grenoble cũng như chia sẻ những kinh nghiệm học tập, nghiên cứu. Cám ơn Hải zó đã làm em nuôi cho anh suốt hơn một năm trời tại Ovest. Cám ơn Châu Tùng đã cho anh gặp bạn Mai của Châu, cám ơn hai vợ chồng đã giúp đỡ gia đình anh rất nhiều. Cám ơn anh em trong gia đình Điện tại Grenoble cũng như trên toàn nước Pháp đã luôn cùng nhau xây dựng một tập thể đoàn kết gắn bó, tình cảm thương yêu nhau tại nơi đất khách quê người. Cám ơn anh Trường, anh Đức, a Tuấn bạc...và rất nhiều anh chị em AEVG khác đã luôn ủng hộ, động viên, chia sẻ với em trong những năm tháng đầy ý nghĩa tại Grenoble.*

Mes derniers mots iront à ma famille, qui m'a continuellement soutenu :

*Con cảm ơn mẹ đã vất vả hi sinh cả đời để con có cơ hội được ăn học đến ngày hôm nay, em cảm ơn chị Hạnh, anh Tuấn đã luôn động viên, tạo điều kiện mọi điều kiện tốt nhất cho em. Cảm ơn vợ đã luôn ủng hộ, sát cánh cùng anh trong những năm tháng vừa qua, cảm ơn vợ đã tặng anh món quà tuyệt vời nhất : anh Kem.*

Il y a forcément beaucoup de personnes que je n'ai pas pu mentionner ici car la liste serait très longue, mais sans qui je ne serais pas celui que je suis aujourd'hui. Je vous en remercie !!!

Grenoble, Mai 2011



# TABLE DES MATIERES

<b>INTRODUCTION GENERALE.....</b>	<b>1</b>
<b>CHAPITRE I : CONCEPT DU MODULE COMPLEMENTAIRE DE PUISSANCE POWER BUFFER - CMOS .....</b>	<b>5</b>
<b>I.1. Introduction.....</b>	<b>6</b>
<b>I.2. Problématique du module de puissance polyphasé.....</b>	<b>6</b>
I.2.1. Problème de la compatibilité électromagnétique.....	6
I.2.2. Environnement électronique.....	8
I.2.3. Packaging .....	10
<b>I.3. Etat de l’art et évolutions des composants des modules de puissance.....</b>	<b>12</b>
I.3.1. Co-intégration des transistors de puissance .....	12
I.3.2. Co-intégration de la périphérie électronique .....	13
I.3.3. Evolutions du packaging .....	16
<b>I.4. Structure complémentaire de puissance Power Buffer-CMOS .....</b>	<b>19</b>
I.4.1. Présentation de la technologie complémentaire de puissance .....	19
I.4.1.a. Composant complémentaire de puissance.....	19
I.4.1.b. Structure Power Buffer-CMOS.....	21
I.4.2. Avantages et inconvénients de la structure Power Buffer-CMOS.....	22
I.4.2.a. Compatibilité électromagnétique.....	22
I.4.2.b. Commande rapprochée .....	27
I.4.2.c. Mise en œuvre .....	29
I.4.2.d. Rendement .....	31
<b>I.5. Conclusion.....</b>	<b>32</b>
<b>Bibliographie .....</b>	<b>34</b>
<b>CHAPITRE II : POWER BUFFER CMOS – COMPATIBILITE ELECTROMAGNETIQUE VERSUS RENDEMENT DE CONVERSION .....</b>	<b>39</b>
<b>II.1. Introduction .....</b>	<b>40</b>
<b>II.2. Analyse de la compatibilité électromagnétique.....</b>	<b>40</b>
II.2.1. Structures d’étude .....	40

II.2.2. Résultats des simulations et des expérimentations .....	44
II.2.2.a. Etude de la compatibilité électromagnétique .....	44
II.2.2.a.i. Analyse spectrale sans filtre .....	46
II.2.2.a.ii. Analyse spectrale avec filtre.....	47
<b>II.3. Analyse du rendement.....</b>	<b>49</b>
<b>II.4. Evolution et optimisation de la structure complémentaire.....</b>	<b>51</b>
<b>II.5. Conclusion .....</b>	<b>54</b>
<b>Bibliographie .....</b>	<b>56</b>
 <b>CHAPITRE III : COMPARAISON DES COMPOSANTS</b>	
<b>COMPLEMENTAIRES SUR SUBSTRATS P PAR RAPPORT AUX</b>	
<b>COMPOSANTS CLASSIQUES SUR SUBSTRAT N .....</b>	
	<b>57</b>
 <b>III.1. Introduction.....</b>	<b>59</b>
<b>III.2. Différences entre les composants sur substrats P et des composants sur substrats</b>	
<b>N.....</b>	<b>59</b>
III.2.1. Diode .....	59
III.2.1.a. Polarisation directe .....	62
III.2.1.b. Tenue en tension en inverse – Effet d’avalanche .....	65
III.2.1.c. Temps de recouvrement .....	70
III.2.1.d. Capacité de transition.....	71
III.2.1.e. Conclusion sur la comparaison des diodes .....	72
III.2.2. Transistor bipolaire.....	72
III.2.2.a. Tenue en tension.....	74
III.2.2.b. Caractéristique statique et gain du transistor.....	76
III.2.2.c. Conclusion sur la comparaison des transistors .....	79
III.2.3. MOSFET .....	79
III.2.3.a. Tension de seuil.....	80
III.2.3.b. Caractéristique statique .....	82
III.2.3.c. Capacités parasites .....	84
III.2.3.d. Conclusion sur l’étude de comparaison des MOSFETs .....	84
III.2.4. IGBT.....	85
 <b>III.3. Etat de l’art du composant complémentaire de puissance .....</b>	<b>87</b>
III.3.1. Caractéristique électrique des MOSFETs existants .....	87
III.3.2. Plage d’utilisation optimale des composants complémentaires .....	88
 <b>III.4. Evolution vers un composant hybride optimisé .....</b>	<b>89</b>

III.4.1. Transistor MOSFET-Bipolaire .....	89
III.4.2. Transistor MOSFET multiple .....	92
<b>III.5. Conclusion.....</b>	<b>94</b>
<b>Bibliographie .....</b>	<b>95</b>
<b><i>CHAPITRE IV : COMMANDE RAPPROCHEE ET ALIMENTATION ASSOCIEE EN TECHNOLOGIE COMPLEMENTAIRE .....</i></b>	<b><i>97</i></b>
<b>IV.1. Introduction .....</b>	<b>99</b>
<b>IV.2. Technologie de commande complémentaire versus technologie de commande conventionnelle .....</b>	<b>99</b>
IV.2.1. Commande rapprochée de la structure Power Buffer-CMOS .....	100
IV.2.2. Autoprotection contre court-circuit.....	102
IV.2.3. Condition d'intégrabilité.....	104
<b>IV.3. Evolution de la commande rapprochée : du push-pull au pont complet.....</b>	<b>105</b>
IV.3.1. Commande rapprochée bipolaire à structure push-pull.....	105
IV.3.2. Commande rapprochée à la base du pont complet.....	107
<b>IV.4. Evolution des alimentations pour la commande rapprochée de la structure complémentaire Power Buffer-CMOS.....</b>	<b>109</b>
IV.4.1. Topologie Bootstrap .....	112
IV.4.1.a. Alimentation Bootstrap bipolaire .....	112
IV.4.1.b. Alimentation Bootstrap unipolaire .....	113
IV.4.2. Autoalimentation .....	116
IV.4.2.a. Autoalimentation bipolaire .....	116
IV.4.2.a.i. Principe de fonctionnement.....	116
IV.4.2.a.ii. Aspect dynamique.....	117
IV.4.2.a.iii. Limites de fonctionnement.....	120
IV.4.2.b. Autoalimentation unipolaire.....	123
IV.4.2.b.i. Principe de fonctionnement .....	124
IV.4.2.b.ii. Aspect dynamique .....	125
IV.4.2.b.iii. Analyse du rendement .....	127
<b>IV.5. Conclusion.....</b>	<b>129</b>
<b>Bibliographie .....</b>	<b>130</b>
<b><i>CONCLUSION GENERALE .....</i></b>	<b><i>133</i></b>
<b><i>PUBLICATIONS.....</i></b>	<b><i>137</i></b>



## TABLE DES FIGURES

Figure I.1. Capacités parasites dans un bras d'onduleur classique.....	8
Figure I.2. Environnement électronique d'une fonction interrupteur .....	9
Figure I.3. Interactions du transistor de puissance avec la périphérie électronique .....	10
Figure I.4. haut : schéma d'assemblage du module classique d'un IGBT de puissance, bas : module d'IGBT Fuji 2MBI400N-060 (600V-400A) ouvert et son circuit équivalent .....	11
Figure I.5. Vue en coupe d'un MOSFET utilisant l'isolation Trench .....	13
Figure I.6. Convertisseur DC/DC isolé (3,3 V, 1W) .....	14
Figure I.7. Layout d'une solution d'isolation optique (gauche) et l'étage d'amplification (droite) au sein du VDMOS principal .....	15
Figure I.8. Schéma principe d'autoalimentation MOSFET-MOSFET et sa version intégrée monolithique .....	15
Figure I.9. Commande rapprochée et l'autoalimentation intégrées .....	16
Figure I.10. Flux thermique dans un module de puissance .....	16
Figure I.11. Schéma électrique (gauche) et le module 3D P-CoC (droite) d'une cellule de commutation .....	17
Figure I.12. Capacités parasites du module plan et module P-CoC.....	18
Figure I.13. Module P-CoC d'un bras et d'un onduleur triphasé .....	18
Figure I.14. Module d'un bras d'onduleur de puissance NexFET CSD86350Q5D (25V, 40A) et son circuit équivalent.....	19
Figure I.15. Etat de l'art des composants MOSFETs de types P et N commercialisés.....	20
Figure I.16. Topologie Power Buffer-CMOS.....	22
Figure I.17. Solution busbarre pour le recyclage du courant de mode commun .....	23
Figure I.18. Structure demi pont capacitif.....	24
Figure I.19. Vue de dessus d'une topologie PB-CMOS (sans prise en compte des lyres de puissance) .....	24
Figure I.20. Topologie Power-CMOS avec la source commune mise en l'air .....	26
Figure I.21. Commande bipolaire pour un bras d'onduleur complémentaire .....	27
Figure I.22. Commande rapprochée pour un bras d'onduleur classique et complémentaire	28
Figure I.23. Onduleur polyphasé classique (haut) et la topologie PB-CMOS (bas) .....	29

Figure I.24. (a) Vue de dessus d'un onduleur polyphasé PB-CMOS à base des MOSFETs multiples. (b) Vue en coupe de deux MOSFETs type P mis côte à côte sur le même substrat P .....	30
Figure I.25. Vue en coupe (gauche) et vue de dessus du module bi-puces de l'onduleur PB-CMOS polyphasés (droite).....	31
Figure I.26. Tension $V_{SD}$ du p-MOSFET au blocage dans un hacheur série Ventrée=200V, I=4A, f= 50kHz.....	32
Figure II.1. Structure demi pont capacitif .....	41
Figure II.2. Formes d'ondes qualitatives de la structure en demi pont capacitif .....	42
Figure II.3. Layout de conception de la structure classique (gauche) et la structure complémentaire PB-CMOS .....	42
Figure II.4. Les chemins de propagation du courant de mode commun. Banc de mesure utilisant le RSIL.....	44
Figure II.5. Formes d'ondes de la tension commutée du point milieu pour les deux structures de conversion.....	45
Figure II.6. Formes d'ondes des courants de mode commun étant générés par deux structures .....	46
Figure II.7. Spectre de la CEM conduite pour deux structures de conversion .....	46
Figure II.8. Filtre de la CEM conduite .....	48
Figure II.9. Spectre de deux structures avec filtres de la CEM conduite .....	48
Figure II.10. Image infrarouge du demi pont capacitif complémentaire étant en fonctionnement .....	49
Figure II.11. Evolution du rendement en fonction de la puissance d'entrée .....	50
Figure II.12. Courant de court-circuit de la structure complémentaire IGBT (gauche) et le bilan du rendement de différentes topologies d'IGBT (Ventrée=150V, f=15kHz) (droite) .....	51
Figure II.13. Courants de mode commun issus d'un dv/dt pour les topologies complémentaires symétrique et asymétrique.....	52
Figure II.14. Evolution du rendement pour diverses configurations de bras d'onduleur complémentaires et non complémentaires en fonction de la topologie et la puissance d'entrée. Résultats pratique (gauche) et théorique (droite).....	53
Figure II.15. Courant de mode commun en fonction de topologie .....	53

Figure III.1. Deux structures comparables de la diode de puissance de type N (en haut) et type P (en bas) en équilibre thermodynamique et hors polarisation.....	60
Figure III.2. Vues en coupe et profils de dopage des deux structures sur substrat N en haut et sur substrat P en bas (simulateur ATLAS-SILVACO) .....	61
Figure III.3. Répartitions du champ électrique à l'équilibre thermodynamique pour deux substrats N et P .....	61
Figure III.4. Profil de la concentration des électrons, des trous et du taux de recombinaison d'une coupe transversale (haut). Caractéristique V-I de la diode de deux type de substrat N et P en régime de très faible injection (bas).....	63
Figure III.5. Profils des concentrations des électrons, des trous et du taux de recombinaison des deux diodes à la tension $V_{directe}=0,85V$ .....	65
Figure III.6. Caractéristique V-I des diodes type N et P .....	65
Figure III.7. Début de la caractéristique en inverse des diodes de type N et P .....	66
Figure III.8. Caractéristique en régime d'avalanche des diodes de type N et P.....	67
Figure III.9. Fonctions F des deux types de diode en fonction de la tension de polarisation.	68
Figure III.10. Coefficients de multiplication des deux types de diodes en fonction de la tension de polarisation. En rouge, coefficients relatif à la diode N et en bleu, ceux relatifs à la diode P .....	68
Figure III.11. Profil des champs électriques dans les ZCE des deux types de diodes. ....	69
Figure III.12. Circuit de test du temps de recouvrement de diode.....	70
Figure III.13. Réponse dynamique de la diode de type N et P .....	71
Figure III.14. Capacité de transition en fonction de la tension de polarisation inverse .....	72
Figure III.15. Structure d'un transistor bipolaire de puissance sur substrat N à gauche et substrat P à droite.....	73
Figure III.16. Deux transistors de type N (en haut) et P (en bas) avec leurs profils du dopage .....	73
Figure III.17. Evolution du courant collecteur en fonction de la tension collecteur lorsque l'émetteur en l'air pour les deux types de transistor .....	74
Figure III.18. Evolution du courant collecteur en fonction de la tension collecteur lorsque la base en l'air pour les deux types de transistor .....	75

Figure III.19. Evolution du courant collecteur en fonction de la tension collecteur lorsque la base et l'émetteur est court-circuité pour les deux types de transistor.....	76
Figure III.20. Caractéristique statique du transistor de substrat N à gauche et de substrat P à droite .....	77
Figure III.21. Caractéristique de la région saturée des deux transistors en régime de faible injection à gauche et de forte injection à droite.....	78
Figure III.22. Courbes Gummel pour deux types de transistor. ....	79
Figure III.23. Structures MOSFETs de substrat N et P avec leurs profils du dopage .....	80
Figure III.24. Tension $I_{DS}$ en fonction de la tension $V_{GS}$ du MOSFET de type N (à gauche) et de type P (à droite) .....	82
Figure III.25. Caractéristique statique de la région saturée des deux MOSFETs .....	83
Figure III.26. Caractéristique du courant de drain $I_D$ en fonction de la tension du drain-source $V_{DS}$ des deux MOSFETs.....	83
Figure III.27. Capacités parasites en fonction de la tension du drain-source à $V_{GS}=0$ des deux types de MOSFETs .....	84
Figure III.28. Circuit équivalent simplifié de transistor IGBT type N (gauche) et type P (droite).....	86
Figure III.29. Circuit équivalent du transistor p-MOSFET-Bipolaire PNP à gauche et la vue en coupe d'une cellule élémentaire à droite .....	90
Figure III.30. Caractéristique statique du p-MOSFET en comparaison de p-MOSFET-Bipolaire PNP.....	90
Figure III.31. Layout du transistor composé MOSFET-Bipolaire à gauche. Le composant est symétrique avec les cellules élémentaires à droite .....	91
Figure III.32. Deuxième version du transistor composé MOSFET-Bipolaire.....	92
Figure III.33. Transistor composé 2xMOSFET-Bipolaire .....	92
Figure III.34. Transistors MOSFET à multiples zones actives à trois et à quatre dans une surface de $12 \times 12 \text{ mm}^2$ .....	93
Figure IV.1. Cartes PCB de commande rapprochée réalisées .....	100
Figure IV.2. Formes d'ondes en simulation et en expérimentation des structures en demi pont capacitif réalisées.....	101

Figure IV.3. Formes d'ondes en simulation et en expérimentation des structures demi pont capacitif réalisées .....	103
Figure IV.4. Commandes rapprochées à la base d'une alimentation bipolaire et d'un push-pull .....	106
Figure IV.5. Formes d'ondes d'un demi pont capacitif complémentaire PB-CMOS utilisant une commande à la base d'une alimentation bipolaire et d'un push-pull.....	106
Figure IV.6. Commande rapprochée à résonance.....	107
Figure IV.7. Commande rapprochée à pont complet.....	108
Figure IV.8. Bras d'onduleur complémentaire d'IGBT commandé par la topologie "onduleur en pont complet" .....	108
Figure IV.9. Topologie bootstrap classique.....	110
Figure IV.10. Topologie classique de l'autoalimentation .....	111
Figure IV.11. Technique d'alimentation Bootstrap bipolaire .....	113
Figure IV.12. Technique d'alimentation Bootstrap unipolaire.....	114
Figure IV.13. Courant de défaut du bootstrap unipolaire .....	115
Figure IV.14. Autoalimentation symétrique d'une structure complémentaire .....	116
Figure IV.15. Phase de blocage du transistor n-MOS dans le demi pont capacitif complémentaire .....	118
Figure IV.16. Formes d'ondes du demi pont capacitif avec circuit d'autoalimentation bipolaire. Résultats des simulations (haut) et résultats pratiques (bas) .....	120
Figure IV.17. Courant de défaut lors que le courant de charge est toujours positif .....	122
Figure IV.18. Hacheur série avec la commande rapprochée bipolaire autoalimentée à base de la structure pont complet (gauche). Formes d'ondes qualitatives (droite) .....	122
Figure IV.19. Topologie d'autoalimentation symétrique une capacité.....	124
Figure IV.20. Formes d'ondes des phases de recharge $C_s$ . Résultats simulations (haut). Résultat pratiques (bas) .....	125
Figure IV.21. Evolution de la tension $V_{Cs}$ pendant la phase de recharge. gauche : côté n-MOS, droite : côté p-MOS .....	126
Figure IV.22. Rendement en fonction de la topologie et de la puissance d'entrée .....	128



## **Introduction générale**

Depuis une décennie, l'électronique de puissance connaît une très forte pénétration dans les marchés industriels et grand public avec les applications contrôle de vitesse, prélèvement et raccordement de l'énergie de "qualité" sur le réseau. De manière plus concrète, l'électronique de puissance est aujourd'hui attendue pour réaliser des économies d'échelle au niveau énergétique que se soit sur les applications liées à la mobilité électrique mais aussi au niveau de l'alimentation des ordinateurs et baies informatiques, au niveau de l'électroménager et de la domotique via une meilleure utilisation de l'énergie et une augmentation des rendements de conversion. De fait, les onduleurs mono et triphasés, les gradateurs monophasés, les alimentations à découpage sont développées avec pour soucis majeurs, les performances (rendement, signature magnétique...) au coût minimum et cela pour des densités de puissance et des niveaux de fiabilité élevés. L'intégration massive de la partie active (hybride puis monolithique) de puissance et de commande correspond à l'un des défis de la discipline. En effet, quelque soit l'application et la structure de conversion, l'intégration hybride de la partie active offre déjà de nombreux avantages. L'étape suivante consistant à intégrer, sur le même support silicium, l'ensemble des composants de puissance et de commande devrait lui faire suite, avec cette fois, des retombées importantes attendues en terme de couplage et de partage des fonctionnalités (tenue en tension, refroidisseur...). Les densités de puissance seront alors proches du maximum à technologie donnée.

Le sujet de thèse s'inscrit dans cette dernière étape d'intégration avec pour objectif d'imaginer un nouveau concept de module de puissance qui se base sur l'intégration poussée de la partie active et qui pourrait répondre aux problématiques des structures de conversion, et puis d'étudier les contraintes et les avantages offerts par ce module.

En effet, le premier chapitre aborde les problématiques d'un module de puissance en termes de la compatibilité électromagnétique et d'environnement électronique associé en allant jusqu'à aborder le packaging de la structure. Les évolutions structurelles et fonctionnelles possibles sont ensuite présentées. A partir de cet état de l'art, la nouvelle structure de bras d'onduleur en technologie complémentaire, à la base de transistors sur substrats N et P, nommée Power Buffer – CMOS est proposée. Les avantages et les

inconvénients sont alors présentés et discutés vis-à-vis de la commande rapprochée, de la signature électromagnétique, de la mise en œuvre et du rendement. Ce nouveau concept pourrait offrir aux concepteurs d'électronique de puissance un nouveau choix encourageant.

Dans le deuxième chapitre, nous étudions avec plus de détails et de rigueur le gain au niveau de la compatibilité électromagnétique offerte par la nouvelle structure Power Buffer – CMOS en comparant à la structure bras d'onduleur classique. Ceci concerne la réduction du courant de mode commun qui est validé par la simulation Simplorer et l'expérimentation. Le rendement étant un point faible de ce nouveau concept causé par l'introduction du transistor de type P est également analysé et des pistes sont étudiées pour tenter d'en limiter les conséquences fâcheuses pour le rendement global de la structure de conversion.

Le troisième chapitre approfondi en particulier le point pénalisant communément connu concernant le mauvais état passant des transistors type P, dû principalement au rapport trois entre la mobilité et le coefficient de diffusion des électrons par rapport aux trous pour des niveaux de dopages similaires. En particulier, nous aborderons d'autres différences de caractéristiques statiques et dynamiques sur des composants de puissance tels que la diode, le bipolaire, le MOSFET et l'IGBT sur substrats N et P. Par ailleurs, l'état de l'art des composants complémentaires de type N et P est étudié afin de conclure la plage d'utilisation des transistors complémentaires existants. Des composants hybridés sont enfin proposés et conçus avec pour objectif d'améliorer l'état de passant des transistors sur substrat P.

Grâce à l'association des composants complémentaires dans la structure Power – Buffer CMOS, la commande rapprochée est simplifiée de manière naturelle. Ceci étant présenté dans le premier chapitre est validé de manière expérimentale dans le quatrième chapitre. Ce dernier chapitre est ensuite complété par l'étude de l'alimentation de la commande rapprochée. Les deux techniques principales étant analysées sont le bootstrap et l'autoalimentation. Ces deux techniques sont comparées en restant sur l'objectif de tout intégrer la partie commande et son alimentation au sein du transistor de puissance. Différentes évolutions sont finalement proposées afin d'atteindre cet objectif.

L'ambition majeure de ce travail de thèse s'inscrit dans une démarche engagée au G2ELab depuis plusieurs années pour tenter d'offrir des solutions efficaces, performantes et fiables pour les nouvelles architectures de puissance dites entrelacées ou intercellulaires pour

lesquelles un grand nombre de composants de puissance et d'environnements électronique associés sont nécessaires. La forte augmentation du nombre de composants à mettre en œuvre à puissances données pouvant conduire à une augmentation du coût et une réduction importante de la fiabilité, le processus d'intégration de ces structures actives multi-transistors est au cœur d'un projet ambition regroupant plusieurs travaux de thèse et dans lequel s'inscrit complètement le travail présenté dans ce mémoire.



# CHAPITRE I :

## Concept du module complémentaire de puissance Power Buffer - CMOS

### SOMMAIRE

---

#### *CHAPITRE I : Concept du module complémentaire de puissance Power Buffer - CMOS..... 5*

<b>I.1. Introduction.....</b>	<b>6</b>
<b>I.2. Problématique du module de puissance polyphasé.....</b>	<b>6</b>
I.2.1. Problème de la compatibilité électromagnétique.....	6
I.2.2. Environnement électronique.....	8
I.2.3. Packaging.....	10
<b>I.3. Etat de l'art et évolutions des composants des modules de puissance .....</b>	<b>12</b>
I.3.1. Co-intégration des transistors de puissance .....	12
I.3.2. Co-intégration de la périphérie électronique.....	13
I.3.3. Evolutions du packaging.....	16
<b>I.4. Structure complémentaire de puissance Power Buffer-CMOS.....</b>	<b>19</b>
I.4.1. Présentation de la technologie complémentaire de puissance .....	19
I.4.1.a. Composant complémentaire de puissance .....	19
I.4.1.b. Structure Power Buffer-CMOS.....	21
I.4.2. Avantages et inconvénients de la structure Power Buffer-CMOS.....	22
I.4.2.a. Compatibilité électromagnétique.....	22
I.4.2.b. Commande rapprochée.....	27
I.4.2.c. Mise en œuvre.....	29
I.4.2.d. Rendement .....	31
<b>I.5. Conclusion.....</b>	<b>32</b>
<b>Bibliographie.....</b>	<b>34</b>

## **I.1. Introduction**

Les modules de puissance sont de plus en plus utilisés dans les convertisseurs d'électronique de puissance. Dans ce chapitre, nous partons des problématiques du module de puissance vis-à-vis de la compatibilité électromagnétique, des périphériques électroniques à leur associer, du packaging et des interconnexions électriques des composants de puissance. Puis, l'état de l'art et les évolutions récentes des constituants qui contribuent à l'amélioration du module de puissance seront abordés. Nous proposons ensuite une nouvelle topologie de module de puissance utilisant des composants de technologies complémentaires qui sont des composants à base de substrats de types N et P. Les avantages et les inconvénients de cette structure seront discutés afin de faire émerger une nouvelle approche modulaire pouvant être performante, et offrant un nouveau degré de liberté pour le concepteur d'électronique de puissance.

## **I.2. Problématique du module de puissance polyphasé**

### **I.2.1. Problème de la compatibilité électromagnétique**

Dans les modules d'électronique de puissance, la face arrière des transistors de puissance est normalement brasée sur des substrats métallisés de type SMI (Substrat Métallisé Isolé) ou DBC (Direct Bonded Copper) selon une distribution planaire des puces. Les contacts en face arrière assurent trois fonctions essentielles : la connexion électrique, un passage pour l'évacuation de la chaleur et le maintien mécanique des puces. Les substrats sont constitués d'une couche diélectrique recouverte de métallisations en cuivre ou en aluminium sur les deux faces (substrat DBC) ou bien d'une couche de cuivre fine d'un côté et d'un support épais en aluminium ou en cuivre sur l'autre face (SMI) [1][2]. Les couches conductrices en faces avant sont généralement gravées pour recevoir plusieurs composants de puissance et permettre l'interconnexion de ces derniers pour constituer le module de puissance. Les faces arrière des substrats métalliques sont généralement reliées au refroidisseur à travers la semelle afin de dissiper les calories des puces. Par ailleurs, le refroidisseur offrant une grande surface de contact avec l'environnement extérieur du convertisseur statique, il est habituellement connecté à la masse pour des raisons de sécurité.

Des capacités parasites de formes planes sont donc constituées des armatures métalliques formées par les pistes en cuivre d'un coté et le support métallique de l'autre, les deux étant séparées par la couche diélectrique. Dans un module de puissance de type bras d'onduleur, on peut classer les capacités parasites ainsi créées en deux grandes familles. L'une d'elles sera nommée  $C_{\text{face}}$  et correspond aux pistes en cuivre servant au report des puces de puissance en regard du substrat métallique comme armatures. L'autre sera nommée  $C_{\text{piste}}$  et correspond aux autres capacités parasites du modules créés par des pistes en cuivre toujours en vis-à-vis avec la semelle du module de puissance. Par exemple, ces pistes pourront correspondre aux électrodes de commande des transistors de puissance.

Or, la face arrière des puces de puissance des composants à structure verticale correspond à l'une des électrodes du composant comme le drain pour un VDMOS, le collecteur pour un IGBT et la cathode pour une diode de puissance de type PIN. De leurs côtés, les autres pistes conductrices gravées en face avant du substrat reçoivent en général des bondings ou des nappes de bonding elles aussi connectées à un ou plusieurs électrodes des composants de puissance. Cela signifie que les capacités parasites créées par les structures physiques du module de puissance peuvent être mises en évidence au niveau de la schématique du module comme cela est fait sur la Figure I.1 à droite.

L'électronique de puissance étant basée sur le découpage des grandeurs électriques, certaines électrodes d'un bras d'onduleur de puissance sont donc soumises à de forts  $dv/dt$ . Ces brusques variations de potentiel excitent les capacités parasites précédemment identifiées et peuvent conduire à la circulation de perturbations électromagnétiques conduites de mode commun. Ainsi, lorsque l'électrode de drain subit un gradient important, un courant de mode commun apparaît et circule vers la masse en traversant certaines capacités parasites. Ce courant peut perturber l'environnement électronique voisin par l'intermédiaire du système de refroidissement. La Figure I.1 illustre le module classique d'un bras d'onduleur et son schéma équivalent en précisant les capacités parasites et les chemins de propagation des courants de mode commun. Les chemins et sources essentielles qui causent la CEM conduite correspondent aux capacités  $C_{\text{pisteS1}}$  et  $C_{\text{faceN2}}$  connectées aux points milieux des bras d'onduleur et dont les potentiels sont flottants. En fonction du nombre et de la surface des capacités parasites entre les électrodes de puissance et la masse, le courant de

mode commun augmente en amplitude et peut devenir assez complexe à gérer dans les cas des convertisseurs polyphasés.

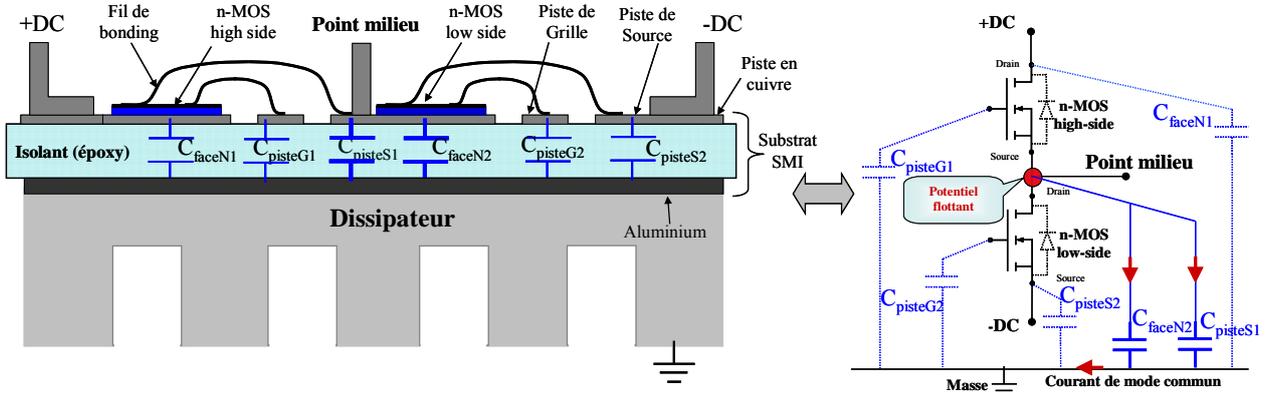


Figure I.1. Capacités parasites dans un bras d'onduleur classique

Plusieurs techniques ont été étudiées en travaillant sur la loi de commande [3][4], les chemins de propagation [5][6][7] mais aussi les filtres passifs [8][9] ou actifs (bras supplémentaire pour le recyclage des perturbations) [10][11] pour limiter l'impact de la CEM vers les dispositifs périphériques. Ces solutions peuvent entraîner des surcoûts au niveau du système de conversion par le fait d'ajouter des composants actifs et passifs dans le convertisseur et accroître sensiblement l'effort de conception.

Outre le problème de la compatibilité électromagnétique conduite, il existe d'autres problèmes liés aux dispositifs périphériques de transistor de puissance qui seront abordés au paragraphe suivant.

## I.2.2. Environnement électronique

Les périphériques électroniques d'un transistor de puissance sont constitués généralement du système permettant le transfert isolé du signal commande logique, de la commande rapprochée amplifiant l'ordre de commande et de son alimentation comme le montre la Figure I.2 ci-dessous. De fait, la commande rapprochée [12] assure à la fois plusieurs fonctions telles que :

- l'isolation galvanique entre commande externe et commande rapprochée
- la mesure de courant, tension pour la protection contre la surtension et la surintensité [13]
- l'observation de température
- l'élaboration du signal de commande et l'amplification du signal

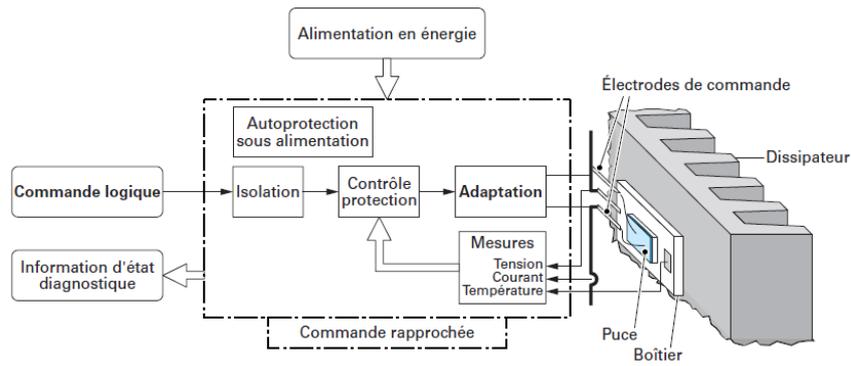


Figure I.2. Environnement électronique d'une fonction interrupteur [14]

Pour un bras d'onduleur à base de transistors de puissance (MOSFET ou IGBT) comme illustré par la Figure I.1, chaque transistor de puissance a besoin d'un système isolé de contrôle, commande. De plus, le transistor high side, dont la référence (source, émetteur en cas de MOSFET, IGBT) est connectée au potentiel flottant, requiert un circuit de commande rapprochée qui est référencé à ce potentiel. Par conséquent, l'alimentation en énergie pour la commande doit également être flottante [15]. Ce type d'alimentation se trouve problématique pour les applications à la tension élevée ou dans les structures polyphasées de part les contraintes d'isolation imposées et le nombre croissant de systèmes à mettre en oeuvre. De nombreuses solutions sont étudiées et nous en aborderons certaines dans la prochaine partie du chapitre.

Par ailleurs, les interactions entre la partie puissance et le circuit de commande par l'intermédiaire des éléments parasites (capacités parasites et inductances d'interconnexion) rendent très complexe la gestion de la CEM, surtout pour les structures polyphasées. La Figure I.3 ci-dessous décrit des échanges thermiques ainsi que les sources ou lieux des interactions CEM entre le transistor de puissance et les dispositifs périphériques, en particulier les alimentations externes. Plusieurs techniques ont été développées, que ce soit à travers des procédés d'intégration hybride ou monolithique, pour optimiser les couplages électromagnétiques, simplifier la mise en oeuvre, réduire le volume et augmenter la performance ainsi que la fiabilité du module. Nous faisons un succinct état de l'art de ces solutions dans le prochain paragraphe.

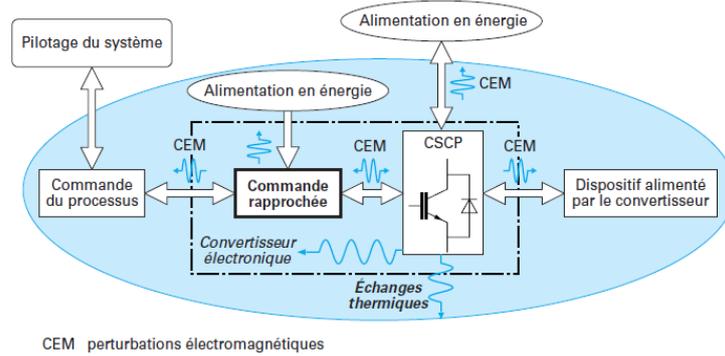


Figure I.3. Interactions du transistor de puissance avec la périphérie électronique [14]

### I.2.3. Packaging

Le packaging d'un module de puissance joue un rôle primordial pour le bon fonctionnement de la puce de puissance. En effet, le packaging assure à la fois l'isolation électrique, l'interconnexion électrique du transistor de puissance avec les autres composants de puissance et avec son environnement électronique rapprochée, ainsi que l'échange thermique avec le système de refroidissement. De plus, l'encapsulation doit offrir une tenue mécanique de l'ensemble des composants constitutifs et protéger les éléments sensibles contre les attaques chimiques en particulier l'oxydation. Tout cela doit être obtenu à un coût adéquat de réalisation du module vis-à-vis de l'offre commerciale et pour une durée de vie et un niveau de robustesse suffisant.

La Figure I.4 présente le principe d'assemblage d'un module IGBT 2D classique, illustré par l'exemple d'un module IGBT de puissance (600V-400A). Dans ce module, les puces isolées sont toutes rapportées sur le même substrat servant à la tenue mécanique de l'ensemble et à la surface de transfert thermique entre les puces et le refroidisseur. Toutes les connexions électriques entre les puces à l'intérieur du boîtier sont prises en charge par les fils de bonding. Ces derniers sont responsables des principales limites d'un module 2D. D'un côté, l'usage des fils de bonding rend inexploitable les solutions favorisant le refroidissement doubles faces. Ceci limite les densités de puissance évacuables et donc le calibre en courant des puces de puissance. En outre, cela peut également entraîner une augmentation significative du nombre de puces à mettre en parallèle ou de la surface du refroidisseur et donc du volume du module de puissance. De l'autre côté, les fils de bonding introduisent des inductances parasites au niveau des mailles de commutation. Ceux-ci contribuent à

l'existence de surtensions aux bornes des transistors de puissance, ce qui apparaît lors des phases de commutation. De plus, les couplages électromagnétiques induits par la présence des phénomènes inductifs parasites au niveau des interconnexions peuvent causer des perturbations entre la partie puissance et la partie commande, tout comme les lieux des prises de contact jouent un rôle déterminant à ce niveau là. Toutes ces limites sont clairement démontrées dans [16]. Enfin, les modules de puissance à base de fil de bonding présentent des limites de robustesse liées aux cyclages thermomécaniques que subissent les systèmes d'interconnexion [17][18].

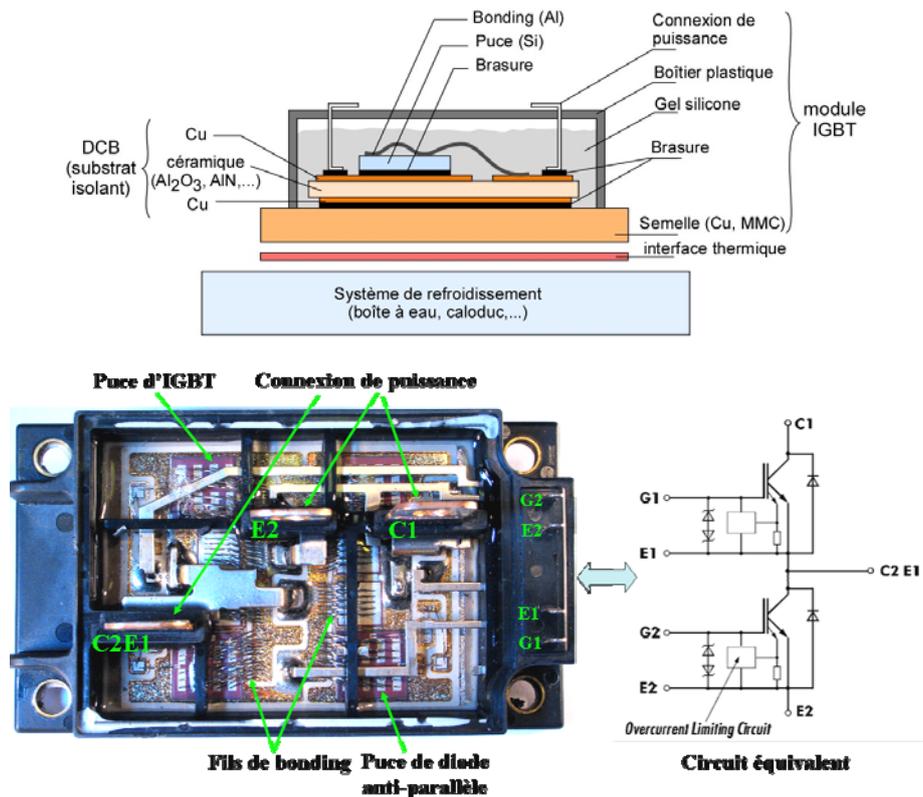


Figure I.4. haut : schéma d'assemblage du module classique d'un IGBT de puissance [19], bas : module d'IGBT Fuji 2MBI400N-060 (600V-400A) ouvert et son circuit équivalent [20]

Dans ce contexte, de nouvelles architectures de module et de nouvelles topologies sont nécessaires pour pallier à ces problèmes et améliorer les structures de conversion qui sont de plus en plus complexes.

## **I.3. Etat de l'art et évolutions des composants des modules de puissance**

Dans ce paragraphe, nous aborderons les évolutions techniques et technologiques du composant semi-conducteur au packaging afin de répondre aux problématiques exposées ci-dessus.

### **I.3.1. Co-intégration des transistors de puissance**

La cohabitation et l'intégration monolithique des composants en électronique ont pour objectif de limiter le nombre et l'importance des interconnexions externes ainsi que d'augmenter la densité de puissance du module. En même temps, la réduction des interconnexions favorise la signature électromagnétique du module de puissance et augmente sa robustesse globale. L'intégration monolithique des transistors basses tensions, faibles et moyennes puissances est connue avec le circuit CMOS et Smart Power. Pour les moyennes et hautes tensions, le problème de l'isolation électrique est plus complexe à gérer. Il existe quelques solutions basées sur le principe de l'auto-isolation par jonction polarisée en inverse ou bien basées sur les technologies SOI (Silicon on Insulator) [21]. Les modules Smart Power sont principalement associés à des structures de conversion mono ou bi-interrupteur avec l'intégration du circuit électronique basse tension au cœur d'un transistor de puissance. Pour les applications haute tension multi-transistors de puissance, caractéristiques des structures de conversion polyphasées, le recours à des techniques plus complexes s'avère rapidement obligatoire. L'intégration monolithique de plusieurs transistors de puissance à structure verticale est possible en se basant sur la technologie SOI. On trouve des fabricants tels que XFAB (jusqu'à 650V) [22] utilisant le diélectrique Trench et Panasonic Corp. (jusqu'à 350V) employant Silicon Oxide Film comme diélectrique [23]. Les transistors proposés sont basés sur la technique up-drain qui ramène le drain en face avant du transistor grâce à un caisson N<sup>+</sup>. Ces composants servent aux applications en forte tension mais bas courant. La Figure I.5 montre la vue en coupe d'un MOSFET issu d'une technologie SOI.

Au G2ELab, nous travaillons sur une approche bi-puces qui permettrait de soulager les contraintes d'isolation inhérentes dans une monopuce de puissance devant contenir plusieurs transistors de puissance constituant des bras d'onduleur. Nous aurons l'occasion d'y revenir dans ce chapitre.

Si d'un côté, les solutions Smart power offrent la co-intégration monopuce efficace des parties puissance et commande, l'effort d'intégration fonctionnelle est toujours en cours pour les composants de puissance [24] de plus fortes tensions.

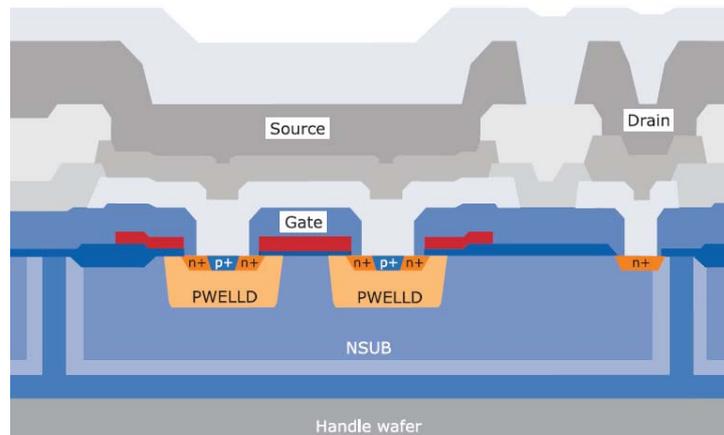


Figure I.5. Vue en coupe d'un MOSFET utilisant l'isolation Trench

### I.3.2. Co-intégration de la périphérie électronique

Pour améliorer le comportement et réduire les interactions et les couplages négatifs entre l'environnement électronique et le transistor de puissance, l'intégration des dispositifs périphériques au plus près du ou des composants de puissance voire au sein de la puce de puissance est envisagée. En effet, l'intégration hybride permet d'assembler plusieurs composants sur une même semelle, ce qui conduit à des modules de forte puissance regroupant les fonctions de coupure d'un bras d'onduleur complet et certaines fonctions critiques comme des protections (voir Figure I.4). Les circuits intégrés contenant des drivers complets sont disponibles désormais [25][26][27]. L'intégration de l'alimentation des périphériques électroniques reste encore un chantier important avec plusieurs pistes envisagées plus ou moins performantes, plus ou moins intégrables. On peut citer entre autres les alimentations isolées intégrées de type Vicor ou Traco ou encore des travaux de recherche encore plus poussés dans ce sens [28][29][30]. La Figure I.6 montre le concept 3D de convertisseur isolé DC/DC qui associe l'intégration monolithique des circuits CMOS et leurs commandes à l'intégration hybride du transformateur, les structures CMOS ainsi que les capacités et les inductances d'entrée, sortie sur un même substrat silicium. On peut également citer le système bootstrap [31][32] ou l'approche auto-alimentation [33] dont certaines parties peuvent être directement intégrées au sein du composant de puissance.

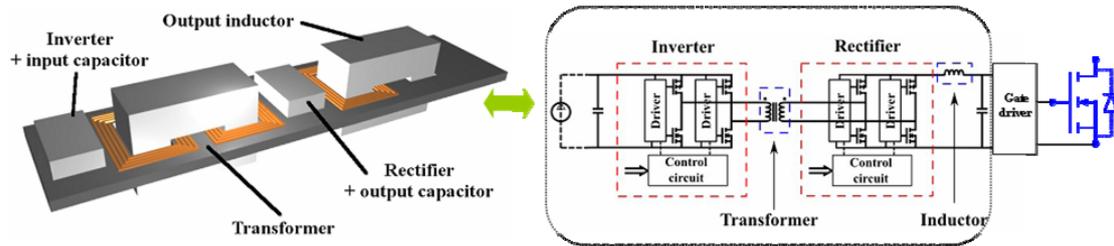


Figure I.6. Convertisseur DC/DC isolé (3,3 V, 1W) [28][30]

L'intégration fonctionnelle monolithique doit permettre de poursuivre davantage l'effort d'intégration des périphériques électroniques en localisant au sein même de la puce l'ensemble de ces derniers. Cette technique nous permet d'avoir une optimisation maximale en terme de connexions, de fiabilité et conduit également à la maîtrise des perturbations CEM. Pour autant, cette approche nécessite des moyens d'isolation électrique adaptés et elle conduit souvent à un niveau de promiscuité important. De nombreuses techniques d'isolation sont employées pour isoler la partie de commande (circuit CMOS) et le transistor de puissance. A titre d'exemple, l'isolation par jonction est appliquée dans des modules type Smart Power de VDMOS 600V [34]. D'autres techniques d'isolation sont aussi utilisées comme l'emploi de membranes isolantes s'illustrant dans [35], de la technologie SIMOX (Separation by IMplanted OXYgen) [36] et de la technologie LEGO (Lateral Epitaxial Growth over Oxide) [37].

Malgré les gains incontestables qu'apportent ces dernières technologies d'intégration, il est important d'estimer le surcoût et de chercher donc la technologie la plus adaptée aux offres commerciales. Partant de l'idée d'une intégration à bas coût, plusieurs travaux de recherches au G2ELab sont récemment réalisés avec l'engagement de l'intégration monolithique à bas coût. Il s'agit de faire cohabiter les fonctions électroniques nécessaires au sein du transistor de puissance avec peu de modifications du procédé technologique de fabrication de ce transistor. En effet, partant de l'étage d'isolation, la technique d'isolation optique [38][39] et le transformateur sans circuit magnétique [40][41] sont intégrés sur le substrat silicium (voir la Figure I.7). Ensuite, une structure N-MOS de commande rapprochée est incorporée au cœur du transistor de puissance en limitant les modifications de son procédé de fabrication [42]. Les protections contre les surtensions et les surintensités sont étudiées dans [13].

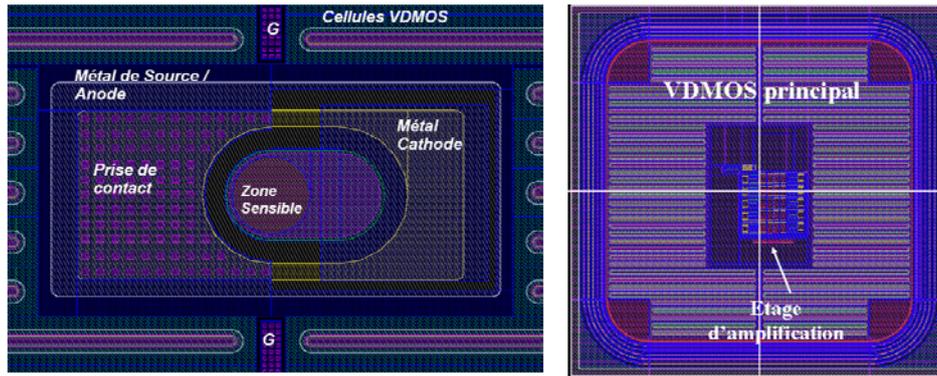


Figure I.7. Layout d'une solution d'isolation optique (gauche) [39] et l'étage d'amplification (droite) [42] au sein du VDMOS principal

Parmi les techniques d'alimentation flottante pour la commande du transistor high side comme la pompe de charge ou le bootstrap dans lesquels la diode de puissance ne peut pas s'intégrer monolithiquement sur le même substrat que le transistor principal, la solution, nommée l'autoalimentation, est montrée intéressante [43][44] et puis [39]. Cette dernière se base sur le principe d'un régulateur de tension impulsif qui recharge périodiquement la capacité de stockage par prélèvement de l'énergie sur la partie puissance à chaque commutation. La capacité alimente ensuite le transistor de puissance pour la prochaine commutation [45]. La Figure I.8 présente le schéma de principe de la structure de base et la solution d'intégration de cette structure au cœur du transistor de puissance [46]. De plus, dans certaines conditions d'utilisation, l'autoalimentation permet de réduire naturellement les pertes par commutation en recyclant une partie de l'énergie de commutation ce qui améliore le rendement du convertisseur [33]. Plusieurs évolutions favorisant son intégration sont développées dans [39] comme le topologie Bipolaire/MOSFET ou Thyristor/IGBT.

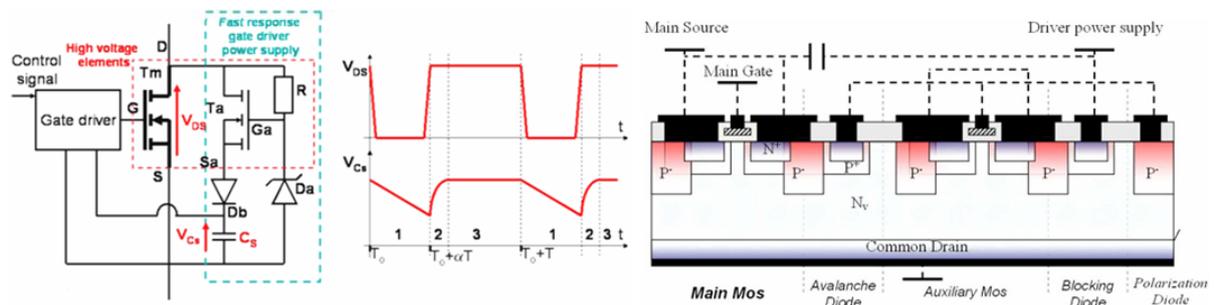


Figure I.8. Schéma principe d'autoalimentation MOSFET-MOSFET et sa version intégrée monolithique [33]

Par ailleurs, les études portant sur l'intégration monolithique de la partie commande rapprochée et son alimentation sont présentées dans [40]. La Figure I.9 montre la puce de la

commande rapprochée intégrée avec l'isolation par le transformateur sans circuit magnétique, le circuit d'élaboration du signal de commande et la fonction d'autoalimentation ainsi que le circuit de monitoring de tension aux bornes de la capacité de stockage. Cette puce de commande et la capacité de stockage sont ensuite reportées sur le transistor MOSFET de puissance par la technologie Flip-chip utilisant les bumps de connexion.

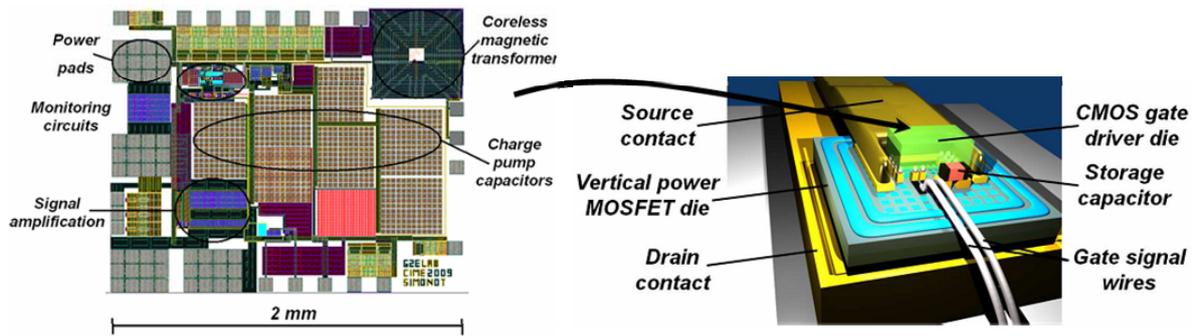


Figure I.9. Commande rapprochée et l'autoalimentation intégrées [40]

### I.3.3. Evolutions du packaging

Comme présenté ci-dessus, la technologie de packaging 2D utilisant des interconnexions de type fils bonding cause des effets inductifs parasites et limite le refroidissement en face avant de la puce de puissance. La troisième dimension doit donc être utilisée pour faciliter la dissipation thermique. La Figure I.10 présente le flux thermique dans un module de puissance de technologie 2D et 3D.

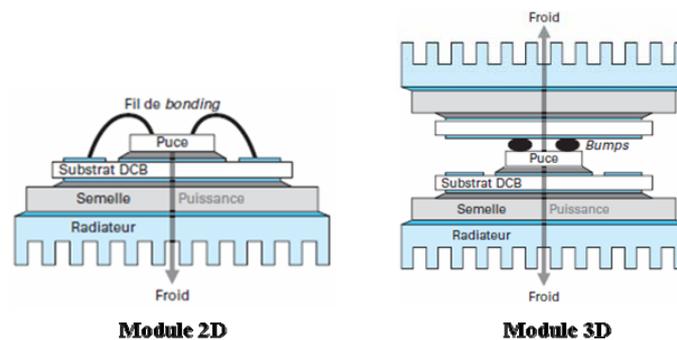


Figure I.10. Flux thermique dans un module de puissance [1]

Dans le module 3D, la puce est souvent brasée sur le substrat métallique. De nombreuses technologies de brasure sont actuellement maîtrisées telles que

- La technologie *Direct solder interconnection* [47] se base sur la brasure de la métallisation de la puce sur le substrat DBC ou SMI.

- La technologie *Solder bump interconnection* [48] est souvent utilisée en microélectronique en déposant sur la métallisation de la puce des billes de brasure.
- La technologie *Metal post interconnection* [47] s'appuie sur la brasure des poteaux en cuivre sur la métallisation face avant de la puce et le DBC supérieur.
- La technologie *Dimple array interconnection* [47] se fonde sur la déformation d'une plaque de cuivre flexible qui est brasées sur la métallisation de la puce.

Il existe également la technologie de contact pressé communément appelé *press-pack* qui relie la puce et la plaque en cuivre par pression [49] et encore technologie de l'électrodéposition servant à électrodéposer des poteaux en cuivre ou des nano fils de cuivre comme métallisation de contact de la puce [50]. Ces approches favorisent l'empilement 3D sans atteindre significativement la fiabilité de l'assemblage par insertion de régions souples ou en relâchant certains degrés de liberté.

En partant de la conception 3D, E. Vagnon a réalisé dans son travail de thèse un module d'une cellule de commutation se basant sur l'approche 3D nommé *Power Chip on Chip (P-CoC)*.

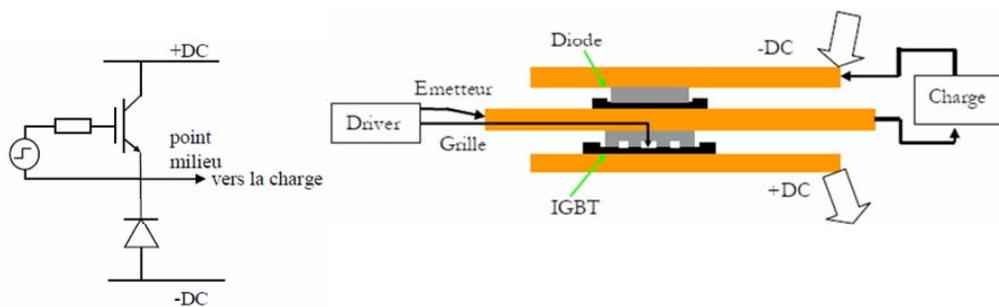


Figure I.11. Schéma électrique (gauche) et le module 3D P-CoC (droite) d'une cellule de commutation [16]

La Figure I.11 ci-dessus présente le module P-CoC d'une cellule de commutation. Dans ce module, les puces de puissance sont directement insérées au sein d'une structure de type bus barre tri couches correspondant aux électrodes du bus DC et au point milieu de la cellule de commutation ou du bras d'onduleur. Les plaques du bus barre prennent donc en charge des échanges thermiques entre les puces de puissance et l'environnement via l'insertion du module P-CoC entre deux refroidisseurs thermiques. Ce module P-CoC présente des gains significatifs au niveau de la CEM conduite et rayonnée et au niveau de l'impédance parasite

de la cellule de commutation grâce à une très forte réduction des mailles inductives et des capacités parasites présentes au niveau de la cellule de commutation. En effet, la Figure I.12 montre les capacités parasites de module plan et P-CoC. Dans une cellule de commutation, la source émettrice du courant de mode commun est principalement la capacité  $C_{C3}$  qui est reliée à la masse et au point milieu dont le potentiel varie fortement de  $-DC$  à  $+DC$ . Dans le module plan, la capacité  $C_{C3}$  est formée par les deux pistes en cuivre et l'époxy comme isolant électrique. Par contre, dans le cas du module P-CoC, la capacité parasite  $C_{C3}$  se retrouve "court-circuitée" par les électrodes de puissance du bus continu  $\pm DC$  ce qui limite la création de perturbations conduites de mode commun. Les mesures expérimentales du courant de mode commun dans [16] ont montré la réduction importante en cas du module P-CoC. Par ailleurs, le module P-CoC présente une inductance de maille parasite qui est environ de 50% plus faible que celle du module plan.

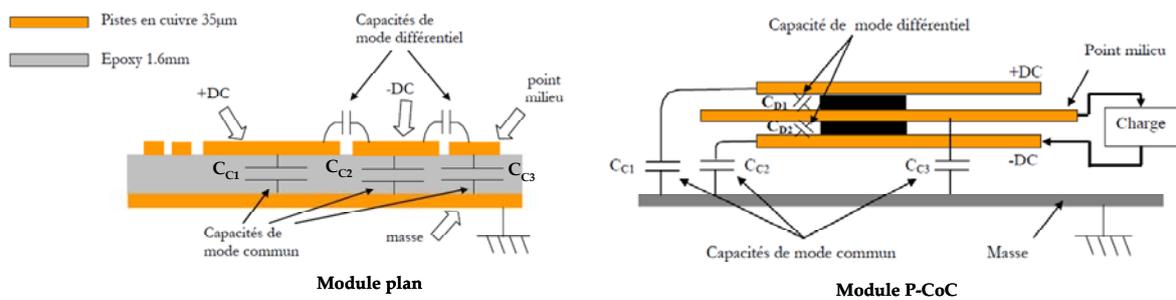


Figure I.12. Capacités parasites du module plan et module P-CoC

Fort de ces avantages vis-à-vis de la CEM, des échanges thermiques et des effets parasites, l'approche P-CoC se révèle prometteuse pour le convertisseur polyphasé. La Figure I.13 ci-dessous présente le concept du module P-CoC d'un onduleur triphasé.

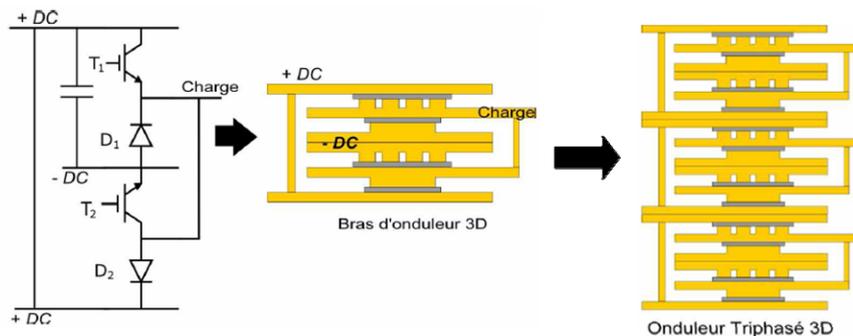


Figure I.13. Module P-CoC d'un bras et d'un onduleur triphasé [16]

Depuis peu, l'industrie développe des boîtiers présentant des architectures similaires avec par exemple le module NexFet de Texas Instrument [51] étant illustré par la Figure I.14 ci-dessous.

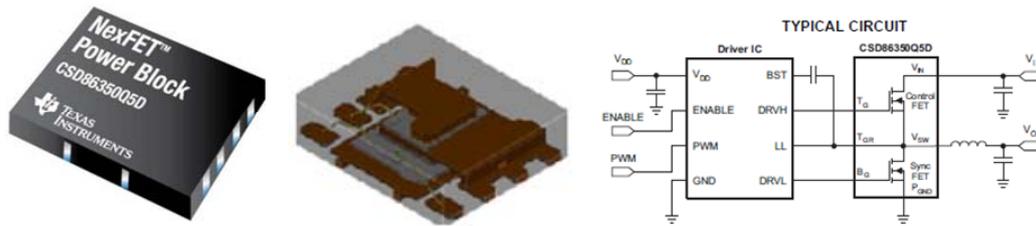


Figure I.14. Module d'un bras d'onduleur de puissance NexFET CSD86350Q5D (25V, 40A) et son circuit équivalent

## I.4. Structure complémentaire de puissance Power Buffer-CMOS

Nous proposons dans ce paragraphe une nouvelle topologie d'onduleur de puissance en employant le composant de technologie complémentaire. L'état de l'art du composant complémentaire sera exposé avant de discuter sur les points gagnants et perdants de cette nouvelle structure. Le concept du nouveau module de puissance basé sur cette dernière structure sera ainsi montré.

### I.4.1. Présentation de la technologie complémentaire de puissance

#### I.4.1.a. Composant complémentaire de puissance

Dans les applications d'électronique de puissance, nous voyons assez rarement des convertisseurs utilisant le composant de type P [52][53]. Ce dernier s'emploie essentiellement dans les circuits électroniques de basse puissance et surtout basse tension comme les circuits bien connus CMOS pour lesquels la simplicité d'intégration et de mise en œuvre prime sur la performance. L'absence de transistors P en électronique de puissance est principalement due aux mauvaises caractéristiques statiques et dynamiques de ces derniers par rapport à celles des composants de type N. Ceci est causé principalement par le fait que la mobilité des électrons est relativement trois fois plus que celle des trous pour des niveaux de dopages similaires. En effet, un bref état de l'art des composants commercialisés permet de comparer les caractéristiques et performances intrinsèques des deux types de composants et d'avoir une vue sur la disponibilité de composants de puissance sur substrat P performants.

La Figure I.15 ci-dessous présente les deux paramètres principaux, la résistance à l'état passant et la capacité parasite d'entrée, qui impactent respectivement sur les caractéristiques statiques et dynamiques des composants de puissance. Les composants choisis sont des

MOSFETs possédant des calibres en courant proches, contenu dans des boîtiers identiques et présentant la même valeur de tension nominale.

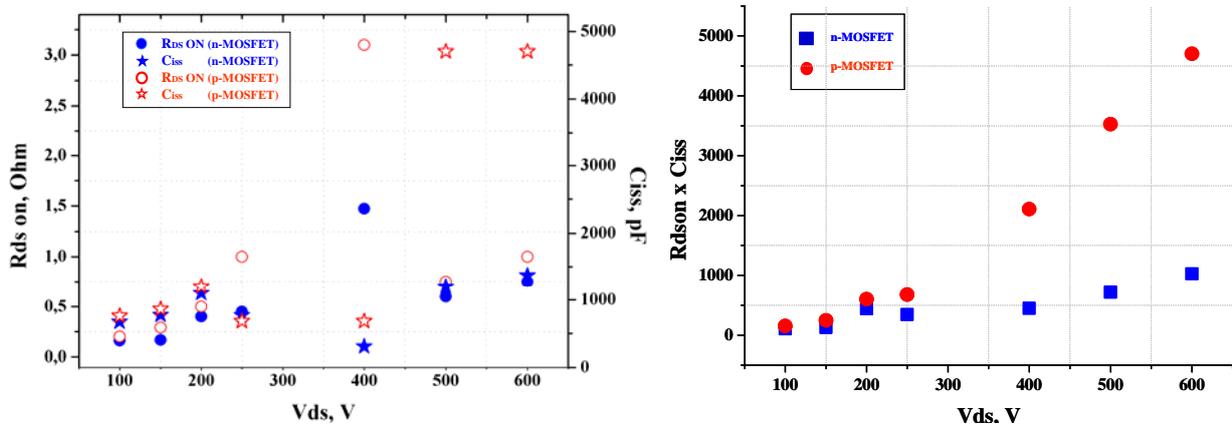


Figure I.15. Etat de l'art des composants MOSFETs de types P et N commercialisés

Nous constatons que pour les composants ayant la tension nominale inférieure ou égale à 200V, les caractéristiques de deux types de composants sont proches ce qui est assez encourageant. Par contre, plus la tension nominale est importante plus le composant de type P présente de mauvaises caractéristiques que se soit en statique ou en dynamique. A titre d'exemple, quand la tension  $V_{ds}$  varie entre 250 V et 400 V, la capacité d'entrée du p-MOSFET n'est pas beaucoup plus importante que celle du n-MOSFET. Par contre, la résistance  $R_{ds\ on}$  du p-MOSFET est de deux à trois fois plus grande que celle du n-MOSFET, ce qui entraîne plus de pertes par conduction chez les p-MOSFETs. Contrairement aux composants plus hauts en tension ( $V_{ds} = 500, 600V$ ), les capacités  $C_{iss}$  des p-MOSFETs sont trois fois plus grandes que celles des n-MOSFETs. Les p-MOSFET à ce calibre de tension commutent donc plus lentement et demandent plus d'énergie de commande lors des phases de commutation que les n-MOSFETs. C'est également la raison pour laquelle, il est difficile de trouver des MOSFETs de type P plus haut en tension. Une interprétation possible de cet état des lieux correspond au fait qu'il existe un marché en basses tensions pour les composants sur substrat P, marché qui a conduit à un travail important des fondeurs pour en optimiser les caractéristiques. Pour les basses tensions, lorsque la zone de tenue en tension contribue que partiellement au  $R_{Dson}$ , l'optimisation est peut être plus envisageable car plus dépendantes de données physiques et géométriques au niveau des cellules MOSFET. Par contre, lorsque l'écart sur le  $R_{Dson}$  se creuse et que la part de la zone de tenue en tension devient plus importante, l'optimisation de la résistance à l'état passant est moins facile et les

transistors p-MOSFET sont rapidement déclassés. Mais qu'en serait-il si nous disposions de CoolMOS de type P ?

#### I.4.1.b. Structure Power Buffer-CMOS

Comme nous avons montré ci-dessus, plus le niveau de tension est important plus les composants de type P sont incontestablement moins bons que ceux de type N en termes de caractéristiques statique et dynamique. Il apparaît donc de premier abord logique de tenter d'en limiter l'utilisation au profit des transistors de type N comme cela est devenu massivement le cas en électronique de puissance. Par contre, il peut être intéressant de considérer les choses non pas à l'échelle des performances intrinsèques de chacun des composants consistant à une structure d'électronique de puissance mais plus de manière globale. En particulier, avec la montée en fréquence pour la compacité des structures de conversion mais aussi avec la mise en place de normes vis-à-vis en particulier des perturbations CEM, l'optimisation globale d'un convertisseur statique peut s'avérer différente de celle de chacun de ces constituants [54]. Il en va de même de la connectique et du refroidissement des structures qui tendent aujourd'hui à fortement évoluer et qui pourraient être impactées par l'introduction de structures complémentaires de puissance. Aussi, nous avons tenté de remettre en cause le retrait des transistors complémentaire sur substrat P dans les structures de conversion pour voir d'un point de vue global quels pouvaient être les gains et les inconvénients de ces choix. Dans ce contexte, nous proposons une nouvelle topologie de puissance comme le montre la Figure I.16. Cette topologie est constituée d'un transistor de type N et l'autre nommé complémentaire étant celui de type P pour former un bras d'onduleur. Nous pouvons constater que le choix des connections est tels que les sources sont communes deux à deux et qu'ils ne sont pas connectés l'un à l'autre comme la structure CMOS classique. Le drain du transistor N est connecté au +DC du bras d'onduleur alors que le drain du transistor P est connecté au -DC du bus DC. Ce bras d'onduleur de technologie complémentaire est nommé PB-CMOS (Power Buffer Complementary Metal Oxide Semiconductor).

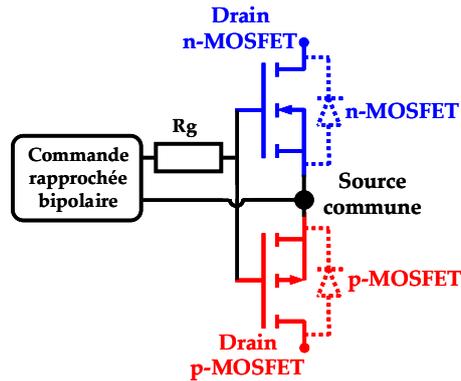


Figure I.16. Topologie Power Buffer-CMOS

A part l'inconvénient dû au transistor de type P, nous allons montrer par la suite les gains offerts par la topologie PB-CMOS vis-à-vis de la CEM, de la thermique, de la commande rapprochée et de son alimentation ainsi que la simplification de sa mise en œuvre.

## I.4.2. Avantages et inconvénients de la structure Power Buffer-CMOS

### I.4.2.a. Compatibilité électromagnétique

Les perturbations conduites de mode commun sont l'une des principales difficultés de la CEM conduites des convertisseurs d'électronique de puissance. Leur étude est complexe tout comme la recherche de solutions. Souvent des filtres de mode commun sont nécessaires et engendrent des surcoûts importants. La source émettrice du courant de mode commun se trouve liée aux variations de tensions imposées aux capacités parasites du montage par les commutations du convertisseur (voir la Figure I.1). Le lieux principal des sources de perturbations de mode commun s'avère être en particulier la capacité qui connecte au point milieu du montage à la masse. Cette dernière subit des variations de tension importantes, en conséquence de quoi, plus la capacité est grande plus le courant de mode commun augmente comme le montre l'équation (I.1)

$$I_{com} = C \frac{dV_m}{dt} \quad (I.1)$$

Dont  $I_{com}$  est le courant de mode commun qui est produit par la capacité parasite C subissant une forte variation de la tension à ses bornes, tension issue du point milieu  $V_m$  par rapport à la masse du montage.

Revenons un instant sur plusieurs techniques employées ou étudiées afin de réduire la CEM conduite pour en comprendre la ou les démarches. Elles consistent à tenir compte du problème lors de l'élaboration de la commande MLI des convertisseurs [3][4] pour réduire les courants de mode commun par un recyclage de ceux-ci. Par ailleurs, en modifiant le chemin de propagation de courant de mode commun, nous pouvons symétriser et recycler ce courant dans le convertisseur lui-même afin d'éviter donc l'émission vers les dispositifs périphériques du convertisseur. Ces techniques de recyclage et symétrisation sont bien décrites dans [5] et puis [6]. Par ailleurs, partant d'un même principe de recyclage, la solution présentée dans [11] et [55] utilise un arrangement multicouche alternée de busbarre d'alimentation et celui de la masse pour augmenter les capacités parasites  $C_y$  entre les bus DC et la masse. La Figure I.17 illustre une topologie busbarre de sept couches. Cette solution est simple à mettre en œuvre mais elle n'est pas fonctionnelle en basse fréquence.

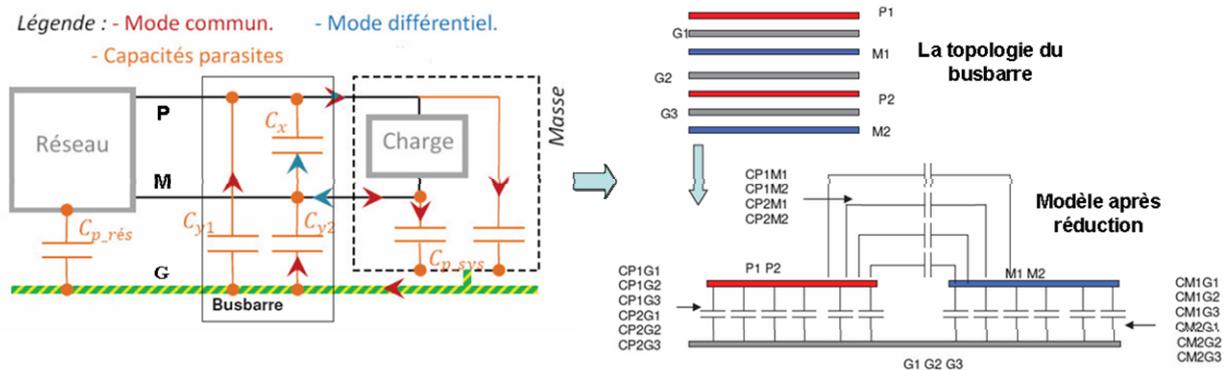


Figure I.17. Solution busbarre pour le recyclage du courant de mode commun [11]

De plus, il existe également la technique de recyclage en cas d'un onduleur par l'utilisation d'un nouveau bras fonctionnant à vide. Le bras ajouté doit commuter inversement par rapport au bras chargé afin d'annuler totalement le courant de mode commun. Cette technique semble intéressante vis-à-vis de la réduction de la CEM conduite. En revanche, le bras d'onduleur supplémentaire est difficile à synchroniser avec ceux qui sont en charge.

Les dernières solutions étant les plus classiques consistent à introduire des filtres passifs et actifs. Les études réalisées concernant les filtres de mode commun sont dédiées à leur intégration et l'amélioration de leurs performances [56] et [57].

Par contre, aucune des solutions présentées ci-dessus traite le problème à l'origine c'est à dire au niveau de la source du problème qui correspond à la présence de forts  $dv/dt$

appliqués sur des capacités parasites plus ou moins importantes et conduisant à la circulation d'un courant parasite perturbateur. La topologie complémentaire Power Buffer-CMOS, entre autres, présente naturellement un avantage important concernant la réduction du courant de mode commun. En effet, les capacités parasites de cette structure sont illustrées par la Figure I.18.

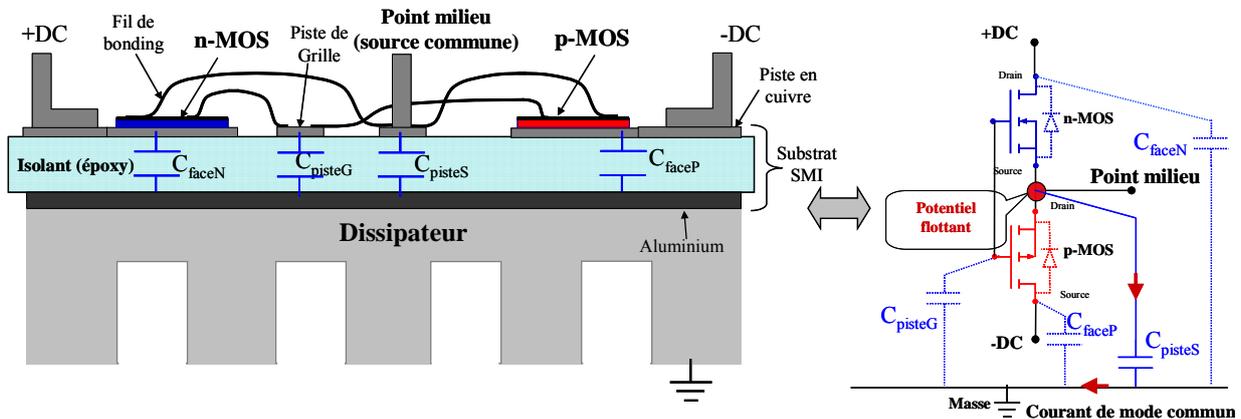


Figure I.18. Structure demi pont capacitif

Compte tenu des connexions de la topologie, les deux capacités  $C_{faceN}$  et  $C_{faceP}$  sont connectées aux potentiels du bus DC, des points froids qui varient peu au niveau de la tension. Les capacités qui restent connectées au point flottant sont la capacité de la piste  $C_{pisteS}$  et les capacités liées aux électrodes de grille des transistors à commander. Cela conduit à un gain par rapport à la topologie classique dans laquelle les capacités  $C_{pisteS1}$  et  $C_{faceN2}$ , présentant en général une grande surface (pour favoriser les échanges thermiques), sont reliées au point milieu. Nous allons faire maintenant un calcul approximatif de la valeur des capacités  $C_{face}$  et  $C_{pisteS}$  pour voir combien la topologie PB-CMOS permettrait de gagner au niveau de la CEM conduite par rapport à la topologie classique.

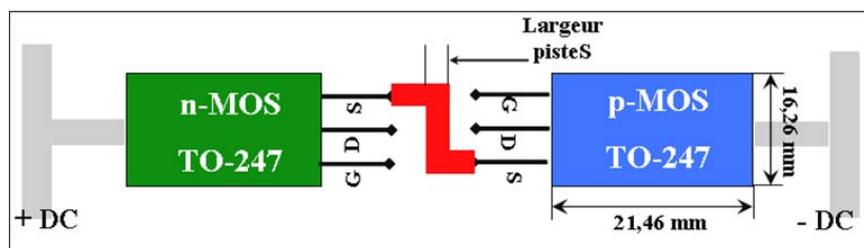


Figure I.19. Vue de dessus d'une topologie PB-CMOS (sans prise en compte des lyres de puissance)

La surface de cuivre en face arrière  $S_{face}$  du composant doit faire au minimum la surface de la face arrière de la puce de puissance dans laquelle il est contenu.  $S_{face}$  est pratiquement

plus importante que la surface de puce afin d'augmenter la surface d'échange pour le flux de chaleur qui est l'une des contraintes de la mise en œuvre. Supposons que le bras d'onduleur de technologie PB-CMOS, qui est constitué de transistors MOSFETs complémentaires discrets packagés dans des boîtiers type TO-247, commute un courant nominal de 3A sur une tension DC d'entrée de 200V. Les transistors sont brasés sur le même substrat SMI qui présente une couche en cuivre de 35 $\mu$ m d'épaisseur [58]. Les capacités parasites sont planes, elles peuvent donc être calculées par la relation :

$$C = \varepsilon \frac{S}{e} \quad (I.2)$$

Dont  $\varepsilon$  est la permittivité du diélectrique époxyde, S est la surface des armatures et e est l'épaisseur du diélectrique.

Nous pouvons déduire le rapport entre  $C_{face}$  et  $C_{pisteS}$  par :

$$C_{face} = \varepsilon_{epoxy} \frac{S_{face}}{e_{epoxy}} ; C_{pisteS} = \varepsilon_{epoxy} \frac{S_{pisteS}}{e_{epoxy}} \Rightarrow \frac{C_{face}}{C_{pisteS}} = \frac{S_{face}}{S_{pisteS}} \quad (I.3)$$

Prenons la valeur minimale de  $S_{face}$ , elle se trouve correspondre à la surface de la face arrière du boîtier TO-247 [59] augmentée d'un millimètre de part et d'autre pour des raisons de tolérance lors du positionnement du boîtier sur la piste. Par conséquent, nous calculons la surface  $S_{face} = 17,26 \times 22,46 = 387,6mm^2$ . Pour dimensionner la largeur de la piste en cuivre accueillant les contacts des sources des transistors, admettons une élévation de température de 10°C au niveau de la piste en cuivre, la largeur minimale de la piste connectant à la source commune doit être de 1,3 mm pour une épaisseur de 35 $\mu$ m selon la norme UTE C 93-703 concernant la fabrication des circuits imprimés. Le rapport des capacités parasites devient :

$$\frac{C_{face}}{C_{pisteS}} = \frac{387,6}{1,3 \times longueur_{pisteS}} \approx \frac{298}{longueur_{pisteS} (mm)} \quad (I.4)$$

A partir de (I.1) nous pouvons calculer le courant de mode commun  $I_{com}$  en admettant la même surface de piste Source dans les deux topologies :

$$\begin{aligned} I_{comclassique} &= (C_{face} + C_{pisteS}) \frac{dV_m}{dt} ; I_{comPB-CMOS} = C_{pisteS} \frac{dV_m}{dt} \\ \Rightarrow \frac{I_{comclassique}}{I_{comPB-CMOS}} &= \frac{C_{face} + C_{pisteS}}{C_{pisteS}} \approx 1 + \frac{298}{longueur_{pisteS} (mm)} \end{aligned} \quad (I.5)$$

L'équation (I.5) montre qu'en appliquant le même  $dV_m/dt$  au point milieu du bras d'onduleur, le rapport des courants de mode commun est seulement dépendant de la

longueur des pistes connectant le point milieu de la topologie PB-CMOS. Plus la longueur des pistes est faible, plus le gain est important. A titre d'exemple, si la longueur<sub>piste</sub> fait 20 mm, le courant de mode commun émis par la topologie PB-CMOS sera plus de 15 fois plus petit que celui de la structure classique.

Or, les pistes connectant les sources et les grilles des transistors complémentaires n'ont pas à prendre en charge une partie de la dissipation thermique du composant de puissance et ne doit pas obligatoirement être refroidie massivement si elle est dimensionnée en conséquence. De fait, ces pistes peuvent donc être mises en l'air pour diminuer encore davantage la capacité  $C_{piste}$ . Nous proposons par la suite une nouvelle topologie PB-CMOS ayant les sources communes et les grilles communes mises en l'air comme le montre la Figure I.20

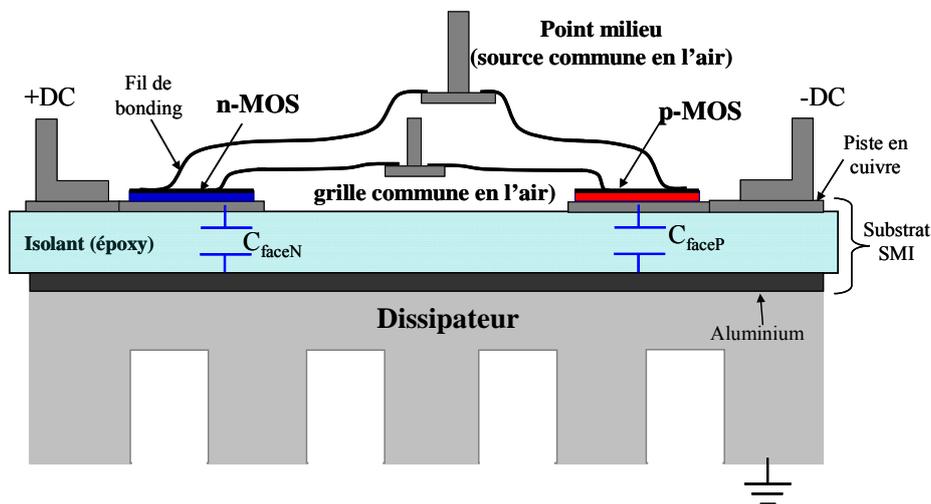


Figure I.20. Topologie Power-CMOS avec la source commune mise en l'air

L'analyse de l'avantage au niveau de la CEM de la structure Power-CMOS proposée ci-dessus vis-à-vis de la topologie classique sera montrée par les simulations ainsi que l'expérimentation dans le chapitre II. Mais on peut déjà conclure sur le fait que la capacité parasite entre les potentiels proches du point milieu du bras d'onduleur et la masse sera très réduite ce qui devrait conduire à une forte réduction des perturbations conduites de mode commun. A ce stade, l'évolution vers une approche 3D du module semble logique et profitable. La désolidarisation du module plan conduit alors logiquement à l'approche P-CoC sur laquelle nous allons revenir. En effet, le mariage de l'approche P-CoC développée par E. Vagnon dans sa thèse avec la technologie complémentaire semble offrir un optimum

vis-à-vis de la mise en œuvre des bras d'onduleur qui plus est des structures polyphasées comme nous allons le voir.

#### I.4.2.b. Commande rapprochée

L'introduction de la structure PB-CMOS est également intéressante vis-à-vis de la mise en œuvre de la commande rapprochée. En effet, l'interrupteur MOSFET de type N conduit lorsque la tension  $V_{gs}$  est supérieure à sa tension de seuil positive  $V_{gs^{th}N}$ , et au contraire, celui de type P se met en conduction quand la tension appliquée  $V_{gs}$  est inférieure à sa tension de seuil négative  $V_{gs^{th}P}$  comme le montre la Figure I.21 ci-dessous.

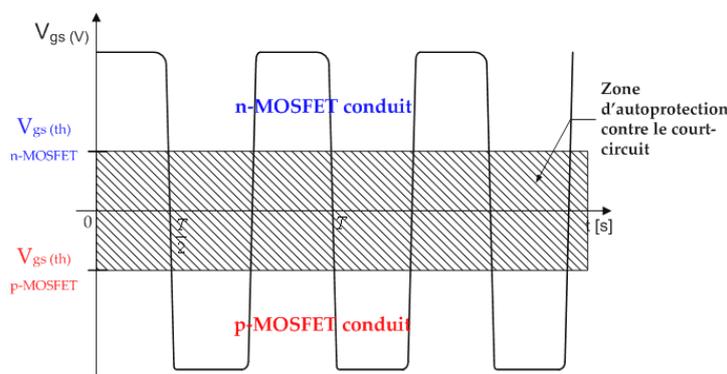


Figure I.21. Commande bipolaire pour un bras d'onduleur complémentaire

Dans le cas des structures CMOS que l'on rencontre classiquement en microélectronique, lorsque le même signal de commande est appliqué aux deux grilles de la cellule CMOS, la commutation MOS-MOS passe par une phase de court-circuit durant laquelle les deux transistors pilotés par le même signal conduisent en même temps. Cette manière de piloter les bras CMOS est adaptée aux faibles tensions et aux petits composants faibles courant car les phases de commutation sont alors rapides ce qui limite l'amplitude et la durée des courts-circuits. Mais cette approche connaît une limite certaine pour les applications moyennes tensions et plus fort courants pour lesquelles il faut obligatoirement avoir recours à une double commande.

Dans le cas de la structure PB-CMOS que nous étudions, les sources des deux transistors sont communes et rattachées au point milieu de la cellule de commutation. Par conséquent, un seul ordre de commande bipolaire est capable de piloter un bras d'onduleur complémentaire dans lequel les électrodes de grille des deux transistors et celles des sources sont respectivement reliées (voir la Figure I.22). Cela peut réduire le nombre de composants à mettre en œuvre et, dans une moindre mesure, l'énergie consommée par la commande

rapprochée. Ainsi, la mise en oeuvre de cette dernière est simplifiée et le coût total de fabrication se réduit. Par rapport à la structure CMOS classique, le PB-CMOS à sources communes peut être piloté avec le même signal de grille quelque soit la tension de fonctionnement de la structure. En effet, la transition d'une cellule MOS-MOS passe obligatoirement par un temps mort pendant lequel aucun des deux transistors ne conduit en même temps. Cela procure naturellement, à chacun des bras, une protection contre les courts-circuits.

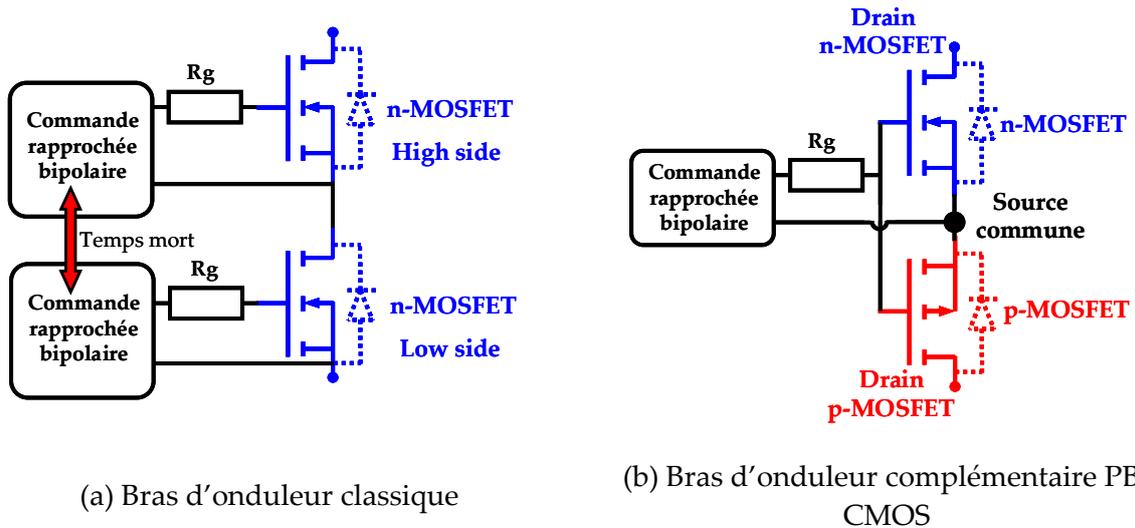


Figure I.22. Commande rapprochée pour un bras d'onduleur classique et complémentaire

La validation du fonctionnement et de la protection contre le court-circuit de PB-CMOS sera présentée dans le chapitre IV. De plus, les études des solutions d'alimentation de la commande rapprochée ainsi que l'intégrabilité seront également validées expérimentalement.

Il apparaît intéressant de coupler à l'échelle du module les parties contrôle commande rapprochées pour en envisager leur intégration au sein de celui-ci. En effet, dans les structures PB-CMOS, la commande rapprochée se trouve liée électriquement avec le point milieu du bras d'onduleur. Il devient alors critique de ne pas créer de chemin de propagation CEM au niveau du circuit de commande. L'intégration monolithique fonctionnelle ou l'hybridation en surface de la puce que nous avons présentées plus haut pourraient avantageusement répondre à cela si nous mettons en évidence des solutions compétitives et adaptées aux structure PB-MOS. Cela fera l'objet de l'un des chapitres de la thèse.

I.4.2.c. Mise en œuvre

A part la simplification au niveau de la commande rapproché que nous avons présenté ci-dessus, le PB-CMOS offre également la facilité de mise en œuvre pour les convertisseurs polyphasés. En effet, la Figure I.23 présente la vue de dessus d'un onduleur polyphasé classique et de celui basé sur la structure PB-CMOS. Nous constatons que la topologie PB-CMOS peut limiter les interconnexions par les fils de bonding ce qui contribue à entraîner des effets parasites.

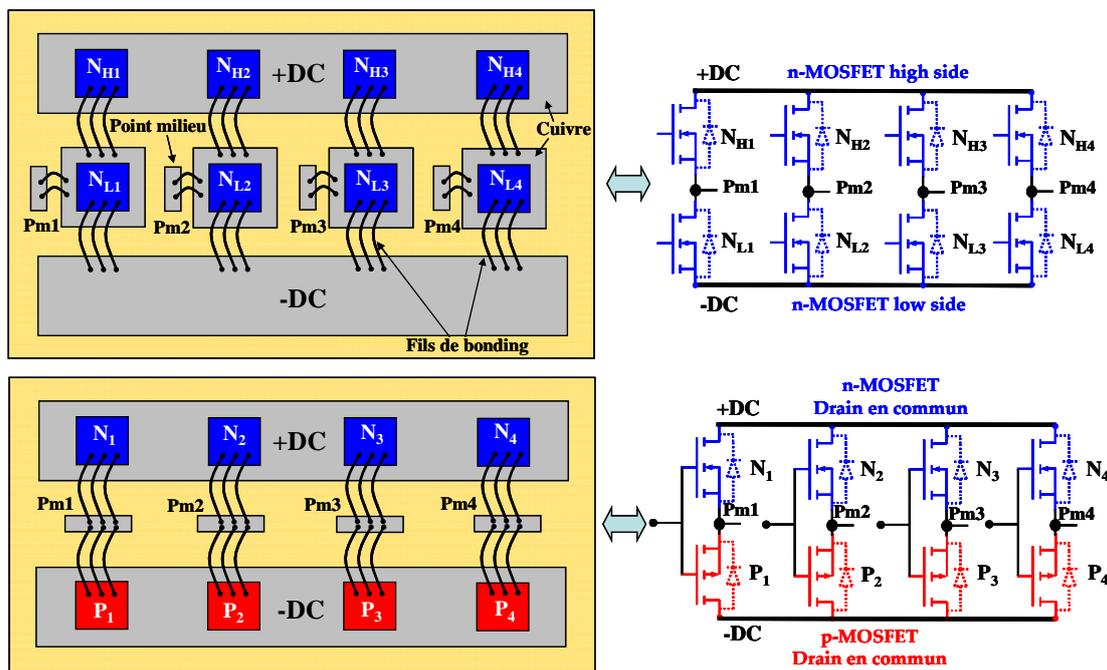


Figure I.23. Onduleur polyphasé classique (haut) et la topologie PB-CMOS (bas)

De plus, les transistors de type N ou de type P de la structure PB-CMOS ont tous les drains et les sources en commun, autrement dit les transistors de chaque type peuvent être regroupés sur le même support conducteur voire au sein du même substrat silicium. Ceci devient tout à fait envisageable lorsque les transistors contenus dans une même puce partagent tous le même contact en face arrière et sont ilotés les uns des autres via la technique d'isolation et de terminaison par périphérie en tranchée [16]. La Figure I.24 montre la vue de dessus d'un onduleur polyphasé PB-CMOS qui est constitué des composants multiples sur substrat N et P et la vue en coupe de deux MOSFETs type P mis côte à côte. Ce type de composant nous permet d'optimiser encore la surface totale du module.

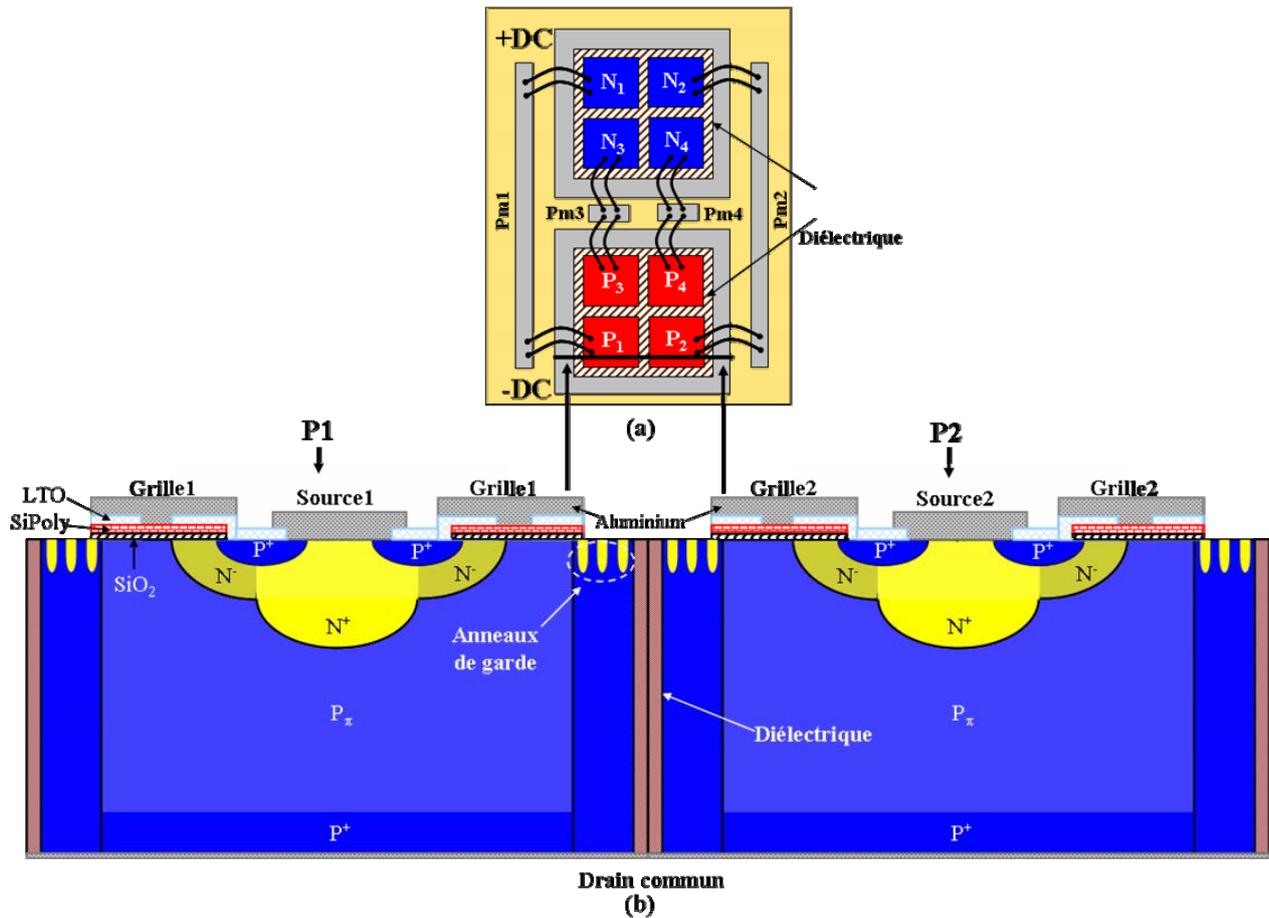


Figure I.24. (a) Vue de dessus d'un onduleur polyphasé PB-CMOS à base des MOSFETs multiples. (b) Vue en coupe de deux MOSFETs type P mis côte à côte sur le même substrat P

Par ailleurs, d'un point de vue thermique, la topologie PB-CMOS permet également d'améliorer le refroidissement par rapport à la structure classique. Ceci est dû au fait que les MOSFETs de type P dans le PB-CMOS peuvent être regroupés sur la même piste conductrice et cela n'est pas le cas pour les MOSFETs low side dans la structure classique (voir la Figure I.23). Bien évidemment, on ne peut pas gagner sur tous les tableaux. Il est bien clair que si l'on rapproche les transistors de puissance au sein d'une même puce, ce qui en favorisera la mise en œuvre et la connectique électrique, on va augmenter la densité de pertes à évacuer. Mais la surface des pistes conductrices étant plus favorable au niveau d'une structure PB-CMOS, le bilan apparaît logiquement plus favorable.

En se basant sur le module 3D P-CoC exposé ci-dessus, le module P-CoC triphasé basée sur une structure PB-CMOS devient une structure bi-puces, dont la puce N contient un ensemble de transistors type N isolés les uns des autres par des terminaisons en tranchée sur le même substrat N et de même pour la puce P et les transistors P. Cette structure polyphasée bi-puces nécessite deux refroidisseurs comme le montre la Figure I.25 ce qui peut

être un inconvénient mais il conduit à une réduction massive des impédances parasites inductives et capacitives. La fusion des approches P-CoC et PB-CMOS conduit à une réduction drastique des perturbations CEM conduites et rayonnées classiquement émises par les cellules de commutation des convertisseurs statiques. Il reste bien évidemment à mettre au point un tel package 3D, fiable et performant. Il reste aussi à voir comment seront pris les contacts pour les électrodes de commande. Il faudra prendre un soin particulier à ne pas introduire ici de nouveaux chemins parasites. L'intégration des commandes à l'intérieur même du module 3D PB CMOS offrira peut être dans le futur une réponse à ce déficit.

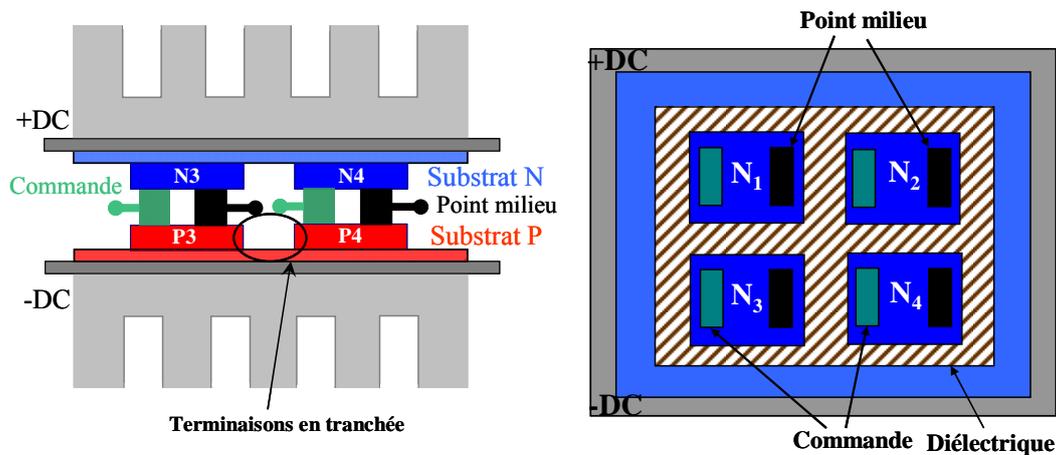


Figure I.25. Vue en coupe (gauche) et vue de dessus du module bi-puces de l'onduleur PB-CMOS polyphasés (droite)

#### I.4.2.d. Rendement

Le rendement reste le seul point négatif du PB-CMOS qui est dû aux mauvaises caractéristiques des transistors de puissance de type P, en particulier les pertes par conduction importantes induites par une mobilité des trous inférieure à celle des électrons. Et si un composant de type P plus large est utilisé pour réduire les pertes par conduction, le comportement en commutation pourrait être pénalisé si le circuit de commande n'est pas adapté. Pourtant, en réglant la résistance de grille, nous pouvons améliorer ce point. En effet, la Figure I.26 en donne la représentation. En appliquant la résistance de grille deux fois plus faible, le transistor p-MOSFET deux fois plus large peut retrouver la caractéristique dynamique d'un p-MOSFET de section comparable à celle d'un transistor n-MOSFET. Pour véhiculer un courant de grille plus important la commande rapprochée doit être adaptée et intégrée au plus près des composants de puissance pour le limiter les impédances parasites d'interconnexion. On le voit bien de nouveau, le caractère global de l'approche PB-MOS

pousse à ne rien négliger pour tenter de converger vers une solution globalement meilleure que l'état de l'art.

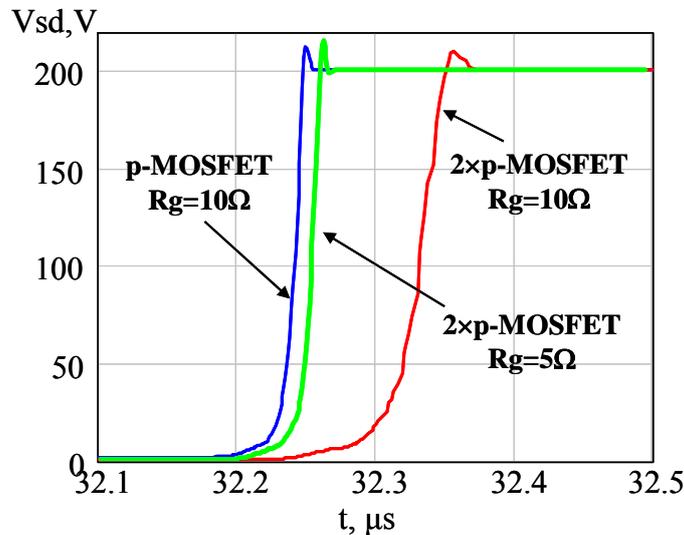


Figure I.26. Tension  $V_{SD}$  du p-MOSFET au blocage dans un hacheur série  $V_{entrée}=200V$ ,  $I=4A$ ,  $f=50kHz$

Au final, l'approche PB-CMOS introduite et développée dans ce premier chapitre conduit à un nouveau compromis revenant au concepteur entre le coût du silicium et celui de plus grands composants passifs pour le filtre de la CEM, de plus de composants actifs et passifs pour le contrôle commande et encore celui d'un système de refroidissement plus ou moins compliqué. C'est tout l'enjeu de ce travail de thèse que d'aborder quelques uns de ces points. L'analyse du rendement de plusieurs solutions PB-CMOS sera abordée dans le prochain chapitre.

## I.5. Conclusion

Dans ce premier chapitre, nous avons rappelé la problématique du module de puissance. Ensuite, l'état de l'art des évolutions techniques et technologiques des constituants du module est présenté, sous plusieurs angles de vue, du semi-conducteur au packaging. Pour s'inscrire dans ce contexte en pleine évolution, nous avons proposé d'utiliser la technologie complémentaire qui est de longue date mise de côté dans le monde des convertisseurs de puissance pour des raisons de performances intrinsèques des composants de puissance de type P. En se basant sur la conception globale du convertisseur, nous avons introduit les principaux gains potentiels offerts par les convertisseurs Power

Buffer-CMOS. L'inconvénient majeur, qui concerne les pertes supplémentaires dues aux composants complémentaires, est également discuté et la solution proposée reste un compromis, un nouveau choix pour le concepteur des convertisseurs de puissance. Enfin, le concept d'un nouveau module de puissance Power Buffer-CMOS polyphasé a été présenté en intégrant tous les avantages exposés ci-dessus. Dans les prochains chapitres, chaque aspect de la technologie complémentaire sera analysé et validé par la simulation et l'expérimentation. La conception de composants complémentaires multipuces sera également présentée.

## Bibliographie

- [1] Ludovic Ménager, Bruno Allard, and Vincent Bley, "Conditionnement des modules de puissance," *Techniques de l'ingénieur*.
- [2] Cyril Buttay, "Modules et boîtiers de puissance (packaging)," *Techniques de l'ingénieur*.
- [3] A. Videt, P. Le Moigne, N. Idir, P. Baudesson, and X. Cimetiere, "A New Carrier-Based PWM Providing Common-Mode-Current Reduction and DC-Bus Balancing for Three-Level Inverters," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 6, pp. 3001-3011, Dec. 2007.
- [4] M. Cacciato, A. Consoli, G. Scarcella, and A. Testa, "Reduction of common-mode currents in PWM inverter motor drives," *IEEE Transactions on Industry Applications*, vol. 35, no. 2, pp. 469-476, Apr. 1999.
- [5] M. Shoyama, Ge Li, and T. Ninomiya, "Balanced switching converter to reduce common-mode conducted noise," *Industrial Electronics, IEEE Transactions on*, vol. 50, no. 6, pp. 1095-1099, 2003.
- [6] Shuo Wang, Pengju Kong, and F. C. Lee, "Common Mode Noise Reduction for Boost Converters Using General Balance Technique," *Power Electronics, IEEE Transactions on*, vol. 22, no. 4, pp. 1410-1416, 2007.
- [7] Christian Martin, "Vers une methodologie de conception des interconnexions pour les dispositifs de l'electronique de puissance," Mémoire de thèse, Université Joseph-Fourier, Grenoble I, 2005.
- [8] K. Gulez, N. Mutoh, M. Ogata, F. Harashima, and K. Ohnishi, "An approximation to improve EMI passive filter condition with triple-LISN for EMI noise problem," in *Proceedings of the 41st SICE Annual Conference, 2002*, vol. 2, pp. 929-934.
- [9] Shuo Wang, F. C. Lee, W. G. Odendaal, and J. D. van Wyk, "Improvement of EMI filter performance with parasitic coupling cancellation," *Power Electronics, IEEE Transactions on*, vol. 20, no. 5, pp. 1221-1228, 2005.
- [10] N. Mortensen and G. Venkataramanan, "An Active Common Mode EMI Filter for Switching Converters," in *IEEE Industry Applications Society Annual Meeting. IAS'08, 2008*, pp. 1-7.
- [11] Sylvain Mandray, "Optimisation des convertisseurs d'électronique de puissance selon des critères thermiques et CEM. Application aux dispositifs dédiés à l'aéronautique," Mémoire de thèse, Grenoble INP, G2ELab, 2009.

- [12] Stéphane Lefebvre and Francis Miserey, *Composants à semi-conducteur pour l'électronique de puissance*. Tec & Doc Lavoisier, 2004.
- [13] Faisal Alkayal, "Contribution à l'intégration monolithique de protections contre les surtensions: application aux convertisseurs de puissance haute tension," Mémoire de thèse, Grenoble INP, 2005.
- [14] Stéphane LEFEBVRE and Bernard MULTON, "Commande des semi-conducteurs de puissance: contextes," *Techniques de l'ingénieur*.
- [15] Stéphane LEFEBVRE and Bernard MULTON, "Commande des semi-conducteurs de puissance: principes," *Techniques de l'ingénieur*.
- [16] Eric Vagnon, "Solutions innovantes pour le packaging de convertisseurs statiques polyphasés," Mémoire de thèse, Grenoble INP, 2010.
- [17] S. Pietranico, S. Pommier, S. Lefebvre, and S. Pattofatto, "Thermal fatigue and failure of electronic power device substrates," *International journal of fatigue*, vol. 31, no. 11-12, pp. 1911-1920, 2009.
- [18] Smet V. et al., "Modes de vieillissement et de défaillance de modules IGBT sous cyclage actif à haute température," in *Electronique de puissance du Futur, EPF 2010*, St Nazaire.
- [19] "Physique des défaillances et robustesse des systèmes intégrés de puissance," *INRETS, Pôle de recherche Laboratoire de Technologies Nouvelles*. [Online]. Available: <http://www.inrets.fr/ur/ltn/poles/energie/pdderdsidp.htm>.
- [20] Fuji Electric, "Datasheet technique Module IGBT 2MBI 400N-060." Mai-1997.
- [21] Jean-Louis SANCHEZ and Frédéric MORANCHO, "Composants semi-conducteurs. Intégration de puissance monolithique," *Techniques de l'ingénieur*.
- [22] XFAB, "1.0 um BCD Process. XDH10." Jul-2009.
- [23] Yasuhiro Uemoto, Katsushige Yamashita, and Takashi Miura, "High voltage SOI semiconductor device," U.S. Patent US RE41,368.
- [24] F. Capy, "Etude et conception d'un interrupteur de puissance monolithique à auto-commutation: le thyristor dual disjoncteur," Mémoire de thèse, Université Paul Sabatier - Toulouse III, 2009.
- [25] Intersil, "Advanced Synchronous Rectified Buck MOSFET Drivers with Protection Features ISL6612." Datasheet, 2005.
- [26] Linear Technology Corporation, "Current Mode Boost, Flyback and SEPIC Controller LTC1871EMS." Datasheet, 2001.

- [27] International Rectifier, "High voltage 3 phase gate driver IC IRS2336." Datasheet, 2008.
- [28] Olivier Deleage, "Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC," Mémoire de thèse, Grenoble INP, G2ELab, 2009.
- [29] O. Deleage, J.-C. Crebier, and Y. Lembeye, "Design and realization of autonomous power CMOS single phase inverter and rectifier for low power conditioning applications," in *13th European Conference on Power Electronics and Applications, EPE '09*, 2009, pp. 1-10.
- [30] O. Deleage, J.-C. Crebier, M. Brunet, Y. Lembeye, and H. Tran Manh, "Design and realization of highly integrated isolated DC/DC micro-converter," in *Energy Conversion Congress and Exposition, 2009. ECCE. IEEE*, 2009, pp. 3690-3697.
- [31] Rick West, "Bipolar bootstrap top switch gate driver for half-bridge semiconductor power topologies," U.S. Patent US7248093.
- [32] C. Klumpner and N. Shattock, "A Cost-Effective Solution to Power the Gate Drivers of Multilevel Inverters using the Bootstrap Power Supply Technique," in *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, 2009, pp. 1773-1779.
- [33] J.-C. Crebier and N. Rouger, "Loss Free Gate Driver Unipolar Power Supply for High Side Power Transistors," *Power Electronics, IEEE Transactions on*, vol. 23, no. 3, pp. 1565-1573, 2008.
- [34] B. Murari, C. Contiero, R. Gariboldi, S. Sueri, and A. Russo, "Smart power technologies evolution," in *Thirty-Fifth IAS Annual Meeting and World Conference on Industrial Applications of Electrical Energy*, Rome, Italy, 2000, p. P10-P19.
- [35] C. Caramel, P. Austin, J. L. Sanchez, E. Imbernon, and M. Breil, "Integrated IGBT short-circuit protection structure: Design and optimization," *Microelectronics Journal*, vol. 37, no. 3, pp. 249-256, Mar. 2006.
- [36] F. Vogt, H. Vogt, M. Radecker, and H. Fiedler, "Smart power with 1200 V DMOS," in *Proceedings of 9th International Symposium on Power Semiconductor Devices and IC's*, Weimar, Germany, 1997, pp. 317-320.
- [37] Christian Caramel, "Nouvelles fonctions interrupteurs intégrées pour la conversion d'énergie," Mémoire de thèse, Université Paul Sabatier - Toulouse III, 2007.
- [38] N. Rouger and J.C. Crebier, "Integrated Photoreceiver For An Isolated Control Signal Transfert In Favour Of Power Transistors," in *20th International Symposium on Power Semiconductor Devices and IC's*, Orlando, FL, 2008, pp. 213-216.

- [39] Nicolas Rouger, "Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale," Mémoire de thèse, Grenoble INP, 2008.
- [40] T. Simonot, N. Rouger, and J.-C. Crebier, "Design and characterization of an integrated CMOS gate driver for vertical power MOSFETs," in *2010 IEEE Energy Conversion Congress and Exposition*, Atlanta, GA, USA, 2010, pp. 2206-2213.
- [41] T. Simonot, N. Rouger, and J.C. Crebier, "Conception, intégration 3D et caractérisation d'un circuit de commande CMOS pour transistors de puissance," in *Electronique de puissance du Futur. EPF*, Saint-Nazaire, 2010.
- [42] D. B. Nguyen, "Intégration fonctionnelle autour des composants quatre quadrants avec l'application à la conversion AC/AC," Mémoire de thèse, Grenoble INP, G2ELab, 2008.
- [43] R. Mitova, "Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant," Mémoire de thèse, Grenoble INP, 2005.
- [44] Guillaume Verneau, "Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande," Mémoire de thèse, INPG, G2ELab, 2003.
- [45] N. Rouger, J.-C. Crebier, and S. Catellani, "High-Efficiency and Fully Integrated Self-Powering Technique for Intelligent Switch-Based Flyback Converters," *Industry Applications, IEEE Transactions on*, vol. 44, no. 3, pp. 826-835, 2008.
- [46] R. Mitova, J.-C. Crebier, L. Aubard, and C. Schaeffer, "Fully integrated gate drive supply Around Power switches," *Power Electronics, IEEE Transactions on*, vol. 20, no. 3, pp. 650-659, 2005.
- [47] J. N. Calata, J. G. Bai, Xingsheng Liu, S. Wen, and Guo-Quan Lu, "Three-dimensional packaging for power semiconductor devices and modules," *IEEE Transactions on Advanced Packaging*, vol. 28, no. 3, pp. 404-412, Aug. 2005.
- [48] G. A. Rinne, "Solder bumping methods for flip chip packaging," in *Proceedings 47th Electronic Components and Technology Conference*, San Jose, CA, USA, 1997, pp. 240-247.
- [49] E. Vagnon, J. C. Crebier, Y. Avenas, and P. O. Jeannin, "Study and realization of a low force 3D press-pack power module," in *IEEE Power Electronics Specialists Conference*, Rhodes, Greece, 2008, pp. 1048-1054.
- [50] Z. Liang et al., "Integrated Packaging of a 1 kW Switching Module Using a Novel Planar Integration Technology," *IEEE Transactions on Power Electronics*, vol. 19, no. 1, pp. 242-250, Jan. 2004.

- [51] Texas Instrument, "Datasheet CSD86350Q5D." 2010.
- [52] ATKINSON P. and SAVAGE P. R., "The design of complementary VMOSFET power inverters for supplying inductive loads," *Radio and Electronic Engineer*, vol. 54, no. 9, pp. 371-376, 1984.
- [53] L. R. Nerone, "A complementary Class D converter," in *The 1998 IEEE Industry Applications Conference*, St. Louis, MO, USA, pp. 2052-2059.
- [54] S. Busquets-Monge et al., "Power converter design optimization," *IEEE Industry Applications Magazine*, vol. 10, no. 1, pp. 32-39, Jan. 2004.
- [55] T. De Oliveira, M. Sylvain, G. Jean-Michel, J.-L. Schanen, and A. Perregaux, "Reduction of conducted EMC using busbar stray elements," in *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE, 2009*, pp. 2028-2033.
- [56] Shuo Wang, F. C. Lee, and J. D. van Wyk, "A Study of Integration of Parasitic Cancellation Techniques for EMI Filter Design With Discrete Components," *Power Electronics, IEEE Transactions on*, vol. 23, no. 6, pp. 3094-3102, 2008.
- [57] J. Biela, A. Wirthmueller, R. Waespe, M. L. Heldwein, K. Raggl, and J. W. Kolar, "Passive and Active Hybrid Integrated EMI Filters," *Power Electronics, IEEE Transactions on*, vol. 24, no. 5, pp. 1340-1349, 2009.
- [58] C.I.F, "PHOTOPOSITIF ALUMINIUM PCB." Datasheet, Aug-2003.
- [59] IXYS, "Datasheet IXFH 120N20P." 2004.

# CHAPITRE II :

## Power Buffer CMOS – Compatibilité électromagnétique versus rendement de conversion

### SOMMAIRE

---

<i>CHAPITRE II : Power Buffer CMOS – Compatibilité électromagnétique versus rendement de conversion</i> .....	<b>39</b>
<b>II.1. Introduction</b> .....	<b>40</b>
<b>II.2. Analyse de la compatibilité électromagnétique</b> .....	<b>40</b>
II.2.1. Structures d'étude .....	40
II.2.2. Résultats des simulations et des expérimentations .....	44
II.2.2.a. Etude de la compatibilité électromagnétique.....	44
II.2.2.a.i. Analyse spectrale sans filtre.....	46
II.2.2.a.ii. Analyse spectrale avec filtre.....	47
<b>II.3. Analyse du rendement</b> .....	<b>49</b>
<b>II.4. Evolution et optimisation de la structure complémentaire</b> .....	<b>51</b>
<b>II.5. Conclusion</b> .....	<b>54</b>
<b>Bibliographie</b> .....	<b>56</b>

## II.1. Introduction

Le premier chapitre de ce mémoire a présenté un des avantages de la structure PB-CMOS vis-à-vis de la compatibilité électromagnétique conduite. Ceci concerne la réduction du courant de mode commun par rapport à une structure d'onduleur classique. Ce chapitre consiste à mettre en évidence ce point par les études en simulation et la validation expérimentale. L'inconvénient de la structure complémentaire au niveau du rendement est également étudié et quelques solutions sont ensuite proposées avec pour objectif d'optimiser cette structure de manière globale.

## II.2. Analyse de la compatibilité électromagnétique

Dans les convertisseurs de puissance, les courants de mode commun transitent principalement par les capacités parasites existant entre les potentiels flottants de la structure de conversion et la masse. Ces courants peuvent engendrer du rayonnement électromagnétique et perturber les dispositifs voisins [1][2][3]. L'origine physique de ces courants ainsi que les techniques servant à les limiter ont été présentés dans le paragraphe I.2.1 et I.4.2.a du premier chapitre. En effet, ces approches curatives consistent à modifier les chemins de propagation des perturbations conduites de mode commun en aval de la structure de conversion soit par l'ajout de filtres soit par la création de chemins permettant le "recyclage" des perturbations. Ils ne traitent donc pas le problème à l'origine c'est à dire au niveau de la source du problème qui correspond à la présence de forts  $dv/dt$  appliqués sur des capacités parasites plus ou moins importantes et conduisant à la circulation d'un courant parasite perturbateur. La topologie complémentaire PB-CMOS, entre autres, expose naturellement un avantage important concernant la réduction du courant de mode commun. Cet avantage sera étudié et validé dans les prochains paragraphes.

### II.2.1. Structures d'étude

Afin d'analyser et de mettre en évidence les avantages concernant la réduction des courants de mode commun au niveau des structures complémentaires, deux structures en demi pont capacitif fonctionnant sur charge inductive (voir la Figure II.1) sont simulées et mises en œuvre. La structure de conversion en demi pont capacitif présente la particularité

de permettre une différenciation facilitée des perturbations conduites de mode commun et de mode différentiel ce qui la rend complètement adaptée pour notre étude. En effet, la Figure II.2 montre la forme d'onde qualitative du courant de mode commun et celui de mode différentiel de la structure en demi pont capacitif. Nous constatons que le courant de mode commun apparaît aux multiples de la fréquence de découpage alors que le courant de mode différentiel apparaît aux multiples du double de la fréquence de découpage. Cette différence spectrale simplifie considérablement l'étude et l'analyse de l'évolution de la composante de mode commun des perturbations conduites en fonction des types de structure complémentaires ou non que nous mettons en œuvre.

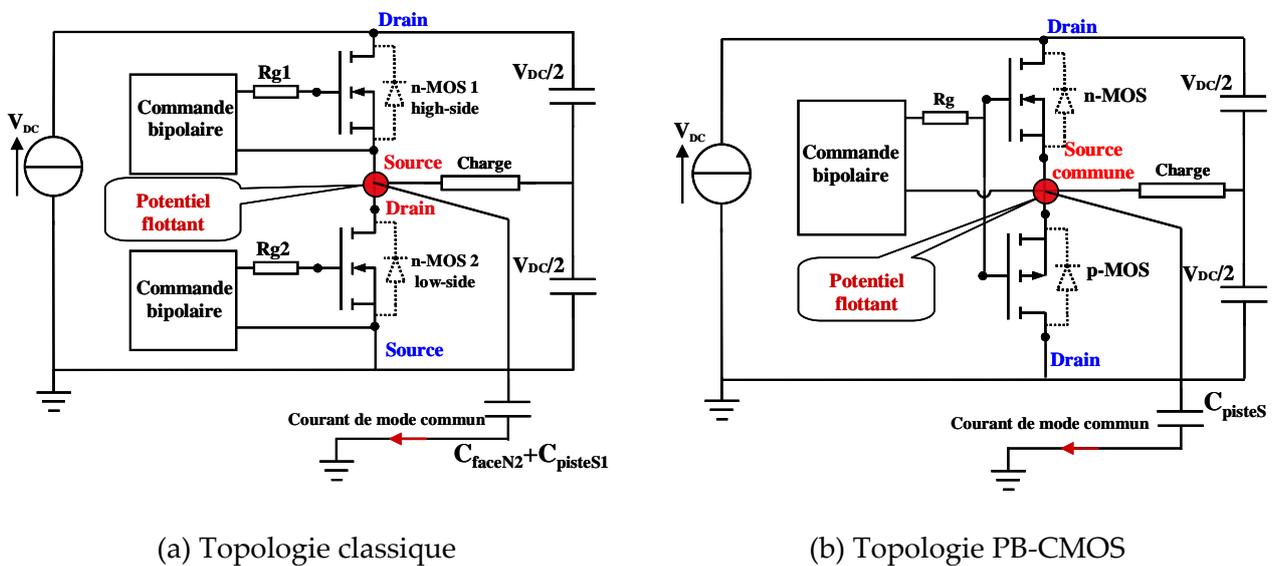


Figure II.1. Structure demi pont capacitif

La structure classique se basant sur des MOSFETs de type N est considérée comme la référence. Par ailleurs, la topologie complémentaire PB-CMOS se compose d'un MOSFET de chaque type N et P. La conception du PCB et des commandes rapprochées est gardée semblable pour assurer une bonne étude comparative des deux structures dont le layout de conception est illustré par la Figure II.3 ci-dessous.

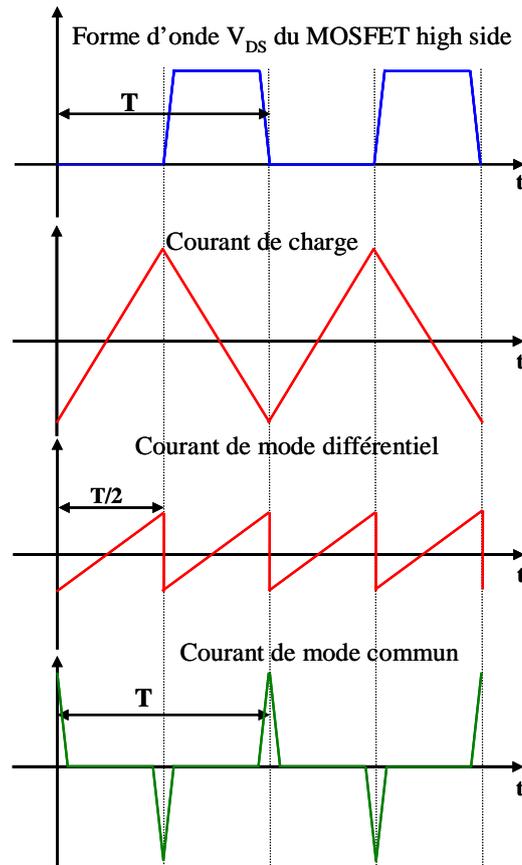


Figure II.2. Formes d'ondes qualitatives de la structure en demi pont capacitif

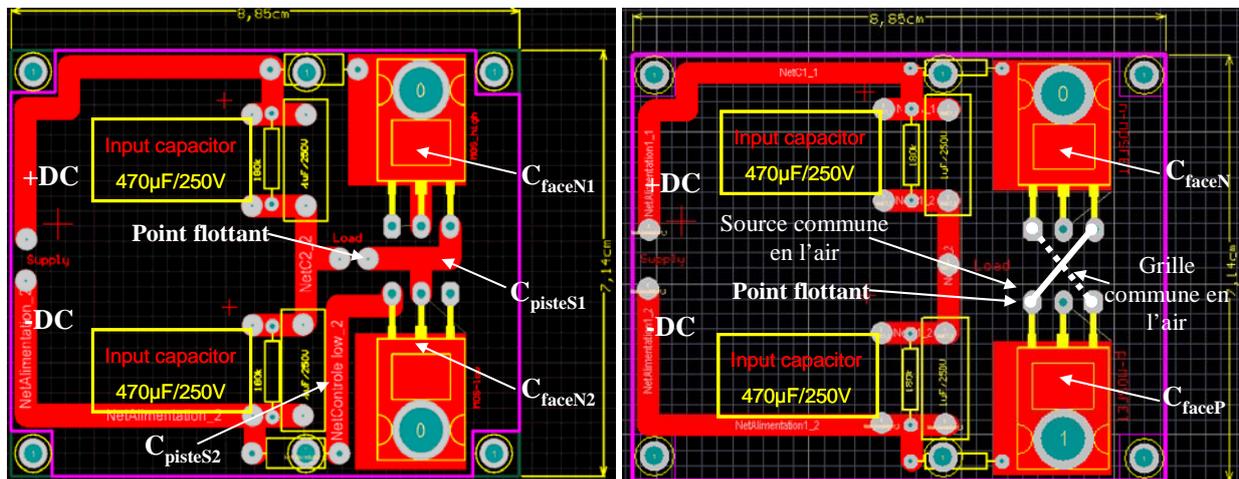


Figure II.3. Layout de conception de la structure classique (gauche) et la structure complémentaire PB-CMOS

La topologie complémentaire présente une particularité comme abordée dans le premier chapitre, celle de ne pas avoir de piste du point milieu du bras d'onduleur dessinée sur le layout. Ce choix volontaire, radicalise quelque peu la comparaison puisque cela

revient à très fortement réduire, comme nous le souhaitons, la capacité de mode commun entre le point milieu du bras d'onduleur et la masse. Cela s'avère possible car seules les faces arrières des "modules" de puissance, qui sont rattachés électriquement aux drains des transistors de puissance, doivent obligatoirement avoir leurs pistes dessinées sur le DBC du module pour favoriser et optimiser l'évacuation des pertes. En faisant ce choix volontaire, on s'éloigne d'une approche planar plus classique et l'on commence à évoluer vers une connectique tridimensionnelle, potentiellement beaucoup plus souple et performante.

Une autre particularité devant être soulignée concerne l'utilisation d'une seule commande rapprochée bipolaire pour la topologie complémentaire au lieu de deux pour l'autre. Cette spécificité sera analysée dans le chapitre IV.

Le tableau ci-dessous résume les caractéristiques des deux structures étudiées.

	Topologie classique	Topologie PB-CMOS
Tension d'entrée	150 V	
Transistor de puissance	n-MOSFET: <i>IRFP240</i> – <i>TO247AC</i>	n-MOSFET: <i>IRFP240</i> – <i>TO247AC</i> p-MOSFET: <i>IRFP9240</i> – <i>TO247AC</i>
$R_{DS\ on}$	Rg high = 47 $\Omega$ Rg low = 47 $\Omega$	Rg = 22 $\Omega$
Capacité d'entrée	2x470 $\mu$ F/250V	
Fréquence de découpage	36 kHz	

Tableau II.1 Caractéristiques de deux structures demi pont capacitif étudiées

Pour pouvoir comparer les caractéristiques des deux structures de conversion d'un point de vue perturbations conduites, il est important de tout faire pour rendre cette comparaison crédible. L'un des enjeux est de maintenir identiques les dynamiques électriques pour les deux structures de conversion. De ce faire, un soin particulier doit être apporté sur les commandes rapprochées des transistors de puissance. Dans la topologie complémentaire PB-CMOS, les capacités  $C_{gs}$  de deux transistors sont similaires et se retrouvent connectées en parallèle. La capacité  $C_{gs}$  équivalente aux MOSFETs complémentaires est donc deux fois plus importante que celle de chaque n-MOSFET dans la structure classique. Par conséquent, afin d'assurer la même dynamique de commutation pour les deux topologies, la résistance de grille utilisée dans la topologie complémentaire (22  $\Omega$ ) est presque la moitié de celles utilisées pour l'autre structure dans les deux circuits de commande rapprochée (47  $\Omega$ ).

L'évolution du courant de mode commun dans les deux topologies peut être déterminée puis analysée au niveaux temporel et spectral en utilisant le Réseau Stabilisateur d'Impédance de Ligne (RSIL) [4]. La Figure II.4 ci-dessous donne la représentation du schéma électrique retenu pour cette étude.

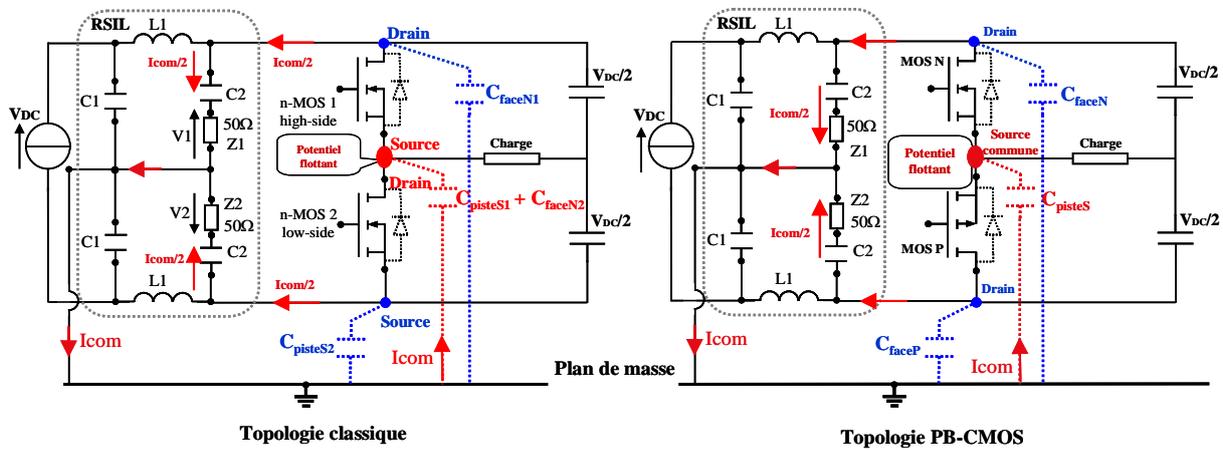


Figure II.4. Les chemins de propagation du courant de mode commun. Banc de mesure utilisant le RSIL

## II.2.2. Résultats des simulations et des expérimentations

En se fondant sur les deux structures et les bancs de tests présentés ci-dessus, l'étude comparative de la CEM conduite et du rendement est réalisée par les simulations sous SIMPLORER puis à travers des mises en œuvre concrètes conduisant à la validation expérimentale des tendances obtenues en simulations électriques.

### II.2.2.a. Etude de la compatibilité électromagnétique

Dans les structures demi pont capacitif, la source principale des perturbations CEM conduites se trouve être le profil dynamique de la tension au niveau du point milieu. Afin de bien comparer le courant de mode commun dans les deux structures, les sources d'excitation sont maintenues comparables. En effet, la Figure II.5 présente les formes d'ondes de la tension du point milieu pour les deux structures étudiées pour les fronts de commutation qui sont les grandeurs perturbantes les plus significatives [5][6]. De fait, les fronts descendants des deux structures sont similaires, mais le front montant de la structure classique est très légèrement plus raide que celui de la structure complémentaire malgré nos efforts de les maintenir identiques.

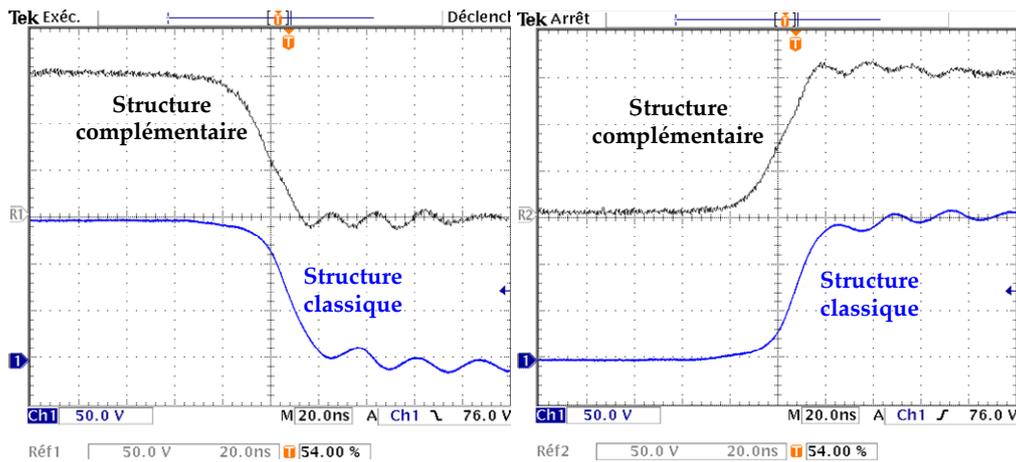


Figure II.5. Formes d'ondes de la tension commutée du point milieu pour les deux structures de conversion

Suivant l'équation (I.5) présentée dans le chapitre I, le rapport entre les courants de mode commun de la structure classique et du PB-CMOS ne dépend que la longueur de la piste Source connectant les transistors MOS au niveau du point milieu du bras d'onduleur. Cette dernière dans notre cas d'étude est de 25mm pour la structure classique. Par conséquent, le courant de mode commun généré par la structure classique est de 13 fois plus important que celui produit par la structure PB-CMOS en appliquant l'équation. Pourtant, en construisant cette dernière, nous avons pris l'hypothèse que la piste Source dans les deux structures est similaire. Ceci n'est pas le cas pour la structure PB-CMOS comportant la piste source commune en l'air que nous avons mis en œuvre. Comme présenté ci-dessus, cette structure est censée minimiser le courant de mode commun créé par rapport à la structure classique. En effet, la forme d'onde temporelle offerte par la simulation Simplorer ainsi que l'expérimentation montre un écart autour de 22 fois au niveau de l'amplitude des courants de mode commun des deux structures. Ces résultats encourageants sont illustrés par la Figure II.6 ci-dessous et confirment donc la réduction naturelle des perturbations CEM conduites des structures PB-CMOS en réduisant leurs chemins de propagation. De plus, les mesures spectrales sont également réalisées aux bornes du RSIL afin de dégager des conclusions sur cet aspect. L'analyse des spectres est présentée dans le paragraphe suivant.

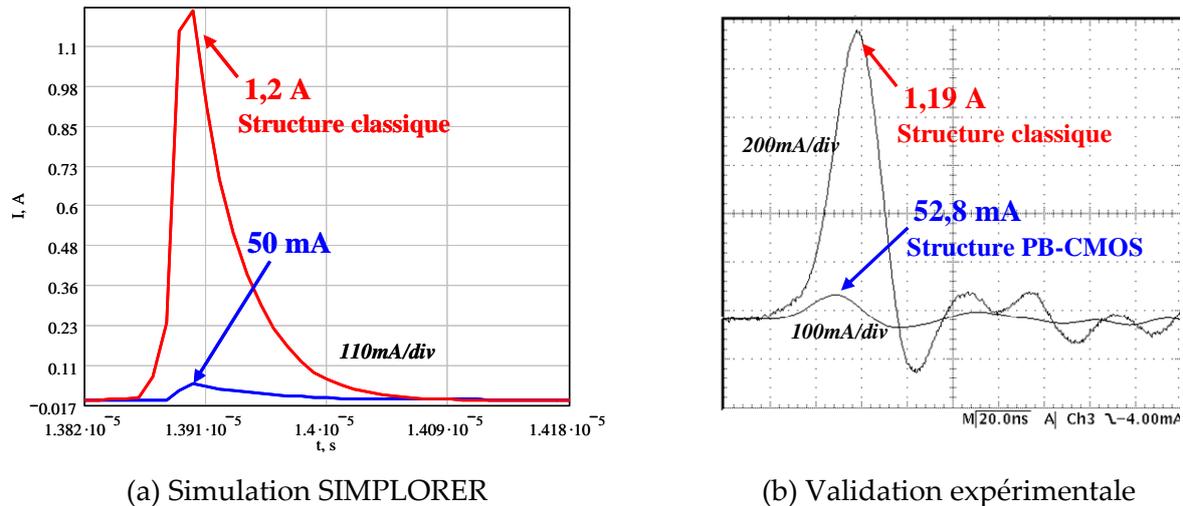


Figure II.6. Formes d'ondes des courants de mode commun étant générés par deux structures

### II.2.2.a.i. Analyse spectrale sans filtre

Comme présenté ci-dessus, dans la topologie en demi pont capacitif, les courants de mode commun apparaissent aux multiples de la fréquence de découpage alors que les courants de mode différentiel apparaissent aux multiples du double de la fréquence de découpage. Cela nous permet d'analyser plus facilement le spectre mesuré au niveau de la tension aux bornes des impédances  $Z1$  et  $Z2$  du RSIL [7] par le HP spectrum analyzer.

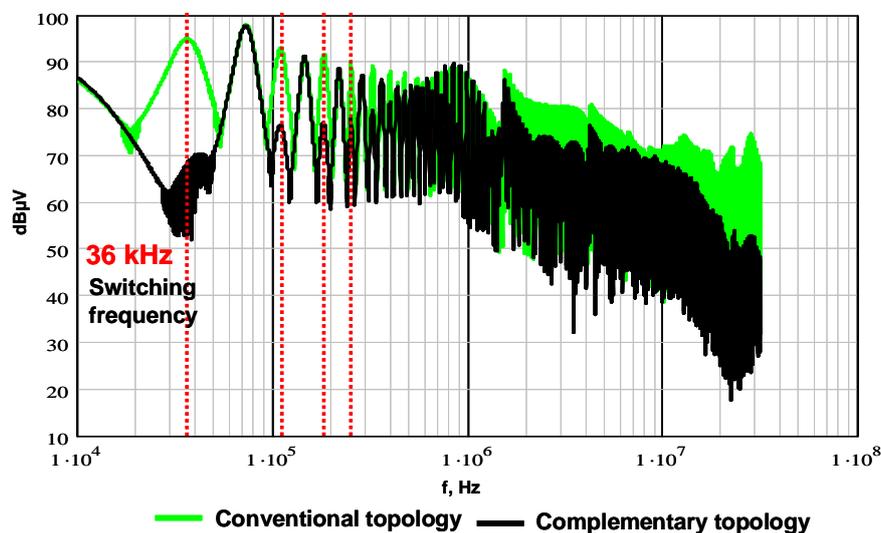


Figure II.7. Spectre de la CEM conduite pour deux structures de conversion

En effet, comme illustré par la Figure II.7 ci-dessus, les harmoniques impaires représentent la perturbation du mode commun tandis que les harmoniques paires représentent les perturbations totales de mode commun et mode différentiel. De fait, dans le cas de la structure complémentaire PB-CMOS, la composante de mode commun étant

naturellement fortement réduite, pour les harmoniques impairs, les amplitudes sont bien plus faibles puisque les composantes de mode différentiel ne s'expriment que sur les raies paires. De plus, la topologie complémentaire expose une réduction importante à l'égard de la CEM conduite à chaque harmonique impair. Ceci montre clairement la réduction naturelle du courant de mode commun de la structure complémentaire, en particulier à basse fréquence. En guise d'exemple, à la fréquence de découpage 36 kHz, la structure complémentaire PB-CMOS génère un harmonique de mode commun qui est de 25 dB $\mu$ V inférieur à celui produit par la structure conventionnelle. De ce fait, la structure à technologie complémentaire demandera un filtre de mode commun qui sera sûrement moins important, ce qui réduira considérablement le coût total du convertisseur.

Il est intéressant de noter également le bénéfice en terme de CEM qui semble se dégager en haute fréquence avec une réduction de 6 à 20dB/ $\mu$ V ce qui devrait permettre de réduire fortement les contraintes de filtrage sur une large plage spectrale.

Par ailleurs, il faut noter que la structure PB-CMOS n'offre pas d'intérêt particulier vis-à-vis du courant de mode différentiel. Les harmoniques pairs étant l'image de la perturbation conduite totale ne présentent pas de différence significative entre deux structures en basse fréquence.

Cela tend d'ailleurs à signifier qu'en basse fréquence, la perturbation différentielle est prépondérante et en haute fréquence c'est la perturbation de mode commun qui l'est ce qui est conforme à l'état de l'art.

#### II.2.2.a.ii. Analyse spectrale avec filtre

Afin de montrer plus clairement l'avantage important offert par les topologies complémentaires au niveau de la réduction des besoins de filtrage de mode commun, des mesures normatives sont réalisées et des filtres sont mis en œuvre pour que les structures puissent passer la classe A de la norme EN55011 [7][8]. La topologie des filtres, conçue identique pour deux structures, est illustrée par la Figure II.8 ci-dessous.

De fait, les mêmes filtres du courant de mode différentiel ( $L_1=L_2=7 \mu$ H,  $C_{x1}=C_{x2}=0.68 \mu$ F) sont faits pour deux topologies. Concernant le filtre de mode commun, des valeurs différentes des capacités  $C_y$  ont été nécessaires telles que  $C_{y1}=C_{y2}=133 \text{ nF}$  pour la structure classique et  $C_{y1}=C_{y2}=10 \text{ nF}$  pour la topologie complémentaire. La Figure II.9 présente le spectre filtré pour les deux topologies. Nous avons constaté un rapport d'environ 13 sur les



### II.3. Analyse du rendement

L'avantage structurel concernant l'aspect CEM ci-dessus est contrebalancé par l'introduction du transistor de type P causant des pertes en conduction importantes et qui représentent un grand inconvénient de la structure PB-CMOS. De fait, le transistor de type P offre une résistance à l'état passant qui est normalement de deux à trois fois celle du transistor de type N pour les mêmes calibres de tension et de courant. Ceci est dû à la mobilité des trous dans le matériau semi-conducteur, porteurs majoritaires dans le transistor de type P, qui s'avère être plus faible que celle des électrons. De plus, la capacité d'entrée Ciss du transistor de type P se trouve souvent plus grande que celle du type N, ce qui peut conduire à des commutations plus lentes de la part des transistors de type P. Par conséquent, le rendement du convertisseur peut être dégradé en utilisant les transistors complémentaires pour former des structures de conversion PB-CMOS.

Cet inconvénient principal de la structure complémentaire est bien illustré par la Figure II.10 ci-dessous dans laquelle on peut voir une image thermique de la face arrière du module de puissance contenant la structure de conversion PB-CMOS alors que celle-ci est en fonctionnement. On constate clairement que si les deux transistors ont un mode opératoire quasiment symétrique à l'égard de la structure en demi pont capacitif, mais que la température est plus importante en face arrière du module sous le transistor P que sous le transistor N.

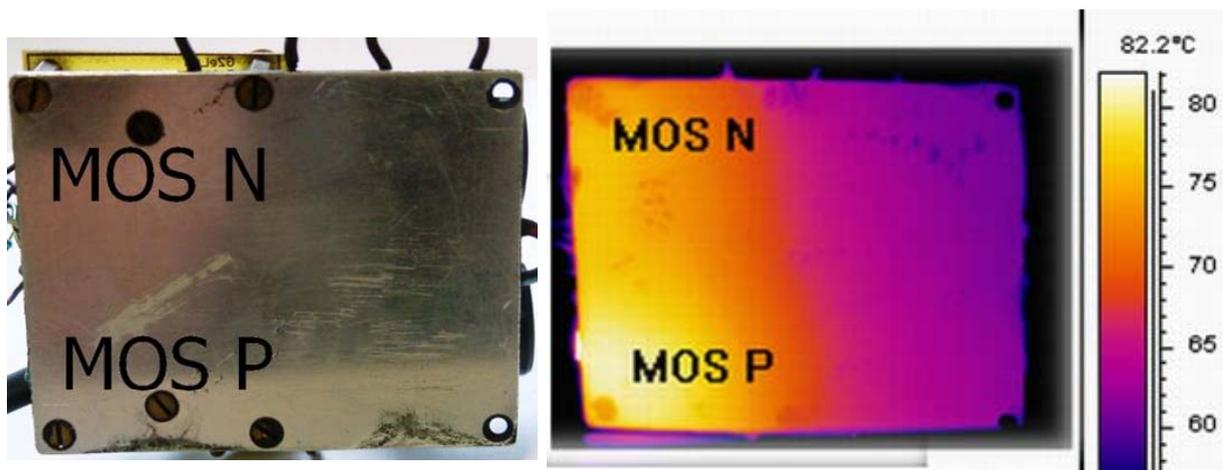
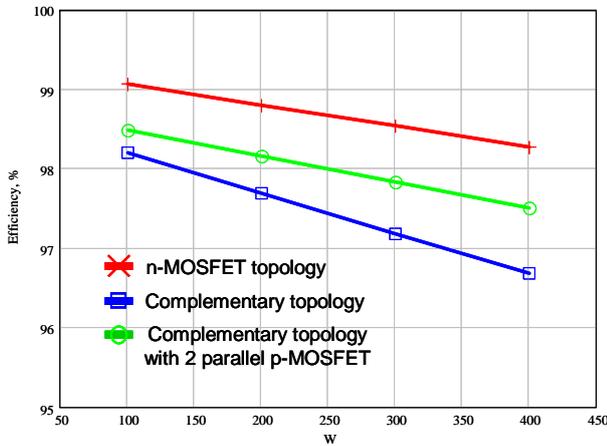


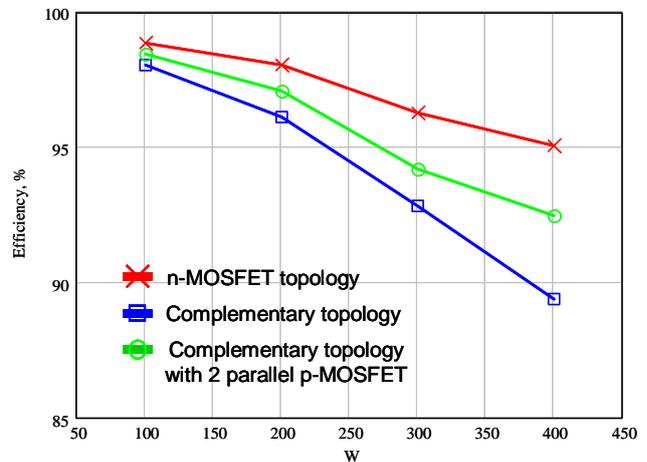
Figure II.10. Image infrarouge du demi pont capacitif complémentaire étant en fonctionnement [9]

Afin d'analyser et de comparer le rendement des deux topologies, nous avons réalisé une étude analytique pour estimer la tendance d'évolution du rendement en fonction de la

puissance d'entrée. Le calcul approximatif des pertes du convertisseur en demi pont capacitif est présenté dans [10] et puis [11]. L'évolution du rendement calculé est décrite par la Figure II.11.a. Les mesures expérimentales sont également réalisées pour valider les résultats et les tendances offerts par les calculs analytiques. Elles sont illustrées par la Figure II.11.b



(a) Calculs analytiques



(b) Mesures

Figure II.11. Evolution du rendement en fonction de la puissance d'entrée

Les calculs analytiques ainsi que les mesures montrent bien que le rendement de la structure complémentaire est plus bas pour la même puissance d'entrée par rapport à la structure classique. L'utilisation de deux transistors P en parallèle permet de réduire l'écart au prix d'une surface de silicium plus importante. Nous reviendrons sur cela plus tard. Nous constatons également qu'il existe un écart assez important entre la mesure et l'étude analytique dû au fait que l'on néglige au niveau des estimations les pertes dans les composants passifs, la connectique et que l'estimation des pertes par commutation reste difficile à faire même si le recouvrement de la diode est quasiment inexistant dans cette structure. Les calculs analytiques ont pour objectif de fournir un outil permettant de tester des combinaisons qui conduiraient à améliorer le rendement en fonction du nombre des composants.

Dans plusieurs convertisseurs statiques, le dimensionnement des composants au point de fonctionnement nominal est en général fait pour que le rapport entre les pertes en conduction et en commutation soit du même ordre de grandeur. Par ailleurs, le rapport entre les pertes en conduction et la puissance transférée augmente en fonction de la puissance. Par contre, le rapport entre la perte par commutation et la puissance transférée est moins sensible au changement de puissance transférée. En conséquence, les pertes en conduction

deviennent de plus en plus prépondérantes lorsque la puissance augmente et à dimensionnement donné. Le rendement de la structure complémentaire est donc de plus en plus mauvais par rapport à celui de la topologie classique lorsque la puissance augmente. Cela va conduire à faire des choix spécifiques pour le dimensionnement des structures complémentaires.

Par ailleurs, nous avons également réalisé des validations expérimentales pour des structures à base des IGBTs. Pourtant, un problème de court-circuit du bras dû au courant de traînage de l'IGBT nécessite une adaptation au niveau de la commande rapprochée que nous présenterons au chapitre IV. Ceci ne nous permet pas de valider l'aspect CEM, mais la mesure de rendement peut confirmer encore la tendance abordée ci-dessus en cas des structures MOS malgré de faibles rendements à cause des mauvais composants IGBTs complémentaires. La Figure II.12 présente le problème de court-circuit de la topologie complémentaire d'IGBT ainsi que le bilan de rendement mesuré pour différentes structures à base de l'IGBT.

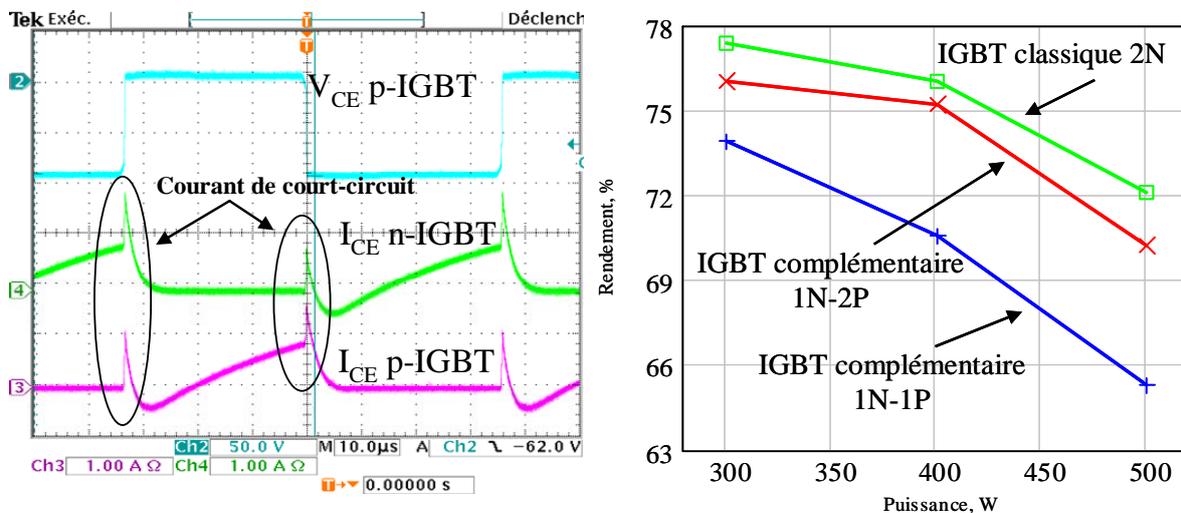


Figure II.12. Courant de court-circuit de la structure complémentaire IGBT (gauche) et le bilan du rendement de différentes topologies d'IGBT (Ventrée=150V, f=15kHz) (droite)

## II.4. Evolution et optimisation de la structure complémentaire

Pour améliorer l'état ON du p-MOSFET, nous avons mis un second p-MOSFET en parallèle du premier. Les pertes en conduction sont donc diminuées ce qui entraîne l'augmentation du rendement de la structure comme le montre la Figure II.11. Par contre, le

p-MOSFET étant deux fois plus large, il offre des capacités parasites plus importantes en particulier la capacité parasite de mode commun en face arrière de l'ensemble des deux transistors  $C'_{faceP}=2\times C_{faceP}$  entre le bus DC moins et la masse. Ceci rend asymétrique la structure et l'on peut constater que cela dégrade un petit peu l'avantage de la structure complémentaire concernant la CEM conduite. La Figure II.13 donne la représentation avec la capture des courants de mode commun dans la capacité parasite pour deux structures complémentaires symétriques et asymétriques et soumises à des  $dv/dt$  comparables. Le courant de mode commun est de 50 mA en cas de la première topologie PB-CMOS (un transistor n-MOSFET et un transistor p-MOSFET) pour 82 mA pour la nouvelle structure complémentaire asymétrique comportant un n-MOSFET et deux p-MOSFET en parallèle. Les structures asymétriques sont bien connues pour générer plus de perturbations de mode commun car elles favorisent moins le recyclage du courant dans la structure de conversion [5]

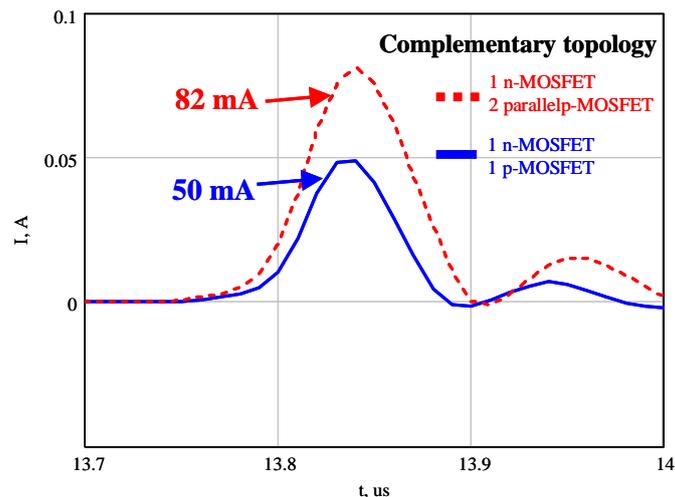


Figure II.13. Courants de mode commun issus d'un  $dv/dt$  pour les topologies complémentaires symétrique et asymétrique

Afin de maintenir la symétrie de topologie, un second n-MOSFET est ajouté en parallèle dans la structure complémentaire. Nous trouvons que le rendement de cette nouvelle structure s'améliore et se rapproche encore davantage du rendement de la structure classique. En particulier, on peut noter que le rendement théorique obtenu avec 2n-MOSFET et 2p-MOSFET est très comparable à celui obtenu avec 1n-MOSFET et 3p-MOSFET. Si cette dernière combinaison compense au mieux l'écart existant entre les mobilités des porteurs dans les deux types de composants unipolaires, le caractère asymétrique apparaît davantage

pénalisant. Ainsi, à surface de silicium équivalente, il vaut mieux symétriser la structure. La différence sur les pertes à l'état passant est théoriquement nulle entre les deux configurations. Les résultats théoriques et pratiques étant encourageants, rendement de cette nouvelle structure symétrique est présenté dans la Figure II.14 ci-dessous.

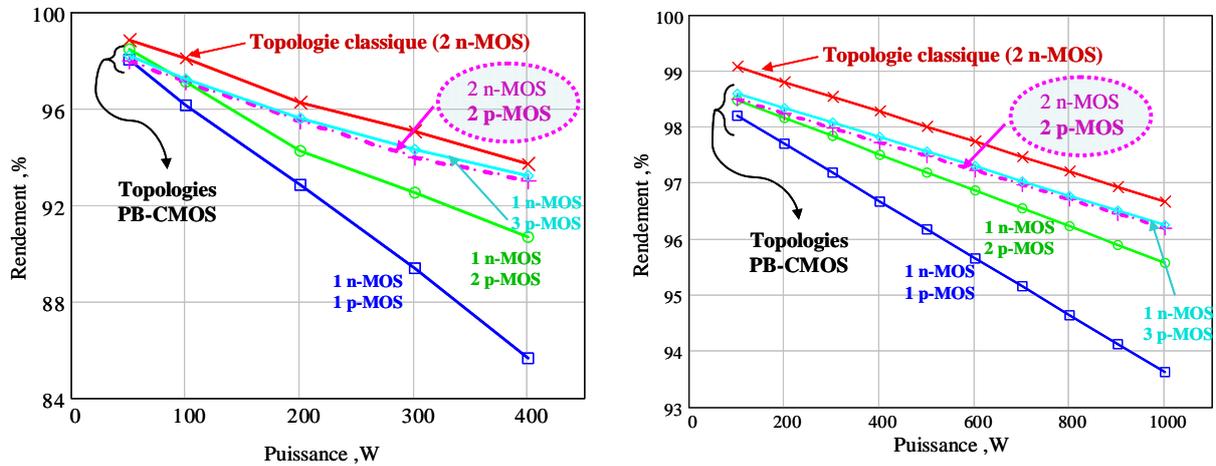


Figure II.14. Evolution du rendement pour diverses configurations de bras d'onduleur complémentaires et non complémentaires en fonction de la topologie et la puissance d'entrée. Résultats pratique (gauche) et théorique (droite).

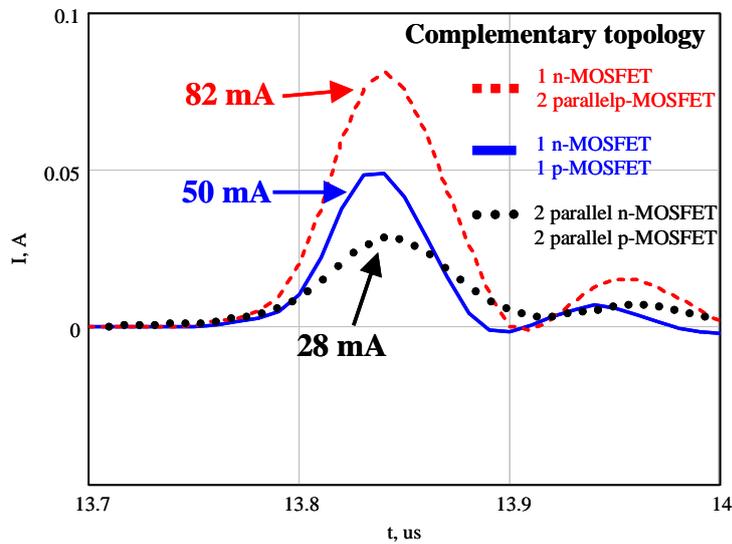


Figure II.15. Courant de mode commun en fonction de topologie

Par ailleurs, comme la nouvelle capacité parasite  $C'_{faceN}$  est maintenant deux fois plus large que  $C_{faceN}$  et égale à  $C'_{faceP}$ , la topologie redevient symétrique. De plus, les capacités  $C_{faceN}$  et  $C_{faceP}$  qui sont connectées aux impédances  $Z1$  et  $Z2$  ( $50\Omega$ ) du RSIL (voir la Figure II.4) représentent une basse impédance en haute fréquence. Les impédances de ces capacités peuvent être calculées par :

$$Z_{C_{face}} = \frac{1}{2 \cdot \pi \cdot f \cdot C_{face}} \quad (\text{II.1})$$

Avec  $C_{faceN} = C_{faceP} = 720 \text{ pF}$ , nous avons  $Z_{C_{faceN}} = Z_{C_{faceP}} = 15 \Omega$  qui sont plus petites que les impédances de sortie du RSIL.

Ces capacités parasites participent au recyclage en interne à la structure d'une partie du courant de mode commun. Par conséquent, dans le cas d'une structure complémentaire comportant deux n-MOSFETs et deux p-MOSFETs, les impédances des capacités parasites sont  $Z_{C_{faceN}} = Z_{C_{faceP}} = 7 \Omega$  ce qui permet à une plus grande partie du courant de mode commun d'être recyclée. Le courant de mode commun visible au niveau du RSIL est alors réduit à 28 mA. Cette réduction est illustrée par la Figure II.15 ci-dessus.

Il apparaît que malgré le doublement de la surface de silicium, les rendements de conversion des structures complémentaires ne parviennent toujours pas à rattraper ceux d'une structure de conversion à base de transistors N. Cela provient bien des pertes par commutation liées à des capacités plus importantes et des diodes de types P moins performantes que leurs homologues de type N.

Cette structure est non seulement symétrique au niveau de la CEM conduite mais aussi vis-à-vis de la commande rapprochée parce que l'énergie demandée pour piloter deux transistors côtés n et p est comparable et que le signal de commande se trouve donc naturellement symétrique.

Fort de ces derniers résultats, la structure complémentaire avec deux n-MOSFET et deux p-MOSFET se trouve très encourageante vis-à-vis de l'aspect CEM conduite ainsi qu'au niveau des performances et pourrait donc offrir de bonnes perspectives à cette nouvelle structure.

## II.5. Conclusion

En se basant sur la simulation et la validation expérimentale, nous avons démontré la réduction considérable du courant de mode commun offerte par la structure complémentaire. De plus, un gain important à l'égard du filtre de mode commun peut être obtenu par la simple conception du layout. Par ailleurs, nous avons également mis en évidence que les pertes supplémentaires dues aux transistors de type P peuvent être partiellement compensées en utilisant des composants ayant la surface plus importante.

L'optimisation en terme de performance en maintenant tout l'avantage de la CEM conduite nous emmène à une structure symétrique avec des transistors complémentaires qui ont les surfaces deux fois plus grandes. Cette étude montre que l'effort d'intégration monolithique s'appuyant sur des surfaces de silicium plus importantes peut réduire la taille des composants passifs nécessaires, composants qui s'avèrent souvent plus volumineux et plus difficile à intégrer. C'est donc le compromis entre le coût des fonctions sur silicium et ceux des composants passifs (matériaux magnétiques, diélectriques...) et les performances recherchées qui conditionnent désormais le processus de conception global de la structure de conversion.

Bien sur, il est toujours possible de voir les choses avec un angle de vue moins positif que celui qui ressort dans ce chapitre. En particulier, les résultats pratiques ne sont pas toujours à la hauteur des estimations théoriques. Mais il faut aussi souligner que les composants de puissance de type P n'ont pas subi le processus d'amélioration et d'optimisation que les transistors de type N. En faisant émerger le fait que les structures complémentaires peuvent conduire à une réduction substantielle de certains composants passifs, peut être que des travaux seront engagés pour le développement de composants de puissance complémentaires plus performants. Cela semble particulièrement envisageable au niveau des IGBT. En effet, les p-IGBTs ont des performances mauvaises alors que théoriquement ils pourraient être bien meilleurs.

Comme nous l'avons souligné dans le premier chapitre, les structures complémentaires offrent d'autres caractéristiques particulières comme une mise en œuvre naturelle attractive tant des points de vue package que des périphériques électroniques. Nous allons maintenant poursuivre sur quelque uns de ces points.

## Bibliographie

- [1] C. R. Paul, "A comparison of the contributions of common-mode and differential-mode currents in radiated emissions," *IEEE Transactions on Electromagnetic Compatibility*, vol. 31, no. 2, pp. 189-193, 1989.
- [2] Zhiliang Zhang and Fengxun Gong, "Prediction and Analyze of PCB Common-Mode Radiation Based on Current-Driven Mode," in *Workshop on Power Electronics and Intelligent Transportation System, PEITS'08*, 2008, pp. 320-323.
- [3] SHAOWEI DENG, HUBING Todd, and BEETNER Daryl, "Estimating Maximum Radiated Emissions From Printed Circuit Boards With an Attached Cable," *IEEE transactions on Electromagnetic Compatibility*, vol. 50, no. 1, pp. 215-218, 2008.
- [4] D. C. R. Paul, *Introduction to Electromagnetic Compatibility*, Wiley Series in Microwave and Optical Engineering. John Wiley & Sons, Inc, 1992.
- [5] Jean-Christophe Crebier, "Contribution à l'étude des perturbations conduites dans les redresseurs commandés," Mémoire de thèse, INPG, 1999.
- [6] Bertrand Revol, "Modélisation et optimisation des performances CEM d'une association variateur de vitesse – machine asynchrone," Mémoire de thèse, Université Joseph-Fourier, Grenoble I, 2003.
- [7] Guy-Gérard Champiot, "Compatibilité électromagnétique:Normalisation, réglementation et mesure," *Techniques de l'ingénieur*, 2000.
- [8] CISPR 16-1-2, "Specification for radio disturbance and immunity measuring apparatus and methods." Aug-2006.
- [9] Haras Maciej, "Etudes comparatives d'un onduleur polyphasé à technologie complémentaire," Rapport du stage M2R, G2ELab, 2008.
- [10] Fairchild Semiconductor, "Synchronous buck MOSFET loss calculations with Excel model." Apr-2006.
- [11] Manh Hung Tran, Jean-Christophe Crebier, and Christian Schaeffer, "Quantification of benefits and drawbacks in power conversion based on complementary MOS structures," in *IEEE Energy Conversion Congress and Exposition, ECCE 2009*, pp. 3423-3430.

# CHAPITRE III :

## Comparaison des composants complémentaires sur substrats P par rapport aux composants classiques sur substrat N

### SOMMAIRE

---

<i>CHAPITRE III : Comparaison des composants complémentaires sur substrats P par rapport aux composants classiques sur substrat N</i> .....	57
<b>III.1. Introduction</b> .....	<b>59</b>
<b>III.2. Différences entre les composants sur substrats P et des composants sur substrats N</b> .....	<b>59</b>
III.2.1. Diode .....	59
III.2.1.a. Polarisation directe .....	62
III.2.1.b. Tenue en tension en inverse – Effet d’avalanche .....	65
III.2.1.c. Temps de recouvrement .....	70
III.2.1.d. Capacité de transition .....	71
III.2.1.e. Conclusion sur la comparaison des diodes .....	72
III.2.2. Transistor bipolaire.....	72
III.2.2.a. Tenue en tension.....	74
III.2.2.b. Caractéristique statique et gain du transistor .....	76
III.2.2.c. Conclusion sur la comparaison des transistors .....	79
III.2.3. MOSFET .....	79
III.2.3.a. Tension de seuil .....	80
III.2.3.b. Caractéristique statique.....	82
III.2.3.c. Capacités parasites .....	84
III.2.3.d. Conclusion sur l’étude de comparaison des MOSFETs .....	84
III.2.4. IGBT .....	85
<b>III.3. Etat de l’art du composant complémentaire de puissance</b> .....	<b>87</b>
III.3.1. Caractéristique électrique des MOSFETs existants .....	87
III.3.2. Plage d’utilisation optimale des composants complémentaires.....	88
<b>III.4. Evolution vers un composant hybride optimisé</b> .....	<b>89</b>

III.4.1. Transistor MOSFET-Bipolaire .....	89
III.4.2. Transistor MOSFET multiple .....	92
<b>III.5. Conclusion.....</b>	<b>94</b>
<b>Bibliographie .....</b>	<b>95</b>

### **III.1. Introduction**

Les composants complémentaires sur substrats P sont connus pour leurs caractéristiques électriques étant plus mauvaises que celles des composants de type N. Certains paramètres physiques créant un impact sur ces différences seront étudiés dans la première partie de ce chapitre. Les conséquences dues à l'emploi des composants type P seront ensuite discutées afin de pouvoir définir une plage d'utilisation de ce type de composant. De nouveaux composants sont ainsi proposés avec pour objectifs d'améliorer le composant complémentaire et de l'adapter à un nouveau module de puissance.

### **III.2. Différences entre les composants sur substrats P et des composants sur substrats N**

#### **III.2.1. Diode**

La diode de puissance est régulièrement constituée d'une structure  $P^+N_vN^+$  dans laquelle la région  $N_v$  faiblement dopée assure la tenue en tension du composant. La région  $N^+$  fortement dopée permet de rabattre le champ électrique à zéro et de réaliser un bon contact ohmique de cathode. Dans ce paragraphe, nous allons analyser le comportement des diodes de puissance à base de substrats de type N et P sur différentes caractéristiques statiques et dynamiques. Pour ce faire, deux structures comparables sont utilisées afin d'assurer des conditions d'étude similaires lors de cette étude comparative. La Figure III.1 en donne la représentation.

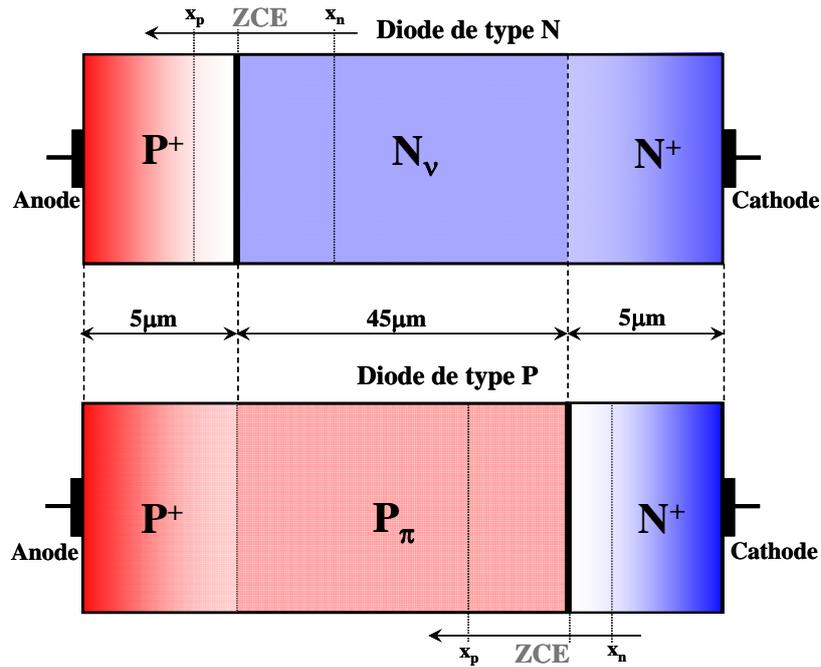


Figure III.1. Deux structures comparables de la diode de puissance de type N (en haut) et type P (en bas) en équilibre thermodynamique et hors polarisation

Ces deux structures  $P^+N_vN^+$  et  $N^+P_\pi P^+$  ci-dessus possèdent des dopages suivants :  $N_{P^+} = N_{N^+} = 5.10^{19} \text{ cm}^{-3}$ ,  $N_v = P_\pi = 2.10^{14} \text{ cm}^{-3}$ . Les structures étudiées sont en une dimension. Le dopage est considéré uniforme pour la région centrale et gaussien pour les régions extrêmes. Pour la suite du chapitre, les coupes transversales se font comme le montre la Figure III.2 ci-dessous afin d'étudier le profil des paramètres. La durée de vie utilisée dans les simulations est de  $1\mu\text{s}$  pour l'électron et le trou. Par ailleurs, les modèles physiques concernant la mobilité des porteurs ainsi que les phénomènes de recombinaison et d'ionisation par impact sont décrits en détail dans la partie physique de [1]. Ces derniers sont utilisés de manière identique pour deux structures ci-dessus afin de mener à bien l'étude comparative.

La Figure III.3 présente le profil du champ électrique à l'équilibre thermodynamique hors de polarisation externe qui est symétrique pour deux structures étudiées.

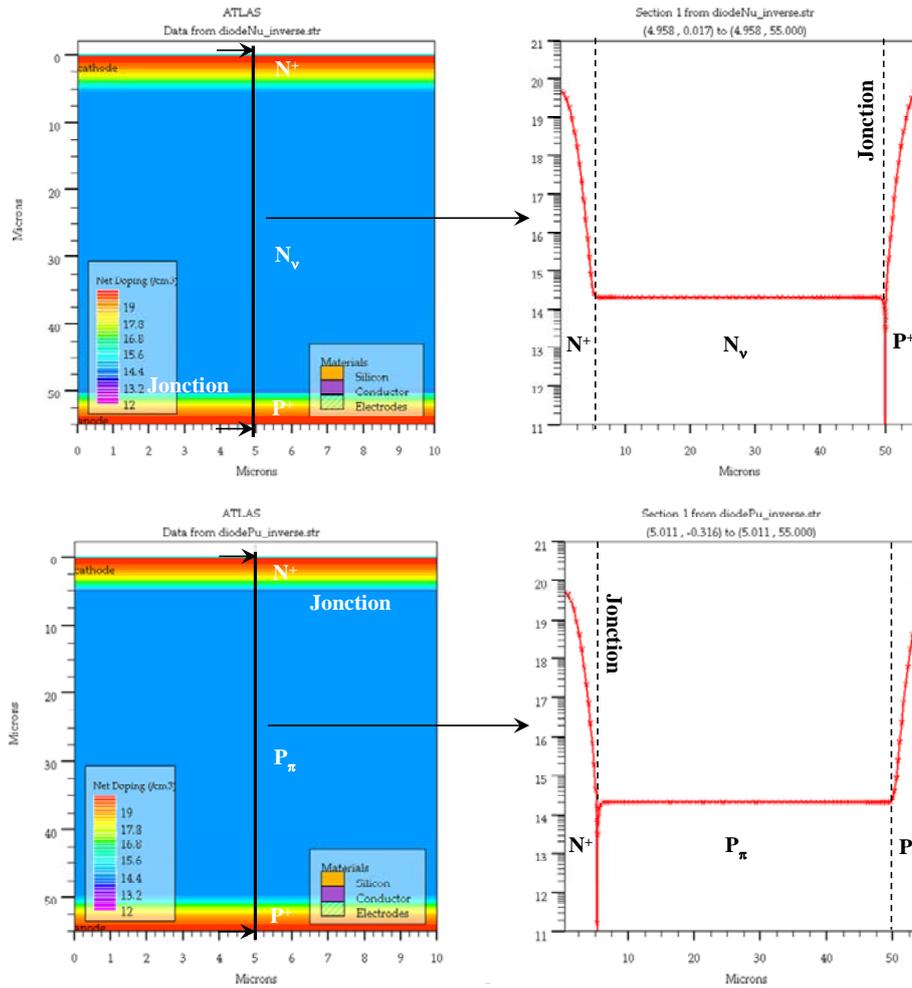


Figure III.2. Vues en coupe et profils de dopage des deux structures sur substrat N en haut et sur substrat P en bas (simulateur ATLAS-SILVACO)

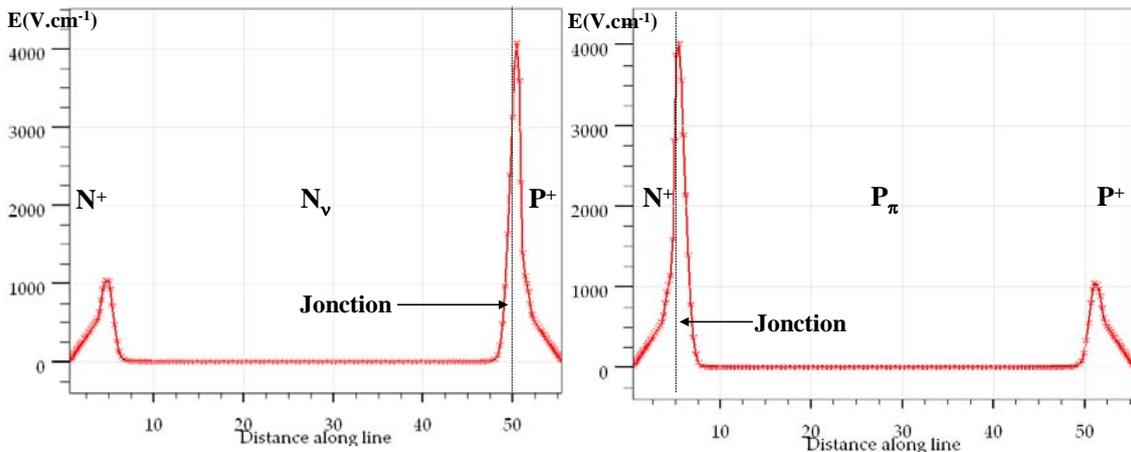


Figure III.3. Répartitions du champ électrique à l'équilibre thermodynamique pour deux substrats N et P

### III.2.1.a. Polarisation directe

Les cathodes des deux structures sont mises à la terre et on applique une tension positive  $V_{\text{directe}}$  aux anodes. Le courant direct est composé de trois courants constitutifs, les courants d'électrons et de trous ainsi que le courant de recombinaison. Pour étudier les caractéristiques statiques et dynamiques des deux diodes à substrats N et P, des modèles physiques tenant en compte des phénomènes de recombinaison Shockley-Read-Hall (SRH), Auger sont utilisés dans les simulations type éléments finis Atlas-Silvaco.

En régime de très faible injection, le courant de la diode est dominé par la recombinaison des porteurs au niveau de la ZCE. Le taux de recombinaison SRH et la densité de courant peuvent être calculés par [2] :

$$U_{SRH} = \frac{n_i^2 e^{\frac{qV_{\text{directe}}}{kT}} - n_i^2}{\tau_{p0} (n_i e^{\frac{qV_{\text{directe}}}{2kT}} + n_i) + \tau_{n0} (n_i e^{\frac{qV_{\text{directe}}}{2kT}} + n_i)} \quad (\text{III.1})$$

$$J = q \times U_{SRH} \times W_{ZCE}$$

Dont  $\tau_{n0}$  et  $\tau_{p0}$  sont respectivement la durée de vie des porteurs minoritaires des électrons et des trous,  $n_i$  représente la concentration intrinsèque,  $k$  est le constant Boltzmann,  $T$  est la température absolue et  $W_{ZCE}$  est la largeur de la ZCE.

En admettant la même durée de vie pour les électrons et les trous, nous aurons des densités de courants similaires dans deux types de composants pour une tension positive  $V_{\text{directe}}$  appliquée aux anodes. En effet, la Figure III.4 ci-dessous présente l'image du taux de recombinaison qui est beaucoup plus important dans la ZCE que dans les autres régions des deux diodes type N et P à une très faible polarisation  $V_{\text{directe}}=0,2V$ . Ceci montre que le phénomène de recombinaison se produit essentiellement dans la zone désertée autour de la jonction suivant le modèle SRH [1] et crée la même densité de courant sur la diode substrat N et P (voir la Figure III.4 en bas).

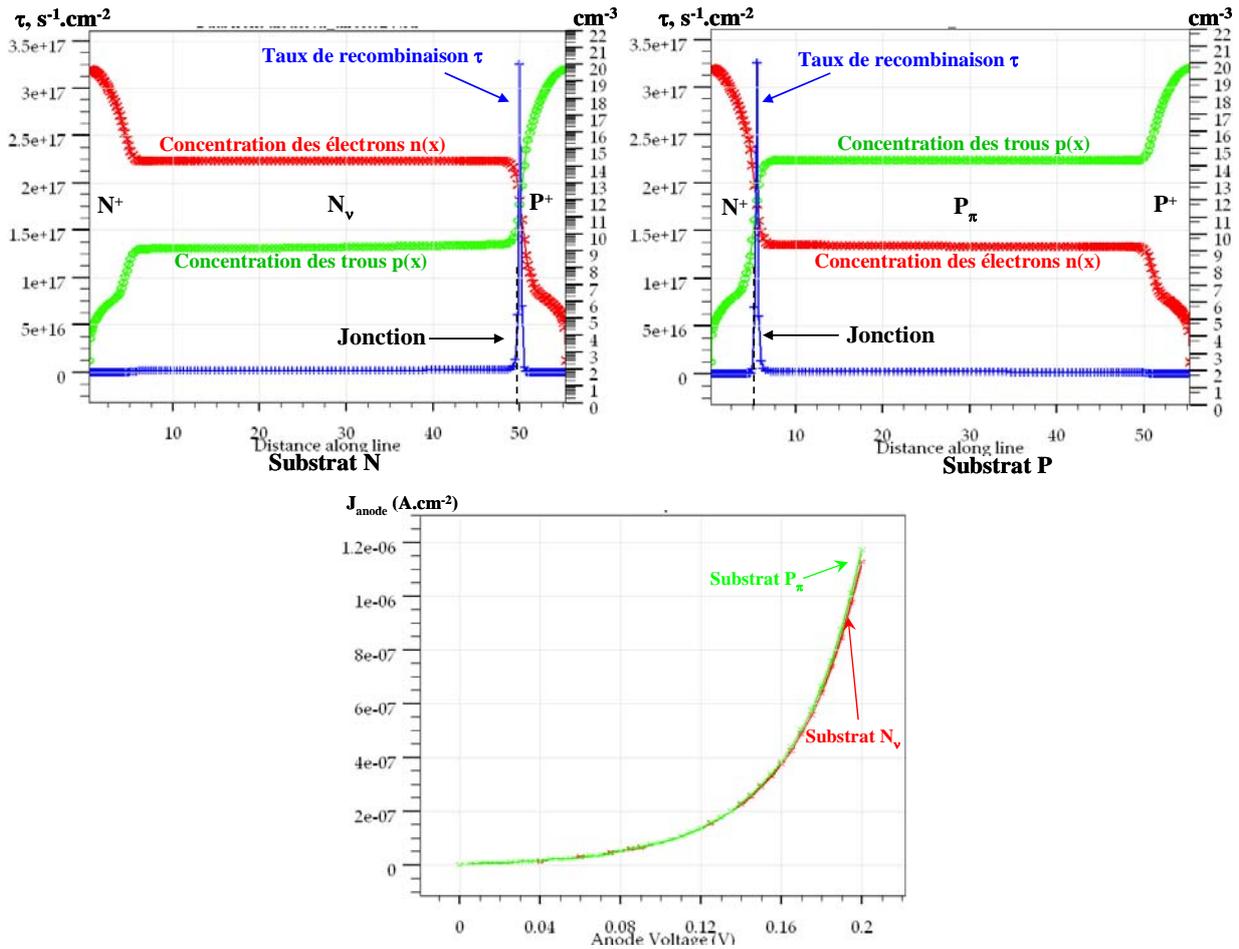


Figure III.4. Profil de la concentration des électrons, des trous et du taux de recombinaison d'une coupe transversale (haut). Caractéristique V-I de la diode de deux type de substrat N et P en régime de très faible injection (bas)

Lorsque la densité de courant augmente et que la diode fonctionne toujours en régime de faible injection, la ZCE est amincie de plus en plus et le courant de la diode est pris en charge essentiellement par le courant de diffusion. Ce dernier est relié à l'injection des porteurs minoritaires dans les deux régions de la jonction P-N. En régime de forte injection, la diffusion des porteurs minoritaires fait accroître également le niveau de dopage des porteurs majoritaires. La Figure III.5 ci-dessous en donne la représentation. Cette injection permet de moduler la conductivité de la région faiblement dopée  $N_v$  ou  $P_\pi$ . Ceci diminue la résistance et donc la chute de tension à l'état passant de cette région. Cette chute de tension ne dépend pas de la densité de courant de la diode et peut se déduire d'après [2] par :

$$V_m = \frac{W^2}{(\mu_n + \mu_p)\tau_{HL}} \quad (\text{III.2})$$

Dont  $W$  représente la largeur de la zone centrale  $N_v$  et  $P_\pi$ .  $\mu_n$  et  $\mu_p$  sont respectivement les mobilités des électrons et des trous,  $\tau_{HL}$  est la durée de vie des porteurs dans ces régions faiblement dopées en régime forte injection.

Nous constatons qu'en assurant la même valeur de  $W$  et  $\tau_{HL}$ , les chutes de tension dans les zones centrales seraient les mêmes pour les diodes de types N et P. Par ailleurs, dans ce régime, la chute de tension dans les régions extrêmes contribue également à une partie non négligeable dans la chute de tension totale à l'état passant qui peut être calculée par la formule suivante :

$$V_{ON} = \frac{2kT}{q} \ln \left[ \frac{J.W}{4qD_a n_i F \left( \frac{W}{2L_a} \right)} \right] \quad (III.3)$$

$$\text{avec } F \left( \frac{W}{2L_a} \right) = \frac{(W/2L_a) \tanh(W/2L_a)}{\sqrt{1 - 0.25 \tanh^4(W/2L_a)}} ; D_a = \frac{2D_n D_p}{D_n + D_p} ; L_a = \sqrt{D_a \tau_{HL}}$$

Dont  $J$  est la densité de courant.  $D_n$ ,  $D_p$  représentent respectivement les coefficients de diffusion des électrons et des trous. De nouveau, la formule ci-dessus permet d'avoir le même comportement à l'état passant chez les diodes sur substrat N et P si nous maintenons le même paramètre géométrique  $W$  et physique  $\tau_{HL}$  pour ces deux types de diodes.

En effet, la Figure III.5 présente une répartition similaire des concentrations des porteurs libres des diodes type N et P. Le dopage dans les régions centrales est augmenté de  $2.10^{14} \text{ cm}^{-3}$  à  $1.10^{17} \text{ cm}^{-3}$ . En même temps, la recombinaison se passe non seulement dans la ZCE mais aussi dans les régions fortement dopées aux extrémités. Elle est principalement d'origine de type recombinaison directe Auger et dépend du dopage ou encore du niveau de la polarisation.

Ainsi, la caractéristique V-I des deux types de diodes étant illustrée par la Figure III.6 confirme les comportements des diodes de type N et P qui sont les mêmes sous une polarisation directe. Nous allons ensuite analyser le comportement de ces dernières diodes en polarisation inverse dans le paragraphe suivant.

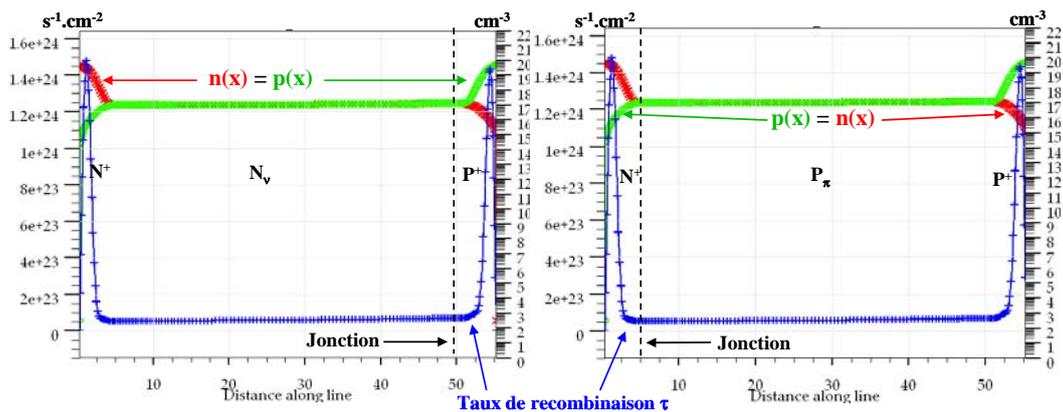


Figure III.5. Profils des concentrations des électrons, des trous et du taux de recombinaison des deux diodes à la tension  $V_{directe}=0,85V$

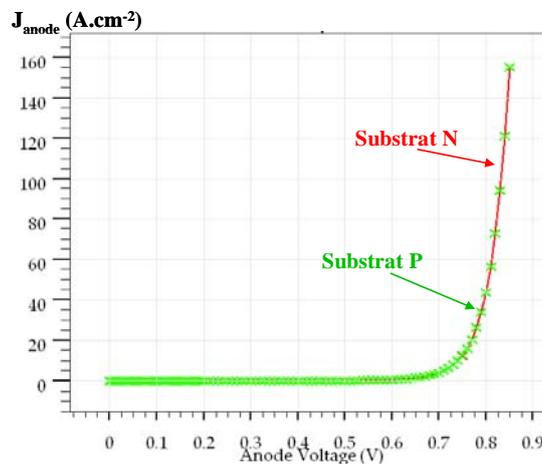


Figure III.6. Caractéristique V-I des diodes type N et P

### III.2.1.b. Tenue en tension en inverse – Effet d’avalanche

Pour étudier la tenue en tension en inverse, les anodes des deux diodes sont mises à la terre en appliquant une tension positive aux cathodes. Lorsque la tension de polarisation n’est pas suffisamment importante pour produire le phénomène d’avalanche, le courant inverse de la jonction PN de la diode prenant en compte le courant de génération thermique peut être calculé par:

$$J_i = J_s + J_g$$

$$\text{Avec } J_g = \frac{qn_i}{\tau_m} W_{eff}; J_s = \frac{qD_n n_i^2}{L_n N_A} + \frac{qD_p n_i^2}{L_p N_D} \quad (III.4)$$

Dont  $J_s$ ,  $J_g$  sont respectivement les courants de saturation et de génération thermique,  $W_{eff}$  représente la largeur effective de la ZCE,  $\tau_m$  est le taux de génération dépendant de la température, du coefficient de capture des porteurs et la densité de centres de

recombinaison.  $N_A$  et  $N_D$  sont les dopages des régions aux extrémités  $P^+$  et  $N^+$ .  $L_n$  et  $L_p$  représentent respectivement les longueurs de diffusion des électrons et des trous dans la zone centrale.

De plus, deux composants constitutifs du courant inverse ne sont pas modifiés en fonction du type de substrat parce que la répartition de la ZCE et la durée de vie sont considérées identiques pour les deux cas. Par conséquent, les densités  $J_i$  en fonction de la tension de polarisation des deux diodes devraient être similaires. En effet, La Figure III.7 montre la caractéristique I-V avant l'avalanche pour les deux types de diodes, caractéristiques qui coïncident relativement bien. Les faibles différences sont dues aux erreurs numériques de la méthode des éléments finis.

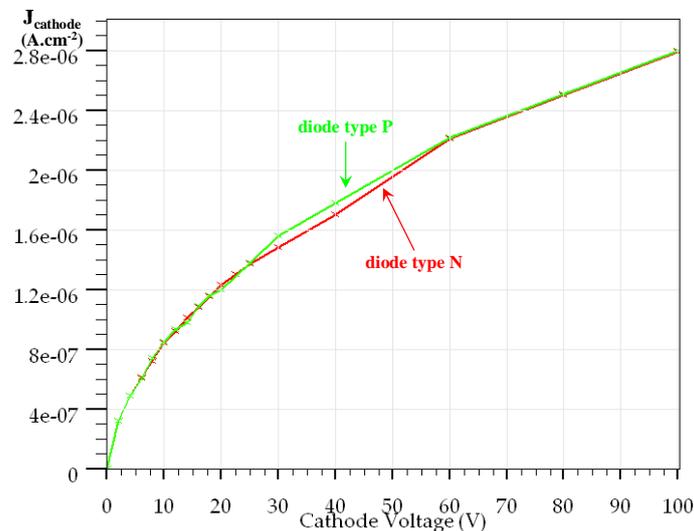


Figure III.7. Début de la caractéristique en inverse des diodes de type N et P

La tension de polarisation est ensuite augmentée jusqu'à l'apparition du phénomène d'avalanche. Nous constatons que la diode de type N part en avalanche plus tôt que celle de type P, autrement dit, que la tenue en tension de la diode P qui est de 750 V, est meilleure que celle de la diode N, qui est de l'ordre de 725 V (voir la Figure III.8). Le modèle utilisé pour la description de l'avalanche sous Silvaco est le modèle SELB, avec les paramètres des coefficients d'ionisation par défaut.

Afin de mieux analyser le phénomène d'avalanche, nous utilisons le modèle développé par Nicolas Rouger dans sa thèse [3] et l'adaptions à notre cas d'étude. Le modèle prend en considération le phénomène d'ionisation par impact en se basant sur la loi de Chynoweth [4] pour ensuite calculer les taux d'ionisation des électrons  $\alpha_n$  et des trous  $\alpha_p$ .

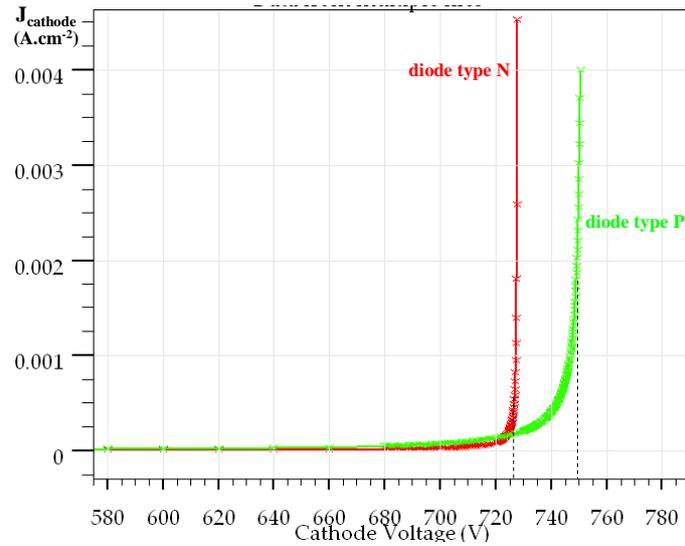


Figure III.8. Caractéristique en régime d'avalanche des diodes de type N et P

La densité de courant de la jonction p-n en régime d'avalanche se déduit ainsi par :

$$J_{aval} = M_n J_n + M_p J_p + M_g J_g \quad (III.5)$$

Ce dernier se compose des courants de diffusion des électrons  $J_n$ , des trous  $J_p$  et de la génération thermique  $J_g$  qui se multiplient respectivement par les coefficients de multiplication  $M_n$ ,  $M_p$  et  $M_g$ ,  $M_g$  étant prépondérant dans ce phénomène d'avalanche. Ces coefficients sont calculés en fonction de la tension de polarisation par les formules ci-dessous selon [5] et [3] :

$$M_n(V) = \frac{1}{1-F(V)} \quad M_p(V) = \frac{z(V)}{1-F(V)} \quad M_g(V) = \frac{z_{moyen}(V)}{1-F(V)} \quad (III.6)$$

Les fonctions  $z(x,V)$  et  $F(V)$  donnant une image de la multiplication des porteurs dans la ZCE peuvent être définies par :

$$z(x,V) = e^{-\int_{x_p}^x (\alpha_n(x',V) - \alpha_p(x',V)) dx'} \quad F(V) = \int_{x_p}^{x_n} z(x,V) \cdot \alpha(x,V) dx \quad (III.7)$$

$\alpha_{n,p}$  représente les taux d'ionisation des électrons et des trous.

La tension de claquage du composant se définit lorsque la fonction  $F(V)$  tend vers 1, c'est-à-dire lorsque le phénomène de multiplication par avalanche devient très important. Les trois coefficients multiplicatifs tendent donc vers l'infini, faisant accroître brutalement le courant inverse.

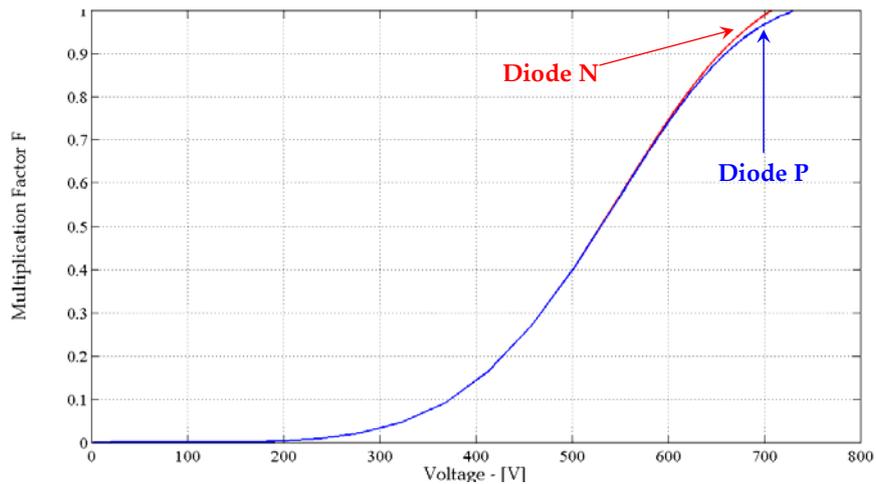


Figure III.9. Fonctions F des deux types de diode en fonction de la tension de polarisation

La Figure III.9 ci-dessus présente la forme d'onde de la fonction  $F(V)$  en fonction de la tension de polarisation en inverse. Il n'y a pas de différence entre les deux types de substrat en basse tension. La fonction  $F$  augmente de façon monotone avec la tension appliquée et l'écart entre celles-ci pour les deux diodes commence à apparaître lorsque la tension monte au-delà de 600 V. Ce léger écart représente la différence de la tenue de tension des deux types de diodes présentée ci-dessus. Afin de comprendre la nature du courant de génération thermique qui est prépondérant dans ce phénomène d'avalanche, nous avons tracé les courbes des coefficients de multiplication en fonction de la tension appliquée.

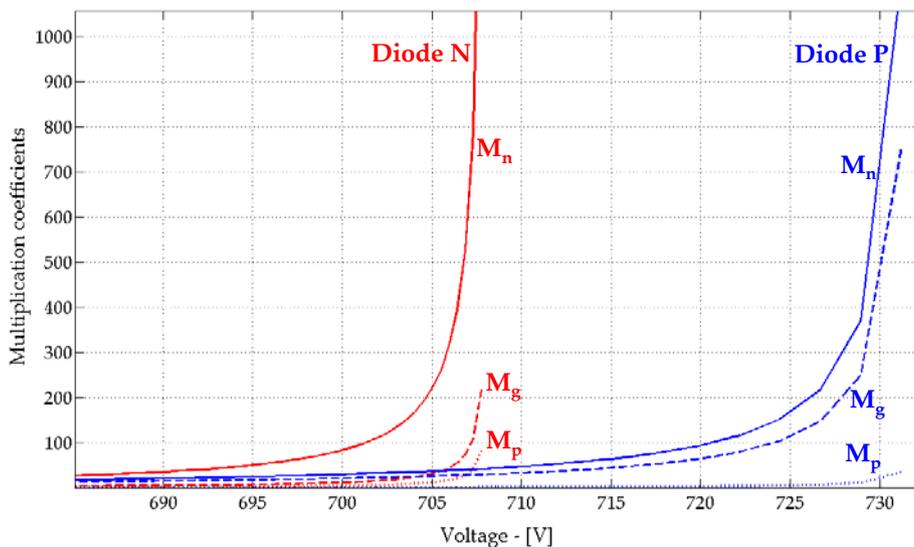


Figure III.10. Coefficients de multiplication des deux types de diodes en fonction de la tension de polarisation. En rouge, coefficients relatif à la diode N et en bleu, ceux relatifs à la diode P

En effet, la Figure III.10 illustre les caractéristiques des trois facteurs de multiplication pour les deux substrats de type N et P. Nous constatons que les coefficients de la diode de

type N commencent à augmenter très vite lorsque la tension de polarisation tend vers 706 V, et de même dans le cas du substrat P avec une tension appliquée de 726V. Les courants issus de la génération thermique étant prépondérants, lorsque le phénomène d'avalanche apparaît, le courant d'avalanche issu de la génération thermique est le courant d'avalanche prépondérant. Ce dernier est dû aux paires électron-trou créées par la génération thermique (voir la Figure III.11). Les courants de trous et d'électrons se déplacent ensuite suivant le champ électrique E. La Figure III.11 ci-dessous présente le profil des champs électriques E qui règnent dans la ZCE des deux types de diodes. Nous constatons que, pour la diode sur substrat  $N_v$ , la probabilité que le courant de trous traverse le champ maximal  $E_{max}$  est plus importante que le courant des électrons qui se déplace dans l'autre sens. Par conséquent, les trous qui sont plus accélérés que les électrons par le champ électrique font partie essentielle du courant de l'avalanche issu de la génération thermique. C'est pour cela que les coefficients de multiplication des porteurs issus de la génération thermique dans le cas de la diode à substrat N sont plus proches des coefficients de multiplication des trous. Il en va de même dans l'autre sens pour les diodes sur substrats P.

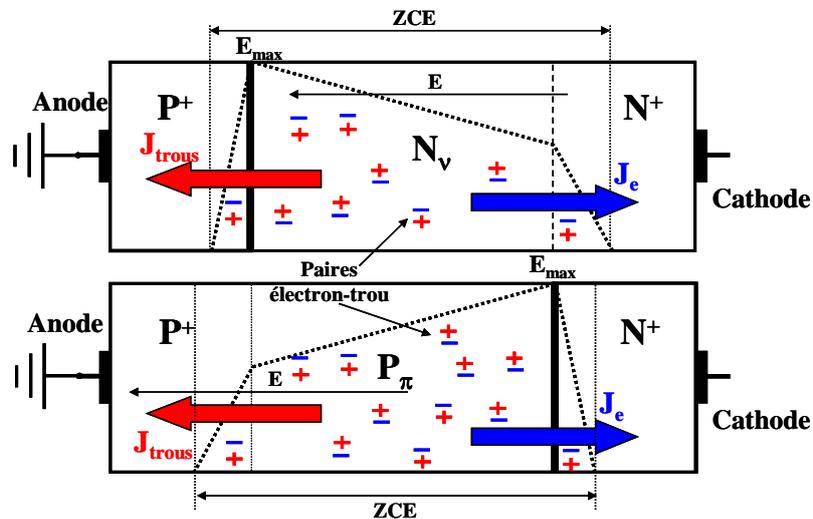


Figure III.11. Profil des champs électriques dans les ZCE des deux types de diodes.

Suite à l'étude analytique présenté ci-dessus, la diode à substrat de type N produit le phénomène d'ionisation par impact plus important que la diode de type P, autrement dit, la diode à substrat N part en régime d'avalanche à une tension de polarisation inverse plus faible. En effet, le résultat de la modélisation montre la tension d'avalanche qui est de l'ordre de 706 V pour la diode de type N et de 726 V pour l'autre. Il existe un écart par rapport aux

résultats de simulation éléments finis qui est dû au fait que quelques simplifications sont utilisées pour alléger le modèle. En effet, le champ électrique dans les régions fortement dopées est négligé et les coefficients d'ionisation par impact ne dépendent pas du niveau du champ électrique, au contraire des modèles utilisés dans la simulation éléments finis Atlas. Pourtant, le modèle analytique montre de manière précise la tendance correspondant à ce que donne la simulation de la tension d'avalanche et nous aide donc à bien comprendre des phénomènes physiques importants de cette dernière.

### III.2.1.c. Temps de recouvrement

Il est important d'étudier le comportement dynamique des types de diodes dont le temps de recouvrement est un paramètre particulièrement important. Les diodes de type N et P sont donc insérées dans le circuit présenté par la Figure III.12 et leur comportement est simulé grâce aux outils numériques Atlas mixed-mode.

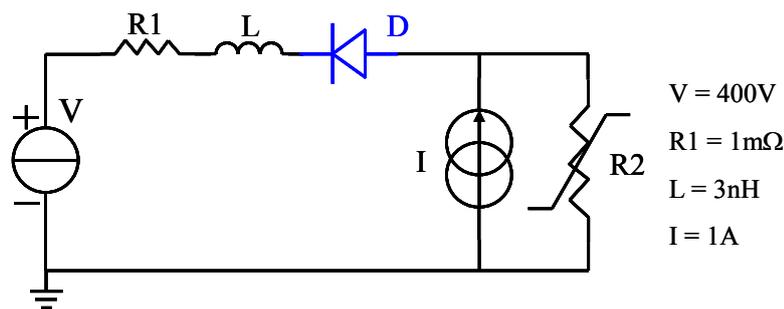


Figure III.12. Circuit de test du temps de recouvrement de diode

Le rhéostat R2 diminue exponentiellement pendant 20ns de 1MΩ à 1mΩ. Par conséquent, la diode est en conduction à l'état initial avec le courant fourni par la source de courant. Ensuite, le courant passe progressivement par le rhéostat ce qui conduit au blocage de la diode. En appliquant des durées de vie identiques pour les électrons et les trous (1μs) pour deux types de diode, le comportement dynamique lors du blocage est illustré par la Figure III.13. Nous constatons que les courants de recouvrement produits par les diodes de type N et P sont identiques. La simulation montre très peu de différences en termes de temps de recouvrement entre deux types de substrat.

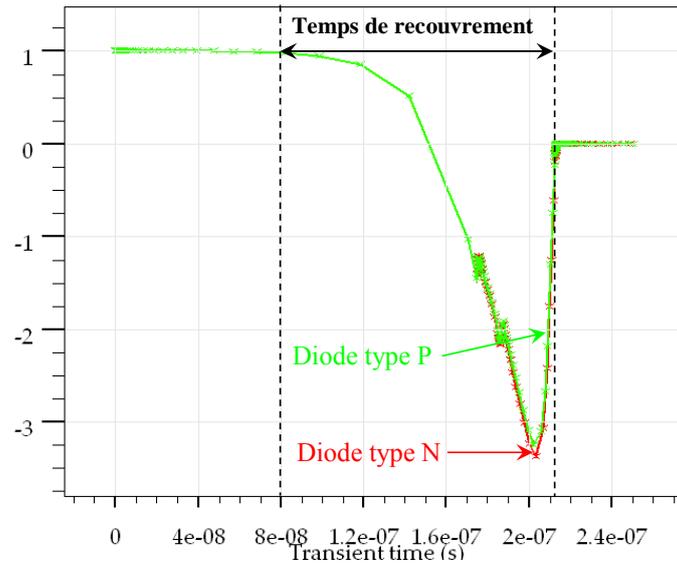


Figure III.13. Réponse dynamique de la diode de type N et P

#### III.2.1.d. Capacité de transition

Lorsque la diode est polarisée en inverse, la jonction  $P^+N_vN^+$  ou  $N^+P_\pi P^+$  peut être considérée comme une capacité plane. La capacité de transition peut donc se déduire par :

$$C_t = \frac{\epsilon \cdot S}{W} \quad (\text{III.8})$$

Dont  $\epsilon$ ,  $S$  et  $W$  représentent respectivement la permittivité du silicium, la surface de la jonction et l'épaisseur de la zone de charge d'espace qui dépend, entre autres, de la tension de polarisation de la diode.

Pour les conditions d'étude similaires, la surface, la largeur et donc la capacité  $C_t$  de la jonction devraient être semblables pour les deux types de diodes. En effet, la simulation éléments finis offre la forme d'ondes de la capacité de transition en fonction de la tension comme le montre la Figure III.14 ci-dessous. Les capacités par unité de surface sont complètement identiques dans les deux substrats N et P. De plus, si la tension appliquée excède 300 V, l'extension de la charge d'espace ne peut plus s'étendre librement dans la région  $N_v$  ou  $P_\pi$  et les régions fortement dopées  $N^+$  ou  $P^+$  jouent un rôle d'armature comme dans un condensateur plan. Comme la largeur de la ZCE ne varie plus, la capacité de transition reste donc la même.

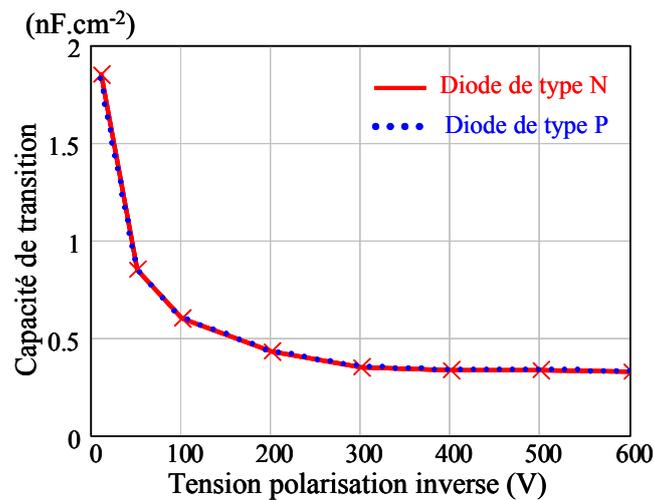


Figure III.14. Capacité de transition en fonction de la tension de polarisation inverse

### III.2.1.e. Conclusion sur la comparaison des diodes

Les résultats présentés ci-dessus donnent une image très encourageante vis-à-vis des diodes sur substrats P. Ces dernières offriraient globalement des comportements proches des diodes de puissance de type N. De plus, la diode de type P présente une meilleure tenue en tension par rapport à la diode sur substrat N ayant des mêmes paramètres physiques et géométriques. Le paramètre essentiel à cela est la durée de vie des porteurs dans la zone centrale. Si celle-ci est identique pour les trous et les électrons dans les deux types de substrats, il devient possible de réaliser des diodes P et N comparables [6].

## III.2.2. Transistor bipolaire

Le transistor bipolaire de puissance se forme généralement par une structure de quatre régions. A titre d'exemple, un transistor de substrat N est constitué des couches N<sup>+</sup>PN<sub>v</sub>N<sup>+</sup> comme le montre la Figure III.15 à gauche. Il se compose de deux jonctions en anti-série, la zone de tenue en tension centrale étant de faible concentration et reliée au type de dopage du collecteur. De même pour le transistor de type P qui se base sur une structure P<sup>+</sup>NP<sub>π</sub>P<sup>+</sup> (voir la Figure III.15 à droite). Ces deux structures seront ensuite comparées en se fondant sur des paramètres électriques importants dans le prochain paragraphe. Afin de mener à bien ces études comparatives, la demi cellule des deux structures de transistor comportant les mêmes paramètres géométriques et les mêmes niveaux de dopage pour chaque région est considérée. La Figure III.16 ci-dessous en donne la représentation.

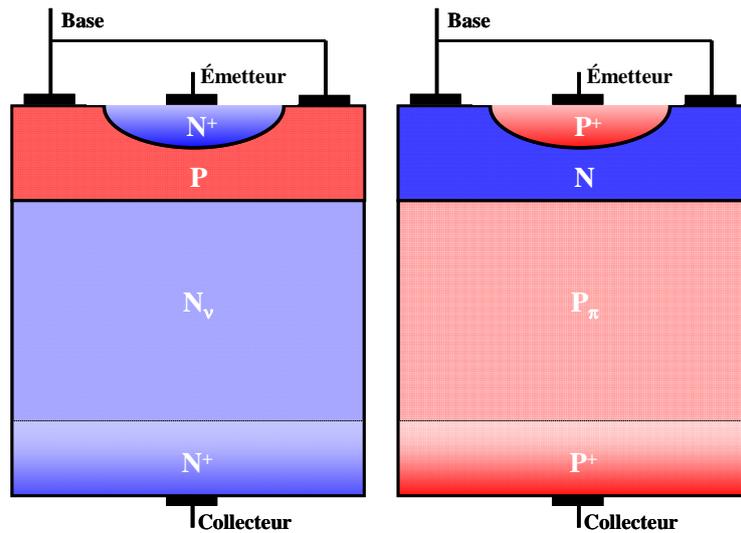


Figure III.15. Structure d'un transistor bipolaire de puissance sur substrat N à gauche et substrat P à droite

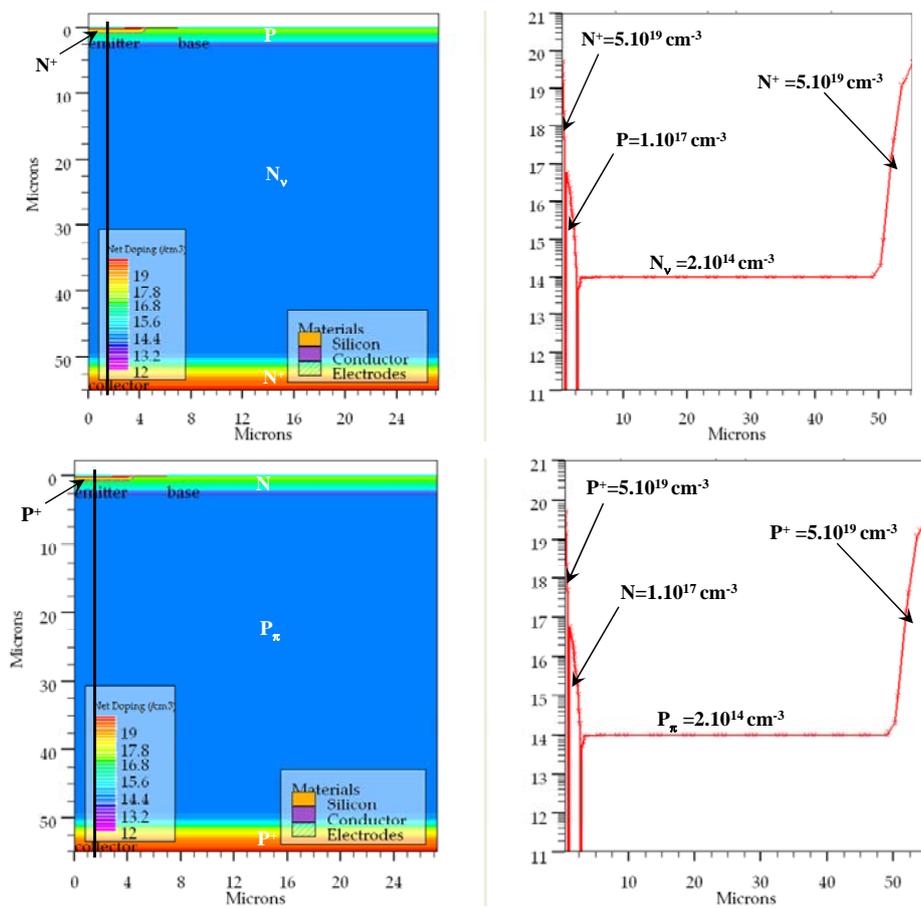


Figure III.16. Deux transistors de type N (en haut) et P (en bas) avec leurs profils du dopage

Les paramètres géométriques employés sont dimensionnés pour adapter à la fabrication du transistor à la technologie VDMOS sans ajouter d'étape supplémentaire. Les dopages et les épaisseurs de différentes régions sont présentés dans le tableau suivant :

Région	Substrat N	Substrat P	Epaisseur ( $\mu\text{m}$ )	Concentration ( $\text{cm}^{-3}$ )
Emetteur	N <sup>+</sup>	P <sup>+</sup>	0,7	$5.10^{19}$
Base	P	N	2,5	$1.10^{17}$
Collecteur	N <sub>v</sub>	P <sub><math>\pi</math></sub>	47,5	$2.10^{14}$
	N <sup>+</sup>	P <sup>+</sup>	5	$5.10^{19}$

Tableau III.1 Paramètres géométriques et physiques des deux types de transistors

### III.2.2.a. Tenue en tension

Il est important d'étudier les tensions de claquage du transistor qui change en fonction des diverses configurations de la commande de base telles que  $V_{CBO}$ ,  $V_{CEO}$  et  $V_{CES}$ .

La tension  $V_{CBO}$  est la tension d'avalanche de la jonction base-collecteur du transistor lors que l'émetteur est en l'air. De fait, le transistor se comporte dans ce cas comme une diode avec la jonction entre le collecteur et la base. L'évolution de la tension  $V_{CBO}$  des deux transistors suit donc la tendance présentée ci-dessus pour les diodes de substrat N et P, c'est-à-dire la tension  $V_{CBO}$  du transistor de type N (jonction  $\text{PN}_v\text{N}^+$ ) de l'ordre de 830V est plus faible que celle du transistor de substrat P (jonction  $\text{NP}_\pi\text{P}^+$ ) étant autour de -870V comme le montre la Figure III.17

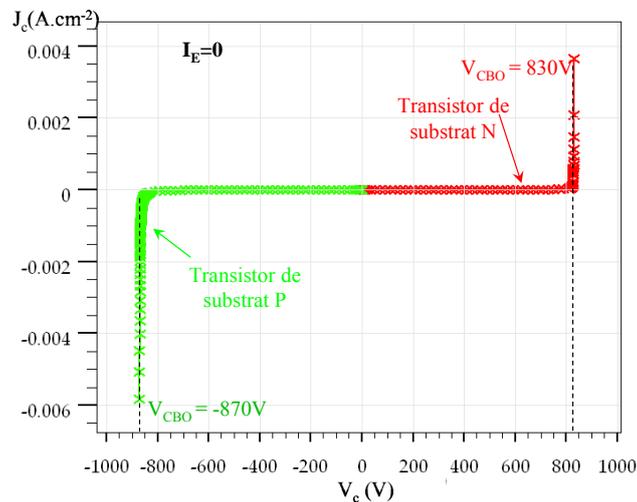


Figure III.17. Evolution du courant collecteur en fonction de la tension collecteur lorsque l'émetteur est en l'air pour les deux types de transistor

Ensuite, une autre tension critique concerne la tension d'avalanche collecteur-émetteur  $V_{CEO}$  quand la base est en l'air ( $I_B=0$ ). Dans ce cas, lorsqu'une tension positive est appliquée au collecteur, la jonction base-émetteur est polarisée en directe et la jonction base-collecteur

se met en inverse. Le courant de fuite est pourtant beaucoup plus important par rapport au cas émetteur ouvert par l'amplification du courant interne de base. Ceci dégrade la tenue en tension du transistor bipolaire en mode base ouverte. En effet, Il existe une liaison entre cette tension  $V_{CEO}$  et la tension  $V_{CBO}$  qui est décrite par la formule [7] :

$$\frac{V_{CEO}}{V_{CBO}} = \frac{1}{(1 + h_{FE})^{\frac{1}{n}}} \quad (\text{III.9})$$

Dont  $h_{FE}$  représente le gain du transistor tandis que  $n$  est le coefficient Miller qui vaut 4 pour un transistor de substrat N et 2 pour un transistor de substrat P.

Par conséquent, pour un gain  $h_{FE}$  entre 50 et 100, la tension  $V_{CEO}$  d'un transistor NPN se trouve environ à la moitié de sa tension d'avalanche à émetteur en l'air  $V_{CBO}$ . Par ailleurs, pour le même gain  $h_{FE}$  le rapport  $V_{CEO} / V_{CBO}$  du transistor PNP est de 2 à 3 fois plus important que celui du NPN [7]. De plus, compte tenu de la tension  $V_{CBO}$  présentée ci-dessus par la simulation éléments finis, la tension  $V_{CEO}$  du transistor de substrat P devrait être deux fois plus que celle du transistor de type N. En effet, la Figure III.18 ci-dessous en donne la représentation, la tension  $V_{CEO}$  du transistor de type N est de l'ordre de 377V au lieu de -686V pour le transistor de substrat P. En même temps, la densité de courant est très élevée par rapport au cas d'émetteur ouvert comme expliqué ci-dessus.

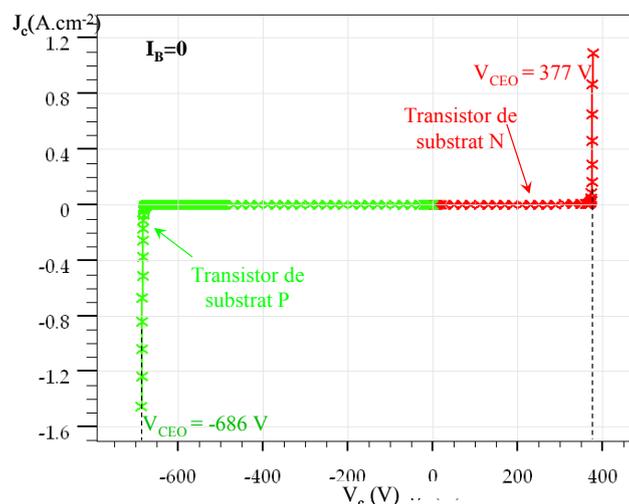


Figure III.18. Evolution du courant collecteur en fonction de la tension collecteur lorsque la base en l'air pour les deux types de transistor

La troisième configuration d'étude est celle de base-émetteur court-circuité. Quand le collecteur est appliqué une tension positive, la jonction base-collecteur est polarisée en inverse et prend donc en charge de la tenue de tension du composant. En outre, le courant de

fuite passe par la résistance de la région de base avant d'atteindre le contact base-émetteur en commun (voir la Figure III.19 à gauche). Ceci cause donc une chute de tension entre la région base et émetteur. De fait, lorsque cette tension ne dépasse pas la tension de diffusion de cette jonction, le transistor comporte comme dans le cas d'émetteur en l'air et la tenue en tension  $V_{CES}$  est proche de  $V_{CBO}$  comme présentée dans la Figure III.19 à droite.

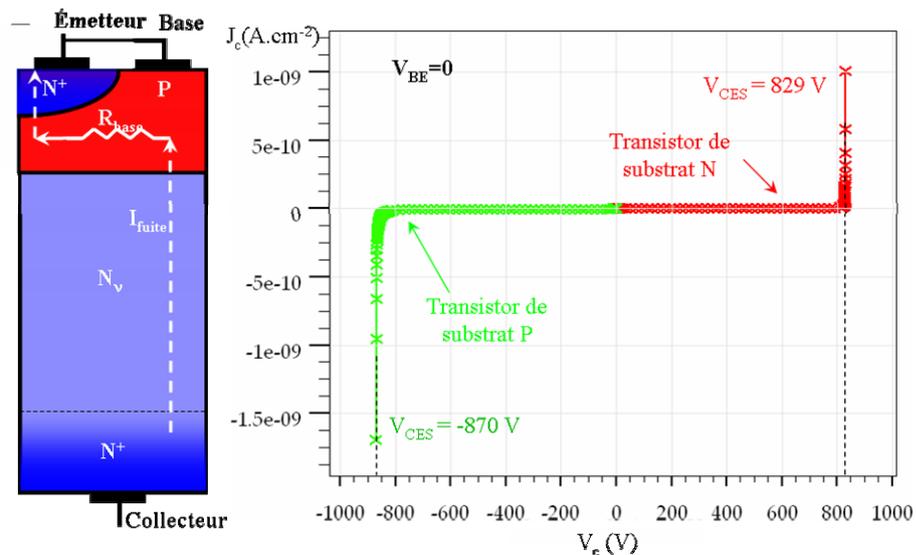


Figure III.19. Evolution du courant collecteur en fonction de la tension collecteur lorsque la base et l'émetteur est court-circuité pour les deux types de transistor

Par contre, si le courant de fuite est suffisamment important pour polariser la jonction base-émetteur en direct, le transistor fonctionne donc en régime normal avec l'injection des porteurs minoritaires de l'émetteur vers la base. Ceci produit ensuite le gain offert au courant de collecteur. La tension d'avalanche  $V_{CES}$  diminue ainsi vers  $V_{CEO}$ . De ce fait, la tension appliquée au transistor est pratiquement inférieure à la tension  $V_{CEO}$  dans ce cas de base-émetteur court-circuité pour éviter de le détruire.

### III.2.2.b. Caractéristique statique et gain du transistor

Les caractéristiques  $J_c$  en fonction de  $V_c$  pour différentes valeurs de densités de courant de base  $J_B$  des deux types de transistor sont illustrées dans la Figure III.20.

Avec les densités de courants  $J_B$  qui varient entre 0,1 et 0,7 A/cm<sup>2</sup> le transistor de type N présente une tenue de tension de l'ordre de 485V et de -849V pour le transistor de substrat P. Ces dernières sont plus élevées que  $V_{CEO}$  quand  $J_B=0$ .

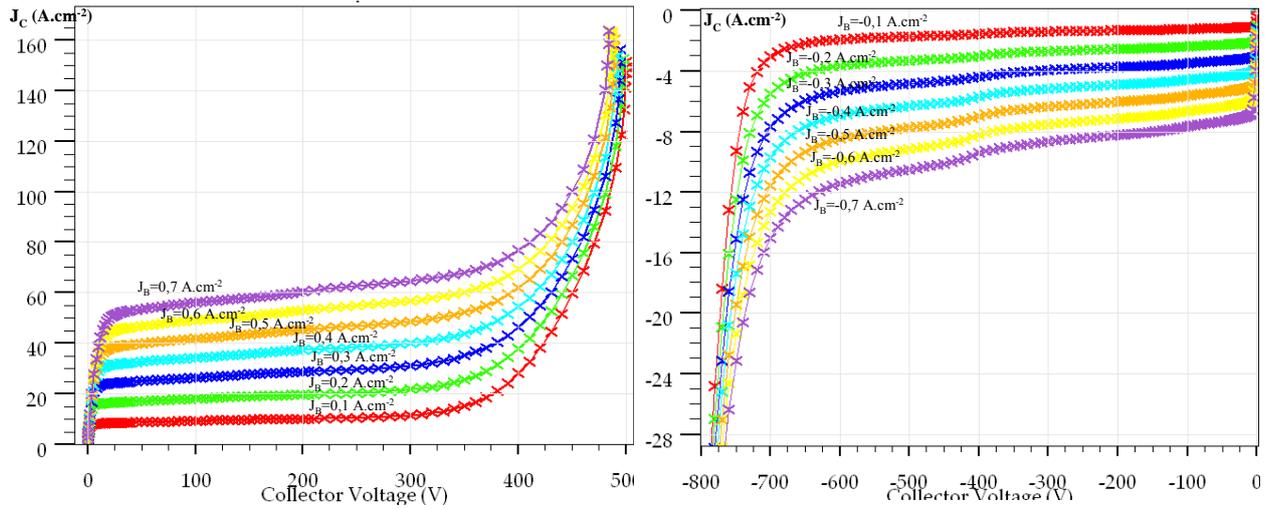


Figure III.20. Caractéristique statique du transistor de substrat N à gauche et de substrat P à droite

Par ailleurs, en régime de faible injection, pour une densité  $J_B$  donnée et un même point de fonctionnement dans la région saturée, les deux types de transistors représentent différentes chutes de tension à l'état passant qui peuvent se déduire par la formule suivante [2] :

$$R_{n,p} = \frac{W}{q\mu_{n,p}N_{D,A}} \quad (\text{III.10})$$

Dont  $W$  est la largeur de la ZCE collecteur-base.  $\mu_{n,p}$  et  $N_{D,A}$  représentent respectivement la mobilité des électrons et des trous, la concentration de la zone  $N_V$  et  $P_\pi$ .

Comme la mobilité des électrons  $\mu_n$  est relativement trois fois plus importante que celle des trous pour une concentration identique de la zone faiblement dopée, la résistance présentée par le transistor de substrat P se trouve donc trois fois plus que celle du transistor type N. En effet, la Figure III.21 à gauche présente la caractéristique de région saturée en régime de faible injection des deux transistors pour la même  $J_B = 0,1 \text{ A/cm}^2$ . Considérons au point de fonctionnement  $V_{CE}=0,2 \text{ V}$ , la densité de courant  $J_C$  produite par le transistor type N est trois fois plus que celle du transistor type P. La résistance équivalente est donc trois fois moins importante pour le transistor N.

Cependant, en régime de forte injection, la diffusion importante des trous et électrons dans la zone de tenue en tension offre la modulation de la résistivité de cette zone et diminue donc la résistance à l'état passant du transistor. Cette dernière dépend de la charge stockée dans la zone faiblement dopée, autrement dit, des densités de courants  $J_B$  et  $J_C$ . De ce fait,

pour des courants importants de base et de collecteur, la résistance du transistor sur substrat P devient plus faible et comparable à celle du transistor de type N.

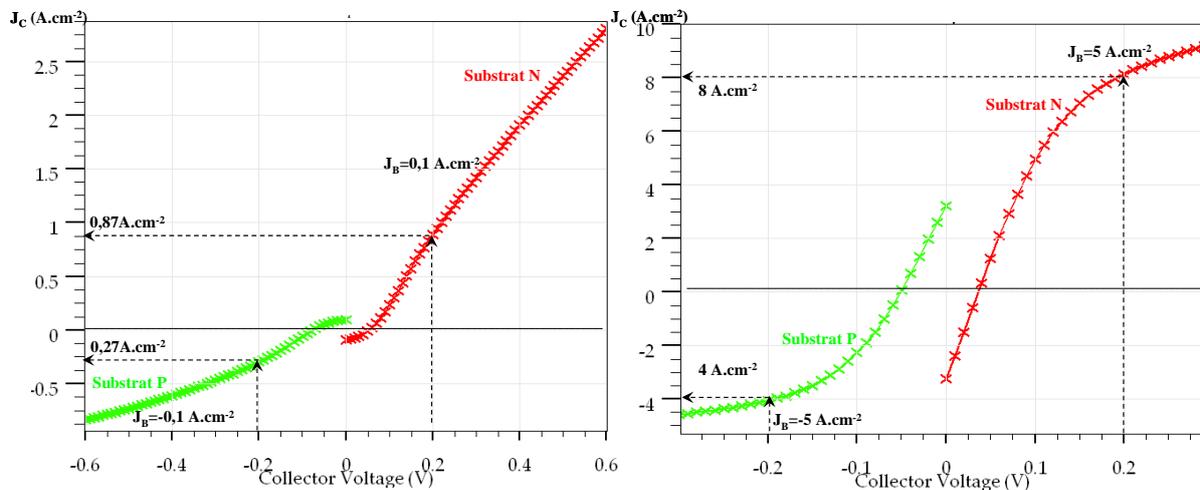


Figure III.21. Caractéristique de la région saturée des deux transistors en régime de faible injection à gauche et de forte injection à droite

En effet, la Figure III.21 à droite montre la caractéristique de la région saturée des deux types de transistor pour un courant de base  $J_B=5 \text{ A.cm}^{-2}$ , la densité de courant  $J_C$  du transistor de type P est maintenant deux fois plus faible que celle du transistor N pour  $V_{CE}=0,2 \text{ V}$  au lieu de trois en régime de faible d'injection. Ceci représente une baisse de la résistance chez le transistor P. Cette dernière peut encore être réduite lorsque le transistor se met en conduction avec des courants plus forts  $J_B$  et  $J_C$  pouvant être contrôlés respectivement par la commande et le circuit externe.

Une donnée inévitable dans les documents techniques des transistors de puissance est la courbe Gummel qui représente le gain du transistor  $h_{FE}$  en fonction du courant de collecteur pour une tension de collecteur donnée. La Figure III.22 ci-dessous présente la courbe Gummel des deux transistors pour  $V_{CE}=1\text{V}$ . Lorsque la densité du courant collecteur est plus faible que  $1\text{A.cm}^{-2}$ , le gain du courant du transistor type N de l'ordre de 90 est plus de deux fois que celui du transistor de substrat P qui est de l'ordre de 35. D'ailleurs, plus le courant de collecteur monte, plus le gain  $h_{FE}$  descend avec une pente plus forte chez les transistors de substrat P que ceux de substrat N. Cette forte différence dans les gains des deux types de transistors est principalement liée aux différences existantes au niveau des coefficients de diffusion des porteurs qui interviennent dans l'expression du gain des

transistors bipolaire. De fait, les transistors P restent intrinsèquement pénalisés par leurs caractéristiques physiques.

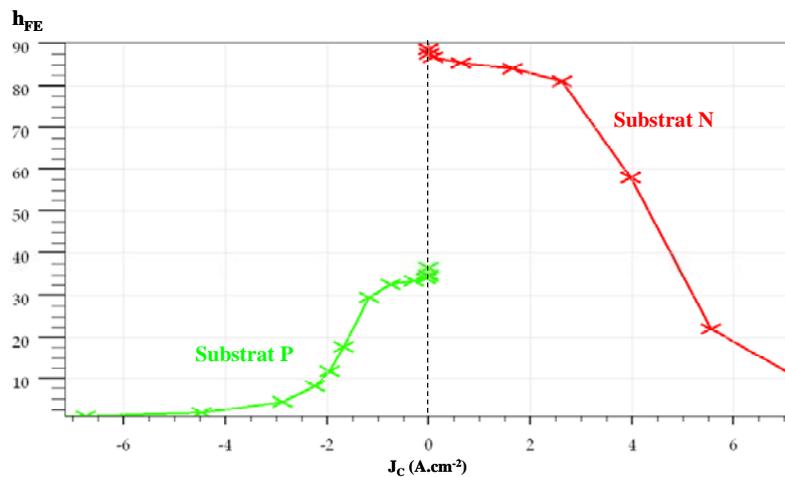


Figure III.22. Courbes Gummel pour deux types de transistor.

### III.2.2.c. Conclusion sur la comparaison des transistors

Fort des résultats présentés ci-dessus, nous constatons que le transistor de substrat P représente une meilleure tenue en tension dans toutes les configurations mais qu'il est plus faible en termes du gain de courant par rapport au transistor de substrat N en régime de faible injection. L'état de passant du transistor de type P peut être amélioré et s'approcher de celui du transistor sur substrat N en fonctionnant dans le régime de forte injection. On constate donc ici toute l'importance du circuit de commande dans la modulation de l'état passant des composants, modulation qui pourrait conduire à des caractéristiques comparables pour les transistors N et P si les commandes étaient mieux adaptées pour compenser les limites intrinsèques des transistors de type P

### III.2.3. MOSFET

Les études comparatives présentées dans les paragraphes précédents pour les composants bipolaires montrent que l'origine principale provoquant la différence électrique entre deux substrats N et P sont la mobilité (pour l'état passant) et les coefficients de diffusion (pour le gain). Nous analysons ensuite dans ce paragraphe les gains et les inconvénients de deux types de MOSFET qui sont des composants unipolaires.

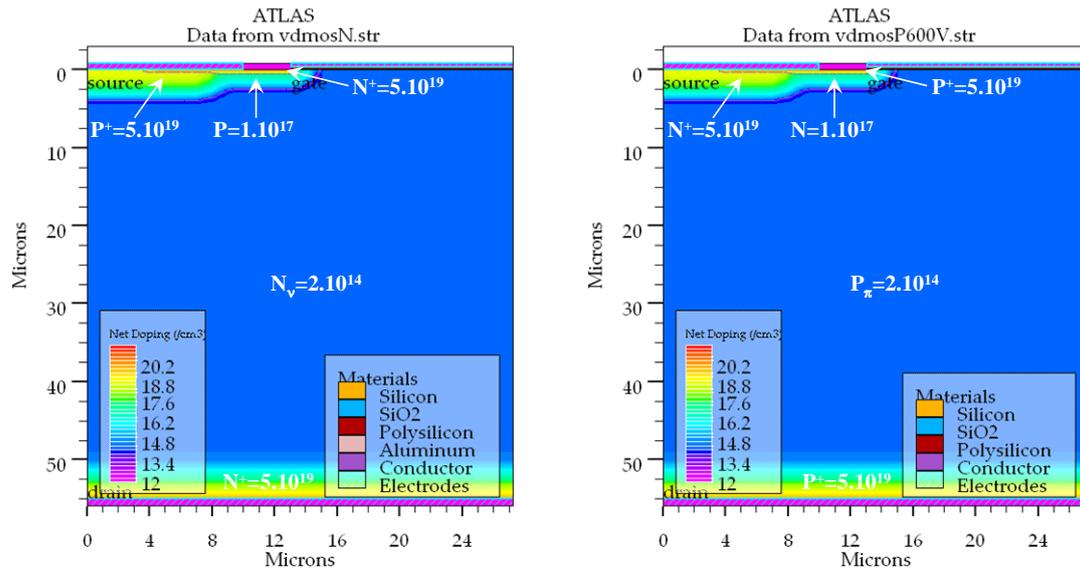


Figure III.23. Structures MOSFETs de substrat N et P avec leurs profils du dopage

Les deux structures MOSFET étant identiques en termes de géométrie et de concentrations de chaque région sont illustrées par la Figure III.23. Les paramètres principaux des deux structures sont donnés par le tableau suivant :

Région	Substrat N	Substrat P	Epaisseur ( $\mu\text{m}$ )	Concentration ( $\text{cm}^{-3}$ )
Source	N <sup>+</sup>	P <sup>+</sup>	0,7	$5.10^{19}$
	P	N	2,5	$1.10^{17}$
	P <sup>+</sup>	N <sup>+</sup>	4	$5.10^{19}$
Drain	N <sub>v</sub>	P <sub><math>\pi</math></sub>	46	$2.10^{14}$
	N <sup>+</sup>	P <sup>+</sup>	5	$5.10^{19}$

Tableau III.2 Paramètres géométriques et physiques des deux types de MOSFETs

### III.2.3.a. Tension de seuil

La tension de seuil d'un MOSFET quelque soit son type se déduit par la formule présentée dans [8] et [9] :

$$\begin{aligned}
 V_{gsthN} &= (V_{FBN} + 2 \frac{kT}{q} \ln(\frac{N_a}{n_i}) + \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{sir}} \sqrt{2 \frac{kT}{q} \ln(\frac{N_a}{n_i})}}{\epsilon_0 \cdot \epsilon_{sir}} \frac{1}{e_{oxN}} \\
 V_{gsthP} &= (V_{FBP} - 2 \frac{kT}{q} \ln(\frac{N_d}{n_i}) - \frac{\sqrt{2 \cdot q \cdot N_d \cdot \epsilon_0 \cdot \epsilon_{sir}} \sqrt{2 \frac{kT}{q} \ln(\frac{N_d}{n_i})}}{\epsilon_0 \cdot \epsilon_{sir}} \frac{1}{e_{oxP}}
 \end{aligned}
 \tag{III.11}$$

Dont  $V_{FBN}$ ,  $V_{FBP}$  sont respectivement la tension bande plate du substrat N et P.  $N_a$ ,  $N_d$  représentent les concentrations de zone canal du transistor de type N et P.  $e_{oxN}$  et  $e_{oxP}$  sont les épaisseurs d'oxyde des MOSFET N et P. Les tensions de bande plate se déduisent par :

$$\begin{aligned}
 V_{gsthN} &= \phi_{MSN} - \frac{Q_f}{C_{ox}} \\
 V_{gsthP} &= \phi_{MSP} - \frac{Q_f}{C_{ox}}
 \end{aligned}
 \text{ avec } C_{ox} = \frac{\epsilon_0 \epsilon_{SiO2r}}{e_{ox}}
 \tag{III.12}$$

$Q_f$  est la charge piégée dans l'oxyde et  $C_{ox}$  est la capacité d'oxyde par unité de surface.  $\Phi_{MS}$  représente la différence entre le travail de sortie du métal et l'affinité du silicium [9]. Pour le silicium polycristallin de type  $N^+$  sur le semi-conducteur de type P du canal de MOSFET type N,  $\phi_{MSN} = -0,9$  [2] et en cas de silicium polycristallin de type  $P^+$  sur le canal de type N du MOSFET de type P,  $\phi_{MSP} = -\phi_{MSN} = 0,9$ . Il reste deux paramètres principaux pouvant impacter sur la tension de seuil qui sont la concentration du canal et l'épaisseur d'oxyde de grille  $e_{ox}$ . En supposant le même niveau de dopage du canal ( $10^{17} \text{cm}^{-3}$ ) et la même épaisseur d'oxyde  $e_{ox} = 100 \text{nm}$  pour cette étude comparative, les tensions de seuil de deux MOSFETs devraient être semblables. De fait, les MOSFETs sont polarisés par une faible tension  $V_D = 1 \text{V}$  pour tracer l'évolution du courant de drain en fonction de la tension de grille. A partir de cette courbe, la tension de seuil pourra se déduire. La Figure III.24 montre la courbe décrivant la relation entre le courant du drain et la tension de grille. Le point croisé de la pente et l'axe des abscisses représente la valeur de  $V_{gsth} - 0,5 \cdot V_D$  pour le MOSFET de type N et de  $-(|V_{gsth}| - 0,5 \cdot V_D)$  pour le MOSFET sur substrat P d'après [5] et [8]. Nous retenons donc les tensions de seuil pour le MOSFET de type N :  $V_{gsthN} = 2,4 \text{ V}$  et pour le MOSFET de type P :  $V_{gsthP} = -2,4 \text{ V}$ . Ainsi, pour une même concentration du canal et même épaisseur d'oxyde, nous

retrouvons que les valeurs des deux tensions de seuil  $V_{gsthP}$  et  $V_{gsthN}$  sont très proches en valeurs absolues.

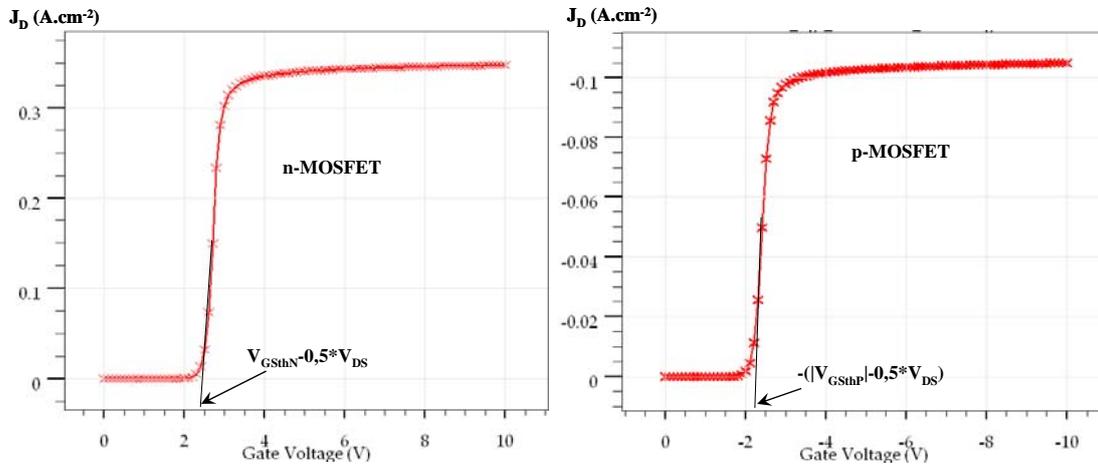


Figure III.24. Tension  $I_{Ds}$  en fonction de la tension  $V_{GS}$  du MOSFET de type N (à gauche) et de type P (à droite)

### III.2.3.b. Caractéristique statique

La résistance à l'état passant du MOSFET de puissance est bien étudiée dans [8] et puis [9]. Elle se compose des résistances de contact, de canal, de la zone accumulée sous la grille et de la région  $N_v$  ou  $P_\pi$ . Pour les MOSFETs haute tension, la résistance de la région faiblement dopée est prépondérante et dépend fortement du dopage, de l'épaisseur de cette région et de la mobilité des porteurs majoritaires. Cette résistance peut se déduire par :

$$R_{N_v} = \frac{W_v}{q \cdot N_v \cdot \mu_n \cdot S} \quad (III.13)$$

$$R_{P_\pi} = \frac{W_\pi}{q \cdot P_\pi \cdot \mu_p \cdot S}$$

$W$  étant l'épaisseur de la région  $N_v$  ou  $P_\pi$ .  $S$  est la surface équivalente d'un motif élémentaire.

Pour notre cas d'étude, les paramètres  $W$ ,  $S$ , les dopages  $N_v$  et  $P_\pi$  sont identiques. La résistance à l'état passant dépend donc principalement de la mobilité des porteurs. De plus,  $\mu_n$  est pratiquement trois fois plus importante que  $\mu_p$ . Le MOSFET de type P présente ainsi une résistance à l'état passant qui est trois fois plus importante que celle du MOSFET de type N. Ceci est un point pénalisant du composant unipolaire de substrat P entraînant leurs limites dans les applications de fortes puissances.

En se basant sur les régions saturées des caractéristiques statiques présentées dans la Figure III.25 et à titre d'exemple, pour une tension  $V_D=2\text{ V}$ , les densités de courant du MOSFET type N et P à  $V_{GS}=15\text{ V}$  sont respectivement de  $6,2\text{ A.cm}^{-2}$  et  $2,2\text{ A.cm}^{-2}$  qui représentent également une résistance trois fois plus faible chez le MOSFET type N que celui de substrat P.

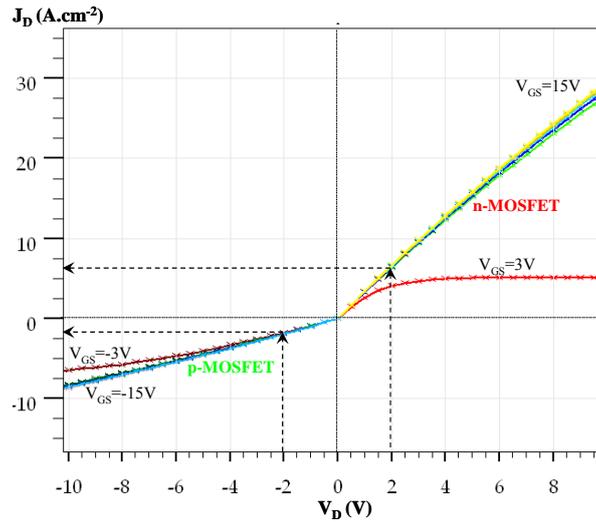


Figure III.25. Caractéristique statique de la région saturée des deux MOSFETs

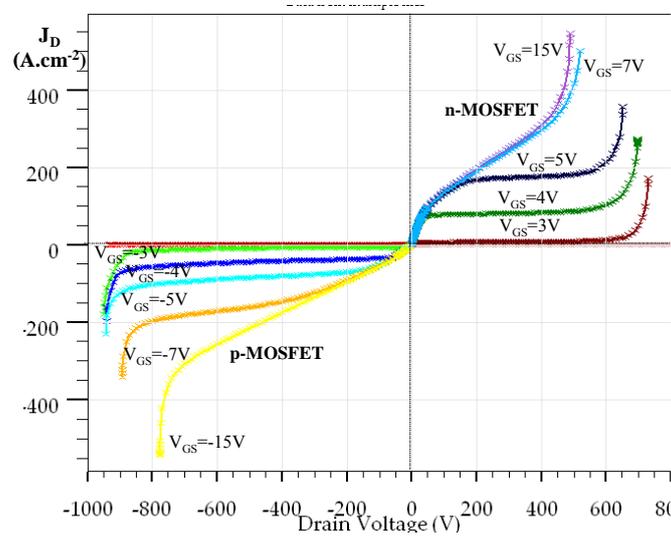


Figure III.26. Caractéristique du courant de drain  $I_D$  en fonction de la tension du drain-source  $V_{DS}$  des deux MOSFETs

Le MOSFET de type P présente un mauvais état de passant. En revanche, comme pour le composant bipolaire, le MOSFET à substrat P possède une meilleure tenue en tension comme le montre la Figure III.26

### III.2.3.c. Capacités parasites

Les capacités parasites sont les paramètres principaux reliés directement au comportement dynamique du MOSFET. Pour les mêmes paramètres géométriques, ces capacités sont censées être semblables suivant l'étude présentée dans [8]. En effet, la Figure III.27 présente l'évolution des capacités d'entrée  $C_{iss}$ , de sortie  $C_{oss}$  et de rétroaction  $C_{rss}$  des deux types de MOSFET en fonction de la tension de drain à une tension  $V_{GS}=0V$ . Nous constatons que les capacités d'entrée et de sortie du MOSFET de type P sont très légèrement plus faibles que celles du MOSFET de type N tandis que la capacité de rétroaction est identique pour ces deux derniers. Ce faible écart de 1,8% résulte des erreurs de méthode numérique du simulateur Atlas-Silvaco.

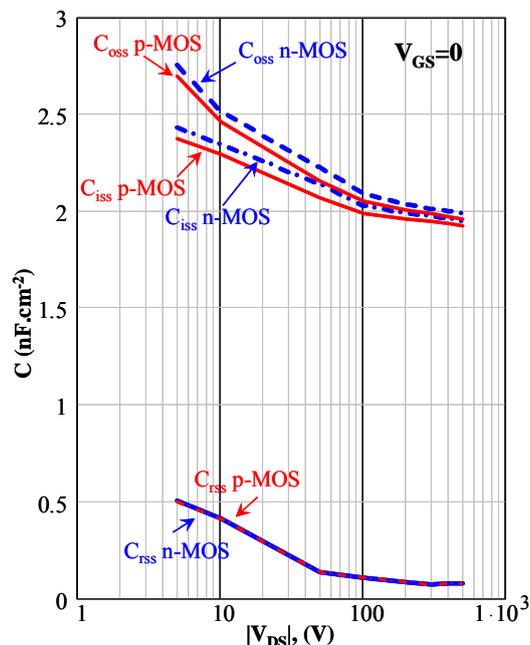
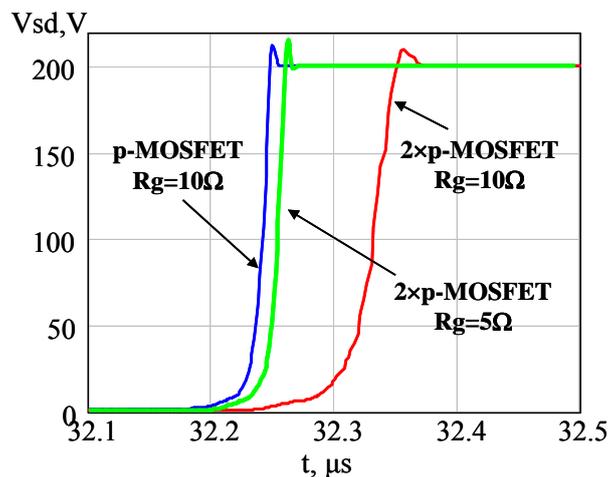


Figure III.27. Capacités parasites en fonction de la tension du drain-source à  $V_{GS}=0$  des deux types de MOSFETs

### III.2.3.d. Conclusion sur l'étude de comparaison des MOSFETs

Pour une géométrie et une surface données, le MOSFET sur substrat P représente le même comportement dynamique et encore une meilleure tenue en tension par rapport aux MOSFETs type N. Pourtant, suivant l'état de l'art des transistors MOSFETs présenté dans le chapitre I, pour le MOSFET de puissance à tenue en tension supérieure à 200V, la résistance à l'état passant est trois fois plus grande que celle du MOSFET type N, ce qui cause une perte par conduction plus importante. Cette différence résulte principalement de la mobilité des

trous qui est plus faible que celle des électrons majoritaires dans un MOSFET type N pour un même niveau de dopage. L'état peut s'améliorer en élargissant la surface du composant sur substrat P et en prenant en compte le compromis entre la dégradation du comportement dynamique, autrement dit, de l'augmentation des pertes par commutation et la baisse des pertes par conduction. Dans ce cas, la modification et l'adaptation du circuit de commande rapprochée deviennent particulièrement critiques pour tenter de compenser la forte augmentation des capacités parasites et en particulier la capacité d'entrée  $C_{iss}$ . En effet, nous avons montré dans le chapitre I (voir la Figure I.26 rappelée ci-dessous) que le comportement en commutation d'un transistor p-MOSFET deux fois plus large peut être améliorée et proche de celui d'un transistor p-MOSFET de section comparable à celle d'un transistor n-MOSFET par l'utilisation d'une résistance grille à deux fois plus faible.



Rappel de la Figure I.26. Tension  $V_{SD}$  du p-MOSFET au blocage dans un hacheur série  
Ventrée=200V, I=4A, f= 50kHz

### III.2.4. IGBT

Les transistors IGBT sont de plus en plus utilisés en électronique de puissance grâce aux avantages combinés des MOSFETs et des transistors bipolaires. De fait, le transistor IGBT peut être représenté par un circuit équivalent comportant un MOSFET et un transistor bipolaire comme le montre la Figure III.28 [10] ci-dessus. Le transistor IGBT peut donc être commandé en tension par le MOSFET et profiter de la modulation de résistivité offerte par le transistor bipolaire pour conduire le courant sous une faible chute de tension ohmique.

Comme présenté dans les paragraphes précédents, le p-MOSFET présente un état passant qui est plus mauvais que celui du n-MOSFET et cela est aussi le cas pour les transistors bipolaires.

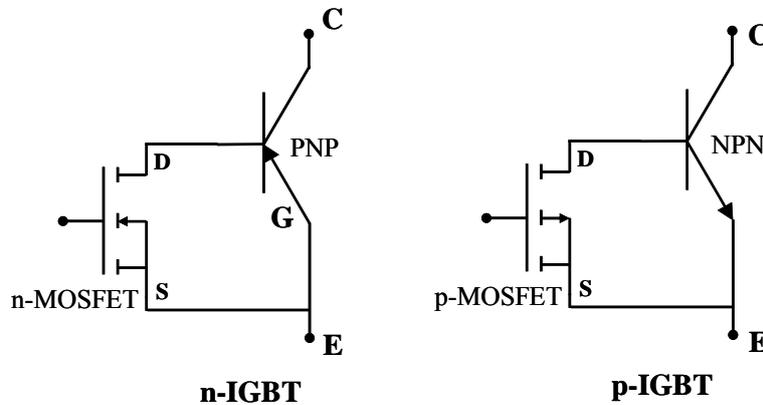


Figure III.28. Circuit équivalent simplifié de transistor IGBT type N (gauche) et type P (droite)

L'IGBT de type N cumule la mobilité dans le canal des électrons avec la bonne tenue en tension du transistor bipolaire P. Même si son gain est faible, le transistor P contribue avantageusement à la modulation de la résistivité de la zone de tenue en tension sans altérer les caractéristiques fondamentales du transistor MOSFET sur substrat N. Il n'en est pas de même pour le p-IGBT qui associe un p-MOSFET avec un transistor bipolaire NPN. Si le gain du transistor bipolaire est plus important, les conséquences sur la tenue en tension de l'ensemble sont plus importantes. Par ailleurs, la mobilité dans le canal est moins bonne, ce qui conduit à une chute de tension plus importante à ce niveau là. Les avantages des eux sont ils compensés par les inconvénients des autres. Cela demande une étude approfondie qui n'a pu être conduit dans le cadre de cette thèse.

La littérature fait état de quelques études qui tendent à signifier que sous forte modulation et en étant prêt à en payer les conséquences à la commutation, les deux types de transistors sont proches au niveau de l'état passant [11]. Par contre, plus l'IGBT est optimisé pour se rapprocher d'un transistor MOSFET pour limiter le courant de queue entre autres et plus l'écart ente le transistor P et le transistor N se creusera.

### III.3. Etat de l'art du composant complémentaire de puissance

#### III.3.1. Caractéristique électrique des MOSFETs existants

Compte tenu de l'état de l'art présenté dans le chapitre I sur les composants MOSFETs complémentaires commercialisés, nous constatons que les caractéristiques sont proches pour les MOSFETs de substrat N et P ayant la tension nominale inférieure ou égale à 200V. Pour les composants plus haute tension, le mauvais état passant du MOSFET de type P se présente plus clairement. Nous allons donc analyser de manière plus détaillée quelques paires de MOSFETs complémentaires dans ce paragraphe.

Considérons maintenant les deux MOSFETs de 200V sur substrat N et P avec les paramètres de base étant relativement semblable :

- MOSFET de type N (n-MOSFET) IRLI630G :  $V_{DSS}=200V$ ,  $R_{DSon}=0,4\Omega$ ,  $I_D=6,2A$ , boîtier TO-220 FULLPARK
- MOSFET de type P (p-MOSFET) IRFI9640G :  $V_{DSS}=-200V$ ,  $R_{DSon}=0,5\Omega$ ,  $I_D=-6,1A$ , boîtier TO-220 FULLPARK

Par ailleurs, les capacités parasites du n-MOSFET sont respectivement de 1100pF, 220pF, 70pF pour la capacité d'entrée, de sortie et de rétroaction. Ces dernières du p-MOSFET sont de 1200pF, 370pF et 80 pF qui sont légèrement supérieures à celles du n-MOSFET pour le même boîtier. De plus, les charges de grille sont également très proches de l'ordre de 40nC pour le n-MOSFET et de 44nC chez le p-MOSFET. Ceci entraîne des caractéristiques dynamiques relativement similaires de ces deux MOSFETs.

La diode body du p-MOSFET présente une chute de tension à l'état passant de -5V qui est plus de deux fois que celle du n-MOSFET étant de l'ordre de 2V. Ceci pourrait s'expliquer par le fait que le p-MOSFET est optimisé pour avoir les mêmes caractéristiques que le n-MOSFET mais cela n'est pas le cas pour sa diode body. Néanmoins, les deux diodes body des deux familles de MOSFETs ont des charges et temps de recouvrement proches, de l'ordre de 2,9 $\mu$ C, 250ns ( $I_{test}=-11A$ ) pour le p-MOSFET et de 1,7 $\mu$ C, 230ns ( $I_{test}=9A$ ) pour le n-MOSFET.

De ce fait, ces données techniques nous montrent des caractéristiques statiques et dynamiques chez le p-MOSFET qui sont encourageantes par rapport au n-MOSFET. Ceci

confirme la possibilité actuelle de mettre en œuvre des MOSFETs sur substrat P dans les applications correspondant à cette gamme de tension.

Pour les MOSFETs fonctionnant à plus hautes tensions, par exemple les MOSFETs 600V tels que les n-MOSFET STW10NK60Z et p-MOSFET IXTH10P60 qui ont le même courant nominal de 10 A, leurs résistances à l'état passant sont relativement proches de  $0,65\Omega$  pour n-MOSFET et de  $1\Omega$  pour l'autre. Par contre, les capacités parasites du p-MOSFET sont plus de trois fois plus importantes que celles du n-MOSFET pour une même condition de test ( $V_{GS}=0$ ,  $|V_{DS}|=25V$ ,  $f=1MHz$ ) :

- n-MOSFET:  $C_{iss}=1370pF$ ,  $C_{oss}=156pF$ ,  $C_{rss}=37pF$
- p-MOSFET:  $C_{iss}=4700pF$ ,  $C_{oss}=430pF$ ,  $C_{rss}=135pF$

Quant à la diode body, la chute de tension dans le cas du p-MOSFET est de -3V par rapport à 1,6V pour le n-MOSFET. En outre, le temps de recouvrement est respectivement de 570ns ( $I_{test}=8A$ ,  $di/dt=100A/\mu s$ ) et 500ns ( $I_{test}=-10A$ ,  $di/dt=100A/\mu s$ ) dans le cas de n-MOSFET et p-MOSFET.

Ainsi, le p-MOSFETs de haute tension (supérieur à 200V) présente, soit un état passant plus mauvais pour une même surface de géométrie que le n-MOSFET, soit une résistance d'état passant similaire et des capacités parasites qui sont environ trois fois plus grandes. Autrement dit, la surface de silicium utilisée étant trois fois plus importante que le n-MOSFET.

Compte tenu de l'analyse que nous avons conduit en début de chapitre, il semble que les caractéristiques des composants p-MOS haute tension, incluant leurs diodes body, soient moins bonnes que celles des n-MOS. Avec pour objectif initial de clairement statuer sur l'origine des différences entre les différentes familles de composants, nous ne pouvons pas clairement dire si cela provient uniquement de différences physiques intrinsèques ou si les développements technologiques ont été plus poussés sur les composants N que les composants P à partir de certaines tensions, ceux-ci conduisant, en particulier, à des états passant sur les diodes bien plus favorables pour les n-MOSFET que pour les p-MOSFET.

### III.3.2. Plage d'utilisation optimale des composants complémentaires

Compte tenu des résultats des études comparatives et de l'état de l'art présentés ci-dessus, Les structures à composants unipolaires comme le MOSFET offrent des pistes

encourageantes avec les p-MOSFETs ayant la tenue de tension inférieure ou égale à 200V. Pour le p-MOSFET de tension plus élevée, le défaut communément connu sur l'état passant se présente de manière plus claire.

Par ailleurs, les transistors bipolaires sur substrat P présentent les caractéristiques étant très proches que des composants de type N. En particulier, en régime de forte injection, l'état passant du transistor type P est bien amélioré grâce au phénomène de modulation de conductivité. De plus, les transistors p-IGBTs bénéficiant d'une bonne contribution du transistor NPN présenteraient la même caractéristique que les n-IGBTs.

Dans ce contexte, une association MOSFET-Bipolaire pourrait répondre aux besoins d'un composant commandé en tension avec l'état passant amélioré par rapport au p-MOSFET. La conception de cette solution sera présentée dans le prochain paragraphe.

### **III.4. Evolution vers un composant hybride optimisé**

#### **III.4.1. Transistor MOSFET-Bipolaire**

Afin d'améliorer l'état passant du p-MOSFET, une structure p-MOSFET-Bipolaire PNP est proposée et illustrée par la Figure III.29. Le choix est fait cette fois d'hybrider le transistor bipolaire P et non le transistor bipolaire N. Cela se fait en ajoutant une couche N en face avant et non une couche P en face arrière. Ainsi, le transistor bipolaire est un transistor à plus grand gain que son homologue N à base large et surtout il ne pénalise pas la tenue en tension de l'ensemble de la fonction de coupure.

Ce composant est commandé par la tension  $V_G$  du p-MOSFET. Lorsque ce dernier conduit, le courant  $I_{MOS}$  polarise la jonction base-émetteur du bipolaire en directe. Ceci rend ensuite le transistor MOSFET-Bipolaire passant. Le courant de ce transistor est bipolaire au lieu d'un courant unipolaire pour le MOSFET, l'état passant se trouve donc meilleur que celui du p-MOSFET. Par ailleurs, la diode de signal connectée à la grille du MOSFET sert à évacuer la charge stockée dans la base par la commande rapprochée du p-MOSFET lors du blocage de ce composant. Cette diode et la partie commande qui doit lui être adjointe doivent être dimensionnées en conséquence pour pouvoir dériver une bonne partie du courant de puissance.

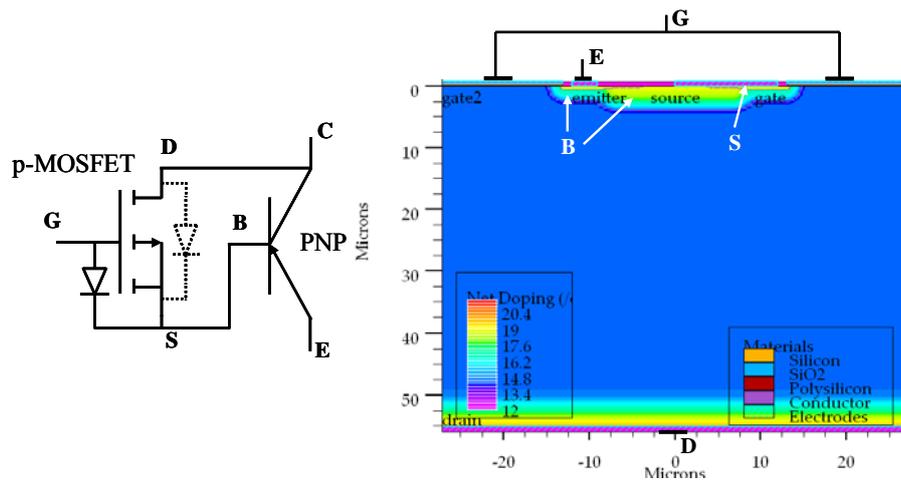


Figure III.29. Circuit équivalent du transistor p-MOSFET-Bipolaire PNP à gauche et la vue en coupe d'une cellule élémentaire à droite

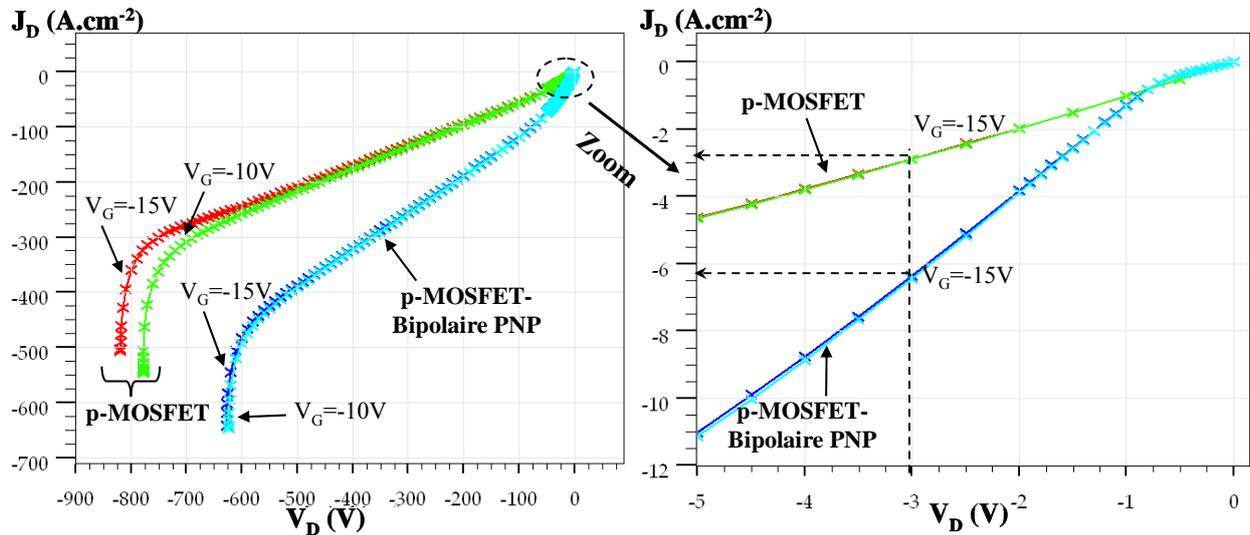


Figure III.30. Caractéristique statique du p-MOSFET en comparaison de p-MOSFET-Bipolaire PNP

La Figure III.30 ci-dessus présente la caractéristique du p-MOSFET et celle du transistor MOSFET-Bipolaire. Nous constatons que la densité de courant du transistor composé est plus de deux fois de celle du p-MOSFET à une même tension de drain  $V_D = -3V$ . La chute de tension à l'état passant devient donc plus petite avec le transistor composé MOSFET-Bipolaire. Cependant, l'amélioration sur l'état passant conduit également à une dégradation vis-à-vis de la tenue en tension de l'ordre de 625V au lieu de 820V chez le p-MOSFET pour la même  $V_G = -15V$ .

Ce transistor se conçoit ensuite de manière monolithique dans une surface de  $6 \times 6 \text{mm}^2$  comme le montre la Figure III.31.

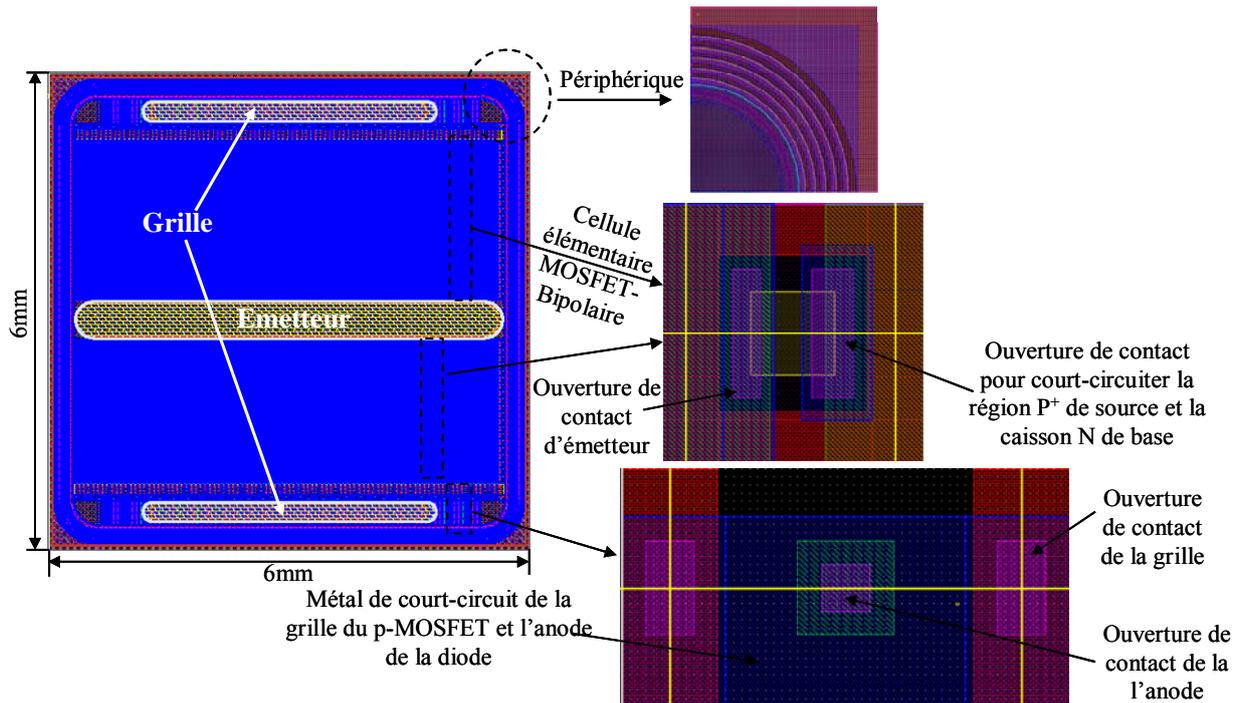


Figure III.31. Layout du transistor composé MOSFET-Bipolaire à gauche. Le composant est symétrique avec les cellules élémentaires à droite

En outre, une version basée sur les cellules p-MOSFET de puissance séparées du transistor bipolaire et la diode latérale est illustrée par la Figure III.32. a également été conçue. Les connections entre la source du p-MOSFET et la base du bipolaire, la grille du p-MOSFET et la cathode de la diode s'établissent au niveau du métal.

Ensuite, une autre topologie comportant un bipolaire PNP, un MOSFET de puissance et un MOSFET latéral a également été conçue. La Figure III.33 en donne la représentation. Cette structure permet de contrôler de manière plus flexible la commutation du transistor bipolaire par la conduction du VDMOSFET ou LDMOSFET lors de l'amorçage ou du blocage du transistor bipolaire.

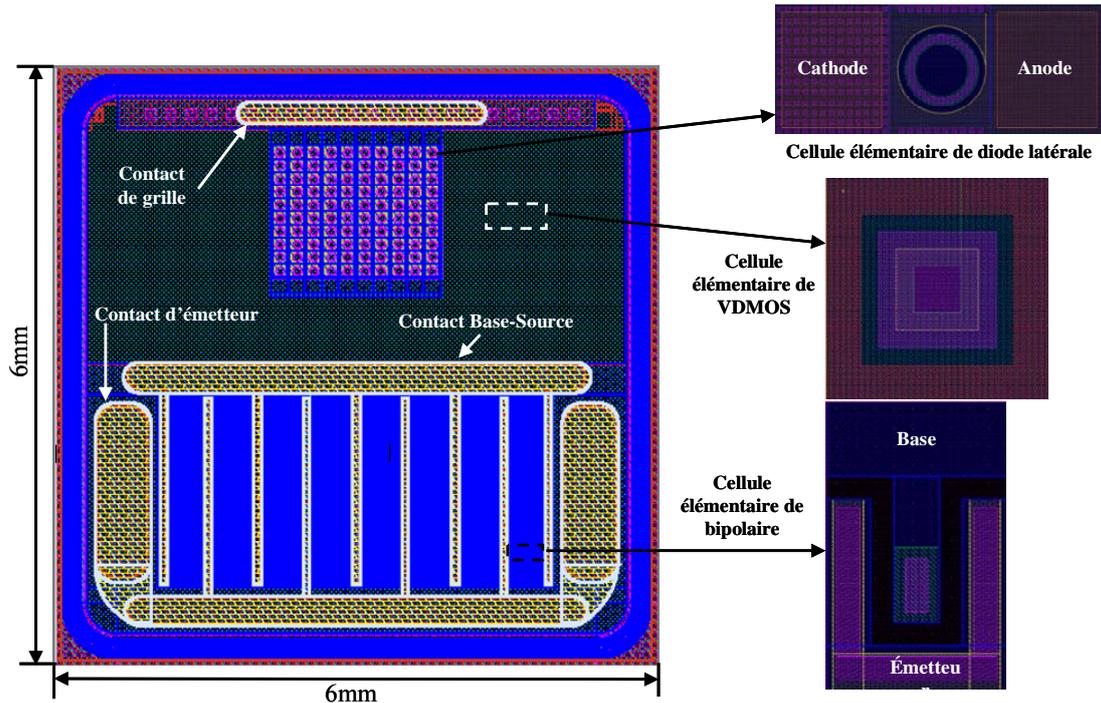


Figure III.32. Deuxième version du transistor composé MOSFET-Bipolaire

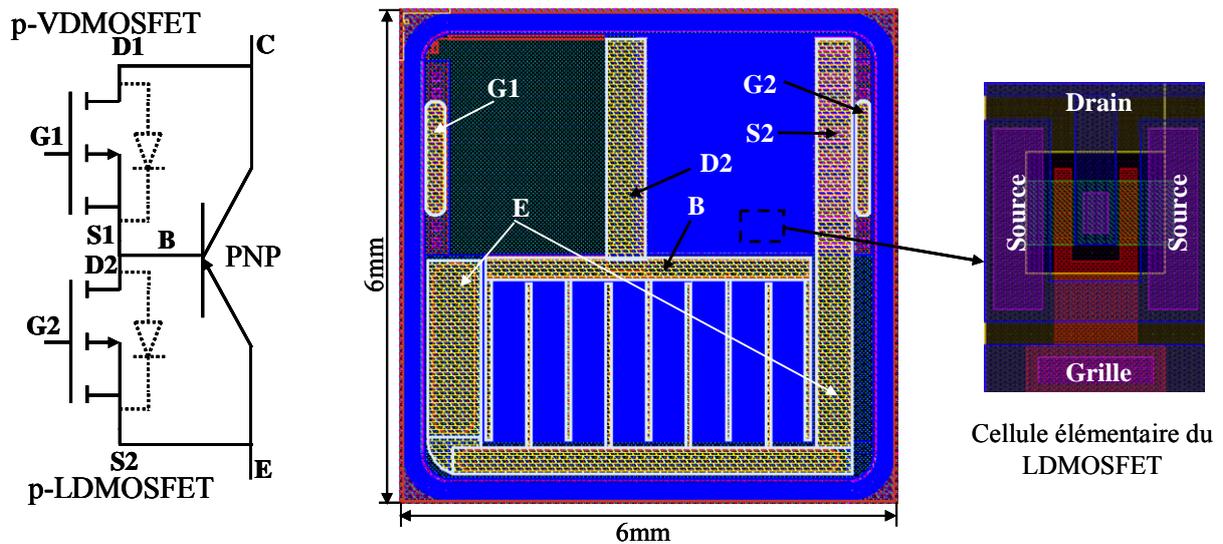


Figure III.33. Transistor composé 2xMOSFET-Bipolaire

### III.4.2. Transistor MOSFET multiple

Comme présenté dans le Chapitre I, la structure PB-CMOS permet la simplification de la mise en œuvre des structures polyphasées. Ceci résulte de possibilité d'intégrer les composants multiples sur le même substrat N ou P. Pour ce faire, les composants MOSFETs multiples sont conçus côte à côte comme le montre la Figure III.34 ci-dessous.

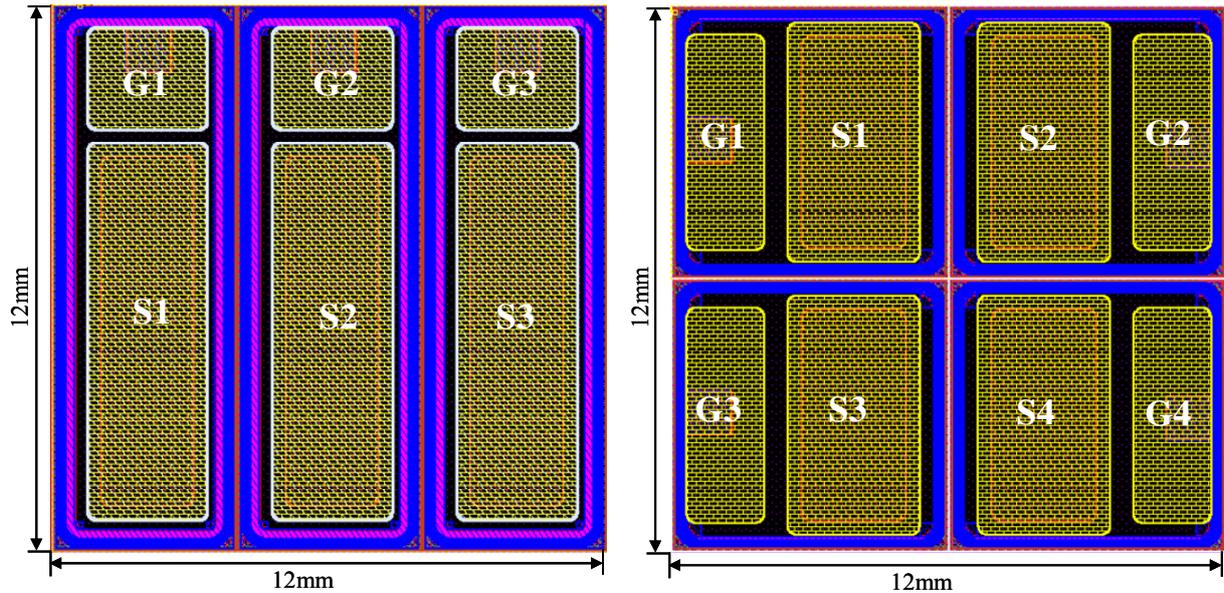
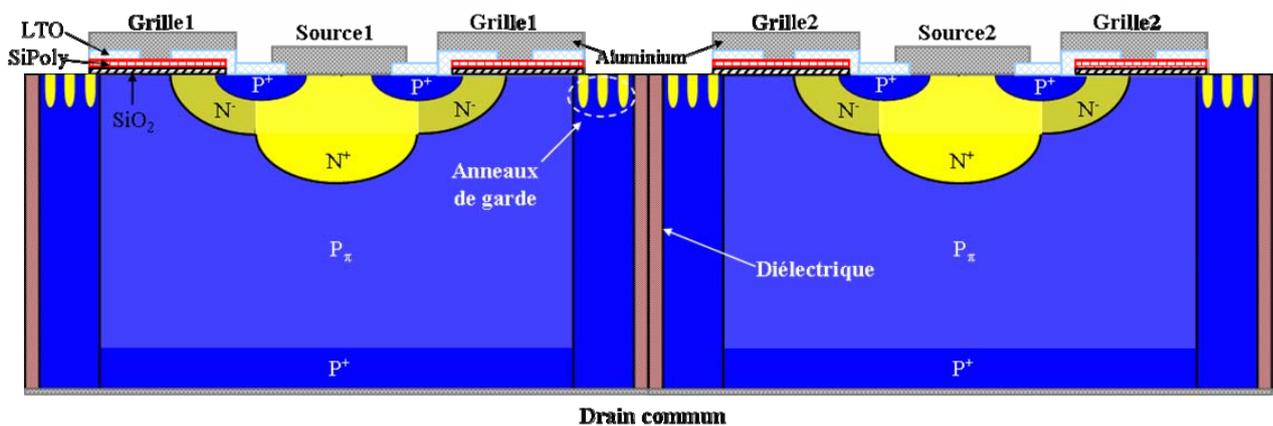


Figure III.34. Transistors MOSFET à multiples zones actives à trois et à quatre dans une surface de  $12 \times 12 \text{ mm}^2$

Les MOSFETs à drains communs sont isolés les uns des autres par des tranchées remplies de diélectrique à la périphérie de chaque composant [12]. Les composants à trois et à quatre MOSFETs sont visés dans des applications telles que l'onduleur triphasé et le pont complet. La figure ci-dessous montre la vue en coupe de deux MOSFETs sur substrat P qui est également validée pour les MOSFETs sur substrat N.



Rappel de la Figure I.24. Vue en coupe de deux MOSFETs type P mis côte à côte

Ces composants sont en cours de fabrication mais nous ne pouvons malheureusement pas fournir de résultats dans ce rapport à cause de plusieurs problèmes technologiques imprévus qui retardent le process de fabrication.

### **III.5. Conclusion**

Les études comparatives présentées dans ce chapitre montrent des résultats encourageants pour les composants bipolaires sur substrat P vis-à-vis de ceux de type N. En effet, les caractéristiques statiques et dynamiques théoriques des diodes et bipolaires de puissance de type P sont très proches voire meilleures en terme de tenue en tension que celles des composants de substrat N. Pour les composants unipolaires comme le MOSFET, les transistors de type P existants et ayant la tension nominale inférieure à -200V sont bien optimisés, et présentent donc des comportements comparables par rapport aux n-MOSFETs. Pourtant, les MOSFETs plus haute tension restent à améliorer, notamment sur la résistance à l'état passant, et cela sans augmenter la surface du composant. Dans ce contexte, l'association MOSFET-Bipolaire est proposée et l'amélioration de l'état passant est également validée par la simulation Atlas. Les solutions MOSFET-Bipolaire sont ensuite conçues de manière monolithique par de différentes variantes.

## Bibliographie

- [1] SILVACO International, "Atlas User's Manual. Vol1," 2000.
- [2] B.Jayant Baliga, *Fundamentals of Power Semiconductor Devices*, 1st ed. Springer-Verlag New York Inc., 2008.
- [3] Nicolas Rouger, "Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale," Mémoire de thèse, Grenoble INP, 2008.
- [4] R. Van Overstraeten and H. De Man, "Measurement of the ionization rates in diffused silicon p-n junctions," *Solid-State Electronics*, vol. 13, no. 5, pp. 583-608, May. 1970.
- [5] S.M.Sze, *Physics of Semiconductor Devices*, 3rd ed. 2007.
- [6] V. K. Khanna, "Carrier lifetimes and recombination-generation mechanisms in semiconductor device physics," *European Journal of Physics*, vol. 25, no. 2, pp. 221-237, 2004.
- [7] Jacques Arnould and Pierre Merle, *Dispositifs de l'électronique de puissance*, vol. 2. 1992.
- [8] Guillaume Verneau, "Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande," Mémoire de thèse, INPG, G2ELab, 2003.
- [9] R. Mitova, "Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant," Mémoire de thèse, Grenoble INP, 2005.
- [10] V. K. Khanna, *Insulated Gate Bipolar Transistor IGBT Theory and Design*. Wiley-IEEE Press, 2003.
- [11] N. Iwamuro, A. Okamoto, S. Tagami, and H. Motoyama, "Numerical analysis of short-circuit safe operating area for p-channel and n-channel IGBTs," *IEEE Transactions on Electron Devices*, vol. 38, no. 2, pp. 303-309, Feb. 1991.
- [12] K. Vladimirova, J. Crebier, Y. Avenas, C. Schaeffer, and T. Simonot, "Single die multiple 600V power diodes with vertical voltage terminations and isolation," in *2010 IEEE Energy Conversion Congress and Exposition*, pp. 2200-2205, 2010.



# CHAPITRE IV :

## Commande rapprochée et alimentation associée en technologie complémentaire

### SOMMAIRE

---

<i>CHAPITRE IV : Commande rapprochée et alimentation associée en technologie complémentaire</i> .....	97
<b>IV.1. Introduction</b> .....	<b>99</b>
<b>IV.2. Technologie de commande complémentaire versus technologie de commande conventionnelle</b> .....	<b>99</b>
IV.2.1. Commande rapprochée de la structure Power Buffer-CMOS .....	100
IV.2.2. Autoprotection contre court-circuit.....	102
IV.2.3. Condition d'intégrabilité.....	104
<b>IV.3. Evolution de la commande rapprochée : du push-pull au pont complet</b> ....	<b>105</b>
IV.3.1. Commande rapprochée bipolaire à structure push-pull .....	105
IV.3.2. Commande rapprochée à la base du pont complet.....	107
<b>IV.4. Evolution des alimentations pour la commande rapprochée de la structure complémentaire Power Buffer-CMOS</b> .....	<b>109</b>
IV.4.1. Topologie Bootstrap .....	112
IV.4.1.a. Alimentation Bootstrap bipolaire .....	112
IV.4.1.b. Alimentation Bootstrap unipolaire .....	113
IV.4.2. Autoalimentation .....	116
IV.4.2.a. Autoalimentation bipolaire .....	116
IV.4.2.a.i. Principe de fonctionnement.....	116
IV.4.2.a.ii. Aspect dynamique .....	117
IV.4.2.a.iii. Limites de fonctionnement .....	120
IV.4.2.b. Autoalimentation unipolaire .....	123
IV.4.2.b.i. Principe de fonctionnement .....	124
IV.4.2.b.ii. Aspect dynamique .....	125
IV.4.2.b.iii. Analyse du rendement.....	127
<b>IV.5. Conclusion</b> .....	<b>129</b>

**Bibliographie ..... 130**

## IV.1. Introduction

Dans ce chapitre, la validation des avantages de la structure PB-CMOS concernant la simplification de la commande rapprochée sera d'abord présentée. Différentes topologies de cette commande rapprochée seront également analysées. Nous étudierons ensuite les techniques principales vis-à-vis de son alimentation pour faire émerger des solutions performantes offrant de forte possibilité d'intégration monolithique.

## IV.2. Technologie de commande complémentaire versus technologie de commande conventionnelle

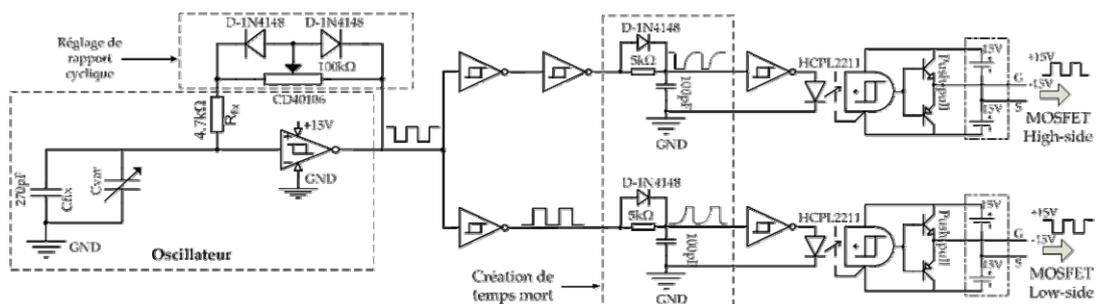
Les commandes rapprochées des interrupteurs de puissance tels que les MOSFET ou les IGBT continuent à être étudiées et améliorées afin d'optimiser la performance globale des structures de conversion d'énergie et d'en simplifier la mise en œuvre. Les commandes rapprochées et leurs périphériques associés tels que les alimentations de commande rapprochée, les protections et les dispositifs de transfert d'ordres isolés jouent des rôles importants vis-à-vis de l'état passant, des dynamiques de commutation, de la consommation des commandes, de la création de chemins parasites indésirables et bien sur vis-à-vis des protections en fonctionnement. Ainsi, pour assurer la sécurité ainsi qu'une bonne dynamique de la commutation, la commande rapprochée est souvent alimentée par une source bipolaire. Cette dernière produit le signal bipolaire à la sortie de la commande rapprochée. Cela permet de mieux contrôler les charges et décharges des capacités d'entrées (Ciss) des transistors de puissance lors de leurs commutations. Comme présenté dans le chapitre I, dans un bras d'onduleur classique, nous avons besoins de deux ordres de commande bipolaires, l'un étant complémentaire de l'autre, les deux étant séparés par non seulement un temps mort plus ou moins important selon la qualité de l'assemblage et le niveau d'intégration au niveau du module mais aussi le point de fonctionnement de la cellule de commutation et le niveau de puissance commutée. Cela permet d'éviter le court-circuit du bras. De manière différente, le bras d'onduleur complémentaire PB-CMOS comprend des interrupteurs type N et P, qui, associés en sources communes, offrent l'avantage de concentrer la commande sur une seule référence de potentiel. Cela peut se traduire par une simplification de la commande globale demandée. Comme nous avons vu dans le premier

chapitre, cela permet aussi d'offrir de manière assez naturelle une protection du bras d'onduleur complémentaire contre les courts-circuits de bras lors de la commutation. Ces approches sont respectivement présentées et validées en simulation SIMPLORER ainsi qu'en expérimentation dans les paragraphes suivants. La validation se base sur un demi pont capacitif de MOSFET et IGBT. Pour ce qui est de la mise en œuvre globale d'une commande rapprochée bipolaire, nécessaires pour le pilotage performant des structures complémentaires que nous étudions, plusieurs approches sont possibles. La seconde partie de ce chapitre abordera cela avec plus de détails.

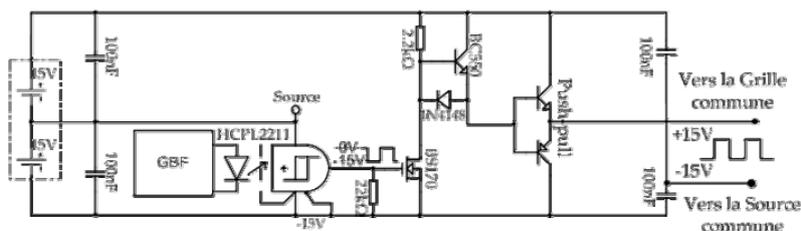
### IV.2.1. Commande rapprochée de la structure Power Buffer-CMOS

Le premier chapitre du mémoire a présenté l'avantage concernant la commande rapprochée d'un bras d'onduleur à base de la structure PB-CMOS. Ceci concerne la simplification de la commande rapprochée par la nécessité d'utilisation d'un seul ordre de commande pour piloter un bras d'onduleur PB-CMOS au lieu de deux dans le cas classique.

Afin de valider et de comparer le fonctionnement de la structure demi pont capacitif classique à n-MOS avec celui de la structure PB-CMOS, deux commandes rapprochées sont mises en œuvre. Comme la Figure IV.1 ci-dessous en donne la représentation, la commande rapprochée pour un bras d'onduleur complémentaire PB-CMOS nécessite une seule alimentation externe au lieu de deux en cas du bras classique.



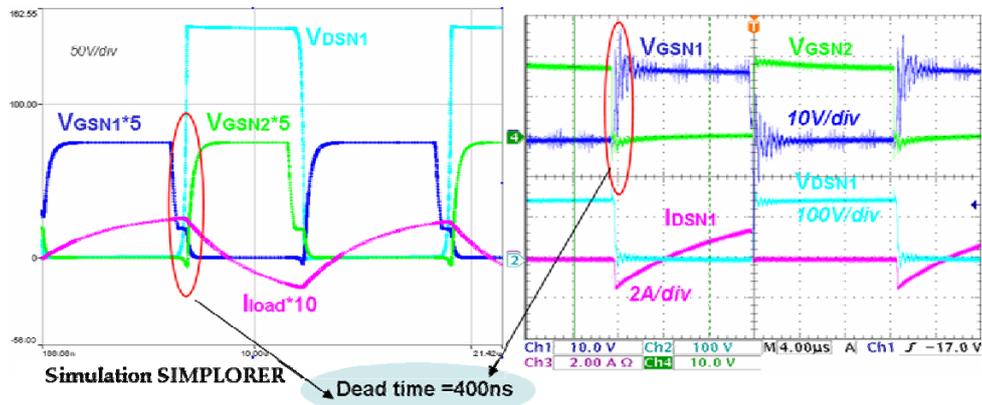
(a) Commande rapproché pour bras d'onduleur classique



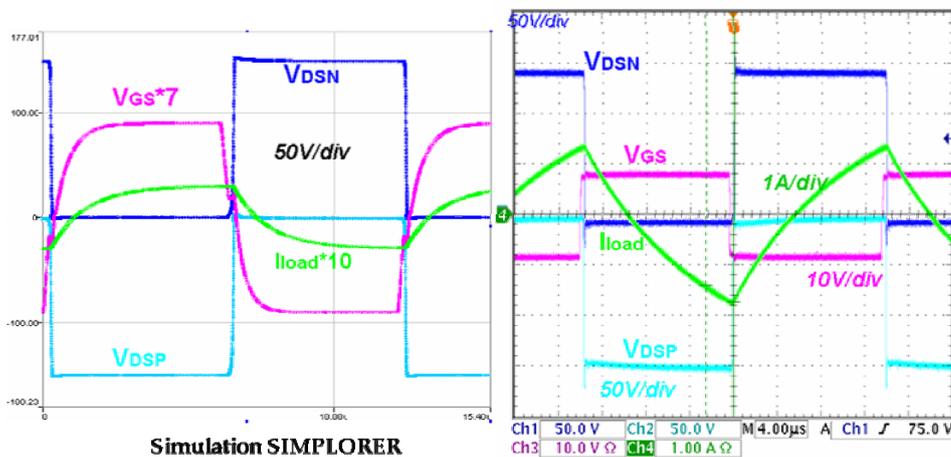
(b) Commande rapprochée pour bras d'onduleur complémentaire PB-CMOS

Figure IV.1. Cartes PCB de commande rapprochée réalisées

De fait, le circuit de commande réalisé pour la structure classique peut offrir des signaux de commandes unipolaires et bipolaires. Les formes d'ondes présentées dans la Figure IV.2 permettent de conclure sur un bon fonctionnement du demi pont capacitif complémentaire PB-CMOS à transistors MOSFET, comparable à celui de la topologie classique. Pour cela, un temps mort de 400ns entre les deux signaux de commande unipolaire complémentaires se révèle nécessaire en cas de la structure classique pour éviter le court-circuit du bras. Au contraire, un seul signal de commande assure le pilotage et le bon fonctionnement du demi pont capacitif complémentaire.



(a) Structure classique



(b) Structure complémentaire PB-CMOS

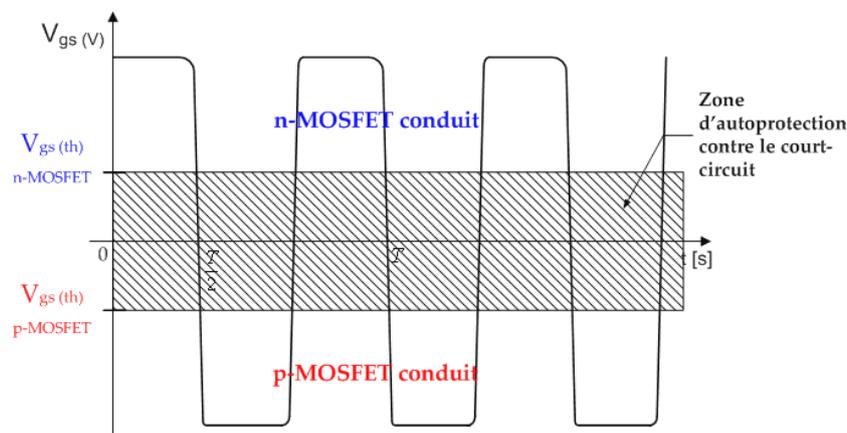
Figure IV.2. Formes d'ondes en simulation et en expérimentation des structures en demi pont capacitif réalisées

La mise en place d'un circuit de commande rapprochée unique pour les structures de conversion PB-CMOS à sources communes permet de simplifier la mise en œuvre par une réduction du nombre de composants. Cela offre également, comme nous venons de le

souligner, un temps mort naturel entre les phases de conduction des deux transistors, en particulier pour le cas des transistors MOSFETs. Toutefois, cet avantage structurel n'est pas systématique. Nous allons développer ces points dans la partie suivante.

#### IV.2.2. Autoprotection contre court-circuit

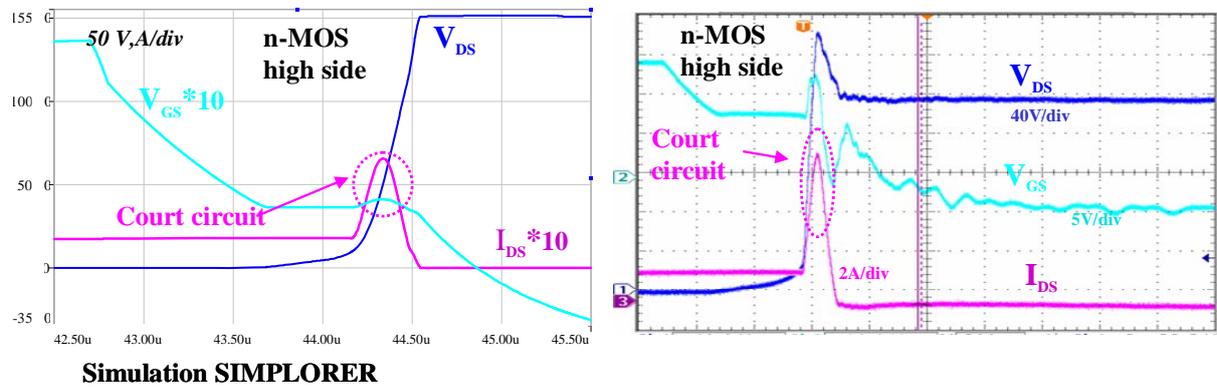
Comme présenté ci-dessus, la gestion du temps mort dans les structures d'onduleur classique est obligatoire pour éviter le court-circuit du bras. Pour ce qui concerne les composants complémentaires, la figure ci-dessous, déjà présentée dans le chapitre I, montre qu'il existe une zone d'autoprotection contre court-circuit qui se trouve entre deux niveaux de tension de seuil des MOSFETs de type N et P lorsque ceux-ci sont pilotés et excités par le même signal de commande. Dans cette zone, aucun des MOSFETs ne peut être passant. Ceci explique donc le fait qu'un seul signal bipolaire peut piloter, sans avoir besoin de temps mort, un bras d'onduleur MOSFET complémentaire PB-CMOS, ce qui a été validé en simulation SIMPLORER et en expérimentation. Ce comportement particulier est, rappelons le, opposé à celui des structures CMOS classiques pour lesquelles un ordre de commande unique conduit à la mise en court circuit temporaire de bras ce qui peut être rédhibitoire en électronique de puissance selon les temps de commutation des structures de conversion.



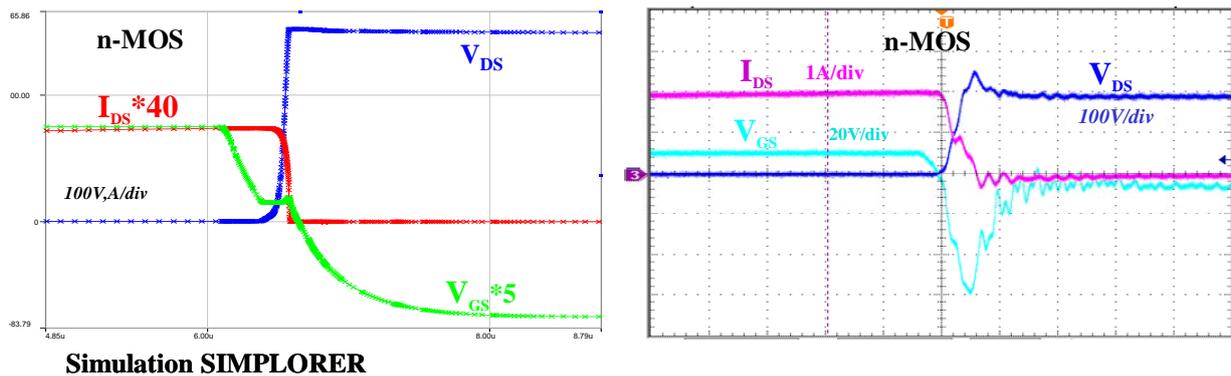
Rappel de la Figure I.21 Commande bipolaire pour un bras d'onduleur complémentaire à sources communes

La Figure IV.2a précédente présente les formes d'onde en simulation et en pratique de la topologie classique avec deux résistances de grille  $R_{g1}=R_{g2}=47\Omega$ , nous n'avons donc constaté aucun défaut de fonctionnement. Par contre, pour illustrer les limites de cette approche, nous avons maintenu la valeur de  $R_{g1}$  et augmenté la valeur de  $R_{g2}$  afin de ralentir la commutation du MOSFET low-side. Un important courant de court-circuit du bras

est apparu lorsque  $R_{g2}=82\Omega$  montrant que la valeur du temps mort est à affiner en fonction de nombreux paramètres tels que les caractéristiques de la commande rapprochée, la tension de fonctionnement, la dynamique de commutation du courant de charge, ce qui n'en simplifie pas son optimisation. La Figure IV.3a montre les formes d'onde de la structure classique lors du court-circuit de bras avec le signal de commande bipolaire. Quant à la structure complémentaire, plusieurs valeurs de résistance de grille  $R_g$ , commune aux deux transistors, ont été mises en place et nous n'avons constaté aucun phénomène de court-circuit durant le fonctionnement du demi pont complémentaire. Un de ces tests (avec  $R_g=120\Omega$ ) est illustré dans la Figure IV.3b ci-dessous. Ces tests montrent que la présence naturelle du temps mort au niveau de la structure PB-CMOS lui confère une forte immunité du court-circuit de bras vis-à-vis des caractéristiques de fonctionnement de la structure.



(a) Structure classique avec la résistance de grille  $R_{g1}=47\Omega$ ,  $R_{g2}=82\Omega$

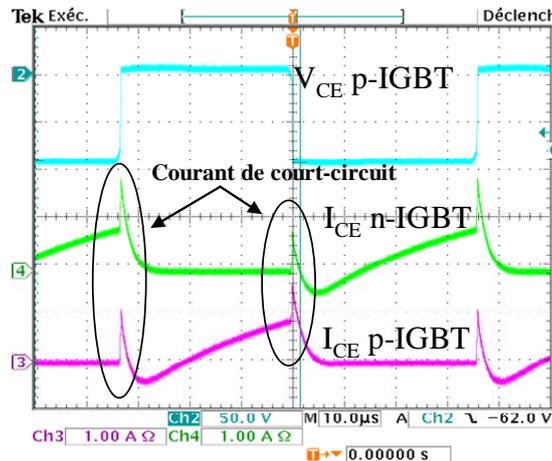


(b) Structure complémentaire avec  $R_g=120\Omega$

Figure IV.3. Formes d'ondes en simulation et en expérimentation des structures demi pont capacitif réalisées

Fort de ces résultats, l'autoprotection contre le court-circuit d'un demi pont MOSFET complémentaire en utilisant un signal bipolaire est confirmée. Par contre, lorsque nous avons conduit la même analyse sur une structure à base d'IGBTs complémentaires, le signal de

commande bipolaire précédemment retenu pour la commande des MOSFET est insuffisant afin d'éviter le court-circuit du bras. Un courant de court-circuit apparaît à chaque phase de commutation comme le montre la Figure II.12 rappelée du chapitre I ci-dessous. Ceci est dû au courant de traînage lors du blocage de chaque IGBT. Par conséquent, le "temps mort" devient nécessaire pour annuler ces courants de traînage et donc le courant de court-circuit. Ce type de commande sera abordé dans le paragraphe suivant.



Rappel de la Figure II.12. Courant court-circuit apparu lors du fonctionnement du demi pont capacitif d'IGBT complémentaire commandé par un signal bipolaire

### IV.2.3. Condition d'intégrabilité

L'intégration des fonctions de commande au sein d'un transistor de puissance doit satisfaire des conditions concernant la cohabitation au sein de la zone de tenue en tension et l'isolation électrique des fonctions entre elles. En effet, les composants constitutifs d'une fonction subissant le même calibre de tension que le transistor de puissance peuvent partager la même zone de tenue en tension verticale et donc le même potentiel de l'électrode en face arrière, par exemple de drain dans le cas des transistors MOSFETs. Par ailleurs, les composants basses tensions sont des composants latéraux comme la structure N-MOS qui peut être intégré au sein d'un MOSFET de puissance [1]. Ensuite, les fonctions intégrées sur un même substrat doivent être isolées les unes des autres par plusieurs techniques comme l'isolation par jonction polarisées en inverse ou par l'insertion des couches diélectriques entre elles. Ces dernières approches nous conduiraient à choisir des topologies de commande rapprochée et l'alimentation adaptées à cet effet, ce qui est abordé dans les prochaines parties du chapitre.

### **IV.3. Evolution de la commande rapprochée : du push-pull au pont complet**

Le type et la structure d'une commande rapprochée peuvent être définis en fonction de son alimentation et des moyens technologiques à disposition (type de composants, conditions de mises en œuvre). L'alimentation de la commande rapprochée est normalement de type unipolaire ou bipolaire, régulée en tension et elle est capable de fournir l'énergie nécessaire à l'amplification de la commande, à la gestion des protections et à l'étage d'isolation des transferts d'ordres. Nous avons vu que la commande d'un bras d'onduleur PB-CMOS nécessite des signaux bipolaires positifs et négatifs pour contrôler chacun des deux transistors de types différents. Il en va de même dans le cas général pour lequel il est préférable d'employer un signal de commande bipolaire par le bon contrôle des dynamiques qu'il offre ainsi que son blindage en termes de la compatibilité électromagnétique offerts aux interrupteurs de puissance. C'est la raison pour laquelle, l'étude des structures de commande rapprochée dans cette partie se focalise sur des solutions produisant un signal de commande bipolaire. Pour ne pas tomber dans une liste trop vaste et qui serait difficilement exhaustive, nous nous sommes concentrés sur des solutions basées sur la mise en œuvre d'une commande rapprochée référencée au potentiel de source ou d'émetteur du transistor de puissance et alimentée par une source, elle aussi référencée à ce potentiel.

#### **IV.3.1. Commande rapprochée bipolaire à structure push-pull**

En se concentrant sur une alimentation bipolaire, un simple circuit push-pull est suffisant pour mettre en œuvre un signal bipolaire aux bornes grille-source du MOSFET de puissance. La topologie est présentée dans la Figure IV.4a ci-dessous, la capacité de grille est chargée par la source de tension positive, puis déchargée à zéro volt pour être ensuite chargée avec une tension négative lorsque la source de tension négative est appliquée par la mise en conduction de l'interrupteur inférieur du bras push-pull. L'énergie emmagasinée dans les capacités parasites de grille est donc périodiquement dissipée à travers les transistors du bras push-pull et dans les sources positives et négatives. Par ailleurs, la puissance consommée par la commande rapprochée peut être décrite en fonction de la charge de la grille  $Q_r$ , de la fréquence de découpage  $F_a$  et la tension d'alimentation pour la commande rapprochée [2]. Une commande reposant sur cette topologie est mise en œuvre

pour faire fonctionner un demi pont complémentaire PB-CMOS. La forme d'onde est illustrée ci-dessous par la Figure IV.5.

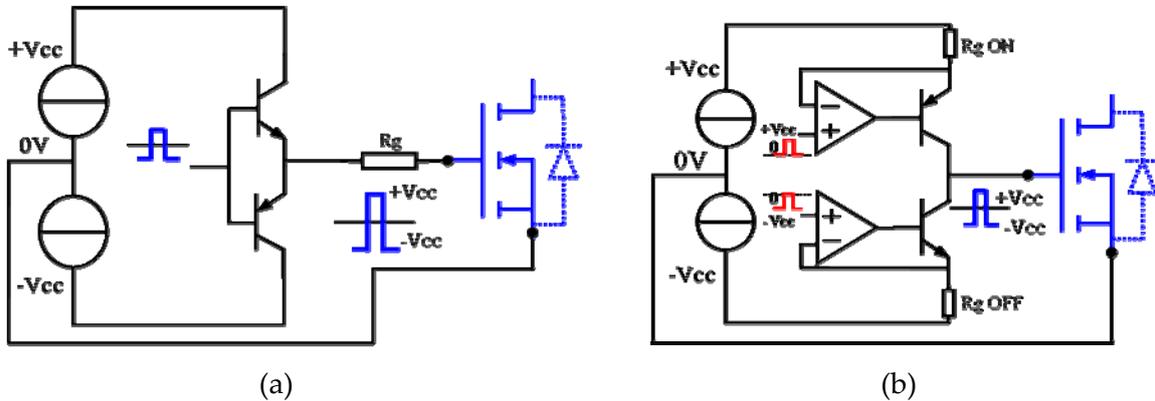


Figure IV.4. Commandes rapprochées à la base d'une alimentation bipolaire et d'un push-pull [3]

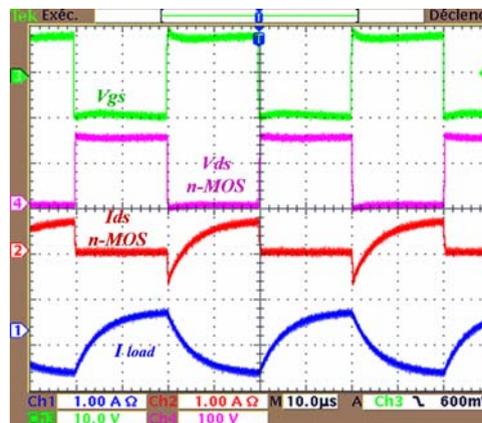


Figure IV.5. Formes d'ondes d'un demi pont capacitif complémentaire PB-CMOS utilisant une commande à la base d'une alimentation bipolaire et d'un push-pull

Pour les fréquences de découpage moyennes, comprises entre 10 kHz et 50 kHz, la commande rapprochée consomme raisonnablement et l'alimentation peut être mise en œuvre sans contrainte de performance car son rendement ne joue pas un rôle critique. Ce type de commande est utilisé dans des structures de conversion de puissance de 500W à 1kW. La structure push-pull peut également être commandée en courant comme le montre la Figure IV.4b. Cette approche permet de contrôler le courant de charge et de décharge des capacités de grille. On peut alors gérer les commutations et, en particulier, imposer des phases durant la commutation pour en accélérer certaines et ralentir d'autres.

Pour les structures fonctionnant en haute fréquence, la commande rapprochée peut consommer de manière excessive. La conception d'une commande spécifique efficace devient alors nécessaire mais cela se traduit généralement par un nombre de composants et

des coûts de fabrication plus importants. De plus, ces types de commande s'avèrent difficiles à intégrer car ils reposent souvent sur la mise en œuvre d'une petite structure d'électronique de puissance utilisant des composants passifs magnétiques. Dans ce contexte, la commande rapprochée utilisant des topologies à résonance est en général retenue. Plusieurs travaux de recherche sont menés afin de faire évoluer les performances et l'intégrabilité de ce type de commande en se fondant sur le recyclage de l'énergie stockée dans les capacités de grille. La structure à résonance permet alors de réduire la partie des pertes qui sont dissipées dans les sources d'alimentation. En fonction de la taille des transistors de la commande rapprochée, des niveaux de rendement supérieurs à 50% peuvent être atteints ce qui peut devenir significatif à haute fréquence et pour des charges de grille  $Q_g$  élevées à travers la charge et la décharge périodique de la capacité d'entrée de l'interrupteur de puissance. A titre d'exemple, deux topologies à résonance [4] produisant le signal bipolaire en se basant sur une alimentation unipolaire sont présentées dans la Figure IV.6 ci-dessous.

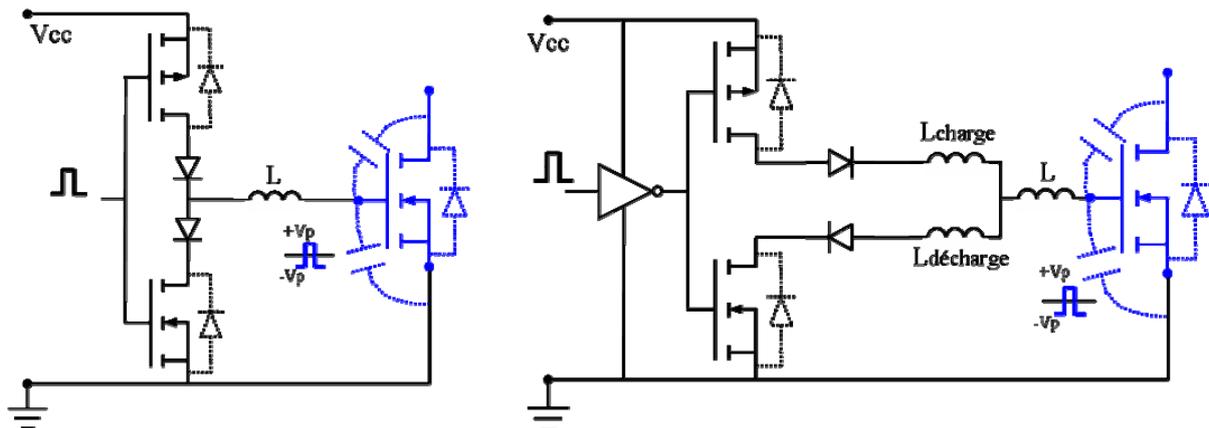


Figure IV.6. Commande rapprochée à résonance

### IV.3.2. Commande rapprochée à la base du pont complet

Outre les topologies de commande présentées ci-dessus, une autre solution reposant sur l'utilisation d'un pont complet peut être envisagée. En effet, l'onduleur est connu pour créer un signal alternatif, donc bipolaire, à partir d'une alimentation unipolaire de type continue. Ainsi, on peut facilement introduire une structure onduleur pour la commande rapprochée des transistors de puissance permettant de générer un signal de commande bipolaire avec ou sans temps mort. Cette flexibilité permet de piloter non seulement des bras d'onduleurs complémentaires ou classiques à la base des MOSFETs ou IGBTs. Ces derniers et leur contexte de mise en œuvre nécessitent généralement des alimentations bipolaires et la

gestion optimale des temps morts pour limiter les conséquences du courant de traînage lors des commutations de puissance. La Figure IV.7 présente une topologie de commande en pont complet servant à piloter un bras d'onduleur complémentaire PB-CMOS. Dans cette structure, le point milieu d'un des bras du pont complet est relié à la grille du MOSFET et l'autre bras se connecte à la source. Par contre, la source de l'alimentation flottante n'est plus connectée à la source du MOSFET ou à l'émetteur de l'IGBT.

Les principaux avantages de cette topologie sont liés à la possibilité de l'intégrer l'ensemble de la commande rapprochée de manière monolithique en technologie CMOS, et à l'utilisation d'une source d'alimentation unipolaire qui conduit à la réduction des composants nécessaires pour l'alimentation tels que les composants passifs, les condensateurs de filtrage et le transformateur multi-enroulement. Par ailleurs, le fait d'avoir seulement besoin d'une alimentation unipolaire permet d'envisager l'utilisation de systèmes spécifiques, présents dans l'état de l'art, tels que les techniques bootstrap ou autoalimentation.

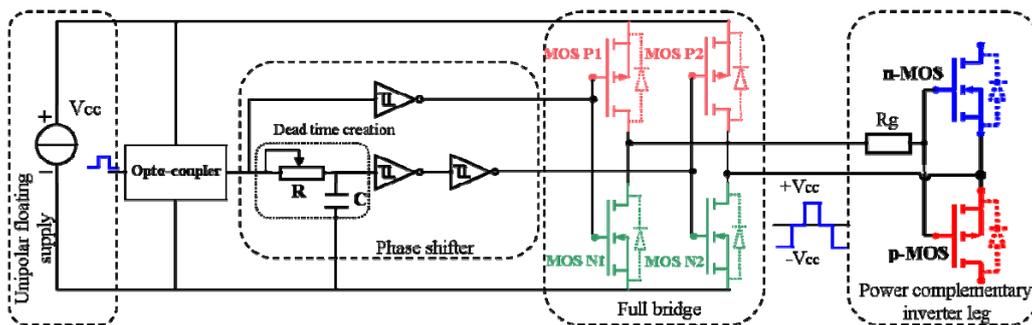


Figure IV.7. Commande rapprochée à pont complet

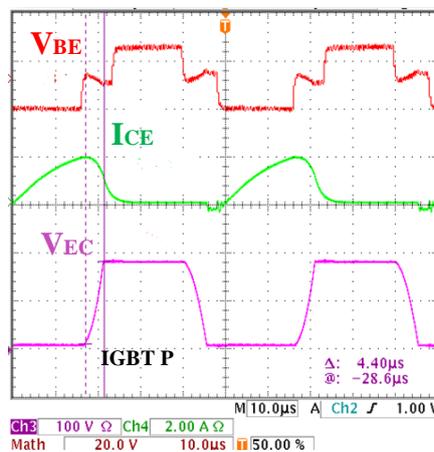


Figure IV.8. Bras d'onduleur complémentaire d'IGBT commandé par la topologie "onduleur en pont complet"

La Figure IV.8 illustre les formes d'ondes d'un bras d'IGBT complémentaire commandé par la structure ci-dessus. En mettant un temps mort de  $1\mu\text{s}$ , le montage fonctionne normalement et la gestion des courts-circuits est satisfaisante.

Cette structure peut être utilisée pour commander en courant et contrôler précisément l'évolution de la charge de grille. En outre, le circuit résonant peut également être mise en place afin d'optimiser la consommation de ce type de commande [5] tout comme cela était possible avec les bras push-pull. Pour conclure sur cette partie, nous pouvons constater que l'introduction de l'onduleur en pont complet au niveau de la commande rapprochée, complexifie celle-ci, mais en simplifie son alimentation. Le compromis idéal et l'optimisation de l'ensemble en vue d'une comparaison critique ne sont pas simples à conduire car cela dépend fortement du taux d'intégration de chacune des parties mais aussi et surtout des applications dans lesquelles celles-ci sont mises en oeuvre. Aussi, nous nous contenterons dans ce chapitre de poursuivre sur nos réflexions sans pouvoir offrir un réel bilan avantage/inconvénient en fin de chapitre. Notre objectif devient alors l'étude et l'analyse de solutions de commande rapprochée mettant en oeuvre un onduleur en pont complet avec des solutions d'alimentation unipolaire les plus simples possibles. Ce choix est dicté par le fait que nous recherchons une solution favorisant l'intégration du composant de puissance et de son environnement électronique. Si l'intégration en technologie CMOS de l'étage onduleur en pont complet ne pose aucun problème [6][7], il peut également conduire une intégrabilité plus poussée et plus flexible de la partie alimentation comme cela est étudié actuellement dans la thèse de Simonot T. [8].

#### **IV.4. Evolution des alimentations pour la commande rapprochée de la structure complémentaire Power Buffer-CMOS**

La commande rapprochée d'un bras d'onduleur complémentaire, ou d'un interrupteur high-side dans une structure conventionnelle, demande une alimentation flottante qui est référencée à la source flottante de l'interrupteur de puissance [9]. Dans ce contexte, plusieurs approches ont été abordées et utilisées pour répondre à cette problématique. Nous allons effectuer un bref bilan des solutions régulièrement utilisées. La solution la plus fondamentale s'appuie sur le principe d'un régulateur linéaire de tension qui

retire l'énergie de la partie puissance et puis la fait passer par une résistance et enfin régule la tension à la sortie grâce à une diode "Zener". Cette solution est simple à mettre en œuvre mais présente un très bas rendement. La deuxième possibilité concerne le convertisseur isolé DC/DC utilisant un transformateur magnétique hautes fréquences ou des matériaux piézoélectriques [10][11]. Plusieurs travaux de recherche ont été menés afin d'optimiser et d'intégrer ces convertisseurs offrant de bon niveaux d'isolation [12][13][14]. Pourtant, ces convertisseurs servant d'alimentation restent à ce jour encore complexe à intégrer dans un boîtier unique [6] ou bien ils présentent des limites en terme de rendements ce qui se trouvent compris entre 30% et 50% [12]. Une autre technique de plus en plus utilisée dans les convertisseurs tout intégrés type Fairchild ou IR est celle du bootstrap. Cette dernière s'appuie sur la commutation du convertisseur pour recharger la capacité de stockage  $C_s$  qui alimente la commande rapprochée de l'interrupteur flottant au moment où l'interrupteur du bas est passant, cela en considérant une cellule de commutation avec un interrupteur "high side" ou une bras d'onduleur complet. Le circuit bootstrap classique est illustré par la Figure IV.9 ci-dessous. Il est composé d'une alimentation référencée au moins du bus continu du bras de l'onduleur de puissance ou du convertisseur DC-DC, d'un condensateur de stockage  $C_s$  pour le filtrage et l'alimentation de la commande rapprochée du transistor high-side et d'une diode  $D$  dont le calibre en tension est celui de la structure de puissance.

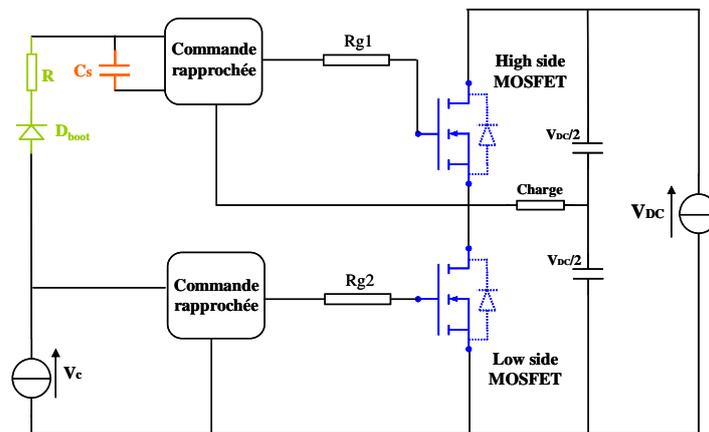


Figure IV.9. Topologie bootstrap classique

Lorsque le MOSFET low-side ou sa diode Body conduit, la source d'alimentation  $V_c$  de la commande rapprochée de ce même MOSFET recharge la capacité  $C_s$  à travers la diode  $D_{boot}$  et la résistance de limite de courant  $R$ . Lorsque le transistor low side et sa diode Body sont bloqués, la diode  $D_{boot}$  est polarisée en inverse et empêche le courant de circuler de

l'alimentation "high-side" vers le moins du bus DC. Cette solution, a priori de type unipolaire, peut également évoluer vers des versions bipolaires comme cela est développé dans [15][16]. Cette approche, à base d'un nombre réduit de composants, semble assez adaptée à son intégration hybride comme le montre son emploi dans des circuits spécialisés. Par ailleurs, une autre technique d'alimentation se fondant également sur la recharge périodique de la capacité de stockage et la régulation linéaire impulsionnelle est l'autoalimentation [17][18][19]. La Figure IV.10 donne la représentation de la topologie classique de cette technique. Cette solution est relativement simple et ne fait pas intervenir de composant passif dans sa mise en œuvre. Son intégration est envisageable, au sein même du composant de puissance, ce qui en fait une approche séduisante.

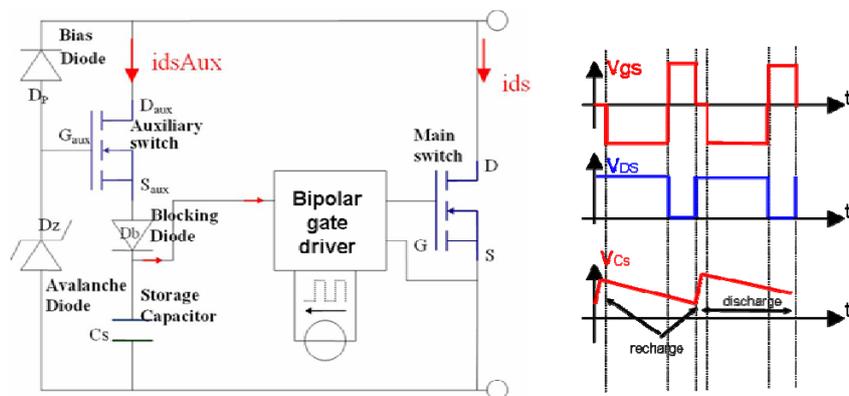


Figure IV.10. Topologie classique de l'autoalimentation [20]

Dans le cadre de cette thèse, nous focalisons sur l'étude de ces deux techniques, le bootstrap et l'autoalimentation, qui peuvent générer des sources d'alimentation unipolaires ou bipolaires selon leurs configurations et évolutions. Ainsi, associées selon leur type à des commandes rapprochées de type push-pull ou onduleur, les ensembles doivent permettre de créer des signaux de commande bipolaires à base de structures et systèmes intégrables, ce qui est notre objectif. Ces derniers seront présentés dans le paragraphe suivant. Il est à noter que nous avons fait le choix de ne pas étudier les cas où l'alimentation bipolaire est créée en local à partir d'une alimentation unipolaire via par exemple l'introduction d'une structure à hacheur à accumulation inductive auto oscillant ou d'une structure à capacités commutées. Ces approches, si elles sont réalisables, rajoutent une nouvelle structure de conversion, incluant des composants passifs volumineux et dégradant le rendement global de la commande rapprochée, à travers la cascade d'alimentations.

### IV.4.1. Topologie Bootstrap

Comme présenté ci-dessus, la technique bootstrap peut fournir une source unipolaire flottante pour la commande rapprochée d'un interrupteur high-side. Pourtant, afin de générer un signal bipolaire, des circuits spécifiques doivent être considérés. Dans ce paragraphe, nous analysons comment, avec le contenu de l'état de l'art de ce type de technologie, nous pouvons remplir notre cahier des charges à savoir fournir un signal de commande bipolaire et avoir une structure intégrable. Pour ce faire, nous étudierons les combinaisons de la structure bootstrap unipolaire avec bras d'onduleur et de la structure bootstrap bipolaire avec bras push-pull qui toutes deux devraient pouvoir satisfaire notre objectif.

#### IV.4.1.a. Alimentation Bootstrap bipolaire

La technique bootstrap unipolaire bien connue du milieu de l'électronique de puissance peut évoluer vers une structure bipolaire présentée dans la Figure IV.11 ci-dessous [21]. L'alimentation bipolaire offerte par cette structure peut simplement être associée à une structure push-pull afin de produire le signal bipolaire comme le présente le paragraphe IV.3.1. Cette topologie bootstrap se compose de deux alimentations unipolaires externes pour la commande rapprochée du MOS low-side et de deux capacités de stockage alimentant la commande flottante du MOS high-side. De fait, les capacités C1 et C2 peuvent être chargées lors de la conduction du MOS low-side. Pour la capacité C1, le cycle de recharge se fait par le chemin comportant l'alimentation positive V1, la diode bootstrap  $D_{boot}$ , la résistance de limite du courant R, la capacité C1 et le MOS low-side. Par contre, dans la topologie considérée, un MOS auxiliaire haute tension s'ajoute pour créer un chemin de recharge de C2. Ce MOS est commandé avec un retard par rapport au MOS low-side afin d'assurer le fait que le MOS low-side est bien saturé lors de l'amorçage du MOS auxiliaire. La capacité C2 peut donc être rechargée à travers la source négative V2, le MOS low-side, la Diode de blocage  $D_b$  et le MOS auxiliaire comme le montre la Figure IV.11. De plus, le MOS auxiliaire offre un troisième chemin de recharge des deux capacités. Ce dernier chemin est constitué de V1, de la diode bootstrap  $D_{boot}$ , de la résistance R, des condensateurs C1 et C2, de la diode  $D_b$ , du MOS auxiliaire et de V2.

De fait, le MOS auxiliaire étant ajouté pour créer des chemins de recharge de la capacité  $C2$ , qui prend en charge de la source négative, devrait avoir la même tenue en tension du MOS low-side. Comme présenté ci-dessus, il doit être commandé de manière décalée par rapport au MOS low-side, ce qui rend plus complexe le circuit de commande.

Ainsi, cette solution est difficile à intégrer monolithiquement non seulement par l'existence des sources d'alimentation externes mais aussi par le fait que le MOS auxiliaire n'est pas au même potentiel de drain qu'aucun des MOS de puissance et donc ne pourrait pas être intégré sur le même substrat que ceux-ci. Or ce transistor auxiliaire est obligatoire pour éviter un chemin parasite néfaste au système d'alimentation.

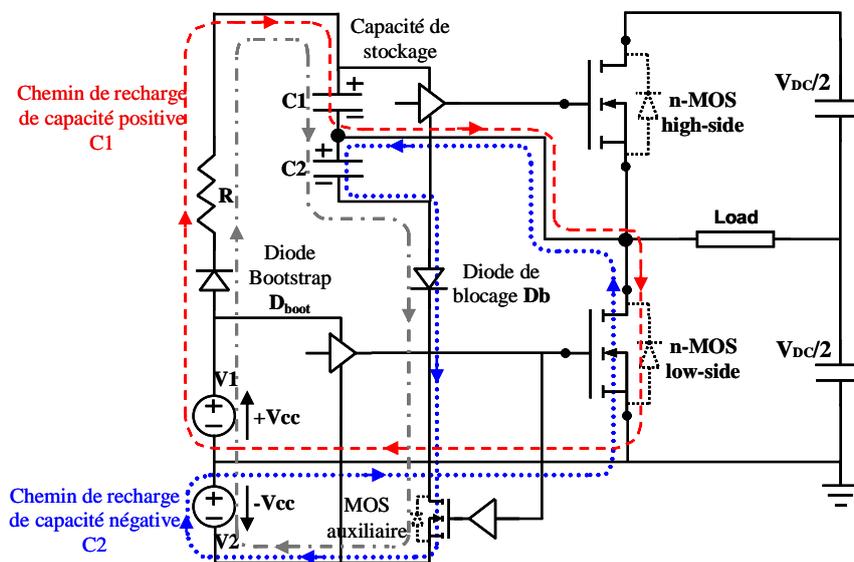


Figure IV.11. Technique d'alimentation Bootstrap bipolaire

#### IV.4.1.b. Alimentation Bootstrap unipolaire

Considérons maintenant la technique bootstrap unipolaire qui alimenterait une commande rapprochée spécifique afin de produire un signal bipolaire. Cette alimentation peut donc être associée à un onduleur CMOS en pont complet comme abordé dans le paragraphe IV.3.2. Un hacheur série commandé en technique bootstrap unipolaire a été mis en œuvre (voir la Figure IV.12) pour analyser et conclure sur les performances de cette solution. Cette combinaison est assez contraignante car la structure onduleur en pont complet ne garantit pas le raccordement du potentiel négatif de la capacité de stockage  $C_s$  à la source du transistor high-side. Il faut donc prévoir cette phase pour permettre la recharge de la capacité bootstrap dans de bonnes conditions.

De fait, le pont complet doit être commandé en décalage de phase, le MOSFET de puissance se met en conduction lorsque les MOS P1 et N2 conduisent, autrement dit lorsque la tension  $V_{gs}$  est imposée par la tension positive présentes aux bornes de la capacité de stockage  $V_{cs}$  directement connectée via la structure onduleur en pont. Ensuite, pour permettre la phase de recharge de la capacité de bootstrap, deux MOS N1 et N2 sont fermés pour maintenir le potentiel moins de capacité de bootstrap à la source du transistor de puissance tout en déchargeant la capacité de grille sur la base d'un court-circuit formé par N1 et N2. Le courant de recharge traverse alors la source d'alimentation externe  $V_{cc}$ , la diode bootstrap  $D_{boot}$ , la capacité de stockage  $C_s$ , le MOS N2 et le composant de puissance low-side rendu passant par le blocage du transistor high-side. Le chemin de recharge est illustré par la Figure IV.12 ci-dessous. Lorsque la recharge de la capacité  $C_s$  est terminée, le transistor P1 est fermé (N1 est ouvert) ce qui permet d'appliquer la tension négative entre la grille et la source du transistor MOSFET.

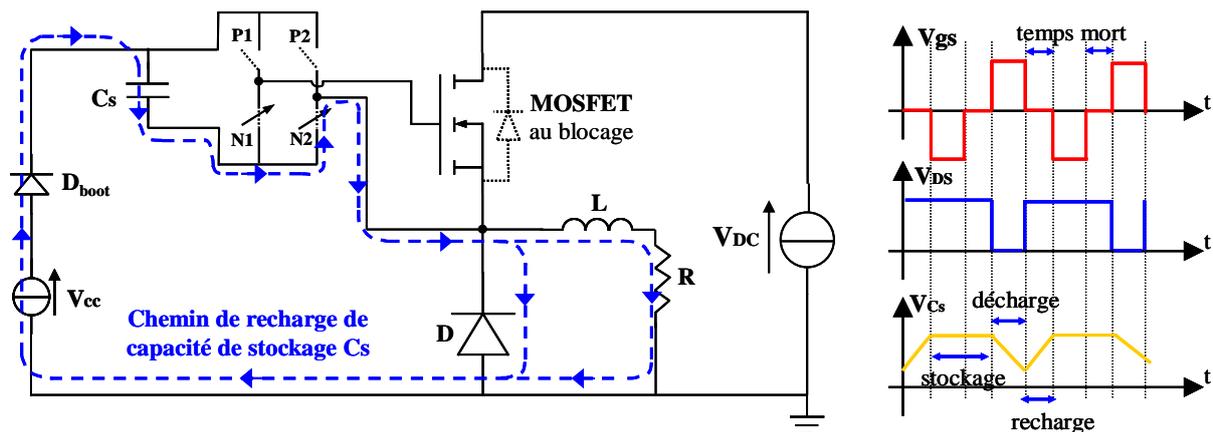


Figure IV.12. Technique d'alimentation Bootstrap unipolaire

En revanche, on constate une consommation importante de la commande rapprochée durant le fonctionnement du convertisseur. Le courant consommé au niveau de  $V_{cc}$  est l'ordre de quelques A au lieu de quelques mA. Ce dernier s'explique par le fait qu'un chemin de transfert d'énergie entre la partie puissance et la commande rapprochée se forme pendant la phase de conduction de la diode de roue libre  $D$  et du transistor  $P2$ . En guise d'exemple, la Figure IV.13 montre le chemin du courant de défaut lorsque les MOS N1, P2 sont passants pour maintenir un potentiel négatif aux bornes grille et source du transistor MOSFET de puissance.

Un courant de défaut passe par la charge RL ainsi que la diode roue libre D, l'alimentation  $V_{cc}$ , la diode  $D_{boot}$ , et le MOS P2. Ce courant, dépendant de l'impédance du circuit qu'il traverse, entraîne des pertes importantes voire la destruction des composants de la commande rapprochée et rend donc inexploitable en l'état cette solution.

Une solution par ajout d'un transistor de blocage en série avec la diode de bootstrap est envisageable comme pour la solution bootstrap bipolaire que nous venons de présenter et d'étudier. Cependant, ce composant est de nouveau difficilement intégrable et commandable ce qui ne conduit pas à une évolution positive de l'ensemble.

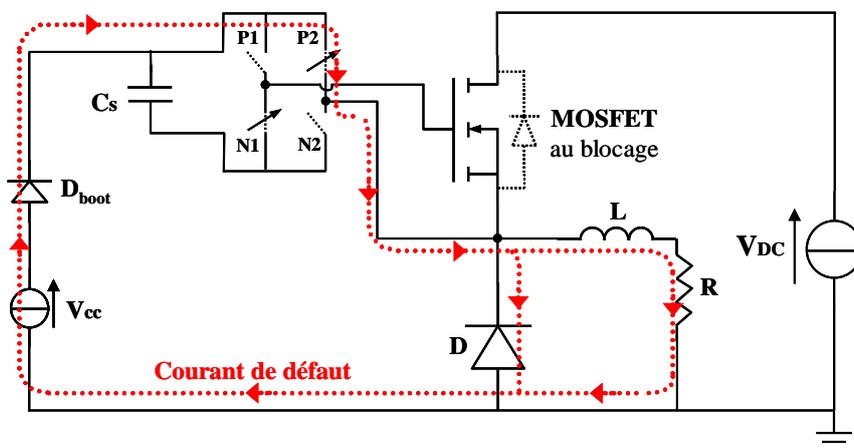


Figure IV.13. Courant de défaut du bootstrap unipolaire

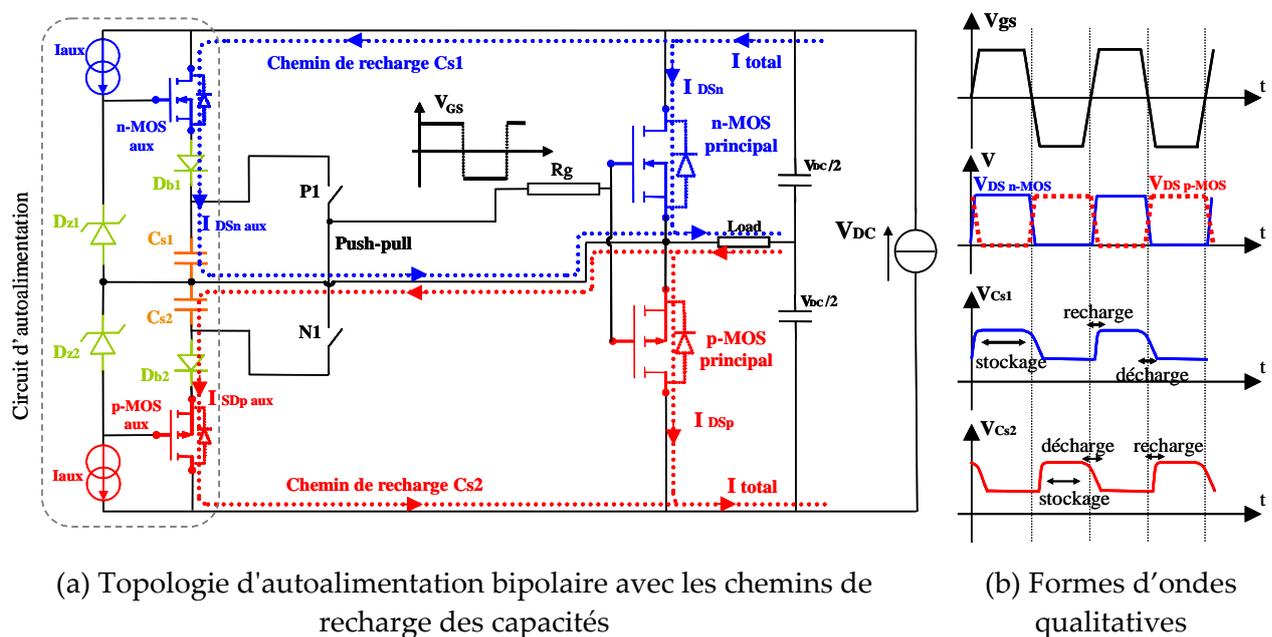
En conclusion, les solutions d'alimentation bootstrap sont simples à mettre en pratique. Par contre, ces dernières présentent des limites liées aux interactions avec la partie de puissance. De plus, du point de vue de l'intégration, ces dernières ont besoin de sources d'alimentations externes, la diode bootstrap et certain nombre des composants passifs qui sont difficiles à tous intégrer monolithiquement. Ceci augmente le coût de la conception ainsi que de la fabrication, et pourrait réduire la fiabilité du convertisseur. De ce fait, nous trouvons que cette technique s'avère trop complexe et moins compétitive que des alimentations intégrées DC/DC lorsque l'on souhaite mettre en place une commande rapprochée bipolaire au niveau des transistors de puissance dans les structures de conversion. Une autre solution, qui est susceptible de répondre également aux besoins à la fois d'une alimentation flottante et de l'intégration monolithique, est l'autoalimentation. Cette technique sera présentée dans le paragraphe suivant.

### IV.4.2. Autoalimentation

L'autoalimentation unipolaire se base sur le principe d'un régulateur linéaire impulsif qui dérive l'énergie de la partie puissance à chaque blocage du transistor high-side pour recharger une capacité de stockage. Cette dernière alimente ensuite la commande rapprochée qui est référencée à un potentiel flottant. Cette technique et ses évolutions en termes de l'intégration monolithique sont bien présentées dans [19] et puis [18]. Dans cette partie, nous présentons la technique d'autoalimentation adaptée à la structure complémentaire PB-CMOS.

#### IV.4.2.a. Autoalimentation bipolaire

Cette configuration considère le cas d'une alimentation bipolaire associée à un simple push-pull pour générer le signal de commande bipolaire. La Figure IV.14a présente le schéma de cette technique en précisant les chemins de recharge des capacités de stockage. Cette dernière étant basée sur la topologie classique MOSFET/MOSFET (voir la Figure IV.10) est complètement symétrique.



(a) Topologie d'autoalimentation bipolaire avec les chemins de recharge des capacités

(b) Formes d'ondes qualitatives

Figure IV.14. Autoalimentation symétrique d'une structure complémentaire

#### IV.4.2.a.i. Principe de fonctionnement

Cette autoalimentation est l'association de deux topologies classiques d'autoalimentation, une pour la source positive et une pour créer la source négative. Le principe de

fonctionnement est donc similaire à celui de la structure classique [18] mais sur les deux côtés. La Figure IV.14b présente les formes d'ondes qualitatives de la topologie présentée sur la même figure à gauche. La présentation est faite sur la base d'une utilisation au sein d'un bras d'onduleur complémentaire PB-CMOS mais il pourrait en être de même si l'on voulait mettre en œuvre une autoalimentation bipolaire pour un transistor high-side seul.

La capacité  $C_{S1}$  se recharge à chaque blocage du transistor principal n-MOS, l'énergie est dérivée de la partie puissance et traverse ensuite le transistor auxiliaire n-MOS et la diode de blocage  $D_{b1}$  pour finalement charger la capacité  $C_{S1}$ . Cette énergie sert à alimenter la commande rapprochée lors de la fermeture du n-MOS principal. De même, lorsque le n-MOS principal se ferme, autrement dit, le p-MOS se bloque, la capacité  $C_{S2}$  se recharge par le courant de charge traversant la diode  $D_{b2}$  et le p-MOS auxiliaire. Le démarrage du système est pris en charge par les deux sources de courants  $I_{aux}$ . Ces dernières fonctionnent en linéaire lorsqu'il existe une tension  $V_{DS}$  positive, avec des courants  $I_{aux}$  qui saturent les transistors auxiliaires et polarisent les diodes à avalanche  $D_{z1}$ ,  $D_{z2}$ . Les capacités de stockage sont préchargées par le courant qui traverse la branche n-MOS aux,  $D_{b1}$ ,  $C_{S1}$ ,  $C_{S2}$ ,  $D_{b2}$ , et p-MOS aux. Les tensions aux bornes de ces capacités sont régulées par deux diodes  $D_{z1}$  et  $D_{z2}$  entrant en régime d'avalanche. Les deux sources de courant  $I_{aux}$  peuvent être remplacées par des résistances ou bien par des diodes haute tension dont on utiliserait le courant de fuite pour obtenir de meilleures performances.

#### IV.4.2.a.ii. Aspect dynamique

Cette technique d'auto-alimentation peut être rendu sensible aux  $dV_{DS}/dt$  positifs tant sur le côté transistor type N que sur l'autre. Le principe de fonctionnement en dynamique sous excitation d'un  $dV/dt$  de la branche de l'autoalimentation est bien étudié dans [18]. Nous faisons ici un rappel adapté à la structure complémentaire PB-CMOS.

Lors du blocage du n-MOS principal, un  $dV_{DS}/dt$  apparaît aux bornes du n-MOS auxiliaire. La grille du n-MOS auxiliaire est chargée par les courants parasites issus des capacités parasites Miller pour le transistor auxiliaire et de jonction pour la diode de polarisation. Une fois la charge de grille suffisante, le transistor auxiliaire est rendu passant. Eventuellement, la diode à avalanche  $D_{z1}$  se polarise et vient limiter la tension entre la grille du n-MOS aux et la référence de potentiel, à savoir, la source du transistor de puissance principal. Le transistor auxiliaire mis en conduction laisse passer un courant  $I_{DSaux}$  venant de

la partie puissance rechargeant la capacité  $C_{s1}$ . Selon les conditions de commutation, ce courant  $I_{DSaux}$  est une partie du courant qui circulerait dans le transistor de puissance principal durant la phase de commutation. De fait, il est idéalement sans surcoût énergétique. La tension  $V_{Cs1}$  augmente au fur et à mesure puis est régulée par la tension d'avalanche de  $Dz1$ . La phase de recharge termine lorsque  $V_{Cs1}$  atteint une valeur telle que la tension de grille du transistor auxiliaire devient inférieure au seuil  $V_{gs_{th}}$  de mise en conduction de celui-ci.

Une simulation est faite sur la base de la structure qui a été étudiée et mise en œuvre dans le chapitre 2. Dans ce contexte, le courant  $I_{DSaux}$  n'est pas prélevé du courant de n-MOS principal comme dans la topologie classique [17]. En effet, dans la structure en demi pont capacitif que nous avons simulé, le courant du transistor principal commute en même temps que la tension appliquée. La Figure IV.15 en montre la représentation. Cela provient du fait que compte tenu des dynamiques de commutation choisies, de la taille des transistors et du niveau de courant, la majeure partie du courant de puissance est requise pour charger et décharger les capacités parasites  $C_{DS}$  des transistors de puissance.

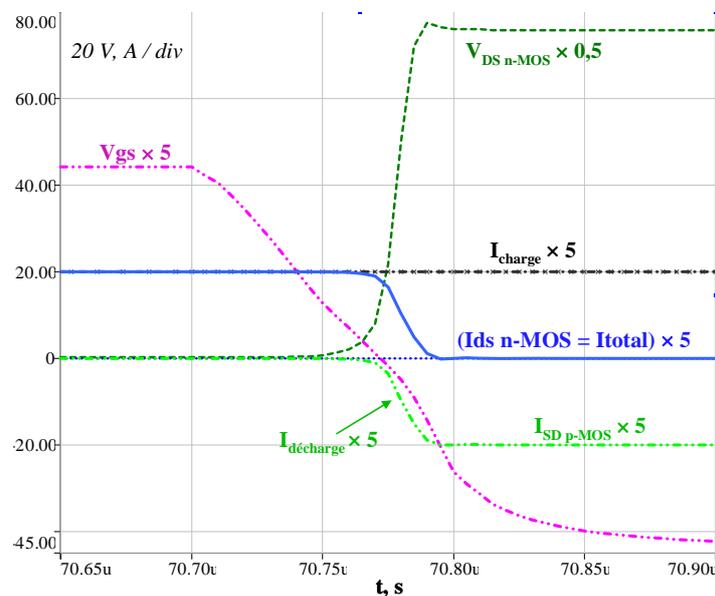


Figure IV.15. Phase de blocage du transistor n-MOS dans le demi pont capacitif complémentaire

De fait, au blocage du n-MOS principal, la tension  $V_{DS}$  du n-MOS commence à augmenter et il existe également un  $dV/dt$  négatif aux bornes du p-MOS en bas, ce qui génère le courant de décharge  $I_{décharge}$  de la capacité parasite  $C_{DS}$  du p-MOS (voir la Figure IV.15). Comme le courant dans la charge est considéré constant pendant cette phase de

commutation, le courant  $I_{DS}$  du n-MOS principal s'annule avec la même vitesse que  $I_{décharge}$ . Autrement dit, un effet de circuit d'aide à la commutation apparaît naturellement et tant à réduire les pertes par commutation du demi pont capacitif. Dans ce cas, le courant de recharge  $I_{DS\ aux}$  est rajouté au courant total de la structure, ce qui est illustrée dans la Figure IV.16. De fait, lorsqu'on n'utilise pas de circuit d'autoalimentation, le courant total présenté dans la Figure IV.14 est quant à lui le courant traversant le n-MOS principal. En appliquant la solution d'autoalimentation, le courant  $I_{total}$  est augmenté par l'ajout du courant du MOS auxiliaire. Les courants ajoutés par les deux circuit d'autoalimentaiton étant relativement symétriques pour les côtés du n-MOS et p-MOS de puissance comme le montre la Figure IV.16, ils ne contribuent pas à la diminution de perte par commutation des MOSFETs de puissance comme dans le cas de structure hacheur série présenté dans [17]. Ce courant auxiliaire pourrait donc dégrader le rendement du convertisseur global. Pourtant, cette solution d'autoalimentation pour la structure complémentaire PB-CMOS semble intéressante en terme de l'intégrabilité parce que les composants du circuit d'autoalimentation du côté n-MOS peuvent être tout intégrés au sein du transistor n-MOS de puissance sauf la capacité de stockage et cela est aussi le cas pour le côté p-MOS. Ceci est ainsi un nouveau choix encourageant pour le concepteur d'électronique de puissance d'utiliser la solution d'autoalimentation complémentaire, malgré les pertes supplémentaires qui peuvent être améliorée par l'optimisation des MOSFET de puissance et auxiliaires, l'ensemble offrant une belle possibilité d'intégration monolithique.

Par contre, cette solution montre également des limites dans quelques conditions de fonctionnement qui seront présentées dans le paragraphe suivant.

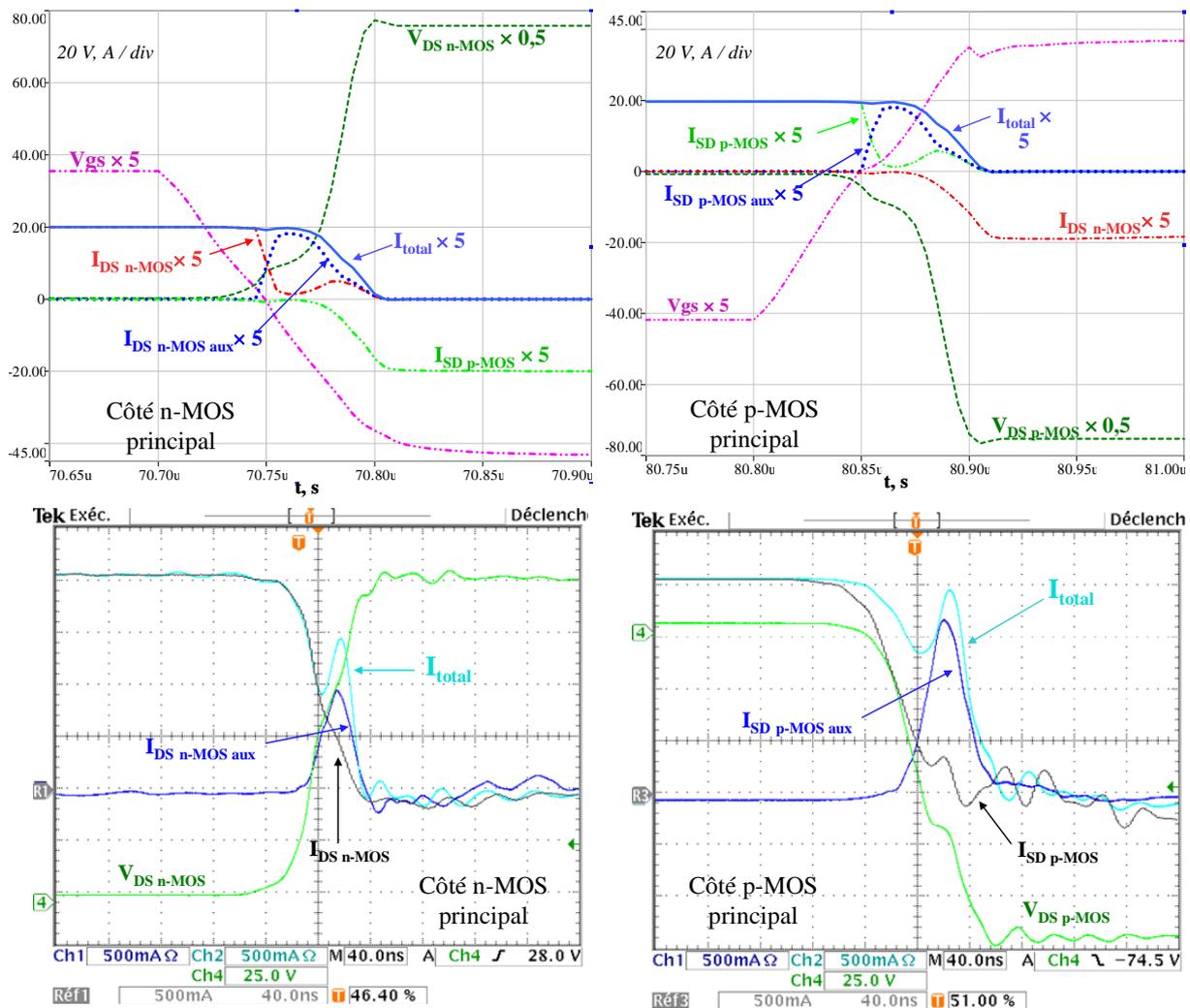


Figure IV.16. Formes d'ondes du demi pont capacitif avec circuit d'autoalimentation bipolaire. Résultats des simulations (haut) et résultats pratiques (bas)

#### IV.4.2.a.iii. Limites de fonctionnement

Nous venons de voir que la topologie d'autoalimentation bipolaire symétrique peut fonctionner dans les conditions connues de l'état de l'art sur des convertisseurs présentant des charges alternatives à l'échelle de la période de découpage. En revanche, si le courant de charge reste négatif (le courant entrant au point milieu) ou positif (le courant sortant du point milieu) pendant plusieurs périodes de commutation comme cela pourrait être le cas dans un onduleur triphasé à MLI pilotant une machine tournante, les capacités de stockage  $C_{s1}$  ou  $C_{s2}$  ne se rechargent respectivement pas par dérivation d'une fraction du courant de charge mais par ajout d'un courant au niveau de l'alimentation DC. En guise d'exemple, nous supposons que la charge est une source de courant positif comme illustrée la Figure IV.17 en haut. Le p-MOS principal ne fait donc passer le courant de charge qu'en sens

inverse par sa diode Body. Au moment du blocage du transistor p-MOS, le transistor n-MOS commence à faire passer le courant en direct et la valeur de celui-ci est fixée par la source de courant moins le courant circulant encore au niveau du p-MOS principal pour finir son blocage. De plus, un  $dV/dt$  positif apparaissant aux bornes du circuit d'autoalimentation du côté p-MOS, celui-ci induit un amorçage du p-MOS aux. Ceci crée un chemin du courant de court-circuit de l'alimentation DC traversant le n-MOS, la capacité  $C_{s2}$ , la diode  $D_{b2}$  et le p-MOS aux. Au blocage du p-MOS principal, le courant de diode Body s'annule, et puis il apparaît un courant de recouvrement de cette diode qui s'ajoute au courant de charge traversant le transistor n-MOS principal. Le courant total est donc le courant passant le n-MOS principal  $I_{DSn-MOS}$  comme le montre la Figure IV.17 en bas. Par ailleurs, lorsque le p-MOS aux est amorcé, le courant de défaut est créé par le chemin discuté ci-dessus. Le courant  $I_{DSn-MOS}$  principal devient la somme du courant de défaut, du courant de recouvrement de la diode Body du p-MOS et celui de la charge. Ce courant pouvant être largement plus important que le courant de charge, il pourrait diminuer considérablement le rendement de la structure voire détruire les transistors. En revanche, Pour ce qui est de la phase de recharge de l'autoalimentation du n-MOS principal, le comportement est celui classique déjà décrit compte tenu du fait que le courant de charge est toujours maintenu positif (comme dans un hacheur série par exemple). Dans ce cas, aucun courant de défaut n'est donc détecté.

Cette structure d'autoalimentation n'est ainsi applicable en l'état et de manière efficace qu'aux structures ayant un courant de charge qui s'inverse à chaque période de découpage. Un autre point négatif de cette structure vis-à-vis de l'intégration monolithique est lié aux deux capacités de stockage dont l'intégration sur silicium reste un défi majeur. Pour réduire le nombre de capacités et éliminer le défaut de fonctionnement présenté ci-dessus, une autre solution du circuit d'autoalimentation à la base d'une alimentation unipolaire qui est associée à un pont complet sera présentée dans le prochain paragraphe.

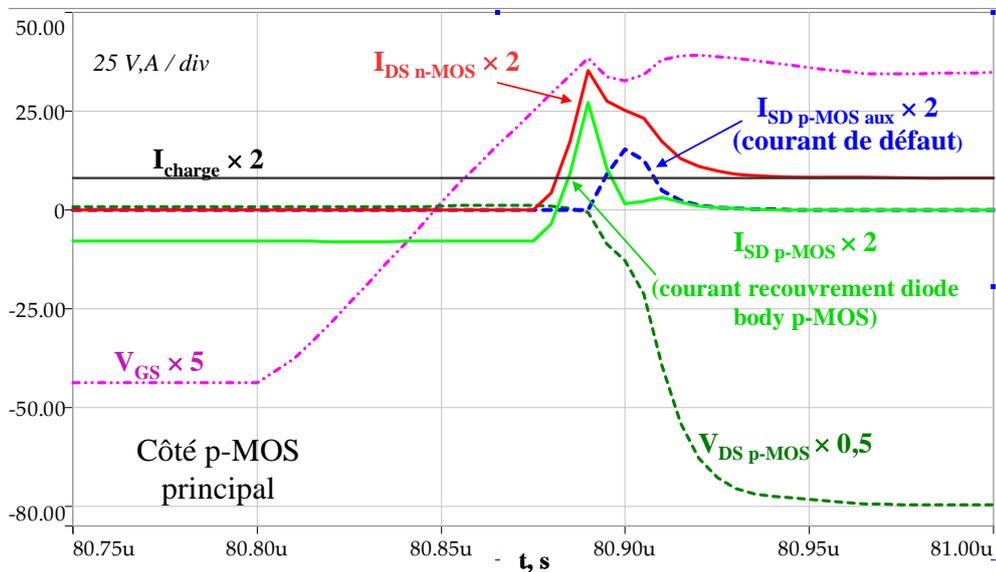
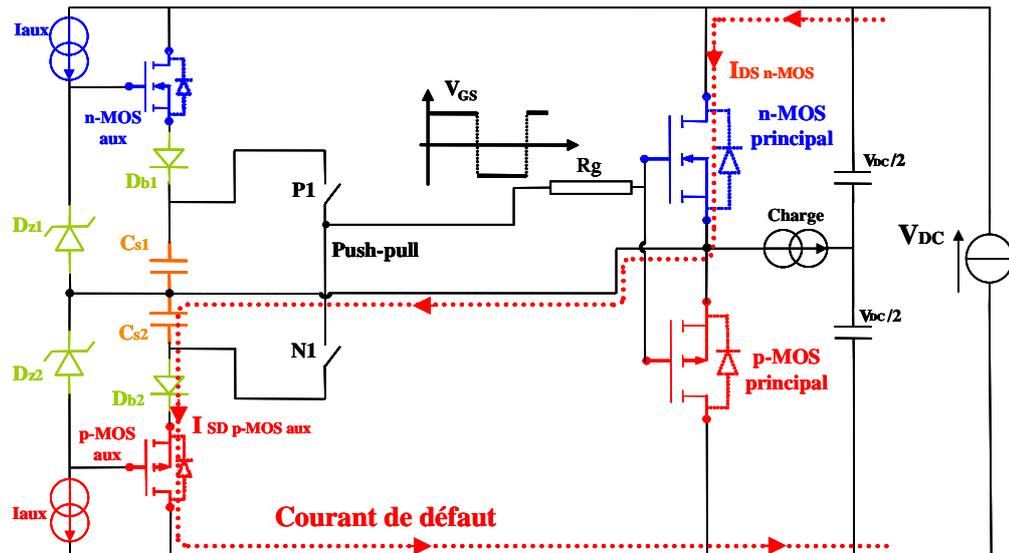


Figure IV.17. Courant de défaut lors que le courant de charge est toujours positif

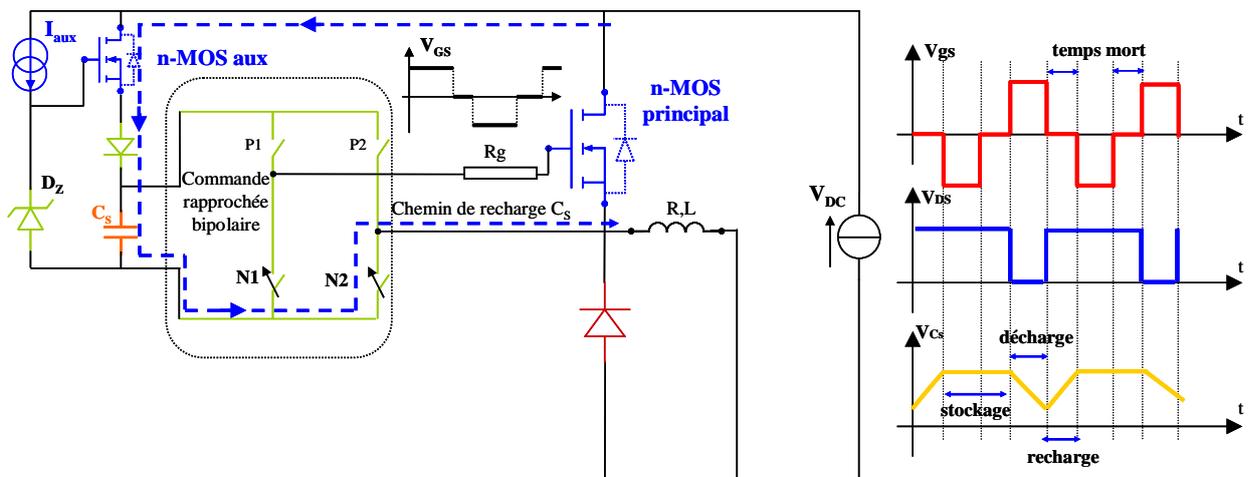


Figure IV.18. Hacheur série avec la commande rapprochée bipolaire autoalimentée à base de la structure pont complet (gauche). Formes d'ondes qualitatives (droite)

#### IV.4.2.b. Autoalimentation unipolaire

Avant d'étudier la technique d'autoalimentation unipolaire pour la structure demi pont capacitif PB-CMOS qui semble complexe, nous abordons d'abord cette technique étant appliquée dans un hacheur série comme le montre la Figure IV.18 à gauche.

Les formes d'ondes qualitatives de fonctionnement de ce hacheur sont présentées par la Figure IV.18 à droite. De fait, le n-MOS principal est fermé lorsque la tension  $V_{GS}$  est positive, ce qui correspond à la conduction des transistors P1 et N2 du pont complet de la commande rapprochée. Ensuite, le P1 se bloque et le N1 se ferme ce qui crée le court-circuit au niveau de la tension  $V_{GS}$  qui devient égale à zéro volt, un chemin de recharge de la capacité de stockage est donc créé en traversant le n-MOS aux, la diode de blocage  $D_B$ , la capacité  $C_s$ , le transistor N2 et la charge R, L. L'énergie emmagasinée dans  $C_s$  permet ensuite d'alimenter la commande rapprochée, en particulier à la phase d'amorçage du n-MOS principal. Nous constatons que cette solution d'autoalimentation nécessite une phase de recharge qui produit obligatoirement un temps mort pendant lequel la tension grille source  $V_{GS}$  est maintenue à 0V ce qui pourrait s'avérer une limitation. Néanmoins, en considérant que la phase de recharge de l'autoalimentation est inférieure à la phase de commutation du transistor principal auquel elle est associé, l'intérêt consistant à appliquer une tension de grille pour maintenir rapide la fin de commutation et garantir l'autoblindage durant l'état bloqué du transistor sont tous deux conservés. A partir du principe de cette dernière structure d'autoalimentation, nous proposons une solution générique adaptée au bras d'onduleur complémentaire PB-CMOS qui pourrait être opérationnelle pour n'importe quel régime de fonctionnement du bras d'onduleur de puissance courant AC ou courant DC positif ou négatif.

Le circuit d'autoalimentation unipolaire basé sur le principe présenté ci-dessus est composé des mêmes composants actifs que l'autoalimentation bipolaire étudiée en haut dont, pour chaque côté des transistors complémentaires de puissance : un MOS auxiliaire, une diode de blocage  $D_b$ , une source de courant de polarisation  $I_{aux}$ , une diode à avalanche  $D_z$ . En revanche, une seule capacité de stockage  $C_s$  se trouve nécessaire, comme illustré par la Figure IV.19. Comme la tension fournie par la capacité de stockage est unipolaire, nous avons besoin d'un pont complet de MOSFET type n et p dans la commande rapprochée pour produire un signal bipolaire. Cette structure est bien plus complexe mais pourtant, elle offre

une forte possibilité d'intégration comme évoquée précédemment. De plus, elle pourrait également éviter le défaut de fonctionnement que produit l'autoalimentation bipolaire dans les applications pour lesquelles le courant de charge peut être DC à l'échelle de la période de découpage. Le fonctionnement de cette structure est présenté et validé par la simulation ainsi que l'expérimentation dans les prochains paragraphes.

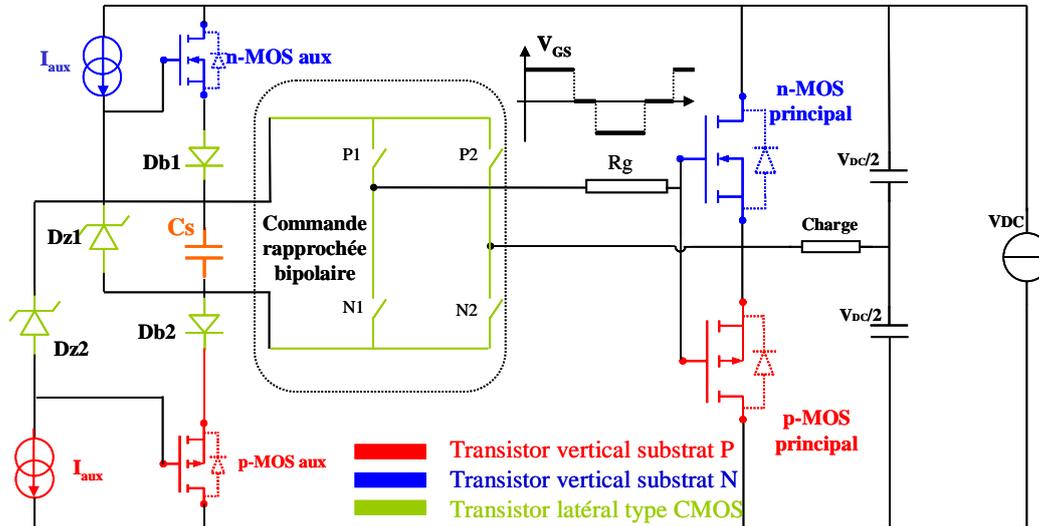


Figure IV.19. Topologie d'autoalimentation symétrique une capacité

#### IV.4.2.b.i. Principe de fonctionnement

Le fonctionnement de ce circuit de commande rapprochée se base sur l'association du circuit d'autoalimentation double branche et d'un pont H étant commandé en décalage de phase. Considérons que le courant de charge est positif et que le transistor n-MOS est rendu passant. Si les deux transistors P1 et N2 sont mis en conduction, la tension  $V_{GS}$  à la sortie de la commande rapprochée se trouve être la valeur de la tension de la capacité  $V_{Cs}$ . La tension  $V_{GS}$  devient donc positive et le n-MOS principal est mis en conduction. A la fin de la phase à l'état passant du transistor n-MOS, le transistor P1 se bloque et le transistor N1 commence à conduire. La tension  $V_{GS}$  à ce moment diminue vers zéro aux chutes de tension près dans les transistors conducteurs au niveau du pont en H. Le n-MOS principal se bloque donc ce qui excite le circuit d'autoalimentation lors de la croissance de la tension à ses bornes. De plus, le point milieu du bras d'onduleur étant relié au point bas de la capacité  $C_s$  par la conduction de N2, cela crée le chemin de recharge de la capacité de stockage  $C_s$  via le n-MOS aux, la diode de blocage  $D_{b1}$ , la capacité  $C_s$ , le transistor N2 et la charge. De la même manière pour l'autre côté, la capacité  $C_s$  se recharge lors du blocage du p-MOS principal et pendant le

passage à zéro de la tension  $V_{GS}$  due à la conduction des deux transistors P1 et P2. Le démarrage de la structure est pris en charge par les sources de courant  $I_{aux}$  qui peuvent être remplacées par des courants de fuite des diodes hautes tensions. Le fonctionnement de cette topologie est validé par la simulation Simplorer et l'expérimentation. En effet, la Figure IV.20 montre les formes d'ondes à la phase de recharge de la capacité de stockage des deux transistors de puissance.

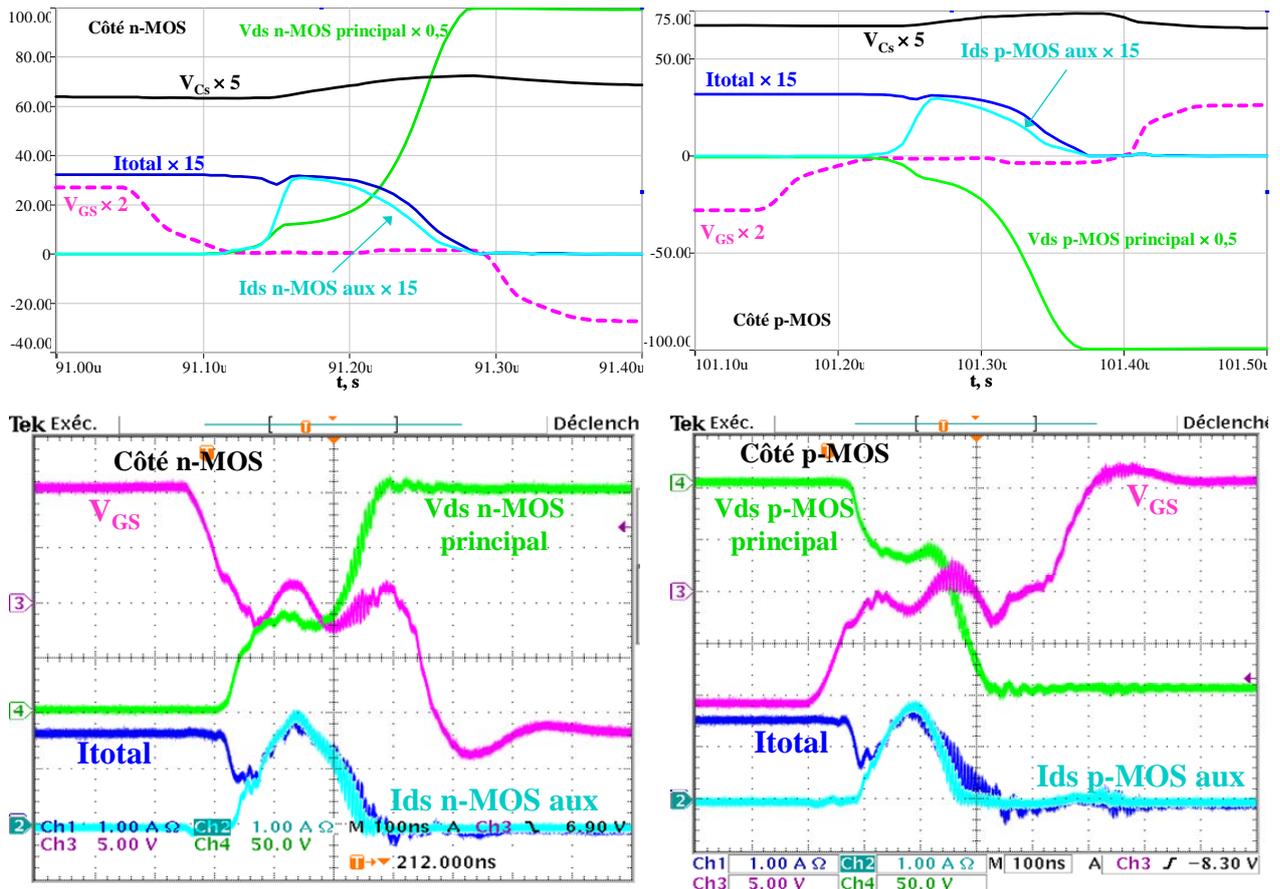


Figure IV.20. Formes d'ondes des phases de recharge  $C_s$ . Résultats simulations (haut). Résultat pratiques (bas)

#### IV.4.2.b.ii. Aspect dynamique

Cette solution d'autoalimentation n'est également sensible qu'au  $dV/dt$ . Lors du blocage du n-MOS, l'apparition du  $dV/dt$  excite la source de courant qui ensuite polarise la diode zener  $D_{z1}$  et le n-MOS aux. Comme présenté ci-dessus, les deux transistors N1, et N2 à ce moment sont en pleine phase de conduction. Dès que le n-MOS aux se sature, le courant de recharge peut être dérivé de l'alimentation DC vers la charge en traversant le circuit d'autoalimentation du côté n-MOS, et puis le transistor N2 du pont H afin de faire

augmenter la tension  $V_{Cs}$  comme montré la Figure IV.21. Cette dernière se régule par la tension de la diode zener  $V_{Dz1}$ , et la tension  $V_{Cs}$  maximale atteinte peut être calculé par :

$$V_{Cs\max} = V_{Dz} - V_{Dbon} - V_{GStH\ MOSaux} \quad (IV.1)$$

dont  $V_{Dz}$  est la tension inverse de la diode à avalanche,  $V_{Dbon}$  est la chute de tension à l'état passant de la diode de blocage  $D_b$ ,  $V_{GStH\ MOSaux}$  est la tension de seuil du MOS auxiliaire.

Lorsque la tension  $V_{Cs}$  atteint la valeur maximale désirée, la tension  $V_{GS}$  du n-MOS auxiliaire devient inférieure à sa tension de seuil et le n-MOS aux se bloque. La phase de recharge du côté n-MOS est ainsi terminée. La capacité  $C_s$  continue à se recharger lors de l'ouverture du p-MOS principal. Le courant de recharge circule donc via la charge, le transistor P2, la capacité  $C_s$ , la diode  $D_{b2}$  et le p-MOS aux. La tension  $V_{Cs}$  est de nouveau régulée par la tension  $V_{Dz2}$ . Comme expliqué dans le paragraphe IV.4.2.a.ii, le courant de recharge est également rajouté au courant total de cette structure comme le montre la Figure IV.21 ci-dessous.

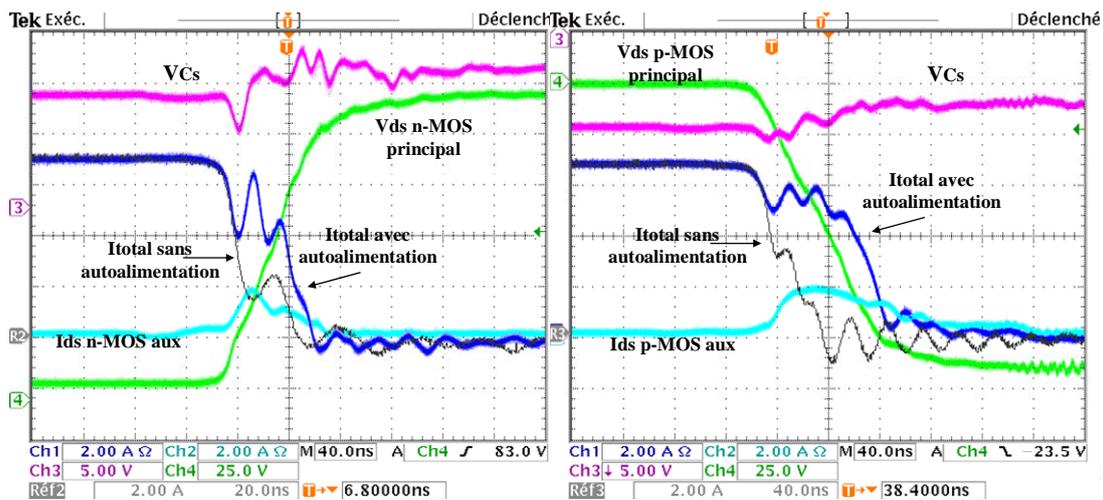


Figure IV.21. Evolution de la tension  $V_{Cs}$  pendant la phase de recharge. gauche : côté n-MOS, droite : côté p-MOS

Par ailleurs, avec une chute de tension admise  $\Delta V$  aux bornes de la capacité  $C_s$ , le temps de recharge désiré  $\Delta t$  et le courant de la recharge est celui de la charge  $I_{charge}$ , la capacité de stockage peut être dimensionnée par :

$$I_{charge} \cdot \Delta t = C_s \cdot \Delta V \quad (IV.2)$$

Dans le cas d'une charge alternative, la structure d'autoalimentation unipolaire permet de faire deux fois la recharge par période de commutation et donc d'avoir qu'une capacité de

stockage avec la même valeur que dans le cas d'une autoalimentation bipolaire avec deux capacités de stockage.

L'association structure d'autoalimentation à une capacité de stockage et pont complet est plus complexe, elle permet de réduire le nombre ou la valeur de la capacité de stockage qui reste un élément difficile à intégrer. Par ailleurs, tous les éléments actifs nécessaires à la création de cette solution plus complexe sont intégrables dans trois puces, dont deux de puissance n- et p-MOS et une puce de commande en technologie CMOS. Si la structure est rendue plus complexe, elle est également plus fiable et plus générique et peut s'adapter à n'importe quelle condition de fonctionnement du côté puissance.

Enfin, cette dernière solution permet d'éliminer le problème de défaut lorsque le courant de charge n'est pas alternatif chaque période de commutation. En effet, si le courant reste positif (le courant sortant du point milieu) nous pouvons envoyer un ordre de commande pour désactiver le circuit d'autoalimentation du côté p-MOS via par exemple le court-circuit de la diode à avalanche. Le courant court-circuit d'alimentation n'apparaît donc plus et la recharge de la capacité  $C_s$  n'est prise en charge que par le côté n-MOS une fois par période. De même au cas où le courant de charge est négatif (le courant entrant au point milieu), l'autoalimentation du côté n-MOS pourra être désactivée et le circuit du côté p-MOS rechargera la capacité  $C_s$ . Dans ces deux cas, la capacité de stockage doit être le double du dimensionnement initial pour maintenir la chute de tension admise.

#### IV.4.2.b.iii. Analyse du rendement

Comme présenté dans le paragraphe précédent, le courant de recharge de la capacité de stockage se rajoute au courant total, ce qui inclut les pertes additionnelles. Ces dernières sont constituées de :

- La perte par conduction et par commutation des transistors auxiliaire
- La perte par commutation des transistors de puissance due à ses commutations ralenties causées par l'action des circuits d'autoalimentation

Ces pertes additionnelles pourraient être compensées par l'énergie fournie par une alimentation externe de la commande rapprochée. Le rendement du demi pont capacitif avec et sans circuit d'autoalimentation peut être estimé par :

$$\eta_{\text{sans-autoalimmentation}} = \frac{Puissance_{\text{sortie}}}{Puissance_{\text{entrée}} + Puissance_{\text{commande}}} \quad (IV.3)$$

$$\eta_{\text{avec-autoalimmentation}} = \frac{Puissance_{\text{sortie}}}{Puissance_{\text{entrée}}}$$

Afin d'analyser le rendement du demi pont avec et sans circuit d'autoalimentation, une expérimentation est réalisée avec les paramètres suivants :

$$V_{in} = 150V, f = 25kHz, C_s = 10nF, V_{gs} = \pm 10V$$

La Figure IV.22 montre le rendement des deux topologies avec et sans autoalimentation en fonction de la puissance d'entrée. La puissance consommée par la commande rapprochée est de 40 mW.

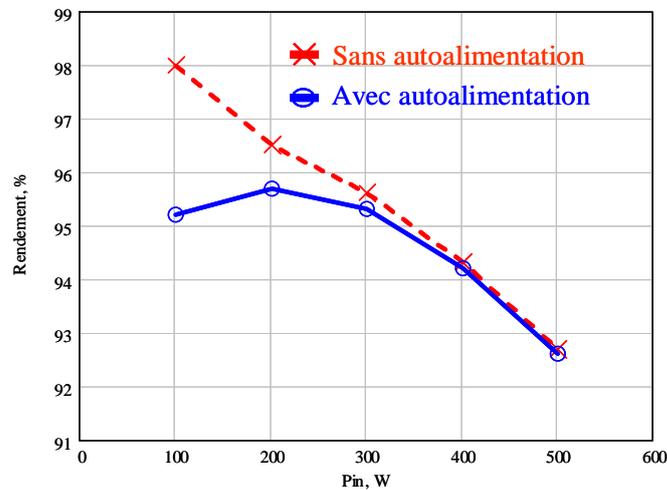


Figure IV.22. Rendement en fonction de la topologie et de la puissance d'entrée

Nous constatons que plus la puissance d'entrée est élevée, plus le rendement de la topologie avec circuit d'autoalimentation se rapproche de celui de la structure sans autoalimentation. Ceci peut s'expliquer par le fait d'augmentation de la puissance d'entrée fait accroître le courant dans la charge. Ce dernier fait diminuer le temps de recharge  $\Delta t$  pour une capacité  $C_s$  et le temps de recharge  $\Delta t$  constant suivant l'équation (IV.2). Toutes les pertes citées ci-dessus causées par le fonctionnement du circuit d'alimentation sont donc minimisées. Ainsi, les rendements des deux topologies sont relativement proches.

Une solution qui pourrait améliorer le rendement de la structure autoalimentée est le circuit de monitoring de tension de la capacité  $C_s$ , dont le principe de fonctionnement est bien présenté dans [1] et puis dans [18]. Ce circuit permet d'optimiser le temps de recharge de  $C_s$  en envoyant l'ordre d'arrêter la recharge lorsque la tension  $V_{C_s}$  atteint le seuil souhaité.

En revanche, ce circuit complexifie la commande rapprochée et sur une solution à base de composants discrets, nous ne nous sommes pas lancés dans son développement. Cela reste une perspective dans un effort d'intégration à venir.

## **IV.5. Conclusion**

La première partie du chapitre a mis en évidence par la simulation et l'expérimentation l'avantage en regard de la simplification au niveau de la commande rapprochée de la structure complémentaire PB-CMOS. Les études sur les topologies de la commande rapprochée permettent de conduire à l'analyse des techniques d'alimentation associées. Deux solutions d'alimentations qui sont la technique bootstrap et autoalimentation avec leurs évolutions sont ensuite analysées et comparées en terme de performance et d'intégration. D'un point de vue d'intégration, la solution d'autoalimentation offre des solutions intéressantes. La validation du fonctionnement de ces dernières est présentée avec les résultats de simulation et d'expérimentation. La performance encourageante de structure complémentaire PB-CMOS autoalimentée par rapport à celle sans circuit d'autoalimentation à forte puissance donne une bonne perspective aux structures en technologie complémentaire avec des optimisations prévues au niveau de circuit monitoring de recharge de la capacité.

## Bibliographie

- [1] D. B. Nguyen, "Intégration fonctionnelle autour des composants quatre quadrants avec l'application à la conversion AC/AC," Mémoire de thèse, Grenoble INP, G2ELab, 2008.
- [2] J. Strydom, M. de Rooij, and J. van Wyk, "A comparison of fundamental gate-driver topologies for high frequency applications," in *IEEE Applied Power Electronics Conference and Exposition. APEC'04*, pp. 1045-1052, vol.2, 2004.
- [3] Jean-Christophe Crebier, Manh Hung Tran, Jean Barbaroux, and Pierre-Olivier Jeannin, "Implementation and operational investigations of bipolar gate drivers," in *The Applied Power Electronics Conference and Exposition. APEC'10*, pp 248-255, 2010.
- [4] Ian Douglas DEVRIES, "Low-loss capacitance driver circuit," U.S. Patent US 2002/0141213 A1.
- [5] Fujita, H., "A resonant gate-drive circuit capable of high-frequency and high-efficiency operation," in *IEEE 6th International Power Electronics and Motion Control Conference. IPEM '09*, pp. 351 - 357, 2009.
- [6] Olivier Deleage, "Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC," Mémoire de thèse, Grenoble INP, G2ELab, 2009.
- [7] T. Simonot, N. Rouger, and J. Crebier, "Design and characterization of an integrated CMOS gate driver for vertical power MOSFETs," in *2010 IEEE Energy Conversion Congress and Exposition*, pp. 2206-2213, 2010.
- [8] T. Simonot, J. Crebier, N. Rouger, and V. Gaude, "3D hybrid integration and functional interconnection of a power transistor and its gate driver," in *2010 IEEE Energy Conversion Congress and Exposition*, pp. 1268-1274, 2010.
- [9] Manh Hung Tran, Jean-Christophe Crebier, and Christian Schaeffer, "Quantification of benefits and drawbacks in power conversion based on complementary MOS structures," *IEEE Transactions on Industry Applications*, 2010.
- [10] S. P. Vlahu, "High frequency pulse transformer for an IGBT gate drive," U.S. Patent USRE3808222-Apr-2003.
- [11] D. Vasic, F. Costa, and E. Sarraute, "Piezoelectric transformer for integrated MOSFET and IGBT gate driver," *Power Electronics, IEEE Transactions on*, vol. 21, no. 1, pp. 56-65, 2006.

- [12] B. Chen, "Fully integrated isolated DC-to-DC converter and half bridge gate driver with integral power supply," in the 1st International Workshop on Power Supply on Chip, Cork, Ireland, 2008.
- [13] O. Deleage, J. Crebier, M. Brunet, Y. Lembeye, and H. Tran Manh, "Design and realization of highly integrated isolated DC/DC micro-converter," in *IEEE Energy Conversion Congress and Exposition. ECCE'09*, pp. 3690-3697, 2009.
- [14] J. Popovic and J. Ferreira, "Converter concepts to increase the integration level," *IEEE Transactions on Power Electronics*, vol. 20, no. 3, pp. 558-565, 2005.
- [15] Shihong Park and T. Jahns, "A self-boost charge pump topology for a gate drive high-side power supply," *IEEE Transactions on Power Electronics*, vol. 20, no. 2, pp. 300-307, 2005.
- [16] G. Khoo, D. Carter, and R. McMahon, "Comparison of charge pump circuits for half-bridge inverters," *IEE Proceedings on Circuits, Devices and Systems*, vol. 147, no. 6, pp. 356-362, 2000.
- [17] J. Crebier and N. Rouger, "Loss Free Gate Driver Unipolar Power Supply for High Side Power Transistors," *Power Electronics, IEEE Transactions on*, vol. 23, no. 3, pp. 1565-1573, 2008.
- [18] Nicolas Rouger, "Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale," Mémoire de thèse, Grenoble INP, 2008.
- [19] R. Mitova, "Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant," Mémoire de thèse, Grenoble INP, 2005.
- [20] N. Rouger, J. Crebier, and S. Catellani, "High-Efficiency and Fully Integrated Self-Powering Technique for Intelligent Switch-Based Flyback Converters," *IEEE Transactions on Industry Applications*, vol. 44, no. 3, pp. 826-835, 2008.
- [21] Rick West, "Bipolar bootstrap top switch gate driver for half-bridge semiconductor power topologies," U.S. Patent US7248093.



## Conclusion générale

Les problématiques concernant la conception et la réalisation d'un module de puissance pour convertisseurs statiques ont été présentées dans le premier chapitre. En particulier, les perturbations conduites de mode commun générées au sein du module et issues des capacités parasites qui se trouvent entre les points de tension flottante et la masse sont étudiées en détail. Il en est de même pour l'environnement des puces de puissance, constitué de pistes conductrices, des dispositifs d'isolation, de drains thermiques d'un côté et de systèmes de contrôle commande, de protection et d'alimentation de l'autre. En particulier, plusieurs problèmes dont l'alimentation de la commande rapprochée pour un transistor ayant la source flottante sont étudiés dans le cadre de ce travail de thèse. Dans un autre registre, les conséquences des pistes sur les interconnexions électriques et les échanges thermiques sont également développées. Les évolutions vers la co-intégration tant au niveau du transistor de puissance que de son environnement électronique avec pour objectifs de réduire les interconnexions ont été ensuite présentées. En ce sens, l'évolution du packaging vers le module 3D P-CoC favorise non seulement l'échange thermique double face mais aussi simplifie la mise en œuvre et optimise les interconnexions. Dans ce contexte, nous avons proposé un nouveau concept nommé Power Buffer – CMOS qui est une structure de conversion basée sur les transistors de puissance complémentaires sur substrat N et P à sources communes. Cette architecture offre de nombreux avantages en regard de la réduction du courant de mode commun, de la simplification de la commande rapprochée et celle de mise en œuvre en utilisant le module P-CoC. Le point pénalisant concernant la possible réduction du rendement liée à l'introduction du transistor de type P a été aussi abordé.

En se basant sur l'étude présentée dans le premier chapitre, nous avons analysé et validé dans le deuxième chapitre le gain de la structure Power Buffer – CMOS concernant la réduction du courant de mode commun. Les études comparatives menées entre deux structures à demi pont capacitif ont bien montré qu'il existe un rapport entre l'amplitude du courant de mode commun des structures de conversion à base de transistors N uniquement et celles basées sur une structure PB – CMOS. En même temps, l'analyse spectrale a

également présenté une différence de 25 dB $\mu$ V sur une large bande de fréquences au niveau des courants de mode commun. Cela conduit à une forte réduction des moyens de filtrage à associer au convertisseur pour satisfaire les normes CEM conduites en vigueur. A titre d'exemple, le filtre de mode commun de la topologie PB – CMOS nécessite moins systématiquement l'ajout d'un tore de mode commun ce qui peut réduire considérablement le coût des filtres. En outre, le rendement de la structure PB – CMOS a été étudié et de nouveaux compromis dont un avec des transistors ayant les surfaces deux fois plus larges permettent d'améliorer le rendement en maintenant le gain vis-à-vis de la CEM conduite.

Les transistors de type P sont connus par leurs mauvais états passants dus à la différence entre la mobilité des électrons et celle des trous. Pourtant, dans le troisième chapitre, nous avons aussi montré des caractéristiques statiques et dynamiques des transistors sur substrat N et P qui sont proches les unes des autres voire meilleures chez les composants sur substrats P au niveau de la tenue en tension. Par ailleurs, l'état passant des transistors bipolaires de type P pourrait être amélioré via une modulation de la résistivité de la zone de tenue en tension en régime de forte injection par un meilleur contrôle sur la durée de vie des porteurs. De ce fait, un composant hybride combinant le p-MOSFET et le transistor NPN pourrait offrir un meilleur état passant que le MOSFET sur substrat P. Ce dernier ainsi qu'une puce de puissance à multiples transistors MOSFET ont été conçus mais ils ne peuvent malheureusement pas être présentés dans ce mémoire à cause de problèmes technologiques imprévus.

Le quatrième chapitre est consacré à mettre en évidence la simplification de la commande rapprochée des structures PB – CMOS. Des topologies d'amplification et d'alimentation spécifiquement adaptées aux architectures PB-CMOS sont étudiées en simulation et de manière expérimentale. Grâce à l'association des transistors complémentaires à sources communes, la structure PB – CMOS offre naturellement la protection contre le court-circuit. Cet aspect a été validé avec la structure à base des MOSFETs, mais la structure PB – CMOS utilisant les IGBTs doit subir encore le court-circuit à cause des courants de traînage de ces derniers. La topologie de commande rapprochée en pont complet a donc été proposée pour éviter ce courant de court-circuit en créant un temps mort dans le signal de commande. Par ailleurs, des techniques d'alimentation pour la commande rapprochée ont été présentées. La technique Bootstrap connue dans l'industrie a

été ainsi comparée avec l'autoalimentation qui est développée au G2ELab. Du point de vue de l'intégration monolithique fonctionnelle, l'autoalimentation pourrait offrir des solutions d'intégration réalisables au sein des transistors de puissance. Les évolutions vers l'autoalimentation bipolaire, même si elles sont complexes, présentent des possibilités très encourageantes tant au niveau de l'intégration que des performances globales du convertisseur. Ces solutions ont été validées par les simulations Simplorer ainsi que des expérimentations.

Les études sur plusieurs aspects dans cette thèse, que ce soit des avantages ou des points faibles de la structure Power – Buffer CMOS, permettent de révéler un nouveau compromis entre la performance intrinsèque d'un composant et le rendement du convertisseur global et donc d'offrir un nouveau choix encourageant aux concepteurs électroniques.

Parmi les perspectives de ce travail de thèse, les différents composants conçus tels que les diodes, les transistors bipolaires et MOSFET sur substrat N et P devront être caractérisés pour valider les résultats de simulation présentés dans le troisième chapitre. Ceci pourrait nous aider à identifier et à faire évoluer les paramètres technologiques prépondérants pouvant jouer dans la différence au niveau de la tenue en tension et l'état passant des composants complémentaires, en particulier au niveau de la durée de vie des porteurs. Les transistors hybrides p-MOS – NPN et 2xp-MOS – NPN devront être testés avec pour objectif de valider les propositions sur les composants bipolaires sur substrat P puis de dégager les pistes d'étude sur les IGBTs type P dont les caractéristiques actuelles sont médiocres. En outre, il est important de dimensionner chaque composant des circuits d'autoalimentation bipolaire et la commande rapprochée en fonction des caractéristiques du transistor de puissance pour l'intégration poussée au sein de ce dernier.

Le fruit du travail de cette thèse sur les composants complémentaires multiples intégrés et celui de Vagnon E. sur l'aspect packaging P-CoC étant complété par la thèse de Simonot T. sur l'intégration monolithique de la partie commande rapprochée et la thèse de Vladimirova K. sur les développements technologiques multi-transistor de puissance promet de faire émerger un nouveau module de puissance optimisé.



## PUBLICATIONS

### Article de revues internationales avec comité de relecture

**Manh Hung Tran**, Jean Christophe Crebier, Christian Schaeffer, "Quantification of benefits and drawbacks in power conversion based on complementary MOS structures", IEEE Transactions on Industry Applications, vol. 47, pages 212-222, Issue 1, 2011.

### Article de conférences internationales avec comité de relecture

**Manh Hung Tran**, Jean Christophe Crebier, "Complementary MOS structures for common mode EMI reduction", European Conference on Power Electronics and Applications - EPE 2009, pages 1-10, Barcelona, Spain, 2009. Poster Session.

**Manh Hung Tran**, Jean Christophe Crebier, Christian Schaeffer, "Quantification of benefits and drawbacks in power conversion based on complementary MOS structures", IEEE Energy Conversion Congress and Exposition - ECCE 2009, pages 3423-3430, San Jose, CA, USA, 2009. Oral Session.

Jean Christophe Crebier, **Manh Hung Tran**, Jean Barbaroux, Pierre Olivier Jeannin, "Implementation and operational investigations of bipolar gate drivers", IEEE Applied Power Electronics Conference and Exposition - APEC 2010, pages 248-255, Palm Springs, CA, USA, 2010. Oral Session.

Nicolas Rouger, Jean Christophe Crebier, **Manh Hung Tran**, Christian Schaeffer, "Toward integrated gate driver supplies : Practical and analytical studies of high-voltage capabilities", IEEE Power Electronics Specialists Conference - PESC 2008, pages 873-879, Rhodes, Greece, 2008. Poster Session.