



**HAL**  
open science

# Modes de défaillance induits par l'environnement radiatif naturel dans les mémoires DRAMs : étude, méthodologie de test et protection

Antonin Bougerol

► **To cite this version:**

Antonin Bougerol. Modes de défaillance induits par l'environnement radiatif naturel dans les mémoires DRAMs : étude, méthodologie de test et protection. Autre. Université de Grenoble, 2011. Français. NNT : 2011GRENT020 . tel-00610137

**HAL Id: tel-00610137**

**<https://theses.hal.science/tel-00610137>**

Submitted on 2 Nov 2011

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

## DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Micro et Nano Électronique**

Arrêté ministériel : 7 août 2006

Présentée par

**Antonin BOUGEROL**

Thèse dirigée par **Régis Leveugle**

préparée au sein du **Laboratoire TIMA**  
dans l'**École Doctorale «Électronique, Électrotechnique,  
Automatisme et Traitement du Signal»**

# **Modes de défaillance induits par l'environnement radiatif naturel dans les mémoires DRAMs : étude, méthodologie de test et protection.**

Thèse soutenue publiquement le **16 mai 2011**,  
devant le jury composé de :

**M. Régis LEVEUGLE**

Professeur à l'Université de Grenoble, Grenoble-INP, Directeur de Thèse

**M. Patrick GIRARD**

Directeur de Recherche au CNRS, Université Montpellier II, Rapporteur

**M. Jean-Michel PORTAL**

Professeur à l'Université de Provence, Rapporteur

**M. Pascal FOUILLAT**

Professeur à l'Université Bordeaux I, Directeur de l'UMR IMS, Président

**Mme Véronique FERLET-CAVROIS**

Ingénieur à l'ESA, Membre

**M. Florent MILLER**

Ingénieur à EADS IW, Membre

**M. Patrick HEINS**

Ingénieur à AIRBUS, Invité





"La valeur d'une idée dépend de son utilisation."

*Thomas Edison*

*A Laetitia*



## Remerciements

Au terme de ces travaux effectués au sein du centre de recherche “EADS Innovation Works” (IW) du groupe EADS, à Suresnes, en collaboration avec le laboratoire TIMA de l'Université de Grenoble, je tiens à remercier :

Monsieur Régis LEVEUGLE, professeur à l'Université de Grenoble et directeur de cette thèse, pour la confiance qu'il m'a témoignée tout au long de cette étude, ses conseils judicieux et son entière disponibilité ;

Messieurs Patrick GIRARD et Jean-Michel PORTAL, respectivement Directeur de Recherche au CNRS à Université Montpellier II et Professeur à l'Université de Provence, pour avoir accepté d'être rapporteur de ce travail et pour leurs commentaires pertinents ;

Monsieur Pascal FOUILLAT, Professeur à l'Université Bordeaux I et Directeur de l'UMR IMS, pour m'avoir fait l'honneur d'être président du jury ;

Madame Véronique FERLET-CAVROIS et Monsieur Patrick HEINS, experts radiations respectivement à l'Agence Spatiale Européenne (ESA) et à AIRBUS, pour avoir accepté de participer au jury et apprécié ce travail ;

Monsieur Florent MILLER, responsable de l'équipe "Semiconductor and Equipment Dependability" à EADS IW, pour son suivi et son aide précieuse tout au long de ce travail dans le cadre de mon activité d'ingénieur de recherche ;

Madame Nadine BUARD, responsable du département "Electronic Systems" d'EADS IW pour son soutien, sa confiance, et sa participation à la soutenance ;

Monsieur Thierry CARRIERE, expert radiation chez ASTRIUM, pour m'avoir encouragé à me lancer dans cette aventure ;

Messieurs Rémi GAILLARD et Patrick POIROT, consultants, pour leurs conseils avisés ;

L'ensemble des collègues avec lesquels il est (a été) particulièrement agréable de travailler : Richard DUFAYEL, Bruno FOUCHET, Nicolas GUIBBAUD, Sabine HOUSSANY, Aurore LUU, Florian MOLIERE, Sébastien MORAND, Katell MOREAU, Vincent ROUET, Cécile WEULERSSE ;

Ma famille, en particulier ma femme Laetitia.



# Table des matières

<b>REMERCIEMENTS.....</b>	<b>5</b>
<b>TABLE DES MATIÈRES.....</b>	<b>7</b>
<b>LISTE DES ACRONYMES.....</b>	<b>11</b>
<b>INTRODUCTION.....</b>	<b>13</b>
<b>CHAPITRE I - CONTEXTE ET ÉTAT DE L'ART.....</b>	<b>17</b>
I.A LES MÉMOIRES DYNAMIQUES.....	17
<i>I.A.1 Présentation générale.....</i>	17
I.A.1.1 La famille des DRAMs.....	17
I.A.1.2 Performances.....	19
<i>I.A.2 Cellules mémoire élémentaires.....</i>	20
I.A.2.1 Principe du stockage.....	20
I.A.2.2 Les différents types de capacité.....	21
<i>I.A.3 Circuits périphériques.....</i>	24
I.A.3.1 Principe d'accès aux cellules.....	24
I.A.3.2 Architecture et fonctionnement général.....	26
I.A.3.3 Circuits de redondance.....	28
I.B ENVIRONNEMENTS RADIATIFS NATURELS ET EFFETS SUR LES CIRCUITS INTÉGRÉS.....	30
<i>I.B.1 Les environnements radiatifs naturels.....</i>	30
I.B.1.1 L'environnement spatial.....	30
I.B.1.2 L'environnement atmosphérique.....	32
<i>I.B.2 Mécanismes d'interaction physiques.....</i>	33
I.B.2.1 Interactions ion-silicium.....	33
I.B.2.2 Interactions neutron-silicium et collection de charges.....	34
<i>I.B.3 Les effets singuliers.....</i>	36
I.B.3.1 Les "Single Event Upsets".....	36
I.B.3.2 Les "Single Event Functional Interrupts".....	37
I.B.3.3 SEL et autres effets.....	37
I.C CARACTÉRISATION DE LA SENSIBILITÉ DES CIRCUITS INTÉGRÉS AUX EFFETS SINGULIERS.....	38
<i>I.C.1 Exigences de fiabilité.....</i>	38
<i>I.C.2 Moyens de test classiques.....</i>	39
I.C.2.1 Tests radiatifs accélérés.....	40
I.C.2.2 Contraintes des tests radiatifs accélérés.....	42
<i>I.C.3 Faisceaux laser impulsions.....</i>	43
I.C.3.1 Mécanismes physiques d'interaction photon-silicium.....	43
I.C.3.2 Principe et contraintes du test laser.....	44
I.D CONCLUSION.....	46
<b>CHAPITRE II - ÉTUDE DES MODES DE DÉFAILLANCE DES PLANS MÉMOIRE DES DRAMS.....</b>	<b>49</b>
II.A SENSIBILITÉ AUX RADIATIONS DES PLANS CAPACITÉ.....	49
<i>II.A.1 Mécanismes de SEU induits par une particule ionisante.....</i>	49
II.A.1.1 SEU par décharge de la cellule.....	49
II.A.1.2 SEU par perturbation d'une ligne de données.....	51
<i>II.A.2 Niveaux de sensibilité selon l'intégration technologique.....</i>	52
II.A.2.1 Synthèse et analyse de données bibliographiques.....	53
II.A.2.2 Mesures réalisées sous faisceaux.....	54
<i>II.A.3 Niveaux de sensibilité selon le type de cellules.....</i>	56
II.A.3.1 Synthèse et analyse de données bibliographiques.....	56
II.A.3.2 Mesures réalisées sous faisceaux.....	58
II.B UTILISATION DU LASER SUR LES CELLULES DRAMS.....	60
<i>II.B.1 Effets du laser sur les cellules DRAMs.....</i>	60
II.B.1.1 SEUs induits par une impulsion laser.....	60
II.B.1.2 Zone de sensibilité laser d'une cellule.....	61
<i>II.B.2 Informations technologiques révélées par laser.....</i>	62



II.B.2.1 Obtention du nœud technologique.....	62
II.B.2.2 Obtention de l'agencement des cellules.....	63
II.C DÉTERMINATION DU MOTIF DE TEST LE PLUS SENSIBLE.....	65
II.C.1 Influence des motifs sur la sensibilité.....	65
II.C.1.1 Immunité des capacités DRAMs déchargées.....	65
II.C.1.2 Problèmes inhérents aux motifs "logiques".....	67
II.C.2 Comparaison des sensibilités obtenues avec les motifs "#Bleeddown" et "Random".....	69
II.C.2.1 Variation de sensibilité selon le mécanisme de collection ou de transfert de charges.....	69
II.C.2.2 Résultats de tests laser et accélérés.....	71
II.D CONCLUSION.....	74
<b>CHAPITRE III - ÉTUDE DES MODES DE DÉFAILLANCE DES CIRCUITS PÉRIPHÉRIQUES DES DRAMS.....</b>	<b>77</b>
III.A SENSIBILITÉ AUX RADIATIONS DES CIRCUITS PÉRIPHÉRIQUES DES DRAMS.....	77
III.A.1 Problématique des SEFIs dans les DRAMs.....	78
III.A.1.1 Signatures d'événements SEFI en accélérateur.....	78
III.A.1.2 Problèmes liés à la caractérisation des SEFIs.....	79
III.A.2 Niveau de sensibilité et évolution avec l'intégration technologique.....	80
III.A.2.1 Synthèse de résultats bibliographiques.....	81
III.A.2.2 Tests expérimentaux aux ions lourds.....	83
III.B UTILISATION DU LASER POUR L'ÉTUDE DES SEFIs.....	86
III.B.1 Détermination des zones et des types de SEFIs.....	86
III.B.1.1 Cartographie laser d'une SDRAM Qimonda 110 nm.....	87
III.B.1.2 Cartographie laser d'une SDRAM Micron 110 nm.....	90
III.B.2 Étude d'effets particuliers.....	92
III.B.2.1 Les effets "Large Errors".....	92
III.B.2.2 Les effets "Hard-SEFIs".....	94
III.C PROPOSITION D'UN NOUVEAU MODÈLE DE FAUTES : LES "SINGLE EVENT FUSE-LATCH UPSETS".....	96
III.C.1 Particularités des SEFLUs.....	96
III.C.1.1 Singularité comportementale des SEFLUs.....	96
III.C.1.2 Agencement des SEFLUs au sein de la mémoire.....	99
III.C.2 Influence du motif de test sur la détection des SEFLUs.....	100
III.C.2.1 Mesures en accélérateur de particules des sensibilités SEFLUs selon le motif de test.....	102
III.D CONCLUSION.....	103
<b>CHAPITRE IV - PROPOSITION D'UNE MÉTHODOLOGIE DE TEST.....</b>	<b>105</b>
IV.A PRÉSENTATION DE LA MÉTHODOLOGIE.....	105
IV.A.1 Limites des méthodologies actuelles.....	105
IV.A.2 Vue générale de la méthodologie.....	107
IV.A.3 Prérequis liés aux équipements de test.....	109
IV.B PRÉPARATION DES TESTS.....	112
IV.B.1 Analyses du composant.....	112
IV.B.1.1 Imagerie aux rayons X.....	112
IV.B.1.2 Mise à nue de la puce.....	113
IV.B.1.3 Analyse technologique.....	114
IV.B.2 Préparation des échantillons de test.....	115
IV.B.2.1 Ouverture du boîtier.....	116
IV.B.2.2 Report et tests fonctionnels.....	117
IV.B.2.3 Obtention du motif "#Bleeddown".....	118
IV.C RÉALISATION DES TESTS.....	120
IV.C.1 Tests laser des plans mémoire.....	120
IV.C.1.1 Obtention de paramètres d'architecture.....	120
IV.C.1.2 Sensibilité laser des cellules.....	123
IV.C.2 Tests laser des circuits périphériques.....	125
IV.C.2.1 Tests de sensibilité aux SELs.....	125
IV.C.2.2 Cartographies SEFIs.....	127
IV.C.3 Tests en accélérateur de particules.....	129
IV.D CONCLUSION.....	132

<b>CHAPITRE V - PROPOSITION D'UNE SOLUTION DE TOLÉRANCE AUX FAUTES.....</b>	<b>135</b>
V.A TECHNIQUES DE PROTECTION USUELLES.....	135
V.B DESCRIPTION DE LA TECHNIQUE PROPOSÉE.....	136
<i>V.B.1 Utilisation de la propriété d'insensibilité des cellules.....</i>	<i>136</i>
<i>V.B.2 Possibilités d'implantation.....</i>	<i>138</i>
V.C MISE EN ŒUVRE ET VALIDATION.....	140
<i>V.C.1 Développement d'un contrôleur matériel tolérant aux fautes.....</i>	<i>140</i>
<i>V.C.2 Tests laser et accélérés.....</i>	<i>141</i>
<i>V.C.3 Performances.....</i>	<i>142</i>
V.D CONCLUSION.....	143
<b>CONCLUSION GÉNÉRALE.....</b>	<b>145</b>
<b>PUBLICATIONS ET ACTIVITÉS.....</b>	<b>149</b>
<b>RÉFÉRENCES.....</b>	<b>151</b>
<b>LISTE DES FIGURES.....</b>	<b>159</b>
<b>LISTE DES TABLEAUX.....</b>	<b>160</b>



## Liste des acronymes

Terme	Description	Première occurrence
<b>BLS</b>	Bitline SEFLU	Page 89
<b>COTS</b>	Commercial Off-The-Shelf	Page 39
<b>DDR SDRAM</b>	Double-Data-Rate SDRAM	Page 18
<b>DRAM</b>	Dynamic Random Access Memory	Page 13
<b>DUT</b>	Device Under Test	Page 45
<b>IEEE</b>	Institute of Electrical and Electronics Engineers	Page 53
<b>EADS</b>	European Aeronautic Defense and Space Company	Page 13
<b>EASA</b>	European Aviation Safety Agency	Page 38
<b>FAA</b>	Federal Aviation Administration	Page 38
<b>IP</b>	Intellectual Property	Page 140
<b>JEDEC</b>	Joint Electron Devices Engineering Council	Page 18
<b>LET</b>	Linear Energy Transfer	Page 34
<b>MBU</b>	Multiple Bit Upset	Page 36
<b>MCU</b>	Multi Cell Upset	Page 36
<b>MRS</b>	Mode Register Set	Page 88
<b>RAM</b>	Random Access Memory	Page 17
<b>SCU</b>	Single Cell Upset	Page 36
<b>SDRAM</b>	Synchronous Dynamic Random Access Memory	Page 18
<b>SEE</b>	Single Event Effect	Page 31
<b>SEFI</b>	Single Event Functional Interrupt	Page 14
<b>SEFLU</b>	Single Event Fuse-Latch Upset	Page 79
<b>SEL</b>	Single Event Latchup	Page 36
<b>SEM</b>	Scanning Electron Microscope	Page 21
<b>SER</b>	Soft Error Rate	Page 41
<b>SET</b>	Single Event Transient	Page 36
<b>SEU</b>	Single Event Upset	Page 14
<b>SRAM</b>	Static Random Access Memory	Page 19
<b>UCL</b>	Université Catholique de Louvain	Page 42
<b>VHDL</b>	VHSIC Hardware Description Language	Page 140
<b>WLS</b>	Wordline SEFLU	Page 89



## Introduction

La forte compétition régnant au sein des marchés spatiaux et aéronautiques, ajoutée à l'augmentation des fonctionnalités souhaitées par les clients, impose de concevoir des systèmes de plus en plus performants, autonomes et complexes. Ces exigences impliquent l'accroissement des puissances de calcul des systèmes électroniques embarqués, et l'utilisation des composants les plus récents. Pour les fonctions nécessitant de la mémoire, les composants DRAMs (*Dynamic Random Access Memory*) offrent aux concepteurs de cartes électroniques les plus fortes capacités de stockage et de vitesse d'accès, à un faible coût par bit. Malheureusement, la fiabilité de ces composants n'est pas garantie pour les environnements sévères, car ils sont principalement destinés aux applications grand public. Or, au regard des enjeux économiques et humains, la sûreté de fonctionnement des systèmes spatiaux et aéronautiques est primordiale ; les composants utilisés dans les applications critiques doivent donc être testés pour évaluer les risques encourus et la nécessité de mettre en œuvre des techniques de protection. Parmi les sources d'erreurs, le rayonnement cosmique constitue une problématique majeure, traditionnellement évaluée par des essais en accélérateur de particules. Cependant les modes de défaillance étant de plus en plus variés à mesure que les composants évoluent, la complexité et la durée des tests augmentent, si bien qu'il devient difficile de les caractériser de manière exhaustive et à un coût acceptable avec ces seuls moyens. Des solutions complémentaires sont donc nécessaires, c'est pourquoi l'utilisation de faisceaux laser impulsions pour simuler l'effet des particules suscite un intérêt croissant.

Dans ce contexte, nos travaux effectués au centre de recherche d'EADS IW (*European Aeronautic Defense and Space Company*) traitent de cette problématique d'évaluation de la tenue aux radiations des DRAMs modernes. Les différents effets pouvant survenir au sein du composant ont pour cela été étudiés avec des expérimentations laser et en accélérateur de particules. Une méthodologie de test optimisée pour les besoins industriels a ensuite été élaborée, utilisant de manière complémentaire ces deux outils pour réduire la durée des tests et améliorer la précision des résultats. Une méthode innovante de correction d'erreurs est en outre proposée, fondée sur des propriétés particulières aux cellules DRAMs. Ces différents points sont développés autour de cinq chapitres.

Le chapitre I introduit le contexte et les principales notions qui seront utilisées par la suite. L'étude étant focalisée sur les DRAMs, la connaissance de leurs caractéristiques technologiques et

architecturales est nécessaire. Les particules à considérer varient selon que l'on s'intéresse aux environnements spatiaux ou atmosphériques, aussi leurs caractéristiques et les effets parasites qu'ils produisent sur l'électronique embarquée sont présentés. Les méthodes de caractérisation classiques en accélérateur de particules et les normes décrivant les procédures de test sont également introduites, et confrontées aux caractéristiques des installations de test laser.

Le chapitre II décrit ensuite les travaux relatifs aux modes de défaillance spécifiques aux plans mémoire, principalement ceux liés au changement d'état d'un point de mémorisation, appelés SEU (*Single Event Upset*). Il s'agit dans un premier temps de comprendre les mécanismes physiques en jeu, et d'évaluer l'évolution de la sensibilité selon l'intégration technologique et le type de cellule employé. Ces mécanismes pouvant aussi être déclenchés par des impulsions laser, nous évaluerons les possibilités offertes par cet outil pour aider à caractériser la sensibilité des DRAMs. La précision spatiale et temporelle de l'injection de charges par laser peut en effet être mise à profit pour révéler diverses informations architecturales ; nous verrons lesquelles et leurs utilités. Par ailleurs, la question de l'influence des motifs de test sur la sensibilité perdue, si bien que l'étude de ce paramètre constituera un volet important de ce chapitre. Un des principaux objectifs sera de déterminer les conditions de tests permettant d'obtenir une mesure de sensibilité SEU la plus conservatrice.

Le chapitre III traite quant à lui des modes de défaillance dans les circuits périphériques, en particulier ceux induisant le dysfonctionnement de certaines parties du composant, appelés SEFI (*Single Event Functional Interrupt*). Nous verrons que cette problématique est croissante à mesure que les composants évoluent, et que de nouveaux défis se posent pour évaluer les risques associés. Le laser sera à nouveau utilisé pour déterminer les types d'effets provoqués par ces défaillances et les surfaces de sensibilité associées. Le plus important d'entre eux implique le mauvais adressage de certains secteurs du composant. Le laser a offert la possibilité d'étudier ce mode de défaillance mal connu jusqu'à présent, et d'identifier les structures responsables. Des méthodes de caractérisation et de protection seront donc proposées.

À partir des connaissances acquises en étudiant ces effets parasites, une méthodologie complète de caractérisation a été élaborée, et est proposée au chapitre IV. Elle s'appuie sur l'utilisation du test laser en complément de l'accélérateur de particules afin d'optimiser le coût global et déterminer tous les modes de défaillance potentiels. Les mises en œuvre des étapes de préparation et de réalisation des tests seront décrites, afin, notamment, de servir de référence aux

futures normes internationales.

Pour finir, une nouvelle solution de tolérance aux fautes, basée sur la propriété particulière des cellules DRAMs d'être immune aux radiations pour un de leurs deux états de charge, sera dévoilée au chapitre V. Nous verrons que plusieurs implantations sont possibles et que leur rendement, c'est à dire le rapport du nombre de bits stockés sur le nombre de bits utiles, est particulièrement intéressant en comparaison des techniques classiques. Les résultats de campagnes de tests laser et en accélérateur de particules démontreront l'efficacité de la technique, et ces performances globales seront confrontées à celles des codes correcteurs existants.





## Chapitre I - Contexte et état de l'art

L'étude des modes de défaillance des mémoires dynamiques vis à vis des radiations suppose, à titre liminaire, d'introduire certaines données et notions fondamentales. Ainsi les caractéristiques des mémoires dynamiques sont d'abord présentées (I.A), suivies des environnements radiatifs auxquels elles sont susceptibles d'être exposées (I.B), et des techniques de caractérisation de sensibilité usuelles (I.C).

### ***I.A Les mémoires dynamiques***

Les mémoires de la famille *Dynamic RAM (Random Access Memory)* sont largement utilisées car elles présentent de nombreux avantages, tant du point de vue de leur coût que de leurs performances qui n'ont cessé de croître depuis plus d'une quarantaine d'année (I.A.1). Ces avantages proviennent d'abord de la structure des cellules mémoire élémentaires, réduite à un transistor et un condensateur (I.A.2), mais également des performances des interfaces et circuits périphériques (I.A.3).

#### **I.A.1 Présentation générale**

Les DRAMs sont principalement utilisés comme mémoire centrale des ordinateurs. Ce sont des mémoires "dynamiques" car il est nécessaire de rafraîchir leur contenu à intervalle régulier, et à "accès direct" car chaque emplacement mémoire est accessible avec un même temps de latence. Elles sont classées dans les mémoires "volatiles", ou "vives", car les informations ne peuvent être conservées sans alimentation électrique.

##### ***I.A.1.1 La famille des DRAMs***

Le principe de la cellule DRAM est de stocker une information binaire dans un condensateur, accessible à travers un transistor. Il a été breveté en 1967 [DEN68], et trois ans plus tard, le premier circuit DRAM intégré contenant 1024 bits est commercialisé par la société Intel [LOJ07]. Les technologies ont par la suite énormément évolué, et de nombreuses déclinaisons sont

apparues avec des capacités et des performances toujours plus importantes.

Les DRAMs PMs (*Page Mode*), FPMs (*Fast Page Mode*) et EDOs (*Extended Data Out*) ont été les déclinaisons les plus répandues jusque dans les années 2000. Leurs différences d'un point de vue utilisateur résidaient surtout dans les modes d'accès proposés, notamment le mode "rafale" (*burst mode*) permettant d'adresser successivement plusieurs cellules mémoire sans temps de latence. La société IBM détient à l'époque la plus grosse part de marché. Néanmoins, ces composants étant asynchrones, les vitesses d'accès restent encore limitées.

L'évolution majeure a consisté à cadencer ces mémoires sur la même horloge que la carte mère. Ces DRAMs synchrones (SDRAM, *Synchronous DRAM*) sont alors polarisées à 3.3V et leurs fréquences de fonctionnement vont de 100 à 167 Mhz. Une donnée pouvant être transférée par coup d'horloge, leurs taux de transfert vont de 100 à 167 MT/s (million de transfert par seconde). Grâce à la définition de ces caractéristiques par le groupe de normalisation international JEDEC (*Joint Electron Devices Engineering Council*) [J21C], les SDRAMs se sont rapidement imposées sur le marché à partir des années 2000.

Ce groupe proposa quelques années plus tard une nouvelle évolution : la DDR-SDRAM (*Double Data Rate SDRAM*), polarisée à 2,5 V [J79]. À technologie identique et fréquence égale, elle permet de doubler la bande passante en faisant transiter les données sur les fronts montants et descendants de l'horloge. Pour des fréquences d'horloge allant de 100 à 200 Mhz, les taux de transfert vont ainsi de 200 à 400 MT/s.

La fréquence interne des puces pouvant difficilement dépasser 200 Mhz, l'évolution de la génération DDR2 [J79-2] a consisté à augmenter les fréquences externes (de 200 jusqu'à 400 Mhz), mais avec une fréquence interne deux fois plus faible. Les taux de transfert vont donc de 400 à 800 MT/s, et la tension d'alimentation diminue à 1,8V.

Pour la génération DDR3 [J79-3], les fréquences externes sont encore augmentées (de 400 jusqu'à 1066 Mhz), et les fréquences internes sont divisées par quatre. Les taux de transfert vont ainsi de 800 à 2133 MT/s, et la tension d'alimentation descend à 1,5V. La génération DDR4 commence en 2011 à sortir des laboratoires.

Il existe également des familles spécifiques pour les applications réseaux (*Reduced Latency DRAM*), vidéos (*GDDR, ..., GDDR5, RAMDAC, Windows RAM, Rambus DRAM, etc.*), et mobiles (*Mobile SDRAM*) [WWW01].

Enfin, on parle d'eDRAM (*embedded DRAM*) lorsque cette fonction mémoire est gravée avec d'autres circuits au sein d'une même puce [LOP05].

À l'heure actuelle, les plus importants fabricants sont dans l'ordre : Samsung, Hynix, Elpida, Micron, Nanya, Winbond, Promos, Etron et Renesas.

### I.A.1.2 Performances

Les performances actuelles des DRAMs sont présentées dans le tableau I-1 en comparaison des deux autres familles de mémoire couramment utilisées : les SRAMs (*Static RAM*) et les FLASHs.

Tableau I-1 : Performances actuelles des familles DRAMs, SRAMs et FLASHs

Type de Mémoire	Volatile	Capacité	Vitesse de lecture (MT/s)	Vitesse d'écriture (MT/s)	Coût par bit	Avantages	Inconvénients
<b>SRAM (QDR2)</b>	Oui	144 Mb	1100		Le plus élevé	- Faible consommation	- Coût élevé - Faible capacité - Volatile
<b>FLASH (NAND)</b>	Non	128 Gb	166	Lent (ms)	Élevé	- Non volatile - Très faible consommation	- Écriture lente - Effacement nécessaire - Nb. d'écriture limitée
<b>DRAM (DDR3)</b>	Oui	8 Gb	2133		Le plus faible	-Faible coût -Haute densité	- Rafraîchissement - Volatile

Les SRAMs sont volatiles, mais conservent les informations sans rafraîchissement : elles sont "statiques" [PAV08]. Leur interface est relativement simple et les temps de lecture et d'écriture sont très rapides. En revanche, les cellules élémentaires occupant six transistors, les capacités proposées sont plus faibles et le coût par bit plus élevé que les deux autres technologies.

Les FLASHs sont non volatiles, ont une faible consommation en mode statique, et sont très intégrées puisque l'information est stockée dans la grille flottante d'un seul transistor [BRE08]. Des capacités allant jusqu'à 128 Gb sont actuellement proposées. En revanche, le processus d'écriture est lent, limité en nombre de cycles et nécessite une opération d'effacement de bloc préalable.

Les DRAMs sont volatiles et nécessitent d'être rafraîchies. Leurs avantages sont en revanche de combiner une densité élevée (jusqu'à 8 Gb), avec d'excellentes performances en temps d'accès.

Ainsi, sur un bus cadencé à 1066 Mhz, une DDR3 PC-2133 a un taux de transfert de 2133 MT/s, soit une bande passante de 16,67 Gio/s (Giga-octets) lorsqu'elles sont combinées en bus de 64 bits. Compte tenu de ces caractéristiques, les applications pour lesquelles les DRAMs sont les plus appropriées sont l'exécution du code d'un micro-processeur ou le stockage temporaire de trames vidéo ou de données de communication. Ces performances proviennent principalement de la structure des cellules mémoire élémentaires.

## I.A.2 Cellules mémoire élémentaires

Environ 80 % de la surface d'une puce DRAM est constituée de cellules mémoire, dont la conception a beaucoup évolué au cours des dernières décennies.

### I.A.2.1 Principe du stockage

Les cellules mémoire DRAMs sont formées d'une capacité ( $C_{\text{cellule}}$ ) stockant une charge ( $Q_s$ ) et d'un transistor d'accès, comme illustré sur la figure I-1.

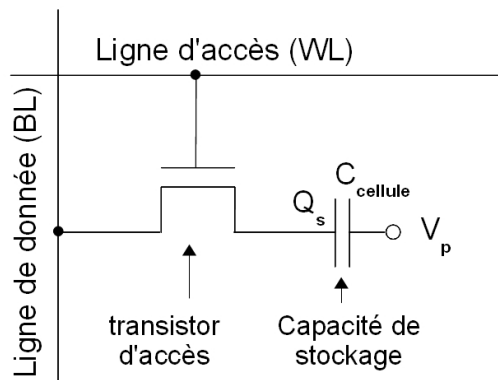


Figure I-1 : Schématique d'une cellule élémentaire DRAM [MAL05]

On parle de cellule 1T/1C. Une ligne d'accès WL (*Wordline*) pilote le transistor d'accès, tandis que l'information transite sur une ligne de données BL (*Bitline*). De nombreux ouvrages décrivent en détail le fonctionnement de ces cellules [KEE08-MAL05-JAC04-JAC05], aussi nous ne résumons ici que leurs principales caractéristiques. Les capacités de stockage ont une armature polarisée à un potentiel commun :  $V_p$ . Ce potentiel était égal à la tension d'alimentation ( $V_{cc}$ ) dans les premières générations, puis il a été défini à la moitié de celle-ci ( $V_{cc}/2$ ) afin d'augmenter

la quantité de charges stockées.

La deuxième armature est le nœud de stockage, pouvant être polarisé à  $V_{cc}$  ou Gnd :

-  $V_{cc}$  : La cellule est dite chargée. La différence de potentiel aux bornes du condensateur est alors  $+V_{cc}/2$  ; la charge stockée est donnée par l'équation suivante :

$$Q_s = \frac{V_{cc}}{2} \cdot C_{cell}$$

( $Q_s$  s'exprime en Coulomb,  $V_{cc}$  en Volt et  $C_{cell}$  en Farad)

- Gnd : La cellule est dite déchargée. La différence de potentiel aux bornes du condensateur est alors négative ( $-V_{cc}/2$ ), la charge s'exprime donc :

$$Q_s = -\frac{V_{cc}}{2} \cdot C_{cell}$$

Différents courants de fuite amènent les cellules à se décharger, c'est pourquoi un mécanisme de rafraîchissement est nécessaire.

La densité des mémoires DRAMs a augmenté en moyenne d'un facteur 4 tous les trois ans depuis leur création, et cette tendance se poursuit actuellement. Cette augmentation remarquable a été rendue possible par l'amélioration de plusieurs domaines technologiques, incluant les processus de lithographie et de gravure, les techniques de déposition de couches fines, ainsi que l'amélioration de l'architecture des cellules. Le résultat est une meilleure optimisation d'utilisation de la surface de silicium.

### ***I.A.2.2 Les différents types de capacité***

Avec la diminution de la surface des cellules, les fabricants durent utiliser la troisième dimension pour conserver un niveau de charge suffisamment élevé par rapport au bruit ambiant. Deux approches ont été adoptées : les capacités enterrées, ou "*Trench*" (IBM, Qimonda, etc.) et celles empilées, ou "*Stack*" (Samsung, Micron, Elpida, etc.). Chacune des architectures a grandement évolué depuis le milieu des années 90 [SUN08]. Néanmoins, le nombre de fabricants de cellules enterrées tend actuellement à diminuer.

La figure I-2 montre une image SEM (*Scanning Electron Microscope*) et un schématique de deux cellules DRAMs enterrées. Celles-ci sont fabriquées en gravant des tranchées sur plusieurs

dizaines de micromètres dans le substrat de silicium, en recouvrant les parois d'un isolant électrique et en le remplissant ensuite de polysilicium dopé. La connexion avec le transistor d'accès est réalisée par un contact métallique, et le substrat sert de contact commun. Plus l'intégration augmente et plus la profondeur des tranchées est importante. Les cellules sont groupées par deux et partagent un même plot de connexion à la ligne de données.

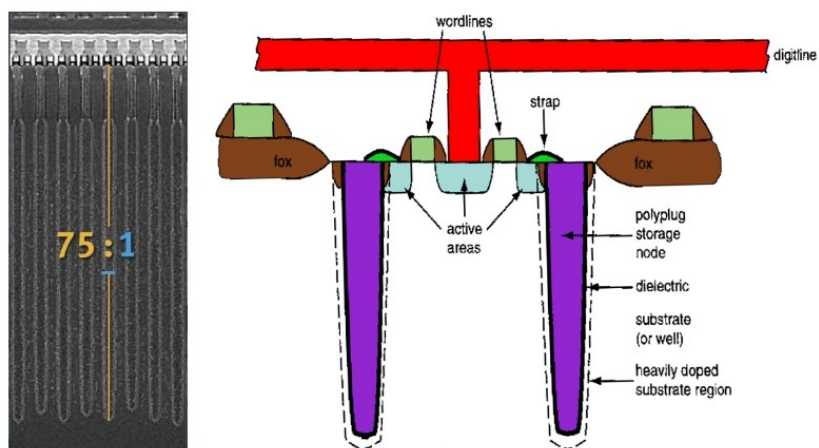


Figure I-2 : Photo SEM et schématique de cellules DRAMs enterrées [FUL01]

La figure I-3 montre un schématique et une photo SEM de cellules DRAMs empilées cylindriques en polysilicium HSG (*Hemi-Spherical Grain*) fabriquées en technologie 110 nm. Les condensateurs atteignent plusieurs dizaines de micromètres de hauteur, aussi doivent-ils être maintenus mécaniquement par un revêtement rigide et polarisé.

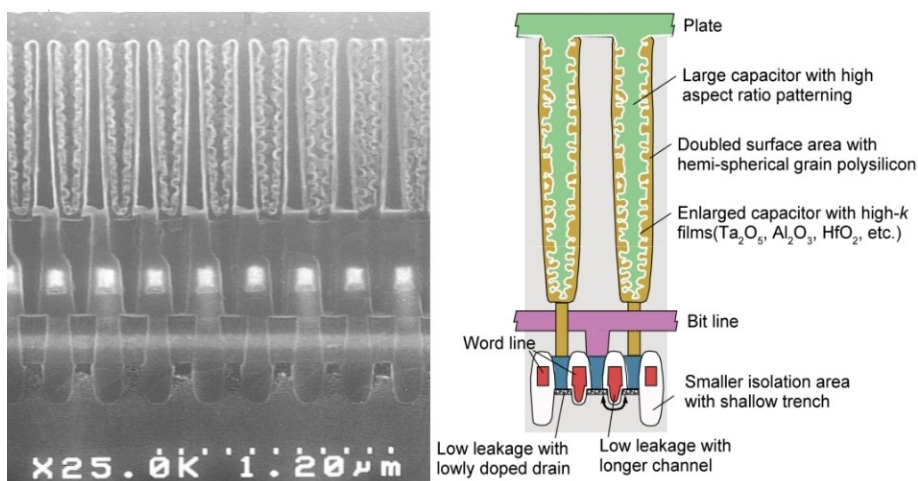


Figure I-3 : Photo SEM et schématique de cellules DRAMs empilées [WWW02-SUN08]

La difficulté de fabrication réside dans le fait que les condensateurs doivent être amincis à leur

base aux plus petites dimensions possibles du procédé de gravure pour être intercalés entre les lignes de données. Comme pour les cellules enterrées, celles empilées sont groupées par deux et partagent un même plot d'accès à une ligne de données. Quel que soit le type de cellule, nous verrons dans les chapitres suivants que leur contenu peut être altéré par des perturbations extérieures, de manière plus ou moins importante en fonction de la quantité de charge stockée et de la surface des cellules. Cette dernière dépend de la finesse de gravure et du type d'agencement.

Il existe trois agencements possibles ("*Cross Point*", "*Open Bitline*" et "*Folded Bitline*"), illustrés sur la figure I-4. La surface des cellules s'exprime en fonction du nœud technologique  $F$  ( $4F^2$ ,  $6F^2$  et  $8F^2$ ). Une cellule en technologie 90 nm avec un agencement en  $6F^2$  a ainsi une surface de  $0,048 \mu\text{m}^2$ .

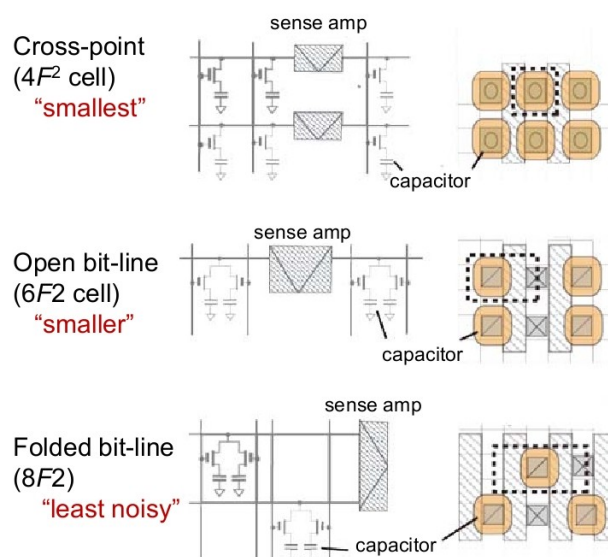


Figure I-4 : Configurations d'agencement des matrices de cellules DRAMs [SUN08]

L'agencement "*Folded Bitline*" est le plus ancien et permet de s'affranchir des bruits de mode commun car les deux lignes de données sont côte à côte. Celui "*Open Bitline*" est actuellement le plus répandu et permet une plus forte densité. Enfin les cellules en "*Cross Point*" permettent en théorie une densité maximale, mais au prix d'une forte sensibilité aux bruits électromagnétiques. Aucun composant en production n'implante encore cet agencement.

La dimension du nœud technologique pour une DRAM est définie selon l'ITRS (*International Technology Roadmap for Semiconductors*) comme étant la moitié du décalage (*Pitch*) entre deux métallisations de niveau 1 [ITRS09]. Le tableau I-2 donne à titre indicatif les nœuds



technologiques prédits par l'ITRS jusqu'en 2016, qui suivent les lois de Moore.

**Tableau I-2 : Prévisions de l'évolution des nœuds technologiques [ITRS00-ITRS09]**

Date de production	1999	2000	2001	2002	2003	...	2009	2010	2011	2012	...	2015	2016
Technologie (nm)	180	150	130	120	110	...	52	45	40	36	...	25	22,5

Début 2011, les puces les plus avancées de la société Samsung sont produites en technologie 39 nm pour un agencement en  $6F^2$ , confirmant les prévisions des analystes.

La forte compétitivité régnant sur les marchés grand public oblige les fabricants à adopter les technologies de gravure les plus récentes. Le coût unitaire est ainsi diminué car un nombre de puces plus élevé peut être gravé par tranche de silicium (wafer). Les performances et la consommation électrique sont également améliorées à chaque génération technologique.

Cette course à l'intégration a comme conséquence la rapide obsolescence des composants, ce qui pénalise les industries comme le spatial et l'aéronautique dont les systèmes sont produits sur plusieurs décennies, si bien que des stocks stratégiques de lots entiers sont généralement constitués.

### **I.A.3 Circuits périphériques**

La partie périphérique des DRAMs inclut les interfaces, les signaux de contrôle, la logique d'accès aux cellules, le décodage d'adresses, l'alimentation [WEI00], la sélection du mode d'opération, la logique de gestion du rafraîchissement, de la redondance, etc. De nombreux ouvrages [KEE08-MAL05-JAC04-JAC05] détaillent amplement l'architecture de ces circuits. Nous ne présentons ici que ceux les plus sensibles aux agressions externes.

#### ***I.A.3.1 Principe d'accès aux cellules***

Le principe de la lecture est basé sur le transfert de charges avec la cellule et la ligne de données, provoquant une variation positive ou négative du potentiel de la ligne, qu'il suffit alors de mesurer.

La figure I-5 montre un schéma du circuit de lecture avec un chronogramme des opérations.

Sont illustrés une cellule DRAM ( $C_s$ ), sa ligne d'accès (WL), sa ligne de données (BL), celle de référence ( $/BL$ ), l'amplificateur de signal (*Sense Amplifier*) et d'autres éléments nécessaires à cette opération.

La séquence effectuée pour lire le contenu d'une cellule commence par l'étape de précharge, qui consiste à imposer à BL et  $/BL$  une tension de référence ( $V_{cc}/2$ ). Cette tension est ensuite équilibrée par la mise en conduction d'un transistor dédié, et les capacités parasites  $C_{BL}$  et  $C_{/BL}$  maintiennent ces niveaux de tension un certain temps.

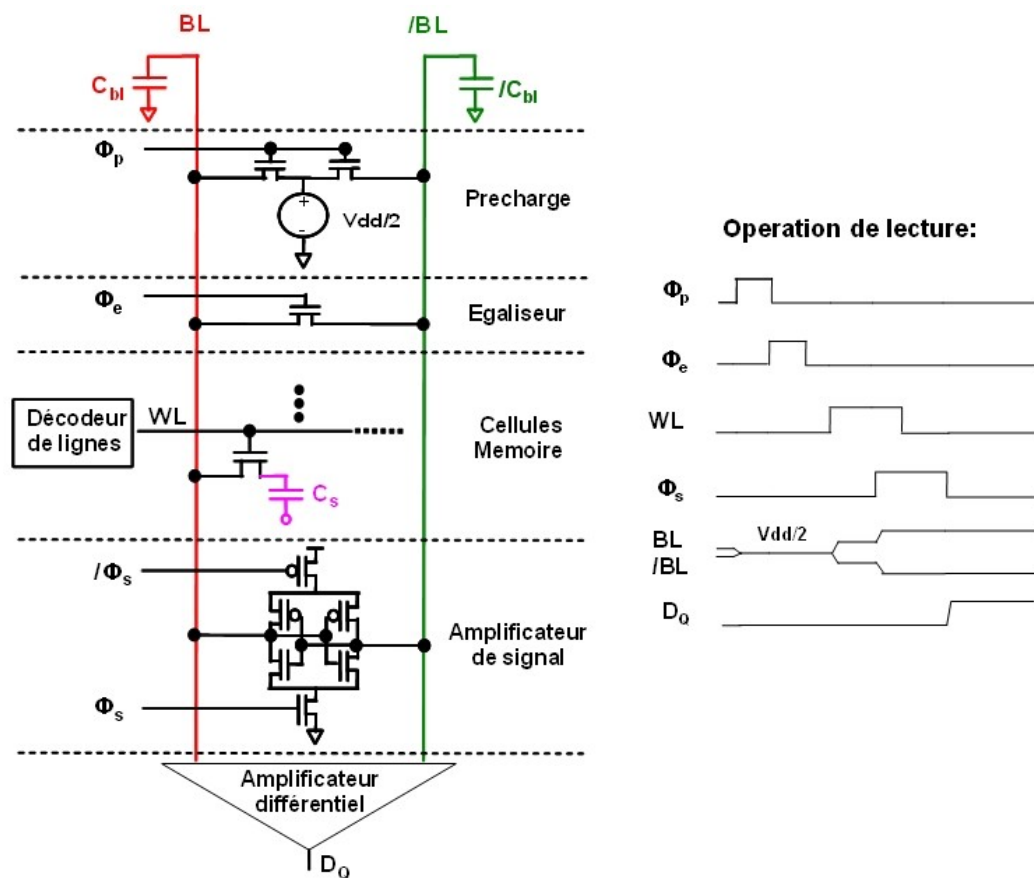


Figure I-5 : Schéma simplifié de la lecture d'une cellule DRAM

La ligne d'accès (WL) correspondant à la cellule souhaitée est ensuite sélectionnée, ce qui active simultanément toutes les cellules de la ligne : c'est l'étape d'activation. Un transfert de charges s'effectue alors entre la cellule mémoire et la ligne de données. Il en résulte une variation  $\Delta V$  de la tension sur BL qui dépend du rapport des capacités, dont l'équation est donnée ci-après :

$$\Delta V = \frac{V_{cc}}{2} \cdot \frac{C_{cell}}{C_{cell} + C_{bitline}} \approx 100mV$$

Afin d'obtenir la variation de tension la plus importante possible et de s'affranchir des bruits parasites, les fabricants cherchent à diminuer la capacité des lignes de données et à augmenter celle des cellules.

Lorsque le potentiel Vcc est stocké dans la cellule, la tension sur BL lors du transfert devient :  $V_{cc}/2 + \Delta V$ . Pour le potentiel Gnd, la variation est alors négative, et la tension sur BL est alors :  $V_{cc}/2 - \Delta V$ .

Pour augmenter la différence de tension entre BL et /BL, un amplificateur de signal (*Sense Amplifier*) détectant des variations de l'ordre du million d'électrons est activé. Les tensions sur BL et /BL sont alors amplifiées aux valeurs extrêmes (Vcc et Gnd).

Un amplificateur différentiel (*Differential Amplifier*) interprète au final cette information en une valeur logique ('1' ou '0'). Il est important pour la suite de noter qu'un état de charge donné sera traduit différemment selon que la cellule est connectée sur la borne positive ou négative de l'amplificateur différentiel. La relation entre valeur logique ('0' ou '1') et état de charge (chargé ou déchargé) diffère donc selon l'emplacement de la cellule.

Le décodeur de colonnes sélectionne au final la ligne de données souhaitée et l'information est transmise vers les amplificateurs (*Buffer*) de sortie.

L'opération de lecture est destructrice, mais la valeur est naturellement réécrite pendant l'étape d'amplification car les transistors d'accès restent ouverts. L'opération de rafraîchissement est par ailleurs similaire à cette opération de lecture.

### ***1.A.3.2 Architecture et fonctionnement général***

Les cellules mémoire sont groupées en blocs, typiquement constitués de 512 lignes et 512 colonnes. Le groupement de plusieurs blocs avec les circuits d'amplification et de précharge est appelé "banque". La puce est constituée de plusieurs banques et de circuits périphériques. Cette organisation en banques est une façon de limiter la longueur des lignes d'accès pour réduire les capacités parasites.

La figure I-6 illustre un agencement physique typique d'une mémoire DRAM. Les amplificateurs de signaux se trouvent en bordure des banques, et les entrées/sorties au milieu de la puce afin d'optimiser la distance à parcourir pour les signaux.

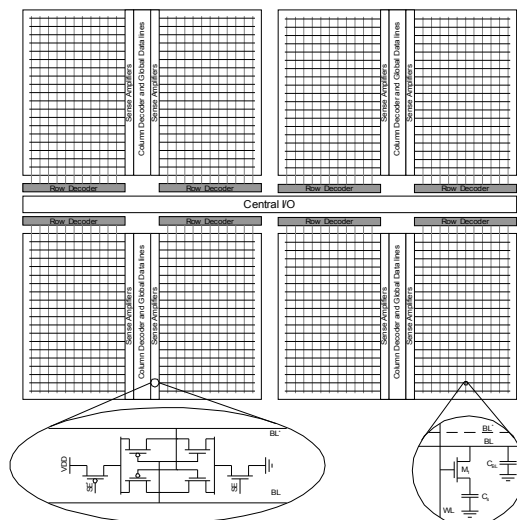


Figure I-6 : Organisation typique d'une mémoire DRAM

La description en blocs fonctionnels d'une SDRAM telle qu'indiquée dans la fiche technique d'un produit de la société Micron est donnée sur la figure I-7, avec un chronogramme des signaux d'interface lors d'une lecture. L'ensemble des deux figures permet d'expliquer simplement le fonctionnement du composant d'un point de vue utilisateur.

L'interface de la mémoire est composée d'un bus de données (DQ0-DQ7), d'un bus d'adresses (A0-A11, BA0-BA1), de signaux de commande ( $\overline{/CS}$ ,  $\overline{/WE}$ ,  $\overline{/RAS}$ ,  $\overline{/CAS}$ ) et d'une horloge (CLK). Les commandes sont prises en compte aux fronts montants de l'horloge. Le bus d'adresses est multiplexé pour les lignes et les colonnes afin de réduire le nombre de signaux, aussi la demande de lecture se fait en deux temps. Elle commence par la commande "activation", pendant laquelle les numéros de banque et de ligne sont positionnés sur le bus d'adresses, suivie de la commande "lecture" accompagnée du numéro de la première colonne souhaitée. Les informations sont disponibles sur le bus de données quelques coups d'horloge plus tard.

Les mémoires actuelles proposent plusieurs modes de fonctionnement, configurés par l'intermédiaire du registre de configuration (*Mode Register*). Parmi eux, on peut citer la possibilité d'accéder aux données en "rafale" (4 bits, 8 bits, page entière), de choisir le type d'accès (séquentiel ou aléatoire), le temps de latence, le temps de rafraîchissement, la mise en veille, etc.

Le registre de configuration permet en outre aux fabricants d'activer des modes de test spécifiques, appelés BIST (*Built-In Self Test*), utilisés pendant le test en usine [WON96-GIRA09].

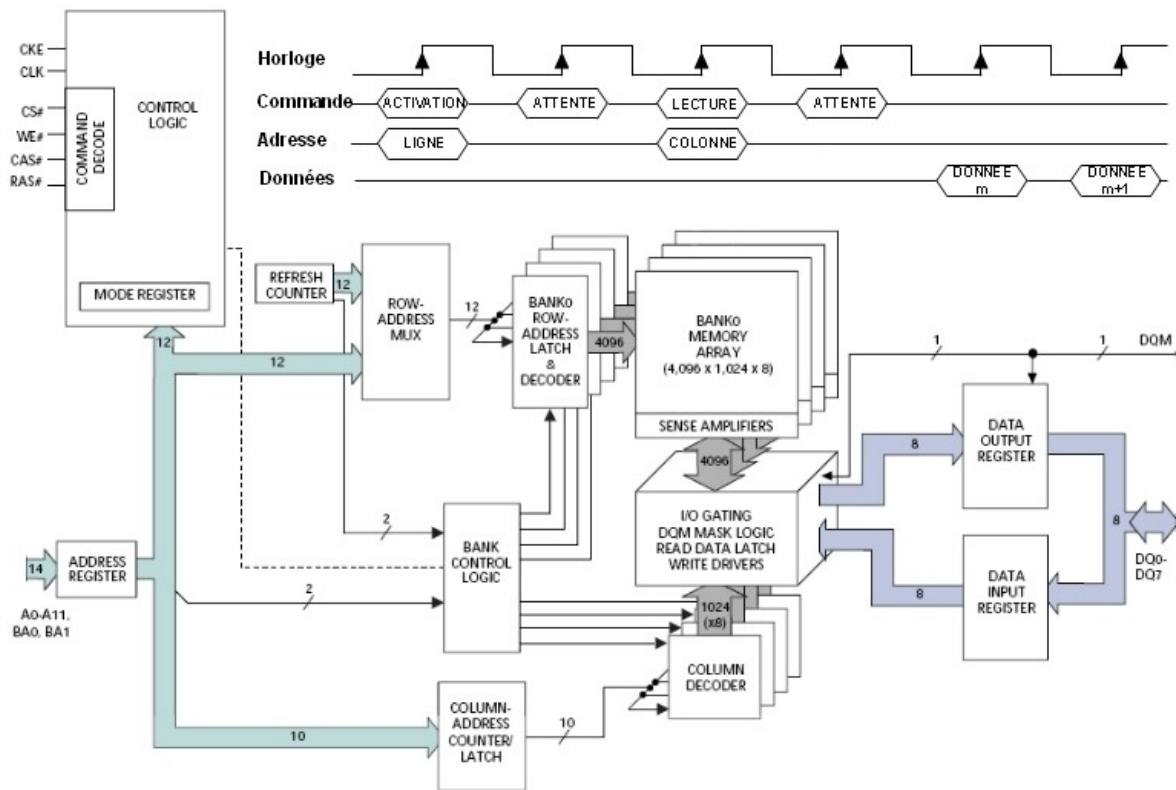


Figure I-7 : Blocs fonctionnels d'une SDRAM, et chronogramme des signaux d'interface lors d'une lecture

Enfin, le circuit de rafraîchissement est une autre fonction essentielle aux DRAMs. Celui-ci est basé sur un compteur désignant un numéro de ligne et s'incrémentant de manière automatique ou sur commande extérieure. Les normes stipulent des intervalles pour les commandes de rafraîchissement de 7,8  $\mu$ s .

### I.A.3.3 Circuits de redondance

La diminution de la taille des nœuds technologiques induit l'augmentation du nombre de défauts pendant la fabrication. Afin de maintenir des rendements de production satisfaisants, les fabricants intègrent des cellules supplémentaires destinées à remplacer celles qui sont défectueuses. Comme illustré sur la figure I-8, des lignes et des colonnes entières sont ajoutées au sein de chaque bloc. Un ordre de grandeur à titre indicatif est de 2 ou 4 lignes redondantes pour 512 lignes régulières. Les adresses logiques des cellules défectueuses sont identifiées pendant les

tests en usine. Le circuit de gestion de la redondance est alors paramétré afin que, lorsque ces adresses sont demandées, des cellules redondantes soient sélectionnées, et ce de manière transparente pour l'utilisateur [WIEN08].

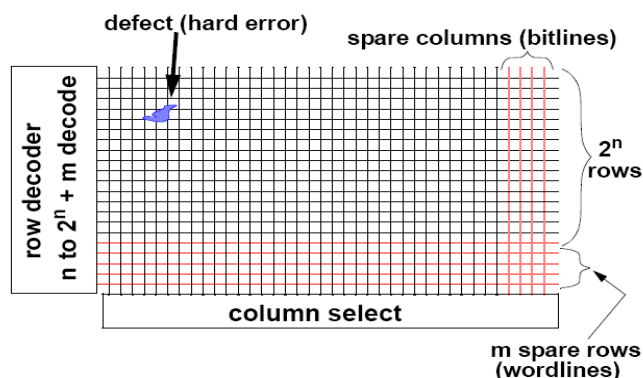


Figure I-8 : Illustration d'une zone défectueuse et des lignes et colonnes de remplacement. [JAC05]

Les adresses défectueuses sont stockées dans des tableaux de fusibles, chaque fusible correspondant à un bit et définissant une valeur binaire selon qu'il est ouvert ou fermé. Ces fusibles sont brûlés, soit électriquement par le passage d'un fort courant, soit par l'utilisation d'un laser [PRA97]. Cette deuxième technique nécessite un circuit moins complexe mais une précision de plus en plus difficile à obtenir à mesure que la taille des transistors diminue.

Deux types d'architecture de comparaison d'adresses existent [MIW96] : les architectures parallèles et série. L'architecture série consiste à comparer successivement l'adresse demandée avec celles stockées dans les tableaux de fusibles. Elle est relativement peu coûteuse en surface mais lente face à un nombre important de comparaisons. C'est pourquoi l'architecture parallèle est de nos jours majoritairement adoptée : le délai de comparaison n'est alors plus pénalisant car toutes les adresses sont comparées simultanément.

Dans cette architecture, afin d'isoler les fusibles qui pourraient ne pas être correctement brûlés et causer une surconsommation de courant, ceux-ci sont généralement associés à des registres qui recopient l'information du fusible à la mise sous tension du composant, et pendant les réinitialisations (*Reset*). Ces structures associant un fusible et un registre sont appelées "*Fuse-Latch*" [REN94-HIDE09]. Du fait de leur nature d'élément bistable, le contenu des "*Fuse-Latches*" peut être altéré par des perturbations externes et, comme nous le verrons dans les chapitres suivants, sont responsables de certains modes de défaillance.

## ***I.B Environnements radiatifs naturels et effets sur les circuits intégrés***

Les environnements dans lesquels les véhicules spatiaux et les avions évoluent sont hostiles pour l'homme mais également pour l'électronique embarquée. Parmi les sources de défaillance, on trouve les particules cosmiques dont la quantité et la nature diffèrent selon le milieu spatial ou atmosphérique. La présentation des environnements radiatifs naturels (I.B.1) sera suivie de l'explication des mécanismes d'interaction entre particules et circuits intégrés (I.B.2), et de celle des effets induits (I.B.3).

### **I.B.1 Les environnements radiatifs naturels**

Deux environnements doivent être distingués : l'environnement spatial et l'environnement atmosphérique, ce dernier étant protégé par la magnétosphère terrestre [ROC99, WRO02].

#### ***I.B.1.1 L'environnement spatial***

L'environnement spatial est le plus agressif au niveau des radiations, et l'homme ne pourrait pas y survivre sans protection. D'importants flux de particules fortement énergétiques provenant de diverses sources traversent ce milieu et les objets qui s'y trouvent (figure I-9).

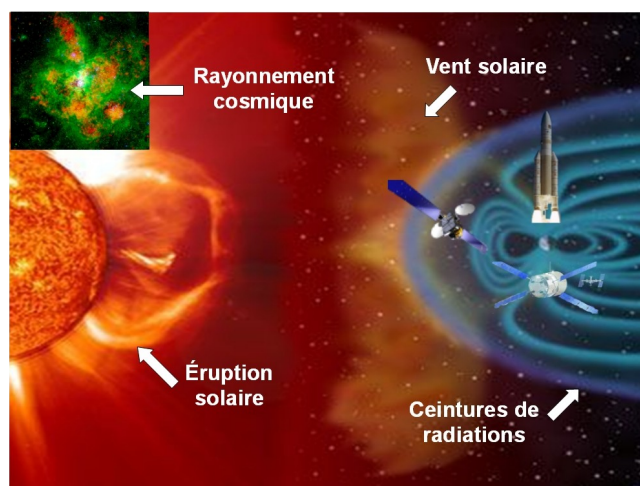


Figure I-9 : Illustration de l'environnement radiatif spatial

Les premières études émettant l'hypothèse selon laquelle les ions lourds seraient la cause de défaillances des circuits électroniques datent des années 1975 [BIND75]. Les principales composantes de cet environnement radiatif sont classées en quatre catégories suivant leur origine : les ceintures de radiations, le vent solaire, les éruptions solaires et le rayonnement cosmique. Le tableau I-3 indique leurs populations respectives : principalement des protons, des particules  $\alpha$  (*alpha*), des électrons et des ions lourds.

**Tableau I-3 : Tableau des populations de particules dans l'espace [BOUD95]**

Origine	PARTICULES	ÉNERGIES	FLUX ( $\text{cm}^{-2}\text{s}^{-1}$ )
CEINTURES DE RADIATION	-Protons (Orbites basses)	99 % < 10 MeV	10 à $10^6$
	-Électrons (Orbites géo.)	99 % < 2 MeV	$10^{-2}$ à $10^7$
VENT SOLAIRE	-Protons -Électrons -Particules alpha	< 100 keV < qq. keV	$10^8$ à $10^{10}$
ÉRUPTIONS SOLAIRES	-Protons	10 à 1000 MeV	$10^{10}$
	-Particules alpha -Ions lourds	10 à 100 MeV	100 à 1000
RAYONS COSMIQUES	-Protons (87 %)	100 à $10^6$ MeV	1 à 100 MeV
	-Particules $\alpha$ -Ions lourds (1%)	1 à $10^{14}$ MeV	$10^{-4}$ à $10^6$ MeV

L'énergie de ces particules s'exprime en électron-volt (eV), correspondant à l'énergie cinétique d'un électron accéléré depuis le repos par une différence de potentiel d'un volt. Les particules les plus énergétiques proviennent des éruptions solaires et du rayonnement cosmique. L'origine de ce dernier est étudiée depuis le début du XX<sup>e</sup> siècle, mais reste actuellement un mystère : il pourrait provenir de l'explosion de supernovas, de trous noirs ou bien de noyaux de galaxies actives. L'observatoire "Pierre Auger" mis en service en 2004 en Argentine devrait apporter des éléments de réponse dans les années à venir.

Les électrons et les protons sont principalement responsables des effets de dose cumulée, ou TID (*Total Ionizing Dose*), qui se traduisent par une dérive de certains paramètres électriques. Ces effets augmentent avec la fluence reçue et ne sont pas réversibles.

Les ions lourds, les particules  $\alpha$  et à nouveau les protons induisent des effets singuliers ou SEE (*Single Event Effect*), qui sont des effets non destructifs et réversibles induits par le passage d'une particule unique. Parmi eux, les SEUs (*Single Event Upsets*) et les SEFIs (*Single Event Functional Interrupts*) sont les événements qui nous intéresseront particulièrement.



### I.B.1.2 L'environnement atmosphérique

L'atmosphère terrestre est protégée de la plupart des rayons cosmiques par la magnétosphère qui les dévie vers les pôles, créant alors le phénomène d'aurore boréale.

Néanmoins, certains protons sont suffisamment énergétiques pour traverser ce champ magnétique. L'interaction de ces particules avec les noyaux des éléments constituant l'atmosphère (80% d'azote et 20 % d'oxygène) produit des particules secondaires, qui elles-mêmes interagissent avec d'autres noyaux. C'est le phénomène de douche atmosphérique, illustré sur la figure I-10 (a).

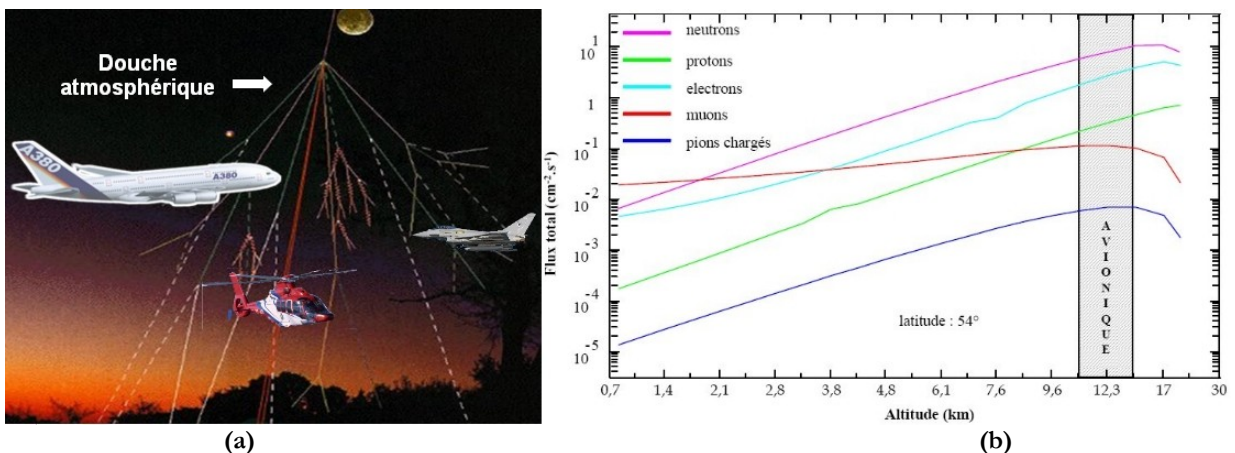


Figure I-10 : Illustration de la douche atmosphérique et estimation du flux total des particules atmosphériques en fonction de l'altitude, d'après [BRI71-BRI78].

Les principaux produits secondaires créés sont des neutrons, des électrons, des protons, des muons et des pions chargés. Comme le montre la figure I-10 (b), hormis les muons, le flux total (toutes énergies confondues) pour chaque type de particules décroît avec l'altitude.

Les neutrons sont les particules les plus nombreuses quelle que soit l'altitude. Le flux exact est difficile à estimer et diffère légèrement selon les normes, mais la communauté s'accorde sur le fait qu'il varie avec l'altitude (facteur 300 entre le sol et 12 km) et la latitude (facteur 6 entre les pôles et l'équateur) [NOR93].

Les neutrons ont été identifiés depuis les années 1990 comme la cause principale d'événements singuliers dans les systèmes électroniques avioniques. Des études ont en effet montré que les taux d'erreurs observés à différentes altitudes et latitudes variaient de la même façon que le flux de neutron.

D'autres corrélations avec des expériences menées en laboratoire sont également venues

appuyer ces hypothèses. Ces particules sont donc actuellement considérées comme les plus préoccupantes pour l'électronique embarquée aux altitudes avioniques.

Les neutrons n'ont pas de pouvoir ionisant car ils sont électriquement neutres. En revanche, nous verrons au paragraphe I.B.2.2 qu'ils peuvent interagir avec les noyaux du réseau cristallin des composants traversés et générer ainsi des ions secondaires qui sont directement responsables des défaillances.

Parmi les autres sources de radiation naturelle, on trouve au niveau du sol du radon, un gaz radioactif provenant de la désintégration du radium, lui-même provenant de l'uranium présent naturellement dans la croûte terrestre.

Par ailleurs, l'émission de particules alpha par des constituants des boîtiers électroniques est une préoccupation récurrente de l'industrie micro-électronique. Les flux et les énergies de ces particules sont néanmoins bien moins importants que ceux rencontrés en altitude.

## **I.B.2 Mécanismes d'interaction physiques**

Les particules constituant les environnements radiatifs traversent la matière et interagissent avec ses atomes. On distingue les interactions ion-silicium ionisant la matière directement et celles neutron-silicium que le font indirectement.

### ***I.B.2.1 Interactions ion-silicium***

Lorsqu'une particule chargée pénètre dans la matière, elle interagit essentiellement sous l'effet des forces coulombiennes avec les particules chargées qui constituent les atomes du matériau [HUB01]. La probabilité d'un choc direct avec le noyau atomique est très faible alors que l'ion traverse un milieu comportant une forte population d'électrons. L'ion incident subit ainsi un grand nombre d'interactions avec les électrons au cours desquelles il perd progressivement de l'énergie. Ces électrons subissent d'abord une transition vers un état excité, c'est le phénomène d'ionisation, qui génère d'autres d'électrons qui, à leur tour, vont produire de nouvelles ionisations, comme illustré sur la figure I-11 (a).

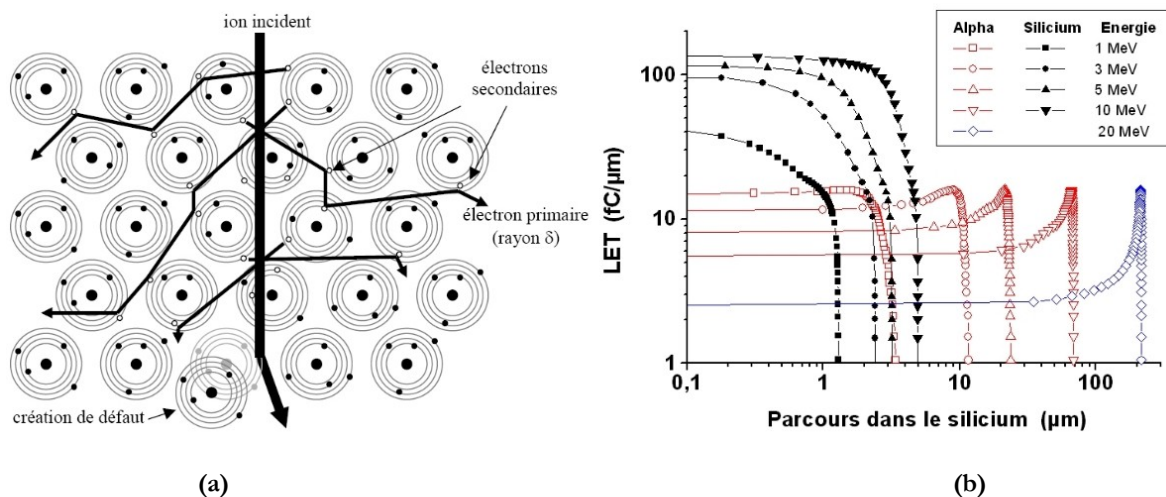


Figure I-11 : Interaction ion-silicium [HUB01]

Ce mécanisme d'ionisation est donc responsable de la perte d'énergie de la particule chargée et de son ralentissement. Cette perte d'énergie  $dE/dx$  cédée par unité de longueur est appelée pouvoir d'arrêt ou LET (*Linear Energy Transfer*) et s'exprime en  $fC/\mu m$ , ou en  $MeV/(mg/cm^2)$ . Des exemples d'évolution du LET dans le silicium pour des ions silicium et alpha sont donnés sur la figure I-11 (b) pour différentes énergies initiales.

Malgré les interactions, la particule incidente est peu déviée car l'énergie qu'elle cède à chaque collision est faible devant son énergie initiale. Lors du passage d'une particule ionisante, il y a donc formation d'un canal très fortement ionisé de très faible diamètre (typiquement  $0,5 \mu m$ ) autour de la trace de l'ion.

### I.B.2.2 Interactions neutron-silicium et collection de charges

Les neutrons présents dans l'atmosphère n'ionisent pas directement la matière car ils sont électriquement neutres. Ils peuvent en revanche rencontrer le noyau d'un atome et engendrer des particules secondaires qui elles sont capable d'ioniser. La probabilité qu'une interaction ait lieu entre un neutron et un noyau est d'environ  $5.10^{-6}$  [HUB01].

Dans une technologie CMOS classique, les drains et sources des transistors sont implantés directement dans le substrat de silicium, et sont de ce fait vulnérables à la collection de charges parasites résultant du passage d'une particule. Deux mécanismes de collection de charges existent : la collection par aspiration (*funneling*) et la collection par diffusion [LAM06]. La première

résulte du passage de l'ion directement au travers de la jonction polarisée et de la zone de charge d'espace. La charge collectée dans ce cas correspond à une impulsion de courant très brève. Dans la collection par diffusion, les porteurs générés en dehors d'une zone de charge d'espace diffusent à partir de la trace de l'ion vers les zones de plus faible densité, avant d'être recombinés. Une partie peut donc atteindre le drain d'un transistor, apportant ainsi des charges parasites. Les courants collectés par ce mécanisme sont plus faibles, mais d'une durée plus importante.

La figure I-12 illustre l'interaction d'un neutron avec un noyau de silicium proche d'une cellule CMOS inverseur (INV).

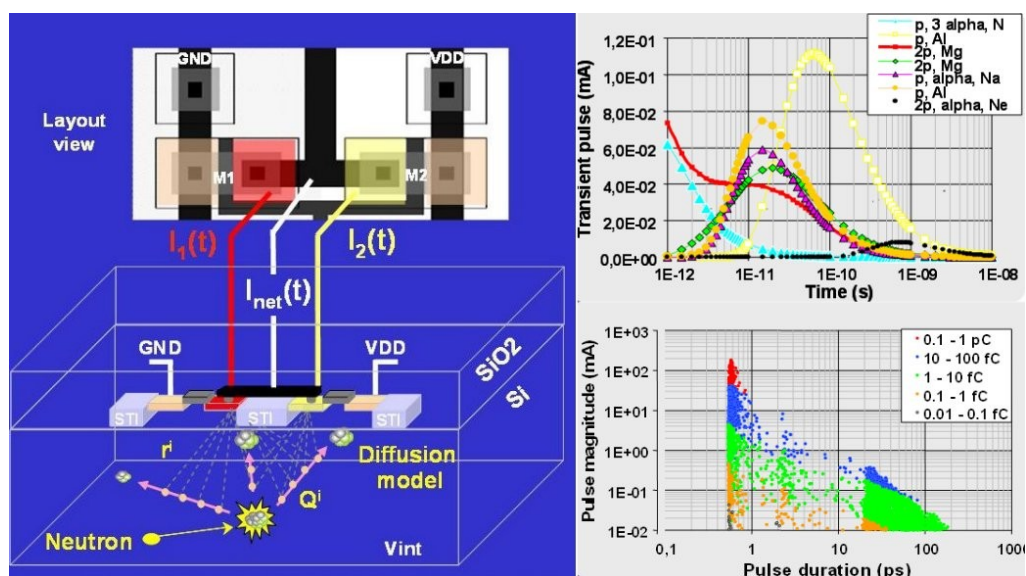


Figure I-12 : Illustration de l'interaction nucléaire neutron / silicium et allures d'une population de courants collectés par un drain 130 nm [HUB06-RUS07]

Dans cet exemple, la réaction nucléaire produit trois ions chargés. Les zones sensibles de cette structure sont les drains des deux transistors qui sont connectés, et dont le potentiel est flottant. La valeur totale des charges reçues par le nœud correspond à la somme des charges apportées par les trois ions et collectés par les deux drains.

Ces charges dépendent donc fortement de la localisation de l'interaction, des paramètres des ions et de la géométrie des drains. Un exemple de population de courants pouvant être collectés dans une technologie 130 nm [HUB06] est indiquée afin de montrer leur grande diversité en terme de durée et d'amplitude. Les effets au niveau fonctionnel résultant de la collection de ces charges parasites dépendent de l'allure des impulsions ainsi que de la fonction des transistors touchés.

### I.B.3 Les effets singuliers

Les "effets singuliers" désignent les dysfonctionnements non destructifs et réversibles induits par une particule unique. Dans cette étude, nous nous intéresserons principalement aux SEUs (*Single Event Upsets*) et aux SEFIs (*Single Event Functional Interrupts*), mais évoquerons également le SEL (*Single Event Latchup*).

#### I.B.3.1 Les "Single Event Upsets"

Le pulse de tension généré par la collection de charges peut avoir des conséquences variées selon la fonction des transistors touchés.

Dans un composant analogique, le transitoire peut se propager jusqu'à la sortie et produire une impulsion ponctuelle. Cet effet est appelé SET (*Single Event Transient*).

Dans un composant logique, un transitoire généré dans une cellule combinatoire peut se propager. S'il n'est pas atténué ou masqué par une porte logique, il peut être capturé par un élément mémoire de type *Flip-Flop*, induisant une erreur pouvant induire des défaillances au niveau du système [LEV07].

Dans une fonction mémoire, l'effet est local et peut conduire au basculement de la structure, donc à l'inversion de l'information. On parle alors d'aléa logique, en anglais SEU (*Single Event Upset*), ou plus précisément SCU (*Single Cell Upset*) s'il s'agit d'une unique cellule mémoire. Le niveau de charge nécessaire pour induire un SCU est appelé charge critique (Qc). Ce changement accidentel d'état logique dans une mémoire est réversible (l'information peut être corrigée par une opération d'écriture) et ne conduit pas à la destruction du composant.

Cet effet de basculement peut se produire dans tout élément bistable comme les registres, les bascules, les "Fuse-Latches", etc. Lorsque plusieurs cellules basculent suite au passage d'une unique particule, on parle d'événements multiples, ou MCU (*Multiple Cell Upset*). Si ces cellules appartiennent à une même adresse logique, l'effet est appelé MBU (*Multiple Bit Upset*).

Les condensateurs des DRAMs sont aussi altérés par la collection de charges, qui modifient le potentiel stocké et peut amener à l'inversion de l'information. Les mécanismes spécifiques aux DRAMs seront étudiés en détail dans le chapitre II.

### ***I.B.3.2 Les "Single Event Functional Interrupts"***

Les SEFIs (*Single Event Functional Interrupts*) désignent les conséquences du basculement d'un registre appartenant aux circuits périphériques d'un composant. Ce terme est en réalité assez imprécis et est employé pour différents effets dans plusieurs familles de composants.

Dans un microprocesseur, il désigne la perte de fonctionnalité d'une partie du composant qui n'exécute alors plus le programme, ni ne répond aux commandes extérieures, et est parfois nommé "*hang*". Une réinitialisation (*Reset*) ou une remise sous tension est alors nécessaire pour retrouver la fonctionnalité.

Dans un réseau de portes logiques programmables comme les FPGAs (*Field Programmable Gate Array*) où la configuration réside dans une matrice de cellules SRAMs, un SEFI désigne la modification de la fonction souhaitée suite à l'altération d'une ou plusieurs cellules de configuration, ou l'impossibilité d'activer certaines fonctionnalités du composant.

Dans un composant mémoire relativement complexe comme une DRAM ou une FLASH, cette classe d'effets englobe tous ceux se produisant dans les circuits périphériques. Ils peuvent amener à un mauvais adressage, à une perte de fonctionnalité de certains secteurs, ou au dysfonctionnement complet de la mémoire nécessitant une remise sous tension. L'étude approfondie des SEFIs dans les DRAMs est l'objet du chapitre III.

### ***I.B.3.3 SEL et autres effets***

Un autre effet important pouvant se produire dans les DRAMs est le SEL (*Single Event Latchup*) [BRU96], qui est la mise en conduction par un ion d'une structure thyristor parasite, entraînant le passage d'un courant important. Cet effet s'apparente à un court circuit et peut amener à la destruction du composant. Les composants sensibles à ce type de défaillance ne sont généralement pas retenus pour des applications spatiales, car les méthodes de protection sont chères et complexes.

Les DRAMs sont également sensibles aux phénomènes de bits collés (*Stuck Bit*) [SCH08] et de bits collés intermittents [CHU09]. Néanmoins, ces effets s'apparentent à des effets de dose qui sont en dehors du cadre de cette étude.

## ***I.C Caractérisation de la sensibilité des circuits intégrés aux effets singuliers***

Ayant présenté les mémoires dynamiques et les environnements radiatifs dans lesquels elles sont susceptibles d'être utilisées, intéressons nous dans cette troisième section aux méthodes de caractérisation existantes. Ces caractérisations de sensibilité sont nécessaires pour s'assurer que les exigences de fiabilité des systèmes spatiaux et avioniques sont satisfaites (I.C.1). Les moyens de caractérisation au sol classiquement utilisés sont les accélérateurs de particules (I.C.2), mais des outils complémentaires comme les faisceaux laser impulsionnels deviennent de plus en plus attractifs (I.C.3).

### **I.C.1 Exigences de fiabilité**

La fiabilité est l'aptitude d'un dispositif à accomplir une fonction requise dans des conditions données pour une certaine période de temps. Dans le milieu aéronautique, ce sont les autorités publiques de certification, principalement l'EASA (*European Aviation Safety Agency*) et la FAA (*Federal Aviation Administration*), qui s'assurent que les aéronefs ont le niveau de fiabilité suffisant pour être commercialisés. Ils imposent donc aux constructeurs de suivre des procédures strictes pendant les phases de conception dans le but de prévenir et de corriger d'éventuelles erreurs.

Pour le développement des systèmes embarqués, les exigences sont exposées dans le document ARP4754 [AR4754], qui renvoie aux directives DO178B [DO178] pour les aspects logiciels, et DO-254 [DO254] pour les aspects matériels. C'est aux avionneurs de prouver aux autorités que ces normes sont respectées, aussi ils établissent eux-même des directives encore plus strictes pour les équipementiers, à l'exemple de la directive ABD0100 [ABD100] chez AIRBUS.

Le niveau de fiabilité exigé est un taux de panne critique inférieur à  $1 \times 10^{-7}$  heures. Ces exigences sont ensuite déclinées par fonction, par équipement, puis par composant. Les risques à prendre en compte pour un composant électronique sont principalement les vibrations, la température, la corrosion, le vieillissement, les perturbations électromagnétiques et les rayonnements cosmiques. Pour ces derniers, l'ABD0100 renvoie à la norme aéronautique IEC62396 [IEC06], qui définit la manière de calculer les taux d'erreurs, et les marges à appliquer sur les mesures expérimentales en fonction de leurs provenances. Ces tests font également l'objet

de procédures, à l'exemple de la norme JEDEC JESD89A [J89A] pour l'environnement atmosphérique.

Pour les domaines spatial et militaire, il n'existe pas d'organisme de certification équivalent à ceux présents dans le domaine aéronautique. Les exigences de fiabilité sont donc principalement stipulées par les clients et les agences spatiales (NASA, ESA, JAXA, etc.). Des composants durcis spécifiquement à ces environnements sont traditionnellement utilisés, mais leurs performances sont bien moindre que celles des composants commerciaux (COTS, *Commercial Off-The-Shelf*). Lorsqu'un composant COTS est envisagé, de longues et onéreuses séries de tests incluant la tenue aux radiations sont effectuées [PIGN10]. Les particules radiatives considérées sont alors les protons et les ions lourds, dont les flux dépendent de l'orbite ciblée : basse (LEO, *Low Earth Orbit*), géostationnaire (GEO, *Geostationary Orbit*), ou autre. Les principales normes à respecter pour les équipementiers dans ce domaine sont les suivantes :

- ASTM F-1192 : "*Standard Guide for the Measurement of Single-Event Phenomena from Heavy Ion Irradiation of Semiconductor Devices*", 2006 [ASTM],
- JEDEC EIA/JESD57 : "*Test Procedures for the Measurement of Single-Event Effects in Semiconductor Devices from Heavy Ion Irradiation*", 1996 [J57],
- ESA/SCC N°25100 : "*Single Event Effects Test Method and Guidelines*", 2002 [ESA02].

Néanmoins, les méthodes décrites dans ces normes de test traitent à l'heure actuelle principalement des composants SRAMs, et les particularités de la technologie DRAM ne sont pas particulièrement prises en compte. Notre étude a donc notamment pour objectif de contribuer à leurs améliorations, en proposant des techniques mieux adaptées à ce type de mémoire. Notre implication dans le comité de rédaction de la mise à jour de la norme JESD89A va dans ce sens.

### **I.C.2 Moyens de test classiques**

Les moyens de test classiques préconisés par les normes sont les tests accélérés utilisant des sources radiatives. Ils consistent à bombarder un composant avec des particules proches de celles rencontrées en réalité mais avec un flux autrement plus important. L'utilisation de ces sources a néanmoins de nombreuses contraintes.



### ***I.C.2.1 Tests radiatifs accélérés***

Le type d'installation diffère selon que l'on souhaite caractériser un composant pour l'environnement terrestre, avionique ou spatial. Pour les deux premiers, la norme JESD89A préconise des tests en environnement réel ou une combinaison de tests en accélérateur de particules avec des ions alpha et des sources neutrons.

Les tests en environnements réels consistent à placer un banc de plusieurs centaines de composants au sol (ou en montagne) pendant plusieurs mois, et à comptabiliser les événements se produisant [AUTR09]. Ces conditions de test sont les plus proches de la réalité car toutes les sources de radiation (contamination alpha, radon terrestre, neutrons atmosphériques et thermiques, muons, électrons, protons, etc.) sont naturellement présentes. Cependant, même avec un nombre d'échantillons important, les tests sont très long et la fréquence des événements faible. Ce type de test n'est en pratique effectué que par certains fabricants de composants, car il est incompatible avec les délais classiques des projets industriels.

Les alternatives sont les tests accélérés avec diverses sources de radiation. Pour simuler l'environnement neutronique, le moyen de test le plus représentatif utilise une source neutronique à spallation ayant un spectre énergétique reproduisant celui terrestre. Cependant, seulement deux installations (WNR aux États-Unis et TRIUMF au Canada) proposent actuellement ce type de faisceau, ce qui rend leur accessibilité limitée. D'autres méthodes sont donc suggérées dans la norme JESD89A, notamment l'utilisation de sources neutrons quasi mono-énergétiques avec au minimum quatre énergies (14, 50, 100 et 200 MeV), ou de sources protons qui sont plus facilement disponibles et dont la sensibilité est équivalente à celle des neutrons pour les énergies supérieures à 50 MeV.

Pour simuler en accéléré l'effet du rayonnement alpha naturellement émis par les boîtiers des composants, des sources alpha comme l'*americium-231* sont classiquement utilisées. Ces sources se trouvent sous la forme de disques à placer au-dessus de la face avant exposée d'un composant.

La sensibilité des cellules mémoire aux SEUs à une énergie donnée est exprimée par une valeur de section efficace SEU ( $\theta_{SEU}$ ), dont l'unité est en  $\text{cm}^2/\text{bit}$  ou  $\text{cm}^2/\text{composant}$ . Ces sections efficaces correspondent au rapport du nombre d'erreurs observées durant le test par la fluence reçue, ramené au nombre de bits irradiés. Elles représentent la surface de sensibilité de la cellule. Un exemple de courbe de section efficace (proton) construite à partir de points obtenus à

diverses énergies est donné sur la figure I-13 (a).

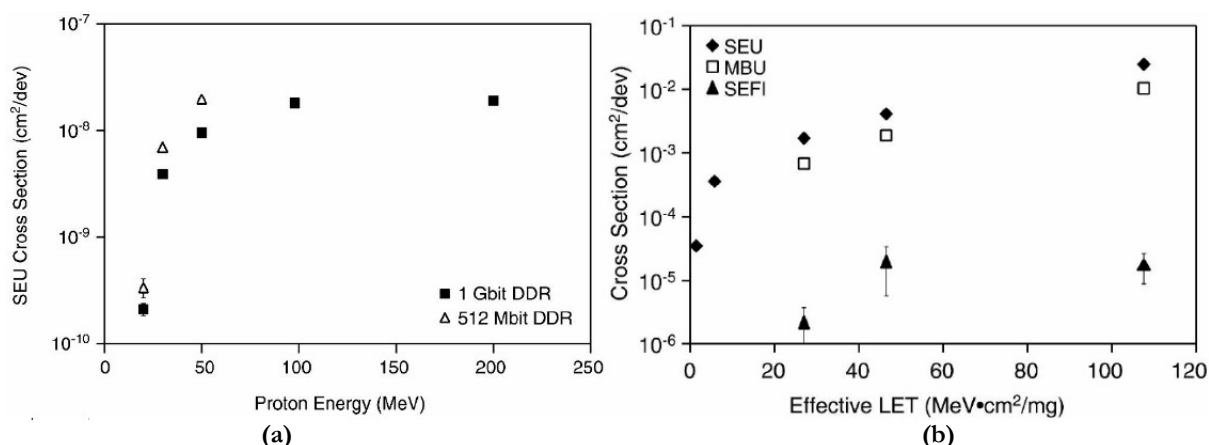


Figure I-13 : Exemple de sections efficaces obtenues par des tests protons (a) et ions lourds (b) [LAD06]

La probabilité d'apparition d'un SEU au sol est calculé à partir de ces résultats et du spectre neutronique à New-York City, selon la formule :

$$SEU\ rate = \int_{E_{min}}^{E_{max}} dE (d\phi(E)/dE) \theta_{SEU}(E)$$

où  $SEU\ rate$  est en nombre d'erreurs par composant et par seconde,  $E_{min}$  et  $E_{max}$  sont les bornes du spectre d'énergie considéré (MeV),  $E$  est l'énergie neutron (MeV),  $d\phi(E)/dE$  est le flux différentiel neutron exprimé en  $cm^{-2} \cdot MeV^{-1} \cdot s^{-1}$ , et  $(\theta_{SEU})$  est la section efficace ( $cm^2/composant$ ).

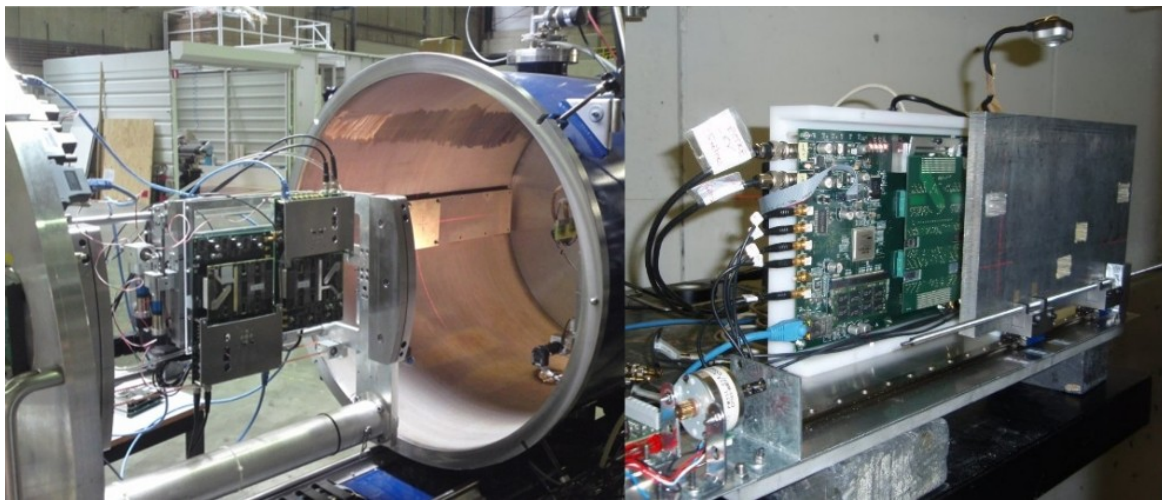
Le taux d'erreurs est appelé SER (*Soft Error Rate*), et s'exprime en FIT (*Failure In Time*) lorsqu'il est ramené à  $10^9$  heures de fonctionnement. Le SER en altitude est ensuite obtenu en appliquant un facteur multiplicatif proportionnel à la population de neutrons. Le calcul du SER peut cependant être simplifié en prenant simplement en compte la section efficace à la plus forte énergie (saturation), et un flux moyen de particules toutes énergies confondues. La valeur sera néanmoins surestimée.

Pour simuler l'environnement spatial, ce sont des accélérateurs d'ions lourds et de protons de différentes énergies qui sont utilisés. Pour les premiers, des cocktails d'ions de plusieurs LETs sont utilisés pour couvrir un spectre allant de 1 à 120  $MeV/(mg/cm^2)$ . Un exemple de courbe de section efficace ion lourd est donné sur la figure I-13 (b). Les deux informations principales sont d'une part l'énergie seuil ( $LET_{th}$ ), en dessous de laquelle les particules n'induisent plus d'effets, d'autre part la valeur de la section efficace à saturation, qui détermine la plus grande surface de

sensibilité. A partir de ces résultats, le taux d'erreurs selon l'orbite d'exploitation s'obtient grâce à des logiciels spécialisés comme OMERE [WWW06].

### *I.C.2.2 Contraintes des tests radiatifs accélérés*

Les principaux problèmes liés aux accélérateurs de particules sont la disponibilité des installations, le coût des campagnes de test et la présence de rayonnements dangereux pour l'homme. Les équipements de test doivent également respecter certaines contraintes, dont certaines sont illustrées sur les photographies suivantes (I-14). La figure (a) montrent deux de nos testeurs installés pour des irradiations aux ions lourds à l'HIF (*Heavy Ion Facility*) de l'UCL (Université Catholique de Louvain la Neuve, Belgique) [BER97], tandis que la photographie (b) a été prise pendant une irradiation aux protons au LIF (*Light Ion Facility*), également situé à l'UCL.



(a)

(b)

**Figure I-14 : Mise en œuvre des tests ions lourds et protons nécessitant blindage, refroidissement et câblage spécifique**

Les tests aux ions lourds s'effectuent le plus souvent dans des enceintes sous vide, ce qui implique des dimensions réduites, des problèmes de dissipation de chaleur et d'interface avec le système de pilotage externe. Un circuit de refroidissement à eau est nécessaire pour évacuer les calories des composants, et l'alimentation électrique ainsi que les signaux de données transitent à travers des connecteurs spécifiques installés sur les brides de l'enceinte.

Les tests aux neutrons et aux protons se font le plus souvent à l'air libre, mais les problèmes

de dose cumulée imposent de protéger l'électronique de contrôle et d'opérer en dehors de la salle d'irradiation. Le faisceau étant relativement large (environ 10 cm), un bouclier amovible est utilisé pour protéger l'électronique de proximité et n'irradier que les composants souhaités. Le pilotage du testeur s'effectue dans une pièce séparée, à plusieurs mètres de distance.

Quelle que soit l'installation, le temps passé à la mise en place des équipements de test et au changement de composants est généralement facturé à un taux horaire souvent compris entre 600 et 700 €. Ces phases doivent donc être optimisées pour limiter le coût des campagnes. La durée d'irradiation par condition de test varie de quelques dizaines de minutes à quelques heures, selon le type et l'énergie des particules, ainsi que la sensibilité des composants ; le critère d'arrêt étant soit l'observation d'un nombre minimum d'événements, soit l'atteinte d'une fluence suffisante.

### **I.C.3 Faisceaux laser impulsions**

Les différentes contraintes évoquées ci-dessus ont grandement motivé la recherche de solutions alternatives. Plusieurs groupes de recherche se sont ainsi intéressés à l'utilisation de lasers pulsés pour aider à caractériser la sensibilité des composants.

Même si l'équivalence entre l'énergie laser et l'énergie d'un ion reste pour le moment hasardeuse, ce moyen de test s'est révélé efficace pour reproduire la plupart des effets des radiations dans une grande variété de composants silicium [MIL06b-MIL06c]. Il s'agit ici de présenter les mécanismes physiques d'interaction de base ainsi que le principe et les contraintes d'une installation de test laser.

#### ***I.C.3.1 Mécanismes physiques d'interaction photon-silicium***

L'interaction d'un photon suffisamment énergétique dans le silicium provoque un effet photoélectrique permettant à un électron de passer de la bande de valence à la bande de conduction. C'est le mécanisme d'absorption inter bande. D'autres mécanismes d'absorption existent et sont détaillés plus en détail dans des travaux dédiés à ce sujet [POU00-MIL06].

L'absorption consiste en la création de paires électron-trou qui, à l'instar de celles créées par l'interaction ion-silicium, peuvent être collectées par le champ électrique d'un transistor et

provoquer un courant parasite dans le circuit.

Les premières publications portant sur l'utilisation de faisceaux laser pour étudier la sensibilité des composants face aux ions lourds datent de 1987 [BUCH87]. Ces travaux ont identifié les paramètres critiques du laser comme étant la longueur d'onde, la taille du spot et la durée d'impulsion.

La longueur d'onde ayant le coefficient d'absorption le plus faible dans le silicium est  $1,06 \mu\text{m}$  [SCHM81-POU00]. La dimension du spot est un paramètre critique [MIL06], mais les lois d'optique limitent la taille minimale à celle de la longueur d'onde. L'allure de la densité d'énergie du spot laser à son point de focalisation est une gaussienne, illustrée sur la figure I-15. Par convention, la taille du spot est définie comme le diamètre à la moitié de l'énergie la plus forte ( $E_0$ ). La durée d'impulsion doit idéalement s'approcher des caractéristiques d'un ion, dont le passage dure de l'ordre de la femtoseconde. Ce paramètre conditionne néanmoins fortement le coût, la taille et la complexité de l'installation ; c'est pourquoi les lasers picosecondes sont plus fréquemment utilisés.

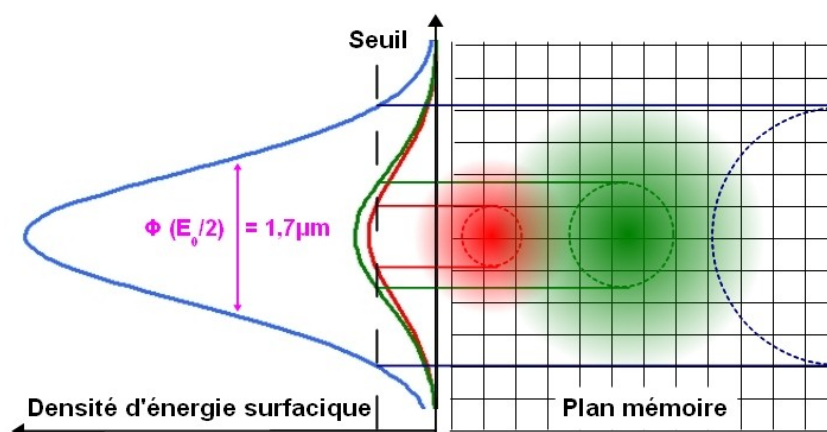


Figure I-15 : Allure de la densité d'énergie d'un spot laser

### ***I.C.3.2 Principe et contraintes du test laser***

Une installation de test laser pour composants électroniques requiert une énergie de l'ordre du nanojoule au microjoule. Certaines sources YAG (*Yttrium-Aluminium-Grenat*) fibrées pour application télécom sont relativement compactes et procurent suffisamment d'énergie. Les principaux éléments d'une installation comme illustrée sur la figure I-16 sont la source laser, un variateur d'énergie, un microscope et des platines de déplacement (pas de 50 nm), tous pilotés

automatiquement par ordinateur. Ces éléments permettent d'injecter une quantité de charge définie à un endroit précis d'un composant.

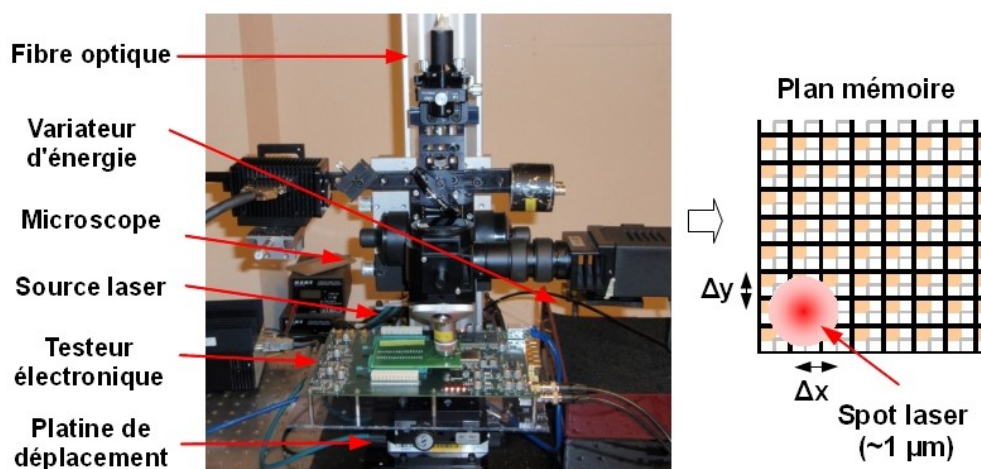


Figure I-16 : Principaux éléments du banc laser d'EADS IW et illustration d'un spot laser sur un plan mémoire

Le composant sous test (DUT, *Device Under Test*) doit avoir une de ses faces accessible au laser, car celui-ci ne peut traverser les boîtiers plastiques ou céramiques. L'irradiation par la face arrière, comme illustrée sur la figure I-17 est souvent préférée pour les technologies récentes car le laser n'est pas réfléchi par les métallisations de la face avant. L'opération d'ouverture mécanique est par ailleurs plus aisée par la face arrière et offre la possibilité d'amincir le composant. Celui-ci est placé sous le microscope à une distance de quelques millimètres, et est contrôlé par un testeur dédié, ou par les signaux de sa carte dans le cas d'un test *in-situ*.

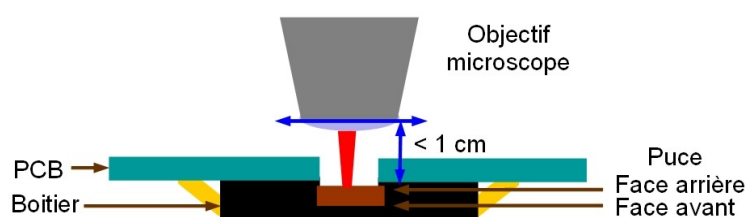


Figure I-17 : Positionnement d'un composant sous le laser par face arrière

Les fonctions requises du testeur électronique dépendent du type de composant à tester. Les paramètres électriques et fonctionnels doivent pouvoir être pilotés et surveillés afin d'observer les effets induits par l'injection de charges dans le composant.

Les principales contraintes d'utilisation sont donc l'accessibilité à la puce et la possibilité de

synchroniser le testeur électronique avec le banc laser. Les dimensions et le poids des cartes (PCB) ne posent en revanche pas de problèmes particuliers.

Les mesures de sécurité devant être respectées sont le port de lunettes de protection et l'absence d'objets réfléchissants. Une fois les réglages effectués, les tests peuvent ensuite être réalisés à distance et se dérouler de manière automatisée en l'absence d'opérateur.

## ***1.D Conclusion***

Les principales notions qui seront utilisées dans la suite ont été introduites dans ce chapitre.

Nous avons vu que les particules cosmiques présentes dans les environnements spatiaux et atmosphériques sont une source d'erreurs pour les composants électroniques.

Les composants DRAMs sont largement employés dans les systèmes embarqués en dépit de leur sensibilité à ces particules qui peuvent induire la décharge des cellules mémoire élémentaires (SEU/MBU), des dysfonctionnements de la logique (SEFI) ou encore des événements destructeurs (SEL). Au regard des exigences de fiabilité requises au niveau système et calculées au niveau composant, la quantification des taux d'erreurs attendus durant l'exploitation est incontournable.

Pour un système spatial, les exigences de fiabilité sont déterminées par les clients qui souhaitent une disponibilité du service optimale. Pour les appareils de transport aérien civil, l'enjeu est avant tout sécuritaire ; les exigences sont donc formulées par les autorités internationales de certification que sont l'EASA et la FAA. L'enjeu est également économique car il s'agit de limiter les fréquences de dépose des calculateurs.

Des normes internationales préconisant des méthodes de test au sol et d'évaluation des taux d'erreurs existent pour les différents domaines spatiaux, aéronautiques et terrestres, mais ils ne prennent pas suffisamment en compte les particularités de certains composants, ni les nouveaux effets apparaissant avec l'intégration technologique. C'est en particulier le cas pour le test des composants DRAMs. Le moyen de test classique préconisé est l'accélérateur de particules, mais le coût et la disponibilité de ces installations sont des facteurs fortement pénalisants. Des installations laser, dont utilisation est plus souple et moins onéreuse, ont donc été développées comme outils complémentaires.

L'industrie aéronautique et spatiale doit pouvoir compter sur des méthodes fiables et clairement définies pour caractériser le plus pertinemment et au meilleur coût la sensibilité des composants qu'ils utilisent. Face aux insuffisances constatées dans les normes actuelles, un des objectifs de notre étude est d'élaborer une méthodologie de test pour la famille DRAM, destinée à améliorer ces normes. Ce travail suppose dans un premier temps d'étudier les différents modes de défaillances pouvant survenir dans ces mémoires, ce qui est l'objet des deux chapitres à venir.





## Chapitre II - Étude des modes de défaillance des plans mémoire des DRAMs

Les DRAMs peuvent être considérées en deux sous-ensembles : plans mémoire et circuits périphériques. Ces derniers seront étudiés au chapitre suivant, aussi celui-ci porte spécifiquement sur les effets survenant dans les plans mémoire, principalement les aléas logiques.

Il s'agit d'abord de traiter des principaux mécanismes amenant à ces erreurs, et de déterminer les niveaux de sensibilité selon les générations technologiques et les types de cellules (II.A). Pour évaluer l'intérêt du laser impulsionnel et ses applications possibles, nous décrivons les effets qu'il déclenche dans les blocs mémoire, et discuterons des informations pouvant être recueillies (II.B). Nous étudierons enfin l'influence des motifs de test sur la sensibilité mesurée afin de déterminer ceux permettant de garantir une mesure "pire cas" (II.C).

### *II.A Sensibilité aux radiations des plans capacité*

Les principaux mécanismes physiques amenant à des événements de type SEU dans les plans mémoire doivent être exposés (II.A.1), avant d'analyser les expériences menées pour mesurer l'évolution des niveaux de sensibilité selon l'intégration technologique d'une part (II.A.2), et selon le type de structures de cellule d'autre part (II.A.3).

#### **II.A.1 Mécanismes de SEU induits par une particule ionisante**

Les aléas logiques dans les DRAMs peuvent être liés à deux types d'événements : la décharge de la capacité d'une cellule et la perturbation d'une ligne de données pendant une séquence de lecture.

##### *II.A.1.1 SEU par décharge de la cellule*

Les SEUs par décharge de la capacité des cellules sont actuellement prépondérants dans les DRAMs. Les mécanismes amenant à cette décharge sont étudiés depuis de nombreuses années [MASS96]. Il s'agissait à l'origine de comprendre les effets des particules alpha émises par les

constituants des boîtiers [MAY79]. Ces recherches ont montré que ces mécanismes dépendent de l'état des cellules (chargées ou déchargées) et de leurs voisines.

Nous proposons avec la figure II-1 une illustration simplifiée de trois cas de figure.

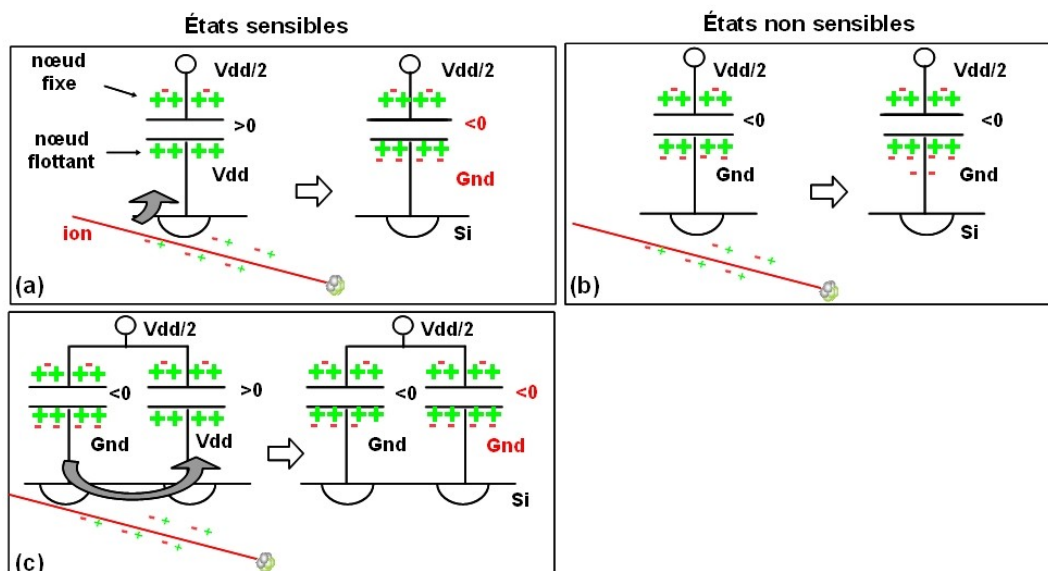


Figure II-1 : Illustration simplifiée des mécanismes physiques induisant la décharge d'une cellule DRAM par une particule ionisante.

Les électrodes communes des capacités DRAM sont polarisées à une tension fixe ( $V_{dd}/2$ ). Dans la configuration illustrée en (a), l'électrode flottante de la cellule est à  $V_{dd}$ , il y a donc un déficit de charges négatives (électrons) par rapport aux charges positives (trous), et la différence de potentiel aux bornes de la capacité est positive. Le passage d'un ion à proximité des jonctions apporte des électrons qui, une fois collectés, abaissent le potentiel du nœud flottant. Si la charge collectée est supérieure à la charge critique de la cellule ( $Q_c$ ), la différence de potentiel s'inverse et il y a SEU : c'est le mécanisme de décharge par collection de charges.

Dans la configuration (b), la cellule est configurée à  $Gnd$ . Il y a alors autant de charges négatives que positives, et la différence de tension aux bornes du condensateur est négative. Dans ce cas de figure, l'apport d'électrons renforce la différence de tension donc l'état de la cellule qui ne change pas ; cet état n'est donc pas sensible à la collection de charges.

Dans la configuration (c), les deux cellules adjacentes sont polarisées de manière opposée. Un autre mécanisme de décharge peut alors se produire, nécessitant des ions moins énergétiques que

pour le mécanisme décrit précédemment : le passage d'une particule chargée crée un chemin de faible impédance entre les deux drains, provoquant pendant quelques picosecondes le transfert d'électrons de l'électrode de plus bas potentiel vers celle de plus haut potentiel. C'est le mécanisme de SEU par transfert de charges, dans lequel les électrons proviennent majoritairement de la cellule adjacente et non de l'ion incident.

Les cellules DRAMs ont donc un état insensible aux radiations et un autre sensible à deux mécanismes ayant des niveaux de déclenchement différents. Cette particularité, propre à la technologie DRAM, est en partie responsable de la variation de la sensibilité mesurée selon le motif de test employé, qui sera l'objet d'une étude particulière décrite dans la suite. Nous déterminerons en particulier quel mécanisme est le plus gros contributeur d'erreurs, afin de préconiser des motifs de test garantissant la sensibilité "pire cas" pour une technologie donnée.

### ***II.A.1.2 SEU par perturbation d'une ligne de données***

Si le SEU par décharge de la capacité de la cellule est le mécanisme le plus courant, un autre existe néanmoins. Il est lié à la perturbation d'une ligne de données par une particule pendant une phase de lecture ou de rafraîchissement. Cet effet est nommé "*Bitline Upset*" [MASS96-SCHI05].

Les figures II-2 (a) (b) et (c) illustrent les conditions nécessaires pour qu'un tel événement se produise. Les lignes de données couvrent tous les plans mémoire et sont connectées à de nombreux drains. Les zones sensibles (*Bitline Upset sensitive zones*) sont pointées sur la figure (a) : Il s'agit des drains des transistors d'accès qui relient les capacités aux lignes de données. Ces drains sont distincts de ceux connectés directement aux capacités (*Cell Upset sensitive zones*). Au niveau temporel, ces zones ne sont sensibles que pendant une des phases du cycle de lecture, comme illustré sur la figure (b). Il s'agit de la phase de précharge pendant laquelle les potentiels des deux lignes de données BL et /BL sont flottants, ce qui les rend sensibles à la collection de charges. Quatre cas de figure sont possibles selon que la particule touche BL ou /BL, et selon que la cellule est chargée ou non. Comme illustré en (c), il y a risque de SEU si la collection de charges se produit sur une ligne chargée à Vdd. En revanche, s'il s'agit d'une ligne de données polarisée à GND, il n'y aura pas d'effets.

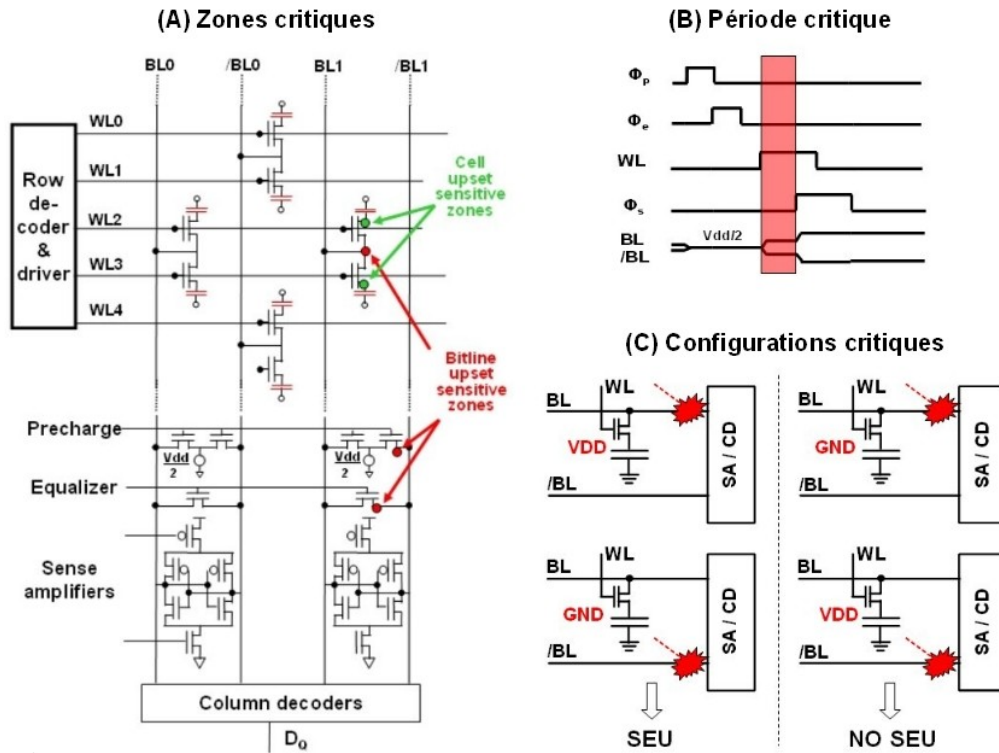


Figure II-2 : Zones de sensibilité des lignes de données [BOUG08].

La probabilité que cet événement apparaisse est donc principalement proportionnelle à la fréquence de lecture. Certains travaux [SCHI05] prévoient que ce mécanisme devienne un jour prépondérant par rapport aux SEUs par décharge de la cellule.

Il convient de noter qu'au cours d'un test, rien ne permet de distinguer les SEUs par décharge de cellules de ceux par perturbation des lignes de données : ils sont donc comptabilisés sans être différenciés.

## II.A.2 Niveaux de sensibilité selon l'intégration technologique

Intéressons nous à présent aux mesures de sensibilité relevés pour différents nœuds technologiques, tous mécanismes confondus. Analysons dans un premier temps les données de la littérature sur un certain nombre de composants, avant d'examiner les résultats de nos propres expérimentations.

### II.A.2.1 Synthèse et analyse de données bibliographiques

De nombreux résultats expérimentaux sont disponibles dans la littérature. Les sources d'informations principales sont les revues IEEE (*Institute of Electrical and Electronics Engineers*) : "*IEEE Transaction on Nuclear Science*" et "*IEEE Radiation Effect Data Workshop*", ainsi que les bases de données internet de la NASA [WWW03], de l'ESA [WWW04] et d'autres organismes gouvernementaux. La figure II-3 est une synthèse de résultats de tests neutrons / protons (a) et ions lourds (b) provenant d'une quarantaine de travaux publiés. L'axe des ordonnées indique les sections efficaces aux plus fortes énergies testées, normalisées en  $\text{cm}^2/\text{bit}$ .

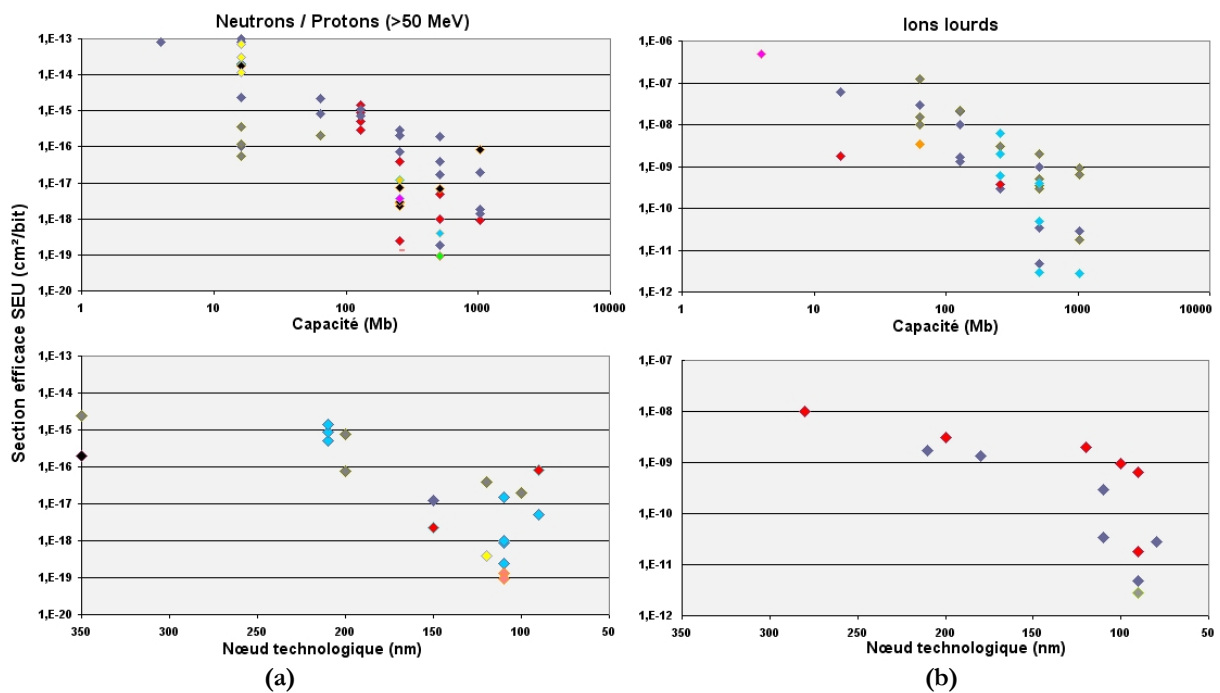


Figure II-3 : Synthèse bibliographique de l'évolution de la sensibilité des DRAMs.

Précisons que le niveau de confiance n'est pas le même pour tous les résultats, car les paramètres de test, le nombre et le type d'événements observés ainsi que les barres d'erreur ne sont pas toujours mentionnés. Ces résultats sont donc donnés à titre indicatif, pour illustrer les tendances et les disparités observées entre les générations.

Les composants incluent toute la famille des DRAMs (DRAM, SDRAM, DDR, DDR2, etc.), allant de 4 Mb à 1 Gbit de capacité, depuis la technologie 350 nm jusqu'à 90 nm. Les résultats sont classés par capacité sur les graphiques du haut et par technologie sur ceux en-dessous. Ces

derniers sont moins nombreux car le procédé de gravure n'est pas toujours donné.

La tendance générale est à une nette diminution de la sensibilité avec l'évolution technologique, quel que soit le type de particules. L'écart entre les sensibilités extrêmes est important puisqu'il est de six décades pour les neutrons / protons, et de cinq pour les ions lourds. À titre indicatif, selon la méthode de calcul de l'IEC 62396 avec les marges minimales, le SER neutron d'une DRAM de 1 Gbit ayant une section efficace de  $1,0 \times 10^{-17}$  cm<sup>2</sup>/bit est de 310000 FITs à une altitude avionique, soit un événement tous les 135 jours. À bord d'un satellite géostationnaire, une mémoire de même capacité ayant une section efficace ions lourds de  $1,0 \times 10^{-9}$  cm<sup>2</sup>/bit aura, selon le logiciel OMERE [WWW06], un taux d'erreurs de  $1,9 \times 10^{-1}$  SEU/composant/jour, soit un SEU tous les 6 jours.

La sensibilité d'un composant mémoire dépend de sa technologie et non de sa capacité. Une même référence est en effet souvent fabriquée en plusieurs technologies selon l'année de production (pratique du "*die shrink*"), et sa susceptibilité aux radiations est différente pour chaque version. Malgré cela, la représentation par capacité est la plus fréquemment rencontrée dans la littérature car l'information du nœud technologique n'est pas toujours fournie par le fabricant. Cette information peut s'obtenir par des analyses technologiques, mais le coût du test en est d'autant alourdi. De ce fait, les résultats bibliographiques pour lesquels seule la capacité est indiquée sont souvent difficilement exploitables.

### ***II.A.2.2 Mesures réalisées sous faisceaux***

Afin de vérifier expérimentalement cette tendance à la baisse de la sensibilité avec l'intégration technologique, nous avons réalisé nos propres caractérisations sur quatre composants de génération différente d'un même fabricant (Micron).

Des analyses ont d'abord été réalisées pour révéler leur nœud technologique et confirmer que le même type de cellule (empilé) était employé. La figure II-4 montre les quatre puces, qui illustrent bien le gain en surface obtenu à chaque génération. Les deux composants les plus anciens sont des SDRAMs de 128 Mb, l'un fabriqué en 210 nm (MT48LC16M8-B), et l'autre en 180 nm (MT48LC16M8-E). Le troisième est une SDRAM de 512 Mb (MT48LC64M8-C) de technologie 110 nm. Enfin, le composant le plus intégré de la sélection est une DDR de 512 Mb (MT46V64M8-F), fabriquée en 90 nm.

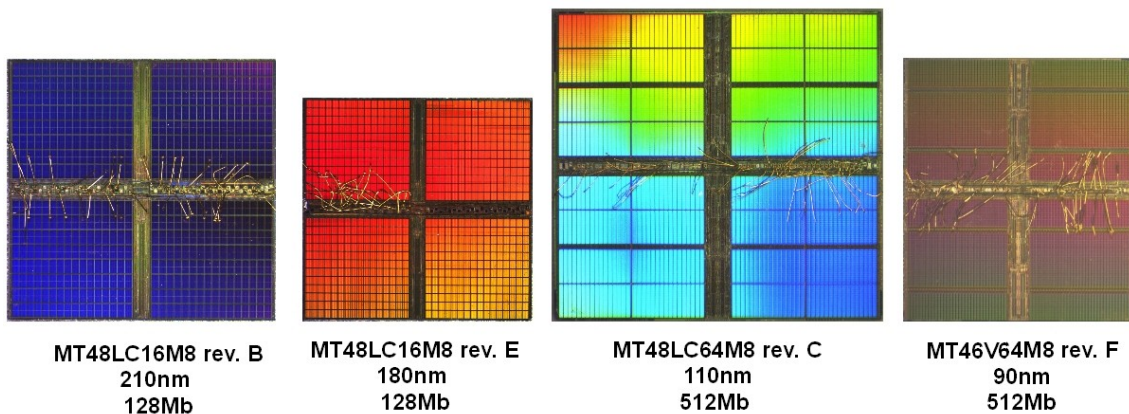


Figure II-4 : Puces de différentes technologies utilisées durant les campagnes de tests

L'équipement de test utilisé est la plateforme "ELECTRE" (*Elaborated Electronic Component Tester for Radiation Effects*), développée à EADS IW spécifiquement pour la caractérisation de composants sous faisceaux.

Les tests se sont déroulés à l'UCL en Belgique, avec des ions Argon. Ces ions ayant un LET de  $9,95 \text{ MeV}/(\text{mg}/\text{cm}^2)$  et une énergie initiale de 372 MeV, leur profondeur de pénétration dans le silicium selon le logiciel SRIM [WWW05] est de  $119 \mu\text{m}$ . Les composants ont donc été ouverts mécaniquement par la face arrière, et amincis de  $300 \mu\text{m}$  d'épaisseur à  $110 \mu\text{m}$ . Le LET des ions en fin de parcours dans le silicium est alors estimé à  $18 \text{ MeV}/(\text{mg}/\text{cm}^2)$ .

Les composants ont été successivement irradiés dans des conditions identiques, en suivant le protocole de test dynamique tel que défini dans les normes, mais avec un motif de test pseudo-aléatoire. Les conditions de polarisation étaient nominales (3,3 V pour les SDRAMs et 2,5 V pour la DDR), la période de rafraîchissement fixée à 64 ms et le mode "rafale" (*burst*) configuré pour quatre accès successifs. La fréquence d'horloge était réglée à 70 Mhz pour les trois SDRAMs, et à 90 Mhz pour la DDR.

La figure II-5 montre les résultats obtenus après une fluence de  $1 \times 10^6 \text{ ions}/\text{cm}^2$  (les barres d'erreur sont indiquées, plus petites que la taille des points). On constate la même tendance que celle observée dans la littérature, à savoir une diminution importante de la sensibilité avec l'intégration technologique, à hauteur de trois décades entre les générations 210 nm et 90 nm.



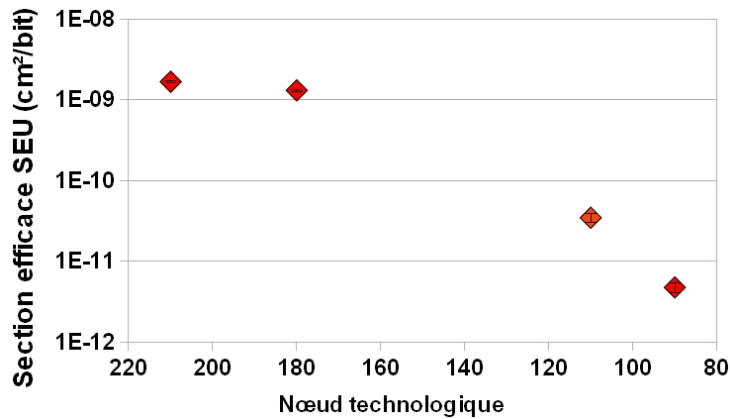


Figure II-5 : Résultats expérimentaux aux ions Argon de plusieurs technologies d'un même fabricant

Cette tendance est propre aux composants DRAMs. Pour les SRAMs, l'évolution des paramètres influençant la susceptibilité (volume sensible et charge critique) est différente : ils sont réduits dans les mêmes proportions à chaque génération technologique, aussi le niveau de sensibilité reste à peu près stable. En revanche pour les DRAMs, le volume sensible des cellules diminue de manière beaucoup plus importante que la charge critique : les fabricants cherchent à maintenir cette dernière la plus importante possible (25-30 fC) afin de conserver un rapport signal sur bruit acceptable. La sensibilité des cellules diminue donc d'une génération à l'autre. En revanche, la quantité de cellules par composant étant sans cesse plus importante, la sensibilité au niveau du composant l'est également.

### II.A.3 Niveaux de sensibilité selon le type de cellules

Nous avons vu dans la partie II.A.2.2 que deux grandes familles de cellules DRAMs existent : les DRAMs empilées et celles enterrées. Il convient maintenant de s'interroger sur l'existence d'une différence de sensibilité entre ces deux grandes familles. Nous avons donc synthétisé les informations disponibles dans la littérature à ce sujet, et avons réalisé des expériences afin de confronter les résultats.

#### II.A.3.1 Synthèse et analyse de données bibliographiques

Les premiers travaux comparant la sensibilité des différentes structures de cellule ont été

publiés par J. F. Ziegler en 1998 [ZIEG98], et portaient sur des DRAMs 16 Mb. Trois types de structures existaient à l'époque : les structures enterrées avec les charges stockées à l'extérieur de la cavité (TEC, *Trench cell with External Charge*), d'autres avec les charges stockées à l'intérieur (TIC, *Trench cell with Internal Charge*), et les structures empilées (SC, *Stacked Capacitor Cells*). La structure TEC étant par conception beaucoup plus sensible que les autres, elle a rapidement été abandonnée. Seule la comparaison des deux autres technologies est donc intéressante. La figure II-6 (a) montre des résultats de tests protons indiquant que les cellules enterrées avaient à cette époque une sensibilité moindre d'un facteur 100, quelle que soit l'énergie des particules.

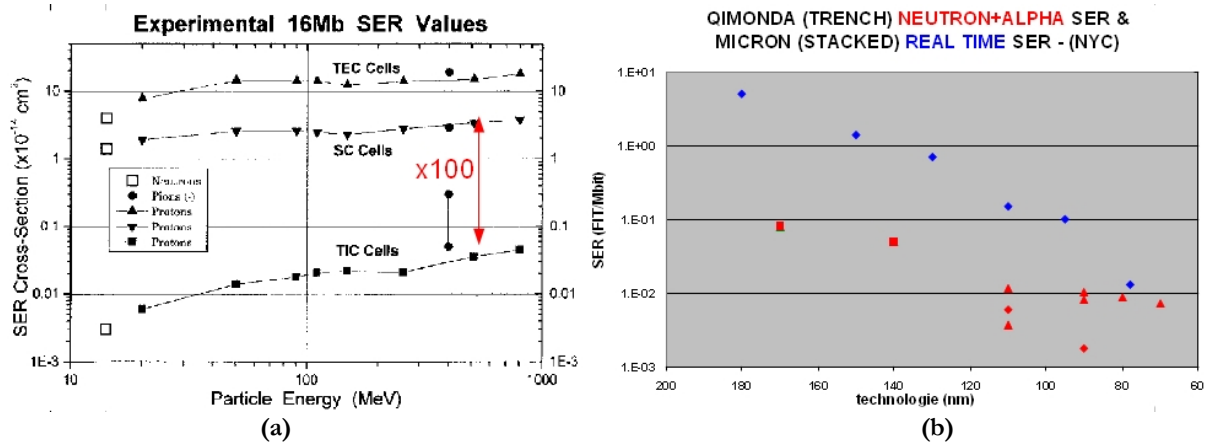


Figure II-6 : Différences de sensibilité entre les cellules DRAMs enterrées et empilées

Par ailleurs, nous avons synthétisé au sein d'un même graphique (figure II-6 (b)) des données de sensibilité publiées plus récemment par un fabricant de cellules enterrées (Qimonda), et empilées (Micron).

Ces données sont à considérer avec précaution car d'une part leur provenance ne garantit pas l'objectivité des résultats, d'autre part les paramètres de test et le nombre d'erreurs observées ne sont pas donnés. Il faut en outre noter que les types de tests sont différents puisque les résultats de Qimonda proviennent de tests accélérés neutron et alpha [QIM06], alors que ceux de Micron proviennent de tests en temps réel pour lesquels les statistiques sont souvent faibles. Les valeurs sont normalisées en FIT/Mbit au niveau du sol (New York City).

Malgré ces imprécisions, nous pouvons constater une tendance qui est à la réduction de la différence de sensibilité entre les deux fabricants, passant d'un facteur 50 à quasiment 1.

Ces deux graphiques tendent à montrer qu'une différence intrinsèque de sensibilité existait

bien lorsque la taille des cellules était importante, mais que cette différence s'estompe avec l'intégration technologique.

### II.A.3.2 Mesures réalisées sous faisceaux

Afin de vérifier expérimentalement cette tendance, nous avons procédé à l'irradiation aux protons de composants de même génération (110 nm) ayant des structures de cellule différentes.

Comme pour les tests ions lourds évoqués précédemment, les tests protons se sont déroulés à l'Université Catholique de Louvain la Neuve (UCL) en Belgique. Deux SDRAMs Micron 512 Mb (MT48LC64M8-C) en structure empilée et deux Qimonda 256 Mb (HYB39S256800FE-F) en structure enterrée, ont donc été irradiés dans des conditions de test identiques avec un motif pseudo-aléatoire et en mode dynamique. Des analyses technologiques ont auparavant confirmé que ces deux composants sont de génération identique (110 nm). La figure II-7 montre les résultats obtenus pour différentes énergies.

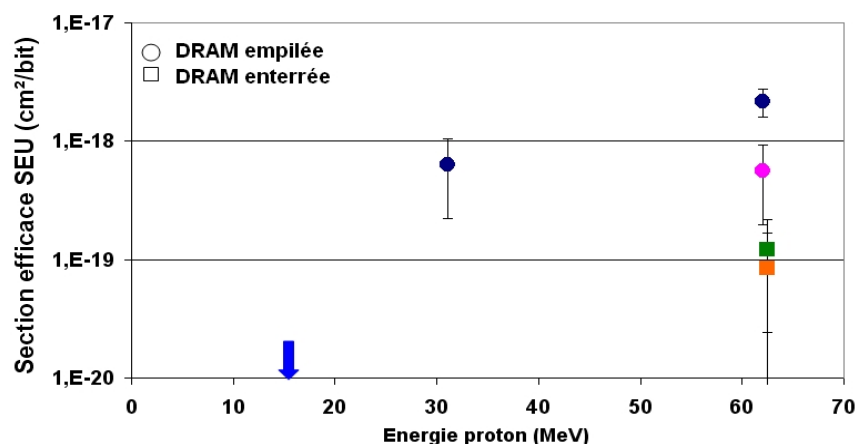


Figure II-7 : Résultats de tests protons sur des DRAMs 110 nm en cellules enterrées et empilées

Il convient de noter que le nombre d'événements aux protons est relativement faible pour ces technologies, l'incertitude est donc indiquée avec des barres d'erreur. Aucun événement n'apparaît d'ailleurs à l'énergie 15 MeV malgré une fluence importante, comme l'indique la flèche.

Nous constatons néanmoins la même tendance que dans la littérature : pour ce nœud technologique particulier, les mémoires en technologie empilée se sont révélées plus sensibles que celles enterrées.

Un élément d'explication est lié à la structure des capacités. Comme illustré sur la figure II-8, les cellules enterrées forment de profonds puits isolés électriquement dans le substrat, ce qui limite fortement la diffusion des charges jusqu'aux jonctions PN des transistors d'accès.

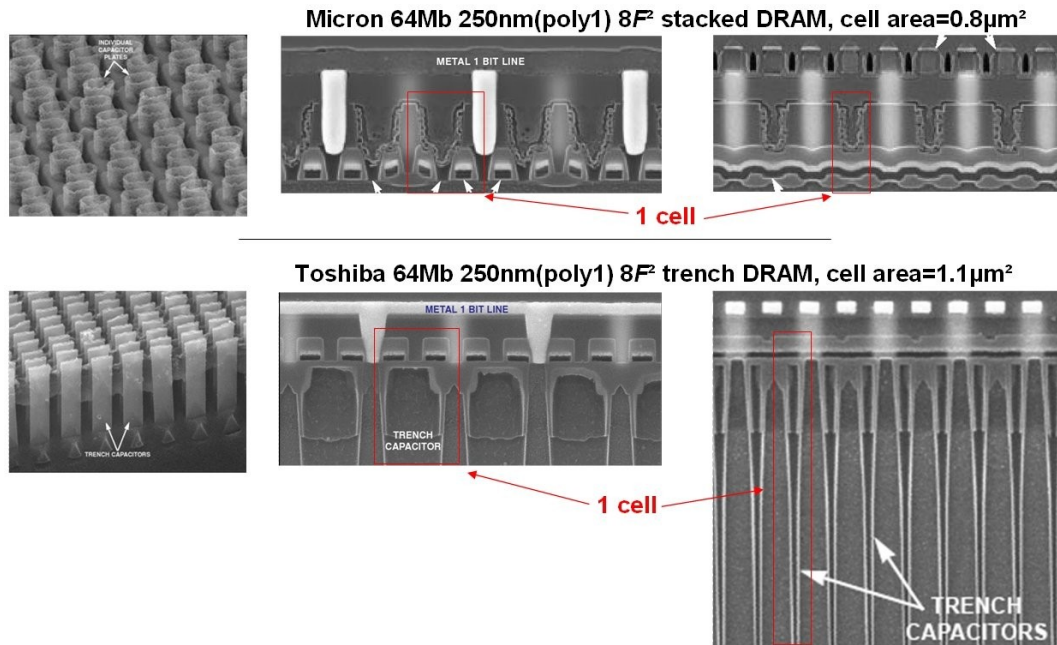


Figure II-8 : Photos SEM de cellules DRAMs enterrées et empilées

Les capacités empilées étant fabriquées au-dessus du substrat, il n'y a pas d'obstacle à la diffusion des charges hormis la présence des STIs (*Shallow Trench Insulator*) servant à prévenir les courants de fuite entre les transistors. La profondeur de ces derniers n'est en revanche que de quelques centaines de nanomètres, alors que celle des cellules enterrées font plusieurs microns.

Cette différence structurelle ayant un rôle majeur dans la diffusion des charges, elle a permis aux DRAMs enterrées de conserver cet avantage sur de nombreuses générations. Néanmoins, avec l'intégration technologique, le volume des drains de collection est réduit. La probabilité qu'un ion dépose suffisamment de charges dans le volume sensible diminue donc, mais cette diminution est plus forte pour les cellules empilées qui étaient à l'origine les plus exposées.

Avec la poursuite de l'intégration, il est à prévoir que la part des SEUs par décharge de cellule va diminuer, et que l'on constatera principalement des SEUs dus à la perturbation des lignes de données. La probabilité d'apparition de ces événements sera alors proche pour les deux familles de DRAM, car les mêmes éléments de logique (*Sense amplifier*, etc.) seront impliqués.

## ***II.B Utilisation du laser sur les cellules DRAMs***

Si la sensibilité aux radiations des DRAMs est étudiée en accélérateur de particules depuis plusieurs dizaines d'années, l'utilisation d'impulsions laser sur ces composants est plutôt sporadique. Cet outil offrent néanmoins d'intéressantes perspectives. Nous verrons d'abord les effets produits par le laser sur les plans mémoire (II.B.1), puis les types de caractérisation que cet outil permet pour aider à évaluer la sensibilité des DRAMs aux radiations (II.B.2).

### **II.B.1 Effets du laser sur les cellules DRAMs**

Comme nous l'avons vu au paragraphe I.C.3.1, à l'instar des particules, l'interaction photo-électrique d'un laser dans le silicium crée des charges pouvant perturber les cellules DRAMs. Les mécanismes physiques étant malgré tout différents, il convient de connaître les effets particuliers du laser sur les cellules DRAMs pour tirer correctement parti de ce moyen d'analyse.

#### ***II.B.1.1 SEUs induits par une impulsion laser***

Le principe d'une installation de test laser a été introduit au paragraphe I.C.3.2. Celle-ci doit permettre d'injecter à un endroit précis d'un composant un niveau de charge contrôlé. Un des paramètres critiques est la taille effective du spot ( $\omega_0$ ), qui est bien plus large que celle d'un ion ou d'une cellule DRAM actuelle. Néanmoins, la densité surfacique de charge a une allure gaussienne et dépend de l'énergie initiale ( $E_0$ ), il est donc possible en faisant varier cette énergie de décharger de une à plusieurs centaines de cellules par tir [POU00].

À titre d'exemple, la figure II-9 montre le nombre d'erreurs induites par des impulsions laser à différentes énergies. Les tirs lasers sont réalisés sur une même position au sein du plan mémoire d'une SDRAM 110 nm, configuré avec un motif pseudo-aléatoire, et les erreurs sont intégralement corrigées entre deux tirs. Nous pouvons voir que le nombre d'erreurs augmente de manière proportionnelle à l'énergie de l'impulsion. La distribution des cellules en erreur est circulaire autour du centre du faisceau laser, et s'élargit à mesure que l'énergie augmente.

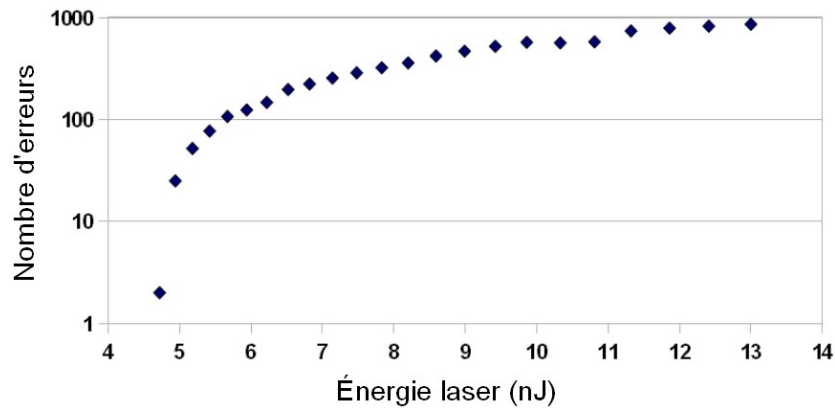


Figure II-9 : Évolution du nombre de cellules en erreur pour différentes énergies laser

### II.B.1.2 Zone de sensibilité laser d'une cellule

La zone de sensibilité laser d'une cellule à une énergie donnée correspond à la surface au delà de laquelle l'injection de charges n'a plus d'effets sur la cellule. Des cartographies laser en seuil permettent d'évaluer l'évolution de cette zone à différentes énergies. Le principe de ces cartographies est de rechercher pour plusieurs positions le long des axes X et Y le seuil d'énergie au-dessous duquel l'événement, en l'occurrence la décharge de la cellule, ne se produit plus.

Un exemple de cartographie laser en seuil effectuée avec des pas de 150 nm est donné sur la figure II-10 pour une cellule empilée en technologie 110 nm dont la surface est estimée à environ  $7,25 \times 10^{-10} \text{ cm}^2$ .

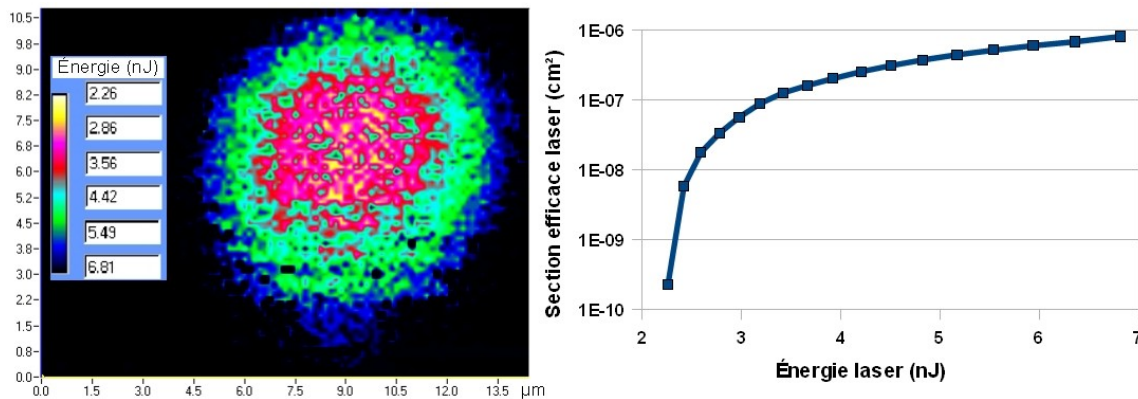


Figure II-10 : Exemple de cartographie et de surface sensible laser d'une cellule DRAM 110 nm

La courbe associée représente la surface sensible à chaque niveau d'énergie. L'énergie seuil est la plus faible sur une petite surface au centre de l'impact du laser, où la densité surfacique de

charge est la plus importante, et augmente à mesure que l'on s'en éloigne. Précisons qu'il existe des méthodes mathématiques pour effectuer la dé-convolution de l'effet de taille de spot [MIL06]. L'intérêt de ce type de test n'est donc pas la détermination d'une valeur absolue, mais plutôt la comparaison relative de la sensibilité de la cellule placée dans différentes configurations, ou bien de cellules de différents composants.

## II.B.2 Informations technologiques révélées par laser

Le laser permettant des injections de fautes précises et reproductibles, il peut être utilisé pour révéler certaines informations technologiques, parmi lesquelles le nœud technologique et la fonction d'adressage.

### II.B.2.1 Obtention du nœud technologique

D'un point de vue sensibilité radiation, la connaissance du nœud technologique a pour principal intérêt de pouvoir se référer à des données publiées dans la littérature et confronter différents résultats.

Un moyen de découvrir cette finesse de gravure consiste à déterminer la taille d'une cellule en obtenant la distance entre deux cellules adjacentes, comme indiqué sur la figure II-11.

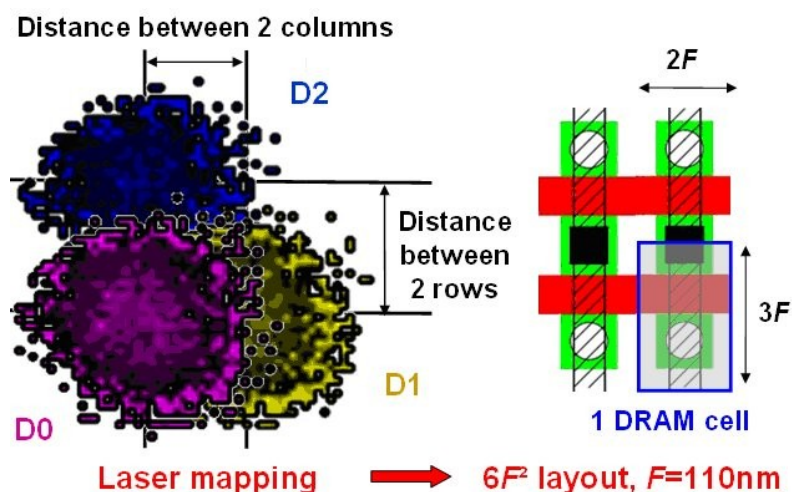


Figure II-11 : Obtention par laser des distances inter-cellules et déduction du nœud technologique

Pour cela, on procède à des cartographies laser en seuil sur une partie du plan mémoire (par exemple  $10\ \mu\text{m}$  par  $10\ \mu\text{m}$ ), et on identifie les zones de sensibilité des cellules voisines.

Malgré le fait que ces zones soient plus grandes que les cellules et qu'elles se chevauchent, la distance entre les lignes et colonnes est donnée par le décalage entre elles, et on obtient ainsi la surface de la cellule. Le nœud technologique se retrouve ensuite en tenant compte du type d'agencement des cellules ( $8F^2$ ,  $6F^2$  ou  $4F^2$ ), présentés au paragraphe I.A.2.2.

La section efficace aux ions lourds peut être estimée en approximation "pire cas" à la surface de la cellule, car elle ne peut par définition être supérieure à celle-ci. Autrement il s'agit d'événements multiples (MBUs).

### ***II.B.2.2 Obtention de l'agencement des cellules***

Le laser est également un outil très approprié pour déterminer l'agencement des cellules dans la mémoire et ainsi retrouver la fonction de transfert entre l'adressage logique et l'adressage physique d'un composant.

Cette information permet d'une part de comptabiliser les événements multiples lors d'un test en accélérateur, et d'autre part de connaître le nombre de bits adjacents appartenant à un même mot logique.

Cette dernière donnée est importante pour les ingénieurs dimensionnant les codes de correction d'erreurs, car plus le nombre de bits à corriger dans un même mot est important, plus les codes sont complexes et pénalisants en terme de performance.

La figure II-12 représente la cartographie d'une zone de  $700\ \mu\text{m}$  par  $700\ \mu\text{m}$ . On distingue à cette échelle les blocs mémoire, chacun contenant 262144 cellules, soit 32 Ko. Le dégradé de couleurs indique les numéros des lignes qui, sur cet exemple, se suivent de manière régulière.

Une étude plus détaillée des adresses permet de retrouver leur agencement et ainsi de remonter à la fonction de transfert. Il s'agit pour cela de comprendre le rôle de chaque bit d'adresse et de donnée dans le découpage logique de la puce.

Ce travail pouvant difficilement être automatisé du fait du grand nombre de cellules, il requiert l'interprétation d'une série de tests laser effectués le long des axes X et Y avec plusieurs résolutions sur tout le composant.



Dans notre exemple, on constate que les numéros de ligne se suivent bien. Ce n'est en revanche pas le cas des colonnes qui sont entrelacées et dont seuls les numéros impairs sont localisés à cet endroit.

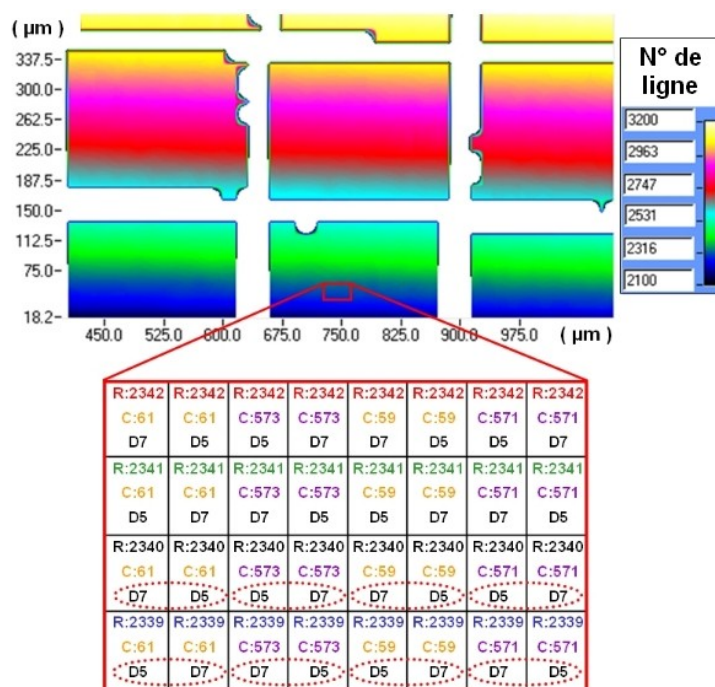


Figure II-12 : Agencement logique des plans mémoire des DRAMs déterminé par laser [BOUG08].

On remarque enfin que deux bits du même mot (D5 et D7) sont placés côte à côte, signifiant qu'une particule induisant un événement multiple peut perturber jusqu'à 2 bits d'un même mot.

Les codes de correction d'erreurs les plus couramment utilisés comme les "codes de Hamming" ne corrigeant qu'un seul bit, ils ne suffiraient pas à assurer l'intégrité des informations stockées.

Face à ce cas de figure, les concepteurs doivent envisager la possibilité d'utiliser des codes plus robustes comme les codes "Reed Solomon", ce qui a des répercussions importantes sur les performances du système.

## **II.C Détermination du motif de test le plus sensible**

Au cours de ces travaux sur les niveaux de sensibilité des cellules mémoire et sur les effets du laser sur celles-ci, nous nous sommes aperçus que le motif de test utilisé influençait grandement les résultats. L'étude de ce paramètre a jusqu'à présent fait l'objet d'assez peu de travaux, bien que la problématique soit connue. À l'heure actuelle, les normes de test recommandent d'employer des motifs comportant un nombre équivalent de '0' et de '1', comme les motifs "échiquier", mais ce choix est discutable lorsque l'on connaît les spécificités des DRAMs. Nous proposons donc dans cette section d'évaluer l'influence de ce paramètre sur la sensibilité mesurée (II.C.1), et de déterminer quels sont les motifs de test permettant d'obtenir le résultat le plus conservateur (II.C.2).

### **II.C.1 Influence des motifs sur la sensibilité**

Nous avons vu au paragraphe II.A.1.1 qu'une cellule ne peut théoriquement pas être perturbée par la collection de charges lorsqu'elle est déchargée. Il s'agit dans un premier temps de s'assurer que cette propriété s'applique bien à tout le composant lorsque l'ensemble de ses cellules sont dans cet état. Nous étudierons ensuite dans quelle mesure les motifs "logiques" rendent la sensibilité des puces non homogène.

#### **II.C.1.1 Immunité des capacités DRAMs déchargées**

L'état déchargé d'une cellule mémoire est appelé "*Bleeddown*", aussi le motif de test configurant toutes les cellules dans cet état porte ce même nom [SCH08].

Ce motif est théoriquement insensible aux radiations mais nous souhaitons vérifier cette hypothèse par nos propres tests expérimentaux. Certains travaux [LAY03] ont en effet constaté que les sections efficaces mesurées aux ions lourds étaient certes très faibles avec ce motif, mais que des erreurs apparaissaient malgré tout.

Nos tests ont porté sur trois références provenant du même fabricant (Micron) : une DDR 512 Mb et deux SDRAMs 128 Mb, fabriquées respectivement en 90, 180 et 210 nm. Une fois le motif "*Bleeddown*" obtenu pour ces trois mémoires, nous avons réalisé des tests laser et en

accélérateur de particules pour évaluer le nombre d'erreurs obtenues avec le motif "*Bleeddown*" par rapport à un motif de référence pseudo-aléatoire ("*Random*").

Pour les tests laser, 10000 tirs à une même énergie ont été effectués sur chaque mémoire à des positions différentes pour les deux motifs. Le contenu de la mémoire est lu et corrigé entre chaque tir et le nombre d'erreurs est additionné. Le tableau II-1 indique les résultats.

**Tableau II-1 : Résultats de tests laser montrant l'immunité du motif "*Bleeddown*"**

Nœud technologique	210 nm		180 nm		90 nm	
	<i>Random</i>	<i>Bleeddown</i>	<i>Random</i>	<i>Bleeddown</i>	<i>Random</i>	<i>Bleeddown</i>
<b>Nombre d'erreurs induit par laser (10000 tirs)</b>	$>1,0 \times 10^5$	0	$>1,0 \times 10^5$	0	$>1,0 \times 10^5$	0

Nous pouvons constater qu'alors que plus de  $1,0 \times 10^5$  cellules sont déchargées avec le motif "*Random*", aucune ne l'est avec le motif "*Bleeddown*", quelle que soit la technologie.

Les séquences d'injection de fautes et de lecture sont dissociées temporellement durant ces tests, permettant de distinguer les SEUs provenant de la décharge des cellules de ceux provenant de la perturbation de lignes de données. Ces résultats montrent bien que les cellules sont toutes insensibles à la collection de charges par laser lorsqu'elles sont configurées dans leur état "*Bleeddown*".

Ces trois mêmes références ont ensuite été testées en accélérateur de particules pour confronter les résultats. Pour des contraintes de disponibilité des installations, les campagnes d'essais se sont déroulées en deux temps : d'abord en utilisant un faisceau de protons 62 MeV sur la SDRAM 210 nm, puis avec des ions Argon (LET effectif de  $18 \text{ MeV}/(\text{mg}/\text{cm}^2)$ ) sur la SDRAM 180 nm et la DDR 90 nm. L'objectif étant de comparer en relatif les sensibilité mesurées entre les motifs "*Bleeddown*" et "*Random*", l'emploi de sources différentes n'est pas un problème.

Le tableau II-2 indique les sections efficaces mesurées pour chaque motif et composant..

**Tableau II-2 : Résultats de tests accélérés montrant l'immunité du motif "*Bleeddown*"**

Nœud technologique	210 nm (Proton)		180 nm (Argon)		90 nm (Argon)	
	<i>Random</i>	<i>Bleeddown</i>	<i>Random</i>	<i>Bleeddown</i>	<i>Random</i>	<i>Bleeddown</i>
<b><math>\sigma_{\text{particule}}</math> (<math>\text{cm}^2/\text{bit}</math>)</b>	$1,4 \times 10^{-15}$	$9,3 \times 10^{-19}$	$1,3 \times 10^{-9}$	$1,2 \times 10^{-12}$	$4,7 \times 10^{-12}$	$9,6 \times 10^{-14}$
<b>Marge d'erreur</b>	~3,1%	~98%	~3%	~98%	~13%	~98%
<b>Rapport de sensibilité entre les motifs</b>	~1500		~1000		~50	

Nous constatons qu'il y a plusieurs décades de différence entre les motifs "*Bleeddown*" et "*Random*", même si elle tend à s'amoindrir avec l'intégration technologique car les niveaux de sensibilité absolue diminuent dans le même temps.

Notons néanmoins qu'avec l'emploi du motif "*Bleeddown*", les événements sont rares mais pas nuls. Notre explication est que ces SEUs sont liés à la perturbation de lignes de données, car ils ne sont pas apparus durant les tests laser pour lesquels les opérations d'injections de fautes et de lectures étaient séquencées.

Les résultats des tests accélérés et laser sont donc cohérents, et l'on peut ainsi affirmer que les mémoires sont bien immunes à la collection de charges avec le motif "*Bleeddown*". En conséquence, le motif pour lequel toutes les cellules sont placées dans leur état sensible est le motif opposé, appelé "*#Bleeddown*". Ce motif pourrait donc être l'un de ceux permettant d'obtenir la sensibilité "pire cas" en accélérateur de particules.

### ***II.C.1.2 Problèmes inhérents aux motifs "logiques"***

Les motifs "logiques" désignent ceux qui se répètent à chaque adresse ou une adresse sur deux. Parmi les plus utilisés pour le test de mémoires, nous pouvons citer les "tout à 1" (*All 1*), "tout à 0" (*All 0*), "échiquier" (*Checkerboard*) ou "échiquier inverse" (*Inverse Checkerboard*). Les deux derniers sont en particulier préconisés par les normes (ex. JESD89A) dans le but de configurer un nombre équivalent de '0' et de '1' logique, et de solliciter au maximum les entrées / sorties du composant.

Si le deuxième point est pertinent, le premier est en revanche discutable car l'adressage logique est différent de l'adressage physique du fait du mélange des bits dans la mémoire (*scrambling*). De plus, comme nous l'avons vu dans le paragraphe I.A.3.1, un '0' (ou un '1') logique est indistinctement traduit par un potentiel "Gnd" ou "Vdd" selon l'emplacement du bit. Ces motifs ne configurent donc pas la mémoire dans un état connu, et nous allons voir par des expériences laser que de ce fait, il y a de fortes disparités de sensibilité au sein même de la mémoire, ce qui empêche de comptabiliser le nombre de cellules réellement placées dans leur état sensible. La conséquence est une sous-estimation de la sensibilité "pire cas".

Afin d'étudier la variabilité de la sensibilité au sein de la mémoire due à l'emploi de ces motifs "logiques", des injections de fautes laser ont été effectuées sur trois emplacements d'une mémoire

DDR 90 nm (celle également testée au paragraphe II.C.1.1).

Sur chacune des positions (distantes de plusieurs centaines de micromètres), des tirs ont été effectués à la même énergie avec successivement huit motifs "logiques" et un motif non répétitif (*Random*). Entre chaque tir, le contenu de la mémoire est lu, corrigé, et le nombre d'erreurs est enregistré. Pour obtenir des statistiques importantes, chaque test est répété dix fois, et les erreurs sont additionnées pour chaque motif.

L'énergie laser est réglée pour qu'un tir déclenche environ 250 cellules pour une configuration sensible. La somme des erreurs tous motifs confondus pour les positions 1, 2 et 3 est respectivement 12000, 19800 et 13000. Les résultats détaillés sur la figure II-13 sont classés par motif et position en pourcentage de ces sommes d'erreurs par position. Les motifs "XXYY" indiquent que la valeur "XX" est écrite sur les adresses paires, et "YY" sur les adresses impaires.

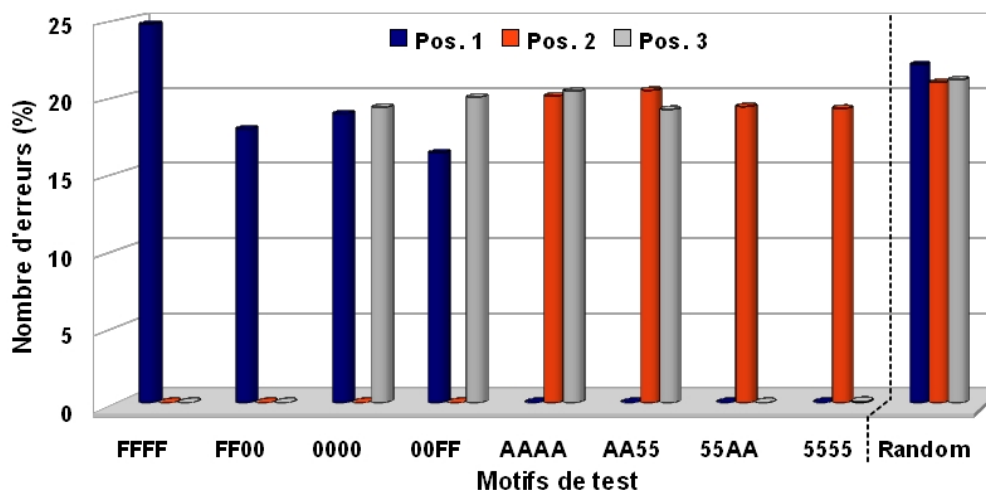


Figure II-13 : Pourcentage de cellules en erreur sur trois positions pour huit motifs "logiques" et un motif non répétitif (*Random*) [BOUG11].

Les résultats pour les huit motifs "logiques" montrent que le pourcentage de cellules en erreur varie dans de fortes proportions entre les trois positions, quel que soit le motif. Notons que les résultats pour les motifs "XXXX" et "XXYY" sont semblables, car l'agencement des bits est tel que les adresses paires sont physiquement ensemble et les impaires dans une autre partie du composant. Ils devraient cependant être identiques, mais la présence des courants de fuites implique qu'il est difficile d'obtenir les mêmes résultats à différents instants.

Nous observons donc que chaque position est sensible pour des motifs différents : la position 1 est sensible aux quatre premiers motifs, la position 2 aux quatre du milieu tandis que la position

3 n'est sensible que pour les quatre derniers. Il semble que beaucoup de combinaisons soient possibles, et que d'autres positions auraient donné des résultats différents.

Ce test nous montre qu'à l'échelle des blocs mémoire, un même motif "logique" rend sensible un nombre différent de cellules selon la zone du composant. La sensibilité n'est donc pas homogène au sein de la mémoire.

En revanche, nous constatons que le motif "Random" est le seul pour lequel le pourcentage de cellules en erreur est équivalent dans les trois zones. Ce motif permet en effet la répartition aléatoire mais uniforme des différentes configurations sensibles aux SEUs, que ce soit la collection ou le transfert de charges ; il est également le plus représentatif de l'activité réelle du composant en opération. Ce motif semble donc être un autre bon candidat pour l'obtention de la sensibilité "pire cas" d'une DRAM en accélérateur de particules.

### **II.C.2 Comparaison des sensibilités obtenues avec les motifs "*#Bleeddown*" et "*Random*"**

Nous avons vu précédemment que deux motifs semblent les plus pertinents pour caractériser la sensibilité "pire cas" d'une DRAM : le motif "*#Bleeddown*" car il configure toutes les cellules dans leur état sensible, et le motif "*Random*" car il répartit de façon homogène les différentes configurations sensibles aux SEUs. Nous allons à présent tâcher de déterminer lequel de ces deux motifs permet de mesurer la plus forte sensibilité, et ce pour différentes technologies.

Au niveau cellule, les deux motifs mettent en œuvre des configurations particulières qui autorisent, ou pas, l'un des deux mécanismes de SEU (collection et transfert de charges). Nous nous sommes d'abord interrogés sur l'éventuelle différence de sensibilité entre ces deux mécanismes physiques, puis avons évalué les variations de sensibilité selon les deux motifs sélectionnés.

#### ***II.C.2.1 Variation de sensibilité selon le mécanisme de collection ou de transfert de charges***

Au niveau cellule, la différence entre les motifs "*#Bleeddown*" et "*Random*" est que seul le mécanisme de collection de charges est possible dans le premier cas, alors que le second autorise

les deux mécanismes décrits au paragraphe II.A.1.1. Afin de déterminer dans quelle mesure l'un est prépondérant sur l'autre, une série d'expériences laser a été effectuée, mettant en œuvre de manière distincte les deux phénomènes.

Nous nous intéressons pour cela à une cellule quelconque configurée dans son état sensible et placée dans deux environnements de polarisation. Pour le premier (configuration A sur la figure II-14), toutes les cellules avoisinantes sont placées dans le même état que la cellule de référence (sensible), aussi seule la collection de charges est possible. Pour le second (configuration B), elles sont dans l'état opposé, aussi le transfert de charges provenant des cellules avoisinantes peut se produire en plus de la collection.

Le long d'un axe horizontal et sur une distance de 30  $\mu\text{m}$  encadrant la cellule testée, on recherche pour chaque position (espacée de 1  $\mu\text{m}$ ) l'énergie laser pour laquelle le contenu de la cellule n'est plus inversé : l'énergie laser seuil. Ce test est fait pour les deux configurations, et révèle la plus sensible : celle pour laquelle l'énergie seuil est la plus faible.

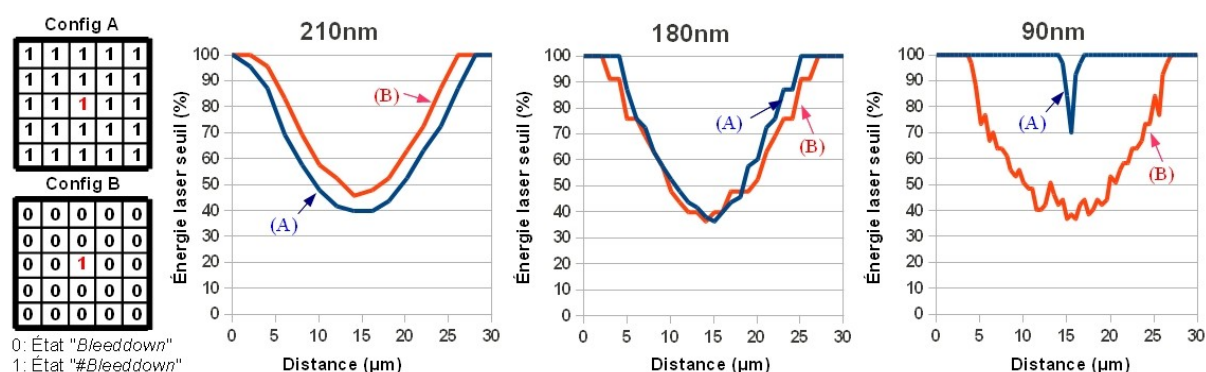


Figure II-14 : Évolution de la différence de sensibilité entre les mécanismes de collection et de transfert de charges à travers trois technologies [BOUG11].

Ce test est réalisé sur les trois composants présentés dans le paragraphe II.C.1.1 : deux SDRAMs 128 Mb de 210 nm et 180 nm, et une DDR 512 Mb en 90 nm. La figure II-14 montre les niveaux de seuil d'énergie laser obtenus pour les deux configurations et les trois technologies. Ces valeurs sont normalisées par rapport à l'énergie incidente maximale pour chaque composant.

Nous pouvons constater que les courbes ne sont pas parfaitement lisses mais quelque peu oscillantes. En effet, la charge critique de la cellule varie dans le temps à cause des courants de fuite inhérents aux cellules DRAMs. Elle est ainsi la plus importante juste après un cycle de rafraîchissement, et décroît ensuite dans le temps, plus ou moins rapidement selon les cellules.

Les tirs laser n'étant pas synchronisés sur ce cycle, les charges critiques variaient, aussi de légères fluctuations sur les seuils de sensibilité laser ont été mesurées.

Pour la cellule 210 nm, la courbe de la configuration A encadre celle de la configuration B. Cela signifie qu'il a fallu moins d'énergie pour décharger la cellule dans la première que dans la seconde. On en conclut que pour cette technologie, le mécanisme de collection de charges se déclenche à des énergies plus faibles que celui par transfert de charges. Les résultats obtenus sur la cellule 180 nm montrent que les deux courbes sont très proches et se superposent par endroit. Le rapport des sensibilités a donc évolué par rapport à la technologie précédente, et les deux mécanismes se déclenchent à des niveaux d'énergie semblables. Enfin, les courbes obtenues pour la cellule 90 nm montrent que la tendance s'est poursuivie, et que les mécanismes de SEU par collection de charges se déclenchent à des énergies plus importantes que ceux par transfert de charges.

Nous constatons avec ces expériences une inversion de tendance avec l'intégration technologique : la collection de charges était le mécanisme se déclenchant le plus facilement dans les technologies les plus anciennes, tandis que c'est à l'inverse le transfert de charges qui est devenu le principal contributeur des SEUs dans les technologies plus récentes.

### ***II.C.2.2 Résultats de tests laser et accélérés.***

Les tests précédents ont montré que le mécanisme de SEU prépondérant était différent selon la technologie du composant. Cette différence au niveau d'une cellule devrait théoriquement s'observer à l'échelle du composant par une variation similaire de sensibilité selon les motifs "*#Bleeddown*" ou "*Random*". Nous vérifions cette hypothèse par de nouveaux tests sur les trois mêmes composants, d'abord en utilisant l'installation laser, puis en accélérateur de particules.

Les tests laser ont consisté à tirer sur une zone donnée (40 positions différentes) à diverses énergies pour chacun des deux motifs d'intérêt. Le contenu de la mémoire est lu et corrigé entre chaque tir laser. Pour chaque énergie, le nombre d'erreurs déclenché dans chaque position est additionné. La figure II-15 présente les résultats obtenus. L'axe des abscisses est normalisé par rapport à la plus forte énergie laser, et l'axe des ordonnées par rapport au nombre d'erreurs induit à ce plus fort niveau.



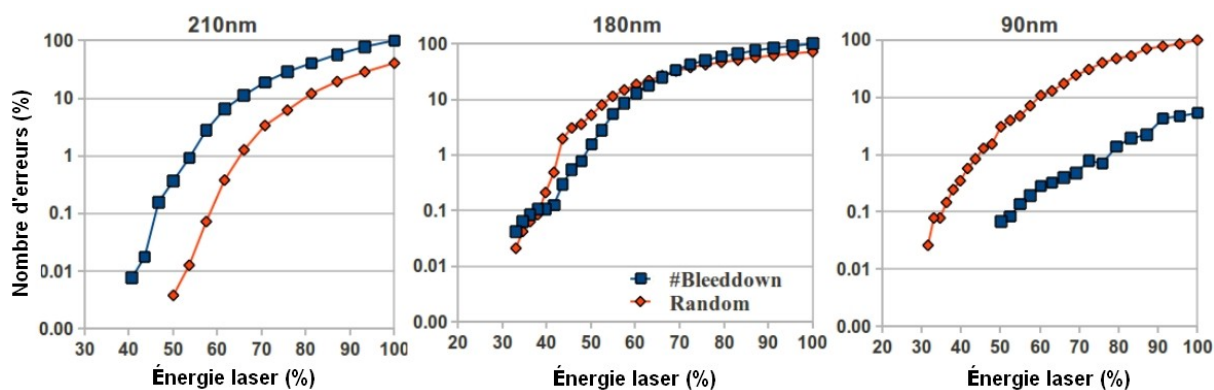


Figure II-15 : Évolution du rapport de sensibilité au laser entre les motifs "*#Bleeddown*" et "*Random*" à travers trois technologies [BOUG11].

Ici encore, l'objectif n'est pas de comparer des valeurs absolues, mais l'évolution du rapport de sensibilité entre les deux motifs pour différentes technologies. Ces mesures sont réalisées sur une large gamme d'énergie laser afin de s'assurer que ce paramètre n'interfère pas dans la différence de sensibilité entre motifs. Comme expliqué dans le paragraphe II.B.1.1, l'augmentation de l'énergie laser implique l'augmentation de la surface de déposition de charges, et ainsi du nombre de cellules touchées, indépendamment du motif employé. Nous voyons que la tendance est bien semblable à celle des tests précédents : pour la technologie 210 nm, il y a en effet plus de cellules en erreur pour le test utilisant le motif "*#Bleeddown*" que pour celui utilisant le motif "*Random*", et ce sur toute la gamme d'énergie. Pour le composant 180 nm, un nombre quasi équivalent d'erreurs est déclenché pour les deux motifs de test. Enfin, une inversion du rapport est constaté pour le composant 90 nm, qui ne montre qu'une très faible sensibilité au motif "*#Bleeddown*" par rapport au motif "*Random*". Ces observations concordent bien avec les conclusions formulées au paragraphe précédent, à savoir que le mécanisme de collection de charges est prépondérant pour les anciennes technologies, mais qu'à mesure que les dimensions se réduisent, il se déclenche de moins en moins facilement : c'est alors le phénomène de transfert de charge qui devient le principal mécanisme de SEU.

Afin de corroborer ces résultats laser, nous avons procédé à des tests similaires en accélérateur de particules. Les conditions de test sont les mêmes que celles présentées dans le paragraphe II.C.1.1. Les campagnes d'essais se sont déroulées en deux temps du fait des contraintes de disponibilité des installations : d'abord en utilisant un faisceau de protons sur une SDRAM 210 nm, puis avec des ions Argon sur les composants 180 nm et 90 nm. Les tests protons ont été réalisés à quatre énergies différentes pour les deux motifs d'intérêt. Les résultats sont indiqués sur

la figure II-16 avec les barres d'erreur associées au nombre d'événements recensés.

Nous pouvons voir qu'il y a un facteur trois entre les résultats obtenus avec les motifs

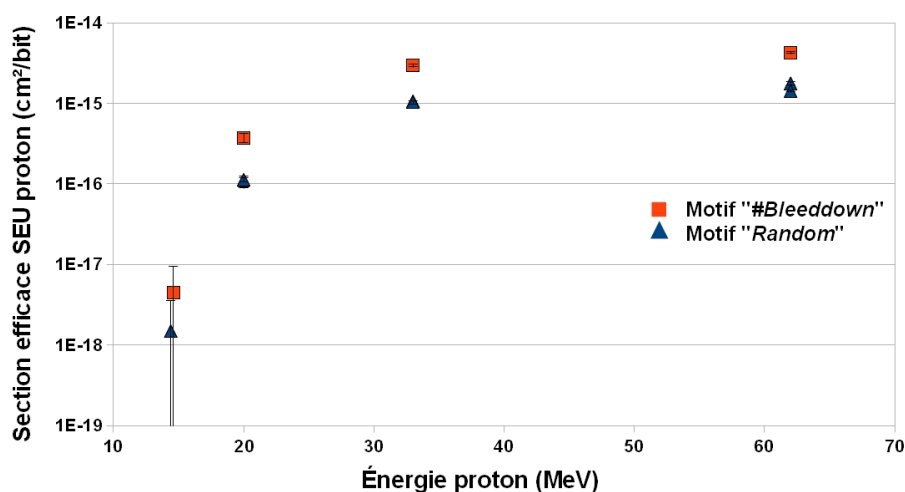


Figure II-16 : Résultats d'essais protons d'une SDRAM 210 nm pour deux motifs de test

"#Bleeddown" et "Random", et que ce rapport est constant sur tout le spectre d'énergie.

Les tests ions lourds n'ont été réalisés qu'à une seule énergie, la plus forte disponible compte tenu de la profondeur de pénétration des ions (LET effectif de 18 MeV/(mg/cm²)). Même si les valeurs absolues des sections efficaces en ions lourds ne peuvent être directement comparées avec celles en protons, le rapport de sensibilité entre plusieurs motifs peut l'être ; c'est l'objet du tableau II-3.

Tableau II-3 : Sections efficaces SEU pour les deux motifs de test sélectionnés

Nœud technologique	210 nm (Proton)		180 nm (Argon)		90 nm (Argon)	
	Random	#Bleeddown	Random	#Bleeddown	Random	#Bleeddown
$\sigma_{\text{particule}}$ (cm <sup>2</sup> /bit)	1,4x10 <sup>-15</sup>	4,3x10 <sup>-15</sup>	1,3x10 <sup>-9</sup>	1,4x10 <sup>-9</sup>	4,7x10 <sup>-12</sup>	1,5x10 <sup>-13</sup>
Marge d'erreur	~3,1%	~2,6%	~3%	~2,8%	~13%	~74%
Rapport des $\sigma_{\text{particule}}$	~ 0,3		~ 0,9		~ 30	
Rapport des erreurs obtenues en laser	~0,4		~0,7		~20	

Les résultats protons indiqués dans ce tableau sont ceux de la figure II-16 à 62 MeV, et ceux aux ions Argon avec le motif "Random" ont déjà été présentés au paragraphe II.A.2.2. Seul les résultats avec le motif "#Bleeddown" sont donc nouveaux, mais l'ensemble permet de bien illustrer l'évolution des rapports de sensibilité entre motifs pour différentes technologies.

La tendance est confirmée : une section efficace plus importante d'un facteur 3 est obtenue

avec le motif "*#Bleeddown*" pour le composant 210 nm. Pour le composant 180 nm, une sensibilité équivalente est mesurée pour les deux motifs. Enfin le rapport est complètement inversé pour le composant 90 nm : la section efficace mesurée avec le motif "*#Bleeddown*" est cette fois 30 fois plus faible que l'autre. Le rapport du nombre d'erreurs obtenu en laser (correspondant à la figure II-15) est rappelé sur ce tableau pour montrer la bonne corrélation des tendances avec les différents moyens expérimentaux.

En conclusion, pour les mémoires de ce fabricant, l'utilisation du motif "*#Bleeddown*" est recommandée pour tester les technologies antérieures à 180 nm, et des motifs non répétitifs comme celui "*Random*" pour celles plus récentes. Des tests semblables avec des technologies d'autres fabricants permettront de généraliser ces recommandations.

## ***II.D Conclusion***

Ce chapitre a été consacré aux différents modes de défaillance des plans mémoire des DRAMs face aux particules ionisantes. Les SEUs peuvent survenir suite à l'un des deux mécanismes de décharge des cellules ou de perturbation des lignes de données.

Nous avons cherché à quantifier l'évolution du niveau de sensibilité à travers une synthèse de résultats bibliographiques et nos propres campagnes d'irradiations. Nous avons ainsi constaté expérimentalement que la sensibilité d'une cellule DRAM dépend d'une part de sa structure, enterrée ou empilée, et d'autre part de son nœud technologique et de sa dimension.

La tendance générale est à une forte diminution de la sensibilité par bit, due à la réduction du volume sensible combinée au maintien des charges critiques. Cette tendance est différente de celle des composants SRAMs pour lesquels ces deux paramètres (volume sensible et charge critique) diminuent dans les mêmes proportions à chaque nouvelle génération.

Par ailleurs, nous avons décrit les effets d'un laser pulsé sur les plans mémoire des DRAMs pour illustrer les capacités de cet outil. Celui-ci permet d'une part de révéler certains paramètres intrinsèques tels que le nœud technologique et la fonction d'adressage de la mémoire, et d'autre part de tester la variation de sensibilité des cellules en fonction de différentes configurations.

Enfin, en utilisant conjointement les outils laser et accélérateur de particules, nous avons étudié l'influence du motif de test sur la sensibilité mesurée, et révélé que le mécanisme

prépondérant dans la décharge des cellules variait selon le nœud technologique.

En effet, le phénomène de collection de charges est l'effet le plus important sur les anciennes technologies (à partir de 180 nm pour les composants de chez Micron), alors que c'est le transfert de charges qui est devenu prépondérant sur les technologies plus avancées.

La conséquence est que le motif "*#Bleeddown*" est celui pour lequel un maximum d'erreurs sera enregistré lors du test d'un composant de technologie antérieure à 180 nm, alors que ce sont au contraire les motifs non répétitifs comme le motif "*Random*" qui le permettent pour les composants plus récents.

Ces considérations de ce chapitre ont porté spécifiquement sur les modes de défaillance des plans mémoire. Nous verrons dans le chapitre suivant ceux relatifs aux circuits périphériques.



## Chapitre III - Étude des modes de défaillance des circuits périphériques des DRAMs

Ce chapitre se focalise sur les modes de défaillance des circuits périphériques des DRAMs, et non plus des plans mémoire. Des effets importants et variés, regroupés sous le terme générique SEFI (*Single Event Functional Interrupt*), apparaissent en effet dans les composants récents et sont un sujet de préoccupation croissant.

Nous proposons dans un premier temps de déterminer un ordre de grandeur des taux d'erreurs attendus par le biais de synthèses bibliographiques et de tests expérimentaux sur plusieurs technologies (III.A).

Nous verrons ensuite que face aux difficultés de caractérisation de ces effets en accélérateur, le laser est une alternative efficace pour localiser et quantifier les surfaces sensibles, ainsi que pour étudier et comprendre les mécanismes mis en jeu (III.B).

Nous proposerons enfin un nouveau modèle de fautes correspondant à la caractérisation du SEFI prépondérant, et étudierons les structures responsables de cet effet ainsi que les méthodes de test les plus appropriées pour les quantifier (III.C).

### ***III.A Sensibilité aux radiations des circuits périphériques des DRAMs***

Les circuits périphériques désignent les fonctions qui ne sont pas directement liées au stockage de l'information. Il s'agit entre autres des circuits de gestion des signaux d'interface, des modes de fonctionnement, de l'accès aux cellules mémoire, de l'alimentation électrique, de la redondance, etc.

Le rôle et le fonctionnement de ces circuits ont été introduits dans la section I.A.3. Ceux-ci intègrent la plupart du temps des éléments de mémorisation pouvant subir des aléas logiques, avec comme conséquence la défaillance d'une partie ou de l'ensemble du composant. Nous introduirons ici les problématiques que posent les SEFIs dans les SDRAMs (III.A.1) et présenterons ensuite l'évolution des niveaux de sensibilité observés sur plusieurs générations technologiques (III.A.2).

### III.A.1 Problématique des SEFIs dans les DRAMs

Les SEFIs dans les DRAMs sont des événements pouvant impliquer le dysfonctionnement de lignes, de colonnes, de banques ou du composant complet. Un exemple des diverses signatures observées en accélérateur est d'abord donné à titre d'illustration. Nous verrons ensuite les principales problématiques que ces événements induisent du point de vue opérationnel, test et prédiction, en insistant notamment sur la nécessité de disposer d'une procédure de test standardisée, avec une terminologie unique pour chaque type d'effets, afin de pouvoir confronter des résultats provenant de sources différentes.

#### III.A.1.1 Signatures d'événements SEFI en accélérateur

Plusieurs travaux décrivent l'occurrence d'événements induisant un nombre d'erreurs anormalement élevé par rapport aux sensibilités SEUs attendues, que ce soit en utilisation [LAB98] ou en tests accélérés [GUER04, HARB07, LAWR07, LAD08]. Cependant, les études portant spécifiquement sur ces effets sont encore peu nombreuses, et le détail des erreurs et des algorithmes est rarement précisé dans la littérature. La problématique des SEFIs peut être illustrée par le graphique suivant (figure III-1), tiré d'une de nos expérimentations.

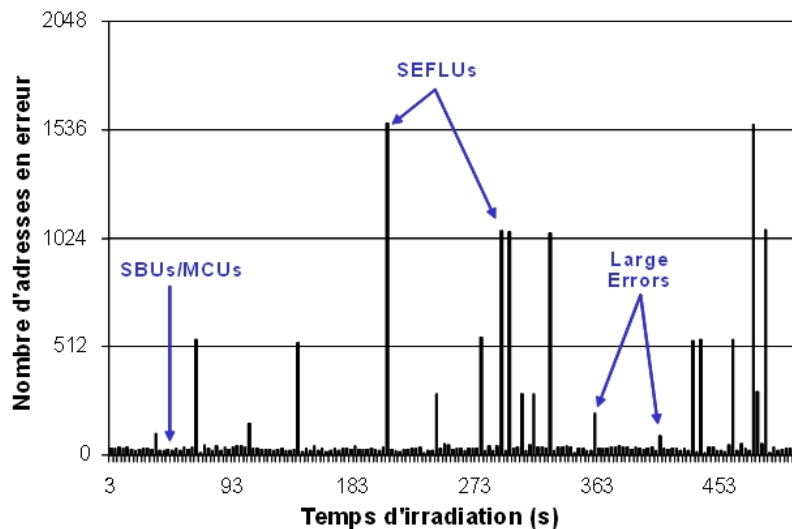


Figure III-1 : Variations du nombre d'erreurs relevées pendant un test accéléré [BOUG10]

Ce graphique indique le nombre d'erreurs relevées à chaque lecture durant une séquence de test aux ions lourds réalisée sur une SDRAM 256 Mb (MT48LC16M16-D). Il vise à montrer la

variété des effets rencontrés durant des tests en accélérateur de particules. Avec un flux de 500 ions/cm<sup>2</sup>/s, une moyenne de trente erreurs de type SEU/MBU est observée à la plupart des cycles de lecture (toutes les trois secondes), mais des pics d'erreurs d'amplitude variée se superposent ponctuellement.

Si l'on ne considère que les événements induisant plus de 500 adresses en erreur, trois signatures sont visibles : 512, 1024 et 1536 erreurs. Ces erreurs impliquent des lignes entières, mais nous verrons par la suite que grâce à une procédure spécifique, ces données peuvent être récupérées : nous les appelons "SEFLU" (*Single Event Fuse-Latch Upset*). Nous reviendrons par la suite sur cet effet et expliquerons les raisons pour lesquelles nous le nommons ainsi.

Les événements induisant entre 100 et 300 adresses en erreur sont un autre mode de défaillance, que nous pensons être lié aux circuits de référence de tension. Un paragraphe sera dédié à l'étude de la structure responsable de cet effet particulier.

Les événements responsable du dysfonctionnement d'une partie ou de tout le composant n'apparaissent pas sur cette séquence de test. Leurs occurrences perturbent le comptage des autres événements car des millions d'adresses apparaissent en erreur, et les procédures de recouvrement impliquent des "temps morts" (*Dead time*) importants. Lorsqu'une réécriture complète suffit à récupérer la fonctionnalité du composant, l'effet est classé dans les "*Soft-SEFIs*"; si en revanche la remise sous tension et la réinitialisation sont nécessaires, l'effet est appelé "*Hard-SEFIs*". L'algorithme de test utilisé pour classer ces effets sera détaillé au paragraphe IV.A.3.

### ***III.A.1.2 Problèmes liés à la caractérisation des SEFIs***

D'un point de vue opérationnel, les SEFIs ne sont pas gérés par les codes correcteurs d'erreurs classiques tels que "Hamming" [HAMM50] et "Reed-Solomon" [RSOL60], car tous les bits des adresses touchées sont erronés. Il est dès lors indispensable de pouvoir estimer au préalable la fréquence d'occurrence de ces événements pour évaluer les risques encourus à utiliser ces composants.

À l'heure actuelle, seule la caractérisation au sol par une équipe spécialisée permet d'obtenir cette information. En effet, aucun fabricant à notre connaissance ne divulgue (pour le moment) d'informations relative aux SEFIs.



Par ailleurs, il n'existe pas encore de normes internationales spécifiant des méthodes de caractérisation de ces événements. Les normes actuelles portent en effet principalement sur les SRAMs, plus fréquemment testées, mais non assujetties aux SEFIs du fait de la simplicité de leur architecture.

Cette problématique étant relativement récente, les outils et les méthodes de test doivent être adaptés pour réaliser correctement les mesures. Il s'agit de pouvoir distinguer les SEUs des différents SEFIs. Les signatures étant variées, les testeurs doivent pouvoir exécuter des routines de diagnostic en temps réel, faire des remises sous tension et des réinitialisations, stocker les milliers d'adresses en erreur, tout en minimisant les "temps morts".

La classification dépend alors de l'algorithme utilisé, et en l'absence de normes le définissant clairement, chaque expérimentateur emploie ses propres méthodes, et classe les effets à sa façon. De nombreux termes existent donc dans la littérature, désignant souvent des effets similaires. [KOG01, LAD06, GUER04, HARB07, LAWR07, BOUG08]. De plus, les retours d'expériences amènent généralement les expérimentateurs à améliorer leurs méthodes de test et à préciser leur classification [KOG07, BENE08].

Il y a donc un besoin réel de standardiser les procédures de test et le classement des SEFIs afin que les résultats puissent être interprétés de la même façon par la communauté concernée. Ce classement doit pour cela être basé sur l'identification claire des mécanismes de défaillance distincts, et non simplement sur des signatures d'erreurs pouvant avoir plusieurs origines.

Suivant cet objectif, nous avons étudié en détail certains des SEFIs les plus fréquemment rencontrés, que nous présenterons dans les sections III.B et III.C.

### **III.A.2 Niveau de sensibilité et évolution avec l'intégration technologique**

Les problématiques et les enjeux relatifs à l'occurrence des SEFIs ayant été exposés, nous nous intéressons à présent aux ordres de grandeur des niveaux de sensibilité selon l'intégration technologique. Le premier paragraphe présente une de nos synthèses de données bibliographiques, tandis que le second décrit nos expérimentations menées sur des composants de diverses générations.

### III.A.2.1 Synthèse de résultats bibliographiques

La figure III-2 regroupe des résultats SEFIs publiés dans une quinzaine de publications. Les sections efficaces aux plus fortes énergies sont indiquées pour des tests neutrons / protons d'une part, et ions lourds d'autre part.

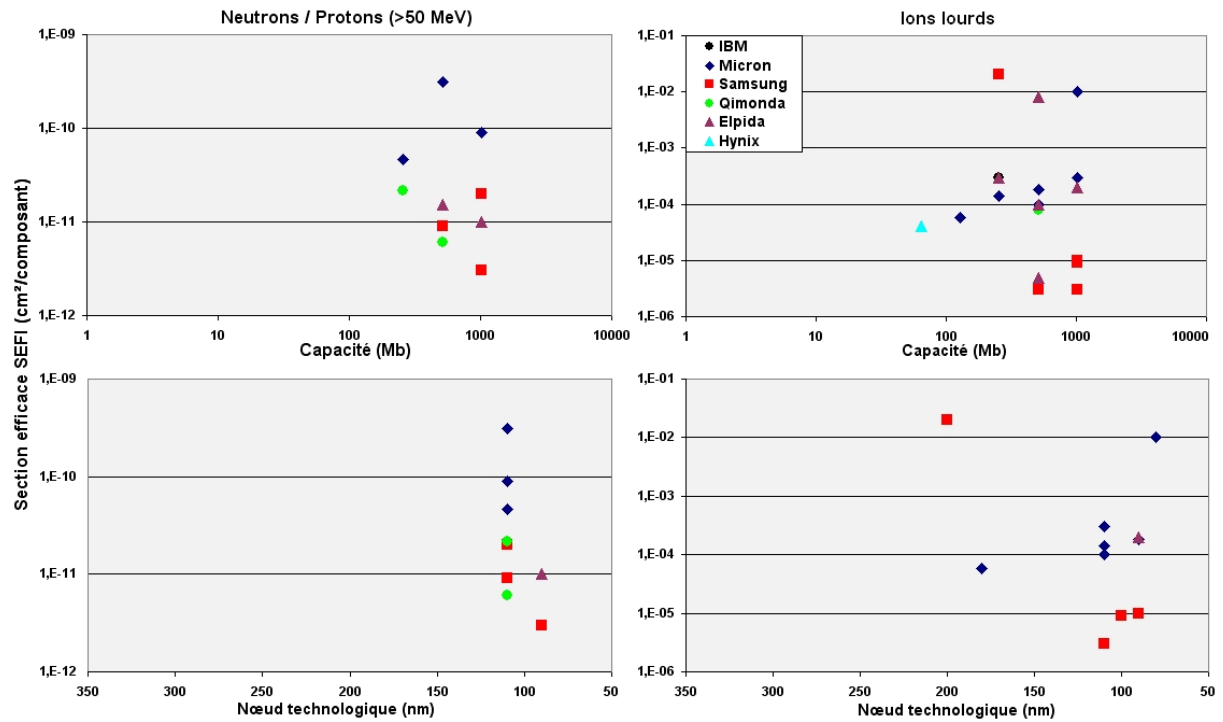


Figure III-2 : Synthèse de résultats SEFIs classés par capacité et nœud technologique

Comme pour la synthèse de résultats SEUs présentée au paragraphe II.A.2.1, ceux-ci sont classés par capacité sur les graphiques du haut, et par nœud technologique sur les graphiques du bas. Chaque forme de point correspond à un fabricant. Rappelons que les algorithmes de test utilisés sont souvent différents, et que les barres d'erreur ne sont pas indiquées alors que le nombre d'événements est souvent assez faible. Nous remarquons tout de même plusieurs aspects intéressants. D'abord les résultats n'apparaissent qu'à partir des générations 64 Mb et 200 nm, révélant l'émergence relativement récente de cette problématique. Pour les résultats neutrons / protons, la médiane des sensibilités relevées est autour de  $1 \times 10^{-11}$   $\text{cm}^2/\text{composant}$ . Selon la méthode de calcul préconisée par la norme IEC 62396 pour les avions, en considérant un flux neutronique à 12 km d'altitude de  $6000 \text{ n/cm}^2/\text{h}$ , une marge d'imprécision de la mesure d'un facteur 2, une autre marge de 1,6 pour la variation du flux selon la latitude et une dernière de 1,5

liée à la prise en compte des neutrons de faible énergie (1 à 10 MeV), le taux d'erreurs (SER) est de 288 FITs, soit un événement SEFI tous les 400 ans par composant. Ce chiffre est à comparer au niveau de fiabilité requis pour la fonction. À titre indicatif le taux d'erreurs d'une fonction classée DAL A doit être inférieur à 10 FITs selon la norme DO254B. Des techniques de protection sont donc nécessaires pour utiliser ces composants dans de telles conditions. Ces protections peuvent être mise en œuvre au niveau du composant, de la carte ou de l'équipement. Concernant l'évolution, la tendance ne se distingue pas vraiment sur cette synthèse car il n'y a pas assez de générations représentées. En outre, les écarts importants reflètent à notre sens l'imprécision des mesures due à des algorithmes différents et au faible nombre d'événements se produisant.

Pour les sensibilités aux ions lourds, les résultats de test sont plus nombreux mais les écarts sont également assez importants. Calculons à titre indicatif l'occurrence des erreurs attendues pour une mémoire embarquée sur un satellite géostationnaire (35870 km). En considérant une sensibilité médiane de  $3 \times 10^{-4}$  cm<sup>2</sup>/composant, un LET seuil autour 5 MeV.cm<sup>2</sup>/mg et 1000 zones sensibles (chiffre arbitraire) de  $5,5 \times 5,5 \times 1$  μm, le taux d'erreurs calculé avec le logiciel OMERE est approximativement  $1,37 \times 10^{-4}$  /composant/jour, soit un SEFI tous les 20 ans. Selon le rôle de la fonction et le nombre de composants, des techniques de protection doivent ou pas être implantées.

Concernant l'évolution de la sensibilité, il n'y a pas de tendance claire qui apparaisse lorsque les résultats sont classés par capacité. En revanche, en classant par nœud technologique ceux pour lesquels l'information est disponible, on peut distinguer une tendance à la hausse pour les fabricants Samsung et Micron. L'absence de barres d'erreur doit cependant conduire à nuancer cette interprétation. Des travaux récents [BENE08] effectués pour comparer la sensibilité sur plusieurs générations sont aussi parvenus à cette conclusion en testant deux SDRAMs d'un même fabricant, dans ses versions 256 et 512 Mb. Les nœuds technologiques ne sont pas connus mais les dates de fabrication ont plusieurs années d'écart. Le même algorithme ayant été utilisé, les résultats (figure III-3) peuvent être comparés entre eux. La section efficace SEFI globale du composant 512 Mb est effectivement beaucoup plus importante sur tout le spectre d'énergie, et le LET seuil plus faible, montrant une hausse indéniable de la sensibilité. Par ailleurs, les auteurs ont détaillé plusieurs sous catégories d'effets, et constaté des différences d'occurrence de près d'une décade et demie entre les SEFIs les plus fréquents s'apparentant aux SEFLUs et les Hard-SEFIs.

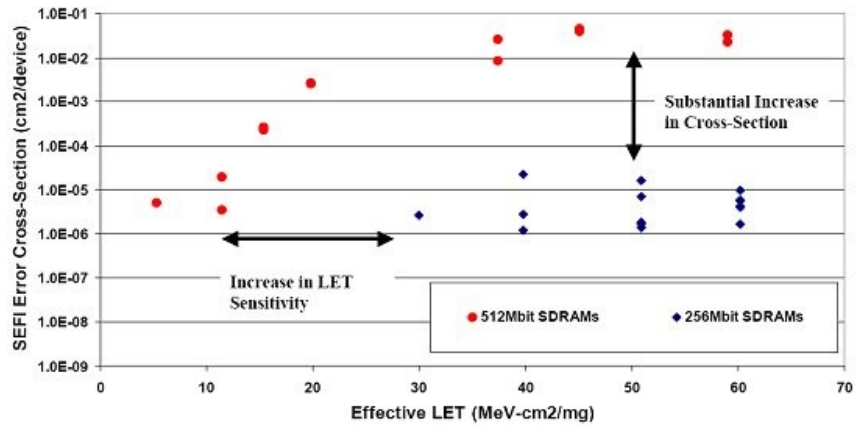


Figure III-3 : Augmentation de la sensibilité SEFI avec l'intégration technologique [BENE08]

Nous constatons donc avec cette synthèse de résultats que l'apparition des SEFIs est relativement récente, que les sensibilités varient d'un fabricant à l'autre et que les tendances sont à la hausse.

### III.A.2.2 Tests expérimentaux aux ions lourds

Si un certain nombre de résultats de test SEFIs peuvent être trouvés dans la littérature, peu d'études sont véritablement détaillées. Il était donc nécessaire d'effectuer nos propres tests avec nos équipements pour pouvoir correctement étudier les signatures de ces événements.

Les composants testés sont ceux présentés au paragraphe II.A.2.2, qui représentent plusieurs technologies d'un même fabricant (Micron). Il s'agit de deux SDRAMs 128 Mb (MT48LC16M8) fabriquées en 210 nm (version B) et 180 nm (version E), d'une SDRAM 512 Mb (MT48LC64M8-C) en 110 nm, et d'une DDR 512 Mb (MT46V64M8-F) en 90 nm. Six années séparent la fabrication de la mémoire 210 nm (1999) de celle en 90 nm (2005). Le substrat des puces a été mécaniquement aminci jusqu'à une épaisseur résiduelle de 110  $\mu\text{m}$  pour permettre l'irradiation en face arrière avec des ions Argon.

Les tests ont été réalisés dans des conditions identiques, avec le motif "Random" et une fluence de  $1 \times 10^5$  ions/cm<sup>2</sup>. Un événement est comptabilisé comme SEFLU lorsque plusieurs centaines d'erreurs appartenant aux mêmes lignes (ou colonnes) apparaissent au cours d'une lecture et disparaissent après l'envoi de la commande "Mode Register Set". Un traitement post-irradiation avec

des outils d'analyse dédiés comptabilise en plus les événements non gérés automatiquement par le testeur, comme les SEFLUs apparaissant au milieu d'un cycle de lecture pour lesquels les erreurs sont réparties sur deux cycles successifs. La figure III-4 présente les résultats obtenus.

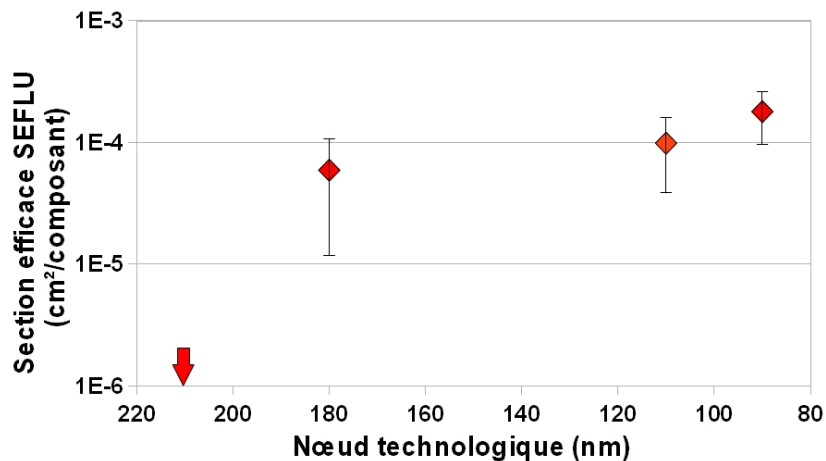


Figure III-4 : Sensibilité SEFLU aux ions Argon pour quatre générations d'un même fabricant

Pour la SDRAM 128 Mb 210 nm, aucun événement n'est déclenché, ce que nous indiquons par une flèche sur le graphique. La SDRAM 128 Mb 180 nm est la première génération testée à se montrer sensible, avec 6 événements relevés pendant le test. La SDRAM 512 Mb 110 nm montre une sensibilité légèrement supérieure avec 10 événements, tandis que la DDR 512 Mb 90 nm l'est encore un peu plus (18 événements mesurés).

Ces résultats sont cohérents avec l'évolution attendue. En effet, avec la diminution de la surface des cellules, un nombre croissant de puces ont des défauts de fabrication, obligeant les fabricants à augmenter le nombre de structures redondantes pour maintenir des rendements de production satisfaisants. Pour la gestion de ces structures, l'architecture de comparaison parallèle décrite au paragraphe I.A.3.3 est la plus répandue car la plus performante. Elle se base sur des cellules "*Fuse-Latches*" pour stocker les adresses des lignes (et colonnes) défectueuses qui, à l'instar de tout élément de mémorisation bistable, peuvent être perturbées par des charges parasites. L'intégration technologique s'accompagnant d'une augmentation du nombre de cellules "*Fuse-Latches*", la probabilité d'apparition de ce type d'erreur augmente proportionnellement.

Intéressons nous à présent à la différence de sensibilité entre fabricants. Nous avons pour cela effectué des tests protons sur des composants de même technologie provenant de deux fondeurs, les mêmes que ceux utilisés pour les tests SEUs décrits au paragraphe II.A.3.2. Il s'agit de deux

exemplaires de la SDRAM 512 Mb 110 nm (MT48LC64M8-C) et de deux 256 Mb 110 nm de chez Qimonda (HYB39S256800FE-F). La figure III-5 présente ces résultats pour trois énergies protons : 16, 31 et 61 MeV.

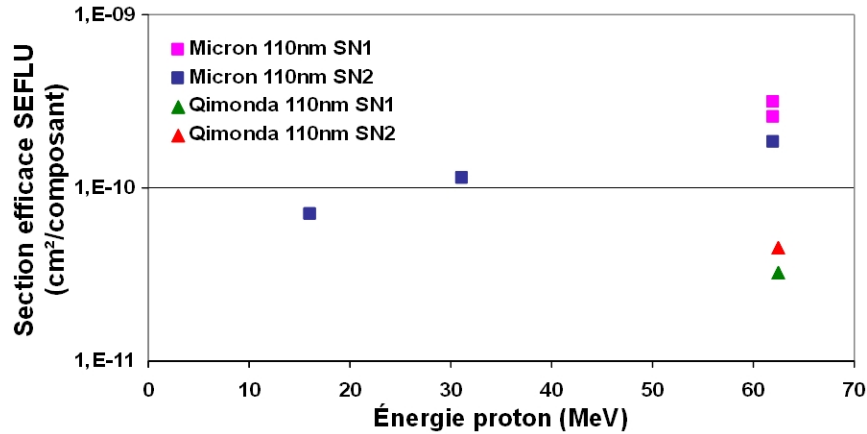


Figure III-5 : Sensibilité SEFLU aux protons de deux SDRAMs 110nm de fabricants différents

Les mémoires Qimonda apparaissent moins sensibles que leurs concurrentes de chez Micron : d'une part la valeur de section efficace à la plus forte énergie (61 MeV) est plus faible, d'autre part aucun événement n'est déclenché aux énergies inférieures. Le nombre de cellules "*Fuse-Latch*" et leurs charges critiques varient donc selon les fabricants, reflétant sans doute des différences de maturité dans les processus de fabrication.

Ces résultats expérimentaux corrélés aux résultats bibliographiques nous permettent de dégager certaines tendances relatives aux SEFLUs. La première est l'augmentation de la sensibilité avec l'intégration technologique, due à l'emploi d'un nombre plus important de cellules "*Fuse-Latches*" dans les circuits de redondance. La seconde est que cette sensibilité peut varier d'un fabricant à l'autre du fait des différences de rendement dans les processus de fabrication.

Quant aux autres types de SEFIs (Hard-SEFI, Soft-SEFI, etc.), leurs occurrences sont plus faible et des fluences importantes sont nécessaires pour obtenir des statistiques suffisantes en accélérateur. Le temps de traitement nécessaire pour déterminer et réparer ces événements étant important, le flux ne peut être trop élevé au risque de cumuler plusieurs effets qui ne pourraient être distingués.

Il en résulte que les tests doivent s'effectuer à un flux raisonnable mais sur une longue période, ce qui les rend très coûteux.

### ***III.B Utilisation du laser pour l'étude des SEFIs***

Nous venons de voir que les SEFIs sont une problématique complexe et grandissante avec l'intégration technologique. Il devient incontournable de quantifier la sensibilité des DRAMs à ces effets pour envisager leur utilisation dans des environnements sévères au sein d'applications critiques. La complexité de caractérisation des SEFIs, outre le fait qu'elle nécessite de l'expérience et des équipements de test performants, vient du fait que la somme des surfaces sensibles aux SEFIs est petite au regard de celles des plans mémoire sensibles aux SEUs. À flux élevé, les effets sont difficilement différenciables, et les remises sous tension nécessaires pour corriger les Hard-SEFIs perturbent le déroulement correct des tests.

L'outil laser permet précisément de s'affranchir de ces difficultés car l'injection est localisée spatialement et contrôlée temporellement. Plusieurs équipes travaillent actuellement sur cette thématique [LAD09].

Nous allons donc évaluer les applications, uniques à cet outil, permettant de pallier les limitations des accélérateurs de particules pour la caractérisation des SEFIs. La possibilité de réaliser des cartographies pour déterminer les zones et les types de SEFIs constitue l'intérêt le plus important (III.B.1). Une autre application du laser est de pouvoir étudier spécifiquement certains effets afin d'en déterminer les causes et d'envisager des solutions de contournement (III.B.2).

#### **III.B.1 Détermination des zones et des types de SEFIs**

Les capacités du laser à révéler des informations de sensibilité ont déjà été discutées dans la section II.B relative à l'étude des SEUs. Les plans mémoire étant uniformes, des petites surfaces peuvent être testées et les résultats extrapolés à tout le composant. Les circuits périphériques sont en revanche constitués de plusieurs fonctions de sensibilités hétérogènes, aussi il est nécessaire d'évaluer toutes les surfaces pour déceler de manière exhaustive les différents modes de défaillance ; cela implique des contraintes non négligeables liées à la planéité du composant et à la durée des tests. De bons résultats peuvent néanmoins être obtenus avec des efforts raisonnables, comme le montrent les cartographies laser qui vont suivre.

Une cartographie laser consiste à injecter une quantité de charges donnée à un emplacement

précis, puis à déterminer l'effet déclenché grâce à un algorithme de test spécifique. L'effet est identifié en fonction du nombre d'erreurs relevées après le tir et de son évolution au cours d'une séquence d'opérations (configuration, écriture, remise sous tension, etc.). Le laser est ensuite déplacé sur une position adjacente, un cycle identique se déroule, et ainsi de suite pour chaque position au sein d'une zone définie.

Près d'une dizaine de signatures SEFIs peuvent ainsi être détectées. Par souci de simplicité, nous les classons dans les familles SEFLUs, Soft-SEFIs et Hard-SEFIs, selon le mode de recouvrement et la possibilité ou non de récupérer les données, comme expliqué au paragraphe III.A.1.1. En outre, un système de contrôle du courant, appelé "*D-Latcher*", est utilisé pour détecter les événements SELs (*Latchup*) et protéger le composant de cet effet destructeur. Lorsque la consommation de courant dépasse un certain seuil, le testeur coupe l'alimentation et force le composant à se décharger.

Deux études de cas portant sur des SDRAMs concurrentes de 256 Mb fabriquées en 110 nm vont maintenant être présentées. Celles-ci nous permettront de discuter des différents effets et de comparer les choix d'architectures de deux constructeurs.

### ***III.B.1.1 Cartographie laser d'une SDRAM Qimonda 110 nm***

Le composant utilisé dans ce premier exemple de cartographie est la SDRAM 256 Mb 110 nm de chez Qimonda (HYB39S256800FE-F). Sa sensibilité SEU aux protons a été présentée au paragraphe II.A.3.2, et celle SEFLU sur la figure III-5. Comme pour tous les résultats de test laser présentés dans ce manuscrit, la cartographie a été effectuée sur l'installation d'EADS IW à Suresnes.

La zone cartographiée est située au milieu de la puce, à l'intersection des quatre banques. Les injections laser sont effectuées par face arrière tous les 5  $\mu\text{m}$ . L'énergie laser est identique pour chaque position, et correspond à un LET important : supérieur à 50  $\text{MeV}/(\text{mg}/\text{cm}^2)$ .

La figure III-6 est une superposition de la cartographie laser sur une photographie de la puce. Les zones colorées indiquent les positions où un événement s'est produit, chaque couleur désignant un effet différent.



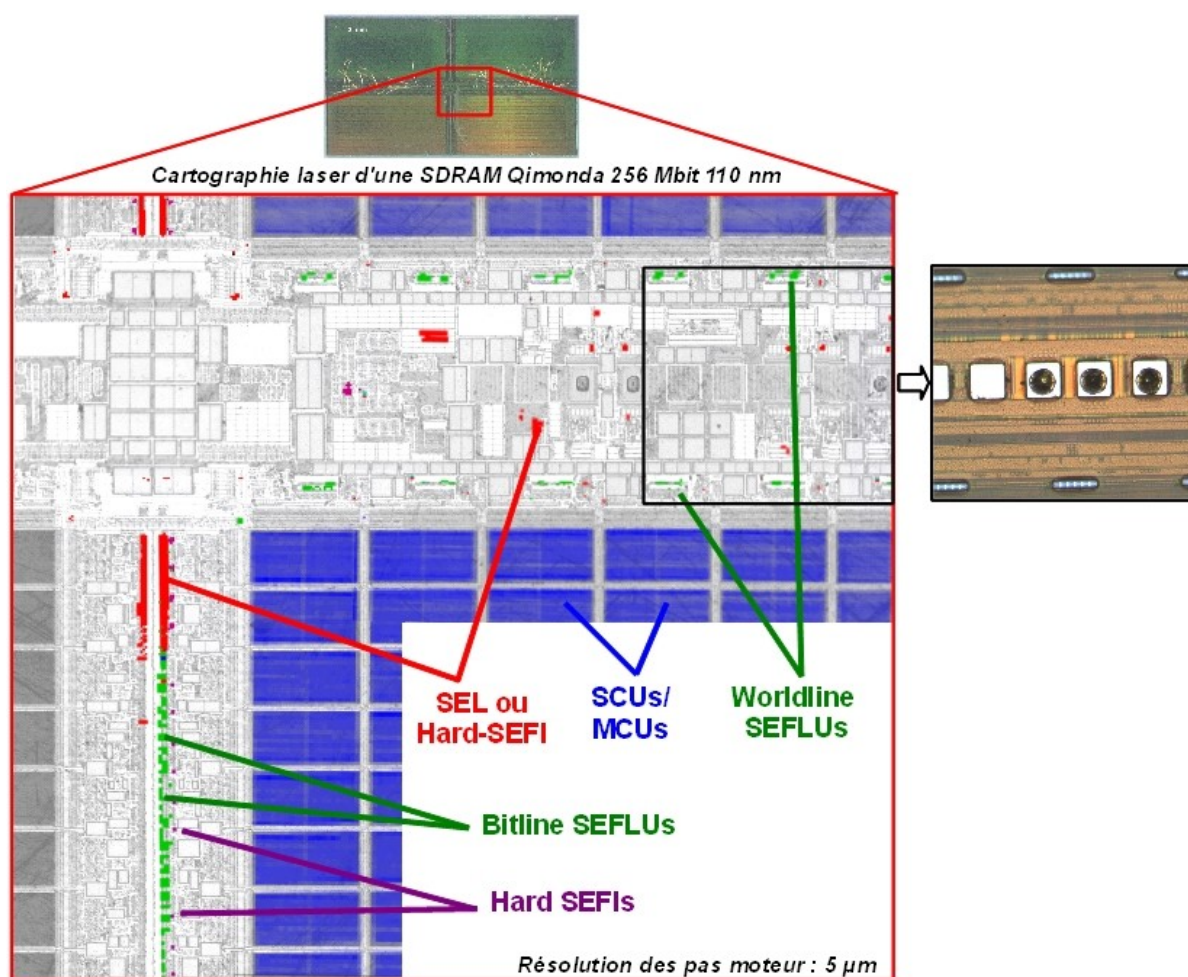


Figure III-6 : Cartographie laser des circuits périphériques d'une SDRAM Qimonda 256 Mb 110 nm [BOUG08]

Dans les plans mémoire, le laser ne déclenche que des effets liés aux cellules DRAMs (SCUs/MCUs), ce qui est attendu. En effet, à la différence des SRAMs, les SELs ne peuvent apparaître dans les plans mémoire car il n'y a pas de structure thyristor parasite.

Notons par ailleurs qu'aucun événement n'apparaît sur les zones séparant chaque bloc mémoire. En revanche, de nombreux effets sont déclenchés dans les circuits périphériques du composant, notamment le long de l'axe vertical central, ainsi que horizontalement sur des zones situées en bordure des blocs mémoire.

Le long de l'axe central vertical, sur une zone de 15 μm de large (indiquée en vert), chaque injection laser induit 2048 adresses en erreur appartenant aux mêmes colonnes, qui sont corrigées après l'envoi d'une commande MRS (*Mode Register Set*) : il s'agit donc de SEFLUs, et plus

particulièrement de "*Bitline SEFLUs*" (BLS) car ce sont des colonnes qui sont concernées. L'architecture logique de la mémoire est organisée en 4 banques, 8192 lignes, 1024 colonnes et 8 bits. Ces BLS concernent donc une ligne sur quatre au sein des colonnes touchées. Notons que plusieurs BLS sont parfois déclenchés par un unique tir laser du fait de la largeur du faisceau à de fortes énergies.

En haut de cet axe, vers le milieu de la puce, de fortes hausses de consommation apparaissent, déclenchant le "*D-Latcher*". Il peut s'agir là de SELs ou de Hard-SEFIs induisant une forte hausse du courant. Des tests complémentaires avec plusieurs niveaux de déclenchement du "*D-Latcher*" sont nécessaires pour les distinguer.

Par ailleurs, toujours le long de cet axe vertical, des Hard-SEFIs apparaissent sur des positions espacées de 60  $\mu\text{m}$ , et conduisent à la perte de fonctionnalité de toute la banque adjacente. La remise sous tension est alors le seul moyen de reprendre le contrôle de la mémoire.

Le long de l'axe horizontal, des zones positionnées le long de deux rangées induisent des "*Worldline SEFLUs*" (WLS), qui impliquent des lignes logiques complètes et donc des multiples de 1024 erreurs. La rangée supérieure à une incidence sur les cellules de la banque au-dessus et inversement pour la rangée du bas. Une inspection visuelle de la face avant du composant montre que la couche d'isolation est épargnée à ces emplacements précis (photo encadrée sur la figure III-6), permettant l'accès au silicium, probablement pour permettre de brûler au laser les fusibles du circuit de redondance, durant les tests en usine. 64 zones de ce type, autant que de rangées de blocs mémoire, sont ainsi identifiées visuellement, chacune de dimension 7 par 50  $\mu\text{m}$ .

Nous voyons ainsi que les zones SEFIs sont symétriques pour chaque banque et sont positionnées de façon régulière. Il est donc possible d'extrapoler les résultats obtenus sur cette zone au reste du composant pour évaluer la surface de sensibilité "pire cas" pour cet effet.

Cette cartographie laser confirme que les SEFLUs sont bien les événements principaux se produisant dans les circuits périphériques. Les surfaces de sensibilité obtenues par laser donnent une estimation des sections efficaces "pire cas" pour les ions lourds, car les structures ont des dimensions semblables à celles du laser, si bien qu'il n'y a pas d'effets de taille de spot.

En ce qui concerne les autres effets comme les SELs et Hard-SEFIs, nous voyons que leurs surfaces sont relativement faibles, aussi d'importantes fluences seraient nécessaires pour pouvoir précisément les quantifier en accélérateur de particules. Notons par ailleurs que des Soft-SEFIs

n'ont pas été observés au sein de cette zone.

Le laser procure donc l'avantage indéniable de pouvoir caractériser précisément des zones particulières du composant, sans induire de cumul d'effets.

### III.B.1.2 Cartographie laser d'une SDRAM Micron 110 nm

Cette seconde étude de cas porte sur la mémoire concurrente : une SDRAM 256 Mb de chez Micron (MT48LC16M16-D), fabriquée en 110 nm. Manufacturée en 2005, elle a un bus d'adresses de 16 bits, et est organisée en 4 banques, 8192 lignes et 512 colonnes. Physiquement, elle comporte 1024 blocs de 256 lignes et 256 colonnes (8 Ko). Comme pour la mémoire Qimonda testée précédemment, les cartographies laser (figure III-7) ont couvert une large surface des circuits périphériques et des plans mémoire.

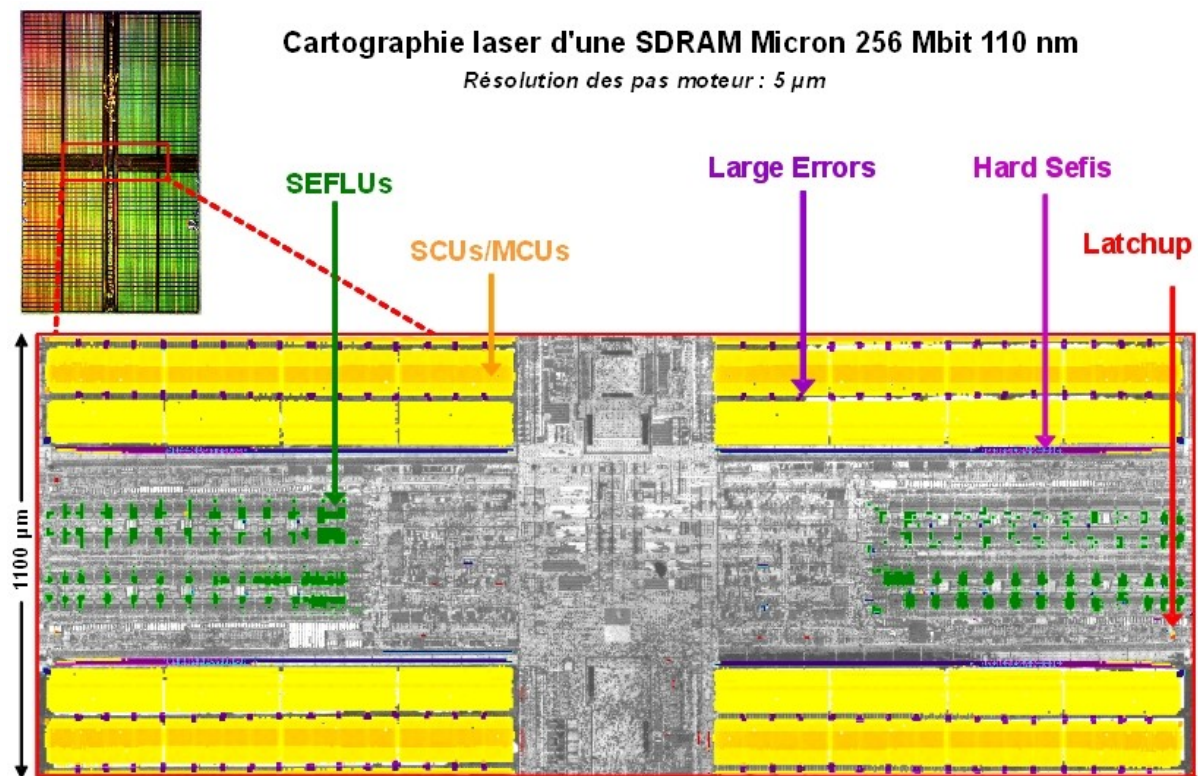


Figure III-7 : Cartographie laser d'une SDRAM Micron 256 Mb 110 nm [BOUG10]

Ces tests ont également été effectués à EADS IW, par face arrière, à énergie fixe et avec des pas de 5 µm.

Les plans mémoire couvrent près de 80% de la surface du composant, mais sont des structures régulières ; la caractérisation de quelques blocs est donc suffisante pour être extrapolée au reste de la puce. Ces cellules DRAMs sont en structure empilée, à l'inverse de celles de chez Qimonda qui sont enterrées. Cela étant, cette différence de structure ne change pas les types d'effets pouvant se produire dans les blocs mémoire, qui sont uniquement des SCUs / MCUs.

Nous constatons en revanche qu'entre ces blocs existent des zones de très forte sensibilité, qualifiées de "*Large Error*". Cet effet n'a été constaté que pour ce composant, traduisant une architecture spécifique. Nous verrons dans un paragraphe dédié à l'étude de cet effet qu'il s'agit vraisemblablement de références de tension qui, perturbées par l'injection de charge laser, induisent la décharge des cellules avoisinantes.

Concernant les circuits périphériques, bien que de nombreuses signatures aient été observées, nous les avons classées comme précédemment en trois catégories : SEFLUs, Soft-SEFIs et Hard-SEFIs.

Les SEFLUs sont cette fois disposés horizontalement dans la partie logique et agencés en deux groupes pour chaque moitié du composant. Chaque groupe correspond à des banques différentes, et les deux types de SEFLUs (BLS et WLS) sont juxtaposés. Parmi les SEFIs, ces SEFLUs ont la surface la plus importante, ce qui était également le cas pour la mémoire étudiée au paragraphe précédent.

Des zones localisées en bordure des plans mémoire apparaissent sensibles à deux types de Hard-SEFIs, identifiés par des couleurs différentes. Quelques rares zones SELs éparpillées au milieu des circuits périphériques sont également observées.

Les deux études de cas que nous venons de présenter montrent que des événements similaires apparaissent dans les deux composants, que les SEFLUs sont les effets prépondérants et que les fabricants emploient des stratégies d'implantation différentes.

Les zones Hard-SEFIs sont plus importantes sur la mémoire Micron que sur la Qimonda, mais restent dans des proportions relativement faibles. Les Soft-SEFIs ne sont apparues dans aucune d'elles.

En revanche, les effets "*Large Error*" n'apparaissent que dans la mémoire Micron, et sont localisés sur toute la puce. La somme des surfaces concernées n'est donc pas négligeable, comme nous l'avons constaté durant la séquence de test aux ions lourds présentée sur la figure III-1. La

présence de ce mode de défaillance supplémentaire incite donc à la prudence pour l'utilisation de ce composant dans un environnement sévère.

Ces exemples montrent clairement l'avantage propre au laser de pouvoir révéler et identifier des effets particuliers qui seraient difficilement identifiables en accélérateur de particules.

### **III.B.2 Étude d'effets particuliers**

Nous allons maintenant tirer parti des possibilités offertes par le laser pour étudier plus en détail certains des effets identifiés sur les cartographies précédentes, en particulier sur la SDRAM Micron 256 Mb 110 nm (figure III-7). Commençons par les structures responsables des "*Large Errors*", avant d'étudier certains effets Hard-SEFIs.

#### ***III.B.2.1 Les effets "Large Errors"***

Situées entre chaque bloc de cellules mémoire, les zones désignées "*Large Errors*" sur la figure III-7 se sont révélées être particulièrement sensibles aux injections de charges.

Un nombre important d'erreurs y est déclenché, plus élevé dans ces zones de logique que dans les blocs mémoire adjacents. Afin d'identifier les structures sollicitées et les mécanismes physiques mis en jeu, des cartographies laser plus précises ont été effectuées à plusieurs énergies.

La figure III-8 montre la zone testée sur la puce et les cartographies laser obtenues pour quatre énergies. La zone couvre des circuits périphériques et le bord de quatre blocs mémoire adjacents.

Les effets induits sont exclusivement de type SEU, nécessitant simplement une réécriture pour être corrigés. Les couleurs sur les cartographies indiquent le nombre d'erreurs à chaque position ; l'échelle est normalisée par rapport au nombre maximal d'adresses en erreur pour l'énergie donnée.

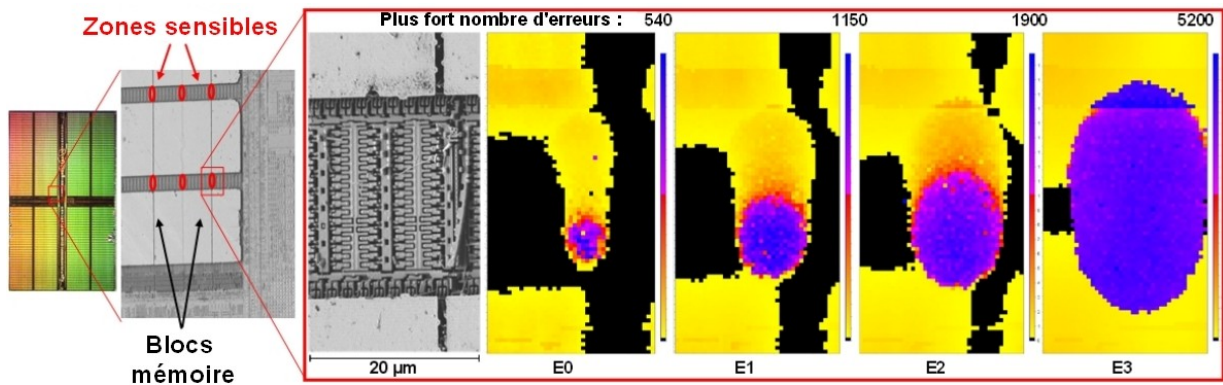


Figure III-8 : Cartographie laser d'une référence de tension pour plusieurs énergies [BOUG10]

Nous voyons sur la cartographie à la plus faible énergie (E0) que des événements sont déclenchés dans les quatre plans mémoire ainsi qu'au milieu de la partie logique. La zone cylindrique colorée en bleu indique que dix fois plus d'erreurs sont apparues sur ces positions que dans celles colorées en jaune.

Avec des énergies plus importantes, la taille des zones et le nombre d'erreurs augmentent, car la densité d'énergie surfacique du faisceau laser est plus importante. Néanmoins, on retrouve à chaque énergie un facteur dix entre le nombre d'erreurs déclenchées dans la zone cylindrique par rapport aux plans mémoire. D'autres tests ont été effectués pour mieux caractériser l'effet : notamment une série de tirs à des énergies croissantes sur une position fixe au milieu de cette zone. Nous notons en observant la figure III-9 que le nombre d'adresses en erreur croît de manière proportionnelle à l'énergie, allant de une à plusieurs milliers.

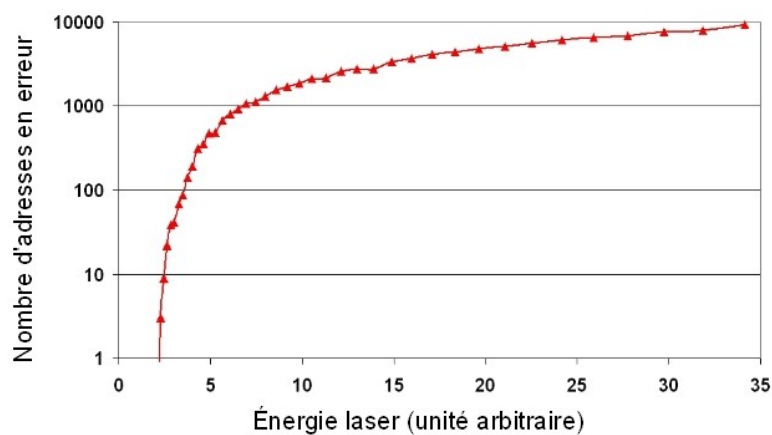


Figure III-9 : Nombre d'erreurs induites sur une zone "Large Errors" pour plusieurs énergies d'impulsion laser [BOUG10]



Rappelons qu'au vu des grandes dimensions de la structure testée, il n'y a pas d'effets de taille de spot laser nécessitant de corriger les résultats. En observant la localisation des cellules en erreur, on constate qu'elles appartiennent aux quatre blocs adjacents et qu'elles sont positionnées de manière circulaire autour de la zone logique. Seules les cellules chargées sont touchées, signifiant qu'il s'agit d'un mécanisme de décharge comme les SEUs classiques.

Par ailleurs, il est possible de décharger une même cellule en tirant sur deux zones "*Large Errors*" situées à un bloc de distance ( $\sim 70 \mu\text{m}$ ). Cet écart étant beaucoup plus important que la taille du spot laser ( $\sim 1 \mu\text{m}$ ), cela signifie que c'est bien la défaillance de la structure qui engendre les erreurs et non directement le laser. Ces diverses observations nous laissent penser que la structure sensible est de type analogique, et est directement liée au fonctionnement des cellules mémoire avoisinantes.

L'hypothèse avancée est que ces structures sont des références de tension servant à maintenir le potentiel des électrodes communes des condensateurs (autour de  $V_{\text{dd}}/2$ ). En effet, des charges parasites collectées par des références de tension peuvent induire une chute de potentiel transitoire, appelé SET (*Single Event Transient*), capable de perturber le potentiel des électrodes communes. Plus le transitoire est important et plus le nombre d'électrodes touchées augmente. Lorsque cette tension chute en dessous de celle de la jonction PN, alors la capacité se décharge, et ce nouvel état est ensuite confirmé par le processus de rafraîchissement. Ces événements seraient donc des mécanismes de décharge de capacités induits par des SETs dans les références de tension.

### ***III.B.2.2 Les effets "Hard-SEFIs"***

Les Hard-SEFIs désignent tous les événements amenant à une perte de fonctionnalité du composant nécessitant sa remise sous tension.

Nous avons vu que les deux mémoires testées au laser dans la partie III.B.1 présentent ce type de défaillance, mais dans des proportions moindres que les SEFLUs, et différentes suivant le fabricant.

Sur la mémoire SDRAM Micron 256 Mb 110 nm, les zones sensibles à cet effet ont été localisées grâce au laser sur des bandes en bordure des banques, et sont mises en évidence sur la figure III-10. Deux signatures distinctes apparaissent, identifiées par des couleurs différentes.

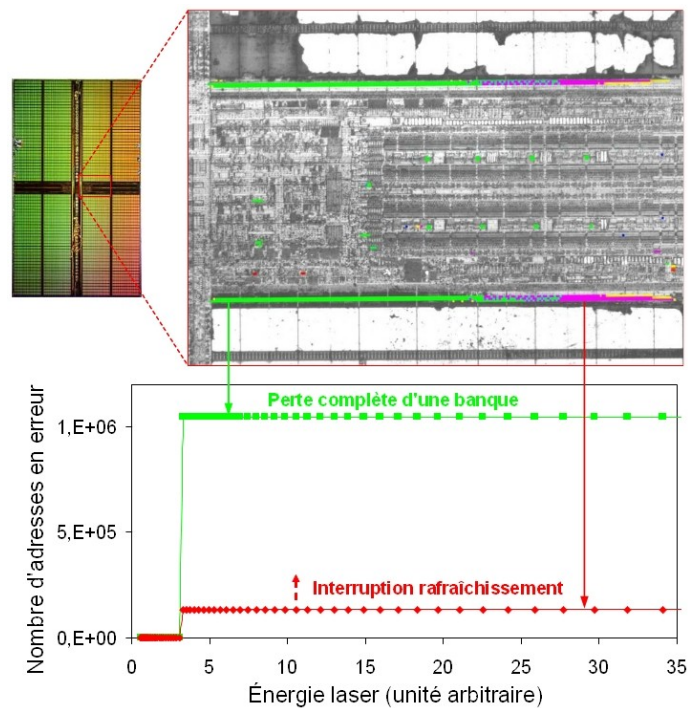


Figure III-10 : Localisation et effets des Hard-SEFIs dans une SDRAM 256 Mb

Pour mieux étudier ces signatures, des tests lasers à plusieurs énergies ont été effectués pour chacune d'elles, et le nombre d'erreurs déclenchées est enregistré.

Dans les deux positions, les erreurs apparaissent au même seuil d'énergie laser, mais leur nombre varie grandement. Dans la première, une banque complète (un million d'adresses) n'est plus fonctionnelle, et le courant de consommation augmente brusquement d'un facteur 35. Dans la seconde, quelques milliers d'adresses sont d'abord en erreur suite à l'injection laser, puis ce nombre augmente avec le temps et le courant de consommation suit alors proportionnellement. Même s'il est difficile de remonter à l'explication de la défaillance, cette signature fait penser à une interruption du circuit de rafraîchissement.

Cette investigation n'est pas exhaustive car de nombreuses autres signatures ont été observées, comme l'augmentation du courant pendant une dizaine de secondes revenant spontanément à son niveau initial, etc.

Néanmoins, ces effets n'ont pas été observés durant les tests accélérés, et leurs surfaces sensibles au laser est réduite, si bien qu'ils ne semblent pas à l'heure actuelle constituer la problématique la plus préoccupante.



### ***III.C Proposition d'un nouveau modèle de fautes : les "Single Event Fuse-Latch Upsets"***

Les deux sections précédentes ont présenté d'une part la problématique des SEFIs et l'évolution des niveaux de sensibilité des DRAMs à ces effets, et d'autre part les avantages que procure l'utilisation du laser pour caractériser ces zones de faibles dimensions. Ces études ont montré que le type de SEFI majoritaire induit un mauvais adressage de lignes (ou de colonnes), mais qu'il n'a été que très peu étudié jusqu'à présent.

Nous avons donc cherché à identifier les origines et les particularités de cet effet, ce qui nous a amené à le baptiser "SEFLU" (*Single Event Fuse-Latch Upsets*) (III.C.1). Nous avons dans un second temps cherché les motifs de test les plus appropriés pour leur caractérisation en accélérateur de particules (III.C.2).

#### **III.C.1 Particularités des SEFLUs**

Nous désignons jusqu'à présent par "SEFLU" les événements engendrant un nombre important d'erreurs au sein d'une même ligne (ou colonne), et corrigés par l'envoi d'une commande MRS. Grâce au laser, nous les avons plus spécifiquement étudié, et avons identifié les structures impliquées.

##### ***III.C.1.1 Singularité comportementale des SEFLUs***

Les caractéristiques comportementales des SEFLUs peuvent se comprendre en analysant les données lues dans la mémoire suite à des tirs laser. La figure III-11 montre l'évolution du contenu d'une plage d'adresses vue par l'utilisateur au cours d'une séquence d'opérations. Pour chaque ligne, la première colonne est l'adresse mémoire de base, et les seize octets suivants des données, affichées en hexadécimal.

Après s'être positionné au-dessus d'une zone SEFLU et avoir écrit un motif pseudo-aléatoire sur toute la mémoire (a), un tir laser est effectué avec une énergie suffisante pour déclencher l'événement. Le contenu de la mémoire est relu et comparé au motif initial, révélant des centaines d'erreurs (b). Seules les colonnes impaires sont touchées sur cet extrait, car celles paires sont

localisées et gérées de manière distincte.

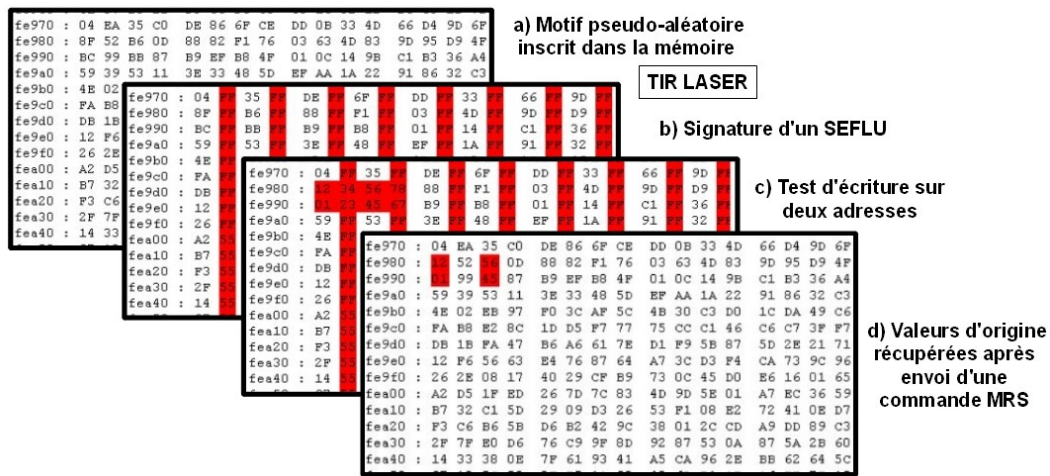


Figure III-11 : Séquence d'opérations illustrant le comportement d'un SEFLU

Les motifs lus sont "FF" sur la première moitié de l'extrait affiché, et "55" sur la deuxième. L'analyse de la suite du contenu montre que le motif varie tous les 512 octets, avec la même régularité que le motif "Bleeddown". Deux motifs sont ensuite écrits sur des colonnes paires et impaires (c), et nous constatons après relecture qu'ils sont correctement stockés dans les deux emplacements. Ce test nous indique que les valeurs lues proviennent bien du contenu de cellules mémoire. Après l'envoi d'une commande MRS, les valeurs d'origine des colonnes impaires sont finalement toutes retrouvées (d). Nous avons ainsi réussi à stocker deux valeurs à une même adresse.

Nous voyons avec cette séquence d'opérations que l'effet correspond à un changement d'adressage de plusieurs cellules. Les valeurs lues ressemblent à celles du motif "Bleeddown", et laissent donc supposer qu'elles correspondent à des cellules déchargées. Or tout le plan mémoire adressable avait été initialisé au début du test avec un motif pseudo-aléatoire, ce qui traduit que ces cellules lues n'étaient pas accessibles par l'adressage classique, et qu'il ne peut s'agir que de cellules redondantes, normalement utilisées pour le remplacement de celles défectueuses.

Pour comprendre ce problème d'adressage, il convient de s'intéresser aux circuits gérant les cellules redondantes, dont certaines caractéristiques ont déjà été introduites au paragraphe I.A.3.3. La figure III-12 est le schématique d'une structure de comparaison parallèle d'adresses. Dans cette architecture, les valeurs du bus d'adresses (A0-An) sont en même temps envoyées au

décodeur d'adresses classique, et comparées à des valeurs stockées dans une matrice de "*Fuse-Latches*" indiquant les adresses défectueuses. Lorsque les adresses correspondent, le décodeur classique est désactivé et l'adresse redondante est sélectionnée.

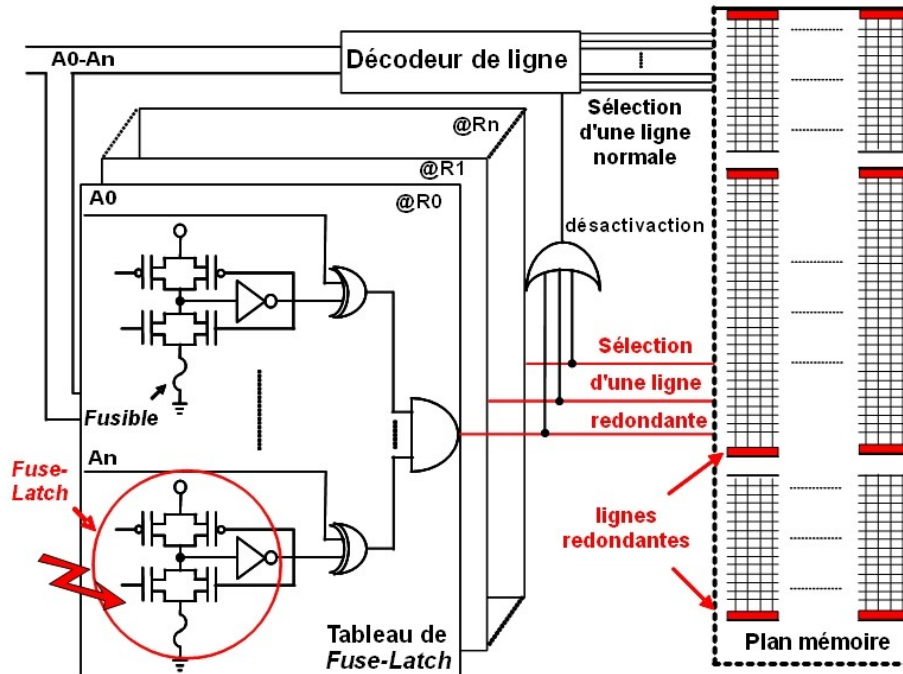


Figure III-12 : Architecture de comparaison parallèle des adresses redondantes [BOUG11]

Les "*Fuse-Latches*" étant constitués d'un élément bistable (*latch*) recopiant la valeur d'un fusible (*Fuse*) lors de l'initialisation, ils sont sensibles à la collection de charges parasites qui peuvent inverser leur état. La conséquence est alors qu'une adresse valide peut être routée vers une adresse redondante, vierge de toute écriture. L'envoi d'une commande de réinitialisation MRS impose au "*latch*" de recharger la valeur du fusible, ce qui rétablit l'adressage normal et l'accès aux cellules classiques. Il faut néanmoins noter que le rafraîchissement de ces dernières est interrompu pendant l'effet car le mécanisme a utilisé le même système d'adressage défectueux. Il convient donc pour préserver l'intégrité des données d'envoyer la commande MRS suffisamment rapidement.

C'est ainsi grâce à l'identification et à la compréhension de ce mécanisme de défaillance que nous avons baptisé cet effet "*Single Event Fuse-Latch Upset*".

### III.C.1.2 Agencement des SEFLUs au sein de la mémoire

Nous allons à présent étudier l'agencement des "Fuse-Latches" au sein de la mémoire grâce à des cartographies laser détaillées de ces zones.

Le cas de test présenté utilise la mémoire DDR Micron 512 Mb 90 nm. Les zones d'intérêt ont d'abord été recherchées dans les circuits périphériques par des cartographies avec de larges pas (20  $\mu\text{m}$ ), et découvertes au milieu de la puce. Ces zones SEFLUs sont réparties pour chaque banque en deux groupes de deux bandes, mesurant 1200  $\mu\text{m}$  de long et 35  $\mu\text{m}$  de large. La figure III-13 montre une photo de la face avant de la puce, la localisation des zones SEFLUs liées à une banque ainsi que plusieurs vues d'une cartographie laser. Celle-ci a été effectuée précisément sur une des deux zones avec des pas de 5  $\mu\text{m}$ , une énergie fixe et un motif pseudo-aléatoire.

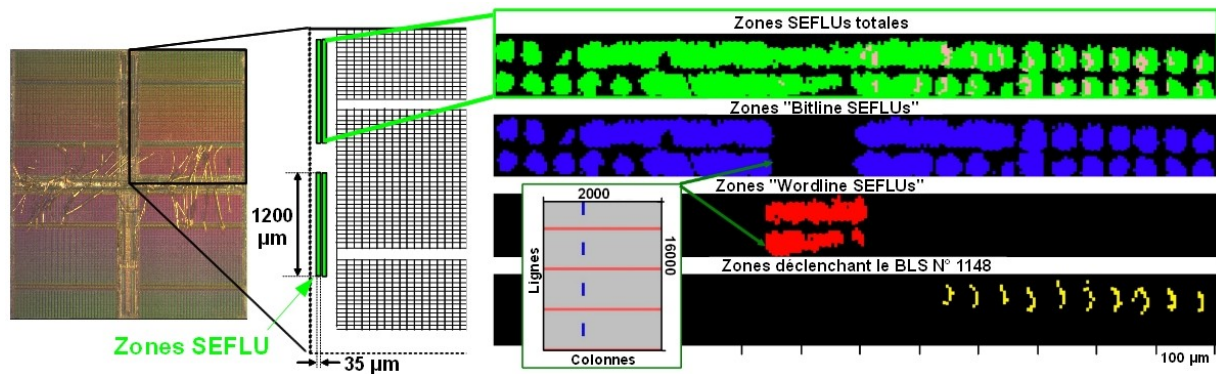


Figure III-13 : Zones sensibles SEFLUs d'une DDR Micron 90 nm [BOUG11]

L'image du haut montre toutes les positions où un SEFLU a été déclenché. On distingue des zones circulaires vers les extrémités, et des zones plus larges vers le milieu de la cartographie. La densité des zones sensibles semble donc varier d'un endroit à l'autre.

Les deux images au-dessous n'affichent respectivement que les positions "Bitline SEFLUs" (BLS) et "Wordline SEFLUs" (WLS). Les zones associées à ces deux effets sont clairement dissociées spatialement, deux zones BLS entourant une zone WLS.

Il est ici intéressant de constater que les surfaces des zones BLS sont près de huit fois plus importantes que celles des zones WLS. Certaines implantations de codes correcteurs d'erreurs pourraient tirer parti de cette particularité. L'encadré au milieu montre une vue du plan mémoire physique des erreurs déclenchées par un tir laser en bordure des deux zones. Les groupes de 2048

erreurs au sein d'une même colonne caractérisent un BLS, et les quatre lignes de 2000 adresses correspondent à un WLS. Nous identifions chaque événement par les numéros des colonnes (ou des lignes) en erreur. L'image du bas affiche à titre indicatif les positions associées à un BLS particulier (identifié par le numéro 1148). Il y a dix zones bien distinctes et espacées, qui pourraient être liées aux dix bits d'adressage des colonnes de cette mémoire. D'autres investigations seraient néanmoins nécessaires pour confirmer cette hypothèse.

### III.C.2 Influence du motif de test sur la détection des SEFLUs

Durant les différents tests SEFLUs effectués au laser, nous nous sommes aperçus que la taille des zones sensibles variait selon le motif de test utilisé. Dans l'optique de caractériser le plus précisément possible ces événements, il convient de déterminer les raisons de cette variation et les motifs de test permettant de révéler la sensibilité "pire cas". Nous avons donc comparé au laser et en accélérateur de particules la variation du nombre de SEFLUs observés selon le motif de test.

Les tests laser ont été effectués sur la même zone que celle présentée sur la figure III-13. Trois cartographies ont successivement été faites dans les mêmes conditions avec les motifs "Random", "Bleeddown" et "Checkerboard". Les zones BLS révélées sont présentées sur la figure III-14.

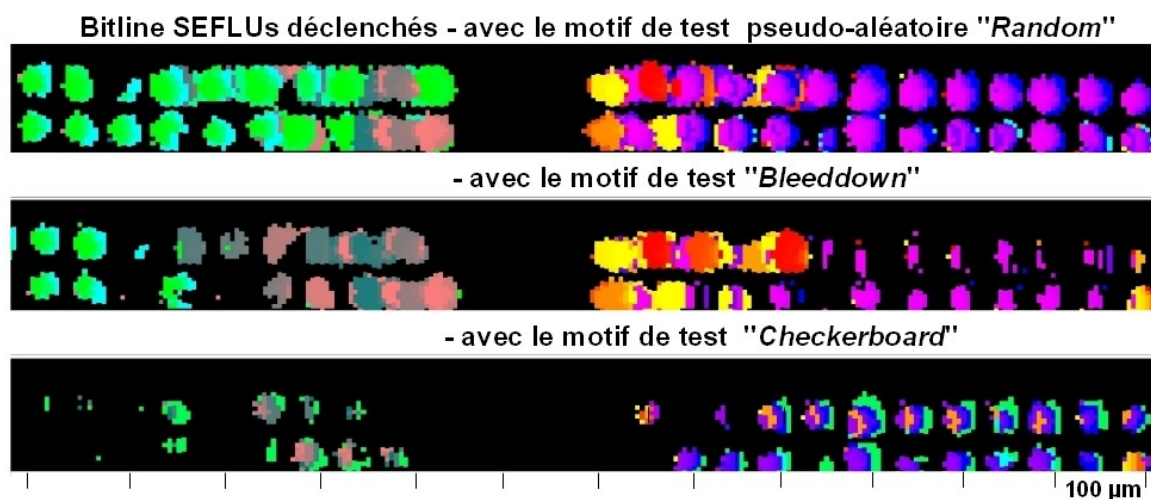


Figure III-14 : Variation des surfaces SEFLUs sensibles au laser selon les motifs de test

Les couleurs désignent des BLS différents, identifiés par le numéro des colonnes physiques concernées. Pour les positions où plusieurs BLS sont déclenchés, la couleur affichée est celle de la première colonne. Nous voyons que la surface sensible diffère selon le motif. Le test avec le motif "Random" révèle le plus grand nombre de zones sensibles, alors que les deux autres ne révèlent qu'une partie d'entre elles.

Nous remarquons que pour le motif "Bleeddown", un grand nombre de zones en bordure de cartographie n'ont pas été sensibles, alors que ce sont celles du milieu qui ne l'ont pas été pour le motif "Checkerboard". Cette différence nous conforte dans l'idée que l'aspect dense du milieu de la cartographie avec le motif "Random" n'est pas un artéfact expérimental lié à la focalisation, mais reflète bien un nombre plus important de SEFLUs dans cette zone.

La figure III-15 indique de manière quantitative le nombre de BLS et WLS différents ayant été déclenchés au cours de ces tests. Ainsi, 912 WLS et 868 BLS sont apparus avec le motif "Random", contre 512 WLS et 574 BLS pour le motif "Bleeddown", et environ 497 WLS et 170 BLS pour les motifs "00FF" et "AA55". Nous voyons donc qu'il peut y avoir une variation de près d'un facteur 2 du nombre de WLS, et jusqu'à 5 pour les BLS selon le motif de test utilisé.

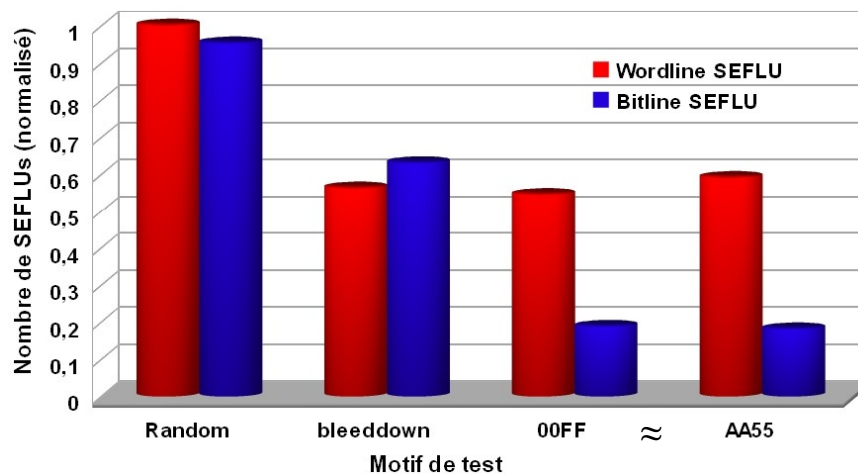


Figure III-15 : Variation du nombre de SEFLUs déclenchés par laser selon les motifs de test [BOUG11]

Nous constatons aussi avec le test "Random" que le nombre de WLS et de BLS est équivalent, alors que leurs surfaces sensibles laser sont différentes. Cela pourrait signifier qu'une même zone WLS puisse contrôler plusieurs "Wordlines". Nous expliquons la différence de sensibilité selon le motif par des phénomènes de masquage. En effet, ces zones sensibles se trouvent à plusieurs dizaines de micromètres des cellules mémoire, ce qui nous assure que celles-ci n'ont pas été

atteintes par les charges déposées par le laser. Seul l'adressage est donc impliqué dans ces événements, avec comme conséquence la sélection d'une ligne (ou colonne) redondante à la place d'une ligne (ou colonne) normale. Or, si le contenu des cellules nouvellement adressées est le même que celui attendu, alors l'effet est masqué et n'est pas détecté.

Comme indiqué au paragraphe III.C.1.1, nous avons constaté que les valeurs lues étaient celles de cellules déchargées, semblables à celles du motif "*Bleeddown*". Ces valeurs sont les mêmes sur une partie de l'adressage, et changent à intervalle régulier en raison de l'agencement des circuits périphériques d'adressage. Il en résulte que le motif lu est fixe, répétitif et avec un nombre limité de valeurs comme "AA", "00", "FF", etc. La probabilité qu'il y ait un masquage n'est donc pas nulle lorsque des motifs répétitifs comme "*Bleeddown*" et "*Checkerboard*" sont utilisés, ces derniers pouvant en outre être assez proches. En revanche, avec un motif non répétitif comme "*Random*", il est très improbable que les valeurs soient identiques pour toute une ligne (ou colonne). Ce phénomène explique donc, selon nous, la différence de sensibilité en fonction du motif de test.

Pour ces raisons, les motifs pseudo-aléatoires sont les plus pertinents à utiliser pour pouvoir déceler tous les événements SEFLUs se produisant en accélérateur, et ainsi obtenir la sensibilité "pire cas" recherchée. De plus, ce motif est le plus représentatif d'une utilisation réelle.

### ***III.C.2.1 Mesures en accélérateur de particules des sensibilités SEFLUs selon le motif de test***

Pour valider les conclusions précédentes, nous avons irradié cette mémoire avec différents motifs de test, l'objectif étant de comparer les sections efficaces SEFLUs obtenues. Sept motifs incluant "*Random*", "*Bleeddown*" et "*Checkerboard*" ont ainsi été testés dans des conditions de test identiques avec des ions Argon (LET effectif de 18 MeV.cm<sup>2</sup>/mg), une fluence de 1x10<sup>5</sup> ions/cm<sup>2</sup> et un flux variant entre 200 et 300 particules/cm<sup>2</sup>/s.

Comme expliqué auparavant, la difficulté de caractérisation des SEFLUs en accélérateur de particules tient au faible nombre d'événements obtenus pour des durées de test raisonnables, le flux devant en effet être suffisamment faible pour que les différents événements ne se cumulent pas et puissent être distingués. Cette faible statistique induit de grandes incertitudes qui doivent être indiquées par des marges d'erreur. Le calcul de ces marges est néanmoins un sujet de discussion, car selon la formule statistique recommandée par la norme JESD89A, le nombre total



d'éléments doit être connu, ce qui n'est pas le cas pour les structures *Fuse-Latch*. Les marges que nous présentons sur la figure III-16 sont donc calculées par rapport au nombre de structures estimées par les tests laser précédents (figure III-15), avec un niveau de confiance de 95%.

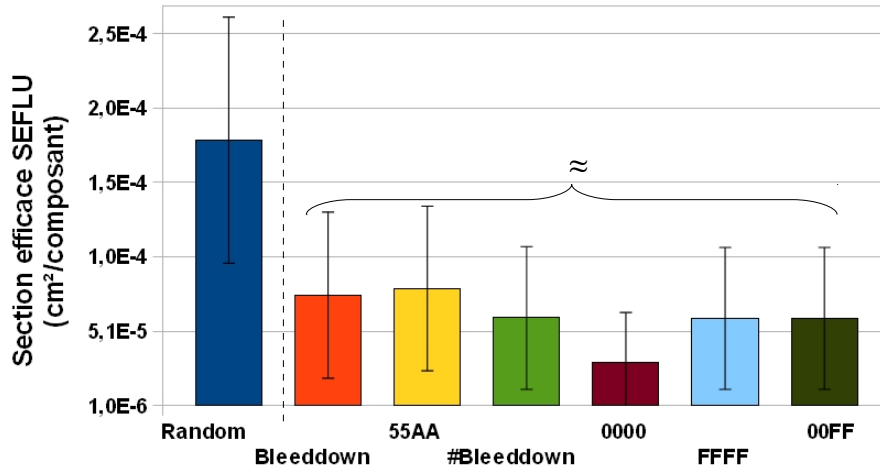


Figure III-16 : Sections efficaces SEFLUs (ions Argon) d'une DDR 512 Mb 90 nm pour différents motifs

Nous constatons que c'est bien avec le motif "Random" que le plus grand nombre de SEFLUs a été enregistré (18 occurrences), donnant une section efficace de  $1,8 \times 10^{-4} \text{ cm}^2/\text{composant}$ . La plus faible sensibilité (3 occurrences,  $3 \times 10^{-5} \text{ cm}^2/\text{composant}$ ) a été mesurée avec le motif "All 0". Les marges d'erreur de ces deux extrêmes ne se chevauchant pas, ces résultats démontrent bien que des résultats différents sont obtenus selon le motif de test utilisé, comme les tests précédents au laser l'ont déjà montré. Concernant les types de SEFLUs observés, sur les 54 événements détectés durant ces tests, 47 sont des BLS et 7 sont des WLS. Ce rapport est cohérent avec la différence de surface de ces zones, révélée sur la figure III-13.

### III.D Conclusion

Les principaux modes de défaillance des circuits périphériques des DRAMs, les SEFIs, viennent ici d'être étudiés. Ces problématiques n'ont été jusqu'à présent que peu abordées, alors que leur importance est grandissante avec l'intégration technologique. Les procédures de test sont plus complexes que celles pour les plans mémoire classiques, mais ne sont pas encore spécifiées par les normes internationales. Il en résulte une certaine confusion dans la réalisation et l'interprétation des résultats, qu'il convient de clarifier.



Grâce à un testeur développé spécifiquement pour ce type d'évaluation, nous avons réalisé des caractérisations au laser et aux ions lourds afin d'avoir nos propres données expérimentales. Nous nous sommes ainsi rendu compte de l'allure et de la fréquence des erreurs, et avons analysé les diverses signatures. En accélérateur, il apparaît que le SEFI le plus fréquent implique un problème d'adressage de lignes (ou de colonnes), engendrant des centaines d'erreurs qui disparaissent après l'envoi d'une commande de réinitialisation. Nous avons constaté que la fréquence d'occurrence de ces erreurs augmente avec l'intégration technologique, mais que les statistiques obtenues en accélérateur sont souvent trop faibles pour avoir un niveau de confiance des résultats satisfaisant, ce qui limite l'utilisation de ce moyen de test.

Le laser est à l'inverse un outil très adapté pour caractériser ces zones de faibles surfaces et non régulières. Nous avons grâce à lui déterminé sur plusieurs mémoires les zones et les différents types de SEFIs existants, alors qu'ils étaient difficilement observables et quantifiables en accélérateur. Certains modes spécifiques de défaillance, comme les "*large Errors*", et certains Hard-SEFIs ont ainsi pu être étudiés en détail.

Enfin un nouveau modèle de fautes est proposé pour définir le SEFI présentant la plus grande surface de sensibilité. Nous avons pour cela étudié avec le laser le comportement des structures impliquées, et avons déterminé qu'il s'agit des "*Fuse-Latches*" utilisés dans les circuits de redondance. Cet effet a ainsi pu être baptisé "*Single Event Fuse-Latch Upset*". L'agencement de ces cellules a également été recherché, montrant qu'il existe des zones "*Bitline SEFLUs*" et "*Wordline SEFLUs*" de surfaces différentes.

Une étude sur l'influence du motif de test sur la détection des SEFLUs a en outre été réalisée avec les deux moyens, laser et accélérateur. Il apparaît qu'un écart assez important peut être mesuré en fonction de ce paramètre. Les motifs pseudo-aléatoires sont en définitive les plus pertinents à employer, car ils évitent les effets de masquage et permettent ainsi d'obtenir la sensibilité SEFLU "pire cas".

Les principaux effets des radiations dans les plans mémoire et les circuits périphériques des DRAMs ayant été étudiés séparément, nous sommes à présent en mesure d'effectuer des recommandations sur la manière de tester au mieux ces composants : c'est l'objet du chapitre suivant.

## Chapitre IV - Proposition d'une méthodologie de test

L'étude et la compréhension des modes de défaillance des DRAMs, tant au niveau des plans mémoire que des circuits périphériques, nous a conduit à réfléchir à la méthode la plus efficace pour tester ces composants de façon industrielle. Le besoin de caractériser ces composants de manière exhaustive et à un coût réduit est en effet croissant, mais la complexité de réalisation de ces tests l'est également. Nous proposons donc ici une méthodologie associant différentes techniques pour optimiser la durée et l'efficacité des tests, en gardant une approche conservatrice. Les étapes de cette méthodologie sont d'abord présentées de façon synthétique (IV.A), puis la mise en œuvre des tests est détaillée en distinguant les phases de préparation (IV.B) et de réalisation des tests (IV.C).

### *IV.A Présentation de la méthodologie*

La réflexion sur cette nouvelle méthodologie de caractérisation s'est avérée nécessaire car celles actuelles deviennent de moins en moins adaptées aux nouvelles générations de composants. La critique des méthodologies actuelles (IV.A.1) sera ainsi suivie de nos propositions synthétisées sous la forme d'un schéma des étapes à mener selon les résultats souhaités (IV.A.2). Seront ensuite abordés les prérequis liés aux performances et aux fonctionnalités des équipements de test (IV.A.3).

#### **IV.A.1 Limites des méthodologies actuelles**

Les normes de test actuelles, présentées au paragraphe I.C.1, ont initialement été établies pour la problématique des SRAMs, à l'époque utilisées de manière préférentielle dans le milieu spatial. À mesure que les technologies évoluent et que les performances augmentent, de nouvelles possibilités sont offertes aux concepteurs, mais de nouveaux défis apparaissent également pour caractériser leurs sensibilités aux radiations.

Une étude récente [LAB08] relative aux SDRAMs dresse un bilan des nouvelles difficultés à adresser, liées entre autre aux nombreux modes de fonctionnement possibles, à leurs larges capacités de stockage, aux grandes vitesses de transfert des données, aux ouvertures de boîtier, à

la distinction des effets, etc.

Les auteurs indiquent, à titre d'exemple, que pour caractériser de façon exhaustive une mémoire SDRAM de 1 Gbit, les conditions de test à prendre théoriquement en compte sont :

- 68 modes d'opération ;
- 4 motifs de test ;
- 3 fréquences de fonctionnement ;
- 3 tensions d'alimentation ;
- 2 températures ;
- 3 types d'ion.

Avec un flux (relativement élevé) de 1000 particules/cm<sup>2</sup>/s, la fluence de 1x10<sup>7</sup> particules/cm<sup>2</sup> spécifiée par les normes pour chaque condition de test est obtenue en 3 heures. La durée totale d'irradiation avoisinerait donc les 15 années, et coûterait aux alentours de 80 millions d'euros ! Ce calcul illustre bien qu'il n'est plus possible d'envisager des tests exhaustifs en accélérateur de particules pour ce type de composant.

En outre, comme nous l'avons vu au cours des chapitres précédents, ces tests n'assurent pas une couverture complète des erreurs car cette fluence n'est pas suffisante pour déclencher tous les modes de défaillance possibles, en particulier les différents SEFIs. Pour les plans mémoire, si la recommandation de 1x10<sup>7</sup> particules/cm<sup>2</sup> convient aux composants de petites capacités (au-dessous de 10 Mbit) car elle assure que chaque cellule est touchée au moins une fois par un ion, elle est en revanche insuffisante pour les DRAMs actuelles qui n'ont qu'une fraction de leurs cellules irradiée. L'augmentation du flux n'est généralement pas une option car, d'une part, les SEFLUs ne se distinguent plus des SEUs et, d'autre part, l'occurrence des Hard-SEFIs interromprait trop souvent les tests.

Concernant les algorithmes préconisés par les normes, les tests dynamiques consistant à écrire un motif, puis à lire et à comparer les valeurs en continu restent appropriés, mais les procédures de recouvrement et de distinction des SEFIs manquent actuellement. Or si les SEFLUs ne sont pas distingués des SEUs, il en résulte une importante surestimation du taux d'erreurs de ces derniers.

Par ailleurs, la gestion des SELs préconisée ne distingue également pas les hausses de courant liées à certains SEFIs des véritables SELs, ce qui peut amener à de mauvaises interprétations.

Le calcul des barres d'erreur à appliquer pour les événements de faible occurrence comme les SEFIs n'est pas non plus adressé, alors qu'il est essentiel pour indiquer le niveau de confiance d'une mesure.

Concernant les motifs de test à utiliser, nous avons vu au paragraphe II.C.1.2 que ceux actuellement préconisés pour les DRAMs ne configurent pas la mémoire de façon homogène, amenant à une sous-estimation du taux d'erreurs SEU.

Enfin, mais ces problématiques sont également valables pour d'autres composants comme les SRAMs, les angles d'irradiation limités en accélérateur de particules ne permettent pas de s'assurer que les plus grands MBUs sont déclenchés, et le taux MCU ne peut être obtenu que si la fonction de transfert entre l'adressage logique et physique est connue.

L'utilisation exclusive des tests accélérés ne permet donc pas une caractérisation exhaustive des DRAMs modernes, c'est pourquoi nous proposons ici une approche utilisant l'outil laser en complément des tests en accélérateur.

#### **IV.A.2 Vue générale de la méthodologie**

La méthodologie proposée s'appuie sur le fait que les accélérateurs de particules apportent des informations de sensibilité SEU / MBU précises pour un environnement donné, et le laser celles liées à l'architecture du composant. Elle vise donc à tirer parti de ces deux moyens de test pour optimiser l'efficacité et le coût total de la caractérisation des DRAMs. Elle prend néanmoins en compte le fait que les résultats souhaités varient selon les environnements considérés (spatial, avionique ou terrestre), l'objectif de la campagne et le budget disponible.

La figure IV-1 synthétise les différents cas de figure et les tests associés en fonction du type de résultats souhaités. S'il s'agit d'obtenir une approximation des sections efficaces SEU/MBU, SEL ou SEFI, alors un test en accélérateur suffit. Néanmoins, les conditions ne sont pas "pire cas", et les événements survenant dans les circuits périphériques auront une occurrence faible. Les mesures auront donc des marges d'erreur importantes.

Si en revanche l'objectif est d'obtenir la sensibilité MCU d'une technologie, ou de faire une correction de LET, alors il est nécessaire d'obtenir la fonction d'adressage du composant avant l'irradiation, ce qui peut se faire grâce à des tests laser.

Par ailleurs, pour connaître la sensibilité SEU/MBU "pire cas", des tests préliminaires au laser permettent de révéler la configuration dans laquelle le composant devra être placée durant les essais en accélérateurs de particules.

Ces mêmes tests servent par ailleurs d'une part à obtenir la sensibilité laser des cellules (à des fins de comparaisons relatives), et d'autre part à révéler rapidement la taille des plus larges MBU possibles.

Enfin, le test laser seul sur les circuits périphériques permet de déterminer si le composant est sensible au Latchup (il sera alors généralement disqualifié) et aux SEFIs (des méthodes de protection devront alors être mises en place). La révélation des emplacements et de la taille des structures responsables de ces défaillances permettent également des calculs d'occurrence.

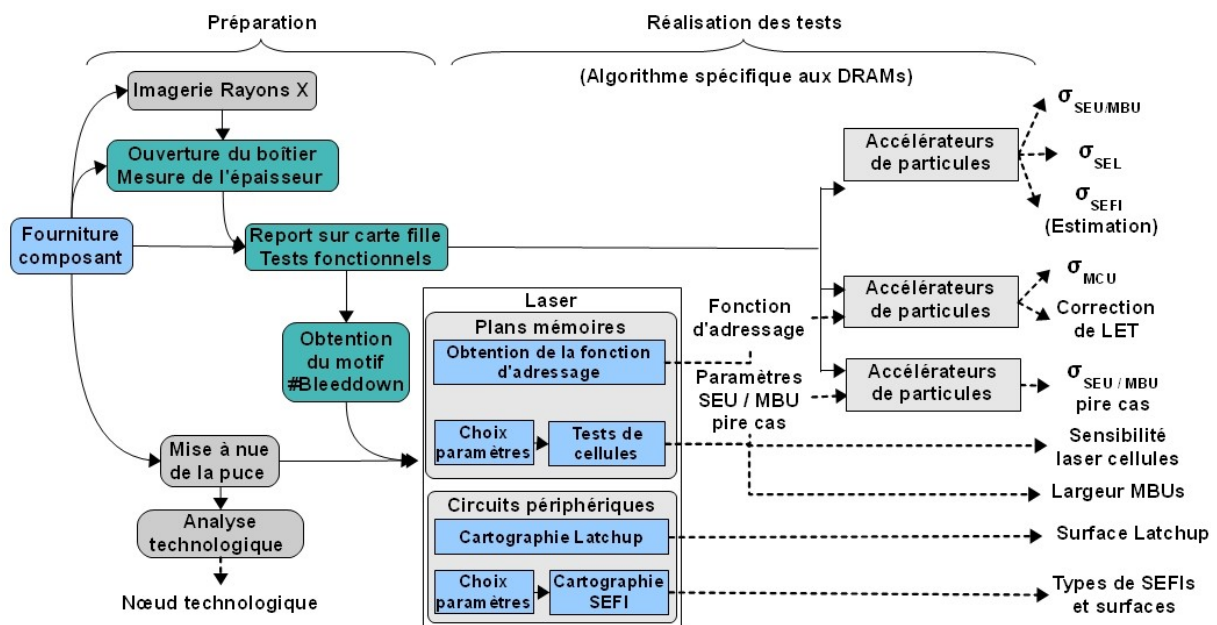


Figure IV-1 : Vue générale de la méthodologie de caractérisation de DRAMs proposée

Le choix des accélérateurs de particules dépend de l'environnement cible. Pour le spatial, les principales particules à considérer sont les ions lourds et les protons, tandis que ce sont les neutrons (atmosphériques et thermiques) et les protons de faibles énergies qui le sont pour le milieu avionique. Pour les équipements au sol, ce sont les sensibilités aux particules alpha et aux neutrons qui sont évaluées. Les types de source varient donc, mais les procédures de test et l'interprétation des résultats sont similaires.

La méthodologie proposée inclue également les phases de préparation des tests, comprenant d'une part les étapes d'analyse du composant (ne s'effectuant qu'une fois par référence), et d'autre part celles liées à la préparation des échantillons de test (réaliser sur chacun d'eux). La préparation d'un échantillon pour un test laser consiste à ouvrir le boîtier du côté du substrat de silicium (face arrière dans une encapsulation classique), à le reporter sur un PCB, à le tester fonctionnellement, puis à obtenir son motif "*#Bleeddown*". L'imagerie aux rayons X facilite l'étape d'ouverture du boîtier, tandis que la mise à nue de la puce permet d'obtenir l'image de sa face avant, utile pour le repérage lors des tests laser.

La mise en œuvre des différentes étapes évoquées ci-dessus est détaillée dans les paragraphes suivants.

### IV.A.3 Prérequis liés aux équipements de test

Beaucoup de prérequis relatifs aux équipements de test sont communs à la plupart des composants, et sont généralement spécifiés dans les normes de test. Pour les aspects matériels, il est par exemple indiqué dans le chapitre III de la norme JESD89A que le testeur doit être capable d'émuler le composant dans tous ses modes de fonctionnement (tension d'alimentation, température, fréquence...). La consommation électrique du composant doit également être contrôlée pour détecter les SELs.

L'équipement de test est déporté pour que l'opérateur ne subisse pas de rayonnements, aussi les contraintes d'intégrité des signaux doivent être prises en compte. Quant à l'électronique de contrôle, elle ne peut être trop éloignée du composant si des signaux à hautes fréquences doivent transiter, en raison des problèmes d'intégrité de signaux. Elle doit donc bénéficier d'une protection contre les radiations. Le rôle du logiciel est d'exécuter les routines de vérification du composant et celles des tests dynamiques pendant les irradiations. Les fautes doivent être détectées et corrigées instantanément, et leurs adresses enregistrées. Le redémarrage et la réinitialisation du composant sont également des fonctions requises.

Pour l'application de la méthodologie que nous proposons, d'autres fonctionnalités sont nécessaires :

- en plus d'être enregistrée périodiquement, la consommation électrique doit être gérée par un "*D-latcher*" à seuil réglable, capable en cas de SEL de couper l'alimentation, de décharger le

composant et de le remettre sous tension en un court instant ( $<100 \mu\text{s}$ ). Ces performances permettent de protéger le composant et de réaliser des cartographies laser en un temps relativement court. Le réglage du seuil permet en outre de distinguer les vrais SELs des hausses de courant liées aux SEFIs.

- Le testeur doit être capable de configurer le composant avec des motifs non répétitifs. Un stockage local dans une mémoire à accès rapide au moins aussi grande que celle du composant sous test est dès lors indispensable. Une mémoire non-volatile offre en sus l'économie des temps de chargement de ces motifs sur la carte, qui peuvent être importants.

- Les commandes spécifiques à la mémoire, comme les commandes MRS, "*Precharge*" et "*Autorefresh*" doivent pouvoir être envoyées, et la fréquence de rafraîchissement modifiée ou arrêtée.

- Enfin, il est nécessaire que l'algorithme de test puisse distinguer durant l'irradiation les différents types de SEFIs, le plus rapidement possible pour minimiser les "temps morts".

La figure IV-2 montre une photo du testeur ELECTRE que nous avons conçu spécifiquement pour le test sous faisceaux de composants numériques, et qui dispose de ces fonctionnalités.



**Figure IV-2 : Testeur ELECTRE utilisé pour le test de DRAMs au laser et en accélérateur de particules**

Les composants à tester sont placés sur des cartes de test amovibles qui s'enfichent sur le testeur. Celui-ci intègre les alimentations et les "*D-latchers*", de la mémoire embarquée (1 Go), un composant programmable (FPGA) pilotant le composant et une interface de communication haut débit (Ethernet 100 Mb). Un "*System On Chip*" (*SoC*) doté d'un microprocesseur logiciel est implanté dans le FPGA, et exécute les actions élémentaires (lecture, écriture) ainsi que le rapatriement des informations intéressantes (nombre et adresse des erreurs) vers un ordinateur

déporté. Ce dernier analyse les informations et envoie des ordres d'action au testeur suivant l'algorithme choisi. Au niveau performance, ce testeur lit et compare des motifs pseudo-aléatoires à une fréquence de 6,4 millions d'adresses par seconde. Une caractéristique du testeur, essentielle dans les tests neutrons et protons, est qu'aucun composant de contrôle ne se trouve dans l'axe du faisceau sur une dizaine de centimètres de large ; à défaut, ceux-ci seraient rapidement hors d'usage. L'algorithme mis en œuvre est présenté de manière simplifiée sur la figure IV-3.

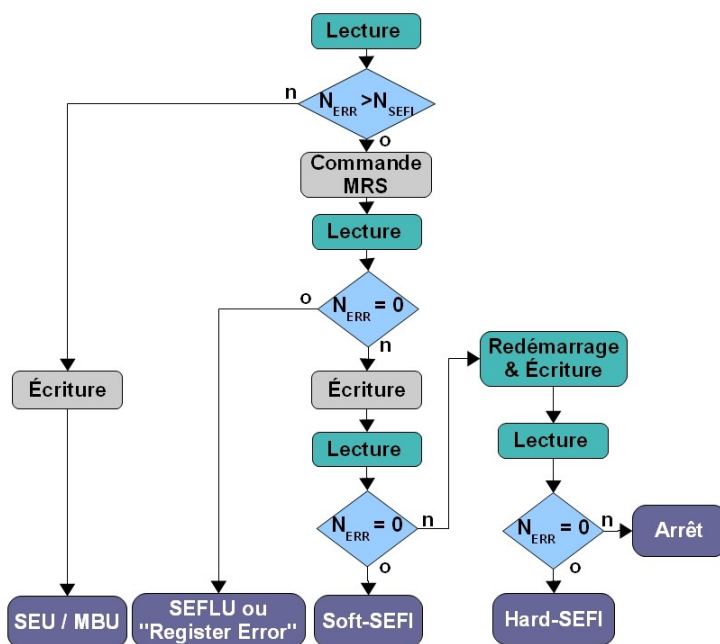


Figure IV-3 : Algorithme de test utilisé pour la détection des SEFIs

C'est grâce à cette séquence d'actions que les SEFIs peuvent être classés, que ce soit pour les tests laser ou accélérés. La procédure de détection se déclenche lorsque le nombre d'erreurs après une lecture est supérieur à un seuil défini ( $N_{SEFI}$ ), souvent multiple de 512. Une commande MRS est alors immédiatement envoyée, suivie d'une nouvelle lecture. Si les erreurs ont disparu, alors l'événement est classé SEFLU ou "Mode Register Error" selon le nombre d'erreurs initial (quelques milliers ou toute une banque). Si le nombre d'erreurs n'a pas diminué, alors la mémoire est réécrite, puis relue une troisième fois. Le succès de cette réécriture classe l'événement dans la catégorie "Soft-SEFI". Dans le cas contraire, un redémarrage de la mémoire et sa réinitialisation sont les seules actions permettant de retrouver la fonctionnalité du composant ; l'événement est alors classé "Hard-SEFI".



## ***IV.B Préparation des tests***

La phase de préparation des campagnes de tests doit être correctement planifiée afin que les échantillons soient prêts et fonctionnels le jour de l'irradiation. Pour réduire les risques et ne pas perdre de temps durant cette phase, une procédure rigoureuse doit être suivie. Nous proposons dans cette section de décrire la mise en œuvre des principales étapes liées aux analyses du composant (IV.B.1) et à la préparation des échantillons de test (IV.B.2).

### **IV.B.1 Analyses du composant**

Les analyses à effectuer sur les composants dépendent des objectifs du test, des résultats souhaités et des moyens disponibles. L'imagerie aux rayons X apporte des informations utiles pour l'ouverture des boîtiers, tandis que la photographie de la face avant de la puce est nécessaire pour les tests laser. Une analyse technologique poussée fournie en sus des paramètres de construction de la puce.

#### ***IV.B.1.1 Imagerie aux rayons X***

Dans le cas des tests ions lourds, protons de faible énergie et laser, les boîtiers des composants doivent être ouverts mécaniquement afin que le silicium soit apparent. Pour localiser au préalable la puce, il est avantageux d'utiliser des techniques d'investigation non destructives, en particulier lorsque le nombre d'échantillons est limité. Les puces ne sont en effet pas systématiquement centrées au sein du boîtier, et il est préférable de connaître leur dimension et emplacement pour que l'ouverture, réalisée le plus souvent avec une micro-fraiseuse mécanique, soit faite précisément. L'imagerie aux rayons X permet de révéler ces informations sans dommage pour le composant, si ce n'est une petite quantité de dose reçue.

La figure IV-4 montre des clichés aux rayons X de plusieurs DRAMs vues de dessus, illustrant la variété des tailles et des positionnements des puces au sein d'un même type de boîtier (TSOP54). La connaissance de la taille de la puce permet d'estimer la proportion de cellules exposées lorsque l'ouverture du boîtier est partielle. Par ailleurs, cette information donne un ordre de grandeur du niveau d'intégration technologique de la puce, compte tenu de sa capacité

mémoire.

Enfin, l'imagerie aux rayons X informe sur le positionnement des "*bondings*" (fils de connexion), ce qui est déterminant pour estimer la faisabilité d'une ouverture en face avant lorsque des ions de faible profondeur de pénétration sont utilisés. Pour les DRAMs, ces "*bondings*" sont alignés au milieu de la puce, ce qui est la configuration la plus critique : ils doivent être retirés pendant l'opération d'ouverture, puis replacés ensuite par friction.

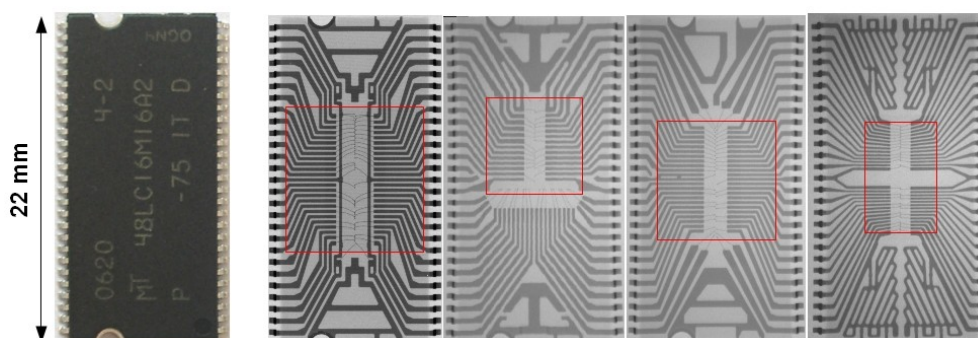


Figure IV-4 : Imagerie aux rayons X de différentes puces au sein de boîtiers TSOP54

#### IV.B.1.2 Mise à nue de la puce

Les tests laser requièrent une photographie à l'échelle de la face avant de la puce afin de distinguer les différents éléments, en particulier l'agencement des blocs mémoire et des circuits périphériques. Cette photo, combinée à l'adresse des erreurs déclenchées, permet de localiser la position du laser sur la puce et de repérer l'emplacement et la taille des zones d'intérêt. Les cartographies laser obtenues peuvent également être superposées sur cette image pour aider à l'interprétation des résultats.

Les DRAMS étant encapsulées dans des boîtiers plastiques, leur mise à nue ne pose pas de grande difficulté technique, et nécessite surtout des précautions liées à la manipulation des produits chimiques. L'opération consiste en effet à tremper le composant dans une solution chauffée d'acide nitrique fumant, et quelques minutes suffisent pour que le boîtier, généralement constitué de dioxyde de silice, de résine d'époxy et de résine phénolique, soit dissout.

Les parties métalliques comme les broches, les "*bondings*" et le "*Lead-Frame*" ne sont pas attaquées par cet acide, aussi il s'agit de les enlever manuellement, de manière délicate pour ne pas rayer la puce. Un bain à ultrason peut aider durant cette opération. Enfin, un nettoyage

superficielle à l'acétone achève l'opération. Le circuit intégré peut alors être photographié et mesuré avec un microscope numérique. La figure IV-5 montre des photos de plusieurs références de puce.

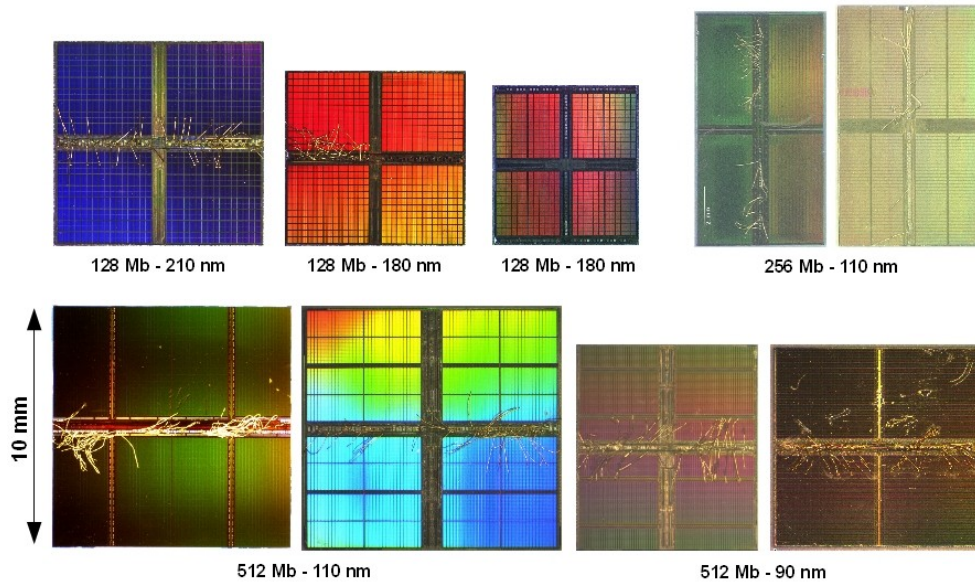


Figure IV-5 : Photographies de la face avant de puces DRAMs de capacités et nœuds technologiques variés

Leur épaisseur, autour de  $300\ \mu\text{m}$ , est également une donnée importante à connaître lorsqu'un amincissement doit être réalisé.

### IV.B.1.3 Analyse technologique

Les procédures d'analyse de risque requièrent parfois la connaissance de paramètres de construction du composant, notamment le nœud technologique. Lorsque le fabricant ne divulgue pas cette information, une alternative consiste à faire une analyse technologique détaillée pour mesurer la finesse de gravure. Cette opération nécessite des moyens importants et des compétences spécifiques. Le principe est de mesurer avec des outils de type MEB (Microscope Électronique à Balayage) les dimensions caractéristiques des transistors et des lignes de connexion.

Comme évoqué au paragraphe I.A.2.2, le nœud technologique tel que défini par l'ITRS correspond pour la famille DRAM à la moitié du décalage entre deux métallisations de niveau 1. Cette mesure peut être faite dans le plan horizontal ou vertical. Dans le premier cas, il s'agit

d'éliminer successivement les différentes couches de passivation et les métallisations pour découvrir le niveau recherché, avec notamment de l'acide fluorhydrique. La mesure dans le plan vertical nécessite de sectionner le composant, et de polir sa surface ou d'utiliser un FIB (*Focused Ion Beam*). La figure IV-6 montre des images MEB obtenues sur une DDR selon différents plans.

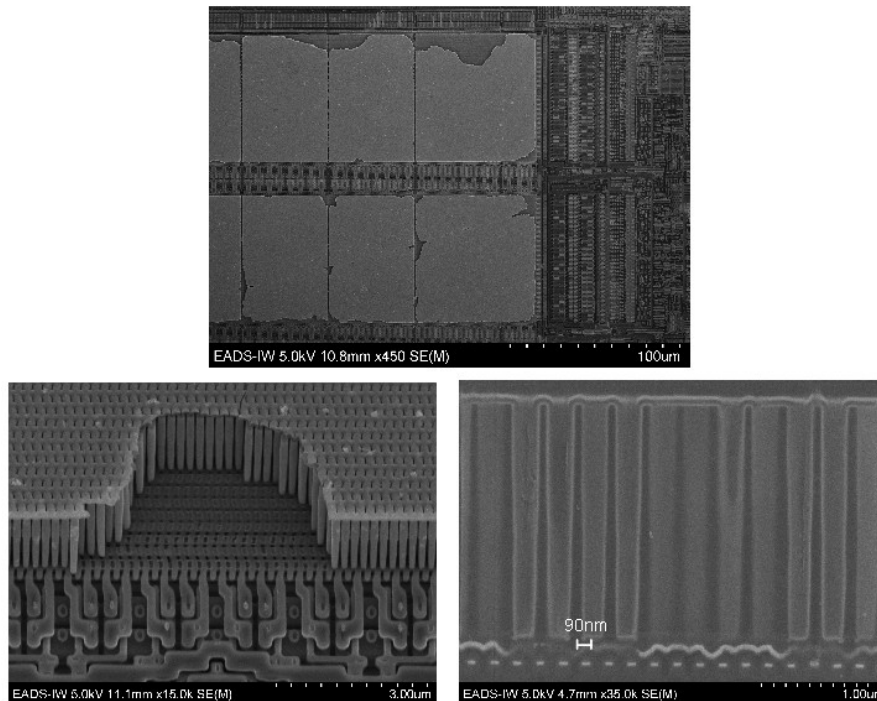


Figure IV-6 : Images MEB d'une DDR 90 nm sous différents angles.

La mesure prise sur la photo en coupe est la distance entre deux métallisations de niveau 1, indiquant la taille du procédé de gravure (90 nm).

#### IV.B.2 Préparation des échantillons de test

Les étapes nécessaires à la préparation des échantillons de test dépendent elles aussi du type de test à effectuer et des résultats recherchés. Comme indiqué sur la figure IV-1, nous distinguons trois étapes : l'ouverture du boîtier, le test fonctionnel une fois le composant reporté sur une carte, et l'obtention du motif "*#Bleeddown*".

### ***IV.B.2.1 Ouverture du boîtier***

Cette étape est la plus critique car le risque d'endommager le composant est fort. Elle est nécessaire pour les tests ions lourds, protons de faibles énergies et laser, mais pas pour les tests neutrons ou protons de hautes énergies car ces particules sont peu freinées par la matière. La difficulté d'ouverture d'un boîtier dépend de sa nature, et varie selon les cas de figure : les tests laser à la longueur d'onde 1064 nm ne nécessitent pas d'amincissement de la puce, aussi seule l'ouverture par face arrière pour accéder au silicium est nécessaire. En revanche, les ions lourds et les protons de faibles énergies ont des profondeurs de pénétration limitées dans la matière.

L'irradiation par la face avant permet de s'affranchir de cette contrainte, mais nous avons vu que les "*bondings*" sont situés au milieu de la puce et gênent l'ouverture. La solution consiste à les enlever puis à les recoller une fois la puce découverte par attaque chimique, mais cette opération demande des moyens onéreux, et le taux de réussite est assez faible.

L'irradiation par face arrière nécessite des moyens plus abordables et plus fiables, et est donc préférée. La puce doit alors être amincie (jusqu'à une centaine de micromètres), et les ions sont choisis pour qu'ils puissent traverser l'épaisseur résiduelle.

L'amincissement est réalisé mécaniquement par une micro-fraiseuse, dont la prise en main est relativement facile et rapide. La dimension de l'ouverture se règle grâce aux images aux rayons X obtenues préalablement. Celle-ci doit être légèrement plus petite que la puce afin que le maintien mécanique soit conservé. Les DRAMs étant encapsulées dans des boîtiers plastiques, leur ouverture est facilitée. L'opération consiste à abraser la matière par pas successifs d'une dizaine de micromètres. Lorsque l'amincissement souhaité est atteint, la dernière phase est le polissage de la surface.

Il s'agit ensuite de mesurer l'épaisseur résiduelle et ses variations au sein de la puce. Grâce aux propriétés de réflexion des lasers 1064 nm lorsqu'ils sont focalisés sur les interfaces, il est possible de mesurer les épaisseurs avec une caméra infrarouge. Elles se calculent en multipliant la distance entre les deux interfaces silicium/air et silicium/boîtier par l'indice de transmission du silicium (3,4). L'interférométrie est une autre méthode efficace pour réaliser ces mesures [HARB07].

Grâce à la connaissance de l'épaisseur pour chaque zone du composant, combinée à celle de la fonction d'adressage, le LET effectif des ions peut être calculé pour chaque événement, en utilisant des outils tels que SRIM [WWW07].

### IV.B.2.2 Report et tests fonctionnels

Les supports à force d'insertion nulle ZIF (*Zero Insertion Force*) sont largement utilisés pour le test de composants. Les broches du DUT sont alors en contact avec des ressorts et s'accrochent par frottement. Malgré des avantages pratiques indéniables, ces "sockets" introduisent une rupture d'impédance des lignes, engendrant des réflexions qui perturbent les signaux à hautes fréquences ( $> 100$  MHz). De plus, ils surélèvent le composant par rapport au PCB, ce qui va à l'encontre des contraintes d'accessibilité et de distance de travail avec un laser (paragraphe I.C.3.2). Pour ces raisons, nous préférons braser les DUTs directement sur les cartes de test, comme c'est le cas sur la figure IV-7.

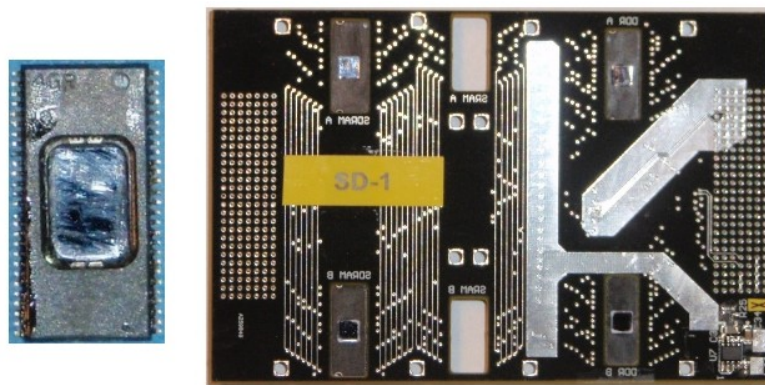


Figure IV-7 : Composants DRAMs ouverts mécaniquement par face arrière et reportés sur une carte de test

La vérification de la fonctionnalité des composants est ensuite essentielle, en particulier pour ceux ayant été amincis. Le premier paramètre vérifié à la mise sous tension est le niveau et l'allure du courant de consommation. Si la signature n'est pas conforme à celle attendue, le composant doit être rejeté.

On procède ensuite à des tests fonctionnels rapides comme le MSCAN et l'échiquier (*Checkerboard*), qui détectent si le composant a bien été brasé. Le premier consiste à écrire des '0' sur toute la mémoire et à lire son contenu, puis à répéter l'opération avec des '1'. Le second suit le même principe, mais en alternant des '1' et des '0'.

Un test fonctionnel plus évolué de type "March" est ensuite effectué pour s'assurer de l'intégrité de la mémoire. Plusieurs algorithmes (MATS+, March C-, March A, March B) existent avec des temps d'exécution et des taux de couverture différents [ACH02]. Nous utilisons le test

de March C- ayant une complexité de  $10n$  ( $n$  étant le nombre de bits de la mémoire). La notation suivante décrit le test :

$$\{\downarrow(w0) ; \uparrow(r0,w1) ; \uparrow(r1,w0) ; \downarrow(r0,w1) ; \downarrow(r1,w0) ; \uparrow(r0)\}$$

Ce qui signifie :

1. Pour chaque adresse, écrire 0  $\{\downarrow(w0)\}$ ,
2. Pour chaque adresse de 0 à  $n-1$ , lire 0 et écrire 1  $\{\uparrow(r0,w1)\}$ ,
3. Pour chaque adresse de 0 à  $n-1$ , lire 1 et écrire 0  $\{\uparrow(r1,w0)\}$ ,
4. Pour chaque adresse de  $n-1$  à 0, lire 0 et écrire 1  $\{\downarrow(r0,w1)\}$ ,
5. Pour chaque adresse de  $n-1$  à 0, lire 1 et écrire 0  $\{\downarrow(r1,w0)\}$ ,
6. Pour chaque adresse, lire 0.

Ce test assure la détection des bits collés (SAF, Stuck At Fault), des fautes de transition (TF, Transition Fault) ainsi que des fautes de couplage (CF, Coupling Fault). Il dure une quinzaine de minutes pour une SDRAM 512 Mb, et assure que le composant est fonctionnel et peut être utilisé comme échantillon de test.

#### **IV.B.2.3 Obtention du motif "#Bleeddown"**

L'obtention du motif "*#Bleeddown*" est une étape préalable aux tests laser. Comme expliqué au paragraphe II.C.1.1, ce motif est celui qui configure toutes les cellules d'une mémoire DRAM dans leur état chargé, sensible aux radiations (à l'inverse du motif "*Bleeddown*"). Il dépend de l'architecture interne de la mémoire, en particulier de la fonction d'adressage et de l'agencement des amplificateurs différentiels (décrits au paragraphe I.A.3.1).

L'utilisateur ne connaissant *a priori* pas cette architecture, il est difficile de les créer à partir d'une fonction prédéfinie. De plus, même s'ils sont en grande partie semblables entre plusieurs composants d'une même référence, ils diffèrent néanmoins par la présence des lignes redondantes qui ne suivent pas forcément la même régularité que les lignes normales. Chaque composant a ainsi un motif "*#Bleeddown*" unique. C'est pourquoi la meilleure façon d'obtenir ces valeurs est de lire et d'enregistrer le contenu de la mémoire lorsque les cellules sont déchargées, ce qui se produit naturellement avec les mécanismes de courant de fuite lorsque le rafraîchissement de la mémoire est interrompu.

En pratique, la variabilité des temps de rétention des cellules s'étend de quelques centaines de millisecondes à plusieurs dizaines d'heures à température ambiante [SCH00], aussi il est difficile d'obtenir un motif "propre" simplement en stoppant le mécanisme de rafraîchissement. Il est alors nécessaire de "nettoyer" le motif obtenu avec des scripts dédiés.

La figure IV-8 illustre un motif "*Bleeddown*" obtenu sur une mémoire DDR 512 Mb : sa périodicité est de 512 octets, ce qui correspond au nombre de colonnes dans cette mémoire.

ADDRESS :	DATA0	DATA1	DATA2	DATA3
51600000 :	00000000	00000000	00000000	00000000
...	...	...	...	...
516001f0 :	00000000	00000000	00000000	00000000
51600200 :	96aa96aa	96aa96aa	96aa96aa	96aa96aa
...	...	...	...	...
516003f0 :	96aa96aa	96aa96aa	96aa96aa	96aa96aa
51600400 :	aaaaaaaa	aaaaaaaa	aaaaaaaa	aaaaaaaa
...	...	...	...	...
516005f0 :	aaaaaaaa	aaaaaaaa	aaaaaaaa	aaaaaaaa
51600600 :	96aa96aa	96aa96aa	96aa96aa	96aa96aa
...	...	...	...	...
516007f0 :	96aa96aa	96aa96aa	96aa96aa	96aa96aa
51600800 :	00ff00ff	00ff00ff	00ff00ff	00ff00ff
...	...	...	...	...
516009f0 :	00ff00ff	00ff00ff	00ff00ff	00ff00ff
51600a00 :	aa55aa55	aa55aa55	aa55aa55	aa55aa55
...	...	...	...	...
51600bf0 :	aa55aa55	aa55aa55	aa55aa55	aa55aa55
51600c00 :	ffffffff	ffffffff	ffffffff	ffffffff
...	...	...	...	...
51600df0 :	ffffffff	ffffffff	ffffffff	ffffffff
51600e00 :	aa55aa55	aa55aa55	aa55aa55	aa55aa55
...	...	...	...	...

Figure IV-8 : Exemple de motif "*Bleeddown*" obtenu sur une mémoire DDR 512 Mb

Une technique efficace permettant d'accélérer la décharge des cellules et d'obtenir un motif "propre" consiste à augmenter la température de la puce pour augmenter les courants de fuite. Ce paramètre est en effet particulièrement influant dans ce mécanisme, et au delà d'une certaine valeur, quelques secondes suffisent à décharger toutes les cellules d'un composant.

Un fer à air chaud, un décapeur thermique, ou un module Pelletier, sont autant de moyens pouvant être mis en œuvre. La contrainte principale est d'épargner les composants de contrôle avoisinants.



## ***IV.C Réalisation des tests***

Le choix des tests à effectuer dépend de l'environnement pour lequel le composant doit être caractérisé (spatial, avionique ou terrestre), du type d'effets à quantifier (SEU, SEFI, SEL, etc.) et de la précision souhaitée. Nous proposons ici des procédures pour tester les plans mémoire (IV.C.1) et les circuits périphériques (IV.C.2) au laser, et indiquons la manière de réaliser au mieux les tests en accélérateur de particules (IV.C.3).

### **IV.C.1 Tests laser des plans mémoire**

Le laser peut être utilisé dans les plans mémoire pour révéler des paramètres d'architecture du composant ou pour obtenir un niveau de sensibilité laser des cellules. Ce dernier, même s'il n'indique pas directement la sensibilité aux ions lourds, peut être utilisé de manière relative pour comparer plusieurs références lorsque les nœuds technologiques sont proches, ou pour déterminer l'influence de certains paramètres sur la sensibilité des cellules.

#### ***IV.C.1.1 Obtention de paramètres d'architecture***

Les principaux paramètres architecturaux de la mémoire pouvant être déterminés par des tests laser sont la taille du plus grand MBU possible, le nœud technologique et la fonction d'adressage.

S'agissant d'abord de la taille du plus grand MBU possible, elle n'est pas toujours révélée en accélérateur selon le composant, le type de particules et l'angle d'irradiation. En effet, ceux-ci sont déclenchés dans des conditions "pire cas" lorsque la trajectoire des particules est dans le plan des transistors. Ces conditions sont difficiles à reproduire avec les flux unidirectionnels disponibles en accélérateur, car les ions sont moins énergétiques que dans le milieu spatial et traversent une quantité limitée de matière. Les angles d'inclinaison sont donc généralement compris entre 0 et 60°, alors que celui le plus critique est 90°. Lors de tests neutrons ou protons, les ions secondaires produits lors d'interactions nucléaires ont des angles beaucoup plus variés, mais la probabilité d'obtenir celui le plus critique déclenchant le MBU "pire cas" reste faible. En revanche, s'agissant d'un paramètre défini par l'architecture de la mémoire, cette information peut être aisément obtenue par laser grâce à la largeur du faisceau. Selon l'énergie, un tir peut en effet toucher entre

une à plusieurs centaines de cellules voisines, sur plusieurs  $\mu\text{m}^2$ . Plusieurs tirs laser effectués de proche en proche sur une zone plus importante peuvent donc révéler tous les bits appartenant à un même mot logique au sein d'un périmètre donné. Les cellules doivent alors toutes être chargées pour être dans un même état sensible. Dans le cas où le substrat est très absorbant et où l'énergie laser disponible au niveau des cellules est limitée, si la mémoire est d'avantage sensible aux mécanismes de transfert de charges, alors on effectue deux séries de tirs avec un motif aléatoire suivi de son complémentaire.

S'agissant ensuite du nœud technologique et de la section efficace aux ions lourds "pire cas", l'obtention de ces paramètres a déjà été évoqué dans la partie II.B.2, relative à l'illustration des capacités du laser à révéler des informations technologiques. Le principe est basé sur la détermination de la distance entre une cellule et ses plus proches voisines, permettant de calculer sa surface, et ainsi son nœud technologique. La section efficace SEU aux ions lourds ne pouvant par définition être supérieure à la surface de la cellule, il est possible de la considérer comme un "pire cas".

S'agissant enfin de l'obtention de la fonction d'adressage, celle-ci a deux intérêts majeurs : la correction de LET et la possibilité de déterminer la sensibilité MCU d'une technologie.

La correction de LET est souvent nécessaire pour les tests aux ions lourds effectués par face arrière. En effet, lorsque la puce est amincie, les variations de l'épaisseur résiduelle peuvent atteindre plusieurs dizaines de micromètres. Il en résulte une variation de la quantité de charges déposées (LET) par les particules selon les zones du composant, qu'il est préférable de quantifier. La connaissance de la fonction d'adressage permet de connaître la position de chaque cellule déchargée, et ainsi à l'épaisseur du substrat à ces emplacements. Le LET effectif des ions ayant provoqué l'erreur peut alors être calculé.

La sensibilité MCU d'une technologie renseigne quant à elle sur le nombre total de cellules qu'une particule peut décharger, indépendamment de l'adressage logique. Cette information caractérise la technologie et peut donc être extrapolée à d'autres composants similaires, à l'inverse du taux MBU qui est propre à chaque référence.

Dans certains contextes, le fabricant peut communiquer cette fonction d'adressage, ce qui fait économiser des efforts importants car son obtention par laser est difficilement automatisable, et nécessite une analyse manuelle assez longue.

Il s'agit d'abord d'identifier les banques, dont certaines peuvent être séparées en plusieurs endroits. En se basant sur la photo de la puce, des tirs laser sont effectués sur les principaux blocs pour qu'ils révèlent leur numéro de banque. Dans l'hypothèse où les banques sont agencées de manière symétrique, le travail peut se poursuivre sur une seule d'entre elles.

Les tests suivants consistent à déclencher des erreurs à intervalles réguliers tout au long de la largeur et de la longueur d'une banque avec une précision moyenne (pas de 5  $\mu\text{m}$ ), en relisant le contenu de la mémoire à chaque position. Ces tests révèlent l'adressage au niveau des blocs mémoire. Ensuite, une cartographie plus précise (0,5  $\mu\text{m}$ ) sur une surface restreinte (30 \* 30  $\mu\text{m}$ ) doit être effectuée afin de révéler l'adressage au niveau des cellules.

La figure IV-9 illustre un découpage typique des blocs mémoire, identifiés par certains bits d'adresses et de données.

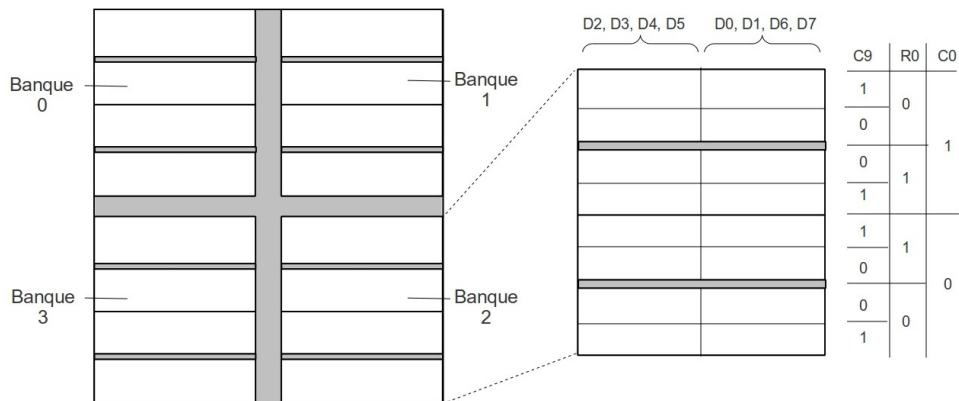


Figure IV-9 : Découpage logique des blocs mémoire selon les bits d'adresses

Par convention, nous appelons  $C_0, C_1, \dots, C_n$  les bits d'adresse des colonnes,  $R_0, R_1, \dots, R_m$  ceux des lignes, et  $D_0, D_1$  et  $D_2$  (mémoire de 8 bits) ceux des données. Nous voyons que le bit de poids faible des colonnes ( $C_0$ ) détermine si la cellule se trouve dans la moitié haute ou basse de la banque, puis  $R_0$  et  $C_9$  précisent cette position. Suivant l'autre axe, ce sont les bits de données qui indiquent si la cellule se trouve dans la moitié gauche ou la moitié droite de la banque.

La cartographie restreinte avec des pas fins permet de compléter la fonction d'adressage en déterminant le rôle des autres bits dans le découpage logique de la mémoire.

### IV.C.1.2 Sensibilité laser des cellules

La sensibilité laser des cellules est utile à des fins comparatives : en l'état actuel des connaissances, l'objectif de ces tests n'est pas de se substituer aux accélérateurs de particules pour déterminer un taux d'erreurs, mais de comparer de manière relative la sensibilité selon diverses configurations ou plusieurs composants. Il s'agit le plus souvent de déterminer les paramètres (tension, motif, mode d'opération, température, période de rafraîchissement, etc.) qui configurent le composant dans un état de sensibilité "pire cas", en vue d'un test ultérieur en accélérateur de particules. Un autre cas de figure peut être la sélection d'une référence dans le cas d'un changement de masque ou du remplacement d'un composant pour cause d'obsolescence.

Les tests laser que nous proposons consistent à déterminer pour une cellule mémoire le couple "surface de sensibilité laser" à une énergie donnée et "seuil de déclenchement". Pour que ces données puissent être comparées, il est essentiel que le protocole suivi soit identique pour tous les tests. Les étapes sont les suivantes :

- Après avoir calibré l'énergie du laser à l'aide d'une photodiode, le composant est positionné sous l'objectif du microscope, et une caméra infrarouge aide à se focaliser sur la face active. Un motif aléatoire est chargé sur toutes les banques, et un premier ensemble de tirs laser permet de vérifier que l'on se situe bien au-dessus d'un bloc mémoire et que suffisamment d'énergie est disponible pour déclencher des erreurs. Celles-ci indiquent par ailleurs le numéro de la banque, permettant de restreindre la plage d'adresse lue et de réduire les temps de lecture.

- On effectue ensuite un test de focalisation pour se positionner de manière optimale sur l'axe Z au niveau des zones sensibles. Cette procédure consiste à rechercher, pour différentes positions espacées de quelques micromètres le long de l'axe vertical, l'énergie laser seuil au-dessous de laquelle les erreurs n'apparaissent plus. La position optimale est alors celle pour laquelle cette énergie seuil est la plus faible.

- Une cartographie de repérage est ensuite réalisée pour s'assurer que la sensibilité est bien uniforme sur une large zone. En effet, comme nous l'avons vu au paragraphe III.B.2.1, certains éléments comme les amplificateurs ou les régulateurs de tension peuvent révéler une sensibilité supérieure à celle des cellules pour certaines références. Le motif de test "*#Bleeddown*" est alors chargé sur la banque cible pour que toutes les cellules soient dans le même état de sensibilité. La figure IV-10 montre une telle cartographie de 400 par 200  $\mu\text{m}$  effectuée avec des pas de 10  $\mu\text{m}$ ,

indiquant que la sensibilité est uniforme, que le laser ne se défocalise pas et qu'il n'y a pas de "poussières" sur la zone. Cette cartographie permet de choisir l'emplacement au milieu d'un bloc mémoire où les tests suivants pourront se dérouler.

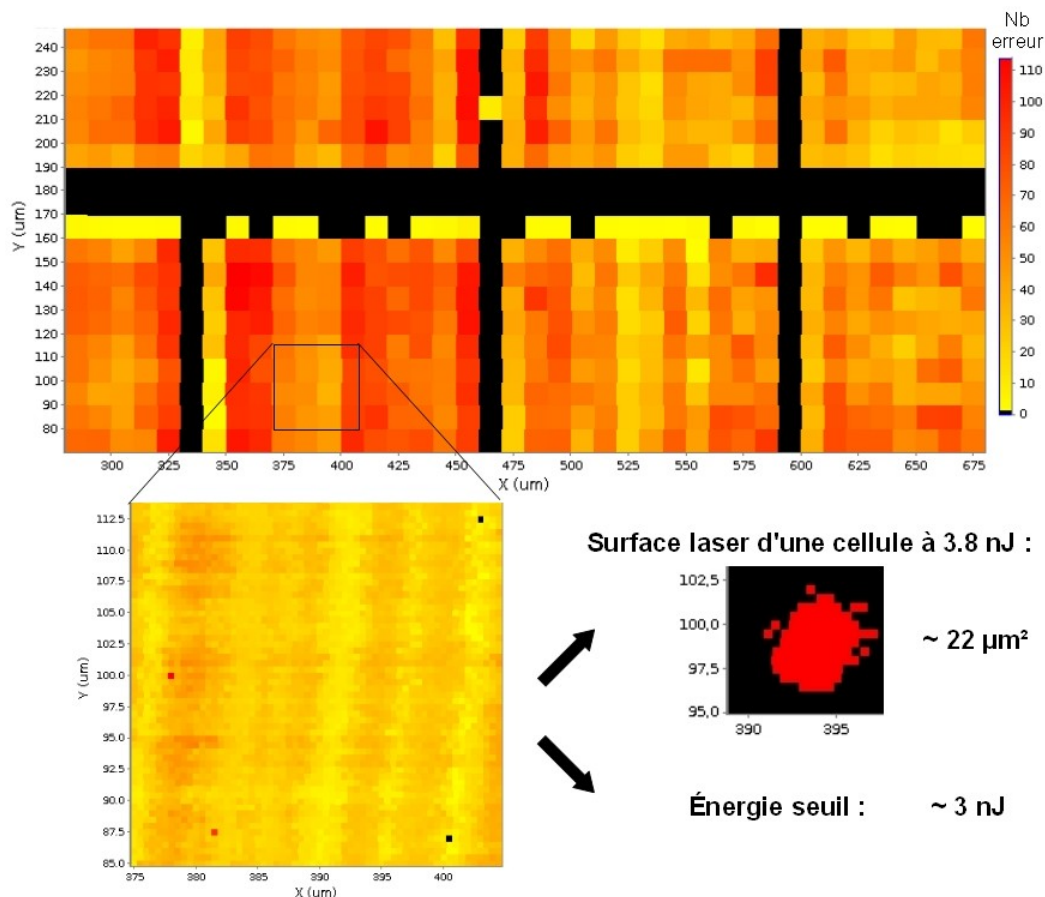


Figure IV-10 : Détermination de la surface de sensibilité laser d'une cellule pour une énergie et de son seuil de déclenchement

- Le deuxième test est la détermination de la surface sensible laser d'une cellule. Il s'agit d'une cartographie avec des pas relativement fins (quelques centaines de nm), sur une zone restreinte (quelques centaines de  $\mu\text{m}^2$ ). L'énergie laser est réglée à un niveau devant être identique pour tous les tests compte tenu des variations d'épaisseur. La plage d'adresse peut être déterminée préalablement en déclenchant des erreurs aux quatre coins de la zone, afin de la restreindre à quelques milliers de lignes. Cette cartographie permet d'extraire les positions pour lesquelles les cellules sont déchargées par les impulsions lasers, ce qui définit leur surface de sensibilité pour l'énergie donnée.

- Le dernier test est une recherche de l'énergie seuil des cellules. Le laser est positionné au

milieu de la zone et on recherche le niveau d'énergie au-dessous duquel les cellules n'apparaissent plus en erreur. La charge critique évoluant dans le temps à cause des courants de fuite, il est préférable de répéter ce test un certain nombre de fois pour obtenir un niveau d'énergie seuil moyen. Ce test identifie également les cellules les plus sensibles pour la position.

- Pour finir, l'épaisseur du substrat au milieu de la zone est mesurée pour calculer les pertes d'énergie dans celui-ci. L'énergie laser effective reçue par les zones sensibles est alors calculée selon l'équation suivante :

$$E_{eff} = E_0 * 10^{\frac{-Atténuation}{10}} * e^{-F_{dopage} * Ep_{substrat}}$$

où  $E_{eff}$  est l'énergie laser efficace, exprimée en nJ,  $E_0$  (nJ) est l'énergie du laser arrivant sur la puce sans atténuation mécanique,  $Atténuation$  (dB) est le niveau d'atténuation mécanique de l'énergie,  $F_{dopage}$  est le facteur de transmission lié au dopage du substrat, et  $Ep_{substrat}$  (cm) est l'épaisseur du substrat traversé.

Le résultat final est la combinaison d'une surface de sensibilité laser avec un niveau d'énergie seuil, qui définit la sensibilité laser de la cellule.

## IV.C.2 Tests laser des circuits périphériques

Les tests des circuits périphériques au laser nécessitent d'évaluer presque toute la surface de la partie logique du composant, car les structures à identifier ne sont pas aussi répétitives que les cellules du plan mémoire. Nous distinguons les tests de sensibilité aux SELs et aux SEFIs.

### IV.C.2.1 Tests de sensibilité aux SELs

Les tests de sensibilité aux SELs consistent à rechercher si des structures thyristors parasites à l'origine du phénomène existent au sein de la puce. Pour cela, il s'agit d'injecter des charges sur toute la surface du composant placé dans un mode statique (*Standby*, *Active*) et de contrôler la consommation de courant.

En cas de forte hausse dépassant un certain seuil, le "*D-latcher*" s'active et une séquence d'actions, décrites sur la figure IV-11, permet de protéger le composant. Cette séquence consiste

d'abord à couper l'alimentation pour arrêter le mécanisme, puis à accélérer la décharge de l'énergie accumulée en activant un transistor de type MOSFET, placé entre l'alimentation et la masse. Lorsque la consommation devient nulle et est stabilisée, alors le composant est remis sous tension.

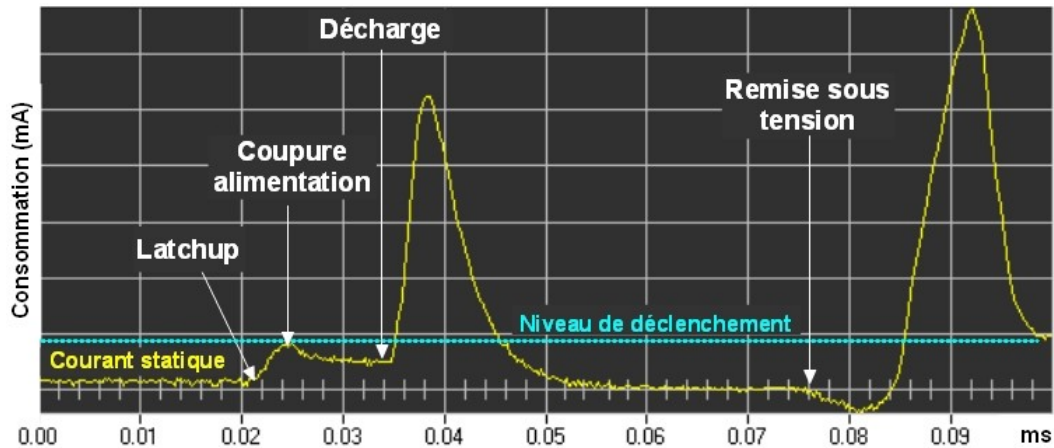


Figure IV-11 : Procédure de gestion du SEL

Seule l'alimentation électrique intervient dans ce cycle, aussi il est relativement rapide ( $\sim 100 \mu\text{s}$ ) et autorise des tirs laser à haute fréquence (quelques kHz). Ainsi pour une puce de  $1 \text{ cm}^2$  et avec des tirs à  $1 \text{ kHz}$  tout les  $10 \mu\text{m}$  ( $1 \times 10^6$  tirs), le test peut être réalisé en une vingtaine de minutes.

La corrélation entre l'énergie laser et le LET fait encore l'objet de controverses, si bien qu'un niveau de LET seuil précis ne peut être donné à l'heure actuelle. En revanche, il est possible de garantir que l'énergie est équivalente à un LET supérieur à  $70 \text{ MeV}/(\text{mg}/\text{cm}^2)$ , ce qui correspond à des ions très énergétiques.

Un certain nombre de SEFIs peuvent également être à l'origine des hausses de courant ; il est donc important de régler le seuil de déclenchement à un niveau suffisamment élevé pour ne pas confondre les événements. Bien que ces tests aient une moins bonne précision spatiale que les cartographies présentées jusqu'ici, il est tout de même possible de positionner les événements sur une image en deux dimensions, comme sur la figure IV-12.

Ainsi en cas de doute sur la nature de certains événements ayant entraîné une hausse de courant (SEL, SEFI, SET, etc.), le laser peut être repositionné au-dessus de ces zones pour effectuer des cartographies locales précises et vérifier la signature des erreurs.

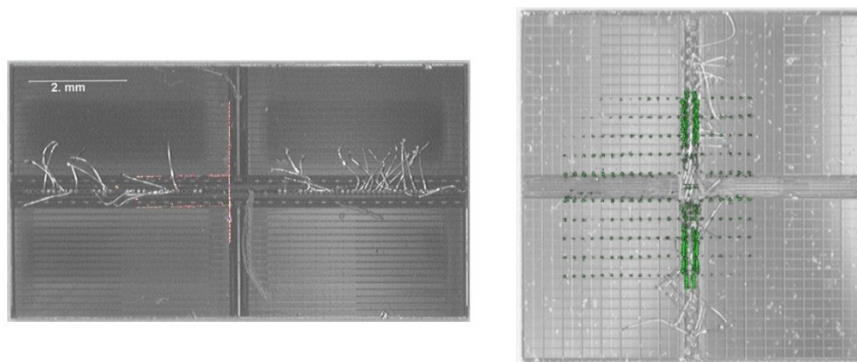


Figure IV-12 : Image de cartographies SEL

### IV.C.2.2 Cartographies SEFIs

Le principe des cartographies SEFIs a été présenté dans la partie III.B.1, illustrant les capacités du laser à déceler les événements apparaissant dans les circuits périphériques. Nous proposons ici de décrire une façon de les mettre en œuvre pour une utilisation industrielle, sachant que les problématiques majeures sont la durée des tests et les risques de défocalisation dus aux grandes surfaces à tester.

La focalisation peut être vérifiée en réalisant des tests de focalisation aux quatre coins de la puce. L'aspect temporel est lui déterminé par le nombre de lectures à effectuer : la cartographie complète d'une puce 512 Mb de 1 cm<sup>2</sup> avec des pas de 10 μm représente 1x10<sup>6</sup> tirs, soit 4 mois de test avec des cycles de lecture de 10 secondes. Néanmoins, les SEFIs ne sont liés qu'aux circuits périphériques, ne représentant qu'environ 20 % de la surface du composant. Il est donc possible d'optimiser les temps de test en n'évaluant précisément que les zones intéressantes.

Nous proposons donc d'effectuer d'abord une localisation approximative des zones dans lesquelles des SEFIs apparaissent, puis de réaliser des cartographies fines de celles-ci pour déterminer précisément les types d'événements et les surfaces sensibles.

La première phase consiste en une série de tirs laser répartis régulièrement au sein de zones assez larges. Une seule lecture est réalisée par zone à la suite de ces tirs, et l'on tente de déterminer le type prépondérant d'effets ayant été déclenchés. Un seul effet est détecté sur des zones où plusieurs peuvent se côtoyer. L'algorithme détecte donc par ordre de priorité les SELs, suivis des Hard-SEFIs, des "Mode Register Errors", des SEFLUs et des SEUs.

L'algorithme est similaire à celui d'un test classique (figure IV-3), à l'exception des seuils qui



sont plus importants. Lorsque des SEUs et des SEFLUs apparaissent dans la même zone, l'envoi d'une commande MRS permet de distinguer ces derniers.

Les zones pour lesquelles des événements SEFIs apparaissent sont sélectionnées, et peuvent être découpées en sous-parties dans lesquelles une nouvelle série de tirs laser peut être effectuée. Le processus est ainsi reproduit jusqu'à ce que les zones intéressantes soient suffisamment restreintes. Des cartographies précises sont alors réalisées, avec un cycle de lecture pour chaque tir laser.

Ayant conclu dans notre étude de la partie III.C.2 que les motifs non répétitifs sont les plus efficaces pour détecter les SEFLUs, nous utilisons le motif "Random" pour ces tests. La figure IV-13 est un exemple de résultats obtenus durant ces deux phases. Seules les zones des circuits périphériques ont été ciblées par souci de célérité.

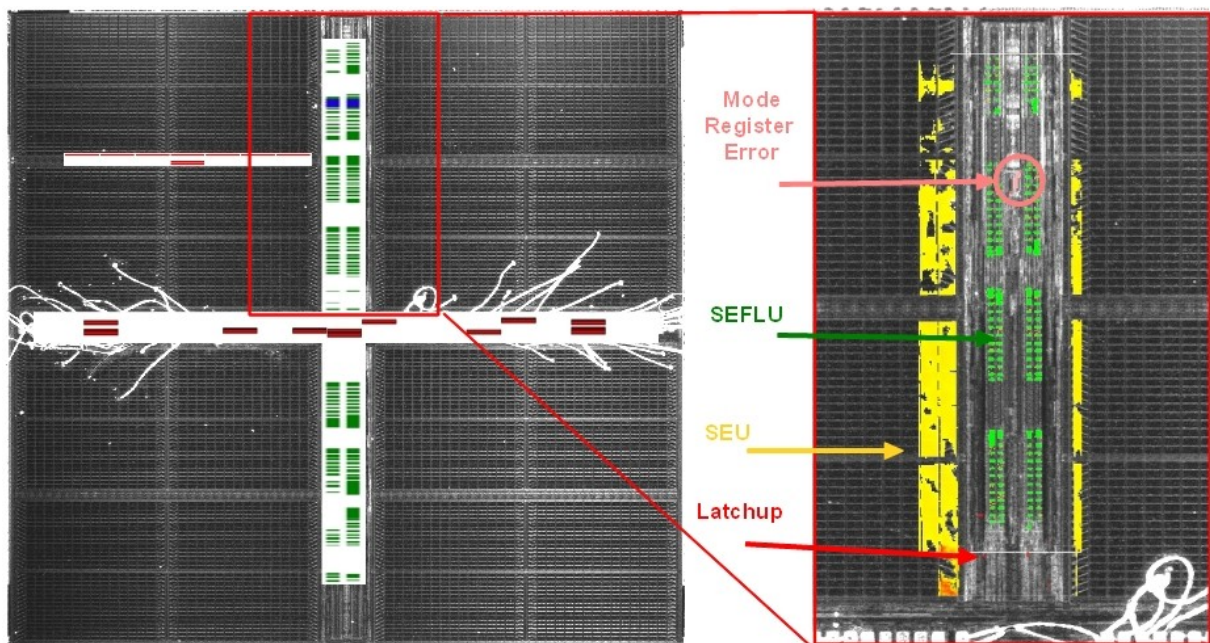


Figure IV-13 : Cartographies approximatives et détaillées des zones SEFIs dans une SDRAM

La figure de gauche indique les résultats des tests de localisation. Les SEFIs (vert et bleu) n'apparaissent que sur l'axe vertical, tandis que des SELs (rouge) sont principalement déclenchés sur les axes horizontaux. Ces derniers étant évalués de manière plus rapide avec la technique décrite au paragraphe précédent (IV.C.2.1), les cartographies précises peuvent être concentrées sur l'axe où les SEFIs apparaissent. Nous voyons de plus que les zones SEFLUs sont

symétriques, aussi il est possible de ne tester qu'une moitié de la puce, et d'extrapoler les résultats à l'autre moitié.

La figure de droite est la superposition d'une cartographie SEFI précise sur une photographie de la partie de la puce concernée. Il s'agit de la partie centrale haute du composant, pour laquelle une zone "*Mode Register Error*" a été détectée en sus des SEFLUs. Les surfaces de sensibilité laser peuvent alors être approximativement déterminées pour chaque effet.

Cette technique ramène ainsi à quelques dizaines d'heures la durée du test, tout en ayant l'assurance d'avoir déclenché tous les événements possibles.

Les sorties de ces tests sont les différents types de SEFIs, leurs signatures et surfaces de sensibilité, donnant un ordre de grandeur conservateur de la section efficace ions lourds à saturation. En répétant ce test pour plusieurs configurations, il est aussi possible d'étudier l'influence de certains paramètres (motif, température, etc.) sur ces modes de défaillance.

### IV.C.3 Tests en accélérateur de particules

Les tests en accélérateur de particules sont à l'heure actuelle incontournables pour déterminer les sections efficaces à différentes énergies et calculer les taux d'erreurs. Nous avons vu dans la partie I.B.1 que les types de particules à considérer variaient selon les environnements.

Les différents types d'accélérateurs et les méthodes de calcul ainsi que les contraintes de mise en œuvre ont respectivement été présentés aux paragraphes I.C.2.1 et I.C.2.2. Néanmoins, nous avons également vu que ces procédures sont génériques, et deviennent de moins en moins adaptées à la problématique des mémoires complexes comme les DRAMs (IV.A.1). Nous proposons donc dans cette partie des compléments d'information sur la manière de réaliser ces tests de façon optimale.

Les testeurs doivent tout d'abord répondre aux prérequis évoqués en IV.A.3, notamment en terme de performances, de protection SEL et d'algorithme de détection de SEFIs (figure IV-3). Les adresses des erreurs survenant pendant les procédures de recouvrement SEFI doivent être enregistrées, et les temps morts liés à ces procédures et aux événements SELs doivent être pris en compte, et soustraits de la fluence totale.

Concernant la fluence, même si les recommandations de  $1 \times 10^7$  particules/cm<sup>2</sup> sont faibles au

regard du nombre de cellules, le flux peut difficilement excéder 1000 particules/cm<sup>2</sup>/s, car d'une part l'écart entre les nombres d'erreurs SEUs et SEFLUs deviendrait trop faible pour les distinguer, d'autre part les redémarrages dus aux Hard-SEFIs seraient trop fréquents pour correctement réaliser les tests. Il y a donc relativement peu de marge possible avec ces paramètres, qui mènent à des durées de test de 3 heures par jeu de conditions. Néanmoins, si des évaluations laser ont été préalablement faites, les paramètres "pire cas" ont pu être déterminés, et le nombre de tests peut être limité.

Le choix du motif de test a été discuté dans la section II.C. Nous avons vu que celui permettant d'obtenir le niveau de sensibilité le plus conservateur variait selon la technologie : "*#Bleeddown*" pour celles antérieures à 180 nm, et des motifs pseudo-aléatoires ("*Random*") pour les plus récentes.

Le niveau de déclenchement SEFI doit correspondre à la plus petite taille de SEFLU possible, généralement 256, 512 ou 1024. Enfin, si le composant n'est que partiellement ouvert, le nombre de cellules exposées devra être évalué.

Durant l'irradiation, un affichage en direct du nombre d'événements détectés et une représentation des erreurs [ADE10] est utile pour réagir rapidement et adapter au mieux certains paramètres comme le flux. Le nombre de SEUs à chaque lecture doit être bien inférieur au seuil SEFI (<20 %) afin de clairement distinguer ces événements. Selon le souhait de l'expérimentateur, le test (*run*) peut s'arrêter lorsque la fluence est atteinte, ou lorsque suffisamment d'événements sont obtenus pour que les marges d'erreur soient faibles.

À la suite de l'irradiation, les résultats doivent être analysés et corrigés pour prendre en compte les erreurs non détectées, calculer la fluence réelle et retrouver le LET effectif pour chaque événement. La vérification des adresses des erreurs permet de s'assurer que le bon nombre d'événements est calculé. En effet, certains peuvent ne pas être détectés durant les tests : un SEFLU peut survenir au milieu d'une lecture, les erreurs sont alors réparties sur deux cycles et la procédure de recouvrement ne se déclenche pas. Par ailleurs, des SEUs continuent de se produire pendant que l'algorithme tente de déterminer l'effet, il convient donc de les prendre en compte dans le calcul final de section efficace. Enfin, des bits collés (*Stuck Bit*) liés à des effets de dose apparaissent inévitablement, et il ne faut naturellement pas les comptabiliser comme des SEUs.

Ces analyses peuvent être automatisées, mais une représentation visuelle facilite les vérifications. La figure IV-14 est un exemple de résultats d'irradiation aux protons d'une SDRAM

Micron 256 Mb 110 nm.

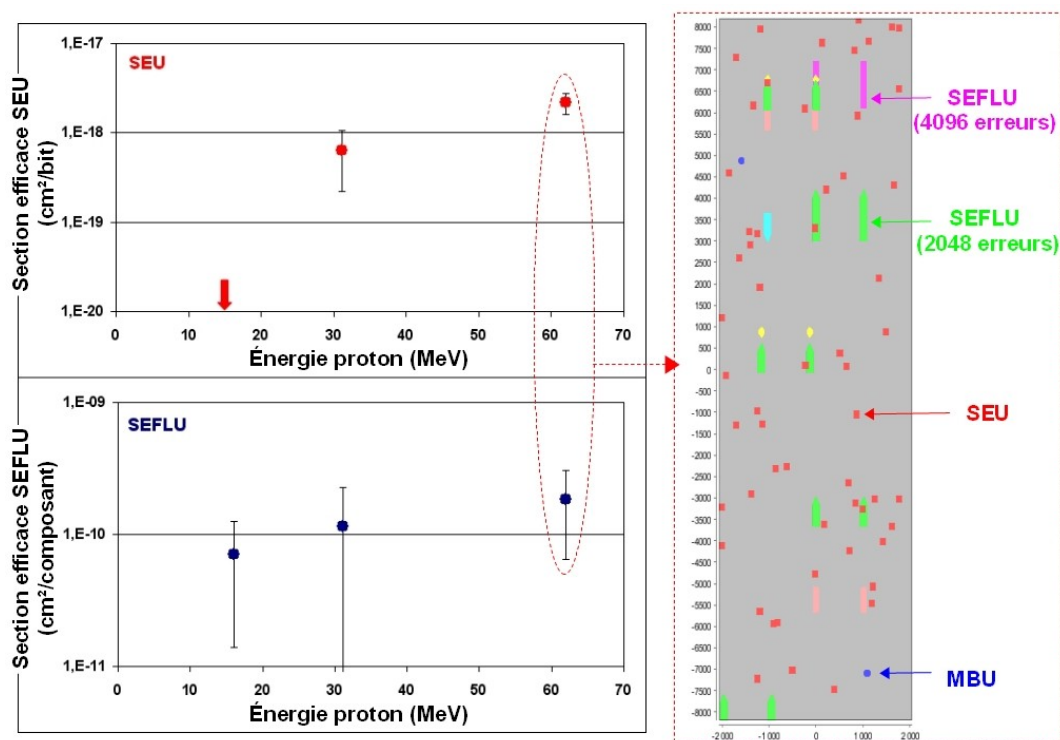


Figure IV-14 : Résultats d'irradiation aux protons d'une SDRAM Micron 256 Mb 110 nm.

Les sections efficaces SEUs et SEFIs sont indiquées pour trois énergies sur deux graphiques différents, car le premier s'exprime en  $\text{cm}^2/\text{bit}$ , et le second en  $\text{cm}^2/\text{composant}$ . Les barres d'erreur, traduisant l'incertitude sur les résultats, sont calculées pour un niveau de confiance de 95 %, selon la formule suivante :

$$\phi^{-1}\left(\frac{\alpha}{2}\right) \cdot \frac{1}{\sqrt{F}} \cdot \sqrt{\frac{N-F}{N-1}} \approx 1.96 \cdot \frac{1}{\sqrt{F}} \cdot \sqrt{\frac{N-F}{N-1}}$$

où  $N$  est le nombre total d'éléments mémoire et  $F$  le nombre d'événements observés.

Concernant les SEFLUs, une difficulté est que  $N$  correspond à la population de "Fuse-Latch" qui n'est *a priori* pas connue, sauf si une étude laser a été effectuée. À défaut, un ordre de grandeur (quelques milliers) permet d'obtenir une approximation de ce calcul.

Les adresses des erreurs observées au cours du test à 63 MeV sont aussi affichées sur la figure IV-14, selon les numéros de ligne et de colonne. Les SEUs, MBUs et SEFLUs de plusieurs tailles sont distingués par un code couleur. Les taux d'erreurs SEUs et SEFIs sont calculés selon les

méthodes respectivement décrites en II.A.2.1 et III.A.2.1.

La fonction de transfert de cette mémoire étant connue, les sections efficaces MCUs ont pu être calculées (figure IV-15). On constate qu'il y a quasiment autant d'événements doubles (MCU-2) que de simples (SBU), et que des événements pouvant toucher jusqu'à six cellules ont été observés.

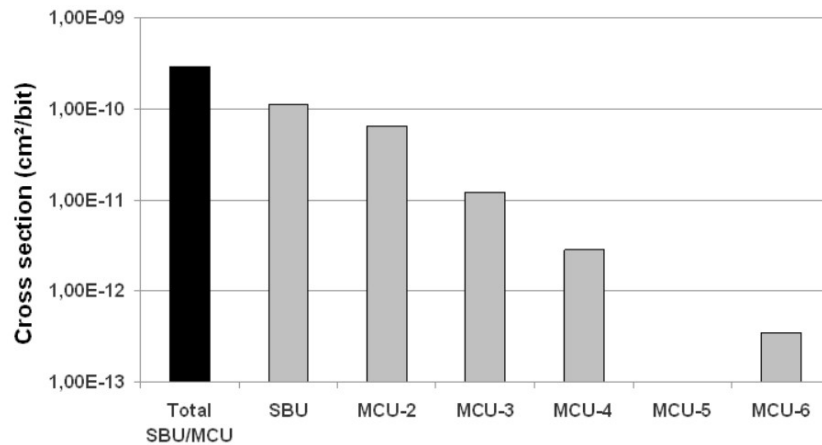


Figure IV-15 : Différentiation des événements selon leur taille lors d'un test aux ions lourds

#### ***IV.D Conclusion***

Nous proposons à travers ce chapitre une méthodologie de test complète pour la caractérisation de mémoires DRAMs, utilisant de manière complémentaire les tests traditionnels en accélérateur de particules et le laser. Cette méthodologie répond aux besoins d'évaluer précisément, de manière exhaustive et à un coût raisonnable la sensibilité de ces mémoires complexes, ce qu'il est difficile de faire en suivant exclusivement les normes actuelles.

Selon les environnements, la précision souhaitée et le budget dédié à la caractérisation, les types de test à mettre en œuvre sont différents. La méthodologie propose ainsi des procédures pour chacune des étapes, que ce soit pour obtenir les sections efficaces SEUs et SEFIs, pour déterminer la présence de SEL et les types de SEFIs, ou bien trouver la taille des plus grands MBUs et MCUs possibles.

Nous distinguons les procédures liées à la préparation des échantillons, de celles de réalisation des tests. Les premières incluent les phases d'analyse du composant, avec l'utilisation de l'imagerie aux rayons X pour optimiser l'ouverture des composants, la mise à nue de la puce pour le

positionnement du laser pendant les tests, et l'analyse technologique pour la détermination du nœud technologique. Elle inclut également les étapes de préparation des échantillons de test, comme l'ouverture du boîtier pour les irradiations ions lourds et laser, le test fonctionnel des mémoires qui s'en suit, ainsi que l'obtention du motif "*#Bleeddown*" pour connaître l'état électrique des cellules mémoire.

Selon le besoin, des tests laser, en accélérateur de particules ou les deux peuvent être mis en œuvre. Des méthodes de test pour obtenir au laser des paramètres d'architecture comme la fonction d'adressage ou la taille du plus grand MBU possible sont décrits. D'autres procédures concernant la sensibilité laser des cellules sont également détaillées, dans l'objectif de comparer différentes configurations ou plusieurs références de composants. Les tests laser des circuits périphériques demandent aussi des techniques particulières pour être optimisés, que ce soit pour déceler rapidement la présence de SEL, ou pour déterminer les différents types de SEFIs et leurs surfaces de façon précise. Les tests en accélérateur de particules restent la référence pour obtenir des sections efficaces vis à vis d'un environnement donné, pourvu que les bons paramètres de test soient choisis, et que l'analyse des résultats soit rigoureuse.



## **Chapitre V - Proposition d'une solution de tolérance aux fautes**

Alors que les chapitres précédents avaient pour objectif de proposer des méthodes de caractérisation de DRAMs, celui-ci propose une solution de détection et de correction d'erreurs pour ces composants. Cette solution innovante, découverte et validée pendant la thèse, a été brevetée en France et dans les principaux pays à l'étranger. Après un exposé succinct de l'état de l'art des techniques employées actuellement pour réaliser cette fonction (V.A), nous décrivons les principes de la méthode (V.B) et présentons un exemple de mise en œuvre et sa validation expérimentale (V.C).

### ***V.A Techniques de protection usuelles***

Les codes correcteurs d'erreurs sont des techniques de codage basées sur la redondance, destinées à corriger les erreurs pouvant survenir durant le stockage ou la transmission de données numériques. Ils sont systématiquement employés sur les systèmes aéronautiques critiques, en particulier pour assurer l'intégrité du contenu des mémoires d'exécution de code.

Néanmoins leur efficacité dépend de leur complexité et donc de leur coût. Les critères déterminant l'efficacité de ces techniques sont le nombre d'erreurs pouvant être détectées et corrigées dans un mot, le rendement, c'est à dire le rapport du nombre de bits stockés au nombre de bits utiles, le temps de traitement (en lien avec la vitesse d'accès de la mémoire) ainsi que la quantité de ressources (nombre de portes logiques) requise. Voici un état de l'art des solutions classiques actuelles :

- Contrôle de parité : la parité est un des systèmes de contrôle les plus simples. Il consiste à ajouter un bit supplémentaire (bit de parité) à un certain nombre de bits de données, dont la valeur est telle que le nombre total de bits à 1 est toujours paire (ou impaire). Cette technique ne permet pas la correction de l'erreur, aussi est-elle surtout utilisée lorsqu'il existe une copie de la donnée, comme dans les mémoires caches des processeurs.

- Codes de Hamming : cette famille de codes permet la détection de deux erreurs et la correction d'une erreur au sein d'un mot [HAMM50]. Le code de Hamming (11,7) protège ainsi une information de 7 bits en ajoutant 4 bits supplémentaires. Ce code est celui dont le rendement est maximal pour la correction d'une erreur simple. Il est employé lorsque le risque d'avoir des



erreurs multiples est relativement faible.

- Codes Reed-Solomon : ces codes fonctionnent par blocs et corrigent plusieurs erreurs au sein d'un même mot [RSOL60]. Pour une information de  $N$  bits et pour corriger  $K$  bits, il est nécessaire de stocker  $N + (2 * K)$  bits. Ainsi, pour être en mesure de corriger l'intégralité d'un mot, il est nécessaire de stocker trois fois plus d'information. Les calculs de polynôme effectués étant complexes, leurs implantations sont coûteuses et les bandes passantes fortement réduites. Ces codes sont généralement utilisés dans les applications les plus critiques ne tolérant aucune erreur.

- Redondance modulaire triple : chaque donnée est ici stockée en trois exemplaires séparés physiquement [ROD85]. Un "votant" les compare et sélectionne la valeur apparaissant au moins deux fois. Tous les bits d'un mot peuvent être corrigés si les répliques ne sont pas simultanément touchées, le nombre de bits stockés étant trois fois supérieur au nombre de bits utiles.

Les deux dernières techniques peuvent assurer l'intégrité de tous les bits d'un mot, mais à la condition de stocker trois fois plus d'informations, ce qui a un impact non négligeable sur l'encombrement et la consommation électrique. Il existe donc un besoin pour des techniques offrant un meilleur rendement.

## ***V.B Description de la technique proposée***

Durant notre étude relative aux méthodes de test de cellules DRAMs, nous avons démontré la propriété physique d'insensibilité aux radiations d'un de ces états. L'idée de mettre à profit cette propriété dans le cadre d'une solution de tolérance aux fautes a alors germé (V.B.1), et nous avons imaginé des possibilités de mise en œuvre concurrençant les techniques existantes (V.B.2).

### **V.B.1 Utilisation de la propriété d'insensibilité des cellules**

Le fonctionnement des cellules DRAMs et leurs mécanismes de décharge liés aux radiations ont été présentés aux paragraphes I.A.2.1 et II.A.1.1. La propriété d'insensibilité des cellules une fois déchargées a quant à elle été vérifiée expérimentalement au paragraphe II.C.1.1.

La conséquence de cette propriété est qu'un SEU ne peut se produire que dans un sens, de

l'état chargé vers l'état déchargé. Le concept de base de notre technique repose donc sur le fait qu'il est possible de corriger un bit si l'on connaît la correspondance entre son état de charge et sa valeur logique : la valeur d'origine sera toujours celle correspondant à l'état chargé.

Le principe élémentaire est illustré sur la figure V-1, illustrant trois cellules ayant la même valeur logique pour un état de charge donné (ex: Gnd = '1'). La première est utilisée comme cellule de référence (Cref), et est figée dans son état "bleeddown" (déchargé), insensible aux radiations. Son rôle est d'indiquer la valeur logique correspondant à cet état. Les informations utiles sont quant à elles dupliquées sur deux cellules (C1, C2).

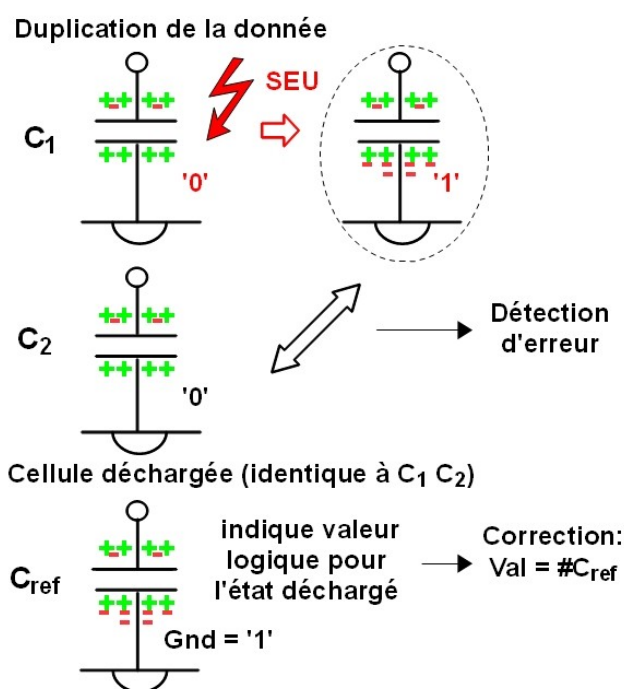


Figure V-1 : Principe élémentaire de la méthode de détection et de correction d'erreurs

Un SEU est détecté lorsqu'au cours d'une lecture, C1 et C2 ne donnent pas la même valeur. L'erreur est identifiée, mais la valeur d'origine n'est alors pas connue. C'est pourquoi Cref est utilisée : sa valeur n'est jamais modifiée et indique celle insensible au SEU, aussi la valeur d'origine de C1 et C2 est l'inverse de celle de Cref. Un cycle de lecture consiste dans un premier temps à accéder à C1 et C2 : s'ils sont identiques (la plupart du temps) il n'y a pas d'ambiguïté sur la valeur ; dans le cas contraire, il peut s'agir d'une erreur de lecture ou d'un SEU aussi un second accès est effectué pour vérifier si l'erreur est mémorisée ou non. Si c'est le cas, alors Cref est lue afin de retrouver la valeur d'origine, qui est transmise et réinscrite dans la mémoire. Cette

approche nécessite d'identifier les structures périodiques au sein desquelles des groupes de cellules ont la même correspondance état de charge / valeur logique. Une des méthodes possibles pour obtenir cette correspondance, basée sur l'arrêt du rafraîchissement de la puce, a été décrite au paragraphe IV.B.2.3.

Ce procédé a été déposé au niveau français et international : il s'agit du brevet "WO/2009/153527", intitulé "*Detection and correction of errors for a memory, the bit states of which have a different resistance to errors.*", qui a par ailleurs été présenté en conférence internationale [BOUG09].

## V.B.2 Possibilités d'implantation

Le principe élémentaire présenté ci-dessus avec trois cellules doit être optimisé pour obtenir un rendement intéressant. Pour cela, il s'agit d'utiliser une cellule de référence commune à plusieurs cellules d'information.

Un fabricant de DRAM pourrait ainsi optimiser une architecture lors de la conception d'une puce tolérante aux fautes pour obtenir le meilleur rendement possible, proche de 2. Le cas le plus fréquent est néanmoins celui d'un concepteur d'équipements utilisant des mémoires commerciales classiques. Il s'agit alors de s'adapter au mieux à la structure existante, que ce soit pour une architecture mono ou multi-boîtiers.

Dans une architecture mono-boîtier, les structures périodiques, au sein desquelles les cellules ont la même correspondance valeur logique / état de charge, peuvent être les lignes, les colonnes, les blocs ou bien les banques complètes. La figure V-2 illustre deux possibilités d'implantation dans un boîtier unique, utilisant la périodicité des lignes. Dans ce cas de figure, une cellule unique peut être utilisée comme référence pour toutes les autres d'une même ligne. Le rendement d'une mémoire organisée en 1024 colonnes est alors :

$$R = \frac{1024}{(1024 - 2)/2} = 2,004$$

Les deux implantations proposées diffèrent selon que les cellules C1, C2 et Cref se trouvent sur une ligne au sein de la même banque ou dans des banques différentes afin de supprimer le risque MBU.

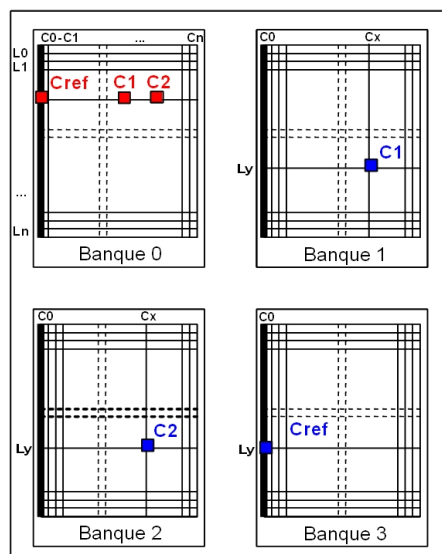


Figure V-2 : Exemples d'implantation dans une architecture mono-boîtier

Un autre exemple d'implantation est donné sur la figure V-3 pour une architecture multi-boîtiers, la plus fréquemment utilisée lorsque de grosses capacités mémoires sont souhaitées.

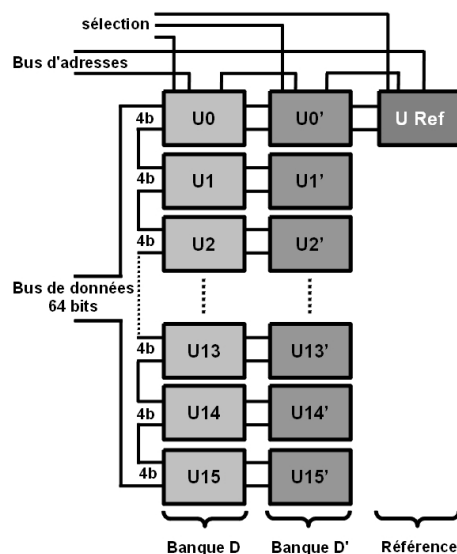


Figure V-3 : Exemple d'implantation dans une architecture multi-boîtiers

Tous les composants sont supposés identiques, aussi leurs adresses ont les mêmes valeurs logiques pour des états de charge donnés. Ils sont disposés en parallèle pour former deux banques, et un composant configuré avec son motif "*bleeddown*" est câblé en sus pour servir de référence. En opération, les informations sont dupliquées dans les deux banques  $U_x$  et  $U_x'$ , et les

valeurs sont comparées à chaque lecture. Si elles sont différentes, un accès à cette même adresse dans Uref donne la valeur logique correspondant à l'état déchargé : l'inverse de la valeur d'origine. Dans cet exemple, des composants ayant une largeur de bus de données de 4 bits sont utilisés afin de former un bus standard de 64 bits. Cette architecture nécessite donc 33 composants et son rendement est :

$$R = \frac{33}{(33-1)/2} = 2,06$$

### ***V.C Mise en œuvre et validation***

Même si elle peut être développée de manière logicielle, cette technique est plutôt vouée à être implantée sous la forme d'un contrôleur mémoire matériel afin que les performances en vitesse d'accès soient intéressantes.

Pour vérifier expérimentalement son efficacité, nous l'avons mise en œuvre dans une architecture mono-boîtier, et avons réalisé des injections de fautes par laser ainsi qu'une caractérisation en accélérateur de particules.

#### **V.C.1 Développement d'un contrôleur matériel tolérant aux fautes**

Le testeur et les cartes filles présentés dans la partie IV.A.3 étant parfaitement adaptés, aucun composant supplémentaire n'a été nécessaire et seul le développement d'un contrôleur VHDL pour le FPGA de contrôle a été requis. Celui-ci se base sur un contrôleur SDRAM classique auquel est ajoutée la logique spécifique.

Les principales spécifications de cette IP (bloc réutilisable, ou *Intellectual Property*) sont d'être compatible avec le processeur SPARC 32 bits (plateforme LEON3), transparent pour le programme et l'utilisateur et adaptable à plusieurs capacités de DRAMs. Un registre active ou désactive la fonctionnalité de correction d'erreurs, et un autre comptabilise le nombre de corrections effectuées durant les tests. Ayant privilégié pour cette validation une implantation simple au détriment d'un rendement maximum, une banque complète est utilisée pour le motif "*bleeddown*", tandis que les données sont dupliquées sur des colonnes successives (éloignées physiquement) au sein de chaque ligne. Le rendement n'est ainsi que de 2,6 mais des

optimisations sont possibles.

Le fonctionnement est le suivant : lorsque le processeur souhaite accéder à une donnée en mémoire principale, il interroge le contrôleur mémoire qui procède à la lecture des deux copies et les compare. Si une erreur est détectée, il accède à la donnée de référence, en déduit la valeur d'origine qu'il transmet au processeur tout en corrigeant la mémoire.

Cette méthode, conçue pour assurer une protection vis à vis des SEUs et MBUs, ne couvre en revanche pas les SEFLUs dont les causes sont différentes. C'est pourquoi une technique de contournement spécifique, basée sur l'envoi périodique d'une commande MRS, est mise en œuvre en parallèle dans ce contrôleur.

### V.C.2 Tests laser et accélérés

L'outil laser est particulièrement approprié pour évaluer l'efficacité de la technique, car un nombre important d'erreurs peut être injecté à la fréquence et aux emplacements souhaités. Des campagnes de tests laser ont donc été menées sur une SDRAM 128 Mb 210 nm. Un motif aléatoire ("*Random*") est inscrit sur la plage d'adresses accessible (48 Mb), et plusieurs milliers de tirs sont effectués sur toute la surface du composant. Entre chacun d'eux, le processeur procède à la lecture et à la comparaison des données comme lors d'un test classique, mais le contrôleur est activé pour corriger les erreurs avant de les présenter. Comme espéré, aucune erreur n'est parvenue jusqu'au processeur, malgré les dizaines de milliers de fautes corrigées et comptabilisées dans le registre dédié.

Pour quantifier précisément le gain de fiabilité obtenu, nous avons ensuite testé ce même composant sous faisceau de protons avec et sans la fonctionnalité de correction d'erreurs. Ces tests se sont déroulés à l'UCL avec quatre énergies. Les résultats et les barres d'erreur (niveau de confiance de 95%) sont affichés sur la figure V-4 pour plusieurs énergies.

Nous constatons que la sensibilité est réduite d'un facteur 2000 aux hautes énergies, démontrant à nouveau l'efficacité de la méthode et du contrôleur.

Le petit nombre d'erreurs restant est attribué aux lignes redondantes qui, dans cette configuration utilisant deux banques, empêchent le recouvrement de la donnée. D'autres implantations permettent néanmoins de s'affranchir de cette limitation.

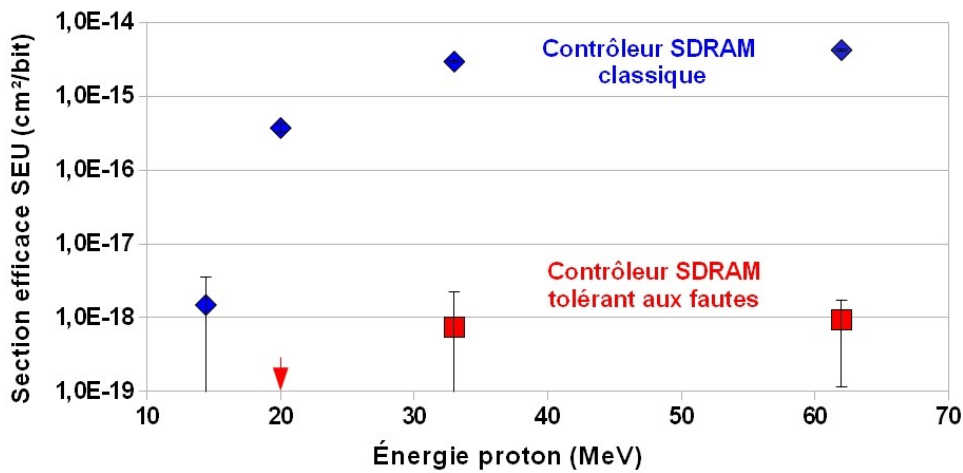


Figure V-4 : Résultats de test aux protons démontrant l'efficacité de la méthode de protection

### V.C.3 Performances

L'efficacité de la technique ayant été prouvée par les expériences précédentes, il s'agit maintenant de comparer ses performances vis à vis des autres méthodes existantes. Une synthèse est décrite dans le tableau V-1.

Tableau V-1 : Comparaison des performances des différentes méthodes

	Codes de Hamming (11/7)	Reed-Solomon	Redondance modulaire triple	Méthode proposée
Nb de bits corrigés au sein d'un mot	1	Tous	Tous	Tous
Nb de bits total pour la correction de n bits	/	3n	3n	2n + ε
Performance en vitesse d'accès	-	--	++	++
Simplicité du contrôleur	-	--	++	++
Type de défauts couverts	Tous	Tous	Tous	Radiatif

Les codes de Hamming ne pouvant corriger qu'un seul bit au sein d'un mot logique, ils ne rivalisent pas avec les trois autres techniques qui couvrent l'intégralité des bits. Notre technique proposée se distingue par son rendement intéressant pour un niveau complet de couverture : alors que les codes Reed-Solomon et la redondance modulaire triple nécessitent des capacités trois fois plus importantes que le nombre de bits utiles, notre méthode n'en nécessite que  $2 + \epsilon$

fois plus. Notons de plus que la redondance modulaire triple n'est efficace que si des événements multiples ne touchent pas les répliques. Néanmoins, il convient de mentionner que ces deux techniques couvrent également d'autres types de défauts, alors que celle que nous proposons ne protège que des événements radiatifs.

Concernant les performances, lorsque la technique est implantée de façon matérielle et qu'il n'y a pas d'erreurs, les vitesses d'accès sont bien supérieures à celles des codes mathématiques (Hamming, Reed-Solomon) car aucun calcul n'est effectué. Lorsqu'une erreur se produit, le temps d'accès est doublé, mais simplement pour l'adresse en défaut.

Le coût du contrôleur en nombre de portes logiques est également beaucoup plus faible que pour les codes mathématiques, et est sensiblement équivalent à la redondance modulaire triple.

Nous voyons donc que notre méthode combine des avantages vis à vis de la plupart des critères présentés. Les applications typiques pouvant tirer parti au mieux de ces caractéristiques sont les mémoires principales d'exécution de code, ou le stockage de grandes quantités de données critiques dont l'accès doit être rapide.

## ***V.D Conclusion***

Les travaux présentés aux chapitres précédents liés à la caractérisation des cellules DRAMs nous ont amené à étudier et vérifier la propriété d'immunité d'un de leurs états de charge. Ce faisant, l'idée de mettre à profit cette propriété pour élaborer une technique de correction d'erreurs a germé, puis a été mise en œuvre et brevetée. Différentes implantations sont possibles selon que l'architecture est mono ou multi-boîtiers. Les tests au laser et en accélérateur de particules ont prouvé l'efficacité de la méthode avec une réduction d'un facteur 2000 du taux de SEU aux protons.

Quant aux performances, les implantations les plus optimales rivalisent avec les autres techniques actuelles pour un même niveau de couverture.





## Conclusion générale

De nouveaux effets induits par des particules ionisantes apparaissent dans les générations récentes de DRAMs, aussi les méthodes de caractérisation doivent être adaptées. Nous avons pour cela étudié les différentes erreurs pouvant se produire au sein des blocs mémoire et des circuits périphériques, et proposé une méthodologie de test basée sur l'utilisation du laser en complément de l'accélérateur de particules. Le laser permet de révéler des paramètres d'architecture et les configurations les plus sensibles, tandis que l'accélérateur de particules permet de quantifier les taux d'erreurs pour les configurations choisies. Nous proposons en outre une nouvelle solution de tolérance aux fautes basée sur une propriété intrinsèque des cellules DRAMs, qui rivalise avec les codes correcteurs classiques.

La revue de l'état de l'art a montré que les technologies DRAMs ont beaucoup évolué ces quatre dernières décennies, et que leur complexité, notamment celle des circuits périphériques s'est grandement accentuée. De ce fait, les perturbations induites par les environnements radiatifs auxquels ces composants sont soumis lorsqu'ils sont embarqués dans des avions ou des véhicules spatiaux sont plus variés, et il faut à présent distinguer les effets SEU dans les plans mémoire, des effets SEFI et SEL dans les circuits périphériques. Or les caractérisations classiques en accélérateur de particules préconisées par les normes internationales ne permettent plus d'évaluer correctement tous les modes de défaillance avec des statistiques suffisantes et à un coût raisonnable. Face aux difficultés d'utilisation et de disponibilité de ces moyens, des techniques complémentaires comme l'injection de charges par faisceaux laser impulsions ont été développées. Pour répondre au besoin des industriels de disposer de méthodes de test plus adaptées aux composants récents, il était nécessaire de commencer par étudier distinctement les modes de défaillance dans les plans mémoire et dans les circuits périphériques, grâce notamment aux outils laser et accélérateur de particules.

Dans les plans mémoire, les expériences menées pour évaluer l'évolution des niveaux de sensibilité ont montré que la susceptibilité aux SEUs par cellule diminue avec l'intégration technologique, et que l'écart entre celle des cellules empilées et enterrées diminue également. Les expériences laser, jusqu'ici peu pratiquées sur les DRAMs, ont montré que les mêmes mécanismes de décharge peuvent être reproduits par l'interaction photon-silicium, et que plusieurs informations de sensibilité et d'architecture peuvent être retrouvées. En particulier, la sensibilité laser d'une cellule peut être comparée pour différentes configurations ; la fonction de

transfert entre les adressages logiques et physiques peut être obtenue ; de même que la taille du plus grand MBU possible. Par ailleurs, le choix du motif de test influençait grandement les résultats SEU obtenus en accélérateur, et une étude approfondie a révélé que la nature dissymétrique du point mémoire, dont un état de charge est insensible à la collection de charges, en est la cause. Il existe ainsi d'une part un motif pour lequel ces mémoires sont totalement immunes aux radiations, et d'autre part deux mécanismes de décharge (collection et transfert de charges) dont l'importance respective varie selon le nœud technologique. Il en résulte que le motif pour lequel toutes les cellules sont chargées ("*#Bleeddown*") permet d'obtenir la sensibilité "pire cas" pour les technologies antérieures à 180 nm, et que les motifs pseudo-aléatoires le permettent pour celles plus récentes car tous les mécanismes d'erreur sont alors sollicités.

Concernant les modes de défaillance des circuits périphériques, les SEFIs ont une importance croissante à mesure que les technologies évoluent, mais face aux erreurs engendrées, les codes de correction d'erreurs classiques sont inefficaces. Les normes ne décrivent pas encore la manière de caractériser ces effets, pourtant difficiles à évaluer en accélérateur de particules. À l'inverse, le laser est parfaitement adapté pour caractériser ces événements SEFIs : d'une part l'injection de charges est contrôlée spatialement et temporellement, ce qui permet de déterminer et de localiser les effets, d'autre part des statistiques importantes peuvent être obtenues sur des zones ciblées. Le SEFI le plus fréquemment rencontré a été nommé SEFLU (*Single Event Fuse-Latch Upset*) car il est la conséquence du basculement logique d'un "*Fuse-Latch*" dans les circuits de redondance, induisant l'adressage erroné de lignes (ou de colonnes) complètes. Une méthode de contournement existe, et consiste à envoyer régulièrement une commande spécifique forçant les structures à retrouver leur état correct. La nature de ce type d'erreur implique que certains motifs de test répétitifs peuvent masquer des SEFLUs, aussi l'utilisation de motifs pseudo-aléatoires est préférable pour tous les déceler.

À partir des connaissances acquises en étudiant les différents modes d'erreur, la méthodologie que nous proposons vise à caractériser de manière optimale et au meilleur coût les DRAMs récentes, en tirant parti de la complémentarité des outils laser et accélérateur de particules. La méthodologie se veut générique, et les étapes à mener dépendent des résultats recherchés. La phase de préparation consiste, d'une part, à préparer les échantillons, c'est à dire ouvrir les boîtiers, amincir les composants, tester leurs fonctionnalités et obtenir leurs motifs "*Bleeddown*", et, d'autre part, à réaliser des clichés aux rayons X et au microscope électronique. La phase de caractérisation commence ensuite par les tests laser grâce auxquels les paramètres d'architecture

(organisation de l'adressage, taille des plus grands MBUs, distance entre les cellules et nœud technologique) et de sensibilité laser des plans mémoire sont obtenus. Ces derniers permettent de comparer de manière relative des composants de technologie proche, ou l'influence de certains paramètres. Au sein des circuits périphériques, les tests laser permettent de localiser et d'identifier les types de SEFIs pouvant survenir, et de déterminer si le risque SEL existe. Une fois les configurations "pire cas" déterminées, des essais en accélérateur de particules sont effectués pour calculer la sensibilité des composants aux environnements considérés. La description de la mise en œuvre de ces étapes répond concrètement aux problèmes des caractérisations actuelles et à venir, aussi cette méthodologie se veut être une référence pour les futures normes de test internationales. Nous participons dans cette optique au groupe de travail monté pour proposer une mise à jour de la norme JESD89.

Par ailleurs, la propriété des cellules DRAMs d'être insensible aux radiations dans un état est mise à profit pour l'élaboration d'une technique de tolérance aux fautes innovante. Ses principaux intérêts sont la correction de tous les bits d'un mot quelle que soit sa taille, un rapport du nombre de bits à stocker sur le nombre de bits utiles très compétitifs en comparaison des techniques existantes, et un faible impact sur la vitesse d'accès. La technique s'implante principalement sous la forme d'un contrôleur mémoire matériel, intégré dans un SoC. Des expériences laser et en accélérateur de particules ont démontré l'efficacité et les performances de cette technique, qui est prédestinée aux applications critiques à haute performance nécessitant d'importantes quantités de mémoires.

L'utilisation du laser en complément de l'accélérateur de particules a ainsi permis d'améliorer la connaissance du comportement des DRAMs face aux radiations, et des solutions de caractérisation et de protection ont pu être développées.

Ces méthodes pourront être adaptées pour caractériser d'autres familles de composants comme les mémoires FLASHs, qui sont également sensibles à plusieurs types de SEFIs. Quant aux autres familles de mémoire (SRAM, MRAM, FRAM, PCRAM, etc.), même si elles ne sont pas encore sensibles à ces effets car elles n'implément pas encore de circuits de redondance, il est à prévoir quelles le deviendront dès que des problèmes de rendement de production apparaîtront avec la poursuite de l'intégration technologique. Les méthodologies développées autour de l'utilisation du laser seront alors fortement plébiscitées.



## Publications et Activités

### Revue à comité de lecture :

#### **Experimental Demonstration of Pattern Influence on DRAM SEU & SEFI Radiation Sensitivities.**

A. Bougerol, F. Miller, N. Guibbaud, R. Leveugle, N. Buard.

*IEEE Trans. Nucl. Sci.*, vol. 58, No. 4, 2011.

Présenté à la conférence RADECS 2010, Langenfeld, Autriche, 20-24 septembre 2010.

#### **Use of Laser to Explain Heavy Ion Induced SEFIs in SDRAMs.**

A. Bougerol, F. Miller, N. Guibbaud, R. Gaillard, F. Moliere, N. Buard.

*IEEE Trans. Nucl. Sci.*, vol. 57, No. 1, Février 2010.

Présenté à la conférence NSREC 2009, Québec City, Canada, 20-24 Juillet 2009.

### Conférences, symposiums à comité de lecture :

#### **Novel DRAM Mitigation Technique.**

A. Bougerol, F. Miller, N. Buard.

*Proceedings of 15th IEEE International On-Line Testing Symposium*, 2009, pp. 109-113.

Présenté à la conférence IOLTS 2009, Sesimbra, Portugal, 24-26 Juin 2009.

#### **SDRAM Architecture & Single Event Effects revealed with Laser.**

A. Bougerol, F. Miller, N. Buard.

*Proceedings of 14th IEEE International On-Line Testing Symposium*, 2008, pp. 283-288.

Présenté à la conférence IOLTS 2008, Rhodes, Grèce, 7-9 Juillet 2008.

#### **Investigation of the Influence of Process and Design on Soft Error Rate in Integrated CMOS Technologies thanks to Monte Carlo Simulation**

C. Weulersse, A. Bougerol, G. Hubert, F. Wrobel, T. Carrière, R. Gaillard, N. Buard,

*Proceedings of IEEE International Reliability Physics Symposium*, 2008, pp. 729-730

#### **Multiple Event Transient Induced by Nuclear Reactions in CMOS Logic Cells**

C. Rusu, A. Bougerol, L. Anghel, C. Weulerse, N. Buard, S. Benhamadi, N. Renaud, G. Hubert,

F. Wrobel, T. Carriere and R. Gaillard.

*Proceedings of 13th IEEE International On-Line Testing Symposium*, 2007, pp. 137-145.

#### **Prediction of Transient Induced by Neutron/Proton in CMOS Combinational Logic Cells**

G. Hubert, A. Bougerol, F. Miller, N. Buard, L. Anghel, T. Carrière, F. Wrobel and R. Gaillard.

*Proceedings of 12th IEEE International On-Line Testing Symposium*, 2006, pp. 63-74.

Présenté à la conférence IOLTS 2006, Côme, Italie

### Brevets internationaux :

#### **Detection and correction of errors for a memory, the bit states of which have a different resistance to errors.**

Inventeurs: A. Bougerol, F. Miller, T. Carrière.

Publication n° : WO/2009/153527, FR2009/051165.

Date de publication : 23 Décembre 2009.

#### **Method for testing a software application.**

Inventeurs: N. Buard, F. Miller, A. Bougerol, P. Heins, T. Carrière.

Publication n° : WO/2009/013419, FR2008/051166.

Date de publication : 29 Janvier 2009.

**Electrical generator stimulated by ionizing radiations.**

Inventeurs: F. Miller, A. Bougerol, C. Weulersse, N. Buard.

Publication n° : WO/2010/076449, FR2009/052379.

Date de publication : 8 Juillet 2010.

**Device for testing an integrated circuit and method for implementing same.**

Inventeurs: F. Miller, C. Weulersse, A. Bougerol, P. Heins, T. Carrière, S. Hazo.

Publication n° : WO/2010/076448, FR2009/052377.

Date de publication : 8 Juillet 2010.

**Participation à des panels, groupes de discussion et manifestations :**

**Évolution de la norme JESD89A.**

Participation au groupe de travail JESD89B.

**SER Standards – Where are we? What's next?.**

Participation au panel lors de la conférence IOLTS 2010.

**SER in Automotive: what is the impact of the AEC Q100-G spec. ?**

Participation au panel lors de la conférence IOLTS 2008.

**DRAM Reliability Against Cosmic Radiations.**

Présentation dans le cadre du Groupe Thématique, "Test et tolérance" du GDR - SOC-SIP, Mars 2009.

**Suitability of FPGAs for Aeronautic Applications ?**

Présentation dans le cadre du colloque national du GDR - SOC-SIP, Juin 2008.

## Références

- [ABD100] "Airbus Directives (ABD) and Procedures ABD0100, Module 0100.2.11" Electronic Hardware Design Assurance Process.
- [ACH02] N. Achouri, "Techniques d'auto réparation pour les mémoires à grandes densités de défauts" Thèse de Doctorat de l'Institut National Polytechnique de Grenoble, 2002.
- [ADE10] P.C. Adell, L. Edmonds, R. McPeak, L. Scheick, S.S. McClure, "An Approach to Single Event Testing of SDRAMs," *IEEE Transactions on Nuclear Science*, vol.57, no.5, pp.2923-2928, Oct. 2010.
- [ASTM] ASTM F-1192: "Standard Guide for the Measurement of Single-Event Phenomena from Heavy Ion Irradiation of Semiconductor Devices.", 2006.
- [ARP4754] ARP 4754: "Certification Considerations for Highly Integrated or Complex Aircraft Systems.", 1996.
- [AUTR09] J.L. Autran, P. Roche, S. Sauze, G. Gasiot, D. Munteanu, P. Loaiza, M. Zampaolo, J. Borel, "Altitude and Underground Real-Time SER Characterization of CMOS 65 nm SRAM," *IEEE Trans. Nucl. Sci.*, vol. 56, No. 1, pp. 2258-2266, Aug. 2009.
- [BAL05] Baloch, T. Arslan, A. Stoica, "Efficient Error Correcting Codes for On-Chip DRAM Applications for Space Missions", *Aerospace Conference*, March 2005.
- [BENE08] J. Benedetto, J. Black and G. Ott, "Soft error case study: Single Event Functional Interrupts (SEFIs) in COTS SDRAMs", *IEEE NSREC Short course*, 2008.
- [BER97] G. Berger, G. Ryckewaert, R. Harboe-Sorensen, L. Adams, "CYCLONE - A Multipurpose Heavy Ion, Proton and Neutron SEE Test Site", *Workshop Record, 1997 RADECS Conference Data Workshop*, 1997, pp. 51-55.
- [BIND75] D. Binder, E. C. Smith and A. B. Holman, "Satellite Anomalies From Galactic Cosmic Rays", *IEEE Transactions on Nuclear Science*, vol. 22, n°. 6, Dec, 1975.
- [BOUD95] J. C. Boudenot, "L'Environnement Spatial", Collection "Que sais-je ?", Ed. Presses Universitaires de France, 1995.
- [BOUG08] A. Bougerol, F. Miller, N. Buard, "SDRAM Architecture & Single Event Effects revealed with Laser", *14th IEEE International On-Line Testing Symposium*, 2008, pp. 283-288.
- [BOUG09] A. Bougerol, F. Miller, N. Buard, "Novel DRAM mitigation technique", *15th IEEE International On-Line Testing Symposium*, 2009, pp. 109-113.
- [BOUG10] A. Bougerol, F. Miller, N. Guibbaud, R. Gaillard, F. Moliere, N. Buard, "Use of laser to explain heavy ion induced SEFIs in SDRAMs", *IEEE Trans. Nucl. Sci.*, vol. 57, No. 1, February 2010.
- [BOUG11] A. Bougerol, F. Miller, N. Guibbaud, R. Leveugle, N. Buard, "Experimental Demonstration of Pattern Influence on DRAM SEU & SEFI Radiation Sensitivities", *IEEE Trans. Nucl. Sci.*, vol. 58, No. 4, 2011.
- [BRE08] J. E. Brewer, M. Gill, "Nonvolatile memory technologies with emphasis on Flash", 2008.
- [BRI71] K. O'Brien, "The Natural Radiation Environment", Report N°720805-P1, United States Department of Energy, p.15, 1971.
- [BRI78] K. O'Brien, Report N°EML-338, United States Department of Energy, 1978.



- [BRU96] G. Bruguier and J-M. Palau, "Single Particle-Induced Latchup", *IEEE Transactions on Nuclear Science*, vol. 43, n<sup>o</sup>. 2, April, 1996.
- [BUCH87] S. P. Buchner, D. Wilson, K. Kang; D. Gill, J. A. Mazer, W. D. Raburn, A. B. Campbell, A. R. Knudson, "Laser Simulation of Single Event Upsets", *IEEE Transactions on Nuclear Science*, vol. 34, n<sup>o</sup>. 6, Dec, 1987.
- [BUCH00] S. Buchner, A. Campbell, T. Meehan, and D. McMorrow, "Investigation of single-ion multiple-bit upsets in memories on board a space experiment," *IEEE Trans. Nucl. Sci.*, vol. 47, No.3, 2000.
- [BUCH99] S. Buchner, A. Campbell, T. Meehan, and D. McMorrow, "Observation of single-ion multiple-bit upsets in memories on board a space experiment," in *Proc. GOMAC'99 Dig. Papers*, Mar. 1999, pp. 332–335.
- [CHU09] Andrew M. Chugg Member, IEEE, Andrew J. Burnell, Peter H. Duncan and Sarah Parker, "The Random Telegraph Signal Behavior of Intermittently Stuck Bits in SDRAMs", *IEEE Trans. Nucl. Sci.*, vol 56, N<sup>o</sup>.6, Dec. 2009.
- [DDR-08] Micron DDR2 SDRAM SEE test report, 16 January 2008.
- [DEN68] R. H. Dennard, "Field-Effect Transistor Memory" brevet N<sup>o</sup> 3387286 (US), 4 June 1968.
- [DO178] The European Organisation for Civil Aviation Equipment (EUROCAE), Document ED-12B / DO-178B, "Software Considerations in Airborne Systems and Equipment Certification", 2000.
- [DO254] The European Organisation for Civil Aviation Equipment (EUROCAE), Document ED-80 / DO-254, "Design Assurance Guidance for Airborne Electronic Hardware", 2000.
- [DUZ00] S. Duzellier, D. Falguere, L. Guibert, V. Pouget, P. Fouillat, R. Ecoffet "Application of laser testing in study of SEE mechanisms in 16-Mbit DRAMs", *IEEE Trans. Nucl. Sci.*, vol. 47, No. 6, Dec 2000.
- [DUZ02] S. Duzellier, D. Falguere, T. Nuns, F. Bezerra and J. Bertrand, "Observation of the SEE Response of a 256-Mb SDRAM", Paper presented at the *RADECS 2002 Workshop*, Padova, Italy. Sep. 20, 2002.
- [DUZ95] S. Duzellier, D. Falguere, L. Moulriere, R. Ecoffet, J. Buisson, "SEE results using high energy ions", *IEEE Trans. Nucl. Sci.*, vol. 42, No. 6, Dec 1995.
- [ESA02] ESA/SCC N<sup>o</sup>25100: "Single event effects test method and guidelines", 2002.
- [FUL01] L. Fuller, "Dynamic Random Access Memory DRAM, Introduction to DRAM technology", Lecture, Rochester Institute of Technology Microelectronic engineering, 2001.
- [GIRA09] P. Girard, N. Nicolici and X. Wen, "Power-Aware Testing and Test Strategies for Low Power Devices", ISBN: 978-1-4419-0927-5, Springer, New York, 2009.
- [GUER04] S. M. Guertin, J. D. Patterson, D. N. Nguyen, "Dynamic SDRAM SEFI detection and recovery test results", *IEEE Radiation Effects Data Workshop*, pp. 62-67, 2004.
- [HAMM50]] R.W. Hamming, "Error Detecting and Error Correcting Codes", *The Bell System Technical Journal, J Soc, Indust. Appl. Math.* Vol. 26, No.2, April 1950.
- [HARB02] R. Harboe Sørensen, "An overview of Radiation Single Event Effects Testing of Advanced Memory Components", *Proceedings of the European Space Components Conference*, ESCCON, p. 239, 2002.
- [HARB07] R. Harboe Sørensen, "Heavy-Ion SEE Test Concept and Results for DDR-II Memories", *IEEE Trans. Nucl. Sci.*, vol. 54, No. 6, Dec 2007.

- [HEN99] EB.G. Henson, P.T. McDonald, and W.J. Stapor, "SDRAM Space Radiation Effects Measurements and Analysis", Workshop Record of the 1999 IEEE Radiation Effects Data Workshop, pp. 15-23, 1999.
- [HIDE09] Y. Hideyuki, Elpida Memory, "Fuse latch circuit and fuse latch method" US Patent US2009/0097330, 2009.
- [HUB01] G. Hubert, "Élaboration d'une méthode de prédiction du taux d'aléas logiques dans les SRAMs induits par les neutrons atmosphériques" Thèse de Doctorat de l'Université Montpellier II, 2001.
- [HUB06] G. Hubert, A. Bougerol, F. Miller, N. Buard, L. Anghel, T. Carriere, F. Wrobel and R.Gaillard, "Prediction of Transient induced by Neutron/Proton in CMOS combinational Logic Cells", *12th IEEE International On-Line Testing Symposium*, 2006, pp. 63-71.
- [IBM96] "Terrestrial Cosmic Rays and Soft Errors", *IBM Journal of Research and Development*, pp. 19-39, January 1996.
- [IEC06] International Electrotechnical Commission (IEC) TC107, TS62396-1, "Process Management for Avionics Atmospheric Radiation Effects, Accommodation of atmospheric radiation effects via single event effects within avionics electronic equipment", Edition 2006.
- [IRO07] F. Irom, T. F. Miyahira, D. N. Nguyen, Insoo Jun, and E. Normand, "Results of Recent 14 MeV Neutron Single Event Effects Measurements Conducted by the Jet Propulsion Laboratory", *IEEE Radiation Effects Data Workshop*, pp. 141-145, 2007.
- [ITRS00] "International Technologie Roadmap for Semiconductors, 2000 update, Overall Roadmap Technology Characteristics", 2000.
- [ITRS09] "International Technologie Roadmap for Semiconductors, 2009 edition, Executive Summary", 2009.
- [JAC04] B. Jacob, "CMOS Memories and Systems:Part II, DRAM Circuits, SRAM", Lecture 25-27, University of Maryland, 2004.
- [JAC05] B. Jacob, "Memories Systems:Architecture And Performance Analysis, DRAM Device Circuits and Architecture", Lecture, University of Maryland, 2005.
- [J21C] JEDEC standard JESD21C "SDRAM Standard", 2002.
- [J57] JEDEC EIA/JESD57: "Test Procedures for the Measurement of Single-Event Effects in Semiconductor Devices from Heavy Ion Irradiation", 1996.
- [J79] JEDEC standard JESD79F "Double Data Rate (DDR) SDRAM Standard", Fev. 2008.
- [J79-2] JEDEC standard JESD79-2F "DDR2 SDRAM Standard", Nov. 2009.
- [J79-3] JEDEC standard JESD79-3E "DDR3 SDRAM Standard", Jul. 2010.
- [J89A] JEDEC standard JESD89A "Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices", Aug. 2001.
- [KEE08] B. Keeth, R. J. Baker, B. Johnson, "Dram circuit design: fundamentals and high-speed topics", 2008.
- [KOG00] R. Koga, S. H. Crain, P. Yu and K. B. Crawford, "SEE Sensitivity Determination of High-Density DRAMs with limited-Range heavy ions", *IEEE NSREC Data Workshop Record*, pp 45-52, 2000.
- [KOG01] R. Koga, P. Yu, K. B. Crawford, and S. H. Crain, "Permanent Single Event Functional interrupts (SEFIs) in 128- and 256 Megabit Synchronous Dynamic Random Access Memories (SDRAMs)", *IEEE NSREC Data Workshop Record*, pp 6-13, 2001.

- [KOG07] R. Koga et al., "Proton and Heavy Ion Induced Semi-Permanent Upsets in Double Data Rate SDRAMs", *Radiation Effects Data Workshop*, 2007, 23-27 July 2007.
- [LAB98] K.A. Label et al, "Anatomy of an In-flight Anomaly: Investigation of Proton-Induced SEE Test Results for Stacked IBM DRAMs", *IEEE Trans. Nucl. Sci.*, vol. 45, No. 6, Dec. 1998.
- [LAB08] K.A. Label, R. Ladbury, L. Cohn and T. Oldham, "Radiation Test Challenges for Scaled Commercial Memories", *IEEE Trans. Nucl. Sci.*, vol. 55, No. 4, 2008.
- [LAD06] R. Ladbury, M.D. Berg, H. Kim, K. Label, M. Friendlich, R. Koga, J. George, S. Crain, P. Yu and R.A. Reed, "Radiation Performance of 1 Gbit DDR SDRAMs Fabricated in the 90 nm CMOS Technology Node". *IEEE Radiation Effects Data Workshop*, pp. 126-130, 2006.
- [LAD08] R. Ladbury et al., "Radiation Performance of 1 Gbit DDR2 SDRAMs Fabricated with 80-90nm CMOS", *IEEE Radiation Effects Data Workshop*, 2008, 14-18 July, 42-46.
- [LAD09] R. L. Ladbury; J. Benedetto, D. McMorro, S.P. Buchner, K.A. Label, M.D. Berg, H.S. Kim, A.B. Sanders, M.R. Friendlich, A. Phan, "TPA Laser and Heavy-Ion SEE Testing: Complementary Techniques for SDRAM Single-Event Evaluation", *IEEE Trans. Nucl. Sci.*, vol. 56, No. 6, pp. 3334-3340, Dec. 2009.
- [LAM06] D. Lambert, "Analyse par Simulation Monte Carlo de la sensibilité des mémoires SRAM Soumises à un environnement Protonique Spatial ou Neutronique terrestre" Thèse de Doctorat de l'Université Montpellier II, 2006.
- [LAN03] T. Langley, R. Koga and T. Morris, "Single-event Effects Test Results of 512MB SDRAMs", *IEEE Radiation Effects Data Workshop*, pp. 98-101, 2003.
- [LAWR07] R. K. Lawrence, "Radiation Characterization of 512Mb SDRAMs", *IEEE Radiation Effects Data Workshop*, pp. 204-207, 2007.
- [LAY03] P. Layton, G. Williamson, "SEE Radiation Test Report", 256Mb SDRAM, 2003.
- [LAY06] P. Layton et al, "SEL Induced Latent Damage, Testing, and Evaluation", *IEEE Trans. Nucl. Sci.*, vol. 53, No. 6, Dec 2006.
- [LEV07] R. Leveugle, "Early Analysis of Fault-based Attack Effects in Secure Circuits", *IEEE Transactions on Computers*, vol.56, no.10, pp.1431-1434, Oct. 2007.
- [LOJ07] B. Lojek, "History of semiconductor engineering", 2007.
- [LOP05] L. Lopez, J.M. Portal, D. Nee, "A new embedded measurement structure for eDRAM capacitor", *Proceedings of the Design Automation and Test in Europe conference*, pp. 42-463, 2005.
- [MAK00] A. Makihara, H. Shindou, N. Nemoto, S. Kuboyama, S. Matsuda, T. Oshima, T. Hirao, H. Itoh, S. Buchner, A.B. Campbell, "Analysis of single-ion multiple-bit upset in high-density DRAMs", *IEEE Trans. Nucl. Sci.*, vol. 47, No. 6, Dec 2000.
- [MAL05] P. Malinge, "Etude et Modélisation d'un Point Mémoire eDRAM Sans Capacité, et Conception de Circuit Mémoire Haute Densité", Thèse de Doctorat de l'Institut National des Sciences Appliquées de Lyon, 2005.
- [MASS96] L. W. Massengill, "Cosmic and Terrestrial Single-Event Radiation Effects in Dynamic Random Access Memories", *IEEE Trans. Nucl. Sci.*, vol. 43, No. 2, April 1996.
- [MAY79] T. C. May and M. H. Woods, "Alpha-particle-induced soft errors in dynamic memories", *IEEE Trans. Electron Devices*, vol. ED-26, No. 1, pp 2-9, 1979.

- [MIL06] F. Miller, "Étude Expérimentale et Théorique des Effets D'un Faisceau Laser Pulse sur les Composants Électroniques et Comparaison avec les Événements Singuliers Induits par l'Environnement Radiatif Naturel", Thèse de Doctorat de l'Université Montpellier II, 2006.
- [MIL06b] F. Miller, N. Buard, G. Hubert, S. Alestra, G. Baudrillard, T. Carriere, R. Gaillard, J.M. Palau, F. Saigne, P. Fouillat, "Laser Mapping of SRAM sensitive cells. A way to obtain input parameters for DASIE calculation code", *IEEE Trans. Nucl. Sci.*, vol. 53, No. 4, Aug 2006.
- [MIL06c] F. Miller, A. Luu, F. Prud'homme, P. Poirot, R. Gaillard, N. Buard, T. Carriere, , "Characterization of Single-Event Burnout in Power MOSFET Using Backside Laser Testing" , *IEEE Trans. Nucl. Sci.*, vol. 53, No. 6, Dec 2006.
- [MIW96] H. Miwa, T. Tanaka, K. Oshima, Y. Nakamura, T. Ishii, A. Ohba, Y. Kouro, T. Furukawa, Y. Ikeda, O. Tsuchiya, R. Hori, K. Miyazawa, "A 140 mm<sup>2</sup> 64 Mb AND flash memory with a 0.4  $\mu$ m technology", *IEEE International Solid-State Circuits Conference*, Digest of Technical Papers, pp 34-35, Feb 1996.
- [MIN07] M.-A. Min-An Song, S.-Y. Sy-Yen Kuo, I.-F I-Feng Lan, "A Low Complexity Design of Reed Solomon Code Algorithm for Advanced RAID System", *IEEE Trans. Consumer Electronics*, vol. 53, No. 2, May 2007.
- [NOR93] Normand, T.J. Baker, "Altitude and Latitude Variations in Avionics SEU and Atmospheric Neutron Flux", *IEEE Trans. Nucl. Sci.*, vol 40, N°.6, Dec. 1993.
- [NOR69] E. Normand, "Single Event Upset at Ground Level", *IEEE Trans. Nucl. Sci.*, Vol. 43, 1996.
- [PAV08] A. Pavlov, M. Sachdev, "CMOS SRAM circuit design and parametric test in nano-scaled technologies", 2008.
- [PIGN10] M. Pignol, F. Malou, C. Aicardi, "Qualification and relifing testing for space applications applied to the Agilent G-Link components", *16th IEEE International On-Line Testing Symposium*, 2010, pp. 103-108.
- [POU00] V. Pouget, "Simulation Expérimentale par Impulsions Laser Ultra-courtes des Effets des Radiations Ionisantes sur les Circuits Intégrés", Thèse de Doctorat de l'Université Bordeaux I, 2000.
- [POU07] V. Pouget, "Test et analyse par faisceau laser, Plateforme et applications", présentation GDR SoC, Fev. 2007.
- [PRA97] K. Prall, Micron Technology, "Reduced Pitch Laser Redundancy Fuse Bank Structure" US Patent US1997/23907, 1997.
- [QIM06] "Soft Errors of DRAMs, Customer information", Qimonda, ref. F, Oct. 2006
- [REN94] S. Renfro, Micron Technology, "Low-Power Fuse Detect and Latch Circuit" US PATENT 5345110 – 1994
- [ROC99] P. Roche, "Étude de l'Aléa Logique Induit Par une Particule Ionisante dans des mémoire SRAM développées en Technologies CMOS Submicroniques" Thèse de Doctorat de l'Université Montpellier II, 1999.
- [ROD85] M. Rodrigues Dos Santos, "La compensation d'erreurs par vote majoritaire : évaluation des performances temporelles" - Doctorat de l'INP Toulouse, Automatique, 1985 , N° 29.A.
- [RSOL60] I. S. Reed and G. Solomon, "Polynomial Codes Over Certain Finite Fields", *J Soc. Indust. Appl. Math.* Vol. 8, No. 2, June 1960.

- [RUS07] C. Rusu, A. Bougerol, L. Anghel, C. Weulerse, N. Buard, S. Benhammadi, N. Renaud, G. Hubert, F. Wrobel, T. Carriere and R. Gaillard, "Multiple Event Transient Induced by Nuclear Reactions in CMOS Logic Cells", *13th IEEE International On-Line Testing Symposium*, 2007, pp. 137-145.
- [SCH00] L. Z. Scheick, S.M Guertin, G.M Swift, "Analysis of radiation effects on individual DRAM cells", *IEEE Trans. Nucl. Sci.*, vol. 47, pp. , Dec. 2000.
- [SCH08] L Z. Scheick et al, "Investigation of the Mechanism of Stuck Bits in High Capacity SDRAMs", *Radiation Effects Data Workshop*, pp. 47-52, 2008.
- [SCHW09] J.R. Schwank, M.R. Shaneyfelt, P.E. Dodd, J.A. Felix, J. Baggio, V. Ferlet-Cavrois, P. Paillet, K.A. LaBel, R.L. Pease, M. Simons, L.M. Cohn, "Hardness Assurance Test Guideline for Qualifying Devices for Use in Proton Environments", *IEEE Trans. Nucl. Sci.*, vol. 56, No. 4, 2009.
- [SCHI05] Schindlbeck, "Types of soft errors of DRAMs", *Radiation and Its Effects on Components and Systems*, RADECS 2005, pp PE1-1-PE1-5, 2005.
- [SCHM81] Schmid et al, *Phys Rev B*, vol 23, 1981.
- [SHI03] H. Shindou; S. Kuboyama; N. Ikeda; T. Hirao; S. Matsuda, "Bulk damage caused by single protons in SDRAMs", *IEEE Trans. Nucl.Sci.*, vol. 50, No. 6, Dec 2003.
- [SUN08] H. Sunomi, "The invention and development of the first trench-capacitor DRAM cell ", lecture, Research Institute for Nanodevice and Bio Systems, Hiroshima University.
- [TAB93] A. Taber and E. Normand, "Single Event Upsets in Avionics", *IEEE Trans. Nucl. Sci.*, vol. 40, No. 2, pp. 120-126, April 1993.
- [WEI00] O. Weinfurtner, D. Storaska, L. Hsu, "Advanced Controlling Scheme for a DRAM Voltage Generator System", *IEEE Journal of Solid-State Circuits*, vol. 35, no. 4, April 2000.
- [WIEN08] H. Wienchol, Qimonda, "Memory redundancy method and apparatus" US Patent US2008/0270828, 2008.
- [WON96] H. Wong, T. frihata, J. DeBrosse, Y. Watanabe, T.Hara, M. Yoshida, M. Wordeman, S. Fuji, Y. Asao, and B.Krsnik, "Flexible Test Mode Design for DRAM Characterization" *1996 Symposium on VLSI Circuits Digest of Technical Papers*, 1996.
- [WRO02] F. Wrobel, "Élaboration d'une base de données des particules responsables des dysfonctionnements dans les composants électroniques exposés à des flux de protons ou de neutrons application au calcul des taux d'erreurs dans les mémoires SRAM en environnement radiatif naturel", Thèse de Doctorat de l'Université Montpellier II, 2002.
- [ZIEG98] J.F. Ziegler et al., "Cosmic Ray Soft Error Rates of 16-Mb DRAM Memory Chips", *IEEE J. Solid-State Circuits*, vol. 33, No. 2, Feb. 1998.

#### Liens Internet :

- [WWW01] [http://en.wikipedia.org/wiki/Dynamic\\_random\\_access\\_memory](http://en.wikipedia.org/wiki/Dynamic_random_access_memory)
- [WWW02] <http://www.sdram-technology.info/sdram-cross-section.html>
- [WWW03] <http://radhome.gsfc.nasa.gov/radhome/RadDataBase/RadDataBase.html>
- [WWW04] <https://escies.org/ReadArticle?docId=228>
- [WWW05] <http://www.srim.org>

[WWW06] <http://www.trad.fr/OMERE,14.html>

[WWW07] <http://www.srim.org/>



## Liste des figures

Figure I-1 : Schématique d'une cellule élémentaire DRAM [MAL05].....	20
Figure I-2 : Photo SEM et schématique de cellules DRAMs enterrées [FUL01].....	22
Figure I-3 : Photo SEM et schématique de cellules DRAMs empilées [WWW02-SUN08].....	22
Figure I-4 : Configurations d'agencement des matrices de cellules DRAMs [SUN08].....	23
Figure I-5 : Schéma simplifié de la circuit de lecture d'une cellule DRAM.....	25
Figure I-6 : Organisation typique d'une mémoire DRAM.....	27
Figure I-7 : Blocs fonctionnels d'une SDRAM, et chronogramme des signaux d'interface lors d'une lecture .....	28
Figure I-8 : Illustration d'une zone défectueuse et des lignes et colonnes de remplacement. [JAC05].....	29
Figure I-9 : Illustration de l'environnement radiatif spatial .....	30
Figure I-10 : Illustration de la douche atmosphérique et estimation du flux total des particules atmosphériques en fonction de l'altitude, d'après [BRI71-BRI78].....	32
Figure I-11 : Interaction ion-silicium [HUB01].....	34
Figure I-12 : Illustration de l'interaction nucléaire neutron / silicium et allures d'une population de courants collectés par un drain 130 nm [HUB06-RUS07].....	35
Figure I-13 : Exemple de sections efficaces obtenues par des tests protons (a) et ions lourds (b) [LAD06].....	41
Figure I-14 : Mise en œuvre des tests ions lourds et protons nécessitant blindage, refroidissement et câblage spécifique.....	42
Figure I-15 : Allure de la densité d'énergie d'un spot laser.....	44
Figure I-16 : Principaux éléments du banc laser d'EADS IW et illustration d'un spot laser sur un plan mémoire.....	45
Figure I-17 : Positionnement d'un composant sous le laser par face arrière .....	45
Figure II-1 : Illustration simplifiée des mécanismes physiques induisant la décharge d'une cellule DRAM par une particule ionisante.....	50
Figure II-2 : Zones de sensibilité des lignes de données [BOUG08].....	52
Figure II-3 : Synthèse bibliographique de l'évolution de la sensibilité des DRAMs.....	53
Figure II-4 : Puces de différentes technologies utilisées durant les campagnes de tests.....	55
Figure II-5 : Résultats expérimentaux aux ions Argon de plusieurs technologies d'un même fabricant .....	56
Figure II-6 : Différences de sensibilité entre les cellules DRAMs enterrées et empilées.....	57
Figure II-7 : Résultats de tests protons sur des DRAMs 110 nm en cellules enterrées et empilées.....	58
Figure II-8 : Photos SEM de cellules DRAMs enterrées et empilées.....	59
Figure II-9 : Évolution du nombre de cellules en erreur pour différentes énergies laser.....	61
Figure II-10 : Exemple de cartographie et de surface sensible laser d'une cellule DRAM 110 nm.....	61
Figure II-11 : Obtention par laser des distances inter-cellules et déduction du nœud technologique.....	62
Figure II-12 : Agencement logique des plans mémoire des DRAMs déterminé par laser [BOUG08].....	64
Figure II-13 : Pourcentage de cellules en erreur sur trois positions pour huit motifs "logiques" et un motif non répétitif (Random) [BOUG11].....	68
Figure II-14 : Évolution de la différence de sensibilité entre les mécanismes de collection et de transfert de charges à travers trois technologies [BOUG11].....	70
Figure II-15 : Évolution du rapport de sensibilité au laser entre les motifs "#Bleeddown" et "Random" à travers trois technologies [BOUG11].....	72
Figure II-16 : Résultats d'essais protons d'une SDRAM 210 nm pour deux motifs de test.....	73
Figure III-1 : Variations du nombre d'erreurs relevées pendant un test accéléré [BOUG10].....	78
Figure III-2 : Synthèse de résultats SEFIs classés par capacité et nœud technologique.....	81
Figure III-3 : Augmentation de la sensibilité SEFI avec l'intégration technologique [BENE08].....	83
Figure III-4 : Sensibilité SEFLU aux ions Argon pour quatre générations d'un même fabricant.....	84
Figure III-5 : Sensibilité SEFLU aux protons de deux SDRAMs 110nm de fabricants différents.....	85
Figure III-6 : Cartographie laser des circuits périphériques d'une SDRAM Qimonda 256 Mb 110 nm [BOUG08]....	88
Figure III-7 : Cartographie laser d'une SDRAM Micron 256 Mb 110 nm [BOUG10].....	90
Figure III-8 : Cartographie laser d'une référence de tension pour plusieurs énergies [BOUG10].....	93
Figure III-9 : Nombre d'erreurs induites sur une zone "Large Errors" pour plusieurs énergies d'impulsion laser [BOUG10].....	93
Figure III-10 : Localisation et effets des Hard-SEFIs dans une SDRAM 256 Mb.....	95
Figure III-11 : Séquence d'opérations illustrant le comportement d'un SEFLU.....	97
Figure III-12 : Architecture de comparaison parallèle des adresses redondantes [BOUG11].....	98
Figure III-13 : Zones sensibles SEFLUs d'une DDR Micron 90 nm [BOUG11].....	99



Figure III-14 : Variation des surfaces SEFLUs sensibles au laser selon les motifs de test.....	100
Figure III-15 : Variation du nombre de SEFLUs déclenchés par laser selon les motifs de test [BOUG11].....	101
Figure III-16 : Sections efficaces SEFLUs (ions Argon) d'une DDR 512 Mb 90 nm pour différents motifs.....	103
Figure IV-1 : Vue générale de la méthodologie de caractérisation de DRAMs proposée.....	108
Figure IV-2 : Testeur ELECTRE utilisé pour le test de DRAMs au laser et en accélérateur de particules.....	110
Figure IV-3 : Algorithme de test utilisé pour la détection des SEFIs.....	111
Figure IV-4 : Imagerie aux rayons X de différentes puces au sein de boîtiers TSOP54.....	113
Figure IV-5 : Photographies de la face avant de puces DRAMs de capacités et nœuds technologiques variés.....	114
Figure IV-6 : Images MEB d'une DDR 90 nm sous différents angles.....	115
Figure IV-7 : Composants DRAMs ouverts mécaniquement par face arrière et reportés sur une carte de test.....	117
Figure IV-8 : Exemple de motif "Bleeddown" obtenu sur une mémoire DDR 512 Mb.....	119
Figure IV-9 : Découpage logique des blocs mémoire selon les bits d'adresses.....	122
Figure IV-10 : Détermination de la surface de sensibilité laser d'une cellule pour une énergie et de son seuil de déclenchement.....	124
Figure IV-11 : Procédure de gestion du SEL.....	126
Figure IV-12 : Image de cartographies SEL.....	127
Figure IV-13 : Cartographies approximatives et détaillées des zones SEFIs dans une SDRAM .....	128
Figure IV-14 : Résultats d'irradiation aux protons d'une SDRAM Micron 256 Mb 110 nm.....	131
Figure IV-15 : Différentiation des événements selon leur taille lors d'un test aux ions lourds.....	132
Figure V-1 : Principe élémentaire de la méthode de détection et de correction d'erreurs.....	137
Figure V-2 : Exemples d'implantation dans une architecture mono-boîtier.....	139
Figure V-3 : Exemple d'implantation dans une architecture multi-boîtiers.....	139
Figure V-4 : Résultats de test aux protons démontrant l'efficacité de la méthode de protection.....	142

## Liste des tableaux

Figure IV-12 : Image de cartographies SEL.....	122
Figure IV-13 : Tests de localisation des SEFIs suivis de cartographies précises des zones sélectionnées.....	124
Figure IV-14 : Résultats d'irradiation aux protons d'une SDRAM Micron 256 Mb 110 nm.....	127
Figure IV-15 : Différentiation des événements selon leur taille lors d'un test aux ions lourds.....	128
Figure V-1 : Principe élémentaire de la méthode de détection et de correction d'erreurs.....	133
Figure V-2 : Exemples d'implantation dans une architecture mono-boîtier.....	135
Figure V-3 : Exemple d'implantation dans une architecture multi-boîtiers.....	135
Figure V-4 : Résultats de test aux protons démontrant l'efficacité de la méthode de protection.....	138
Tableau I-1 : Performances actuelles des familles DRAMs, SRAMs et FLASHs.....	19
Tableau I-2 : Prévisions de l'évolution des nœuds technologiques [ITRS00-ITRS09].....	24
Tableau I-3 : Tableau des populations de particules dans l'espace [BOUD95].....	31
Tableau II-1 : Résultats de tests laser montrant l'immunité du motif "Bleeddown".....	66
Tableau II-2 : Résultats de tests accélérés montrant l'immunité du motif "Bleeddown".....	66
Tableau II-3 : Sections efficaces SEU pour les deux motifs de test sélectionnés.....	73
Tableau V-1 : Comparaison des performances des différentes méthodes.....	142



**TITRE : MODES DE DÉFAILLANCE INDUITS PAR L'ENVIRONNEMENT RADIATIF NATUREL DANS LES MÉMOIRES DRAMS : ÉTUDE, MÉTHODOLOGIE DE TEST ET PROTECTION.**

Les DRAMs sont des mémoires fréquemment utilisées dans les systèmes aéronautiques et spatiaux. Leur tenue aux radiations doit être connue pour satisfaire les exigences de fiabilité des applications critiques. Ces évaluations sont traditionnellement faites en accélérateur de particules. Cependant, les composants se complexifient avec l'intégration technologique. De nouveaux effets apparaissent, impliquant l'augmentation des temps et des coûts de test. Il existe une solution complémentaire, le laser impulsif, qui déclenche des effets similaires aux particules. Grâce à ces deux moyens de test, il s'est agi d'étudier les principaux modes de défaillance des DRAMs liés aux radiations : les SEUs (*Single Event Upset*) dans les plans mémoire, et les SEFIs (*Single Event Functional Interrupt*) dans les circuits périphériques. L'influence des motifs de test sur les sensibilités SEUs et SEFIs selon la technologie utilisée a ainsi été démontrée. L'étude a de plus identifié l'origine des SEFIs les plus fréquents. En outre, des techniques de test laser ont été développées pour quantifier les surfaces sensibles des différents effets. De ces travaux a pu être dégagée une nouvelle méthodologie de test destinée à l'industrie. Son objectif est d'optimiser l'efficacité et le coût des caractérisations, grâce à l'utilisation de l'outil laser de façon complémentaire aux accélérateurs de particules. Enfin, une nouvelle solution de tolérance aux fautes est proposée : basée sur la propriété des cellules DRAMs d'être immune aux radiations lorsqu'elles sont déchargées, cette technique permet la correction de tous les bits d'un mot logique.

**Mots clés : DRAM, Environnement Radiatif, Laser, Accélérateur de Particules, Méthodologie de Test, Motif de Test, SEU, SEFI, SEFLU, Tolérance aux Fautes.**

---

**TITLE: FAILURE MODES INDUCED BY NATURAL RADIATION ENVIRONMENTS ON DRAM MEMORIES: STUDY, TEST METHODOLOGY AND MITIGATION TECHNIQUE.**

DRAMs are frequently used in space and aeronautic systems. Their sensitivity to cosmic radiations have to be known in order to satisfy reliability requirements for critical applications. These evaluations are traditionally done with particle accelerators. However, devices become more complex with technology integration. Therefore new effects appear, inducing longer and more expensive tests. There is a complementary solution: the pulsed laser, which triggers similar effects as particles. Thanks to these two test tools, main DRAM radiation failure modes were studied: SEUs (*Single Event Upset*) in memory blocks, and SEFIs (*Single Event Functional Interrupt*) in peripheral circuits. This work demonstrates the influence of test patterns on SEU and SEFI sensitivities depending on technology used. In addition, this study identifies the origin of the most frequent type of SEFIs. Moreover, laser techniques were developed to quantify sensitive surfaces of the different effects. This work led to a new test methodology for industry, in order to optimize test cost and efficiency using both pulsed laser beams and particle accelerators. Finally, a new fault tolerant technique is proposed: based on DRAM cell radiation immunity when discharged, this technique allows to correct all bits of a logic word.

**Keywords: DRAM, Radiative Environments, Laser, Particle Accelerators, Test Methodology, Test Pattern, SEU, SEFI, SEFLU, Fault Tolerance.**

---

**Laboratoire:** TIMA, 46 avenue Félix Viallet, 38031 Grenoble, France.