



**HAL**  
open science

# Conception et intégration "above IC" d'inductances à fort coefficient de surtension pour applications de puissance RF

Ayad Ghannam

► **To cite this version:**

Ayad Ghannam. Conception et intégration "above IC" d'inductances à fort coefficient de surtension pour applications de puissance RF. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2010. Français. NNT: . tel-00621125

**HAL Id: tel-00621125**

**<https://theses.hal.science/tel-00621125v1>**

Submitted on 9 Sep 2011

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par l'Université Toulouse III- Paul Sabatier

Discipline ou spécialité : *Microondes, Électromagnétisme et Optoélectronique*

---

Présentée et soutenue par *Ayad GHANNAM*  
Le 17 Novembre 2010

**Titre :** Conception et intégration "above IC" d'inductances à fort coefficient de surtension pour applications de puissance RF

---

### JURY

*Pr. Jacques GRAFFEUIL (Président)*  
*Pr. Thierry PARRA (Directeur)*  
*Mcf. Christophe VIALON (Co-Directeur)*  
*Pr. Jean GAUBERT (Rapporteur)*  
*Pr. Michel CAMPOVECCHIO (Rapporteur)*  
*Pr. Jean-Baptiste BEGUERET (Examinateur)*  
*M. Jean-Marie BOULAY (Membre invité)*  
*M. Gérard BOUISSE (Membre Invité)*

---

**Ecole doctorale :** *GEET*  
**Unité de recherche :** *LAAS-CNRS, groupe MOST*  
**Directeur de Thèse :** *Thierry PARRA*  
**Co-Directeur de Thèse :** *Christophe VIALON*



*A ma mère, à mon Père,*

*A mes grands-parents,*

*A moi,*

*A tous ceux qui me sont chers, ...*



Ces travaux de thèse ont été effectués dans le cadre d'une collaboration entre le Laboratoire de recherche LAAS-CNRS de Toulouse et la société Freescale Semi-conducteurs FRANCE.

Je remercie Monsieur David MAURIN de m'avoir accueilli dans l'équipe RFD de Freescale ainsi que messieurs Malik GHALLAB et Raja CHATILA, directeurs successifs du laboratoire LAAS-CNRS, pour avoir accepté la collaboration universitaire CIFRE. Je remercie Olivier LLOPIS de m'avoir accueilli au sein du groupe MOST.

J'adresse mes sincères remerciements à Jacques GRAFFEUIL, professeur à l'Université de Toulouse III, d'avoir accepté de m'accueillir en Master 1 malgré le retard causé par le VISA, pour son soutien ainsi que pour l'honneur qu'il m'a fait en acceptant de présider le jury de ma thèse.

Je remercie Monsieur Jean GAUBERT et Monsieur Michel CAMPOVECCHIO d'avoir rapporté mes travaux de thèse et pour toutes les remarques judicieuses qu'ils ont faites. Mes remerciements vont aussi à Monsieur Jean-Baptiste BEGUERET pour sa présence et ses commentaires sur la qualité de mes travaux.

J'exprime ma profonde gratitude à Jean-Marie BOULAY pour la confiance qu'il m'a témoignée en acceptant l'encadrement industriel de mes travaux, mais surtout pour sa patience, sa sympathie et ses compétences qui m'ont aidé à mener à bien ce travail.

Je tiens également à remercier Gérard BOUISSE, successeur de Jean-Marie, pour son soutien, sa sympathie et tous ses conseils techniques, toujours disponible lors de l'encadrement de ma thèse au sein de Freescale.

Ma grande reconnaissance va vers mon directeur de thèse, Thierry PARRA, pour ses qualités scientifiques et aussi humaines, de m'avoir mené vers toujours plus de curiosité scientifique et toujours plus de rigueur et de méthode dans mon travail. La confiance qu'il m'a accordée et les moyens qu'il a su mettre à ma disposition, m'ont permis de travailler dans les meilleures conditions possibles et de fournir en retour un travail, je l'espère, pertinent.

J'adresse également mes remerciements à mon co-directeur de thèse, Christophe VIALON, pour ces conseils et son aide, de m'avoir introduit dans le monde des hyperfréquences et de m'avoir supporté tout au long de la thèse.

Ces travaux n'auraient pas pu être menés à bien sans la disponibilité, l'amitié et la compétence de l'ensemble du personnel de l'équipe TEAM du LAAS-CNRS et en particulier David BOURRIER et Monique DILHAN, les acteurs majeurs dans la mise au point du procédé technologique de réalisation d'inductances.

Mes sincères remerciements s'adressent à tous les membres de l'équipe RFD de Freescale Toulouse et en particulier à :

Angélique SANCHEZ pour sa patience, sa persévérance, son soutien et ses compétences techniques qui ont permis de mener à fin la réalisation de mes composants.

Cédric CASSAN pour son soutien et toutes ses explications techniques qui m'ont initié au monde des amplificateurs RF de puissance.

Nelsy MONSAURET pour sa patience et sa sympathie, toujours disponible pour répondre à mes questions techniques et logistiques.

Mes remerciements s'adressent également à tous les membres du laboratoire d'analyse de Freescale Toulouse et en particulier à : Thomas ZIRILLI, Yann WEBER et Marie CASTIGNOLLES. Je tiens de même à remercier Claude ROQUES, Philippe MAZILLIER et tous les membres de l'équipe MOS20.

Je tiens à adresser mes remerciements à tous les membres de l'équipe R&D de Freescale USA (Tempei) et en particulier à Xiaowei REN et Wayne BURGER pour leur soutien, patience, sympathie et support technique.

Un grand merci à tous les membres de l'équipe MOST pour ces années passées sous le signe de la bonne humeur !

J'adresse également mes remerciements à tous les services techniques, logistiques et administratifs du laboratoire et de Freescale qui ont œuvré au bon déroulement de cette thèse.

Finalement, je vais adresser mes profonds remerciements à mes amis (par ordre alphabétique pour ne pas faire de jaloux), Aref, Assia, Eliana, Estelle, Elodie, Ghassan, Hani, Hiba, Houda, Ihab, Khalil, Khaldoun, Lamine, Lara, Laure, Leila, Mazen, Ramadane, Rim et Stéphanie.

Avant de terminer, je voudrais remercier mes parents et mes frères : Quoi que je dise, Quoi que je fasse, je ne saurais jamais vous remercier, les très chères personnes à mon cœur, à ceux que ni les mots, ni les gestes, ni rien au monde ne pourra exprimer mes sentiments et ma gratitude envers eux...

Merci et désolé pour tous ceux que j'ai dû oublier de mentionner.







**Titre :** « Conception et intégration "above IC" d'inductances à fort coefficient de surtension pour applications de puissance RF »

Ayad GHANNAM

**Directeur de thèse :** Thierry PARRA, 7 Avenue du Colonel Roche, 31077 Toulouse

**Co-Directeur de thèse :** Christophe VIALON, 7 Avenue du Colonel Roche, 31077 Toulouse

**Mots-clés :** Microélectronique, Inductances, Intégration, LDMOS, Puissance, Adaptation d'impédance, Couplage magnétique, Amplificateur, High-Q, SU8.

De tous les circuits qui constituent un système radiofréquence complet, la partie radiofréquence apparaît comme un maillon délicat du système. Parmi les nombreuses fonctions radiofréquences, l'amplificateur de puissance (PA) représente un bloc particulièrement critique de la chaîne d'émission, du fait de sa consommation élevée et des forts niveaux des signaux qu'il doit gérer. Il résulte de ces contraintes que les techniques d'intégration utilisées sont généralement complexes et onéreuses, particulièrement pour la réalisation des éléments inductifs des réseaux de pré-adaptation des transistors de puissance, à partir de fils micro-soudés. Les travaux décrits dans ce manuscrit visent ainsi le développement d'une technologie permettant l'intégration faible coût d'inductances planaires de puissance en mesure de remplacer les fils micro-soudés.

Ces travaux ont été réalisés en collaboration avec la société Freescale. Les démonstrateurs présentés mettent donc en œuvre la filière LDMOS sur substrat silicium faiblement résistif.

Le mémoire est articulé autour de quatre chapitres. Le premier présente un état de l'art de l'intégration des amplificateurs de puissance RF à partir duquel nous définissons la problématique de cette intégration. Dans le deuxième chapitre, nous traitons des différents mécanismes de pertes présents dans les inductances planaires sur silicium ainsi que de leurs origines. Puis, nous posons les bases de leur modélisation électrique et des simulations électromagnétiques 3D qui seront conduites pour leur optimisation. Le troisième chapitre est ensuite consacré à la description et à l'optimisation de la technologie mise en place au sein du LAAS. Elle met en œuvre, sur un plan métallique qui écrante le silicium sur lequel sont intégrés les transistors, une couche de 65  $\mu\text{m}$  de résine époxy SU8 sur laquelle est implémenté un niveau métallique en cuivre de 35  $\mu\text{m}$  d'épaisseur. Des trous métallisés sont aussi réalisés à travers le niveau SU8 pour les contacts électriques entre les transistors et le niveau Cu supérieur. Enfin, le quatrième et dernier chapitre traite des caractérisations expérimentales des inductances de test réalisées ainsi que des démonstrateurs intégrant ces inductances directement sur la puce de puissance LDMOS. Dans ce dernier cas, des mesures en forts signaux sont aussi présentées. L'intégration "Above-IC" d'un réseau d'inductances parallèles présentant une valeur finale de 0.2nH pour un facteur de qualité de 40 à 2 GHz et de 58 à 5 GHz, tout en supportant une densité de courant de 1A/mm<sup>2</sup>, permet d'aboutir à une valeur du rendement de 60% pour un amplificateur RF LDMOS de puissance 50W.



**Title:** « Design and Integration of High-Q "Above IC" inductors for RF power applications »

Ayad GHANNAM

**Director:** Thierry PARRA, 7 Avenue du Colonel Roche, 31077 Toulouse

**Co-Director:** Christophe VIALON, 7 Avenue du Colonel Roche, 31077 Toulouse

**Keywords :** Microelectronic, Inductances, Integration, LDMOS, Power, Impedance matching, Magnetic coupling, Amplifier, High-Q, SU8.

Of all the circuits of a complete radio frequency system, the RF transmission section is still a delicate part of the system. In fact, it is widely known that the RF power amplifier (PA) is one of the most critical building blocks of the transmission chain, because of its high power consumption and high signal levels that it must handle. As a result, integration techniques are generally complex and expensive, particularly for the realization of inductive elements of the power amplifier's impedance pre-matching circuits using bond wires. The aim of the work described in this manuscript is the development of a low cost microelectronic technology for planar power inductor integration which could lead to bond wires replacement.

This work was carried out in collaboration with Freescale semiconductor Inc. All demonstrators involve LDMOS dies implemented on weakly resistive silicon substrates.

The manuscript is articulated around four chapters. The first one defines integration issues from the presentation of a state of the art of RF power amplifier technologies. In the second chapter, we discuss loss mechanisms present in planar inductors integrated above silicon substrates and their location. Then, we present the equivalent electrical schematic of these inductors as well as 3D electromagnetic simulations conducted for their optimization. The third chapter is then devoted to the description and optimization of the technological process developed in the LAAS/CNRS. The process consists of depositing, above a ground shielded silicon substrate, a 65  $\mu\text{m}$  thick SU8 layer acting as a dielectric for the 35  $\mu\text{m}$  thick copper based inductor. Via holes through the SU8 layer are used to form an electrical connection between the inductor and transistors. The fourth and final chapter deals with experimental characterizations performed on integrated test inductors, as well as on power LDMOS demonstrators realized from the direct inductor above-IC integration on active chips. The integration of parallel inductors with a 0.2 nH final value, having a quality factor of 40 at 2 GHz or 58 at 5 GHz and supporting a current density of 1 A/mm<sup>2</sup>, leads to the realization of a 50W LDMOS RF power amplifier exhibiting a 60% efficiency.



## TABLE DES MATIERES

<b>INTRODUCTION GENERALE .....</b>	<b>1</b>
<b>CHAPITRE I : INTEGRATION DES AMPLIFICATEURS DE PUISSANCE RF EN TECHNOLOGIE LDMOS.....</b>	<b>5</b>
<b>I.1 INTRODUCTION .....</b>	<b>5</b>
<b>I.2 LES AMPLIFICATEURS DE PUISSANCE POUR LES NOUVELLES APPLICATIONS RF .....</b>	<b>5</b>
I.2.1 Généralités .....	5
I.2.2 Cahier des charges .....	9
I.2.3 Etat de l'art.....	10
I.2.4 Evolution des transistors MOS vers les applications RF de puissance .....	13
I.2.5 Intérêt de la technologie LDMOS .....	15
<b>I.3 SUBSTRAT LDMOS.....</b>	<b>17</b>
I.3.1 Caractéristiques du substrat .....	17
I.3.2 Niveaux métalliques .....	17
<b>I.4 TRANSISTOR DE PUISSANCE LDMOS .....</b>	<b>18</b>
I.4.1 Structure physique .....	19
I.4.2 Modèles électriques.....	20
<b>I.5 PROBLEMATIQUE D'INTEGRATION POUR L'AMPLIFICATION DE PUISSANCE .....</b>	<b>24</b>
I.5.1 Préadaptations d'entrée et de sortie .....	24
I.5.1.a Principe de l'adaptation.....	24
I.5.1.b Adaptation sur abaque de Smith avec des cercles à Q constant.....	29
I.5.1.c Nécessité de la préadaptation et principe de dimensionnement .....	31
I.5.2 Fabrication des éléments passifs à l'aide de capacité MIS et de fils micro-soudés.....	33
I.5.3 Problématiques des fils micro-soudés .....	35
<b>I.6 CONCLUSION .....</b>	<b>36</b>
<b>I.7 REFERENCES .....</b>	<b>38</b>
<b>CHAPITRE II : INTEGRATION D'INDUCTANCES POUR LA PREADAPTATION DU TRANSISTOR DE PUISSANCE.....</b>	<b>41</b>
<b>II.1 INTRODUCTION .....</b>	<b>41</b>
<b>II.2 INDUCTANCES INTEGREES.....</b>	<b>42</b>
II.2.1 Structure micro-ruban.....	42
II.2.2 Origines des pertes.....	43
II.2.2.a Pertes dans les métallisations.....	43
II.2.2.b Pertes dans le substrat.....	45
II.2.3 Facteur de qualité des selfs.....	46
II.2.4 Circuit électrique équivalent.....	48
II.2.4.a Modèle typique.....	48
II.2.4.b Simplification du modèle pour la détermination analytique des éléments .....	49
<b>II.3 DEFINITION DU PROJET ET CAHIER DES CHARGES .....</b>	<b>51</b>
<b>II.4 ETAT DE L'ART.....</b>	<b>52</b>
<b>II.5 SIMULATIONS ELECTROMAGNETIQUES SOUS HFSS .....</b>	<b>56</b>

II.5.1 Effets du choix et du dimensionnement des ports sur les résultats .....	57
II.5.1.a Simulations électriques.....	58
II.5.1.b Wave ports.....	60
II.5.1.c Lumped ports.....	61
II.5.2 Prise en compte des pertes résistives.....	63
<b>II.6 CONCLUSION .....</b>	<b>64</b>
<b>II.7 REFERENCES .....</b>	<b>66</b>
<b>CHAPITRE III : DEVELOPPEMENT DE NOUVEAUX PROCEDES POUR L'INTEGRATION D'INDUCTANCES SUR SILICIUM .....</b>	<b>69</b>
<b>III.1 INTRODUCTION .....</b>	<b>69</b>
<b>III.2 CHOIX DU DIELECTRIQUE.....</b>	<b>69</b>
III.2.1 Résine à base du Benzocyclobutene BCB.....	71
III.2.2 Résine à base d'Epoxy SU8.....	71
<b>III.3 CARACTERISATION MICRO-ONDE DE DIELECTRIQUES EN UTILISANT DES LIGNES MICRO-RUBANS .....</b>	<b>73</b>
III.3.1 Problématique.....	73
III.3.2 Solution actuelle.....	74
III.3.3 Nouveau Principe .....	75
III.3.3.a Procédure d'extraction de la permittivité effective .....	75
III.3.3.b Calcul direct de la permittivité relative .....	76
III.3.3.c Calcul itératif de la permittivité relative.....	77
III.3.3.d Calcul de l'angle de perte .....	77
III.3.3.e Domaine de validité des méthodes .....	78
III.3.3.f Validations expérimentales .....	79
<b>III.4 APPLICATION DES METHODES DEVELOPEES POUR LA CARACTERISATION DE LA RESINE SU8 .....</b>	<b>79</b>
III.4.1 Dessin des masques .....	79
III.4.2 Fabrication des lignes micro-rubans .....	80
III.4.3 Résultats expérimentaux.....	80
III.4.4 Validation par simulations électromagnétiques .....	81
<b>III.5 INFLUENCE DU SUBSTRAT DE SILICIUM ET DU PLAN DE MASSE SUR LES PERFORMANCES DES SELFS.....</b>	<b>82</b>
III.5.1 Inductances sans plan de masse .....	82
III.5.1.a Influence de la résistivité du substrat de silicium.....	82
III.5.1.b Influence de l'épaisseur de diélectrique.....	84
III.5.2 Inductances avec plan de masse .....	85
III.5.2.a Effets d'un plan de masse plein .....	85
III.5.2.b Plan de masse structuré ou "Patterned ground shield" .....	86
III.5.2.c Substrat très faible résistivité : Plan de masse structuré ou plein?.....	87
III.5.3 Impact de l'épaisseur du plan de masse sur le facteur de qualité.....	89
<b>III.6 VARIATION DU FACTEUR DE QUALITE EN FONCTION DE L'ÉPAISSEUR DU DIELECTRIQUE ET DE LA LARGEUR DU RUBAN .....</b>	<b>90</b>
<b>III.7 INFLUENCE DU RAPPORT W/T DU RUBAN METALLIQUE .....</b>	<b>92</b>
<b>III.8 COUPLAGE ENTRE LES RUBANS METALLIQUES.....</b>	<b>93</b>
<b>III.9 DEVELOPPEMENT DU PROCEDE D'INTEGRATION.....</b>	<b>95</b>

III.9.1 Premier procédé technologique .....	95
III.9.2 Deuxième procédé technologique .....	98
<b>III.10 CONCLUSION .....</b>	<b>100</b>
<b>III.11 REFERENCES .....</b>	<b>102</b>
<b>CHAPITRE IV : OPTIMISATION ET FABRICATION "ABOVE IC" D'INDUCTANCES DE PUISSANCE SUR SUBSTRAT LDMOS</b>	
.....	<b>103</b>
<b>IV.1 INTRODUCTION .....</b>	<b>103</b>
<b>IV.2 CONTRAINTES D'INTEGRATION .....</b>	<b>103</b>
<b>IV.3 STRUCTURES INDUCTIVES OPTIMISEES (VERSION 1) .....</b>	<b>104</b>
IV.3.1 Dimensionnement des inductances .....	104
IV.3.1.a Inductances spirales.....	104
IV.3.1.b Inductances Couplées .....	105
IV.3.1.c Comparatif des structures couplées .....	108
IV.3.2 Optimisation des structures pour la caractérisation sous pointe .....	109
IV.3.3 Réalisation du dessin des masques et des selfs .....	110
IV.3.4 Résultats expérimentaux.....	111
<b>IV.4 TRANSISTOR LDMOS DE PUISSANCE PRE-ADAPTE : PREMIER DEMONSTRATEUR .....</b>	<b>112</b>
IV.4.1 Conception du jeu de masques et application du procédé « Above IC » .....	113
IV.4.2 Préparations des puces et mise en boîtier .....	114
IV.4.2.a Amincissement des puces.....	114
IV.4.2.b Métallisation de la face arrière et report des puces en boîtier .....	115
IV.4.2.c Câblage des accès .....	116
IV.4.3 Caractérisation RF en petits signaux .....	117
IV.4.3.a Extraction du modèle du circuit.....	118
IV.4.3.b Origine des éléments parasites.....	120
<b>IV.5 TRANSISTOR LDMOS DE PUISSANCE PRE-ADAPTE : DEUXIEME DEMONSTRATEUR .....</b>	<b>121</b>
IV.5.1 Dessin de masques et application du procédé.....	121
IV.5.2 Caractérisation RF petits signaux .....	122
IV.5.3 Mesures "Load-Pull" .....	123
<b>IV.6 TRANSISTOR PRE-ADAPTE : TROISIEME DEMONSTRATEUR .....</b>	<b>125</b>
IV.6.1 Structures inductives optimisées (version 2) .....	125
IV.6.2 Dessin du nouveau jeu de masques.....	126
IV.6.3 Application du nouveau procédé et assemblage des puces .....	126
<b>IV.7 CONCLUSION .....</b>	<b>128</b>
<b>IV.8 REFERENCES .....</b>	<b>130</b>
<b>CONCLUSION GENERALE .....</b>	<b>131</b>
<b>PERSPECTIVES .....</b>	<b>135</b>
<b>LIST DES PUBLICATIONS .....</b>	<b>137</b>





## **INTRODUCTION GENERALE**

L'industrie des radiocommunications a connu un essor considérable depuis l'apparition sur le marché grand public de la téléphonie cellulaire, largement vulgarisée à travers le monde. Cette croissance a entraîné une forte demande pour des produits miniatures, faible coût, compatibles avec une production en grandes séries, multi-bandes et multi-standards. Par ailleurs, cette évolution s'accompagne d'une compétition pour l'intégration de systèmes comportant un nombre toujours plus grand de fonctionnalités et de performances toujours plus élevées.

Ainsi, les fabricants de composants pour les radiocommunications sont contraints de fournir des solutions de plus en plus complexes et à très fort niveau d'intégration. De même, pour adresser le constant souci de miniaturisation et de réduction des coûts, l'utilisation de nouvelles technologies est indispensable pour rester compétitif.

Dans ce contexte, des challenges importants se posent au niveau de l'amplificateur de puissance. En effet, ce dispositif est un des blocs les plus critiques de tout système de communication, compte tenu des niveaux élevés de puissances qui y sont mis en œuvre et du compromis difficile qui doit être réalisé lors de la conception, principalement entre le gain en puissance, la puissance de sortie, la linéarité et le rendement. Ainsi, au cours des dernières décennies, diverses topologies de transistors de puissance ont été étudiées et de nouvelles filières technologiques ont été développées pour répondre à toutes ces exigences. Parmi ces différentes filières, la technologie MOS présente un grand intérêt du fait de ses faibles coûts de fabrication. L'utilisation des transistors MOS a évolué vers les applications RF de puissance par l'introduction de nouvelles structures telles que les transistors VDMOS (Vertical Double-Diffused Metal Oxide Semiconductor) et LDMOS (Lateral Double-Diffused Metal Oxide Semiconductor). Du fait de son coût de fabrication réduit et de ses excellentes caractéristiques pour les applications de puissance, le transistor LDMOS occupe aujourd'hui une grande part des circuits amplificateurs présentant des niveaux de puissances comprises entre 1W et 300W et pour des fréquences de fonctionnement jusqu'à 3GHz. Atteindre ces niveaux de puissances et ces fréquences de fonctionnement n'est pas le fruit de l'optimisation de la seule structure intrinsèque du transistor, et la structure extrinsèque, qui intègre des éléments de préadaptation d'impédance, doit aussi faire l'objet d'une très grande attention.

Le concept d'adaptation d'impédance est assez classique et il est traditionnellement mis en œuvre au niveau du circuit pour optimiser les transferts de puissance. Cependant, dans le domaine

des applications de puissance RF, compte tenu des valeurs d'impédances considérées et des niveaux de puissance critiques mis en jeu, il s'avère difficile de réaliser les réseaux d'adaptation en dehors du boîtier du transistor pour atteindre le meilleur compromis sur les nombreuses considérations différentes (stabilité, gain en puissance, rendement...). L'utilisation du principe de préadaptation d'impédance est nécessaire dans ce cas, et consiste à intégrer des réseaux, généralement constitués par des inductances et des capacités, au plus près du transistor.

L'intégration des composants passifs pour réaliser la préadaptation du transistor de puissance bute souvent sur des difficultés de réalisation techniques (qualité, degré de contrôle, reproductibilité...) en raison des caractéristiques du substrat (faible résistivité ...) nécessitées par l'intégration du transistor. Ainsi, les techniques d'intégration utilisées se traduisent le plus souvent par des temps de manipulations importants et des coûts élevés. Ceci est particulièrement le cas des inductances réalisées jusqu'à présent par le biais de fils microsoudés. L'objectif de notre travail de thèse a donc consisté à développer une technologie pour la réalisation d'inductances de puissance planaires à fort coefficient de qualité en mesure de remplacer ces fils microsoudés. Les contraintes considérées ont ainsi été principalement un coût réduit, une grande reproductibilité, la qualité des composants obtenus, et enfin la possibilité d'intégrer les inductances sur la même puce que les transistors RF de puissance en technologie LDMOS.

Le premier chapitre de cette thèse, débute par une présentation synthétique des amplificateurs de puissance, leurs contraintes de conception ainsi que de quelques architectures développées pour améliorer leurs performances. Nous citerons les différentes filières technologiques utilisées pour fabriquer les transistors RF de puissance et nous nous intéresserons plus particulièrement à la filière LDMOS qui a constitué le support de nos travaux. Ensuite, nous rappellerons la problématique de l'adaptation en impédance des transistors RF de puissance et nous justifierons l'intérêt de l'intégration des circuits de préadaptation au plus près du transistor et notamment sur la même puce. Nous présenterons alors les techniques actuelles permettant de réaliser ces réseaux ainsi que leurs inconvénients, et nous finirons en montrant l'intérêt de développer une technologie spécifique permettant de remplacer les fils microsoudés par des inductances intégrées planaires.

Dans le deuxième chapitre, nous nous concentrerons sur les origines des différents mécanismes de pertes que l'on trouve dans les inductances intégrées. L'identification et la compréhension de ces mécanismes nous permettent d'extraire le modèle électrique équivalent des inductances et serviront par la suite pour les choix et les dimensionnements technologiques. Nous présenterons ensuite l'état de l'art des différentes technologies ou techniques permettant la fabrication d'inductances intégrées. A partir du comparatif des performances obtenues et des degrés de complexité de mise en œuvre, nous justifierons notre choix de la technologie Above-IC pour la fabrication des inductances. Finalement, nous présenterons le logiciel de simulation électromagnétique 3D HFSS utilisé tout au long de cette thèse. Ce logiciel, après l'application de quelques correctifs et le bon dimensionnement des ports d'excitation, permet de simuler de manière précise les structures passives.

Les techniques d'optimisation des inductances et la mise au point du procédé technologique Above-IC font l'objet du troisième chapitre. Nous débuterons par la justification du choix de la résine

diélectrique à utiliser en nous basant sur les conclusions avancées au chapitre précédent. Puis nous rendrons compte des deux méthodes simples et efficaces que nous avons développées pour l'extraction des propriétés diélectriques de cette résine, à partir de mesures des paramètres-S de structures micro-rubans. Ensuite, nous présenterons différentes voies pour améliorer les performances des inductances. Nous aborderons notamment l'influence de la résistivité du substrat sur les performances des selfs ainsi que l'efficacité de différentes structures de plans de masses. Finalement, nous exposerons les deux procédés technologiques Above-IC développés au sein de la centrale technologique du LAAS/CNRS. Nous mettrons en évidence les avantages du deuxième procédé qui résulte d'une optimisation poussée et qui a fait l'objet d'un dépôt de brevet.

Enfin, le quatrième chapitre traite des démonstrateurs réalisés, pour lesquels les inductances sont intégrées sur les puces des transistors LDMOS de puissance. Une première génération d'inductances est dimensionnée à partir de simulations électromagnétiques, puis réalisée sur un substrat test et caractérisées sous pointes. Ces inductances sont ensuite intégrées sur la puce du transistor de puissance et un premier démonstrateur sera ainsi présenté. Nous exposerons les différentes étapes de préparation des puces nécessaires pour le montage en boîtier. Nous commenterons les résultats des caractérisations en petits signaux obtenus ainsi que les défauts constatés. Ensuite, après l'exposé des modifications apportées au procédé nous présenterons le deuxième démonstrateur fabriqué. Nous exposerons les résultats de caractérisation obtenus, en petits signaux ainsi qu'en grands signaux par des mesures load-pull, et nous commenterons les performances de nos puces en les comparant à celles d'une puce intégrant les fils microsoudés. Finalement, sur la base de tous les résultats précédents, une deuxième génération d'inductances a été dimensionnée. De même, l'intégration des inductances sur les puces des transistors RF a été réalisée en utilisant le deuxième procédé optimisé. Cependant, en raison d'un défaut dans la fabrication sur une couche d'accrochage, aucun résultat de caractérisation ne pourra être présenté pour ce troisième démonstrateur.



## Chapitre I:

# INTEGRATION DES AMPLIFICATEURS DE PUISSANCE RF EN TECHNOLOGIE LDMOS

## I.1 Introduction

Malgré l'évolution des normes de communication sans fils au cours du temps, avec l'introduction de nouveaux codages numériques ou la libération de nouvelles fenêtres dans le spectre électromagnétique, l'amplificateur de puissance reste un des blocs les plus critiques de tout système de communication et fait de plus souvent l'objet de contraintes supplémentaires (comme par exemple de linéarité dans le cas du standard WCDMA). A l'heure actuelle, la transition des tubes à vide, généralement utilisés comme composants pour les amplificateurs de puissance, vers les circuits à état solide est quasiment achevée, surtout pour des niveaux de puissance inférieurs à 10kW. De nos jours, le cœur d'un amplificateur de puissance est donc le plus souvent un transistor.

Dans une première partie de ce chapitre, nous allons introduire les amplificateurs de puissance et consacrer une bonne part de notre exposé aux transistors MOS de puissance utilisés. Nous nous intéresserons plus spécifiquement au transistor LDMOS puisqu'il est au cœur de notre travail.

La seconde partie est consacrée aux circuits de préadaptation des impédances d'entrée et de sortie du transistor. Nous détaillons la procédure d'adaptation ainsi que la réalisation actuelle des éléments passifs à l'aide de fils micro-soudés et de capacités MIS. Par la suite, nous exposons les problématiques liées aux fils micro-soudés.

Une large part de ce chapitre fait référence aux grands ouvrages [1], [26] et [27].

## I.2 Les amplificateurs de puissance pour les nouvelles applications RF

### I.2.1 Généralités

De nombreux travaux ont été effectués ces dernières années sur l'intégration en technologie CMOS de fonctions RF de réception (LNA, mélangeur,..) ou d'émission moyenne puissance

(mélangeur, préamplificateur,..). Moins de travaux semblent avoir été conduits sur l'intégration d'amplificateurs de puissance radiofréquences.

Les circuits qui constituent un système radiofréquence sont nombreux et la partie radio proprement dite apparaît comme un maillon délicat du système. Parmi les nombreuses fonctions radiofréquences, l'amplificateur de puissance représente un bloc particulièrement critique de la chaîne d'émission, du fait de sa consommation élevée et des forts niveaux de puissance du signal qu'il doit gérer.

La Figure I - 1 illustre la coupe d'un appareil portable de type téléphone avec les différents sous-systèmes intégrés : un module mémoire et de gestion d'énergie, un processeur, un module de transmission/réception RF et finalement un module amplificateur de puissance.

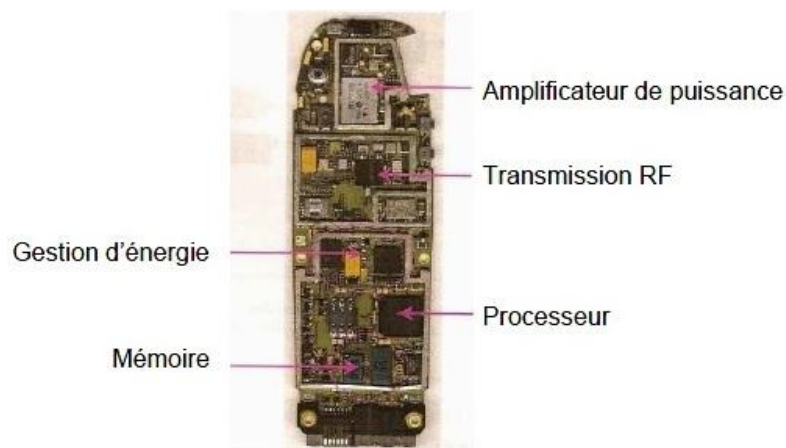


Figure I - 1 : Illustration des différentes fonctions dans un téléphone portable.

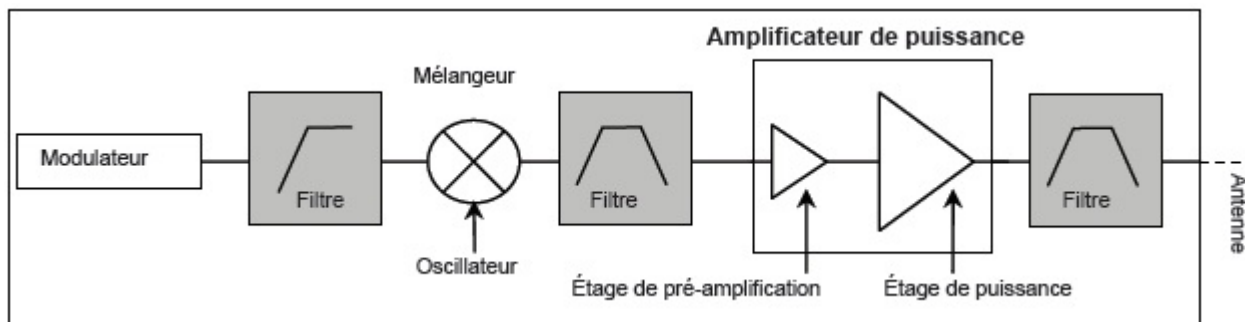


Figure I - 2 : Schéma bloc d'une chaîne d'émission [2]

Un amplificateur de puissance constitue souvent le dernier étage d'un émetteur. Il doit être capable de fournir une puissance suffisante pour permettre la transmission du signal RF, sans distorsion pour que l'information ne soit pas altérée. La problématique d'un amplificateur de puissance consiste donc à trouver le moyen le plus efficace pour délivrer une puissance RF déterminée à une charge constituée par l'antenne. Les compromis de la conception d'amplificateurs de puissance sont principalement le gain en puissance, la puissance de sortie, la linéarité, et le rendement [2]. Il s'agit du bloc le plus complexe à mettre en œuvre dans la chaîne d'émission (Figure I - 2).

Généralement, un amplificateur est constitué de plusieurs étages. Il est composé d'un étage de pré-amplification, appelé aussi « driver », puis de l'étage de puissance proprement dit. Cependant, un amplificateur de puissance n'est pas seulement composé de transistors. Il contient aussi des composants passifs servant à optimiser l'adaptation du circuit aux charges, ceci dans le but d'optimiser les transferts de puissance et de délivrer la puissance de sortie maximale. Le facteur de qualité des composants passifs joue un rôle important sur la performance pour optimiser le transfert de puissance et limiter l'échauffement de l'amplificateur.

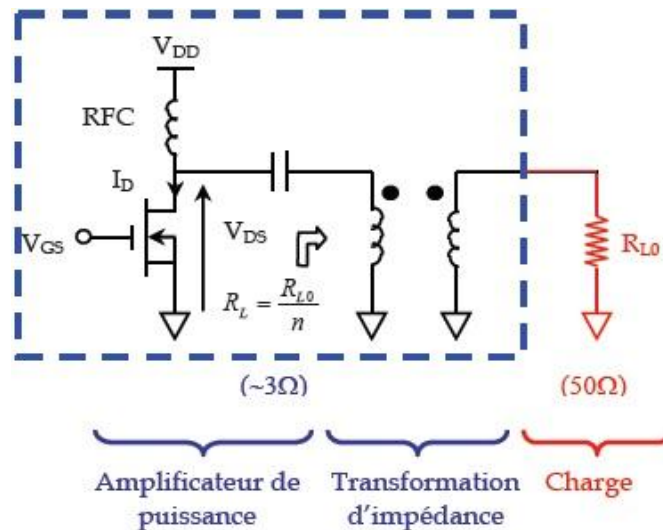


Figure I - 3 : Montage amplificateur avec adaptation de sortie par transformateur

Si le montage présenté sur la Figure I - 3 ne comportait pas de réseau de transformation d'impédance, il faudrait appliquer une tension d'alimentation  $V_{DD}$  de 10V pour délivrer une puissance de 1W dans une charge de  $50\Omega$ , alors que les tensions de batterie sont à l'heure actuelle comprises entre 3V et 5V. Il est donc nécessaire de réaliser une transformation d'impédance à l'aide d'un réseau LC pour accroître le courant délivré et abaisser la tension nécessaire à l'alimentation de l'amplificateur [3].

Les amplificateurs de puissance RF (PA) sont par nature non-linéaires et sont les principaux contributeurs des distorsions produites dans la chaîne d'émission. Cette non-linéarité est liée à la compression de la puissance de sortie de l'amplificateur de puissance lorsqu'un fort niveau de signal à l'entrée est appliqué. La non-linéarité d'un PA est caractérisée selon des techniques spécifiques à chaque application. On peut citer :

- Le point de compression à 1dB : c'est le point auquel le gain en puissance diminue de 1dB par rapport à sa valeur en fonctionnement linéaire. On peut calculer la puissance d'entrée correspondante pour l'amplificateur par :

$$P_{in} (dBm) = P_{out} (dBm) - G_{1,dB} (dB)$$

Avec  $P_{in}$  et  $P_{out}$  les puissances d'entrée et de sortie et  $G_{1,dB}$  le gain au point de compression à 1 dB.



- Les produits d'intermodulation (IMD) : les produits d'intermodulation sont utilisés pour caractériser les non-linéarités plus précisément qu'avec le gain en puissance. Cela consiste à envoyer deux porteuses de fréquences proches et à mesurer en sortie le niveau des produits d'intermodulation résultant des mélanges croisés des deux signaux à travers les non-linéarités (Figure I- 4). Les plus gênants sont les produits d'intermodulation d'ordre 3 car, étant les plus proches des deux fréquences porteuses, il est difficile de filtrer ces produits. L'intermodulation d'ordre 3 est aussi caractérisée par le point d'interception d'ordre 3 (IP3), appelés IIP3 en entrée et OIP3 en sortie (Figure I - 5). En utilisant ce point, le produit d'intermodulation d'ordre 3 peut être calculé par :

$$IMD3 = 2(P_{out}(dBm) - OIP3(dBm))$$

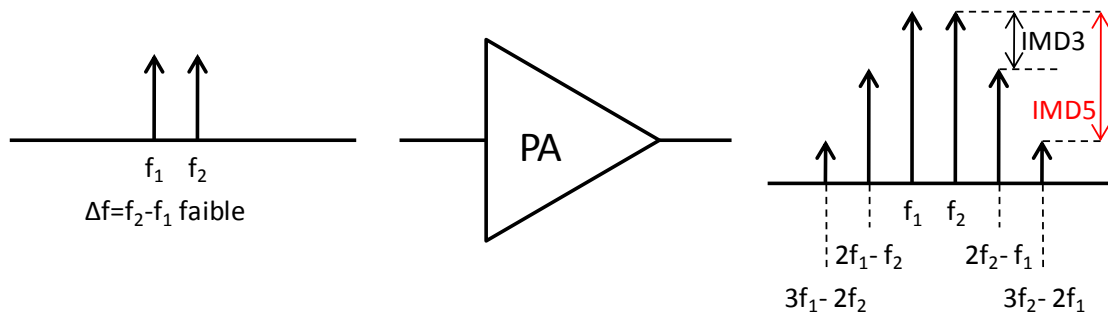


Figure I - 4 : Test d'intermodulation

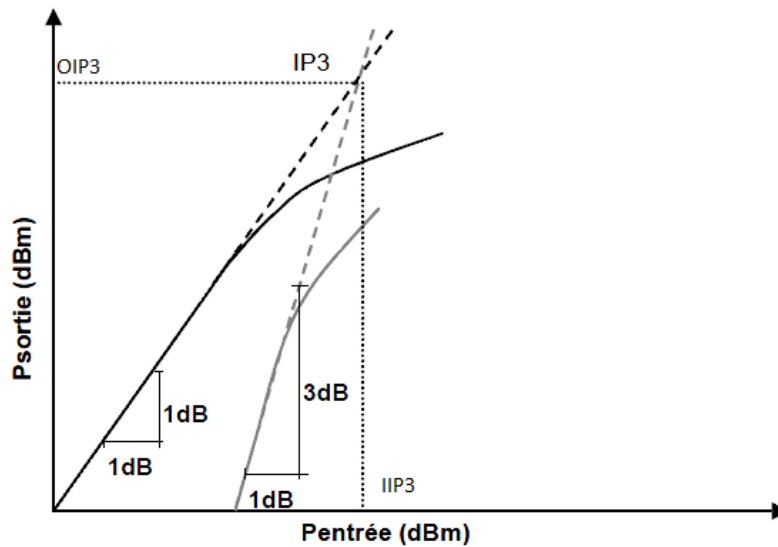


Figure I - 5 : Représentation de la puissance de sortie en fonction de la puissance d'entrée.  
Matérialisation du point d'interception d'ordre 3

Le rendement d'un PA est critique parce qu'il détermine directement l'autonomie de la batterie ou la puissance dissipée à évacuer. Il peut être défini par le rapport entre la puissance de sortie de l'amplificateur ( $P_{out}$ ) et la puissance consommée ( $P_{DC}$ ).

$$\eta = \frac{P_{out}}{P_{DC}}$$

La puissance consommée est forcément au minimum égale à la puissance de sortie. Le rendement est ainsi fortement corrélé à la classe de fonctionnement de l'amplificateur.

La définition précédente du rendement ne prend cependant pas en compte la puissance RF  $P_{RF,in}$  appliquée en entrée du dispositif. La notion de rendement en puissance ajoutée (PAE) a alors été introduite. Elle est utilisée plus particulièrement pour la caractérisation RF et fait donc intervenir la puissance dynamique d'entrée [3].

$$PAE = \frac{P_{out} - P_{RF,in}}{P_{DC}}$$

### 1.2.2 Cahier des charges

Les amplificateurs de puissances sont dimensionnés et fabriqués selon un cahier des charges déterminé pour une application spécifique (ex : GSM, UMTS, WiMax etc...). Chaque application possède ses propres spécifications fixées par un standard.

Le Tableau I - 1 montre les spécifications en fréquence, puissance, largeur de canal et type de multiplexage des différents standards de transmission pour une station de base fixe et une station mobile (téléphone). Les principaux types de multiplexage utilisés sont le TDMA, FDMA et WCDMA (Accès multiple à répartition dans le temps, en fréquence et par code respectivement). Les spécifications des PA pour les mobiles et les stations de base sont les mêmes pour la bande de fréquence, la largeur du canal et le type de multiplexage. La différence se situe au niveau de la puissance maximale délivrée par le mobile qui est plus basse comparée à celle de la station de base qui dépend, entre autre, de la grandeur du territoire à couvrir, de la densité de population dans la région, du paysage environnant ainsi que du nombre et du type d'antennes (3 au maximum).

Standard	Bande de Fréquence	Largeur du canal	Puissance de sortie maximale		Mode de multiplexage
			Station de base	Mobile	
<b>GSM 900</b>	TX : 880,1—914,9 MHz RX : 925,1—959,9 MHz	200 kHz	49 dBm, classe 3 46 dBm, classe 4 43 dBm, classe 5 40 dBm, classe 6	39 dBm, class 2 37 dBm, class 3 33 dBm, class 4 29 dBm, class 5	TDMA/FDMA
<b>GSM-R</b>	TX : 921—925 MHz RX : 876—880 MHz	200 kHz	46 dBm, classe 4 43 dBm, classe 5 40 dBm, classe 6	39 dBm, class 2 37 dBm, class 3 33 dBm, class 4	TDMA
<b>GSM 1800</b>	TX : 1805—1880 MHz RX : 1710—1785 MHz	200 kHz	43 dBm, classe 1 40 dBm, classe 2 37 dBm, classe 3 33 dBm, classe 4	36 dBm, class 3 30 dBm, class 1 24 dBm, class 2	TDMA/FDMA
<b>UMTS</b>	1900—1980 MHz 2110—2170 MHz	5 MHz	46 dBm, classe 1	24 dBm, class 3 21 dBm, class 4	W-CDMA

Tableau I - 1 : Spécifications des différents standards pour les stations de base des services de téléphonie mobile et des téléphones mobiles

Les fabricants doivent veiller à ce que leurs produits respectent ces spécifications. De plus, les amplificateurs fabriqués doivent être robustes, linéaires sur toute la bande de fréquence et plage de

puissance et présenter un rendement le plus élevé possible. La robustesse d'un amplificateur de puissance signifie sa capacité à supporter un grand rapport d'onde stationnaire "VSWR" (généré par une forte désadaptation des charges) tout en délivrant sa puissance nominale. Ce paramètre est nécessaire pour garantir le bon fonctionnement du PA dans le cas d'une désadaptation des charges non intentionnelle (exemple : variation de l'impédance d'une antenne en fonction de l'environnement externe dans lequel elle est située). La linéarité des PA est spécifiée selon le standard de communication et, compte tenu de la complexité des signaux (le plus souvent difficilement assimilables à des sinusoides, comme dans le cas de l'IP3), elle est mesurée par un rapport des puissances du canal adjacent (correspondant à la bande du produit d'intermodulation d'ordre 3) et du canal du signal principal. Ce rapport est appelé ACPR (Adjacent Channel Power Ratio). Pour le GSM 900 et GSM 1800 qui utilisent le mode de multiplexage TDMA/FDMA et pour lesquels le signal modulé présente une enveloppe constante, les facteurs de mérite les plus importants pour les PA sont la puissance de sortie et le rendement. L'ACPR pour ces standards est fixé à -30dBc. Pour l'UMTS qui utilise le mode de multiplexage W-CDMA, les facteurs de mérites les plus importants pour les PA sont toujours la puissance de sortie et le rendement accompagnés de spécifications de linéarité plus contraignantes. L'ACPR pour ce standard est en effet fixé à -42 dBc [4].

Pour répondre à ces spécifications et conserver suffisamment de flexibilité pour l'architecture des stations de base, le plus facile serait d'utiliser un PA par porteuse RF. De même, pour que la station de base atteigne une puissance de sortie de 20W par porteuse, chaque PA doit pouvoir fournir 55W pour compenser les pertes dans les filtres passe-bandes, le combineur de puissance et les câbles [3] mais surtout pour satisfaire les contraintes de linéarité.

### ***1.2.3 Etat de l'art***

Au cours des années 1980, le développement commercial des systèmes de communication et de diffusion HF, UHF et VHF, a entraîné la première vague d'innovations technologiques des amplificateurs RF de puissance et des systèmes de communication. Cette décennie a aussi vu la naissance des systèmes de communications cellulaires analogiques. Durant les années 1990, une deuxième génération (2G) de systèmes cellulaires numériques a bouleversé le domaine, accompagnée de grandes avancées pour les amplificateurs de puissance RF.

Au début du 21<sup>ème</sup> siècle, la troisième génération (3G) de systèmes cellulaires a été introduite. Ces systèmes, plus complexes, se distinguent par un fort débit de transmission de données et entraînent de fortes contraintes sur l'efficacité et la linéarité des amplificateurs de puissance.

Comme nous le savons, le transistor constitue le cœur des amplificateurs RF de puissance. Les transistors sont fabriqués en utilisant des filières technologiques basées sur des substrats spécifiques. Dans les années 1980 jusqu'à la fin des 1990, le transistor bipolaire à jonction RF (BJT) sur silicium était l'état de l'art avec des niveaux de puissance atteignant 60W à 2GHz, en configuration émetteur commun et pour un fonctionnement en classe AB [5]. Cependant, les BJT RF de puissance ne permettaient qu'une faible linéarité et souffraient d'un phénomène d'emballement thermique limitant leur utilisation [6].

Une deuxième filière sur silicium, à effet de champ cette fois, a eu beaucoup de succès dans le domaine de l'amplification de signaux RF. Il s'agit de la filière LDMOS (Lateral Double Diffused Metal Oxide Semiconductor). Grâce aux progrès technologiques, les transistors LDMOS de puissance se sont imposés comme des composants majeurs sur le marché des composants discrets et intégrés. Cette technologie a été développée et optimisée en vue d'atteindre des forts niveaux de puissance et de rendement tout en améliorant la linéarité. La Tableau I - 2 montre l'évolution de la technologie LDMOS pour deux grands constructeurs NXP et Freescale [7] à [9].

	Génération	Année	Densité de puissance (W/mm)	Longueur de grille	Pout (W)
<b>NXP</b>	Gen2	2000	0.6	0.8	90
	Gen4	2004	0.77	0.6	100
	Gen5	2005	0.85	0.4	-
	Gen6	2006	0.89	0.4	-
<b>Freescale</b>	HV4	-	0.6	0.6	120
	HV5	1998	0.75	0.4	240
	HV6	2003	0.9	0.4	240
	HV7	2005	1.1	-	-

Tableau I - 2 : Comparatif de performances de plusieurs générations de LDMOS

D'autres filières, utilisant principalement des matériaux III-V, ont été étudiées et développées depuis le début des années 1970. Ces matériaux, tel l'Arséniure de Gallium ou GaAs, ont été considérés très prometteurs comparés au silicium du fait de leurs propriétés physiques et électriques. De plus, en substituant quelques atomes du groupe III par des atomes d'un autre élément du même groupe, comme l'Arséniure de Gallium-Aluminium AlGaAs, il est possible d'augmenter la largeur de bande interdite du matériau [1]. La maille cristalline n'étant que très peu modifiée, ce procédé n'introduit pratiquement aucune contrainte ou stress dans la structure et permet le développement de dispositifs à hétérojonction tels le transistor bipolaire à hétérojonction (HBT) et le transistor à haute mobilité électronique (HEMT). Des dispositifs HBT, le transistor HBT AlGaAs/GaAs est le plus couramment utilisé pour l'amplification de puissance en raison des fortes densités de puissance auxquelles il permet d'accéder, tandis que le HBT Silicium-Germanium SiGe, plus fragile en tension mais qui présente un meilleur facteur de bruit, est plutôt destiné à l'amplification faible bruit [10]. Les HEMTs, mais surtout la version pseudomorphique PHEMT qui a supplanté la version standard, présentent un fort gain en puissance, un excellent rendement et un faible niveau de bruit faisant de cette filière un excellent choix pour les amplificateurs de puissance des téléphones mobiles [11][12]. Le Tableau I - 3 montre un comparatif des performances des transistors traités dans ce paragraphe.

Légende	O : Moyen, + : Bien, ++ Très Bien		
Paramètre	HEMT GaAs	HBT GaAs	HBT SiGe
<b>Faible Bruit</b>			
BF < 100 MHz	O	+	++
RF < 2 GHz	++	++	+
Rf < 10 GHz	++	+	O
<b>Gain</b>	++	++	++
<b>Puissance</b>			
< 0.5 W	++	++	+
> 2 W	++	++	
<b>Rendement</b>	++	+	O
<b>Faible Tension</b>	++	+	+

Tableau I - 3 : Comparaison des performances des transistors HEMT GaAs, HBT GaAs et HBT SiGe

Dernièrement, sont apparues des filières technologiques grand gap (SiC, GaN) qui sont très prometteuses pour les applications de puissance microondes. Les divers champs d'application des différents types de ces filières sont présentés sur la Figure I - 6.

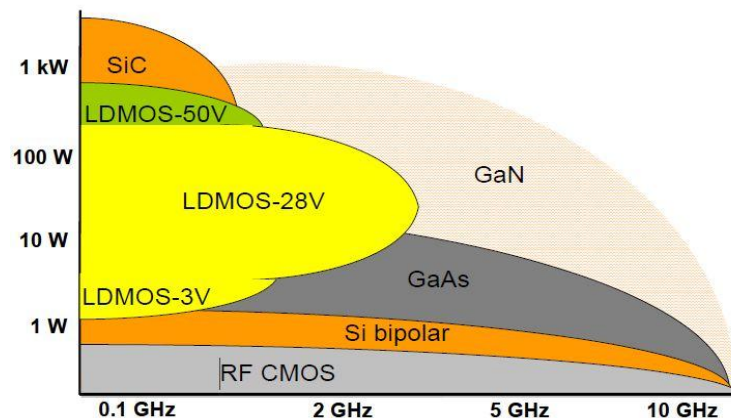


Figure I - 6 : Positionnement de la technologie LDMOS en fonction de la puissance de sortie et la fréquence d'utilisation

La seconde voie pour atteindre de plus forts niveaux de puissances pour des fonctionnements en régime linéaire et/ou pour améliorer les rendements consiste à développer de nouvelles topologies de circuits d'amplificateur de puissance ou bien de « linéariser » le fonctionnement de l'amplificateur par des dispositifs spécifiques. Par exemple, l'utilisation de la topologie DOHERTY permet d'améliorer le rendement ainsi que la linéarité du circuit amplificateur [7]. Cette topologie consiste à utiliser deux blocs amplificateurs connectés en parallèle et fonctionnant en mode "load-pull" [13] (Figure I - 7a). D'autres techniques telles "Envelope-Tracking", "Switch-Mode", "Envelope Elimination" and "Restoration" (EER) et "FeedForward" permettent d'améliorer la linéarité et/ou l'efficacité des amplificateurs de puissance [14][15]. Le principe de l'Envelope-Tracking (Figure I - 7b) consiste à ajuster la tension de polarisation du PA par le biais de l'enveloppe du signal détecté afin que le fonctionnement de l'amplificateur se situe dans la région à haute efficacité. Le Switch-Mode consiste à polariser le PA en Class-D, E ou F. Une telle architecture est utilisée pour amplifier un signal à enveloppe constante et elle permet d'atteindre des niveaux de rendement très élevés (~91% pour un

transistor GaN HEMT) [14]. L'EER (Figure I - 7c), autrement connue sous la dénomination technique de Kahn, combine à la fois la linéarisation et l'amélioration du rendement du PA. Le principe de fonctionnement consiste à extraire l'enveloppe du signal à l'aide d'un limiteur, à l'amplifier séparément pour ensuite l'utiliser pour moduler l'alimentation du PA. D'autre part, le signal sans enveloppe est amplifié par le PA. La variation de la polarisation permettra à la fois d'amplifier le signal avec un bon rendement et de restaurer son enveloppe. La technique de linéarisation FeedForward (Figure I - 7d) consiste à utiliser un PA, un amplificateur du signal d'erreur EA, des coupleurs et des lignes à retard. Une partie du signal amplifié est comparée au signal retardé. Si le PA est linéaire, le signal résultant est nul puisque les deux signaux sont de formes identiques. Cependant, si le fonctionnement du PA est non linéaire, il résulte un signal RF de la comparaison qui est amplifié par le EA avant d'être combiné au signal non linéaire retardé; ceci permet de supprimer les signaux indésirables et d'améliorer la linéarité [15].

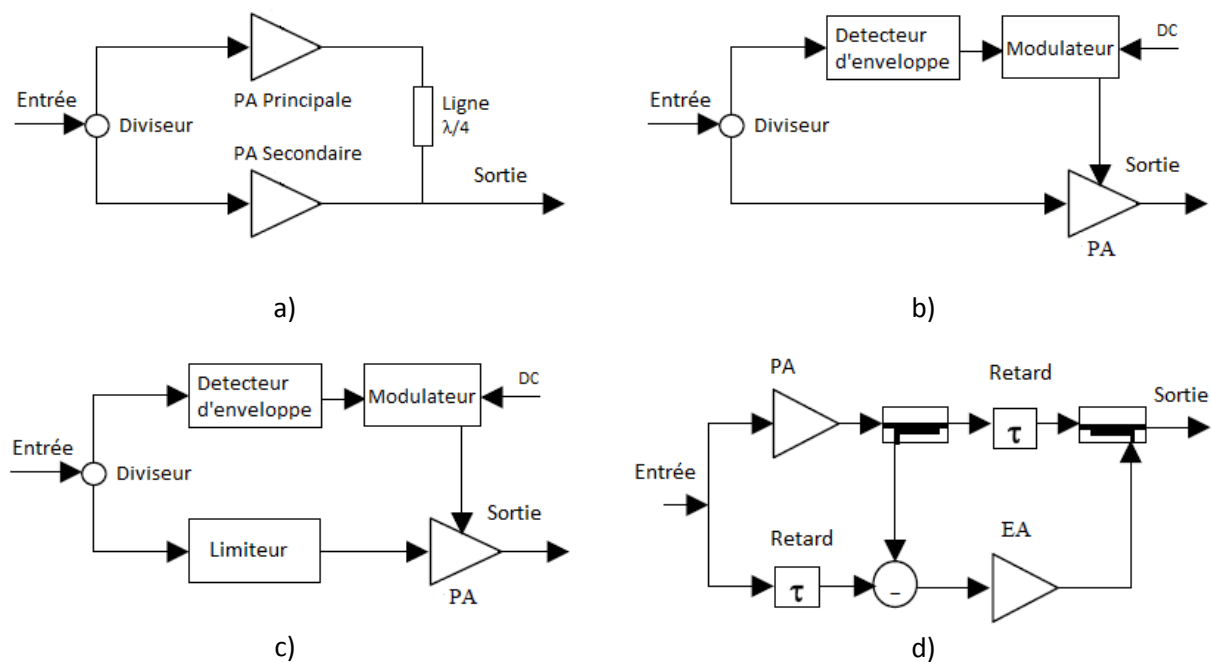


Figure I - 7 : Schémas blocs de diverses architectures pour l'amélioration des performances de l'amplification de puissance : a) Doherty. b) Envelope-Tracking. c) EER. d) FeedForward

#### 1.2.4 Evolution des transistors MOS vers les applications RF de puissance

Les transistors à effet de champs à grille métal-oxyde (MOSFETs) sont les composants actifs les plus utilisés dans le domaine RF haute puissance. Ils offrent plusieurs avantages par rapport aux dispositifs bipolaires de puissance, comme notamment, une meilleure linéarité, avec des produits d'intermodulations de plus faible amplitude, et ce sont des dispositifs qui ne souffrent pas d'emballement thermique [6]. Le coût des filières MOSFET représente un net avantage par rapport aux technologies III-V pour des fréquences d'application jusqu'à 4 GHz environ.

Le développement des MOSFET de puissance a été marqué par l'introduction d'une structure présentant une conduction verticale. Cette structure est nommée VDMOS (Vertical Double Diffused Metal Oxide Semiconductor). La Figure I - 8 montre une vue en coupe d'un transistor VDMOS. La

grille en polysilicium est enterrée sous la métallisation qui relie les contacts de source. Sur la face supérieure du cristal on trouve les régions de source et de grille, la région de drain étant implantée sur la face inférieure. Pour une polarisation de grille suffisamment positive, la région P s'inverse sous l'oxyde et un canal conducteur horizontal N est ainsi formé en surface du cristal. Les valeurs de dopage et d'épaisseur de la couche épitaxiée N doivent être soigneusement calibrées pour obtenir la tenue en tension désirée tout en maintenant des fréquences de fonctionnement les plus élevées.

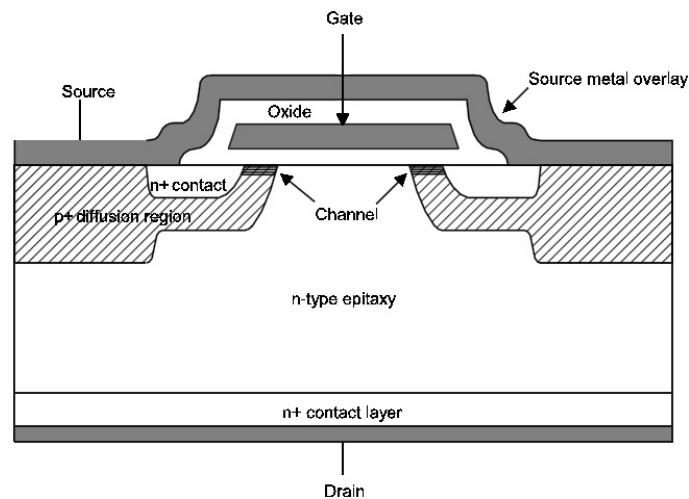


Figure I - 8 : Vue en coupe d'un transistor VDMOS

Cette structure est caractérisée par l'implémentation des électrodes de drain et de source sur chacune des faces de la puce de semiconducteur. Ceci permet de diminuer la résistance à l'état passant  $R_{on}$  et d'augmenter les densités d'intégration.

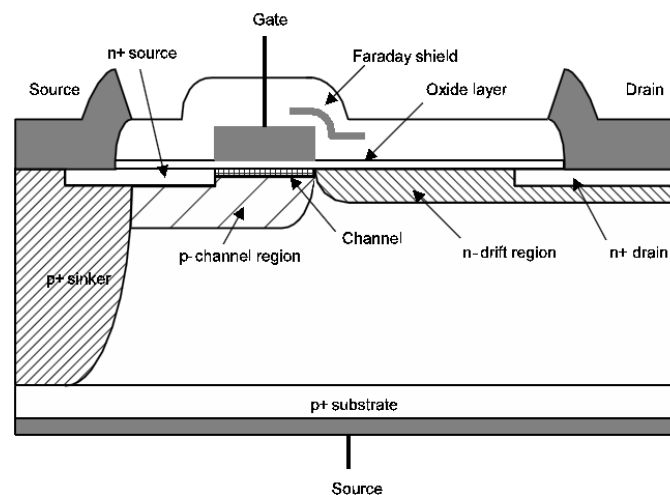


Figure I - 9 : Vue en coupe d'un transistor LDMOS

La grande majorité des amplificateurs RF utilisent des transistors en configuration source commune, ce type de montage présentant des valeurs des impédances d'entrée et de sortie en meilleure adéquation avec ce que nécessite le système. Cependant, cette configuration rend le transistor VDMOS difficile à utiliser puisque ce dernier possède le drain sur la face inférieure de la puce. Comme conséquence, la source du transistor nécessite un câblage à la masse par fils micro-soudés. De même, le report de la puce dans son boîtier apparaît complexe en raison de la nécessité

d'isoler le drain. La contre-réaction résultant des éléments parasites de source limite de plus la valeur du gain et les fréquences limites de fonctionnement du transistor [1]. L'utilisation de ce transistor est ainsi limitée aux applications dans des bandes de fréquences inférieures à 3 GHz.

Au début des années 1990, les chercheurs de la section produit de la société Motorola Semi-conducteurs, devenue maintenant Freescale Semiconductors, ont développé un MOSFET à Double-Diffusion Latérale (LDMOS) pour s'affranchir des limitations du VDMOS [16] à [19]. La Figure I - 9 montre une vue en coupe d'un transistor LDMOS avec les accès de grille, drain et source sur la surface de la puce. Cette structure se caractérise d'abord par un substrat  $P^+$ , puis par une région de canal  $P^-$  et enfin par une région de "drift" faiblement dopée  $N^-$  située entre le canal et le contact de drain. La région de drift minimise le champ électrique entre la source et le drain et augmente donc la tension de claquage du transistor (cf§ 1.3.1). Le principe de fonctionnement est similaire à la structure VDMOS : pour une polarisation de grille suffisamment positive, la région  $P^-$  s'inverse sous l'oxyde et le canal conducteur horizontal ainsi formé en surface du cristal connecte les régions de source et de drain. Dans ce type de structure, le courant est toujours horizontal et il ne devient vertical que dans la région  $P^+$  Sink.

### **1.2.5 Intérêt de la technologie LDMOS**

Issu de la filière largement éprouvée et maîtrisée du Silicium, c'est une adaptation du MOSFET basique développée pour les applications de puissance radiofréquences. Sa très large utilisation dans le domaine des amplificateurs de puissance radiofréquences pour les réseaux de télécommunications fait de cette technologie un standard. En plus de son faible coût de fabrication, le transistor LDMOS possède toutes les caractéristiques électriques et thermiques requises pour les modulations complexes en raison de sa stabilité en fréquence, sa bonne linéarité et enfin son excellente stabilité thermique.

Le transistor LDMOS autorise des performances encore améliorées compte tenu de la présence d'un contact de source sur la face arrière de la puce. Ceci permet une bonne connexion à la fois électrique et thermique avec le radiateur conducteur du boîtier. En effet, en raison de la suppression des fils micro-soudés pour la connexion de la source, ce transistor est en mesure de présenter de faibles valeurs de la résistance et de l'inductance de source.

La structure LDMOS présente de nombreux avantages par rapport à la structure VDMOS. La capacité grille-source,  $C_{GS}$ , la capacité drain-source,  $C_{DS}$ , ainsi que la capacité grille-drain,  $C_{GD}$ , sont par nature plus faibles comparées à celles de la structure VDMOS. En effet, dans la structure VDMOS, la capacité  $C_{GS}$  est constituée de trois capacités en parallèle qui sont : la capacité entre la métallisation de la source et celle de la grille  $C_{GSox}$ , la capacité entre la grille et le contact de source  $C_{GSov}$  ainsi que la capacité de grille intrinsèque  $C_{GMOS}$ . Pour la structure LDMOS, la capacité  $C_{GS}$  est formée par les capacités  $C_{GSov}$  et  $C_{GMOS}$  qui sont bien plus faibles puisque la grille ne chevauche pas la couche  $N^+$  du contact de source, d'une part, et que d'autre part la couche  $P^-$  du canal est de forte résistivité. En outre, la capacité  $C_{DS}$  de la structure VDMOS est constituée par les capacités  $C_{DS1}$  et  $C_{DS2}$ , capacités de la jonction  $P^+/N^-$  polarisé en inverse. Cette capacité est assez forte comparée à celle de la structure LDMOS beaucoup plus faible du fait que la source et le drain sont séparés par une couche épitaxiée



épaisse et de faible conductivité. Finalement, la capacité  $C_{GD}$  du transistor VDMOS est très forte puisqu'une grande partie de la grille chevauche le drain, tandis que ce n'est pas le cas pour le LDMOS (Figure I - 10) [20]. En prenant en compte ces différences on trouve que la réponse en fréquence du transistor LDMOS s'accompagne de fréquences limites nettement plus élevées que celles de la structure verticale.

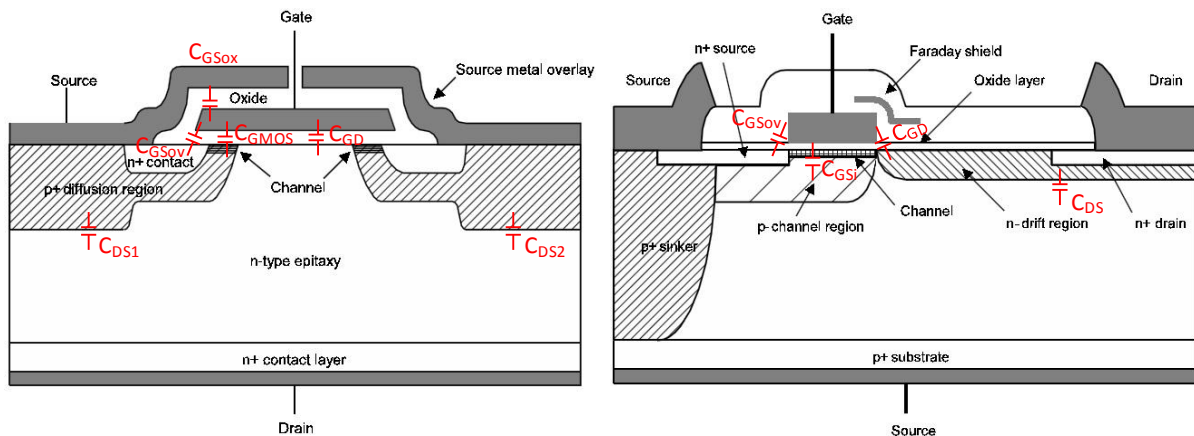


Figure I - 10 : Représentation des éléments capacitifs de la structure VDMOS à gauche et LDMOS à droite

Un autre grand avantage du LDMOS réside dans sa facilité d'intégration dans des circuits RF puisqu'il permet de disposer des électrodes de drain et de grille sur la face avant de la puce. Cette topologie permet donc l'utilisation de lignes micro-rubans, de capacités planaires et d'inductances intégrées pour réaliser des circuits et notamment des amplificateurs RF de puissance.

Si on le compare au transistor bipolaire (BJT), le transistor LDMOS est plus fiable et robuste. Par exemple, un transistor LDMOS supporte classiquement un rapport d'ondes stationnaires (VSWR) de 10 :1 sans subir de dégradation, alors qu'avec un rapport de 3 :1, le BJT risque d'être détérioré [21]. Les LDMOS présentent aussi un meilleur gain, la connexion directe de la source au plan de masse évitant la contre-réaction inductive créée par les fils micro-soudés dans le cas du BJT.

Contrairement au transistor bipolaire, le transistor MOS fonctionne uniquement à partir de porteurs majoritaires et il ne présente donc pas de temps de stockage associé à la recombinaison des porteurs minoritaires dans la base. Il est moins sensible aux effets thermiques qui provoquent, dans le bipolaire de puissance, le phénomène de second claquage. En outre, il présente l'avantage d'être commandé en tension, c'est-à-dire sans consommation de courant et avec un circuit de commande beaucoup plus simple que celui que nécessite un transistor bipolaire.

L'exceptionnelle linéarité du transistor LDMOS le place comme le meilleur candidat pour répondre aux strictes exigences du standard de téléphonie mobile 3G. Cette technologie réduit sensiblement la consommation de puissance et les problèmes thermiques dans les stations de base 3G, permettant ainsi d'augmenter la densité de puissance de l'ordre de 50%, l'efficacité de 6-8% et le gain en puissance de 2 dB par rapport aux autres technologies [22].

## I.3 Substrat LDMOS

Dans le cadre des travaux décrits dans cette thèse, nous avons disposé d'une technologie LDMOS industrielle. En effet, ces travaux ont été réalisés en collaboration avec la société Freescale Semiconductors qui nous a fourni des wafers intégrant des transistors de puissance LDMOS.

### I.3.1 Caractéristiques du substrat

Conformément aux technologies CMOS conventionnelles, les substrats employés dans les filières LDMOS sont largement dopés, présentant une résistivité de l'ordre de  $0.008 \Omega \cdot \text{cm}$ . Cette faible résistivité va induire des pertes importantes dans les éléments passifs, notamment les inductances et les interconnexions.

Les LDMOS conventionnels sont généralement réalisés à partir d'un substrat de type P ou N sur lequel on fait croître une couche épitaxiée de type N ou P. Le canal de longueur  $L$  est défini par la diffusion de dopant de type P (bore) dans la région épitaxiée de type N. La zone d'extension qui s'intercale entre le canal et le drain est par défaut présente et fait office de région de drift  $N^-$  (zone d'extension de drain). En l'absence de cette région, la plupart de la tension est appliquée sur l'oxyde de grille et une grande partie du champ électrique sera confiné dans cette fine couche. Une zone de claquage est ainsi formée. La présence de la couche de drift permet de distribuer le champ uniformément dans une zone plus grande. Plus étendue sera la zone de drift, plus forte sera la tension de claquage mais au détriment d'une résistance à l'état passant  $R_{DSon}$  plus élevée, cette zone étant peu dopée. Toutefois, il est plus difficile dans ces architectures de contrôler la tension de seuil  $V_t$ , car elle est déterminée par le niveau de dopant maximum  $N_{amax}$  le long de la surface du semi-conducteur dans la zone diffusée P [23].

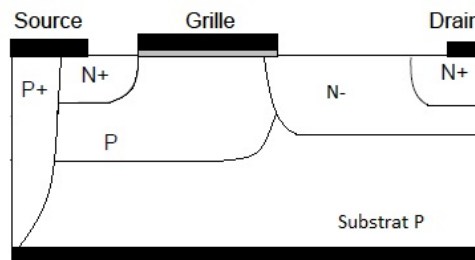


Figure I - 11 : Coupe schématique d'un substrat LDMOS de type N

L'exemple illustré par la Figure I - 11 montre un LDMOS réalisé sur un substrat de type P. Le canal de type P est obtenu par diffusion tout comme la zone d'extension de drain  $N^-$ .

### I.3.2 Niveaux métalliques

Classiquement, les filières silicium disposent d'un grand nombre de niveaux métalliques positionnés sur la partie supérieure du substrat. Cependant, la technologie de puissance dont il sera question tout au long de cette thèse ne possède que deux niveaux de métallisation situés sur la partie supérieure du substrat. Notons cependant que la face inférieure des puces est aussi métallisée.

Ces métallisations sont généralement réalisées avec un alliage à base d'aluminium. Le niveau de métallisation supérieur est souvent le plus épais et offre la meilleure conductivité parmi tous les niveaux disponibles. Son éloignement par rapport à la surface du substrat est aussi maximal ce qui permet de minimiser le couplage électromagnétique entre un ruban métallique et le substrat.

Ces niveaux de métallisation interviennent dans la réalisation de divers composants :

- Transistors MOS à diffusion latérale (LDMOS) avec la source portée à la masse par une zone fortement dopée P appelée Sink
- Résistances avec diffusion N+ et polysilicium
- Capacité "Shunt" métal-nitride-silicium dopé P+
- Capacité "série" métal-nitride-métal
- Lignes de transmissions micro-ruban
- Inductances
- Transistors CMOS

Le troisième niveau métallique situé sur la partie inférieure du substrat sert comme interface pour relier la source à la masse du boîtier.

## I.4 Transistor de puissance LDMOS

Au cours des dernières décennies, nombre de procédés technologiques ont été développés afin de converger vers l'obtention d'un transistor de puissance ayant toutes les caractéristiques nécessaires et suffisantes pour répondre aux spécifications des systèmes.

Parmi ces caractéristiques, on peut citer une puissance de sortie maximale pour un rendement proche de l'unité, un minimum de distorsion ce qui implique une fréquence de coupure assez élevée, et bien sur un coût de fabrication raisonnable.

Le développement de la technologie LDMOS susceptible de répondre à tous ces critères a nécessité un grand nombre d'essais, de technologies que l'on peut qualifier d'intermédiaires ou destinées à des applications très spécifiques. Il faut garder à l'esprit qu'une technologie nécessite souvent des années, pour ne pas dire des décennies, avant que le procédé ne soit totalement maîtrisé.

Dans cette partie, nous parlerons du transistor RF de puissance LDMOS. La technologie LDMOS fournit une solution intégrée pour l'amplification de puissance en radiofréquence [24]. La palette des composants est complète et suffisante pour la réalisation d'amplificateurs de puissances. Cette technologie permet de réaliser des transistors LDMOS de longueur de Grille 0.6  $\mu\text{m}$ .

Nous ne rentrerons pas dans les détails de fabrication du transistor LDMOS, ce n'est pas notre propos. Nous ne traiterons que de la structure physique et du modèle électrique équivalent.

### 1.4.1 Structure physique

Il y existe plusieurs structures physiques dépendantes de la génération de la technologie LDMOS. La Figure I- 12 montre une topologie typique d'un transistor LDMOS pour applications RF de puissance.

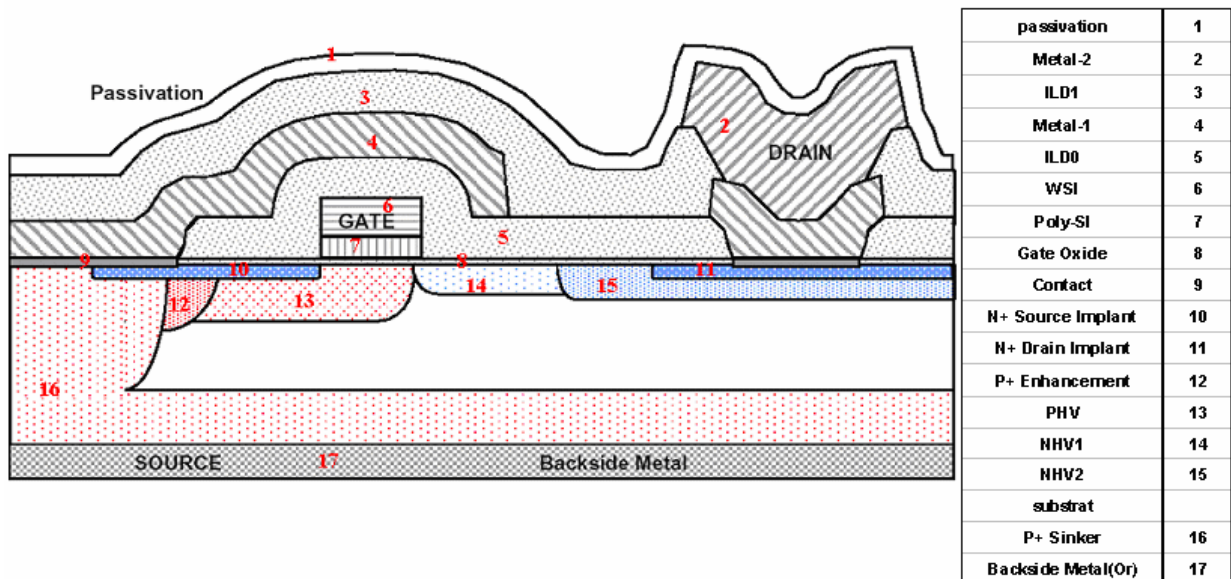


Figure I - 12 : Topologie d'une technologie LDMOS

Chaque niveau technologique possède une fonction spécifique :

- P+ enhancement implant : région fortement dopée dans le but de protéger le transistor contre des pics de surtension de retour de masse.
- NHV1 implant : région faiblement dopée pour assurer la transition entre la grille et le drain, et augmenter ainsi la tension de claquage du transistor.
- NHV2 implant : en complément du niveau précédent, cette couche implantée optimise le profil du dopage entre la grille et le drain et contribue à l'augmentation de la tension de claquage du transistor.
- PHV : couche dans laquelle le canal est formé, elle définit donc les caractéristiques du canal du transistor, notamment la tension de seuil, et elle influe sur les courants de fuite Drain - Source.
- N+ implant (source et drain) : réalise les contacts ohmiques pour les transistors LDMOS de type N.
- ILD0 : diélectrique inter-couche, isole le transistor de la couche Metal1.
- ILD1 : diélectrique inter-couche, isole Metal-2 de Metal-1.
- P+ Sinker : puits fortement dopé par implantation pour relier la source directement à la face inférieure de la puce.
- Metal-2 et Metal-1 : permettent de réaliser des pistes métalliques d'interconnexions.
- Polysilicium : permet de réaliser des contacts sur le transistor.

Les deux caractéristiques essentielles qui différencient la technologie LDMOS d'une technologie CMOS conventionnelle sont :

-La diffusion P+ Sinker : elle permet de relier directement la source du transistor à la face inférieure de la puce (masse) et évite ainsi d'utiliser des contacts, pistes et autres fils de câblage qui induisent des éléments parasites capacitifs, résistifs et inductifs.

-Les implants NHV1- NHV2 : permettent d'augmenter la tension de claquage pour la réalisation de transistors de puissance.

Ces deux seules différences autorisent la réalisation de transistors de puissance pour les applications RF présentant des tensions de claquage élevées et autorisant donc des tensions d'alimentation importantes.

### ***1.4.2 Modèles électriques***

La fabrication d'un transistor est certes compliquée et demande un nombre important d'étapes intermédiaires, mais sa modélisation l'est tout autant. En effet, on ne compte plus les publications et autres thèses qui ont trait à ce sujet, chacune apportant une pierre à l'édifice. La modélisation des transistors est maintenant plus répandue et la modélisation des phénomènes fondamentaux relativement fiable.

Un modèle est une représentation théorique d'une réalité restreinte de la nature qui n'est pas obligatoirement accessible par les sens. Il a pour utilité de décrire, d'interpréter et de prévoir des événements dans le cadre de cette réalité et ne s'applique qu'à un nombre limité de phénomènes.

Le modèle se substitue parfois à la théorie à cause de sa simplicité relative. Il a donc comme rôle de décrire une réalité complexe de manière adaptée et compréhensible. Plusieurs niveaux de modélisation peuvent être définis en fonction de la précision souhaitée ou nécessaire, de la finesse des phénomènes dont on souhaite rendre compte. Par exemple, il est souvent préférable d'utiliser le modèle atomique simplifié pour expliquer certaines réactions chimiques que d'utiliser la théorie de la mécanique quantique, qui est beaucoup plus complexe d'un point de vue mathématique et conceptuel.

Un bon modèle comporte quatre qualités essentielles :

1. Il permet d'expliquer certaines propriétés ou certains comportements de la réalité qu'il représente.
2. Il met en relation diverses observations de manière à obtenir une interprétation structurée de la réalité qu'il représente.
3. Il permet de prévoir, dans une certaine mesure, des événements nouveaux qui pourront ensuite être observés.
4. Il peut être amélioré à la lumière de nouvelles observations.

Dans le cas du transistor LDMOS, les divers modèles qui peuvent être mis en œuvre doivent permettre de rendre compte des phénomènes physiques suivants :

-Fonctionnement électrique statique et ses limites

- Fonctionnement électrique dynamique et ses limites
- Influence de la température sur les caractéristiques électriques
- Dépendance des performances vis-à-vis des dimensions du transistor.

Dans certaines situations, qui dépendent de l'utilisation visée, le modèle nécessaire n'est pas tenu de considérer l'ensemble des phénomènes que nous venons de citer, et peut donc faire appel à une procédure d'obtention simplifiée. De même, les caractéristiques du transistor peuvent être obtenues soit à partir d'un modèle physique (résolution de l'équation de Poisson et des équations de transport dans le semi-conducteur), soit en utilisant une modélisation phénoménologique (utilisation d'expressions analytiques obtenues soit sur la base des paramètres physiques et géométriques du composant, soit à partir de l'ajustement de ces expressions aux caractéristiques expérimentales). Compte tenu des ressources informatiques respectives qu'elles nécessitent, seule la deuxième approche est réellement utilisable pour la conception de circuits. Aussi, par la suite, nous ne nous intéresserons qu'à ce type de modélisation.

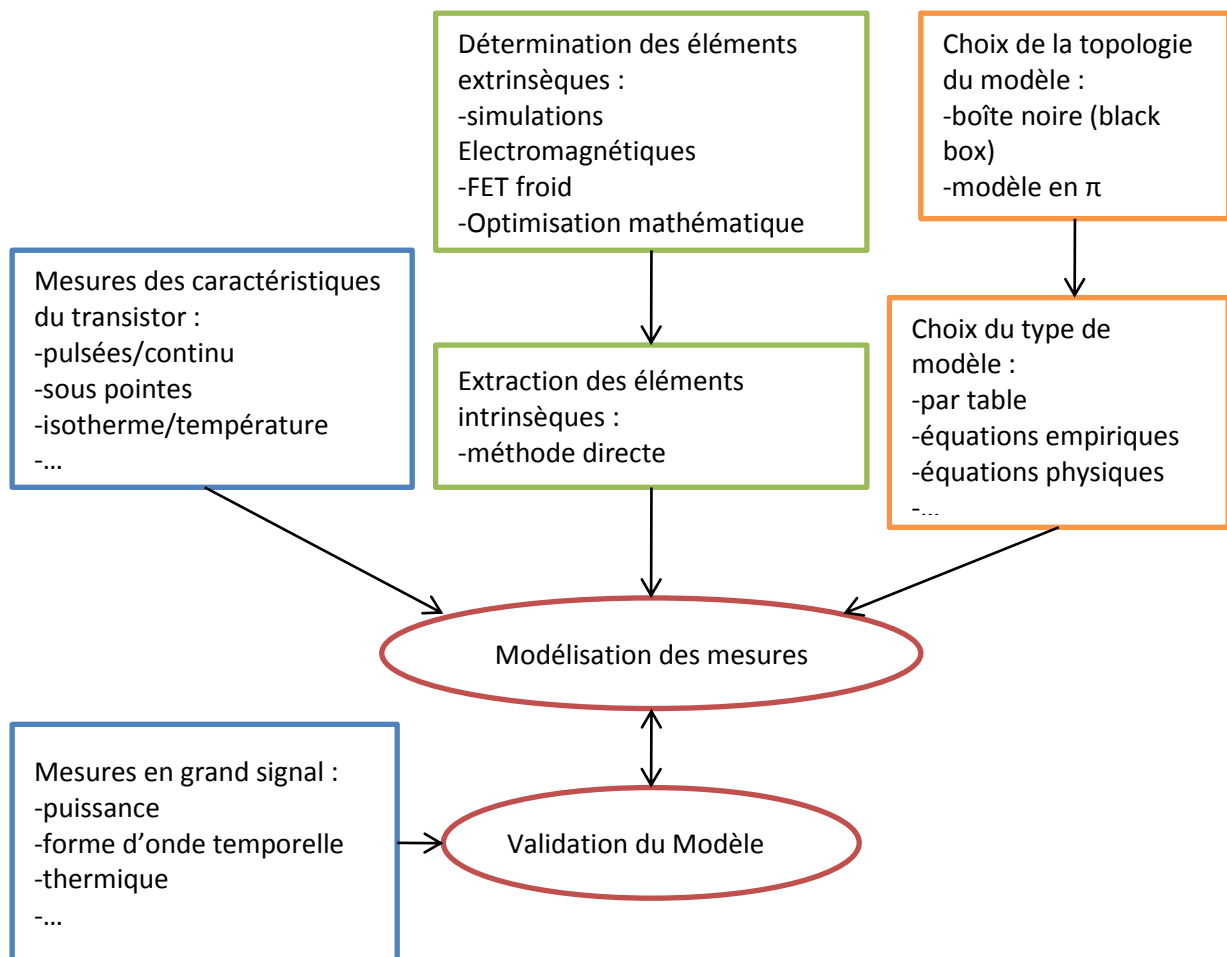


Figure I - 13 : Procédure pour l'extraction d'un modèle de transistor [25]

La méthodologie d'extraction d'un modèle phénoménologique complet de transistor peut être résumée par la Figure I - 13. Même si d'autres choix sont possibles pour certaines étapes, les 2 axes principaux, que sont la modélisation des mesures et la validation du modèle, demeurent génériques.

Ces deux étapes distinctes font toutes les deux intégralement partie du processus de modélisation. La validation permet de mettre en lumière d'éventuels problèmes ou erreurs survenus lors d'une des étapes d'extraction du modèle, ou bien encore de déterminer les limites de validité du modèle. Elle fait donc partie intégrante du processus complet de modélisation.

a/ Modèle dynamique linéaire ou « petit signal »

Une première façon de modéliser le transistor repose sur l'interprétation des phénomènes qui se produisent dans le transistor et de les traduire en éléments localisés (capacités, sources de courant commandées, résistances ...) comme le montre la Figure I- 14. Cette méthode suppose que les variations d'amplitude des signaux appliqués soient suffisamment faibles pour que les diverses régions du composant présentent toujours le même comportement.

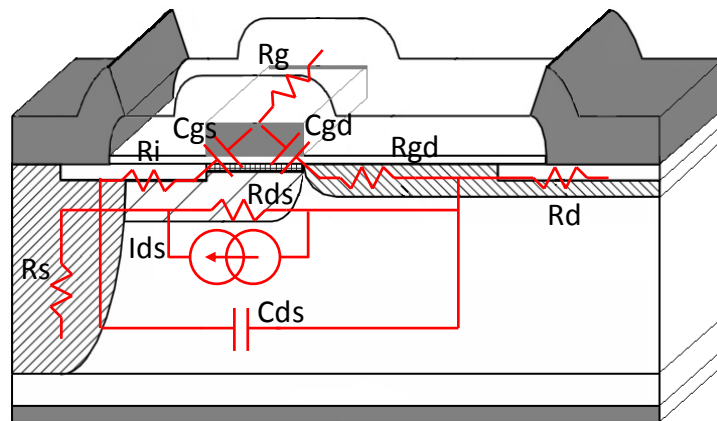


Figure I - 14 : Origines physiques des composants d'un modèle à éléments localisés

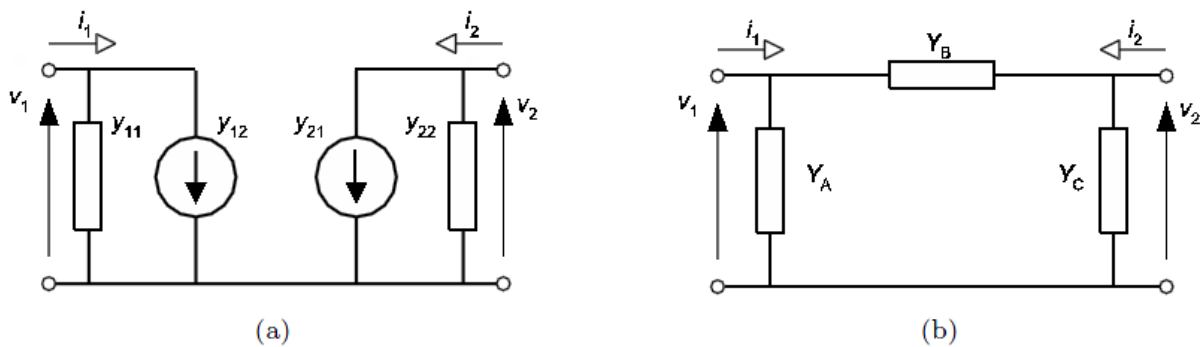


Figure I - 15 : Représentation des paramètres-[Y]; (a) modèle général avec des sources contrôlées pour représenter les transadmittances et (b) circuit simple avec des éléments passifs [1]

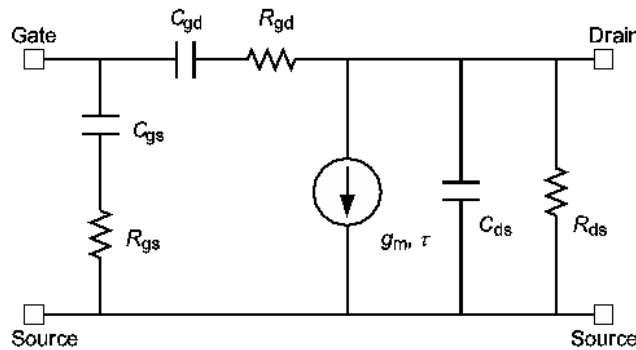


Figure I - 16 : Circuit électrique équivalent petit-signal de la partie intrinsèque du transistor

Les valeurs des différents éléments du circuit électrique équivalent peuvent être extraites des mesures des paramètres-[S]. Ces derniers caractérisent le comportement petit signal du transistor pour une polarisation spécifique ( $V_{gs}$ ,  $V_{ds}$ ). La conversion des paramètres-[S] en paramètres-[Y] nous permet d'extraire le modèle en  $\pi$  (Figure I - 15) [1].

La Figure I - 16 montre le circuit linéaire équivalent simplifié [1] extrait des paramètres-[Y], avec :

$$C_{gs} = \frac{1}{\omega} \text{Im}(y_{11} + y_{12}) \quad (1.1)$$

$$R_{gs} = \frac{1}{\omega^2 C_{gs}^2} \text{Re}(y_{11} + y_{12}) \quad (1.2)$$

$$C_{ds} = \frac{1}{\omega} \text{Im}(y_{22} + y_{12}) \quad (1.3)$$

$$R_{ds} = 1 / \text{Re}(y_{22} + y_{12}) \quad (1.4)$$

$$g_m = |y_{21} - y_{12}| \quad (1.5)$$

$$\tau = -\frac{1}{\omega} \text{Phase}(y_{21} - y_{12}) \quad (1.6)$$

Ce modèle, relativement simple, peut être utilisé dans les logiciels de simulations électriques pour dimensionner un circuit linéaire. Cependant, dans le cas des amplificateurs de puissance, les signaux appliqués sont le plus souvent de forte amplitude et le comportement électrique des diverses régions du transistor va alors dépendre de ces amplitudes. Le modèle présenté par la Figure I - 16 n'est alors plus valide. Il convient donc de chercher un modèle plus complexe tenant compte les différents éléments non linéaires du transistor.

b/ Modèle dynamique non-linéaire ou « fort signal »

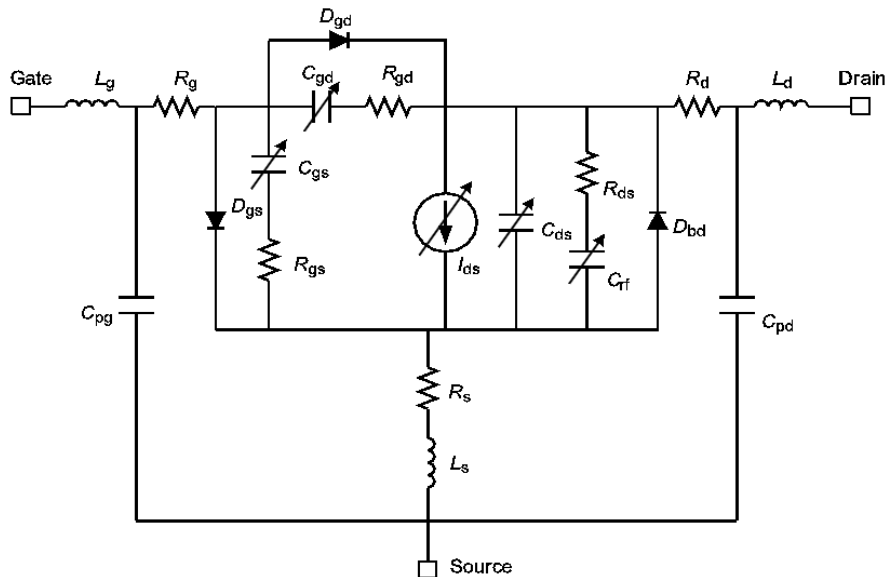


Figure I - 17 : Schéma électrique équivalent fort-signal du transistor LDMOS [1]



Lorsque les signaux appliqués sont de forte amplitude, comme cela est le cas pour les amplificateurs de puissance, le comportement électrique de certaines régions du transistor va alors devenir une fonction de ces amplitudes. La Figure I - 17 montre un circuit électrique équivalent fort-signal [1]. Ce modèle est relativement complexe et son extraction fait appel à plusieurs techniques complémentaires citées dans [1] (mesures continues, impulsionnelles, paramètres S, ...).

## I.5 Problématique d'intégration pour l'amplification de puissance

Dans le domaine des fréquences RF et compte tenu des niveaux de puissance critiques mis en jeu, la conception d'un amplificateur de puissance s'avère une tâche difficile basée sur de nombreuses considérations différentes. En effet, le concepteur doit prendre en considération la stabilité du circuit dans lequel de nombreuses impédances sont variables, le gain en puissance ainsi que la puissance maximale de sortie, la linéarité, la bande passante, le bruit et enfin le rendement. D'autres contraintes sont posées liées à la topologie physique du circuit et aux limitations qu'elle engendre.

La conception du circuit débute par la définition d'un cahier des charges et par la sélection du transistor approprié. Par la suite, une solution mathématique souvent basée sur l'utilisation de méthodes graphiques (ex : abaque de smith) est développée pour déterminer les charges adaptées au bon fonctionnement du transistor. Le choix de ces charges est fonction du transistor, de ses impédances d'entrée et de sortie ainsi que de sa stabilité pour le point de fonctionnement choisi.

Dans cette partie, nous allons exposer les principes d'adaptation et/ou de préadaptation des charges avec les impédances présentées par le transistor de puissance. Par la suite, nous aborderons la fabrication des éléments passifs constituant les circuits de préadaptation à l'aide d'inductances et de capacités. Finalement, nous parlerons des problématiques d'intégration liées à ces éléments.

### I.5.1 Préadaptations d'entrée et de sortie

#### I.5.1.a Principe de l'adaptation

Les réseaux d'adaptation d'impédances sont nécessaires pour qu'un amplificateur de puissance puisse présenter un gain élevé et délivrer le maximum de puissance à une charge. Des réseaux d'adaptation doivent être ainsi placés entre les charges et les accès d'entrée et de sortie du transistor (Figure I - 18).

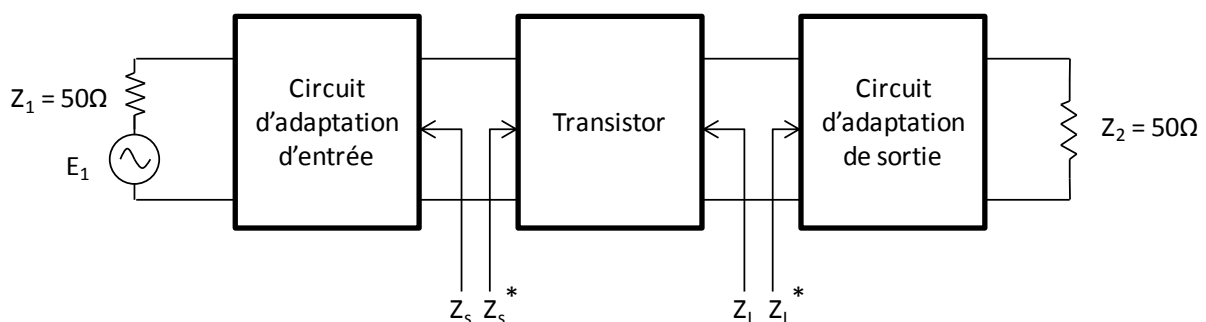


Figure I - 18 : schéma bloc d'un amplificateur de puissance RF

Le principe de l'adaptation consiste à utiliser des quadripôles, constitués d'éléments passifs réactifs (inductances, capacités, lignes micro-ruban...), pour transformer les impédances des accès du transistor, de nature complexes  $Z = R + jX$ , en impédances réelles le plus souvent égales à  $50\Omega$ . Compte tenu des fortes puissances mises en œuvre par l'amplification de puissance, ces quadripôles doivent être sans pertes pour garantir un transfert d'énergie maximum et limiter le plus possible la dissipation de puissance.

Le concepteur doit choisir une topologie qui permette de répondre au cahier des charges fixé par l'application. L'abaque de Smith ZY [26] peut être efficacement utilisé pour réaliser cette tâche et concevoir les circuits d'adaptation. L'effet d'ajouter une réactance en série avec une impédance ou bien une susceptance en parallèle avec une admittance sera illustré sur l'abaque de Smith par les Figure I - 19 jusqu'à Figure I - 22 [26].

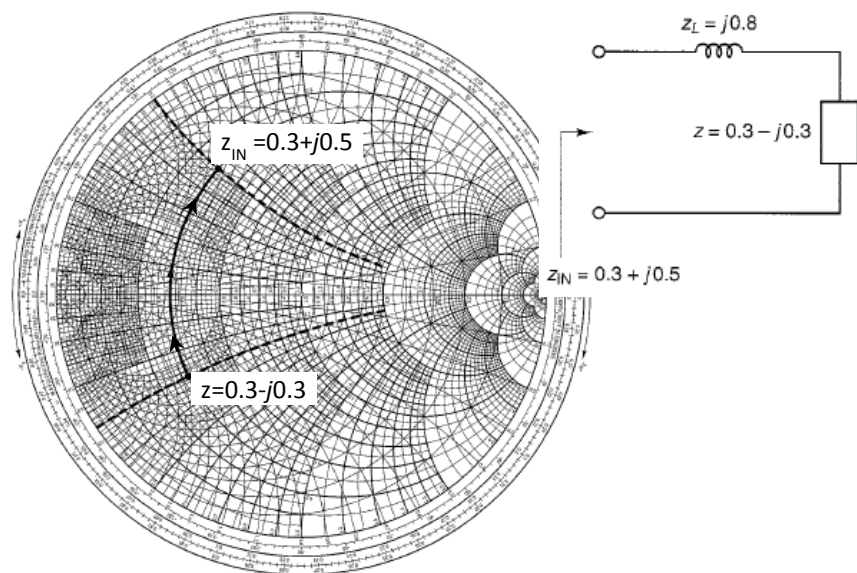


Figure I - 19 : Mise en série d'une inductance  $z_L = j0.8$  avec une impédance  $z = 0.3 - j0.3$

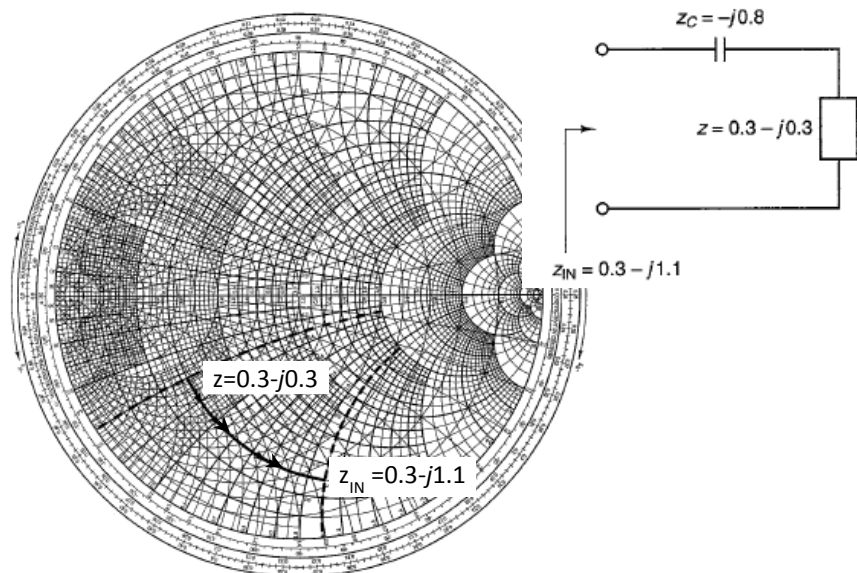


Figure I - 20 : Mise en série d'une capacité  $z_c = -j0.8$  avec une impédance de  $z = 0.3 - j0.3$

La Figure I - 19 montre qu'en ajoutant une inductance en série, on déplace l'impédance le long d'un cercle à résistance constante dans le sens des réactances croissantes sur l'abaque en Z. De même, si on ajoute une capacité série (Figure I - 20), mais cette fois dans le sens des réactances décroissantes.

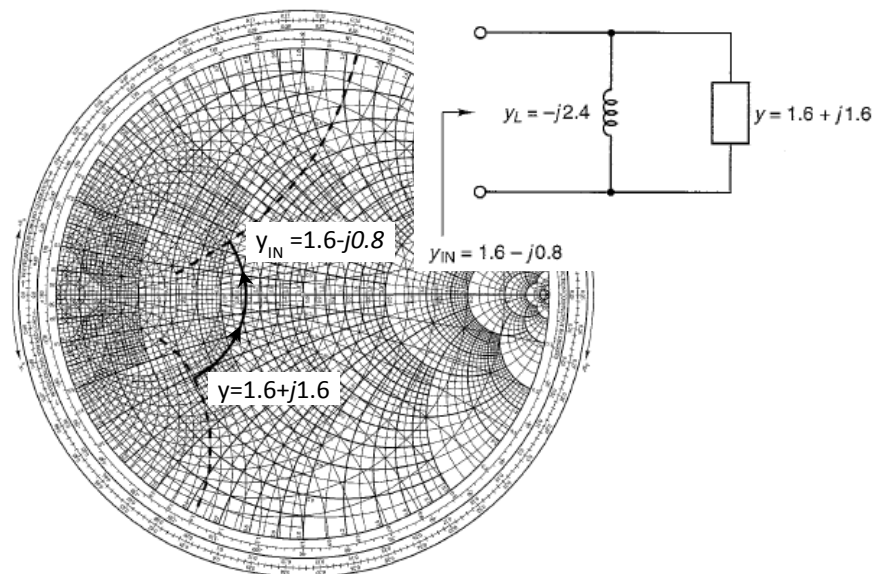


Figure I - 21 : Mise en parallèle d'une inductance  $y_L = -j2.4$  avec une admittance  $y = 1.6 + j1.6$

La Figure I - 21 montre qu'en ajoutant une inductance en parallèle on déplace l'admittance le long d'un cercle à conductance constante dans le sens des susceptances décroissantes sur l'abaque en Y. De même, si on ajoute une capacité parallèle (Figure I - 22), mais cette fois dans le sens des susceptances croissantes.

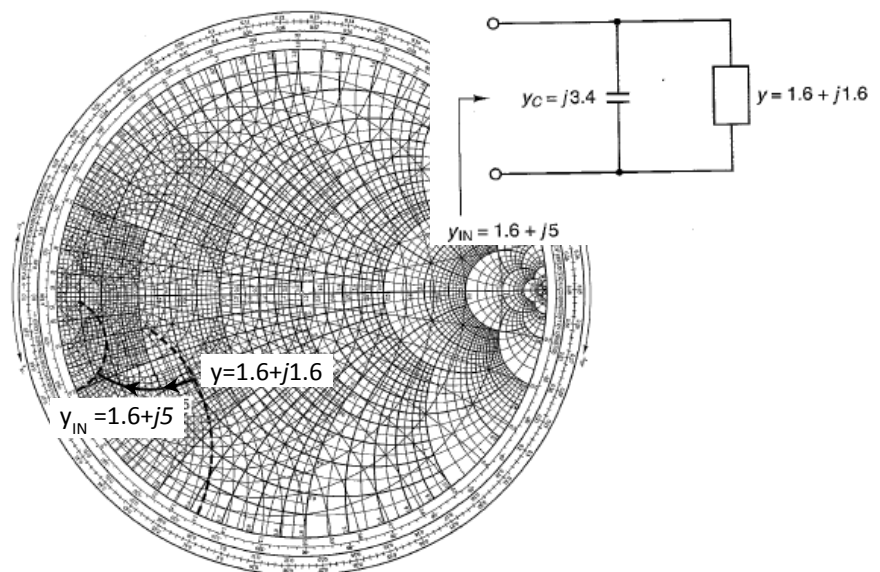


Figure I - 22 : Mise en parallèle d'une capacité  $y_C = j3.4$  avec une admittance  $y = 1.6 + j1.6$

En conclusion, ajouter une réactance en série fait évoluer l'impédance le long d'un cercle à résistance constante sur l'abaque de Smith en Z, et ajouter une susceptance en parallèle fait évoluer

l'admittance le long d'un cercle à conductance constante sur l'abaque de Smith en Y. La Figure I - 23 illustre les quatre types de mouvements [26].

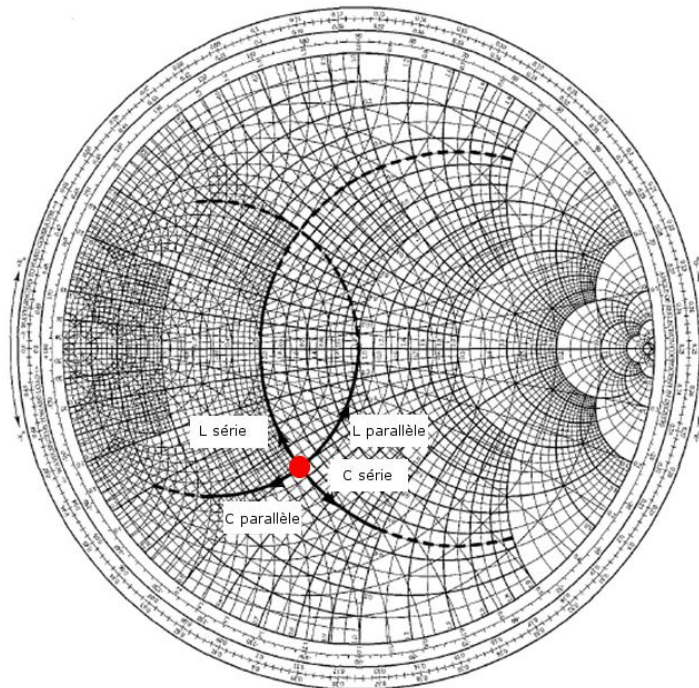


Figure I - 23 : Connexion d'éléments en série ou en parallèle avec une charge

Le dimensionnement des circuits d'adaptation d'entrée et de sortie du transistor de puissance consiste donc à connecter des composants réactifs passifs en série et/ou en parallèle pour constituer des réseaux sur chacun des accès du composant, afin d'aboutir aux valeurs des impédances de source et de charge qui sont le plus souvent égales à  $50\Omega$  (centre de l'abaque).

Ces réseaux sont des filtres passe-bas, passe-haut ou passe bande et ils sont optimisés pour une bande de fréquence spécifique. La largeur de bande maximale  $BW_{IN,OUT}$  admissible est fixée par le transistor. Elle est fonction des facteurs de qualité  $Q_{IN}$  et  $Q_{OUT}$  des circuits électriques équivalents d'entrée et de sortie, respectivement, et elle est calculée par la relation :

$$BW_{IN,OUT} = \frac{f_c}{Q_{IN,OUT}} = f_{max} - f_{min} \quad (1.7)$$

Avec  $f_c$  la fréquence centrale de cette bande.

Les facteurs de qualité  $Q_{IN}$  et  $Q_{OUT}$  sont pris en compte lors du dimensionnement et du choix de la topologie du réseau d'adaptation. Ils sont calculés par :

$$Q_{IN,OUT} = \frac{|X_{IN,OUT}|}{R_{IN,OUT}} \quad (1.8)$$

Avec  $R_{IN,OUT}$  et  $X_{IN,OUT}$  les résistances et les réactances des charges d'entrée et de sortie du transistor.

Pouvant être identifiés à des filtres, ces réseaux peuvent être conçus pour avoir un facteur de qualité  $Q_n$  spécifique, duquel découlent leurs performances, et qui détermine donc ensuite les

caractéristiques de l'amplificateur de puissance.  $Q_n$  doit être le premier paramètre à définir et Il y a deux moyens pour le faire :

1. Soit par le calcul du rapport de transformation d'impédance ( $n$ ) entre la charge et la source. Dans ce cas et pour un circuit constitué de deux éléments L-C,  $Q_n$  est calculée à partir de ce rapport en utilisant l'équation (I.9). Une fois  $Q_n$  calculé, les valeurs des composants sont déterminées par l'équation (I.10).

$$Q_n = \sqrt{n-1} \text{ avec } n = R_2/R_1 \quad (I.9)$$

$$|X_{1,2}| = Q_n \cdot R_{1,2} \quad (I.10)$$

Avec  $R_1$  la résistance de la source,  $R_2$  la résistance de la charge et  $X_{1,2}$  la susceptance de l'élément réactif utilisé dans le circuit adaptateur.

2. Soit à partir de la bande passante de fonctionnement désirée du circuit amplificateur. Dans ce cas,  $Q_n$  est calculé par :

$$Q_n = \frac{\sqrt{f_1 f_2}}{f_2 - f_1} \quad (I.11)$$

Cependant, ces équations donnent des valeurs indicatives de  $Q_n$  et d'autres considérations qui fixeront la valeur finale de  $Q_n$  sont à prendre en compte. Parmi ces considérations citons le facteur de suppression hors bande  $F_n$  du filtre transformateur d'impédance ainsi que le rendement  $\eta_T$  de ce dernier. Dans le cas d'un circuit L-C en "L" ces paramètres sont calculés par [27] :

$$F_n \cong Q_n^2 (n_h^2 - 1) \quad (I.12)$$

$$\eta_T \cong 1 / (1 + Q_n / Q_{ind}) \quad (I.13)$$

Avec  $n_h$  le numéro d'harmonique et  $Q_{ind}$  le facteur de qualité de l'inductance. L'équation (I.13) néglige les pertes capacitives.

L'analyse de l'équation (I.12) montre que  $F_n$  est proportionnelle à  $Q_n$  ce qui se traduit par une augmentation de la sélectivité et une diminution de la bande passante lorsque  $Q_n$  augmente. D'autre part, l'équation (I.13) montre que le rendement du circuit est inversement proportionnel à  $Q_n$ . On voit donc ici qu'il est difficile de satisfaire les exigences contradictoires telles le rendement, la bande passante et la suppression hors bande. C'est l'utilisation finale du circuit amplificateur qui permet de faire le choix entre bande étroite et large bande qui conduit à favoriser un paramètre et, ainsi, à choisir le  $Q_n$  approprié.

Dans le cas d'un amplificateur à bande étroite, le circuit adaptateur doit présenter une forte sélectivité ce qui nécessite une forte valeur de  $Q_n$ , mais la caractéristique précédente sera obtenue au détriment d'un faible rendement  $\eta_T$ . Il est toutefois possible de cascader plusieurs circuits L-C pour améliorer ce rendement [27].

Dans le cas d'un amplificateur large bande, une faible valeur de  $Q_n$  permet d'élargir la bande passante. Par ailleurs, choisir une valeur de  $Q_n$  proche de  $Q_{IN,OUT}$  du transistor permet d'améliorer le rendement du circuit transformateur.

Une fois le facteur de qualité  $Q_n$  choisi, le dimensionnement des éléments réactifs est effectué par un calcul analytique ou à l'aide d'une résolution graphique sur l'abaque de Smith. Sur cet abaque,  $Q_n$  peut être représenté par des contours à l'intérieur desquels la bande passante souhaitée est conservée Figure I - 24.

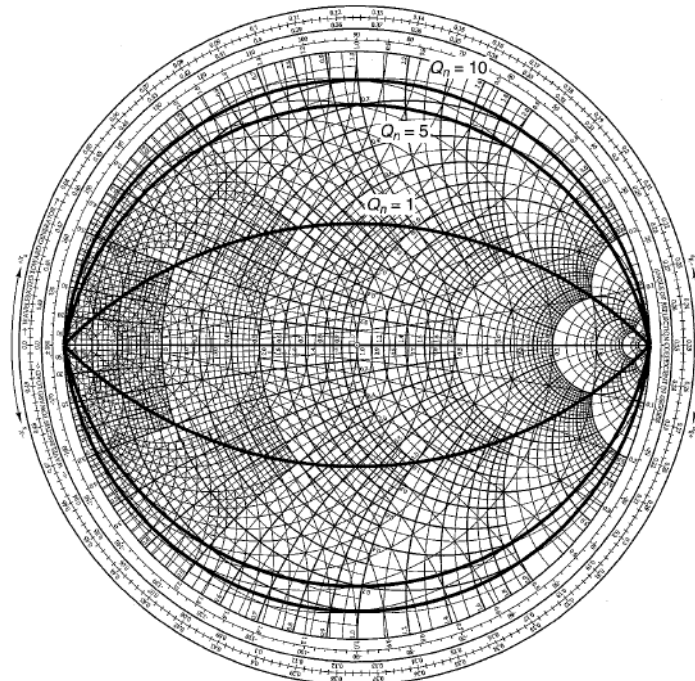


Figure I - 24 : Représentation des contours à facteur de qualité constant

Nous allons montrer par la suite un exemple d'adaptation sur abaque de Smith illustrant le choix de  $Q_n$ .

### I.5.1.b Adaptation sur abaque de Smith avec des cercles à Q constant

Cet exemple illustre la méthode pour réaliser l'adaptation dans le cas d'un amplificateur de puissance large bande opérant dans une bande de fréquence s'étendant entre 470 et 860 MHz et délivrant une puissance de 150 W. Le transistor choisi est un LDMOS 28 V utilisé en source commune et présentant les impédances  $z_e = 0.034 - j0.026$ , en entrée, et  $z_s = 0.036 - j0.042$ , en sortie. Les conditions générales pour réaliser l'adaptation sont illustrées sur la Figure I - 25.

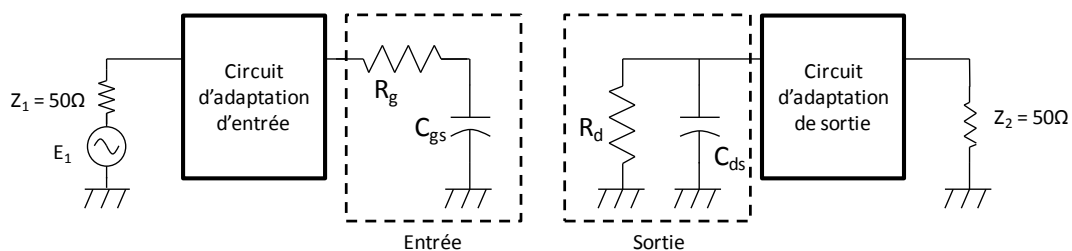


Figure I - 25 : Illustration des charges du LDMOS avec les réseaux d'adaptations

Nous avons porté sur cette figure les représentations électriques équivalentes des impédances d'entrée (accès Grille-Source) et de sortie (accès Drain-Source). Généralement, pour un transistor à effet de champ utilisé en source commune, ces impédances sont constituées de réseaux R-C série, pour l'entrée, et R-C parallèle, pour la sortie. En représentant ces charges sur l'abaque de Smith, nous trouvons que, en fonction de la valeur de fréquence, l'entrée tourne sur un cercle à résistance constante tandis que la sortie tourne sur un cercle à conductance constante. Une augmentation de la fréquence sur l'entrée se traduit par la diminution de l'impédance la rendant proche de l'axe résistif tandis que sur la sortie, ceci se traduit par l'augmentation de l'admittance en l'éloignant de l'axe résistif (voir annexe 1). Dans cette illustration, nous ne montrerons que l'adaptation de l'impédance de sortie ( $z_s = 0.036 - j0.042$ ) puisque le principe reste le même pour l'entrée.

Compte tenu du cahier des charges, le centre de la bande passante  $f_c$  se trouve à  $\sqrt{470.860} = 635$  MHz. Pour obtenir la bande passante désirée, le facteur de qualité doit être inférieur à  $Q_n = 635/(860 - 470) = 1.63$ . En calculant le coefficient de qualité de sortie du transistor  $Q_{out} = 0.042/0.036 = 1.16$  on peut conclure que le transistor est parfaitement capable de satisfaire aux exigences pour le circuit. Pour illustrer l'impact de  $Q_n$  sur le circuit final ainsi que sur la bande passante, les valeurs de 1.2 et 1.6 ont été choisies.

L'adaptation est réalisée en utilisant des circuits L-C placés en cascade. Lors du choix des valeurs des éléments, on veille à arriver sur le contour à  $Q_n$  constant pour que l'amplificateur final puisse respecter la bande passante désirée (Figure I- 26). A chaque composant inséré, on voit que l'impédance de sortie résultante se rapproche davantage de la charge  $50\Omega$ .

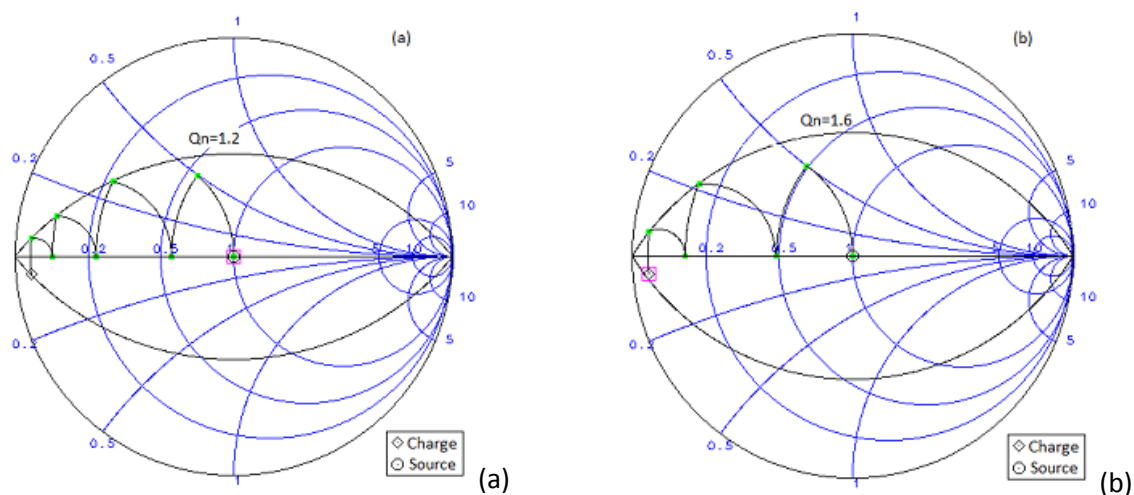


Figure I - 26 : Adaptation de la sortie : a) pour un  $Q_n$  de 1.2. b) pour un  $Q_n$  de 1.6

Les Figure I – 27 et Figure I - 27 montrent que le nombre d'éléments nécessaires pour adapter la sortie devient plus grand lorsque la valeur de  $Q_n$  considérée est plus faible. Sur les caractéristiques présentées sur la Figure I - 28, on relève pour  $Q_n = 1.2$  une augmentation de la bande passante de l'ordre de  $\sim 29\%$  au détriment d'un taux de réjection hors bande plus faible (  $-5$  dB à la première harmonique comparé à  $-21$ dB obtenu pour  $Q_n = 1.6$ ). Cependant, il est possible d'améliorer le niveau de réjection de ces harmoniques en rajoutant en cascade avec le réseau d'adaptation un circuit LC série ayant une fréquence de résonance égale à la fréquence  $f_c$  [27].

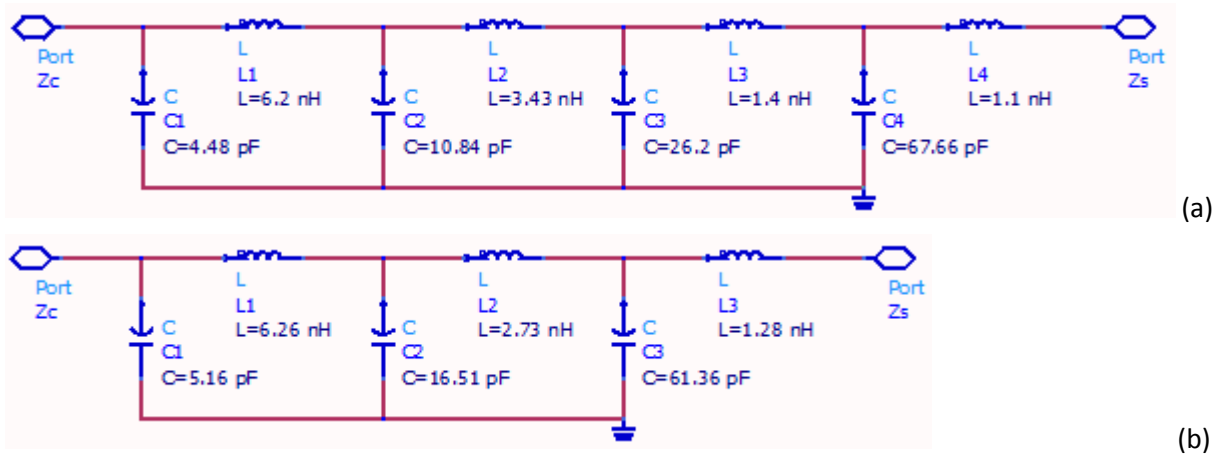


Figure I - 27 : Circuits d'adaptation résultants : a) pour un  $Q_n$  de 1.2. b) pour un  $Q_n$  de 1.6

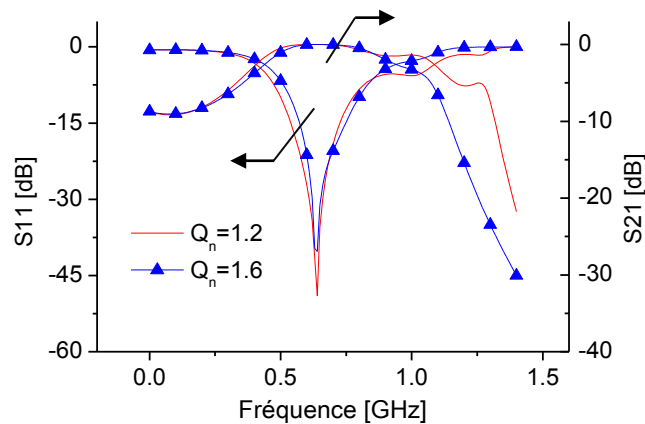


Figure I - 28 : Réponse en fréquence des circuits d'adaptation pour un  $Q_n$  de 1.2 et 1.6

### I.5.1.c Nécessité de la préadaptation et principe de dimensionnement

Le principe précédent paraît simple à mettre en application. Cependant, dans le cas des transistors RF de puissance, il peut être difficile, voir impossible, d'adapter parfaitement les impédances sur l'entrée et la sortie du transistor. Nous allons exposer ces difficultés et justifier l'intégration des circuits de préadaptation d'impédances implémentés dans le boîtier du transistor. Nous illustrerons notre propos par un exemple basé sur un transistor LDMOS de puissance.

Généralement, lorsque l'on veut augmenter la puissance d'un transistor, on associe plusieurs transistors en parallèle. La notion de nombre de doigts et de puissance par unité de longueur (ex 1W/mm) est liée à cette distribution. Chaque doigt désigne un transistor. Plus le nombre de doigts augmente, plus l'adaptation devient laborieuse du fait de la diminution des impédances d'entrée et de sortie.

En effet, si l'impédance de sortie d'un seul doigt est  $Z_s = R_d - jX_{c_d}$ , elle devient  $Z_s = (R_d - jX_{c_d})/10$  si le transistor est composé de 10 doigts en parallèle. Dans ce cas,  $R_d$  diminue tandis que  $C_d$  augmente, éloignant davantage l'impédance de sortie à adapter de la valeur  $50\Omega$  matérialisée par le centre de l'abaque. La Figure I - 29 illustre sur l'abaque de Smith l'effet du nombre de doigts (jusqu'à la mise en parallèle de 5 doigts) sur l'impédance de sortie, pour une fréquence donnée.



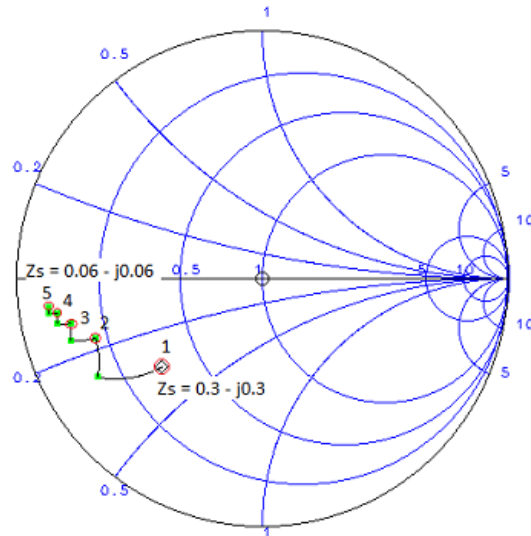


Figure I - 29 : Illustration de la diminution de l'impédance équivalente de sortie d'un LDMOS en fonction du nombre de doigts

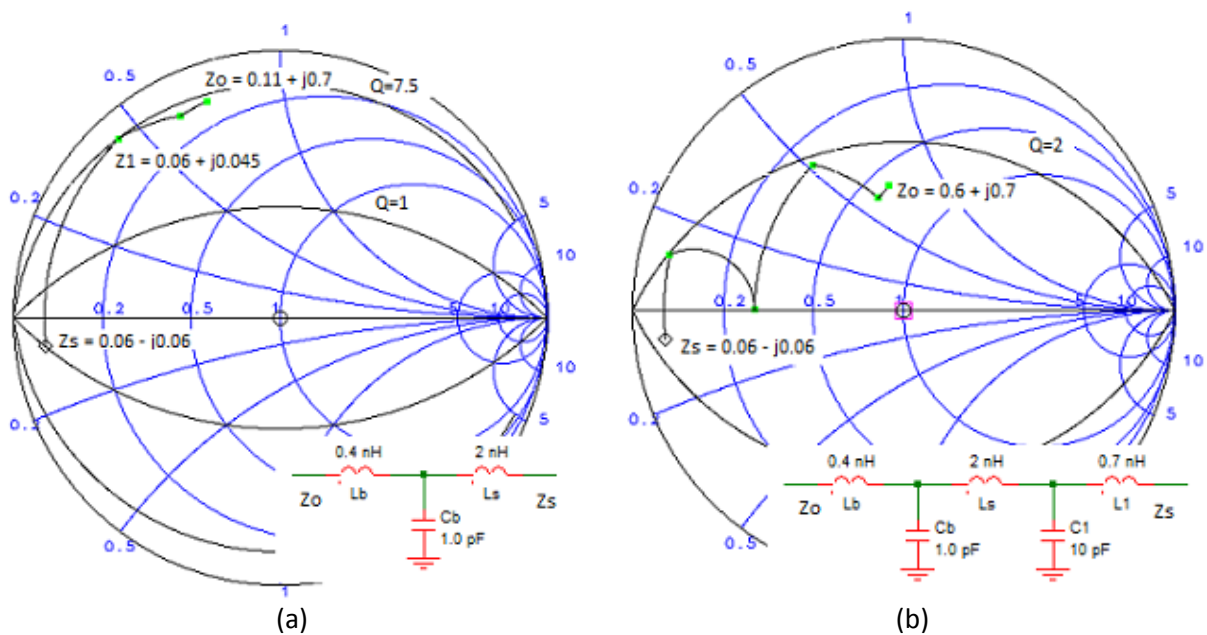


Figure I - 30 : Effets des fils micro-soudés et des pates sur l'impédance : a) sans préadaptation. b) avec préadaptation

Prenons le cas du transistor de 5 doigts dont la puce est placée dans un boîtier avec les accès de drain et de grille connectés par des fils micro-soudés. Nous nous plaçons à la fréquence  $f_c$  de 2 GHz. Ces fils, présentant une inductance  $L_s$  de 2.0 nH, rendent l'impédance de sortie inductive  $z_1 = 0.06 + j0.45$  (Figure I - 30a). De plus, si nous prenons en compte le schéma équivalent du boîtier ( $C_b$ ,  $L_b$ ) on aboutit à l'impédance  $z_o = 0.11 + j0.7$  (Figure I - 30a). A ce point, il devient difficile d'adapter le transistor extérieurement à l'aide de structures micro-rubans ou d'éléments passifs pour atteindre une charge de 50Ω sans perdre en rendement et en bande passante, compte tenu de la proximité avec le bord de l'abaque de l'impédance à adapter. En effet, à l'état de puce, ce transistor possède un coefficient de surtension de sortie  $Q_{OUT} = 0.06/0.06 = 1$  et, en utilisant l'équation (I.7), nous trouvons qu'il peut opérer dans une bande passante maximale  $BW_{OUT}$  de 2GHz ( $f_c/Q$ ).

Cependant, la mise en boîtier augmente le facteur de qualité jusqu'à  $Q_{OUT} = 0.045/0.06 = 7.5$  ce qui réduit la bande passante  $BW_{OUT}$  à 267 MHz.

En rajoutant un simple circuit de préadaptation en L-C sur la sortie du transistor, il devient alors possible de diminuer drastiquement les effets précédents de la mise en boîtier et donc d'améliorer la bande passante maximale sur laquelle pourra être utilisé le transistor. La Figure I - 30b montre un exemple sur lequel, en rajoutant une inductance série de 0.7 nH et une capacité parallèle de 10 pF en sortie du transistor, on réussit à obtenir un  $Q_{OUT}$  de 2 ce qui implique une bande maximale  $BW_{OUT}$  de 1 GHz. Une fois préadapté, l'adaptation externe devient relativement facile à réaliser. Dans le cas de cet exemple, elle est effectuée par l'ajout d'une capacité de 0.6 pF en parallèle plus une capacité de 2.5 pF en série.

A travers cet exemple, nous venons donc de démontrer l'intérêt et la nécessité d'intégrer des réseaux de préadaptation d'impédances sur ou, tout au moins, au plus proche de la puce intégrant le transistor de puissance, afin qu'une fois en boîtier ou connecté dans un circuit le transistor reste adaptable sur une large bande de fréquences.

### 1.5.2 Fabrication des éléments passifs à l'aide de capacité MIS et de fils micro-soudés

Pour les transistors LDMOS RF, les réseaux de préadaptation sont intégrés sur la puce, au niveau des accès de grille et de drain. Les éléments constituant ces réseaux sont fabriqués à l'aide de capacités MOS (Métal-Oxyde-Semi-conducteur) et/ou de fils micro-soudés pour les éléments inductifs.

Les fils micro-soudés sont mis en place par une machine de microsoudure qui vient souder un fil en aluminium ou en or entre deux plots métalliques. Les fils ont généralement la forme d'une cloche de façon à ajuster et contrôler leur longueur. Ils ont deux rôles principaux :

- Assurer la connexion électrique du transistor pour les signaux continus et RF ;
- Contribuer à l'implémentation des réseaux de préadaptation puisque ces fils sont généralement de nature inductive (en dessous de leur fréquence de résonance).



Figure I - 31 : Circuit électrique équivalent simplifié d'un réseau de fils micro-soudés

Pour les fréquences RF et microondes, et s'ils ne sont pas correctement dimensionnés pour être intégrés dans les circuits de préadaptation des transistors de puissance, ces fils sont typiquement considérés comme des éléments parasites qui diminuent les performances des transistors. Par ailleurs, ils ne sont pas parfaitement inductifs puisque leur implémentation fait aussi apparaître une capacité parallèle par couplage avec la masse (Figure I - 31). Il faut donc prendre en compte ces

éléments parasites lors de la conception du circuit pour éviter d'éventuelles complications ultérieures.

En résumé, le circuit électrique équivalent d'un fil micro-soudé est constitué par une inductance série L et une capacité parallèle C. On peut aussi associer une résistance série avec l'inductance pour rendre compte des pertes résistives. Dans le cas d'un fil cylindrique de longueur infinie, de rayon  $r$ , situé à une hauteur  $H$  d'un plan de masse infini et entouré d'un milieu ayant une permittivité  $\epsilon$  et une perméabilité  $\mu$ , l'inductance L et la capacité C par unité de longueur peuvent être calculées par [1] :

$$L = \frac{\mu}{2\pi} \cosh^{-1} \left( \frac{H}{r} \right) \quad (I.14)$$

$$C = \frac{2\pi\epsilon}{\cosh^{-1} \left( \frac{H}{r} \right)} \quad (I.15)$$

Dans les amplificateurs RF de puissance, un seul fil micro-soudé est rarement utilisé pour des raisons de distribution de courants, pour supporter les niveaux des courants de polarisation et pour être en mesure de contrôler la valeur de l'inductance tout en diminuant la valeur de la résistance série. Ainsi, un grand nombre de fils sont associés en parallèle pour former un réseau (Figure I - 31). Ce réseau doit être dimensionné et fabriqué pour obtenir une valeur d'inductance totale qui corresponde à la valeur souhaitée pour l'application.

Alors que les réseaux de fils micro-soudés sont largement utilisés pour fabriquer les éléments inductifs d'un circuit de préadaptation, les capacités faible perte sont des éléments également nécessaires pour compléter l'ensemble du réseau d'adaptation.

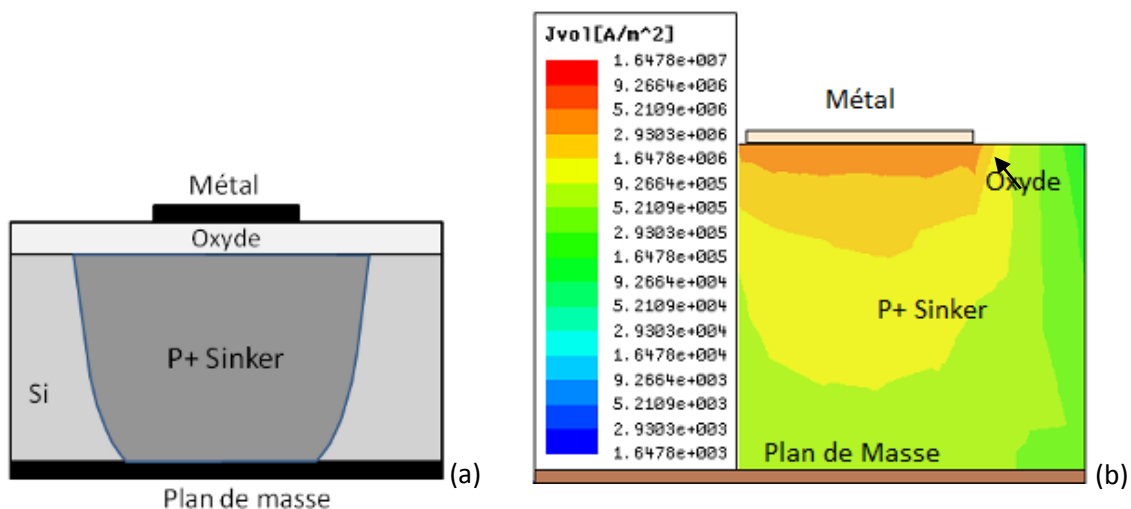


Figure I - 32 : (a) Vue en coupe d'une capacité MOS. (b) distribution du courant dans le matériau semiconducteur

Les capacités les plus répandues dans les technologies modernes de puissance sont les capacités métal-oxyde-semiconducteur (MOS) appartenant à la famille MIS (métal-isolant-semiconducteur). Ces structures sont dimensionnées et fabriquées pour présenter des fortes valeurs de capacité tout en

étant compactes et à faible perte. Elles sont constituées d'une couche diélectrique d'oxyde de silicium réalisée en surface du substrat silicium fortement dopé qui joue le rôle de l'électrode inférieure. Cependant, même en étant fortement dopé, ce substrat présente beaucoup de pertes comparé à une couche métallique. En revanche, cette configuration permet une meilleure et plus facile connexion à la masse car la face inférieure de la puce est métallisée pour réaliser le plan de masse connecté à la masse du boîtier. La deuxième électrode de la capacité est formée par le dépôt d'une couche métallique par-dessus la couche d'oxyde (Figure I - 32a).

Typiquement, la largeur du condensateur est approximativement la même que celle du transistor (largeur de la puce) afin de pouvoir accueillir le réseau de fils micro-soudés. La valeur de la capacité est contrôlée par la longueur de la métallisation supérieure ou l'épaisseur de la couche d'oxyde.

Les capacités MOS présentent des pertes non négligeables liées à la couche semi-conductrice. Le champ électrique pénétrant le substrat induit un courant dans ce dernier. Ce courant circule dans une épaisseur égale à l'épaisseur de peau calculée par :

$$\delta_s = \sqrt{\frac{1}{\omega\mu\sigma}} \quad (I.16)$$

Avec  $\sigma$  la conductivité de silicium,  $\omega$  la pulsation du signal et  $\mu$  la perméabilité du semi-conducteur.

Selon la fréquence, pour une conductivité et une épaisseur du silicium données, la résistance équivalente est donc variable [1]. De même, cette résistance est non-linéaire et dépend aussi des niveaux de tension appliqués.

### ***1.5.3 Problématiques des fils micro-soudés***

Dans les transistors RF de puissance, la forme, le diamètre, le nombre et l'espacement entre les fils micro-soudés définissent la valeur de l'inductance. Ces paramètres sont contrôlés par les machines automatiques de microsoudure. Cependant, une variation mineure d'un paramètre géométrique des fils peut avoir des conséquences importantes sur la valeur de l'inductance du réseau de préadaptation d'impédance, altérant les performances du transistor. Cette technologie demande donc une grande précision mécanique pour le placement des fils pour éviter d'avoir à mener des étapes de réglages (tuning) post fabrication. En effet, les mises au point post fabrication sont généralement des opérations coûteuses car elles requièrent beaucoup de ressources humaines ce que tous les industriels souhaitent éviter.

D'un point de vue conception, dimensionner correctement un réseau de fils micro-soudés est un travail laborieux et nécessite de nombreuses caractérisations. Cette étape débute par la simulation d'un seul fil pour calculer sa valeur d'inductance. Théoriquement, si plusieurs fils sont associés en parallèle, l'inductance totale est divisée par le nombre de fils. Pratiquement, un couplage existe, qui est fonction de l'espacement entre fils, et qui modifie la valeur de la self. Par ailleurs, en augmentant le nombre de fils en parallèle, la capacité parallèle totale, résultant du couplage avec la masse, augmente. Ce point ne pose pas problème si la capacité totale du réseau reste faible. En revanche, si cela n'est pas le cas (comme pour les transistors de puissance pour lesquels un grand nombre de fils

doit être implémenté), elle doit être prise en compte lors de la conception du circuit de préadaptation. De plus, la valeur de cette capacité augmente si le réseau de fils micro-soudés est noyé dans un milieu possédant une permittivité relative supérieure à celle de l'air [1]. Ceci est la plupart du temps le cas, compte tenu que pour les applications RF grand public les transistors utilisés sont présentés dans un boîtier plastique.

Les fils sont des éléments relativement rayonnants, et leurs couplages peuvent diminuer les performances du transistor s'ils se produisent entre différentes inductances présentes dans le circuit (entre, par exemple, les inductances séries et parallèles d'un réseau de préadaptation). Ces couplages peuvent créer également des contre-réactions comme dans le cas où les fils de drain et de grille sont suffisamment proches.

D'un point de vue technologique, la soudure des fils est une opération qui nécessite des machines de haute précision mécanique capables de reproduire le même câblage sur toutes les pièces. Ces précisions font augmenter le temps de câblage et aboutissent à un faible nombre de pièces fabriquées par unité de temps. Ce temps est d'autant plus long que le nombre de fils sur chaque accès du transistor se situe entre la dizaine et la vingtaine, suivant les dimensions du transistor. En dehors du temps de câblage, ce nombre de microsoudures influe aussi sur la dispersion des performances ainsi qu'au niveau de la fiabilité du procédé.

Par suite, l'objectif de nos travaux est de résoudre tous ces problèmes d'intégration en remplaçant les fils micro-soudés par des inductances de puissance planaires intégrées directement sur le substrat des transistors [28]. L'intégration de ces inductances devra éliminer à la fois les difficultés techniques et technologiques tout en maintenant une bonne flexibilité de conception, sans aucun compromis sur les performances électriques. Les développements sur la technologie, la procédure de conception, de fabrication et de caractérisation des inductances seules et intégrées sur une puce d'un transistor LDMOS 50W font l'objet des chapitres qui suivent.

## **I.6 Conclusion**

Ce premier chapitre introduit les bases de l'amplification RF de puissance pour les futures applications, et nous permet de définir le contexte général du travail développé dans cette thèse.

Dans un premier temps, nous nous sommes intéressés au transistor de puissance qui constitue le cœur des amplificateurs. A partir de la présentation des diverses technologies disponibles, nous nous sommes attachés à démontrer le grand intérêt de la technologie LDMOS sur silicium pour la fabrication des transistors RF de puissance. En effet, cette technologie développée depuis des décennies est très robuste, faible coût et permet d'excellents rendements de puissance. Nous notons cependant, que des technologies Si et III-V plus récentes permettent des densités de puissance supérieures et devraient entrer en concurrence dans un futur plus ou moins proche.

Dans un deuxième temps, nous avons exposé les contraintes d'adaptation des transistors de puissance, et démontré la nécessité des réseaux de pré-adaptation. L'implémentation de tels réseaux sur l'entrée et la sortie de la puce du LDMOS permet l'optimisation des performances des transistors

LDMOS en facilitant leur adaptation à l'extérieur du boîtier. La méthodologie de dimensionnement de ces circuits a été expliquée et illustrée à partir de l'abaque de Smith.

Finalement, la procédure de fabrication des circuits de préadaptation à l'aide de fils micro-soudés et de capacités MOS a été décrite. Nous avons fait ressortir les limites de cette technologie, qui est actuellement la technologie la plus souvent mise en œuvre. Nous avons mis en avant que la fabrication des réseaux de fils micro-soudés est un travail laborieux s'accompagnant de dispersions technologiques ayant des conséquences sur les performances du transistor.

L'intérêt de développer une technologie spécifique permettant de remplacer une large part des fils microsoudés par des inductances planaires apparaît certain. L'implémentation de ces inductances directement sur le substrat par la mise en œuvre d'une technologie microélectronique permet d'envisager de grandes avancées, notamment dans l'amélioration des coûts et des temps de fabrication, mais aussi de la fiabilité des transistors RF de puissance. Ce travail qui a fait l'objet de cette thèse est décrit dans le reste de ce manuscrit.

## I.7 Références

- [1] P. Aaen, J. Pl'a and J. Wood, "*Modeling and Characterization of RF and Microwave Power FETs*", Cambridge University Press (June 25, 2007)
- [2] A. Giry, "*Etude des potentialités des technologies CMOS avancées pour les radiofréquences : Application aux amplificateurs de puissance*", Thèse de doctorat de l'Institut National Polytechnique de Grenoble, Juillet 2001.
- [3] O. Bon, "*Conception de transistors haute tension complémentaires en technologie 65nm sur substrat silicium sur isolant fin pour applications RF et conversion de puissance*", Thèse doctorat de l'université de Toulouse III – Paul Sabatier, Mars 2008
- [4] C.E. Weitzel, "*RF Power Amplifiers for Cellphones*", International Conference on Compound Semiconductor Mfg, 2003.
- [5] M. Shaw and A. Wood, "*Characterization of a 2 GHz submicron bipolar 60 watt power transistor with single tone, multi-tone, and CDMA signals*," in 47th ARFTG Conference Digest, San Francisco, CA, June 1996, 26–31.
- [6] J.-J. Bouny, "*Advantages of LDMOS in high power linear amplification*" Microwave Engineering Europe, 37–40, Apr. 1996.
- [7] F. van Rijs, S.J.C.H. Theeuwen, "*Efficiency improvement of LDMOS transistors for base stations : towards the theoretical limit*," Electron Devices Meeting, 2006. IEDM '06. International, vol., no, pp.1-4, 11-13 Dec. 2006
- [8] W. Burger, "*LDMOS device technology*," Freescale semiconductor, internal report, May 2007
- [9] H. Brech, W. Brakensiek, D. Burdeaux, W. Burger, C. Dragon, G. Formicone, B. Pryor, D. Rice, "*Record efficiency and gain at 2.1 GHz of high power RF transistors for cellular and 3G base stations*," Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International , vol., no., pp. 15.1.1-15.1.4, 8-10 Dec. 2003
- [10] O. Esame, Y. Gurbuz, I. Tekin, A. Bozkurt, "*Performance comparison of state-of-the-art heterojunction bipolar devices (HBT) based on AlGaAs/GaAs, Si/SiGe and InGaAs/InP*", ELSEVIER-Microelectronics Journal 35, 2004
- [11] C.E. Weitzel, "*RF Power Amplifiers for Cellphones*", GaAs MANTECH, 2003
- [12] O. Berger, "*GaAs MESFET, HEMT and HBT Competition with Advanced Si RF Technologies*", GaAs MANTECH, 1999
- [13] V. Viswanathan, "*Efficiency enhancement of base station power amplifiers using doherty technique*," Thesis preparation for Virginia Polytechnic Institute and state university, February 2004
- [14] O. Bengtsson, "*Design and Characterization of RF-Power LDMOS Transistors*", Acta Universitatis Upsaliensis. *Digital Comprehensive Summaries of Uppsala Dissertations from the Faculty of Science and Technology* 548. 160pp. 2008
- [15] M. O'Droma, N. Mgebrishvili, A. Goacher, "*Linearity And Efficiency Issues In Rf Power Amplifiers For Future. Broadband Wireless Access Systems*", International Union of Radio Science, 2002
- [16] R. B. Davies, R. J. Johnsen, and F. Y. Robb, "*Semiconductor device having low source inductance*" U.S. Patent 5,155,563, Oct. 13, 1992.

- [17] A. Wood, C. Dragon, and W. Burger, "High performance silicon LDMOS technology for 2 GHz RF power amplifier applications" in Int. Electron Devices Mtg. Tech. Dig., San Francisco, CA, Dec. 1996, 87–90.
- [18] A. Wood and W. Brakensiek, "Applications of RF LDMOS power transistors for 2.2 GHz wideband-CDMA" in Proc. IEEE Radio and Wireless Conference, (RAWCON) 98, Colorado Springs, CO, Aug. 1998, 309–312.
- [19] W. Burger, H. Brech, D. Burdeaux, C. Dragon, G. Formicone, M. Honan, B. Pryor, and X. Ren, "RF-LDMOS : a device technology for high power RF infrastructure applications" in Compound Semiconductor Integrated Circuit Symp. Dig., Monterey, CA, Oct. 2004, 189–192.
- [20] N. Chevaux, M. M. De Souza, "Comparative Analysis of VDMOS/LDMOS Power Transistors for RF Amplifiers ", IEEE Transactions On Microwave Theory And Techniques, Vol. 57, No. 11, November 2009
- [21] STMicroelectronics, "RF power transistors : comparative study of LDMOS versus bipolar technology", AN1223, October 2007
- [22] Product news from Philips semiconductors, "LDMOS devices to boost base station efficiency" 7 Nov 2003
- [23] D. Muller, "Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance rf sur silicium", Thèse de doctorat de l'université de Limoges, October 2006
- [24] Bob Pryor, Harry Bawcom, Wayne Burger, Chris Dragon, Dan Lamey, Nancy Lewis, Xiaowei Ren "HV4IC LDMOS Layout Manual Revision 1.2" RF-LDMOS Device Engineering, Wireless Infrastructure Systems Division, Networking & Computing Systems Group, Motorola Semiconductor Products Sector.
- [25] M. Gyonnet, "Modélisation Electrothermique Non Linéaire de Transistors de Puissance LDMOS : Application à la Détermination de Règles d'Echelle", Thèse de doctorat de l'université de Limoges, Mars 2005
- [26] G. Gonzales, "Microwave Transistor Amplifiers Analysis and Design (2<sup>nd</sup> ed.)", Prentice Hall, 1997
- [27] A. Grebennikov, "RF and Microwave Power Amplifier Design", McGraw-Hill, 2005
- [28] J. M. Boulay, A. Ghannam, "High Power Semiconductor Device For Wireless Applications And Method Of Forming A High Power Semiconductor Device," FREESCALE SEMICONDUCTOR, INC. US Patent PCT/IB2009/056029





## Chapitre II:

# INTEGRATION D'INDUCTANCES POUR LA PREADAPTATION DU TRANSISTOR DE PUISSANCE

## II.1 Introduction

Depuis maintenant de nombreuses années, on constate un intérêt grandissant pour les applications électroniques du domaine des hyperfréquences surtout pour les communications sans fil. Les exigences de mobilité, d'un nombre croissant de fonctionnalités, de faible consommation et de coût de fabrication poussent les industriels à développer de nouvelles technologies permettant l'intégration de puces toujours plus miniaturisées et sophistiquées. Ces développements concernent bien sur les composants actifs mais aussi les composants passifs, avec notamment la nécessité d'intégrer des inductances monolithiques présentant un fort coefficient de qualité et une haute fréquence de résonance. Cependant, atteindre ce niveau de performance reste difficile puisque celui-ci se dégrade significativement aux hautes fréquences à cause des pertes résistives dans les métallisations, la forte capacité entre le ruban métallique selfique et le substrat, d'autant plus si ce dernier est conducteur, ainsi que les courants de Foucault induits.

Dans une première partie de ce chapitre, nous allons présenter la structure inductive monolithique la plus généralement intégrée sur silicium. Nous décrirons les différents phénomènes parasites à l'origine des limitations des performances des inductances et nous les schématiserons par un circuit électrique équivalent. Finalement, nous définirons les exigences de notre projet, qui consiste à dimensionner et à intégrer des inductances à fort coefficient de qualité au-dessus d'une puce de puissance LDMOS : nous introduirons le cahier des charges et nous présenterons les dernières avancées technologiques, ainsi que le choix de la technologie appropriée permettant de réaliser nos inductances.

La deuxième partie du chapitre sera consacrée à l'environnement de simulations électromagnétiques mis en place autour du logiciel HFSS, utilisé intensivement au cours de cette thèse. Nous montrerons les différentes procédures adoptées pour valider et améliorer nos résultats de simulations.

## II.2 Inductances intégrées

Les inductances intégrées ont déjà fait l'objet de diverses études scientifiques visant à mieux comprendre et modéliser leur comportement électrique et d'identifier les différents mécanismes à l'origine des pertes, avec pour objectif de limiter ces dernières pour optimiser les performances [1] à [31].

Dans le paragraphe qui suit, nous introduisons la structure inductive micro-ruban largement utilisée dans les circuits MMIC. Par la suite, nous montrerons les différentes origines des pertes et nous les modéliserons par un circuit électrique équivalent.

### II.2.1 Structure micro-ruban

Suivant le type d'application, les inductances intégrées MMIC peuvent être construites par un ruban rectiligne, une simple boucle ou une spirale multi-tour. Le circuit constituant la self est souvent de nature micro-ruban puisqu'il met en œuvre un plan de masse, un substrat/diélectrique ainsi qu'un ruban métallique (Figure II - 1). Cependant, cette structure peut présenter des pertes importantes liées à la nature et aux propriétés électriques du substrat et des métallisations (cf. II.2.2).

Pour les technologies actuelles, les inductances MMIC sont contraintes à être planaires. La solution généralement adoptée consiste à dessiner une spirale (Figure II - 2a). Cependant, quelques procédés de fabrication ne permettent pas la réalisation de structures possédant des lignes courbes; dans ce cas, l'alternative à la spirale est l'inductance rectangulaire (Figure II - 2b). Cependant, la présence d'angles droits contribue à la diminution des performances du fait des fortes concentrations de courant dans ces zones (cf. II.2.2.a). Une version polygonale (Figure II - 2c) peut être un compromis entre la spirale et l'inductance rectangulaire.

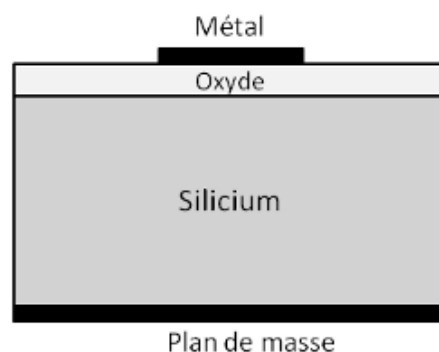


Figure II - 1 : Vue en coupe d'une structure inductive typique MMIC

Les structures (a) à (c) présentées sur la Figure II - 2 ne sont pas symétriques : la concentration des champs électriques et magnétiques sur la spire extérieure est plus faible que celle présente sur la spire centrale. La plus forte concentration des champs au centre augmente le couplage avec le plan de masse ce qui se traduit par une plus forte capacité sur le deuxième terminal que sur le premier et modifie donc le coefficient de réflexion. La Figure II - 3 montre l'effet de l'asymétrie sur le coefficient de réflexion et le facteur de qualité. Cette dissymétrie peut être gênante si l'inductance est utilisée dans un circuit exigeant une réciprocité, comme dans le cas d'un circuit différentiel. Pour résoudre ce

problème, une structure symétrique peut être construite en utilisant deux niveaux de métallisations (Figure II - 2d).

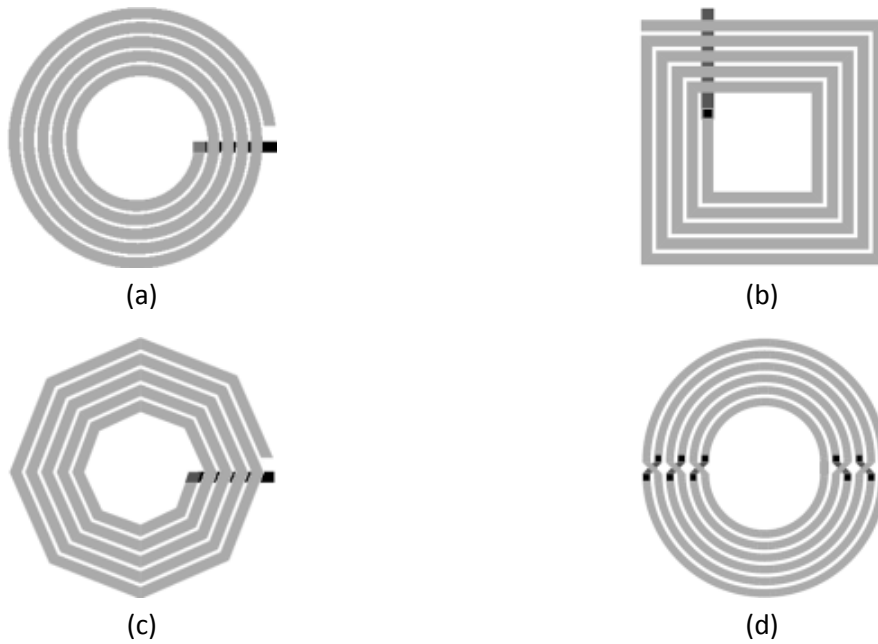


Figure II - 2 : Structures inductives planaires MMIC

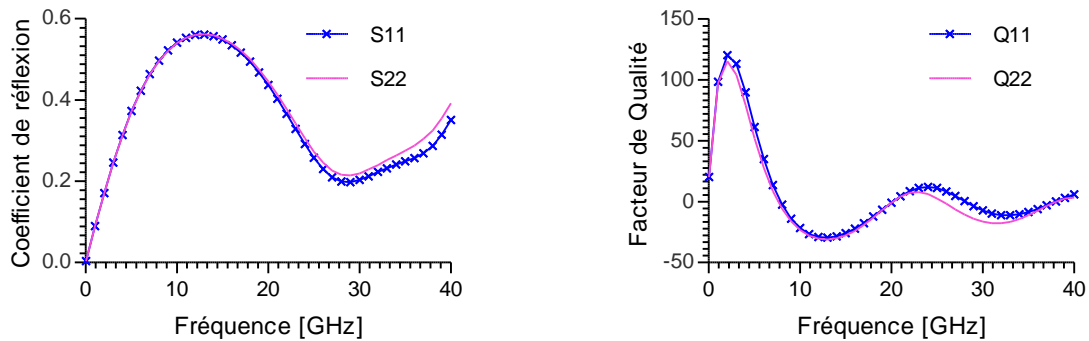


Figure II - 3 : Effets de l'asymétrie de l'inductance sur : a) le coefficient de réflexion. b) le facteur de Qualité.

## II.2.2 Origines des pertes

Les pertes présentes dans une inductance sont de trois types : les pertes résistives dans les métallisations, les pertes liées à la résistivité finie du substrat, ou pertes diélectriques, ainsi que les pertes par radiation. Ce dernier type de pertes intervient à très hautes fréquences, lorsque la longueur d'onde du signal devient voisine des dimensions de l'inductance. Compte tenu des dimensions maximales de nos structures devant la longueur d'onde, nous pourrions aisément négliger cette contribution aux pertes globales dans toute la suite de notre étude.

### II.2.2.a Pertes dans les métallisations

La conductivité finie des couches métalliques entraîne des pertes par effet joule dans les conducteurs. Cependant, cette résistivité n'explique pas à elle seule l'intégralité des pertes qui sont

occasionnées. D'autres effets interviennent qui sont à l'origine de la majeure partie des pertes aux fréquences micro-ondes, essentiellement connus sous le nom d'effets de peau et de proximité.

- Effet de peau

Lorsqu'un courant alternatif circule dans un conducteur, un champ magnétique est créé autour de ce dernier. En raison de la conductivité finie du métal qui le constitue, une partie du champ magnétique est contenue à l'intérieur du conducteur, créant ainsi des courants de Foucault s'opposant au passage du courant vers le centre du conducteur.

Le courant circule alors préférentiellement vers la périphérie du conducteur, augmentant par là même la résistance effective de ce dernier, et donc la puissance dissipée par effet Joule. Il peut être montré que la densité du courant décroît exponentiellement en s'éloignant de la surface du conducteur (cf. Figure II - 4a) [1]. Cette propriété permet de définir une grandeur caractéristique appelée "l'épaisseur de peau" (cf. Figure II - 4b). Typiquement, la valeur de la résistance dynamique d'un conducteur suit une loi de variation en  $\sqrt{f}$ .

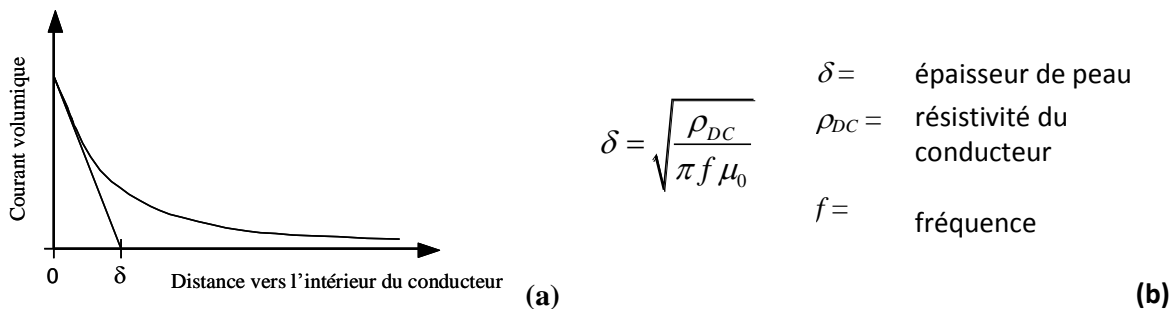


Figure II - 4 : (a) densité de courant à l'intérieur d'un conducteur ;  
 (b) Expression de l'épaisseur de peau dans un conducteur.

- Effet de proximité

Cet effet est très proche de l'effet de peau. L'effet de proximité résulte de l'interaction entre plusieurs conducteurs voisins parcourus chacun par un courant. La résistance dynamique d'un conducteur donné, initialement dégradée par l'effet de peau propre à la configuration des champs dans le conducteur lui-même, sera plus ou moins augmentée selon que les champs magnétiques produits par les conducteurs voisins s'ajoutent ou se retranchent à celui généré par le conducteur considéré.

L'effet de proximité ne peut pas être négligé dans le cas d'inductances intégrées constituées par une spirale comportant plusieurs tours. En effet, dans ce cas le champ magnétique créé par chaque conducteur ne passe pas uniquement par le centre de l'inductance, mais une partie circule entre les rubans, comme illustré sur la Figure II - 5a. Puisque le champ magnétique est très fort au centre de l'inductance, la variation temporelle de ce champ – liée au courant alternatif circulant dans les rubans métalliques – induit un champ électrique parasite dans le volume des spires proches du centre de l'inductance. Ce champ électrique entraîne alors la circulation de courants de Foucault comme représenté sur la Figure II - 5b. Dans la partie intérieure des spires centrales, le courant de l'inductance s'additionne avec les courants de Foucault, tandis qu'il se retranche dans la partie

extérieure. La section effective du ruban déterminée par l'effet de peau est ainsi encore modulée par l'effet de proximité. La concentration du courant vers la partie intérieure des spires centrales contribue à une augmentation forte de la résistance dynamique. Par ailleurs, le champ  $\vec{H}_{Foucault}$  s'oppose au champ total  $\vec{H}_{Self}$ , ce qui conduit à une légère diminution de la valeur de l'inductance avec l'augmentation de la fréquence [2][3].

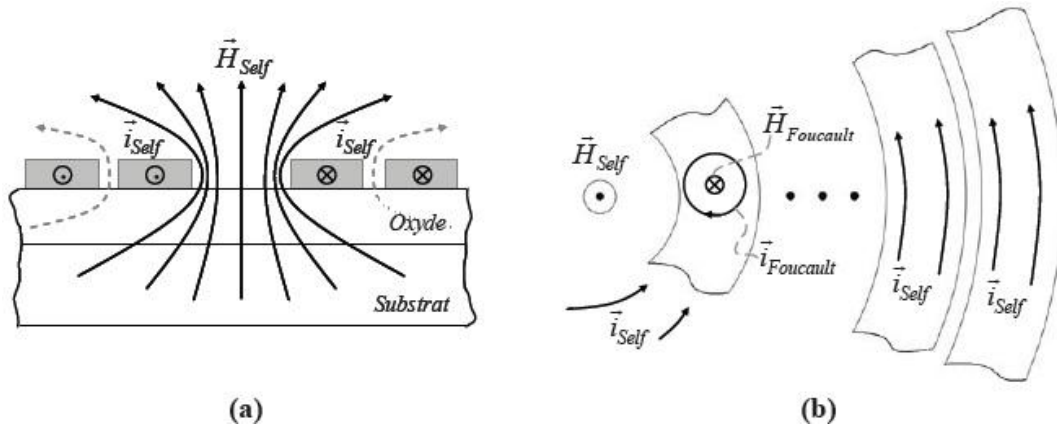


Figure II - 5 : (a) Constriction du champ magnétique au centre d'une self planaire multi-spires ; (b) Génération de courants de Foucault au niveau de la spire la plus intérieure en raison de l'effet de proximité induit par le champ magnétique créé par les spires extérieures.

Pour illustrer l'effet de proximité, nous avons réalisé la simulation électromagnétique d'une inductance planaire carrée de 4.0 nH. La répartition du courant dans les spires est représentée sur la Figure II - 6. Sur cette figure, nous constatons que pour les spires internes, le courant circule essentiellement au niveau de la bordure intérieure des rubans, en raison des fortes valeurs atteintes par le champ magnétique dans cette zone. Ceci confirme la présence de l'effet de proximité dans les inductances. Dans la pratique, on limite ce phénomène en évitant de placer des spires jusqu'au centre de l'inductance, ce que nous avons fait sur l'inductance de la Figure II - 6.

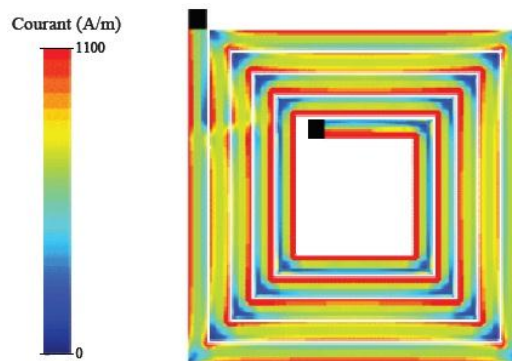


Figure II - 6 : Répartition du courant dans une inductance planaire intégrée de 4 nH.

### II.2.2.b Pertes dans le substrat

Contrairement au GaAs, le substrat silicium des technologies CMOS ou LDMOS n'est pas isolant. Typiquement, sa résistivité varie entre 10 m $\Omega$ .cm pour les filières CMOS pures à 10-20  $\Omega$ .cm pour les filières BiCMOS. La nature conductrice du substrat Silicium entraîne ainsi plusieurs formes de pertes, illustrées sur la Figure II - 7 [4].

- Pertes par induction magnétique

Le même phénomène que celui qui conduit à l'effet de proximité dans les conducteurs existe avec le substrat : conformément à la loi de Faraday / Lenz, le champ magnétique créé par l'inductance induit un courant image dans le substrat, le plus souvent appelé courant de Foucault. Le sens de ce courant, opposé à celui de l'inductance, génère par conséquent un champ magnétique s'opposant au champ principal. Il en résulte une diminution de la valeur réelle de l'inductance. De plus, de l'énergie magnétique est de la sorte convertie en chaleur par effet joule dans le volume du substrat. Les conséquences sont d'autant plus importantes que la résistivité du substrat diminue.

- Pertes par induction électrique

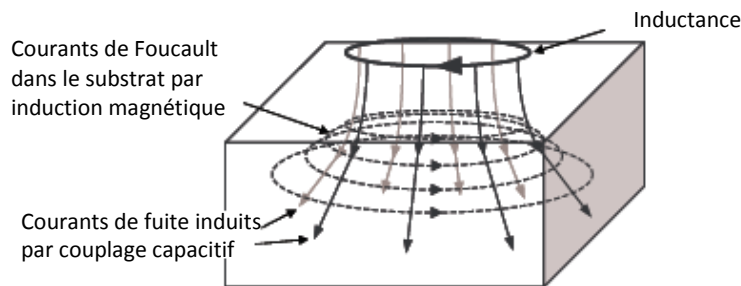


Figure II - 7 : Représentation des pertes dans un substrat silicium.

L'énergie stockée sous forme électrique dans l'inductance est couplée au substrat par l'intermédiaire de la capacité équivalente dont les armatures sont constituées par les spires de l'inductance d'une part et le substrat lui-même, d'autre part. Il en résulte des courants de conduction et de déplacement vers la masse la plus proche. Ainsi, de l'énergie électrique est ici dissipée par effet joule dans le substrat [5].

### II.2.3 Facteur de qualité des selfs

Le niveau de performance des éléments passifs réactifs, qu'ils soient capacitifs ou inductifs ou même constitués d'un circuit résonnant, est habituellement évalué par le facteur de qualité. Ce critère est défini comme étant le rapport de l'énergie électromagnétique emmagasinée ( $E_{stockée}$ ) sur l'énergie dissipée ( $E_{dissipée}$ ) pendant une période du signal, dans l'hypothèse d'une excitation sinusoïdale [6]. Cette définition se traduit par la relation suivante :

$$Q_1 = 2\pi \frac{E_{stockée}}{E_{dissipée}} \quad (II.1)$$

Si l'on considère les composantes magnétiques ( $W_m$ ) et électrique ( $W_e$ ) de l'énergie stockée, et si  $P_j$  représente la puissance moyenne dissipée par le réseau sur une période, la relation (II.1) devient :

$$Q_1 = \omega \left( \frac{W_m + W_e}{P_j} \right) \text{ où } \omega \text{ désigne la pulsation.} \quad (II.2)$$

Cette définition rigoureuse est notamment utilisée pour évaluer les performances des circuits résonnants dans lesquels l'énergie est alternativement stockée sous forme magnétique et électrique

au cours du temps. Dans la pratique, la valeur du facteur de qualité ainsi définie est difficile à estimer avec précision, notamment dans le cas des inductances. En effet, le calcul de  $Q_1$  nécessite l'extraction d'un modèle électrique équivalent pour retrouver les composantes électriques et magnétiques de l'énergie stockée, tâche rendue difficile par la nature distribuée d'une inductance spirale ainsi que par les variations fréquentielles de certains des éléments du modèle [7].

Dans le cas d'une inductance, il existe ainsi plusieurs autres définitions qui permettent l'extraction du facteur de qualité à partir de la mesure, en s'affranchissant du calcul du modèle électrique équivalent.

Dans le principe, deux de ces nouvelles définitions du facteur de qualité nécessitent de placer virtuellement l'inductance mesurée (un dipôle) en parallèle avec une capacité. En modifiant la valeur de cette capacité, il est alors possible de déplacer la résonance sur toute la plage de fréquence pour laquelle on souhaite déterminer ce facteur de qualité.

La première technique consiste à observer la variation de phase du circuit à la résonance, qui est liée au facteur de qualité par la relation suivante [7][8] :

$$Q_2 = \frac{\omega_0}{2} \left. \frac{d\phi_Y}{d\omega} \right|_{\omega=\omega_0} \quad (II.3)$$

où  $\phi_Y$  représente la phase de l'admittance équivalente au circuit résonnant et  $\omega_0$  la pulsation à la résonance.

La deuxième technique consiste à calculer le facteur de qualité à partir de la bande passante à -3 dB du circuit résonnant constitué de l'inductance à caractériser en parallèle avec la capacité mentionnée plus haut. Ce facteur est bien connu et est donné par la relation suivante :

$$Q_3 = \frac{\omega_0}{\Delta\omega|_{-3dB}} \quad (II.4)$$

Enfin, il existe une troisième définition permettant l'obtention du facteur de qualité, spécifiquement utilisée pour les inductances. Celle-ci est la plus couramment utilisée dans la littérature, de par sa simplicité de mise en œuvre. Ainsi, à partir de la mesure de l'inductance par l'intermédiaire de son impédance ( $z_{11}$ ), ou de son admittance ( $y_{11}$ ), ce facteur de qualité s'exprime de la façon suivante [7] :

$$Q_4 = \frac{\text{Im}(z_{11})}{\text{Re}(z_{11})} = -\frac{\text{Im}(y_{11})}{\text{Re}(y_{11})} \quad (II.5)$$

Cette technique diffère largement des précédentes et il peut être montré qu'elle correspond à la définition du facteur de qualité suivante :

$$Q_4 = \omega \left( \frac{W_m - W_e}{P_j} \right) \quad (II.6)$$



Cette expression rejoint la définition générale (II.2) lorsque l'énergie emmagasinée sous forme électrique tend vers zéro. Dans la pratique ces deux relations sont équivalentes à basses fréquences, lorsque l'effet des capacités parasites reste négligeable ( $W_e \rightarrow 0$ ). L'erreur est aussi relativement faible entre les deux expressions sur une large gamme de fréquences lorsque les inductances évaluées ont une faible valeur ( $< 1$  nH), ou quand elles possèdent une faible capacité de couplage avec le substrat. En revanche, en raison de l'augmentation avec la fréquence de l'énergie emmagasinée sous forme électrique, la définition (II.6) va conduire à une chute plus rapide de la valeur du facteur de qualité comparativement à celle obtenue par les autres définitions. A la résonance, les énergies emmagasinées  $W_m$  et  $W_e$  sont identiques, annulant par conséquent la valeur du facteur de qualité  $Q_4$ . Au-delà de cette fréquence, l'inductance se comporte comme une capacité puisque l'énergie emmagasinée sous forme électrique est supérieure à l'énergie magnétique, rendant le coefficient  $Q_4$  négatif.

Les pertes dans une inductance peuvent être décomposées en plusieurs contributions en séparant les pertes de puissance dans les conducteurs  $P_c$ , les pertes électriques dans le substrat  $P_e$  et les pertes par courants de Foucault magnétiquement induits  $P_m$ . La relation (II.2) peut alors se décomposer de la façon suivante :

$$Q_1 = \frac{\omega W_{stockée}}{P_c + P_e + P_m} \quad (II.7)$$

Le facteur de qualité total s'exprime alors en fonction des facteurs de qualité relatifs à chaque type de pertes, suivant la relation :

$$\frac{1}{Q_1} = \frac{P_c}{\omega W_{stocké}} + \frac{P_e}{\omega W_{stocké}} + \frac{P_m}{\omega W_{stocké}} = \frac{1}{Q_c} + \frac{1}{Q_e} + \frac{1}{Q_m} \quad (II.8)$$

## II.2.4 Circuit électrique équivalent

Bien qu'une inductance soit un élément largement distribué du fait des longueurs de ligne importantes qu'elle met en œuvre, il est toutefois possible d'utiliser un modèle électrique relativement simple basé sur son fonctionnement physique.

### II.2.4.a Modèle typique

Le plus classiquement, une inductance peut être modélisée par un réseau en  $\pi$  conventionnel tel qu'utilisé pour la modélisation des inductances intégrées sur puces [9]. Un tel schéma, comme présenté sur la Figure II - 8, est cependant valable pour les basses fréquences mais très approximatif aux hautes fréquences puisqu'il ne tient pas compte des pertes par rayonnement qui interviennent aux très hautes fréquences.

Sur la branche série de ce modèle,  $L_s$ ,  $R_s$  et  $C_s$  représentent respectivement l'inductance série, la résistance série et la capacitance inter-spire de la self. Les pertes par effet Joule  $P_c$  dans les conducteurs sont modélisées par la résistance  $R_s$  qui varie généralement avec la fréquence pour traduire correctement les effets de peau et de proximité.  $R_s$  est calculée par :

$$R_s = \frac{\rho l}{w\delta(1 - e^{-l/\delta})} \quad (II.9)$$

Avec  $l$ ,  $w$ ,  $t$ ,  $\rho$  et  $\delta$  représentant la longueur, largeur, épaisseur, conductivité et épaisseur de peau du conducteur.

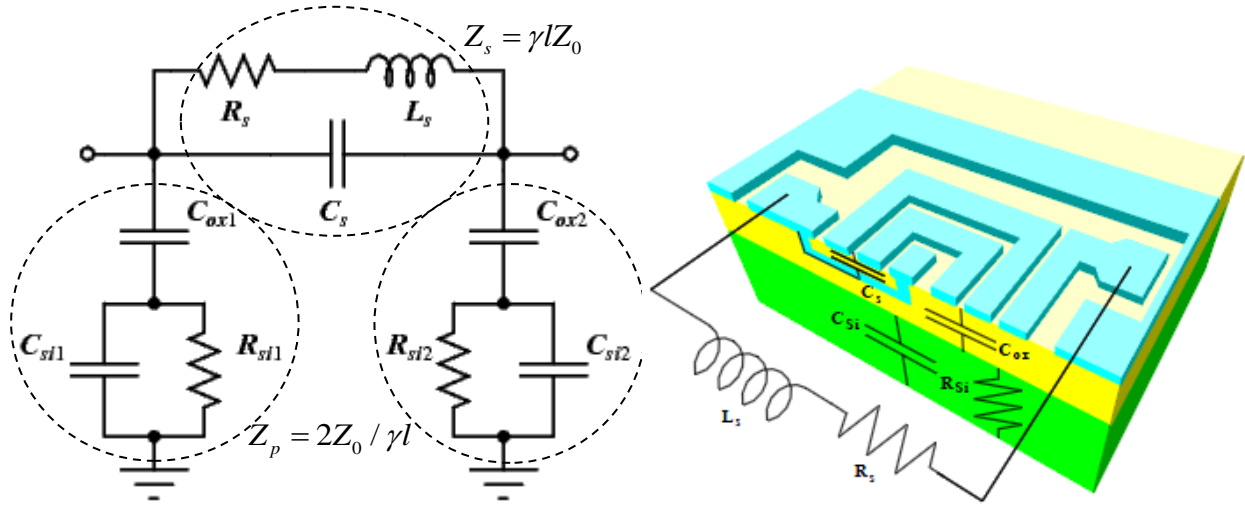


Figure II - 8 : Schéma électrique équivalent d'une inductance intégrée sur Silicium

Sur la branche parallèle, on représente les éléments parasites qui modélisent les pertes dans le substrat. Les pertes d'origines électriques sont représentées par  $C_{si}$  et  $R_{si}$  tandis que le couplage entre la self et le substrat est représenté par  $C_{ox}$ .

Pour l'obtention de ce modèle, les valeurs des éléments sont extraites par ajustement de courbes. Cet ajustement se fait entre les valeurs mesurées des admittances  $Y_s$  et  $Y_p$  et les valeurs calculées par estimation en utilisant les équations suivantes [10] :

$$Y_s = \frac{1}{Z_s} = \frac{1}{R_s + j\omega L_s} + j\omega C_s \quad (II.10)$$

$$Y_p = \frac{1}{Z_p} = \frac{1}{\frac{1}{j\omega C_{ox}} + \frac{1}{\frac{1}{R_{si}} + j\omega C_{si}}} \quad (II.11)$$

Pour s'affranchir des problèmes d'optimisation liés à l'ajustement des courbes, un modèle simplifié a été introduit.

#### II.2.4.b Simplification du modèle pour la détermination analytique des éléments

Afin d'être en mesure de réaliser une détermination directe des éléments équivalents, Yue et al [9] proposent un nouveau modèle. Ce modèle consiste à remplacer  $C_{ox}$ ,  $C_{si}$  et  $R_{si}$  ( Figure II - 8) par  $C_p$  et  $R_p$  tel que montré sur la Figure II - 9.

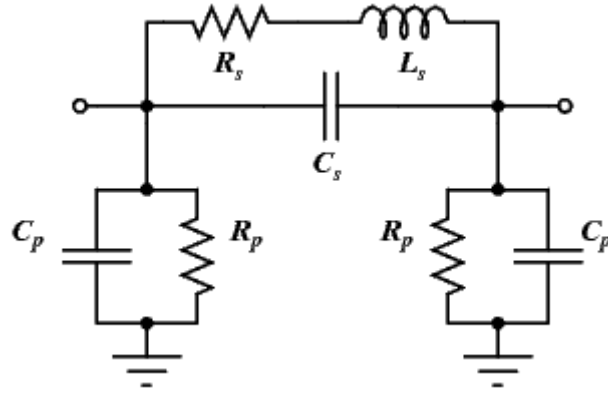


Figure II - 9 : Schéma électrique équivalent simplifié d'une inductance

Dans ce cas :

$$Y_p = \frac{1}{R_p} + j\omega C_p = \frac{\omega^2 C_{ox}^2 R_{si}}{1 + [\omega R_{si} (C_{si} + C_{ox})]^2} + \frac{j\omega C_{ox} [1 + \omega^2 (C_{si} + C_{ox}) C_{si} R_{si}^2]}{1 + [\omega R_{si} (C_{si} + C_{ox})]^2} \quad (II.12)$$

Pour ce modèle, il est alors possible de calculer directement les valeurs des éléments à partir de la matrice d'admittance [Y] (déduite de la mesure des paramètres-[S]) en utilisant les équations suivantes :

$$R_s = \text{Re}(1/Y_s) \quad (II.13)$$

$$L_s = \frac{\text{Im}(1/Y_s)}{\omega} \quad (II.14)$$

$$C_s = \frac{1}{\omega_0^2 L_{low-freq}} \quad (II.15)$$

$$R_p = \frac{1}{\text{Re}(Y_p)} \quad (II.16)$$

$$C_p = \frac{\text{Im}(Y_p)}{\omega} \quad (II.17)$$

Avec :

$$\begin{aligned} Y_p &= y_{11} + y_{21} \\ Y_s &= -y_{21} \end{aligned} \quad (II.18)$$

et  $\omega_0$  la fréquence de résonance de la self,  $L_{low-freq}$  étant la valeur de l'inductance  $L_s$  aux basses fréquences.

Pour déterminer le facteur de qualité  $Q$  de l'inductance à partir de ce modèle et prendre en compte la contribution des différentes pertes (dans le substrat, les métallisations ...), il est nécessaire de court-circuiter un des accès de l'inductance. Dans ce cas, on obtient le circuit électrique équivalent suivant de la Figure II - 10.

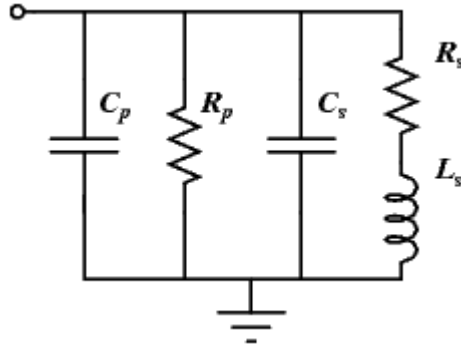


Figure II - 10 : Schéma électrique d'une inductance dont un des accès est court-circuité

En utilisant les équations (II.10) et (II.12), l'expression du facteur de qualité de l'inductance est alors la suivante [10] :

$$Q_{self} = \frac{\omega L_s}{R_s} \cdot \underbrace{\frac{1}{1 + \frac{R_s}{R_p} \left[ \left( \frac{\omega L_s}{R_s} \right)^2 + 1 \right]}}_{(b)} \cdot \underbrace{\left[ 1 - \frac{R_s^2 (C_s + C_p)}{L_s} - \omega^2 L_s (C_s + C_p) \right]}_{(c)} \quad (II.19)$$

$$= \frac{\omega L_t}{R_t}$$

Avec  $L_t$  l'inductance totale de la self, prenant en compte les effets du substrat, et  $R_t$  la résistance totale, prenant en compte les pertes dans les métallisations et le substrat. Dans cette équation, le terme (a) représente le rapport entre l'énergie emmagasinée dans l'inductance et les pertes ohmiques dans le métal, le terme (b) représente l'énergie dissipée dans le substrat et enfin, le terme (c) le facteur d'auto-résonance de l'inductance.

### II.3 Définition du projet et cahier des charges

Dans le cadre de cette thèse, la société Freescale Semi-conducteurs nous a demandé de remplacer les fils micro-soudés d'un transistor LDMOS de puissance (50 W) par des inductances intégrées. Le procédé d'intégration à développer devait rendre possible l'intégration, sur la puce active, de selfs qui répondent au cahier des charges suivant :

- Coefficient de qualité Q de 60 à 2,5 GHz sur un substrat LDMOS faible résistivité (0.008  $\Omega.cm$ )
- Valeur d'inductance variant de 0,1 à 5 nH tout en supportant une densité de courant supérieure à 1A/mm<sup>2</sup>.
- Fréquence de résonance des selfs supérieure à 6 GHz
- Température de fonctionnement assurée jusqu'à 150°C
- Stabilité du film diélectrique qui doit être en mesure de supporter une température de 420°C pendant 5 minutes pour permettre la soudure eutectique de la puce dans son boîtier.

Nous avons travaillé, dans un premier temps, sur l'intégration de l'inductance parallèle du réseau de préadaptation de l'impédance de sortie d'un transistor LDMOS. Cette inductance est constituée d'un réseau de selfs réciproques, distribuées et intégrées sur une surface de 1 mm x 4 mm (Figure II - 11). Une fois les performances visées pour le transistor atteintes, dans une deuxième phase, le processus d'intégration a été étendu au remplacement de la totalité des fils micro-soudées d'entrée et de sortie par des inductances intégrées.

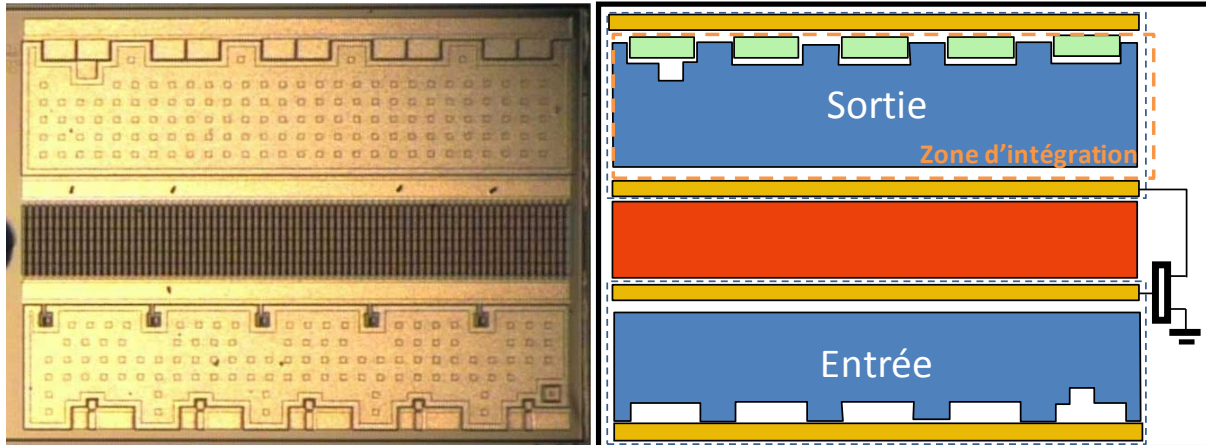


Figure II - 11 : Schéma du transistor de puissance LDMOS 50 W

Le procédé de fabrication des selfs doit être industrialisable, faible coût, robuste et permettre de traiter un grand nombre de puces simultanément. Afin de pouvoir définir une technologie qui convienne à notre projet, nous avons effectué au préalable une étude bibliographique sur les techniques de fabrication d'inductances à fort coefficient de qualité existantes, que nous présentons dans le paragraphe suivant.

## II.4 Etat de l'art

Au cours des dernières années, de nombreuses études ont été menées afin d'améliorer le facteur de qualité des inductances, compte tenu notamment de l'essor des technologies silicium. Ces recherches se sont portées sur deux grands axes. Le premier consiste à améliorer la structure physique de l'inductance en optimisant sa topologie, celle de son plan de masse ainsi que la nature du substrat. Les principes sur lesquels repose cette optimisation ont été présentés au début de ce chapitre et nous ne reviendrons donc pas ici. Le second axe consiste à développer de nouveaux procédés technologiques pour réaliser des structures inductives tridimensionnelles dont l'objectif est d'augmenter la valeur de l'inductance par unité de longueur ainsi que le facteur de qualité. C'est donc sur ce second axe que porte l'état de l'art (non exhaustif) présenté dans ce qui suit. Nous montrons les dernières avancées trouvées dans la littérature et nous exposons les résultats les plus marquants. Ces travaux ont été regroupés selon la technologie ou la technique de fabrication des inductances afin d'autoriser leur comparaison en termes de performances et de degré de complexité de mise en œuvre.

Ces technologies sont les suivantes :

- Micro-usinage (Micromachining)
- Low Temperature Co-Fired Ceramic (LTCC)
- Laminated Multi-Chip Module (MCM-L)
- Above-IC

La technique de micro-usinage consiste à déposer des inductances planaires (Figure II - 12a) ou tridimensionnelles par-dessus un substrat de silicium. Une inductance étant souvent déposées par-dessus d'une fine couche d'oxyde ou de polymère, les pertes qu'elle présente sont relativement fortes en raison du fort couplage avec le substrat de silicium qui présente souvent une faible résistivité. Les effets du couplage ainsi que celui de la résistivité seront expliqués en détails dans le chapitre III. Afin de diminuer ce couplage, des techniques avancées ont été utilisées pour éloigner l'inductance du substrat. Une de ces techniques consiste à exploiter les contraintes mécaniques d'une couche afin de former des inductances tridimensionnelles dans l'air tel les travaux présentés dans [11] et [12]. Le premier travail consiste à modifier la pression dans la chambre d'évaporation au cours du dépôt métallique afin de stresser la couche qui est en mesure alors, après libération, de former la structure présentée dans la Figure II - 12b. La deuxième étude de ce type consiste à déposer une couche ferromagnétique par-dessus l'inductance et de l'exciter par un champ magnétique afin de faire lever la structure (Figure II - 12c). De ces deux techniques résultent des inductances intégrées présentant des facteurs de qualités intéressants, mais leur degré de complexité rendent préférables des alternatives plus simples à mettre en œuvre comme la fabrication d'inductances partiellement ou entièrement suspendues. Le principe des structures suspendues consiste à déposer l'inductance au-dessus d'une couche d'oxyde ou de résine sacrificielle qui sera gravée par la suite pour libérer la métallisation [13]-[17]. La Figure II - 12d montre une inductance entièrement suspendue tandis que les Figure II - 12e et Figure II - 12f montrent des inductances toroïdales quasi-suspendues (une partie de la métallisation repose toujours sur le substrat). Ces structures présentent une inductance par unité de longueur plus élevée que pour une structure non suspendue mais les valeurs du facteur de qualité restent modérées à cause des faibles épaisseurs de métallisations. Ces valeurs peuvent être améliorées d'avantage [18] en utilisant une structure suspendue multi-niveau (Figure II - 12g) qui tire bénéfice du couplage positif entre les niveaux de métal pour augmenter la valeur de l'inductance et du facteur de qualité. Alors que la structure simple niveau affiche un coefficient de surtension  $Q=20$  @1 GHz pour une inductance  $L=3,73$  nH, la structure double niveau est ainsi en mesure d'aboutir à  $Q=27,7$  @1 GHz pour une inductance  $L=8,34$  nH.

D'autres techniques de réalisation d'inductances suspendues consistent à fabriquer l'inductance sur un support, la reporter sur la puce par la technique Flip-Chip puis à graver le support [19] (Figure II - 12h), ou bien à graver le silicium au-dessous de l'inductance pour créer une cavité concave [20] (Figure II - 12i).

Les caractéristiques de toutes ces réalisations sont résumées sur la Figure II - 16. Certaines de ces différentes techniques de micro-usinage permettent d'aboutir à des performances attirantes, surtout en termes de facteur de qualité  $Q$  maximal. Cependant, la grande complexité des procédés

technologiques mis en œuvre les rend difficilement industrialisables, ce qui limite donc leur intérêt pour notre étude.

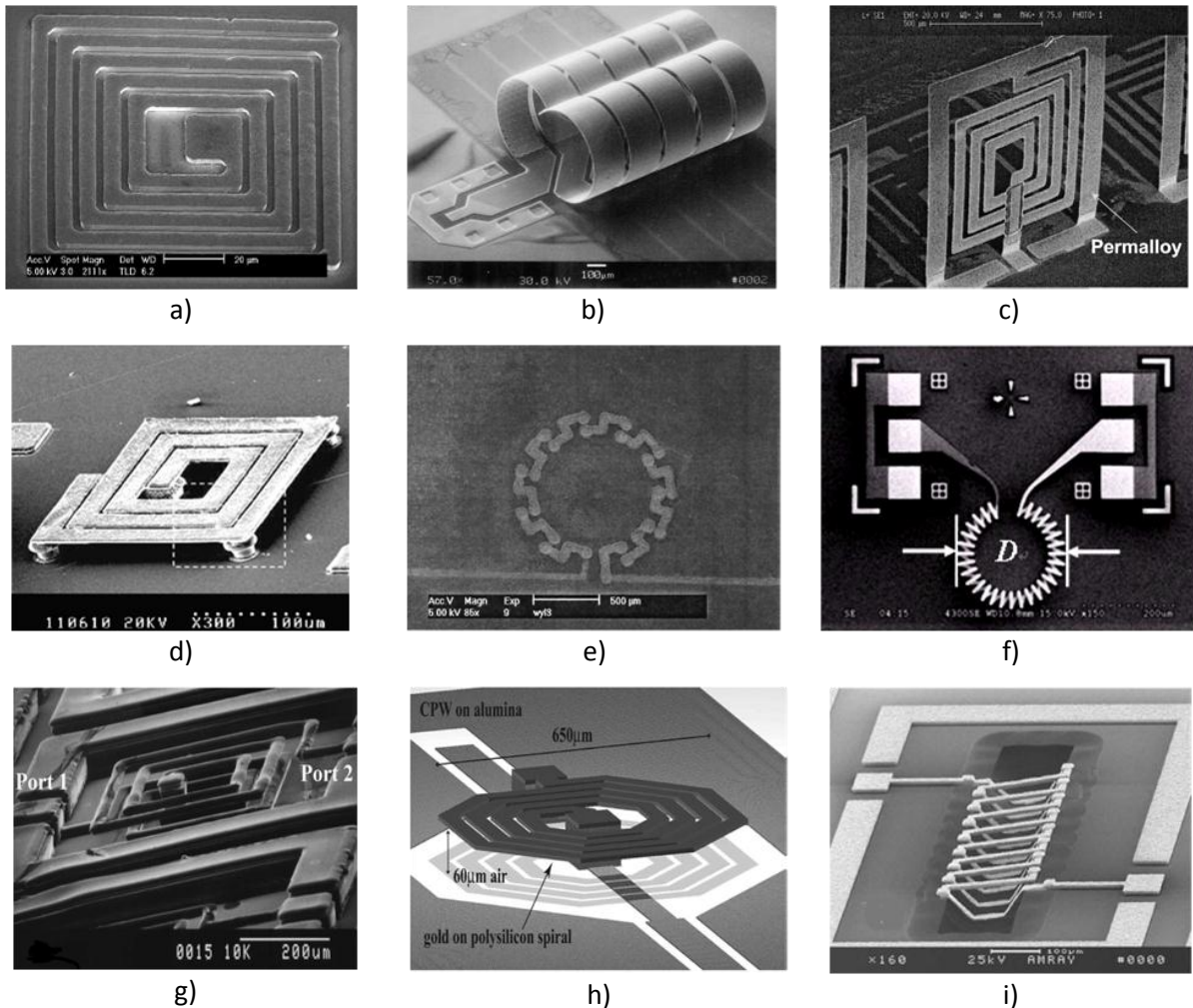


Figure II - 12 : Micrographies d'inductances micro-usinées

La technique LTCC consiste à empiler plusieurs couches de céramique sur chacune desquelles les motifs conducteurs et les éléments passifs sont déposés par divers procédés (couche mince, sérigraphie, ...). Par la suite, cet empilement est recuit afin de réaliser un joint mécanique et électrique entre les différentes couches. Cette technique permet de réaliser des inductances formées par la connexion de plusieurs niveaux métalliques connectés par des vias (Figure II - 13).

Les inductances réalisées par cette technologie [21]-[22] présentent des résultats impressionnants en termes de facteurs de qualités (Figure II - 16), en raison principalement des larges sections de métallisation utilisées ainsi que des faibles pertes du substrat en céramique. Cependant, cette technologie nécessite un recuit des différentes couches à une température relativement élevée (~1000°C) ce qui la rend incompatible avec une intégration sur les substrats accueillant les composants actifs.

La technologie MCM-L est une bonne alternative à la technologie LTCC puisqu'elle utilise un matériau diélectrique à base d'époxy (ex : N4000-13 ou FR-4) à la place de la céramique. L'avantage de cette technologie réside dans sa faible température de recuit comparé à celle de la technique

LTCC. Les inductances réalisées par cette technologie [23]-[25] présentent d'excellents résultats en termes de facteur de qualité (Figure II - 16). Cependant, comme dans le cas du LTCC, ceci est principalement lié aux fortes sections de métallisations et épaisseur de diélectrique (1 mm) (Figure II - 14).

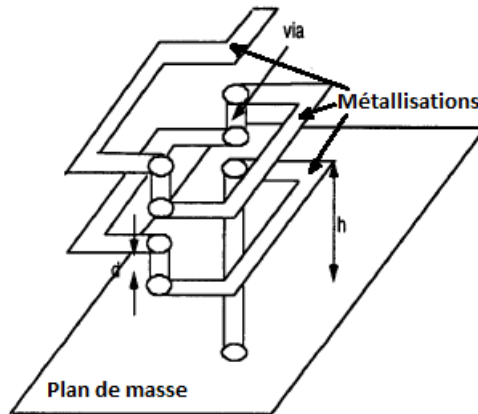


Figure II - 13 : Réalisation d'une inductance en utilisant le procédé LTCC

Ces deux techniques ne présentent que peu d'intérêt pour notre application puisqu'elles ne permettent pas de déposer directement les inductances au-dessus des puces actives sans passer par des techniques de report de puces. Ceci rajoute des étapes supplémentaires qui ont un coût élevé et qui augmentent le temps de manipulation des puces.

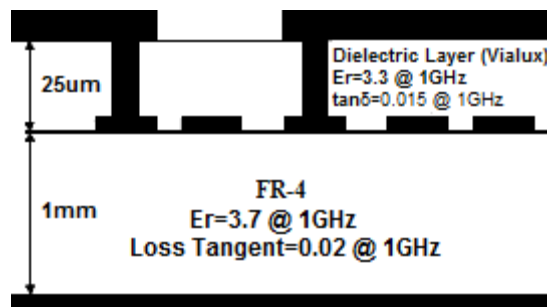


Figure II - 14 : Vue en coupe d'une inductance MCM-L

Un procédé Above-IC consiste à déposer les inductances au-dessus d'une couche de résine diélectrique permanente étalée sur toute la surface du wafer et structurée par des techniques de lithographie. Souvent, cette résine est un polymère à base de polyimide, BCB (Benzocyclobutene) ou époxy (comme la résine SU8). L'utilisation de ce type de résine permet de déposer une couche de diélectrique relativement épaisse qui éloigne d'avantage l'inductance du substrat et permettant ainsi d'améliorer le facteur de qualité. La Figure II - 15 montre les étapes technologiques illustrant la réalisation d'une inductance par la technologie Above-IC [26].

Les résultats relevés dans [26]-[31] sont encourageants (Figure II - 16) surtout que cette technique est applicable sur nos composants et qu'elle est relativement simple à mettre en œuvre comparé aux précédentes. De plus, il y a moyen d'optimiser davantage les performances en modifiant les dimensions physiques des inductances intégrées (section du métal, forme de la structure, plan de masse, ...) ainsi que l'épaisseur de la couche de résine diélectrique. C'est donc vers ce type de technologie que nous avons orienté notre étude.



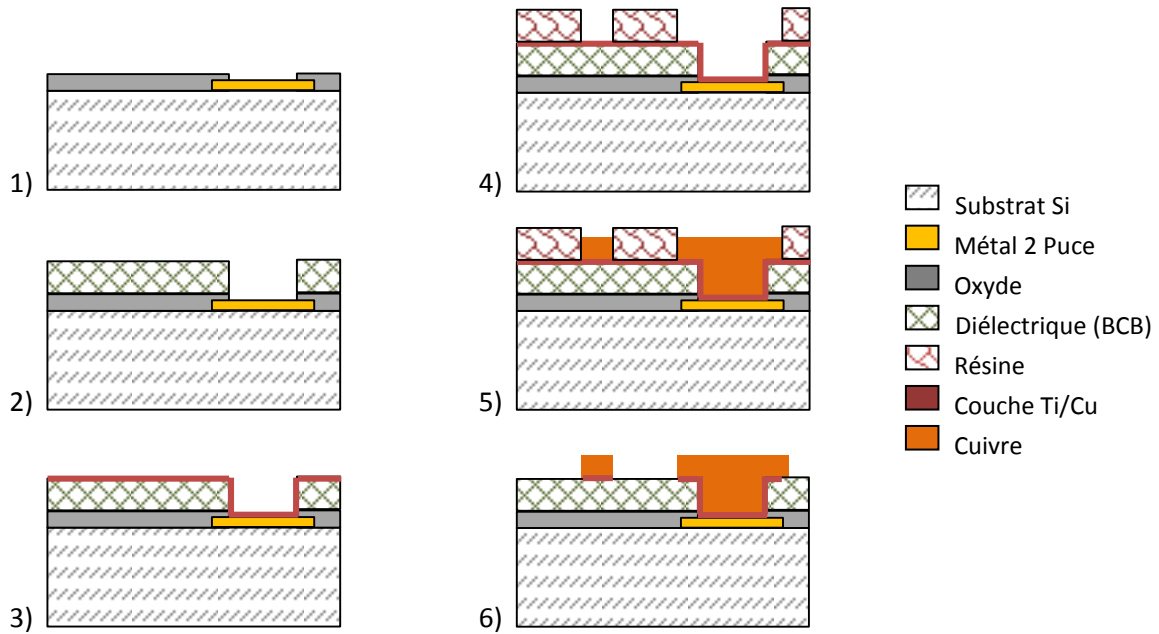


Figure II - 15 : Etapes technologiques de fabrication d'une inductance par une technologie Above-IC

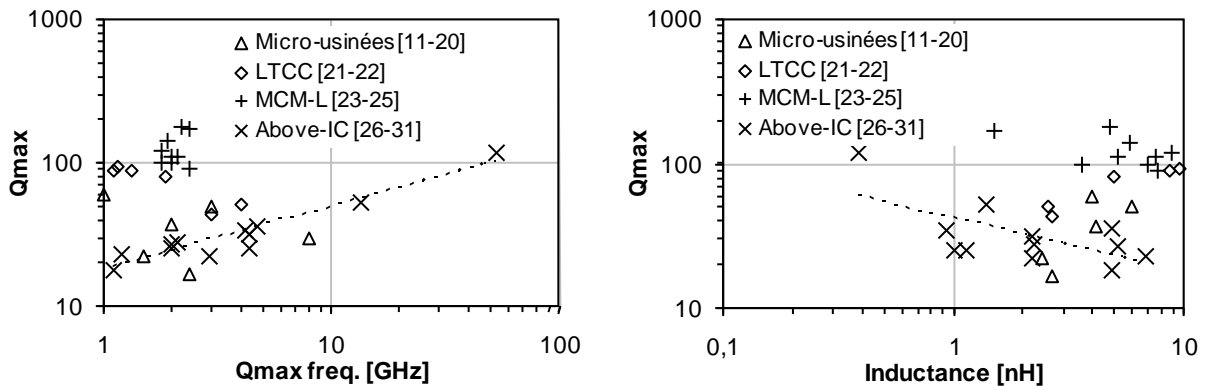


Figure II - 16 : Etat de l'art sur les inductances intégrées

Le choix de la résine ainsi que l'optimisation des inductances qui seront intégrées par-dessus les puces de puissance par la technologie Above-IC feront l'objet du chapitre suivant. Cependant, pour mener à bien tous les dimensionnements nécessaires, nous avons utilisé des outils de Conception Assistée par Ordinateur (CAO) capables de simuler le comportement physique des circuits passifs. Dans le paragraphe suivant, nous allons brièvement commenter le choix du simulateur électromagnétique HFSS, et traiter de quelques problèmes spécifiques tels que les effets des ports d'excitation sur les performances de la structure ainsi que des phénomènes non pris en compte par le simulateur et qu'il conviendra de corriger.

## II.5 Simulations Electromagnétiques sous HFSS

Les logiciels CAO classiques, tels ADS (Advanced Design System) commercialisé par la société Agilent, basés sur des simulations électriques, utilisent des modèles mathématiques empiriques pour décrire le comportement électrique des différents composants d'un circuit. Cette technique permet d'effectuer les simulations rapidement. Cependant, les modèles utilisés sont souvent limités à des

topologies classiques et relativement simples. Lorsqu'un composant atteint un certain degré de complexité, d'originalité ou s'il y a présence d'interactions électromagnétiques (couplages) entre les différents éléments du circuit il n'est généralement plus possible de disposer des modèles nécessaires. Dans ce cas, il convient alors de faire appel à des logiciels de simulations électromagnétiques. Ces derniers utilisent des méthodes de calcul numérique qui permettent de résoudre les équations de Maxwell pour déterminer la propagation du champ électromagnétique dans l'ensemble de la structure ou du circuit. Les résultats sont donnés sous forme de paramètres-S. Ces paramètres-S pourront éventuellement par la suite être utilisées pour la réalisation de simulations électriques, ce qui permettra d'accélérer la conception du circuit.

Nous disposons de plusieurs logiciels de simulations électromagnétiques dans notre laboratoire qui sont Agilent Momentum, Sonnet et Ansoft HFSS. Les deux premiers sont des simulateurs planaires 2,5D employant la méthode des moments. Ils permettent l'étude de petites structures de façon très rapide mais ne sont pas en mesure de tenir compte des couplages qui peuvent survenir entre deux niveaux. HFSS est un simulateur 3D basé sur le principe des éléments finis capable de résoudre les équations de Maxwell dans un volume donné. Les simulateurs 2,5D ne pouvaient pas répondre aux exigences de nos simulations électromagnétiques puisque nos structures étaient tridimensionnelles. Nous avons donc choisi d'utiliser HFSS pour mener à bien nos travaux. Cependant, comme pour tout autre logiciel, son emploi nécessite plusieurs précautions afin d'obtenir des résultats de simulation conformes aux performances réelles.

Le paragraphe suivant décrit l'effet des accès d'excitation (ports) sur les résultats des simulations EM. De même, il met en évidence la non prise en charge de la résistance continue  $R_{dc}$  des métallisations par le simulateur, problème pour lequel nous proposons une solution appropriée pour corriger le résultat.

### **II.5.1 Effets du choix et du dimensionnement des ports sur les résultats**

Comme pour tous les logiciels de simulations, les logiciels électromagnétiques nécessitent de définir des ports afin d'appliquer les signaux d'excitation et de récupérer les signaux résultants. Alors que ces accès ont une influence limitée dans le cas des simulateurs électriques (seule la valeur d'impédance importe), la définition des ports pour une simulation électromagnétique est un travail délicat et qu'il convient de soigner. Une mauvaise définition peut donner lieu à des résultats non-conformes à la réalité.

Le logiciel HFSS utilise deux types de ports et qui sont :

- Les Wave ports : ce sont des ports externes définis sur les faces du boîtier délimitant la structure à simuler (Figure II- 17a). Par défaut, l'interface entre tout objet 3D et l'environnement extérieur au boîtier (souvent l'air) est un court-circuit électrique (Perfect E) pour lequel aucune énergie ne peut entrer ou sortir. Les Wave ports sont typiquement installés sur cette interface afin de créer une fenêtre couplant le circuit au monde extérieur. Ils permettent l'excitation du circuit par un ou plusieurs modes de propagation. Ils peuvent aussi être définis comme des terminaux afin de simuler une excitation réelle. Les dimensions de ces ports sont très importantes puisqu'une petite

fenêtre risque de ne pas pouvoir exciter le circuit avec le bon niveau de signal, tandis qu'une grande fenêtre risque de laisser propager des modes qui n'existent pas dans la réalité. Un guide de conception est fourni pour le logiciel qui permet de calculer les dimensions de ces ports en fonction des dimensions de la structure à simuler.

- Les Lumped ports : ce sont des ports internes (Figure II - 17b) qui possèdent une impédance définie par l'utilisateur. Par défaut, ils sont définis entre deux métallisations (signal et plan de masse). La définition de leurs dimensions n'est pas aussi compliquée que celle des Wave ports, mais nous allons voir que ces ports ajoutent des éléments parasites de nature capacitive et/ou inductive.

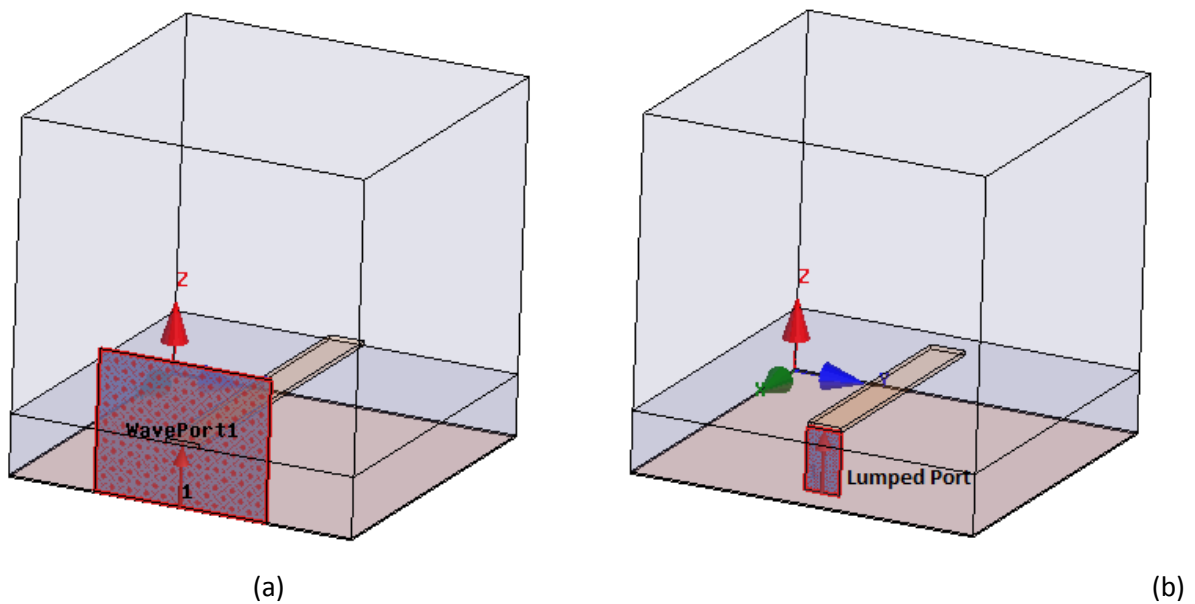


Figure II - 17 : Définition des ports d'excitation sous HFSS. a) Wave port. b) Lumped port.

Afin d'analyser les effets de ces ports, nous avons mesuré une ligne de transmission coplanaire puis nous l'avons simulée pour comparer les résultats.

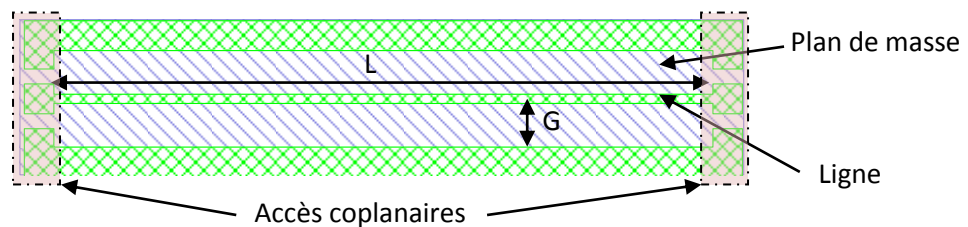


Figure II - 18 : Description de la ligne coplanaire utilisée au cours de cette étude

### II.5.1.a Simulations électriques

Dans un premier temps, la structure étant simple, nous avons utilisé le simulateur électrique ADS de Agilent. Nous avons décrit la ligne mesurée par des segments d'éléments localisés afin de simuler les conditions réelles de la mesure (position des pointes, accès coplanaires ...) (Figure II - 19).

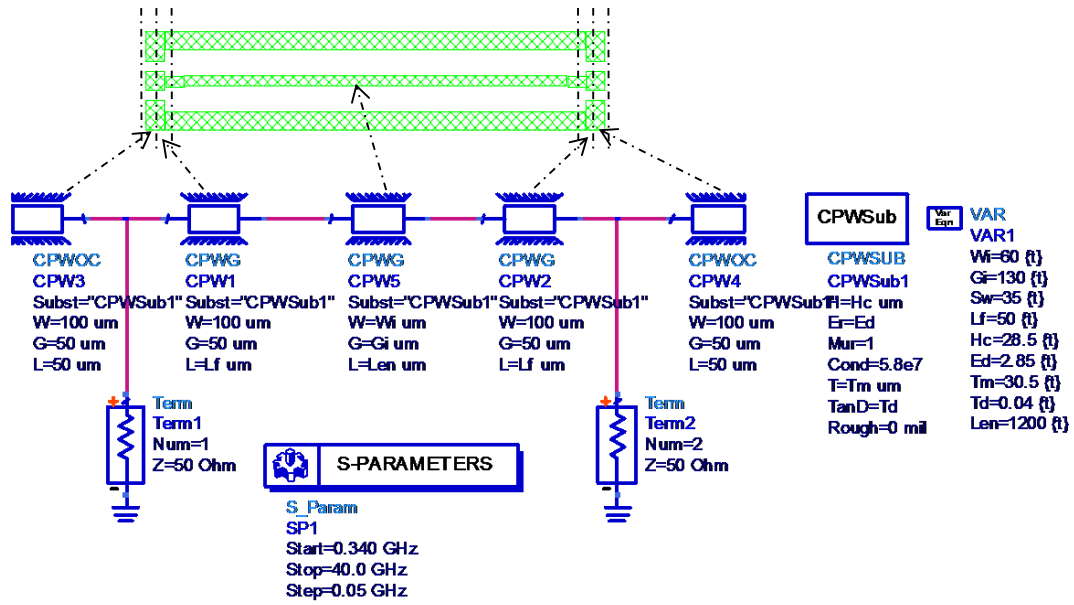


Figure II - 19 : Description d'une ligne coplanaire par des tronçons de lignes pour prendre en compte la position des pointes de mesure

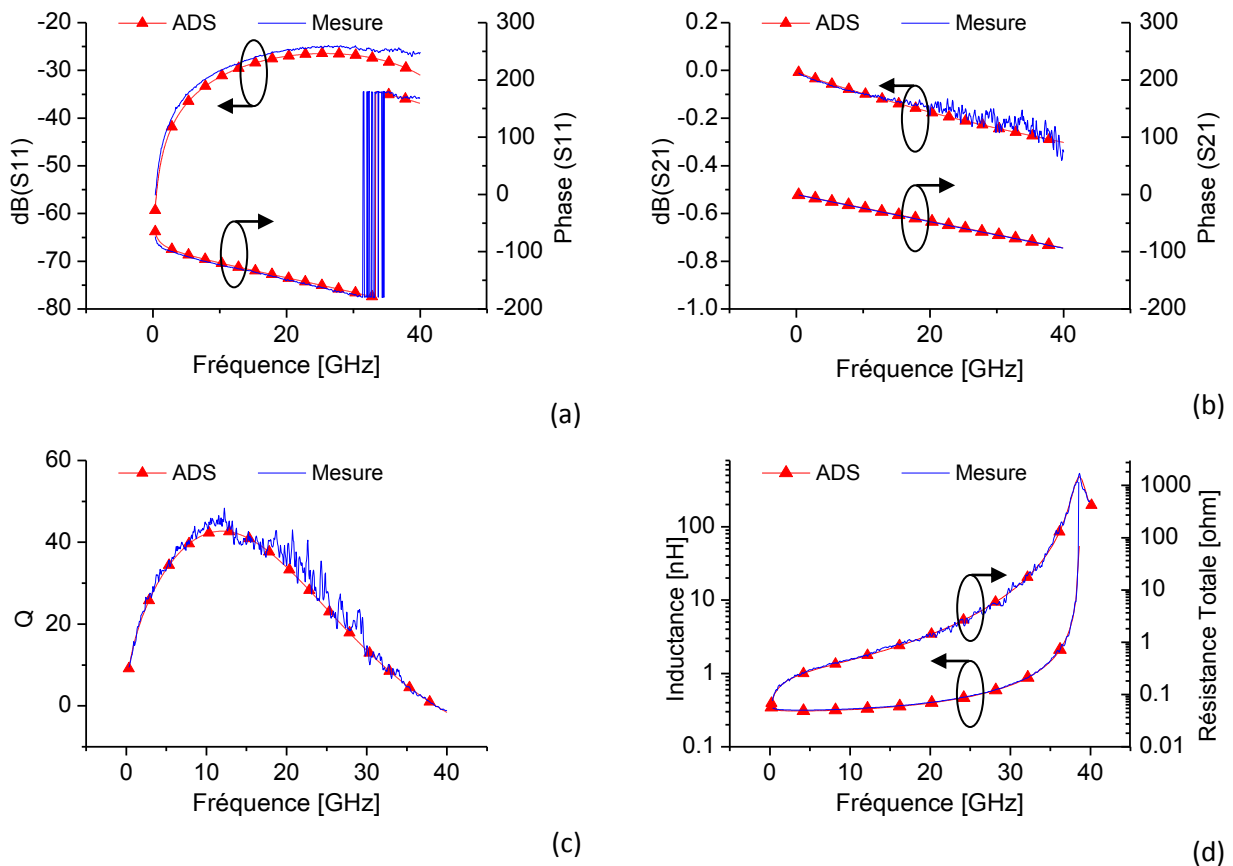


Figure II - 20 : Comparaisons mesures / simulations de : (a) Coefficient de réflexion. (b) coefficient de transmission. (c) Facteur de qualité. (d) Inductance et résistance totale pour une ligne coplanaire

La Figure II - 20 montre une excellente concordance entre les mesures et les simulations sur les paramètres-S (Figure II - 20b et b), mais aussi sur le facteur de qualité ainsi que sur la valeur de l'inductance et sa fréquence de résonance (Figure II - 20c et d). Ce dernier paramètre est très

important puisqu'il montre que les dimensions physiques ainsi que les propriétés des matériaux définies dans le simulateur correspondent à celles de la structure physique. Ceci démontre aussi la capacité des modèles électriques des lignes coplanaires à rendre compte à la fois des pertes métalliques et des pertes diélectriques, ainsi que, finalement, la qualité des mesures.

Dans un deuxième temps, cette même ligne a été simulée en utilisant le logiciel HFSS. Le modèle a été reconstruit et simulé avec des Wave ports et des Lumped ports. Pour plus de clarté et pour diminuer l'encombrement, nous ne rapportons que les courbes du facteur de qualité, de l'inductance ainsi que de la résistance totale calculées à partir des paramètres-S.

### II.5.1.b Wave ports

La Figure II - 21a montre la structure simulée avec des Wave ports connectés sur des accès coplanaires CPWG (Coplanar Wave-Guide) similaires à ceux de la structure réelle. Un plan de symétrie a été utilisé pour alléger les simulations. Nous remarquons que, même en utilisant les recommandations sur les dimensions des Wave ports, les résultats des simulations s'écartent un peu des mesures. Pour le facteur de qualité (Figure II - 21b), une sous-estimation des pertes est remarquée aux fréquences inférieures à 20GHz. Ce résultat indique une mauvaise prise en charge des pertes métalliques dans le circuit. Nous détaillerons dans le paragraphe suivant (cf. II.5.2).

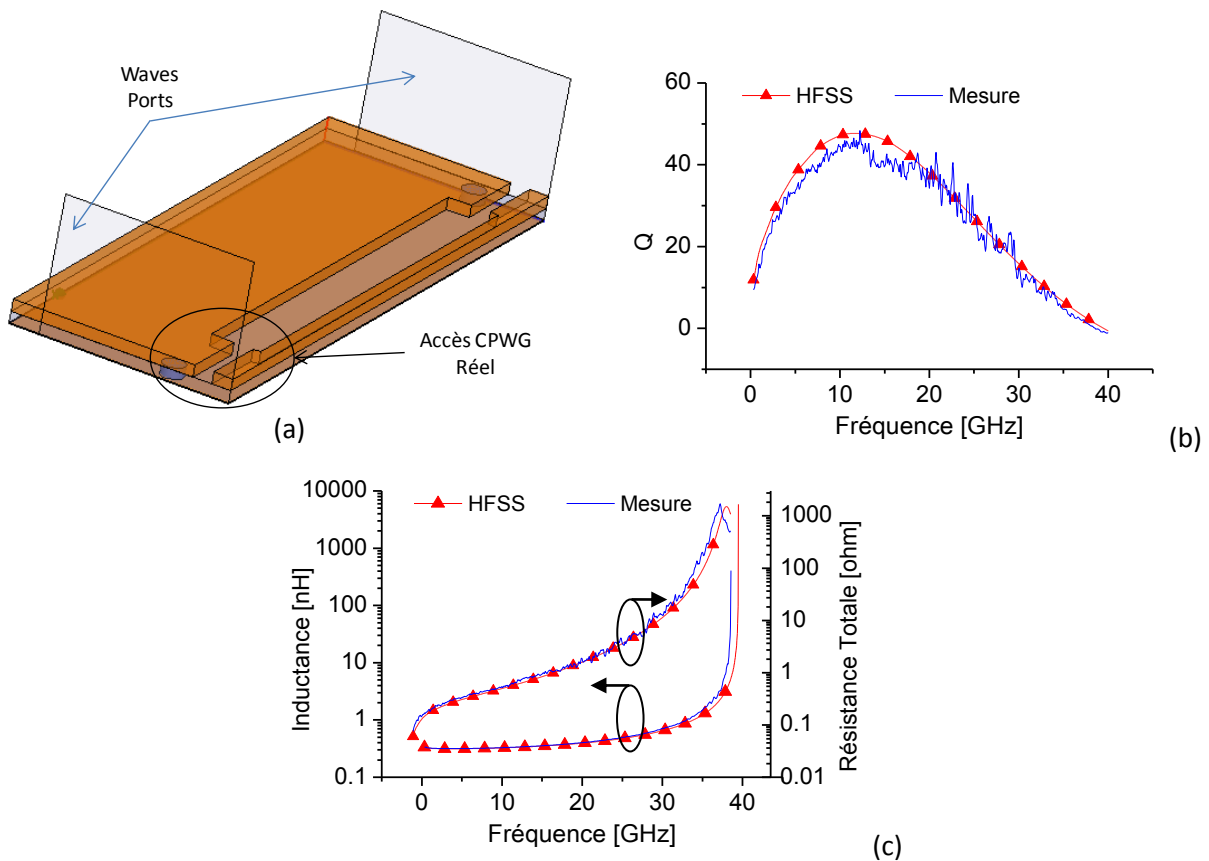


Figure II - 21 : Comparaison mesures / simulations (a) Structure simulée. (b) Facteur de qualité. (c) Inductance et résistance totale.

Nous remarquons aussi, sur la Figure II - 21c, que la fréquence de résonance de la ligne simulée (inductance) est plus élevée. Ce phénomène est souvent lié à des longueurs de lignes différentes, ce

qui n'est pas le cas puisque nous avons pris soin à ce que les structures simulées et mesurées possèdent les mêmes dimensions physiques. Après investigations, il s'avère que HFSS calcule l'impédance caractéristique de la ligne (accès CPWG) en contact avec le Wave port auquel il attribue cette valeur souvent différente de  $50 \Omega$ . Compte tenu des conditions de mesures, réalisées à l'aide de pointes CPW calibrées sur  $50 \Omega$ , l'excitation des lignes n'est donc plus la même en simulations et en mesures ce qui détériore l'accord pour les coefficients de réflexion et de transmission.

Pour résoudre ce problème, il convient de rajouter, en série avec le circuit à simuler, un tronçon de ligne ayant une impédance caractéristique de  $50 \Omega$ . Par la suite, ce tronçon sera épluché (deembedded) pour obtenir les paramètres-S du circuit réel. De cette manière, nous garantissons un comportement identique à celui de la mesure.

La Figure II - 22a montre la structure simulée avec le tronçon de ligne rajouté. Sur la Figure II - 22b présentant les variations du facteur de qualité en fonction de la fréquence, nous constatons un meilleur accord entre la simulation et la mesure pour la plage de fréquence comprise entre 20 et 40 GHz. Il en est de même pour la fréquence de résonance de la ligne et sa résistance totale (Figure II - 22c).

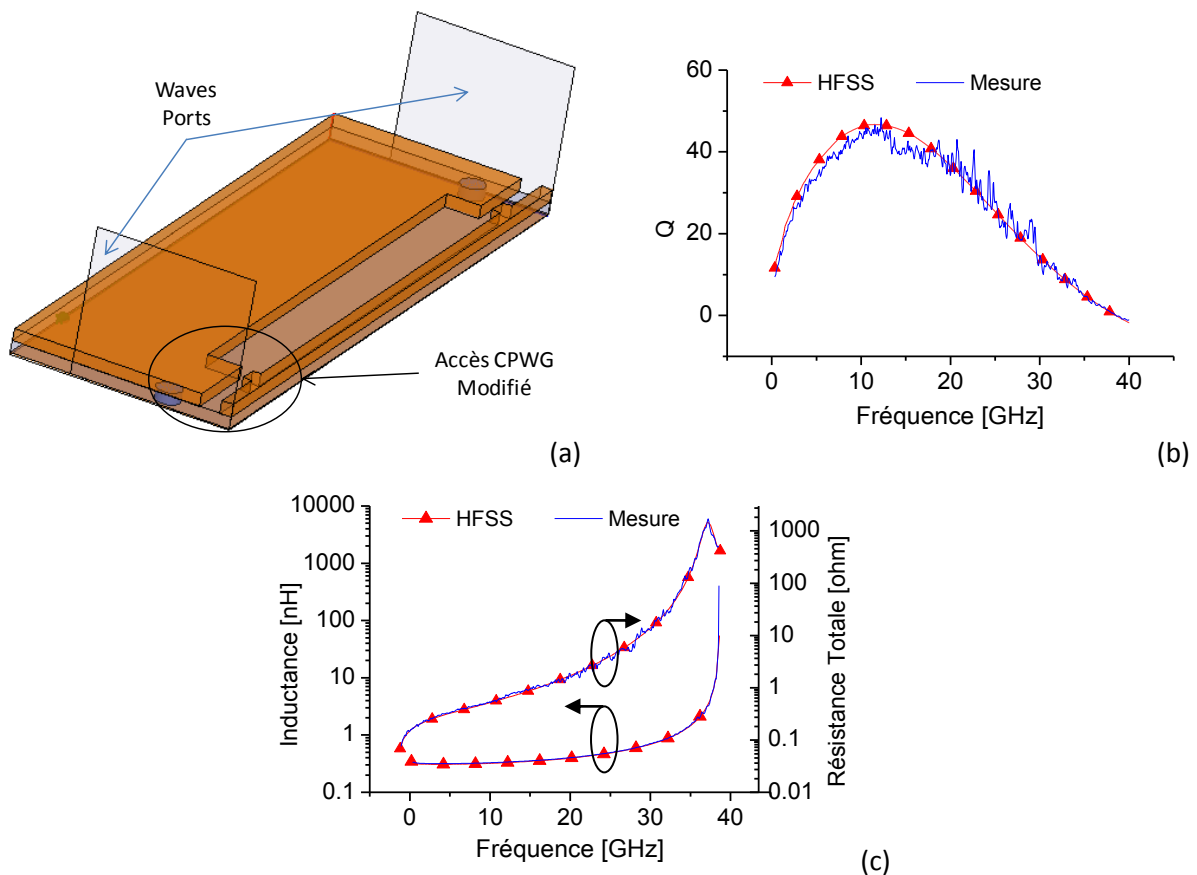


Figure II - 22 : Comparaison mesures / simulations. (a) Structure simulée avec un tronçon de ligne  $50 \Omega$ . (b) Facteur de qualité. (c) Inductance et résistance totale.

### II.5.1.c Lumped ports

Cette fois, nous simulons la structure avec des Lumped ports comme décrit sur la Figure II - 23a. Ici encore, nous relevons un désaccord entre les résultats de simulations et de mesures. Nous avons pris

soin cependant de définir à  $50 \Omega$  l'impédance caractéristique des Lumped ports (Figure II - 23b et c). Après analyse, il apparaît que les Lumped ports sont traités comme des lignes de transmission rajoutées en série avec la structure, ce qui augmente la longueur de cette dernière. Cette augmentation de longueur se traduit par des valeurs simulées d'inductance et de fréquence de résonance respectivement plus élevée et plus basse que celles obtenues par la mesure (Figure II - 23c).

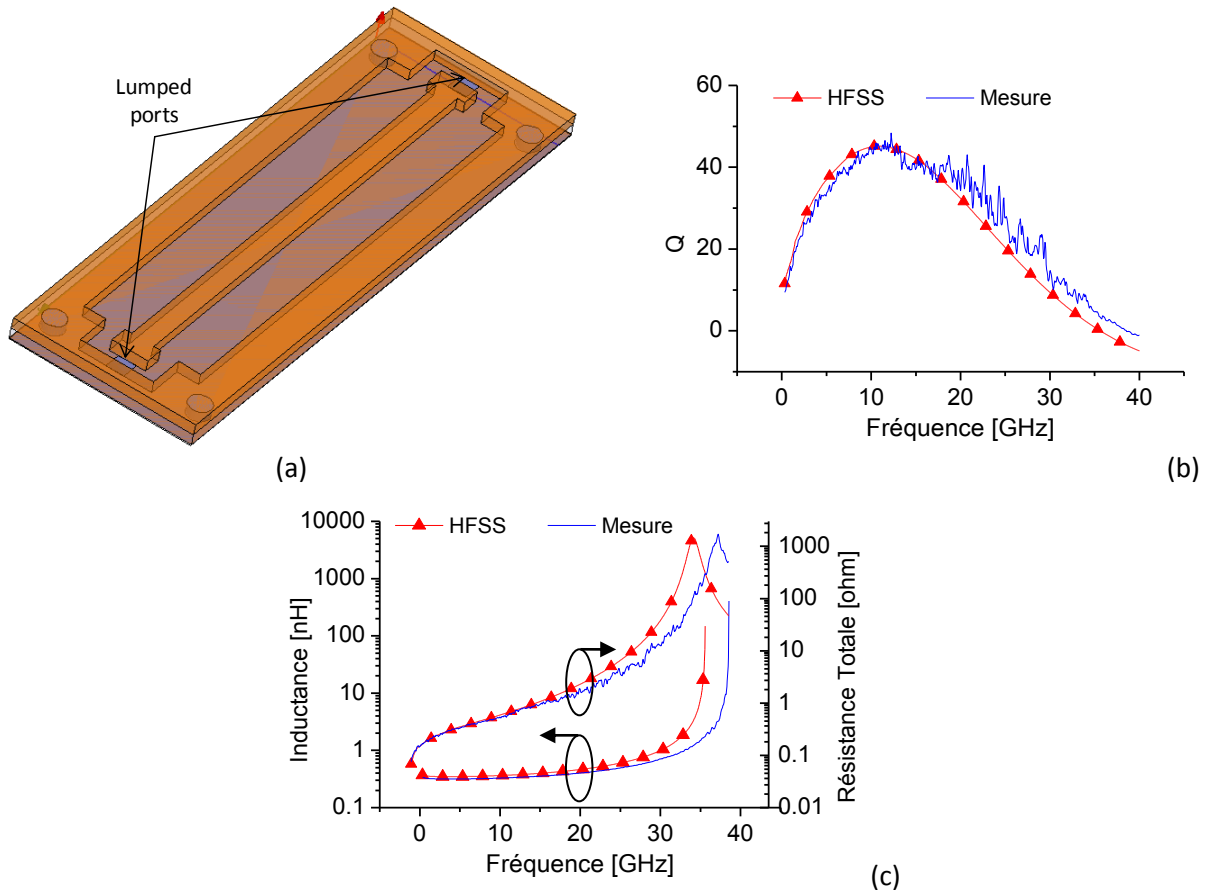


Figure II - 23 : Comparatif entre mesure et simulation typique avec des Lumped ports. (a) Structure simulée. (b) Facteur de qualité (c) Inductance et résistance totale

Plusieurs solutions sont en mesure de réduire, voire d'éliminer ce phénomène :

1. Diminution de la longueur des ports : ceci réduit l'effet des ports mais risque d'entraîner un niveau du signal d'excitation insuffisant.
2. Utilisation de techniques d'épluchage des accès (deembedding) : en rajoutant à la structure des tronçons de lignes qui seront épluchés à l'aide de simulations de structures Short-Open, il est possible d'éliminer l'effet des ports. Cependant cette technique peut s'accompagner de problèmes nouveaux liés à la conception difficile des structures Short-Open.
3. Diminution de la longueur de la ligne simulée : cette diminution, égale à la somme des longueurs des ports, est possible dans le cas où les discontinuités présentes dans la structure sont suffisamment éloignées des accès. Il faut aussi que le port et la ligne de transmission possèdent la même largeur. En utilisant cette technique, nous avons obtenu

des résultats satisfaisants (Figure II - 24) en ce qui concerne la valeur d'inductance et de fréquence de résonance.

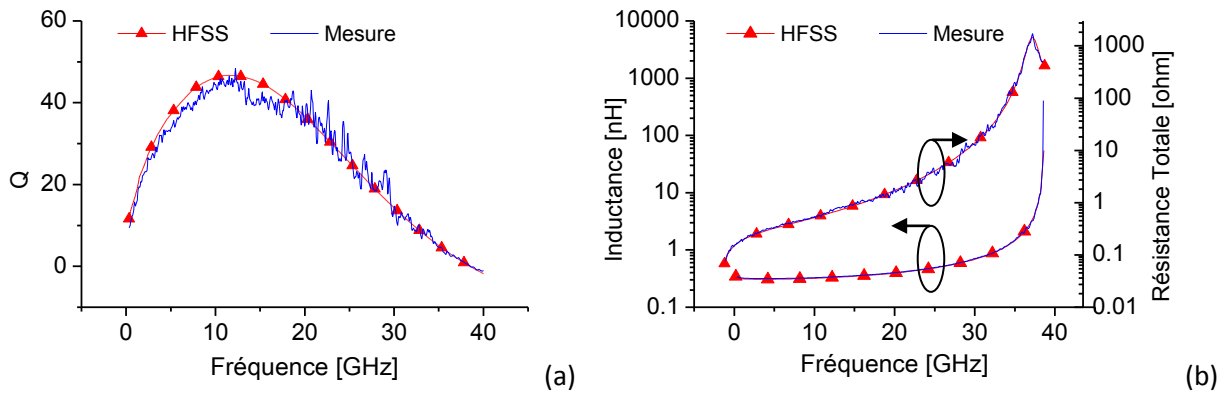


Figure II - 24 : Comparatif entre mesure et simulation après application du correctif

### II.5.2 Prise en compte des pertes résistives

Comme nous l'avons fait remarquer dans le paragraphe précédent, les simulations, qu'elles soient réalisées avec des Lumped ou des Waves ports, ont montré un facteur de qualité surestimé pour des fréquences inférieures à 20 GHz. Cette surestimation risque d'engendrer des difficultés de conception pour certains types d'applications. Cela est par exemple le cas pour notre étude qui vise la conception et la réalisation d'inductances fortement surtendues pour un circuit de préadaptation d'un transistor de puissance.

En analysant les résultats obtenus, nous nous sommes rendu compte que le simulateur ne prend pas en compte toutes les pertes d'origines métalliques dans le circuit. Nous avons trouvé que la résistance série aux courants continus (résistance DC) des métallisations n'est pas considérée correctement dans le calcul des paramètres-S. De plus, en utilisant l'option "DC thickness" présente dans HFSS les pertes résistives du circuit sont alors surestimées.

La solution à ce problème que nous avons mise en place consiste à calculer analytiquement la résistance DC série du composant passif considéré. Ceci est fait en utilisant la formule suivante :

$$R_{dc} = \rho \frac{l}{s} \quad (II.20)$$

Avec  $\rho$  la résistivité du métal,  $l$  la longueur de la ligne et  $s$  la section du métal.

Une fois la valeur de cette résistance calculée, il est possible de l'ajouter à la résistance totale  $R_t$ , donnée par l'équation (II.19), pour corriger le facteur de qualité  $Q$  simulé. L'autre méthode consiste à calculer les paramètres-S de cette résistance par (II.21) et de considérer sa mise en cascade avec la structure simulée sous HFSS, à l'aide du formalisme des matrices de transmission [T]. La conversion des paramètres-S vers les paramètres-T se fait en utilisant l'équation (II.22). Pour la mise en cascade, il suffit de multiplier les matrices [T] obtenues (II.23). En reconvertissant en paramètres-S (II.24) le résultat, il est alors possible d'obtenir les caractéristiques de la structure qui tiennent compte de la résistance DC des métallisations.



$$S_{R_{dc}} = \frac{1}{R_{dc} + 2} \cdot \begin{bmatrix} R_{dc} & 2 \\ 2 & R_{dc} \end{bmatrix} \quad (II.21)$$

$$T = \frac{1}{S_{21}} \cdot \begin{bmatrix} -(S_{11}S_{22} - S_{21}S_{12}) & S_{11} \\ -S_{22} & 1 \end{bmatrix} \quad (II.22)$$

$$T_{corr} = T_{R_{dc}} \times T_{simulé} \quad (II.23)$$

$$S = \frac{1}{T_{22}} \cdot \begin{bmatrix} T_{12} & T_{11}T_{22} - T_{21}T_{12} \\ 1 & -T_{21} \end{bmatrix} \quad (II.24)$$

En utilisant cette technique, nous avons corrigé les erreurs de simulations sous HFSS pour une ligne coplanaire de 1mm de long possédant une section de métal de 5 x 60 μm<sup>2</sup>. La Figure II - 25 montre une comparaison entre les facteurs de qualité mesurés et simulés (sous HFSS) en utilisant plusieurs configurations. Ce graphe met en évidence qu'une simulation avec l'option « DC Thickness » surestime les pertes métalliques tandis qu'une simulation normale les sous-estime. En outre, on voit qu'après la prise en compte des pertes métalliques, les facteurs de qualité mesurés et simulés sont en parfait accord.

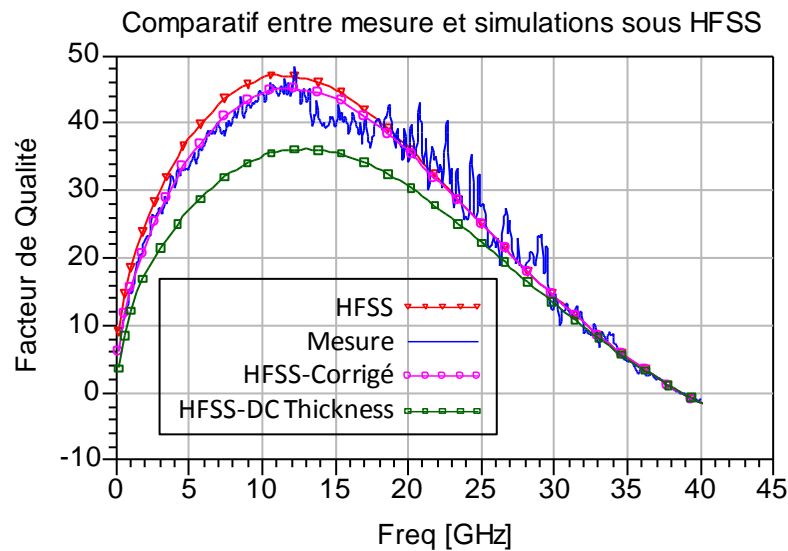


Figure II - 25 : Comparaison des variations du facteur de qualité mesuré et simulé d'une ligne coplanaire obtenues avec HFSS et dans diverses conditions

## II.6 Conclusion

Dans ce chapitre, nous avons introduit les inductances intégrées utilisées dans des applications électroniques RF et microondes.

Les différents mécanismes à l'origine des pertes dans les inductances ont été identifiés puis décrits, et pour chacun d'eux nous avons proposé un modèle sous forme de circuit électrique équivalent. Par la suite, le facteur de qualité Q, qui est le critère d'évaluation des performances des

selfs, a été introduit ainsi que les diverses expressions analytiques permettant son calcul. Ces expressions ont été comparées et les conditions d'utilisation de chacune décrites.

Après avoir défini le cahier des charges pour le projet faisant l'objet de notre thèse, une étude bibliographique sur les techniques de fabrication d'inductances à fort coefficient de qualité a été présentée. Nous avons traité des techniques de micro-usinage présentant des valeurs du facteur de qualité améliorées mais qui souffrent le plus souvent d'une grande complexité de fabrication. En outre, les inductances fabriquées à l'aide des technologies LTCC et MCM-L présentent des facteurs de qualité à l'état de l'art en raison des fortes sections des métallisations, de diélectriques de bonnes caractéristiques ainsi que d'épaisseurs relativement élevées (~1 mm). Cependant, ces procédés ne peuvent pas être mis en œuvre directement sur des composants actifs puisqu'ils nécessitent un recuit à température élevée. Les techniques de report de puces pour réaliser l'interconnexion entre l'inductance et la puce limitent donc un peu leur intérêt. Notre choix se porte donc sur les technologies Above-IC car elles permettent, finalement, des améliorations du coefficient de qualité des inductances tout en présentant un degré de complexité faible comparé aux techniques précédentes. De plus, des développements supplémentaires nous semblent en mesure d'améliorer les facteurs de qualité dans de plus larges proportions, ce que nous décrirons dans la suite du manuscrit.

Enfin, nous avons motivé le choix du logiciel de simulation électromagnétique HFSS pour l'optimisation des structures inductives. Nous avons aussi décrit le calibrage du logiciel pour s'affranchir de l'effet des ports d'excitation sur les résultats de simulation de la structure, et nous avons proposé des solutions pour que la résistance continue des structures métalliques soit correctement prise en compte. Le bienfondé de ces propositions est démontré à l'aide d'une ligne d'interconnexion coplanaire pour laquelle nous avons présenté des résultats de simulations et de mesures en parfait accord.

## II.7 Références

- [1] J. Ph. Pérez, R. Carles & R. Fleckinger "Electromagnétisme. Vide et milieu matériels" Masson, 1990.
- [2] J. Craninckx, M. S. J. Steyaert "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors" IEEE Journal of Solid-State Circuits, Vol. 32 n°5, May 1997.
- [3] J. M. López-Villegas & al. "Improvement of the Quality Factor of RF integrated Inductors by Layout Optimization" IEEE Transactions on Microwave Theory and Techniques, Vol. 48 n°1, January 2000.
- [4] A. M. Niknejad "Analysis, Simulation, and Applications of passive Devices on Conductive Substrate" PhD Dissertation, University of California at Berkeley, 2000. <http://formosa.eecs.berkeley.edu/~niknejad/Thesis/phd.pdf>.
- [5] S. Gevorgian, H. Jakobson, T. Lewin and E. Kollberg "Design Limitations for Passive Microwave Components in Silicon MMICs" 28th European Microwave Conference, 1998.
- [6] D. Kajfez, P. Guillon "Dielectric Resonators" Artech House, 1986.
- [7] O. Kenneth "Estimation Methods for Quality Factors of Inductors Fabricated in Silicon Integrated Circuit Process Technologies" IEEE Journal of Solid-State Circuits, Vol. 33 n°8, August 1998.
- [8] A. M. Niknejad R. G. Meyer "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF IC's" IEEE Journal of Solid-State Circuits, Vol. 33 n°10, October 1998.
- [9] C. P. Yue, and S. S. Wong, "Physical modeling of spiral inductors on silicon," IEEE Trans. Electron Devices, vol. 47, no. 3, pp. 560-568, 1998.
- [10] N. Chomnawang, "Three-dimensional micromachined on-chip inductors for high frequency applications," PhD Dissertation, Louisiana State University ~2002.
- [11] L. Chua Christopher, K. Fork David, Koenraad Van Schuylenbergh, Jeng-Ping Lu "High-Q RF coils on silicon integrated circuits" MEMS Components and Applications for Industry, Automobiles, Aerospace, and Communication II, Proceedings of SPIE Vol. 4981, 2003
- [12] J. Zou, Chang Liu, D. R. Trainor, J. Chen, J. E. Schutt-Ainé, Senior Member, IEEE, and P. L. Chapman "Development of Three-Dimensional Inductors Using Plastic Deformation Magnetic Assembly (PDMA)" IEEE trans. On microwave theory and Techniques, Vol. 51, No. 4, April 2003
- [13] W. Xi-Ning, *et al.*, "Fabrication and performance of a novel suspended RF spiral inductor," *Electron Devices, IEEE Transactions on*, vol. 51, pp. 814-816, 2004.
- [14] Y. Jong-Min, *et al.*, "Suspended Spiral Inductor and Band-Pass Filter on Thick Anodized Aluminum Oxide," *Microwave and Wireless Components Letters, IEEE*, vol. 19, pp. 620-622, 2009.
- [15] W. Y. Liu, *et al.*, "Toroidal inductors for radio-frequency integrated circuits," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 52, pp. 646-654, 2004.
- [16] O. Jun-Yu, *et al.*, "Fabrication and Characterization of Microscaled On-Chip Toroidal Inductors," *Magnetics, IEEE Transactions on*, vol. 45, pp. 4767-4769, 2009.
- [17] J. C. Wu and M. E. Zaghoul, "Robust CMOS Micromachined Inductors With Structure Supports for Gilbert Mixer Matching Circuits," *Circuits and Systems II : Express Briefs, IEEE Transactions on*, vol. 56, pp. 429-433, 2009.
- [18] T. Chih-Ming and L. Chien-Neng, "Multilevel Suspended Thin-Film Inductors on Silicon Wafers," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 1510-1514, 2007.

- [19] P. J. Bell, *et al.*, "Flip-Chip-Assembled Air-Suspended Inductors," *Advanced Packaging, IEEE Transactions on*, vol. 30, pp. 148-154, 2007.
- [20] G. Lei and L. Xinxin, "Concave-Suspended High-Q Solenoid Inductors With an RFIC-Compatible Bulk-Micromachining Technology," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 882-885, 2007.
- [21] A. Sutono, *et al.*, "Development of three dimensional ceramic-based MCM inductors for hybrid RF/microwave applications," in *Radio Frequency Integrated Circuits (RFIC) Symposium, 1999 IEEE*, 1999, pp. 175-178.
- [22] K. C. Eun, *et al.*, "Fully embedded LTCC spiral inductors incorporating air cavity for high Q-factor and SRF," in *Electronic Components and Technology Conference, 2004. Proceedings. 54th*, 2004, pp. 1101-1103 Vol.1.
- [23] S. Dalmia, *et al.*, "Design of inductors in organic substrates for 1-3 GHz wireless applications," in *Microwave Symposium Digest, 2002 IEEE MTT-S International*, 2002, pp. 1405-1408.
- [24] S. H. Lee, *et al.*, "High performance spiral inductors embedded on organic substrates for SOP applications," in *Microwave Symposium Digest, 2002 IEEE MTT-S International*, 2002, pp. 2229-2232.
- [25] L. Hwan Hee and P. Jae Yeong, "Q-Factor Improvement of FR-4 Embeeded RF Inductors using Meshed Ground Plane," in *Microwave Conference, 2007. APMC 2007. Asia-Pacific*, 2007, pp. 1-4.
- [26] H. Xiao, *et al.*, "High-Q copper inductors on standard silicon substrate with a low-k BCB dielectric layer," in *Radio Frequency Integrated Circuits (RFIC) Symposium, 2002 IEEE*, 2002, pp. 403-406.
- [27] B. Piernas, *et al.*, "High-Q factor three-dimensional inductors," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 50, pp. 1942-1949, 2002.
- [28] K. Itoi, *et al.*, "On-chip high-Q spiral Cu inductors embedded in wafer-level chip-scale package for silicon RF application," in *Microwave Symposium Digest, 2004 IEEE MTT-S International*, 2004, pp. 197-200 Vol.1.
- [29] G. J. Carchon, *et al.*, "Wafer-level packaging technology for high-Q on-chip inductors and transmission lines," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 52, pp. 1244-1251, 2004.
- [30] Y. Aoki, *et al.*, "Novel symmetric high Q inductors fabricated using wafer-level CSP technology," in *Microwave Conference, 2007. European*, 2007, pp. 1137-1140.
- [31] H. Xiao, *et al.*, "Silicon-on-Organic Integration of a 2.4 GHz VCO Using High-Q Copper Inductors and Solder-Bumped Flip Chip Technology," *Components and Packaging Technologies, IEEE Transactions on*, vol. 32, pp. 191-196, 2009.



## Chapitre III:

# DEVELOPPEMENT DE NOUVEAUX PROCEDES POUR L'INTEGRATION D'INDUCTANCES SUR SILICIUM

### III.1 Introduction

Parmi les différentes technologies disponibles, les filières sur silicium restent largement utilisées dans le domaine des circuits RF du fait de leur faible coût. Cependant, l'intégration d'inductances à fort coefficient de qualité sur les substrats de silicium a toujours été l'un des plus gros défis à cause de la dissipation d'énergie dans le substrat. Ce défi augmente davantage lorsque la résistivité du substrat diminue tel le cas de la filière LDMOS pour laquelle le substrat présente des résistivités inférieures à 0,1  $\Omega$ .cm. Diverses solutions ont été proposées pour optimiser les performances des inductances mais dans la plupart des cas, elles sont complexes à mettre en œuvre et difficile à intégrer dans une chaîne de fabrication.

Dans le chapitre 2, nous avons décidé d'adopter le principe Above-IC pour réaliser nos inductances au-dessus de la puce intégrant les transistors LDMOS de puissance. Dans ce chapitre, nous allons dans un premier temps justifier le choix du diélectrique pour isoler nos inductances du substrat. Ensuite, nous allons montrer l'impact de la résistivité du substrat sur les performances ainsi que les solutions adéquates pour diminuer ou éliminer ces effets [1]. Finalement, nous allons présenter deux procédés technologiques développés au sein de la centrale technologique du LAAS-CNRS permettant de réaliser des structures inductives Above-IC tout en offrant un bon compromis entre facilité de mise en œuvre du procédé et performances des inductances.

### III.2 Choix du diélectrique

Comme nous l'avons vu dans le chapitre précédent, la technologie Above-IC nécessite l'utilisation d'une résine diélectrique permanente afin d'éloigner l'inductance du substrat de silicium très faible résistivité (0,01  $\Omega$ .cm) et d'améliorer son facteur de qualité. Or, le choix de la résine à utiliser pour notre application est lié à deux paramètres importants qui sont :

- a- Ses propriétés électriques et thermiques.
- b- Ses propriétés technologiques.

Les propriétés électriques tel que la constante diélectrique  $\epsilon'_r$ , l'angle de perte diélectrique  $\tan\delta$  et la résistivité ont un impact direct sur les performances électriques de l'inductance (cf III.2.2 et III.5.1.b). Compte tenu de l'application RF de puissance visée, il faut donc que la résine présente de très faibles pertes.

Les propriétés technologiques définissent l'épaisseur maximale de la couche de diélectrique capable d'être formée par la résine, sa résolution (rapport entre la hauteur et la largeur d'un trou réalisé dans la résine) ainsi que le nombre d'étapes de manipulation (dépôt, recuit ...) pour former la couche souhaitée.

<b>Propriétés électriques, thermiques et mécaniques</b>	<b>BCB</b>	<b>SU8</b>
Constante Diélectrique	2,65 – 2,50 @ 1-20 GHz	2,8 – 3,28 @ 1GHz
Facteur de dissipation (angle de perte diélectrique $\tan\delta$ )	0,0008 – 0,002 @ 1-20 GHz	0,1-0,01 @ 1-30 GHz
Tension de claquage	5,3 x 10 <sup>6</sup> V/cm	-
Courant de fuite	6,8 x 10 <sup>-10</sup> A/cm <sup>2</sup> @ 1.0 MV/cm <sup>2</sup>	-
Résistivité	1 x 10 <sup>19</sup> Ω.cm	7,8x10 <sup>14</sup> Ω.cm
Conductivité Thermique	0,29 W/m <sup>2</sup> K @24°C	0,2 W/m <sup>2</sup> K
Coeff. de dilatation thermique (CTE)	42 ppm/°C	52 ppm/°C
Résistance à la traction	87 ± 7 MPa	73 MPa
Module de Young	2,9 ± 0.2 GPa	2,0 GPa
Elongation	8 ± 2.5 %	4.8
Contrainte résiduelle	28 ± 2 MPa @ 25°C	16 – 34 MPa (Selon temps et température du recuit)
Température de Transition vitreuse (Tg °C)	> 350°C	200°C
Absorption d'humidité	< 0.2%	0.55%
<b>Caractéristiques Technologiques</b>		
Epaisseur maximale	20 – 25 μm	> 200μm
Résolution	2 :1	> 15 :1
Allure des flancs	Coniques	Verticaux
Intégration	Empilement de plusieurs couches	Simple ou multi couches
Température/Temps du recuit pré-insolation	80 – 150°C/(temps fonction de l'épaisseur)	95°C/(temps fonction de l'épaisseur)
Température/Temps du recuit post-insolation	210°C/40min	95°C/3min
Température/Temps du recuit final	250°C/60min	115°C/2min

Tableau III - 1 : Caractéristiques du BCB et de la SU8

Pour réaliser notre choix de diélectrique, nous avons eu la possibilité d'étudier deux résines diélectriques disponibles au sein de la centrale technologique du LAAS et largement utilisées dans le

domaine de la microélectronique et des microsystèmes : le Benzocyclobutene BCB et l'époxy SU8. Dans ce paragraphe, nous allons présenter ces deux résines, leurs propriétés électriques, thermiques, mécaniques et technologiques et nous allons justifier le choix de la résine SU8 comme diélectrique pour notre application.

### **III.2.1 Résine à base du Benzocyclobutene BCB**

Les premiers polymères photosensibles basés sur le Benzocyclobutene BCB ont été développés au cours des années 1980 par la société Dow Chemical Co., et commercialisés en début de l'année 1992 sous le nom CYCLOTENE 3022.

La résine CYCLOTENE est le matériau diélectrique de choix pour de nombreuses applications dans l'industrie électronique en raison de sa faible constante diélectrique, son faible facteur de dissipation (angle de perte diélectrique  $\tan\delta$ ), sa faible absorption d'humidité, son haut degré de planarisation, son faible niveau de contaminants ioniques, sa bonne stabilité thermique et son excellente résistance chimique (Tableau III - 1). Cependant, la faible résolution de la résine BCB (2 :1) limitera les épaisseurs maximales du film diélectrique à 20 – 25 $\mu\text{m}$  ce qui présente un point bloquant vis-à-vis de l'optimisation du facteur de qualité des inductances. De plus, les températures des recuits ainsi que les temps nécessaires sont assez élevés ce qui risque de modifier les profils de dopage des transistors et d'augmenter les possibilités de migration des métallisations dans le silicium. L'implémentation d'un film BCB peut avoir ainsi des conséquences néfastes sur le fonctionnement ou les performances des transistors.

### **III.2.2 Résine à base d'Epoxy SU8**

La SU8 est une résine photosensible à base d'époxy développée et brevetée par IBM en 1989. La SU8 est très transparente dans la région UV (365 nm), ce qui permet de fabriquer des structures avec un fort rapport de forme (> 20 :1) tout en ayant des flancs droits. Elle permet de réaliser des films diélectriques dont les épaisseurs varient de 0,2  $\mu\text{m}$  jusqu'à 2 mm. Une fois réticulée, la SU8 devient très résistante aux produits chimiques et donc très difficile à enlever.

La SU-8 a été développée à l'origine comme une résine photosensible pour l'industrie microélectronique pour la réalisation de masques à haute résolution pour la fabrication de dispositifs semi-conducteurs. Elle est couramment utilisée dans la fabrication de diverses applications telles les microsystèmes électromécaniques (MEMS), la micro-fluidique (micro-pompes, Biochips,...), le packaging et la micro-optique. Cependant, sa constante diélectrique plus élevée que celle du BCB, ainsi que son angle de perte diélectrique  $\tan\delta$  relativement important ont limité son intérêt en tant que résine diélectrique pour les applications RF et microondes.

Cependant, nous avons effectué une étude comparative des effets des propriétés diélectriques sur le facteur de qualité des inductances dans la plage de fréquence de fonctionnement du transistor (1,8 – 2 GHz). Cette étude a été réalisée à partir de simulations électromagnétiques sur un tronçon de ligne microruban dont le diélectrique est constitué de BCB ou de SU8. Nous avons ensuite extrait le facteur de qualité Q ainsi que la résistance série  $R_s$  et l'inductance  $L_s$  du ruban pour différentes



épaisseurs de diélectrique. Les résultats sont présentés sur la Figure III - 1 et la Figure III - 2, respectivement.

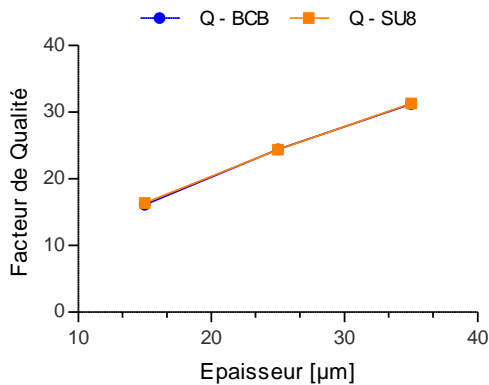


Figure III - 1 : Comparatif du facteur de qualité  $Q$  à 2 GHz

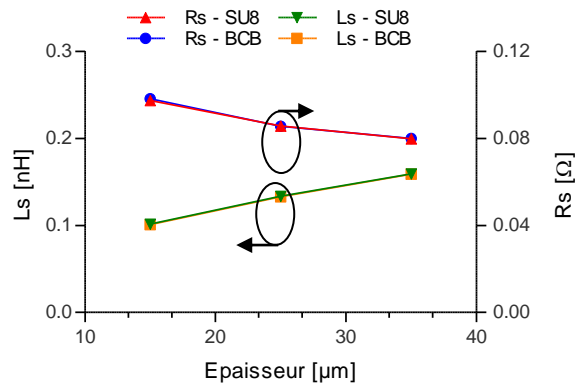


Figure III - 2 : Inductance  $L_s$  et résistance série  $R_s$  à 2 GHz

Ces deux figures montrent que le facteur de qualité du ruban n'est pas affecté par le type de diélectrique utilisé. Ce résultat est normal puisque les différences engendrées par une constante diélectrique et un angle de perte plus élevés, comme dans le cas de la résine SU8, ne sont perceptibles que lorsque les pertes d'origine diélectriques deviennent non négligeables devant les pertes résistives dans le ruban. Cette situation se produit lorsque la fréquence augmente et ces caractéristiques contribuent alors à la diminution du facteur de qualité à hautes fréquences (Figure III - 3).

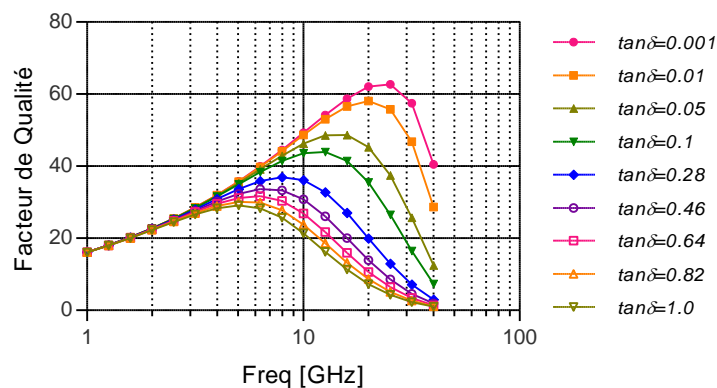


Figure III - 3 : Effets de l'angle de pertes diélectriques sur les performances des inductances

Sur la Figure III - 3, nous remarquons qu'un angle de perte plus élevé diminue la fréquence pour laquelle le facteur de qualité est maximal et diminue aussi la valeur de ce maximum. En effet, plus grand est l'angle de pertes, plus fort sera le courant de conduction vers la masse à travers le diélectrique ce qui augmente la quantité d'énergie dissipée par effet joule dans ce dernier et donc diminue le facteur de qualité.

De ces résultats de simulations, nous pouvons conclure que les différences entre les propriétés électriques du BCB et celle de la SU8 n'ont pas d'impact sur le facteur de qualité dans la plage de fréquence de fonctionnement envisagée pour l'application. Ceci nous a conduit au choix de la SU8

comme résine diélectrique pour la conception de nos inductances, du fait de plus de la supériorité de ses caractéristiques technologiques.

Cependant, comme le montre le Tableau III - 1, les valeurs de la constante diélectrique ainsi que celles de l'angle de pertes diélectriques sont assez dispersées (2,8 – 3,28) et (0,1 – 0,02) respectivement. Ces variations ne sont pas liées aux caractéristiques de la résine elle-même mais plutôt aux différentes valeurs relevées par une étude bibliographique [2][3]. Compte tenu des écarts importants relevés, surtout sur les valeurs de l'angle de pertes, nous avons décidé de caractériser la SU8 d'une manière rapide, simple et efficace. Or, les méthodes classiques de caractérisation de diélectriques sont souvent effectuées sur des lignes coaxiales ou triplaques (stripline) qui nécessitent un procédé de fabrication complexe et qui posent aussi des difficultés d'intégration des interfaces coplanaires pour les mesures sous pointes. Pour caractériser la SU8, nous avons donc décidé d'utiliser des lignes micro-rubans, relativement faciles à fabriquer.

Dans le paragraphe suivant, nous allons montrer les techniques actuelles de caractérisation de diélectriques basées sur l'utilisation de lignes micro-rubans et nous présentons les deux nouvelles méthodes simples et efficaces que nous avons développées pour faciliter et accélérer la procédure d'extraction des propriétés diélectriques. Cette extraction est réalisée à partir de la mesure des paramètres-S des lignes micro-rubans.

### III.3 Caractérisation micro-onde de diélectriques en utilisant des lignes micro-rubans

#### III.3.1 Problématique

Dans une ligne coaxiale ou triplaque (stripline), le champ électromagnétique est confiné dans le diélectrique qui englobe la ligne métallisée (Figure III - 4a). Dans ce cas, le mode de propagation dans la structure est TEM puisque la vitesse de phase des champs dans le diélectrique est constante. Ce mode de propagation permet d'extraire la permittivité relative  $\epsilon_r'$  du diélectrique à partir des paramètres-S mesurés sur les lignes en utilisant la méthode des réflexions/transmissions (cf. III.3.3.a). Cependant, dans une ligne micro-ruban, les lignes de champ sont concentrées dans le diélectrique entre la ligne métallisée et le plan de masse, mais une partie se retrouve également dans l'air au-dessus du substrat (Figure III - 4b). Cela implique qu'une ligne micro-ruban ne puisse supporter un mode TEM pur, puisque les vitesses de phase des champs dans le diélectrique ( $c/\sqrt{\epsilon_r'}$ ) et dans l'air sont différentes. Dans ce cas le mode de propagation est quasi-TEM et la mesure ne permet d'accéder qu'à une constante diélectrique effective  $\epsilon_{eff}'$ . Cette permittivité diélectrique effective prend une valeur intermédiaire entre 1 et la constante diélectrique du substrat  $\epsilon_r'$  ( $1 < \epsilon_{eff}' < \epsilon_r'$ ). Elle est calculée par [4] :

Cas  $w/h \leq 1$  :

$$\epsilon_{eff}' = \frac{\epsilon_r' + 1}{2} + \frac{\epsilon_r' - 1}{2} \left[ \left( 1 + \frac{12h}{w} \right)^{-0.5} + 0.04 \left( 1 - \frac{w}{h} \right)^2 \right] \quad (III.1)$$

Cas  $w/h \geq 1$  :

$$\epsilon'_{eff} = \frac{\epsilon'_r + 1}{2} + \frac{\epsilon'_r - 1}{2} \left( 1 + \frac{12h}{w} \right)^{-0.5} \quad (III.2)$$

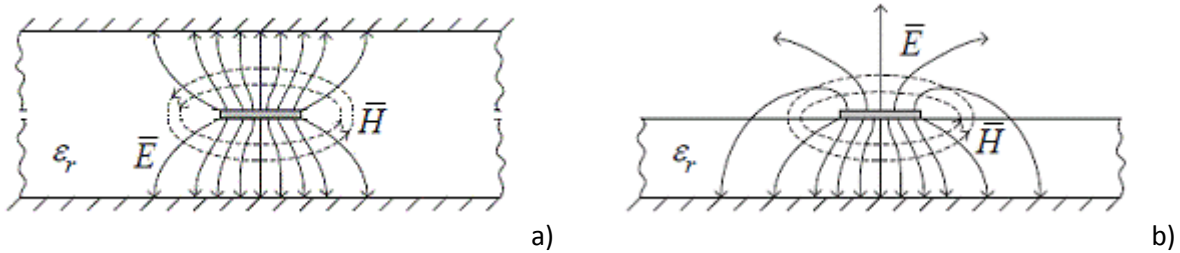


Figure III - 4 : Distribution du champ électromagnétique dans une structure Stripline (a) et micro-ruban (b)

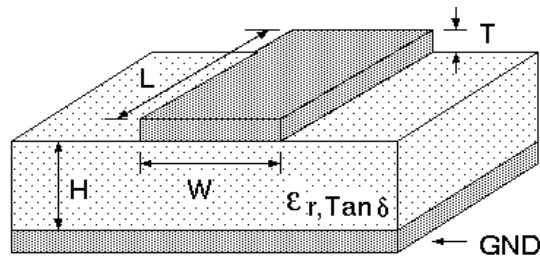


Figure III - 5 : Structure micro-ruban

Dans le cas de la ligne micro-ruban, la permittivité diélectrique effective correspond à la constante diélectrique d'un milieu homogène qui remplacerait les régions diélectriques et l'air et dans lequel serait entièrement plongée la ligne. Ainsi, l'extraction de la constante diélectrique à partir des paramètres-S mesurés de lignes micro-rubans donne accès à la valeur effective  $\epsilon'_{eff}$  du milieu de propagation et non pas à la valeur relative du diélectrique  $\epsilon'_r$ . Il est donc nécessaire d'effectuer des calculs supplémentaires pour retrouver la permittivité relative du diélectrique considéré.

### III.3.2 Solution actuelle

Une solution a été proposée par Hinojosa [5], qui consiste à calculer les paramètres-S de la ligne micro-ruban et à les comparer aux paramètres-S mesurés. Une optimisation est menée sur les paramètres du calcul pour ajuster les résultats. Les propriétés diélectriques sont obtenues après convergence.

Cette méthode basée sur l'ajustement des paramètres-S exige la résolution des problèmes direct et inverse. Le problème direct consiste à utiliser un modèle analytique des caractéristiques de la ligne micro-ruban pour calculer la constante de propagation  $\gamma$  et l'impédance caractéristique  $Z_c$  à partir des dimensions physiques de la ligne et de valeurs prédites de la permittivité relative  $\epsilon'_r$  et de l'angle de pertes  $\tan \delta$  du matériau diélectrique. Par la suite, la méthode des réflexions/transmissions [7] est utilisée pour calculer les paramètres-S à partir de  $\gamma$  et de  $Z_c$ . Le problème inverse utilise un algorithme itératif (généralement basé sur la méthode du gradient) pour comparer les paramètres-S calculés aux paramètres-S mesurés; s'il y a convergence, il passe au nouveau point de fréquence, sinon, il prédit

des nouvelles valeurs de permittivité relative et d'angle de pertes et redémarre le calcul du problème direct. La Figure III - 6 montre le principe de fonctionnement de la solution proposée par Hinojosa.

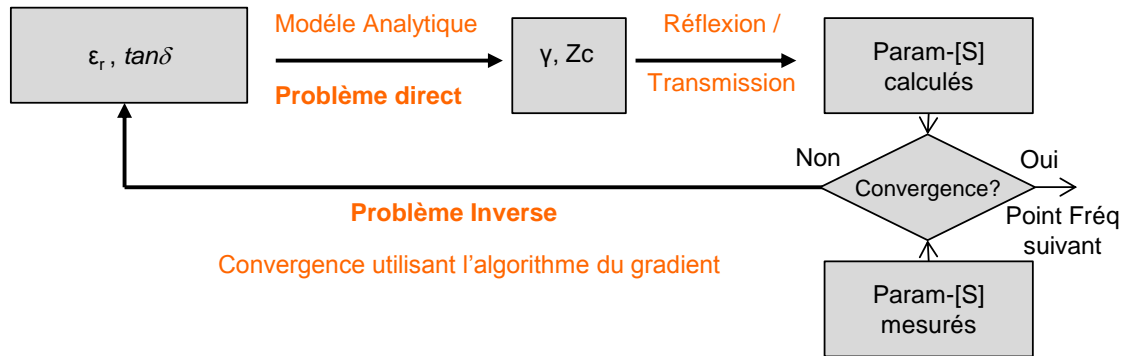


Figure III - 6 : Principe de calcul des propriétés diélectriques dans le cas de lignes micro-rubans

Le problème de cette solution réside dans la résolution des deux problèmes direct et inverse ainsi que dans la définition des critères de convergence qui portent sur les paramètres-S (les critères de convergence sont définis sur les modules et phases des coefficients de réflexion et de transmission). Ainsi, cette méthode est relativement lourde à mettre en œuvre et ne permet pas d'aboutir rapidement à la solution.

### III.3.3 Nouveau Principe

Pour s'affranchir des difficultés de la solution décrite précédemment, nous avons décidé de calculer la permittivité relative du diélectrique à partir de la permittivité effective extraite des mesures des paramètres-S. Nous avons donc trouvé deux solutions simples et efficaces et qui s'appliquent sur les paramètres-S mesurés de lignes micro-rubans [6]. La première méthode fait appel à des calculs analytiques directs tandis que la deuxième utilise un algorithme itératif très rapide. Ces méthodes sont extrêmement plus rapides que la solution précédente puisque la première n'exige pas la résolution des problèmes direct et inverse tandis que les critères de convergence, pour la seconde, ne se basent plus sur une comparaison entre les paramètres-S calculés et mesurés.

Dans les paragraphes suivants, nous expliquons les principes de ces deux méthodes. Nous présentons aussi les validations basées sur des simulations et des mesures.

#### III.3.3.a Procédure d'extraction de la permittivité effective

La méthode de la transmission-réflexion [7] est utilisée pour extraire la permittivité effective complexe  $\epsilon_{eff}$  à partir des mesures. Elle nécessite la valeur de l'impédance caractéristique de la ligne micro-ruban dans l'air (qui est sensiblement constante). Cette valeur peut être obtenue en utilisant les formules de Jensen-Hammerstad [8].

La permittivité effective complexe  $\epsilon_{eff}$  est calculée en utilisant les équations (III.3) à (III.8) ci-dessous :

$$\Gamma = \chi \pm \sqrt{\chi^2 - 1} \quad (III.3)$$

$$\chi = \frac{S_{11}^2 - S_{21}^2 + 1}{2S_{11}} \quad (III.4)$$

$$P = \frac{S_{11} + S_{21} - \Gamma}{1 - (S_{11} + S_{21})\Gamma} = |P|e^{-j\varphi} \quad (III.5)$$

$$\gamma = \frac{1}{l} \cdot \ln\left(\frac{1}{|P|}\right) + j\frac{-\varphi}{l} \quad (III.6)$$

$$\gamma_0 = j\frac{\omega}{c} \quad (III.7)$$

$$\varepsilon_{eff} = \frac{\gamma}{\gamma_0} \cdot \frac{1-\Gamma}{1+\Gamma} \cdot \frac{Z_c}{Z_0} = \varepsilon'_{eff} + j\varepsilon''_{eff} \quad (III.8)$$

Avec :  $P$  le facteur de propagation,  $\Gamma$  le coefficient de réflexion,  $\gamma_0$  et  $\gamma$  les constantes de propagation respectivement en espace libre et en présence du matériau,  $l$  la longueur physique de la ligne micro-ruban,  $Z_c$  l'impédance caractéristique dans l'air, et  $Z_0 = 50 \Omega$  l'impédance de référence.

Une fois la permittivité effective  $\varepsilon_{eff}$  extraite, l'utilisateur peut introduire sa valeur dans l'une des deux méthodes suivantes pour calculer la permittivité relative du matériau diélectrique.

### III.3.3.b Calcul direct de la permittivité relative

Cette méthode analytique calcule directement la permittivité relative  $\varepsilon_r'$  (Figure III - 7). Elle utilise des équations dérivées (inversées) des formules de Bahl (basées sur le modèle de Schneider) [9]. Le calcul est simple et rapide en utilisant les équations (III.9) à (III.11) suivantes :

$$\varepsilon_r' = \frac{\varepsilon'_{eff} - 0.5 + x/2 - y}{0.5 + x/2 - y} \quad (III.9)$$

et 
$$y = \frac{t}{7.8h\sqrt{w/h}} \quad (III.10)$$

Avec 
$$x = \begin{cases} \left(1 + 12\frac{h}{w}\right)^{-0.5}, & \frac{w}{h} \geq 1 \\ \left(1 + 12\frac{h}{w}\right)^{-0.5} + 0.04\left(1 - \frac{w}{h}\right)^2, & \frac{w}{h} \leq 1 \end{cases} \quad (III.11)$$

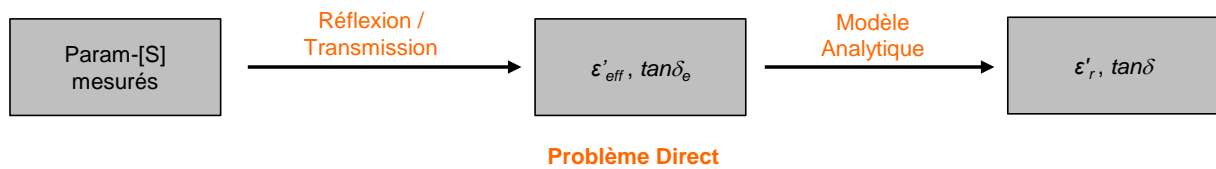


Figure III - 7 : Illustration de la méthode basée sur le calcul direct de la permittivité relative

L'équation (III.10) est une fonction de correction sur  $\varepsilon_r'$  qui permet de prendre en compte l'épaisseur du métal. A l'origine, Bahl introduit un coefficient de 4.6 au dénominateur conduisant à une précision de 2% pour  $t/h \leq 0,2$ . Toutefois, au cours de nos expériences (cf. §III.3.3.e), nous avons constaté que  $\varepsilon_r'$  était systématiquement surestimé pour des valeurs importantes du rapport  $t/h$  (des

structures avec  $t/h$  variant de 0,08 à 1 vont être traitées). Avec un coefficient de 7,8 au lieu de 4,6, les résultats ont été bien meilleurs sur tous les rapports  $t/h$  traités (cf. §III.3.3.e).

### III.3.3.c Calcul itératif de la permittivité relative

Cette deuxième méthode utilise le modèle de Jensen-Hammerstad [8]. En raison de la complexité des formules (comportant des fonctions hyperboliques et des logarithmes népériens), une méthode itérative est nécessaire pour le calcul. Ce processus est réalisé en utilisant l'algorithme de la sécante [10] (Figure III - 8). Ce dernier injecte des valeurs arbitraires de  $\epsilon_r'$  dans les formules de Jensen-Hammerstad et compare la permittivité effective  $\epsilon'_{eff}$  résultante avec la valeur extraite des mesures. La valeur de  $\epsilon_r'$  est obtenue après convergence.

Même si le principe est proche de celui utilisé par Hinojosa, cette méthode reste plus rapide du fait que le seul critère de convergence est défini sur la permittivité effective et non plus sur les quatre paramètres-S (nombres complexes, par ailleurs). De plus, l'algorithme de la Sécante converge plus rapidement que celui du Gradient (la convergence est souvent obtenue après 4 itérations).

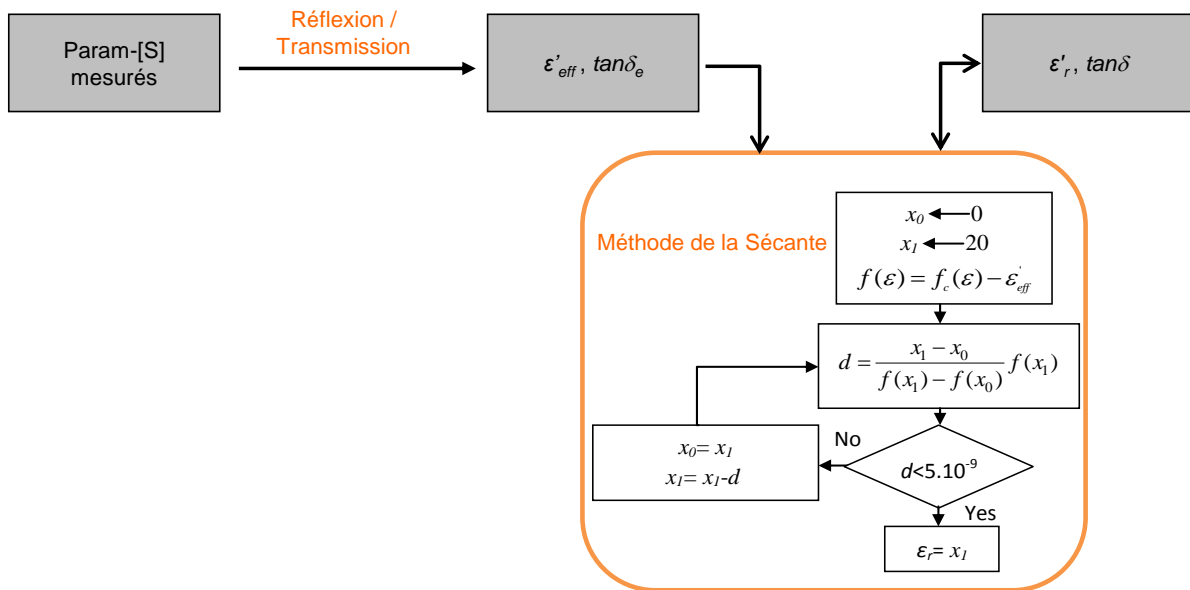


Figure III - 8 : Illustration de la méthode itérative d'obtention de la permittivité relative

Avec :  $f_c(\epsilon)$  la fonction qui calcule la permittivité effective en utilisant les formules de Jensen-Hammerstad pour une valeur de  $\epsilon$  donnée,  $d$  la fonction d'erreur réalisant le critère de convergence,  $x_0$  et  $x_1$  les valeurs minimales et maximales de prédiction de  $\epsilon_r'$ .

### III.3.3.d Calcul de l'angle de perte

Une fois la permittivité relative du diélectrique déterminée, il devient facile de calculer l'angle de pertes en utilisant l'équation suivante [4] :

$$\tan \delta = \frac{\epsilon''_{eff}}{\epsilon'_{eff}} \cdot \frac{1 - 1/\epsilon_r'}{1 - 1/\epsilon'_{eff}} \quad (III.12)$$

Avec  $\epsilon'_{eff}$  et  $\epsilon''_{eff}$  calculées en utilisant l'équation (III.8).

### III.3.3.e Domaine de validité des méthodes

Afin d'estimer la précision et le domaine de validité des méthodes, nous avons simulé des structures micro-rubans de différentes dimensions physiques, pour lesquelles les permittivités relatives et les angles de pertes du substrat diélectrique ont été prédéfinis. A partir des paramètres S issus des simulations électromagnétiques, sont ensuite extraites les propriétés diélectriques qui sont au final comparées aux valeurs initialement prédéfinies.

La Figure III - 9 montre que la première méthode d'extraction présente un taux d'erreur inférieur à 1% pour un rapport  $t/h < 1,2$  et augmente jusqu'à 35% pour des rapports  $t/h$  plus élevés. Ceci est dû aux limitations du modèle de Bahl qui est un modèle simplifié. La deuxième méthode, basée sur le modèle de Jensen-Hammerstad, présente un taux d'erreur moyen inférieur à 2% sur de larges plages des dimensions. En conclusion, la première méthode peut être utilisée pour sa simplicité tant que  $t/h < 1,2$ , alors qu'au-delà, la deuxième méthode sera plus appropriée.

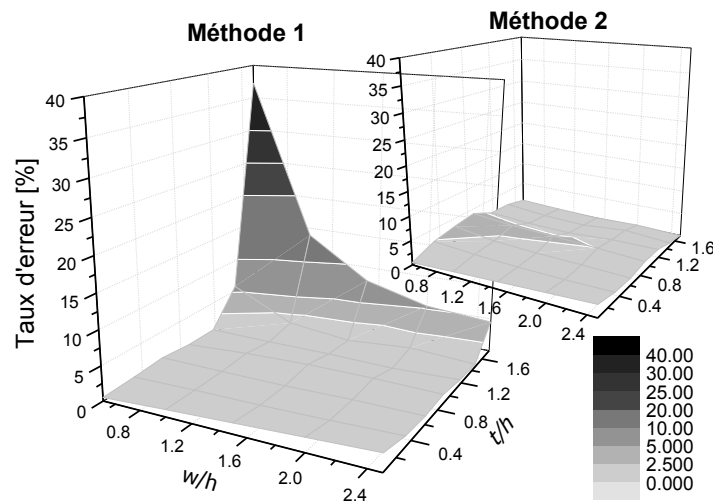


Figure III - 9 : Evaluation du taux d'erreur des deux méthodes d'extraction

Par la suite, nous avons simulé une ligne micro-ruban en faisant varier la permittivité relative et l'angle de pertes en fonction de la fréquence. Ceci nous permet de vérifier l'indépendance vis-à-vis de la fréquence des méthodes d'extraction. La Figure III - 10 montre l'excellent accord entre les valeurs initialement prédéfinies dans la simulation (Référence) et extraites (Méthode 1 et 2).

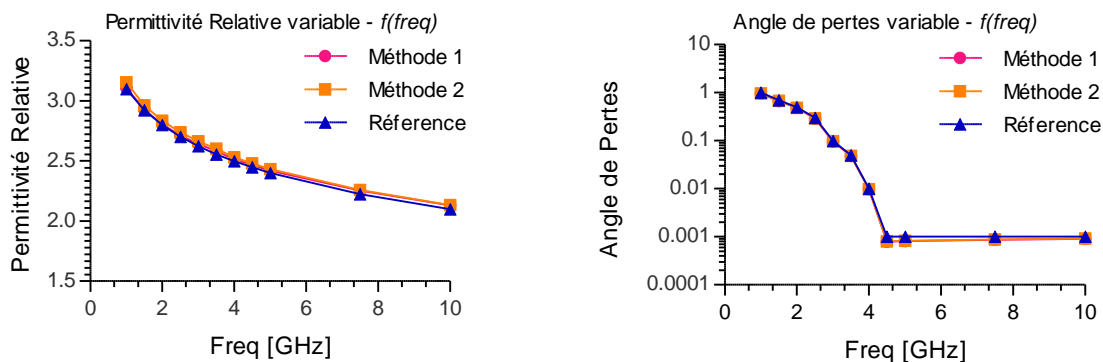


Figure III - 10 : Comparaison entre valeurs initiales (Référence) et extraites (Méthode 1 et 2) pour la permittivité relative et l'angle de pertes

### III.3.3.f Validations expérimentales

Pour valider expérimentalement les méthodes, des mesures ont été effectuées sur une ligne micro-ruban de 0,2 cm de longueur implémentée sur de l'alumine. Un calibrage TRL valide entre 2 et 18 GHz a été réalisé. Pour cette ligne, un  $\epsilon_r'$  de 9,96 et 10,1 ainsi qu'un  $\tan\delta$  de 0,00025 ont été extraits à 10 GHz en utilisant les méthodes 1 and 2 respectivement (Figure III - 11). Ces valeurs sont très proches de celles annoncées par le constructeur ( $\epsilon_r' = 9,96$  à 10 GHz et  $\tan\delta = 0,0002$ ).

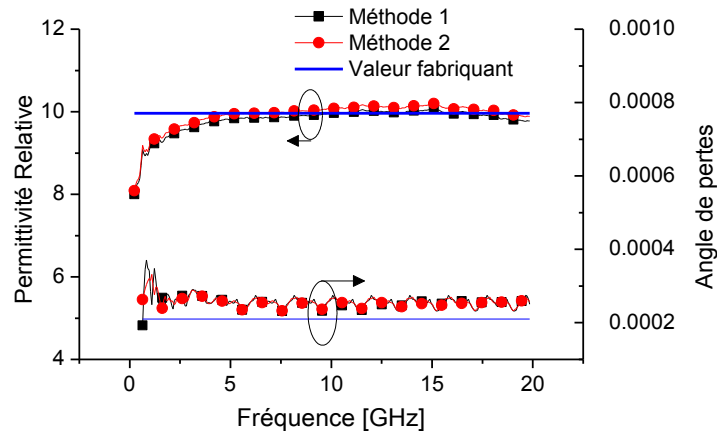


Figure III - 11 : Validation expérimentale sur Alumine

## III.4 Application des méthodes développées pour la caractérisation de la résine SU8

### III.4.1 Dessin des masques

Après avoir validé les deux méthodes, un ensemble de lignes micro-rubans a été fabriqué sur un substrat SU-8 dans le but de caractériser ce matériau. Ces lignes permettent aussi une vérification supplémentaire de la précision des méthodes de caractérisation de diélectriques que nous avons mis en place.

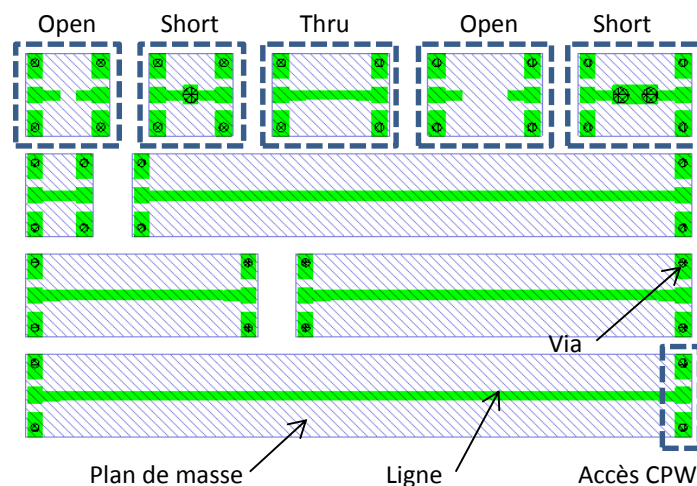


Figure III - 12 : Cellule comportant des lignes micro-ruban ainsi que les structures d'accès et d'épluchage (deembedding)



La Figure III - 12 montre le dessin de masque d'une cellule comportant des lignes micro-rubans de plusieurs longueurs ainsi que les structures de correction pour la localisation des plans de référence.

Différentes largeurs  $w$  (30, 60, 90 et 120  $\mu\text{m}$ ), longueurs  $l$  (1000, 2000 et 3000  $\mu\text{m}$ ), épaisseurs de SU-8  $h$  (30 et 60  $\mu\text{m}$ ) et de métallisation  $t$  (5 et 30  $\mu\text{m}$ ) ont été implémentées. Ces structures intègrent des trous métallisés pour les transitions entre la ligne micro-ruban et les accès coplanaires nécessaires à la caractérisation sous pointe, ainsi que pour la réalisation des structures court-circuit (Short), circuit-ouvert (Open) et Thru utilisées pour ramener les plans de référence de la mesure au niveau de la ligne micro-ruban.

### III.4.2 Fabrication des lignes micro-rubans

La fabrication des lignes micro-rubans a été effectuée sur des substrats de silicium de diamètre 4". Sur ces substrats, les structures micro-rubans (impliquant un plan métallique de masse, le diélectrique formé par un dépôt de résine SU-8 puis les lignes supérieures de signal) sont réalisées en utilisant le procédé décrit dans le paragraphe III.9.1. La Figure III - 13 montre la microphotographie des structures micro-rubans réalisées. La transparence de la SU8 permet de voir le plan de masse intégré en-dessous des lignes de signal.

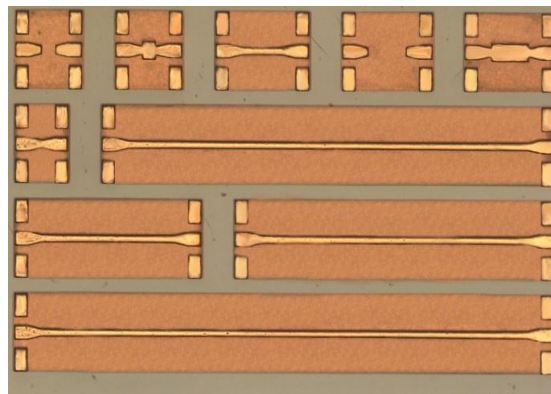


Figure III - 13 : Structures micro-rubans réalisées sur le diélectrique SU8

### III.4.3 Résultats expérimentaux

Après fabrication des motifs, les mesures des paramètres-S ont été effectuées avec un analyseur de réseau vectoriel (Anritsu 37397C). Un calibrage SOLT a été appliqué pour localiser les plans de référence de la mesure au niveau des pointes coplanaires. Puis à l'aide des structures court-circuit et circuit ouvert, les mesures sont corrigées pour ramener ces plans au niveau de la ligne micro-ruban.

Les graphes de la Figure III - 14 montrent la permittivité relative ainsi que l'angle de pertes de la SU8 extraits à partir des mesures paramètres-S en utilisant la méthode d'extraction directe (Méthode 1) et itérative (Méthode 2). De ces graphes, une permittivité  $\epsilon_r$  de 2,85 et un angle de pertes  $\tan\delta$  de 0,04 ont été relevés pour la SU8 à 10 GHz. En outre, en comparant ces valeurs à celles trouvées dans la littérature [1][3], nous pouvons noter que les valeurs que nous extrayons sont constantes sur toute la bande de fréquence et indépendantes des dimensions physiques des lignes, ce qui n'est

généralement pas le cas. Les faibles variations observées peuvent être attribuées à des erreurs systématiques telles que les défauts de répétitivité dans le contact des pointes et le positionnement de ces dernières sur les accès coplanaires, ainsi qu'à des imperfections dans le procédé de fabrication (épaisseurs des couches, ...).

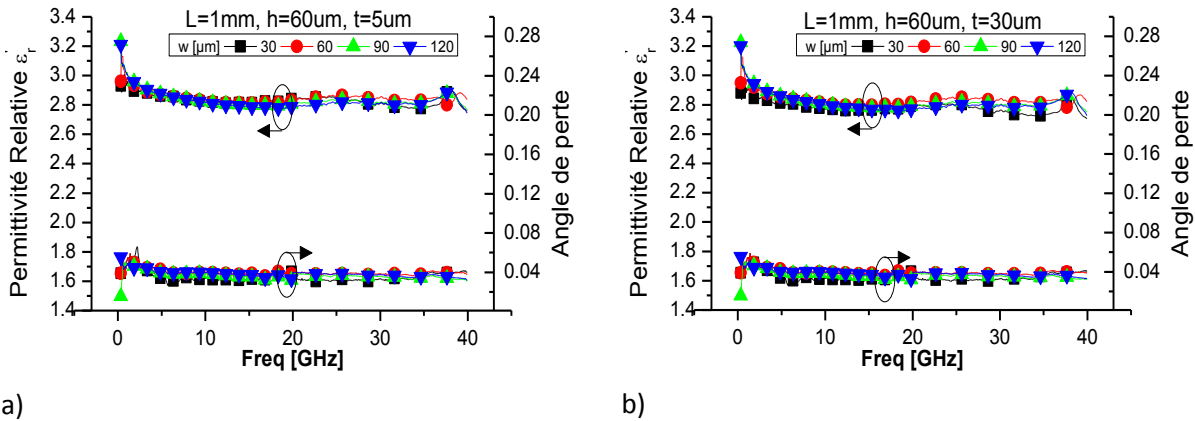


Figure III - 14 : Permittivité relative et angle de perte de la SU8 extraites en utilisant : a) Méthode 1. b) Méthode 2

### III.4.4 Validation par simulations électromagnétiques

Pour vérifier l'exactitude des caractéristiques extraites, nous avons introduit les valeurs trouvées dans le simulateur électromagnétique HFSS. Les lignes micro-rubans simulées ont les mêmes dimensions physiques que les lignes mesurées et nous comparons par la suite les résultats des simulations à ceux des mesures. La Figure III - 15 montre le facteur de qualité, la valeur d'inductance ainsi que la résistance totale d'une ligne micro-ruban de 1 mm de longueur et 60  $\mu\text{m}$  de largeur, pour 5  $\mu\text{m}$  d'épaisseur de métal et 30  $\mu\text{m}$  d'épaisseur de SU8. L'excellent accord que l'on observe sur cette figure valide, non seulement les caractéristiques relevées pour la SU8, mais aussi les deux méthodes de caractérisation de diélectriques. Ces performances démontrent de même les potentialités de la SU8 comme matériaux diélectrique pour des applications RF.

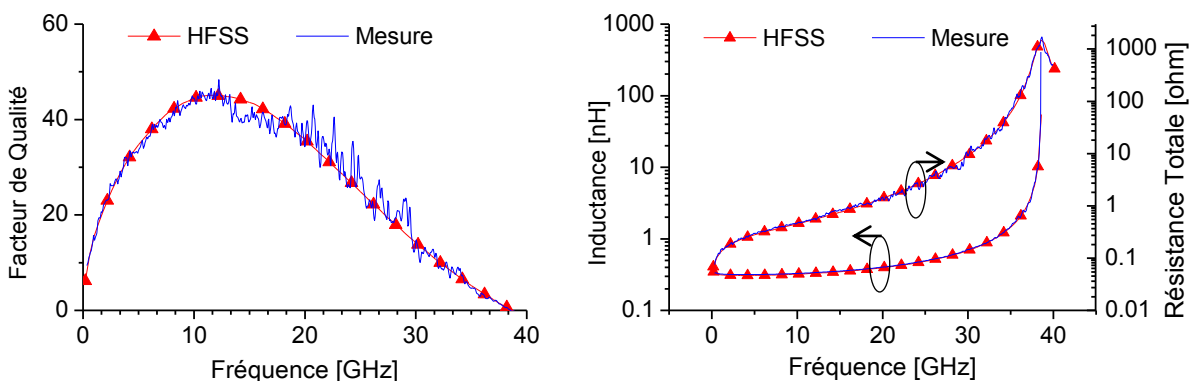


Figure III - 15 : Comparatif entre mesure et simulations. (a) Facteur de qualité. (b) Inductance et résistance totale

A ce stade, le choix du diélectrique est ainsi réalisé, et nous pouvons donc passer aux étapes d'optimisation des inductances dans l'optique que leurs performances satisfassent le cahier des charges.

### III.5 Influence du substrat de Silicium et du plan de masse sur les performances des selfs

Dans ce paragraphe, nous étudions l'impact de la résistivité du substrat de silicium sur les performances des inductances. Ce point a déjà fait l'objet de nombreuses études pour des résistivités de substrats supérieurs à  $1 \Omega \cdot \text{cm}$ . Cependant, nous allons montrer dans les paragraphes suivants que les solutions proposées ne permettent pas de diminuer les pertes dans le cas où le substrat de silicium est très conducteur ( $< 0,1 \Omega \cdot \text{cm}$ ), comme cela est le cas pour la technologie LD MOS considérée.

#### III.5.1 Inductances sans plan de masse

Dans un premier temps, les inductances ont été simulées sans un plan de masse pour évaluer l'influence directe de la résistivité du silicium. Par la suite, une première solution a été utilisée qui consiste à augmenter l'épaisseur du diélectrique séparant l'inductance du substrat de silicium.

##### III.5.1.a Influence de la résistivité du substrat de silicium

Pour évaluer l'influence de la résistivité du silicium, nous simulons une structure inductive intégrée par-dessus un substrat silicium de  $500 \mu\text{m}$  d'épaisseur et une couche de résine SU8 intermédiaire ayant une épaisseur de  $5 \mu\text{m}$ . La résistivité du substrat silicium varie entre  $0,01$  et  $1000 \Omega \cdot \text{cm}$  et le facteur de qualité est extrait pour le point de fréquence de  $2 \text{ GHz}$  (Figure III - 16).

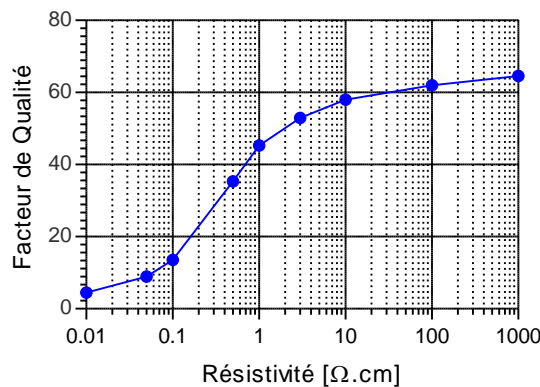


Figure III - 16 : Variations du facteur de qualité à  $2 \text{ GHz}$  en fonction de la résistivité du substrat silicium

La Figure III - 16 nous montre que le facteur de qualité diminue légèrement lorsque la résistivité diminue de  $1000 \Omega \cdot \text{cm}$  jusqu'à  $100 \Omega \cdot \text{cm}$ . A la fréquence de fonctionnement considérée et pour ces fortes valeurs de résistivités, les champs électriques et magnétiques pénètrent le substrat silicium mais n'entraînent aucun courant de fuite ou de Foucault. Le substrat se comporte donc comme un diélectrique faibles pertes et permet la propagation du signal RF en mode Quasi-TEM (Figure III - 17) [11].

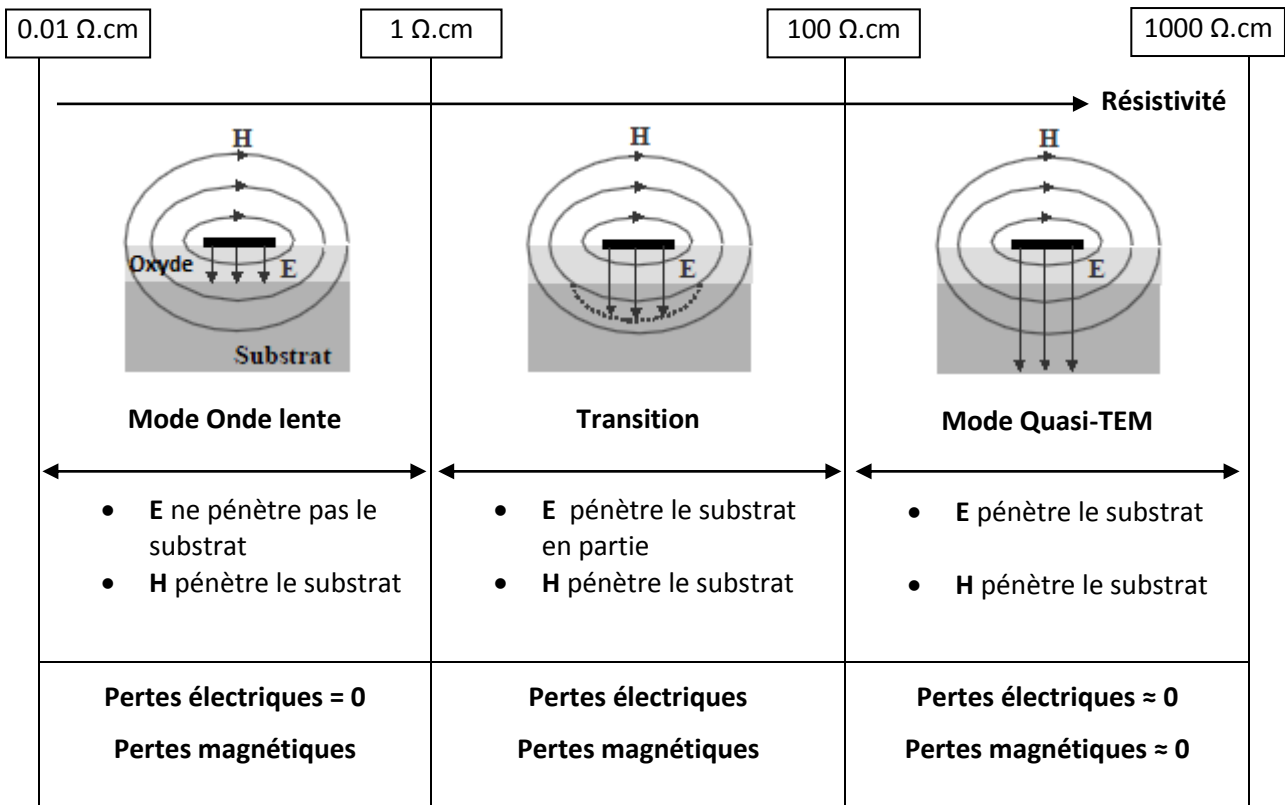


Figure III - 17 : Représentation des modes de propagation et des champs électriques et magnétiques en fonction de la résistivité du substrat

En outre, dès que la résistivité du substrat atteint des valeurs inférieures à 100  $\Omega$ .cm mais supérieures à 1  $\Omega$ .cm, le champ électrique a des difficultés à pénétrer la totalité de l'épaisseur du substrat et est limité dans une épaisseur qui est fonction de la résistivité du substrat et de la fréquence. Comme conséquences, les pertes d'origines électriques augmentent à cause des courants de fuite traversant le substrat vers la masse la plus proche. Quant au champ magnétique, il pénètre toujours le substrat mais y induit cette fois des courants de Foucault qui augmentent les pertes d'origine magnétique (cf. II.2.2.b). Notons que sur cette plage de valeurs de résistivité et pour la fréquence de fonctionnement considérée, le mode se propageant dans la structure est appelé mode de Transition puisqu'il se situe entre le mode Quasi-TEM et le mode d'Onde Lente (Figure III - 17) [11]. Le mode d'Onde Lente apparaît lorsque la résistivité du substrat et/ou la fréquence de fonctionnement atteignent des valeurs très basses (< 1  $\Omega$ .cm et < 2 GHz respectivement) [11]. Dans ce cas, le champ électrique ne pénètre plus le substrat et il se confine dans la couche diélectrique intermédiaire (d'Oxyde ou de Résine - SU8 dans notre cas) séparant l'inductance du substrat (Figure III - 17). Le champ électrique ne pénétrant plus dans le substrat, il n'existe plus de courants de fuite et les pertes d'origine électrique sont donc éliminées. Pourtant, en éliminant ces pertes, nous pourrions nous attendre à une amélioration des performances, ce qui ne se reflète pas sur la Figure III - 16 puisque le facteur de qualité diminue fortement. En effet, dans cette situation les pertes magnétiques augmentent drastiquement car la conductivité importante du substrat contribue à l'induction et à la circulation d'une forte densité de courants de Foucault à l'intérieur du substrat. Cette forte densité de courants entraîne une diminution de la valeur d'inductance et une

augmentation de sa résistance série du fait de l'effet de proximité. Ce cas se traduit donc par une diminution des performances.

Nous pouvons conclure que la nature du substrat influence fortement les performances des inductances intégrées. De très faibles valeurs de résistivités ont des conséquences sévères sur la valeur du facteur de qualité. Des solutions s'avèrent donc indispensables, dans ce cas, pour pouvoir réaliser des structures inductives au-dessus de ces substrats qui présentent des niveaux de performances suffisants. Nous décrivons par la suite ces solutions et nous justifions celles qui présentent les avantages les plus importants pour notre projet.

### III.5.1.b Influence de l'épaisseur de diélectrique

Comme nous l'avons démontré dans le paragraphe précédent, une très faible valeur de résistivité de substrat augmente les pertes d'origines magnétiques à cause du fort couplage inductif entre l'inductance et le substrat. Afin de diminuer ce couplage, une solution consiste à éloigner l'inductance du substrat en augmentant l'épaisseur de la couche diélectrique intermédiaire.

Nous avons donc simulé une structure inductive implémentée au-dessus d'un substrat silicium de résistivité  $0,01 \Omega \cdot \text{cm}$ . Cette inductance a été séparée du substrat par une couche diélectrique de SU8 dont nous avons fait varier l'épaisseur de 5 à  $600 \mu\text{m}$ . Le facteur de qualité a été extrait et représenté sur la Figure III - 18.

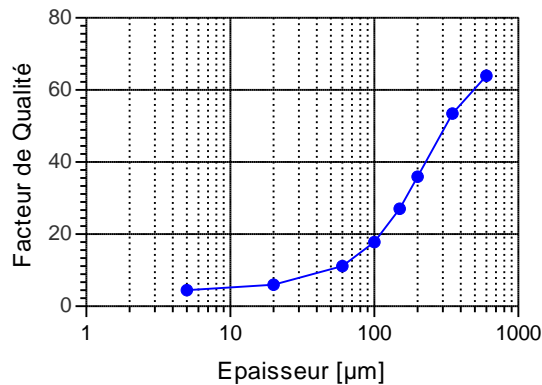


Figure III - 18 : Variation du facteur de qualité d'une inductance en fonction de l'épaisseur du diélectrique de SU8 (fréquence : 2GHz; résistivité Si :  $0.01 \Omega \cdot \text{cm}$ )

La Figure III - 18 montre que jusqu'à une épaisseur de SU8 de  $60 \mu\text{m}$ , les améliorations sur le facteur de qualité sont minimes, le couplage avec le substrat restant élevé. Au-delà de cette épaisseur, nous constatons une augmentation importante du facteur de qualité pour atteindre une valeur de 65 lorsque l'épaisseur de SU8 est de  $600 \mu\text{m}$ . Pour ces épaisseurs, l'inductance est suffisamment éloignée du substrat pour qu'une grande partie du champ magnétique reste confiné autour du ruban métallique ce qui limite le couplage avec le substrat et diminue donc les pertes d'origines magnétiques.

Cette solution peut être satisfaisante si les procédés technologiques sont capables de réaliser une telle épaisseur de diélectrique tout en autorisant la fabrication de trous métallisés (via holes) à

travers cette couche pour connecter l'inductance au circuit actif. Bien sûr, il est aussi nécessaire que la puce supporte la contrainte mécanique engendrée par cette forte épaisseur de diélectrique. Ainsi, dans notre cas, même si nous sommes en mesure de déposer de telles épaisseurs de SU8 sur la puce active, la forte contrainte mécanique n'est pas acceptable puisque les puces sont amincies à 75 µm.

Nous constatons que cette solution ne convient pas pour notre application, et qu'il est donc nécessaire d'implémenter un plan de masse entre le substrat et la couche diélectrique de SU-8. La fonction de ce plan est d'empêcher la pénétration des champs à l'intérieur du substrat pour éliminer tous les effets parasites concernés.

### III.5.2 Inductances avec plan de masse

Un plan de masse est constitué d'un motif métallique plein, intégré à l'interface entre le substrat de silicium et le diélectrique, suffisamment grand pour servir d'écran et empêcher la pénétration du champ électromagnétique dans le substrat. De la sorte, les performances de la structure inductive deviennent indépendantes de la nature du substrat et les effets parasites sont éliminés. Or, s'il est trop proche de la structure inductive, ce plan de masse peut cependant limiter les performances en raison de fortes densités des courants qui y sont induits et de l'effet de proximité. Comme nous l'avons vu dans le chapitre II, ce dernier effet diminue la valeur de l'inductance et augmente sa résistance série. Des études ont été menées sur la structuration du plan de masse afin de diminuer ou d'éliminer la circulation de ces courants en vue d'améliorer les performances des inductances.

Nous montrons dans les paragraphes suivants les effets de la structuration du plan de masse sur le facteur de qualité ainsi que l'inefficacité de ce type de solution dans le cas où les résistivités du substrat sont inférieures à 1 Ω.cm.

#### III.5.2.a Effets d'un plan de masse plein

Les pertes liées au couplage magnétique de l'inductance avec le plan de masse sont représentées par l'inductance image  $L_i$ , la résistance  $R_i$  et le coefficient d'inductance mutuel  $M_i$  dans le modèle électrique équivalent de la Figure III - 19. Prendre en compte ces phénomènes, revient à placer une impédance équivalente  $Z_m$  (III.13) en série avec l'impédance  $Z_s$  (III.14) constituée par la résistance série  $R_s$  et l'inductance série  $L_s$  de la self [12]. Notons ainsi, d'une part, que la valeur de l'inductance  $L_s$  diminue à cause de la partie imaginaire négative de  $Z_m$ , et que, d'autre part, la résistance série  $R_s$  augmente à cause de la partie réelle de  $Z_m$ .

$$Z_m = \frac{(\omega M_i)^2}{R_i + jL_i\omega} \quad (III.13)$$

$$Z_s = R_s + jL_s\omega \quad (III.14)$$

$$Z_T = Z_s + Z_m \quad (III.15)$$

Pour éliminer les effets de  $Z_m$ , il suffit d'augmenter la valeur de  $R_i$  à l'infinie ou de faire tendre vers 0 l'inductance mutuelle  $M_i$ . Une valeur infinie de  $R_i$  peut être obtenue par une structuration du plan de masse qui empêche la circulation de tout courant image dans ce dernier.

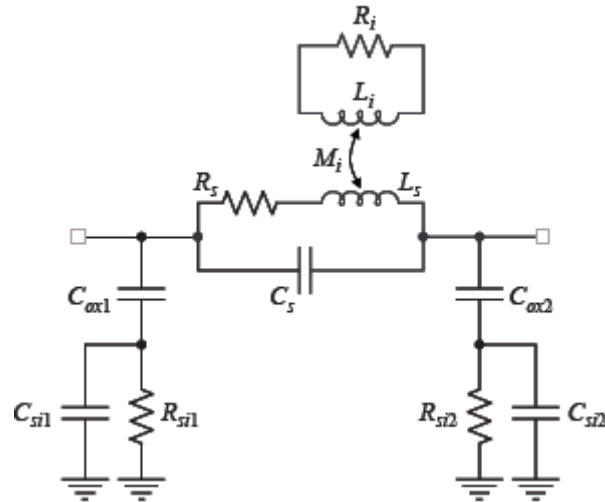


Figure III - 19 : Schéma électrique équivalent d'une inductance intégrée tenant compte du couplage avec le substrat

### III.5.2.b Plan de masse structuré ou "Patterned ground shield"

Un plan de masse structuré joue deux rôles :

- a- Empêcher les courants de Foucault de circuler à l'intérieur de ce plan ce qui diminue les pertes magnétiques.
- b- Empêcher le champ électrique de pénétrer dans le substrat ce qui diminue les pertes électriques.

Plusieurs travaux [12]-[14] ont été menés sur les plans structurés afin de trouver la ou les structures qui permettent d'optimiser les performances des inductances intégrées au-dessus d'un substrat silicium. La plupart de ces travaux ont visé des substrats ayant des valeurs de résistivités comprises entre 1 et 15  $\Omega$ .cm.

Nous nous sommes plus particulièrement attachés sur l'étude décrite dans [13] d'une part parce qu'elle regroupe toutes les structures de plans de masse que l'on trouve dans le reste de la littérature, et d'autre part, parce que les mesures présentées ont été réalisées sur des inductances intégrées sur un substrat silicium de faible résistivité (1-2  $\Omega$ .cm) et une couche d'oxyde intermédiaire de 6  $\mu$ m d'épaisseur.

La Figure III - 20 montre une vue en coupe d'une structure réalisée (a), ainsi qu'une comparaison des performances (b) de la même structure répétée sur plusieurs configurations de plans de masse (c). Nous remarquons qu'en comparant avec la structure sans plan de masse SP, les structures Halo PH, à barres croisées PBC et barres larges PBL augmentent modérément le facteur de qualité avec pour contrepartie une fréquence de résonance inférieure. En effet, une résistivité de 1  $\Omega$ .cm reste suffisamment élevée pour que les pertes d'origine magnétique dans le substrat soient limitées (cf. III.5.1.a). Les plans structurés jouent alors bien leur rôle en diminuant les pertes d'origine électrique dans le substrat sans perturber le champ magnétique. En revanche, la Figure III - 20 montre que l'utilisation d'un plan solide PS est inadapté dans le cas de résistivités de cet ordre. Nous constatons

en effet que la fréquence de résonance de la structure ayant le plan de masse solide PS est supérieure à celle des autres structures malgré une plus forte valeur de la capacité  $C_{ox}$  formée entre le ruban de l'inductance et le plan de masse. Cette augmentation de la fréquence ne peut être liée qu'à une plus faible valeur d'inductance résultant de l'effet de proximité du plan de masse.

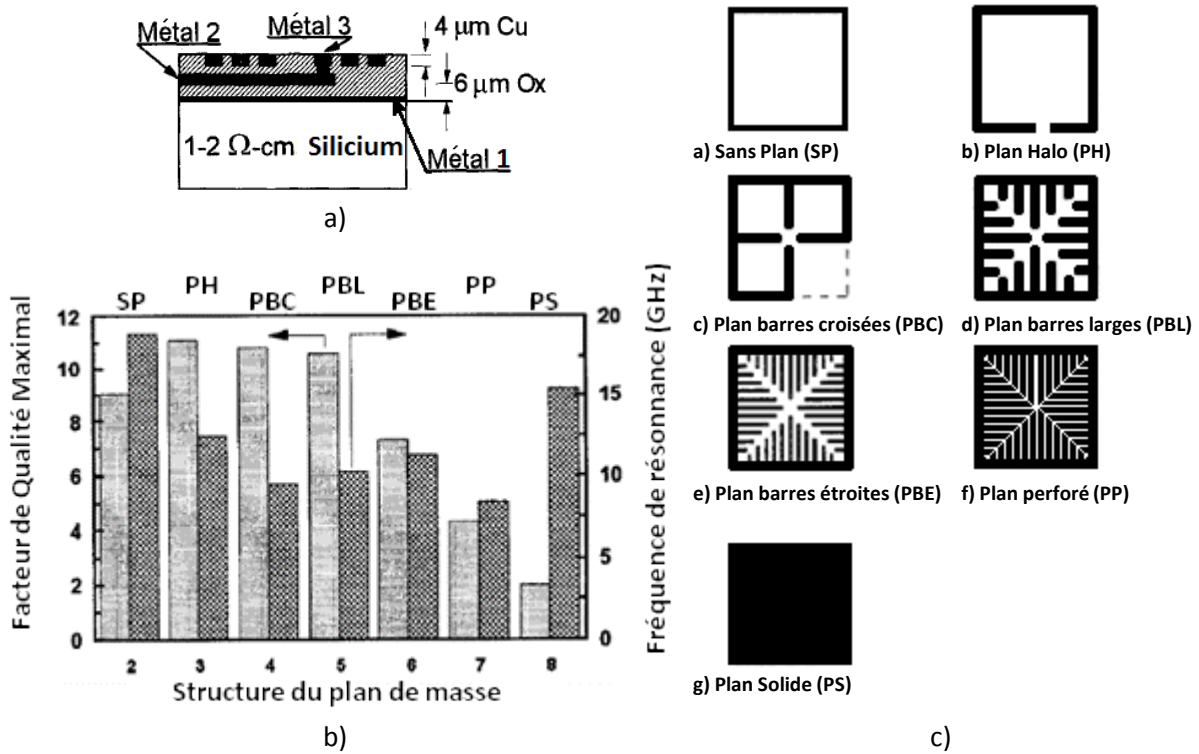


Figure III - 20 : a) Vue en coupe de la structure inductive. b) Facteurs de qualités maximales et fréquences de résonance. c) Structures de plans de masses réalisés [12]

### III.5.2.c Substrat très faible résistivité : Plan de masse structuré ou plein?

En se basant sur l'étude précédente, nous avons effectué des simulations électromagnétiques pour une structure inductive ayant des plans de masse structurés déposés sur un substrat silicium très faible résistivité ( $0.01 \Omega.cm$ ). Une couche diélectrique intermédiaire de  $6 \mu m$  de SU8 a été utilisée à la place de l'oxyde de silicium. Le ruban métallique de l'inductance possède  $30 \mu m$  de largeur et  $20 \mu m$  d'épaisseur.

Nous constatons sur la Figure III - 21 que contrairement au cas précédent (résistivité  $1 \Omega.cm$ ), la structure basée sur un plan de masse solide PS présente le meilleur facteur de qualité. Une explication peut être fournie et qui est liée à la nature conductrice du substrat silicium. En effet, pour une résistivité de  $0,01 \Omega.cm$ , le substrat est devenu conducteur et comme expliqué dans III.5.1.a, le champ électrique s'arrête à sa surface, tandis que le champ magnétique le pénètre et y induit des courants de Foucault. Ces courants circulent dans le silicium dont la conductivité est mauvaise. La présence de cette résistance se traduit par l'augmentation de la résistance série de l'inductance et contribue donc à la dégradation du facteur de qualité. Une illustration peut être fournie par l'équation (III.16) :



$$Z_m = \frac{(\omega M_i)^2}{R_i + j\omega L_i} = \left( \frac{R_i (\omega M_i)^2}{R_i^2 + (\omega L_i)^2} - j\omega \frac{L_i (\omega M_i)^2}{R_i^2 + (\omega L_i)^2} \right) \text{ si } \begin{cases} R_i \rightarrow \infty, Z_m \rightarrow 0 \\ R_i \rightarrow 0, Z_m \rightarrow \frac{(\omega M_i)^2}{j\omega L_i} \end{cases} \quad (\text{III.16})$$

Dans le cas de plans de masse structurés ou en l'absence de plan de masse,  $R_i$  possède une valeur finie qui dépend de la résistivité du substrat. Ainsi, la partie réelle de l'impédance  $Z_m$  n'est pas négligeable et contribue à l'augmentation de la résistance effective de l'inductance (Figure III - 22).

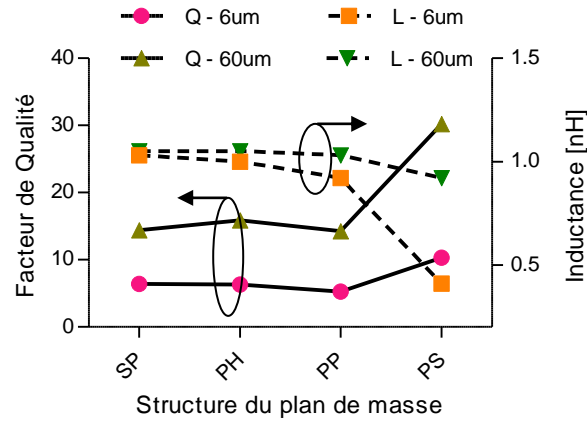


Figure III - 21 : Effets du plan de masse sur le facteur de qualité et la valeur de l'inductance à 2 GHz pour une résistivité de substrat de 0.01  $\Omega.cm$

Dans le cas du plan de masse solide PS, la résistance  $R_i$  est très faible puisque le métal constituant ce plan est très conducteur ( $1,71 \times 10^8 \Omega.m$ ). La partie réelle de  $Z_m$  devient donc très petite si on la compare aux cas précédents, ce qui explique l'augmentation du facteur de qualité (Figure III - 22). Cependant, la valeur de l'inductance diminue en raison d'une partie imaginaire de  $Z_m$  devenue plus grande.

Nous constatons donc que les plans de masse structurés ne se traduisent par aucune amélioration des performances lorsque le substrat silicium présente une très faible résistivité. Dans ce cas, l'utilisation d'un plan de masse solide apparaît nécessaire. Il convient cependant de conduire une optimisation pour diminuer le plus possible l'inductance mutuelle  $M_i$ . Cette diminution est réalisée en éloignant l'inductance du plan de masse solide.

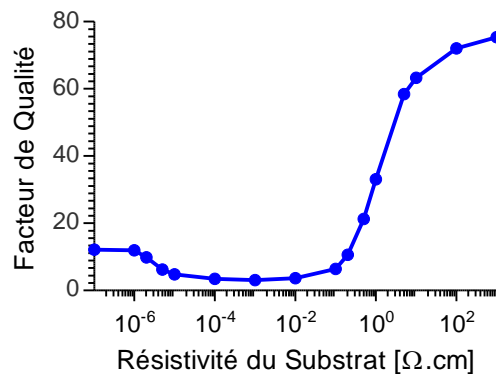


Figure III - 22 : Illustration de l'effet du couplage magnétique avec le substrat/plans de masse

Pour ce faire, nous avons simulé une inductance en faisant varier l'épaisseur de SU8 de 6 à 65  $\mu\text{m}$ . L'évolution du facteur de qualité en fonction de l'épaisseur de la SU8 est représentée sur le graphe de la Figure III - 23. Comme prévu précédemment, le couplage magnétique diminue lorsqu'on éloigne le ruban du plan de masse, ce qui tend à augmenter l'inductance série du ruban, à réduire la résistance série, et finalement à accroître la valeur du coefficient de qualité.

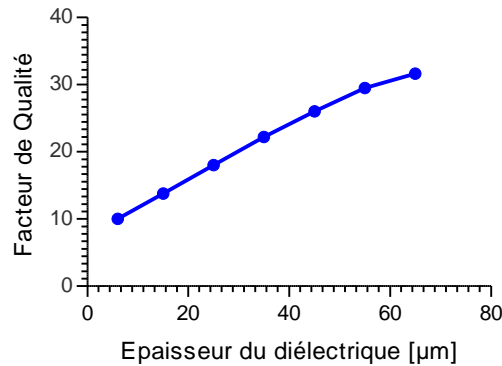


Figure III - 23 : Facteur de qualité à 2 GHz pour différentes épaisseurs du diélectrique SU-8

Plan de masse	SU8 - 6 $\mu\text{m}$					SU8 - 65 $\mu\text{m}$				
	$Q$	$L$	$Q_{max}$	$f_{Qmax}$	$f_{srf}$	$Q$	$L$	$Q_{max}$	$f_{Qmax}$	$f_{srf}$
<b>Sans Plan "SP"</b>	6.4	1.03	8.28	1	14	14.4	1.05	14.93	1	26
<b>Plan Halo "PH"</b>	6.3	1	7.9	1	14	15.9	1.05	15.9	2	26
<b>Plan Perforé "PP"</b>	5.26	0.92	6	1	15	14.24	1.03	16	7	26.5
<b>Plan Solide "PS"</b>	<b>10.3</b>	<b>0.41</b>	<b>11</b>	<b>3</b>	<b>20</b>	<b>30.2</b>	<b>0.92</b>	<b>41.3</b>	<b>9</b>	<b>28</b>

Tableau III - 2 : Récapitulatif des performances des inductances en fonction de la topologie du plan de masse et de l'épaisseur de SU8

Le Tableau III - 2 réalise le bilan, pour deux épaisseurs de SU-8 (6 et 65  $\mu\text{m}$ ) et pour les diverses configurations du plan de masse, des valeurs extraites du facteur de qualité  $Q$  et de la valeur d'inductance  $L$  à 2 GHz, ainsi que du facteur de qualité maximal  $Q_{max}$  et de la fréquence correspondante  $f_{Qmax}$ , et enfin de la fréquence de résonance  $f_{srf}$ . L'éloignement de l'inductance engendre un gain sur le facteur de qualité de 220 et 270% pour les cas sans plan de masse (SP) et plans structurés (PH, PP) et 300% pour le cas d'un plan solide (PS). Nous notons que pour 65  $\mu\text{m}$  de SU8, la structure avec un plan solide présente un coefficient  $Q$  deux fois plus élevé que dans les autres cas ainsi qu'une valeur de  $Q_{max}$  2,73 fois plus grande. Cette structure présente aussi des fréquences de résonance  $f_{srf}$  plus élevées et une valeur d'inductance  $L$  comparable aux autres cas.

### III.5.3 Impact de l'épaisseur du plan de masse sur le facteur de qualité

Il a été établi dans la partie précédente qu'un plan de masse solide était nécessaire entre le substrat et le diélectrique pour éviter les pertes engendrées dans le substrat. Nous allons maintenant

déterminer quelle doit être l'épaisseur de cette métallisation pour que le coefficient de qualité de l'inductance soit maximisé.

La mise en place d'un plan de masse massif sous l'inductance s'accompagne de la circulation de courants images qui dégradent la valeur de l'inductance du ruban par unité de longueur par effet d'induction mutuelle négative. On peut toutefois limiter les pertes magnétiques ainsi engendrées en utilisant un métal le plus conducteur possible et dont l'épaisseur est suffisamment importante pour que le substrat soit complètement masqué. Le graphe de la Figure III - 24 détaille quelques résultats de simulations électromagnétiques réalisées sur un ruban doté d'un plan de masse dont l'épaisseur est comprise entre 0.1 et 8  $\mu\text{m}$ . On constate que le facteur de qualité se dégrade lorsque l'épaisseur devient inférieure à 1.5  $\mu\text{m}$ , cette valeur correspondant à l'épaisseur de peau du cuivre à 2.0 GHz, calculée en utilisant :

$$\delta = \sqrt{\frac{\rho_{DC}}{\pi f \mu_0}} \quad (\text{III.17})$$

Avec  $\rho_{DC}$  la résistivité du métal et  $\mu_0$  la perméabilité magnétique en espace libre.

Ainsi, afin d'empêcher toute dégradation, l'épaisseur du plan de masse doit être correctement dimensionnée selon la fréquence de fonctionnement du circuit et les propriétés électriques du métal constituant ce plan. Pour le cuivre qui présente une résistivité  $\rho_{DC} = 1,71 \times 10^{-8} \Omega \cdot \text{m}$ , l'épaisseur de peau à 2 GHz est égale à  $\delta = 1,47 \mu\text{m}$ . Dans ce cas, une épaisseur supérieure à 1,5  $\mu\text{m}$  est nécessaire pour garantir un facteur de qualité maximal. En outre, une très forte épaisseur n'est pas nécessaire puisqu'elle n'apporte aucun gain supplémentaire sur le facteur de qualité (Figure III - 24).

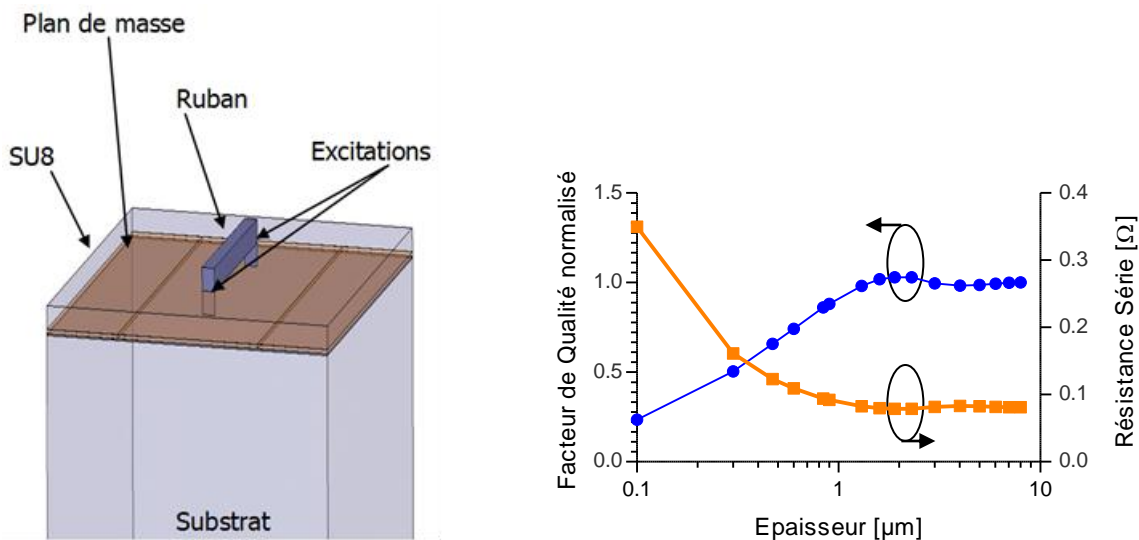


Figure III - 24 : Influence de l'épaisseur du plan de masse sur le facteur de qualité obtenu à 2 GHz

### III.6 Variation du facteur de qualité en fonction de l'épaisseur du diélectrique et de la largeur du ruban

Nous avons vu dans le paragraphe III.5.2.c que le fait d'éloigner l'inductance de son plan de masse solide permet d'améliorer le facteur de qualité en diminuant les pertes d'origines

magnétiques. Dans cette partie, nous allons étudier la variation du facteur de qualité en fonction de l'épaisseur du diélectrique et de la largeur du ruban métallique.

Des simulations ont été effectuées sur une ligne micro-ruban de 1 mm de longueur déposée sur une couche diélectrique de SU8 dont nous avons fait varier l'épaisseur  $h$  de 60 à 160  $\mu\text{m}$ . La largeur du ruban métallique  $w$  prend les deux valeurs 20 et 80  $\mu\text{m}$ , tout en maintenant l'épaisseur  $t$  de la métallisation constante et égale à 35  $\mu\text{m}$ .

Le graphe de la Figure III - 25 montre les variations du facteur de qualité  $Q$  ainsi que de l'inductance  $L$  en fonction de l'épaisseur du diélectrique et des largeurs de ruban.

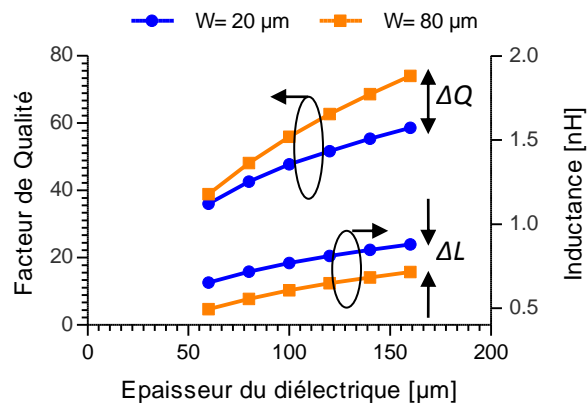


Figure III - 25 : Variations du facteur de qualité et de la valeur d'inductance à 2 GHz en fonction de l'épaisseur du diélectrique et de la largeur  $w$  du ruban

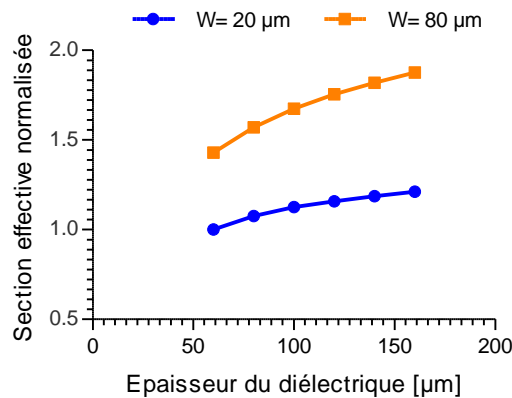


Figure III - 26 : Section effective normalisée du ruban en fonction de l'épaisseur du diélectrique et de la largeur  $w$  du ruban

Nous constatons que la valeur d'inductance augmente en fonction de l'épaisseur de diélectrique et que l'écart  $\Delta L$  obtenu entre les deux largeurs  $w$  du ruban reste constant sur toute la plage des épaisseurs du diélectrique. Cet écart est lié à la diminution de la valeur d'inductance lorsque la section du ruban augmente ( $80 \times 35 \mu\text{m}^2$  comparé à  $20 \times 35 \mu\text{m}^2$ ). En revanche, nous remarquons que pour le facteur de qualité, cet écart  $\Delta Q$  augmente d'une manière conséquente en fonction de l'épaisseur du diélectrique. En effet, lorsque la largeur du ruban augmente, sa section effective devient plus importante et contribue à la réduction de la résistance série de l'inductance. Une largeur de ruban plus importante tend donc à améliorer le facteur de qualité à condition que le ruban soit

suffisamment éloigné du plan de masse ( $\Delta Q \nearrow$  si  $h$  et  $w \nearrow$ ) (Figure III - 25). Cependant, pour de faibles épaisseurs de diélectrique, une largeur de ruban importante se traduit par un couplage avec le plan de masse plus important, avec pour conséquence la réduction de la section effective en raison des effets de proximité (Figure III - 26). Ceci explique le faible écart  $\Delta Q$  dans le cas d'une épaisseur de diélectrique de 60  $\mu\text{m}$ .

Les graphes de la Figure III - 27 montrent le facteur de qualité et la valeur d'inductance normalisés pour toutes les variations que nous avons simulées. Ces courbes nous servent par la suite comme abaque pour dimensionner les inductances en fonction des valeurs souhaitées.

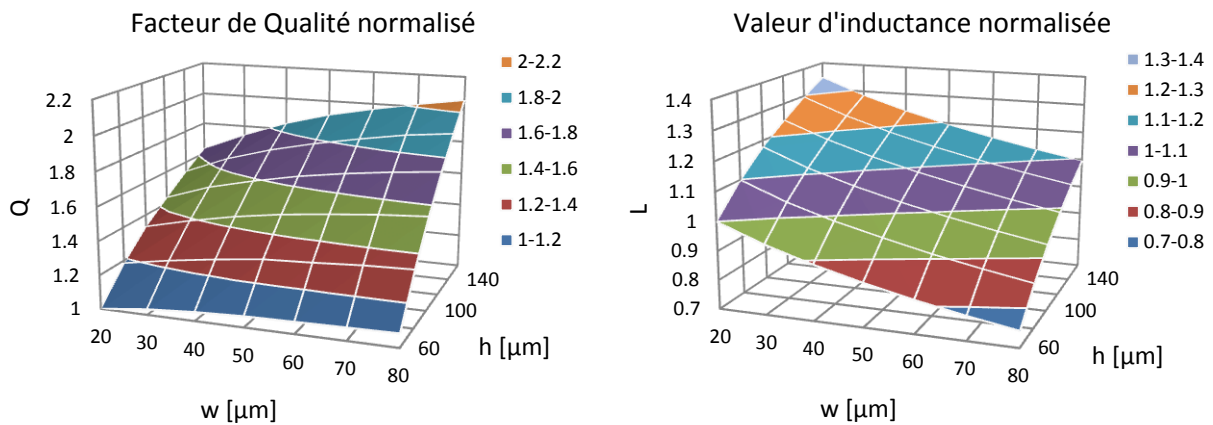


Figure III - 27 : Facteur de qualité et valeurs d'inductances normalisés en fonction de la largeur de ruban  $w$  et de l'épaisseur du diélectrique  $h$

### III.7 Influence du rapport $w/t$ du ruban métallique

A quelques GHz, le facteur de qualité d'une inductance de faible valeur ( $< 1$  nH) est essentiellement limité par l'effet de peau, les pertes diélectriques restant très réduites à ces fréquences. Nous avons donc cherché à optimiser le périmètre d'un ruban tout en gardant sa section constante. Il est possible de la sorte de bénéficier d'une surface effective maximale à l'intérieur de laquelle le courant circule, pour minimiser la valeur de la résistance série. La Figure III - 28 représente le facteur de qualité ainsi que la résistance et l'inductance série d'un ruban pour lequel nous avons modifié le rapport entre sa largeur  $w$  et son épaisseur  $t$ .

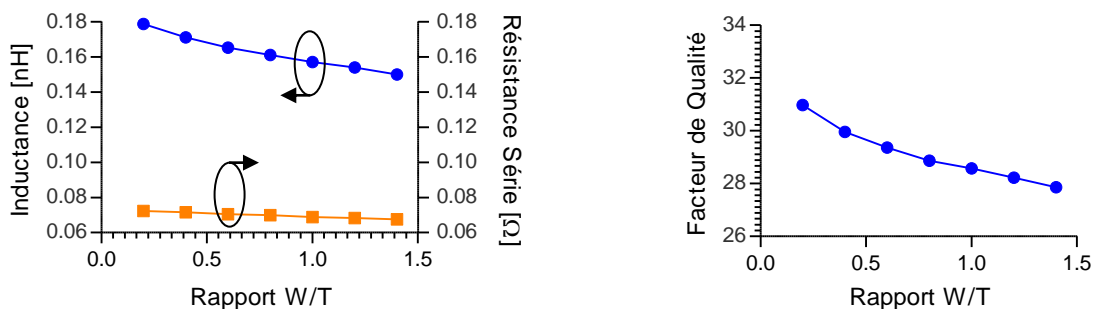


Figure III - 28 : coefficient de qualité, inductance et résistance série à 2 GHz d'un ruban en fonction du facteur de forme

Ce graphe montre que le facteur de qualité  $Q$  croît lorsque le facteur de forme  $w/t$  diminue. Une explication peut être fournie à partir du graphique ci-dessous (Figure III - 29) qui schématise la répartition du champ magnétique  $H$  autour du ruban pour des valeurs importante et faible du rapport  $w/t$ .

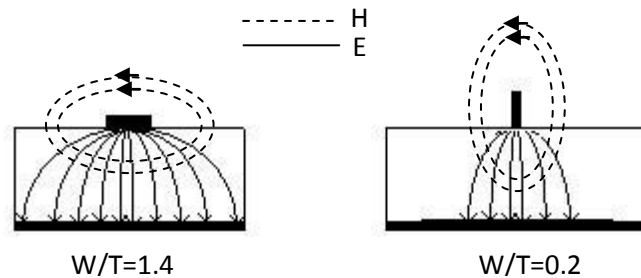


Figure III - 29 : Répartition des champs  $E$  et  $H$  en fonction du rapport  $w/t$

Dans le cas où la largeur de ruban est importante, la résistance série est minimisée car la part de ruban en vis-à-vis avec le plan de masse est elle aussi importante, ce qui maximise la section effective à l'intérieur de laquelle le courant circule. Cette configuration présente cependant un inconvénient : le couplage par effet d'induction mutuelle négative avec le plan de masse augmente en raison de la configuration du champ magnétique qui tourne autour du ruban. Cette configuration conduit à un facteur de qualité plus faible que lorsque le rapport  $w/t$  est de valeur plus réduite. Rajoutons, d'autre part, que la capacité parasite entre le ruban et la masse est maximisée lorsque le rapport  $w/t$  est important, ce qui tend à diminuer la fréquence maximale d'utilisation de l'inductance et à augmenter les pertes diélectriques.

Quand le rapport  $w/t$  est de valeur réduite, on dénote une légère augmentation de la résistance série puisque la part de ruban en vis-à-vis avec le plan de masse se réduit. L'augmentation de cette résistance n'est toutefois pas trop pénalisante puisque le courant passe toujours par les parois latérales du ruban. On remarque en revanche un effet très positif sur l'inductance du ruban grâce au couplage magnétique plus réduit que précédemment.

En conclusion, pour obtenir un facteur de qualité le plus élevé possible, il est intéressant de réaliser des rubans ayant le rapport  $w/t$  le plus faible possible. Dans notre cas, les limites nous seront imposées par l'épaisseur de métal maximale qu'il est possible d'atteindre en exploitant la technologie développée par la salle blanche du LAAS. Au début du projet, cette épaisseur maximale était fixée à  $35 \mu\text{m}$ . Cependant, nous allons voir dans les paragraphes suivant qu'un nouveau procédé a été établi et qui a permis d'intégrer de plus fortes épaisseurs de métal.

### III.8 Couplage entre les rubans métalliques

Lorsque deux (ou plusieurs) rubans sont placés à proximité l'un de l'autre, il se produit un effet d'induction mutuelle, qui est positive ou négative, selon que les courants dans chaque ruban circulent dans le même sens ou dans des sens opposés. Nous savons que ce couplage engendre aussi l'effet de proximité, qui augmente la résistance du conducteur en modifiant la répartition du courant

à l'intérieur de ce ruban, selon l'intensité et le sens du champ magnétique provenant du conducteur voisin.

L'effet le plus intéressant est évidemment de coupler deux conducteurs dont le courant circule dans le même sens de manière à bénéficier d'un couplage mutuel positif, qui va augmenter l'inductance par unité de longueur observée sur chaque ruban. Cette propriété permet alors de réaliser des inductances de valeurs élevées avec des longueurs de fil réduites, et donc un encombrement modeste.

Nous avons réalisé des simulations électromagnétiques pour observer le couplage mutuel positif en fonction de l'éloignement de deux conducteurs (Figure III - 30) de 400  $\mu\text{m}$  de long déposés sur une couche de SU8 de 35  $\mu\text{m}$  d'épaisseur. Le coefficient de qualité, la résistance série et l'inductance d'un ruban sont représentés en fonction de l'espacement  $S$  sur la Figure III - 31.

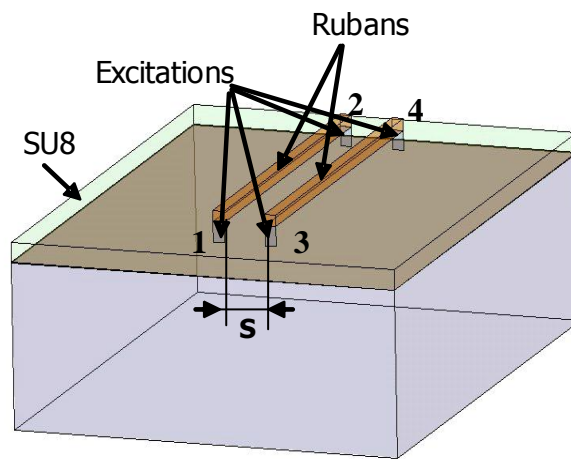


Figure III - 30 : Structure de rubans couplés utilisée pour les simulations

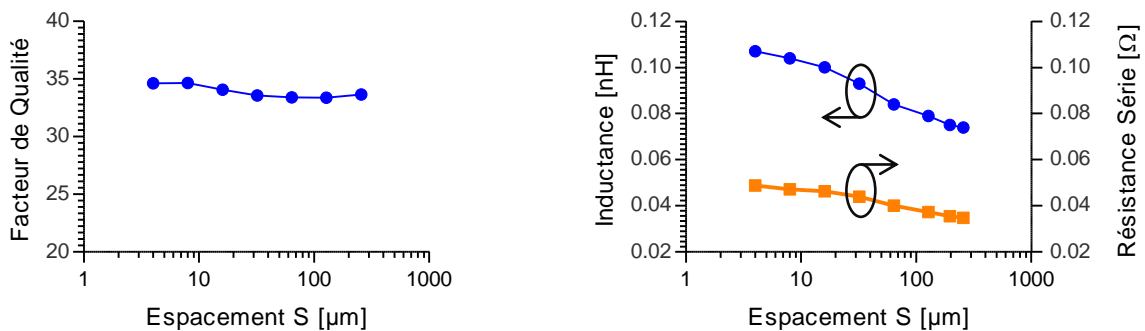


Figure III - 31 : Variations du facteur de qualité, de l'inductance  $L$  et de la résistance dynamique  $R_s$  à 2 GHz en fonction de  $S$ , espacement entre les 2 rubans conducteurs

Ces graphes montrent que le rapprochement des deux rubans métalliques entraîne une augmentation de l'inductance totale du fil par induction mutuelle, mais aussi celle de la résistance série, en raison de l'effet de proximité. Le graphique détaillant le facteur de qualité montre une indépendance de ce paramètre avec la distance qui sépare les rubans puisque celui-ci n'est modifié au maximum que de 1 à 2 points. Le rapprochement des conducteurs s'effectue donc sans dégradation du facteur de qualité, ce qui est une bonne nouvelle qui va nous permettre de réaliser

des éléments inductifs optimisés en densité d'intégration sans compromis sur les performances obtenues. De telles inductances sont présentées dans les paragraphes suivants.

### III.9 Développement du procédé d'intégration

En utilisant les résultats présentés auparavant, des structures inductives de puissance à fort coefficient de qualité ont été simulées et dimensionnées. Ces structures ainsi que les résultats de leurs caractérisations seront présentés dans le chapitre suivant. Les paragraphes qui suivent sont consacrés aux développements technologiques que nous avons menés pour l'intégration de ces inductances. Un premier procédé d'intégration « above IC » a été développé au sein de la centrale technologique du LAAS permettant de déposer ces inductances sur une puce intégrant des transistors LDMOS de puissance. Par la suite, un deuxième procédé a été conçu et mis au point, qui apporte des avancées significatives en comparaison du premier.

Nous allons dans un premier temps présenter le premier procédé. Puis, nous expliquons les raisons qui nous ont conduits à développer un deuxième procédé et nous présentons les diverses étapes technologiques nécessaires.

#### III.9.1 Premier procédé technologique

Ce procédé permet d'intégrer des inductances planaires au-dessus d'une couche de SU8 réalisant la couche diélectrique. La connexion entre les selfs et le transistor est réalisée par des vias traversant en cuivre implantés à travers la couche diélectrique. Pour l'intégration de tous les éléments nécessaires, les étapes technologiques mises en œuvre sont présentées sur la Figure III - 32.

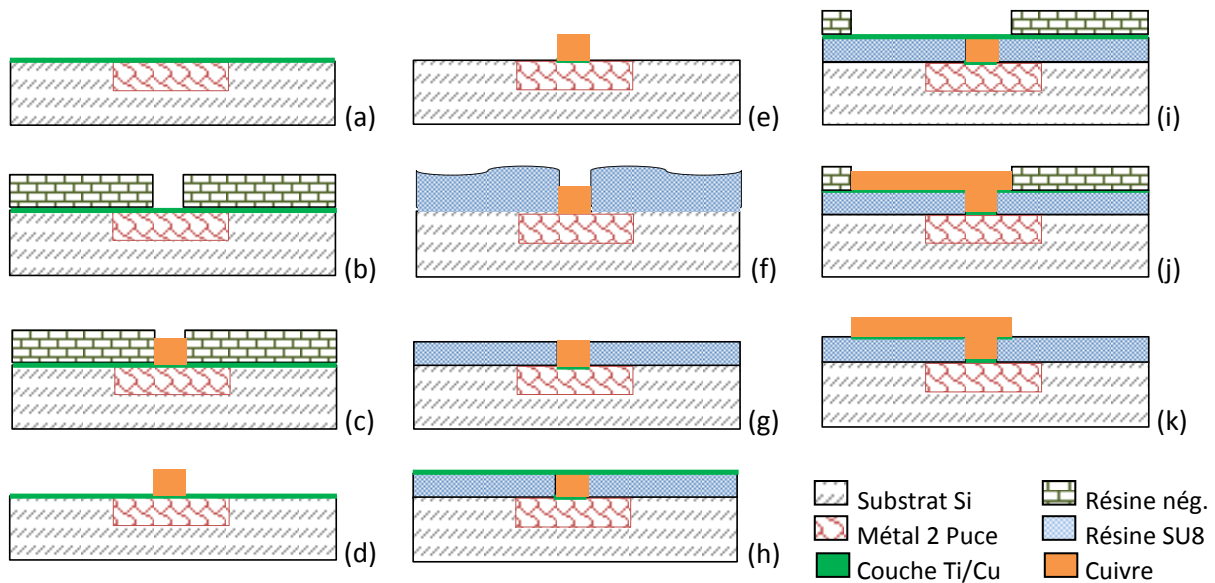


Figure III - 32 : Etapes technologiques pour réaliser une inductance Above-IC

#### (a) et (h) : Couche d'accrochage Titane / Cuivre "Ti/Cu"

Cette couche est déposée par évaporation sous vide d'une couche de titane puis d'une couche de Cuivre. Elle constitue une base pour la croissance électrolytique du Cuivre. Elle doit être



suffisamment épaisse pour obtenir une bonne qualité de dépôt mais relativement fine pour être ensuite facilement gravée sans que cette gravure détériore les autres couches. L'expérience nous a montré qu'une bi-couche de 500 Å de titane suivi de 500 Å de cuivre constitue un bon compromis.

**(b) et (i) : Dépôt d'une couche épaisse de résine négative**

Cette couche sert à structurer la croissance électrolytique du cuivre en la limitant dans des zones prédéfinies lors de la conception du circuit. Elle est formée par enduction manuelle de résine sur la plaquette 4" à l'aide d'une tournette à capot ouvert. La vitesse et le temps de rotation ainsi que l'accélération de la tournette fixent l'épaisseur et l'homogénéité de la couche déposée. Après enduction, des étapes de recuit à faible température (120 °C) sont nécessaires pour évaporer les solvants de la résine et pour préparer cette couche à l'insolation. Les temps de recuits sont importants et sont ajustés en fonction de l'épaisseur de la résine. Ces temps ont des conséquences sur l'adhérence de la couche sur le circuit, sur la qualité de l'insolation, sur la résolution des motifs que l'on pourra ouvrir dans la résine (rapport de forme) etc... En outre, la durée ne doit être trop longue pour ne pas détruire les photo-initiateurs de la résine et la rendre insensible à la lumière UV (qui déclenche le processus de polymérisation). Après insolation (UV de longueur d'onde 365 nm), la résine est développée (révélée) en à l'aide d'une solution chimique qui grave les parties non insolées pour former les moules.

**(c) et (j) : Croissance électrolytique du Cuivre**

Cette étape permet la formation des trous métallisés à travers la couche diélectrique ainsi que la formation des composants en surface de cette couche. La croissance électrolytique du cuivre se fait par immersion de la plaquette dans un bain contenant des ions de cuivre  $\text{Cu}^{2+}$ . Les ions se réduisent en Cu à la surface de la plaquette formant ainsi la couche de métal. Cette méthode est simple à mettre en œuvre mais nécessite de nombreuses étapes de calibrage puisque la qualité, l'épaisseur et l'homogénéité du dépôt dépendent de plusieurs paramètres tel que la concentration des ions de cuivre, le courant, les additifs, le pH de la solution ...

La vitesse de croissance du cuivre, est dépendante de la densité d'électrons présente à la surface de la plaquette. Par conséquent, pour obtenir une croissance de cuivre d'épaisseur constante sur toute la surface de la plaquette, la répartition du courant doit être la plus homogène possible. Pour cela, le métal de la couche d'accrochage doit être le plus conducteur possible et couvrir la surface du wafer.

**(d) : Dissolution de la résine négative**

Cette résine constituant une couche sacrificielle, elle est dissoute après le dépôt électrolytique. Cette étape est réalisée en immergeant et en agitant la plaquette dans une solution chimique dédiée pendant une certaine durée.

**(e) : Gravure de la couche d'accrochage en métal**

Après dissolution de la résine négative sacrificielle, il est nécessaire de graver la couche d'accrochage entre les rubans/vias pour libérer les métallisations (précédemment court-circuitées par la couche d'accrochage). La gravure de cette couche se fait en deux étapes :

1. Gravure de la couche de cuivre par une solution chimique à base de  $H_2O + H_2O_2 + HCl$  (98%, 1% et 1% respectivement).
2. Gravure de la couche de titane par une solution à base d'acide fluorhydrique HF diluée à 12,5%.

Le temps de gravure est critique puisqu'il est possible de sur-graver la couche d'accrochage et de décoller les métallisations. Il est aussi nécessaire d'effectuer des cycles d'attaque et de rinçage à l'aide d'eau désionisée pour réaliser une bonne gravure. Ces cycles permettent de chasser les bulles d'air souvent formées lors de l'attaque et qui empêchent localement la gravure.

**(f) : Dépôt du diélectrique à base de SU8**

L'enduction de la SU8 est une étape importante et qui a nécessité beaucoup d'essais de mise au point avant d'obtenir le résultat souhaité. En effet, cette couche doit remplir l'espace entre les vias (sous forme de piliers en cuivre, à ce stade) tout en ayant l'épaisseur souhaitée et une bonne homogénéité de cette épaisseur sur la totalité de la plaquette. La présence des vias perturbe l'étalement de la résine sur la surface de la plaquette. Une résine visqueuse permet de réaliser de fortes épaisseurs en une seule enduction, mais elle ne comble pas correctement le volume entre les vias. En revanche, une résine fluide s'étale facilement entre les vias, mais elle ne permet pas de réaliser de fortes épaisseurs. Après plusieurs essais, le meilleur résultat a été obtenu en utilisant une SU8 fluide 3005 avec le principe d'enduction multiple pour obtenir l'épaisseur souhaitée. Pour former une couche de 60  $\mu m$ , deux enductions ont été nécessaires et réalisées comme suit :

- Première couche : 30  $\mu m$ 
  - Enduction d'un volume de 8 ml de SU8 3005
  - Pré-recuit de la couche à 95°C
- Deuxième couche : 30  $\mu m$ 
  - Enduction d'un volume de 8 ml de SU8 3005
  - Pré-recuit de la couche à 95°C
- Insolation par rayons UV (longueur d'onde : 365nm) pendant 30s
- Recuit après insolation à 95°C (Post exposure bake)
- Développement de la résine en utilisant le Propylene Glycol Methyl Ether Acetate (PGMEA)
- Recuit final à 125°C

**(g) : Planarisation/polissage de la SU8**

Malgré tout, après le dépôt, une sur-épaisseur de SU8 est présente autour des vias (figure III-32). Cette sur-épaisseur va empêcher le contact électrique entre le via et l'inductance (intégrée lors de l'étape (j)). De plus, l'utilisation de la version fluide de la SU8 conduit aussi à une sur-épaisseur sur les bords du wafer. Donc, une étape de planarisation/polissage de la SU8 s'est avérée nécessaire pour obtenir la continuité électrique entre le via et l'inductance et pour améliorer l'homogénéité de l'épaisseur de la couche de SU8 sur toute la surface de la plaquette.

Le dispositif utilisé pour le polissage est schématisé sur la Figure III - 33. Fixé sur un plateau secondaire, le wafer est en regard du plateau primaire et sa surface est amenée à proximité de ce

plateau. Les deux plateaux tournent en sens inverse. Le plateau principal est enduit en continue d'une solution abrasive contenant des grains d'alumine de diamètre connu (0,3Hm). Un déplacement transversal du plateau secondaire, conjointement aux mouvements de rotation des deux plateaux, permet d'homogénéiser la répartition de la solution d'attaque sur tout le wafer. Un faible espace est maintenu entre le wafer et le tapis du plateau principal afin que la solution abrasive soit correctement répartie sur toute la surface du wafer.

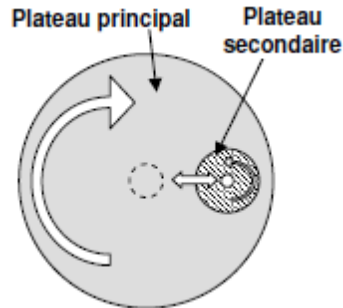


Figure III - 33 : Principe de fonctionnement de la polisseuse

#### **(k) : Finalisation et protection du Cuivre**

Après la croissance du cuivre (j), le nettoyage de la résine négative épaisse et la gravure de la couche d'accrochage (étapes (d) et (e)), le dépôt d'une fine couche d'or est réalisé sur les interconnexions et les inductances. Le but de ce dépôt est, à la fois, de protéger le cuivre de l'oxydation et de faciliter la soudure des fils micro-soudés qui connectent la puce aux pattes du boîtier. Cette couche est déposée par une technique chimique appelée "Dépôt par déplacement" qui ne nécessite aucun courant. L'échange entre les atomes de cuivre et d'or s'effectue lorsque la plaquette est immergée dans la solution chimique.

### **III.9.2 Deuxième procédé technologique**

D'excellentes réalisations ont été obtenues par la mise en œuvre du procédé technologique décrit précédemment. Cependant, nous avons cherché à l'optimiser en le simplifiant. En effet, quelques limitations nous ont parues pénalisantes :

- L'étape de polissage s'est avérée délicate car elle nécessite un excellent contrôle des différents paramètres du polissage pour obtenir une bonne reproductibilité, ce qui n'est pas facilement réalisable. De plus, elle s'accompagne de gros risques de casse de la plaquette.
- La double induction de SU8 augmente le nombre d'étapes ainsi que le temps de fabrication.
- La réalisation de structures tridimensionnelles demande de rajouter un grand nombre d'étapes technologiques.
- Le nombre d'étapes relativement important ne satisfait pas complètement les exigences industrielles en termes de coûts et de délais de fabrication.

Un deuxième procédé a donc été mis au point pour s'affranchir de ces limitations et offrir une solution à la fois simple et efficace. Son principe consiste à effectuer un dépôt tridimensionnel de cuivre en une seule étape. Comparé au précédent, ce procédé présente les avantages suivants :

- Absence de l'étape de polissage mécanique de la SU8.
- Enduction de la SU8 en une seule étape pour obtenir l'épaisseur souhaitée et de bonne homogénéité. Ce procédé permet aussi de structurer et de localiser la couche de SU8 au-dessous des interconnexions et des structures inductives pour diminuer le stress mécanique causé par cette résine. Il permet aussi d'empiler des couches de SU8 en pleine plaque et structurées.
- Absence de l'étape de croissance des vias. Un dépôt électrolytique tridimensionnel permet de faire croître en même temps les inductances et les vias.
- Possibilité de réaliser des structures tridimensionnelles en rajoutant une seule étape supplémentaire. Souvent, cette étape consiste à rajouter une couche supplémentaire de SU8 permettant d'élever au-dessus du substrat les métallisations et former la structure tridimensionnelle.
- Possibilité de réaliser plusieurs niveaux de métal en un seul dépôt électrolytique à condition qu'il n'y ait pas de croisement entre les rubans.
- Réduction importante du nombre d'étapes technologiques facilitant l'industrialisation du procédé tout en réduisant les coûts et les délais de fabrication.
- Ce procédé est facilement transférable puisqu'il utilise des moyens de fabrication courants dans l'industrie de la microélectronique. L'intégration de ce procédé dans les chaînes de fabrication industrielles de composants microélectroniques peut être réalisée sans aucune difficulté et sans aucun investissement supplémentaire.

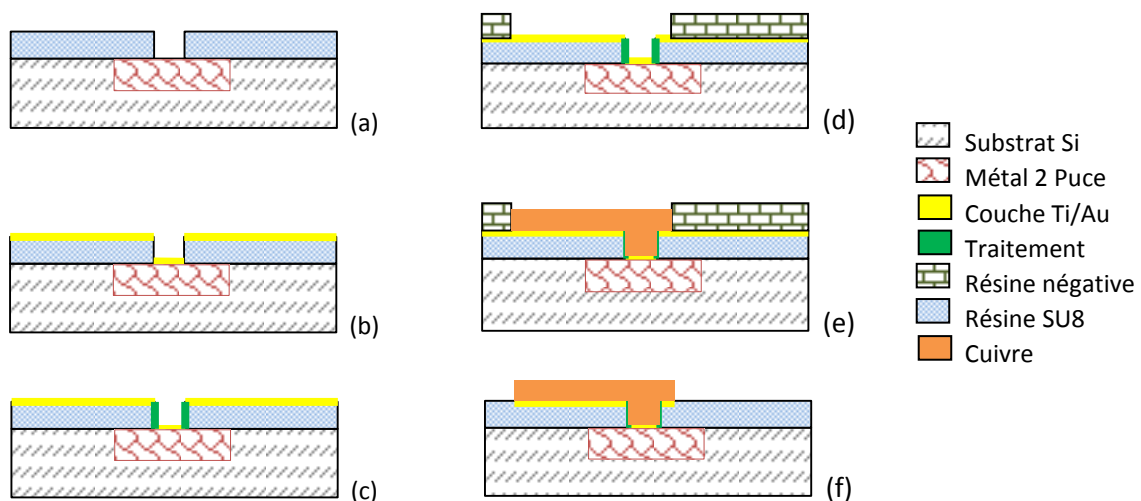


Figure III - 34 : Étapes technologiques du deuxième procédé

Les étapes technologiques du procédé sont représentées sur la Figure III - 34. Elles consistent en l'enchaînement suivant :

(a) Dépôt de la couche de SU8

- (b) Dépôt d'une couche d'accrochage en Titane/Or (Ti/Au) au lieu du Ti/Cu car cette dernière avait tendance à se graver dans le bain électrolytique en raison des profils de courants utilisés lors de la croissance électrolytique.
- (c) Traitement de la SU8 par une solution chimique permettant de métalliser les flans des trous afin de les rendre conducteurs. Cette étape est nécessaire puisque une ouverture dans la SU8 possède des flans droits difficiles à métalliser par la couche d'accrochage. Cependant, cette couche étant fine, un profil de courant en créneau doit être utilisé ensuite pour le dépôt électrolytique pour qu'elle puisse supporter les niveaux de courants. Une valeur initiale de courant trop importante détruirait cette couche et créerait une discontinuité électrique entre le haut et le fond du trou à métalliser.
- (d) Dépôt de la couche sacrificielle de résine négative dans laquelle des moules sont formés pour la croissance électrolytique.
- (e) Dépôt électrolytique tridimensionnel de cuivre réalisant la croissance simultanée des vias et des rubans pour les interconnexions et les inductances.
- (f) Dissolution de la résine négative sacrificielle et gravure de la couche d'accrochage en Ti/Au.

Pour réaliser une structure tridimensionnelle, il suffit de rajouter une couche supplémentaire structurée de SU8 tel que présenté sur la Figure III - 35.

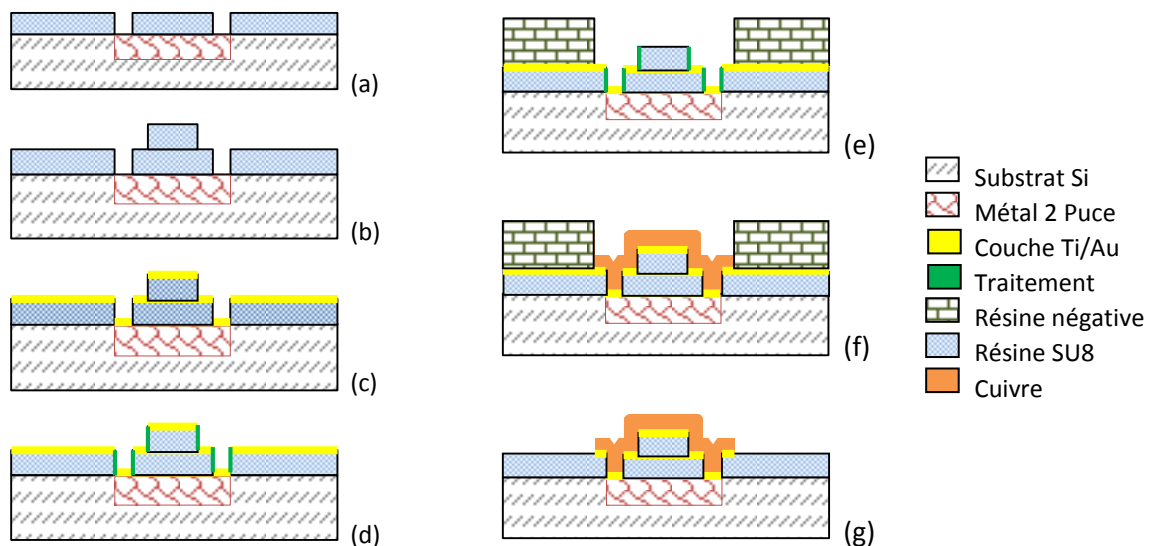


Figure III - 35 : Réalisation d'une structure tridimensionnelle

Comme l'illustre cette dernière figure, ce procédé technologique offre par sa grande simplicité d'énormes degrés de liberté pour la réalisation de structures tridimensionnelles.

### III.10 Conclusion

Ce chapitre introduit les techniques qui peuvent être utilisées pour diminuer les pertes induites par un substrat de silicium faible résistivité et améliorer les performances des inductances.

Dans un premier temps, nous avons justifié le choix de la SU8 comme résine diélectrique pour l'application de puissance visée. Comparée au BCB, cette résine présente de nombreux avantages

technologiques tout en maintenant le niveau des performances électriques pour des fréquences inférieures à 5GHz. Par la suite, la SU8 a été caractérisée. Dans ce cadre, nous avons développé deux nouvelles méthodes d'extraction des propriétés de diélectriques à partir de mesures des paramètres-S effectuées sur des lignes micro-rubans.

Dans un deuxième temps, les effets de la résistivité du substrat de silicium sur les performances des inductances ont été évalués. Nous avons constaté que pour de très faibles résistivités ( $< 0.1 \Omega.cm$ ) les pertes sont très importantes et que l'utilisation d'un plan de masse est rendue nécessaire. Nos développements ont montré que pour ces valeurs de résistivités, les plans de masse structurés sont inefficaces et que seuls les plans de masse solides apportent des améliorations. Par la suite, différentes solutions ont été proposées pour diminuer l'impact du plan de masse solide et pour optimiser le facteur de qualité.

Finalement, nous présentons les deux procédés technologiques d'intégration d'inductances et d'interconnexions au-dessus de puces actives de puissance que nous avons développés. Ces procédés « above IC » nous ont permis d'intégrer avec succès des inductances de grande qualité. Nous apportons des solutions aux quelques limitations du premier procédé (notamment liée à l'étape de polissage mécanique et au nombre d'étapes) ce qui nous conduit à proposer un deuxième procédé original et efficace. Ce dernier est basé sur une croissance électrolytique de cuivre tridimensionnelle qui réduit de façon conséquente le nombre d'étapes en comparaison au premier et aux procédés de la littérature. L'autre grand avantage de ce procédé technologique réside dans la facilité de son intégration dans les chaînes de fabrication industrielles de microélectronique, sans aucune difficulté et sans aucun investissement supplémentaire.

### III.11 Références

- [1] A. Ghannam, et al., "High-Q SU8 Based Above-IC Inductors for RF Power Devices", 11th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 17-19 January 2011, Phoenix, AZ
- [2] F. D. Mbairi, H. Hesselbom "High Frequency Design and Characterization of SU-8 base Conductor Backed Coplanar Waveguide Transmission Lines", in Advanced Packaging Materials : Processes, Properties and Interfaces, 2005. Proceedings. International Symposium on. 2005.
- [3] R. Osorio, M. Klein, H. Massler, J.G. Korvink "Micromachined Strip Line with SU-8 as the Dielectric", 11th GAAS Symposium – Munich 2003.
- [4] B. C. Wadell, "Transmission Line Design Handbook" Artech House. Microwave Library Volume : 101-400, ISBN : 9780890064368, Publication. Date : May 1991.
- [5] J. Hinojosa, "S-parameter Broad-band Measurements On-microstrip and fast extraction of the substrate Intrinsic Properties". IEEE Microwave and wireless Components letters Vol.11, N°7, July 2001.
- [6] A. Ghannam, et al., "Dielectric microwave characterization of the SU-8 thick resin used in an above IC process," in Microwave Conference, 2009. EuMC 2009. European, 2009, pp. 1041-1044.
- [7] W. B. Weir, "Automatic measurement of complex dielectric constant and permeability at microwave frequencies" Proceedings of the IEEE, 1974. 62(1) : pp. 33-36.
- [8] E. Hammerstad and O. Jensen, "Accurate Models for Microstrip Computer-Aided Design", 1980 IEEE catalog #80CH1545-3MTT, pp 407-409
- [9] I.J. Bahl, R. Garg, "Simple and Accurate formulas for a Microstrip with Finite Strip Thickness" Proceedings of the IEEE, 1977. 65(11) : pp. 1611-1612.
- [10] C.G. Boryden, "Quasi-Newton Methods and their Application to Function Minimization" Mathematics of Computation, vol. 21, no. 99. (1967), pp. 368-381.
- [11] H. Hasegawa, M. Furukawa and H. Yanai "Properties of microstrip line on Si-SiO<sub>2</sub> system", IEEE MTT-19 n°11 pp869-881, Nov. 1971.
- [12] C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," IEEE J. Solid-State Circuits, vol. 33, no. 5, pp. 743-752, May 1998.
- [13] J.N. Burghartz, "Progress in RF inductors on silicon-understanding substrate losses", IEEE International Electron Devices Meeting (IEDM), 1998, pp. 523-526.
- [14] Y. E. Chen, D. Bien, D. Heo, J. Laskar, "Q-enhancement of spiral inductor with N<sup>+</sup>-diffusion patterned ground shields", IEEE MTT-S International Microwave Symposium Digest, Vol.2, pp. 1289-1292, 2001
- [15] S.-M. Yim and T. Chen, "The effects of a ground shield on the characteristics and performance," IEEE J. Solid-State Circuits, vol. 37, no. 2, pp. 237-244, Feb. 2002.

## Chapitre IV:

# OPTIMISATION ET FABRICATION "ABOVE IC" D'INDUCTANCES DE PUISSANCE SUR SUBSTRAT LDMOS

## IV.1 Introduction

Dans les chapitres précédents, nous avons identifié les différents mécanismes à l'origine des pertes dans les inductances intégrées au-dessus d'un substrat silicium de faible résistivité. Ce travail nous a permis ensuite d'exposer différentes techniques servant à minimiser ces pertes et à optimiser le facteur de qualité de l'inductance.

Nous allons présenter, dans ce quatrième chapitre, les différentes structures réalisées sur cette base. Les inductances ont tout d'abord été optimisées puis intégrées isolément de tout composant actif pour vérifier la maîtrise de la technologie et la conception. Nous exposons dans ce cas les résultats de caractérisation sous pointes ainsi qu'un comparatif des performances obtenues pour les différentes structures conçues. L'étape précédente ayant permis d'aboutir aux résultats attendus, dans un second temps, ces inductances ont été intégrées au-dessus des transistors LDMOS de puissance. Dans ce cadre, pour obtenir les puces finales qui puissent être caractérisées, nous avons procédé de plus aux différentes étapes d'amincissement des puces et de mise en boîtier. Pour terminer, nous décrivons les problèmes rencontrés ainsi que les solutions proposées.

## IV.2 Contraintes d'intégration

Rappelons ici que les inductances vont être intégrées à proximité du transistor de puissance, sur la même puce. Cela fixe donc l'encombrement maximal à ne pas dépasser pour les inductances dont la valeur dépendra de l'impédance du transistor à préadapter et du nombre d'inductances en parallèle. Puisqu'une couche de résine SU8 sera déposée sur la puce du transistor, des trous métallisés (vias) à travers la résine SU8 seront nécessaires pour ramener des plots d'accès du transistor en surface de la couche de SU8 ou pour connecter les inductances à des éléments intégrés en surface du substrat de silicium.



Rappelons aussi que pour des raisons de distribution des signaux électriques, il est nécessaire d'intégrer un réseau d'inductances en parallèle. Ces inductances doivent être équitablement réparties sur toute la largeur du drain et/ou de la grille du transistor LDMOS de puissance pour que l'ensemble du composant fonctionne dans les meilleures conditions.

### IV.3 Structures inductives optimisées (version 1)

Dans un premier temps, nous avons décidé de dimensionner et d'intégrer uniquement les inductances du réseau de préadaptation de sortie du LDMOS puisque ce sont les éléments qui supportent les plus fortes contraintes électriques. Dans ce paragraphe, nous présentons dans un premier temps la conception de ces structures ainsi que leurs performances simulées avec HFSS. Puis, nous décrivons les techniques mises en place pour la caractérisation sous pointes. Enfin, après intégration à l'aide du premier procédé développé, nous présentons les performances expérimentales obtenues pour les inductances seules.

#### IV.3.1 Dimensionnement des inductances

Compte tenu de la topologie du circuit de préadaptation et de la valeur de l'impédance de sortie du transistor à transformer (cf chapitre I), la valeur totale de l'inductance parallèle à intégrer est de l'ordre de 0.23 nH. Comme mentionné précédemment, cette valeur doit être obtenue par la mise en parallèle de plusieurs inductances. La valeur de self élémentaire varie donc selon le nombre de fils à intégrer sur la surface dédiée. Pour le premier démonstrateur LDMOS, nous avons décidé d'intégrer en sortie soit 6 fils, correspondant à une valeur de self élémentaire de 1.4 nH fils (ces valeurs sont uniquement indicatives car elles ne tiennent pas compte d'un éventuel couplage).

Compte tenu par ailleurs que l'encombrement des inductances a été fixé sur la puce active du transistor LDMOS, l'écartement des deux terminaux de chaque inductance est déterminé et identique pour toutes les topologies étudiées.

##### IV.3.1.a Inductances spirales

Nous avons tout d'abord considéré une inductance spirale quasi-rectangulaire possédant 1.5 tour, pour laquelle les angles sont arrondis afin d'éviter les discontinuités qui dégradent le facteur de qualité. Pour dimensionner au mieux et au plus vite les inductances en fonction de la valeur souhaitée, la méthode mise en place a été la suivante :

- Nous simulons d'abord la self de 1.5 tours de valeur la plus grande (Figure IV - 1a).
- Nous introduisons ensuite une dimension  $L_r$  (longueur retranchée) caractérisant la diminution de la longueur de la spirale (Figure IV - 1b).
- A partir de quelques simulations électromagnétiques nous construisons un abaque (Figure IV - 2) qui nous permettra par la suite d'obtenir avec une précision correcte la dimension de la spirale à mettre en œuvre pour obtenir la valeur d'inductance souhaitée.

Au niveau des performances, nous remarquons sur la Figure IV - 1a que la spirale tire profit du couplage positif entre les deux spires. L'inductance mutuelle qui résulte de ce couplage permet de

maximiser la valeur de l'inductance pour une longueur totale de ruban donnée. Nous relevons que l'inductance présente la valeur souhaitée pour une longueur retranchée de 625  $\mu\text{m}$ .

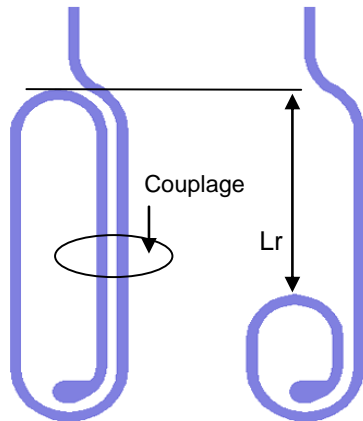


Figure IV - 1 : Inductance a) originale. b) de Longueur réduite.

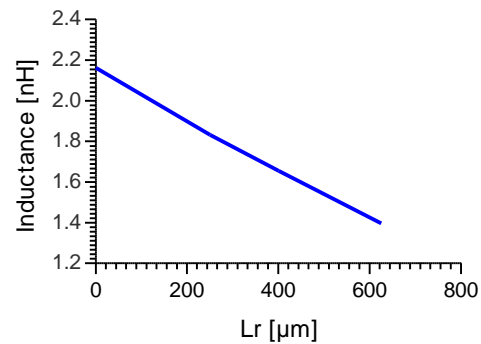


Figure IV - 2 : Variation de l'inductance en fonction de la longueur retranchée  $L_r$

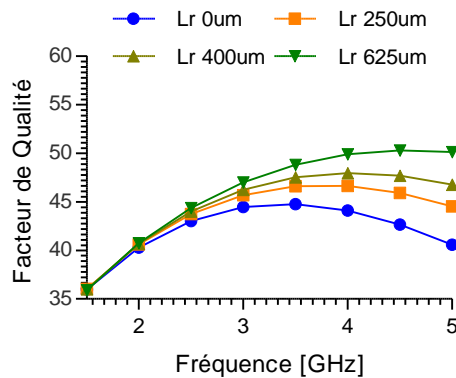


Figure IV - 3 : Facteur de qualité en fonction de la fréquence pour différentes longueurs de la spirale

Cependant sur la Figure IV - 3, nous remarquons que le facteur de qualité possède un maximum dont la fréquence et la valeur est fonction de  $L_r$ . Cette variation provient de la diminution de la surface occupée par la spirale en fonction de  $L_r$ , ce qui modifie par conséquent le niveau des pertes diélectriques de l'inductance.

### IV.3.1.b Inductances Couplées

Comme nous l'avons vu dans le chapitre précédent, le couplage entre deux rubans permet d'augmenter la valeur de l'inductance tout en diminuant la longueur de ruban nécessaire. Nous avons donc décidé de tirer profit de ce couplage et d'étudier différentes structures couplées afin d'aboutir à une inductance optimisée en terme de facteur de qualité et d'encombrement. Les diverses topologies étudiées font l'objet des paragraphes suivants.

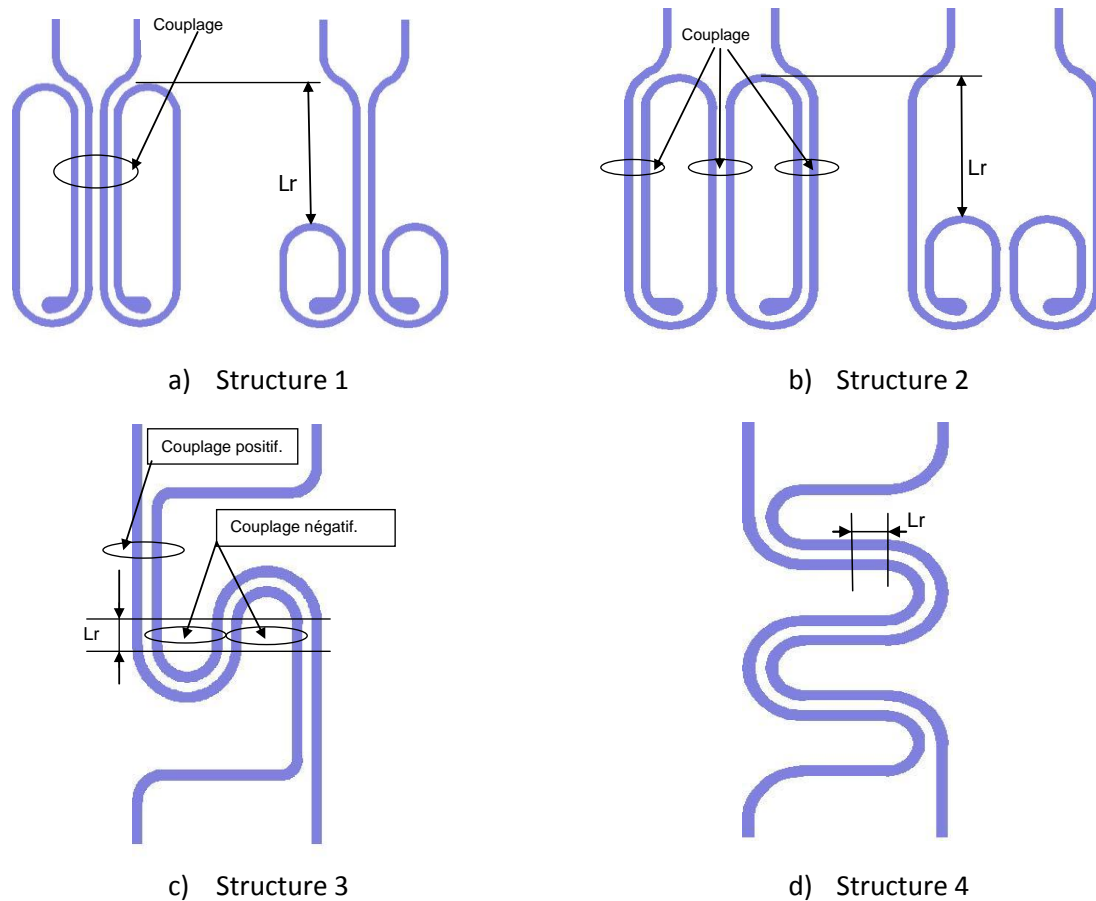


Figure IV - 4 : Dessin des différentes structures couplées

### IV.3.1.b.1 Première structure

Cette structure est constituée par le couplage de deux inductances de forme identique, comme celle qui a été analysée au paragraphe précédent. Cette association a pour objectif un couplage positif entre quatre des rubans (Figure IV - 4a). Cette structure est étudiée en faisant varier les longueurs des rubans couplés. Ensuite, un abaque permettant d'estimer les valeurs d'inductance en fonction de la longueur retranchée  $L_r$  est construit (Figure IV - 5).

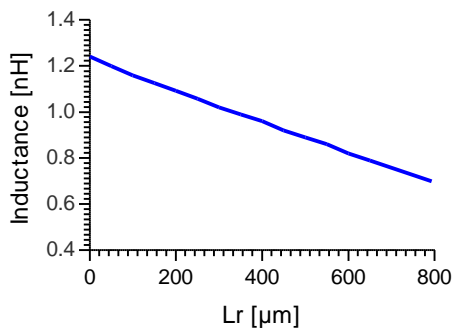


Figure IV - 5 : Variation de l'inductance en fonction de la longueur retranchée  $L_r$

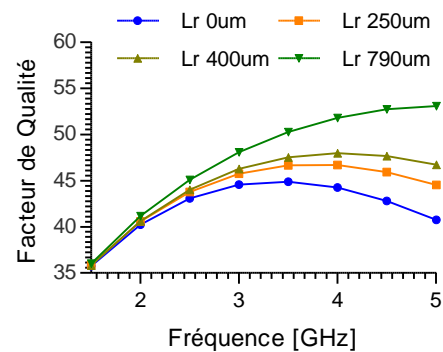


Figure IV - 6 : Facteurs de qualité en fonction de la fréquence et de  $L_r$

Nous remarquons qu'en comparaison à la structure classique du paragraphe précédent, le couplage mutuel nous a permis de réduire la longueur  $L_r$  qui devient proche de 800  $\mu\text{m}$  pour obtenir

la valeur totale souhaitée (qui est ici de 0,7 nH). Cette réduction s'accompagnant d'une diminution de la surface occupée par les inductances, les pertes sont par conséquent diminuées. Cela se traduit, au niveau du facteur de qualité, par une augmentation de la valeur du maximum et par une augmentation de la fréquence correspondant à ce maximum (Figure IV - 6).

### IV.3.1.b.2 Deuxième structure

La structure de la Figure IV - 4b se base sur un couplage deux à deux de six rubans.

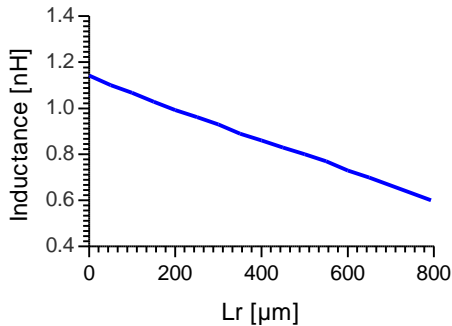


Figure IV - 7 : Variation de l'inductance en fonction de la longueur retranchée  $L_r$

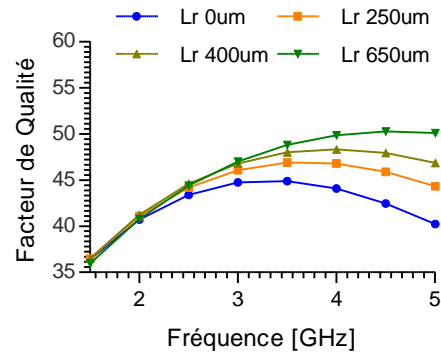


Figure IV - 8 : Facteurs de qualité en fonction de la fréquence et  $L_r$

La Figure IV - 7 nous montre que pour atteindre la valeur d'inductance de 0,7 nH, la longueur  $L_r$  doit être de 650 µm. Cette structure n'apporte donc aucun gain significatif par rapport à la précédente.

### IV.3.1.b.3 Troisième structure

La conception de cette structure vise un couplage mutuel maximal le long des rubans (Figure IV - 4c). Une variation sur  $L_r$  permet de moduler la valeur de l'inductance. Cette structure présente un facteur de qualité maximal plus élevé car il n'existe plus de couplage mutuel négatif entre les rubans. Cependant, ce couplage peut aussi réapparaître si la largeur de la structure est réduite.

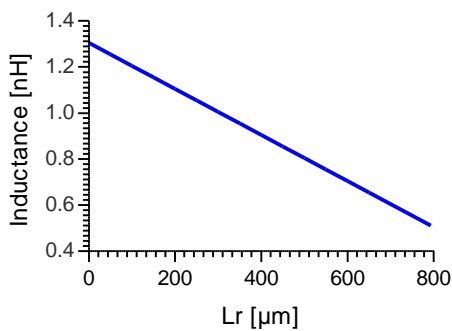


Figure IV - 9 : Variation de l'inductance en fonction de la longueur retranchée  $L_r$  et la largeur  $L_g$

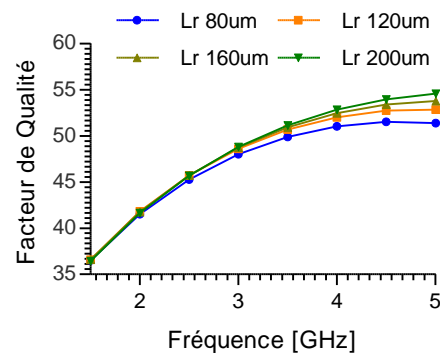


Figure IV - 10 : Facteurs de qualités en fonction de la fréquence et  $L_r$

Cette structure est parfaitement symétrique car les courants circulant dans les rubans parcourent la même longueur et sont donc en phase au niveau des accès de l'inductance. Cette symétrie

constitue un avantage certain pour la bonne gestion de la répartition des signaux au sein des transistors distribués.

#### IV.3.1.b.4 Quatrième structure

Cette dernière structure est proche que celle présentée dans le paragraphe précédent. La Figure IV - 4d présente les différentes longueurs  $L_r$  modulées pour obtenir la valeur d'inductance recherchée. Pour de faibles valeurs de selfs, cette inductance présente des performances similaires à celles de la structure précédente. Cependant, un fort couplage négatif peut exister lorsque la valeur d'inductance souhaitée est forte ( $L_r$  faible dans ce cas) dégradant ainsi son facteur de qualité.

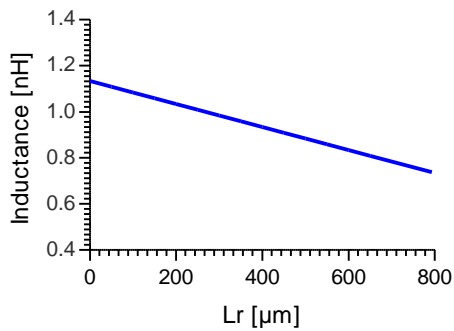


Figure IV - 11 : Variation de l'inductance en fonction de la longueur retranchée  $L_r$

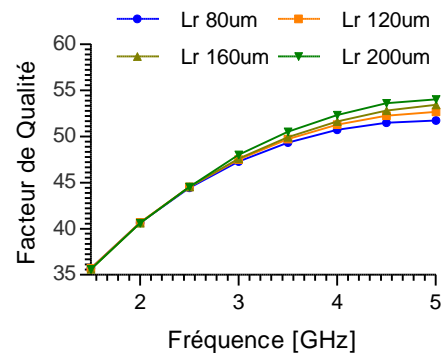


Figure IV - 12 : Facteurs de qualités en fonction de la fréquence et  $L_r$

#### IV.3.1.c Comparatif des structures couplées

La Figure IV - 13 montre un comparatif du facteur de qualité des différentes structures pour la même valeur d'inductance. Nous remarquons qu'en basses fréquences (< 2.5 GHz) ces structures présentent les mêmes performances. Cependant, seule la deuxième structure présente un facteur Q légèrement inférieur aux hautes fréquences. En effet, cette structure conduit à un fort couplage négatif entre les rubans centraux et latéraux, diminuant ainsi l'inductance par unité de longueur. Pour une même valeur d'inductance, la longueur de ligne nécessaire est donc importante, ce qui augmente la résistance série.

En outre, la Figure IV - 14 présente, pour l'ensemble des structures, la valeur d'inductance en fonction de la longueur totale du ruban. De cette figure, nous pouvons conclure que pour la valeur d'inductance souhaitée, la troisième structure présente le meilleur compromis entre performance et surface occupée.

Au final, sur l'ensemble des caractéristiques, les première et troisième structures inductives couplées apparaissent être supérieures. Notons que les performances présentées sont obtenues en utilisant une couche de SU8 de 60  $\mu\text{m}$  et des rubans en cuivre de section 35x35  $\mu\text{m}$ .

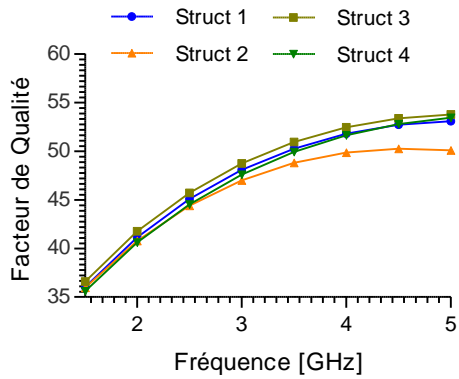


Figure IV - 13 : Comparatif du facteur de qualité des différentes structures

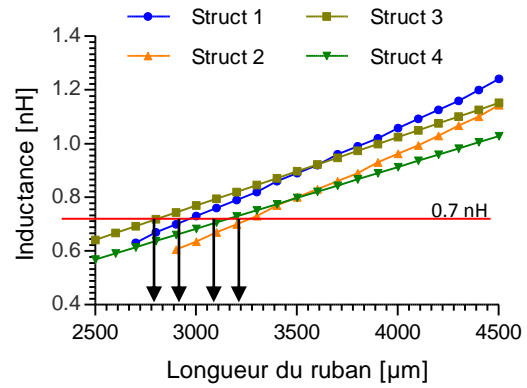


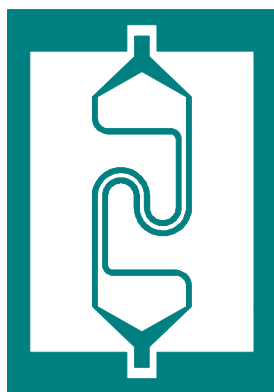
Figure IV - 14 : Variation de la valeur d'inductance en fonction de la longueur du ruban de chaque structure

### IV.3.2 Optimisation des structures pour la caractérisation sous pointe

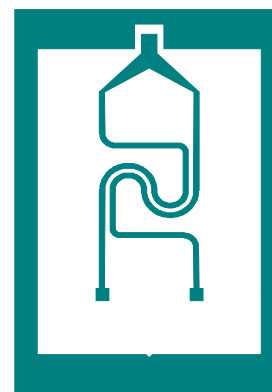
Les inductances dimensionnées, l'étape suivante consiste à concevoir des accès adaptés à la mesure sous pointes prévue pour les caractérisations et vérifier les résultats de simulations. Cependant, compte tenu que chaque structure possède quatre accès, la caractérisation apparaît délicate à mettre en œuvre. Nous avons donc étudié la possibilité de réduire le nombre d'accès tout en maintenant une bonne précision sur le relevé des caractéristiques.



a) Différentes structures d'accès coplanaires



b) Mesure en quadripôle d'une structure



c) Mesure en dipôle d'une structure

Figure IV - 15 : dessin des structures d'accès ainsi d'exemples d'application

Pour ce faire, nous avons conçu les structures de distribution du signal présentées sur la Figure IV - 15a. La Figure IV - 15b montre la topologie utilisée pour la caractérisation en quadripôle d'une structure inductive et la Figure IV - 15c la topologie pour une mesure en dipôle, des vias connectant deux accès à la masse.

Le problème consiste à éliminer l'influence des accès coplanaires par l'utilisation de techniques d'épluchage (deembedding) [1]-[4] pour remonter aux caractéristiques des inductances uniquement. Plusieurs techniques existent, basées sur un calcul matriciel et la mesure d'un "Thru" (mise en cascade des accès au composant à caractériser) ou la mesure d'accès en court-circuit et circuit ouvert ("Short-Open").

Afin de pouvoir correctement dimensionner les structures d'accès ainsi que pour trouver la meilleure technique d'épluchage, la méthode suivante a été mise en place :

- Simuler la structure inductive sans les accès "Référence"
- Simuler la structure inductive avec les accès
- Simuler les différents composants pour l'épluchage, incluant les accès (Short, Open, Thru)
- Utiliser les techniques de deembedding pour corriger le résultat et comparer les caractéristiques obtenues à celles de la Référence

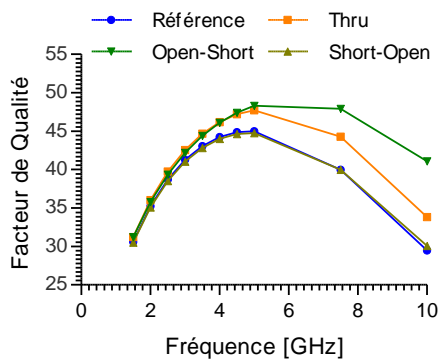


Figure IV - 16 : Facteur de qualité extrait en utilisant différentes techniques d'épluchage d'accès

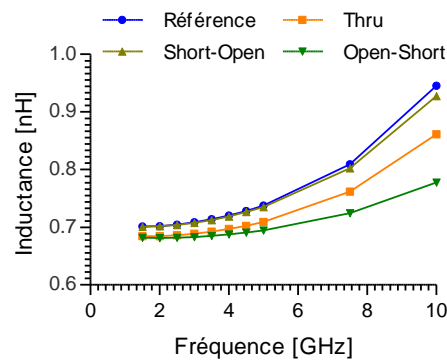


Figure IV - 17 : Valeur d'inductance extraite en utilisant différentes techniques d'épluchage d'accès

La Figure IV - 16 nous montre que les techniques "Thru" et "Open-Short" surestiment le facteur de qualité, tandis que la technique "Short-Open" présente les meilleurs résultats. En effet, les techniques "Thru" et "Open-Short" apparaissent enlever trop de contribution des accès, ce qui se traduit par des valeurs d'inductance et de résistance série réduites (Figure IV - 17).

Au cours de cette étude, nous avons aussi relevé que la caractérisation en dipôle (le deuxième port étant court-circuité) (Figure IV - 15) permettait d'obtenir des résultats plus précis tout en présentant le grand avantage de n'avoir à connecter qu'une seule pointe.

### IV.3.3 Réalisation du dessin des masques et des selfs

Les inductances ayant été dimensionnées et l'influence des accès déterminée, nous avons dessiné un réticule comportant différents types de structures pour différentes valeurs d'inductances ainsi que les structures Short, Open et Thru pour l'épluchage des accès (Figure IV - 18). La réalisation de ces structures met en œuvre trois niveaux de métallisation : le plan de masse, les vias et les rubans constituant les selfs.

La Figure IV - 19 montre une microphotographie de quelques structures réalisées prise par microscopie électronique à balayage (MEB). L'épaisseur du métal constituant les inductances est de 35  $\mu\text{m}$ . Le plan de masse n'apparaît pas car, durant la prise de vue, la SU8 se charge en électrons et masque ainsi ce plan.

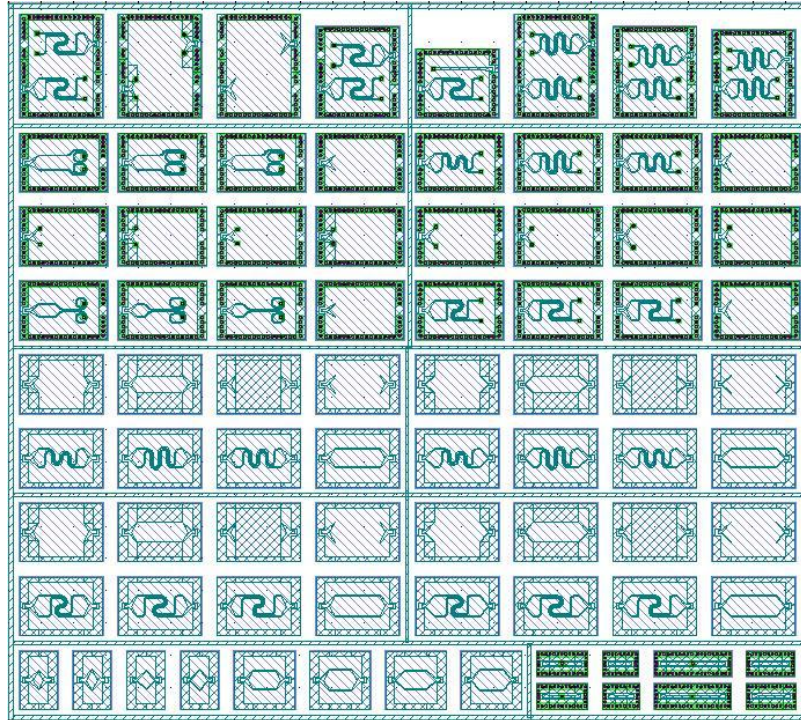


Figure IV - 18 : Réticule des différentes structures réalisées

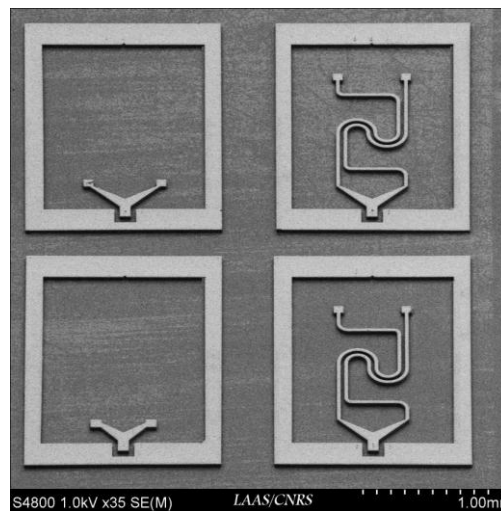


Figure IV - 19 : Microphotographie MEB de structures réalisées

#### IV.3.4 Résultats expérimentaux

Les mesures des paramètres-S ont été effectuées avec un analyseur de réseau vectoriel (Anritsu 37397C). Un calibrage SOLT (« Short, Open, Line, Thru ») a été réalisé pour amener les plans de référence au bout des pointes coplanaires. Puis à l'aide des caractéristiques des accès en court-circuit



et en circuit ouvert les mesures sont corrigées pour que ces plans soient ramenés au niveau des inductances.

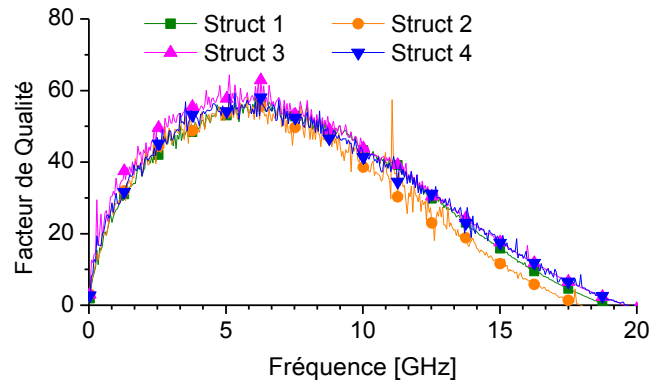


Figure IV - 20 : Facteur de qualité des structures couplées (cf. IV.3.1.b)

A partir des mesures des paramètres-S, un facteur de qualité de 40 a été relevé à la fréquence de 2 GHz avec un maximum de 58 à 5 GHz (Figure IV - 20). Cette figure montre aussi que la fréquence de résonance des inductances est supérieure à 18 GHz, ce qui dépasse largement la valeur minimale fixée par le cahier des charges. Nous avons aussi relevé une valeur d'inductance de 0.71 nH en moyenne à 2 GHz (Figure IV - 21); une valeur en parfait accord à celle obtenue par les simulations électromagnétiques.

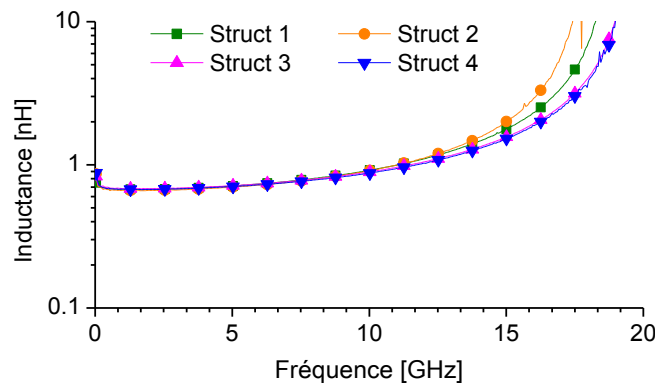


Figure IV - 21 : Valeurs mesurées de l'inductance des structures couplées

#### IV.4 Transistor LDMOS de puissance pré-adapté : premier démonstrateur

A ce stade, les mesures réalisées sur les seules inductances ont permis la validation du procédé technologique, et de son contrôle, et des simulations électromagnétiques. Nous sommes donc maintenant en mesure d'intégrer les inductances sur les puces des transistors LDMOS de puissance.

Dans un premier temps, un jeu de masques a été conçu. Puis, le procédé Above-IC développé a été utilisé pour fabriquer les structures. Un premier démonstrateur a ainsi été obtenu pour lequel les puces demandent des traitements supplémentaires (amincissement et métallisation de la face arrière) pour le montage en boîtier nécessaire à la caractérisation. Dans cette partie, nous allons détailler ces différentes étapes et exposer les problèmes techniques rencontrés.

#### IV.4.1 Conception du jeu de masques et application du procédé « Above IC »

Nous avons procédé au dessin d'un réticule contenant différentes structures à tester (Figure IV - 22). Par la suite, ce réticule est dupliqué pour couvrir la totalité de la surface du wafer. Notons ici qu'une étape de réduction du diamètre des wafers fournis par Freescale de 6" en 4" a été réalisée pour que ces wafers soient compatibles avec les équipements de la centrale technologique du LAAS.

Le réticule comporte trois niveaux et donc trois masques : le premier sert pour l'intégration des vias, le deuxième pour localiser la couche diélectrique de SU8, et le troisième pour la réalisation des moules dans la résine négative pour la croissance électrolytique du cuivre.

Une pièce appelé "référence intermédiaire", ne comportant que les vias, la SU8 et des plots métalliques en surface, a été incluse dans le réticule. Cette pièce a pour but d'évaluer l'impact des vias et de la SU8 sur les performances du transistor.

Des structures intégrant simultanément les deux inductances du réseau de préadaptation de sortie du transistor (inductances série et parallèle) ont été de même incluses sur le réticules (Figure IV - 22).

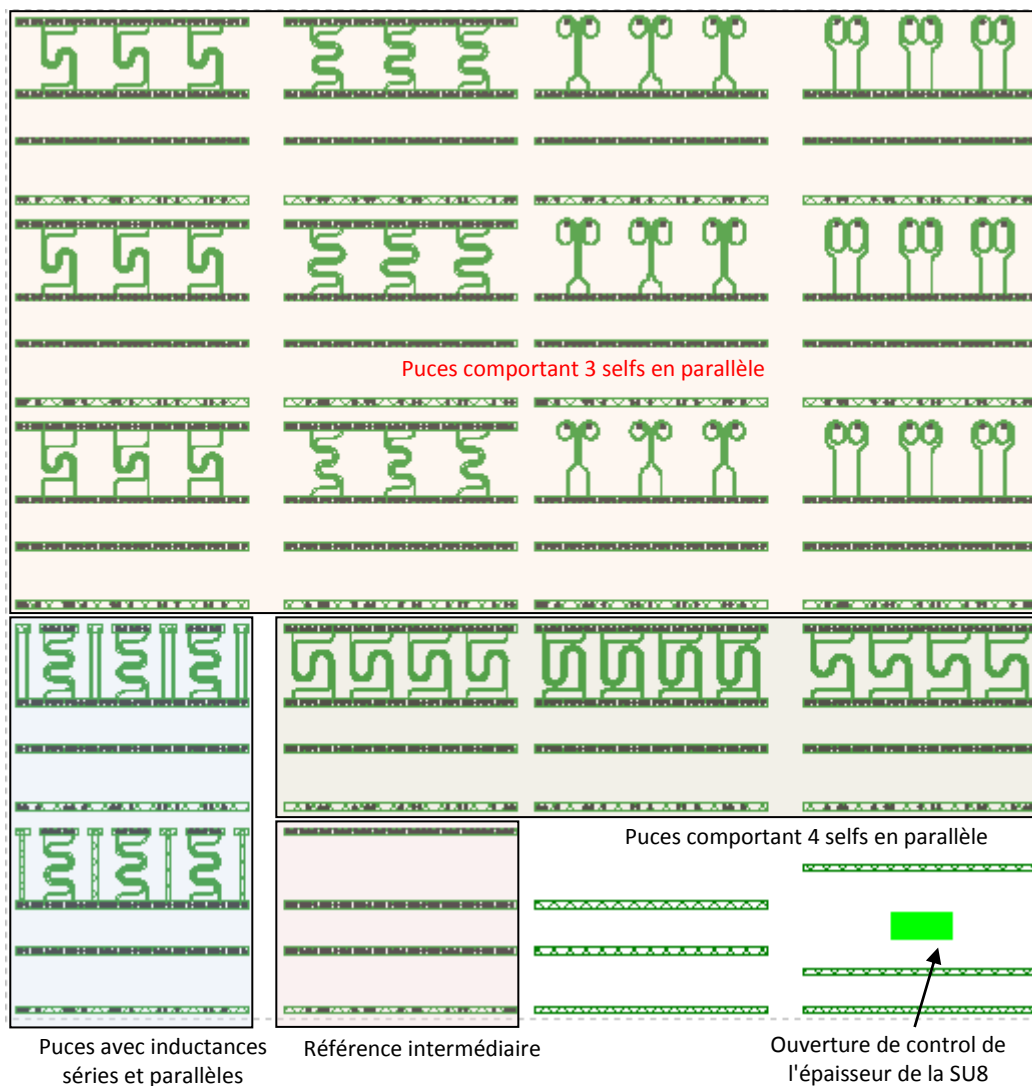


Figure IV - 22 : Réticule des structures à intégrer sur les puces des transistors LDMOS

La Figure IV - 23a montre la microphotographie d'un transistor sur lequel est intégrée l'inductance parallèle du réseau de préadaptation de sortie, pour une configuration à 8 fils de l'inductance. Nous pouvons remarquer l'épaisseur des métallisations (35  $\mu\text{m}$ ) ainsi que l'excellente définition des lignes métalliques si l'on considère de plus que l'espacement entre les deux lignes de l'inductance n'est que de 35  $\mu\text{m}$ . La Figure IV - 23b montre une image prise par un microscope optique couplé à un capteur d'image numérique. Il est possible avec ce type de photographie de voir la puce en dessous des inductances puisque la SU8 est transparente.

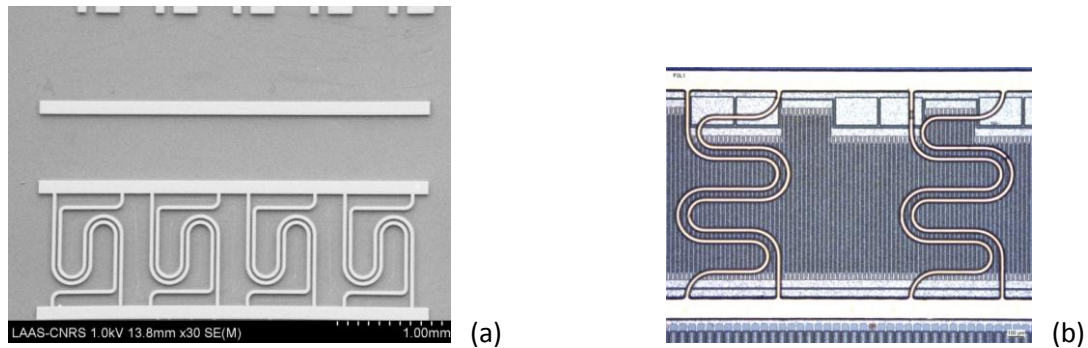


Figure IV - 23 : a) Microphotographie MEB d'un transistor avec les inductances intégrées. b) Image optique montrant les inductances et le transistor par-dessous

#### IV.4.2 Préparations des puces et mise en boîtier

Une fois les inductances intégrées sur les puces des transistors, la plaquette est découpée par réticules afin de pouvoir préparer les puces aux étapes finales. Ces étapes consistent à amincir le substrat de silicium de 650  $\mu\text{m}$  jusqu'à 100  $\mu\text{m}$ , puis à métalliser la face arrière, coller les puces dans leur boîtier et souder les fils de connexion de la puce aux pattes du boîtier. La découpe en réticule nous permet d'effectuer ces manipulations plus facilement et sans qu'il y ait de risques d'abîmer le wafer entier.

##### IV.4.2.a Amincissement des puces

Cette étape est très critique puisqu'elle nécessite un excellent contrôle des paramètres du polissage pour obtenir un résultat correct et reproductible. En effet, pour les transistors LDMOS de puissance, le comportement thermique des puces est fonction de l'épaisseur du silicium. Toutes les puces doivent donc présenter des épaisseurs très proches pour que leurs performances en rendement, en gain etc ... puissent être corrélées (rappelons que ces performances sont fonctions du point de fonctionnement du transistor qui lui-même dépend de l'état thermique).

Pour amincir les réticules, il est d'abord nécessaire de les reporter sur un substrat intermédiaire qui servira à les maintenir sur la tête de polissage. Ce report est réalisé par collage de la face avant du réticule sur le substrat à l'aide d'une colle de faible température vitreuse (60  $^{\circ}\text{C}$ ). Un procédé de report des réticules a été mis au point pour que la colle forme un joint d'épaisseur homogène et ne présente aucune bulles d'air (Figure IV - 24a). Une mauvaise homogénéité de l'épaisseur de colle (Figure IV - 24c) entraîne une différence d'épaisseur entre les puces d'un même réticule (Figure IV -

24d), tandis que la présence de bulles d'air (Figure IV - 24e) risque d'engendrer des éclats dans le silicium (Figure IV - 24f).

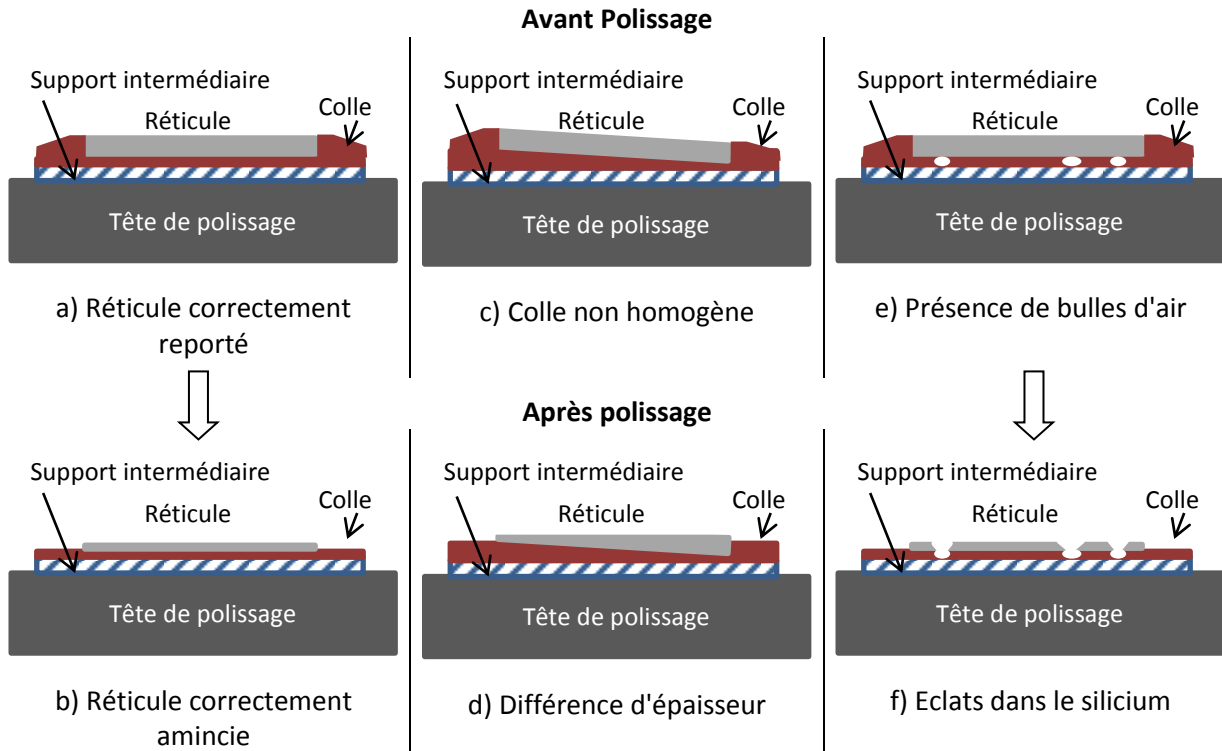


Figure IV - 24 : Illustration des effets du collage sur le résultat du polissage

Par ailleurs, pour diminuer les effets de bords lors du polissage du silicium (les bords sont généralement arrondis à cause du sur-polissage exercé par les abrasifs), nous avons étalé la colle autour du réticule tel que présenté sur la (Figure IV - 24a). Nous reportons de la sorte ces effets de bords au niveau de la colle.

#### IV.4.2.b Métallisation de la face arrière et report des puces en boîtier

Après amincissement des réticules, une couche de métallisation (backmetal) doit être déposée sur la face arrière pour constituer le contact de source du transistor LDMOS. A l'origine, cette couche est formée par les dépôts successifs de titane, nickel-vanadium et or (Ti/NiV/Au) ayant les épaisseurs de 500 Å, 3000 Å et 1500 Å, respectivement. Cependant, ne possédant pas l'alliage NiV ni un bâti d'évaporation convenable, nous avons décidé de remplacer cette métallisation par une couche de titane-or (Ti/Au) de 500 Å et 3000 Å, respectivement.

Après dépôt de la métallisation face arrière, nous découpons les puces du réticule. Les puces sont ensuite montées dans des boîtiers de type TO-272 fournis par la société Freescale. Le report a été effectué en soudant les puces à basse température (200 °C) en utilisant une soudure tendre. Cette technique de soudure a été préférée à la soudure par eutectique car les températures alors mises en œuvre (350 °C) sont supérieures à la température vitreuse de la SU8.

A l'issue de cette étape, nous avons effectué des analyses par Rayons-X permettant d'évaluer la qualité de la soudure. La présence de bulles (void) dans la soudure augmente la résistance du contact électrique ainsi que la résistance thermique, une valeur trop importante de cette dernière pouvant

limiter fortement la dissipation thermique de la puce et conduire à une détérioration du transistor lorsqu'il fonctionne à fort niveau de puissance. Ces analyses nous ont révélé la présence de vides sous les puces (Figure IV - 25a). Après investigations, nous avons trouvé que l'or diffuse complètement dans l'étain [5][6] à 200 °C. Ainsi, lorsque l'étain est en présence de la couche de titane uniquement, un défaut dans la soudure apparaît compte tenu que l'étain ne peut pas y diffuser.

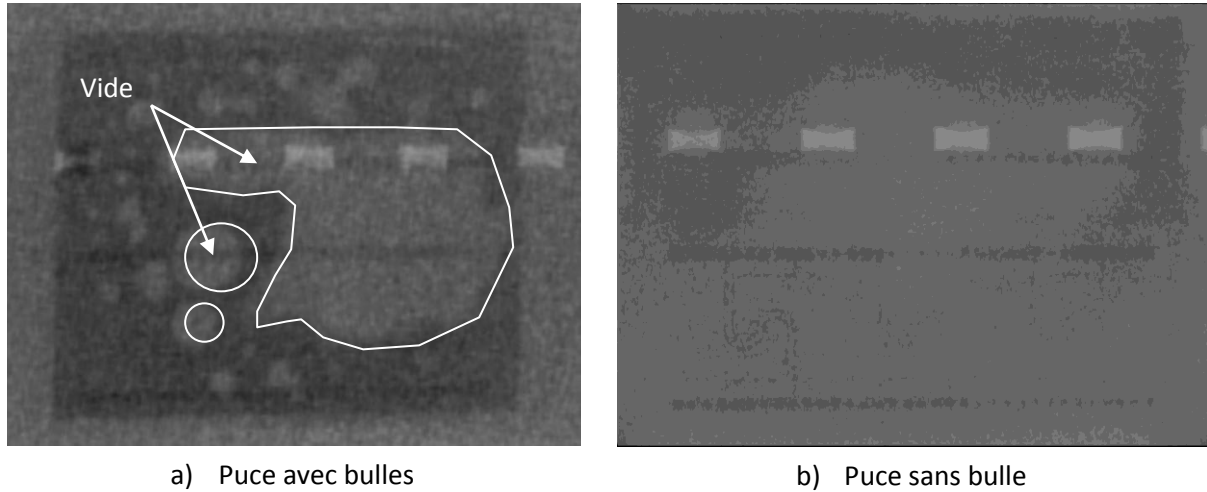


Figure IV - 25 : Imagerie aux Rayons-X de puces soudées dans leur boîtier

Pour résoudre ce problème, il a été nécessaire de former la métallisation face arrière en utilisant du titane, du nickel et de l'or selon les conditions de dépôt suivantes : dépôt d'une couche de Titane d'épaisseur 500 Å suivie d'une couche de Nickel de 1500 Å d'épaisseur. Dans un second bâti d'évaporation de métal (car on ne disposait pas de bâti à trois creusés), on procède ensuite au dépôt d'une deuxième couche de Nickel de 1500 Å d'épaisseur suivie d'une couche d'or de 1500 Å. La présence de la couche de Nickel favorise le bon accrochage de l'étain, tandis que la couche d'or protège le Nickel de l'oxydation. La Figure IV - 25b montre une imagerie rayon-X de la soudure ne présentant aucun vide d'une puce basée sur le principe précédent pour la métallisation face arrière.

#### IV.4.2.c Câblage des accès

Cette dernière étape consiste à relier la puce aux pattes du boîtier et à réaliser les inductances du réseau de préadaptation de l'entrée puisqu'elles ne sont pas intégrées. Des fils micro-soudés en aluminium de 50.8 µm (2 mil) de diamètre sont utilisés.

En procédant à ce câblage, nous avons relevé une fragilité des plots présents sur l'entrée du transistor. En effet, étant connecté sur un via de 60 µm de diamètre, ces plots ne sont généralement pas en mesure de supporter le stress engendré par la soudeuse. La Figure IV - 26 montre une microphotographie d'un plot décollé lors de la soudure du fil. Il s'est ainsi avéré nécessaire de protéger ces plots. Cela a été réalisé en étalant une couche supplémentaire de SU8 autour des plots, tel que présenté sur la Figure IV - 27b.

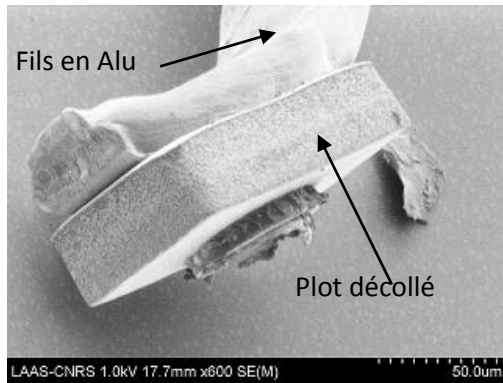


Figure IV - 26 : Microphotographie d'un plot décollé après soudure du fil en aluminium

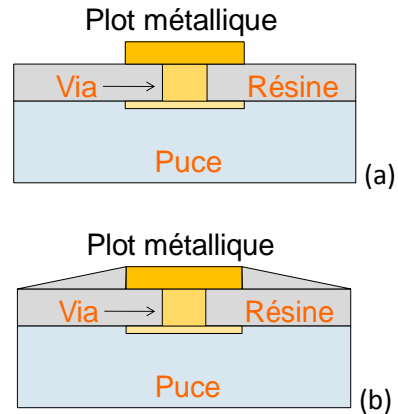


Figure IV - 27 : Vue en coupe : a) structure initiale. b) structure renforcée

Cette technique nous a alors permis de câbler les puces sans aucune autre difficulté. La Figure IV - 28 montre une puce soudée dans son boîtier avec tous les fils micro-soudés.

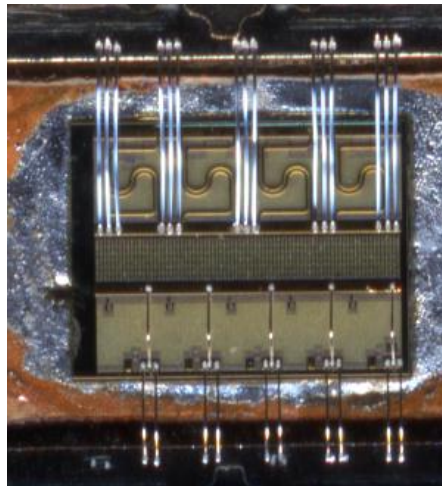


Figure IV - 28 : Image d'un transistor assemblé avec les fils micro-soudés

#### IV.4.3 Caractérisation RF en petits signaux

A l'aide d'un analyseur de réseau vectoriel, nous avons réalisé des mesures RF petits signaux sur les transistors montés sur un circuit dédié aux mesures Load-Pull. L'utilisation d'un tel circuit nous permet, après correction, de ramener les mesures dans le plan des pattes des transistors et d'extraire ainsi les performances intrinsèques du transistor. Les transistors ont été polarisés en Classe B avec une tension d'alimentation  $V_{ds}$  de 28 V et un courant de repos de 500 mA.

Afin de d'évaluer les performances des puces intégrant les inductances, nous avons d'abord procédé à la mesure d'une puce originale (commercialisée) servant par la suite comme référence. La Figure IV - 29 montre un comparatif des paramètres-S et du gain en puissance maximum  $G_{Tmax}$  mesurés pour une de nos puces et pour la référence. Le gain en puissance maximum peut être calculé lorsque l'amplificateur de puissance est inconditionnellement stable en utilisant les équations suivantes :

$$G_{Tmax} = \frac{|S_{21}|}{|S_{12}|} \left( K - \sqrt{K^2 - 1} \right) \quad (IV.1)$$

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2S_{12}S_{21}} \quad (IV.2)$$

Sur la Figure IV - 29a, nous remarquons que le module du coefficient de réflexion à l'entrée de notre puce est différent de celui présenté par la référence : le minimum du module ne se trouve pas callé sur la même fréquence et ne présente pas la même amplitude. Ce comportement peut être lié à une différence dans le circuit de préadaptation d'impédance d'entrée. Cependant, en sortie (Figure IV - 29b), le minimum se situe sur la même fréquence et présente juste une légère différence d'amplitude. Ceci montre que les circuits de préadaptation de sortie des deux puces sont presque équivalents. La valeur de l'inductance que nous avons intégrée est donc proche de la valeur attendue.

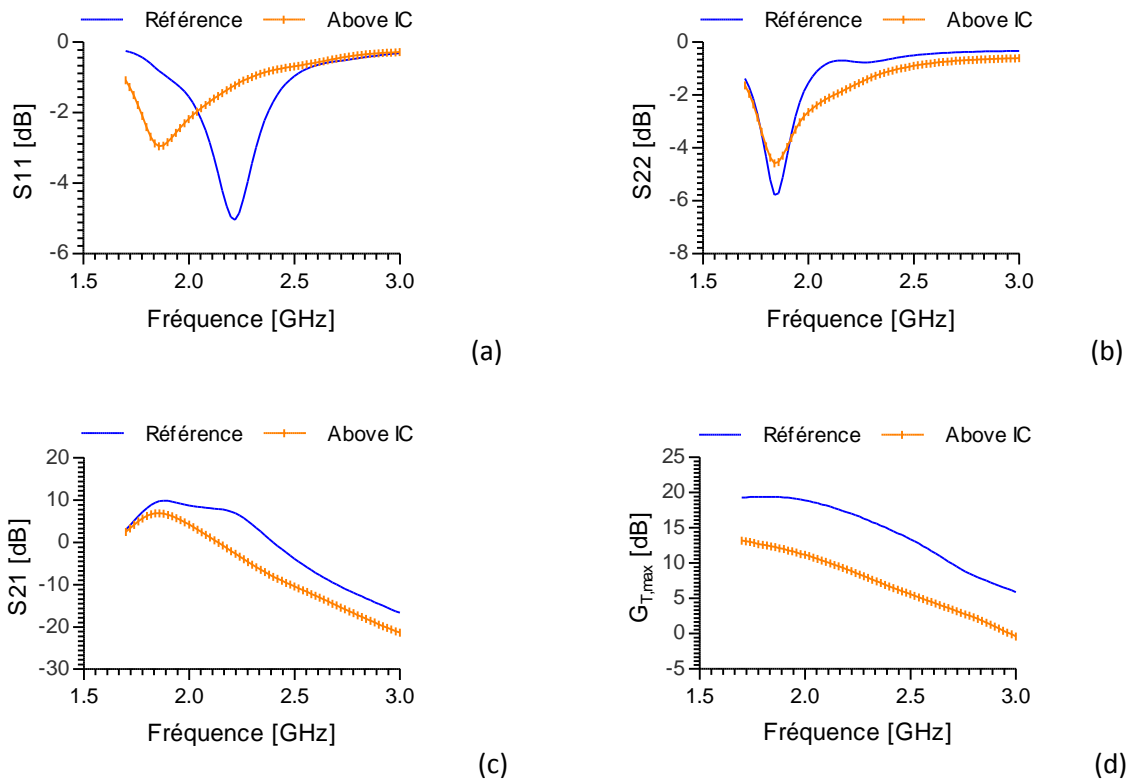


Figure IV - 29 : Mesures RF petits signaux d'une puce Above-IC comparées à celles de la référence

En outre, la puce que nous avons réalisée ne présente pas le bon coefficient de transmission ni le bon gain maximum en puissance (Figure IV - 29 (c et d)). Ceci peut être lié à la mauvaise préadaptation d'entrée ou à la présence d'éléments parasites sur les accès. Pour trouver l'origine de ces différences, nous avons procédé à l'extraction du modèle électrique équivalent de notre puce.

#### IV.4.3.a Extraction du modèle du circuit

Pour extraire le modèle du circuit, nous avons utilisé le logiciel ADS d'Agilent et le design kit de Freescale, pour le modèle du transistor. La démarche suivie pour l'extraction est la suivante :

- Le circuit électrique équivalent de la référence est déterminé par un ajustement aux mesures (Figure IV - 30)
- Le schéma équivalent précédent est utilisé comme base pour l'ajustement aux mesures obtenues pour la puce que nous avons réalisée et comparer les résultats des simulations avec les mesures de notre puce
- Les valeurs des éléments des circuits de préadaptation sont modifiées et des éléments parasites sont rajoutés jusqu'à obtenir l'accord entre calculs et mesures.

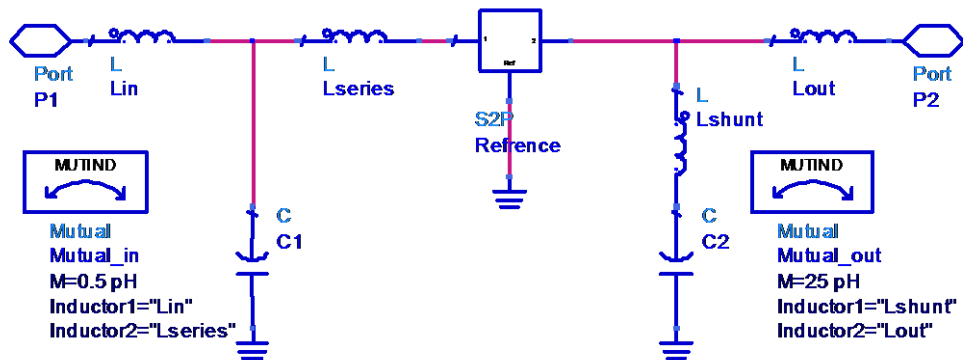


Figure IV - 30 : Circuit électrique équivalent de la puce de référence

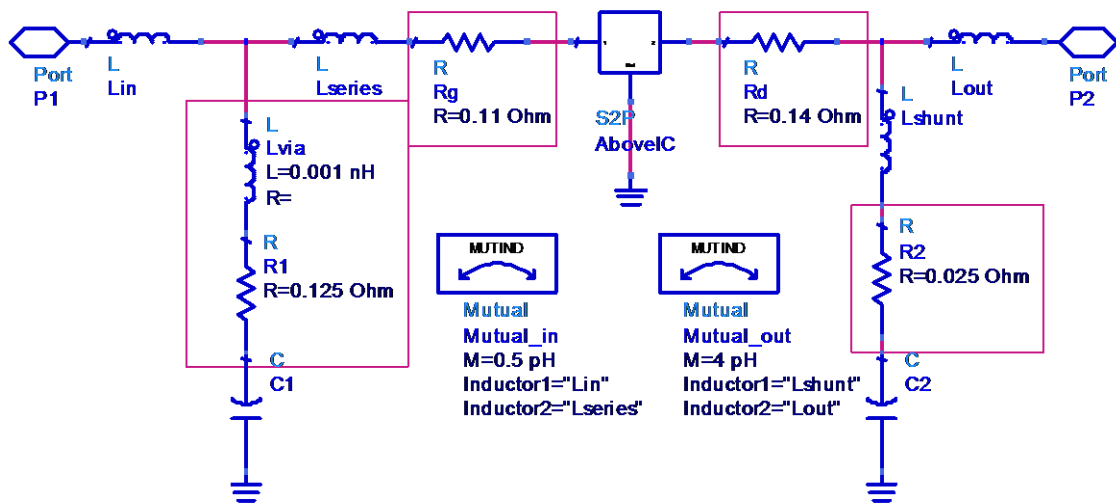


Figure IV - 31 : Circuit électrique équivalent d'une puce avec la technologie Above-IC

Après plusieurs optimisations, nous avons trouvé que les valeurs des éléments réactifs constituant les circuits de préadaptation restaient sensiblement identiques à celles de la puce de référence. Cependant, nous avons dû rajouter des éléments parasites de nature résistive sur les accès du transistor ainsi que sur les accès des capacités, tel que présenté sur la Figure IV - 31. La Figure IV - 32 montre l'excellent accord obtenu en fin d'ajustement entre les paramètres-S calculés à l'aide du modèle et obtenus par la mesure.



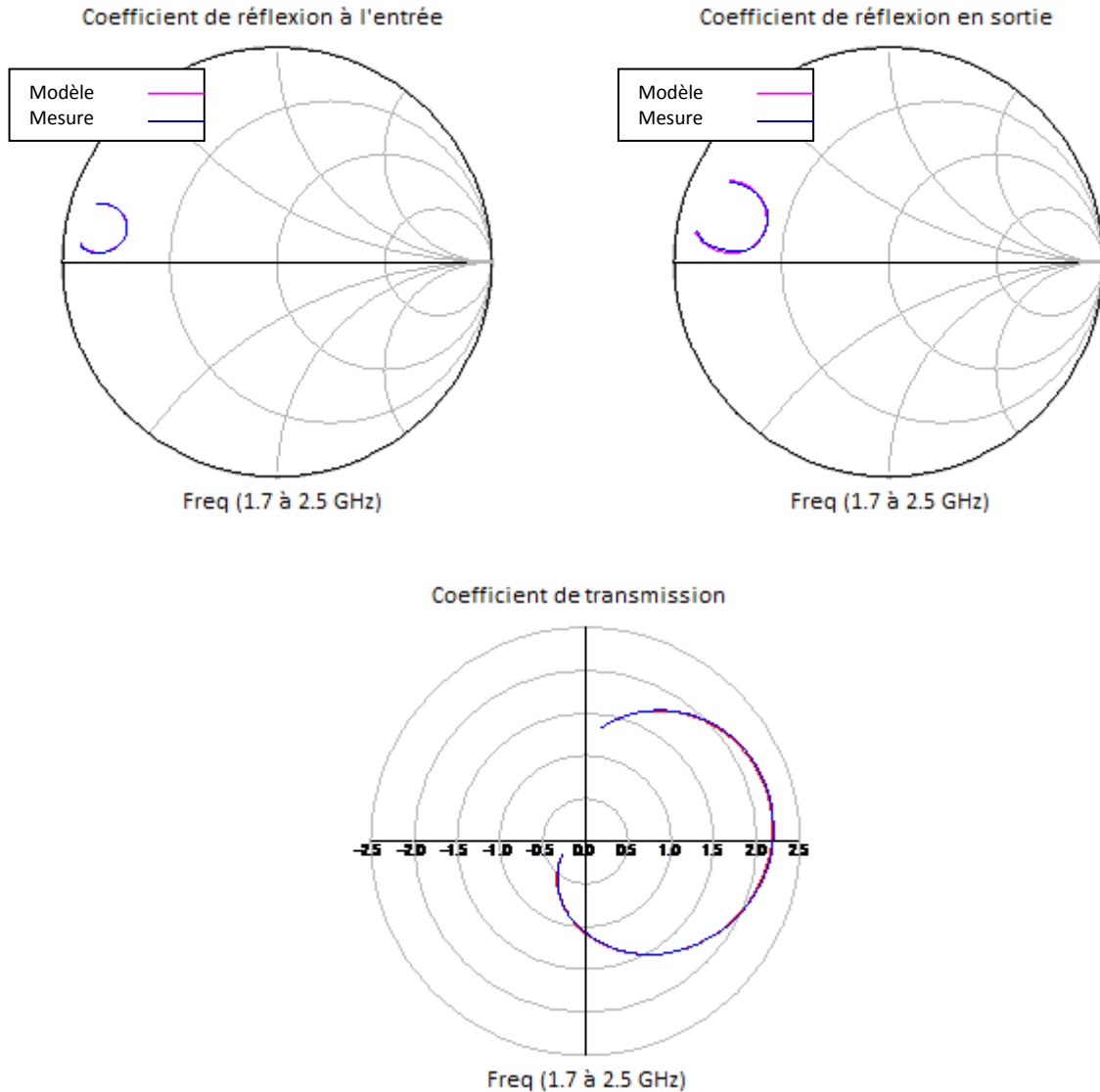


Figure IV - 32 : Coefficients de réflexion et de transmission du modèle comparé à celles de la mesure

#### IV.4.3.b Origine des éléments parasites

Afin de trouver l'origine des éléments résistifs présents sur les accès, nous avons analysé les puces avec un microscope à émission PHEMOS permettant de détecter les défauts dans les métallisations. Avec ce microscope, il est possible d'inspecter les métallisations depuis la face arrière de la puce, à travers le silicium aminci.

Nous avons pu relever des défauts sur le métal 2 du transistor tel que présenté sur la Figure IV - 33. L'origine la plus probable en est que la solution de gravure de la couche d'accrochage a pu pénétrer entre la SU8 et les vias et attaquer le métal 2 autour des vias. Cette attaque du métal du transistor réduit la section effective des plots et augmente par conséquent les résistances des accès. Ce raisonnement est en accord avec l'extraction du schéma équivalent des accès et justifie la présence des éléments résistifs que nous avons dû insérer dans le modèle.

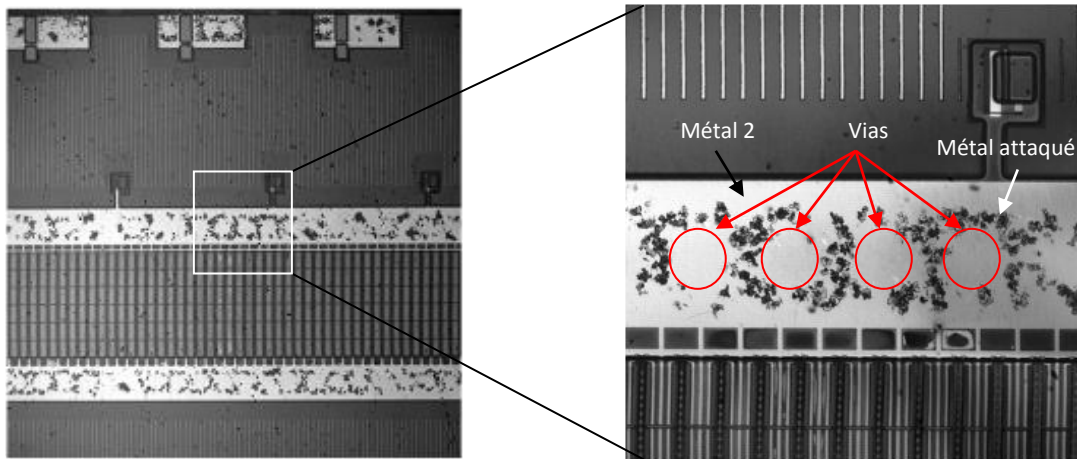


Figure IV - 33 : Micrographie PHMOS de la métallisation d'une puce Above-IC

## IV.5 Transistor LDMOS de puissance pré-adapté : deuxième démonstrateur

Un deuxième démonstrateur a été fabriqué visant à résoudre les problèmes de fragilité des plots métalliques et à empêcher la gravure du métal 2 des transistors.

Dans les paragraphes qui suivent, nous montrons les différentes modifications apportées par rapport au premier démonstrateur. De même, nous exposons les résultats des caractérisations et le nouveau modèle obtenu pour le circuit.

### IV.5.1 Dessin de masques et application du procédé

Un nouveau jeu de masques a été conçu. Dans cette version, nous avons effectué les modifications suivantes :

- la forme des vias est modifiée : les vias cylindriques sont remplacés par des vias de section carrée de mêmes que les plots du transistor. Cette modification sert à renforcer les plots du dernier niveau métallique pour la soudure des fils micro-soudés.
- une couche de cuivre est ajoutée sur les plots du transistor qui permet de les protéger de la gravure.
- les dimensions des ouvertures des vias dans la SU8 sont réduites pour que le joint entre métal et SU8 soit meilleur. Ceci permet d'empêcher la solution de gravure de la couche d'accrochage de pénétrer jusqu'en bas, protégeant ainsi davantage les plots du transistor.

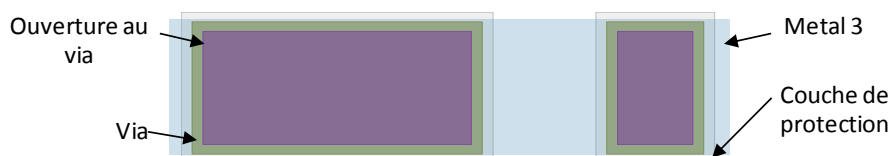


Figure IV - 34 : Nouveau dessin de masques comportant les nouveaux vias et la couche de protection du métal 2

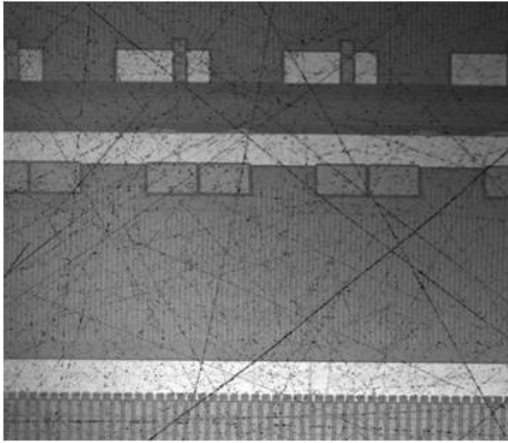


Figure IV - 35 : Microphotographie PHEMOS d'une puce après intégration Above-IC

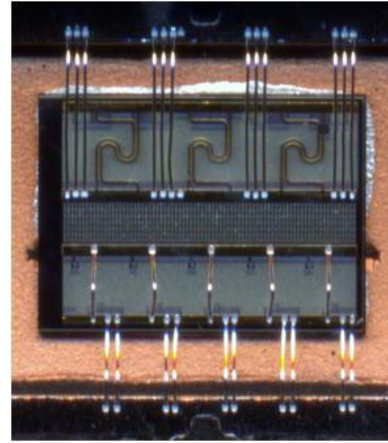


Figure IV - 36 : Puce montée dans son boîtier et câblée

La Figure IV - 34 montre les différents niveaux du jeu de masques. Nous remarquons cette fois qu'après amincissement le métal 2 ne présente aucune trace d'attaque (Figure IV - 35). De même, le problème de fragilité au niveau de l'accrochage des plots a été résolu puisque ils ont supporté sans plus de difficulté la soudure des fils (Figure IV - 36).

#### IV.5.2 Caractérisation RF petits signaux

Un analyseur de réseau vectoriel a été utilisé pour effectuer les mesures RF petits signaux sur les nouvelles puces. Ces mesures ont montré une amélioration importante de performances par rapport à celles du premier démonstrateur (Figure IV - 37).

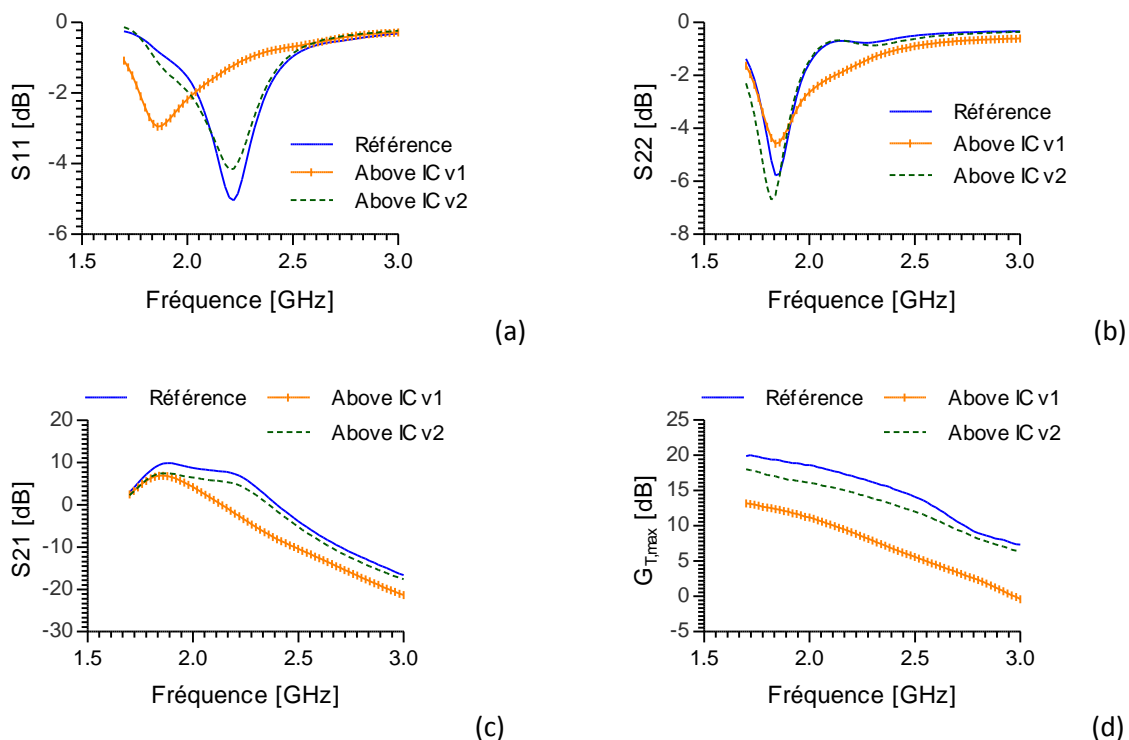


Figure IV - 37 : Mesures RF petits signaux de la nouvelle puce (Above-IC v2) et comparaison avec les performances de la référence et du premier démonstrateur (Above-IC v1)

Sur cette figure, nous pouvons constater que les coefficients de réflexion en entrée (a) et en sortie (b) ainsi que le coefficient de transmission (c) présentent de légères différences si on les compare à ceux de la puce de référence. Cependant, le gain en puissance maximum est amélioré de 5 dB même si un écart de 2 dB persiste avec le gain de la référence.

### IV.5.3 Mesures "Load-Pull"

Les caractérisations RF petits signaux ayant démontré le bon fonctionnement des puces, nous avons entrepris une caractérisation en forts signaux.

Le load-pull est un procédé de mesure destiné à caractériser un circuit en régime de fonctionnement non-linéaire, à optimiser ses performances, ou encore à analyser son comportement en modifiant son environnement (impédances de charge).

Cette technique met en œuvre deux tuners, un pour la charge et un pour la source, permettant de faire varier les impédances respectives présentées au circuit. En effet, si l'on vise la conception d'un amplificateur de puissance, pour un transistor donné il existe une combinaison des impédances d'entrée et de sortie pour laquelle nous obtenons la valeur maximale de la puissance de sortie ( $P_{out, max}$ ), et/ou du rendement ( $Eff_{max}$ ) et/ou du gain en puissance ( $G_{T, max}$ ) et/ou encore de la linéarité du circuit. Une fois que l'optimisation souhaitée est atteinte, le concepteur pourra synthétiser ces impédances pour obtenir un amplificateur présentant les mêmes performances. Une variation de l'impédance de sortie peut permettre de simuler le comportement du gain et de la linéarité d'un amplificateur de puissance lorsqu'une désadaptation est présente entre sa sortie et l'antenne. La robustesse des performances aux dérives environnementales du circuit peut ainsi être étudiée.

Dans le cadre de cette étude, nous avons réalisé des mesures Load-Pull sur trois puces : la référence (puce originale), la référence intermédiaire (puce avec SU8 et vias/plots mais sans inductances intégrées) et une puce avec les inductances intégrées (Above-IC). Les transistors ont été polarisés en classe B avec une tension  $V_{ds}$  de 28 V et un courant de repos  $I_{dq}$  de 500 mA; la fréquence de mesure est de 1,84 GHz. La puissance de sortie maximale  $P_{out, max}$ , le gain en puissance maximum  $G_{T, max}$ , le rendement maximal  $Eff_{max}$  ainsi que les valeurs d'impédances de charge correspondantes sont présentés sur le Tableau IV - 1.

	Référence	Référence Intermédiaire	Above IC v2
$P_{out, max}$ (dBm)	49.2	48.9	48.8
$Z_L$ ( $\Omega$ )	2,18 - j 5,49	2,16 - j 6,06	3,61 - j 4,25
$G_{T, max}$ (dB)	18	16,5	16,75
$Z_L$ ( $\Omega$ )	7,28 - j 5,08	4,47 - j 6,71	8,43 - j 5,40
$Eff_{max}$ (%)	63	59	54
$Z_L$ ( $\Omega$ )	4,86 - j 4,81	4,28 - j 6,38	7,23 - j 5,89

Tableau IV - 1 : Comparatif des performances des transistors obtenues sur le banc Load-Pull

Les résultats obtenus montrent qu'après intégration above IC des inductances, les transistors présentent des performances en retrait par rapport à celles de la référence. Ces écarts sont plus marqués sur le gain en puissance maximum et sur le rendement que sur la puissance de sortie maximale. Théoriquement, la référence intermédiaire doit présenter des performances similaires à

celles de la référence puisque les inductances sont aussi formées par des fils micro-soudés. Or, ce n'est pas le cas : nous observons une différence de 1,5 dB sur le gain et de 4 % sur le rendement. Cela souligne donc la présence d'éléments parasites qui diminuent le niveau des performances.

Une caractérisation en courant continu  $I_{ds}(V_{ds}/V_{gs})$  de la puce de référence intermédiaire nous a montré une valeur plus élevée de la résistance à l'état passant  $R_{Dson} = \Delta V_{ds} / \Delta I_{ds}$  ( $\approx 0,37 \Omega$  contre  $\approx 0,3 \Omega$  pour la référence) (Figure IV - 38). De même, cette puce présente une transconductance  $g_m = \Delta I_{ds} / \Delta V_{gs}$  plus réduite. Seule une résistance parasite sur la source du transistor peut expliquer une variation simultanée de ces deux paramètres. Des simulations menées sous ADS nous ont permis de confirmer la présence d'une résistance sur la source de  $70 \text{ m}\Omega$ . Cette résistance peut provenir du dépôt de la métallisation face arrière et/ou de l'état du silicium avant le dépôt (présence d'oxyde, de matériaux organiques etc...).

En outre, la puce possédant les inductances intégrées (Above IC v2) présente des niveaux de puissance maximale et de gain comparables à celles de la référence intermédiaire. Cependant, une différence de 5 % est notée sur le rendement. Une telle différence est tout à fait conforme aux écarts observés en simulations : le rendement diminue de  $\approx 5 \%$  si l'inductance parallèle du réseau de préadaptation de sortie présente un Q de 40, au lieu de  $Q=100$  pour les fils micro-soudés (Figure IV - 39).

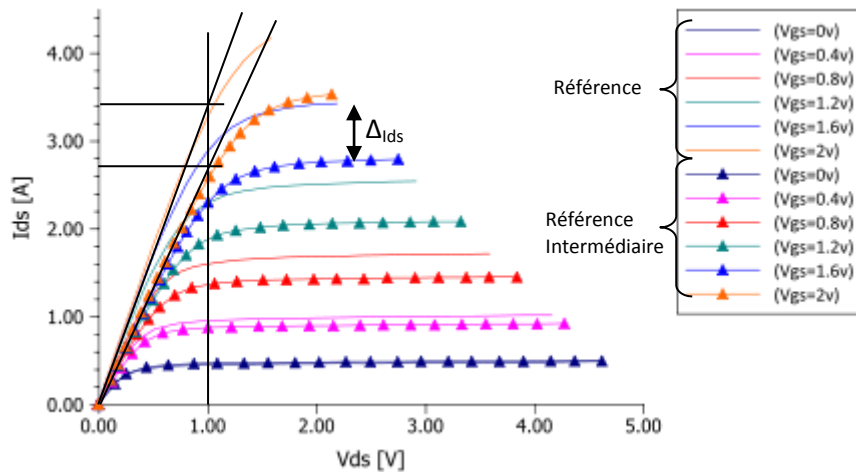


Figure IV - 38 : Caractérisation en continu de la pièce de référence et la référence intermédiaire

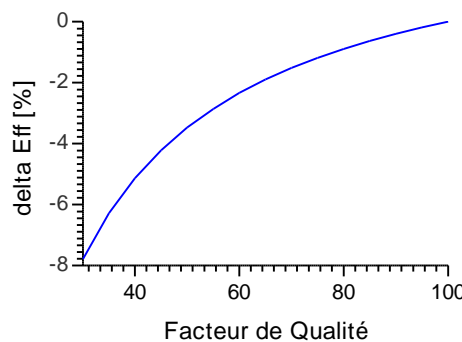


Figure IV - 39 : Effets du facteur de qualité de l'inductance de sortie sur le rendement

Pour conclure, en comparaison avec la référence intermédiaire, la puce intégrant les inductances présente de bonnes performances et démontre le grand intérêt de la technologie Above-IC que nous avons développée.

## IV.6 Transistor pré-adapté : troisième démonstrateur

La présence d'une résistance parasite sur la source des transistors du démonstrateur précédent a conduit à une limitation des performances de l'amplificateur de puissance. Cependant, d'autres sources de limitations telles que la distribution des courants et la section des fils peuvent aussi apporter une contribution.

Nous avons donc décidé de concevoir de nouvelles structures inductives qui possèdent une section plus importante et qui soient mieux réparties sur la puce. Le procédé de dépôt tridimensionnel a été utilisé pour intégrer ces inductances.

### IV.6.1 Structures inductives optimisées (version 2)

Les puces originales possèdent un nombre élevé de fils en sortie pour améliorer à la fois la répartition des courants et augmenter la section totale de fil dans l'optique d'une diminution des pertes par effets joules. Nos premières structures présentent une section totale de  $7600 \mu\text{m}^2$  à comparer à  $24000 \mu\text{m}^2$  pour les fils micro-soudés.

Pour la nouvelle conception, l'inductance parallèle du réseau de préadaptation de sortie est formée par 4 rubans de  $110 \mu\text{m}$  de largeur et de  $40 \mu\text{m}$  d'épaisseur chacun, conduisant ainsi à une section totale de  $17600 \mu\text{m}^2$ . De plus, chaque ruban se termine par 2 doigts de connexion en parallèle, améliorant ainsi la distribution des courants (Figure IV - 40).



Figure IV - 40 : Réseau d'inductances distribué le long du drain du transistor

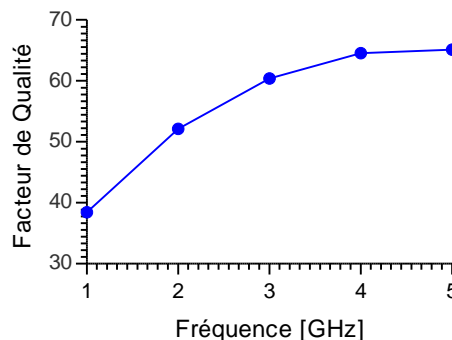


Figure IV - 41 : Facteur de qualité d'une nouvelle structure inductive

L'augmentation de la section des fils ainsi que de l'épaisseur de SU8 (80  $\mu\text{m}$  au lieu de 60  $\mu\text{m}$ ) résulte en un facteur de qualité de l'ordre de 52 à 2GHz tout en maintenant une fréquence de résonance supérieure à 5 GHz (Figure IV - 41).

### IV.6.2 Dessin du nouveau jeu de masques

Le nouveau jeu de masques est composé de 4 niveaux (Figure IV - 42) :

- Couche de protection du métal2 du transistor.
- Première couche diélectrique de SU8 (SU8-1).
- Deuxième couche diélectrique de SU8 (SU8-2) localisée sous les rubans des inductances pour diminuer le stress mécanique sur les puces. Cette localisation améliore aussi les pertes des inductances.
- Métal-3 en cuivre constituant les rubans des inductances ainsi que les interconnexions (vias) et les plots pour la micro-soudure des fils.

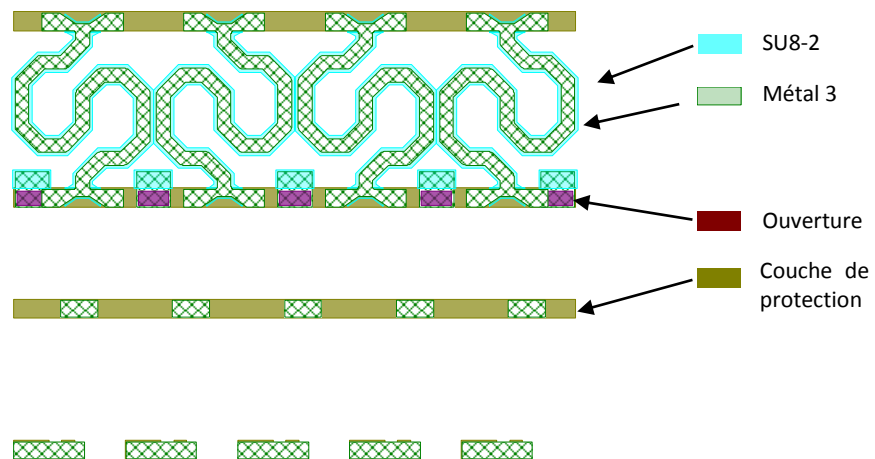


Figure IV - 42 : Dessin d'une puce intégrant les nouvelles structures inductives

### IV.6.3 Application du nouveau procédé et assemblage des puces

Le nouveau procédé pour fabriquer les nouvelles inductances est relativement facile à mettre en œuvre. Le nombre réduit d'étapes technologiques et l'absence des étapes de polissage mécanique de la SU8 nous ont permis de diminuer de façon conséquente le temps de fabrication du démonstrateur.

La Figure IV - 43 montre une vue en coupe des inductances réalisées, au niveau de la prise de contact sur le plot du transistor. On peut noter sur la Figure IV - 43a l'excellent remplissage des vias ainsi que la transition du bas vers le haut en un seul bloc. La Figure IV - 44a montre une microphotographie d'une puce en relief où l'on voit les niveaux de métallisations et la SU8, tandis que les Figure IV - 44 (b) et (c) montrent des puces montées en boîtiers avec pour l'une ayant toutes les inductances intégrées.

Pour réduire la résistance parasite trouvée sur la source des transistors des réalisations précédentes, nous avons porté un soin particulier à l'étape de métallisation de la face arrière. Pour ce faire, un procédé de préparation du silicium en deux étapes a été utilisé : la première consiste au nettoyage et au polissage du silicium, tandis que la deuxième crée une rugosité pour améliorer

l'accrochage de la métallisation. Cette opération ainsi que le dépôt de la métallisation face arrière ont été réalisés au sein de Freescale. Plusieurs essais ont été conduits avant qu'un bon résultat soit obtenu.

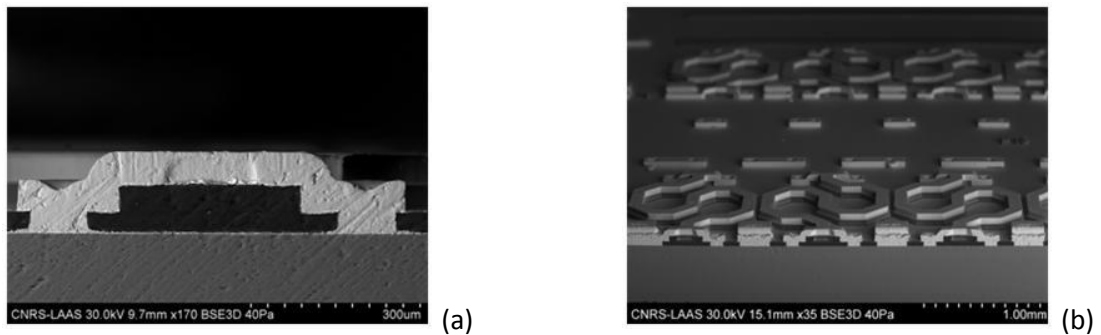


Figure IV - 43 : Micrographies MEB montrant des vue en coupe : a) d'une structure montrant l'interconnexion avec le transistor. b) des inductances intégrées

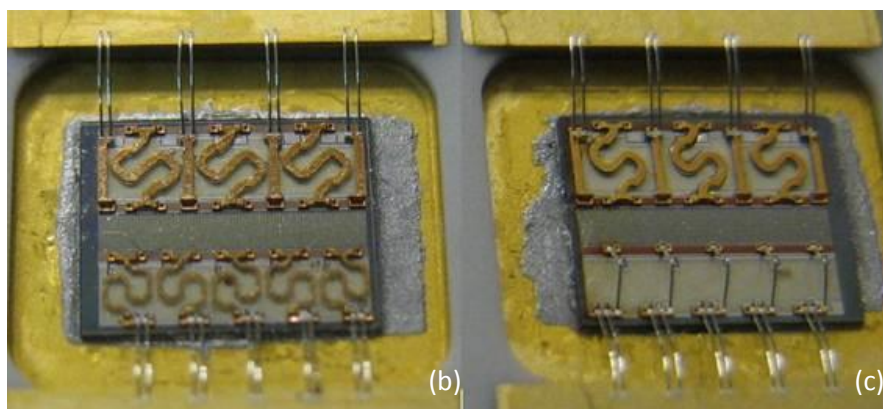


Figure IV - 44 : Microphotographies : a) des puces en relief. b) implémentation en boîtier d'une puce avec toutes les selfs intégrées. c) implémentation en boîtier d'une puces avec uniquement les selfs de sortie intégrées



Malheureusement, un mauvais dépôt de la couche d'accrochage du cuivre sur les plots du transistor a conduit à l'arrachement systématique des plots lors des microsoudures. Ces puces n'ont pu pour l'instant être caractérisées.

## **IV.7 Conclusion**

Dans ce dernier chapitre, nous avons démontré la faisabilité d'intégrer des inductances Above-IC à fort coefficient de surtension au-dessus de puces actives de puissance sur silicium.

Le premier volet de ce chapitre a consisté à dimensionner les inductances à intégrer au-dessus des transistors LDMOS et à les caractériser sous pointes RF. Pour cela, ces inductances ont été fabriquées sur des wafers test en utilisant le premier procédé décrit dans le chapitre III. Les résultats expérimentaux ont été très encourageants puisqu'ils ont montré un facteur de qualité de 40 à 2 GHz avec un maximum de 55 à 5 GHz. Ce résultat a validé l'ensemble de notre étude et a ouvert la voie vers l'application de ces inductances sur des puces actives.

Ainsi, un premier démonstrateur d'un transistor de puissance LDMOS intégrant les inductances de sortie a été fabriqué. Des problèmes de fragilité sur l'accrochage des plots ont été constatés lors du câblage des fils et ont été résolus par l'enrobage des plots avec de la SU8. Les résultats des caractérisations RF petits signaux ont montré ensuite une dégradation des performances liée à une attaque du métal 2 en cours de procédé et conduisant à l'apparition d'éléments résistifs sur les accès du transistor.

Pour résoudre les problèmes précédents, des modifications ont été apportées telles que l'ajout d'une couche métallique de protection sur le métal 2 du transistor et la modification de la forme des vias qui a permis d'améliorer leur tenue mécanique. Un deuxième démonstrateur d'un transistor de puissance LDMOS intégrant les inductances de sortie a alors été fabriqué. Les caractérisations RF petits signaux ont montré des performances satisfaisantes, proches de celles de la puce originale. Les mesures en puissance de type load-pull ont montré un niveau de puissance en sortie, de gain et de rendement maximum de 48,8 dBm, 16,75 dB, 54 %, respectivement. Ces valeurs apparaissent en retrait par rapport à celles de la puce originale (49,2 dBm, 18 dB, 63 %) présentent des pertes. Cependant, en les comparant à celles d'une puce intermédiaire (48,9 dBm, 16,5 dB, 59 %) ayant juste les vias, la SU8 et les plots métalliques, nous avons trouvé que les performances sont correctes. En outre, les différences de performances entre la puce intermédiaire et la puce originale démontrent et résultent de la présence d'une résistance parasite sur la source liée à un défaut dans la métallisation de la face arrière.

Le dernier volet de ce chapitre traite de l'application du deuxième procédé technologique développé, qui permet la croissance 3D des interconnexions en une seule étape. Un troisième démonstrateur a été fabriqué dans ce cadre. La supériorité de ce procédé est apparue indéniable tant au niveau des temps de fabrication que de la qualité des réalisations. Mais malheureusement, un défaut dans une couche d'accrochage nous a privé de caractériser des puces.

Dans l'ensemble, nous pouvons cependant conclure sur l'intérêt des procédés développés pour l'intégration « above IC » d'inductances planaires en mesure de remplacer les fils microsoudés. Nous

avons démontré que les performances peuvent être comparables alors que les coûts et les temps de fabrication sont fortement réduits.

## IV.8 Références

- [1] M. C. A. M. Koolen, J. A. M. Geelen, and M. P. J. G. Versleijen, "An improved de-embedding technique for on-wafer high-frequency characterization," in Proceedings of the IEEE Bipolar Circuits and Technology Meeting, pp. 188–191, August 1991.
- [2] Jiming Song, Feng Ling, G. Flynn, W. Blood, E. Demircan, "A de-embedding technique for interconnect," Electrical Performance of Electronic Packaging, 2001 29-31 Oct. 2001 Page(s) :129 - 132
- [3] Tiemeijer, L. F., & Havens, R. J. (2003). "A calibrated lumped-element de-embedding technique for on-wafer RF characterization of high-quality inductors and high-speed transistors," IEEE Transaction on Electron Devices, 50, 822-829.
- [4] M.-H. Cho, et al., "A Cascade Open-Short-Thru (COST) De-Embedding Method for Microwave On-Wafer Characterization and Automatic Measurement," ed : Oxford University Press, 2005.
- [5] B. F. Dyson, "Diffusion of gold and silver in tin single crystals", J. Appl. Phys., vol. 37, pp. 2375 - 2377, 1966.
- [6] Zribi, A. et al., "Solder metallization interdiffusion in microelectronic interconnects," IEEE Trans. Comp. Packag. Technol. 23, 383 (2000).

## **CONCLUSION GENERALE**

Le travail présenté dans cette thèse a consisté à développer un procédé technologique capable de remplacer les fils micro-soudés, entrant dans la préadaptation de transistors LDMOS de puissance, par des inductances intégrées directement sur les puces. En collaboration avec la société Freescale Semiconducteurs ce procédé a été mis en œuvre sur des puces intégrant des transistors LDMOS de puissance de 50 W.

Le premier chapitre de ce mémoire est consacré à la présentation des amplificateurs de puissance RF ainsi qu'aux différentes technologies de fabrication des transistors RF de puissance. Les contraintes posées pour les amplificateurs de puissance RF sont présentées et une étude comparative des performances des transistors de différentes filières tels que les filières MOS, SiGe, GaAs... a été réalisée. Nous nous sommes penchés plus spécifiquement sur la filière LDMOS de puissance puisqu'elle a servi de support aux travaux de cette thèse. Le substrat LDMOS, ses caractéristiques ainsi que le circuit électrique équivalent du transistor LDMOS de puissance ont été exposés. Par la suite, nous avons démontré l'intérêt d'intégrer les circuits de préadaptation d'impédance sur la puce, au plus proche, car compte tenu des valeurs des impédances d'un transistor de forte puissance, l'adaptation des impédances au niveau du circuit amplificateur n'est plus possible sans sacrifier les performances. Pour finir, nous avons exposé les techniques de réalisation de ces circuits de préadaptation à l'aide de fils micro-soudés et de capacités MIS ainsi que les problématiques liées. Ces dernières nous ont permis de justifier l'intérêt de remplacer ces fils micro-soudés par des inductances de puissance planaires intégrées directement sur le substrat des transistors.

Les problèmes de l'intégration d'inductances planaires de hautes performances font l'objet du deuxième chapitre de ce mémoire. Dans un premier temps, nous avons exposé les différents mécanismes à l'origine des pertes existants dans une inductance intégrée. Ensuite, nous avons présenté le cahier des charges que notre étude doit satisfaire et nous avons exposé les différentes techniques d'intégration d'inductances planaires trouvées dans la littérature. Les technologies MCM-L et LTCC offrent des facteurs de qualité dans l'état de l'art. Cependant, ces techniques ne sont pas applicables dans notre cas à cause d'incompatibilités technologiques. Parmi ces différentes techniques, seule la technologie Above-IC nous a semblé capable de satisfaire à nos exigences tant au plan technologique qu'au plan électrique. Dans un second temps, nous avons introduit le logiciel de simulation électromagnétique 3D HFSS utilisé extensivement au cours de cette thèse pour optimiser

et dimensionner les inductances. Une étape de calibrage des simulations a montré que la définition des ports d'excitations des structures nécessite un grand soin. De plus, un correctif des simulations s'est avéré nécessaire puisque ce logiciel ne prend pas en compte la résistance DC des métallisations.

Le troisième chapitre décrit l'optimisation des inductances ainsi que le développement de procédés technologiques. Dans un premier temps, nous justifions le choix de la résine époxy SU-8 comme diélectrique pour ses caractéristiques électriques et technologiques. Les propriétés diélectriques de cette résine ont été extraites à partir de mesures paramètres-S de lignes micro-rubans en utilisant deux méthodes d'extraction de propriétés diélectriques que nous avons développées. Une permittivité relative  $\epsilon_r'$  de 2,85 et un angle de pertes  $\tan\delta$  de 0,04 ont été extraites, des valeurs comparables à celles que donne la littérature. Dans un second temps, nous avons étudié l'impact de la résistivité du substrat sur les performances des inductances et l'efficacité des plans de masses dans le cas de très faibles valeurs de résistivités. Nous avons conclu que les plans de masses structurés sont inefficaces dans ce cas et que l'utilisation d'un plan de masse solide s'avère nécessaire. Nous avons montré les effets de l'épaisseur d'un tel plan sur les performances et la dépendance de cette épaisseur avec la fréquence d'utilisation et la nature du métal constituant ce plan. Ensuite, les techniques d'optimisation du facteur de qualité ont été présentées, de l'analyse desquelles nous pouvons exprimer qu'une épaisseur importante de diélectrique joue un grand rôle sur l'augmentation de ce facteur. De plus, de faibles rapports de formes  $w/t$  et de fortes sections de métallisations peuvent améliorer davantage le facteur de qualité. Le couplage mutuel entre les différents rubans peut être exploité pour augmenter l'inductance par unité de surface. Sur cette base, la mise au point d'un premier procédé technologique a été effectuée. Ce procédé inclue des étapes de planarisation de la SU8 par polissage mécanique. Etant difficile à mettre en œuvre, ce point nous a poussé à développer un deuxième procédé qui n'inclut aucune étape de polissage mécanique et qui offre en même temps beaucoup d'autres avantages tels que : un nombre d'étapes réduit, la formation de structures métalliques tridimensionnelles en un seul dépôt électrolytique...

Enfin, le dernier chapitre de ces travaux traite du dimensionnement et de la conception d'inductances de puissance à fort coefficient de qualité, puis de leur intégration directement sur les puces des transistors LDMOS de puissance. Les résultats des caractérisations expérimentales sont également présentés. La première étape de validation a consisté à intégrer, en utilisant le premier procédé, les inductances de façon isolée, sur des wafers tests. Des résultats de mesures des paramètres-S sous pointes, nous avons extrait un facteur de qualité de 40 à 2 GHz avec un maximum de 55 à 5 GHz pour une valeur d'inductance de 0,7 nH. Ces résultats ont validé les simulations électromagnétiques ainsi que le procédé technologique. Ensuite, un premier démonstrateur a été fabriqué et caractérisé en petits signaux. Nous avons relevé une dégradation des performances électriques en raison de l'attaque de la couche métallique des plots du transistor. Des corrections ont donc été apportées sur le procédé et un deuxième démonstrateur a été fabriqué. Les caractérisations petits et forts signaux ont révélé des performances proches de celles d'une puce commercialisée. Les quelques différences cependant observées ont été attribuées à la présence d'une résistance parasite sur la source du transistor, ainsi qu'à de trop faibles sections des rubans constituant les inductances intégrées en comparaison aux sections des fils micro-soudés. De nouvelles structures inductives ayant des sections plus élevées ont ainsi été dimensionnées et intégrées sur les puces en utilisant le

deuxième procédé technologique développé. Cependant, compte tenu d'un défaut sur une couche d'accrochage, ces puces n'ont pu pour l'instant être caractérisées.

Pour conclure, les travaux présentés dans cette thèse permettent de statuer de manière positive quant aux possibilités de remplacer les fils micro-soudés par des inductances planaires de puissance à forts coefficients de qualité. En effet, la plupart des verrous technologiques rencontrés aux cours de nos travaux a pu être éliminée et la technologie mise en place peut être facilement adoptée par des industriels compte tenu de la compatibilité avec les technologies d'intégration des composants actifs de puissance. Ce point est d'autant plus vérifié par le deuxième procédé développé qu'il est relativement facile à mettre en œuvre et faible coût. Entièrement compatible avec les chaînes de productions microélectroniques il ne nécessite aucune acquisition de nouveaux matériels.



## **PERSPECTIVES**

Tout d'abord, du point de vue technologique, le deuxième procédé développé dans cette thèse ouvre la voie à la réalisation de divers composants passifs pour applications RF tels que des inductances tridimensionnelles, des capacités, des antennes, des coupleurs, des interconnexions etc. Il sera donc possible d'intégrer tous ces éléments directement en surface d'une puce active. Des améliorations supplémentaires peuvent être apportées au procédé pour le simplifier davantage et/ou pour améliorer les performances électriques. De telles améliorations peuvent consister à éliminer l'étape de métallisation des flancs de la résine, ou bien, à graver la résine SU-8 pour créer des structures suspendues ayant de meilleures performances électriques.

D'un point de vue fiabilité, il convient d'effectuer des mesures de vieillissement sur les transistors de puissance intégrant les inductances pour relever le comportement de la résine SU-8 après exposition à des cycles de changements de température.





## LIST DES PUBLICATIONS

### CONFERENCES INTERNATIONALES AVEC COMITE DE LECTURE ET ACTES PUBLIES

- A. Ghannam, C. Viallon, D. Bourrier, T. Parra, "*Dielectric microwave characterization of the SU-8 thick resin used in an above IC process*," in *Microwave Conference, 2009. EuMC 2009. European*, 2009, pp. 1041-1044.
- A. Ghannam, D. Bourrier, C. Viallon, J.M Boulay, G. Bouisse, T. Parra, "*High-Q SU8 Based Above-IC Inductors for RF Power Devices*", 11th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 17-19 January 2011, Phoenix, AZ

### CONFERENCES NATIONALES AVEC COMITE DE LECTURE ET ACTES PUBLIES

- A. Ghannam, C. Viallon, D. Bourrier, T. Parra, "*Caractérisation Micro-Onde de la Résine Epaisse SU8 Utilisée dan in Procédé "Above-IC"*," 11èmes JOURNÉES DE CARACTÉRISATION MICROONDES ET MATÉRIAUX à Brest du 31 mars au 2 avril 2010

### BREVETS

- J.M. Boulay, A. Ghannam, "*HIGH POWER SEMICONDUCTOR DEVICE FOR WIRELESS APPLICTIONS AND METHOD OF FORMING A HIGH POWER SEMICONDUCTOR DEVICE*", Freescale Semiconducteurs, Toulouse, France. Brevet n° PCT/IB2009/056029 déposé le 12/10/2009.
- A. Ghannam, D. Bourrier, M. Dihlan, C. Viallon, T. Parra, "*Intégration microélectronique faible coût d'interconnexions cuivre tridimensionnelles pour applications RF et microondes* " LAAS/CNRS, Toulouse, France. Dépôt en cours n° BFF 10P0456/ND.