Conception et intégration silicium de circuits et SoC analogiques et numériques micro-ondes appliqués à la synthèse agile de fréquences

Éric Tournier

▶ **To cite this version:**

Éric Tournier. Conception et intégration silicium de circuits et SoC analogiques et numériques micro-ondes appliqués à la synthèse agile de fréquences. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2010. tel-00629717

HAL Id: tel-00629717

https://theses.hal.science/tel-00629717

Submitted on 6 Oct 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université Paul Sabatier
TOULOUSE III

Habilitation à diriger des recherches

de l'Université Toulouse III - Paul Sabatier

Discipline ou spécialité: Génie Électrique, Électronique, Télécommunications

Préparée au Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS

Soutenue par Éric Tournier

le 16 novembre 2010

Conception et intégration silicium de circuits et SoC analogiques et numériques micro-ondes appliqués à la synthèse agile de fréquences

---

Rapporteurs:

Jean-Michel Fournier	Professeur INPG – IMEP-LAHC
Andreas Kaiser	Directeur de recherches CNRS – IEMN
Jean-Baptiste Begueret	Professeur université de Bordeaux – IMS

Examinateurs:

Jacques Graffeuil	Professeur UPS Toulouse – LAAS
Didier Belot	Ingénieur expert - ST Microelectronics

Garant:

Olivier Llopis	Directeur de recherches CNRS – LAAS

Ecole doctorale : Ecole Doctorale GEET

Unité de recherche : UPR8001

Avant-propos

Les travaux de recherche décrits dans ce document se sont déroulés au LAAS [1] du CNRS [2], dans le groupe de recherche qui a porté successivement les noms CCM [3], CISHT [4] et MOST [5]. Mes premiers mots iront à mes collègues du groupe MOST, pour les remercier d'avoir fait mentir de façon si évidente l'adage « les meilleurs partent toujours les premiers » depuis la disparition de CISHT, « meilleurs » étant évidemment à prendre sous l'acception adéquate.

Ce document est une habilitation à diriger des recherches, et présente la synthèse d'un travail réalisé sur une dizaine d'années, au travers de thèses, stages, publications, participation à des contrats, etc. J'ai dans la mesure du possible, dans ce document écrit, essayé d'éviter l'écueil d'une simple description de méthodes voire d'une revue de « designs » dans lesquelles j'aurais facilement pu tomber. Pour chacune des fonctions et architectures abordées, une description succincte est donnée et un tour d'horizon des réalisations existantes au démarrage des travaux effectué, jusqu'à la mise en évidence des améliorations apportées, le plus souvent sanctionnées par des publications scientifiques dans des conférences et revues du domaine. Cependant, j'ai quand même tenu à présenter certaines innovations, même lorsque nous ne sommes pas allés au bout de leur validation, car il en va aussi ainsi de la vie d'un chercheur : on travaille souvent sur des aspects originaux que l'on souhaiterait valoriser parce qu'on les « sent » pertinents, mais qui quelquefois finissent par se perdre dans le renouvellement des doctorants et le flot incessant des appels d'offres, qui nous détournent constamment de la partie scientifique de notre activité, ou bien la recadrent périodiquement — de force — hors du champ d'investigation qui nous intéresserait. J'ai également souhaité conserver un contenu scientifique minimum tout en évitant de parachuter de trop nombreuses formules, préférant écrire ici ou là quelques lignes de justification possible à défaut de démonstration rigoureuse si cela n'alourdissait pas trop le propos.

L'ensemble de ce travail n'a bien sûr été possible que grâce aux étudiants qu'il m'a été donné d'encadrer, qui ont pour certains scrupuleusement suivi mes directives, pour d'autres pris quelques libertés avec une réussite méritée à l'arrivée, et pour les derniers pris sans doute une trop grande liberté avec des résultats imparfaits au final, malgré des recommandations répétées. Je les remercie donc à des degrés divers, que ce soit celles et ceux, les plus nombreux, que j'ai suivis en stage puis en thèse, que ce soit celui que j'ai suivi en stage et que je n'ai pas pu garder en thèse, que ce soit celui que j'ai suivi en thèse sans l'avoir suivi en stage ni l'avoir choisi pour rester en thèse, et que ce soit ceux que je n'ai suivis qu'en stage et qui ont été appelés à d'autres obligations, pour différentes raisons. Beaucoup de leur travail ne trouve pas écho dans ce document, car j'ai privilégié la cohérence de l'ensemble, au détriment de certains éléments qui, bien qu'intéressants ou même ayant donné de bons résultats, conservaient un aspect trop marginal eu égard à la ligne directrice de cette habilitation.

Ce document utilise — et essaie de respecter autant que possible — certaines conventions typographiques élémentaires, sans doute trop souvent oubliées dans le milieu scientifique, afin qu'il soit, sinon de lecture instructive, du moins de lecture agréable. Cependant, quelques compromis ont été trouvés ici ou là pour que la tâche n'en devienne pas surréaliste. Ainsi, s'il est de bon ton d'écrire les sigles qui s'*épellent* en petites majuscules, et les sigles qui se *prononcent* (acronymes) en minuscules, nous écrirons indifféremment les deux en petites majuscules, d'autant que dans certains cas, la classification est soit impossible (CMOS [6] est sigle sur les deux premières lettres et acronyme sur les trois dernières...), soit non souhaitable (FIR [7] est un acronyme, IIR [8] un sigle, mais pourquoi

1. Laboratoire d'Analyse et d'Architecture des Systèmes
2. Centre National de la Recherche Scientifique
3. Composants et Circuits Micro-ondes
4. Composants et Intégration des Systèmes Hyperfréquences pour Télécommunications
5. Micro-ondes et Opto-micro-ondes pour Systèmes de Télécommunications
6. MOS complémentaires
7. Réponse impulsionnelle finie
8. Réponse impulsionnelle infinie

écrirait-on les deux différemment sachant qu'ils sont de nature très proche ?). Les chiffres utilisés comme données sont majuscules, ou alignés (0123456789), tandis que les chiffres utilisés pour les numérotations de tableaux, figures, sections et dates sont minuscules ou elzéviriens (0123456789).

Malgré les apparences, ce document est écrit en LaTeX, n'en déplaise aux masochistes inconditionnels de Micro$oft Word, ceux-là mêmes qui n'arrêtent jamais de s'en plaindre sans jamais ne pouvoir s'en passer. Peut-être aussi que les détracteurs de LaTeX, qui pensent que tous les documents rédigés avec lui ont un « bon rendu, mais se ressemblent tous », m'accorderont à la lecture de ce document que, décidément non, ils ne se ressemblent pas tous. La version électronique dispose de liens hypertextes pour faciliter les renvois divers (glossaire, figures, tableaux, références bibliographiques...). Pour bien faire, sans doute faudrait-il disposer des deux formats, *papier* pour le côté classique que certains jugeront toujours plus agréable, *électronique* pour le côté moderne, efficace, pratique et... écologique. Ah ! J'en vois déjà pointer le bout de leur nez avec leur iPad... Ce document est garanti 100 % « Apple free », et devrait le rester... Merci pour lui.

La plupart des figures sont réalisées au format vectoriel libre SVG [9]. Et non, pas avec Micro$oft PowerPoint, qui est tout sauf un logiciel de dessin... Cependant, un nombre conséquent de figures a été récupéré des différents doctorants et stagiaires qui sont passés entre mes mains ; et je n'ai pas forcément pu tout reprendre : mon souci d'homogénéité s'est trouvé dépassé par l'ampleur de la tâche, bien que ce ne fut pas l'envie qui m'ait manqué. Qu'ils soient ici remerciés de leurs efforts, même si je me rends compte en réutilisant leurs données que beaucoup de mes conseils préventifs, visant à assurer la réutilisabilité de leur travail, ont tout simplement été oubliés. Il est donc évident qu'il me faudra désormais sévir avec les prochains étudiants qui auront à travailler, ou qui travaillent déjà, avec moi.

Une barre dans la marge de la page (comme celle en face de ce paragraphe) permet de repérer plus facilement les paragraphes évoquant les parties originales de mes travaux ou les démarches qui m'y ont conduit.

Je tiens à remercier les membres du jury qui ont pris la peine de juger ce travail et de se déplacer pour assister à la soutenance, et de remercier doublement les trois rapporteurs qui ont accepté d'examiner ce document de manière plus approfondie. Je remercie également d'une manière générale toutes les personnes qui m'ont supporté, soutenu voire secondé, que ce soit sur un plan personnel d'un côté, ou d'un point de vue professionnel, scientifique, technique ou logistique de l'autre, et en particulier ceux de mes collègues qui ont accepté, sans aucune remarque de quelque ordre que ce soit de participer au financement sur ressources propres de certaines activités décrites dans ce mémoire, afin de pallier le manque de soutien évident de certaines entités face à des projets de recherche qui ne surfent volontairement pas sur les mots-clefs « incontournables » du moment, et surtout sans trouver là une justification superficielle de vouloir quitter — voire saborder — le navire. Les résultats qui en sont issus sont parmi les plus significatifs de mes activités.

Je ne me lancerai pas dans une énumération de noms, moins de peur d'oublier d'en remercier certains d'un côté, que de ressentir une trop grande satisfaction d'en omettre d'autres de l'autre. Je ferai toutefois une exception à cette règle pour embrasser affectueusement Jeanne, Jean-Marie, Alain, Laura, Alexia, Nadia, Sylvain, Paul-Hugo et Christian.

9. « Scalable Vector Graphics »

Ce qui compte ne peut pas toujours être compté,
et ce qui peut être compté ne compte pas forcément.

Albert Einstein

TABLE DES MATIÈRES

Introduction générale 10

1 La synthèse de fréquences micro-ondes : tour d'horizon des solutions intégrées 15
1.1 Rôle de la synthèse de fréquences dans un émetteur/récepteur . . . 17
1.2 Caractéristiques fondamentales des synthétiseurs de fréquences . . . 18
1.3 Technologies silicium . . . 19
1.4 Synthèse analogique directe . . . 19
1.4.1 Oscillateur fixe et variable . . . 20
1.4.2 Travail sur les oscillateurs analogiques . . . 26
1.5 Synthèse analogique/numérique indirecte . . . 27
1.5.1 Boucle à verrouillage de phase à division entière . . . 27
1.5.2 Boucle à verrouillage de phase à division fractionnaire . . . 28
1.5.3 Détecteur phase/fréquence numérique et pompe de charges . . . 28
1.5.4 Diviseur de fréquence . . . 30
1.5.5 Filtre de boucle . . . 31
1.6 Synthèse numérique directe . . . 31
1.6.1 Principe . . . 32
1.6.2 Exploitation de symétries . . . 34
1.6.3 Synthétiseur digital direct utilisé comme modulateur . . . 35
1.6.4 Association avec/dans une boucle à verrouillage de phase . . . 35
1.6.5 Accumulateur de phase . . . 36
1.6.6 Convertisseur phase/amplitude . . . 36
1.6.7 Convertisseur numérique/analogique . . . 37
1.6.8 Convertisseur à sources de courant commutées pondérées . . . 38
1.6.9 Convertisseur numérique/analogique non linéaire . . . 38
1.6.10 Travail sur les synthèses digitales directes . . . 40
1.7 Synthèse des synthèses de fréquences . . . 40
1.8 Logique ECL . . . 40
1.9 Conclusion . . . 42
Références bibliographiques . . . 43

2 La synthèse de fréquences micro-ondes : la voie *analogique* 45
2.1 La technique « Above IC » . . . 47
2.2 Résonateurs BAW-FBAR dans les oscillateurs . . . 47
2.3 Oscillateurs FBAR à sorties simple et différentielles . . . 48
2.3.1 Version sortie simple . . . 49
2.3.2 Version différentielle . . . 50
2.3.3 Résultats de mesures . . . 52
2.4 Oscillateurs LC équilibrés . . . 54
2.4.1 Oscillateur à paire différentielle croisée . . . 54
2.4.2 Oscillateur Pierce différentiel . . . 54
2.4.3 Comparaison entre les oscillateurs LC et FBAR . . . 54
2.5 Conclusion . . . 56
Références bibliographiques . . . 58

3 La synthèse de fréquences micro-ondes : la voie *numérisation* 60
3.1 Diviseurs de fréquence programmables . . . 61
3.1.1 Diviseurs par deux . . . 61
3.1.2 Prédiviseurs $N/N+1$ avec $N = 4$ . . . 63
3.1.3 Diviseur programmable par M . . . 64
3.1.4 Diviseur à double module et un seul compteur . . . 65
3.2 Comparateur phase/fréquence et pompe de charges . . . 65
3.2.1 Comparateur phase/fréquence numérique . . . 65
3.2.2 Pompe de charges . . . 66
3.2.3 Numérisation du couple pompe de charges/filtre . . . 69
3.3 Intégration de PLL . . . 70
3.3.1 La PLL maudite . . . 70
3.3.2 Une PLL fonctionnelle . . . 72
3.4 Conclusion . . . 72
Références bibliographiques . . . 74

4 La synthèse de fréquences micro-ondes : la voie *numérique* 75
4.1 Intégration d'un DDS en technologie BiCMOS SiGe C . . . 77
4.1.1 Additionneur . . . 77
4.1.2 Accumulateur de phase . . . 78
4.1.3 Convertisseur numérique/analogique . . . 79
4.1.4 Convertisseur phase/amplitude . . . 80
4.1.5 DDS complet . . . 82
4.2 Synthèse digitale directe appliquée à la génération de signaux UWB . . . 85
4.3 Conclusion . . . 86
Références bibliographiques . . . 89

5 La synthèse de fréquences micro-ondes : application à la mesure micro-onde sur puce 91
5.1 Description du banc de mesure de bruit de phase . . . 93
5.2 Différentes configurations intégrées du banc de mesure . . . 94
5.3 Conception d'un banc de mesure de bruit de phase intégré . . . 95
5.3.1 Déphaseur et diviseur de puissance . . . 95
5.3.2 Détecteur de phase . . . 95
5.3.3 Amplificateur basse fréquence faible bruit . . . 98
5.3.4 Assemblage et test du banc de mesure de bruit de phase intégré . . . 100
5.4 Conclusion . . . 102
Références bibliographiques . . . 104

Conclusion générale et éléments de prospectives 106
Conclusion générale . . . 107
Éléments de prospectives . . . 108
Systèmes de mesure intégrés . . . 108
Synthèses digitales directes . . . 110

A Synthèse, responsabilités diverses et activités d'enseignements **111**
A.1 Originalité & points forts . . . 112
A.2 Quelques résultats marquants . . . 112
A.3 Travaux non valorisés dans ce manuscrit . . . 112
A.4 Participation à des contrats . . . 112
A.5 Organisation de conférences . . . 112
A.6 Responsabilités administratives . . . 113
A.6.1 Administratif université . . . 113
A.6.2 Administratif laboratoire . . . 113
A.7 Activité conception de circuits . . . 113
A.8 Encadrement doctoral . . . 114
A.9 Encadrements de stagiaires . . . 114
A.10 Membre de jurys de thèses . . . 114
A.11 Rapporteur d'articles scientifiques . . . 114
A.12 Activités d'enseignements actuelles . . . 114
A.13 Activités d'enseignements passées . . . 116
Références bibliographiques de l'annexe A . . . 118

Liste des figures & tableaux **119**
Liste des figures . . . 120
Liste des tableaux . . . 122

Liste des sigles & acronymes **123**

Liste des symboles **127**

INTRODUCTION GÉNÉRALE

Le travail présenté dans ce mémoire d'habilitation à diriger des recherches relève pour la plus grande part du domaine de la *conception de circuits*. Mon expérience dans ce domaine remonte à une quinzaine d'années, lorsque j'ai commencé à travailler sur des systèmes numériques dans le cadre de ma dernière année d'étude à l'INSA [1] de Toulouse. Puis j'ai intégré le LAAS, d'abord en stage où j'ai fait une incursion dans le monde de la conception analogique en travaillant sur les convoyeurs de courant, puis en thèse, où j'ai d'abord développé un circuit complet de commande de moteur pour deux applications : le motoventilateur de refroidissement du moteur thermique et la direction assistée électrique d'un véhicule automobile. Cette commande de moteur fut incluse dans un montage hybride, et intégrait non seulement la partie commande, mais également les circuits de protection de l'actionneur de puissance (température, courant, tension), ainsi qu'un ensemble de logiques de modulation en largeur d'impulsions interne, une alimentation stabilisée, et une pompe de charges secondée par un circuit élévateur de tension pour l'application d'assistance de direction. Un aléa dans le déroulement de thèse m'a ensuite conduit à travailler de nouveau sur les convoyeurs de courants, ainsi que sur les mémoires analogiques. Ma thèse, intitulée « Contribution à la conception d'architectures analogiques CMOS intégrées : convoyeurs de courant et mémoires non volatiles » relevait donc totalement du domaine analogique basse fréquence, poussant même jusqu'à la réalisation analogique d'une fonction pourtant purement numérique : la fonction « mémoire ». En rejoignant par la suite le groupe CCM pour la partie recherche de mon poste d'enseignant/chercheur, j'ai dû m'adapter et m'intéresser à la conception de MMIC [2] sur silicium pour les systèmes communicants. J'ai engagé mes efforts dans le domaine de la *conception numérique micro-onde*, que ce soit pour numériser des fonctions analogiques existantes ou pour créer des fonctions originellement numériques. Très vite, l'application privilégiée se révéla être la synthèse de fréquence, par boucle à verrouillage de phase d'abord, par synthèse numérique directe ensuite, pour lesquelles j'ai encadré le développement de chacun de leurs blocs avant intégration complète. Je n'ai pas perdu de vue la conception analogique, puisque je me suis également intéressé, entre autres, à la conception d'oscillateurs analogiques micro-ondes, fixes et contrôlés, ainsi qu'à la conception de mélangeurs ou d'amplificateurs faible bruit.

Ainsi, après une thèse entièrement analogique, voici une habilitation à diriger des recherches essentiellement numérique [P1, P2]. J'aurai désormais touché à la totalité des branches de la conception sur silicium : analogique et numérique basse fréquence, puissance, analogique et numérique hyperfréquence.

Un domaine de recherche en conception de circuits laisse parfois interrogatif, et l'on relève quelquefois des remarques concernant la trop grande proximité avec le monde de l'ingénieur. Il s'agit ici évidemment de recherche appliquée et il est donc normal, voire obligatoire que cette proximité existe. Mais l'ingénieur ne consacrera pas de temps à développer des solutions « exotiques ». Son « devoir de résultat » le contraindra tout naturellement à rester dans un domaine balisé ne lui laissant que peu de degrés de liberté. Bien sûr, les plus inventifs se risqueront à proposer des embryons d'idées, à en appliquer certaines, certains autres concevront des solutions totalement originales, mais dès lors ce sont eux qui du statut d'ingénieur en arrivent à faire fonction de chercheurs. Le chercheur en conception de circuits essaiera de soutirer le maximum d'une technologie donnée, en gardant une vision sur le procédé de fabrication en dessous et sur le système utilisateur au-dessus, en exploitant certaines niches souvent abandonnées au profit de solutions médiocres, dont on pense — souvent à tort — qu'elles sont les meilleures, parce que les seules, et dont le seul mérite finalement est d'exister. Mais d'accéder à de nouvelles technologies, de découvrir des topologies et des fonctionnalités originales, de mettre au point certaines techniques de conception conduit forcément à repenser l'ensemble des éléments connexes qui peuvent alors être étudiés sous un angle différent et offrir des performances ou une ergonomie impensable peu de temps auparavant. Prenons l'exemple du

1. Institut National des Sciences Appliquées
2. Circuits intégrés monolithiques micro-ondes

comparateur phase/fréquence abordé dans ces pages. C'est un élément clef des boucles à verrouillage de phase et pourtant, nombre de réalisations utilisent une topologie de comparateur apparue depuis plusieurs décennies sans que jamais personne ne cherchât vraiment à résoudre ses innombrables imperfections : zone morte, faible fréquence de fonctionnement, parasites de sortie (paradoxalement nécessaires...). Beaucoup se consacrent alors à compenser *a posteriori* ces défauts pour limiter leurs influences sur les circuits environnants, plutôt que de chercher à les éradiquer dès le départ dans la structure de base... Or c'est bien là qu'il convient de revenir chercher périodiquement des solutions : c'est en replongeant au cœur de certaines structures qui, malgré le bénéfice de l'âge, peuvent être avantageusement repensées avec des performances technologiques récentes que l'on peut aussi ouvrir de nouvelles voies de conception. Et là en particulier se situe la recherche en conception de circuits.

Les fonderies de la micro et nanoélectronique permettent la réalisation de fonctions intégrées sophistiquées, conciliant complexité, rapidité et performance. Cependant, le coût peut vite exploser si l'on décide de se tourner vers les technologies les plus récentes, les plus complexes, voire les plus confidentielles (quelquefois disponibles uniquement en laboratoire...), simplement pour profiter de leurs performances remarquables. Afin de maintenir un coût raisonnable, une solution est plutôt de se tourner vers des technologies plus répandues, c.-à-d. les technologies silicium BiCMOS [3] et surtout CMOS, dont le marché particulièrement expansif des microprocesseurs assure un accès grand public à coût modéré. Mais celles-ci ne permettent évidemment pas d'atteindre les mêmes performances, du moins dans leur configuration par défaut. Il convient alors de déployer un certain nombre de techniques originales visant à les surclasser et leur permettre de rejoindre des performances habituellement réservées à des technologies beaucoup plus coûteuses.

Il faut bien constater que la plupart des fonderies offrant un panel de composants suffisamment large sont commerciales, étant donné les coûts énormes de développement et de maintien. Dans le cas de l'utilisation d'une technologie commerciale, propriétaire d'un fondeur donné qui en maîtrise les étapes sans possibilité pour le concepteur de modifier quelque paramètre que ce soit, des techniques originales de conception peuvent tout de même intervenir à plusieurs niveaux :

- au niveau *composant* : on peut créer ses propres composants du moment que l'on respecte le DRC [4] du fondeur. On peut aussi chercher à développer des modèles précis de composants déjà existants, si ceux que le fondeur fournit ne le sont pas suffisamment, ou sont caractérisés dans un domaine de fonctionnement que l'on cherche justement à dépasser, pour les faire fonctionner en marge de ce pour quoi ils ont été prévus, et ainsi ouvrir la voie à des utilisations nouvelles.
- au niveau *matériau* : si on ne peut habituellement pas intervenir dans les couches intermédiaires du procédé, puisque l'ensemble des étapes est maîtrisé par le fondeur dans une salle blanche qui lui appartient, on peut par contre reprendre « facilement » la main à partir de la dernière étape, et développer des procédés technologiques complémentaires, qualifiés alors de « above-IC » (littéralement « au-dessus du circuit intégré »), à condition que ces étapes supplémentaires restent compatibles avec le procédé sous-jacent utilisé, et qu'en particulier elles ne viennent pas en dégrader les étapes déjà réalisées.
- au niveau *circuit* : il s'agit ici du domaine de la conception de circuits. L'assemblage des composants élémentaires de la technologie est laissé totalement libre et au choix du concepteur, si ce n'est le respect de quelques règles en rapport direct avec le bon déroulement du procédé (densité des différentes couches, règles d'antenne...).
- au niveau *système* : par un établissement précis d'une architecture système, surtout celles faisant intervenir

3. Bipolaire et CMOS
4. Contrôle des règles de dessin

différentes technologies, assemblées ensuite de différentes manières (SiP [5], « Flip-chip »...), on peut déplacer certaines contraintes d'une partie du système où la technologie ne permet pas de satisfaire les exigences, à une autre où ces mêmes contraintes apparaîtront beaucoup plus relâchées. La frontière entre circuit et système n'est pas forcément très précise, certaines fonctions complexes pouvant facilement être perçues comme de petits systèmes.

L'ensemble des activités de recherche répertoriées ici couvre environ onze années, et se décompose quasi naturellement en cinq chapitres, tous consacrés à la synthèse de fréquence sous ses multiples aspects, directe et indirecte, directement et indirectement, analogique et numérique, telle que je l'ai abordée au fil du temps. Sans doute eût-il mieux valu que le nombre d'années fut différent de onze, j'aurais eu moins de choses à présenter, ressortir des archives, rédiger ou remettre en forme, et surtout moins de remords à devoir passer sous silence certaines activités plus exotiques ou annexes qui, si elles ne sont que peu valorisables à court terme, car peu productives au sens que certaines gens entendent lui donner, participent néanmoins d'un savoir-faire et de méthodes de travail. Décidément, ce nombre onze me poursuivra jusqu'au bout...

Le premier chapitre me permet de faire un tour d'horizon des synthèses de fréquence intégrées, en situant des points bloquants que j'ai identifiés au cours des années et auxquels j'ai fini par m'intéresser. Je m'attarde aussi bien sur les techniques de conception des oscillateurs analogiques que sur celles des PLL [6] ou des DDS [7].

Le deuxième chapitre évoque nos travaux sur la synthèse de fréquence fixe, directe et *analogique*. Il est question d'oscillateurs basés sur des résonateurs à ondes de volume qui offrent d'excellentes perspectives à la conception de sources de fréquences analogiques intégrées, à haute pureté spectrale. Des topologies possédant des performances remarquables en termes de bruit de phase sont présentées.

Le troisième chapitre discute des efforts que j'ai menés sur les PLL, sur lesquelles sont basées la majorité des synthèses de fréquence programmables actuelles. Il est question de *numérisation* des différents éléments de la boucle.

Le quatrième chapitre détaille nos résultats sur les synthèses de fréquences totalement *numériques* (synthèses digitales [8] directes), non plus issues d'une numérisation de principes analogiques bien connus, mais dont la structure même est pensée en numérique depuis l'origine. Si ces structures sont assez anciennes pour des générations de fréquences basses, les activités que j'ai initiées ont ouvert la voie à des réalisations dans le domaine micro-ondes, sur silicium et surtout à faible consommation, ainsi que ce chapitre le démontre.

Le cinquième et dernier chapitre parle de mes activités les plus récentes sur la *mesure micro-onde sur puce*. S'il ne s'agit pas directement de synthèse de fréquence, nous verrons tout de même qu'elle reste indirectement au cœur des circuits présentés.

Le document principal s'achève par une conclusion et quelques éléments de prospective sur les orientations que je souhaite donner à mes activités de recherche.

Pour finir, une annexe synthétise l'ensemble des activités et des responsabilités que j'ai eues sur la dernière décennie, dans les domaines de la recherche et de l'enseignement.

5. Système encapsulé
6. Boucle à verrouillage de phase
7. Synthèse Digitale Directe
8. Le terme « digital » du français se rapporte aux doigts de la main. L'équivalent du terme anglais « digital » devrait ainsi être « numérique ». Cependant, nous utiliserons indifféremment les termes « digital » et « numérique » comme synonymes.

Références personnelles

[P1] C. Viallon, É. Tournier et T. Parra. « Utilisation du silicium jusqu'aux fréquences millimétriques: quelques voies de conception ». Dans : *6e Colloque sur le Traitement Analogique, de l'Information, du Signal et ses Applications (TAISA'2005)*. 7 pages. Marseille (France), 2005 (cf. p. 11).

[P2] C. Viallon, É. Tournier et T. Parra. « Silicon technologies for applications up to millimetre-waves: some design guidelines ». Dans : *Analog Integrated Circuits and Signal Processing* 49.3 (2006), p. 229–236 (cf. p. 11).

Chapitre 1

La synthèse de fréquences micro-ondes : tour d'horizon des solutions intégrées

LA *synthèse de fréquences* est une fonction clef des systèmes de télécommunications. C'est en effet elle qui permet de transposer le spectre d'un signal à émettre, afin de l'adapter à la bande passante d'un canal de transmission. De façon plus fine, elle permet d'adresser un standard particulier en se positionnant autour de sa fréquence centrale (troisième colonne du tableau 1.1). Plus précisément encore, elle peut permettre de commuter sur un canal particulier d'un standard donné (quatrième colonne du tableau 1.1). Dans certaines techniques d'étalement de spectre (ex. FHSS [1]), elle doit même assurer des sauts de fréquence ultra rapides.

TABLEAU 1.1 – Quelques standards de télécommunication.

Norme	Schéma d'accès	Gamme de fréquence (MHz)	Largeur des canaux	Type de modulation
GSM	TDMA/ FDMA/ TDD	(890 – 915) (Tx) (935 – 960) (Rx)	200 kHz	GMSK 8-PSK
DCS-1800	TDMA/ FDMA/ TDD	(1710 – 1785) (Tx) (1805 – 1850) (Rx)	200 kHz	GMSK 8-PSK
WCDMA (UMTS)	WCDMA/ TDMA-CDMA	(1920 – 1980) (Tx) (2110 – 2170) (Rx)	5 MHz	QPSK
Bluetooth	CDMA/ FDMA/FHSS	(2400 – 2483)	1 MHz	GFSK 2-FSK
802.11b	CDMA	(2400 – 2483)	3 MHz	QPSK
802.11a	OFDM	(5725 – 5850)	15,6 MHz	OFDM

À cette évocation, on voit déjà apparaître un certain nombre de critères sur lesquels sont jugées les synthèses de fréquences (résolution, précision, agilité, pureté spectrale...), que l'on peut compléter dans le cas d'applications grand public, par d'autres exigences, certaines se révélant parfois contradictoires avec les précédentes : faible coût, faible consommation, testabilité, versatilité...

On peut s'essayer à donner une classification des synthèses de fréquences, comme sur le tableau 1.2 [G1].

TABLEAU 1.2 – Vue générale des synthèses de fréquences.

Synthèse directe	**Synthèse analogique directe (DAS)**	**Oscillateur + mélangeurs + diviseurs** + non-linéarités + filtres	
	Synthèse numérique directe (DDS)	**Accumulateur de phase + CNA**	
Synthèse indirecte	**Boucle à verrouillage de phase (PLL)**	**Rapport de division entier**	
		Rapport de division fractionnaire	Estimation de phase par CNA
			Gigue de phase aléatoire
			Mise en forme du bruit par ΣΔ
			Interpolation de phase
			Générateur d'impulsions
	Boucle à verrouillage de délai (DLL)	Multiplication de fréquence par le nombre de délais en série	

On y voit apparaître les notions de synthèse *directe*, *indirecte*, *analogique* et *numérique* que ce chapitre me permettra d'expliciter un peu. En **gras** sont mises en évidence les parties sur lesquelles nous avons travaillé, mes étudiants et moi, et qui font l'objet des chapitres à venir, à travers les éléments théoriques et pratiques qui ont alimenté nos réflexions et m'ont conduit à développer différents axes de recherche. Je n'évoquerai que succinctement — voire pas du tout — les autres.

Ce chapitre se veut assez général, mais pas forcément exhaustif tant le domaine de la synthèse de fréquences est vaste. Le but est évidemment ici de donner le fil conducteur de nos travaux, d'expliciter les démarches que nous avons suivies, notamment à travers les points bloquants que nous avons identifiés puis cherché à résoudre au fil des années. Elle présente la situation telle que nous l'avons trouvée à chaque démarrage de projet ou d'une activité de recherche, et non pas la situation que l'on pourrait trouver à l'heure actuelle, plusieurs années après, que des techniques ou des technologies plus récentes pourraient éclairer de manière plus favorable. Les chapitres sui-

1. Étalement de spectre par sauts de fréquence

vants détaillent les diverses améliorations proposées et les résultats obtenus avec les technologies de l'« époque » (le monde technologique progresse vite...), ainsi que des comparaisons avec l'état de l'art au moment de leur publication ou tout au moins de leur validation.

1.1 Rôle de la synthèse de fréquences dans un émetteur/récepteur

Afin de fixer les idées, la figure 1.1 représente une architecture générique d'émission/réception d'un signal numérique dans laquelle nous pouvons facilement identifier la place de différentes synthèses de fréquences. Certaines architectures sont évidemment plus simples, mais nous cherchons ici toutes les applications possibles de ces synthèses, il convient donc de décrire une architecture générique assez sophistiquée. Dans ce système de transmission, la fréquence des différentes synthèses sera soit de valeur élevée (égale à la fréquence centrale du standard adressé), soit intermédiaire (si un principe hétérodyne est utilisé). Notons que cette architecture permet d'adresser n'importe quelle constellation complexe mélangeant modulations d'amplitude A et de phase ϕ à partir de seulement deux modulations d'amplitude en quadrature, étant donné la décomposition mathématique de n'importe quel signal modulé en phase et en amplitude :

$$A\cos(2\pi f_c t + \phi) = \underbrace{[A\cos(\phi)]}_{\text{Amplitude 1}}\underbrace{\cos(2\pi f_c t)}_{\text{Porteuse en phase}} + \underbrace{[-A\sin(\phi)]}_{\text{Amplitude 2}}\underbrace{\cos\left(2\pi f_c t - \frac{\pi}{2}\right)}_{\text{Porteuse en quadrature}} \tag{1.1}$$

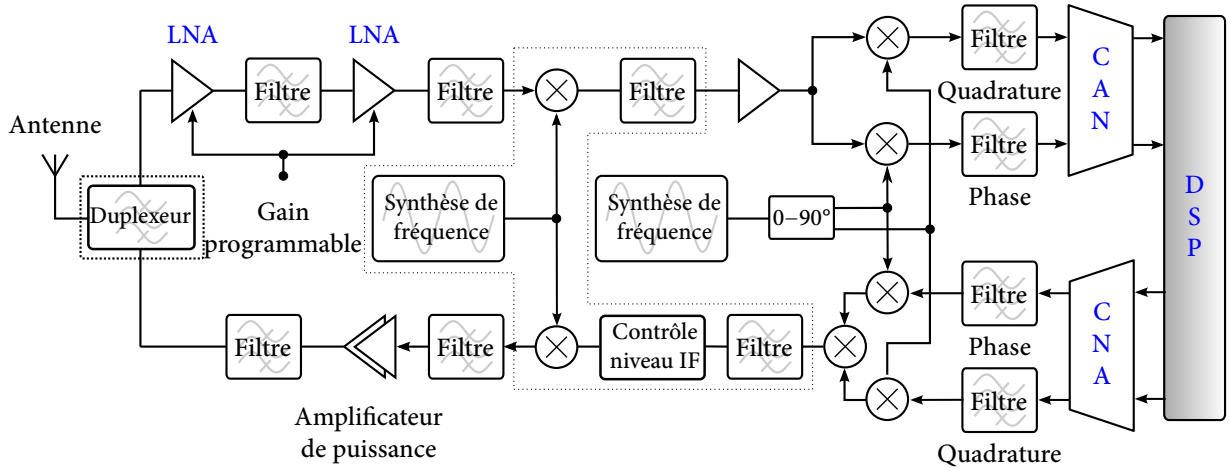

FIGURE 1.1 – Architecture générique d'un émetteur-récepteur.

Considérons par souci de simplification mais sans perte de généralité l'effet d'une modulation d'amplitude unique, à partir d'un signal déterministe en bande de base $x(t)$ à transmettre, de son spectre $X(f)$, et de la fréquence porteuse f_c autour de laquelle le spectre doit être transposé pour la transmission, générée par une synthèse quelconque : $c(t) = V_c\cos(2\pi f_c t)$. Le calcul de la transformée de Fourier ($\mathcal{F}$) du mélange (multiplication) de $x(t)$ avec $c(t)$ traduit la transposition du spectre bilatéral résultante :

$$\mathcal{F}[x(t)\cdot c(t)] = X(f) \star \left\{\frac{V_c}{2}[\delta(f-f_c)+\delta(f+f_c)]\right\} = \frac{V_c}{2}[X(f-f_c)+X(f+f_c)] \tag{1.2}$$

L'équation 1.2 montre que le spectre en bande de base $X(f)$ est simplement transposé autour de f_c, avec une atténuation d'amplitude d'un coefficient $\frac{1}{2}$. À la réception, retrouver le spectre initial du signal, et donc le signal

inchangé peut alors se faire sans dégradation, par la même opération de mélange :

$$\begin{aligned}\mathcal{F}[(x(t)\cdot c(t))\cdot c(t)] &= \frac{V_c}{2}\left[X(f-f_c)+X(f+f_c)\right] \star \frac{V_c}{2}\left[\delta(f-f_c)+\delta(f+f_c)\right] \\ &= \frac{{V_c}^2}{4}\left[X(f-2f_c)+2X(f)+X(f+2f_c)\right] \end{aligned} \tag{1.3}$$

qui conduit à retrouver $X(f)$ à un simple facteur près, après filtrage de la composante éloignée centrée sur $2f_c$.

Évidemment, si l'oscillateur local n'est pas stable et présente des bruits en phase $\varphi(t)$ et en amplitude $v(t)$, le spectre sera dégradé dans la transposition, et l'opération inverse visant à retransposer le spectre à sa position d'origine ne conduira alors plus exactement au spectre initial. Dans le cas d'un oscillateur réel quelconque, $c(t)$ peut s'écrire $(V_c+v(t))\cos(2\pi f_c t+\varphi(t))$. Si le bruit d'amplitude peut facilement être éliminé avant le mélange par amplification, écrêtage, et filtrage passe-bas ($v(t)=0$), il n'en est pas de même pour le bruit de phase, et l'expression ne se réduit qu'à $c(t)=V_c\cos(2\pi f_c t+\varphi(t))$. En supposant que le bruit de phase reste faible, on peut réécrire $c(t)\approx V_c\cos(2\pi f_c t)-V_c\,\varphi(t)\sin(2\pi f_c t)$, dont la DSP [2] bilatérale est :

$$S_C(f)=\frac{{V_c}^2}{4}\left[\delta(f-f_c)+\underbrace{S_\varphi(f-f_c)}+\delta(f+f_c)+\underbrace{S_\varphi(f+f_c)}\right] \tag{1.4}$$

Nous voyons alors que la DSP du bruit de phase S_φ de la source va interférer dans la transposition et ne pourra alors plus être dissociée du signal modulé, ce qui dégradera irrémédiablement la qualité de transmission, en terme de rapport signal/bruit dans le cas d'une transmission analogique, ou de taux d'erreurs par bit dans le cas d'une « transmission numérique [3] ». Il convient donc d'être particulièrement vigilant sur le comportement en bruit de phase des synthèses de fréquences afin que la qualité de transmission soit la meilleure possible.

1.2 Caractéristiques fondamentales des synthétiseurs de fréquences

Les caractéristiques fondamentales des synthèses de fréquences sont qualitativement :

- La *gamme de fréquences* couverte, définie à partir des bornes extrêmes synthétisables.
- Le *pas de réglage*, ou *résolution*, défini(e) par l'intervalle minimal entre deux fréquences synthétisables. On peut rencontrer des pas allant du centième de hertz jusqu'à quelques mégahertz. Ce pas est par exemple égal à la fréquence de référence pour une PLL à division entière à un seul diviseur situé dans la contre-réaction (§ 1.5.1).
- La *pureté spectrale* : un oscillateur présente une dominante spectrale à la fréquence principale d'oscillation, mais également une certaine puissance plus ou moins éloignée de la fréquence porteuse, que ce soit dans des raies parasites (« spurious ») ou bien dans un lobe plus ou moins large centré sur la porteuse, et qualifié dans ce dernier cas de bruit de phase.
- Le *temps d'établissement*, défini comme le temps de stabilisation après un changement de fréquence. Cette notion n'a d'intérêt que pour les appareils à rythme de changement de fréquence rapide (balayage automatique, recherche de canal libre avant émission, modulations à sauts de fréquence...). On peut rencontrer des temps d'acquisition de quelques millisecondes à quelques microsecondes. Il caractérise l'agilité en fréquence de la synthèse.

À ces caractéristiques spécifiques s'ajoutent bien sûr les caractéristiques partagées par toutes les fonctions électroniques : consommation, gamme de température, puissance disponible en sortie, impédance de sortie, etc.

2. Densité spectrale de puissance
3. Abus d'écriture, plus exactement : « transmission analogique discrète d'une information numérique »

1.3 Technologies silicium

Notre choix de nous servir exclusivement de technologies silicium alors que, par exemple, les transistors à base d'InP [4] sont à l'heure actuelle les plus rapides, a été guidé par des questions de coût et de consommation que nous avons souhaité garder le plus raisonnable possible, quitte à obtenir des performances absolues en termes de fréquence moins élevées. Plutôt que d'établir des records du monde avec des technologies confidentielles disponibles uniquement en laboratoire, au coût exorbitant et à la consommation excessive, nous avons préféré rester sur des technologies bas coût telles que les technologies silicium offrant un champ d'applications beaucoup plus immédiat. Finalement, dans la validation d'un type de conception donné, seul importe les performances *relatives* d'une fonction par rapport à des fonctions semblables sur des technologies équivalentes, et un FoM [5] adapté aidera à ce dernier type de comparaison (§ 1.4.1.4).

Les transistors SiGe [6] sont dérivés des technologies silicium standards dont ils se différencient par le dopage de la base avec du germanium, ce qui permet de faire apparaître une hétérojonction due à la différence de structures de bandes entre silicium et germanium, et ainsi d'améliorer les caractéristiques de ces transistors. La présence de carbone (technologies SiGe:C [7]) limite fortement la diffusion des atomes dopants et en permet par conséquent un meilleur contrôle.

Les technologies BiCMOS SiGe allient des transistors MOS [8] silicium ayant une faible consommation et une forte densité d'intégration avec des transistors bipolaires SiGe haute fréquence. Elles sont très appréciées dans le domaine des télécommunications, car elles permettent d'intégrer sur la même puce des circuits numériques de traitement du signal en bande de base (CMOS), des circuits numériques haute fréquence (ECL [9]) ainsi que des circuits RF [10] analogiques peu bruyants (SiGe) [P1, P2, P3].

La figure 1.2 permet de se faire une idée de la situation entre technologies silicium au cours de l'année 2005, c.-à-d. à peu près au milieu de la période que ce manuscrit évoque. À titre de comparaison, nous avons ajouté la technologie InP étant donné ses caractéristiques fréquentielles remarquables. Les tendances qui se dégagent sont assez nettes, avec d'un côté les technologies InP avec les fréquences de transition et les tensions d'alimentation (et donc la consommation) les plus élevées, et de l'autre les technologies CMOS à fréquence de fonctionnement beaucoup plus limitée et à tension d'alimentation réduite. Les technologies BiCMOS et SiGe occupent l'espace intermédiaire offrant ainsi un bon compromis.

1.4 Synthèse analogique directe

Dans une synthèse de fréquences *directe*, on part d'une référence, que l'on traite jusqu'à la fréquence finale, sans jamais revenir en arrière, par un jeu :

– d'addition et soustraction de fréquences, par multiplication analogique :

$$\cos(2\pi f_0 t) \times \cos(2\pi f_1 t) = \frac{1}{2}\{\cos[2\pi(f_0 + f_1)t] + \cos[2\pi(f_0 - f_1)t]\} \tag{1.5}$$

puis filtrage pour ne conserver que l'une ou l'autre ($f_0 + f_1$ ou $f_0 - f_1$).

4. Phosphure d'indium
5. Facteur de mérite
6. Silicium germanium
7. Silicium germanium carbone
8. Métal Oxyde Semiconducteur
9. Logique à émetteurs couplés
10. Radiofréquence

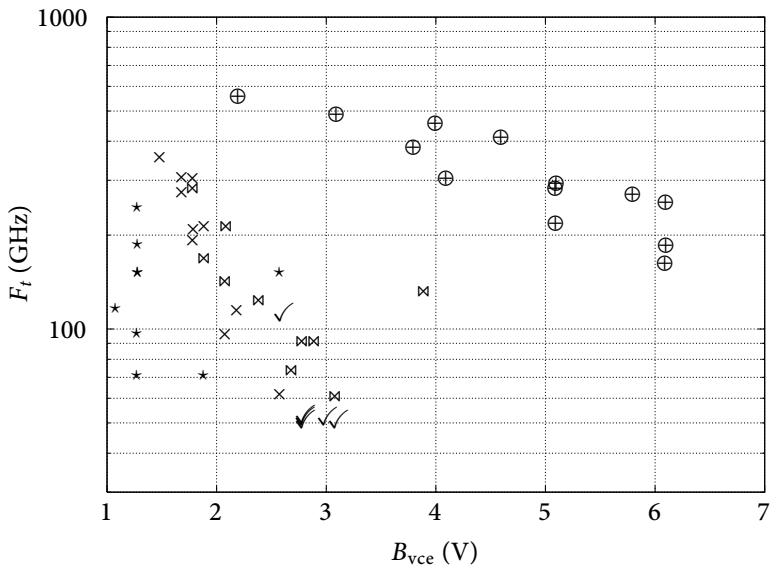

FIGURE 1.2 – Comparaison de technologies silicium : bip. ✓, bip. SiGe ×, BiCMOS SiGe ⋈, CMOS ⋆ (InP ⊕).

- de multiplication par un entier, après passage dans une non-linéarité génératrice d'harmoniques, puis filtrage autour de l'harmonique souhaité.
- de division entière ou fractionnaire.

Il s'agit d'une synthèse en boucle ouverte dont l'intérêt devient vite limité si le nombre de fréquences à générer augmente, puisqu'elle nécessite autant de voies de synthèse que de valeurs à synthétiser (même si certaines portions sont en partie communes), et que donc le nombre de mélangeurs, filtres, diviseurs et finalement parasites résultants devient alors trop important. À la base de cette synthèse directe se trouve un oscillateur servant de référence, sur lequel il faut s'attarder un peu.

1.4.1 Oscillateur fixe et variable

Un oscillateur fixe n'est pas à lui tout seul un synthétiseur de fréquences au sens où il génère une fréquence dont la valeur est fixée à la conception (ce qui ne signifie toutefois pas qu'il soit idéal, la fixité restant toute relative). Une première façon de rendre variable sa fréquence d'oscillation consiste à rendre modifiable une caractéristique de l'oscillateur fixe (souvent une valeur de capacité), de manière à contrôler la fréquence de sortie sur une certaine plage. On parle alors d'oscillateur contrôlé, généralement en tension (VCO [11]), la plage de contrôle dépassant rarement 30 % de la fréquence centrale. De plus, le VCO n'est généralement pas utilisé seul pour assurer une génération de fréquences, car sa fréquence ayant été rendue variable, elle ne peut donc plus être stable en boucle ouverte. Il faut alors un système d'asservissement basé sur une contre-réaction, et l'on obtient alors un synthétiseur de fréquences digne de ce nom, dont la fréquence de sortie est contrôlée. La stabilisation des synthétiseurs de fréquences se fait à partir d'une référence, plus basse dans le cas d'une PLL, mais aussi plus élevée dans le cas d'un DDS (§ 1.6), et qui détermine pour beaucoup le plancher de performances de la synthèse finale.

Commençons par donner quelques éléments concernant les oscillateurs analogiques, qui nous permettront de justifier nos activités de recherche dans ce domaine.

11. Oscillateur contrôlé en tension

1.4.1.1 Considérations générales sur la conception d'un oscillateur analogique

La conception d'un oscillateur peut s'étudier simplement à partir de la théorie des systèmes bouclés linéaires (figure 1.3). Des oscillations sinusoïdales stables en amplitude se produisent si la marge de phase $\Delta\phi$ est

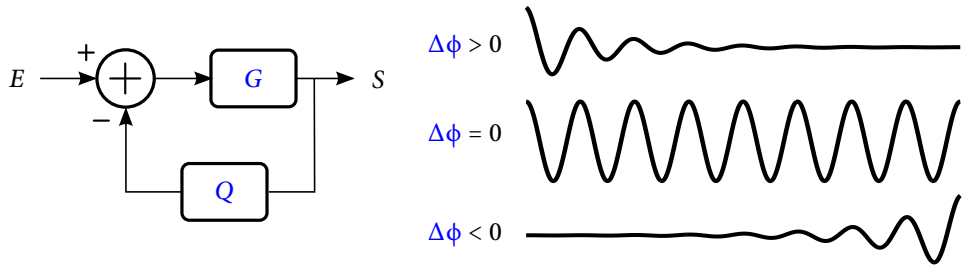

FIGURE 1.3 – Stabilité d'un système bouclé en fonction de la marge de phase $\Delta\phi$.

exactement nulle. Ceci correspond aux conditions connues sous le nom de *conditions de Barkhausen*, qui peuvent s'exprimer sous des formalismes multiples : fonctions de transfert, impédances, paramètres *S*... tous étant bien sûr équivalents. Dans la plupart des systèmes on cherche la condition de stabilité asymptotique ($\Delta\phi > 0$) pour des entrées E non nulles, tandis que dans le cas des oscillateurs, on cherche la condition de stabilité simple ($\Delta\phi = 0$) pour une entrée E nulle (figure 1.4.a), ce qui en théorie est impossible à obtenir puisqu'elle correspond à une valeur exacte, donc de précision infinie : on doit alors mettre en place un système d'asservissement de la marge de phase pour la stabiliser autour de sa valeur nulle et assurer la pérennité des oscillations. « G » est en général un amplificateur qui compense exactement les pertes d'un résonateur « Q » autour de la fréquence de résonance, et en récupère éventuellement le déphasage par un déphasage exactement opposé, de telle sorte que la condition d'oscillation ne soit valide qu'à la fréquence centrale du résonateur, qui sert alors d'élément sélectif pour déterminer la fréquence d'oscillation finale. On peut facilement généraliser cette théorie au cas des oscillateurs en réflexion basés sur des résistances négatives (figure 1.4.b).

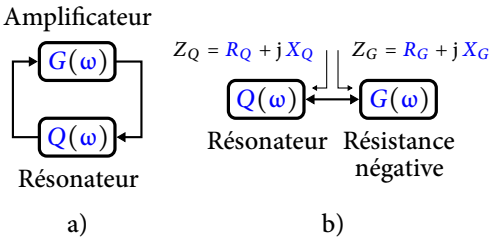

FIGURE 1.4 – Oscillations en contre-réaction (a) et à résistance négative (b).

En utilisant par exemple le formalisme des fonctions de transfert, dans une approche en contre-réaction adaptée aux oscillations en transmission, les conditions d'oscillations s'écrivent (figure 1.4.a) :

$$|G(\omega_c)\,Q(\omega_c)| = 1 \tag{1.6}$$

$$\angle G(\omega_c) + \angle Q(\omega_c) = 0 \tag{1.7}$$

où $G(\omega)$ est la fonction de transfert de l'amplificateur, $Q(\omega)$ celle du résonateur et ω_c est la pulsation de résonance.

Dans une approche par résistance négative, plus adaptée aux oscillations en réflexion, et en utilisant par

exemple le formalisme des paramètres Z, nous avons (figure 1.4.b) :

$$R_G(\omega_c) = -R_Q(\omega_c) \tag{1.8}$$

$$X_G(\omega_c) = -X_Q(\omega_c) \tag{1.9}$$

où $R_G(\omega)$ (resp. $R_Q(\omega)$) est la partie réelle et $X_G(\omega)$ (resp. $X_Q(\omega)$) la partie imaginaire de l'impédance de la résistance négative (resp. résonateur).

1.4.1.2 Bruit de phase d'un oscillateur et bruit de phase résiduel

Réduire le bruit de phase des oscillateurs micro-ondes, afin de réaliser des sources de référence, suppose une compréhension des phénomènes de conversion de bruit qui interviennent entre l'élément actif (bruit de phase résiduel φ) et l'oscillateur (bruit de phase de l'oscillation $\mathcal{L}(f)$). Sans chercher à rentrer dans toute la théorie qui en découle, voici quelques éléments de justification sur l'activité de conception d'oscillateurs analogiques que j'ai menée.

On rappelle tout d'abord que pour une sinusoïde $\cos(\phi_i(t))$, on définit la pulsation instantanée $\omega_i(t)$ et la fréquence instantanée $f_i(t)$ à partir de la phase instantanée $\phi_i(t)$ par :

$$f_i(t) = \frac{\omega_i(t)}{2\pi} = \frac{1}{2\pi}\frac{\mathrm{d}\phi_i}{\mathrm{d}t}(t) \tag{1.10}$$

ce qui sur les spectres se traduit après transformée de Fourier en :

$$F_i(f) = \frac{\Omega_i(f)}{2\pi} = \frac{\mathrm{j}\,\omega}{2\pi}\,\Phi_i(\omega) = \mathrm{j}\,f\,\Phi_i(f) \tag{1.11}$$

et donc sur les DSP par :

$$S_{f_i}(f) = \frac{S_{\omega_i}(f)}{(2\pi)^2} = \left(\frac{\omega}{2\pi}\right)^2 S_{\phi_i}(\omega) = f^2\,S_{\phi_i}(f) \tag{1.12}$$

La fonction de transfert standard d'un résonateur peut s'écrire sous la forme d'un second ordre classique :

$$\frac{2\,\mathrm{j}\,\xi\,\dfrac{\omega}{\omega_c}}{1 + 2\,\mathrm{j}\,\xi\,\dfrac{\omega}{\omega_c} + \left(\mathrm{j}\,\dfrac{\omega}{\omega_c}\right)^2} = \frac{1}{1 + \dfrac{\mathrm{j}}{2\,\xi}\left(\dfrac{\omega}{\omega_c} - \dfrac{\omega_c}{\omega}\right)} = \frac{1}{1 + \mathrm{j}\,Q_L\left(\dfrac{\omega}{\omega_c} - \dfrac{\omega_c}{\omega}\right)} \tag{1.13}$$

où ω_c est la pulsation de résonance, Q_L le facteur de qualité en charge du résonateur et ξ le coefficient d'amortissement. Ceci conduit aux expressions de gain et de phase :

$$G = \frac{1}{\sqrt{1 + {Q_L}^2\left(\dfrac{\omega}{\omega_c} - \dfrac{\omega_c}{\omega}\right)^2}} \tag{1.14}$$

$$\phi = -\arctan\left[Q_L\left(\frac{\omega}{\omega_c} - \frac{\omega_c}{\omega}\right)\right] \tag{1.15}$$

Au voisinage de la pulsation de résonance ($\omega \approx \omega_c$), le gain est maximum et la phase quasi nulle ($\phi \approx 0$). Pour de faibles fluctuations de phase ($\Delta\omega = \omega - \omega_c \approx 0$), on peut alors écrire :

$$\phi \underset{(\phi\approx 0)}{\approx} -Q_L\left(\frac{\omega}{\omega_c} - \frac{\omega_c}{\omega}\right) = -Q_L\left(\frac{\omega + \omega_c}{\omega}\cdot\frac{\omega - \omega_c}{\omega_c}\right) \underset{(\omega\approx\omega_c)}{\approx} -Q_L\left(2\cdot\frac{\Delta\omega}{\omega_c}\right) = -Q_L\left(2\cdot\frac{\Delta f}{f_c}\right) \tag{1.16}$$

On obtient ainsi l'expression qui lie la phase ϕ à l'écart de fréquence Δf à travers le résonateur :

$$d\phi = -\frac{2\,Q_L}{f_c}\,df \Leftrightarrow df = -\frac{f_c}{2\,Q_L}\,d\phi \tag{1.17}$$

Si maintenant on crée une boucle d'oscillation, que la condition d'oscillation nous maintienne justement autour de la résonance, et que S_φ soit la DSP d'une *fluctuation* de phase φ provenant d'un élément bruyant de la boucle, la fréquence f précédente devient une fréquence instantanée f_i, et on bascule sur le formalisme des signaux aléatoires :

$$S_\varphi(f) = \left(\frac{2\,Q_L}{f_c}\right)^2 S_{f_i}(f) \Leftrightarrow S_{f_i}(f) = \left(\frac{f_c}{2\,Q_L}\right)^2 S_\varphi(f) \tag{1.18}$$

Les expressions précédentes sont valables près de la fréquence d'oscillation (pour $f < \frac{f_c}{2\,Q_L}$). On revient alors au bruit de phase en oscillation S_{ϕ_i} en utilisant l'équation (1.12), ce qui donne sur les DSP :

$$S_{\phi_i}(f) = (2\,\pi)^2 \cdot \frac{1}{(2\,\pi\,f)^2}\left(\frac{f_c}{2\,Q_L}\right)^2 S_\varphi(f) = \left(\frac{f_c}{2\,Q_L\,f}\right)^2 S_\varphi(f) \tag{1.19}$$

On aboutit ainsi à la formule de Leeson [G2] valable près de la porteuse, dont on tire une version simple bande plus souvent utilisée :

$$\mathcal{L}(f) = \frac{S_{\phi_i}(f)}{2} = \left(\frac{f_c}{2\sqrt{2}\,Q_L\,f}\right)^2 S_\varphi(f) \tag{1.20}$$

Cette formule montre comment le bruit de phase résiduel généré par l'amplificateur dans la boucle d'oscillation, se transforme en bruit de phase au niveau de l'oscillation. Elle montre également que le bruit de phase en sortie de l'oscillateur est d'autant plus faible que le facteur de qualité en charge Q_L du résonateur est grand. Concevoir des oscillateurs à faible bruit de phase passe donc en particulier par l'utilisation de résonateurs à fort coefficient de qualité et l'utilisation d'un amplificateur, ou d'une résistance négative, à faible bruit de phase résiduel afin d'en minimiser la conversion en bruit de phase d'oscillation.

1.4.1.3 Résonateurs intégrés

1.4.1.3.i Résonateurs *LC*

Dans leur forme basique, les résonateurs intégrés sur silicium sont constitués d'inductances (L) et de capacités (C). Les topologies peuvent prendre des formes très variées, les principales possédant un nom : Colpitts, Pierce, Clapp, Hartley, Armstrong... Cependant, avec le temps et selon les auteurs, les topologies (L,C) derrière ces noms varient allègrement, et il est difficile de trouver une définition véritablement commune. En regardant une référence assez ancienne [G3], nous trouvons une définition possible. La figure 1.5 montre un résonateur de topologie commune Colpitts/Pierce/Clapp, avec une inductance et deux capacités. Le signal transite de v_1 à v_2 tandis que v_3 est maintenu à la masse pour le résonateur Pierce, de v_3 à v_1 (ou v_2) tandis que v_2 (ou v_1) est relié à la masse pour le Colpitts, de v_1 à v_3 tandis que v_2 est relié à la masse pour le Clapp.

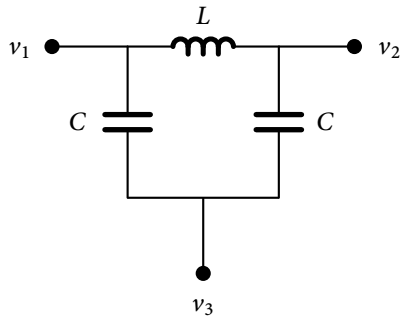

FIGURE 1.5 – Résonateur *LC* Colpitts/Pierce/Clapp.

Nous avons vu que le bruit de phase d'un oscillateur était directement liée au facteur de qualité en charge Q_L du résonateur intervenant dans sa conception (§ 1.4.1.2), et là est justement le problème pour les inductances intégrées sur silicium : leur facteur de qualité est justement très faible (≈ 10), étant donné notamment la faible résistivité du substrat silicium, dans lequel des courants de Foucault apparaissent et génèrent d'importantes pertes. S'il existe des techniques permettant de limiter ces couplages, elles permettent une optimisation limitée sur le Q_L [P4, P5]. Il convient donc de trouver des résonateurs de bien meilleure qualité susceptibles d'être intégrés afin de rendre possible la conception d'oscillateurs analogiques à faible bruit de phase sur silicium.

1.4.1.3.ii Technologie BAW

Dans la gamme RF, il existe de très bons résonateurs, les résonateurs SAW [12]. Il est cependant reconnu que ces derniers ne sont pas compatibles avec les technologies BiCMOS, et qu'ils ne montent pas plus haut en fréquence (< 3 GHz), ni très haut en puissance (< 1 W). Une version différente de résonateurs à quartz est apparue depuis quelques années, le résonateur BAW [13] en couche mince, qui tout en partageant des facteurs de qualité élevés avec les résonateurs SAW, en élimine les inconvénients : compatibilité avec les technologies silicium, bonne tenue en fréquence et en puissance. Le résonateur BAW est constitué par une couche piézoélectrique prise en sandwich par deux électrodes métalliques (figure 1.6). Généralement, le matériau piézoélectrique est le AlN [14], le ZnO [15] ou plus rarement le PZT [16] [G4]. Le signal électrique variable appliqué crée un champ électrique longitudinal entre les deux électrodes qui induit une vibration acoustique longitudinale grâce à l'effet piézoélectrique. La vibration, ou onde acoustique, se produit lorsque l'épaisseur de la couche piézoélectrique est égale à un multiple entier impair de la demi-longueur d'onde du signal électrique d'excitation. Pour avoir un ordre d'idée, dans le cas de l'AlN l'épaisseur est de 5,75 µm à 290 nm pour des fréquences de résonance allant de 1 à 20 GHz. Dans la pratique, l'épaisseur est inférieure à ces valeurs, car il faut prendre en considération les électrodes et le support qui font chuter la fréquence de résonance.

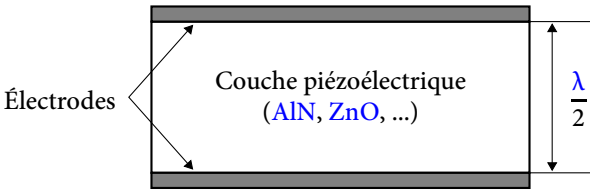

FIGURE 1.6 – Vue en coupe d'un résonateur BAW.

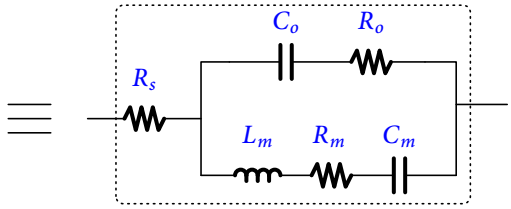

FIGURE 1.7 – Modèle BVD modifié du résonateur BAW.

Les résonateurs BAW peuvent être modélisés par un circuit RLC [17] équivalent. Le modèle le plus classique est le modèle BVD, dans sa forme originelle [G5] ou modifiée [G6]. C'est le modèle le plus utilisé étant donné sa simplicité (figure 1.7). R_s modélise les pertes ohmiques dans les électrodes. C_o est la capacité principale définie par les électrodes et le diélectrique. R_o représente les pertes diélectriques (quelques dixièmes d'ohm), et n'existe que dans la version modifiée du modèle BVD. R_m, L_m et C_m sont respectivement la résistance, l'inductance et la capacité acoustiques. Ce modèle n'est valide qu'au voisinage de la fréquence de résonance, et seulement si la largeur du résonateur est bien supérieure à son épaisseur. Le module typique de l'impédance de ce modèle, en fonction de la fréquence est donnée figure 1.8, où f_s et f_p désignent respectivement la fréquence de résonance

12. Résonateur à onde acoustique de surface
13. Résonateur à onde acoustique de volume
14. Nitrure d'aluminium
15. Oxyde de zinc
16. Titano-zirconate de plomb
17. Résistance inductance capacité

série et parallèle, dont les expressions après quelques approximations sont [G3] :

$$f_s \approx \frac{1}{2\,\pi\,\sqrt{L_m\,C_m}}$$
$$f_p \approx f_s\left(1+\frac{C_m}{2\,C_o}\right)$$

Sur la figure 1.8, il est clairement visible que le résonateur se comporte comme une capacité pour la majorité des fréquences, excepté dans la bande $[f_s; f_p]$ où il prend le comportement d'une inductance. Nous pouvons utiliser le résonateur BAW à la place de l'inductance dans la topologie donnée figure 1.5, dans cette bande $[f_s; f_p]$, d'autant plus étroite que le résonateur sera sélectif.

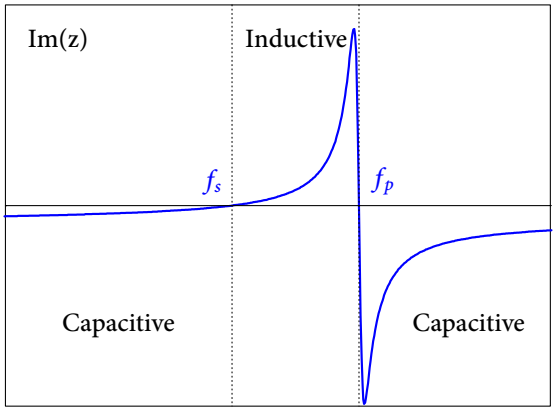

FIGURE 1.8 – Fréquences de résonance série et parallèle.

Si l'on considère des électrodes minces vis-à-vis de leur largeur, on peut trouver les valeurs du modèle BVD, avec seulement des paramètres mécaniques et géométriques [G7]. Les facteurs de qualité des résonateurs BAW sont ainsi *plusieurs dizaines de fois supérieures* à ceux des résonateurs *LC*.

Les résonateurs doivent nécessairement être isolés mécaniquement du substrat sur lequel ils sont construits, de manière à s'assurer que l'énergie reste confinée dans le résonateur pour obtenir le meilleur facteur de qualité possible [G8]. La figure 1.9 montre les deux réalisations de cette isolation. La première, connue sous le nom FBAR [18], est de fabriquer le résonateur sur une membrane suspendue dans l'air, par-dessus une couche sacrificielle. La seconde, appelée SMR [19], consiste à diminuer l'impédance acoustique du substrat par un réflecteur conçu à partir d'une série de matériaux haute impédance, et d'épaisseurs $\frac{\lambda}{4}$ [G9].

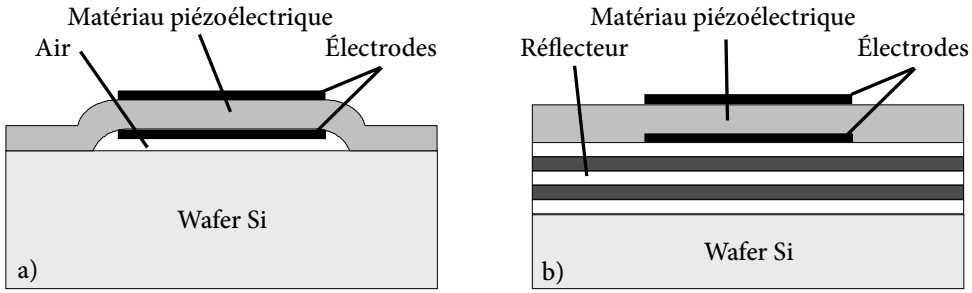

FIGURE 1.9 – Résonateurs FBAR (a) et SMR (b).

Nos travaux ont utilisé les deux types de résonateurs. Dans les premiers, les FBAR étaient plus appropriés à

18. Résonateur BAW sur membrane
19. Résonateur BAW monté solidement

une intégration par-dessus les composants BiCMOS (« Above-IC », § 2.2). Dans les deuxièmes, les SMR permettaient des tenues en puissance plus élevées pour l'application visée (§ 5).

1.4.1.4 Facteur de mérite

N'importe quel concepteur sait très bien que l'optimisation simultanée de tous les paramètres d'une fonction, quelle qu'elle soit, est impossible (il serait illusoire de chercher à augmenter la puissance de sortie d'une fonction au-delà d'un certain seuil en baissant à la fois sa tension d'alimentation et sa consommation), et que des choix seront forcément nécessaires pour optimiser tel ou tel paramètre en fonction de l'application visée, au détriment de tel ou tel autre. Cette difficulté se retrouve lorsqu'il s'agit de comparer des fonctions semblables, optimisées pour des applications différentes, ou bien intégrées sur des technologies différentes : comment décider qu'une est « meilleure » que les autres ? Afin de faciliter la comparaison de fonctions semblables, il est de coutume d'utiliser un FoM dont le rôle est de prendre en compte chaque paramètre important intervenant dans la réalisation d'une fonction dans des proportions raisonnées, afin par exemple que l'évolution simultanée de deux paramètres naturellement dépendants, dans la proportion de leur dépendance naturelle se fasse de façon transparente vis-à-vis du FoM. On peut ainsi comparer des fonctions ne visant pas exactement les mêmes caractéristiques. Dans le cas de l'oscillateur fixe, un FoM habituel, bien que ne contenant pas tous les paramètres importants est [G10] :

$$\mathrm{FoM} = 20\,\log\left(\frac{f_c}{f_{\mathrm{offset}}}\right) - 10\,\log\left(\frac{P_{\mathrm{diss}}}{1\,\mathrm{mW}}\right) - \mathcal{L}_{\mathrm{dB}}\left(f_{\mathrm{offset}}\right) \tag{1.21}$$

La définition (1.21) prend en compte le bruit de phase à une certaine distance f_{offset} de la porteuse f_c, qui est la contribution principale du FoM : plus le bruit de phase est faible, plus le FoM est élevé. Cette valeur est ensuite pondérée par le terme $20\,\log\left(\frac{f_c}{f_{\mathrm{offset}}}\right)$ qui assure que si l'on regarde le bruit de phase à une distance différente de la porteuse, le facteur de mérite ne sera pas affecté pour peu que la pente de bruit de phase soit de la valeur classique −20 dB/dec (équation (1.20)). Finalement, le terme $\frac{P_{\mathrm{diss}}}{1\,\mathrm{mW}}$ normalise le FoM à une puissance dissipée de 1 mW.

Malgré les insuffisances de ce FoM, nous l'utiliserons pour situer les performances des oscillateurs du chapitre 2 par rapport à leurs concurrents, étant donné que c'est le plus souvent utilisé.

1.4.2 Travail sur les oscillateurs analogiques

Nous venons de voir que concevoir des oscillateurs analogiques performants en terme de bruit de phase nécessite d'utiliser des résonateurs à forts coefficients de qualité. Lancer une activité de recherche dans le domaine de la conception d'oscillateurs intégrés sur silicium se justifiait donc par la possibilité que nous avons eue d'utiliser des résonateurs BAW : le chapitre 2 décrit ainsi des oscillateurs à sorties simple et différentielles que nous avons conçus, et qui se situaient à l'état de l'art au moment de leur conception en 2005, loin devant leur concurrents basés sur de simples résonateurs *LC*, dont nous avons également conçu quelques versions à titre de comparaison.

Les oscillateurs fixes peuvent ensuite être manipulés pour *synthétiser* d'autres fréquences, plus basses ou plus élevées, que ce soit de façon directe ou indirecte. Ils servent de *référence* à ces synthèses de fréquences.

1.5 Synthèse analogique/numérique indirecte

Dans une synthèse de fréquences *indirecte*, on met en œuvre une contre-réaction, en général une PLL, et on *multiplie* le signal non pas *directement*, mais *indirectement* par une *division*. On sait en effet que l'introduction d'un opérateur P (ici le diviseur) dans une contre-réaction permet de créer l'opérateur inverse P^{-1} (ici le multiplicateur). Le principe pour un opérateur quelconque est illustré figure 1.10.

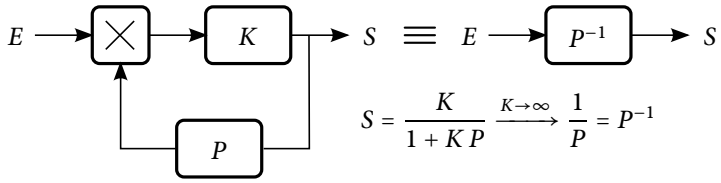

FIGURE 1.10 – Inversion d'un opérateur quelconque P.

La synthèse indirecte permet ainsi de générer des fréquences hautes à partir d'une référence basse. Les principaux avantages de la synthèse indirecte face aux systèmes de synthèse directe autonomes sont déjà du même ordre que l'avantage d'un système en boucle fermée sur un système en boucle ouverte, du moins dans le domaine analogique : régulation, asservissement, réglage du régime dynamique en boucle fermée différent du régime en boucle ouverte à l'aide de correcteurs appropriés... Si l'on ajoute à cela la possibilité d'utiliser des versions numériques de tout ou partie des blocs de la PLL, avec cette fois les avantages du numérique sur l'analogique — programmabilité, densité d'intégration (au moins pour la partie CMOS), retrait des composants passifs de faible coefficient de qualité (§ 1.4.1.2 et 1.4.1.3) —, on aboutit à des synthèses de fréquences particulièrement intéressantes.

1.5.1 Boucle à verrouillage de phase à division entière

La PLL à division *entière* (figure 1.11) est le moyen de synthèse indirecte de fréquences le plus répandu et le mieux maîtrisé. Il consiste en un asservissement de la phase et de la fréquence d'un oscillateur libre et contrôlable sur la phase et la fréquence d'un signal d'entrée très précis, dit de référence, à un facteur N près, N étant le rapport de division de la boucle de retour. Ainsi, lorsque la boucle est verrouillée, la fréquence du signal de sortie f_{out} est proportionnelle à la fréquence du signal d'entrée f_{ref} : $f_{out} = N\, f_{ref}$. Avec ce type de synthétiseur, la valeur de la fréquence de référence f_{ref} est directement le pas de fréquence de sortie souhaité : $\Delta f_{out} = \Delta N\, f_{ref} = f_{ref}$ pour N entier.

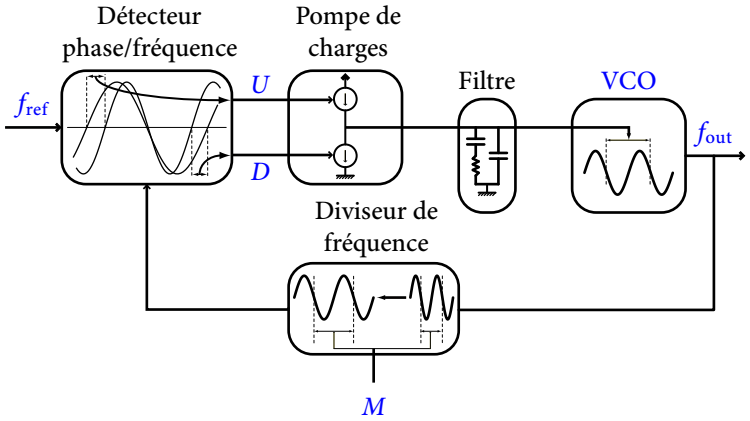

FIGURE 1.11 – Illustration schématisée de la PLL.

Le filtre de boucle définit la bande passante de la PLL, que l'on souhaite évidemment la plus grande possible

en lui définissant une fréquence de coupure la plus élevée possible. Mais il doit aussi permettre de filtrer les parasites résultant du processus de comparaison (comparateur de phase et pompe de charges) dont la fréquence est directement liée à la fréquence de référence f_{ref}, que l'on souhaite la plus faible possible afin d'obtenir la meilleure résolution possible. Il existe donc un compromis à faire entre le temps de réponse du synthétiseur de fréquences à division entière et son pas de résolution fréquentiel. De plus, étant donné le principe de multiplication d'une fréquence de référence basse vers une fréquence de référence haute, le bruit de la référence dans la bande passante de la boucle se trouve amplifié de 20 dB à chaque multiple de 10 du rapport de division (équation (1.20)), que l'on souhaitera alors le plus faible possible, avec donc une référence la plus élevée possible si l'on souhaite générer une fréquence elle-même élevée, au détriment donc de la résolution. On admet en général que pour une fréquence de référence f_{ref} donnée, la bande passante d'une PLL est environ de 10 f_{ref}, et le temps d'établissement de $\frac{30}{f_{ref}}$ pour un comportement du premier ordre ou du deuxième avec un coefficient d'amortissement optimal de $\frac{1}{\sqrt{2}}$. Pour éviter ce compromis entre temps d'établissement et résolution, on peut se tourner vers les PLL à division fractionnaire.

1.5.2 Boucle à verrouillage de phase à division fractionnaire

Un synthétiseur *fractionnaire* peut être considéré comme un synthétiseur entier dont le rang de division est changé dynamiquement conduisant ainsi à un rang de division moyen non-entier (ou fractionnaire). Si le rang de division n'est plus entier, la fréquence de référence peut être augmentée sans modifier le pas de fréquence. L'augmentation de la fréquence de référence entraîne celle de la fréquence de coupure du filtre de boucle (et donc de la bande passante de la PLL). Comme la bande passante est élargie et que le rang de division est plus faible, le bruit de phase dans la bande est également amélioré. La résolution d'un synthétiseur de fréquences à division fractionnaire est fixée par la partie fractionnaire du rang de division. Le problème majeur de ces structures est leur contenu en signaux parasites, étant donné la commutation permanente des rangs de division. Plusieurs techniques permettent de s'en affranchir parmi lesquelles celles mentionnées dans le tableau 1.2, que nous avons choisi de ne pas développer dans ces pages.

1.5.3 Détecteur phase/fréquence numérique et pompe de charges

La numérisation de la PLL commence par le PFD [20]. C'est le plus facile, car il fonctionne à la fréquence de référence, qui est la fréquence la plus basse de la PLL. Une étude bibliographique nous a montré que la structure du comparateur phase/fréquence numérique la plus classique et toujours utilisée à l'heure actuelle, a été décrite pour la première fois en 1976 [G11]. Elle est donnée figure. 1.12 et n'a jamais véritablement bougé depuis sa création. Elle est associée à une pompe de charges dont le rôle est de fournir un courant de charge ou décharge proportionnel à la largeur des impulsions du PFD au filtre de boucle (§ 1.5.5). Ce bloc fait en quelque sorte office de CNA [21], en fournissant le potentiel de commande analogique V_{out} au VCO à travers le filtre, à partir d'instants de commutation.

Un tel comparateur possède deux états stables et un transitoire. U et D représentent respectivement une avance du premier signal à comparer f_{ref} par rapport au deuxième signal f_{div}, et une avance de f_{div} par rapport à f_{ref}, de telle manière que la largeur de l'impulsion corresponde au retard du front du signal en retard par rapport à celui en avance. Cette structure est intéressante parce qu'elle permet de comparer la fréquence tout autant que la phase. L'équilibre parfait est atteint lorsque les signaux sont de même fréquence et de même phase.

20. Détecteur phase/fréquence
21. Convertisseur numérique/analogique

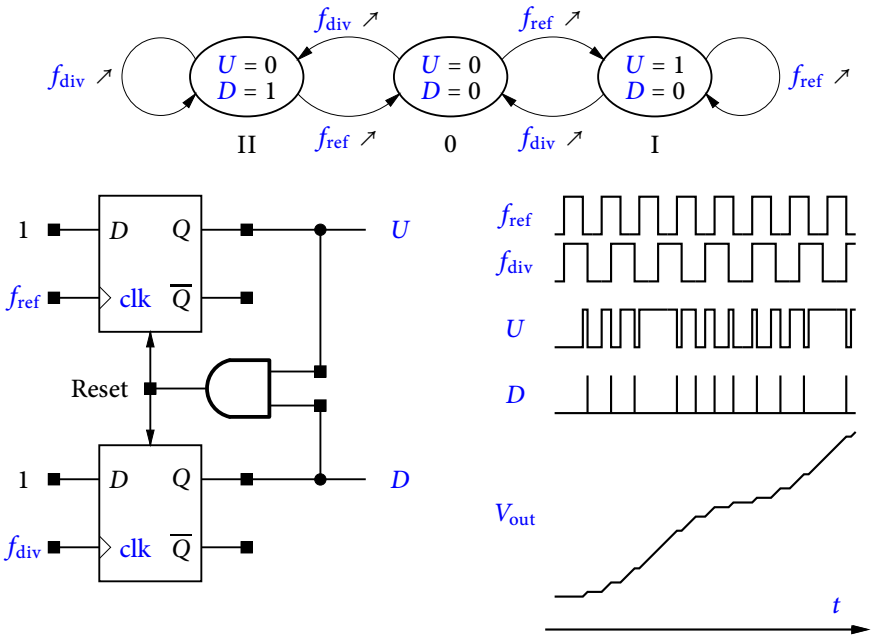

FIGURE 1.12 – Comparateur de phase classique à trois états.

Ce cas correspondrait donc à l'absence de signal sur U et D. Mais c'est ici qu'arrive un terrible paradoxe : ce comparateur est très bon pour comparer des signaux différents, mais est particulièrement mauvais autour de l'état d'équilibre auquel on souhaite pourtant arriver, et pour lequel les signaux étant parfaitement alignés, U et D devraient rester au repos. En effet, si l'on observe attentivement le diagramme d'état de la figure 1.12, on constate que l'absence de signal sur U et D n'existe que sur l'état central 0 ; or cet état est justement l'état transitoire dans lequel il est *impossible* de rester sans repasser par les états I ou II, qui eux génèrent *forcément* une impulsion sur U et D respectivement. À l'état d'équilibre, le PFD décrit ce diagramme sous la forme d'un « ∞ » en passant successivement par les états I, 0, II, 0, I, 0, II, 0, I... Le passage par les états I et II s'effectue de façon extrêmement rapide et donc les signaux U et D laissent apparaître des impulsions très courtes que l'on peut considérer à juste titre comme « parasites ». Ensuite, si nous regardons la réalisation habituelle du PFD (figure 1.12), nous voyons que la remise à zéro des bascules à chaque période du signal s'effectue simultanément pour l'une et l'autre, sur deux niveaux hauts en entrée du ET. Par conséquent, la remise à zéro *nécessite* que les deux sorties U et D soient à 1, alors que l'on souhaiterait qu'une des deux soit toujours au repos jusqu'à ce que les deux signaux se recalent. Il y a donc une « obligation » de signaux parasites pour la remise à zéro ! Sur la figure 1.13, nous avons tracé la fonction de transfert idéale que l'on devrait obtenir et la fonction de transfert réelle que l'on obtient lors de la conception d'un PFD. Les parasites sur U et D sont transmis comme étant une information d'erreur de phase alors que l'erreur n'existe pas. Consécutivement, la pompe de charges et le filtre de boucle transforment cette erreur de phase virtuelle en une tension V_{out} oscillante de faible valeur, imposant à la PLL un état d'équilibre « instable » ou « zone morte ».

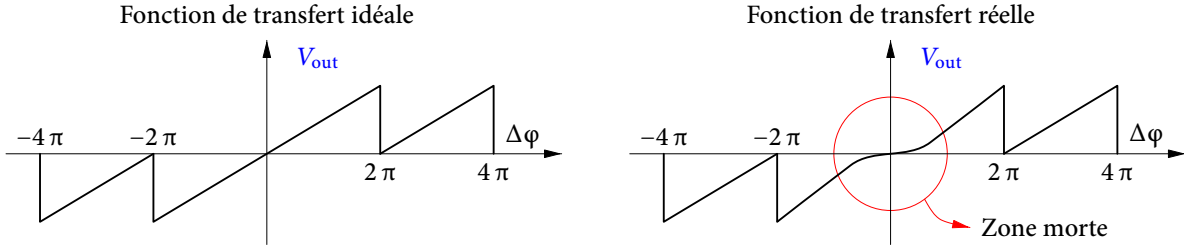

FIGURE 1.13 – Fonction de transfert du PFD.

La zone morte est également la conséquence des dysfonctionnements de la pompe de charges qui suit le comparateur : lorsque la PLL a convergé et que la différence de phase devient très faible, le temps de charge et de décharge de la pompe de charges dans le filtre de boucle devient trop faible pour parvenir à corriger l'erreur de phase et présenter une tension moyenne correcte au VCO. Pour corriger ce problème, de nombreux concepteurs modifient le comparateur phase/fréquence en introduisant un circuit retard entre la porte ET et les deux bascules D, ce qui a pour but d'élargir les pics de correction afin de permettre une charge et une décharge correcte de la pompe dans le filtre pour de faibles déphasages, ce qui induit un temps de latence avant de pouvoir à nouveau relancer une détection d'erreur de phase du système.

Curieusement, en trente ans d'existence, cette structure de PFD a rarement été repensée dans son principe, malgré ses défauts. L'absence de facilité d'analyse mathématique de différents modèles [G12, G13], font que le modèle donné par Gardner en 1980, bien que linéaire est encore et toujours utilisé [G14].

Nous avons donc cherché à concevoir une structure minimisant la zone morte et ne présentant pas ce temps de latence qui pourrait entraîner une dégradation du temps de convergence ou de stabilisation de la PLL. Elle est présentée au § 3.2.1. Nous avons également conçu une version originale de pompe de charges, à temps de commutation rapide et à courant variable, qui est présentée au § 3.2.2.

1.5.4 Diviseur de fréquence

Dans une synthèse de fréquences à PLL générant des fréquences micro-ondes, le diviseur de fréquence situé dans la boucle de contre-réaction (figure 1.11) doit travailler à son entrée directement à la fréquence générée en sortie de PLL, c.-à-d. la fréquence la plus élevée, et ramener cette fréquence à la fréquence de référence à l'entrée de la PLL. Elle doit donc concilier un fonctionnement haute fréquence, relevant plutôt du domaine de la logique ECL (§ 1.8), avec une capacité de programmation évoluée, relevant plutôt du domaine de la logique CMOS. Une telle structure de diviseur est donc basée sur une structure mixte ECL/CMOS : une partie ECL minimale pour l'étage d'entrée, capable de traiter les hautes fréquences, avec une programmation simple de seulement deux rapports de division N et $N + 1$, et qui divise suffisamment la fréquence pour la logique CMOS qui suit, qui elle complète tout l'aspect de programmation.

Un diviseur à double module (figure 1.14) est un exemple de diviseur programmable capable à la fois de générer un facteur de division élevé [G15, G16] et de fonctionner à haute fréquence. Le circuit comprend un prédiviseur haute fréquence (logique ECL) pouvant diviser soit par N, soit par $N + 1$, et deux décompteurs programmables basse fréquence (logique CMOS).

L'étude du fonctionnement montre que l'on obtient un rapport de division :

$$M = B\,(N + 1) + (C - B)\,N = C\,N + B \tag{1.22}$$

avec B, nombre entier positif inférieur à N, et $C > B$. Ces deux dernières conditions sont d'ailleurs souvent oubliées bien qu'elles soient tout de même contraignantes.

Cette structure est bien connue et largement utilisée. Les points à creuser d'un point de vue recherche concerne la topologie (possibilité de n'avoir qu'un compteur au lieu de deux), et l'étage critique ECL, pour lequel certaines techniques de conception permettront d'en améliorer la fréquence de fonctionnement. Le chapitre 3 détaille les améliorations que nous y avons apportées.

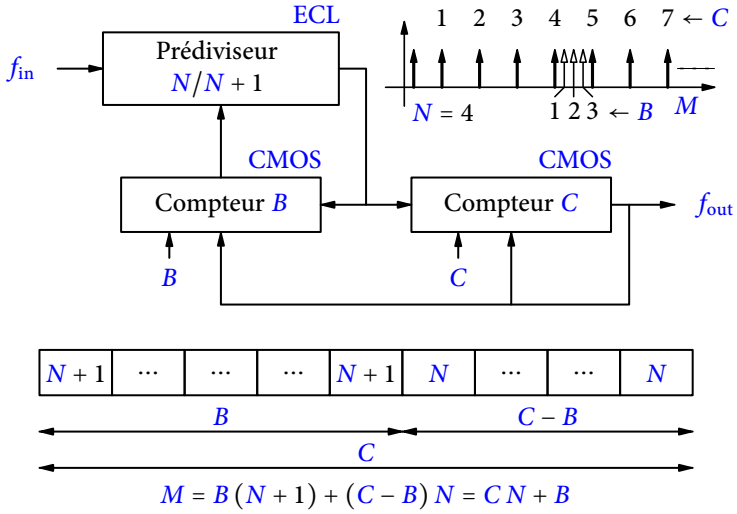

FIGURE 1.14 – Schéma d'un diviseur numérique programmable à double module.

1.5.5 Filtre de boucle

Le signal de sortie du comparateur (§ 1.5.3) puis de la pompe de charges (§ 3.2.2) est constitué d'une composante principale destinée à piloter le VCO, et de parasites dus à la commutation à chaque front d'un des signaux comparés. Il faut supprimer ces derniers afin de ne conserver que la composante principale : c'est un des rôles du filtre de boucle, qui de plus influence les performances dynamiques du dispositif, par le choix de ses paramètres. On rencontre le plus couramment des filtres passifs *RC* [22] dans les circuits intégrés étant donné leur simplicité et leur faible coût. Au minimum, une capacité est nécessaire : c'est elle qui en se chargeant et se déchargeant des courants pilotés par la pompe de charges, fournit la tension de commande au VCO. Malheureusement, une simple capacité (1 sur la figure 1.15) conduit à un système instable : la fonction de transfert laisse en effet apparaître un pôle à partie réelle nulle. La stabilité n'est retrouvée qu'en plaçant une résistance en série avec cette capacité (2 sur la figure 1.15). Mais là où la capacité interdit des discontinuités de tension à ses bornes, la résistance les autorise : la stabilisation se paie donc au prix fort : chaque charge et décharge se traduit par un pic de tension, ce qui est inacceptable pour le VCO. Une deuxième capacité doit alors être placée en parallèle (3 sur la figure 1.15), ce qui atténue déjà fortement ces pics. Puis un filtre passe-bas final (4 sur la figure 1.15) termine de filtrer correctement la tension pilotant le VCO, au prix toutefois d'un ralentissement de la dynamique de boucle. Le calcul de ces filtres est disponible dans la référence [P6].

Nous avons peu travaillé sur le filtre de boucle lui-même, dont les valeurs des résistances et capacités sont surtout calculées en fonction du comportement dynamique souhaité de la PLL, ce qui reste spécifique à une application donnée. Nous en avons cependant exploré une implémentation possible numérique au § 3.2.3, simplifiée par rapport aux filtres FIR et IIR.

1.6 Synthèse numérique directe

La synthèse de fréquences numérique directe a été introduite en 1971 par J. Tierney [G17] avec l'idée de synthétiser un signal sur un principe fondamentalement numérique, et non plus sur un principe analogique numérisé : le DDS crée un signal à partir de ses échantillons. Si le principe demeure assez ancien, il s'agit d'une fonction relativement nouvelle dans le domaine des micro-ondes.

22. Résistance capacité

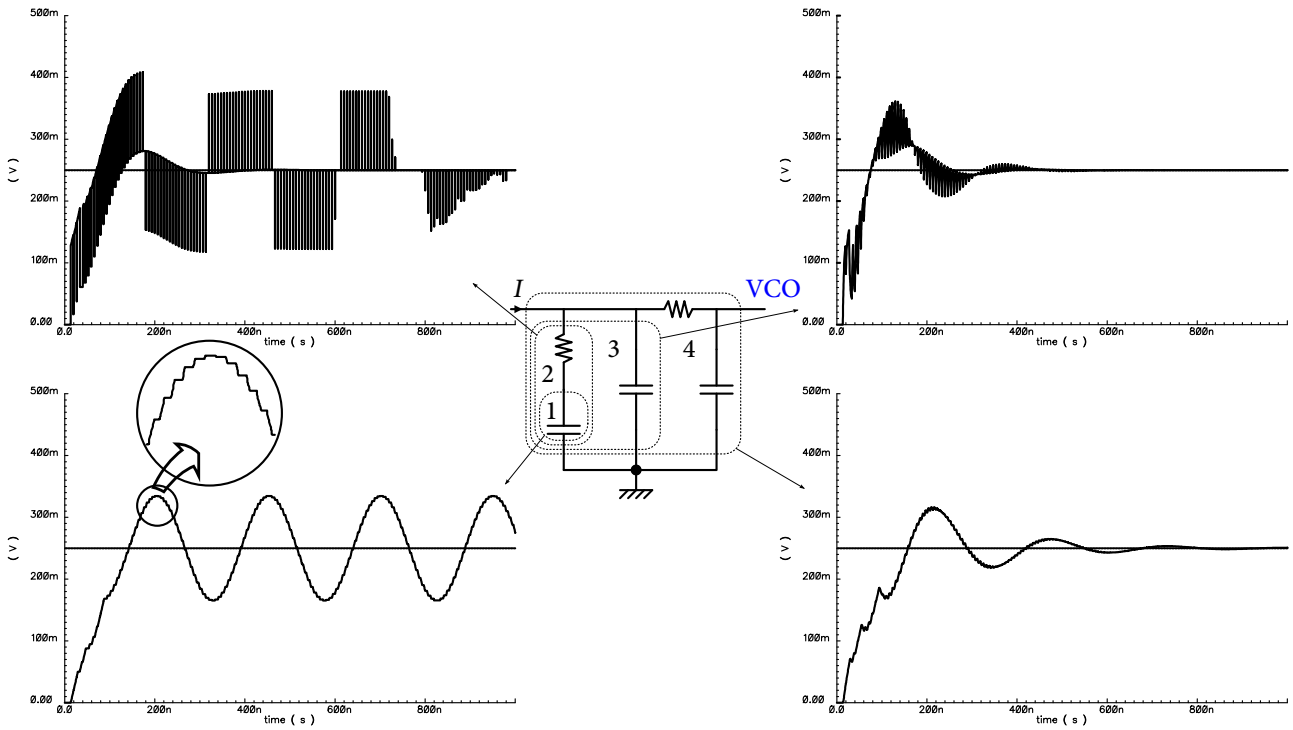

FIGURE 1.15 – Filtre de boucle.

1.6.1 Principe

Le DDS est constitué d'un accumulateur de phase, d'un CPA [23], d'un CNA et d'un filtre passe-bas comme montré sur la figure 1.16. La fréquence de sortie du DDS est déterminée par le balayage plus ou moins rapide de

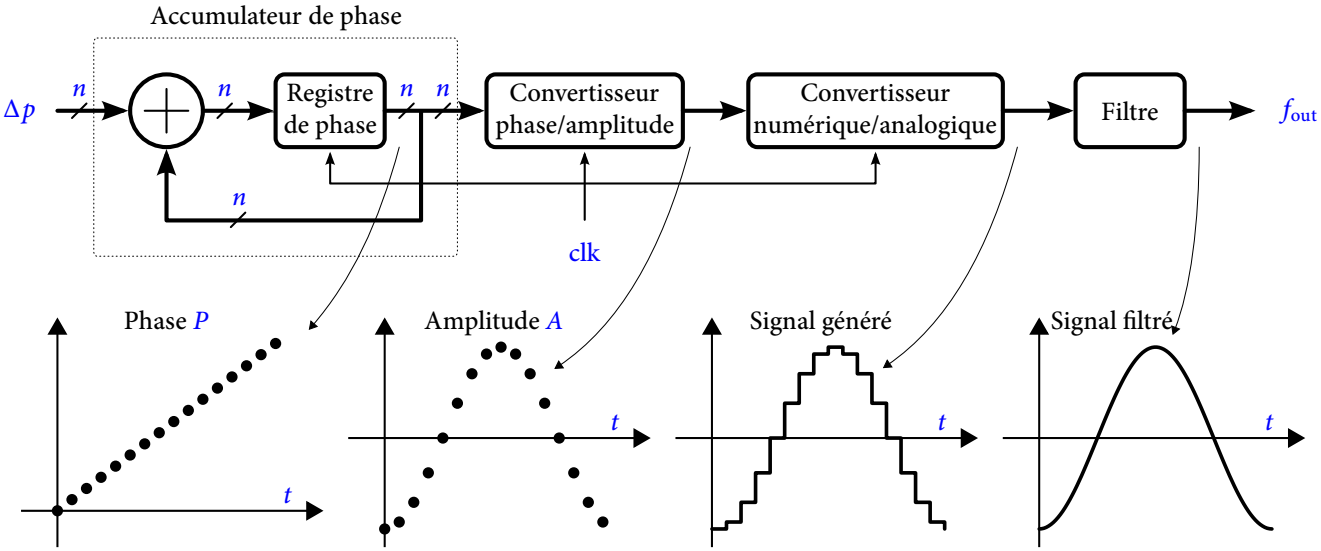

FIGURE 1.16 – Principe de la synthèse digitale directe élémentaire.

la phase en fonction du pas Δp. Le changement de fréquence du signal de sortie s'effectue à fréquence d'horloge constante, en utilisant des échantillons espacés de Δp dans la mémoire. Ainsi, la modification de fréquence *ne se fait pas* en modifiant la fréquence d'échantillonnage, mais en balayant les échantillons à générer avec un pas Δp plus grand, et ce à fréquence fixe (figure 1.17). L'accumulateur de phase est réalisé à partir d'un additionneur et d'un registre de mémorisation. Sa sortie (valeur numérique codée sur n bits) représente la phase instantanée

23. Convertisseur phase/amplitude

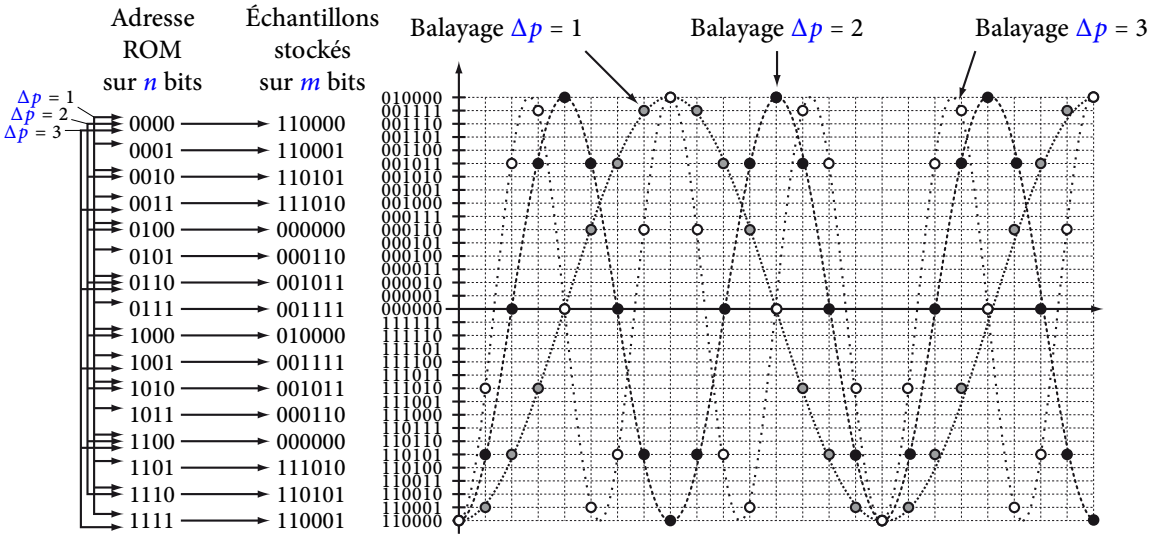

FIGURE 1.17 – Illustration du changement de fréquence dans un DDS.

du signal à synthétiser telle qu'une période complète soit inscrite sur les 2^n adresses dont dispose la mémoire : $[0;2\pi] \Leftrightarrow [0;2^n]$ (figure 1.18). À chaque période d'horloge, le mot de contrôle de la fréquence (MCF) est ajouté

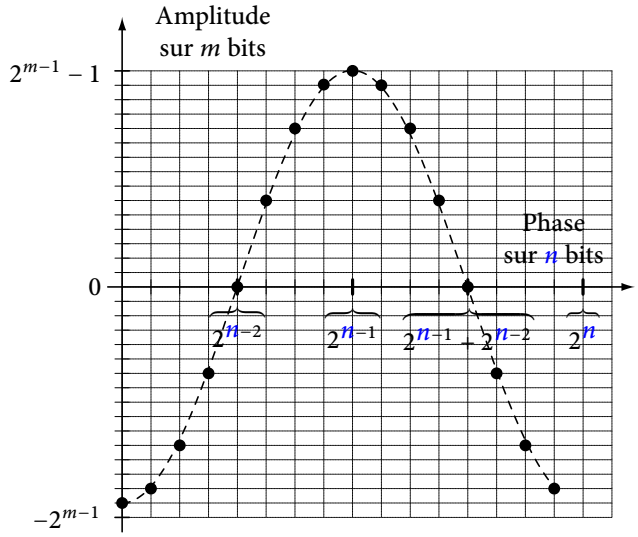

FIGURE 1.18 – Balayage des échantillons stockés en mémoire – Conversion P/A.

à la valeur stockée dans le registre de phase. Il représente l'incrément de phase entre deux points successifs du signal de sortie. La fréquence du signal généré f_{out} est alors donnée par :

$$f_{out} = \frac{\text{MCF} \times f_{clk}}{2^n};\ \forall f_{out} \leq \frac{f_{clk}}{2} \tag{1.23}$$

La limitation sur les valeurs possibles de f_{out} est dictée par le théorème d'échantillonnage de Shannon. La résolution fréquentielle du DDS (1.24) est obtenue pour la plus faible valeur de programmation, soit MCF = 1. Cette valeur de résolution représente aussi la plus petite fréquence synthétisable par le DDS :

$$\Delta f = \frac{f_{clk}}{2^n} \tag{1.24}$$

Le CPA délivre les échantillons du signal à générer en transformant la phase instantanée P fournie par l'accumulateur de phase, en amplitude A. Dans le cas le plus courant, il s'agit d'une mémoire qui contient les échantillons

d'une période du signal à générer. L'avantage d'une mémoire est que l'on peut y stocker n'importe quel échantillon, et que l'on peut donc générer n'importe quelle forme de signal : le DDS est d'abord un AWG [24]. Les inconvénients sont par contre nombreux : consommation et surface d'intégration (donc coût) élevées, et lenteur relative de fonctionnement, ce qui a toujours cantonné les DDS aux fréquences basses. Le signal numérique ainsi obtenu est ensuite converti par le CNA, puis éventuellement filtré pour n'en garder que le fondamental si ce doit être, dans une majorité des cas, une sinusoïde.

Si son architecture est assez simple, elle offre pourtant des caractéristiques hors de portée des techniques de synthèse classiques, ou bien au prix d'une difficulté et d'un coût prohibitif :

- une très bonne linéarité qui ne dépend que de la qualité de l'horloge appliquée aux accumulateurs,
- une connaissance très précise de la valeur de la pente, indépendante de la température et des variations technologiques,
- une très grande agilité en phase et en fréquence avec la possibilité de changer leur valeur quasi instantanément.

À titre de comparaison, un changement très rapide entre deux fréquences ou deux phases via une PLL implique une augmentation de la dynamique de boucle, donc de la fréquence de coupure du filtre, et donc une diminution du niveau de filtrage des parasites issus de la pompe de charges (§ 1.5.1). On peut même être amené à devoir utiliser une deuxième PLL travaillant sur une référence de fréquence élevée, elle-même générée par une première PLL. Il est donc beaucoup plus simple à obtenir par un DDS.

1.6.2 Exploitation de symétries

L'utilisation classique d'une mémoire comme CPA est le plus souvent accompagnée d'un système qui permet de décoder les éventuelles symétries de la fonction. Par exemple, toute l'information nécessaire pour construire un sinus est contenue dans l'intervalle de phase $[0; \frac{\pi}{2}]$, ce qui permet de diviser par quatre le nombre d'échantillons nécessaire, et donc la taille de la mémoire. Le schéma bloc d'un DDS avec un système de décodage de symétries est par exemple présenté sur la figure 1.19. Il comprend un accumulateur de phase qui est identique à celui utilisé dans la structure simple, puisqu'il génère une rampe numérique codée sur n bits dont la pente est proportionnelle au mot de contrôle.

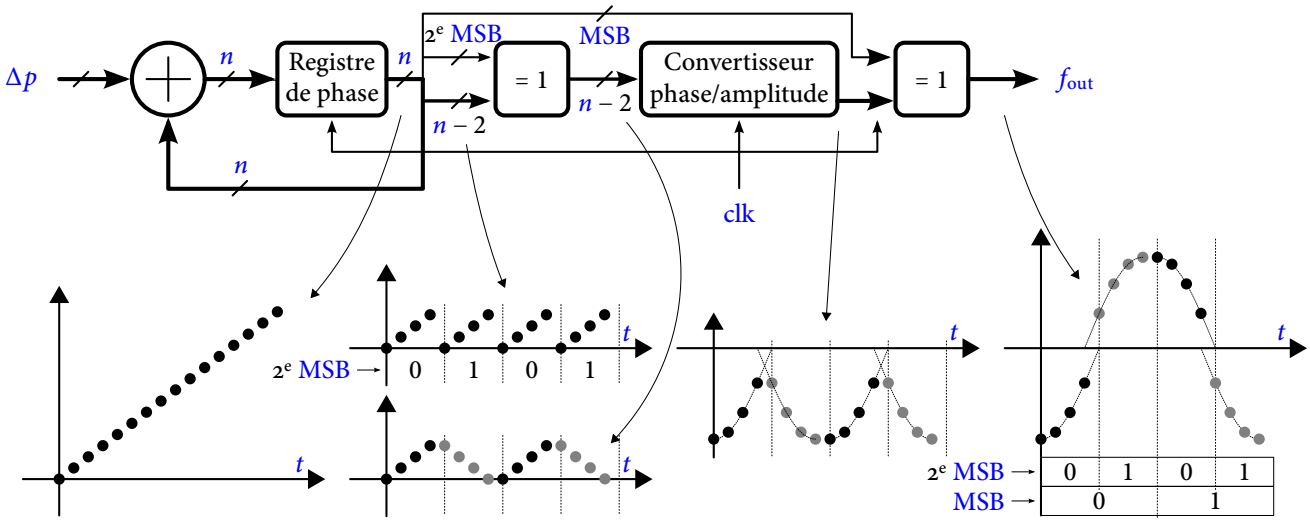

FIGURE 1.19 – Mécanisme de décodage de symétries.

24. Générateur de signal arbitraire

On extrait les 2 bits de poids les plus forts de la rampe de telle sorte que les bits restants représentent 4 rampes successives d'amplitude 4 fois plus faible. Le premier inverseur commandé complémente les valeurs qui lui sont présentées quand le second bit de poids fort (2e MSB [25]) est à 1, il en résulte alors un signal triangulaire. Ce signal est converti en valeur absolue de sinus par la mémoire qui contient un quart de la fonction sinus. Enfin, le bit de poids le plus fort inverse les signaux présentés au second inverseur commandé, le signal obtenu en sortie est un sinus. Cette technique est extrêmement simple à mettre en œuvre, car les inverseurs commandés sont réalisables avec de simples portes OU-exclusif. De plus, la qualité du signal est quasiment identique à celle que l'on aurait obtenue sans cette technique. Les portes OU-exclusif sont largement plus rapides que la mémoire, et leur ajout ne pénalise en rien le gain en vitesse obtenue par la réduction de la taille de la mémoire.

En fait, comme représenté sur la figure 1.19, le décodage de symétrie dans sa version la plus simple ne conduit pas exactement à la forme d'onde originelle : les parties inversées ne s'alignent pas exactement. Ceci parce que l'inversion s'effectue en complément à 1 au lieu du réglementaire complément à 2, et donc tous les échantillons sont avancés d'une période d'échantillonnage. Dès lors que le nombre de bits d'échantillons est suffisamment important, on peut négliger cet aspect. Pour le corriger, il faut faire une inversion en complément à 2 (c.-à-d. complément à 1 plus 1), mais le système d'inversion devient alors un peu plus complexe que la mise en œuvre toute simple de OU-exclusifs.

1.6.3 Synthétiseur digital direct utilisé comme modulateur

Le DDS, de par sa structure, est très pratique pour réaliser des modulations de phase, de fréquence et d'amplitude, car c'est un système dans lequel il est possible de moduler numériquement ces trois paramètres habituels. Sachant que toutes les techniques de modulation utilisent simultanément un, deux ou trois de ces types de modulation, toutes les formes d'ondes possibles et imaginables peuvent donc être réalisées avec un DDS. On sait que l'incrément de phase MCF pilote directement la fréquence par l'équation (1.23). La modulation de fréquence est donc réalisée par l'ajout d'un additionneur avant l'accumulateur de phase. La phase est à l'entrée du CPA, donc la modulation de phase est réalisée grâce à un additionneur positionné juste avant lui. La modulation d'amplitude, quant à elle, est obtenue par un additionneur placé avant le CNA pour s'ajouter à l'amplitude de l'échantillon généré. La figure 1.20 illustre ces possibilités.

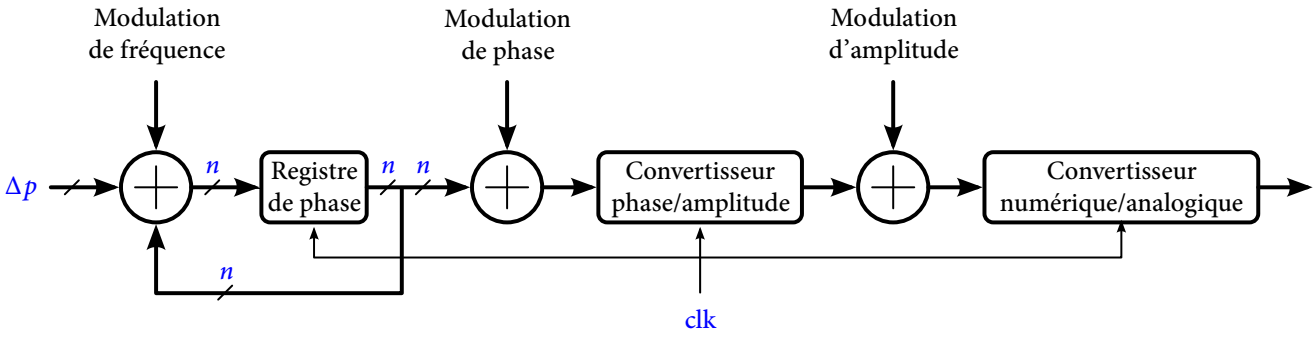

FIGURE 1.20 – Mise en œuvre de modulations dans un DDS.

1.6.4 Association avec/dans une boucle à verrouillage de phase

Il est possible d'utiliser un DDS pour réaliser plusieurs fonctions internes de la boucle à verrouillage de phase. Il peut être utilisé comme source de référence variable, diviseur de fréquence fractionnaire (éventuellement as-

25. Bit le plus significatif

socié à un prédiviseur) ou même comme NCO [26] ainsi que le montre la figure 1.21.

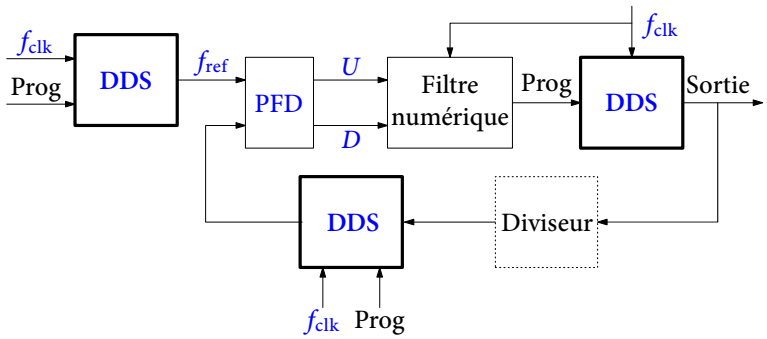

FIGURE 1.21 – Utilisations possibles de DDS dans une PLL.

C'est à ce niveau que nous avons ressenti tout l'intérêt qu'aurait un DDS s'il pouvait fonctionner aux fréquences micro-ondes. En parcourant la littérature, les seules réalisations du domaine micro-onde étaient des réalisations en technologie InP, chères, et avec une consommation délirante de plusieurs watts voire dizaines de watts, totalement incompatibles avec un usage grand public ou embarqué. Nous avions donc le champ libre pour partir à la recherche d'architectures de DDS susceptibles de s'approcher de ce but, en technologies silicium.

1.6.5 Accumulateur de phase

Ainsi que le montre la figure 1.16, le premier étage du DDS — l'accumulateur de phase — n'utilise qu'un additionneur et un registre de mémorisation (n-bits chacun). Il consomme peu et occupe une surface d'intégration réduite. En contrepartie, dans sa version la plus simple, il a une fréquence de fonctionnement limitée. Afin d'augmenter sa vitesse de fonctionnement, il est possible de faire travailler i additionneurs en parallèle qui calculent chacun une valeur de somme parmi i à une fréquence i fois moins élevée. Un multiplexeur balaye ensuite leur sortie à la fréquence de travail pour sérialiser les valeurs comme si elles ne sortaient que d'un seul additionneur. Le multiplexeur étant une fonction simple, il travaille beaucoup plus facilement que l'additionneur à haute fréquence. Il est ensuite possible de mettre en œuvre une technique dite de « pipeline », couramment utilisée dans les unités arithmétiques des microprocesseurs [G18].

Il existe un grand nombre de structures d'additionneur de n bits, la plus simple étant celle qui utilise la technique de « propagation de la retenue », en cascadant n additionneurs 1-bit complets en série, dont les équations bien connues sont :

$$S_i = A_i \oplus (B_i \oplus C_{i_{\text{in}}}) \tag{1.25}$$

$$C_{i_{\text{out}}} = A_i \cdot B_i + A_i \cdot C_{i_{\text{in}}} + B_i \cdot C_{i_{\text{in}}} \tag{1.26}$$

L'inconvénient principal est que l'opération sur chaque bit a besoin de la retenue du bit précédent, et est donc d'autant plus longue que n est grand. On lui préfère en général d'autres structures, comme celle de type « anticipation de retenue » si l'on souhaite fonctionner à haute fréquence [G18].

1.6.6 Convertisseur phase/amplitude

Il existe un grand nombre de techniques pour convertir la phase en amplitude. Elles peuvent être classées en trois grandes familles. D'abord, celles qui utilisent une mémoire dans laquelle est stockée l'information de conver-

26. Oscillateur contrôlé numériquement

sion. Ensuite, celles qui utilisent l'implémentation matérielle d'un algorithme complexe : approximation parabolique, série de Taylor, algorithme CORDIC [27]... Enfin, la dernière famille englobe toutes les structures basées sur la modification du convertisseur analogique/numérique (non linéaire, segmenté...). L'algorithme CORDIC par exemple, fut introduit à l'origine en [G19] pour répondre à des besoins de calculs dans le domaine de la navigation aérienne qui étaient auparavant réalisés au moyen de servosystèmes analogiques. Il était utilisé pour effectuer des rotations de vecteurs, des changements de coordonnées cartésiennes-polaires et polaires-cartésiennes dans le plan euclidien. Utilisé sous différentes formes, il permet le calcul de racines carrées et des fonctions trigonométriques sinus, cosinus, tangente ainsi que leurs inverses. Un choix judicieux des conditions de calcul limite les opérations nécessaires à des primitives élémentaires : additions, soustractions et décalages. Cette particularité a permis son utilisation massive sous forme programmée ou câblée dans les processeurs de calcul numérique. Il est apparu dans les DDS afin de supprimer la mémoire du CPA. Les technologies utilisées étaient de type CMOS, car la réalisation des multiples additionneurs nécessaires serait difficile en technologies bipolaires. Il existe d'autres algorithmes qui permettent d'approximer les fonctions sinus et cosinus. Tous ces algorithmes sont implémentés en technologie CMOS soit au travers d'un FPGA [28] soit d'une réalisation matérielle complète. En outre, les fréquences de fonctionnement sont relativement faibles, au maximum quelques centaines de mégahertz.

Quelles que soient leur forme, ce sont ces CPA qui limitent les DDS, en termes de fréquence de fonctionnement et/ou de consommation.

1.6.7 Convertisseur numérique/analogique

Le CNA est le dernier élément d'un DDS. C'est lui qui va transformer l'information numérique provenant du CPA en signal analogique utilisable par le système dans lequel il est utilisé. Un CNA est un système qui ne peut évidemment convertir qu'un nombre limité de valeurs. La quantité 1 LSB [29] correspond à l'écart entre deux valeurs analogiques successives. Les erreurs statiques sont celles qui affectent la précision du convertisseur quand celui-ci est utilisé pour créer des signaux continus (DC [30]). Elles peuvent être caractérisées avec quatre termes : l'erreur de décalage (offset), l'erreur de gain, la INL [31] et la DNL [32] (figure 1.22). Elles sont exprimées, soit en LSB, soit en pourcentage de la pleine échelle de CNA. Par exemple, pour un CNA 8-bits, une erreur de 1/2 LSB correspond à 0,2 % de la pleine échelle.

Le SNR est une caractéristique importante d'un CNA. Il dépend de la résolution du CNA, mais peut être dégradé par toutes les imperfections. Le rapport signal à bruit théorique laisse apparaître la règle classique des 6 dB, et est donné par [33] :

$$\mathrm{SNR}_{\max} = 6{,}02\,n + 1{,}76\,\mathrm{dB} \tag{1.27}$$

où n représente le nombre de bits.

Le ENOB [34] permet de caractériser la précision effective du CNA. C'est une caractéristique qui peut être statique ou dynamique, cependant en statique on préférera utiliser les caractéristiques d'INL et de DNL. Un ENOB de 7-bits pour un CNA 8-bits signifie que les imperfections du convertisseur dégradent sa précision d'un bit, il est équivalent à un convertisseur idéal 7-bits.

27. « COordinate Rotation Digital Computer »
28. Réseau logique programmable
29. Bit le moins significatif
30. Signal continu
31. Non-linéarité intégrale
32. Non-linéarité différentielle
33. pour un signal sinusoïdal utilisant la pleine échelle du CNA et une probabilité de bruit uniforme de ±0,5 LSB
34. Nombre effectif de bits

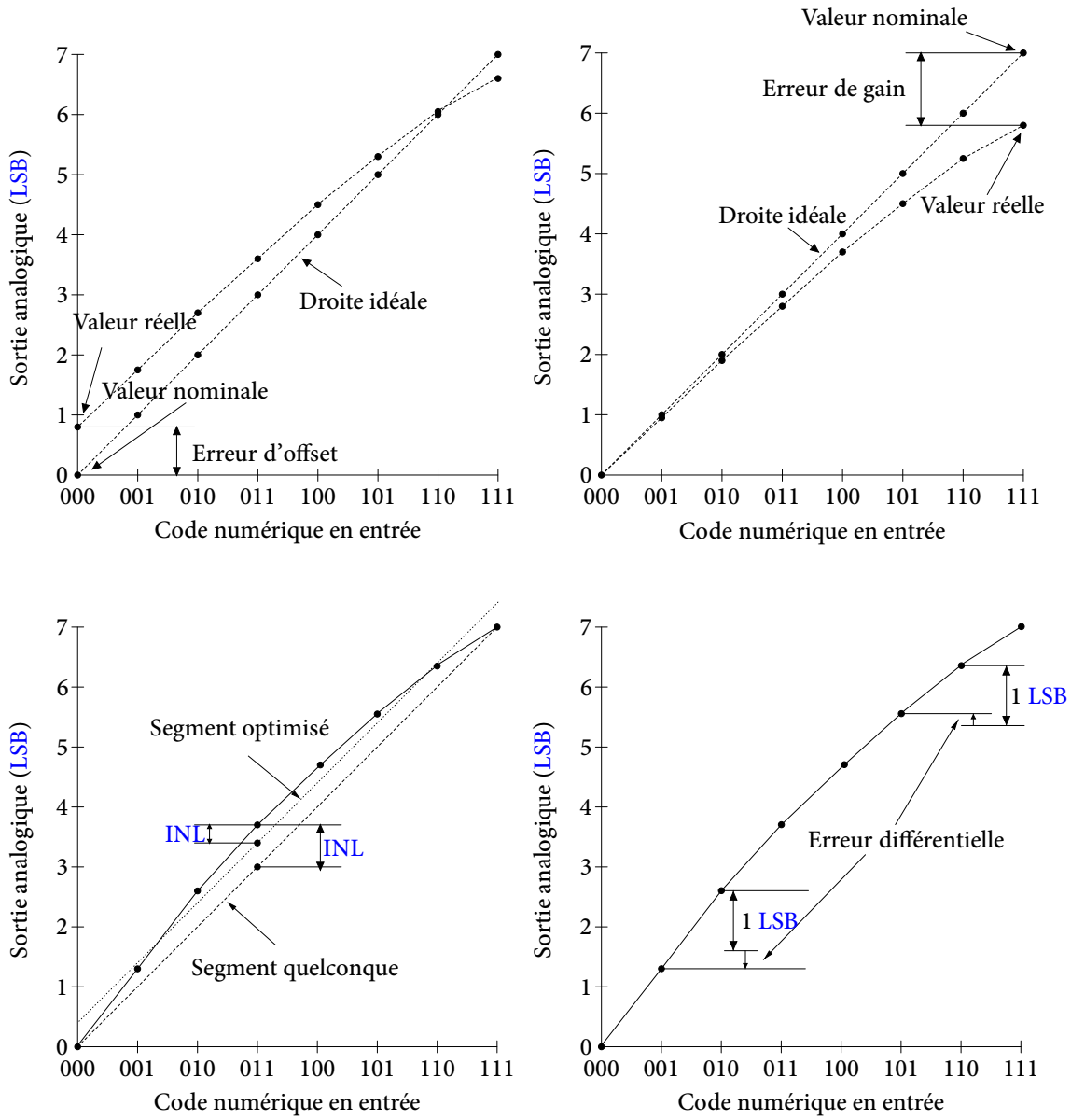

FIGURE 1.22 – Caractéristiques des CNA.

1.6.8 Convertisseur à sources de courant commutées pondérées

La famille des CNA à sources de courant commutées est celle qui compte le plus de représentants, et ce, quel que soit le domaine d'application envisagé. Ceci est dû à la très grande reproductibilité des caractéristiques des composants actifs intégrés et à la possibilité de réglage du système une fois le composant réalisé.

Une technique est basée sur des sources de courant commutées pondérées en puissance de deux. À chaque bit du mot d'entrée correspond une source dont le courant est proportionnel au poids de ce bit comme illustré figure 1.23. Les interconnexions sont simples, la difficulté de cette structure est liée principalement au respect de la proportionnalité entre les sources.

1.6.9 Convertisseur numérique/analogique non linéaire

Les CNA non linéaires ont été introduits afin de remplacer le couple [CPA + CNA linéaire]. Il en existe plusieurs types dont les plus utilisés sont ceux qui reconstituent un sinus à partir de segments dont on fait varier la pente et la valeur DC, comme le montrent les figures 1.24 et 1.25.

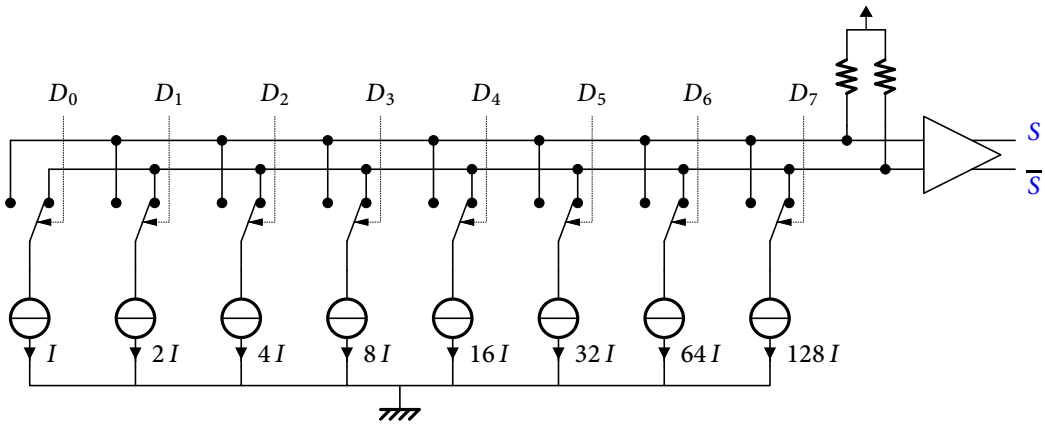

FIGURE 1.23 – CNA à sources de courant pondérées en puissances de 2.

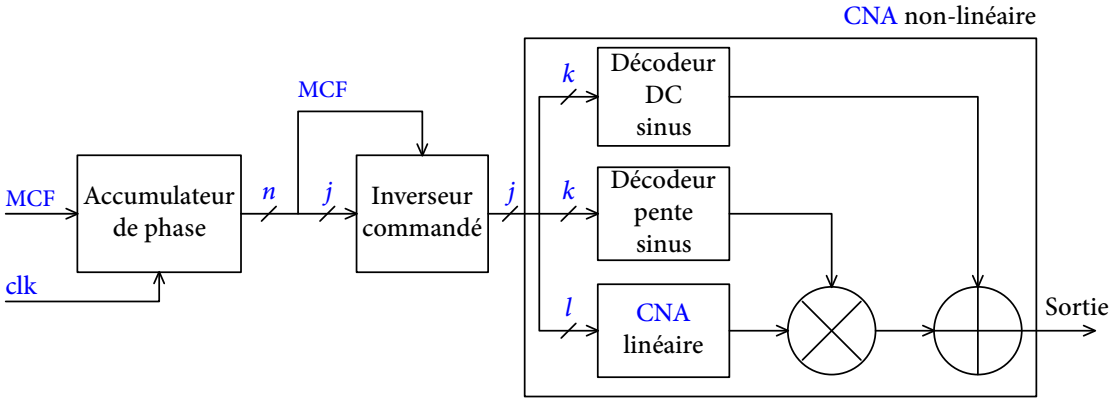

FIGURE 1.24 – Schéma de principe d'un DDS utilisant un CNA non linéaire segmenté.

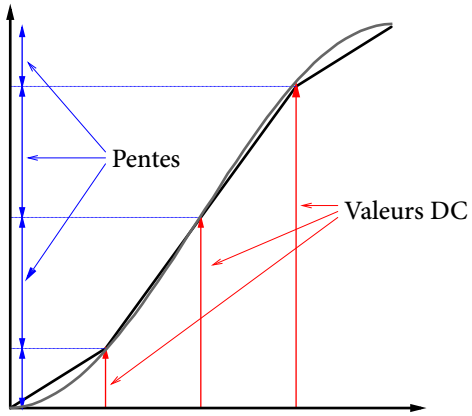

FIGURE 1.25 – Reconstitution d'un sinus par un CNA non linéaire segmenté.

L'accumulateur de phase couplé à un inverseur commandé par le bit de poids fort crée des signaux triangulaires codés sur j bits avec $j = n - 1$. Ces signaux sont séparés en deux, les k bits de poids forts et les l bits de poids faibles tels que $k + l = j$. La sinusoïde va être reconstituée en utilisant 2^k segments contenant 2^l points chacun. Les k bits de poids forts sont utilisés pour décoder les valeurs DC ainsi que les pentes des 2^k segments. Les l bits de poids faibles sont envoyés sur un CNA de façon à créer des segments contenant 2^l points. Ensuite, le segment est multiplié par la pente, puis on ajoute la valeur DC.

1.6.10 Travail sur les synthèses digitales directes

En démarrant une activité sur les DDS, ma volonté était de concevoir des structures silicium capables de travailler dans le domaine RF et micro-ondes, et de vaincre les problèmes de consommation affichée par certaines publications. Au chapitre 4, nous présenterons les résultats obtenus dans ce domaine, avec la création d'un DDS silicium fonctionnant au delà de la gamme RF, et avec une consommation drastiquement réduite.

1.7 Synthèse des synthèses de fréquences

Finalement, on peut comparer rapidement les caractéristiques élémentaires des synthèses de fréquences pour chaque technique présentée (tableau 1.3).

TABLEAU 1.3 – Synthèse des synthèses de fréquences.

Technique	Gamme de fréquences	Pureté spectrale	Résolution	Temps d'établissement	Intégration
Synthèse directe analogique	–	+	+	++	–
Synthèse directe numérique	+	–	+	+ + +	+
PLL à division entière	+	+	Compromis		+
PLL à division fractionnaire	+	–	+	+	+

1.8 Logique ECL

Les premiers circuits numériques réalisés en technologie bipolaire utilisaient les transistors comme des interrupteurs, bloqués ou saturés en fonction des entrées appliquées. La fréquence de fonctionnement de ces circuits étant principalement limitée par les temps de stockage et déstockage des charges dans la base des transistors bipolaires, la réalisation de circuits rapides passait nécessairement par des topologies permettant d'éviter ce temps de saturation/désaturation. Il a donc été imaginé des circuits différentiels à base de transistors bipolaires fonctionnant en mode non saturé, au prix d'une polarisation permanente et donc d'une consommation élevée. La figure 1.26 montre les structures élémentaires d'un inverseur/suiveur en technologie ECL. La présence d'un étage différentiel permet d'avoir des sorties complémentaires sur chacune des branches (donc inverseur du même côté que l'entrée, et suiveur du côté opposé). L'assurance de la non-saturation des transistors de la paire différentielle est fournie par la présence de suiveurs en sortie : les potentiels de collecteur de la paire différentielle (E' et $\overline{E'}$) travaillent à une valeur toujours plus élevée que celles de leurs potentiels de base (E et V_r), y compris dans le pire cas (potentiel de base le plus élevé impliquant un potentiel de collecteur le plus bas) : une marge minimale Δ est ainsi toujours assurée. De plus, les différences de potentiel entre les niveaux 0 et 1 sont réduites afin de gagner encore plus sur les temps de montée et de descente.

Cette logique ECL a l'inconvénient majeur de créer une consommation statique élevée puisque les transistors doivent constamment être polarisés, en particulier celui du suiveur de sortie. La logique CML est en fait la logique ECL sans ses étages suiveurs, en prenant les sorties directement sur les collecteurs. On diminue ainsi la consommation, et on économise le temps de propagation à travers le suiveur. Par contre, du fait du nécessaire alignement entre les niveaux logiques entre entrée et sortie, on a toujours un transistor de la paire différentielle de saturé, ce que l'on voulait justement éviter, et on réaugmente donc le temps de commutation, ce qui vient contrarier l'économie réalisée sur le temps de propagation du suiveur. Suivant les technologies et la différence de potentiel que l'on s'autorise entre les niveaux 0 et 1, les technologies ECL et CML se tiennent dans un mouchoir de poche concernant le temps de propagation, et la technologie CML consommera de toute façon toujours

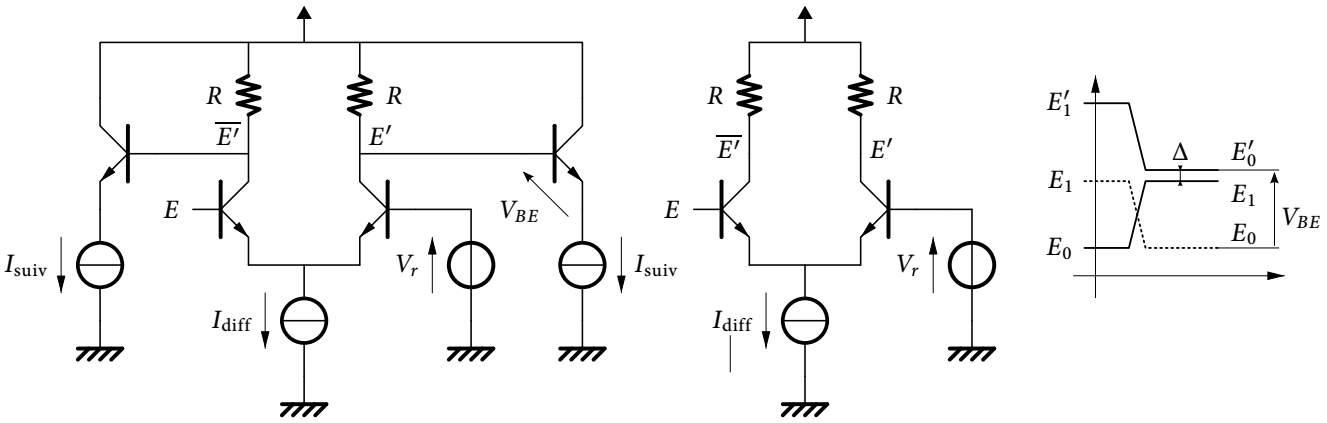

Figure 1.26 – Logiques ECL et CML.

moins : le choix entre l'une et l'autre sur une technologie donnée s'effectuera toujours sur la base de simulations électriques.

Les logiques ECL « standards » sont alimentées entre une tension négative (en bas) et la masse (en haut). Historiquement, la raison est que la sortie d'une logique ECL a une plus faible impédance vers le potentiel du haut que vers celui du bas : elle est donc principalement influencée par les parasites de l'alimentation du haut. Si cette alimentation est la masse, elle est toujours mieux découplée (sur un circuit intégré, le plan de masse assure un maximum de capacités parasites de découplage), et sera donc toujours plus « propre » qu'une alimentation positive : la sortie, avec sa faible excursion de signal entre 0 et 1 sera alors plus « propre » également autorisant des erreurs en nombre réduit entre les deux niveaux. Dès lors, pour pouvoir mettre la masse sur le potentiel du haut, il faut nécessairement mettre un potentiel négatif en bas. Actuellement, si l'on fait attention au découplage de l'alimentation positive, le bénéfice de la configuration précédente est très limité par rapport aux inconvénients : un potentiel négatif sur un circuit intégré implique de polariser le substrat à ce potentiel négatif et donc c'est tout le reste du circuit intégré qui doit suivre. De plus, les circuits d'interfaçage avec des circuits externes alimentés plus conventionnellement s'en trouvent complexifiés. On utilise donc plutôt une alimentation positive.

De la même manière, on reste sur une version standard d'étage différentiel analogique, c.-à-d. avec une source de courant de polarisation de l'étage différentiel plutôt qu'une simple résistance comme dans le cas de la logique ECL standard. La résistance permet de simplifier la structure en évitant d'amener une polarisation sur la source de courant, mais offre une impédance de sortie plus faible et donc en particulier, dans le même temps, un taux de réjection de mode commun plus faible. Si le but de l'étage n'est effectivement pas de faire du gain (le gain doit être unitaire), le taux de réjection du mode commun reste important dans un fonctionnement que l'on souhaite le plus différentiel possible à haute fréquence.

Rappelons que la deuxième porte élémentaire de la logique ECL après l'inverseur est la porte OU/NON-OU (la deuxième entrée s'obtient simplement en dupliquant le transistor d'entrée de l'inverseur) et que des équations à destination de cette logique seront décomposées de façon privilégiée avec des OU et des NON-OU. Cela est suffisant pour créer n'importe quelle autre fonction logique :

- le ET : $A \cdot B = \overline{\overline{A \cdot B}} = \overline{\overline{A} + \overline{B}}$ (deux inverseurs et un NON-OU) ;
- le NON-ET : $A \mid B = \overline{A \cdot B} = \overline{A} + \overline{B}$ (deux inverseurs et un OU).

1.9 Conclusion

Ce chapitre a permis de faire le point sur les synthèses de fréquences intégrées, et d'identifier différents problèmes auxquels il convenait d'apporter une solution. Il y avait tout intérêt à mélanger les approches, directe et indirecte, analogique et numérique, afin sinon de chercher le synthétiseur ultime en terme de performances, du moins commencer par améliorer certains points faibles récurrents dans les structures de PLL existantes (chapitre 3), ensuite exploiter une technologie offrant une seconde jeunesse à des versions analogiques d'oscillateurs largement étudiées, disséquées, et qui avaient donc peut-être fini par perdre de leur intérêt d'un point de vue recherche (chapitre 2), et enfin permettre la réalisation de synthèses digitales directes dans le domaine micro-ondes, en levant les principaux verrous incontournables jusqu'alors (chapitre 4). C'est avec cette expérience en conception de circuits analogiques et numériques hyperfréquences, forgée au long des années que nous avons ensuite pu démarrer une activité sur les systèmes de mesures intégrés, et plus particulièrement sur un banc de mesure de bruit de phase intégré en technologie BiCMOS (chapitre 5).

Références bibliographiques du chapitre 1

Références générales

[G1] K. Shu et E. Sánchez-Sinencio. *CMOS PLL synthesizers: analysis and design*. Springer, 2005 (cf. p. 16).

[G2] D. B. Leeson. « A simple model of feedback oscillator noise spectrum ». Dans : *Proceedings of the IEEE* 54.2 (fév. 1966), p. 329–330 (cf. p. 23).

[G3] M. E. Frerking. *Crystal oscillator design and temperature compensation*. New York: Van Nostrand, 1978, 1978 (cf. p. 23, 25).

[G4] R. Aigner. « High performance RF-filters suitable for above IC integration: film bulk-acoustic- resonators (FBAR) on silicon ». Dans : *Proc. Custom Integrated Circuits Conference the IEEE 2003*. Sept. 2003, p. 141–146 (cf. p. 24).

[G5] K. S. Van Dyke. « The Piezo-Electric Resonator and Its Equivalent Network ». Dans : *Proceedings of the IRE*. T. 16. 6. Juin 1928, p. 742–764 (cf. p. 24).

[G6] J. D. Larson, P. D. Bradley, S. Wartenberg et R. C. Ruby. « Modified Butterworth-Van Dyke circuit for FBAR resonators and automated measurement system ». Dans : *Proc. IEEE Ultrasonics Symposium*. T. 1. Oct. 2000, p. 863–868 (cf. p. 24).

[G7] J. F. Rosenbaum. *Bulk Acoustic Wave Theory and Devices*. Arctech House, 1988 (cf. p. 25).

[G8] K. M. Lakin. « Thin film resonators and filters ». Dans : *Proc. IEEE Ultrasonics Symposium*. T. 2. Oct. 1999, p. 895–906 (cf. p. 25).

[G9] M.-A. Dubois, J.-F. Carpentier, P. Vincent, C. Billard, G. Parat, C. Muller, P. Ancey et P. Conti. « Monolithic above-IC resonator technology for integrated architectures in mobile and wireless communication ». Dans : *IEEE Journal of Solid-State Circuits* 41.1 (jan. 2006), p. 7–16 (cf. p. 25).

[G10] J. van der Tang et D. Kasperkovitz. « Oscillator design efficiency: a new figure of merit for oscillator benchmarking ». Dans : *Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on*. T. 2. 2000, p. 533–536 (cf. p. 26).

[G11] C. A. Sharpe. « A 3-state phase detector can improve your next PLL design ». Dans : *EDN Magazine* (sept. 1976), p. 55–59 (cf. p. 28).

[G12] V. Van Paemel. « Analysis of a charge pump PLL: a new model ». Dans : *IEEE Transactions on Communications* tome 42.7 (juil. 1994), p. 2490–2498 (cf. p. 30).

[G13] C. D. Hedayat, A. Hachem, Y. Leduc et G. Benbassat. « Modeling and Characterization of the 3rd order charge-pump pll : a fully event-driven approach ». Dans : *Analog Integrated Circuits and Signal Processing* 19.1 (avr. 1999), p. 25–45 (cf. p. 30).

[G14] F. M. Gardner. « Charge-pump phase-lock loops ». Dans : *IEEE Trans.on Communications* tome COM-28.11 (nov. 1980), p. 1849–1858 (cf. p. 30).

[G15] B. Razavi. *RF Electronics*. Prentice Hall, 1998 (cf. p. 30).

[G16] Encinas J. *Systèmes à Verrouillage de Phase - Réalisations et applications*. MASSON, 1989 (cf. p. 30).

[G17] J. Tierney, C. Rader et B. Gold. « A Digital Frequency Synthesizer ». Dans : *IEEE Transactions on Audio and Electroacoustics* AU-19.1 (mar. 1971), p. 48–57 (cf. p. 31).

[G18] M. LU. *Arithmetic and Logic in Computer Systems (Wiley Series in Microwave and Optical Engineering)*. Wiley-Interscience, 2004 (cf. p. 36).

[G19] J. E. VOLDER. « Binary computation algorithm for coordinate rotation and function generation ». Dans : *Covair Report. IAR-1 148 Aero-electronics group* (juin 1956) (cf. p. 37).

Références personnelles

[P1] M. REGIS, L. BARY, A. COUSTOU, J. SADOWY, É. TOURNIER, M. BORGARINO, O. LLOPIS, J. GRAFFEUIL et R. PLANA. « SiGe technologies for the new information society ». Dans : *2000 Asia-Pacific Microwave Conference (APMC'2000)*. Sydney (Australie), 2000, p. 751–756 (cf. p. 19).

[P2] M. REGIS, E. FLOTATS, M. BORGARINO, S. KOVACIC, H. LAFONTAINE, O. LLOPIS, É. TOURNIER, L. BARY et R. PLANA. « Low frequency noise behavior of SiGe BiCMOS HBT and their related phase noise performances ». Dans : *2000 Asia-Pacific Microwave Conference (APMC'2000)*. Sydney (Australie), 2000, p. 771–775 (cf. p. 19).

[P3] M. REGIS, M. BORGARINO, S. KOVACIC, H. LAFONTAINE, O. LLOPIS, É. TOURNIER, L. BARY et R. PLANA. « Non-linear noise mechanisms in SiGe BiCMOS devices ». Dans : *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*. Garmisch (Allemagne), 2000, p. 163–166 (cf. p. 19).

[P4] D. DUBUC, É. TOURNIER, T. PARRA, I. TELLIEZ et J. GRAFFEUIL. « High quality factor and high self resonant frequency monolithic inductor on BiCMOS substrate ». Dans : *31st European Microwave Confrence*. 3 pages. Londres (GB), 2001 (cf. p. 24).

[P5] D. DUBUC, É. TOURNIER, I. TELLIEZ, C. BOULANGER, T. PARRA et J. GRAFFEUIL. « High quality factor and high self-resonant frequency monolithic inductor for millimeter-wave Si-based IC's ». Dans : *2002 IEEE MTT-S International Microwave Symposium*. Seattle (USA), 2002, p. 193–196 (cf. p. 24).

[P6] M. SIÉ. « Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 µm ». Doctorat. Thèse de doct. 154p. : Université Paul Sabatier, Toulouse, 2004 (cf. p. 31).

Chapitre 2

La synthèse de fréquences micro-ondes : la voie *analogique*

Dans notre activité de conception, caractérisée principalement par la volonté de travailler sur des versions numérisées ou numériques de blocs fonctionnels de synthèses de fréquence, il était quand même bien naturel de garder un œil sur des évolutions technologiques majeures susceptibles de relancer l'intérêt de la conception d'oscillateurs analogiques sur silicium dans le cadre d'une activité de recherche. Ceux-ci sont en effet bridés par les coefficients de qualité limités des résonateurs disponibles sur ce type de technologie (§ 1.4.1.3.i), qui s'expliquent par la faible résistivité du substrat BiCMOS dans lequel les courants de Foucault générés par couplage électromagnétique génèrent d'importantes pertes [G1]. On peut alors décider de se tourner vers des technologies disposant de composants passifs de meilleure qualité, plus complexes à mettre en œuvre, et aussi plus chères. Pourtant, dans le cadre d'une intégration avancée de systèmes, on ne peut passer à côté des technologies BiCMOS qui offrent un support d'intégration généraliste à coût réduit.

À l'heure actuelle, lorsqu'il est nécessaire de disposer de résonateurs de haute qualité en gamme RF, on doit faire appel à la technologie SAW dont malheureusement les étapes technologiques sont incompatibles avec les procédés BiCMOS : il faut alors utiliser des composants externes et procéder à leur connexion dans une approche SiP, ce qui évidemment augmente le coût de l'ensemble. De plus, ces résonateurs se révèlent inappropriés pour les fréquences supérieures à 3 GHz où leurs performances deviennent médiocres, et avec des tenues en puissance très limitées [G2]. Mais depuis quelques années, parmi les nombreuses approches et ruptures technologiques dans le domaine, l'apparition de résonateurs BAW a été très favorablement accueillie, ceux-ci se révélant une excellente alternative aux résonateurs SAW dont ils partagent des coefficients de qualité élevés (plusieurs centaines) : ils offrent des fréquences de résonance plus hautes (supérieures à 10 GHz), des tenues en puissance de plusieurs watts (contre 1 W maximum), des pertes d'insertion moindres et surtout une compatibilité technologique avec les étapes technologiques BiCMOS. Les résonateurs BAW offrent ainsi un niveau de performance inégalé sur ce type de technologie, dans une approche SoC [1], tout en assurant à terme un coût réduit par rapport à l'approche SiP.

L'ensemble du travail présenté dans ce chapitre s'est déroulé dans le cadre du projet européen IST FP5 MARTINA [2]. Ce projet a rassemblé les compétences d'une dizaine de partenaires à travers cinq pays entre le 1er juillet 2002 et le 30 juin 2005, pour un coût total de plus de cinq millions d'euros. L'objectif était de fabriquer dans un premier temps un récepteur WCDMA [3] complet, mono-puce, dans la bande 2,11 GHz à 2,17 GHz, avec une réjection de la fréquence TX (1,95 GHz) meilleure que −28 dBc, et dans un deuxième temps de concevoir tous les éléments pour un récepteur WLAN [4] dans la gamme des 5 GHz. Les conceptions que j'ai encadrées allaient des oscillateurs (FBAR simple et différentiel et *LC* conçus dans un souci de comparaison), aux associations LNA [5]-filtre et filtre-LNA. Bien que ces dernières associations aient également donné de très bons résultats, nous ne parlerons que des premières dans un souci d'homogénéité de ce document [P1].

Lorsque nous avons commencé à travailler sur les résonateurs BAW, quelques réalisations d'oscillateurs basés sur des BAW avaient été rapportées dans la littérature scientifique, mais toutes étaient conçues à partir de résonateurs discrets microsoudés [G3, G4, G5]. Au contraire, notre travail a consisté à concevoir des oscillateurs basés sur des résonateurs FBAR intégrés par la technique « Above IC », qui ont obtenu des performances à l'état de l'art lors de leur publication dans les deux plus grandes conférences mondiales du domaine en 2006 [P2, P3], et repris dans un chapitre d'ouvrage à paraître [P4].

1. Système sur puce
2. « Monolithic Above IC Resonator Technology for Integrated Novel Architecture in mobile and wireless communication »
3. CDMA large bande
4. Réseau sans fil
5. Amplificateur haute-fréquence faible bruit

2.1 La technique « Above IC »

Pour travailler sur les oscillateurs avec la technique « Above-IC », des FBAR fabriqués par micro-usinage de surface furent utilisés. En effet, seul un petit interstice d'air est requis sous les résonateurs, qui peuvent alors être placés très près des composants BiCMOS. De très faibles pertes d'interconnexions sont alors beaucoup plus facilement atteignables que s'il fallait traverser un épais réflecteur acoustique comme dans le cas des SMR (§ 1.4.1.3.ii). Les résonateurs ont été post-processés par-dessus une technologie BiCMOS SiGe 0,35 µm de AMIs [6], dans un partenariat avec le LETI [7] et le CSEM [8], dans le cadre du contrat MARTINA. Tout d'abord, un oxyde de silicium a été déposé par-dessus les plaques passivées, puis planarisé chimiquement et mécaniquement afin d'obtenir une surface aussi bonne que possible pour la fabrication des FBAR. Une couche sacrificielle polymère a ensuite été déposée puis gravée pour définir les positions des FBAR, puis encapsulée dans une couche diélectrique de protection. La partie active proprement dite des résonateurs a été fabriquée avec le dépôt de l'électrode inférieure (Pt [9]), du matériau piézoélectrique (AlN) et de l'électrode supérieure (Al [10]). Des trous gravés à travers les différentes couches diélectriques jusqu'au dernier niveau de métal (M5) du circuit intégré ont ensuite permis le dépôt d'un épais film d'aluminium afin d'effectuer la connexion entre les résonateurs et les circuits. Au final, la couche sacrificielle a été supprimée pour relâcher les membranes. La figure 2.1 montre une vue en coupe d'un FBAR connecté au dernier niveau de métal d'une plaque BiCMOS [G6].

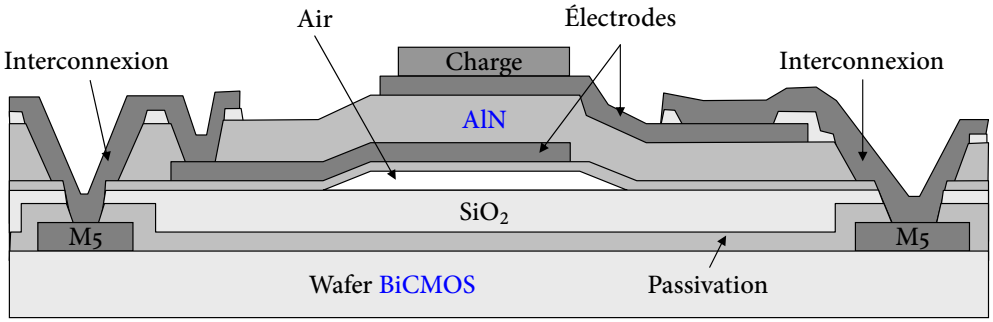

FIGURE 2.1 – Aperçu de la technique « Above-IC ».

2.2 Résonateurs BAW-FBAR dans les oscillateurs

Les figures 2.2 et 2.3 montrent les photographies de deux FBAR, un simple port et un à deux ports, prises au moment de les mesurer pour en déduire les paramètres de leur modèle BVD (§ 1.4.1.3.ii). Le tableau 2.1 donne les statistiques de valeurs mesurées sur une dizaine de résonateurs deux ports, et la figure 2.4 montre la résonance fondamentale ainsi que celles d'ordres 2 et 3 pour un résonateur typique.

Ces mesures nous ont amenés aux valeurs BVD du modèle (figure 1.7 et tableau 2.2) et les paramètres ainsi extraits ont été utilisés pour la conception des oscillateurs présentés maintenant.

6. AMI Semiconductor
7. Laboratoire d'Électronique et de Technologies de l'Information
8. Centre Suisse d'Électronique et de Microtechnique
9. Platine
10. Aluminium

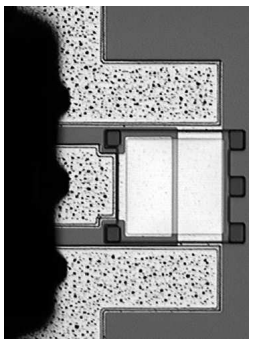

FIGURE 2.2 – Résonateur un port (en réflexion) $210 \times 285\,\mu m^2$.

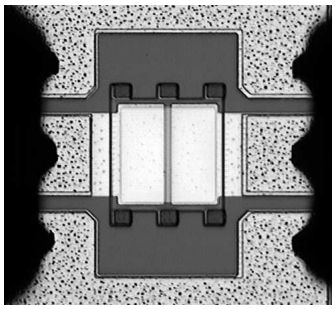

FIGURE 2.3 – Résonateur deux ports (en transmission) $280 \times 260\,\mu m^2$.

TABLEAU 2.1 – Mesures d'un résonateur FBAR deux ports.

	f_s (GHz)	f_p (GHz)	Coefficient de couplage (%)	Q_s	Q_p
Moyenne	5,542	5,700	6,67	294	341
Deviation standard	0,146	0,155	0,22	55	115
Minimum	5,326	5,465	6,12	185	113
Maximum	5,863	6,041	7,09	396	553

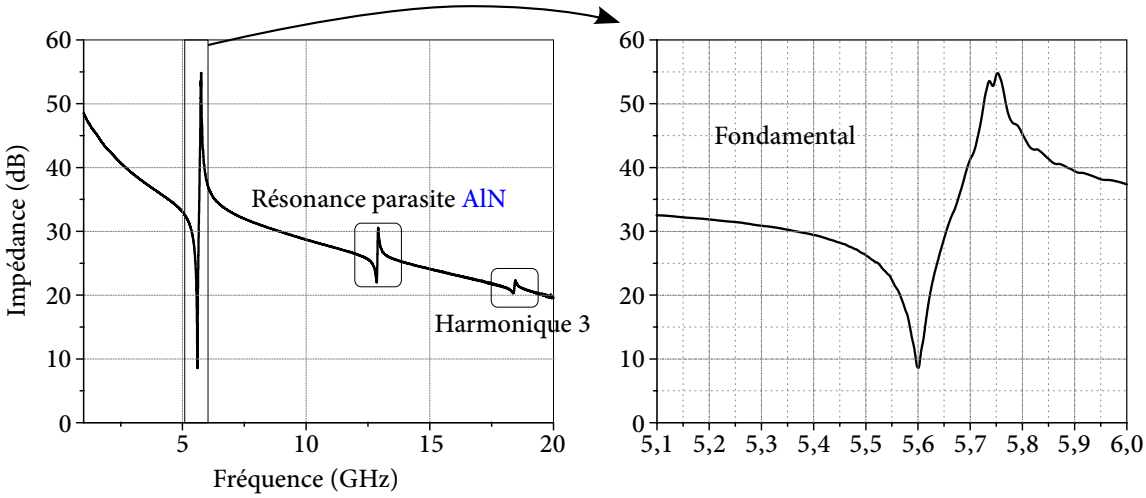

FIGURE 2.4 – Résonances du FBAR.

TABLEAU 2.2 – Modèle BVD des FBAR utilisés dans la conception des oscillateurs.

R_m (Ω)	L_m (nH)	C_m (fF)	C_o (pF)	R_o (Ω)	R_s (Ω)
1,2	34,64	25,55	0,52	0,55	2,15

2.3 Oscillateurs FBAR à sorties simple et différentielles

Nous discutons ici de la conception de deux oscillateurs FBAR totalement intégrés avec la technique « Above IC ». Une version sortie simple [P2] et une autre différentielle [P3] furent réalisées. Le but initial était de démontrer l'avantage de résonateurs BAW intégrés sur la puce comparés aux résonateurs *LC* classiques. Ainsi, les topologies des parties actives des oscillateurs sont restées relativement simples, sans utiliser de techniques de conception avancées comme dans les travaux auxquels nous avions pu participer par le passé [P5, P6, P7, P8, P9], ceci afin de laisser l'entier bénéfice des performances aux résonateurs BAW et à la technique d'intégration choisie, et ainsi pouvoir plus facilement en quantifier l'impact.

2.3.1 Version sortie simple

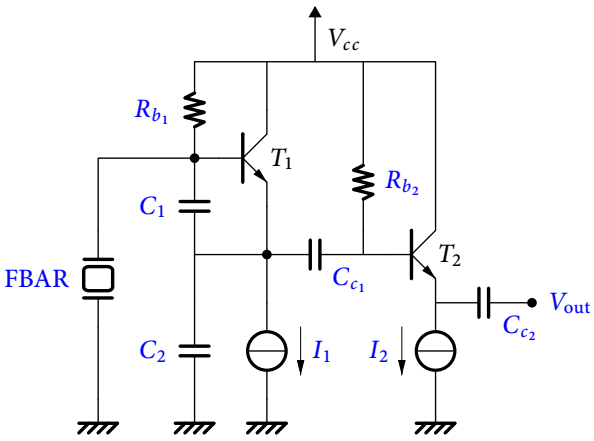

FIGURE 2.5 – Oscillateur à sortie simple.

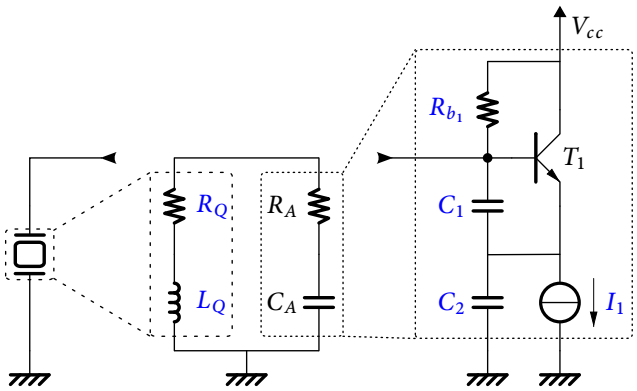

FIGURE 2.6 – Modèle équivalent en oscillation.

La schématique de l'oscillateur à sortie simple est donnée sur la figure 2.5. Comme indiqué précédemment (§ 1.4.1.1), l'étude de l'oscillateur dans son régime périodique établi peut se faire à partir de la figure 2.6, où la résistance négative R_G de l'impédance d'entrée du transistor compense la résistance équivalente R_Q du résonateur, et sa capacité $X_G = C_G$ résonne avec son inductance équivalente $X_Q = L_Q$.

Pour un calcul facile « à la main », on effectue quelques approximations : près de la résonance on considère comme faible la capacité base-collecteur et l'absence d'effet Miller, forte la résistance de collecteur, forte la résistance de polarisation de base R_{b_1}, et une résistance base-émetteur $R_\pi >> \dfrac{1}{\mathrm{j}\,(C_1 + C_\pi)\,\omega}$.

On arrive ainsi au modèle particulièrement simple de la figure 2.7 pour lequel on peut écrire :

$$v_{BE} = \frac{i_B}{(C_1 + C_\pi)\,\mathrm{j}\,\omega} \tag{2.1}$$

$$v_B = \frac{i_B + g_m\,v_{BE}}{C_2\,\mathrm{j}\,\omega} + v_{BE} \tag{2.2}$$

où g_m est la transconductance de T_1, et C_π sa capacité base-émetteur.

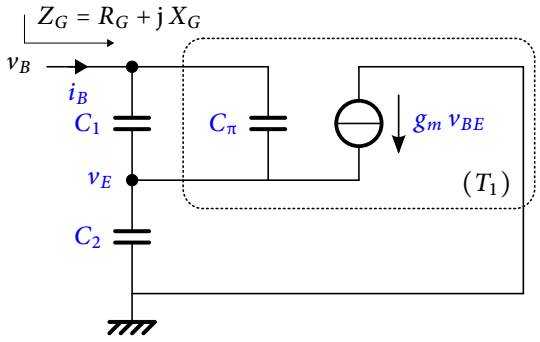

FIGURE 2.7 – Impédance d'entrée.

Remplacer v_{BE} dans (2.2), par sa valeur (2.1) donne :

$$\frac{v_B}{i_B} = Z_A = \frac{1}{C_2\,\mathrm{j}\,\omega} + \left[\frac{g_m}{C_2\,\mathrm{j}\,\omega} + 1\right]\frac{1}{(C_1 + C_\pi)\,\mathrm{j}\,\omega}$$
$$= \frac{(C_1 + C_\pi + C_2)\,\mathrm{j}\,\omega}{C_2\,\mathrm{j}\,\omega\,(C_1 + C_\pi)\,\mathrm{j}\,\omega} + \frac{g_m}{C_2\,\mathrm{j}\,\omega\,(C_1 + C_\pi)\,\mathrm{j}\,\omega}$$

Il est alors facile d'identifier :

$$Z_A = \frac{-g_m}{C_2\,(C_1 + C_\pi)\,\omega^2} - \mathrm{j}\,\frac{C_1 + C_\pi + C_2}{C_2\,(C_1 + C_\pi)\,\omega} = R_G + \mathrm{j}\,X_G \tag{2.3}$$

La partie réelle de l'impédance d'entrée du transistor T_1 est donc négative de valeur :

$$R_G = \frac{-g_m}{C_2\,(C_1 + C_\pi)\,\omega^2} \tag{2.4}$$

La partie réactive peut aussi être identifiée à une capacité de valeur :

$$X_G = \frac{1}{C_G\,\mathrm{j}\,\omega} = \frac{1}{\frac{C_2\,(C_1+C_\pi)}{C_1+C_\pi+C_2}\,\mathrm{j}\,\omega} \Leftrightarrow C_G = \frac{C_2(C_1+C_\pi)}{(C_1+C_\pi+C_2)} \tag{2.5}$$

La résistance négative peut donc être augmentée en diminuant C_1 ou C_2, ou en augmentant la transconductance g_m par le courant de polarisation I_1. Comme les valeurs de C_1 et C_2 sont généralement fixées par la fréquence d'oscillation, I_1 devient le seul paramètre de contrôle de la résistance négative. Le transistor T_2 agit comme un suiveur isolant le résonateur des 50 Ω de l'équipement de mesure. Il est couplé à l'oscillateur par une faible résistance C_{c_1}.

En étudiant la figure 1.7 dans laquelle une capacité de charge $C_L = C_G$ est connectée et la résistance R_o négligée, et après quelques simplifications [G7], la résistance équivalente du résonateur s'écrit :

$$R_Q = R_s + R_m\left(1+\frac{C_o}{C_L}\right)^2 \tag{2.6}$$

La résistance négative doit être plus grande en valeur absolue que cette résistance pour assurer le démarrage des oscillations. Une excursion plus importante et un meilleur bruit de phase peuvent être obtenus en utilisant une capacité C_2 de faible valeur. Cependant, une faible capacité C_2 augmentera la résistance équivalente du résonateur (équation 2.6).

Après cette approche manuelle permettant de cerner le rôle des différents composants, l'optimisation de leur valeur C_1, C_2, I_1, et de l'aire de T_1, a ensuite été effectuée par simulation. Le résonateur travaille en mode parallèle entre les fréquences série (f_s) et parallèle (f_p). La fréquence d'oscillation est alors :

$$f_o = f_s\left[1+\frac{C_m}{2\,(C_o+C_L)}\right] \tag{2.7}$$

Sachant que l'impédance motionnelle C_m est très petite comparée à C_o, la fréquence d'oscillation est principalement fixée par f_s ainsi que le montre l'équation 2.7. Elle dépend également de la charge C_L, et peut-être légèrement modifiée en utilisant un varactor en série. La sensibilité de variation de la fréquence d'oscillation est alors :

$$S = \frac{\partial f_o}{\partial C_L} = -f_s\,\frac{C_m}{2\,(C_o+C_L)^2} \tag{2.8}$$

La figure. 2.8 montre la puissance de sortie ainsi que le bruit de phase à 100 kHz en fonction de C_1 et pour C_2 = 0,7 pF. Un bon compromis entre la puissance de sortie et le bruit de phase est obtenu pour C_1 = 1,3 pF.

Pour le FBAR de 5 GHz utilisé ici, les capacités C_m et C_o sont de l'ordre du femtofarad et du picofarad respectivement. Donc la sensibilité de réglage est de l'ordre de 70 MHz/pF. Cette sensibilité peut-être réglée en ajustant la capacité C_o via l'aire du résonateur. Mais comme nous pouvons le voir dans l'équation (2.8), augmenter C_o diminue la sensibilité de réglage. Donc, dans le cas d'un oscillateur fixe, la capacité C_o devra être large, tandis qu'elle sera faible pour un oscillateur contrôlé. La microphotographie de l'oscillateur est montrée figure 2.9 et l'aire d'intégration est de seulement 640 × 650 µm^2.

2.3.2 Version différentielle

La schématique de l'oscillateur différentiel est montrée figure 2.10 et consiste simplement en la duplication de la partie active de la version simple. Sans changement, cette configuration consomme évidemment deux fois plus,

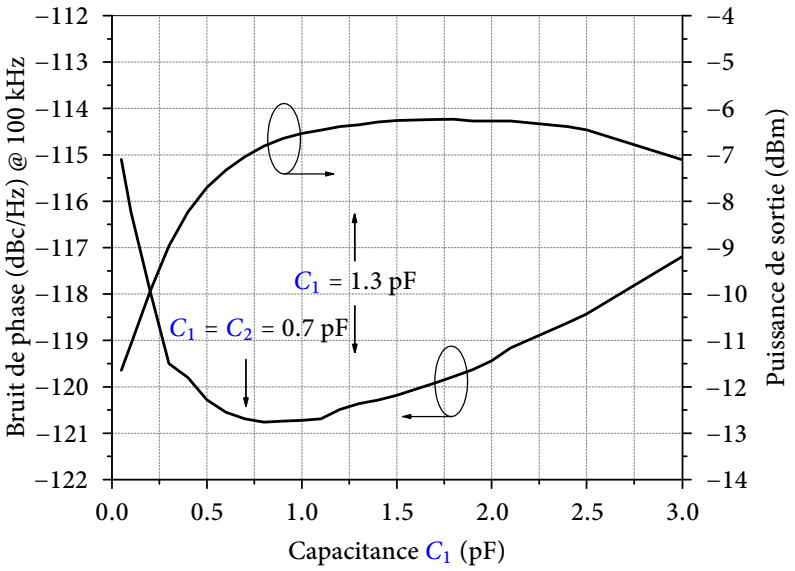

FIGURE 2.8 – Compromis puissance de sortie - bruit de phase.

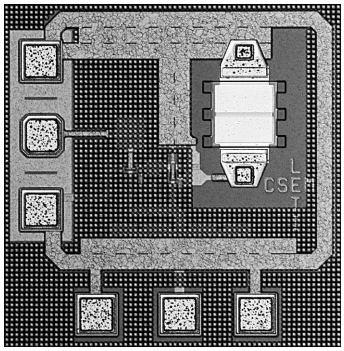

FIGURE 2.9 – Photo de l'oscillateur simple 640 × 650 µm².

délivre deux fois la puissance et présente de meilleures performances en bruit de phase comparé à l'oscillateur simple (§ 2.3.3).

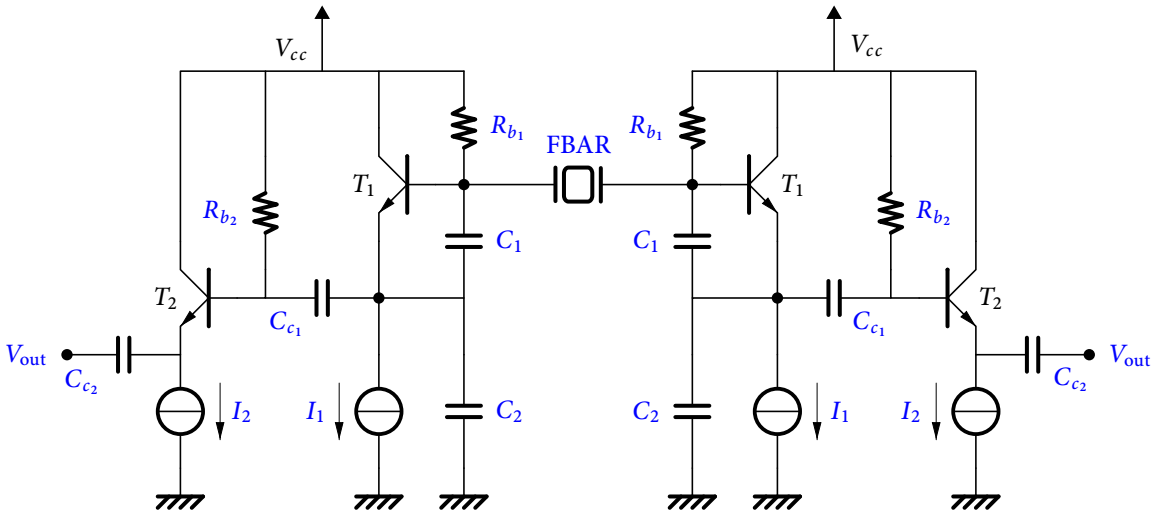

FIGURE 2.10 – Schématique de l'oscillateur à sorties différentielles.

L'étude peut se ramener à celle de l'oscillateur à sortie simple, considérant le plan de symétrie de l'ensemble. Le demi-circuit équivalent est alors celui de la figure 2.11, dans lequel on a :

$$R_Q = \frac{R_s}{2} + \frac{R_m}{2}\left(1 + \frac{2\,C_o}{C_L}\right)^2 \tag{2.9}$$

$$f_o = f_s\left[1 + \frac{C_m}{2\left(C_o + \frac{C_L}{2}\right)}\right] \tag{2.10}$$

Il se compare directement avec celui de la figure 2.6. On voit par ces équations 2.9 et 2.10, que pour une même charge C_L, la fréquence d'oscillation de la version différentielle est plus importante que celle de la version à sortie simple. On obtient ainsi 5,34 GHz contre 5,32 GHz. La résistance équivalente de la version différentielle est plus faible et donc nécessite une résistance négative de compensation plus faible également, et offrira également un

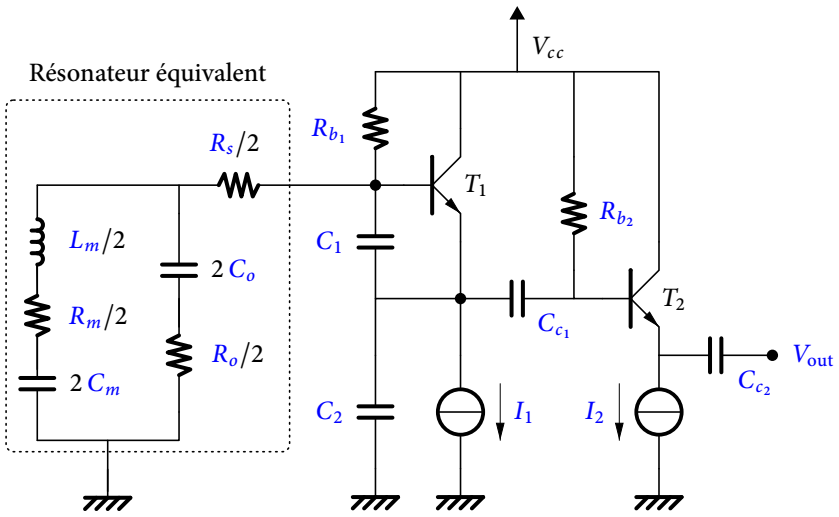

FIGURE 2.11 – Demi-circuit équivalent de l'oscillateur à sorties différentielles.

bruit de phase plus faible. La figure 2.12 montre aussi que l'impact de la résistance d'accès sur le bruit de phase est moins critique pour la version différentielle que pour la version à sortie simple.

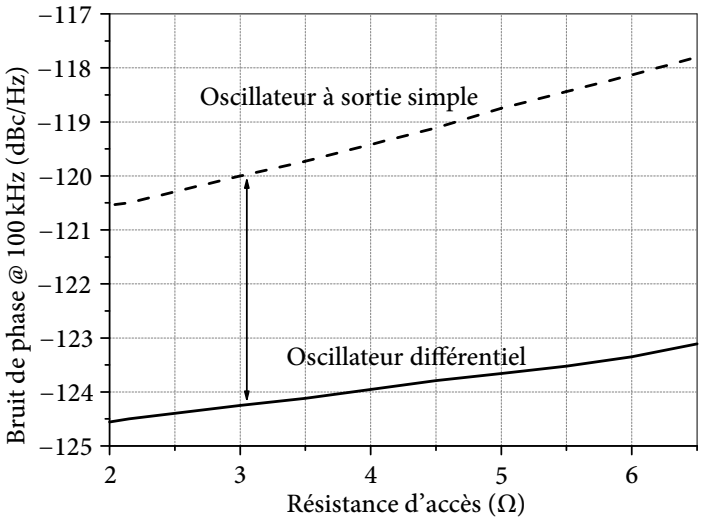

FIGURE 2.12 – Influence de la résistance d'accès sur le bruit de phase.

Les simulations montrent déjà que le bruit de phase est de −122,5 dBc/Hz, soit 4 dB meilleur que la version à sortie simple. La microphotographie de l'oscillateur différentiel est donnée sur la figure 2.13 : il occupe une surface de 830 × 650 µm^2 de silicium.

2.3.3 Résultats de mesures

L'ensemble des résultats de mesure est donné dans le tableau 2.3. Les fréquences mesurées sont plus élevées que les valeurs données par simulation à cause des fréquences de résonance des résonateurs plus élevées que prévu. Les figures 2.14 et 2.15 montrent le spectre de sortie des deux oscillateurs. Les deuxième et troisième harmoniques sont respectivement 22 dB et 30 dB en dessous du fondamental. Les mesures de bruit de phase ont été effectuées sous pointes par la méthode du discriminateur à ligne à retard [G8] et sont données sur la figure 2.16. À une distance de 100 kHz, le bruit de phase de l'oscillateur simple est de −118 dBc/Hz (pour une valeur simulée de −120,5 dBc/Hz, la différence étant due à un facteur de qualité plus faible que prévu pour le

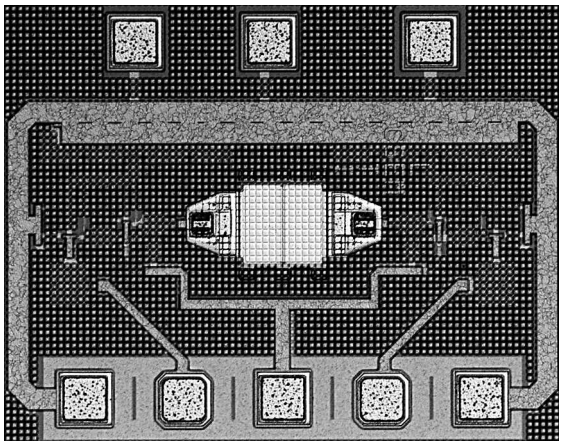

Figure 2.13 – Microphotographie de l'oscillateur différentiel (830 × 650 µm^2).

résonateur). Le bruit de phase mesuré de la version différentielle est −120,5 dBc/Hz à 100 kHz de la porteuse (valeur simulée −124,5 dBc/Hz). Le FoM des deux oscillateurs est autour de 206,2.

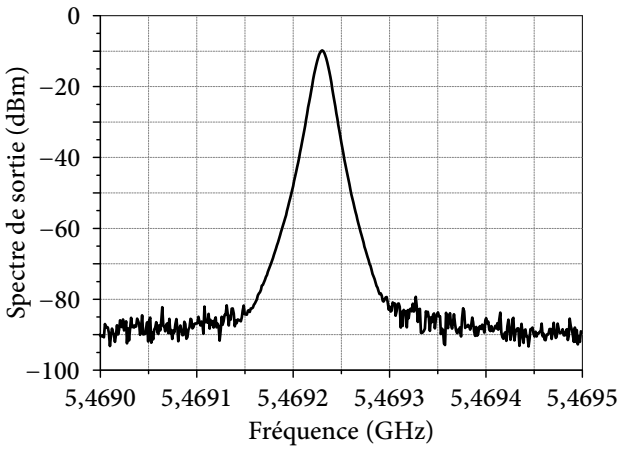

Figure 2.14 – Spectre de l'oscillateur à sortie simple.

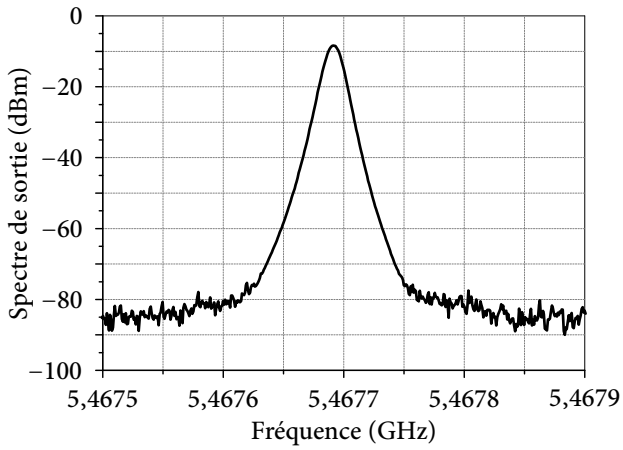

Figure 2.15 – Spectre de l'oscillateur différentiel.

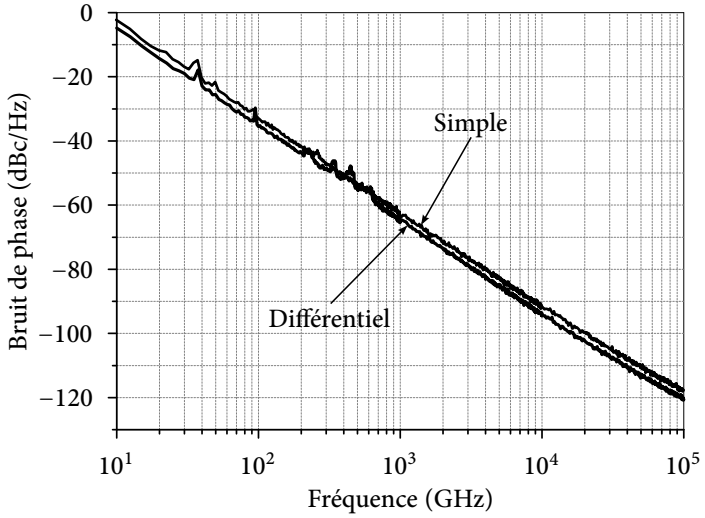

Figure 2.16 – Bruit de phase des oscillateurs simple et différentiel.

TABLEAU 2.3 – Résultats de mesures.

	Oscillateur à sortie simple		Oscillateur différentiel	
	Simulation	Mesure	Simulation	Mesure
Alimentation V_{cc} (V)	2,7	2,7	2,7	2,7
Consommation (hors suiveurs) (mA)	1,7	1,7	3,4	3,4
Fréquence (GHz)	5,32	5,39 – 5,60	5,34	5,41 – 5,66
Puissance de sortie (dBm)	−6,5	−13 – −8,5	−6,5	−12 – −8
Bruit de phase (dBc/Hz) @ 100 kHz	−120,5	−118 – −116	−124,5	−121 – −116
FoM (dBc/Hz)	208,4	206,2	209,4	206,2

2.4 Oscillateurs *LC* équilibrés

Afin de disposer de quelques éléments de comparaison, des oscillateurs à résonateurs *LC* furent également conçus, basés sur des topologies usuelles : Pierce, et à couplage par la base. Nous ne détaillerons pas leur conception, puisqu'ils ont été créés sur une base connue. Une optimisation sur le bruit de phase a été effectuée par simulation.

2.4.1 Oscillateur à paire différentielle croisée

La schématique de l'OPDC [11] est donnée sur la figure 2.17. Le cœur consiste en une paire différentielle croisée (T_1, T_2) et un résonateur $L_c C_v$ [G9]. Une contre-réaction capacitive est réalisée par C_1 et C_π (capacité d'entrée de T_1 et T_2). T_6 et T_7 sont des suiveurs capables de piloter des charges 50 Ω en maintenant une isolation d'avec les résonateurs afin de ne pas en dégrader le facteur de qualité Q. La fréquence d'oscillation s'exprime alors par :

$$f_o = \frac{1}{\sqrt{L_c\, C_{eq}}} \text{ où } C_{eq} = C_p + \frac{C_v\, C_0}{C_v + C_0} + \frac{C_1\, C_\pi}{C_1 + C_\pi} \tag{2.11}$$

Les mesures de puissance et de bruit de phase à 100 kHz de la porteuse sont données sur les figures 2.19 et 2.21, et la microphotographie sur la figure 2.23 : la surface silicium occupée est 945 × 1092 µm^2.

2.4.2 Oscillateur Pierce différentiel

La schématique de l'OPD [12] est donnée sur la figure 2.18. Il consiste à coupler deux oscillateurs Pierce à sortie simple. Le résonateur est formé par l'inductance L, le varactor C_v et la capacité MIM C_0. La fréquence d'oscillation s'exprime alors par :

$$f_o = \frac{1}{2\,\pi\sqrt{L\, C_{eq}}} \text{ où } C_{eq} = \frac{C_v\,(C_0 + C_\pi)}{C_v + C_0 + C_\pi} \tag{2.12}$$

Les mesures de puissance et de bruit de phase à 100 kHz de la porteuse sont données sur les figures 2.20 et 2.22, et la microphotographie sur la figure 2.24 : la surface silicium occupée est 1000 × 1000 µm^2.

2.4.3 Comparaison entre les oscillateurs *LC* et FBAR

Les performances mesurées des oscillateurs *LC* sont données dans le tableau 2.4. Même si leur bruit de phase est tout à fait honorable, un modeste FoM de 185 est obtenu, contre 206 pour les oscillateurs FBAR (tableau 2.3)

11. Oscillateur à paire différentielle croisée
12. Oscillateur Pierce différentiel

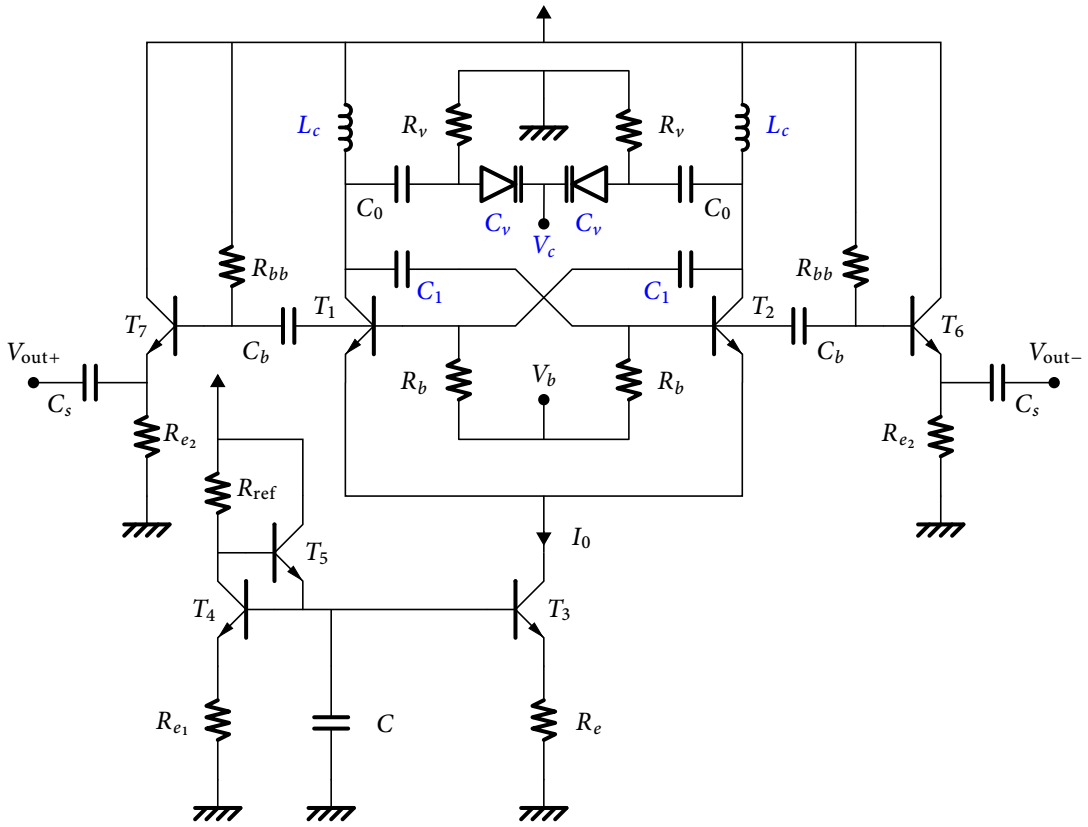

FIGURE 2.17 – Schématique de l'OPDC.

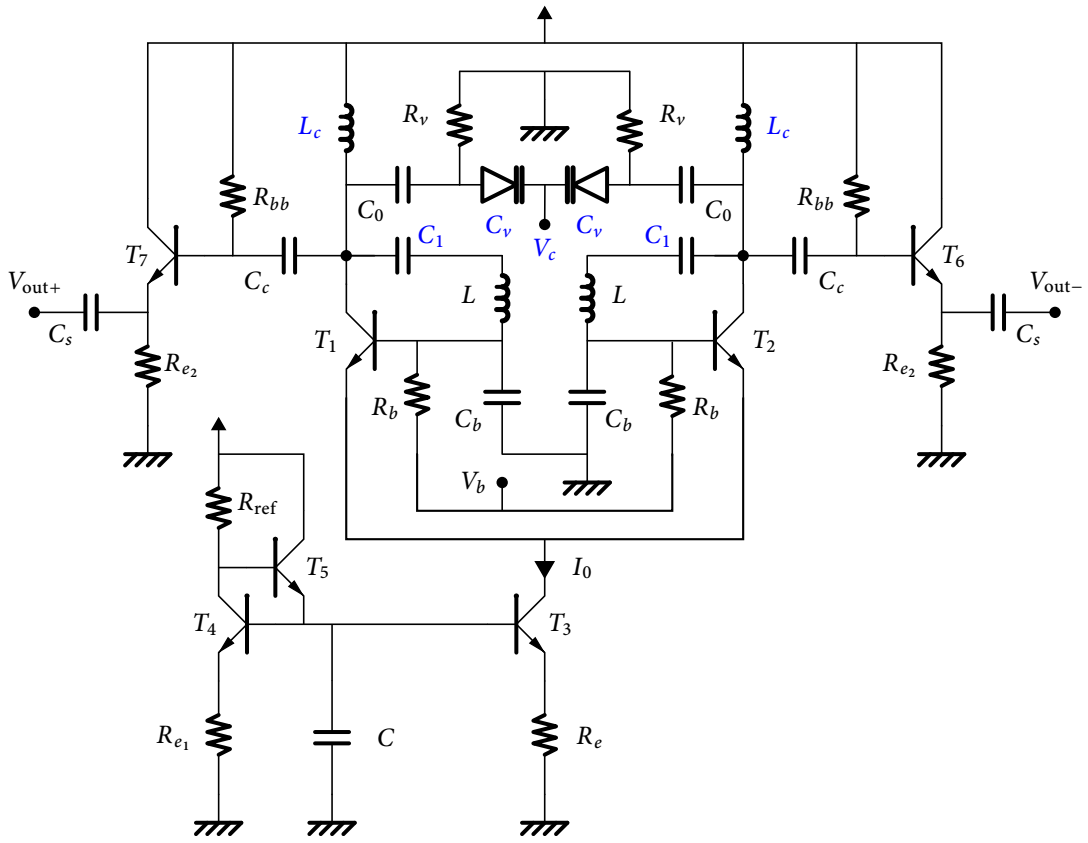

FIGURE 2.18 – Schématique de l'OPD.

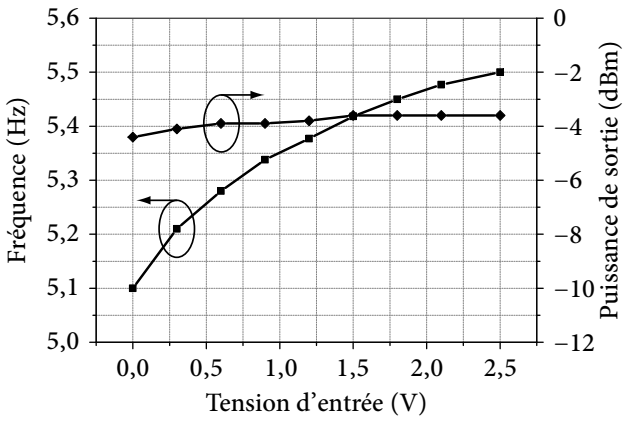

FIGURE 2.19 – Fréquence et puissance de sortie de l'OPDC.

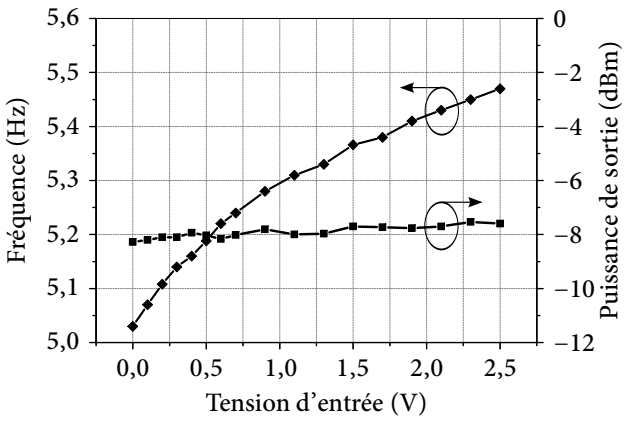

FIGURE 2.20 – Fréquence et puissance de sortie de l'OPD.

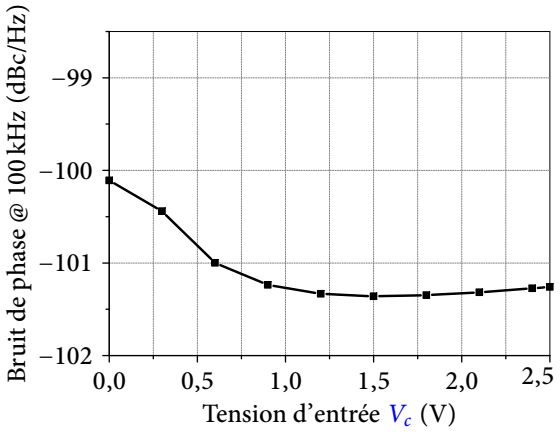

FIGURE 2.21 – Bruit de phase de l'OPDC.

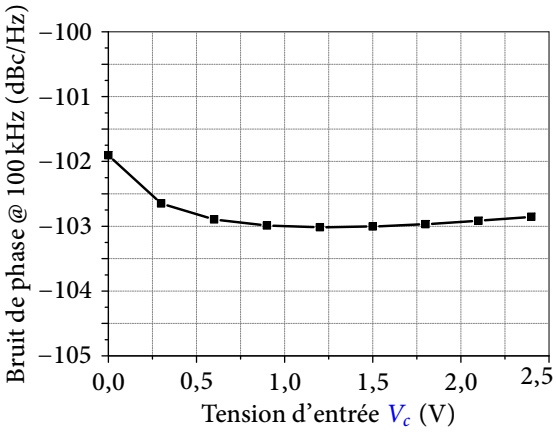

FIGURE 2.22 – Bruit de phase de l'OPD.

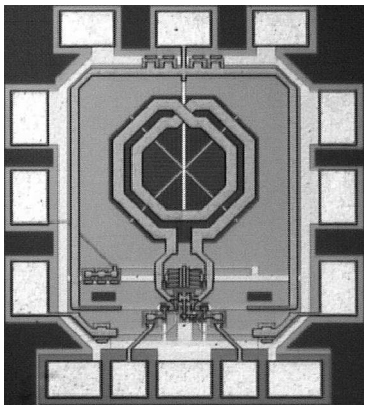

FIGURE 2.23 – Microphotographie de l'OPDC.

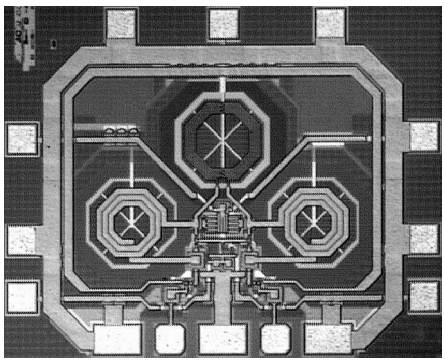

FIGURE 2.24 – Microphotographie de l'OPD.

à 5 GHz. Cette amélioration de 20 dB sur le facteur de mérite vient de l'amélioration sur le bruit de phase, conséquence directe du facteur de qualité important des résonateurs FBAR et du montage « above IC » qui permet de minimiser les résistances d'interconnexions.

2.5 Conclusion

Dans ce mémoire essentiellement tourné vers les solutions micro-ondes *numériques*, ce chapitre synthétise la bienveillance que nous avons malgré tout gardée sur la conception de références de fréquence analogiques,

Tableau 2.4 – Performances des oscillateurs *LC*.

	Paire différentielle croisée	Pierce
Alimentation (V)	2,5	2,4
Consommation (mA)	2,5	3
Plage d'accord (GHz)	5,10 – 5,50	5,08 – 5,50
Puissance de sortie (dBm)	−4	−8
Puissance cœur (mW)	6	7,5
Puissance totale (mW)	32,25	26
Bruit de phase @ 100 kHz (dBc/Hz)	−99	−101
FoM	185,5	186,5

susceptibles notamment de servir aux PLL du chapitre 3 et aux DDS du chapitre 4. L'apparition de la technologie BAW a en effet créé une rupture technologique en ouvrant la voie à l'intégration de résonateurs de haute qualité sur des technologies standards BiCMOS qui en manquaient cruellement. Dès lors, des oscillateurs à haute pureté spectrale étaient susceptibles d'être intégrés sur ce type de technologies. C'est ce que nous avons démontré au travers de la réalisation de deux oscillateurs, une version simple et une version équilibrée, qui ont obtenu les meilleures performances au moment de leur sortie sur ce type de technologies intégrées. Une comparaison avec des techniques de conception plus standards a ainsi montré une amélioration du facteur de qualité de plus de 20 dB, rendu possible par la rupture technologique offerte par les résonateurs BAW intégrés avec la technique « above IC » dans une approche SoC.

Données diverses

- Doctorant principal : Mohammed Aissi (encadré à 75 %)
- Contrat principal : MARTINA
- Collaborations : ST [13]

13. ST Microelectronics

Références bibliographiques du chapitre 2

Références générales

[G1] C. P. YUE et S. S. WONG. « Physical modeling of spiral inductors on silicon ». Dans : *Electron Devices, IEEE Transactions on* 47.3 (mar. 2000), p. 560 –568 (cf. p. 46).

[G2] K. M. LAKIN. « A review of thin-film resonator technology ». Dans : *Microwave Magazine, IEEE* 4.4 (déc. 2003), p. 61–67 (cf. p. 46).

[G3] Y. H. CHEE, A. M. NIKNEJAD et J. RABAEY. « A sub-100 µW 1.9-GHz CMOS oscillator using FBAR resonator ». Dans : *Proc. Digest of Papers Radio Frequency integrated Circuits (RFIC) Symposium 2005 IEEE*. Juin 2005, p. 123–126 (cf. p. 46).

[G4] A. P. S. KHANNA, E. GANE et T. CHONG. « A 2GHz voltage tunable FBAR oscillator ». Dans : *Proc. IEEE MTT-S International Microwave Symposium Digest*. T. 2. Juin 2003, p. 717–720 (cf. p. 46).

[G5] Y. PARK, S. PINKETT, J. S. KENNEY et W. D. HUNT. « A 2.4 GHz VCO with an integrated acoustic solidly mounted resonator ». Dans : *Proc. IEEE Ultrasonics Symposium*. T. 1. Oct. 2001, p. 839–842 (cf. p. 46).

[G6] M.-A. DUBOIS, J.-F. CARPENTIER, P. VINCENT, C. BILLARD, G. PARAT, C. MULLER, P. ANCEY et P. CONTI. « Monolithic above-IC resonator technology for integrated architectures in mobile and wireless communication ». Dans : *IEEE Journal of Solid-State Circuits* 41.1 (jan. 2006), p. 7–16 (cf. p. 47).

[G7] M. E. FRERKING. *Crystal oscillator design and temperature compensation*. New York: Van Nostrand, 1978, 1978 (cf. p. 50).

[G8] O. LLOPIS, J. B. JURAVER, M. REGIS, M. CHAUBET et J. GRAFFEUIL. « Evaluation of two non-standard techniques for the phase noise characterization at microwave frequencies ». Dans : *Frequency Control Symposium and Exhibition, 2000. Proceedings of the 2000 IEEE/EIA International*. 2000, p. 511–515 (cf. p. 52).

[G9] H. JACOBSSON, S. GEVORGIAN, M. MOKHTARI, B. HANSSON, C. HEDENAS, T. LEWIN, W. RABE et A. SCHUPPEN. « Low phase noise, low power IC VCOs for 5-8 GHz wireless applications ». Dans : *Proc. IEEE MTT-S International Microwave Symposium Digest*. T. 2. Juin 2000, p. 723–726 (cf. p. 54).

Références personnelles

[P1] M. AISSI. « Conception de circuits WLAN 5 GHZ à résonateurs BAW-FBAR intégrés : oscillateurs et amplificateurs filtrants ». Doctorat. Thèse de doct. 152p. : Université Paul Sabatier, Toulouse, 2006 (cf. p. 46).

[P2] M. AISSI, É. TOURNIER, M. A. DUBOIS, G. PARAT et R. PLANA. « A 5.4 GHz 0.35 µm BiCMOS FBAR Resonator Oscillator in Above-IC Technology ». Dans : *Proc. IEEE International Conference Digest of Technical Papers Solid-State Circuits*. Fév. 2006, p. 1228–1235 (cf. p. 46, 48).

[P3] M. AISSI, É. TOURNIER, M. A. DUBOIS, C. BILLARD, H. ZIAD et R. PLANA. « A 5 GHz above-IC FBAR low phase noise balanced oscillator ». Dans : *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*. Juin 2006, 4pp. (Cf. p. 46, 48).

[P4] É. Tournier. « MEMS-based Circuits and Systems for Wireless Communication ». Dans : sous la dir. de C. Enz et A. Kaiser. Springer, 2010. Chap. 5.4 GHz - 0.35 µm BiCMOS FBAR-based Single-Ended and Balanced Oscillators in Above-IC Technology (cf. p. 46).

[P5] A. Coustou, J. Sadowy, M. Sié, É. Tournier, O. Llopis, J. Graffeuil, R. Plana, V. Le Goascoz, I. Telliez et S. Dedieu. « Techniques de réduction de bruit de phase appliquée à un oscillateur SiGe en bande X ». Dans : *12es Journées Nationales Microondes (JNM'2001)*. 4 pages. Poitiers (France), 2001 (cf. p. 48).

[P6] K. W. Wong, G. Cibiel, J. G. Tartarin, É. Tournier, R. Plana et O. Llopis. « OCT à topologie parallèle et série fonctionnant en bande X en technologie BiCMOS SiGe 0,35 µm ». Dans : *13es Journées Nationales Microondes (JNM'2003)*. 2 pages. Lille (France), 2003 (cf. p. 48).

[P7] K. W. Wong, G. Cibiel, J. G. Tartarin, É. Tournier, R. Plana et O. Llopis. « X band BiCMOS SiGe 0.35 µm voltage controlled oscillator in parallel and reflection topology and external phase noise improvement solution ». Dans : *2003 IEEE Radio Frequency Integrated Circuits Symposium (RFIC'2003)*. Philadelphia (USA), 2003, p. 281–284 (cf. p. 48).

[P8] A. Coustou, D. Dubuc, J. Graffeuil, O. Llopis, É. Tournier et R. Plana. « Low phase noise IP VCO for multi-standard communication using a 0.35 µm BiCMOS SiGe technology ». Dans : *IEEE Microwave and Wireless Components Letters* 15.2 (2005), p. 71–73 (cf. p. 48).

[P9] J. G. Tartarin, K. W. Wong, É. Tournier et O. Llopis. « X-band and K-band low-phase-noise VCOs using SiGe BiCMOS technology ». Dans : *3rd International SiGe Technology and Device Meeting (ISTDM'2006)*. 2 pages. Princeton (USA), 2006 (cf. p. 48).

Chapitre 3

La synthèse de fréquences micro-ondes : la voie *numérisation*

La PLL est à la base de la majorité des synthèses de fréquence programmables. À l'origine, elle fut créée afin d'améliorer la réception de signaux électriques modulés en amplitude, en remplaçant la démodulation par détecteur de crête (circuit comportant diode, condensateur et résistance) trop sensible aux bruits parasites. La PLL permit de mettre en œuvre un nouveau principe de démodulation, appelé démodulation synchrone. La généralisation des circuits intégrés, dont l'arrivée a bouleversé toutes les branches de l'électronique en a fait une fonctionnalité majeure depuis une trentaine d'années. Outre la démodulation synchrone, les différentes applications de la PLL sont nombreuses et variées (démodulation de fréquence, de phase, multiplication de fréquence par un nombre entier ou décimal...).

La PLL est une fonction désormais bien connue (figure 1.11 du § 1.5.1), qui a déjà fait l'objet de nombreux travaux de recherche. Continuer de faire un véritable travail de recherche sur une PLL réclamait donc de bien identifier les défauts de leurs éléments de base (§ 1.5) afin, soit de chercher à les améliorer en l'état (but de ce chapitre), soit de proposer des solutions alternatives reconsidérant la structure même de PLL (but du chapitre 4). Nous avons déjà consacré le chapitre 2 aux oscillateurs analogiques avec une ouverture sur les VCO. Nous parlerons donc dans ce chapitre-ci des autres éléments de la boucle, le diviseur de fréquence, le comparateur phase/fréquence et le filtre, pour lesquels nous avons développé exclusivement des versions numériques conduisant ainsi à des PLL *semi*-numériques. Par la suite, plutôt que de nous attarder sur un VCO lui aussi numérique (ou NCO), qui aurait pu nous conduire à une synthèse de fréquence par PLL totalement numérique (mais donc *indirecte* et basée au départ sur un principe analogique numérisé), nous avons choisi de travailler sur un DDS, c.-à-d. sur une synthèse de fréquence *directe* et surtout basée sur un principe *originellement numérique* (chapitre 4).

La PLL à pas de division entier a été présentée dans son principe au § 1.5.1.

3.1 Diviseurs de fréquence programmables

Le diviseur de fréquence de la contre-réaction doit fonctionner en entrée à la plus haute fréquence de la PLL. Son premier étage est donc un étage critique, sur lequel il convient de s'attarder. Le diviseur complet est basé sur une structure classique présentée au § 1.5.4. Avant de se lancer dans l'étude de diviseurs complets, il convenait donc d'étudier le plus simple d'entre eux, le diviseur par deux.

3.1.1 Diviseurs par deux

Historiquement, le premier circuit que j'ai conçu dans le domaine micro-ondes fut une bascule D sensible sur front (« flip-flop »), dont le bouclage sur elle-même permet de créer facilement un diviseur par deux. Cette bascule D est elle-même conçue à partir de deux bascules D identiques réagissant sur des *niveaux* (« latch ») complémentaires de l'horloge, et dont la mise en série (figure 3.1) permet la synchronisation sur front. Bien que relativement élémentaires, ces diviseurs par deux m'ont permis de poser un certain nombre de bases sur la conception de circuits numériques hyperfréquences en logique ECL. Un nombre conséquent de versions a donc vu le jour, complété par les versions de doctorants, et il est difficile d'en extraire une version se détachant nettement des autres. Aussi ferons-nous une présentation un peu générique de nos différentes réalisations.

Une schématique possible de bascule D sensible sur niveau est donnée figure 3.2. Des réalisations ont été faites en technologies BiCMOS6G, BiCMOS7 et BiCMOS7RF de ST. Au travers de ces différentes versions, nous avons mis au point des structures basées sur :

– une logique ECL plutôt que CML (§ 1.8), car elles montaient plus haut en fréquence, au prix cependant d'une consommation plus forte (polarisation des suiveurs de sortie) ;

– des sources de courant de polarisation à transistors MOS plutôt que bipolaires (le MOS se comporte toujours en source de courant pour un potentiel de drain faible alors que le bipolaire passe rapidement en régime saturé, ce qui permet d'économiser sur la tension d'alimentation).

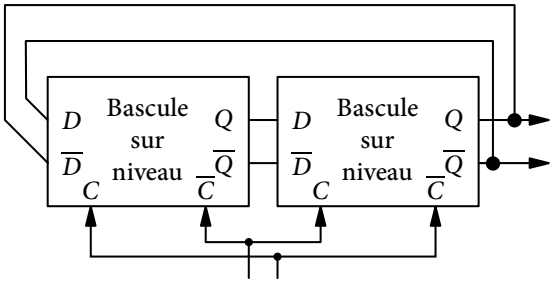

FIGURE 3.1 – Formation d'une bascule sensible sur front.

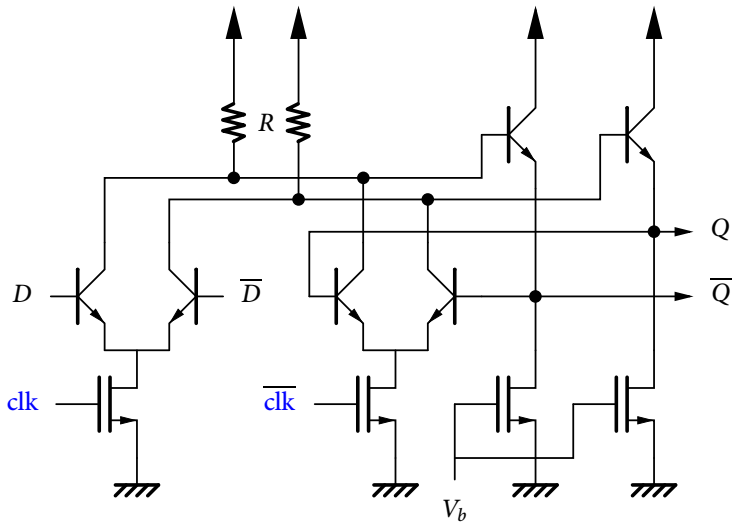

FIGURE 3.2 – Schématique d'une bascule sensible sur niveau.

Les premières versions sur technologie BiCMOS6G ou BiCMOS7 faisaient état de consommations de l'ordre d'une dizaine de mA (sans étage de sortie) sous 3,3 V, pour des fréquences de fonctionnement jusqu'à 25 GHz environ en BiCMOS7, qui est une technologie 0,25 µm. Suivant les versions des étages de sortie, la puissance disponible en sortie affichait entre et −5 et −10 dBm. La figure 3.3 présente les mesures réalisées sur un de nos meilleurs diviseurs : la puissance admissible en entrée et la puissance disponible en sortie en fonction de la fréquence d'entrée.

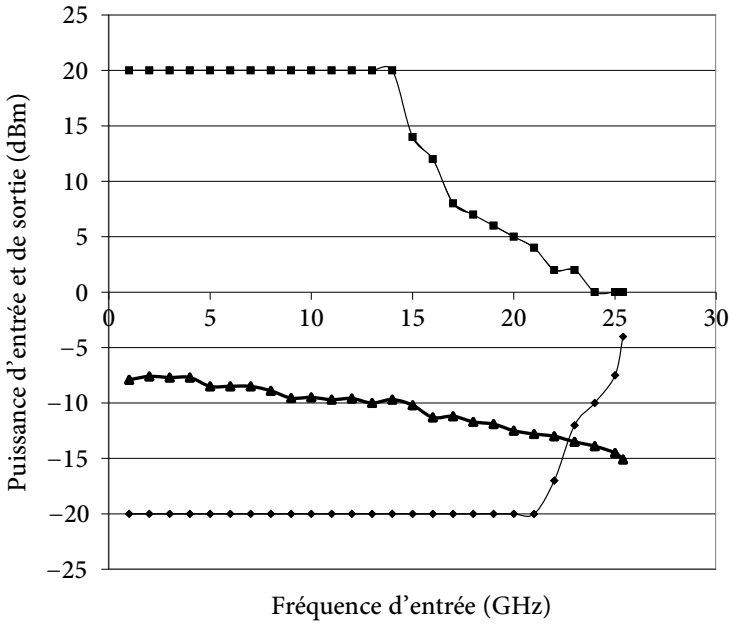

FIGURE 3.3 – Mesure de la puissance admissible en entrée (min ♦ et max ■) et disponible en sortie (▲).

3.1.2 Prédiviseurs $N/N+1$ avec $N = 4$

Plusieurs structures de prédiviseurs (§ 1.5.4) ont été également été réalisées, à partir desquelles nous avons pu commencer à mettre en œuvre un certain nombre de techniques originales.

3.1.2.1 Principe de fonctionnement d'un prédiviseur classique

Les prédiviseurs, sont souvent conçus à partir de la structure synchrone de la figure 3.4 (cas représenté : $N = 4$) [G1, G2] : on parle de structure « Johnson », structure récurrente dans la littérature scientifique, la division par $N + 1$ étant obtenue en masquant le signal de rebouclage des bascules D pendant une période d'horloge, figeant leur état pendant cette période et créant ainsi le « +1 ». Le problème rencontré avec ce genre de structure se situe au niveau du rebouclage : le signal de sortie de la dernière bascule D doit traverser une porte logique en moins d'une période d'horloge pour revenir à l'entrée de la première (temps t_1). À partir d'une certaine fréquence, ce signal met plus d'une période d'horloge pour se propager sur ce chemin dit « critique », et le prédiviseur $N/N+1$ n'assure plus sa fonction.

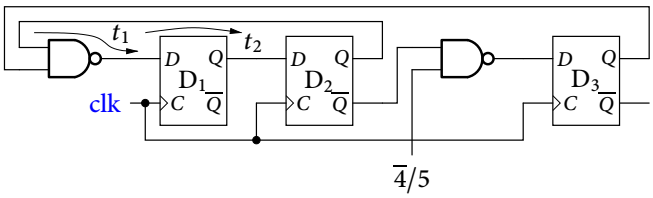

FIGURE 3.4 – Prédiviseur classique réalisant le facteur $N + 1$ par masquage du signal RF.

Nous avons donc proposé une structure totalement originale, déclinée en 3 versions, capable de transformer ce chemin critique en un chemin non critique, afin d'éviter un dysfonctionnement à haute fréquence [P1, P2].

Dans ces structures la division par N est réalisée par la mise en série asynchrone de diviseurs par 2. L'originalité pour obtenir la division par $N + 1$ consiste à masquer non pas le signal se propageant entre les bascules comme sur la figure 3.4, mais l'horloge. Ce faisant, le signal de masquage dispose non plus d'une seule période d'horloge pour se propager, mais de N, car il importe peu de savoir quelle période sera masquée parmi les N disponibles. Un autre avantage de nos structures est que malgré tout, si le signal de masquage n'arrive pas à se propager en N périodes, elles ne présentent pas de dysfonctionnement strict : elles génèrent une division par $N/N + 2$, puis $N/N + 3$, etc., qui n'est certes pas le rapport $N + 1$ demandé, mais qui reste utilisable [P3].

3.1.2.2 Topologies des prédiviseurs originaux

Dans le schéma logique et le chronogramme qui suivent (figures 3.5 et 3.6), le masquage évoqué précédemment est réalisé par la détection d'un état binaire 00, effectué par une porte NON-OU, qui commande une seconde porte NON-OU réalisant l'inhibition d'une période du signal d'horloge. Sous une tension d'alimentation de 3,3 V, ce circuit consomme environ 31 mA, et peut fonctionner jusqu'à 11 GHz en BiCMOS6G.

Cette première version présente deux inconvénients majeurs :

- il est nécessaire d'extraire un signal supplémentaire en sortie de chaque bascule, et en particulier sur la première qui fonctionne à haute fréquence, ce qui en perturbe le fonctionnement ;
- l'utilisation de portes logiques à $N > 4$ entrées est déconseillée pour pouvoir monter plus haut en fréquence.

Dans une deuxième topologie (figure 3.7) :

- il n'y a plus le problème d'extraction de signaux après chaque diviseur par 2 ;

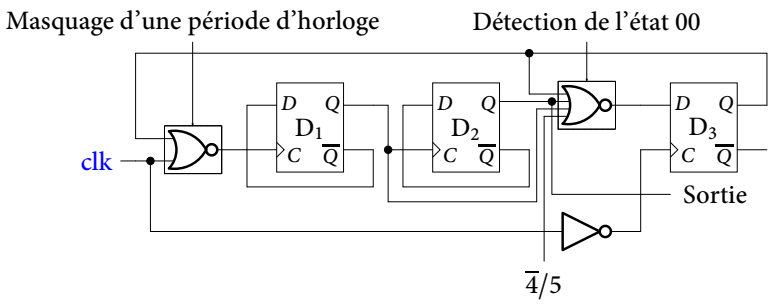

FIGURE 3.5 – Schématique logique du premier prédiviseur 4/5.

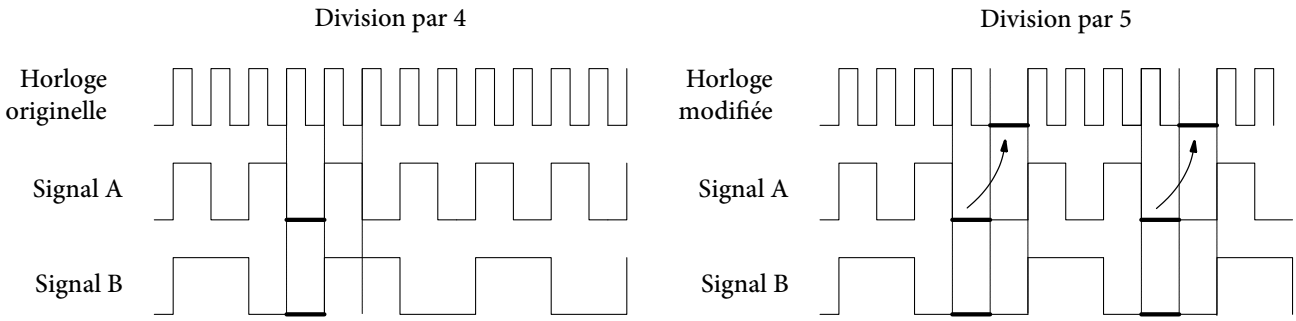

FIGURE 3.6 – Chronogrammes du premier prédiviseur 4/5.

– la porte OU à quatre entrées a été remplacée par une porte OU à trois entrées.

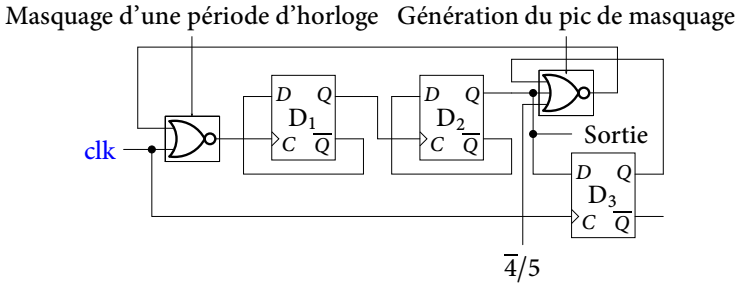

FIGURE 3.7 – Deuxième prédiviseur 4/5.

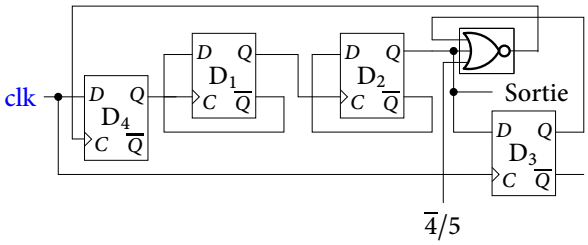

FIGURE 3.8 – Troisième prédiviseur 4/5.

Cette deuxième version fonctionne en moyenne jusqu'à 18 GHz et montre donc une amélioration importante de la fréquence de fonctionnement. Nous avons finalement détecté un dernier point faible qui empêche cette seconde version de monter encore plus haut en fréquence : la porte logique OU, située à l'entrée du circuit et traversée par le signal d'horloge (le signal dont la fréquence est la plus élevée du circuit), est légèrement dissymétrique en logique ECL, ce qui devient problématique pour les fréquences les plus hautes. Nous avons donc imaginé dans une dernière version de remplacer cette porte par une bascule D réagissant sur niveau dont la structure est beaucoup plus symétrique (figure 3.1). Cette dernière structure originale a été intégrée dans le diviseur programmable de facteur M présenté section suivante. Notons que le principe de masquage de l'horloge dont il est question ici s'applique quel que soit le rapport $N/N+1$.

3.1.3 Diviseur programmable par M

Afin de créer les diviseurs programmables par M, il faut ajouter aux prédiviseurs ECL précédents, des compteurs CMOS ainsi que des convertisseurs logiques ECL ↔ logique CMOS. Pour eux, pas vraiment de travail de recherche à faire, mais leur présence étant nécessaire il a tout de même fallu les dessiner : nous ne revenons cependant pas dessus. La microphotographie du diviseur par M que nous avons intégré est celle de la figure 3.9. Pour

en faciliter la mesure, il est possible de ne pas connecter les plots de programmation : une préprogrammation a en effet été mise en place sur le circuit, qui correspond à un rapport de division arbitraire de $M = 426$. La mesure correspondante du spectre fréquentiel en sortie du diviseur par 426 pour une fréquence d'entrée de 15 GHz est présentée sur la figure 3.10. Cette fréquence maximale, élevée mais tout de même légèrement plus faible que celle du diviseur critique $N/N+1$ s'explique par la complexité de ce diviseur qui aurait mérité quelques réglages supplémentaires que nous n'avons pas eu l'occasion de faire.

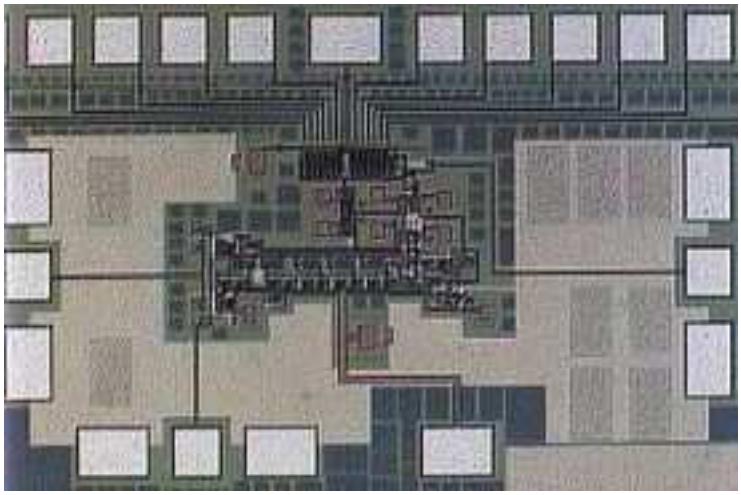

Figure 3.9 – Microphotographie du diviseur programmable en technologie BiCMOS7 $925 \times 1950\,\mu m^2$.

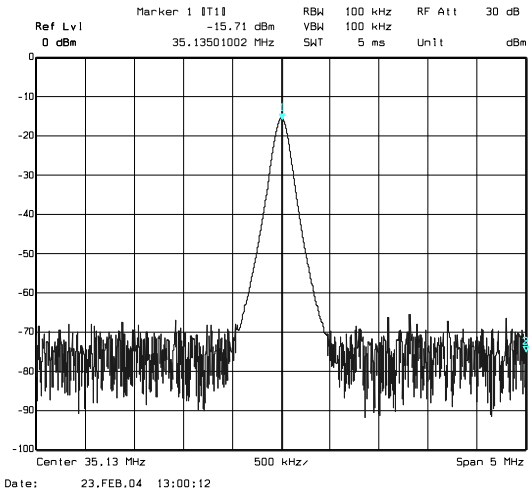

Figure 3.10 – Spectre de la division par 426 à $f_{clk} = 15$ GHz.

3.1.4 Diviseur à double module et un seul compteur

Afin de simplifier la structure du diviseur à double module et d'en réduire la consommation d'environ 40 %, nous avons mis au point une topologie qui n'utilise qu'un seul compteur, le second compteur étant remplacé par un comparateur double, plus simple dans sa schématique (figure 3.11). L'étude du rapport de division aboutit à :

$$M = B\,(N+1) + (C-B)\,N = C\,N + B \tag{3.1}$$

Si cette topologie a été validée par le fonctionnement d'une PLL (§ 3.3.2), elle n'a hélas pas été mesurée en version seule et donc nous n'avons pas pris le temps de publier dessus. Plus de trois ans après, je viens de réviser une publication pour le compte du journal « Electronics Letters », qui présente le même principe à un seul compteur et affiche 30 % de réduction de consommation...

3.2 Comparateur phase/fréquence et pompe de charges

3.2.1 Comparateur phase/fréquence numérique

Nous avons identifié que le principal défaut des structures de comparateurs phase/ fréquence numériques était la présence de parasites et d'une zone morte autour de l'état d'équilibre (§ 1.5.3). Nous avons donc imaginé atténuer fortement les parasites sur les signaux en sortie en mettant en place deux portes OU-exclusif sur chaque sortie du comparateur (figure 3.12) [P2]. Les pics parasites sont d'abord élargis par un circuit délai placé après la porte ET, afin de pouvoir les considérer comme des signaux bien définis au niveau de leurs états logiques. En prélevant le signal après ce délai et en le réinjectant dans des portes logiques OU-exclusif en parallèle des sorties

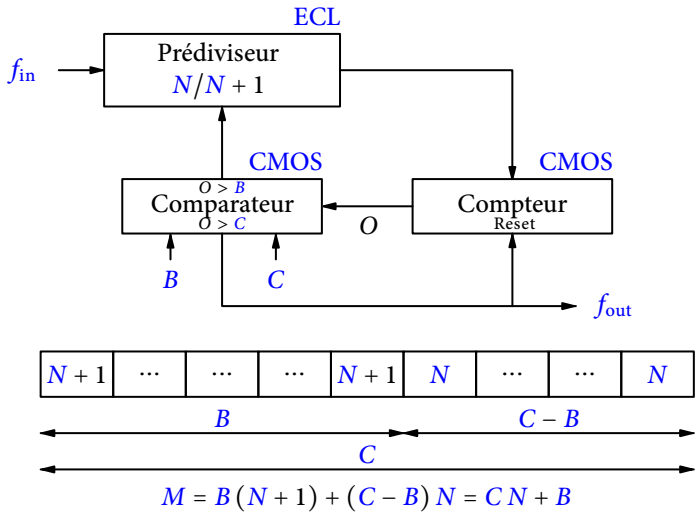

FIGURE 3.11 – Schéma du diviseur numérique programmable à double module et un seul compteur.

« parasitées », on réalise un filtrage qui permet d'obtenir une détection d'erreur de phase la plus juste possible. La figure 3.13 présente la simulation avant et après filtrage.

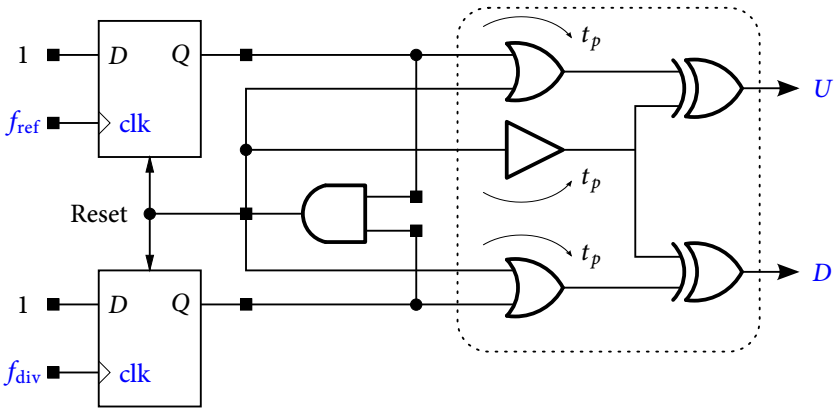

FIGURE 3.12 – Optimisation de la topologie du PFD.

Comme nous l'avons dit précédemment, lorsque la PLL tend vers l'équilibre, le déphasage devient de plus en plus faible et donc les états « hauts » proportionnels à ce déphasage deviennent de plus en plus petits, ce qui implique qu'il faille mettre en place une pompe de charges et un filtre de boucle capable de transmettre l'information, aussi faible soit-elle, au VCO. Cette nouvelle étape est un problème bien connu des concepteurs de synthétiseur de fréquence : la réalisation d'une pompe de charges très précise capable de charger et décharger le filtre en un minimum de temps présente des difficultés sur lesquelles nous nous sommes également penchés.

3.2.2 Pompe de charges

La figure 3.14 présente une synthèse de deux pompes de charges originales que nous avons conçues.

Trois miroirs de courant se succèdent. Celui de gauche crée la référence de courant, celui de droite fournit le courant au filtre, et celui du milieu sert à commuter la commande. L'utilisation de trois miroirs plutôt qu'un seul permet entre autres d'isoler les commutations de la commande de courant, vis-à-vis du filtre d'un côté, et de la référence de l'autre. En pointillés gras, les interrupteurs de blocage et de déblocage du miroir de courant sont mis en évidence. Outre le système de réduction de parasites que nous avons proposé au paragraphe précédent, nous avons imaginé une deuxième technique permettant de nous affranchir non seulement des parasites, mais

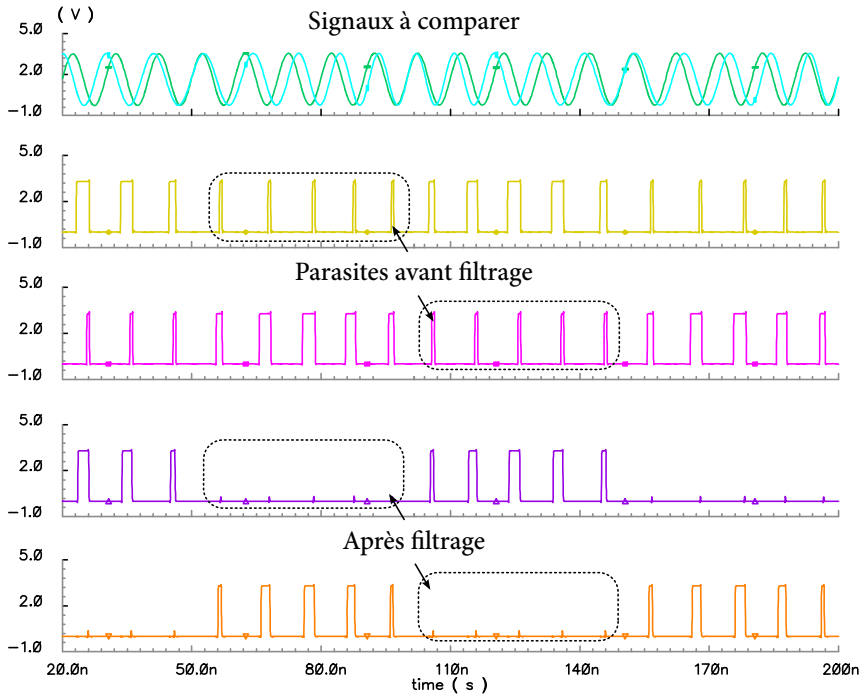

FIGURE 3.13 – Mise en évidence du filtrage des parasites dans le PFD.

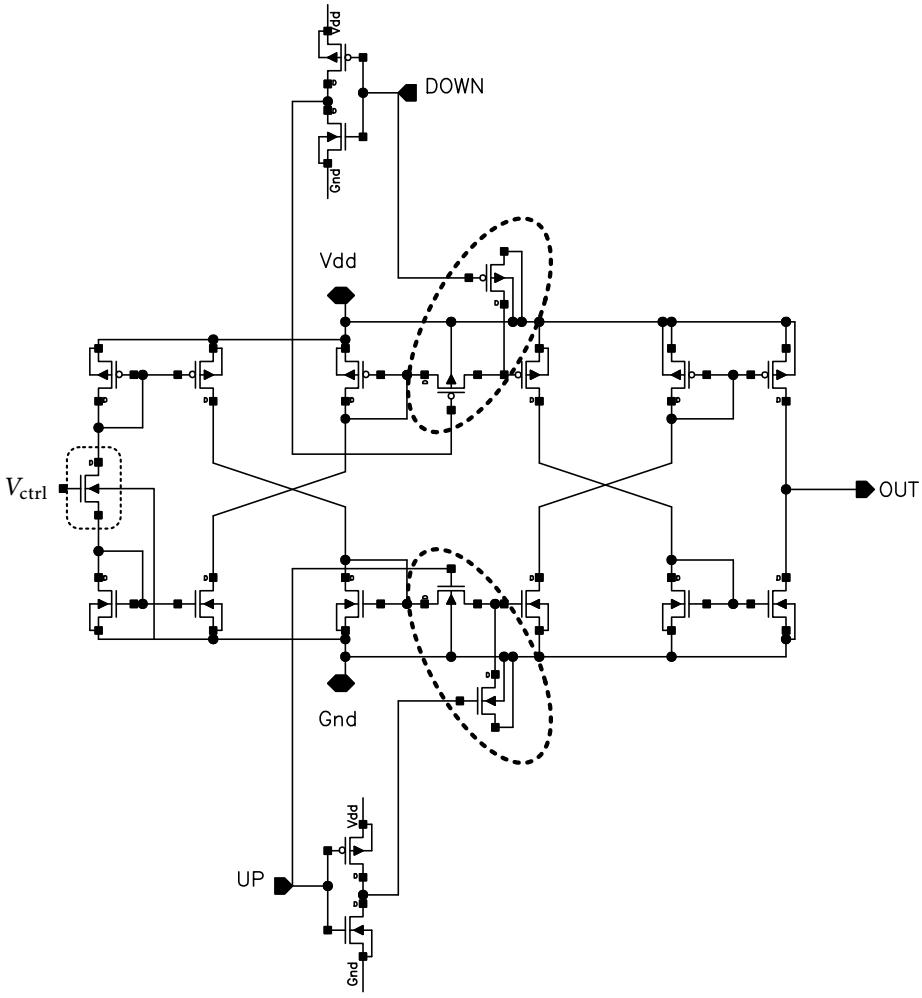

FIGURE 3.14 – Schématique de la pompe de charges à courant variable.

également de la zone morte : cette technique consiste à rendre variable le courant débité par la pompe de charges, de telle sorte qu'autour de l'équilibre (qui est finalement la plus mauvaise configuration pour le fonctionnement du détecteur de phase), les petites modifications de charges nécessaires au filtre se fassent à partir de largeurs d'impulsions suffisamment grandes pour éviter les problèmes de temps de commutation, mais à valeur de courant réduite. Nous avons donc ajouté un NMOS [1] dans la branche du miroir de courant de référence (branche la plus à gauche entouré en pointillés fins). Ce transistor permet, au travers de la tension V_{ctrl} qui lui est appliquée, de contrôler le courant de sortie de la pompe de charge.

La solution que nous suggérons est présentée figure 3.15. Elle consiste en un PFD classique suivi d'un système de contrôle des impulsions et enfin d'une pompe de charges à courant variable. Le bloc de contrôle des impulsions est utilisé pour imposer une durée minimale aux signaux U' et D', et il possède une sortie supplémentaire (V_{ctrl}) qui fournit une tension proportionnelle à leur durée originelle. Le but de ce système est de fournir des impulsions toujours compatibles avec la vitesse de commutation de la pompe de charges et de diminuer le courant qu'elle fournit plutôt que la largeur des impulsions. Le courant de la pompe de charges est contrôlé de sorte que la quantité de charges transférées au filtre soit toujours proportionnelle à la largeur des impulsions.

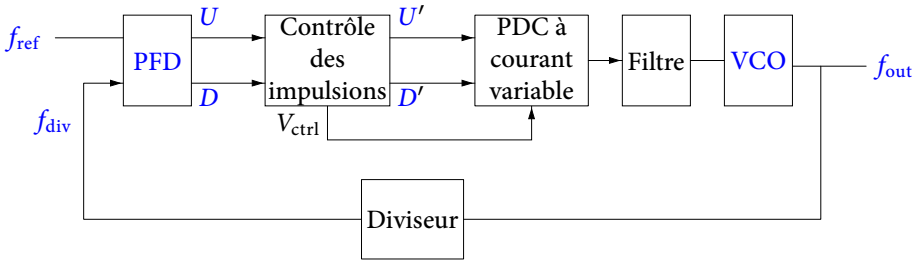

FIGURE 3.15 – Principe d'une PLL basée sur une pompe de charges à courant variable.

La pompe de charges a été réalisée en technologie BiCMOS SiGe:C 0,25 µm. Les mesures statiques du courant de sortie en fonction de la commande (U ou D) et de la tension de contrôle (V_{ctrl}) sont présentées figure 3.16.

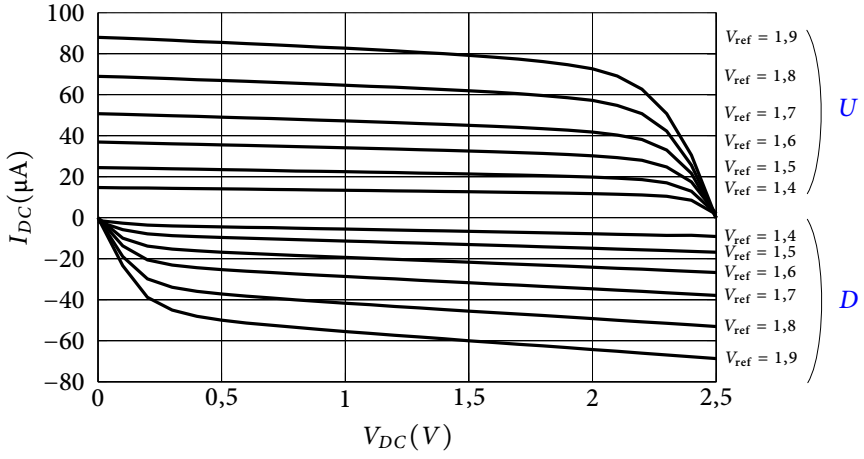

FIGURE 3.16 – Mesures de la pompe de charges à courant variable.

L'utilisation de cette pompe de charges à courant variable dans une PLL peut être vue comme une manière de linéariser la fonction de transfert du couple PFD/pompe de charges autour de l'état d'équilibre, ce qui était notre idée de départ, mais également comme une manière simple de modifier la dynamique de boucle. Ceci permettrait d'avoir une PLL plus versatile en la rendant adaptable en temps réel aux caractéristiques de l'application. Nous n'avons pas, faute de temps, exploré cette voie.

1. Transistor MOS de type n

3.2.3 Numérisation du couple pompe de charges/filtre

Après avoir travaillé sur l'amélioration du couple PFD/pompe de charges, nous avons cherché à numériser l'association pompe de charges/filtre. Afin que la PLL puisse fonctionner à haute fréquence, nous n'avons pas choisi d'implémenter un filtre FIR ou IIR, car la puissance de calcul nécessaire n'était pas compatible avec la volonté d'intégration que nous souhaitions conserver. La solution qui a été retenue a donc consisté à reproduire le fonctionnement d'un filtre analogique le plus simplement possible. Dans son fonctionnement analogique, la pompe de charges envoie un courant positif ou négatif dans le filtre. Ce courant charge ou décharge les capacités et créé des différences de potentiel aux bornes des résistances. Si l'on souhaite simuler ce comportement, il est possible de remplacer les capacités par des accumulateurs et les résistances par des additionneurs. La tentative de numérisation du filtre la plus aboutie à laquelle nous soyons arrivés est présentée figure 3.17 : elle est composée d'un comparateur de phase/fréquence, d'un détecteur d'impulsions (porte OU), d'un filtre numérique et d'un oscillateur contrôlé numériquement. Le fonctionnement global est identique à celui d'une PLL classique, le comparateur de phase crée les signaux U et D en fonction de f_{ref} et f_{div}. Le bloc de détection crée une impulsion dès qu'il détecte la présence de U ou D, ces impulsions contrôlent le registre « Reg » associé à « Add1 » de sorte que V_{acc} soit incrémenté de a si $D = 0$, ou décrémenté de a si $D = 1$. C'est le fonctionnement équivalent à la capacité C du filtre. L'additionneur « Add2 » simule le fonctionnement de la résistance R : si $U = D = 0$ alors $V_r = 0$ et il additionne 0 à la valeur de V_{acc}, $V_{ctrl} = V_{acc}$; si $U = 1$ ou $D = 1$ $V_r = 1$, il ajoute b si $D = 0$ ou retranche b si $D = 1$. Les valeurs de a est de b sont ainsi des équivalents numériques de C et R.

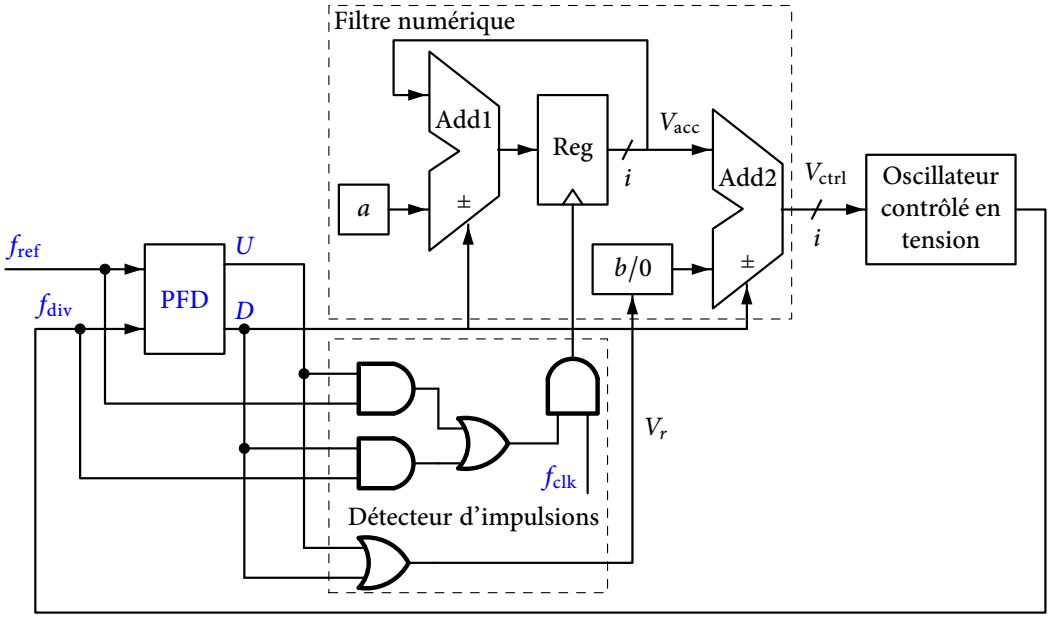

Figure 3.17 – Réalisation d'un filtre numérique linéarisé.

Le fonctionnement est proche de celui d'une PLL classique. Cependant, la simulation [1] de la figure 3.18 montre un problème de linéarité à l'équilibre ainsi que pour les forts écarts. Pour rendre ce système linéaire quand les fréquences de f_{ref} et f_{div} sont *éloignées*, un bloc de détection des impulsions permet de détecter les répétitions de f_{ref} quand $U = 1$ et celles de f_{div} quand $D = 1$ ([2]) afin que la capacité numérique accumule à chaque répétition sans attendre une remise à 0 de U ou D. Pour linéariser le fonctionnement du système quand f_{ref} et f_{div} sont *proches*, une horloge supplémentaire (f_{clk}) est utilisée dans le bloc de détection des impulsions. À condition que la fréquence de f_{clk} soit plus grande que f_{ref} et f_{div}, on a alors un nombre d'impulsions en sortie proportionnel à la différence de phase/fréquence entre les deux signaux en entrée ([3]).

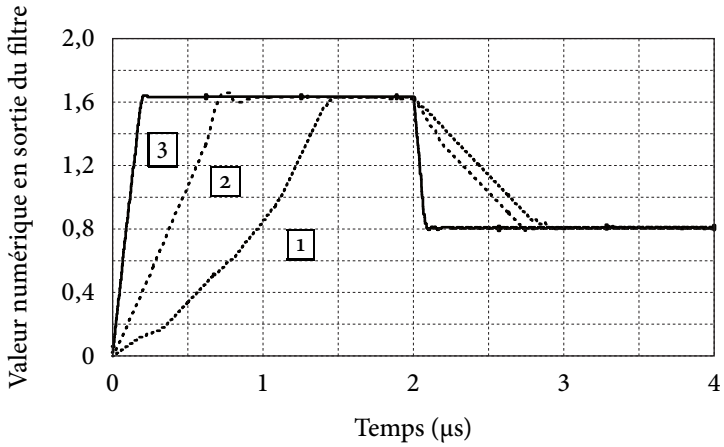

FIGURE 3.18 – Simulation de la PLL totalement numérique.

Les valeurs de *a* et *b* sont modifiables, il est donc possible de contrôler la dynamique de boucle en temps réel. De plus, la surface d'intégration de ce filtre est beaucoup plus faible que celle d'un filtre analogique ou d'un filtre FIR ou IIR. Enfin, le fonctionnement de ce système n'est pas sensible aux variations technologiques.

3.3 Intégration de PLL

Plusieurs PLL ont été intégrées au cours de ces années, en technologie BiCMOS6G (10 GHz et 30 GHz avec tripleur [P4, P5]), BiCMOS7 et BiCMOS7RF. Elles souffrent pour la plupart d'un symptôme récurrent : s'agissant de l'aboutissement de la conception de leurs différents blocs, leur intégration intervenait à chaque fin de thèse en rapport avec elles. Avec les trois mois de délais des RUN [2] technologiques, les aléas de fin de thèse (embauche « prématurée » laissant en chantier un travail pourtant bien avancé), la limitation du nombre de mm^2 pour les ajustements finals, leur validation a toujours été quelque peu chaotique. Et reprendre un travail aussi conséquent qu'une PLL avec un nouveau doctorant, même tenu au courant par l'ancien sur une année de recouvrement de thèse, n'est pas forcément évident, le nouveau considérant quelquefois que ce qui a été fait peut être refait en mieux... Si de plus un changement de technologie intervient, parce que l'ancienne n'est plus disponible, pour une technologie plus performante sur laquelle de nouvelles optimisations doivent être menées, le travail n'est pas loin de repartir de zéro à chaque fois...

3.3.1 La PLL maudite

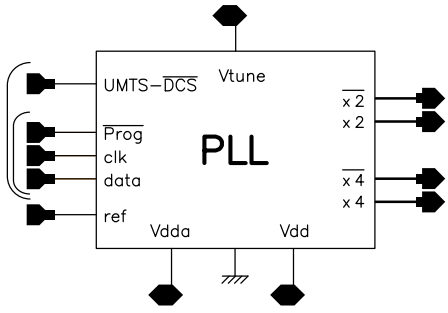

FIGURE 3.19 – PLL conçue dans MOBILIS.

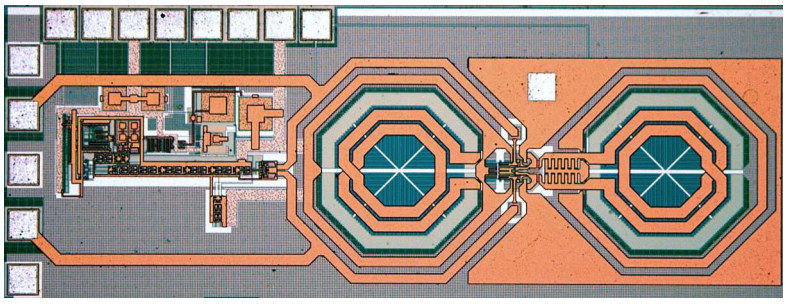

FIGURE 3.20 – Microphotographie de la PLL en BiCMOS7RF.

2. Fabrication d'un circuit intégré

Dans le cadre du contrat MOBILIS, dont nous parlons plus spécialement au chapitre 5, une synthèse de fréquence a dû être réalisée, notamment pour servir de référence à un modulateur ΣΔ, ainsi qu'à un système de mesure sur puce (celui du chapitre 5), pour les standards DCS (1,7475 GHz) et UMTS (1,95 GHz). Le modulateur ΣΔ nécessitait des fréquences égales à quatre fois les fréquences des standards (soit $4 \times 1{,}7475 = 6{,}99$ GHz et $4 \times 1{,}95 = 7{,}8$ GHz), tandis que le système de mesure sur puce dont nous parlons au chapitre suivant les voulait deux fois supérieures (soit $2 \times 1{,}7475 = 3{,}495$ GHz et $2 \times 1{,}95 = 3{,}9$ GHz).

Cette PLL a à peu près fait face à toutes les difficultés. Elle fut conçue à l'origine par un étudiant qui fut recruté avant la fin de son année d'ATER [3]. Reprise et finalisée par mes soins un peu en catastrophe étant donné la nécessité d'essayer d'être efficace en un minimum de temps, elle fut soumise en juillet 2007 au CMP [4] qui acquiesça de sa bonne réception. Au mois de novembre 2007, n'ayant aucune nouvelle, nous nous renseignâmes auprès du CMP qui nous indiqua que la PLL n'avait curieusement pas été incluse sur le RUN, *contrairement* à ce que nous disait le courriel de confirmation que nous avions reçu. Nous avons dû attendre le RUN suivant de début janvier 2008, soit 6 mois de retard. Nous avons envoyé le circuit au CMP la semaine précédant les vacances de Noël 2007, pour lequel aucun retour négatif ne nous a été fait, concernant notamment le DRC. Le 26 décembre (si si...), le CMP nous informe qu'il y a un problème avec une couche spécifique utilisée. Nous passons donc une partie des vacances de Noël 2007 à corriger le dessin de masques pour la date limite du RUN le 3 janvier 2008. Finalement, de retour de « vacances », nous apprenons que le RUN est décalé au 28 janvier (!). Fin janvier, la soumission est faite par le CMP auprès de ST, qui nous informe alors qu'il n'y a plus la surface $X \times Y$ que nous avions pourtant réservée dès le mois de novembre 2007 (nous sommes cette fois là les seuls contributeurs via le CMP). Il faut que nous découpions *in extremis* le circuit, modifiions sa géométrie et supprimions certains blocs pour le faire rentrer dans les nouvelles dimensions, sans bien sûr la possibilité de rétrosimuler quoi que ce soit. L'interface du CMP annonce alors son absence pour une semaine, et nous nous retrouvons en contact direct avec ST pour faire des corrections de dernière minute. On nous fait « gentiment » (...) remarquer que nous sommes les seuls à utiliser un dernier niveau de métal en aluminium, et qu'*à cause* de nous, il va falloir processer l'option alors que ST aurait pu l'économiser : c'est pourtant un personnel de ST qui nous avait suggéré quelques mois auparavant qu'il valait mieux utiliser l'aluminium plutôt que le cuivre sur le dernier niveau, parce qu'on n'était pas sûr que l'option cuivre serait tout le temps disponible... Bien sûr, nous aurions largement préféré le cuivre. Nous avons dû nous rabattre sur l'aluminium, et finalement on nous fait comprendre que l'on a mal fait. La puce part finalement en fonderie tant bien que mal. Pour couronner le tout, fin mars on nous informe qu'une étape technologique est défectueuse et qu'elle doit être refaite : un mois de délai vient donc se rajouter au retard déjà accumulé.

La PLL elle-même a refusé de se verrouiller et nous avons difficilement situé le problème. Difficilement, car comme nous avons dû supprimer des blocs de tests lors de ce RUN, trouver le ou les blocs défectueux a été particulièrement délicat. Nous n'avions entre les mains qu'une PLL « clef-en-main » (afin que les partenaires de MOBILIS aient le minimum de travail pour l'inclure dans le démonstrateur principal), avec une seule alimentation et une référence d'entrée requises, tout le reste étant préprogrammé. Les degrés de liberté pour piloter cette PLL en cas de défaillance étaient donc réduits : possibilité de contourner les préprogrammations internes (au cas où le rapport de division préprogrammé n'est pas celui attendu), et possibilité de découpler les alimentations des parties analogiques et des parties numériques, à condition de découper au laser une piste métallique de niveau 5 dessinée de telle sorte qu'elle soit facilement accessible à la découpe. Les aléas du projet ont fait que cette synthèse de fréquence n'a pas fait partie du démonstrateur et que nous n'avons alors pas exploité ces ultimes recours.

3. Attaché Temporaire d'Enseignement et de Recherche
4. Circuits multiprojets

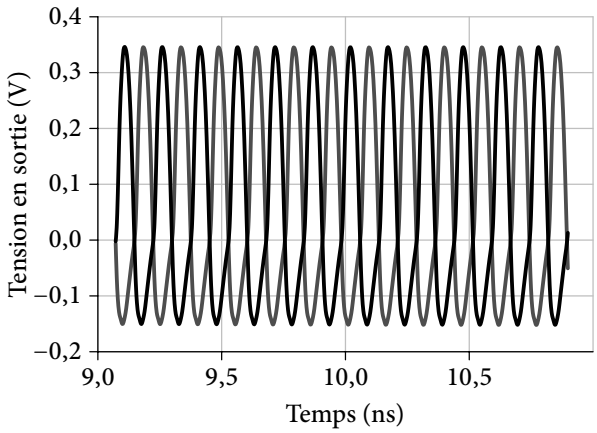

FIGURE 3.21 – Mesure temporelle du VCO.

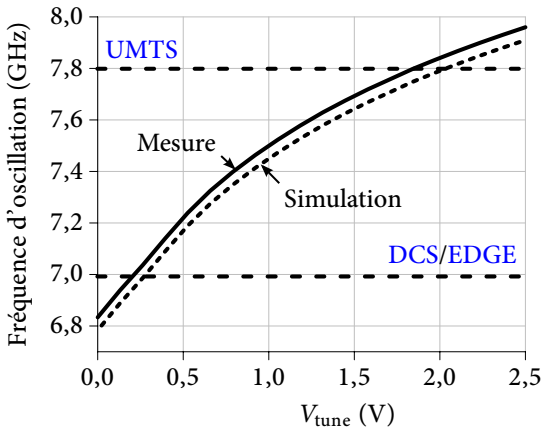

FIGURE 3.22 – Couverture des normes UMTS et DCS/EDGE par le VCO.

Cependant, l'oscillateur fonctionne et couvre la gamme de fréquences demandée (figures 3.21 et 3.22), et la sortie de la pompe de charges accessible sur un plot bascule lorsque nous changeons la fréquence de la référence par rapport à la fréquence autonome du VCO, ce qui tend à indiquer que le diviseur et le comparateur ne sont pas figés.

3.3.2 Une PLL fonctionnelle

La figure 3.24 représente les mesures d'une PLL dans laquelle un diviseur programmable à un seul compteur (fig. 3.11) a été utilisé en lieu et place du traditionnel double décompteur à échappement (§ 1.5.4), réalisée en technologie BiCMOS7RF, et pour un rapport de division de 1024, la fréquence de référence variant de 9,4 MHz à 10,08 MHz par pas de 40 kHz, et la fréquence en sortie entre 9,625 GHz et 10,321 GHz. Elle fonctionne à 10 GHz pour une consommation de 310 mW.

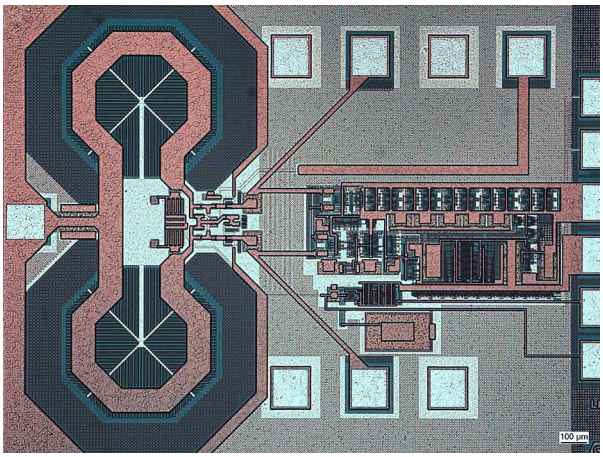

FIGURE 3.23 – Microphotographie de la PLL en BiCMOS7RF.

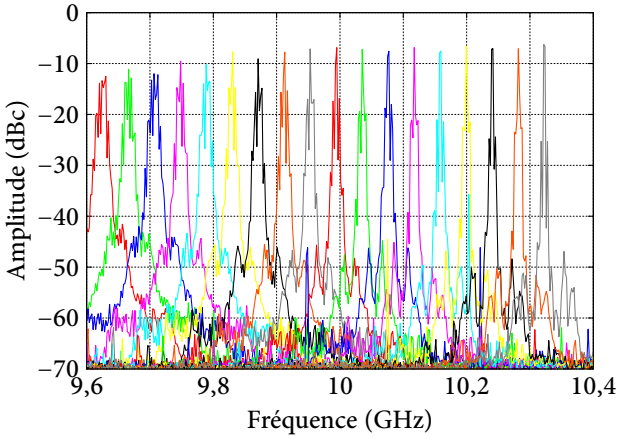

FIGURE 3.24 – Mesure de la PLL en BiCMOS7RF.

3.4 Conclusion

Ce chapitre a permis de faire le tour des différentes solutions que nous avons apportées à quelques défauts classiques des éléments de la PLL à partir de topologies originales que nous avons mises au point, aussi bien sur les diviseurs de fréquence, que sur les comparateurs phase/fréquence, les pompes de charges ou les filtres

de boucles. Il s'agissait pour la plus grande partie de nos premières excursions dans le domaine du numérique hyperfréquence. En particulier, un fonctionnement plus haut en fréquence et une simplification de schématique caractérisent nos diviseurs, tandis qu'une réduction des phénomènes parasites et de la zone morte caractérise nos détecteurs phase/fréquence et nos pompes de charges.

Suite à ce travail, nous nous sommes intéressés à la numérisation du VCO, qui restait le dernier élément analogique de la boucle, ce qui nous a amenés à travailler sur les DDS. Dans une PLL il peut être utilisé comme un oscillateur contrôlé numériquement, mais aussi comme un diviseur de fréquence, en particulier un diviseur fractionnaire (§ 1.6.4). Nous n'avons pas limité notre approche du DDS à ces seules applications, étant donné qu'il s'agit d'une fonction beaucoup plus versatile. C'est pour cela que nous lui consacrons un chapitre entier.

Données diverses

- Doctorants principaux : Mathilde Sié (encadrée à 100 %) - Stéphane Thuries (encadré à 100 %)
- Contrats principaux : CNES [5], MOBILIS
- Collaborations : ST, DGA [6]

5. Centre National de la Recherche Spatiale
6. Direction générale de l'armement

Références bibliographiques du chapitre 3

Références générales

[G1] F. DULGER et E. SANCHEZ-SINENCIO. « Design Considerations in a BiCMOS Dual-Modulus Prescaler ». Dans : *2002 IEEE Radio Fequency Integrated Circuits Symposium*. 2002, p. 117–180 (cf. p. 63).

[G2] P. LARSSON. « High-Speed Architecture for a Programmable Frequency Divider and a Dual-Modulus Prescaler ». Dans : *IEEE Journal of Solid-State Circuits* 31.5 (mai 1996), p. 744–748 (cf. p. 63).

Références personnelles

[P1] É. TOURNIER, M. SIÉ et J. GRAFFEUIL. « A 14,5 GHz-0,35 µm frequency divider for dual-modulus prescaler ». Dans : *2002 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*. Seattle (USA), 2002, p. 227–230 (cf. p. 63).

[P2] M. SIÉ, G. CIBIEL, É. TOURNIER, R. PLANA et J. GRAFFEUIL. « High-speed, spurious-free sequential phase frequency detector and dual-modulus prescalers for RF frequency synthesis ». Dans : *IEEE Radio frequency Integrated Circuits Symposium (RFIC), Philadelphia (USA)*. Juin 2003 (cf. p. 63, 65).

[P3] É. TOURNIER, M. SIÉ et J. GRAFFEUIL. « High-Speed Dual-Modulus Prescaler Architecture for Programmable Digital Frequency Divider ». Dans : *Electronics Letters* 37.24 (nov. 2001), p. 1433–1434 (cf. p. 63).

[P4] A. COUSTOU, D. DUBUC, J. GRAFFEUIL, É. TOURNIER, O. LLOPIS, C. BOULANGER, R. PLANA et V. LEGOASCOZE. « A BiCMOS SiGe low phase noise tunable 30 GHz RF source using a frequency tripler and a VCO ». Dans : *IEEE 2003 Bipolar/BiCMOS Circuits and Technology Meeting (BCTM'2003)*. Toulouse (France), 2003, p. 53–56 (cf. p. 70).

[P5] A. COUSTOU, M. SIÉ, D. DUBUC, J. GRAFFEUIL, É. TOURNIER, O. LLOPIS, R. PLANA et C. BOULANGER. « Frequency synthesis from 2 to 30 GHz using a 0.35 µm BiCMOS SiGe technology ». Dans : *33rd European Microwave Conference (EuMC'2003)*. Munich (Allemagne), 2003, p. 395–398 (cf. p. 70).

Chapitre 4

La synthèse de fréquences micro-ondes : la voie *numérique*

Dans le cadre de la numérisation des éléments de la PLL du chapitre 3, la numérisation du VCO nous a conduits à nous intéresser au NCO, et plus particulièrement au DDS dont il s'agit d'une des nombreuses configurations possibles. Mais la fonction première du DDS, ainsi que l'exprime son nom, est la synthèse de fréquences, numérique, et directe. Nous avons avec lui un principe de fonctionnement *intrinsèquement* numérique, au contraire de la synthèse basée sur une PLL pour laquelle tous les éléments ne sont « que » numérisés, et doivent coller aux fonctionnalités analogiques originelles bien identifiées de la PLL. Pour dépasser certaines limites convenues, il est courant de devoir reconsidérer totalement une architecture, plutôt que de chercher à maintenir une compatibilité rétroactive avec une autre plus ancienne même si elle a fait ses preuves. Ce n'est qu'au prix d'une certaine rupture que les performances peuvent quelquefois progresser, quand on arrive aux limites d'une famille d'architectures donnée.

Le DDS est un système de synthèse de signaux qui, de par son fonctionnement numérique, possède une grande agilité pour manipuler l'amplitude, la phase et la fréquence (§ 1.6). Il en existe un grand nombre de réalisations, cependant peu d'entre elles fonctionnent dans le domaine des micro-ondes, ou bien quand elles le font, c'est au prix d'une consommation affolante de plusieurs watts voire dizaines de watts, en particulier pour les réalisations sur des technologies InP qui battent tous les records de vitesse à plusieurs dizaines de gigahertz [G1, G2]. Mais qui, à part sans doute les militaires, peut aussi facilement fermer les yeux sur ce problème flagrant de consommation ? Les réalisations silicium quant à elles ne sont pas légion, fonctionnent à trop basse fréquence et ne laissent pas non plus entrevoir de solutions permettant de réduire considérablement la consommation. La faute incombe à la mémoire (§ 1.6.6), contenant les échantillons du signal à mesurer. Elle draine à elle seule la plus grosse partie de la consommation, tout en empêchant un fonctionnement à vitesse élevée. Pourtant, à lire les caractéristiques du DDS (§ 1.6), on ne peut qu'être séduit et vouloir à tout prix son application aux systèmes de télécommunications micro-ondes.

Nous abordons dans ce chapitre la conception des trois blocs d'un DDS hyperfréquence, créé avec l'objectif premier de résoudre les problèmes identifiés des versions de la littérature scientifique : d'abord l'accumulateur de phase et la logique mixte ECL/CMOS multiniveaux qui le constitue, ensuite le convertisseur numérique/analogique à sources de courant commutées, enfin un convertisseur phase/amplitude en totale rupture avec les structures habituelles, permettant à la fois une réduction drastique de la consommation, et un fonctionnement haute fréquence.

Disons-le clairement, développer une activité de conception sur les DDS micro-ondes, *a fortiori* sur technologie silicium, ne fut pas une mince affaire. Aucun des organismes avec lesquels nous avions pu travailler précédemment ne semblait véritablement motivé à débloquer une ligne de crédit (CNES, Alcatel, DGA, ST Microelectronics...). Tout au plus avons-nous généreusement eu droit à une réponse du type : « Si si ça nous intéresse de savoir ce que ça peut donner, recontactez-nous quand vous aurez les premiers résultats... ». Certes, et en attendant on les finance avec quoi nos millimètres carrés de silicium pour faire du prototypage ? Que faire quand nos certitudes nous poussent à lancer une activité, mais que chercher à convaincre des partenaires nous demanderait d'y passer des journées entières avec à la clef sans doute plus de sueur et de temps perdu que de réel succès ? Lors d'une de mes tentatives de montage de projet sur un sujet DDS, j'ai même dû affronter un jury avec à sa tête un président doté d'une capacité de mauvaise foi absolument faramineuse ; autre laboratoire, concurrence « oblige », devoir d'impartialité oublié... Si l'on ajoute à cela que la personne devant m'aider à soutenir le projet avait dû se faire remplacer, et que son remplaçant n'avait visiblement pas été mis au courant qu'il était là pour me soutenir... Bref, le monde de la recherche n'est assurément pas fait pour le petit chercheur lambda dont l'embryon d'idée ne convainc personne, parce que toutes les réalisations du moment partagent les mêmes inconvénients majeurs qu'il semble impossible de vaincre.

J'ai cependant eu raison de persévérer : nous fûmes les premiers au monde à concevoir un DDS silicium capable de fonctionner au-delà du domaine RF, et surtout avec une consommation excessivement faible au regard des DDS de la littérature. De plus, à force de pousser le DDS dans ses retranchements, un mode de fonctionnement *a priori* parasite nous apparut, qui se révéla être particulièrement intéressant, en fait tellement intéressant que l'idée a été brevetée.

4.1 Intégration d'un DDS en technologie BiCMOS SiGe:C

Une optimisation de la consommation et de la vitesse d'un DDS passe par une optimisation voire un remplacement du CPA, véritable talon d'Achille de la structure, ainsi que par une conception attentive de la logique utilisée. La première originalité proposée a été d'utiliser une logique *multiniveaux* mixte ECL/CMOS qui permet de cumuler les deux avantages que sont une grande vitesse de fonctionnement et une consommation limitée, afin de réaliser l'accumulateur de phase qui après modification du CPA devient l'étage critique du DDS. Les opérations ne s'effectuent plus toutes en série les unes des autres en cumulant leur temps de propagation, mais certaines s'effectuent en parallèle, en « empilant » les opérations logiques sur toute la dynamique de tension.

4.1.1 Additionneur

Afin de limiter la consommation ainsi que la complexité d'implémentation, nous avons choisi d'utiliser une structure du type additionneur à propagation de retenue (§ 1.6.5). En effet, l'utilisation d'un grand nombre de bascules D pour réaliser un accumulateur à structure « pipeline » augmenterait fortement la complexité d'intégration et rendrait particulièrement difficile le maintien de l'intégrité des signaux d'horloge. Une implémentation des équations (1.25) et (1.26) en logique multi niveaux est donnée figure 4.1.

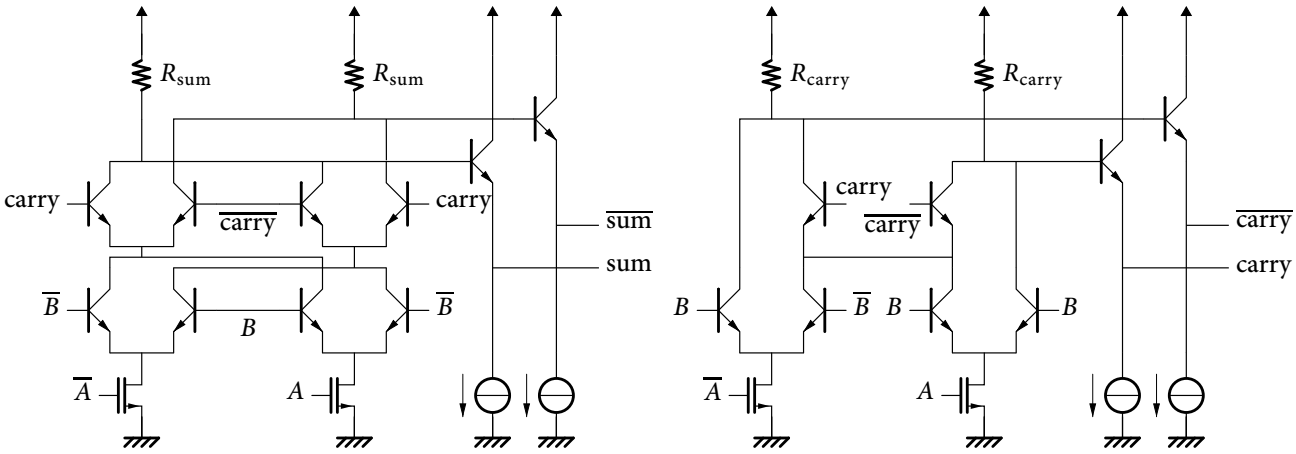

Figure 4.1 – Additionneur en logique multiniveaux – Somme (sum) et retenue (carry).

L'originalité de cette implémentation réside dans les sources de courant commandées. Elles sont réalisées avec des transistors NMOS qui permettent de remplacer une paire différentielle de transistors bipolaires ainsi que la source de courant associée comme illustré figure 4.1. Ceci permet de réduire la consommation grâce à la diminution de la tension d'alimentation tout en préservant la vitesse de propagation de la retenue. En effet, la tension drain-source nécessaire pour que le transistor NMOS soit correctement polarisé est de seulement quelques centaines de mV alors qu'il faut presque 1,4 V pour un transistor bipolaire et sa source de courant.

4.1.2 Accumulateur de phase

Avant de réaliser un DDS complet, nous avons validé le fonctionnement d'un accumulateur basé sur la structure décrite précédemment. Pour ce faire, un accumulateur de phase 3-bits a été développé puis réalisé en technologie BiCMOS SiGe:C 0,25 µm de ST Microelectronics. Les résultats de simulation ont montré une fréquence de fonctionnement maximale de 16 GHz pour l'accumulateur de phase 3-bits [P1]. La microphotographie de l'accumulateur 3-bits est présentée figure 4.2. Il possède deux entrées numériques pour les deux bits de poids faibles, le bit de poids fort étant connecté au niveau logique 0 de façon matérielle. Il y a donc quatre programmations possibles 00, 01, 10 et 11 qui représentent respectivement les valeurs 0, 1, 2, 3. Ces quatre programmations génèrent autant de cycles caractéristiques. L'accumulateur étant de 3 bits, il possède 8 (= 2^3) codes possibles en sortie, sa période propre est donc de 8 cycles d'horloge. Le tableau 4.1 contient les trois cycles correspondants aux trois valeurs possibles en entrée 1, 2, 3, la valeur 0 ne faisant pas changer la sortie.

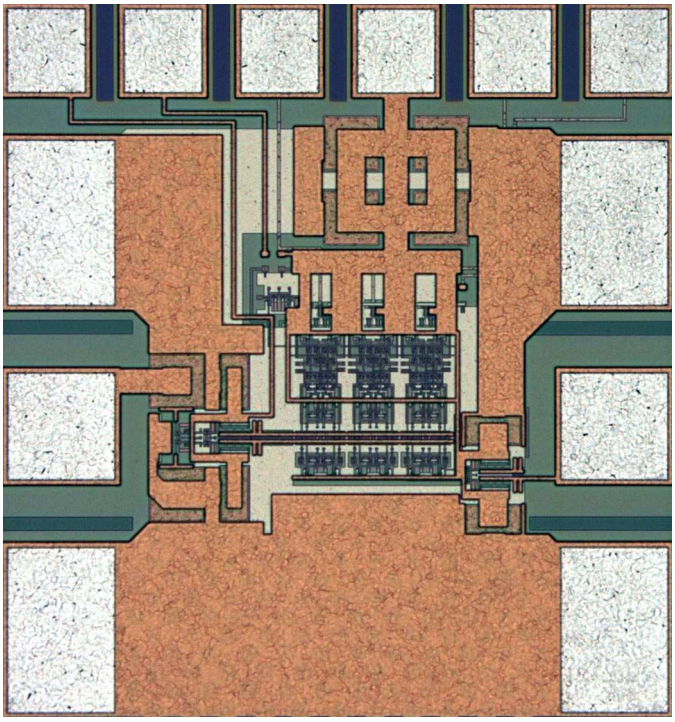

FIGURE 4.2 – Microphotographie de l'accumulateur 3-bits en BiCMOS7RF.

TABLEAU 4.1 – Cycles des valeurs en sortie de l'accumulateur en fonction de la programmation.

$a_0\,a_1$	01		10		11	
init	0	000	0	000	0	000
	1	001	2	010	3	011
	2	010	4	100	6	110
	3	011	6	110	1	001
	4	100	0	000	4	100
	5	101	2	010	7	111
	6	110	4	100	2	010
	7	111	6	110	5	101

Comme il est difficile de mesurer simultanément plusieurs signaux numériques à très haute fréquence, nous avons choisi de n'étudier que le bit de poids fort : tout en étant celui qui évolue le plus lentement, il permet à lui seul de valider le fonctionnement de l'accumulateur, car il dépend de toutes ses opérations logiques internes.

Les courbes obtenues pour les trois programmations sont présentées figure 4.3. On retrouve bien les trois cycles correspondant aux trois programmations possibles. La fréquence du signal du bit de poids fort est donnée par la même formule que pour un DDS complet (équation (1.23)). La consommation de l'accumulateur seul (étage de sortie exclu) est de 76 mW.

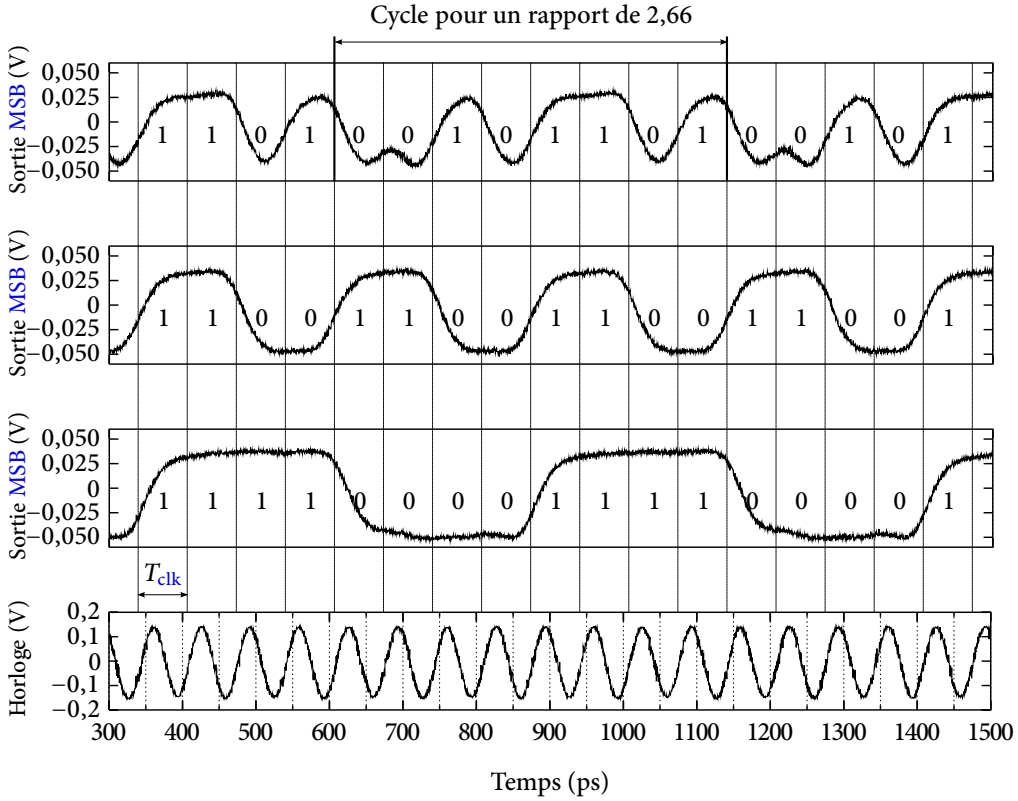

Figure 4.3 – Signaux en sortie de l'accumulateur en fonction de la programmation à 15 GHz.

4.1.3 Convertisseur numérique/analogique

Le convertisseur numérique/analogique est un bloc important dans un DDS, car la qualité des signaux va dépendre, pour une grande part, de ses caractéristiques. Toute imperfection introduit des déformations sur le signal. Le DDS qui doit utiliser ce CNA a pour but de générer des signaux jusqu'à 4 GHz. Il devra donc fonctionner en entrée jusqu'à 8 GHz. Seule la structure à sources de courant commutées présentée en (§ 1.6.8) a permis d'atteindre ces fréquences, que nous avons donc retenue sur 8-bits (figure 1.23).

Cette structure repose sur deux blocs de base : les sources de courant et les interrupteurs. Le choix des sources de courant est crucial pour les caractéristiques du CNA. Il y a trois paramètres principaux dont il faut tenir compte :

- la structure électrique de la source : elle doit être choisie en fonction de plusieurs paramètres qui sont principalement la précision du miroir, l'impédance de sortie, la tension appliquée : une structure cascode a ainsi été choisie ;
- la technique de réalisation de la proportionnalité entre les sources, dont dépendront les non-linéarités : la méthode la plus simple consisterait à utiliser des transistors dont la taille est proportionnelle au courant désiré, mais la mise en parallèle de plusieurs sources unitaires permet de garantir un bien meilleur appariement et donc proportionnalité entre les sources.
- les techniques de protection face aux variations technologiques : afin de lutter contre les dispersions, il faut répartir le plus uniformément possible les sources de manière à ce que leur environnement proche

soit identique. Cependant, la complexité des interconnexions qui en découle n'est pas compatible avec la réalisation d'un CNA fonctionnant à haute fréquence. Nous avons donc choisi d'utiliser une disposition qui respecte une symétrie centrale un peu plus simple comme le montre la figure 4.4. Les huit sources unitaires utilisées pour réaliser la source du bit de poids faible sont situées au centre de la matrice. Les sources des autres bits sont situées de part et d'autre de celle-ci. Cette structure permet de lutter efficacement contre les variations des caractéristiques des composants liées à leurs positions. En effet, deux composants placés de part et d'autre et à égale distance du centre de la matrice subiraient des variations opposées qui se compenseraient. La matrice comporte 3010 sources unitaires dont 2040 sont utilisées pour réaliser les sources de courant du CNA, et 970 sont utilisées comme éléments factices (« Dummies ») pour limiter les effets de bord.

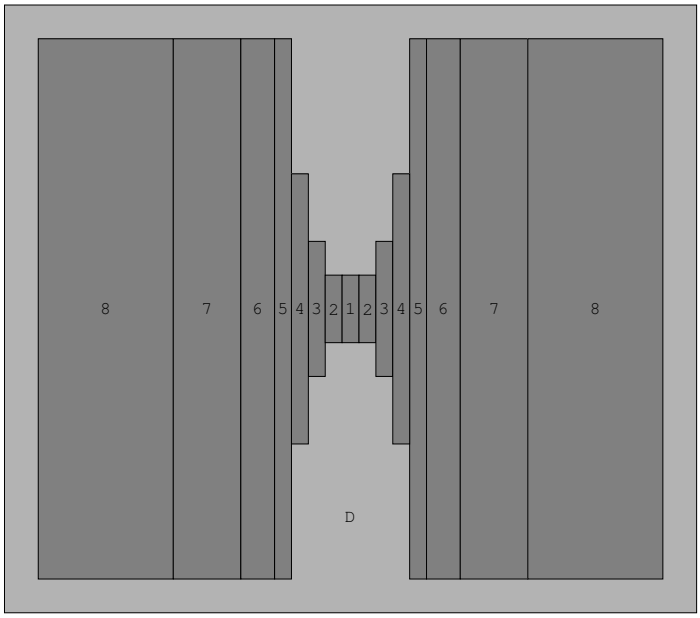

FIGURE 4.4 – Disposition du CNA 8-bits à sources de courant commutées.

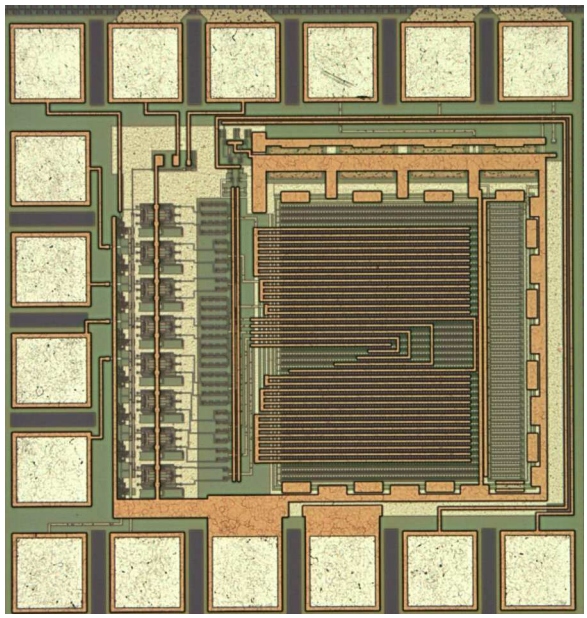

FIGURE 4.5 – Microphotographie du CNA 8-bits.

La photographie du convertisseur réalisé est présentée figure 4.5. Nous avons donc choisi de limiter nos tests aux caractéristiques DC du CNA sachant que les caractéristiques dynamiques seront testées via le DDS complet. La figure 4.7 représente la sortie du CNA en fonction du code en entrée pour le réglage par défaut. L'amplitude de ce signal est de 130 mV, ce qui correspond à la valeur optimale pour piloter la paire différentielle (§ 4.1.4) : un système de réglage a été prévu pour le gain du CNA. Les erreurs de non-linéarité intégrale et différentielle sont, quant à elles, directement liées aux variations technologiques lors de la réalisation de la puce. Les résultats de ces mesures sont présentés sur la figure 4.6, elles sont toutes les deux légèrement supérieures à ±0,5LSB.

4.1.4 Convertisseur phase/amplitude

Le CPA a un rôle critique étant donné que sous ses formes habituelles, c'est lui qui limite les performances du DDS que l'on cherche justement à dépasser (§ 1.6.6). Nous avons introduit notre chapitre en parlant du DDS comme d'une architecture *intrinsèquement* numérique, susceptible de dépasser les limitations habituelles des PLL numériques basées sur un principe *originellement* analogique. Ce serait un comble d'en prendre le contre-pied en disant que nous avons choisi de réaliser de manière *analogique* cette conversion phase/amplitude. C'est pourtant bien ce que nous avons fait, démontrant par là même une certaine ouverture d'esprit... De là à parler,

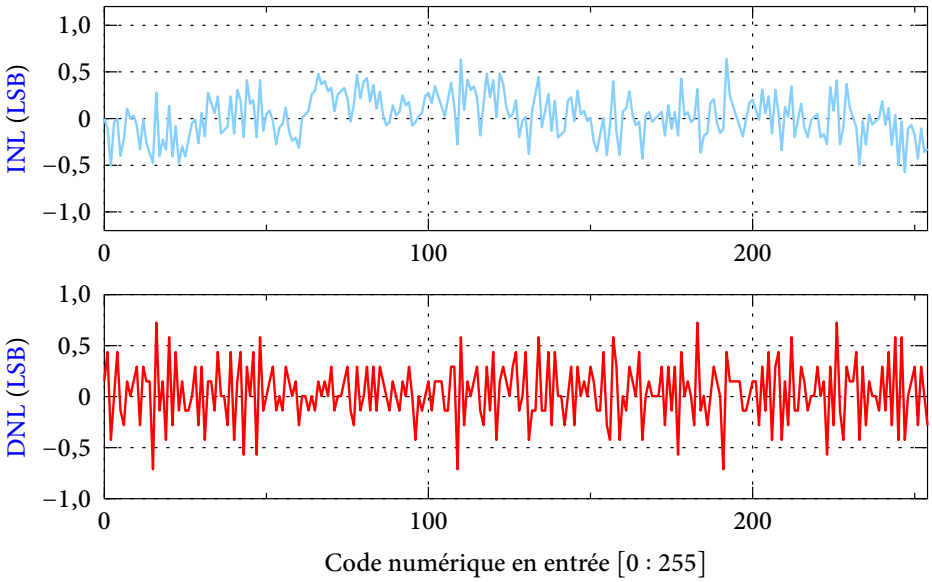

Figure 4.6 – Non-linéarité intégrale et différentielle du CNA.

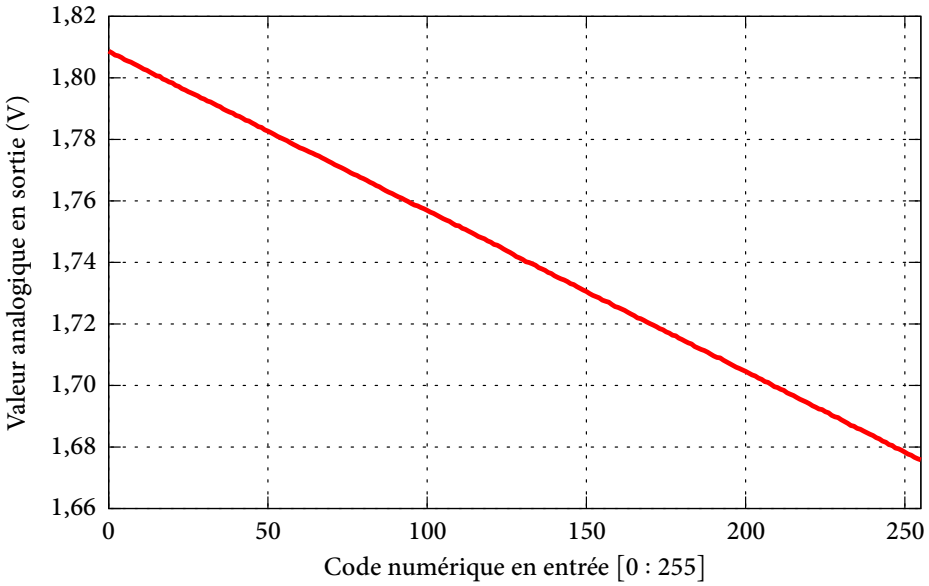

Figure 4.7 – Fonction de transfert DC du CNA.

après la « numérisation », d'« analogisation » de fonction, il y a un pas que nous ne franchirons pas...

En fait, la synthèse de fréquences doit naturellement fournir une forme d'onde analogique au final. Au lieu que cette conversion soit réalisée en toute fin de synthèse, linéairement, et sur une forme numérique déjà formatée comme cela est le cas habituellement, nous avons choisi de la réaliser un peu plus tôt dans l'architecture, sur une forme numérique plus simple (un triangle) et de la faire suivre par une mise en forme non linéaire analogique finale via une paire différentielle de transistors bipolaires (figure 4.8). Un signal triangulaire est appliqué à la paire différentielle qui l'incurve jusqu'à obtenir une forme quasi sinusoïdale à partir du comportement exponentiel de la paire différentielle. La « qualité » de cette conversion est principalement liée à l'amplitude du triangle, mais aussi aux paramètres des composants qui constituent le système. La fonction de transfert de la paire différentielle est bien connue (figure 4.9), elle peut être obtenue à partir de l'expression des courants de base des transistors :

$$V_{\text{out}} = V_{\text{dd}} - \frac{R\,I}{2}\left[1 + \tanh\left(\frac{V_d\,q}{2\,k\,T}\right)\right] \tag{4.1}$$

où R est la valeur des résistances de collecteur, I le courant de polarisation et V_d la tension différentielle appliquée. Cette technique donne de très bonnes performances qui seront confirmées par les mesures, surtout au regard des économies en consommation et surface d'intégration, et à l'augmentation de fréquence dès lors autorisées.

De nombreuses simulations ont été effectuées afin de déterminer les valeurs optimales d'excursion en tension visant à réduire la contribution des harmoniques afin d'obtenir une sinusoïde la plus parfaite possible [P2].

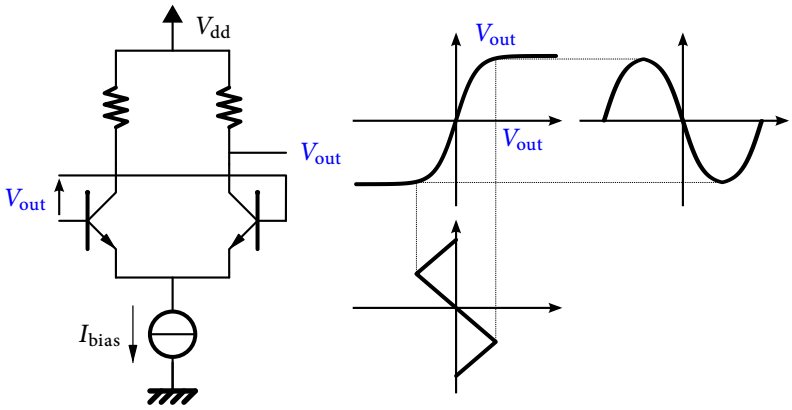

FIGURE 4.8 – Étage différentiel.

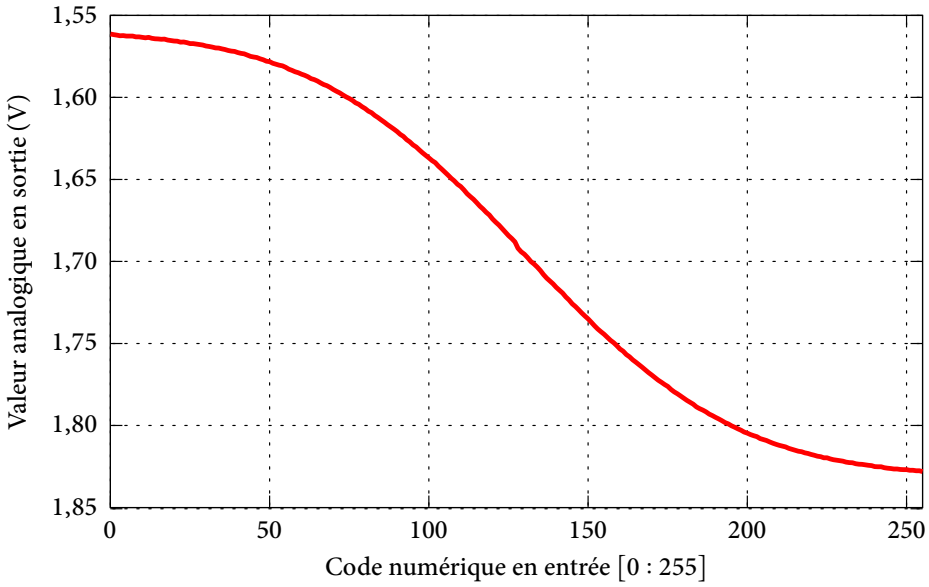

FIGURE 4.9 – Fonction de transfert DC de l'étage différentiel.

4.1.5 DDS complet

Le DDS complet est construit autour d'un accumulateur de phase 9-bits dont le bit de poids fort est utilisé par un inverseur commandé pour inverser les 8 autres bits et obtenir un signal triangulaire (figure 1.19). L'inverseur commandé est constitué de huit portes OU-exclusif et chacune d'entre elles a une entrée reliée au bit à inverser, et l'autre au bit de poids fort de l'accumulateur. Ce signal numérique est ensuite converti en signal analogique par un CNA 8-bits à sources de courant commutées, puis il est transformé en quasi-sinusoïde par la paire différentielle de transistors bipolaires. Ce DDS a été réalisé en technologie BiCMOS SiGe:C 0,25 µm (figure 4.10 et tableau 4.2) [P2].

Le DDS est fonctionnel jusqu'à 6 GHz et consomme 308 mW. L'accumulateur 9-bits permet de générer 256

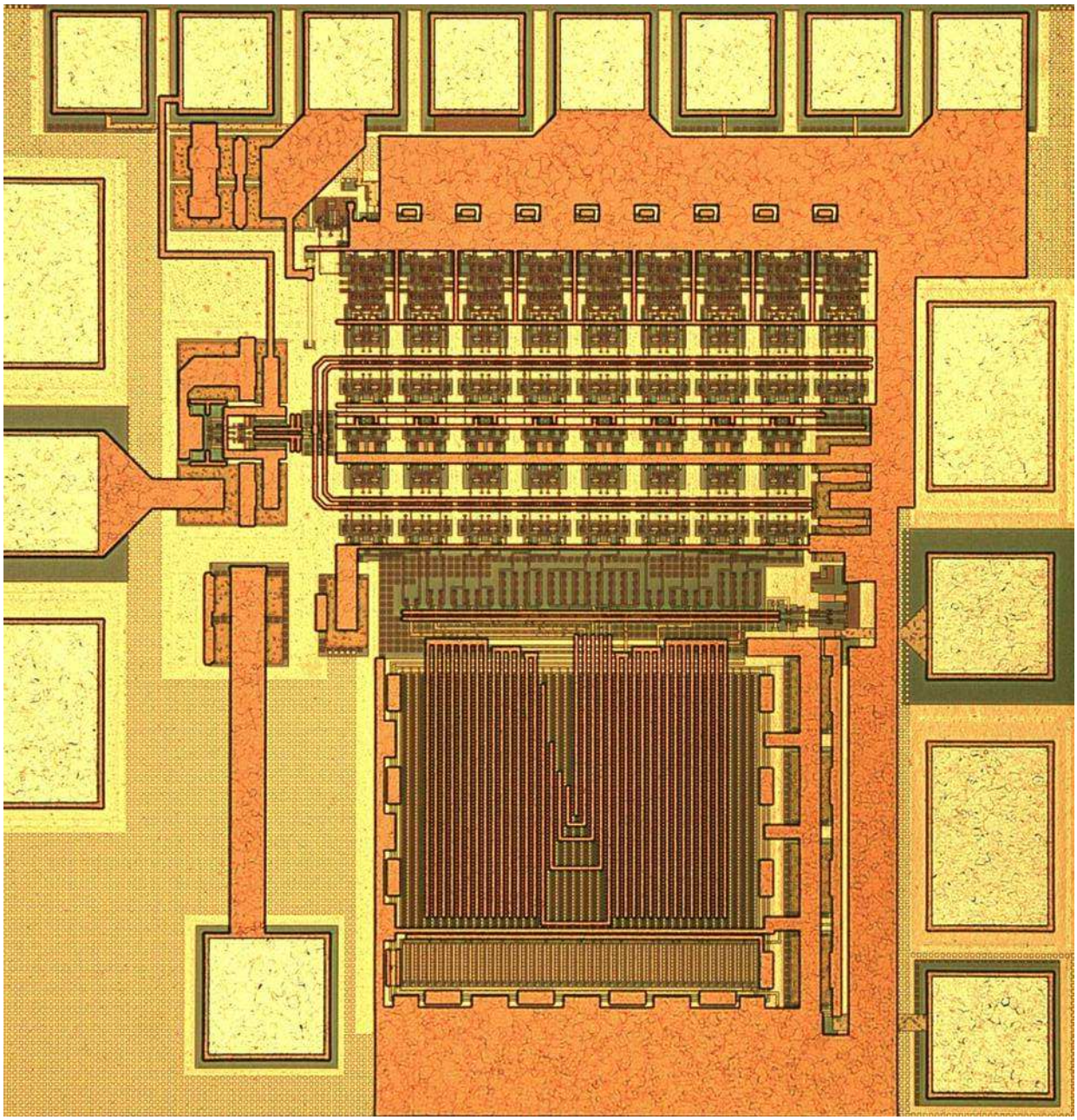

FIGURE 4.10 – Microphotographie du DDS en BiCMOS7RF.

TABLEAU 4.2 – Répartition des composants dans les différents blocs du DDS.

Bloc	MOS	Bipolaires	Résistances
Buffer d'entrée	150	10	8
Accumulateur de phase	144	306	72
Inverseur commandé	24	64	16
Registre	68	112	32
Convertisseur N/A	6892	92	2
Paire différentielle	2	4	4
Total	7280	588	134

fréquences différentes réparties (pour f_{clk} = 6 GHz) entre 11,718 MHz et 2988,28 MHz par pas de 11,718 MHz. Les formes d'ondes et les spectres correspondants sont respectivement présentés figure 4.11 et figure 4.12.

Généralement, on considère qu'un DDS n'est utilisable que pour une fréquence en sortie inférieure à 40%

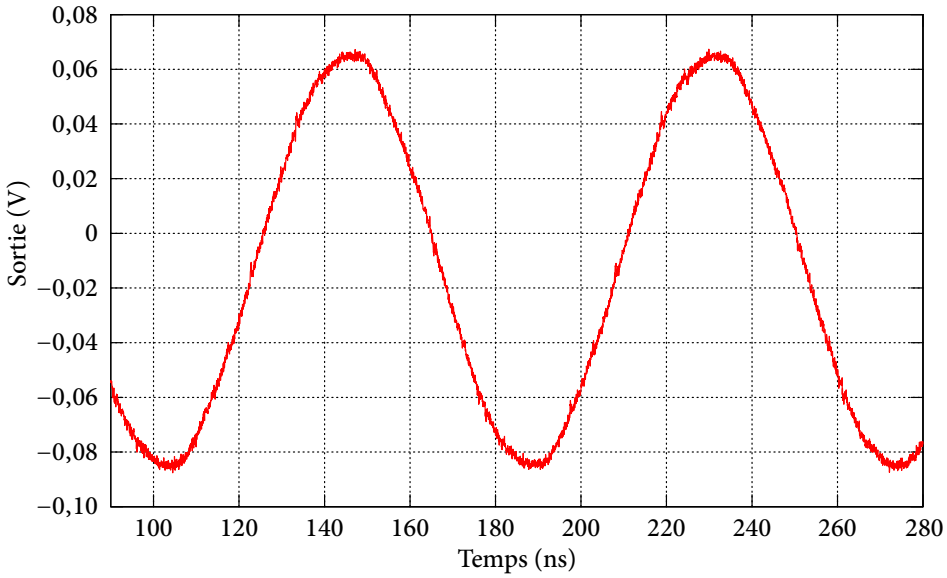

FIGURE 4.11 – Courbe de sortie du DDS : f_{clk} = 6 GHz, MCF = 1, f_{out} = 11,718 MHz.

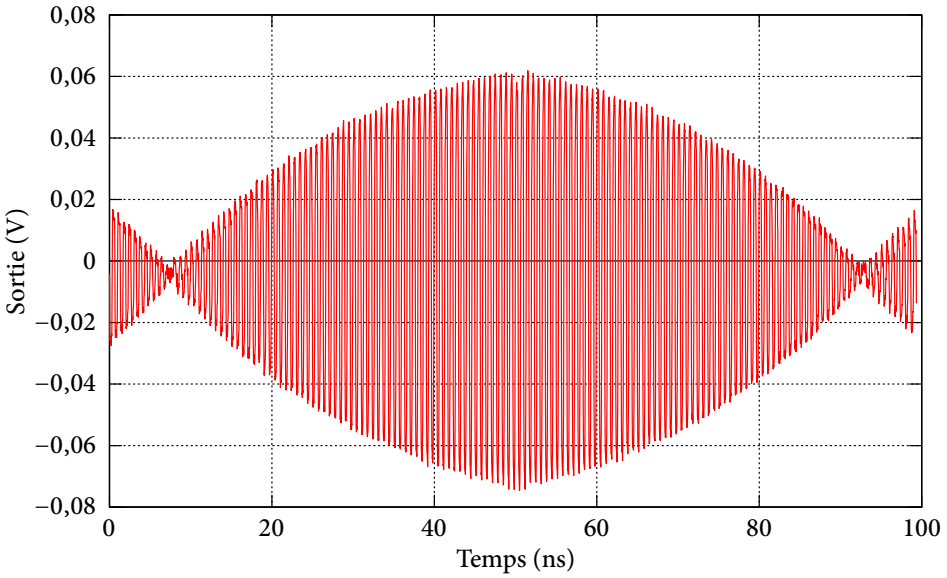

FIGURE 4.12 – Courbe de sortie du DDS : f_{clk} = 6 GHz, MCF = 255, f_{out} = 2988,28 MHz.

de la fréquence d'horloge. En effet, il est plus délicat de filtrer la fréquence image $f_{clk} - f_{out}$ quand la fréquence générée se rapproche de $f_{clk}/2$.

Comparaison avec d'autres DDS de la littérature

Il est assez délicat de comparer les DDS de la littérature, car il existe un grand nombre de techniques de réalisation ou de technologies utilisées. Étant donné les excellents résultats de notre DDS, nous étions circonspects à l'idée d'utiliser le FoM très basique que l'on trouve dans la plupart des publications sur les DDS, et qui est simplement la fréquence maximale divisée par la consommation (MHz/mW). Nous avons donc souhaité définir un nouveau FoM en rajoutant quelques paramètres importants, tels que la taille de l'accumulateur de phase et la surface d'intégration en plus de la fréquence d'horloge et de la consommation :

$$\text{FoM} = \frac{f_{clk} \times N_{ac}}{P_{dds} \times S} \left(\frac{\text{MHz} \times \text{bit}}{\text{mW} \times \text{mm}^2} \right) \tag{4.2}$$

TABLEAU 4.3 – Comparaison des différents DDS RF de la littérature.

Référence	Technologie	f_t NPN (GHz)	Fréq. (MHz)	Nbre de bits de l'acc.	Décomposition de l'accumulateur	Conso (mW)	Surface (mm^2)	Coeff. de qualité $\frac{MHz \times bit}{mW \times mm^2}$
[G1]	Bipolar InP	300	13000	8	1×8	5420	3,92	4,90
[G2]	Bipolar InP	300	32000	8	4×2	9450	3,92	6,91
[G3]	0,8 µm CMOS		800	12	2×32	3000	39,5	0,43
[G4]	0,35 µm CMOS		800	32	4×8	174	1,47	100,08
[G5]	0,35 µm SiGe	60	1700	32		3000	24	0,76
[G6]	0,35 µm CMOS		2000	8		820	3,99	4,89
[G7]	1 µm bipolaire	22	2500	31	1×32	5000	20	0,78
[G8]	0,35 µm SiGe	47	5000	8	8×1	2000	2	10
[G9]	Bipolar InP	137	9200	8	8×1	15000	40	0,12
Notre travail	0,25 µm SiGe	70	6000	9	1×9	308	1	175,32

Le tableau 4.3 permet de comparer les DDS de la littérature ayant une fréquence de fonctionnement élevée avec celui présenté ici. Ils peuvent être classés en trois familles qui sont directement liées à la technologie employée. Premièrement, les réalisations en CMOS, qui sont limitées en fréquence, mais offrent des performances raisonnables en terme de consommation. Ensuite Les DDS réalisés en technologie InP qui sont les plus rapides, mais au prix d'une consommation excessive. Enfin les DDS réalisés en technologie silicium ou SiGe qui offrent des performances intermédiaires en terme de fréquence et de consommation. Notre DDS se détache nettement : ceci est principalement dû à sa très faible consommation au regard de sa fréquence élevée de fonctionnement. De plus, les technologies InP utilisées dans les DDS présentés sont réalisées en laboratoire alors que celle que nous avons utilisée est commercialisée par ST.

Notons que lors d'une première tentative de publication de ce DDS, le FoM que nous avons défini n'a pas plu à l'un des rapporteurs, qui de plus nous a fait remarquer une faute d'orthographe sur le nom d'un auteur d'une publication en technologie InP que nous avions citée, ce qui nous a laissés penser qu'il pouvait justement s'agir de l'auteur en question, ou bien d'un de ses co-auteurs... Nous avons donc dû nous rabattre sur la première définition du FoM qui ramène notre score à 19,48 au lieu de 175,32 (baisse considérable), et le sien à 2,39 au lieu de 4,90 (baisse mineure). À l'arrivée, l'écart entre nos deux scores est évidemment moins percutant, mais il reste particulièrement net. La publication a été acceptée en deuxième soumission bien que refusée à nouveau par ce rapporteur (!), étant donné que nous avions répondu à toutes les conditions d'acceptation en deuxième soumission. Nous continuons cependant de croire que notre FoM est tout à fait légitime et régulier...

4.2 Synthèse digitale directe appliquée à la génération de signaux UWB

En étudiant le fonctionnement du DDS classique de façon approfondie, on remarque une légère modulation d'amplitude du signal, qui s'explique par les différentes valeurs précédant chaque débordement de l'accumulateur. Ce qui, dans un premier temps, apparaît comme un « effet secondaire » négligeable pour une programmation classique du DDS, devient prépondérant pour certaines valeurs de programmation. L'utilisateur standard du DDS cherchera à éviter les valeurs de programmation conduisant à un phénomène de modulation trop important, ou bien à les minimiser par des techniques diverses, là où bien au contraire, nous avons cherché à exploiter pleinement ce phénomène pour la génération de signaux ultra large bande. Ce qui suit fait l'objet d'un brevet [P3], et nous en détaillons maintenant quelques aspects.

Si la plupart des valeurs Δp programmées conduisent à une légère modulation d'amplitude de la forme d'onde générée, c'est parce que Δp est très rarement un sous-multiple du nombre total de phases 2^i. Prenons le cas $i = 8$, c.-à-d. $2^i = 2^8 = 256$ états de phase. Les valeurs accumulées pour $\Delta p = 5$ sont : 0, 5, 10, 15,

..., 245, 250, 255, 4, 9, 14, ..., 244, 249, 254, 3, 8, 13, ..., 243, 249, 253, 2, 7, 12, ... Ainsi, les maxima de phases cyclent sur (255, 254, 253, 252, 251) soit une différence entre le plus grand maximum et le plus petit de $255 - 251 = 4 = \Delta = \Delta p - 1$. Notons que l'amplitude de cette modulation est forcément inférieure à Δp.

Dans un fonctionnement normal du DDS, on néglige cette modulation dont l'amplitude reste *a priori* négligeable vis-à-vis de la fonction générée (dans l'exemple précédent 5 sur 255). Tout le temps négligeable ? Pas si sûr... Prenons un pas Δp élevé : la modulation d'amplitude apparaît de manière non négligeable ainsi que le montre la figure 4.14 pour $\Delta p = 127$.

Si l'on regarde l'allure d'une impulsion UWB standard (figure 4.13), on remarque que la forme d'onde du DDS pour $\Delta p = 127$ s'en rapproche fortement. Il suffit alors d'isoler une impulsion entre deux croisements par zéro de l'enveloppe, et de travailler la forme de celle-ci, qui est identique à la forme d'onde générée (enveloppe sinusoïdale si la forme d'onde générée est une sinusoïde), de manière à la rapprocher de la forme gaussienne attendue. Or justement, l'utilisation de l'étage différentiel du § 4.1.4 offre à la base l'approximation d'une sinusoïde par une fonction exponentielle, donc plus proche de la gaussienne : son application à la génération d'une impulsion UWB [1] est donc doublement recommandée. Le brevet décrit dans le détail les conditions d'obtention d'un signal affichant une modulation d'amplitude sur une technologie BiCMOS et sur la technique d'isolation de l'impulsion.

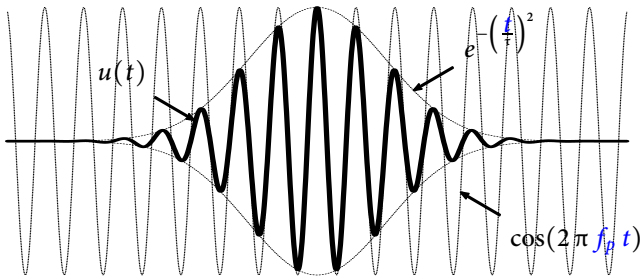

FIGURE 4.13 – Impulsion UWB standard.

La limitation de notre architecture de DDS concerne la forme d'onde générée, qui ne peut plus être quelconque puisque nous avons supprimé toute mémoire ou algorithme sophistiqué qui permet une mise en forme quelconque. Cependant, nous ne visions pas de créer un AWG, mais bien une synthèse de fréquences pour laquelle la forme sinusoïdale est évidemment la plus intéressante, tout en conservant la possibilité d'y inclure les modulations de phase, de fréquence et d'amplitude (§ 1.6.3). Afin de lever cette régression dans notre architecture, comparée aux DDS basiques, nous déposons actuellement un deuxième brevet sur un principe totalement différent, adapté à une intégration sur une technologie CMOS (ce qui n'était pas possible ici à cause de l'utilisation d'une paire différentielle bipolaire), et qui sera de nouveau capable de générer n'importe quelle forme d'onde, toujours avec une basse consommation, et à haute fréquence.

4.3 Conclusion

Ce chapitre détaille les techniques que nous avons utilisées afin de réaliser un DDS micro-onde, basse consommation et intégrable en technologie BiCMOS. Afin d'arriver à cet objectif, plusieurs topologies novatrices ont été mises en place pour la réalisation de chacun des blocs. Les additionneurs ainsi que les registres de l'accumulateur de phase ont été basés sur l'utilisation d'une logique mixte bipolaire/NMOS multiniveaux qui a d'abord permis l'intégration d'un accumulateur 3-bits fonctionnant à 15 GHz pour une validation seule, par la suite étendu à 9

1. Ultra-large bande

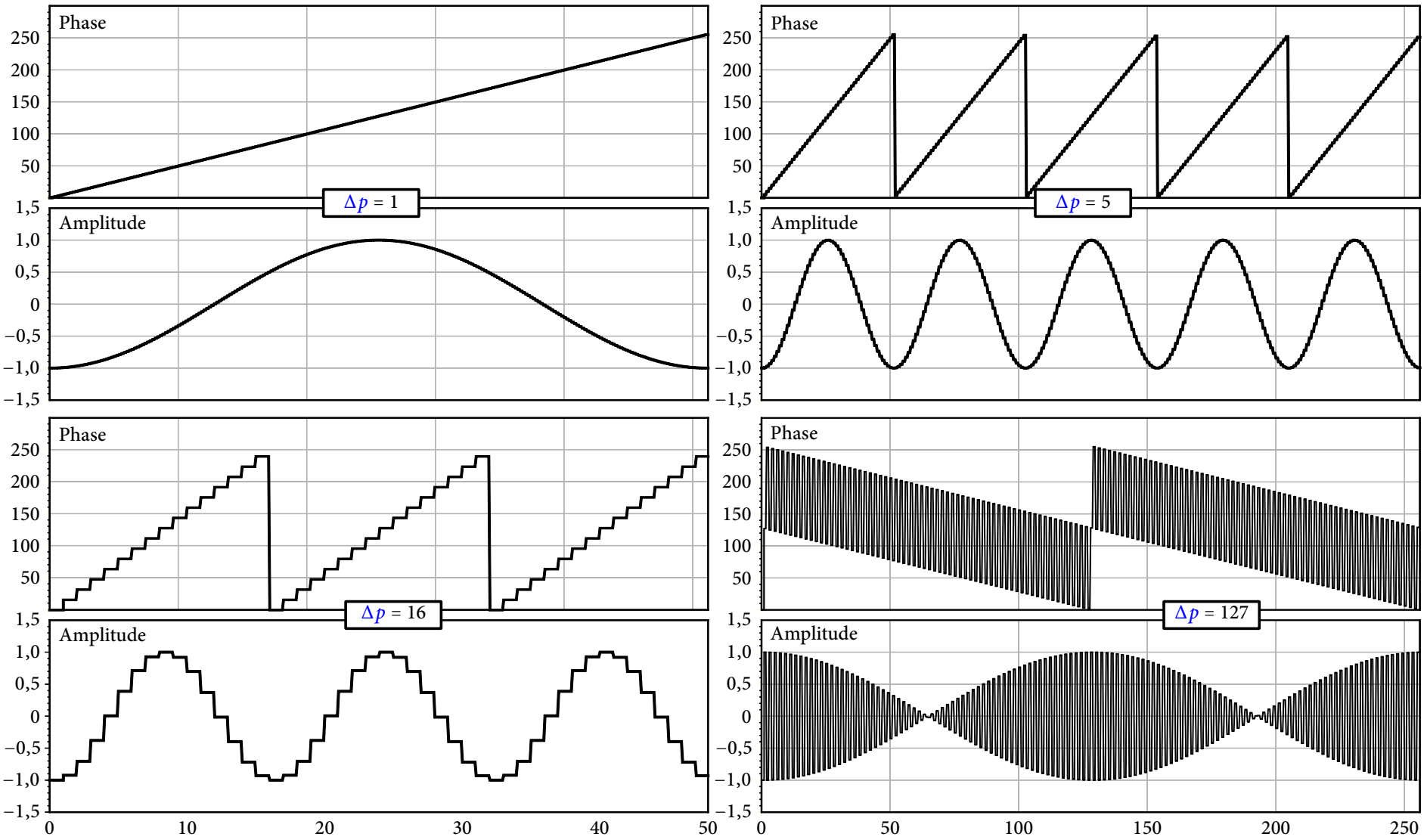

Figure 4.14 – Sorties du DDS pour les programmations $\Delta p = 1$, $\Delta p = 5$, $\Delta p = 16$ et $\Delta p = 127$.

bits pour faire partie du DDS complet. La fonction de transfert non linéaire d'une paire différentielle de transistors bipolaires a été mise à profit comme convertisseur phase/amplitude analogique pour la première fois dans un DDS. Cette technique a permis de lever un des verrous majeurs limitant la fréquence de fonctionnement. Un DDS 9-bits regroupant les techniques présentées a ainsi été réalisé, à 6 GHz et une consommation réduite à seulement 308 mW. Les résultats obtenus avec l'accumulateur 3-bits permettent d'affirmer qu'il est envisageable d'obtenir une fréquence de fonctionnement encore deux et trois fois plus élevée (dans la même technologie) en utilisant une structure « pipeline ». Les techniques de conception présentées sont compatibles avec les générations de technologie plus récentes comme les BiCMOS SiGe:C 0,13 µm. Ce DDS était à l'état de l'art au moment de sa sortie. Notons que l'an dernier, lors de la conférence RFIC [2] 2009, une publication reprenant notre structure (à un point tel que même la version papier s'inspire fortement de notre publication dans la revue MWCL [3] [P2]), mais sur une technologie plus récente et donc plus performante, affichait des résultats toujours remarquables et à l'état de l'art sur silicium [G10]. C'est toujours un mélange à la fois agréable et amer qui en ressort, entre la satisfaction que notre travail ait été reconnu « à ce point », et le regret que peut-être ce sont eux qui seront désormais cités pour leur travail...

Nous travaillons désormais à l'intégration d'un DDS micro-onde et basse consommation, mais sur technologie purement CMOS, afin de profiter des dernières générations 65 nm, 45 nm voire 32 nm et prouver que les caractéristiques d'un DDS réalisé dans ces technologies lui permettont de devenir un composant incontournable des systèmes de télécommunications.

Données diverses

- Doctorant principal : Stéphane Thuries (encadré à 100 %)
- Contrat principal : MOBILIS
- Collaborations : ST

2. « Radio-Frequency Integrated Circuits »
3. « Microwave and Wireless Components Letters »

Références bibliographiques du chapitre 4

Références générales

[G1] S. E. Turner et E. Kotecki. « Direct digital synthesizer with ROM-Less architecture at 13-GHz clock frequency in InP DHBT technology ». Dans : *Microwave and Wireless Components Letters, IEEE [see also IEEE Microwave and Guided Wave Letters]* 16.5 (mai 2006), p. 296–298 (cf. p. 76, 85).

[G2] S. E. Turner et D. E. Kotecki. « Direct Digital Synthesizer With Sine-Weighted DAC at 32-GHz Clock Frequency in InP DHBT Technology ». Dans : *Solid-State Circuits, IEEE Journal of* 41.10 (oct. 2006), p. 2284–2290 (cf. p. 76, 85).

[G3] L. K. Tan, E. W. Roth, G. E. Yee et H. Samueli. « An 800-MHz quadrature digital synthesizer with ECL-compatible output drivers in 0.8 µm CMOS ». Dans : *Solid-State Circuits, IEEE Journal of* 30.12 (1995), p. 1463–1473 (cf. p. 85).

[G4] D. Yang et F. F. Dai. « A 10GHz nonlinear cosine-weighted digital-to-analog converter for high-speed direct digital synthesis ». Dans : *Silicon Monolithic Integrated Circuits in RF Systems, 2004. Digest of Papers. 2004 Topical Meeting on*. 2004, p. 73–76 (cf. p. 85).

[G5] K.-H. Baek, E. Merlo, M.-J. Choe, A. Yen et M. Sahrling. « A 1.7GHz 3V direct digital frequency synthesizer with an on-chip DAC in 0.35 µm SiGe BiCMOS ». Dans : *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*. 2005, 114–587 Vol. 1 (cf. p. 85).

[G6] X. Yu, F. F. Dai, Y. Shi et R. Zhu. « 2 GHz 8-bit CMOS ROM-less direct digital frequency synthesizer ». Dans : *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*. Mai 2005, 4397–4400Vol.5 (cf. p. 85).

[G7] P. H. Saul et D. G. Taylor. « A high-speed direct frequency synthesizer ». Dans : *Solid-State Circuits, IEEE Journal of* 25.1 (1990), p. 215–219 (cf. p. 85).

[G8] F. Dai, Y.J. Zhuang et B.H. Sun. « Quantitative evaluating model for the actual effect of DSS in enterprise management ». Dans : *Engineering Management Conference, 2004. Proceedings. 2004 IEEE International*. T. 1. Oct. 2004, 353–357Vol.1 (cf. p. 85).

[G9] A. Gutierrez-Aitken, J. Matsui, E. N. Kaneshiro, B. K. Oyama, D. Sawdai, A. K. Oki et D. C. Streit. « Ultrahigh-speed direct digital synthesizer using InP DHBT technology ». Dans : *Solid-State Circuits, IEEE Journal of* 37.9 (sept. 2002), p. 1115–1119 (cf. p. 85).

[G10] B. Laemmle, C. Wagner, H. Knapp, L. Maurer et R. Weigel. « A 366 mW direct digital synthesizer at 15 GHz clock frequency in SiGe Bipolar technology ». Dans : *Proc. IEEE Radio Frequency Integrated Circuits Symp. RFIC 2009*. 2009, p. 415–418 (cf. p. 88).

Références personnelles

[P1] S. Thuries, É. Tournier et J Graffeuil. « A 3-bits DDS Oriented Low Power Consumption 15 GHz Phase Accumulator in a 0.25 µm BiCMOS SiGe:C Technology ». Dans : *Electronics, Circuits and Systems. Proceedings. 2006 13th IEEE International Conference on*. Déc. 2006 (cf. p. 78).

[P2] S. THURIES, É. TOURNIER, A. CATHELIN, S. GODET et J. GRAFFEUIL. « A 6-GHz Low-Power BiCMOS SiGe:C 0.25 µm Direct Digital Synthesizer ». Dans : *Microwave and Wireless Components Letters, IEEE* 18.1 (jan. 2008), p. 46 –48 (cf. p. 82, 88).

[P3] A. CATHELIN, S. THURIES, S. GODET, É. TOURNIER et J. GRAFFEUIL. « Procédé et système de génération d'un signal impulsionnel du type à bande ultra large ». Patent Application WO 2010/040740 A1 (WO). Avr. 2010 (cf. p. 85).

Chapitre 5

La synthèse de fréquences micro-ondes : application à la mesure micro-onde sur puce

UNE tendance actuelle vise à rendre les systèmes intégrés de plus en plus « intelligents » (traduction du terme anglo-saxon « smart »). On entend par « intelligent » le fait que ces systèmes doivent aussi bien être capables de s'adapter à leur environnement que de se protéger vis-à-vis de certaines agressions, ou de corriger leur dérive naturelle au cours du temps. Cette « intelligence » passe forcément par la mesure de certains paramètres clefs. Classiquement, si on n'est pas trop pressé, pas trop regardant sur le coût, et si on ne cherche pas le temps réel, on se tourne vers des salles de caractérisation, avec du matériel sophistiqué (stations sous pointes, générateurs et analyseurs de signaux divers, connecteurs micro-ondes...). Mais il n'est pas difficile de comprendre tout l'intérêt qu'il y a de chercher à intégrer le système de mesure directement sur la puce, juste à côté du système à tester. Le but est évidemment d'abord de minimiser le nombre de composants et appareils de mesures externes nécessaires à une caractérisation complète, et donc le temps de mise en œuvre et le coût associé. En particulier, si le composant à tester est enfoui aux tréfonds d'un système complexe, et donc difficile d'accès depuis l'extérieur du point de vue de l'amenée de l'excitation nécessaire à la mesure (commandabilité), et du chemin retour du signal porteur de la mesure (observabilité), un banc de mesure intégré au plus près en autorisera un accès forcément simplifié. Si de plus on travaille avec des impédances optimisées entre les différentes fonctions du système, on veut à tout prix éviter de devoir créer des pistes de tests spécifiques ainsi que des plots d'accès susceptibles de modifier ces impédances, et de devoir utiliser des appareils de mesure dont l'impédance d'entrée est quasi automatiquement de 50 Ω dans la gamme micro-onde, ce qui peut influencer gravement la mesure que l'on cherche à effectuer : en particulier lors des mesures de résonateurs BAW que nous avons dû faire (dans ce chapitre ainsi qu'au chapitre 2) pour en extraire les caractéristiques et les modèles (§ 1.4.1.3.ii), nous avons pu constater que la mesure sur une impédance de 50 Ω conduisait à des résultats difficiles à éplucher par la suite. Enfin, sans même parler de composants difficiles d'accès, une mesure simplifiée, car intégrée et donc directement disponible est évidemment souhaitée, du moins s'il est possible d'avoir les mêmes performances de mesure qu'avec du matériel dédié, et une consommation réduite dans le cas de systèmes embarqués.

Dans le domaine numérique, les signaux de test à générer sont binaires. L'analyse de la réponse est simple, car elle consiste à comparer la sortie obtenue à une sortie de référence. Si la sortie obtenue est différente, le circuit présente une défaillance. Les origines sont multiples : poussières, défauts cristallins, désalignement de masques, dégradations dues à des phénomènes ESD[1]. Le modèle de défaillance utilisé est généralement celui assez simple du collage à 1 ou 0 des nœuds du circuit. Cette approche permet d'obtenir de très bons résultats en terme de taux de détection de défaillances. Un modèle de faute équivalent n'existe malheureusement pas dans le domaine analogique, en termes d'efficacité et de simplicité. Pourtant depuis un certain nombre d'années, les systèmes intégrés ne cessent de croître en taille et en complexité, et font cohabiter sur une même puce (SoC) non seulement des microsystèmes numériques testables, mais aussi des parties analogiques et micro-ondes qu'il faudrait tester avec la même efficacité. Si les parties analogiques ne représentent qu'une petite partie d'un SoC en terme de surface, leur complexité de mise en œuvre est très importante ainsi que leur coût de test : la mesure analogique nécessite des appareillages onéreux capables de générer et de détecter des signaux de très grande précision. À cette difficulté s'ajoute certaines fois la complexité d'interprétation des résultats dans le domaine analogique par rapport au domaine numérique.

Les recherches en matière de BIST[2] s'intensifient depuis quelques années. Il est possible d'en trouver sur des circuits LNA micro-ondes permettant de contrôler de façon rigoureuse, soit l'effet de l'autoéchauffement du circuit, soit l'effet de la température ambiante sur le composant [G1, G2, G3]. Après les LNA, les BIST sur les sources hyperfréquences se développent aussi [G4]. Ces BIST permettent non seulement un test *in situ* des

1. Décharges électrostatiques
2. Circuits de test intégrés

paramètres de la source, mais ont quelquefois un effet sur le fonctionnement du circuit, par exemple sur la valeur de la fréquence d'oscillation [G5, G6, G7].

Ce chapitre présente un système breveté de mesure de bruit de phase intégré, basé sur des résonateurs BAW. L'intérêt d'avoir lancé cette activité a été multiple, entre autres de rapprocher deux activités jusqu'alors séparées dans le groupe MOST — l'activité caractérisation d'une part et l'activité conception dont je m'occupe d'autre part — et ainsi de profiter de compétences déjà fortes en les mutualisant. Le deuxième intérêt a été de trouver une alternative à la problématique de la mesure classique de résonateurs BAW sur 50 Ω que nous avions rencontrée lors du contrat MARTINA (chapitre 2).

Nous décrivons le banc de mesure intégré sous l'angle de la conception de circuit, à travers la réalisation des signaux en quadrature, du détecteur de phase qui sert à la conversion en fréquence du spectre de bruit de phase autour de la porteuse, des fréquences RF vers les basses fréquences, le mélangeur puis l'amplificateur de sortie utilisé pour amplifier le spectre de bruit dans les fréquences basses. La dernière partie est consacrée à une présentation des résultats du banc complet de mesure de bruit de phase intégré, par la mesure des blocs séparés puis assemblés.

Les travaux présentés dans cette partie ont été élaborés dans le cadre du projet européen MOBILIS. Ce projet avait pour objectif de mettre au point un émetteur/récepteur multistandard pour la téléphonie mobile en exploitant de nouvelles technologies, notamment les résonateurs acoustiques de volume (BAW). Ce projet a fait intervenir onze partenaires provenant de six pays différents, entre le 1er janvier 2006 et le 30 juin 2009, pour un coût total de plus de 5,5 millions d'euros. Le grand défi de MOBILIS était de développer un processus technologique permettant de combiner des pertes d'insertion minimales avec une tenue en puissance élevée, et de définir, concevoir, assembler et tester un émetteur RF pour téléphone mobile en y intégrant des technologies et techniques très avancées. Les circuits présentés ici ont été fabriqués en technologie BiCMOS7RF.

5.1 Description du banc de mesure de bruit de phase

L'architecture du banc de mesure de bruit de phase intégré est représentée sur la figure 5.1. Elle s'inspire d'une technique de mesure standard utilisée sur des bancs de mesure discrets.

Le dispositif sous test est dans notre cas, un résonateur BAW. Le bruit de phase des résonateurs SMR n'étant pas encore connu au moment de la conception du système, nous avons supposé que les performances en bruit de phase résiduel des SMR seraient proches de ceux des FBAR du contrat MARTINA [P1]. Les performances de mesure visées étaient donc celles du tableau 5.1. L'idée était alors d'établir un cahier des charges pour chaque élément entrant dans la composition du banc, en termes de performances en bruit à atteindre. Certains simulateurs utilisant la technique d'équilibrage harmonique n'étaient alors pas capables de décrire un tel système, notamment la transposition du bruit de phase de la fréquence RF au DC. Les simulations n'ont été possibles qu'en développant un module spécifique sous le simulateur Eldo-RF avec l'aide du support de Mentor-Graphics. Ce module est d'ailleurs maintenant incorporé dans les dernières versions de ce simulateur [P2]. Le tableau 5.2 propose le cahier des charges que nous avons retenu après simulation de l'ensemble visant à produire un plancher de bruit meilleur que les niveaux du tableau, pour quelques sensibilités K_φ du détecteur de phase données dans le tableau 5.1.

TABLEAU 5.1 – Cahier des charges en bruit.

$S_{\varphi_{BAW}}$ @ 10 Hz	−130 dBc/Hz
$S_{\varphi_{BAW}}$ @ 100 Hz	−142 dBc/Hz
$S_{\varphi_{BAW}}$ @ 1 kHz	−152 dBc/Hz
$S_{\varphi_{BAW}}$ @ 10 kHz	−162 dBc/Hz
$S_{\varphi_{BAW}}$ @ 100 kHz	−172 dBc/Hz

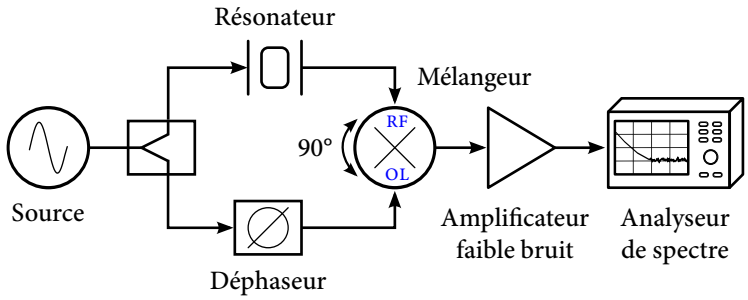

FIGURE 5.1 – Banc de mesure de bruit de phase à un résonateur.

TABLEAU 5.2 – Cahier des charges du banc de mesure de bruit de phase intégré.

Tension d'alimentation	2,7 V						
Fréquence d'utilisation	1,70 GHz < fréquence < 1,98 GHz						
Puissance en entrée BAW	≥ 0 dBm						
Offset [Hz]	1	10	100	1 k	10 k	100 k	1 M
$S_{\varphi_{BAW}}$ [dBc/Hz]	−125	−135	−145	−155	−165	−175	−175
$S_{\varphi_{Source}}$ [dBc/Hz] : Q = 800	+33,7	+3,7	−26,3	−56,3	−84,3	−105	−107
$S_{\varphi_{Déphaseur}}$ [dBc/Hz]	−125	−135	−145	−155	−165	−175	−175
$S_{v_{Mixer}}$ [dB/Hz] - K_φ = 200 mV	−139	−149	−159	−169	−179	−189	−189
$S_{v_{Ampli}}$ [nV/$\sqrt{\text{Hz}}$] - K_φ = 200 mV/rad	112	35	11,3	3,5	1,12	0,35	0,35
$S_{v_{Mixer}}$ [dB/Hz] - K_φ = 300 mV/rad	−135	−145	−155	−165	−175	−185	−185
$S_{v_{Ampli}}$ [nV/$\sqrt{\text{Hz}}$] - K_φ = 300 mV/rad	168	53	17	5,3	1,7	0,54	0,54
$S_{v_{Mixer}}$ [dB/Hz] - K_φ = 400 mV/rad	−133	−143	−153	−163	−173	−183	−183
$S_{v_{Ampli}}$ [nV/$\sqrt{\text{Hz}}$] - K_φ = 400 mV/rad	225	71	22,5	7,11	2,25	0,73	0,73
$S_{v_{Mixer}}$ [dB/Hz] - K_φ = 500 mV/rad	−131	−141	−151	−161	−171	−181	−181
$S_{v_{Ampli}}$ [nV/$\sqrt{\text{Hz}}$] - K_φ = 500 mV/rad	282	89	28,2	8,89	2,83	0,9	0,9

5.2 Différentes configurations intégrées du banc de mesure

Un brevet a été déposé concernant les différentes configurations possibles du banc de bruit de phase intégré [P3]. Celui ne se cantonne en effet pas seulement à la caractérisation de résonateurs BAW. La modification de quelques éléments dans l'architecture du système de caractérisation, permet une reconfigurabilité totale, en y ajoutant la détection :

- du bruit de phase de sources hyperfréquences (dans ce cas les résonateurs BAW servent de référence) ;
- du bruit de phase résiduel de quadripôles.

Les différentes configurations du banc de mesure sont données sur les figures 5.2, 5.3, 5.4 et 5.5. Elles permettent de mesurer n'importe quelle source de fréquence ou quadripôle :

1. un VCO à résonateur *LC* (car la sensibilité du banc est largement suffisante pour les mesurer : $Q_{BAW} >> Q_{LC}$) de fréquence d'oscillation proche de la fréquence de résonance du résonateur BAW : une contre-réaction composée d'une cellule de détection de puissance traversant le résonateur vient ajuster la fréquence de la source de référence (le niveau de puissance maximal apparaît à la fréquence exacte de résonance du BAW) ;
2. un VCO à résonateur *LC* de fréquence d'oscillation différente de la fréquence de résonance du résonateur BAW : un mélangeur entre une source fixe et une source variable permet de compenser de grands écarts ;
3. des quadripôles à très faible bruit de phase : une technique à deux résonateurs permet de rejeter la contribution en bruit de la source qui peut alors être relativement médiocre, tout en autorisant la mesure de valeurs faibles.

Le résultat obtenu doit ensuite être traité par un processeur de signal, en général déjà présent dans un système complexe : il ne sera mis à contribution que le temps de la mesure.

5.3 Conception d'un banc de mesure de bruit de phase intégré

5.3.1 Déphaseur et diviseur de puissance

La conception du déphaseur est une partie fondamentale de la réalisation du banc de mesure de bruit de phase. En effet, le mélangeur ne peut être utilisé en détecteur de phase que si ses voies RF et OL [3] sont déphasées de 90°. À la quadrature, le banc de mesure de bruit de phase est par ailleurs moins sensible aux fluctuations d'amplitude de la source de référence si le mélangeur est correctement équilibré. Nous avons porté notre choix sur un déphaseur actif basé sur diviseur de fréquence par 2 dont nous avons déjà parlé au chapitre 3. Ce diviseur génère quatre signaux à 0°, 90°, 180° et 270° avec une excellente précision. Cependant, les performances obtenues par les diviseurs déjà conçus ne permettaient pas de valider les niveaux de bruit établis par le cahier des charges (tableau 5.2). Il a donc fallu reprendre la conception de diviseurs, sur lesquels un travail d'optimisation en bruit a été nécessaire.

La meilleure structure de bascule D en terme de faible bruit de phase à laquelle nous soyons arrivés est montrée sur la figure 5.6. L'étage principal n'est plus ici contrôlé par une source à forte impédance (source de courant), mais par un collecteur commun, dont l'impédance est faible. Celui-ci est utilisé pour transférer l'information de E et $\overline{E}$ vers clk et $\overline{\text{clk}}$. Cette topologie peut s'assimiler à une bascule D pilotée par une VCVS [4], et non plus par une VCCS [5]. En temps qu'étage amplificateur, le gain s'en trouverait fortement diminué, mais cet étage ne sert pas à amplifier (son gain doit même être proche de 1 pour que l'excursion des niveaux logiques de sortie soient identiques à celle des entrées). Comme représenté sur la figure 5.6, un étage collecteur commun est utilisé pour réaliser la VCVS pour chacune des entrées. Les signaux de sorties du générateur de quadrature sont représentés par Q et $\overline{Q}$ pour une seule bascule. Ce circuit combine la fonction diviseur de puissance et la fonction déphaseur et produit des sorties 0°, 90°, 180° et 270° de très haute précision, sur une très large bande de fréquence grâce à une parfaite symétrie de l'architecture, que ce soit au niveau topologie, qu'au niveau dessin des masques et au niveau fonctionnement. Deux versions de diviseurs faible bruit ont été conçues. Une erreur de quadrature de 0,1° seulement a été constatée lors de la mesure temporelle des signaux de sorties une plage de fréquence s'étendant de 10 MHz à 5,5 GHz en entrée.

La figure 5.9 montre que cette structure particulière de la bascule D permet d'atteindre des niveaux de bruit de phase résiduels très faibles. Grâce à sa structure originale, le niveau de bruit de phase résiduel atteint des performances à l'état de l'art (−164 dBc/Hz à 100 kHz de la porteuse) [P4].

5.3.2 Détecteur de phase

La plupart des systèmes qui nécessitent d'obtenir une information sur la phase d'un signal utilisent des mélangeurs pour la mesure ou la comparaison de phase. Théoriquement, tous les mélangeurs peuvent être employés comme détecteur de phase. Cependant, dans la pratique, les mélangeurs présentent souvent certaines caractéristiques non linéaires indésirables quand ils sont utilisés comme tel. L'utilisation d'un mélangeur dans un banc de mesure de bruit de phase implique la conception d'un mélangeur à faible niveau de bruit, sachant qu'en général, le bruit en $1/f$ est le bruit dominant de type de dispositif.

3. Oscillateur local
4. Source de tension contrôlée en tension
5. Source de courant contrôlée en tension

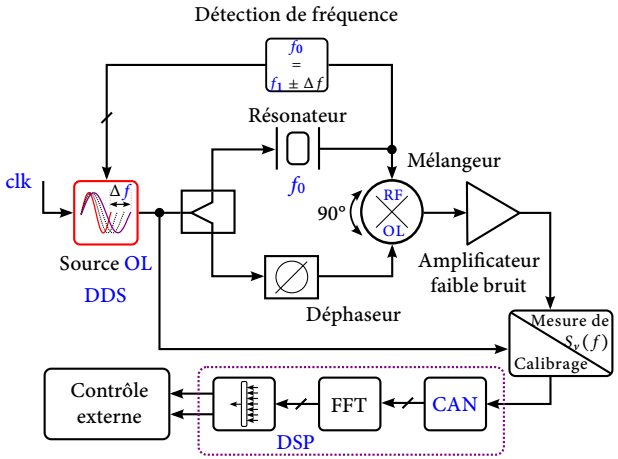

FIGURE 5.2 – Config. 1 : mesure de bruit de phase intégré de sources.

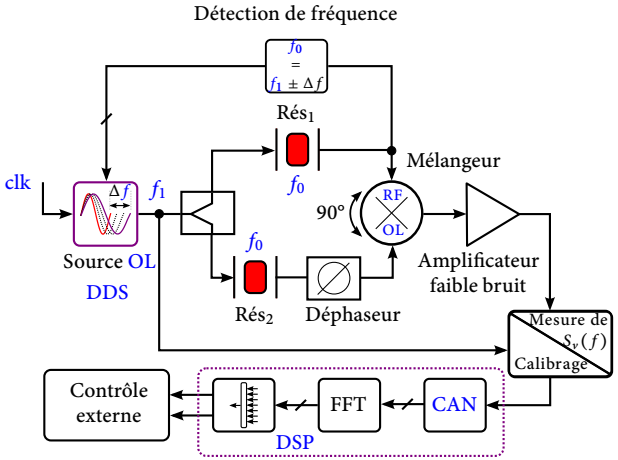

FIGURE 5.3 – Config. 2 : mesure de bruit de phase intégré de quadripôles.

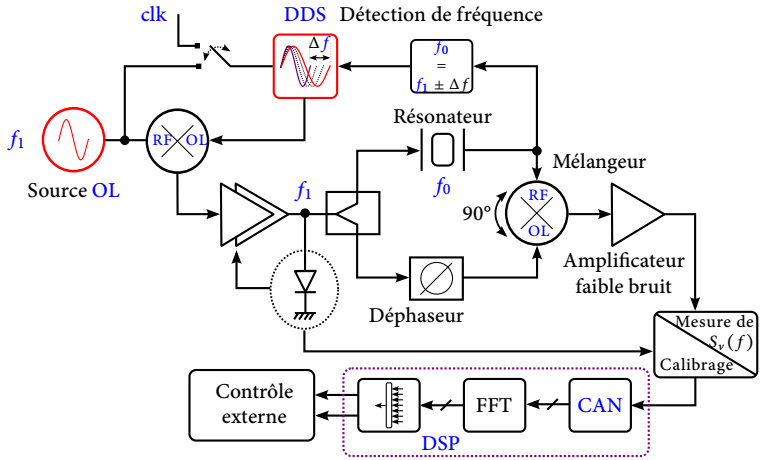

FIGURE 5.4 – Config. 3 : mesure de bruit de phase de sources large bande.

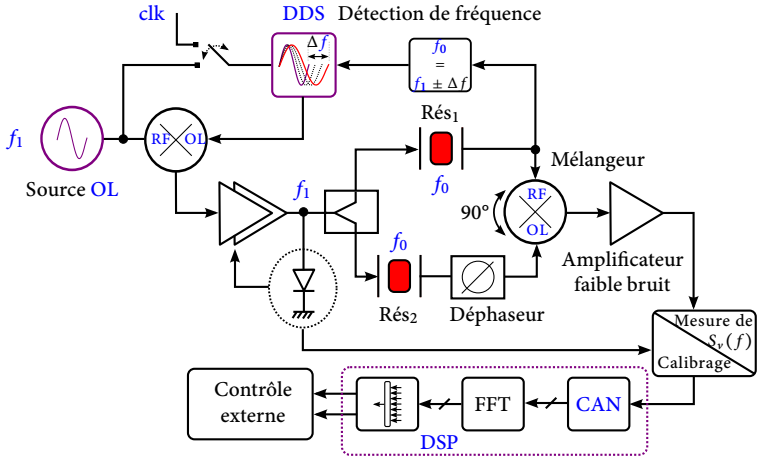

FIGURE 5.5 – Config. 4 : mesure optimisée de bruit de phase intégré de sources.

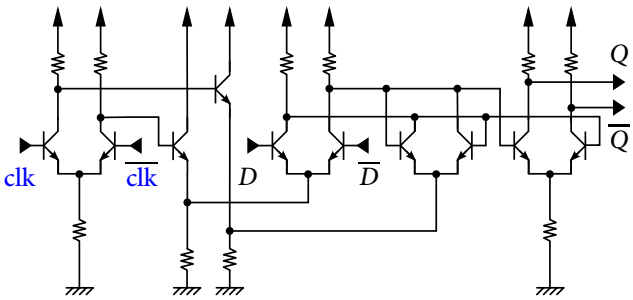

Figure 5.6 – Bascule D optimale.

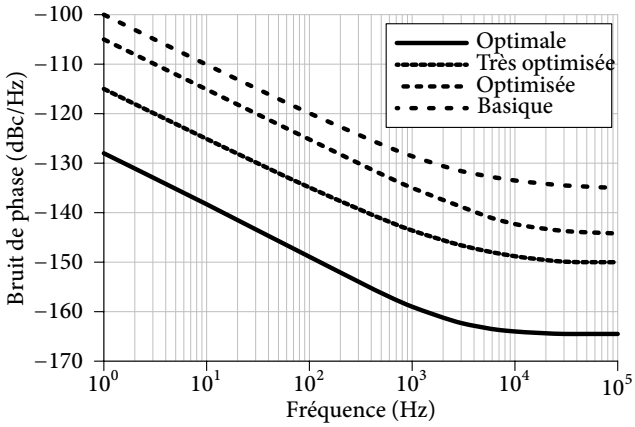

Figure 5.7 – Simulation du bruit de phase résiduel.

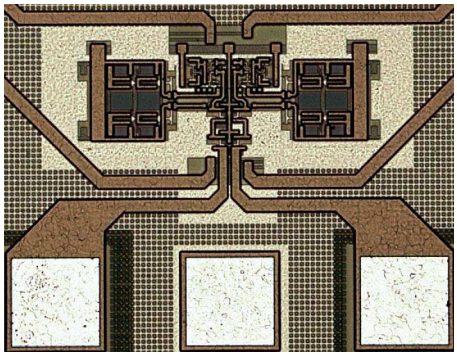

Figure 5.8 – Microphotographie du diviseur de fréquence.

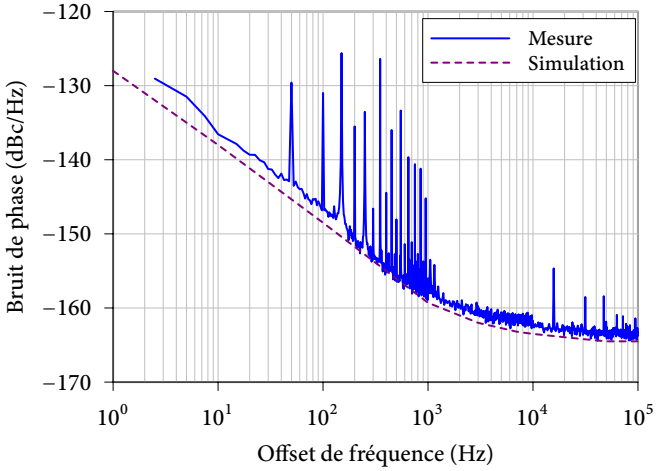

Figure 5.9 – Mesure de bruit de phase résiduel du diviseur à f_{clk} = 3,5 GHz.

Si dans la littérature, le mélangeur faible bruit est souvent synonyme de mélangeur passif à diodes, nous avons gardé une approche active, puisqu'elle permettait de satisfaire le cahier des charges. La topologie qui nous est apparue comme la plus intéressante est le mélangeur doublement équilibré à cellule de Gilbert, sur lequel nous avions déjà travaillé dans un autre cadre [P5, P6, P7]. Pour notre application, les signaux différentiels fournis par le diviseur de fréquence, après avoir traversé les résonateurs sous test, sont appliqués aux entrées du mélangeur. Deux versions ont vu le jour : un mélangeur à charges résistives à partir duquel le cahier des charges du tableau 5.2 a été établi, et plus tard une version à charges actives.

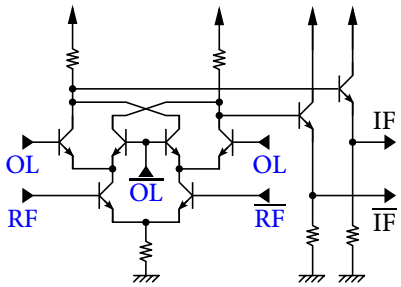

Figure 5.10 – Schématique du mélangeur de Gilbert avec résistances de charge.

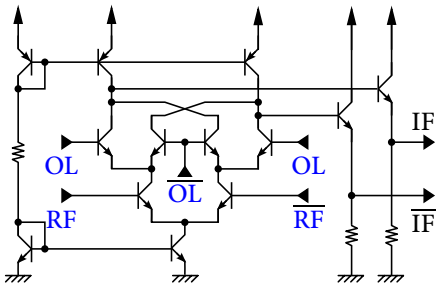

Figure 5.11 – Schématique du mélangeur de Gilbert avec charges actives.

Comme le montrent les microphotographies de la figure 5.12, si la solution des charges actives permet d'améliorer

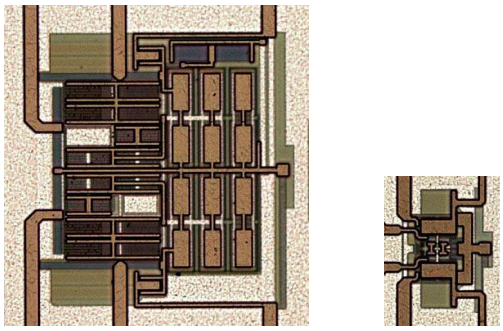

FIGURE 5.12 – Photos des mélangeurs à charges résistives ($116 \times 78\,\mu m^2$) et actives ($227 \times 261\,\mu m^2$).

fortement la sensibilité d'environ une décade à 4,13 V/rad et donc de relâcher les spécifications en bruit de l'amplificateur qui suit, elle augmente aussi la surface d'intégration : $227 \times 261\,\mu m^2$ contre $116 \times 78\,\mu m^2$.

5.3.3 Amplificateur basse fréquence faible bruit

L'amplificateur opérationnel est l'un des composants les plus utilisés de tous les circuits linéaires en production, aussi bien dans les domaines grand public, industriel que scientifique. Les amplificateurs d'instrumentation nécessitent un gain en boucle ouverte très important ainsi qu'un bruit équivalent en entrée très réduit, afin de rendre possible la caractérisation de signaux très faibles. Dans ces applications pour l'instrumentation, le bruit total équivalent de l'amplificateur ramené en entrée (S_v) est le paramètre le plus critique. Dans le commerce et la littérature, il est possible de trouver quelques amplificateurs opérationnels qui présentent un bruit en tension équivalent proche de $3\,nV/\sqrt{Hz}$ [G8, G9] ou $2\,nV/\sqrt{Hz}$ [G10, G11]. La conception d'un amplificateur opérationnel avec de meilleures performances en bruit s'imposait donc, sachant que le cahier des charges établi dans le tableau 5.2 réclamait un plancher en bruit meilleur que $1\,nV/\sqrt{Hz}$, pour une sensibilité du détecteur de phase basée au départ sur la topologie à charges résistives de seulement quelques centaines de mV/rad. Nous sommes partis d'une structure classique à trois étages, comme présentée sur la figure 5.13.

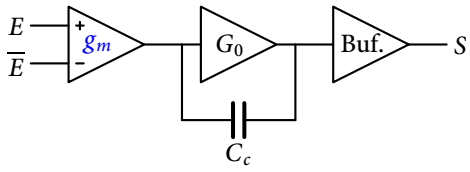

FIGURE 5.13 – Structure à trois étages de l'amplificateur différentiel.

L'étage différentiel d'entrée doit avoir une contribution en bruit très faible avec un fort gain en tension ainsi qu'une très forte réjection du mode commun [G12]. Le second étage doit présenter un fort gain en tension G_0, et une capacité C_c de compensation assure la séparation des pôles dominants de la fonction de transfert et donc la stabilité en boucle fermée. De meilleures performances en bruit ainsi qu'une réjection du mode commun plus importante sont déjà obtenues quand les étages sont réalisés avec des transistors bipolaires plutôt qu'avec des transistors MOS, aux mêmes conditions de polarisation. En effet, le transistor bipolaire présente une transconductance beaucoup plus importante et une plus faible contribution en bruit en $1/f$ comparé aux MOS.

La schématique simplifiée de notre amplificateur opérationnel faible bruit est présenté sur la figure 5.14. Nous avons choisi de réaliser les charges des collecteurs du premier étage avec des résistances plutôt que des transistors PNP, après que des simulations nous ont montré que les performances en bruit étaient meilleures tout en conservant un gain élevé. De plus, chaque transistor de la paire différentielle a été dupliqué quatre fois, afin de

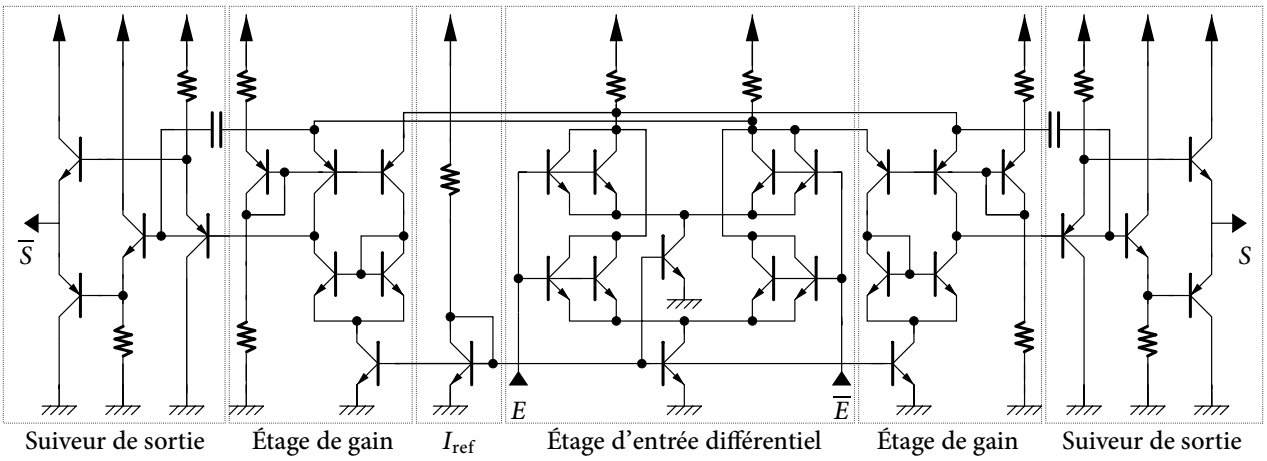

FIGURE 5.14 – Représentation simplifiée de l'amplificateur opérationnel faible bruit.

réduire la fluctuation en bruit résultante ainsi que la résistance équivalente de base qui intervient directement dans les performances en bruit de l'amplificateur.

Le second étage, l'étage de gain, est réalisé par un miroir de courant composé de transistors PNP et NPN. Cet étage est composé d'une structure équivalente à un montage cascode dont les transistors PNP sont connectés en base commune, ce qui permet d'améliorer le gain total en boucle ouverte de l'amplificateur et l'isolation entre le deuxième et le premier étage.

Le troisième étage qui est l'étage de sortie suiveur est utilisé pour fournir la puissance à charge de sortie en l'isolant des étages de gain. Cet étage utilise une structure à deux collecteurs communs qui permet de limiter la distorsion du signal de sortie.

L'amplificateur a été intégré dans la configuration boucle fermée comme présenté sur la figure 5.14, avec des résistances de contre-réaction. Le gain en boucle ouverte est de 83 dB avec une marge de phase de 51°, et de 42 dB avec une bande passante à −3 dB de 500 kHz en boucle fermée, qui autorisera des mesures du bruit de phase originel à 500 kHz de la porteuse.

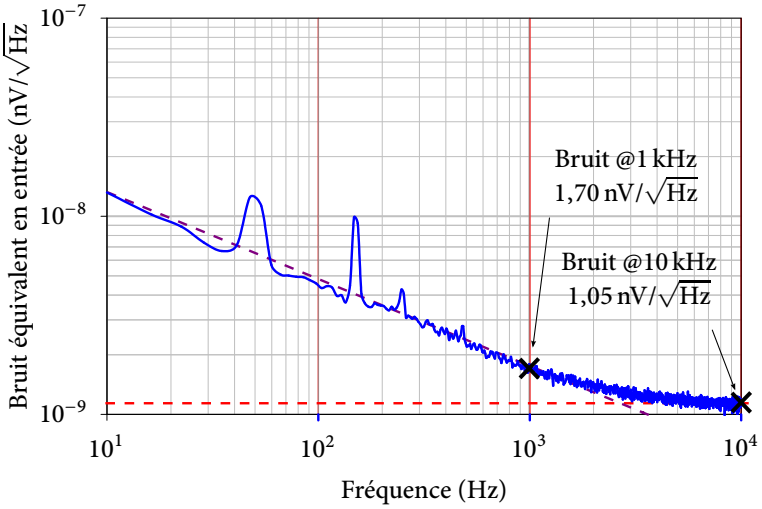

FIGURE 5.15 – Mesure du bruit équivalent en tension de l'amplificateur ramené en entrée.

La figure 5.15 présente la mesure en bruit basse-fréquence de l'amplificateur opérationnel. Le bruit équivalent ramené en entrée à 1 kHz est de e_n =1,7 nV/$\sqrt{\text{Hz}}$, et le plancher de bruit en tension est de 1,05 nV/$\sqrt{\text{Hz}}$ @ 10 kHz avec une fréquence de coupure du bruit en $1/f$ de 7 kHz. Cette mesure de bruit basse fréquence a été réalisée avec un banc de mesure de bruit présentant lui-même un plancher de détection à 0,6 nV/$\sqrt{\text{Hz}}$ @ 1 kHz. Ce résultat

en bruit, bien qu'excellent ainsi que le montre le tableau 5.3 ne permettait pas de satisfaire le cahier des charges du tableau 5.2, ce qui nous avait conduits à retravailler la structure du mélangeur vers une version à charge active afin d'en améliorer la sensibilité et ainsi relâcher la contrainte sur le niveau du plancher en bruit nécessaire à l'amplificateur.

TABLEAU 5.3 – État de l'art des amplificateurs opérationnels.

Référence	Technologie	Gain	$\Delta\phi$ (°)	Bande passante	Conso.	Distorsion	E_n [nV/$\sqrt{\text{Hz}}$]
[G10]	0,35 µm CMOS	–	20	39 MHz	30 mW	–	2
[G11]	1,5 µm CMOS	39,5 dB	55	7,2 kHz	80 µW	69 dB	2,2
[G9]	1,6 µm CMOS	150 dB	–	400 kHz	1 mW	–	27
[G13]	0,18 µm CMOS	58 dB	–	–	–	–	2,9
Ce travail	0,25 µm BiCMOS	80 dB	50	210 MHz	45 mW	50 dB	1,1

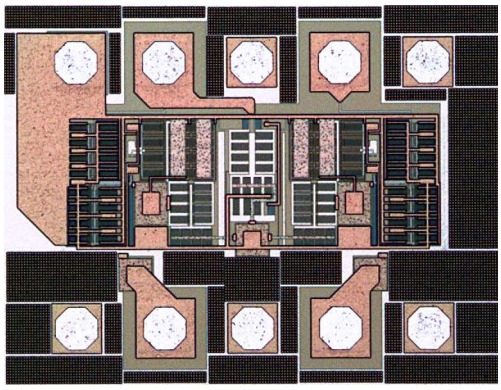

FIGURE 5.16 – Photo de l'amplificateur faible bruit.

La microphotographie de l'amplificateur faible bruit est celle de la figure 5.16. La surface d'intégration, en excluant les PAD [6] de mesure, est de 660 × 250 µm^2. La consommation totale est de 45 mW pour un fonctionnement à une alimentation de 2,5 V [P8].

5.3.4 Assemblage et test du banc de mesure de bruit de phase intégré

Chaque élément ayant été caractérisé séparément, il s'agissait de vérifier les performances de leur association. Nous avons utilisé les circuits qui avaient déjà été mis en boîtier pour les précédentes mesures, ainsi que des résonateurs BAW également montés en boîtier (figure 5.17). Le signal appliqué en entrée du diviseur de fréquence est un signal provenant d'une source à une fréquence équivalente à deux fois celle des résonateurs BAW. Le signal appliqué peut être différentiel ou non car le diviseur de fréquence, utilisé pour la génération de signaux en quadrature, a été conçu pour fonctionner dans les deux configurations (*simple* et *différentielle*). Dans le cas d'un signal non différentiel, la seconde entrée est simplement connectée sur une charge 50 Ω.

La figure 5.18 présente une comparaison entre les résultats de mesures du plancher de bruit de phase qu'il est possible d'atteindre avec le banc intégré et une mesure de bruit de phase résiduel de résonateurs BAW. Le plancher de mesure est la valeur minimale pour laquelle le banc intégré sera capable de détecter une fluctuation de phase du dispositif sous test. Pour la caractérisation ce plancher, les résonateurs de la figure 5.17 ont été, dans un premier temps, court-circuités afin de ne mesurer que la contribution en bruit du banc de mesure. On voit que cette mesure atteint un minimum de bruit de phase de −164 dBc/Hz. La sensibilité de notre banc est limitée par le générateur de quadrature qui introduit un bruit de phase résiduel de −164 dBc/Hz @ 100 kHz de la porteuse.

6. Plot d'accès à un circuit intégré

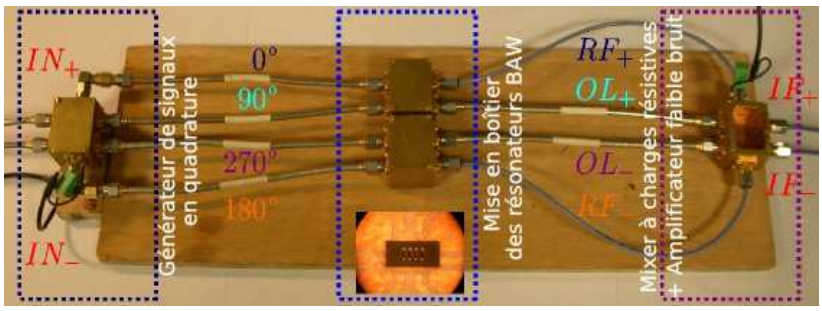

Figure 5.17 – Photo du montage en boîtier du banc complet.

Dans un deuxième temps, les résonateurs BAW sont reconnectés. Les mesures ainsi obtenues sont représentées sur la figure 5.18. Cette mesure de bruit de phase résiduel est valide jusqu'à 70 kHz de la porteuse, aux fréquences supérieures c'est le plancher de mesure du banc qui est détecté.

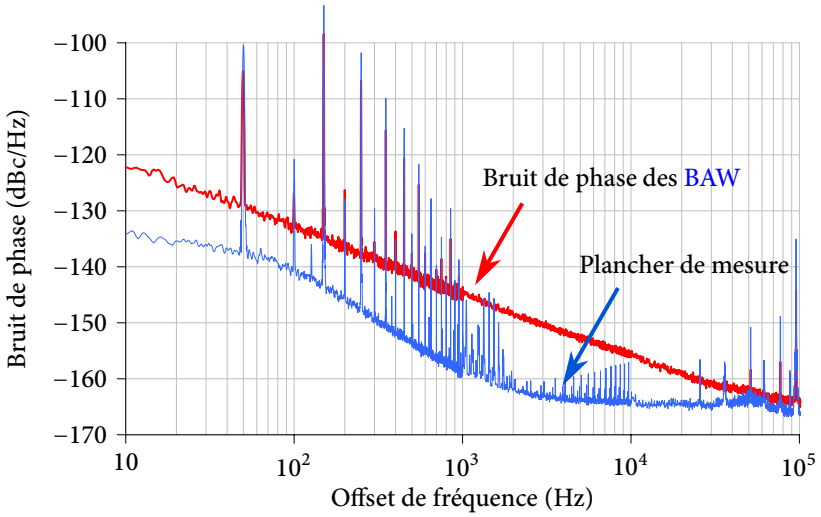

Figure 5.18 – Caractérisation du bruit de phase d'un résonateur BAW, et plancher de mesure.

Assemblages des puces BiCMOS avec les résonateurs BAW

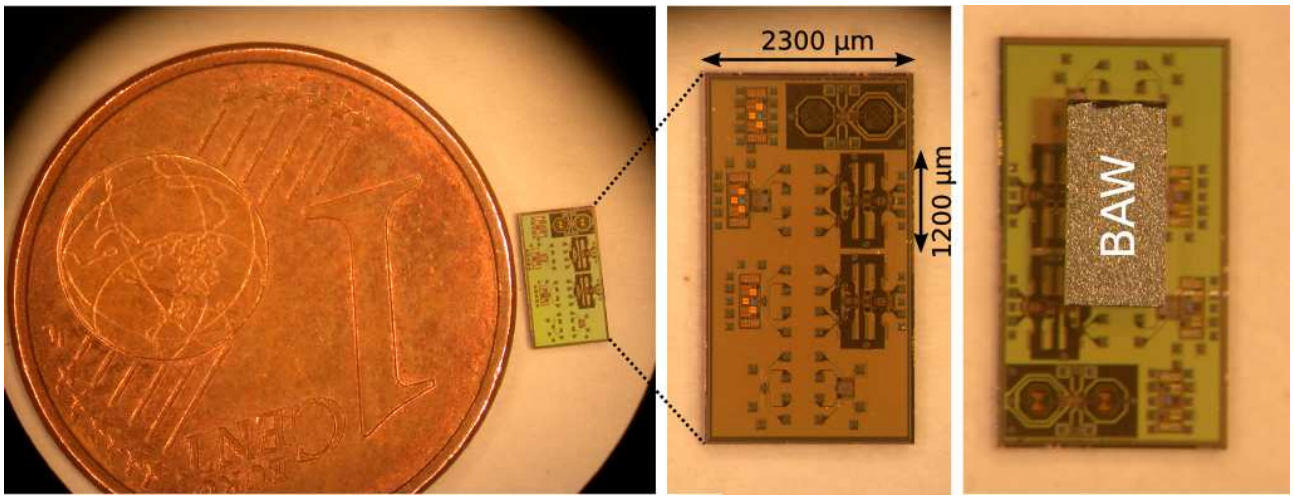

Figure 5.19 – Photos des deux bancs de mesure intégrés et assemblage avec les résonateurs BAW.

Afin d'obtenir un banc réellement intégré, il fallait que les résonateurs soient montés en « flip-chip ». Un premier prestataire devant réaliser ce montage dans le cadre du projet MOBILIS n'ayant pu le faire, nous avons essayé de faire le montage au LAAS (fig. 5.19). Une première série d'essais a montré des problèmes d'alliages et de collage conduisant au démontage systématique des résonateurs... La deuxième série d'essais, si elle a apparemment pu résoudre les problèmes de maintien des résonateurs sur la puce n'a pas contre pas permis d'effectuer les mesures, laissant à penser que les connexions elles-mêmes n'étaient pas bonnes.

Le tableau 5.4 présente finalement une comparaison des performances obtenues en fonction des spécifications du cahier des charges que nous nous étions fixé, tandis que le tableau 5.5 récapitule les dimensions et les consommations en puissance des circuits réalisés. Le banc de mesure de bruit de phase utilise une puissance comprise entre 123 mW et 130 mW selon l'architecture choisie.

TABLEAU 5.4 – Comparaison entre le cahier des charges et les performances des circuits.

	Cahier des charges	Banc de mesure intégré
Technologie	BiCMOS7RF/ CMOS65nm	BiCMOS7RF
Alimentation	< 2,7 V	2,4 V
$S_{\varphi_{vco}}$	−105 dBc/Hz @ 2,4 MHz	−122 dBc/Hz @ 1 MHz
VCO	> 6,99 GHz ; < 7,8 GHz	> 6,81 GHz ; < 7,95 GHz
Banc de mesure	> 1,70 GHz ; < 1,98 GHz	> 100 MHz ; < 5,5 GHz
$P_{\text{Entrée}}$ BAW	≥ 0 dBm	2 dBm
$S_{\varphi_{\text{Diviseur}}}$ @ 10 kHz	−165 dBc/Hz (cas optimal)	−164 dBc/Hz
$S_{\varphi_{\text{Diviseur}}}$ @ 10 kHz	−158 dBc/Hz (cas minimal)	−164 dBc/Hz
$S_{v_{\text{Ampli}}}$ @ 10 kHz	1,12 nV/$\sqrt{\text{Hz}}$ (cas optimal)	1,05 nV/$\sqrt{\text{Hz}}$
$S_{v_{\text{Ampli}}}$ @ 10 kHz	1,12 nV/$\sqrt{\text{Hz}}$ (K_φ = 200 mV/rad)	1,05 nV/$\sqrt{\text{Hz}}$
$S_{v_{\text{Ampli}}}$ @ 10 kHz	2,83 nV/$\sqrt{\text{Hz}}$ (K_φ = 500 mV/rad)	1,05 nV/$\sqrt{\text{Hz}}$
$S_{v_{\text{MixerR}}}$ @ 10 kHz	−174 dB (K_φ = 350 mV/rad)	−180 dB
$S_{v_{\text{MixerA}}}$ @ 10 kHz	−171 dB (K_φ = 500 mV/rad)	−175 dB (K_φ = 4,13 V/rad)
$S_{\varphi_{\text{Banc}}}$ @ 10 kHz	−158 dBc/Hz (cas minimal)	−164 dBc/Hz
$S_{\varphi_{\text{Banc}}}$ @ 100 kHz	−168 dBc/Hz (cas minimal)	−164 dBc/Hz
$S_{\varphi_{\text{BAW}}}$ @ 10 kHz	−155 dBc/Hz	−155 dBc/Hz

TABLEAU 5.5 – Consommations et dimensions des circuits.

	Surface [μm^2]	Consommation [mW]
Oscillateur contrôlé en tension	1400 × 800	27,5
Générateur de quadrature n°1	700 × 800	53
Générateur de quadrature n°2	270 × 100	53
Détecteur de phase charges résistives	116 × 78	25
Détecteur de phase charges actives	227 × 221	32
Amplificateur	660 × 250	45
Banc de mesure de bruit de phase complet	1800 × 1020	Entre 123 et 130

5.4 Conclusion

Par les activités présentées dans ce chapitre, nous avons montré qu'il était possible d'alléger la complexité des mesures de bruit de phase des circuits hyperfréquences en technologie BiCMOS, en intégrant avec eux un banc de mesure dédié. Le bruit de phase est en effet un paramètre capital dans la qualité des systèmes de télécommunication. Il peut également servir de marqueur pour déterminer la fiabilité de certains composants en fonction de différents stress et de leur vieillissement. Cette mesure intégrée peut par exemple permettre d'anticiper des

failles de fonctionnement bien avant qu'elles ne surgissent.

Pour arriver à ce résultat, il a fallu concevoir chaque fonction entrant dans la composition du banc en optimisant ses performances en bruit : un diviseur de fréquence en lieu et place du générateur de quadrature et du diviseur de puissance, un mélangeur utilisé en détecteur de fréquence, et un amplificateur basse fréquence faible bruit. En particulier, le diviseur et l'amplificateur faible bruit ont obtenu des performances remarquables en termes de bruit, bien aidés il est vrai par la possibilité de les polariser avec un courant relativement important étant donné la nature *temporaire* de la mesure.

Ce banc de mesure de bruit de phase est hautement reconfigurable, car il permet de caractériser non seulement des quadripôles passifs tels que les résonateurs BAW, actifs tels que les transistors, mais également le bruit de phase de sources analogiques ou numériques.

Données diverses

- Doctorant principal : Sylvain Godet (encadré à 70 %)
- Contrat principal : MOBILIS
- Collaborations : ST

Références bibliographiques du chapitre 5

Références générales

[G1] J. ALTET, D. MATEO, J. L. GONZALEZ et E. ALDRETE-VIDRIO. « Observation of high-frequency analog/RF electrical circuit characteristics by on-chip thermal measurements ». Dans : *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*. Mai 2006, 4 pp.– (cf. p. 92).

[G2] J. ALTET, A. RUBIO, J. L. ROSSELLO et J. SEGURA. « Structural RFIC device testing through built-in thermal monitoring ». Dans : *Communications Magazine, IEEE* 41.9 (sept. 2003), p. 98–104 (cf. p. 92).

[G3] J. ALTET et A. RUBIO. « Built-in dynamic thermal testing technique for ICs ». Dans : *Electronics Letters* 32.21 (oct. 1996), p. 1982–1984 (cf. p. 92).

[G4] B. KAMINSKA et K. ARABI. « Mixed signal DFT: a concise overview ». Dans : *Computer Aided Design, 2003. ICCAD-2003. International Conference on*. Nov. 2003, p. 672–679 (cf. p. 92).

[G5] H.-H. HSIEH, Y.-C. HUANG, L.-H. LU et G.-W. HUANG. « A BIST Technique for RF Voltage-Controlled Oscillators ». Dans : *Asian Test Symposium, 2007. ATS '07. 16th*. Oct. 2007, p. 143–148 (cf. p. 93).

[G6] A. Y. VALERO-LOPEZ, A. VALDES-GARCIA et E. SANCHEZ-SINENCIO. « Frequency synthesizer for on-chip testing and automated tuning ». Dans : *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*. T. 4. Mai 2004, IV–565–8 Vol.4 (cf. p. 93).

[G7] S. ALI et M. MARGALA. « A 2.4-GHz auto-calibration frequency synthesizer with on-chip built-in-self-test solution ». Dans : *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*. Mai 2006, 4 pp.– (cf. p. 93).

[G8] L. CARLONI, F. DE BERNARDINIS, A. SANGIOVANNI VINCENCENTELLI et M. SGROI. « The Art and Science of Integrated System Design ». Dans : *Proc. Proceeding of the 32nd European Solid-State Device Research Conference*. Sept. 2002, p. 19–30 (cf. p. 98).

[G9] A. BAKKER, K. THIELE et J. H. HUIJSING. « A CMOS nested-chopper instrumentation amplifier with 100-nV offset ». Dans : *IEEE Journal of Solid-State Circuits* 35.12 (déc. 2000), p. 1877–1883 (cf. p. 98, 100).

[G10] C. BRONSKOWSKI et D. SCHROEDER. « An Ultra Low-Noise CMOS Operational Amplifier with Programmable Noise-Power Trade-Off ». Dans : *Proc. 32nd European Solid-State Circuits Conference ESSCIRC 2006*. Sept. 2006, p. 368–371 (cf. p. 98, 100).

[G11] R. R. HARRISON et C. CHARLES. « A low-power low-noise CMOS amplifier for neural recording applications ». Dans : *IEEE Journal of Solid-State Circuits* 38.6 (2003). Sous la dir. de C. CHARLES, p. 958–965 (cf. p. 98, 100).

[G12] A. B. GREBENE. *Bipolar and MOS analog integrated circuit design*. Sous la dir. de John WILEY et SONS. Micro-linear corporation, 1983 (cf. p. 98).

[G13] I. NAM et K. LEE. « High-Performance RF Mixer and Operational Amplifier BiCMOS Circuits Using Parasitic Vertical Bipolar Transistor in CMOS Technology ». Dans : *Journal of Solid-State Circuits* 40.2 (2005), p. 392–402 (cf. p. 100).

Références personnelles

[P1] S. Gribaldo, C. Chay, É. Tournier et O. Llopis. « Experimental study of phase noise in FBAR resonators ». Dans : *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control* 53.11 (2006), p. 1982–1987 (cf. p. 93).

[P2] S. Godet, É. Tournier et O. Llopis. « Simulation de la transposition du spectre de bruit de phase dans les systèmes homodynes ». Dans : *Journées Nationales des Microondes (JNM 2007)*. 2 pages. Toulouse (France), 2007 (cf. p. 93).

[P3] A. Cathelin, S. Godet, O. Llopis, É. Tournier et S. Thuries. « Electronic circuit comprising a device to measure phase noise of an oscillating and/or resonant device ». Brev. US 2009/0079441 A1 (US). Mar. 2009 (cf. p. 94).

[P4] S. Godet, É. Tournier, O. Llopis, A. Cathelin et J. Juyon. « A Low Phase Noise and Wide-Bandwidth BiCMOS SiGe:C 0.25 µm Digital Frequency Divider For An On-Chip Phase-Noise Measurement Circuit ». Dans : *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on*. Jan. 2009, p. 1 –4 (cf. p. 95).

[P5] M. N. Do, D. Dubuc, A. Coustou, É. Tournier et R. Plana. « Intégration d'un mélangeur micro-ondes en technologie SiGe ». Dans : *7e Journée d'Electromagnétisme et Microondes de Toulouse (JMET'2004)*. 4 pages. Toulouse (France), 2004 (cf. p. 97).

[P6] M. N. Do, D. Dubuc, A. Coustou, É. Tournier, P. Ancey et R. Plana. « Highly linear 20 GHz-micromixer in SiGe bipolar technology ». Dans : *13th Gallium Arsenide and other Compound Semiconductors Application Symposium (GaAs'2005)*. Paris (France), 2005, p. 61–64 (cf. p. 97).

[P7] M. N. Do, D. Dubuc, A. Coustou, É. Tournier et R. Plana. « K-band BiCMOS SiGe based micromixer with enhanced linearity performances ». Dans : *2005 Asia-Pacific Microwave Conference (APMC'2005)*. Suzhou (Chine), 2005, p. 1624–1627 (cf. p. 97).

[P8] S. Godet, É. Tournier, O. Llopis, A. Cathelin et J. Juyon. « A Baseband Ultra-Low Noise SiGe:C BiCMOS 0.25 µm Amplifier and its Application for an On-Chip Phase-Noise Measurement Circuit ». Dans : *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on*. Jan. 2009, p. 1–4 (cf. p. 100).

Conclusion générale
et éléments de prospectives

Conclusion générale

Les travaux de recherche que j'ai menés et encadrés durant ces onze années m'ont permis de couvrir de travailler de manière récurrente dans le domaine des systèmes communicants hautes fréquences, en explorant de manière très complète le domaine de la synthèse de fréquence intégrée sur silicium, et en supervisant la conception d'autres fonctions analogiques (LNA, mélangeurs, tripleurs de fréquence...). De multiples aspects ont été abordés, aussi bien analogiques que numériques, depuis l'optimisation très ciblée de fonctions élémentaires — au niveau porte logique ou au niveau transistor — jusqu'à l'application de mesure intégrée, en passant par l'architecture même de la synthèse, pour laquelle elle sert soit de référence, soit d'objet à mesurer.

En tout premier lieu, une activité de conception de structures analogiques « classiques » dans le domaine micro-ondes nous a conduits à des oscillateurs présentant des performances remarquables en termes de bruit de phase. Il faut bien convenir cependant que l'obtention de ces performances provient finalement plus du couplage avec des composants récents et très sélectifs (les résonateurs BAW), que de techniques de conception sophistiquées à proprement parler sur l'ensemble de la topologie. Elles nous ont certes permis d'atteindre des performances à l'état de l'art, mais ne nous ont pas véritablement offert l'épanouissement du concepteur de circuits.

À côté de cela, nous avons développé des activités autour de la boucle à verrouillage de phase, fonction standard des synthèses de fréquence. Avec elles, nous avons pu mettre en œuvre des techniques de conception originales dans la numérisation des fonctions de la boucle, diviseurs, comparateurs phase/fréquence et filtres, ce qui nous a permis entre autres de dépasser certaines limitations de topologies habituellement utilisées, en fréquence notamment.

Puis c'est en nous intéressant à la numérisation du VCO de la PLL que nous nous sommes tournés vers les DDS. C'est avec cette fonction, dont le domaine d'application se révèle bien plus large que le seul NCO utilisable dans une PLL numérique, que nous avons pu apporter les solutions les plus originales voire les plus osées. C'est également, et curieusement, la fonction au départ la moins « vendable » de toutes celles sur lesquelles nous avons travaillé, et pour laquelle nous aurons dû batailler afin d'en récupérer quelques sources de financement. En effet, au moment où nous avons commencé à nous y intéresser, les architectures silicium micro-ondes n'existaient pas, et les structures sur des technologiques beaucoup plus sophistiquées et chères affichaient des consommations inacceptables de plusieurs dizaines de watts : sans doute semblait-il impossible pour beaucoup de vaincre ces défauts rédhibitoires, conduisant à des refus quasi systématiques de soutien financier. Nous avons été les premiers à proposer une architecture silicium au delà de la gamme RF, à 6 GHz, et de plus avec une consommation inférieure au tiers de watt. Un brevet nous a permis de mettre en œuvre un fonctionnement spécial du DDS, capable de lui faire générer facilement des impulsions UWB.

Dans un dernier chapitre, nous avons abordé les systèmes de mesure sur puce, toujours sous l'angle de la conception de circuit et de la synthèse de fréquence, et en particulier la mesure intégrée de bruit de phase. Nous avons conçu et optimisé des fonctions analogiques d'instrumentation avec une contribution en bruit suffisamment faible pour les inclure dans un banc de mesure de bruit de phase reconfigurable. Toutes les déclinaisons du banc sont décrites dans un brevet : il est à la fois capable de mesurer le bruit de phase résiduel de quadripôles, que de mesurer le bruit de phase de sources de fréquence. Son intégration avec des résonateurs BAW a permis d'obtenir un plancher de mesure suffisamment faible pour l'adapter à la majorité des situations, sans que le bruit propre du banc ne vienne masquer celui à mesurer.

J'ai donc couvert au cours de ces années de recherche de multiples aspects dans la conception de circuits et systèmes de télécommunication.

Éléments de prospectives

Au cours des prochaines années, la miniaturisation des systèmes va se poursuivre, simultanément à l'hétérogénéisation de leurs différentes parties. Ces dernières devront en effet contenir tout ou partie de fonctionnalités aussi différentes que :

- la *mesure* par des *capteurs* ou *réseaux de capteurs* de paramètres chimiques, biologiques, électriques, électromagnétiques... soit spontanés, soit en réponse à une excitation particulière ;
- l'*analyse* de ces mesures *in situ* ;
- le formatage et la *transmission* de ces mesures vers l'extérieur pour rendre ces systèmes *communicants* ;
- la mise en place d'un centre de décision interne pour établir les conduites à tenir résultant des mesures ;
- la *réception* de consignes ou de données externes visant à participer aux conduites à tenir ou à la *reconfiguration* des systèmes ;
- l'intergestion des consignes provenant de l'extérieur et du centre de décision interne ;
- la mise en forme de ces consignes ;
- l'application de ces consignes au travers *d'actionneurs* ou de *réseaux d'actionneurs* chimiques, biologiques, électromagnétiques, électriques... sur les objets contrôlés ou bien sur les systèmes eux-mêmes, dans le cadre de leur fonctionnement principal ou bien pour les reconfigurer.

Mes activités actuelles sont déjà susceptibles de s'insérer sans aucune difficulté dans ces systèmes et réseaux de systèmes communicants du futur, voire d'évoluer légèrement pour en adresser un certain nombre de problématiques sous-jacentes liées aux aspects haute-fréquence, forte intégration, dimensions nanométriques, communication haut-débit, nomadisme, plus spécialement tournées vers les applications aéronautiques spatiales et médicales, tout en gardant un œil attentif et bienveillant à l'égard des autres domaines d'application. Par exemple, mon activité sur les systèmes de mesure intégrés est de façon évidente dans cet air du temps, sans que j'aie trop d'efforts d'explications supplémentaires à fournir. La deuxième activité, sur les DDS, est sans doute encore confidentielle pour le moment, plus difficile à faire vivre dans le monde de la recherche d'aujourd'hui, mais je pense qu'elle est promise à un bel avenir étant donné les énormes progrès qui ont été fait en termes de consommation notamment, et auxquels nous avons déjà apporté une contribution majeure. Après tout, on entend encore quelquefois des voix bien placées pour nous dire de prendre des risques, de ne pas tout le temps fonctionner sur contrat, de faire du travail plus amont, plus prospectif. Ce n'est certes pas évident, mais je soutiens évidemment ce type de démarche, que j'aie au moins la sensation de conserver le libre arbitre normalement implicite du métier de chercheur, celui-là même que certains voudraient un peu trop facilement nous retirer ou tout au moins remettre en cause...

Au gré de l'apparition de futures ruptures technologiques dans le domaine de l'intégration de systèmes, je suis tout disposé à creuser de nouvelles voies de recherches qui se dessineraient à leur suite. La gamme millimétrique par exemple offre un terrain encore fertile pour des standards émergents : citons par exemple le « WirelessHD », qui doit permettre de transmettre des contenus haute définition avec un débit théorique à terme de 25 Gbit/s (à comparer avec le débit 10,2 Gbit/s du HDMI 1.3) sur la bande de fréquence des 60 GHz, en 1080 p, pour une distance de 10 m environ, et sur lequel je viens d'apprendre qu'un des projets que j'ai déposés dernièrement était accepté.

Systèmes de mesure intégrés

Comme déjà évoqué, les systèmes de mesure intégrés doivent servir à la caractérisation de composés, composants, fonctions (qualifiés d'objets), de taille micro ou nanométrique et dans des systèmes dont la complexité

se prête peu à la caractérisation avec du matériel de mesure externe. Les avantages sont alors les suivants :

- disponibilité quasi immédiate de la mesure ;
- adaptation optimale pour les objets à tester (impédance dans le cas électrique) ;
- meilleure accessibilité des objets, surtout ceux de taille nanométrique, en termes de commandabilité et d'observabilité en évitant de devoir les connecter au monde macrométrique pour de la mesure classique : on minimise ainsi les voies d'interconnexions pour rejoindre le banc de test et donc leurs parasites vis-à-vis du système principal ;
- forte réduction voire suppression totale du matériel et de la connectique de mesure externes, le plus souvent coûteux ;
- possibilité de rendre simultanée la mesure avec le fonctionnement principal (puisque disponible *in situ*), afin de créer des ajustements, régulations ou asservissements sophistiqués en temps réel.

Bien sûr dans cette approche tout n'est pas idéal, ce qui génère au moins autant de voies de recherche que de problèmes à résoudre :

- Il faut que la mesure reste *transparente* et non destructive vis-à-vis de la chaîne principale de fonctionnement de l'objet testé, surtout dans le cas d'une mesure que l'on souhaite simultanée à ce fonctionnement ;
- la consommation des bancs de tests doit être raisonnable si le test n'est pas effectué de manière discontinue, s'il doit se faire trop souvent, ou bien si le système est destiné à être embarqué ;
- la surface d'intégration supplémentaire pour le banc de test doit être prévue, et l'on veillera à la garder aussi faible que possible.

De ces constatations, on commence à distinguer deux grands types de mesures, que l'on abordera différemment :

- les mesures *sporadiques* permettant de contrôler de temps en temps le comportement d'un objet, de vérifier sa tenue après des expositions à des sources de dégradation diverses, ou bien face au vieillissement. Dans un tel type de mesure, on sait que les bancs dédiés au test ne seront pas polarisés de façon continue. Leur consommation n'est alors pas un critère important, et on dispose alors d'un degré de liberté dans la conception (par exemple pour améliorer le comportement en bruit des composants électroniques de tests, et donc les seuils de détection, en les polarisant plus haut en courant).
- les mesures *continues*, permettant par exemple de créer des boucles de régulation (transparence vis-à-vis des perturbations) et d'asservissement (suivi de consigne), pour corriger en temps réel le comportement de l'objet sous test vis-à-vis de tel ou tel critère dont on pourra enfin disposer de la mesure directement en situation. Dans ce deuxième type de mesure, on perd l'avantage du premier, puisqu'il faut faire attention à la consommation du système de mesure censé fonctionner en permanence.

Dans le cas d'une structure complexe incluant déjà un processeur de signal on peut mettre ce dernier à profit pour effectuer le traitement de l'information issue d'une mesure intégré, sans coût supplémentaire, en veillant simplement à l'utiliser lorsqu'il n'est pas sollicité par l'application principale.

D'autres voies de recherche particulièrement intéressantes apparaissent également en considérant un certain nombre de facteurs qui viennent accroître la difficulté de conception de ces BIST :

1. la complexité et la diversité des systèmes naturels et artificiels existants et donc de leur mode de test ;
2. la dispersion inévitable des paramètres technologiques de systèmes artificiels, et de paramètres physiques, chimiques et biologiques de systèmes naturels qui ne correspond pas forcément à une déviance maligne que l'on doit sinon corriger, du moins détecter, et qu'il faut donc compenser par des techniques de calibrage.

Synthèses digitales directes

Les travaux que j'ai conduits sur les synthèses digitales directes ont déjà donné d'excellents résultats et nous souhaitons donc poursuivre leur développement et leur application aux systèmes de télécommunication. En reprenant la figure 1.20, on voit assez facilement qu'un émetteur peut facilement se créer autour d'un DDS, sans faire appel à la panoplie habituelle de mélangeurs, références de fréquence, filtres de fréquences images... telle qu'on a pu la représenter de manière générique sur la figure 1.1. Évidemment, il faut persévérer dans la montée en fréquence et en résolution de ces synthèses, tout en continuant de diminuer leur consommation. Après avoir déjà proposé des techniques de conception ainsi qu'un brevet permettant l'utilisation des DDS dans le domaine des micro-ondes et pour la génération de signaux UWB, nous sommes en train de déposer un autre brevet, actuellement accepté par le CNRS, concernant l'intégration d'un DDS possédant les mêmes avantages que la structure BiCMOS du chapitre 4 (micro-onde et basse consommation), mais capable de lever la régression de notre architecture BiCMOS (qui ne peut monter en fréquence qu'au prix d'un choix limité de formes d'onde : sinusoïdes ou gaussiennes), tout en autorisant une intégration en technologie purement CMOS. La technique que nous mettons au point sera utilisable pour n'importe quelle forme d'onde, conduisant de nouveau le DDS à se comporter comme un AWG comme dans les fréquences basses.

Annexe A

Synthèse, responsabilités diverses et activités d'enseignements

A.1 Originalité & points forts

Conception mixte micro-onde analogique/numérique, CMOS/BiCMOS, pour les systèmes communicants : utilisation du meilleur des deux mondes pour l'optimisation de parties critiques ou la proposition de topologies originales. Démarrage de l'axe « systèmes de mesure sur puce » qui a permis de mutualiser des connaissances historiques du groupe MOST, sur les méthodes et moyens de caractérisation d'une part, et sur la conception de MMIC d'autre part.

A.2 Quelques résultats marquants

- Deux brevets déposés en 2007 et 2008. Le premier sur un banc de mesure de bruit de phase totalement intégré et reconfigurable en mesure de résonateurs ou mesures de sources de fréquence sur une gamme étendue de fréquences. Le deuxième sur l'application de la synthèse digitale directe à la génération de signaux impulsionnels UWB.
- Conception d'un DDS en technologie SiGe pour la première fois en gamme micro-onde avec une faible consommation, en 2007, publié en janvier 2008.
- Conceptions de VCO intégrés faible bruit de phase à l'état de l'art en 2006, ayant donné lieu à deux publications dans les deux plus grandes conférences du domaine (ISSCC [1] et RFIC).

A.3 Travaux non valorisés dans ce manuscrit

Beaucoup de travaux auxquels j'ai participé, que ce soit d'assez loin, mais aussi de très près, ont été volontairement retirés de ce mémoire, pour des raisons diverses et en particulier par souci d'homogénéité. J'en donne tout de même les références en fin d'annexe.

A.4 Participation à des contrats

MARTINA (IST [2] FP [3]5), MOBILIS (IST FP6), TARGET [4] (NoE [5] FP6), CNES (interne), FAST [6] (FUI [7] 6^{e} appel), NanoComm (Nano-INNOV)

A.5 Organisation de conférences

- JNM [8] 2007 : maître d'oeuvre de la charte graphique, logo, affiches...
- NEWCAS-TAISA 2009 : responsable de la publication (« Publication chair »).
- JNM : Membre du comité scientifique et du comité de lecture depuis 2007.

1. « International Solid-State Circuits Conference »
2. « Information Science et Technology »
3. « Framework Program »
4. « Top Amplifier Research Groups in a European Team »
5. « Network of Excellence »
6. « Fibre-like Aircraft Satellite Telecommunications »
7. Fonds Unique Interministériel
8. Journées Nationales Micro-ondes

A.6 Responsabilités administratives

Je me suis investi très tôt dans la vie du laboratoire et de l'université, aussi bien sur des activités facilement identifiables et valorisables que sur d'autres qui le sont moins. Je n'aurais pas attendu les dernières années avec comme motivation principale la perspective d'une évolution de carrière...

A.6.1 Administratif université

- Responsable de l'année de Master I de l'IUP AISEM 2003-2007.
- Membre élu du conseil scientifique de l'UFR PCA 2003-2006.
- Membre élu du conseil administratif de l'UFR PCA 2007-2010.
- Responsable administratif de l'atelier d'informatique (4 agents en moyenne, 1 mutation, 2 CDD successifs) de l'UFR PCA depuis 2005.

A.6.2 Administratif laboratoire

- Responsable CNFM du site LAAS jusqu'en 2009.
- Administrateur du réseau informatique sécurisé dédié CAO au LAAS (3 groupes concernés, ≈ 11 machines).
- Membre du comité de pilotage de la salle de CAO du LAAS.

A.7 Activité conception de circuits

Responsable de l'activité conception dans le groupe MOST (et avant CISHT) depuis 2002 (4 permanents enseignants/chercheurs impliqués)

(ST) BiCMOS6G, BiCMOS7, BiCMOS7RF, BiCMOS9MW, CMOS65nm

16 runs BiCMOS6G, 9 runs BiCMOS7, 5 runs BiCMOS7RF, 2 runs CMOS65nm

(AMIs) BiCMOS6

2 runs

(IBM) BiCMOS8HP

4 runs

Gestion des contributions de plus d'une dizaine de concepteurs, pour un total de près d'une centaine de designs, recouvrant plus de 300 mm^2 : Anthony Coustou, David Dubuc, Jérôme Sadowy, Laurent Bary, Wah Wong, Christophe Viallon, Mathilde Sié, Mohammed Aissi, Roland Gronmeier, Stéphane Thuries, Sylvain Godet, Julien Juyon, Thomas Epert, Teddy Borr, Grégory Ménéghin.

Mise en place et administration d'un réseau informatique sécurisé CAO

ST Microelectronics a souhaité imposer aux utilisateurs de ses technologies de pointe l'utilisation d'un réseau sécurisé. J'ai mis en place ce réseau sécurisé avec l'aide du service II du LAAS en 2005, et j'en suis l'administrateur l'unique, au début pour le seul compte du groupe MOST, désormais pour le compte des groupes MINC et ISGE en plus. Cela représente à l'heure actuelle un total de 11 machines et autant de concepteurs travaillant dessus.

A.8 Encadrement doctoral

- Encadrement thèse sur contrat de Teddy Borr (100 %) (en cours depuis 2009),
- Encadrement thèse CIFRE (Axess Europe) de Julien Juyon (100 %) (en cours depuis 2008),
- Co-encadrement thèse MNRT de Sylvain Godet (70 %) (2006-2009 achevée),
- Encadrement thèse sur ressources propres de Stéphane Thuries (100 %) (2003-2006 achevée),
- Co-encadrement thèse MNRT de Mohammed AISSI (75 %) (2002-2006 achevée),
- Encadrement thèse CIFRE (ST Microelectronics) de Mathilde Sié (100 %) (2000-2003 achevée),
- Co-encadrement thèse CIFRE (ST Microelectronics) de Jérôme Sadowy (50 %) (1999-2002 achevée),
- Encadrement de stagiaires à différents niveaux : 2 DEA, 1 DESS, 2 Master Pro, 1 ingénieur, 1 IUT.

Détenteur de la PEDR sans interruption depuis 2003.

A.9 Encadrements de stagiaires

Tous les doctorants précédents ont été d'abord stagiaires, auxquels s'ajoutent : Jacques Paulien, Mohammed Sardi, Jérôme Iché, Vincent Cheynet de Beaupré, Marcus Veras, qui ne sont restés ici que stagiaires.

A.10 Membre de jurys de thèses

- Anthony Coustou, « Conception et caractérisation de circuits intégrés en technologie BiCMOS SiGe pour application de télécommunication en bande X », Université Paul Sabatier, Toulouse, 21/12/2001.
- Abdellatif Azakkour, « Étude et conception d'une architecture ultra-large bande », Université Paris VI Pierre et Marie Curie, 27/052005.
- Nicolas Dehaese, « Étude et simulation d'un système sur puce radiofréquence pour les applications faible coût et faible consommation », Université de Provence, 8/12/2005.
- Stéphane Razafimandimby, « Accord en fréquence de résonateurs BAW appliqué au filtrage et à la synthèse de fréquence RF », Université des sciences et technologies de Lille, 5/12/2007.
- Vincent Cheynet de Beaupré, « Dispositifs à Faible Coût Appliqués à la Synthèse de Fréquences et à la Modulation FSK pour les Systèmes de Radiocommunication », Université d'Aix Marseille 1, 25/09/2008.

A.11 Rapporteur d'articles scientifiques

Pour les revues « Electronics letters » (12 articles), « Semiconductor Science and Technology » (1 article), « IET Circuits, Devices & Systems » (3 articles), « IEICE Transactions on Electronics » (1 article), « IEEE Journal of Solid-State Circuit » (1 article), « IEEE Microwave and Wireless Components Letters » (1 article), et les conférences « IEEE International Conference on Electronics, Circuits, and Systems » (3 articles), « Journées Nationales Micro-ondes » (7 articles), « NEWCAS-TAISA » (4 articles).

A.12 Activités d'enseignements actuelles

Nos activités d'enseignement ont toujours été volontairement dispersées dans les différents domaines de l'EEA. Curieusement, nous avons eu très peu l'occasion d'intervenir dans les premières années de licence (ex DEUG).

Licence 3 - EEA

Outils mathématiques (TD)

Cet enseignement fournit des outils mathématiques nécessaires aux étudiants de EEA pour l'étude de systèmes. Il pose non seulement le cadre mathématique indispensable à leur étude, mais s'attarde également sur leurs applications pratiques dans le domaine de l'EEA, avec une double approche mathématique/physique.

Électronique numérique (Cours, TD, TP)

Cet enseignement donne les bases de la conception de circuits numériques, essentiellement combinatoires. Les familles logiques et technologies d'intégration sont abordées, ainsi que les fonctions élémentaires de l'électronique combinatoire dé(codeurs), transcodeurs, (dé)multiplexeurs, (demi) additionneurs, (demi) soustracteurs...).

Master 1 - EMMOM

Simulation Système COMSIS (5 × 3 h TP)

Une chaîne de transmission numérique d'un signal analogique est décortiquée au travers d'un logiciel de simulation système : numérisation et codage de signal (échantillonnage, quantification uniforme et non-uniforme (compression), bruit de quantification, rapport signal/bruit), transmission en bande de base (format de transmission, densité spectrale de puissance, diagramme en œil, bilan de liaison), modulations analogiques et discrètes (diagramme vectoriel, diagramme de constellation, transposition de spectre)...

Master 2 Pro - ICEM

Bureau d'étude Cadence (11 × 4 h TP)

Ce bureau d'étude permet de prendre en main l'ensemble du flot de conception analogique sous Cadence : conception complète un circuit, depuis la saisie d'une schématique jusqu'au dessin des masques, en passant par la simulation, la réalisation du dessin des masques, la vérification des règles de dessin (DRC), la comparaison schématique/dessin des masques (LVS), l'extraction des parasites, et la rétro-simulation. Le bureau d'étude aborde aussi bien les problèmes théoriques que pratiques et technologiques. Le circuit étudié est un convoyeur de courant.

Synthèse logique (2 h cours + 5 × 4 h TP)

En complément du bureau d'étude précédent, le flot de conception d'un circuit numérique est également abordé, depuis la description du circuit au format VHDL, jusqu'au placement/routage et rétro-simulation, en passant par la synthèse logique.

Master 2 Pro - ISME

Synthèse logique (2 h cours + 2 × 4 h TP)

Initiation à la synthèse logique d'un code VHDL. Version allégée par rapport au Master 2 Pro ICEM.

Master 2 Pro - EP

Cours de microcalculateurs pour la commande (16 h)

Cours préparatoire au micro-projet décrit en suivant :
- Vue d'ensemble sur la commande par microcalculateur,
- Problèmes d'interfaçage entre le calculateur et le procédé (échantillonnage, acquisition des données, filtrage, production de signaux de commande...),
- Présentation du microcontrôleur utilisé et des interfaces pour acquérir les données de mesures et produire les signaux de commande,
- Implémentation pratique du contrôleur numérique (calculs de correcteurs analogiques puis numérisation, facteurs d'échelles, ...).

Micro-projet commande numérique d'une machine à courant continu par microcontrôleur (40 h TP)

L'objectif est de mettre en place la commande numérique d'un moteur à courant continu présentée dans le cours.

A.13 Activités d'enseignements passées

IUP AISEM

- Participation à la création du diplôme en 2002 ;
- Participation à la mise en place du programme d'enseignement des 3 années ;
- Membre du comité de perfectionnement ;
- Créateur et administrateur du site internet ;
- Responsable de l'année de Master I entre 2002 et 2007.

Agrégation de génie électrique et physique appliquée

Modulations numérique (6 h Cours + 6 h TD)

Les objectifs étaient :
- Acquisition des connaissances théoriques permettant l'analyse et la synthèse des systèmes de télécommunication numériques. Effectuer un bilan de liaison en terme de taux d'erreurs par bit.
- Être en mesure de choisir parmi différents types de transmission numérique (bande de base ou modulation) à partir d'un cahier des charges donné.
- Apport d'informations sur les principaux systèmes de télécommunications numériques.
- Connaître les effets de la numérisation d'un signal analogique.

Arrêt du cours à la suite de la suppression de la formation.

Master 2 Pro - ICEM

Bureau d'étude Emetteur infra-rouge (5 × 2 h TD + 28 h TP)

Conception d'un émetteur complet et de la PLL du récepteur : schéma complet du circuit à réaliser, valeurs des composants du circuit, grandeurs de test. Réalisation du circuit émetteur sur plaquette LABDEC. Mesures polarisation, caractéristiques dynamiques : gain, niveau, fréquences de coupure...

Master 1 - IUP AISEM

Modulations/codage (10 h Cours + 6 h TD)

Ce cours était une version allégée du cours d'agrégation sur les modulations numériques, avec en plus les modulations analogiques.

Master 1 - EMMOM

TP électronique analogique (5 × 3 h TP)

Oscillateur à pont de Wien, étude du transistor bipolaire, amplificateur en classe C, étude d'une capacité MOS, filtrage de Chebyshev, ...

Licence Pro - Ingénierie des Systèmes de Radiocommunication

Systèmes à accès multiples (2 × 2 h Cours)

Tour d'horizon des différentes techniques d'accès multiples au travers des différentes normes de télécommunication.

Tests de circuits numériques sur testeur professionnel HP 83000

4 h TP pendant 7 ans sur 4 formations. Programmation et utilisation d'un testeur professionnel sur un circuit intégré comprenant un registre à décalage. Mise au point d'une séquence de test.

Formation continue

Mathématiques pour le traitement du signal (56 h Cours/TD) pendant 3 ans

Cet enseignement avait pour vocation de présenter les outils mathématiques indispensables au domaine de l'EEA, sous un angle très pratique d'application au traitement du signal : nombres complexes, intégration, fractions rationnelles, séries et transformées de Fourier, FFT, transformées de Laplace et en Z.

Références bibliographiques de l'annexe A

Références personnelles non citées dans le document

[P1] J. SADOWY, J. GRAFFEUIL, É. TOURNIER, L. ESCOTTE et R. PLANA. « Advanced design of high linearity, low noise amplifier for WLAN using a SiGe BiCMOS technology ». Dans : *Topical Meeting on Silicon Monolithic Integrated Circuits in RF systems*. 6 pages. Ann Arbor (USA), 2001.

[P2] J. SADOWY, V. LE GOASCOZ, I. TELLIEZ, J. GRAFFEUIL, É. TOURNIER, L. ESCOTTE et R. PLANA. « Low noise, high linearity, wide bandwidth amplifier using a 0.4 µm SiGe BiCMOS for WLAN applications ». Dans : *2002 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*. Seattle (USA), 2002, p. 217–220.

[P3] J. SADOWY, V. LE GOASCOZ, I. TELLIEZ, J. GRAFFEUIL, É. TOURNIER, L. ESCOTTE et R. PLANA. « Conception de circuits SiGe faible bruit pour applications radiofréquences en bande C ». Dans : *5es Journées Microondes et Electromagnétisme de Toulouse (JMET'2002)*. Toulouse (France), 2002.

[P4] C. VIALLON, É. TOURNIER et T. PARRA. *An original active balun design using CPS transmission lines and a SiGe BiCMOS technology*. LAAS Reports 02549. 4p. : LAAS, déc. 2002.

[P5] J. SADOWY, V. LE GOASCOZ, I. TELLIEZ, J. GRAFFEUIL, É. TOURNIER, L. ESCOTTE et R. PLANA. « SiGe based low noise amplifier for WLAN applications ». Dans : *1st International SiGe Technology and Device Meeting (ISTDM'2003)*. Nagoya (Japon), 2003, p. 255–256.

[P6] C. VIALLON, É. TOURNIER et T. PARRA. « Conception d'un combineur de puissance actif coplanaire original en technologie BiCMOS SiGe ». Dans : *13es Journées Nationales Microondes (JNM'2003)*. 4 pages. Lille (France), 2003.

[P7] C. VIALLON, É. TOURNIER et T. PARRA. « Improved differential structures for balanced microwave applications ». Dans : *2003 Asia-Pacific Microwave Conference (APMC'03)*. Seoul (Corée), 2003, p. 1676–1679.

[P8] C. VIALLON, É. TOURNIER, J. GRAFFEUIL et T. PARRA. « An original SiGe active differential output power splitter for millimetre-wave applications ». Dans : *33rd European Microwave Conference (EuMC'2003)*. Munich (Allemagne), 2003, p. 1–4.

[P9] J. SADOWY, V. LE GOASCOZ, I. TELLIEZ, J. GRAFFEUIL, É. TOURNIER, L. ESCOTTE et R. PLANA. « SiGe based low noise amplifier for WLAN applications ». Dans : *Applied Surface Science* 224 (2004), p. 419–424.

[P10] C. VIALLON, É. TOURNIER, J. RAYSSAC et T. PARRA. « Diviseur de puissance actif 180° et convertisseur de fréquence doublement équilibré en technologie BiCMOS SiGe en bande K ». Dans : *7^{e} Journée Microondes et Electromagnetisme de Toulouse (JMET'2004)*. 4 pages. Toulouse (France), 2004.

LISTE DES FIGURES & TABLEAUX

Liste des figures

1.1 Architecture générique d'un émetteur-récepteur . . . 17
1.2 Comparaison de technologies silicium . . . 20
1.3 Stabilité d'un système bouclé en fonction de la marge de phase $\Delta\phi$ . . . 21
1.4 Oscillations en contre-réaction (a) et à résistance négative (b) . . . 21
1.5 Résonateur LC Colpitts/Pierce/Clapp . . . 23
1.6 Vue en coupe d'un résonateur BAW . . . 24
1.7 Modèle équivalent BVD modifié du résonateur BAW . . . 24
1.8 Fréquences de résonance série et parallèle . . . 25
1.9 Résonateurs FBAR (a) et SMR (b) . . . 25
1.10 Inversion d'un opérateur quelconque P . . . 27
1.11 Illustration schématisée de la PLL . . . 27
1.12 Comparateur de phase classique à trois états . . . 29
1.13 Fonction de transfert du PFD . . . 29
1.14 Schéma d'un diviseur numérique programmable à double module . . . 31
1.15 Filtre de boucle . . . 32
1.16 Principe de la synthèse digitale directe élémentaire . . . 32
1.17 Illustration du changement de fréquence dans un DDS . . . 33
1.18 Balayage des échantillons stockés en mémoire – CPA . . . 33
1.19 Mécanisme de décodage de symétries . . . 34
1.20 Mise en œuvre de modulations par un DDS . . . 35
1.21 Utilisations possibles de DDS dans une PLL . . . 36
1.22 Caractéristiques des CNA . . . 38
1.23 CNA à sources de courant pondérées en puissances de 2 . . . 39
1.24 Schéma de principe d'un DDS utilisant un CNA non linéaire segmenté . . . 39
1.25 Reconstitution d'un sinus par un CNA non linéaire segmenté . . . 39
1.26 Inverseur/suiveur en logique ECL et CML . . . 41

2.1 Aperçu de la technique « Above-IC » . . . 47
2.2 Résonateur un port (en réflexion) $210 \times 285\,\mu m^2$ . . . 48
2.3 Résonateur deux ports (en transmission) $280 \times 260\,\mu m^2$ . . . 48
2.4 Résonances du FBAR . . . 48
2.5 Oscillateur à sortie simple . . . 49
2.6 Modèle équivalent en oscillation . . . 49
2.7 Impédance d'entrée . . . 49
2.8 Compromis puissance de sortie - bruit de phase . . . 51
2.9 Photo de l'oscillateur simple $640 \times 650\,\mu m^2$ . . . 51
2.10 Schématique de l'oscillateur à sorties différentielles . . . 51
2.11 Demi-circuit équivalent de l'oscillateur à sorties différentielles . . . 52
2.12 Influence de la résistance d'accès sur le bruit de phase . . . 52
2.13 Microphotographie de l'oscillateur différentiel ($830 \times 650\,\mu m^2$) . . . 53
2.14 Spectre de l'oscillateur à sortie simple . . . 53
2.15 Spectre de l'oscillateur différentiel . . . 53

2.16 Bruit de phase des oscillateurs simple et différentiel . . . 53
2.17 Schématique de l'OPDC . . . 55
2.18 Schématique de l'OPD . . . 55
2.19 Fréquence et puissance de sortie de l'OPDC . . . 56
2.20 Fréquence et puissance de sortie de l'OPD . . . 56
2.21 Bruit de phase de l'OPDC . . . 56
2.22 Bruit de phase de l'OPD . . . 56
2.23 Microphotographie de l'OPDC . . . 56
2.24 Microphotographie de l'OPD . . . 56

3.1 Formation d'une bascule sensible sur front . . . 62
3.2 Schématique d'une bascule sensible sur niveau . . . 62
3.3 Mesure de la puissance admissible en entrée (min ♦ et max ■) et disponible en sortie (▲) . . . 62
3.4 Prédiviseur classique réalisant le facteur $N + 1$ par le masquage du signal RF . . . 63
3.5 Schématique logique du premier prédiviseur 4/5 . . . 64
3.6 Chronogrammes du premier prédiviseur 4/5 . . . 64
3.7 Deuxième prédiviseur 4/5 . . . 64
3.8 Troisième prédiviseur 4/5 . . . 64
3.9 Microphotographie du diviseur programmable en technologie BiCMOS7 $925 \times 1950\,\mu m^2$ . . . 65
3.10 Spectre de la division par 426 à $f_{clk} = 15\,GHz$ . . . 65
3.11 Schéma du diviseur numérique programmable à double module et un seul compteur . . . 66
3.12 Optimisation de la topologie du PFD . . . 66
3.13 Mise en évidence du filtrage des parasites dans le PFD . . . 67
3.14 Schématique de la pompe de charges à courant variable . . . 67
3.15 Principe d'une PLL basée sur une pompe de charges à courant variable . . . 68
3.16 Mesures de la pompe de charges à courant variable . . . 68
3.17 Réalisation d'un filtre numérique linéarisé . . . 69
3.18 Simulation de la PLL totalement numérique . . . 70
3.19 PLL conçue dans MOBILIS . . . 70
3.20 Microphotographie de la PLL en BiCMOS7RF . . . 70
3.21 Mesure temporelle du VCO . . . 72
3.22 Couverture des normes UMTS et DCS/EDGE par le VCO . . . 72
3.23 Microphotographie de la Mesure de la PLL en BiCMOS7RF . . . 72
3.24 Mesure de la PLL en BiCMOS7RF . . . 72

4.1 Additionneur en logique multiniveaux – Somme (sum) et retenue (carry) . . . 77
4.2 Microphotographie de l'accumulateur 3-bits en BiCMOS7RF . . . 78
4.3 Signaux en sortie de l'accumulateur en fonction de la programmation à 15 GHz . . . 79
4.4 Disposition du CNA 8-bits à sources de courant commutées . . . 80
4.5 Microphotographie du CNA 8-bits . . . 80
4.6 Non-linéarité intégrale et différentielle du CNA . . . 81
4.7 Fonction de transfert DC du CNA . . . 81
4.8 Étage différentiel . . . 82
4.9 Fonction de transfert DC du CNA . . . 82

4.10 Microphotographie du DDS en BiCMOS7RF . . . 83
4.11 Courbe de sortie du DDS : f_{clk} = 6 GHz, MCF = 1, f_{out} = 11,718 MHz . . . 84
4.12 Courbe de sortie du DDS : f_{clk} = 6 GHz, MCF = 255, f_{out} = 2988,28 MHz . . . 84
4.13 Impulsion UWB standard . . . 86
4.14 Sorties du DDS pour les programmations $\Delta p = 1$, $\Delta p = 5$, $\Delta p = 16$ et $\Delta p = 127$ . . . 87

5.1 Banc de mesure de bruit de phase à un résonateur . . . 94
5.2 Config. 1 : mesure de bruit de phase intégré de sources . . . 96
5.3 Config. 2 : mesure de bruit de phase intégré de quadripôles . . . 96
5.4 Config. 3 : mesure de bruit de phase de sources large bande . . . 96
5.5 Config. 4 : mesure optimisée de bruit de phase intégré de sources . . . 96
5.6 Bascule D optimale . . . 97
5.7 Simulation du bruit de phase résiduel . . . 97
5.8 Microphotographie du diviseur de fréquence . . . 97
5.9 Mesure de bruit de phase résiduel du diviseur à f_{clk} = 3,5 GHz . . . 97
5.10 Schématique du mélangeur de Gilbert avec résistances de charge . . . 97
5.11 Schématique du mélangeur de Gilbert avec charges actives . . . 97
5.12 Photos des mélangeurs à charges résistives (116 × 78 µm^2) et actives (227 × 261 µm^2) . . . 98
5.13 Structure à trois étages de l'amplificateur différentiel . . . 98
5.14 Représentation simplifiée de l'amplificateur opérationnel faible bruit . . . 99
5.15 Mesure du bruit équivalent en tension de l'amplificateur ramené en entrée . . . 99
5.16 Photo de l'amplificateur faible bruit . . . 100
5.17 Photo du montage en boîtier du banc complet . . . 101
5.18 Caractérisation du bruit de phase d'un résonateur BAW, et plancher de mesure . . . 101
5.19 Photos des deux bancs de mesure intégrés et assemblage avec les résonateurs BAW . . . 101

Liste des tableaux

1.1 Quelques standards de télécommunication . . . 16
1.2 Vue générale des synthèses de fréquences . . . 16
1.3 Synthèse des synthèses de fréquences . . . 40

2.1 Mesures d'un résonateur FBAR deux ports . . . 48
2.2 Modèle BVD des FBAR utilisés dans la conception des oscillateurs . . . 48
2.3 Résultats de mesures . . . 54
2.4 Performances des oscillateurs LC . . . 57

4.1 Cycles des valeurs en sortie de l'accumulateur en fonction de la programmation . . . 78
4.2 Répartition des composants dans les différents blocs du DDS . . . 83
4.3 Comparaison des différents DDS RF de la littérature . . . 85

5.1 Cahier des charges en bruit . . . 93
5.2 Cahier des charges du banc de mesure de bruit de phase intégré . . . 94
5.3 État de l'art des amplificateurs opérationnels . . . 100
5.4 Comparaison entre le cahier des charges et les performances des circuits . . . 102
5.5 Consommations et dimensions des circuits . . . 102

LISTE DES SIGLES & ACRONYMES

FoM	Facteur de mérite (cf p. 19, 26, 53, 54, 57, 84, 85)
Al	Aluminium (cf p. 47)
AlN	Nitrure d'aluminium (cf p. 24, 47, 48)
AMIs	AMI Semiconductor (cf p. 47, 113)
ATER	Attaché Temporaire d'Enseignement et de Recherche (cf p. 71)
AWG	Générateur de signal arbitraire (cf p. 34, 86, 110)
BAW	Résonateur à onde acoustique de volume (cf p. 24–26, 46–48, 57, 92–94, 100–103, 107, 114)
BiCMOS	Bipolaire et CMOS (cf p. 12, 19, 20, 24, 26, 42, 46, 47, 57, 68, 77, 78, 82, 86, 88, 100–102, 110, 112, 114)
BIST	Circuits de test intégrés (cf p. 92, 109)
BVD	Butterworth Van Dyke (cf p. 24, 25, 47, 48)
CAN	Convertisseur analogique/numérique (cf p. 17, 96)
CCM	Composants et Circuits Micro-ondes (cf p. 3, 11)
CDMA	Accès multiple par répartition de code (cf p. 16)
CISHT	Composants et Intégration des Systèmes Hyperfréquences pour Télécommunications (cf p. 3)
CML	Logique à mode de courant (cf p. 40, 41, 61)
CMOS	MOS complémentaires (cf p. 3, 11, 12, 19, 20, 27, 30, 31, 37, 64, 66, 76, 77, 85, 86, 88, 100, 110, 112)
CMP	Circuits multiprojets (cf p. 71)
CNA	Convertisseur numérique/analogique (cf p. 16, 17, 28, 32, 34, 35, 37–39, 79–82)
CNES	Centre National de la Recherche Spatiale (cf p. 73, 76, 112)
CNRS	Centre National de la Recherche Scientifique (cf p. 3, 110)
CORDIC	« COordinate Rotation Digital Computer » (cf p. 37)
CPA	Convertisseur phase/amplitude (cf p. 32–35, 37, 38, 77, 80)
CSEM	Centre Suisse d'Électronique et de Microtechnique (cf p. 47)
DAS	Synthèse Analogique Directs (cf p. 16)
DC	Signal continu (cf p. 37–39, 80–82, 93)
DCS	Norme téléphonie mobile de deuxième génération (cf p. 72)
DDS	Synthèse Digitale Directe (cf p. 13, 16, 20, 31–37, 39, 40, 57, 61, 73, 76–80, 82–88, 96, 107, 108, 110, 112)
DGA	Direction générale de l'armement (cf p. 73)
DLL	Boucle à verrouillage de délai (cf p. 16)
DNL	Non-linéarité différentielle (cf p. 37, 81)
DRC	Contrôle des règles de dessin (cf p. 12, 71)
DSP	Densité spectrale de puissance (cf p. 17, 18, 22, 23, 96)
ECL	Logique à émetteurs couplés (cf p. 19, 30, 31, 40, 41, 61, 64, 66, 76, 77)
EDGE	Norme téléphonie mobile de deuxième génération (cf p. 72)
ENOB	Nombre effectif de bits (cf p. 37)
ESD	Décharges électrostatiques (cf p. 92)
FAST	« Fibre-like Aircraft Satellite Telecommunications » (cf p. 112)
FBAR	Résonateur BAW sur membrane (cf p. 25, 46–52, 54, 56, 93)
FDMA	Accès multiple par répartition en fréquence (cf p. 16)

FHSS	Étalement de spectre par sauts de fréquence (cf p. 16)
FIR	Réponse impulsionnelle finie (cf p. 3, 31, 69, 70)
FP	« Framework Program » (cf p. 112)
FPGA	Réseau logique programmable (cf p. 37)
FSK	Modulation discrète par déplacement de fréquence (cf p. 16)
FUI	Fonds Unique Interministériel (cf p. 112)
GFSK	Modulation FSK gaussienne (cf p. 16)
GMSK	Modulation FSK à déplacement minimum gaussien (cf p. 16)
GSM	Norme de téléphonie mobile de deuxième génération (cf p. 16)
IIR	Réponse impulsionnelle infinie (cf p. 3, 31, 69, 70)
INL	Non-linéarité intégrale (cf p. 37, 38, 81)
InP	Phosphure d'indium (cf p. 19, 20, 36, 76, 85)
INSA	Institut National des Sciences Appliquées (cf p. 11)
ISSCC	« International Solid-State Circuits Conference » (cf p. 112)
IST	« Information Science et Technology » (cf p. 112)
JNM	Journées Nationales Micro-ondes (cf p. 112)
LAAS	Laboratoire d'Analyse et d'Architecture des Systèmes (cf p. 3, 11, 102)
LC	Résonateur inductance-capacité (cf p. 23, 25, 26, 46, 48, 54, 57, 94)
LETI	Laboratoire d'Électronique et de Technologies de l'Information (cf p. 47)
LNA	Amplificateur haute-fréquence faible bruit (cf p. 17, 46, 92)
LSB	Bit le moins significatif (cf p. 37, 38, 81)
MARTINA	« Monolithic Above IC Resonator Technology for Integrated Novel Architecture in mobile and wireless communication » (cf p. 46, 47, 57, 93, 112)
MMIC	Circuits intégrés monolithiques micro-ondes (cf p. 11, 112)
MOBILIS	« Mixed SiP and SoC Integration of Power BAW Filters for Digital Wireless Transmissions » (cf p. 70, 71, 73, 88, 93, 102, 103, 112)
MOS	Métal Oxyde Semiconducteur (cf p. 19, 62, 98, 117)
MOST	Micro-ondes et Opto-micro-ondes pour Systèmes de Télécommunications (cf p. 3, 93, 112, 113)
MSB	Bit le plus significatif (cf p. 34, 35, 39, 79)
MWCL	« Microwave and Wireless Components Letters » (cf p. 88)
NCO	Oscillateur contrôlé numériquement (cf p. 36, 61, 76, 107)
NMOS	Transistor MOS de type n (cf p. 68, 77, 86)
NoE	« Network of Excellence » (cf p. 112)
OFDM	Multiplexage en fréquences orthogonales (cf p. 16)
OL	Oscillateur local (cf p. 94–97)
OPD	Oscillateur Pierce différentiel (cf p. 54–56)
OPDC	Oscillateur à paire différentielle croisée (cf p. 54–56)
P/A	Phase/amplitude (cf p. 33)
PAD	Plot d'accès à un circuit intégré (cf p. 100)

PFD	Détecteur phase/fréquence (cf p. 28–30, 36, 66–69)
PLL	Boucle à verrouillage de phase (cf p. 13, 16, 18, 20, 27–31, 34, 36, 42, 57, 61, 65, 66, 68–73, 76, 80, 107, 116)
PSK	Modulation discrète par déplacement de phase (cf p. 16)
Pt	Platine (cf p. 47)
PZT	Titano-zirconate de plomb (cf p. 24)
QPSK	Modulation PSK en quadrature (cf p. 16)
RC	Résistance capacité (cf p. 31)
RF	Radiofréquence (cf p. 19, 24, 40, 46, 63, 77, 85, 93–97, 107, 114)
RFIC	« Radio-Frequency Integrated Circuits » (cf p. 88, 112)
RLC	Résistance inductance capacité (cf p. 24)
RUN	Fabrication d'un circuit intégré (cf p. 70, 71)
Rx	Réception (cf p. 16)
SAW	Résonateur à onde acoustique de surface (cf p. 24, 46)
SiGe	Silicium germanium (cf p. 19, 20, 47, 85, 112)
SiGe:C	Silicium germanium carbone (cf p. 19, 68, 77, 78, 82, 88)
SiP	Système encapsulé (cf p. 13, 46)
SMR	Résonateur BAW monté solidement (cf p. 25, 26, 47, 93)
SoC	Système sur puce (cf p. 46, 57, 92)
ST	ST Microelectronics (cf p. 57, 61, 71, 73, 85, 88, 103)
SVG	« Scalable Vector Graphics » (cf p. 4)
TARGET	« Top Amplifier Research Groups in a European Team » (cf p. 112)
TDD	Duplexage par séparation temporelle (cf p. 16)
TDMA	Accès multiple par répartition en temps (cf p. 16)
Tx	Transmission (cf p. 16)
UMTS	Norme téléphonie mobile de troisième génération (cf p. 16, 72)
UWB	Ultra-large bande (cf p. 85, 86, 107, 110, 112)
VCCS	Source de courant contrôlée en tension (cf p. 95)
VCO	Oscillateur contrôlé en tension (cf p. 20, 27, 28, 30–32, 61, 66, 68, 72, 73, 76, 94, 102, 107, 112)
VCVS	Source de tension contrôlée en tension (cf p. 95)
WCDMA	CDMA large bande (cf p. 16, 46)
WLAN	Réseau sans fil (cf p. 46)
ZnO	Oxyde de zinc (cf p. 24)

LISTE DES SYMBOLES

A_i	Premier bit de rang i à additionner (cf p. 36)
A	Amplitude (cf p. 17, 32, 33)
B_i	Deuxième bit de rang i à additionner (cf p. 36)
B	Compteur B dans le prédiviseur (cf p. 30, 31, 65, 66)
C_0	Capacité (cf p. 54)
C_1	Capacité de contre-réaction (cf p. 49–52, 54, 55)
C_2	Capacité de contre-réaction (cf p. 49–52)
C_G	Capacité d'une impédance d'entrée (cf p. 49, 50)
C_L	Capacité de charge (cf p. 50, 51)
C_{eq}	Capacité équivalente (cf p. 54)
C_m	Capacité acoustique d'un résonateur (cf p. 24, 25, 48, 50–52)
C_o	Capacité principale d'un résonateur (cf p. 24, 25, 48, 50–52)
C_p	Capacité parasite (cf p. 54)
C_v	Varactor (cf p. 54, 55)
C_π	Capacité base-émetteur (cf p. 49, 50, 54)
C_{c_1}	Capacité de couplage entre étage (cf p. 49–52)
C_{c_2}	Capacité de couplage entre étage (cf p. 49, 51, 52)
$C_{i_{\text{in}}}$	Retenue entrante de rang i (cf p. 36)
$C_{i_{\text{out}}}$	Retenue sortante de rang i (cf p. 36)
C	Compteur C dans le prédiviseur (cf p. 30, 31, 65, 66)
D	Signal de durée égale au retard entre front de f_{ref} et de f_{div} (cf p. 27–29, 36, 66, 68, 69)
E	Entrée (cf p. 21, 95)
F_i	Transformée de Fourier de la fréquence instantanée (cf p. 22)
G	Fonction de transfert d'un amplificateur ou d'une résistance négative (cf p. 21, 22)
I_1	Courant de polarisation (cf p. 49–52)
I_2	Courant de polarisation (cf p. 49, 51, 52)
K_φ	Gain de conversion d'un mélangeur (cf p. 93, 94, 102)
L_Q	Inductance d'entrée d'un résonateur (cf p. 49)
L_c	Inductance de charge (cf p. 54, 55)
L_m	Inductance acoustique (cf p. 24, 25, 48, 52)
M	Rapport de division du diviseur ECL/CMOS (cf p. 27, 30, 31, 64–66)
N	Rapport de division du pré-diviseur (cf p. 8, 27, 30, 31, 63–66)
P_{diss}	Puissance dissipée (cf p. 26)
P	Phase en sortie de l'accumulateur (cf p. 32, 33)
Q_L	Coefficient de qualité en charge (cf p. 22–24)
Q_{BAW}	Capacité équivalente (cf p. 94)
Q_{LC}	Capacité équivalente (cf p. 94)
Q_p	Coefficient de qualité pour la résonance parallèle (cf p. 48)
Q_s	Coefficient de qualité pour la résonance série (cf p. 48)

Q	Fonction de transfert d'un résonateur (cf p. 21, 95)
R_G	Résistance négative d'une impédance Z_G (cf p. 21, 22, 49)
R_Q	Résistance d'entrée d'un résonateur (cf p. 21, 22, 49–51)
R_m	Résistance acoustique (cf p. 24, 48, 50–52)
R_o	Pertes diélectriques (cf p. 24, 48, 50, 52)
R_s	Pertes ohmiques dans des électrodes (cf p. 24, 48, 50–52)
R_π	Résistance base-émetteur (cf p. 49)
R_{b_1}	Résistance de polarisation de base (cf p. 49, 51, 52)
R_{b_2}	Résistance de polarisation de base (cf p. 49, 51, 52)
S_i	Somme de deux bits de rang i (cf p. 36)
S	Densité spectrale de puissance (cf p. 18, 22, 23, 39)
U	Signal de durée égale au retard entre front de f_{div} et de f_{ref} (cf p. 27–29, 36, 66, 68, 69)
V_c	Amplitude de la porteuse (cf p. 17, 18, 55, 56)
V_{out}	Potentiel d'entrée (cf p. 82)
V_{out}	Potentiel de sortie (cf p. 28, 29, 49, 51, 52, 82)
X_G	Réactance d'une impédance Z_G (cf p. 21, 22, 49, 50)
X_Q	Réactance d'entrée d'un résonateur (cf p. 21, 22, 49)
X	Spectre d'un signal à transmettre (cf p. 17, 18)
$\Delta\phi$	Marge de phase (cf p. 21, 100)
Δp	Incrément de phase (cf p. 32–35, 85–87)
Ω_i	Transformée de Fourier de la pulsation instantanée (cf p. 22)
Φ_i	Transformée de Fourier de la phase instantanée (cf p. 22)
δ	Impulsion de Dirac (cf p. 17, 18)
λ	Longueur d'onde (cf p. 24)
ω_c	Pulsation de résonance (cf p. 21, 22)
ω_i	Pulsation instantanée (cf p. 22)
ω	Pulsation (cf p. 21, 22, 49, 50)
ϕ_i	Phase instantanée (cf p. 22, 23)
ϕ	Phase (cf p. 17, 22, 23)
clk	Horloge (cf p. 29, 32, 34, 35, 39, 62–64, 66, 79, 95–97)
φ	Bruit de phase (cf p. 18, 22, 23)
ξ	Coefficient d'amortissement (cf p. 22)
c	Porteuse (cf p. 17, 18)
f_0	Fréquence d'une sinusoïde (cf p. 19, 96)
f_1	Fréquence d'une sinusoïde (cf p. 19, 96)
f_{clk}	Fréquence d'horloge (cf p. 33, 36, 65, 69, 83, 84, 97)
f_{div}	Fréquence en sortie de diviseur (cf p. 28, 29, 66, 68, 69)
f_{in}	Fréquence d'entrée (cf p. 31, 66)
f_{offset}	Distance de fréquence à la porteuse (cf p. 26)

f_{out}	Fréquence de sortie (cf p. 27, 31–34, 66, 68, 84)
f_{ref}	Fréquence de référence (cf p. 27–29, 36, 66, 68, 69)
f_c	Fréquence de la porteuse (cf p. 17, 18, 22, 23, 26)
f_i	Fréquence instantanée (cf p. 22, 23)
f_o	Fréquence d'oscillation (cf p. 50, 51, 54)
f_p	Fréquence de résonance parallèle (cf p. 24, 25, 48, 50, 86)
f_s	Fréquence de résonance série (cf p. 24, 25, 48, 50, 51)
f	Fréquence (cf p. 17, 18, 22, 23, 96)
g_m	Transconductance (cf p. 49, 50, 98)
i_B	Courant d'entrée de la résistance négative (cf p. 49)
i	Nombre d'additionneurs en parallèle dans une structure « pipeline » (cf p. 36)
j	Nombre de bits de la phase réduit par décodage de symétrie(s) (cf p. 39)
k	Nombre de bits de poids forts parmi j (cf p. 39)
l	Nombre de bits de poids faibles parmi j (cf p. 39)
m	Nombre de bits de l'amplitude (cf p. 33)
n	Nombre de bits de la phase (cf p. 32–37, 39)
t	Temps (cf p. 17–19, 22, 29, 32, 34, 86)
v_B	Tension d'entrée de la résistance négative (cf p. 49)
v_E	Potentiel d'émetteur (cf p. 49)
v_{BE}	Tension base-émetteur (cf p. 49)
v	Bruit d'amplitude (cf p. 18)
x	Signal à transmettre (cf p. 17, 18)
$\mathcal{L}$	Bruit de phase d'oscillation en bande simple (cf p. 22, 23, 26)
MCF	Mot de contrôle de la fréquence (cf p. 33, 35, 39, 84)
SNR	Rapport signal/bruit (cf p. 37)