



HAL
open science

Impact du claquage progressif de l'oxyde sur le fonctionnement des composants et circuits élémentaires MOS : caractérisation et modélisation

Louis Gerrer

► **To cite this version:**

Louis Gerrer. Impact du claquage progressif de l'oxyde sur le fonctionnement des composants et circuits élémentaires MOS : caractérisation et modélisation. Autre. Université de Grenoble, 2011. Français. NNT : 2011GRENT045 . tel-00631364

HAL Id: tel-00631364

<https://theses.hal.science/tel-00631364>

Submitted on 12 Oct 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Micro et Nano Electronique**

Arrêté ministériel : 7 août 2006

Présentée par

Louis GERRER

Thèse dirigée par **Gérard GHIBAUDO** et
codirigée par **Jalal JOMAAH**

préparée au sein de l'**Institut de Microélectronique
d'Electromagnétisme et de Photonique**, en collaboration avec
STMicroelectronics
dans l'**École Doctorale Electronique Electrotechnique
Automatique et Traitement du signal**

Impact du claquage progressif de l'oxyde sur le fonctionnement des composants et circuits MOS : Caractérisation et modélisation

Thèse soutenue publiquement le **12 juillet 2011**
devant le jury composé de :

Mr Ian O CONNOR

Professeur à l'école centrale de Lyon, Président

Mme Nathalie LABAT

Professeur à l'IMS, Rapporteur

Mr Christophe LALLEMENT

Professeur à l'INESS, Rapporteur

Mr David ROY

Reliability Team Leader at STMicroelectronics, Membre

Mr Gérard GHIBAUDO

Directeur de recherches à l'IMEP-LAHC, Membre

Mr Guillaume Ribes

Ingénieur STMicroelectronics, Membre invité



Remerciements :

Je commence par remercier Gérard Ghibaudo pour sa patience et sa disponibilité à partager son expérience quasi-séculaire, puis l'équipe de STMicroelectronics qui m'a aidé et formé à la fiabilité, parmi eux Guillaume Ribes et Mustapha Rafik pour le temps qu'ils ont consacré à mes recherches.

Je veux remercier également mes parents qui du plus loin que je me souviens m'ont toujours soutenu du mieux possible à poursuivre mes études et à développer ma curiosité et mes capacités ; mes collègues de bureau pour leur accompagnement au quotidien, le partage de leurs expériences et de moments de détente.

Enfin un paragraphe de remerciement entier pour ma compagne Julie qui m'a supporté dans tous les sens du terme pendant ces années de thèse.

Préface :

La miniaturisation des dispositifs en vue de réduire leur consommation, d'augmenter leur densité d'intégration et leur fréquence de fonctionnement s'accompagne d'un grand nombre de défis technologiques à relever, d'autant plus que la miniaturisation des dispositifs provoque une augmentation drastique de la variabilité de leurs paramètres. Les exigences de fiabilité sont donc de plus en plus difficiles à satisfaire ; de plus le maintien de la croissance exponentielle du secteur de la microélectronique impose des temps de conception sans cesse réduits, et nécessite donc des méthodes toujours plus efficaces et des modèles toujours plus performants. Dans ce contexte l'apparition de la progressivité du claquage du diélectrique, jusqu'alors considéré comme destructif et limitant la durée de vie des circuits, a très vite suscité l'espoir de prolonger la durée de vie des applications en utilisant cette plage de progressivité pendant laquelle les circuits continuent de fonctionner. Le financement de nos travaux de thèse par le cluster européen MEDEA+ (Micro-Electronics Developments for European Applications) via le projet Honey (Highly Optimized Design Methods for Yield and Reliability) témoigne de l'importance de cet enjeu.

Dans une première partie, nous introduisons le lecteur au contexte de la microélectronique en soulignant son importance capitale dans notre société de l'information. Le deuxième chapitre de cette introduction générale présentera le transistor à effet de champ MOSFET, ses tendances d'évolution ainsi que les principaux modèles utilisés dans l'industrie pour décrire son comportement. Quelques circuits types de la logique complémentaires CMOS seront présentés brièvement. Un troisième chapitre détaillera la fabrication, les propriétés et les limites de l'élément critique de ces dispositifs : l'oxyde de grille qui fait l'objet de nos travaux. Enfin nous mentionnerons le cadre dans lequel s'inscrit notre projet.

La deuxième partie de ce manuscrit porte sur la fiabilité de l'oxyde de grille, après avoir décrit les enjeux de la fiabilité, nous détaillerons dans le deuxième chapitre les mécanismes d'usure et de dégradation de l'oxyde de grille et leurs effets sur le fonctionnement des dispositifs. Le troisième chapitre de cette partie se concentre sur le claquage progressif du diélectrique qui constitue l'objet de nos travaux. Après avoir exposé la phénoménologie de cette dégradation, nous présenterons les différents aspects de sa modélisation avant de détailler les avantages et les inconvénients des modèles existant pour le dispositif dégradé.

Dans une troisième partie nous présenterons nos travaux concernant l'impact du claquage progressif sur les composants MOS en proposant plusieurs niveaux de modélisation : après avoir étudié l'impact de la fuite localisée induite par cette usure de l'oxyde sur une couche chargée nous verrons quels sont ses effets sur le fonctionnement des dispositifs en concevant un modèle de bas niveau du chemin de conduction formé à travers l'oxyde. En particulier nous introduirons la notion de dépolarisation du canal, largement méconnue par les recherches menées jusqu'à présent, permettant d'expliquer la déviation de la tension de seuil et l'impact de la position du claquage dans le canal qui sera étudié en détail dans nos simulations par la méthode de répartition des courants. Enfin un modèle complet de cette

dégradation sera proposé pour la simulation par éléments finis. Le deuxième chapitre de cette partie permettra de valider nos différents modèles par comparaison avec nos mesures effectuées sur des transistors du nœud technologique 45nm, en montrant qu'ils s'avèrent parfaitement capable de reproduire les différents impacts du claquage sur le fonctionnement des transistors. Nos observations sur ces modèles de bas niveau nous permettront de mieux comprendre la phénoménologie du claquage progressif et déjà de proposer des simplifications pour la modélisation de haut niveau de cette dégradation, tout en conservant des avantages fondamentaux sur les modèles concurrents. Le troisième chapitre de cette partie est consacré à l'exploitation de nos caractérisations de dispositifs dégradés, au regard de notre compréhension de ce phénomène. La méthode d'étude de la position du claquage sera étendue pour permettre le suivi de l'évolution de l'impact du claquage sur le dispositif. En particulier les équations de répartition seront corrigées pour prendre en compte la dépolarisation du canal. Des mesures complémentaires sur des dispositifs de différentes géométries compléteront cette étude puis des lois empiriques d'évolution des paramètres des dispositifs seront proposées. Finalement le quatrième chapitre présentera le premier modèle compact du dispositif claqué permettant de simuler à haut niveau les effets du claquage, y compris du point de vue de leurs dispersions statistiques.

La quatrième partie de ce manuscrit est consacrée à l'étude de l'impact du claquage sur le fonctionnement de quelques circuits élémentaires de la logique CMOS. Un modèle analytique permet de décorréler les effets du claquage du dispositif sur le circuit puis une méthode de simulation originale est utilisée pour reporter les effets du claquage du niveau atomique jusqu'au niveau circuit, permettant, malgré ses limites actuelles, d'obtenir de premiers résultats sur l'impact du claquage progressif sur le fonctionnement des circuits. Enfin le dernier chapitre mettra à profit notre modèle compact des dispositifs dégradés pour compléter cette étude et les conséquences de cette dégradation sur les circuits seront présentées, notamment en ce qui concerne l'augmentation de leur consommation et la fiabilité de leurs fonctions.

Pour conclure nous rappellerons nos principaux résultats et nous verrons que l'augmentation de la durée de vie des circuits se fera nécessairement au prix d'une hausse drastique de leur consommation et d'une diminution de leur fréquence d'utilisation. Ce constat repositionnera l'utilisation de notre modèle sur des applications à hautes exigences de fiabilité telles que l'électronique embarquée pour l'automobile.

Table des matières

I) Introduction	1
A) La Microélectronique	1
B) Le transistor à effet de champ Métal-Oxyde-Semi conducteur (MOSFET)...	5
1- La capacité MOS	5
2- Le transistor MOS	7
3- Tendances d'évolution du transistor MOS	10
4- Modélisation du transistor MOS	10
a. BSIM	11
b. PSP	11
5- Quelques circuits simples CMOS.....	12
C) L'oxyde de grille et ses défauts	13
1- Formation de l'oxyde de grille SiO ₂	14
2- Propriétés physiques et électriques de l'oxyde de grille SiO ₂ et du silicium Si	15
3- Défauts de l'oxyde et de son interface avec le substrat silicium	16
a. Défauts du volume du SiO ₂	17
b. Défauts de l'interface Si/SiO ₂	18
c. Augmentation de la densité de défauts dans l'oxyde	18
d. Mécanisme de conduction dans l'oxyde	19
D) Objectifs et contexte de ce travail de thèse.....	22
Table des figures	24
Table des références	25
II) Fiabilité de l'oxyde de grille	29
A) Introduction à la notion de fiabilité	29
1- Fiabilité industrielle.....	30
2- Fiabilité des composants microélectroniques	30
3- Méthodes de mesure de fiabilité.....	31

B) Mécanismes d'usure et de dégradation de l'oxyde de silicium	32
1- Génération de défauts d'interface.....	32
a. Instabilités en température (Negative/Positive Bias Temperature Instabilities).....	33
b. Dégradation par porteurs chauds (Hot Carrier Electron)	34
c. Electromigration et migration due au stress (ElectroMigration, Stress Migration).....	35
2- Génération de défauts dans le volume.....	36
a. Augmentation du courant de fuite induit par le stress (Stress Induced Leakage Current).....	36
b. Génération de défauts par radiations (Radiation Induced Soft Error) .	37
3- Impact des défauts sur le comportement électrique du MOS	38
a. Variation de la tension de seuil V_{th}	38
b. Augmentation des courants de fuite.....	39
c. Variation de la transconductance G_M et de la mobilité effective	40
d. Variation des courants de drain en régime linéaire et en saturé.....	41
4- Modélisation compacte du vieillissement.....	42
C) Le claquage progressif du diélectrique	43
1- Phénoménologie du claquage du diélectrique.....	44
a. Augmentation du courant de grille pour les différents modes de claquage.....	45
b. Formation d'un chemin de conduction.....	46
c. Réduction locale de l'épaisseur de l'oxyde.....	46
e. Dérive de la tension de seuil.....	47
f. Bruit dû au claquage.....	48
2- Modèles statistiques du claquage	48
3- Modèle et dépendances du claquage.....	49
a. Modèle de percolation	49
b. Dépendance en champ et en tension.....	52
4- Modèles de conduction du claquage	53
a. Tunnel direct	53
b. Variable Range Hopping	54
c. Modèle de percolation	54
d. Contact par Point Quantique.....	55
5- Modèles des dégradations responsables du claquage.....	57
a. Modèle d'ionisation par impact.....	57
b. Modèle thermochimique	58
c. Modèle d'injection de trous chauds à l'anode	59
d. Modèle de libération d'hydrogène	60
e. Modèle multi vibrationnel	62
6- Modèles de simulation de l'impact du claquage sur les dispositifs.....	64
a. Les modèles à éléments finis	64
c. Les modèles compacts	68
Conclusion	69

Table des figures	71
Table des références	74
III) Impact du claquage progressif sur les composants	83
A) Modélisation de l'impact du claquage progressif sur les dispositifs	84
1 - Influence d'une fuite de courant sur une couche chargée.....	84
a. Impact d'une fuite localisée sur la charge	86
b. Impact d'une fuite localisée sur le potentiel	88
c. Rayon de dépolarisation	88
2 - Influence d'une fuite de courant sur la charge, le potentiel et la densité de courant de drain du canal d'un transistor MOS	89
a. Impact d'une fuite localisée sur la charge d'un canal MOSFET.....	92
b. Impact d'une fuite localisée sur le potentiel d'un canal MOSFET.....	93
c. Impact d'une fuite localisée sur la densité de courant d'un canal MOSFET	94
3 - Influence de la dépolarisation sur la tension de seuil.....	95
4 - Influence de la position du claquage sur la dérive de la tension de seuil	98
5 - Influence de la position du claquage sur la fuite de grille	99
a. Repères bibliographiques	99
b. Méthode d'étude du partage des courants	102
c. Critiques de ce modèle.....	105
6 - Extension de l'approche utilisée à un modèle de MOS complet	105
a. Impact du claquage sur le potentiel et sur la charge du canal.....	107
b. Impact du claquage sur la dérive de la tension de seuil.....	109
c. Impact du claquage sur l'augmentation du courant de grille.....	110
7 - Validation et limites de l'approche utilisée.....	111
B) Validation expérimentale de l'approche utilisée	112
1 - Protocole expérimental	112
2 - Occurrence du claquage du diélectrique.....	113
3 - Impact du claquage sur le fonctionnement des transistors MOS.....	114
a. Identification des effets du claquage sur les caractéristiques mesurées	115
b. Reproduction des dérives de courant par la simulation.....	118
4 - Dérive de la tension de seuil due au claquage.....	120
a. Reproduction des dérives de la tension de seuil par la simulation....	121
5 - Conséquences de ces observations sur la modélisation du claquage	123
a. Simplification de la modélisation compacte des effets du claquage sur les dispositifs	123
b. Modèle analytique du claquage dans les transistors CMOS	124
c. Comparaison avec les modèles existants	126

C) Exploitation des résultats	128
1 - Répartition des courants dans le dispositif au cours du claquage	128
a. Localisation du chemin de conduction dans le canal	128
b. Evolution de la localisation du chemin de conduction dans le canal	129
c. Evolution du claquage dans un dispositif	133
d. Dépendance du coefficient de partitionnement en tension de drain	134
2 - Quantification de la dépolarisation	137
3 - Influence de la géométrie du dispositif sur l'impact du claquage	144
4 - Lois empiriques d'évolution du claquage	146
a. Loi d'évolution du courant de fuite du au claquage	147
b. Loi d'évolution de la tension de seuil	149
5 - Dispersion statistique de l'impact du claquage	151
a. Dispersion de la constante de temps τ	151
b. Dispersion de la pente avant le seuil	152
c. Etude statistique de la dispersion de la tension de seuil	152
7 - Similitudes avec la dynamique du NBTI	153
D) Implémentation d'un modèle de haut niveau	154
1 - Modélisation BSIM3 du MOS dégradé	155
a. Modélisation des effets du claquage	155
b. Modélisation de la dispersion statistique des paramètres de claquage	157
2 - Validation du modèle implémenté	158
Conclusion	159
Table des Figures	161
Table des Références	166
IV) Impact du claquage progressif sur les circuits MOS	171
Introduction	171
A) Modèles utilisés pour la simulation de circuits	171
1 - Modèle analytique	172
a. Circuit inverseur	174
2 - Modèle à éléments finis pour le mixed mode	176
a. Circuit inverseur	178
b. Cellule S-RAM	179
c. Points forts et limites de cette méthode	180

3 - Modèle compact Eldo	181
a. Modélisation de la fuite de courant due au claquage	181
b. Corrélation des dérives en tension de seuil et en fuite.....	182
c. Simulation des impacts du claquage	182
d. Points forts et limites actuelles de cette méthode	183
B) Impact du claquage sur les circuits élémentaires	184
1 - Circuit inverseur	184
a. Simulation	184
b. Conséquence du claquage sur les performances de l'inverseur	187
2 - Cellule S-RAM.....	188
a. Simulation	189
b. Analyse des performances d'une cellule SRAM dégradée	192
4 - Dérive statistique de l'impact du claquage sur les circuits	193
a. Simulation Monte-Carlo de l'inverseur	193
b. Simulation Monte-Carlo d'une cellule S-RAM.....	194
Conclusion	195
Table des figures	196
Table des références	198
V) Conclusions.....	201
A) Synthèse du travail effectué	201
B) Perspectives	203
VI) Annexes	205
A) Publications et conférences	205
1) Publications dans des journaux internationaux	205
2) Publications dans des conférences internationales.....	205

I) Introduction

A) La Microélectronique

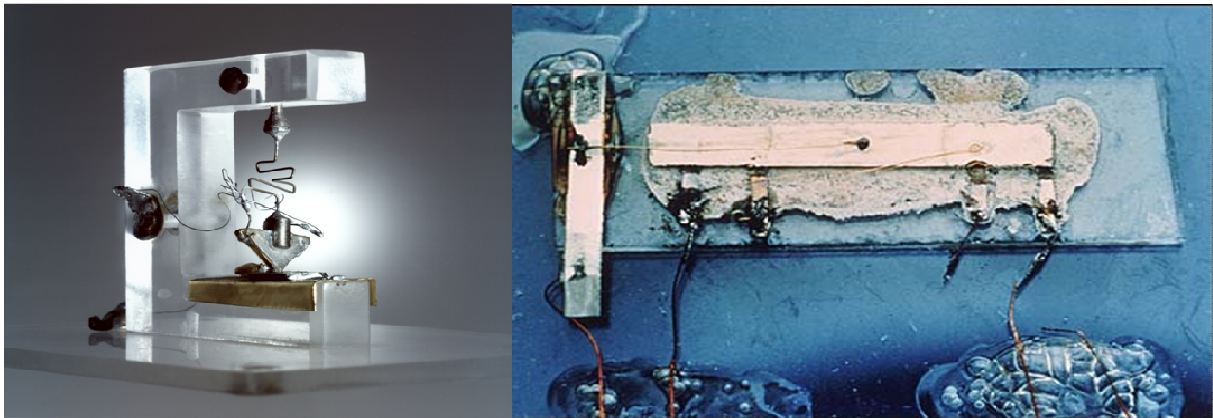


Figure I. 1 : Premier transistor (1948) [I-1], premier circuit intégré [I-2].

Depuis la première observation de l'effet transistor en 1926, la microélectronique a connu une croissance exponentielle ininterrompue. En 1948 le premier transistor bipolaire (Fig.I.1) est mis au point, précédant de dix ans le premier circuit intégré (Fig.I.2). En 1960 c'est au tour du premier transistor à structure Métal, Oxyde, Semi-conducteur et finalement en 1971 IBM sort le premier microprocesseur.

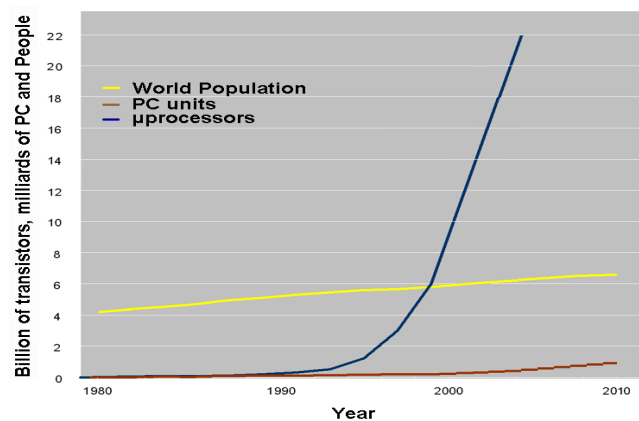


Figure I. 2 : Population mondiale, Nombre de PC et de processeurs.

Cette croissance est exponentielle à plus d'un titre : alors qu'en 1995 on ne compte que quelques millions de transistors par personne, en 2008 le milliard de transistors par personne est dépassé, témoignant de l'impact fantastique de cette technologie sur notre société. En effet la microélectronique est présente dans tous les domaines, de l'industrie lourde à la téléphonie portable, des serveurs internet aux contrôleurs d'injection dans les moteurs de voiture dernière génération.

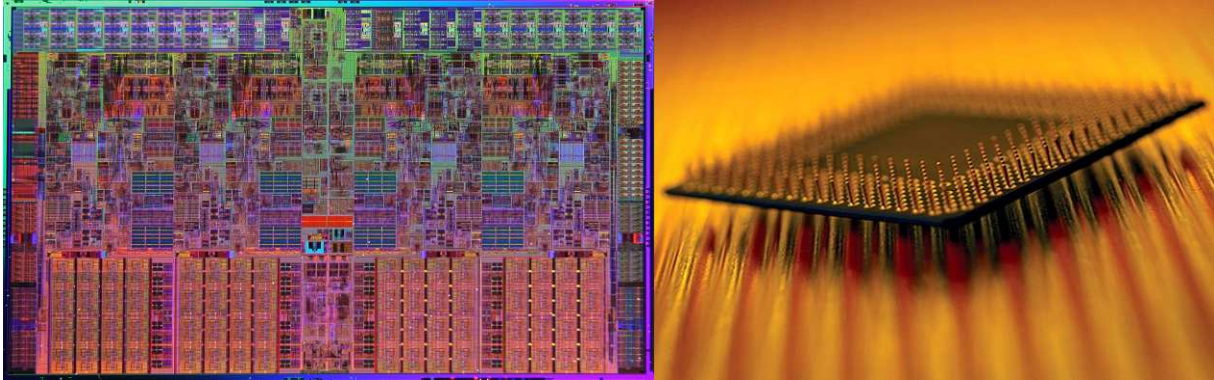


Figure I. 3 : Processeurs Intel ICORE 7 (731 Millions de transistors [I-3], Processeur [I-4].

Mais si ces chiffres explosent, le poids et les dimensions des appareils au contraire ne cessent de diminuer tandis que la puissance de calcul augmente ; cela témoigne de l'augmentation de la densité d'intégration i.e. du nombre de transistors par microprocesseur ; cette évolution est illustrée par la loi de Moore stipulant que la densité d'intégration double tous les deux ans tandis que la vitesse de commutation, représentative de la fréquence de fonctionnement du transistor est multipliée par 1.5. Les derniers microprocesseurs comportent 2.3 milliards de transistors (8-core Nehalem-EX, 2010), contre 2300 pour les premiers (Intel 4004, 1971) soit un million de fois plus [I-5]!

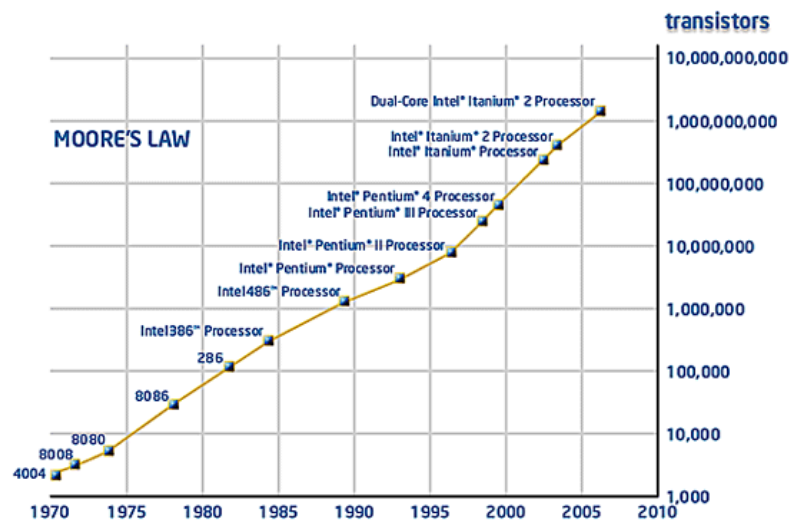


Figure I. 4 : Loi de Moore, évolution exponentielle du nombre de transistors, processeurs correspondants [I-6].

Les facteurs clés de ces succès sont d'abord la miniaturisation des composants électroniques ; en effet si les « Personal Computers » avaient gardé les mêmes dimensions que le premier ordinateur ENIAC, à savoir 30 tonnes pour 67 mètres carrés d'installation, les applications portables auraient été quelque peu limitées. De plus cette installation n'était fonctionnelle que la moitié du temps en raison des multiples pannes quotidiennes des tubes à vides ; prouesse technologique pour l'époque, on conçoit aisément que le développement de l'informatique n'aurait pu se satisfaire d'une telle fiabilité. Enfin, dernier point crucial à l'essor de l'industrie électronique : la polyvalence des appareils. Alors qu'ENIAC nécessitait plusieurs jours de câblage avant d'effectuer un nouveau type de calcul, les téléphones portables dernière génération permettent simultanément des applications diverses

telles que prise de photo, surf sur internet et sont totalement reprogrammables. Du point de vue des applications les mots clefs du succès de la microélectronique sont donc miniaturisation, fiabilité et polyvalence.

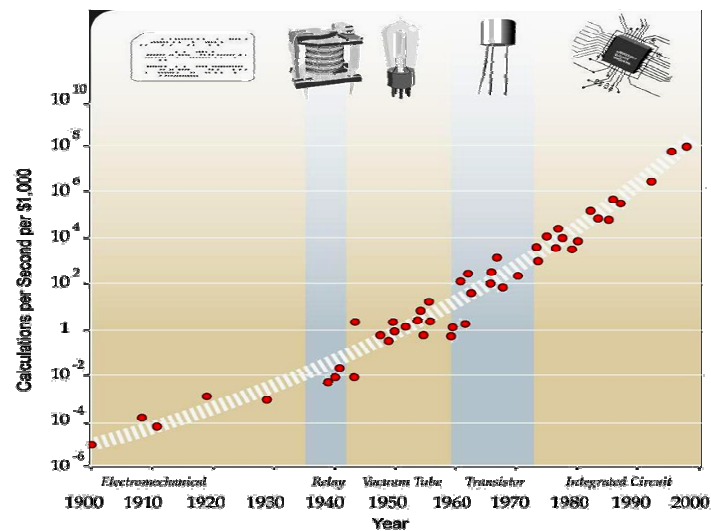


Figure I. 5 : Puissance de calcul par seconde disponible pour 1000\$ [I-7].

Cependant pas d'essor de la microélectronique sans réduction des coûts ; exponentielle également depuis les années 70. Le coût des circuits est divisé par deux tous les 18 mois et ce alors que les coûts de recherche et développement ainsi que l'investissement dans les chaînes de production augmentent au fur et à mesure. Cette réduction est due bien sûr à l'augmentation des volumes produits permettant d'amortir les coûteuses machines de production, à l'augmentation du nombre de puces par centimètre carré mais surtout à l'optimisation des flux de production. Ainsi de plus en plus de puces sont produites en même temps et prennent de moins en moins de place sur les disques de silicium. Ces disques appelés wafers sont également de plus en plus gros, de 100 mm de diamètre en 1980 ils en mesurent maintenant 300 et seront bientôt de 450 mm. Cette augmentation ne va pas d'elle-même car il s'agit de maintenir des propriétés précises du semi-conducteur sur des surfaces de plus en plus grandes.

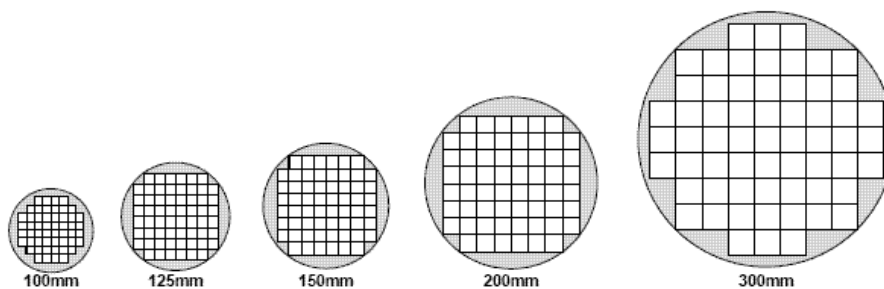


Figure I. 6 : Evolution de la taille des wafers [I-8].

Afin de maintenir ces croissances exponentielles à tous les points de vue, les investissements dans la recherche et le développement des nouveaux nœuds technologiques sont de plus en plus importants. En effet les barrières technologiques sont de plus en plus difficiles à franchir et doivent l'être de plus en plus vite afin de suivre la loi de Moore de la densité d'intégration. Par exemple les outils de lithographie par immersion nécessaire à la manufacture du nœud technologique 45nm coûtent entre 20 et 30 millions de dollars ; les coûts de développement des

procédés nécessaires sont d'une centaine de milliards de dollars et l'investissement nécessaire à une ligne de production de wafers 300mm est d'environ 2 milliards de dollars.

Devant l'importance de tels investissements, la notion de fiabilité évoquée plus haut prend une importance capitale ; il s'agit de concevoir des procédés, des dispositifs et des circuits fonctionnels à 100% dès les premiers instants de production. En effet les actionnaires d'une chaîne de production en sortie de laquelle un microprocesseur sur deux fonctionnerait n'auraient que peu de chance de faire des bénéfices. Pour cela la modélisation et les simulations sur ordinateur prennent une place de plus en plus importante dans le flux de conception en réduisant considérablement les erreurs et le temps de mise sur le marché de nouveaux composants.

Le terme de fiabilité recouvre également tous les mécanismes d'usure et de dégradation des transistors au cours de leur utilisation et conditionnant bien sûr la capacité des circuits à remplir leur fonction sur la durée. Un transistor mis sur le marché doit avoir une durée de vie de dix ans et les appareils de haute technologie sont garantis trois ans environ. Une compréhension des différents modes de dégradation des composants permet d'en réduire l'impact et ainsi d'augmenter la durée de vie des circuits. Or s'il est économiquement intéressant que les particuliers rachètent un écran plat le plus souvent possible ou encore s'il est acceptable que les fréquences d'échantillonnages des lecteurs-enregistreurs mp3 varient un peu avec le temps, certaines applications dédiées exigent le plus haut niveau de fiabilité et la durée de vie la plus longue possible. Un satellite de télécommunication par exemple est conçu pour fonctionner quinze ans et doit absolument fonctionner quinze ans car les coûts de remplacement ou de réparation sont exorbitants. Dans le domaine des applications grand public, toute l'électronique utilisée dans le domaine des transports doit également répondre à des exigences draconiennes de fiabilité. Il n'est en effet pas acceptable qu'un régulateur de vitesse automobile se bloque à 200km/h ou encore qu'un transpondeur fasse des erreurs au bout de trois ans d'utilisation.

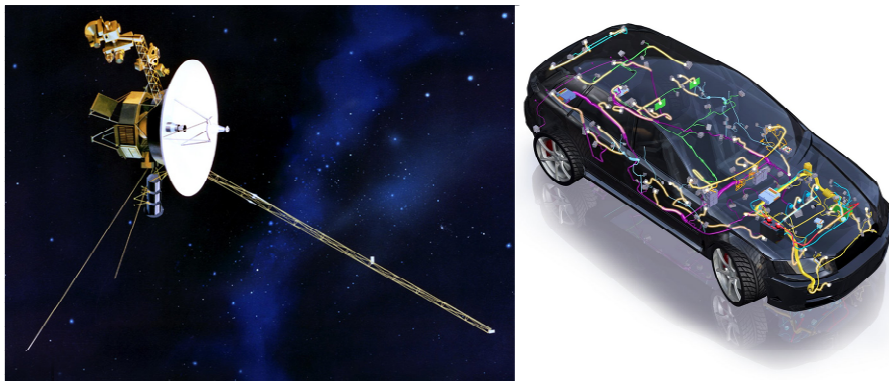


Figure I. 7 : Sonde Voyager I (source : NASA), véhicule intelligent (source : Delphi EEA).

B) Le transistor à effet de champ Métal-Oxyde-Semi conducteur (MOSFET)

L'essor de la microélectronique est dû principalement au transistor MOSFET, acronyme anglais de Metal-Oxide-Semi-conductor Field Effect Transistor. Ce dispositif contrôle le courant en modulant le champ électrique dans la structure ; il peut être comparé à un interrupteur commandé ou à une électrovanne. Le MOSFET est une hétéro-structure composée de couches successives de métal, d'oxyde et de semi conducteur. Au fur et à mesure des générations technologiques chacun de ces matériaux a été amélioré afin d'optimiser les performances des dispositifs et, comme on l'a vu, les dimensions de ces couches ont changé drastiquement au cours des années.

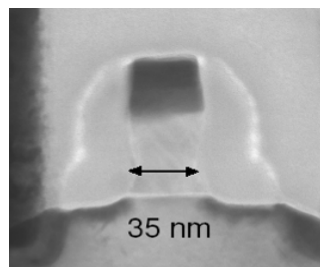


Figure I. 8 : Image au microscope électronique à balayage d'un transistor de la technologie 65nm (2005) [I-9].

Du point de vue de son fonctionnement il peut être séparé en deux unités fonctionnelles, d'une part la capacité MOS, chargée de moduler le champ électrique et d'autre part le transistor MOS, fournissant des charges conduisant le courant d'une électrode à l'autre en fonction de ce champ.

1- La capacité MOS

La capacité MOS est composée de deux électrodes appelées grille et substrat, l'une en métal et l'autre en semi-conducteur, séparées par une couche d'isolant. Actuellement l'électrode métallique est composée de polysilicium, l'isolant d'oxyde de silicium et le semi-conducteur de silicium, pour des raisons d'affinité entre leurs structures atomiques ; ce point sera détaillé dans la dernière partie de l'introduction.

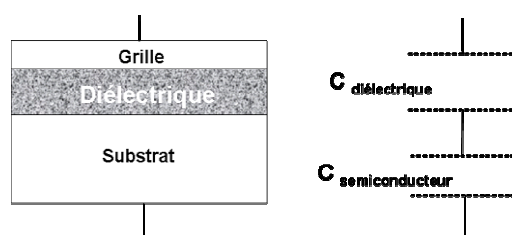


Figure I. 9 : Structure et capacité équivalente de la capacité MOS.

Lorsqu'on applique une différence de potentiel électrique entre les deux électrodes, il y a formation d'un champ électrique à travers l'isolant attirant les charges électriques des électrodes contre les interfaces grille/oxyde et semi-conducteur/oxyde. Ce champ électrique est directement proportionnel à l'épaisseur d'isolant ; plus celui-ci est mince, plus la densité de champ électrique est élevée et plus la densité de charges accumulées aux interfaces est importante. Cela est décrit par la formule simple de la valeur de la capacité électrique :

$$C_{diel} = \frac{\epsilon_{diel}}{T_{diel}} \quad \text{Equ. I- 1}$$

Où la permittivité de l'isolant ϵ_{diel} représente la propriété physique du matériau à se polariser et T l'épaisseur de cette couche d'isolant. Pour un contrôle optimal des charges à l'interface de l'hétéro-structure il faut un isolant de permittivité maximale et une épaisseur d'isolant minimale.

Le type de charges, électrons ou trous, attirés aux interfaces dépend de la polarisation appliquée à la structure, positive ou négative, ainsi que du type d'électrode, N ou P. Dans une électrode N ou P, les charges majoritaires sont respectivement des électrons et des trous. Selon la valeur de la tension appliquée, l'un ou l'autre type de charge va être attiré à l'interface Oxyde/Semi-conducteur ; on parle de régime d'accumulation lorsque des charges majoritaires sont attirées et de régime d'inversion lorsque des charges minoritaires sont attirées. Pour un semi-conducteur de type N l'accumulation est obtenue pour une tension d'électrode de grille inférieure à la tension de bandes plates $V_{Flat\ Band}$ et l'inversion pour une tension de grille supérieure à la tension de seuil $V_{Threshold}$.

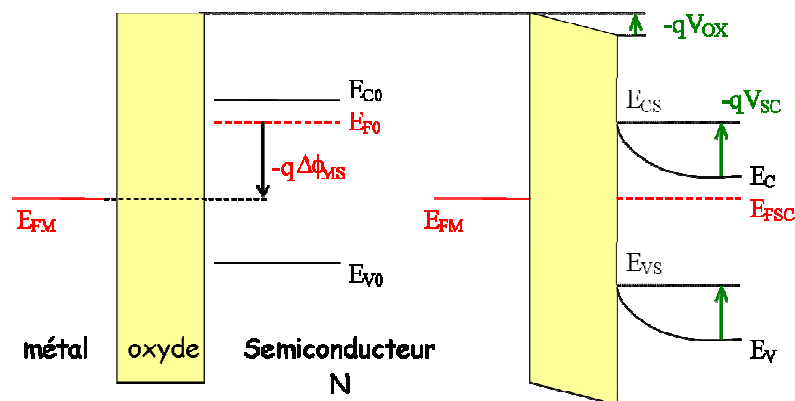


Figure I. 10 : Diagramme de bandes d'énergie d'une capacité MOS.

Cependant le régime d'inversion est très lent à s'instaurer en raison de la très faible génération de charges minoritaires dans le substrat. Pour améliorer la réponse de ces porteurs, deux réservoirs de charges sont placés de part et d'autre de la capacité MOS, en ajoutant des zones de dopage opposé au type du substrat. En régime d'inversion la capacité formée par l'accumulation de porteurs minoritaires à l'interface substrat/oxyde devient très grande devant la capacité d'oxyde et la capacité MOS totale prend la valeur de la capacité d'oxyde. Ce n'est toutefois pas le cas pour des grilles en polysilicium en raison du phénomène de déplétion de la grille qui est une saturation de l'accumulation de porteurs à l'interface.

2- Le transistor MOS

Le transistor MOS est une capacité MOS à laquelle on a adjoint deux électrodes supplémentaires servant de réservoirs de porteurs minoritaires afin d'établir facilement le régime d'inversion et d'assurer la conduction d'une électrode à l'autre. On parle d'électrode source, reliée à la masse et d'électrode drain polarisée selon le type de substrat. Ce dernier est appelé canal entre les deux électrodes. Le régime de conduction de la source vers le drain varie selon le type de transistor ; les transistors à enrichissement conduisent en régime d'inversion et ceux à appauvrissement conduisent en accumulation et sont bloqués par le régime d'inversion. Nous décrivons le fonctionnement des transistors à enrichissement qui sont les plus courants.

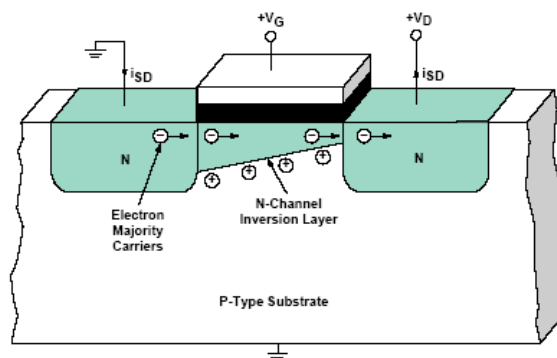


Figure I. 11 : Schéma de principe d'un transistor MOS [I-8].

L'application d'une tension de grille V_G attire les porteurs minoritaires contre l'interface Substrat/Oxyde formant une couche chargée appelée couche d'inversion ; grâce à cette couche d'inversion, le semi-conducteur devient conducteur entre source et drain et l'application d'une tension de drain accélère les charges de la source vers le drain formant un courant noté $I_{\text{Drain-Source}}$.

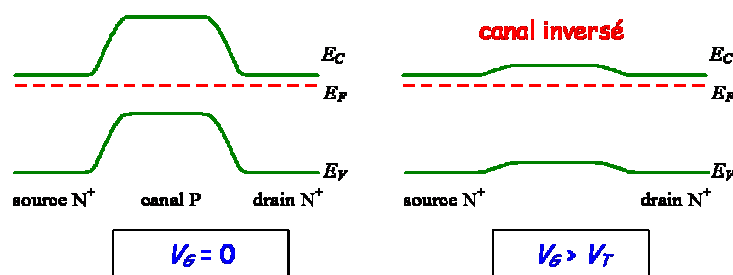


Figure I. 12 : Diagramme de bandes du canal, à $V_G > V_T$, la barrière s'abaisse entre source et drain.

L'évolution du courant I_{DS} en fonction de la tension de grille V_G met en évidence les deux régimes de fonctionnement du transistor : le régime sous le seuil correspondant à une tension de grille inférieure à la tension de seuil V_T , le courant augmente exponentiellement avec la tension. Au-delà de la tension de seuil, le régime de forte inversion correspondant à la densité maximale de charges minoritaires accumulées à l'interface est atteint.

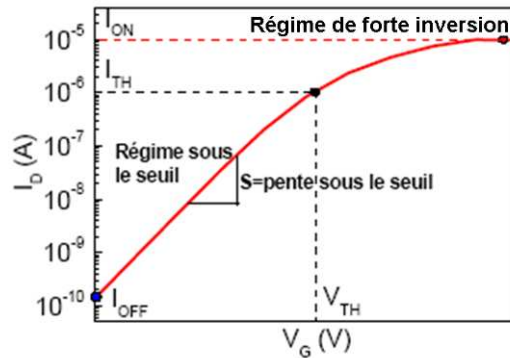


Figure I. 13 : Caractéristique courant de drain-tension de grille d'un transistor MOSFET à V_d faible.

Les paramètres caractérisant le transistor au niveau électrique sont :

- la tension de seuil à partir de laquelle il y a formation de la couche d'inversion et donc conduction entre source et drain. Typiquement pour les MOSFETs actuels (45nm) cette tension se situe aux alentours de 0.15 V ; elle était comprise entre 0.2 et 0.4V pour le nœud technologique précédent (65nm). Elle s'écrit en fonction de la tension de bandes plates V_{fb} , de la charge de déplétion Q_d , de la capacité d'oxyde C_{ox} et du potentiel de surface Φ_s :

$$V_t = V_{fb} + \frac{Q_d}{C_{ox}} + 2.1 \cdot \phi_s \quad \text{Equ. I- 2}$$

- La transconductance ou gain g_m décrit la variation du courant I_{DS} en fonction de la tension de grille :

$$g_m = \left(\frac{\partial I_d}{\partial V_g} \right)_{V_{ds}=cst} \quad \text{Equ. I- 3}$$

- La conductance du canal g_{DS} exprime la variation de courant I_{DS} avec la tension de drain :

$$g_{DS} = \left(\frac{\partial I_d}{\partial V_{ds}} \right)_{V_g=cst} \quad \text{Equ. I- 4}$$

- L'inverse de la pente sous le seuil représente la variation de tension de grille nécessaire pour augmenter le courant I_{DS} d'un facteur dix :

$$S = \frac{dV_g}{d[\log(I_d)]} \quad \text{Equ. I- 5}$$

- Les courants I_{ON} et I_{OFF} sont respectivement les valeurs de courant en régime de saturation et à $V_G=0$ V. La différence entre I_{ON} et I_{OFF} doit être suffisamment grande pour discriminer les états passant et bloqué du transistor et le courant I_{OFF} doit être le plus faible possible afin de limiter la consommation du dispositif au repos. La pente sous le seuil doit donc être importante.

L'évolution du courant I_{DS} en fonction de la tension de drain appliquée, pour différentes valeurs de la tension V_G illustre bien les comportements passant et bloqué du transistor.

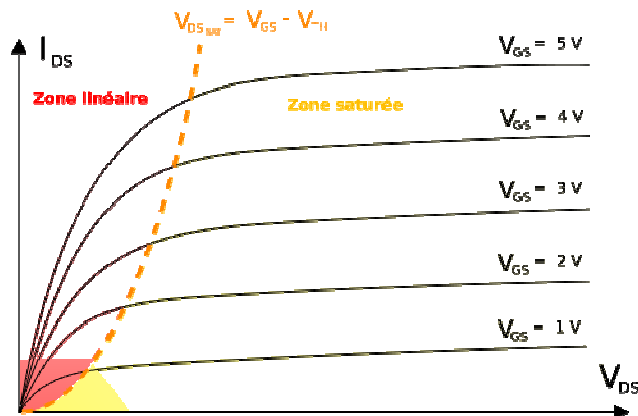


Figure I. 14 : Caractéristique courant de drain I_{DS} - tension de drain V_{DS} pour différentes tensions de grille V_{GS} [I-10].

Avec la réduction des dimensions des dispositifs, des effets parasites apparaissent, nommés effets canaux courts (Short Channel Effects) tels que la diminution de la tension de seuil V_T ou « roll-off » dûe au fait que la grille ne contrôle plus parfaitement les charges du canal ou encore la réduction de la hauteur de barrière de potentiel entre source et drain (Drain Induced Barrier Lowering) provoquant la diminution de la pente sous le seuil et ainsi l'augmentation du courant I_{OFF} et donc de la consommation du dispositif au repos.

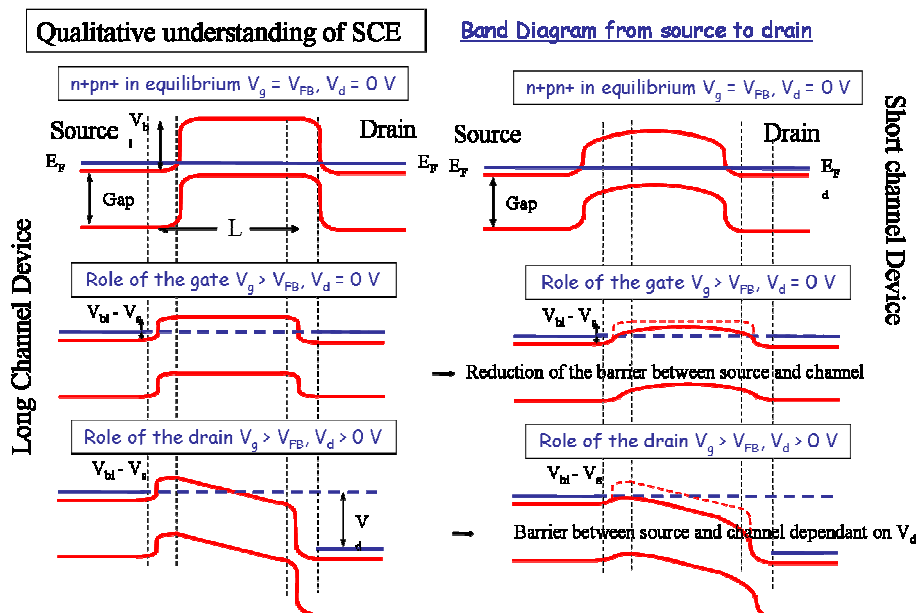


Figure I. 15 : Illustration de l'effet canal court sur la barrière de potentiel du canal [I-11].

Cela illustre bien le fait que l'augmentation des performances des dispositifs ne se fait pas sans peine puisque des effets indésirables vont apparaître avec la réduction des dimensions. Aussi, afin de satisfaire les exigences de la feuille de route ITRS (International Technology Roadmap of Semiconductors) [I-12], de gros efforts sont nécessaires tant en conception qu'en modélisation.

3- Tendances d'évolution du transistor MOS

Afin d'améliorer les fréquences de fonctionnement, de réduire la consommation et d'augmenter la densité d'intégration, les transistors sont miniaturisés de plus en plus, ce qui ne va pas sans problèmes technologiques majeurs [1-12]. En effet la réduction des dimensions entraîne de nombreux effets secondaires préjudiciables au fonctionnement du dispositif : ci-dessus, l'effet canal court a été évoqué, augmentant les fuites entre source et drain ; l'épaisseur de l'oxyde diminue de plus en plus ce qui mène à une augmentation des fuites. Pire, pour les très petites dimensions, les procédés de lithographie sont exploités dans leurs limites afin de produire le nœud technologique suivant ; ces variations, comme celles de l'implantation du dopage, provoquent à leur tour une grande variabilité des paramètres et l'agressivité du design par les concepteurs de circuits est limitée par ces incertitudes sur les paramètres.

Pour réduire ces effets indésirables et augmenter les performances, de nouveaux matériaux sont employés, comme les oxydes à forte permittivité, qui permettent de réduire les fuites de courant tout en augmentant le contrôle des charges dans le canal par la grille.

4- Modélisation du transistor MOS

Deux types de modélisations complémentaires sont utilisés ; ils correspondent à deux appréhensions différentes de la question, soit d'un point de vue nanométrique où une compréhension fine des phénomènes est recherchée, soit d'un point de vue macrométrique, considérant le dispositif comme une boîte noire d'où émerge des courants en fonction des tensions d'entrée ; ces modèles sont utilisés pour la conception à plus haut niveau.

Pour améliorer la compréhension des phénomènes physiques mis en jeu, les simulateurs comme Atlas, Synopsis ou Comsol, utilisent les méthodes de résolution par éléments finis. Cette méthode consiste à découper l'espace 2D ou 3D en petits morceaux et à résoudre les équations fondamentales dans chaque petit morceau de manière cohérente avec ceux qui l'entourent. Ainsi par implémentation successives une résolution de l'ensemble de la structure est obtenue. Ces simulations très précises sont aussi très coûteuses en temps de calcul et en ressources informatiques. Par exemple pour résoudre les équations de Schrödinger en trois dimensions dans la structure afin de mieux comprendre le phénomène de confinement de la couche d'inversion, des calculs de plusieurs jours sont nécessaires ; couramment pour résoudre les équations de transport dans une structure MOS à 3 dimensions, une demie journée est nécessaire, dans les hypothèses de calcul les plus simples. Ces méthodes sont utilisées pour la conception de dispositifs en Conception Assistée par Ordinateur (CAD en anglais) mais ne sont bien évidemment pas adaptées à la simulation d'un microprocesseur entier.

Pour simuler et concevoir des circuits, des modèles de plus haut niveau sont employés, basés sur des expressions simplifiées des courants, afin d'obtenir des expressions analytiques. C'est le cas des modèles compacts désignés couramment par l'acronyme SPICE : Simulation Program with Integrated Circuit Emphasis. Ainsi des circuits de plusieurs milliers de composants peuvent être simulés en quelques dizaines de minutes, permettant la conception rapide et simplifiée de circuits complexes. En outre la fiabilité des circuits peut également être ajoutée aux modèles compacts, simplement en décrivant l'évolution des paramètres de ces modèles dans le temps ; c'est le but de notre étude concernant le claquage progressif.

a. BSIM

Le modèle BSIM, « Berkeley Short-channel IGFET model for MOS transistors », reprend le principe des premiers modèles compacts, destinés à limiter le nombre de paramètres employés pour décrire les équations analytiques de chacun des régimes, accumulation, déplétion et inversion, ce dernier étant séparé en deux modes par la tension de seuil V_T . Ce type de modèle est appelé pour cette raison : modèle à tension de seuil.

Les équations, plus ou moins simplifiées selon les modules activés lors du choix des hypothèses de calcul, ont une base physique adaptable par des paramètres empiriques. Elles prennent en compte le dimensionnement géométrique à partir d'un modèle défini pour les grandes géométries par rapport à la source. Les transitions entre les régimes et les modes sont lissées analytiquement autour de l'inversion faible à partir de mesures empiriques ; cette méthode est discutée actuellement car les designers de circuits analogiques notamment utilisent de plus en plus cette région en raison de la baisse des tensions d'alimentation.

Si les premiers modèles BSIM ne nécessitaient qu'un nombre réduit de paramètres, la dernière version, BSIM v3.3 peut en utiliser jusqu'à 400. Un grand nombre d'entre eux est réglé par défaut sur des valeurs nominales, ce qui permet à la fois aux fondeurs de silicium d'adapter précisément le modèle aux dispositifs qu'ils produisent et en même temps un emploi simplifié pour étudier l'influence de quelques paramètres seulement sur les dispositifs et les circuits.

b. PSP

Le modèle PSP, « Philips Surface Potential », beaucoup plus récent, se base sur une approximation globale du potentiel de surface. Il est ainsi beaucoup plus proche de la physique et ne nécessite pas de fonction de lissage entre les modes de fonctionnement. Ce modèle, référencé par rapport au substrat, est symétrique, contrairement au modèle BSIM, référencé par rapport à la source.

Ce genre de modèle plus proche de la physique est de plus en plus prisé par les industriels, il est utilisé par exemple par STMicroelectronics. Cela témoigne de la nécessité pour les concepteurs de circuits, de descendre un peu plus dans la physique des dispositifs afin de prendre en compte des effets jusque là négligeables. Ces modèles constamment améliorés sont détaillés plus précisément par [I-13].

5- Quelques circuits simples CMOS

Quelques circuits simples illustrant les applications des transistors MOSFETs sont présentées ci-dessous. Ces circuits simples seront étudiés plus en détails dans le deuxième chapitre afin de mettre en évidence leur susceptibilité aux dégradations de l'oxyde de grille. Ces circuits appartiennent à la famille technologique de composants logiques CMOS (Complementary MOS) consistant à utiliser deux transistors, l'un de type P l'autre de type N fonctionnant de manière symétrique : l'un est passant lorsque l'autre est bloqué et inversement ; leurs états sont donc complémentaires à chaque instant.

Inverseur : c'est la brique de base de la technologie CMOS. Il permet d'associer à une tension nulle en entrée, soit un zéro logique, une tension non nulle en sortie, soit un un logique et inversement. Il est composé de deux transistors seulement et est caractérisé par sa tension de seuil V_{TR} et la pente de la transition entre les deux états.

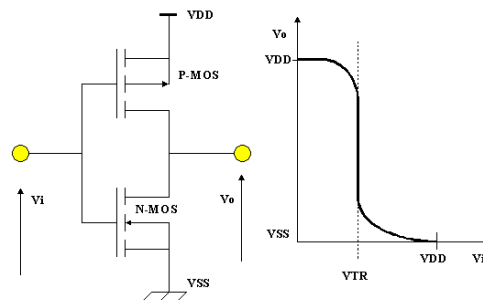


Figure I. 16 : Schéma du circuit et de la caractéristique d'un inverseur CMOS [I-14].

Cellule mémoire RAM (Random Access Memory) : elle est composée de deux inverseurs stockant un bit logique, 0 ou 1 et de deux transistors d'accès permettant respectivement d'écrire le bit logique et de le lire. C'est une mémoire volatile, nécessitant une tension pour stocker de l'information, d'accès très rapide de quelques dizaines de nanosecondes, ce qui en fait un composant essentiel utilisé par le processeur pour stocker les nombres nécessaires à ses opérations. La fiabilité de la rétention de bit est assurée par la fenêtre de marge de bruit statique ou SNM (Static Noise Margin). Lors de la dégradation de l'un ou l'autre des inverseurs constituant le cœur de la cellule, cette fenêtre se trouve réduite et déformée.

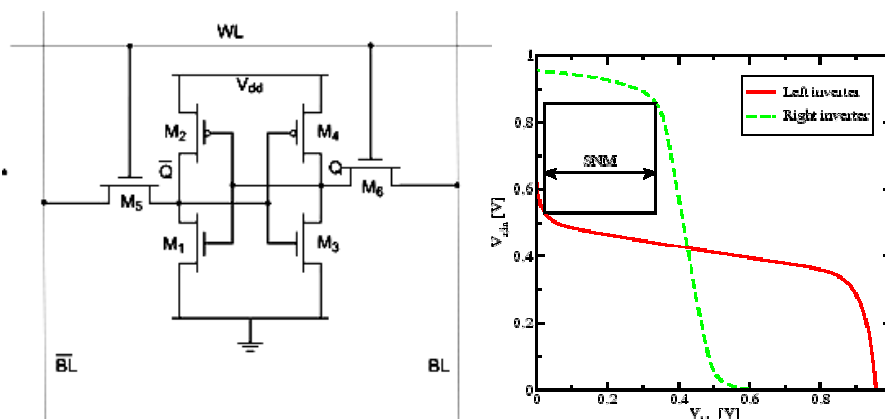


Figure I. 17 : Schéma d'une cellule SRAM à 6 transistors [I-15] et caractéristique associée [I-16].

Oscillateur en anneau (Ring Oscillator) : c'est un oscillateur contrôlé en tension, délivrant une tension de fréquence ajustable. Il est utilisé dans les boucles à verrouillage de phase (Phase Locked Loop) générant des fréquences et dans de nombreuses procédures de tests technologiques de transistors en raison de son fonctionnement basé sur le délai de propagation entre application de l'entrée et génération de la sortie et également de sa grande sensibilité en température et en tension. Par exemple les wafers comprennent souvent de tels dispositifs afin de quantifier les variations du procédé de fabrication d'un wafer à l'autre.

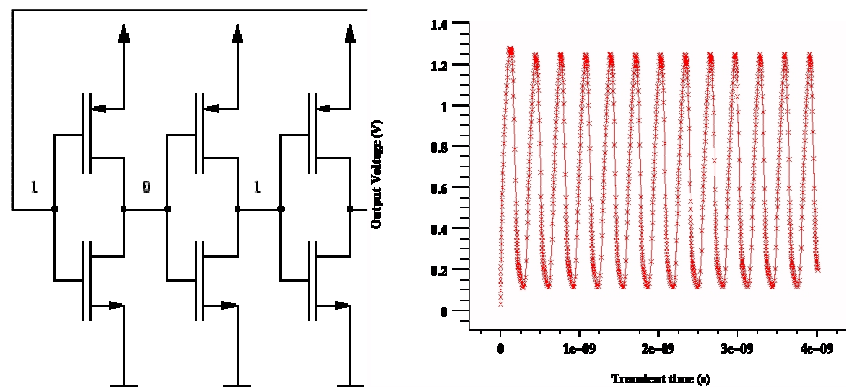


Figure I. 18 : Circuit d'oscillateur en anneau CMOS [I-17].

C) L'oxyde de grille et ses défauts

Comme on l'a vu dans les parties précédentes, l'isolant est un composant capital des capacités et des transistors MOS. Dès les premiers transistors, l'isolant utilisé est l'oxyde de silicium ; d'abord en raison de sa grande disponibilité : le silicium est le second élément le plus abondant sur terre après l'oxygène et constitue 25.7% de la masse terrestre. Ensuite en raison de sa facilité d'oxydation permettant une production industrielle d'oxyde de silicium SiO_2 . Dans la nature, le silicium ne se trouve pas sous sa forme pure mais sous sa forme oxydée appelée silice. Sous cette forme, c'est le composant principal du sable, du verre et d'un grand nombre de cristaux de quartz tels que l'améthyste, l'agate et d'autres silicates dont les impuretés donnent les couleurs particulières en modifiant le spectre d'absorption lumineuse. La silice est connue comme élément depuis l'antiquité et déjà utilisée pour sa dureté mais le silicium cristallin n'a été isolé qu'en 1823.

Il est abondamment utilisé dans l'industrie, notamment sous sa forme simple comme élément d'alliage avec l'aluminium pour des pièces moulées. L'utilisation du silicium dans l'industrie métallurgique représente 55% de sa consommation totale ; 40% sont utilisés dans la synthèse des silicones nécessaires à la confection de joints, de mastics, de poudres lessiviels et de graisses aux propriétés particulières concernant la résistance à l'eau ou la conduction de la chaleur. Sa résistance mécanique élevée en fait aussi un constituant de choix pour les micromécanismes tels que les ressorts spiraux pour les montres haut de gamme.

Ses propriétés semi conductrices en font aujourd'hui le composant essentiel de la microélectronique pour laquelle les procédés de fabrication permettent d'atteindre des puretés de 99.999 99 % ! Il est également utilisé dans la fabrication des cellules photovoltaïques et d'autres applications de pointe telles que la dissociation de l'hydrogène et de l'oxygène dans les piles à combustible. La réaction d'oxydation du silicium est très facile à obtenir et les propriétés de l'oxyde résultant très intéressantes en terme de solidité, d'adaptabilité sur un substrat silicium et également en ce qui concerne ses propriétés isolantes. Aujourd'hui pour les transistors avancés, des films d'oxyde de moins de 2 nm d'épaisseur seulement sont produits industriellement soit 4 à 5 couches atomiques !

1- Formation de l'oxyde de grille SiO₂

La silice (SiO₂) est obtenue par oxydation du silicium (Si), grâce à un traitement thermique de sa surface sous atmosphère oxydante permettant la diffusion des atomes d'oxygène vers le substrat de silicium suivant la formule : $\text{Si} + 2\text{H}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{H}_2$. La vitesse de cette réaction dépend de la température, de la pression, de l'atmosphère oxydante, sèche (O₂) ou humide (H₂ + O₂), de l'orientation cristalline et enfin du type et de la concentration de dopants dans le substrat silicium.

Actuellement dans les chaînes de production de ST-microelectronics à Crolles, le procédé utilisé est une oxydation humide, sous atmosphère de dihydrogène, à des températures comprises entre 800 et 1000°C. Ce procédé appelé « In Situ Steam Generation » appartient aux procédés thermiques rapides appelés « Rapid Thermal Processing ». En quelques fractions de seconde, la température de la plaque de silicium est élevée uniformément à plusieurs centaines de degrés (entre 400 et 1200°C) grâce à la source infrarouge de la chambre mon o-wafer. L'uniformité de la température du wafer pendant l'oxydation de sa surface est un paramètre clef car elle prévient la diffusion thermique des dopants et la formation de désaccords de mailles dans le cristal de silicium. Finalement un procédé de refroidissement rapide permet de contrôler l'arrêt de la réaction et donc l'épaisseur d'oxyde formée. Enfin cette étape est suivie d'une nitruration de l'oxyde afin d'en améliorer les propriétés.

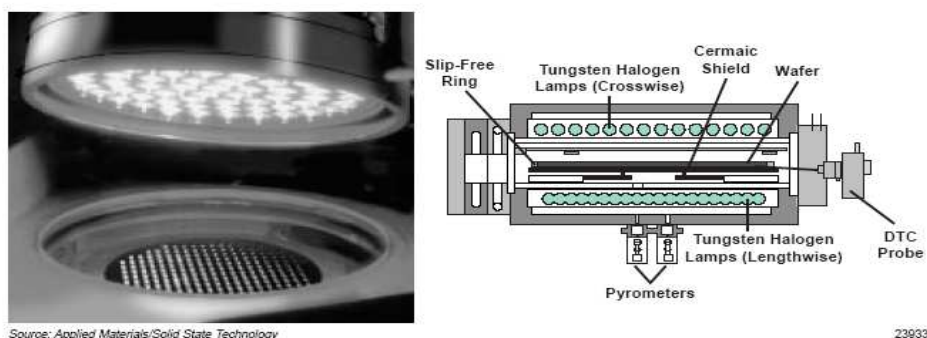


Figure I. 19 : Photo et schéma d'un poste de procédé thermique rapide [I-18].

2- Propriétés physiques et électriques de l'oxyde de grille SiO_2 et du silicium Si

La cellule unitaire de la silice (SiO_2) est un groupement tétraédrique SiO_4 dans lequel quatre atomes d'oxygène (O) entourent l'atome de silicium (Si) ; l'angle d'une liaison O-Si-O est de 109° . La couche d'oxyde est formée par un réseau de tétraèdres SiO_4 reliés par leurs sommets. En toute rigueur la silice ne forme pas une structure cristalline et on ne peut lui associer un schéma de bandes énergétiques ; pour cela il faudrait des angles de liaison Si-O-Si de 144° alors que l'observation de cet angle montre des variations de 115° à 175° . Pourtant t le SiO_2 présente des bandes d'absorption et d'émission similaires à celle du quartz- α [I-19, 20, 21] ; cela peut s'expliquer par la conformation de la couche de silice en grains de quartz- α mesurant environ 30 \AA . Ainsi la couche d'oxyde a tout de même une structure cristalline à courte distance équivalente à celle du quartz- α et est considérée comme un matériau de grand gap avec $E_{g\text{SiO}_2}=8.9 \text{ eV}$ et une affinité électronique $\chi=1.0 \text{ eV}$.

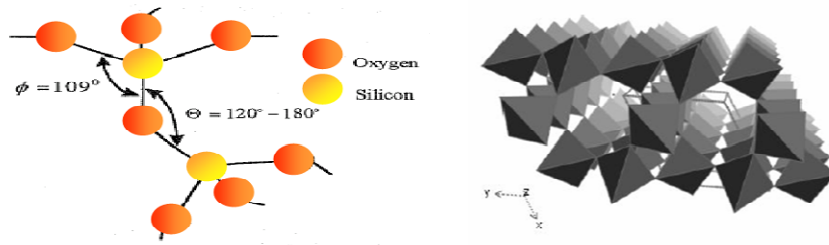


Figure I. 20 : Angle de liaison Si-O-Si entre deux tétraèdres de SiO_2 [I-19] ; arrangement des tétraèdres entre eux [I-20].

La différence d'affinité électronique entre silicium et oxyde de silicium provoque un désalignement de leurs bandes de conduction et de valence lorsque ces matériaux sont déposés l'un sur l'autre. L'écart résultant entre leurs bandes de valence est de 4.6 eV et celui entre leurs bandes de conduction de 3.2 eV ; ces valeurs représentent les hauteurs de barrières énergétiques que constitue l'oxyde pour les trous et les électrons du silicium.

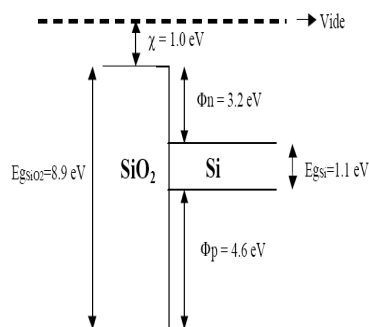


Figure I. 21 : Diagramme de bandes d'énergie du système Si/SiO_2 .

Les paramètres de maille du silicium et de l'oxyde ne sont pas égaux non plus ; la maille du SiO_2 est 40% plus grande que celle du Si. Il n'est donc pas possible d'obtenir directement une couche d'oxyde sur un substrat de silicium ; en fait une couche de transition se forme entre les deux matériaux qui est un composé SiO_x avec $1 < x < 2$. Par cette couche interfaciale [I-22], les propriétés du silicium évoluent progressivement vers celles du SiO_2 ; par exemple, environ 0.5 nm sont nécessaires pour passer d'une structure de bandes d'énergie du Si à une structure de bandes

d'énergie du SiO_2 [I-23]. En outre les couches déposées ne sont pas parfaites au plan atomique près, il y a quelques atomes de Si insérés dans la première couche d'oxyde et inversement si bien qu'une couche de transition se forme d'une épaisseur environ égale à deux monocouches [I-24, 25]. Il est admis que ces couches atomiques de transition sont à l'origine de la rugosité d'interface [I-26].

Couche interfaciale et rugosité d'interface dépendent à la fois de la qualité du substrat, de l'oxyde et également du procédé d'oxydation. Une oxydation sous atmosphère humide permet d'obtenir une interface de meilleure qualité en raison de la présence d'hydrogène dans ce type d'atmosphère permettant la passivation des liaisons pendants lors de la formation de la couche interfaciale [I-27]. Ces différences de paramètres de maille et les couches interfaciales et transitoires provoquent l'apparition dans le volume ou aux interfaces de défauts structuraux pouvant constituer des pièges pour les porteurs de charges.

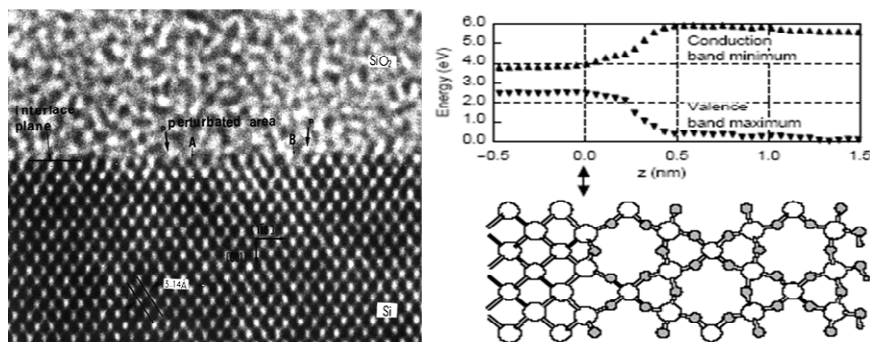


Figure I. 22 : Image TEM [I-23], diagramme de bande et schéma de structure de la transition entre Si et SiO_2 [I-28].

3- Défauts de l'oxyde et de son interface avec le substrat silicium

Quatre types de défauts de la silice ont été définis, concernant soit des défauts dans le volume de l'oxyde comme les charges fixes et les charges de l'oxyde ; soit des défauts apparaissant au niveau ou autour de l'interface entre substrat et oxyde : les charges mobiles, et les charges d'interface auxquelles il convient d'ajouter les défauts dits « border traps » désignant les pièges localisés dans les premières couches de l'oxyde et interagissant avec ceux de l'interface [I-29, 30]. Ces défauts sont importants en terme de fiabilité de l'oxyde puisque leur densité va augmenter avec l'usure et finalement provoquer la perte des propriétés isolantes de l'oxyde. Selon leur type, les défauts peuvent être chargés ou pas, par des charges ayant des énergies différentes ; les charges dans l'oxyde sont :

- les charges fixes : ce sont des défauts structuraux localisés à partir de l'interface Si/SiO_2 et jusqu'à 2.5 nm de cette interface. Ces défauts constituent des charges fixes sans interaction avec les charges d'interface et résultant du procédé d'oxydation et de l'orientation du cristal.
- les charges de l'oxyde : elles résultent d'un piégeage de trous ou d'électrons sans interaction avec les charges d'interface.

- les charges mobiles : Ce sont des impuretés ioniques, principalement des ions alcalins (Na^+ , K^+ et Li^+) ainsi que des protons (H^+). Ions négatifs et métaux lourds participent à ce type de charge.
- les charges de l'interface Si/SiO₂ : Positives ou négatives, ces charges se constituent par piégeage d'électrons et de trous et interagissent fortement avec les charges d'interface attirées lors du fonctionnement du dispositif. Elles peuvent être passivées par recuit sous atmosphère d'hydrogène. Cette désignation comprend également les charges piégées dans les premières couches de l'oxyde nommées « border traps ».

a. Défauts du volume du SiO₂

Ils sont causés par des défauts structuraux des couches atomiques ; lorsqu'il manque un atome dans la structure, on parle de lacune et lorsqu'un atome supplémentaire s'y est ajouté on parle d'atome interstitiel. C'est le cas respectivement des lacunes d'oxygène (VO) $\text{O} \equiv \text{Si} - \text{Si} \equiv \text{O}$ où il manque un atome d'oxygène entre les deux atomes de silicium et des ponts peroxyde, $\text{O} \equiv \text{Si} - \text{O} - \text{O} - \text{Si} \equiv \text{O}$ où au contraire un atome supplémentaire d'oxygène s'est glissé entre un atome de silicium et un atome d'oxygène. Ces types de défauts structuraux ne piègent pas de charges supplémentaires dans l'oxyde, cependant en raison de leurs énergies de liaison moindres celles-ci vont se rompre plus facilement sous l'action du champ électrique dans l'oxyde et ensuite constituer des sites de piégeage de charges (E') [I-31].

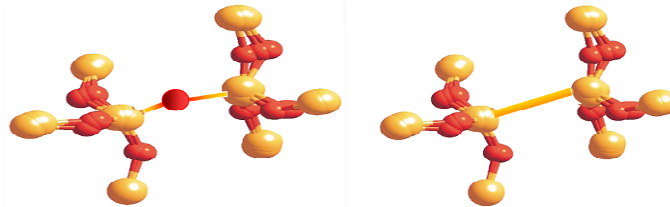


Figure I. 23 : Molécule d'oxyde de silicium SiO₂ sans défaut à gauche et avec une lacune d'oxygène à droite [I-9].

Sans atome manquant ou excédentaire dans la structure, il est possible que des liaisons atomiques soient manquantes ou bien se brisent sous l'effet du champ électrique ; dans ce cas, des liaisons restent pendantes (notées ●) et peuvent piéger une charge. C'est le cas de l'oxygène non liant (NBOHC) : $\text{O} \equiv \text{Si} - \text{O} \bullet$; du silicium trivalent (E') : $\text{O} \equiv \text{Si} \bullet$ et du silicium bivalent : $\text{O} = \text{Si} \bullet\bullet$. Eventuellement les liaisons pendantes peuvent être occupées par des atomes d'hydrogène [I-31, 32, 33].

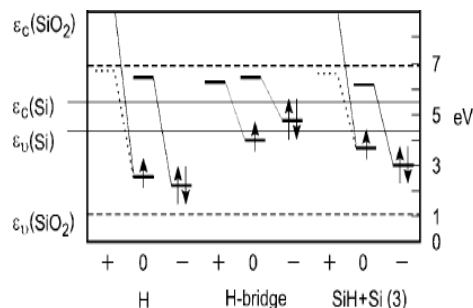


Figure I. 24 : Energie des différents états étirés de la liaison hydrogène [I-33].

b. Défauts de l'interface Si/SiO₂

A l'interface entre substrat et isolant se forme une couche interstitielle, qui passe d'une structure de silicium à celle de l'oxyde, en fonction de la densité d'oxygène variant progressivement ; naturellement cela provoque l'apparition de défauts à l'interface ; ce sont des lacunes d'oxygènes d'un type particulier ; associées à une liaison pendante sur l'atome de silicium central : $\bullet \text{Si} \equiv \text{O}_3$ (E'), $\bullet \text{Si} \equiv \text{SiO}_2$ (X), $\bullet \text{Si} \equiv \text{Si}_2\text{O}$ (Y).

Indépendamment de la couche interstitielle due à l'injection d'oxygène, il existe des défauts intrinsèques à l'interface Si/SiO₂ dus principalement au désaccord de maille entre les deux matériaux. Les centres Pb sont constitués des liaisons restant pendantes à l'interface ; ce sont les principaux responsables des charges piégées à l'interface. La densité de centres Pb dépend essentiellement de l'orientation du substrat. Le plus courant, noté Pb₀ est une liaison pendante du silicium : $\bullet \text{Si} \equiv \text{Si}_3$. Le niveau d'énergie de ce piège étant situé dans la bande interdite du silicium, il peut servir de centre de recombinaison et ainsi réduire la conduction entre les deux électrodes du transistor [I-34]. Pour les substrats d'orientation (100) un centre d'un autre type s'y ajoute, noté Pb₁ et de formule $\text{Si}_2 = \text{Si} \bullet - \text{Si} \equiv \text{SiO}_2$ [I-35]. Les centres Pb sont problématiques pour le fonctionnement du transistor car les charges piégées non loin de la couche d'inversion vont influencer sur la valeur de la capacité MOS comme en témoignent les mesures corrélées à la densité de centres Pb₀ et Pb₁ obtenue par résonance paramagnétique électronique [I-36].

Afin de limiter l'impact des liaisons pendantes sur le transport du courant dans le transistor, celles-ci peuvent être passivées à l'aide d'un recuit thermique sous une atmosphère riche en hydrogène ; à cette température, les atomes d'hydrogène vont venir occuper les liaisons pendantes $\text{Si} \bullet$ par $\text{Si}-\text{H}$ et ainsi les empêcher de capturer ou de libérer des charges pendant le fonctionnement du dispositif.

c. Augmentation de la densité de défauts dans l'oxyde

Certaines liaisons atomiques vont être plus aisées à détruire que d'autres et ainsi de nouveaux pièges pour les charges peuvent être créés ; endommageant les performances du dispositif au fur et à mesure de son utilisation. Deux principaux phénomènes peuvent être à l'origine de la désorption d'une liaison : le champ électrique appliqué aux bornes de l'oxyde lors de la polarisation de la grille et l'interaction entre la liaison atomique et les porteurs de charges.

Afin de permettre le passage du courant entre les électrodes source et drain, un potentiel électrique est appliqué sur l'électrode de grille, entraînant l'apparition d'un champ électrique à travers l'oxyde. A son tour le champ électrique va polariser le réseau atomique de l'oxyde ; en effet sous l'action de ce champ les molécules de l'oxyde se déforment en compression ou en étirement selon l'orientation de leur moment dipolaire et induisent des tensions dans le réseau atomique. La polarisation moyenne du matériau est proportionnelle au champ électrique E_{ox} appliqué à ses bornes, à la permittivité du vide ϵ_0 et dépend de la capacité du matériau à se polariser, exprimée par la susceptibilité électrique χ .

$$\vec{P} = \chi \epsilon_0 \vec{E}_{ox}$$

Equ. I- 6

Subséquentement, certaines liaisons vont être détruites ou plus faciles à détruire sous l'application d'un champ électrique. En effet l'énergie nécessaire ΔH à la rupture d'une liaison s'écrit :

$$(\Delta H) = (\Delta H)_0 - p(1 + L\chi)E_{loc}$$

Equ. I- 7

Où ΔH_0 est l'énergie de rupture sans champ électrique, dont les valeurs sont précisées liaison par liaison dans le tableau ci-dessous, p est le moment dipolaire de la molécule, χ sa susceptibilité électrique et L le facteur de Lorentz. Selon l'orientation du moment dipolaire p l'énergie de rupture va être minimisée ou augmentée [I-19].

Bond	Electro-negativities ($X_A - X_B$)	$U^{(0)}$ (eV)	U^0 (eV)	$U^{(0)}$ (eV)	Ionic % of total bond energy (%)
O-O	3.5-3.5	1.4	0.0	1.4	0
F-F	4.0-4.0	1.6	0.0	1.6	0
N-N	3.0-3.0	1.7	0.0	1.7	0
Cl-Cl	3.0-3.0	2.5	0.0	2.5	0
H-H	2.1-2.1	4.5	0.0	4.5	0
Si-Si	1.8-1.8	1.8	0.0	1.8	0
H-Si	2.1-1.8	2.9	0.1	3.0	3
N-Si	3.0-1.8	1.8	1.4	3.2	44
Cl-Si	3.0-1.8	2.1	1.5	3.6	42
O-H	3.5-2.1	2.5	2.0	4.5	44
O-Si	3.5-1.8	1.6	2.9	4.5	64
F-Si	4.0-1.8	1.7	4.8	6.5	74

Figure I. 25 : Energies de désorption de différentes liaisons [I-19].

La destruction d'une liaison peut également être provoquée par différents types d'interaction des liaisons avec les porteurs de charges. Lorsqu'un électron est très énergétique, il va pouvoir exciter une liaison, jusqu'à la dissocier. Pour des électrons moins énergétiques, la destruction d'une liaison est décrite par le mécanisme d'excitation multi-vibrationnel [I-37] où chaque porteur va apporter un quanta d'excitation à la liaison ; si le nombre de porteurs est suffisant, c'est-à-dire pour une densité de courant suffisante, les quantas d'excitation vont s'ajouter jusqu'à détruire la liaison. Enfin la capture d'une charge par les défauts lacunaires ou interstitiels [I-38] va instaurer une configuration atomique instable susceptible de détruire une liaison proche. Ce type de destruction d'une liaison est dominant pour les oxydes nitrurés.

d. Mécanisme de conduction dans l'oxyde

Dans un oxyde parfait il n'y a aucune charge et donc aucun courant ; ce qui n'est en réalité jamais le cas ainsi qu'exposé précédemment en raison des nombreux défauts de la structure. En outre pour les épaisseurs d'oxyde utilisées actuellement, il y a toujours passage de courant par effet tunnel. A ces mécanismes de conduction 'naturels', il faut ajouter le courant de fuite induit par le stress qui sera abordé dans la première partie du manuscrit.

- Conduction par pièges dite Poole Frenkel [I-39] : dans ce type de conduction, les électrons franchissent la barrière d'oxyde en se déplaçant de piège en piège par capture et émission dans la bande de conduction de l'oxyde.

Lorsque ce déplacement est dû à l'émission thermoionique on parle de courant « Poole-Frenkel ».

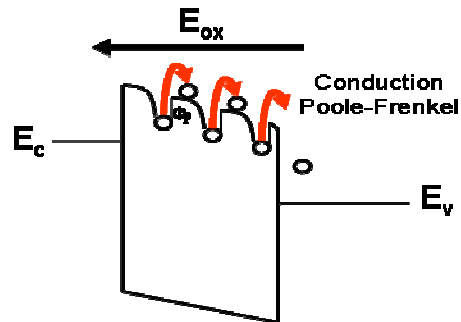


Figure I. 26 : Mécanisme de conduction Poole-Frenkel, l'émission thermoionique permet le passage de piège en piège.

- Ce type de courant dépend donc de la densité de pièges dans l'oxyde et du volume d'oxyde. Le niveau énergétique des pièges utiles à ce genre de conduction doit être suffisamment proche de celui de la bande de conduction $\Phi_p = (E_c - E_t) < 1$ eV. Cette conduction est assistée par la présence d'un champ électrique dans l'oxyde comme en témoigne l'équation de la hauteur de barrière vue par l'électron d'un piège :

$$x_{\max} = \sqrt{\frac{q}{4\pi\epsilon_{ox} E_{ox}}} \quad \text{Equ. I- 8}$$

La densité de courant s'écrit donc [I-40] :

$$J_{PF} = A(kT)^2 \sqrt{E_{ox}} \exp\left(-q \frac{\phi_p - x_{\max}}{kT}\right) \quad \text{Equ. I- 9}$$

Le courant Poole-Frenkel évolue donc en exponentielle du champ dans l'oxyde et dépend fortement de la température.

- Conduction par effet tunnel : cet effet est une conséquence directe de la dualité onde-corpuscule ; selon le point de vue l'électron se comporte comme une particule ou comme une onde ; on parle d'ondicule pour désigner cette nature paradoxale à notre échelle. Ce type de courant est limité par le nombre d'électrons injecté dans le dispositif par ses électrodes lors de son fonctionnement ainsi que par l'énergie de ces électrons. La probabilité qu'une particule de masse m traverse une barrière énergétique $b(x)$ d'épaisseur w s'écrit en fonction de la constante de Planck h et dans l'approximation Wentzel-Kramer-Brillouin qui considère des changements de potentiels lents devant la longueur d'onde [I-41]. Cette probabilité sert à calculer le taux de passage des électrons par effet tunnel appelée transmittivité ou transparence.

$$P = \exp\left[-\sqrt{\frac{8m^*}{\hbar^3}} \cdot \int_0^w \sqrt{b(x)} \cdot dx\right] \quad \text{Equ. I- 10}$$

En négligeant les effets de confinement quantique, la densité de courant associée à cette probabilité s'écrit en fonction du nombre d'électrons disponibles pour la conduction tunnel et de la statistique de Fermi-Dirac décrivant leur distribution en énergie ; E_c représente le niveau de la bande de conduction de l'électrode, E_f le niveau de Fermi du semi-conducteur, Φ_0 la hauteur de la barrière et m_{si} la masse effective de l'électron dans le silicium. $T(E)$ est la transparence de la barrière.

$$J_{tunnel} = \frac{4\pi \cdot q \cdot m_{si}}{\hbar^3} \int_{E_c}^{\Phi_0} T(E) \cdot kT \cdot \ln \left[1 + \exp\left(-\frac{E - E_f}{kT}\right) \right] \cdot dE \quad \text{Equ. I- 11}$$

Dans le cas de la barrière énergétique de l'oxyde, on considère deux cas pour simplifier les calculs ; du point de vue de l'électron, à faible champ électrique, la barrière semble rectangulaire, on parle alors d'effet tunnel direct. Pour un fort champ électrique aux bornes de l'oxyde cette barrière lui apparaît triangulaire et on parle de conduction Fowler-Nordheim.

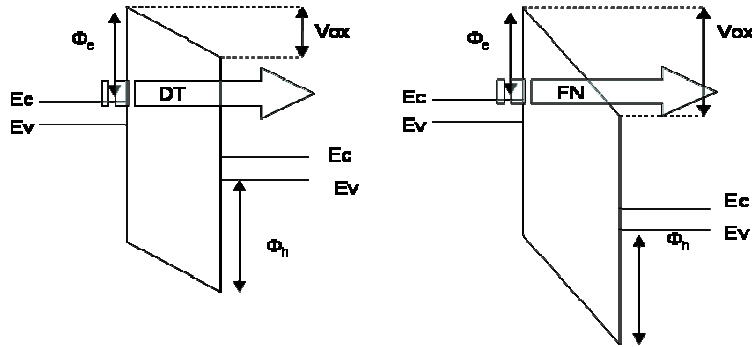


Figure I. 27 : Barrières tunnel dans le mode tunnel direct à gauche pour $V_{ox} < \Phi_0$ et pour un seuil de V_{ox} dans le mode de conduction Fowler-Nordheim à droite pour $V_{ox} > \Phi_0$; l'oxyde a une épaisseur T_{ox} .

Pour chaque cas une expression de la transparence est calculée et injectée dans l'expression de la densité de courant ; cela donne, respectivement pour une conduction de type Fowler-Nordheim et tunnel direct dans un champ E_{ox} :

$$J_{FN}(E_{ox}) = A \cdot E_{ox}^2 \cdot \exp\left(-\frac{B}{E_{ox}}\right) \quad \text{Equ. I- 12}$$

$$J_{TD} = \frac{A}{\left[1 - \sqrt{1 - \frac{qE_{ox}T_{ox}}{\Phi_0 - E_f}}\right]^2} \cdot E_{ox}^2 \cdot \exp\left(-\frac{B}{E_{ox}} \left[1 - \left(1 - \frac{qE_{ox}T_{ox}}{\Phi_0 - E_f}\right)^{3/2}\right]\right) \quad \text{Equ. I- 13}$$

$$\text{Avec : } A = \frac{q^2 m_{si}}{8\pi h (\Phi_0 - E_f) m_{ox}^*} \quad \text{et : } B = \frac{4 \cdot \sqrt{2m_{ox}^*}}{3hq} (\Phi_0 - E_f)^{3/2} \quad \begin{array}{l} \text{Equ. I- 14} \\ \text{Equ. I- 15} \end{array}$$

Ces courants sont tous deux fortement dépendants de l'épaisseur et de la hauteur de la barrière et deviennent de plus en plus importants au fur et à mesure de la diminution de l'épaisseur d'oxyde. Pour cette raison, les nouvelles générations de transistors augmentent la valeur de la capacité MOS en changeant le matériau isolant pour des matériaux à forte permittivité plutôt qu'en réduisant son épaisseur comme c'était le cas jusqu'au nœud technologique 45 nm.

D) Objectifs et contexte de ce travail de thèse

Les produits de la microélectronique sont de plus en plus impliqués dans le développement de nombreux domaines de l'activité humaine, permettant sans cesse de nouvelles applications innovantes. En retour des performances toujours plus importantes sont attendues des dispositifs et des circuits comme en témoignent la loi de Moore et ses dérivées.

Pour répondre à ces exigences, il est crucial de poursuivre les progrès en termes de densité d'intégration et de miniaturisation des transistors. Le maintien de la croissance exponentielle de ce domaine exige la production d'une nouvelle génération de composants tous les deux ans, ce qui s'accompagne également d'une augmentation conséquente des coûts des investissements en recherche et développement. La simulation numérique intervient donc de plus en plus à toutes les étapes des flux de conception des dispositifs et des circuits, afin de minimiser les erreurs et de réduire au maximum le temps de mise au point avant la production de masse et l'introduction de la nouvelle génération sur le marché.

Mais la miniaturisation des dispositifs devient de plus en plus complexe car les phénomènes physiques intervenant dans le fonctionnement des transistors ne sont plus les mêmes lorsqu'on descend aux échelles nanométriques. Par exemple le courant de fuite de la grille est de plus en plus important à cause de l'importance croissante des courants de type tunnel. Il en va de même pour tous les processus de dégradation de l'isolant de grille. Ainsi la diminution des dimensions des transistors augmente l'importance de la variabilité des paramètres causée par les variations dans les processus de fabrication ou d'usure. Les concepteurs de circuits ont besoin d'une estimation statistique de cette variabilité, y compris de son évolution dans le temps afin d'estimer au mieux la durée de vie qu'ils peuvent garantir à leurs produits.

Subséquentement les propriétés des matériaux et en particulier celles de l'oxyde, doivent être contrôlées rigoureusement et leurs phénomènes d'usure doivent être connus ainsi que leurs impacts sur le fonctionnement des dispositifs. Pour ces générations de transistors, huit phénomènes de dégradation d'usure sont distingués. Idéalement tous ces phénomènes seraient connus et parfaitement intégrés dans les modèles de simulation, permettant ainsi une maîtrise totale de toutes les étapes de conception ainsi qu'une estimation exacte du comportement des circuits au fur et à mesure de leur utilisation et de leur usure.

Ce travail porte sur l'une des dégradations de l'oxyde : le claquage du diélectrique, en anglais Oxide Breakdown. Ce phénomène est bien connu et étudié depuis longtemps [I-42, 43] à des échelles micrométriques mais à partir du nœud technologique 90 nm la phénoménologie du claquage du diélectrique a été réévaluée et il a été qualifié de progressif [I-44]. En effet il ne peut plus être considéré comme destructif comme c'était le cas pour de plus grandes épaisseurs d'oxyde ; les transistors continuent de fonctionner après plusieurs occurrences de claquage [I-45] de sorte que l'estimation de la durée de vie des circuits doit être étendue pour prendre en compte la progressivité du claquage.

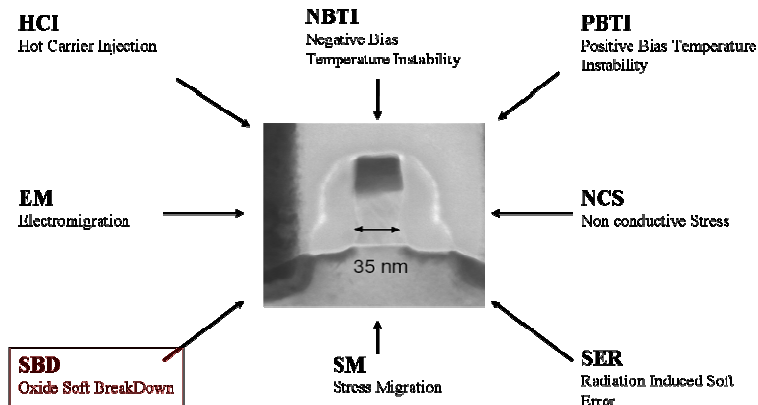


Figure I. 28 : Mécanismes de dégradation du transistor MOSFET.

Différents modèles de simulation seront proposés afin d'identifier les différents phénomènes physiques mis en cause et de comprendre leurs effets sur le fonctionnement du transistor, notamment en ce qui concerne la réduction du contrôle des charges dans le canal par la tension de grille pour former la couche d'inversion. Plusieurs approches de modélisation seront utilisées, séparément puis en combinaison, afin de prendre en compte tous les aspects observés du phénomène de claquage progressif.

Nous mesurerons ensuite quels sont ses effets sur le fonctionnement des transistors de la technologie CMOS 45 nm et extrairons la déviation de paramètres liée à ce mécanisme de dégradation de l'oxyde. Ces résultats seront ensuite comparés à nos différents modèles de simulation des effets du claquage et l'analyse des données mesurées nous indiquera quels paramètres de la dégradation prendre en compte dans l'élaboration d'un modèle simple du claquage du diélectrique incluant tous ses effets sur le fonctionnement du transistor MOSFET.

Cette étude servira de base à la mise au point d'un modèle de transistor tenant compte de la variabilité des paramètres dû au claquage progressif de l'oxyde et intégrable à l'outil de simulation ELDO couramment utilisé par les industriels. Avec ce modèle, nous étudierons les répercussions de la dégradation au niveau du dispositif sur le fonctionnement de circuits simples tels que l'inverseur ou la cellule SRAM, y compris d'un point de vue statistique afin de répondre au mieux aux besoins des concepteurs de circuits plus complexes susceptibles d'utiliser nos travaux.

Table des figures

Figure I. 1 : Premier transistor (1948) [I-1], premier circuit intégré [I-2].	1
Figure I. 2 : Population mondiale, Nombre de PC et de processeurs.	1
Figure I. 3 : Processeurs Intel ICore 7 (731 Millions de transistors [I-3], Processeur [I-4].	2
Figure I. 4 : Loi de Moore, évolution exponentielle du nombre de transistors, processeurs correspondants [I-6].	2
Figure I. 5 : Puissance de calcul par seconde disponible pour 1000\$ [I-7].	3
Figure I. 6 : Evolution de la taille des wafers [I-8].	3
Figure I. 7 : Sonde Voyager I (source : NASA), véhicule intelligent (source : Delphi EEA).	4
Figure I. 8 : Image au microscope électronique à balayage d'un transistor de la technologie 65nm (2005) [I-9].	5
Figure I. 9 : Structure et capacité équivalente de la capacité MOS.	5
Figure I. 10 : Diagramme de nade d'une capacité MOS.	6
Figure I. 11 : Schéma de principe d'un transistor MOS [I-8].	7
Figure I. 12 : Diagramme de bandes du canal, à $V_g > V_t$, la barrière s'abaisse entre source et drain.	7
Figure I. 13 : Caractéristique courant de drain-tension de grille d'un transistor MOSFET à V_d faible.	8
Figure I. 14 : Caractéristique courant de drain I_{DS} - tension de drain V_{DS} pour différentes tension de grille V_{GS} [I-10].	9
Figure I. 15 : Illustration de l'effet canal court sur la barrière de potentiel du canal [I-11].	9
Figure I. 16 : Schéma du circuit et de la caractéristique d'un inverseur CMOS [I-14].	12
Figure I. 17 : Schéma d'une cellule SRAM à 6 transistors [I-15] et caractéristique associée [I-16].	12
Figure I. 18 : Circuit d'oscillateur en anneau CMOS [I-17].	13
Figure I. 19 : Photo et schéma d'un post de procédé thermique rapide [I-18].	14
Figure I. 20 : Angle de liaison Si-O-Si entre deux tétraèdres de SiO_2 [I-19] ; arrangement des tétraèdres entre eux [I-20].	15
Figure I. 21 : Diagramme de bande du système Si/ SiO_2 .	15
Figure I. 22 : Image TEM [I-23], diagramme de bande et schéma de structure de la transition entre Si et SiO_2 [I-28].	16
Figure I. 23 : Molécule d'oxyde de silicium SiO_2 sans défaut à gauche et avec une lacune d'oxygène à droite [I-9].	17
Figure I. 24 : Energie des différents états étirés de la liaison hydrogène [I-33].	17
Figure I. 25 : Energies de désorption de différentes liaisons [I-19].	19
Figure I. 26 : Mécanisme de conduction Poole-Frenkel, l'émission theroionique permet le passage de piège en piège.	20
Figure I. 27 : Barrières tunnel dans les modes tunnel direct à gauche pour $V_{ox} < \Phi_e$ et pour un seuil de V_{ox} conduction tunnel dite de Fowler Nordheim à droite pour $V_{ox} > \Phi_e$.	21
Figure I. 28 : Mécanismes de dégradation du transistor MOSFET.	23

Table des références

- [I-1] Bells lab.
- [I-2] Icomputer history museum.
- [I-3] Intel.
- [I-4] www.fotosearch.fr/photos_images/medioomages.html.
- [I-5] http://en.wikipedia.org/wiki/Microprocessor_chronology.
- [I-6] <http://web.sfc.keio.ac.jp/rdv/keio/sfc/teaching/architecture/architecture-2007/lec01.html>.
- [I-7] www.kurzweilai.net/.
- [I-8] ICETECH.
- [I-9] G. Ribes. Caractérisation des oxydes ultra fins et des diélectriques à forte permittivité issue des technologies cmos45nm et en deça. *Thèse INPG*, 2005.
- [I-10] http://fr.wikipedia.org/wiki/fichier:caracteristique_mosfet.svg.
- [I-11] R.Clerc. cours iut. 2010.
- [I-12] www.itrs.net/.
- [I-13] F. Pregaldiny. Etude et modélisation du comportement électrique des transistors mos fortement submicroniques. *Thèse*, 2003.
- [I-14] sitelec.org/cours/abati/images/cmos5.gif.
- [I-15] http://en.wikipedia.org/wiki/Static_random_access_memory.
- [I-16] <http://www.iue.tuwien.ac.at/phd/entner/img663.png>.
- [I-17] http://www.silvaco.com/tech_lib_TCAD/simulationstandard/.
- [I-18] Applied material solid state technology.
- [I-19] H.C.Mogul J. McPherson. Disturbed bonding states in sio2 thin films and their impact on time dependent dielectric breakdown. *IEEE 1998 International Reliability Physic Symposium proceeding*, pages pp. 47–56, 1998.
- [I-20] <http://www.webelements.com>.
- [I-21] E. Cassan. Etude theorique du courant tunnel de grille dans les transistors mosfet sub-0.1µm. *Doctorat en sciences de l'université Paris XI Orsay*, 2000.
- [I-22] A. Cerezo A.M. Stoneham, C. R. M. Grovenor. Oxidation and the structure of the silicon/oxide interface. *Phil.Mag. B 55, 201*, page 201, 1987.
- [I-23] Yuko Kosaka Chioko Kaneta, Takahiro Yamasaki. Nano-scale simulation for advanced gate dielectrics. *FUJITSU Sci. Tech. J.*, 39, 1:pp.106–118, 2003.
- [I-24] F. J. Himpsel G. Hollinger. Probing the transition layer at the si/sio2 interface using core level photoemission. *Appl. Phys. Lett.*, 44:p.93, 1984.
- [I-25] R. P. Vasquez B. F. Lewis J. Maserjian A. Madhukar F. J. Grunthner, P. J. Grunthner. High resolution x-ray photoemission spectroscopy as a probe of local atomic structure: application to amorphous sio2 and the si-sio2 interface. *Phys. Rev. Lett.*, 43:P.1683, 1979.
- [I-26] D. C. Tsui O. L. Krivanek, T. T. Scheng. *Appl. Phys. Lett.*, 32:p.439, 1978.
- [I-27] A. Deneuveille. Matériau 1 : Physique des processus technologiques. *Cours de DEA de microélectronique, Université Joseph Fourier*, 1998-99.
- [I-28] http://www.perso.wanadoo.fr/anterroches/micro/Tem10_html.html.
- [I-29] B.E.Deal. Standardized terminology for oxide charges associated with thermally oxidized silicon. *IEEE Trans. Electron Dev.*, ED-27, n°3,3, 1980.
- [I-30] D.M. Fleetwood. Border traps in mos devices. *IEEE, Trans on Nucl. Scien.*, 39, n°2, 1992.

- [I-31] R.D. Pugh W.M. Shedd T. R. Oldham S.P. Karna, A.C. Pineda. Electronic structure theory and mechanisms of the oxide trapped hole annealing process. *IEEE Transactions on Nuclear Science*, 47, 2000.
- [I-32] S. Agnello. Gamma ray induced processes of point defect conversion in silica. *Dottorato di Ricerca in Fisica, Palermo*, 2000.
- [I-33] Peter E. Blöchl and James H. Stathis. Hydrogen electrochemistry and stress-induced leakage current in silica. *PRL*, 83, n°2, 1999.
- [I-34] MOYER MD CHANG ST POINDEXTER EH CAPLAN PJ JOHNSON NM, BIEGELSEN DK. Characteristic electronic defects at the si-sio₂ interface. *Appl. Phys. Lett.*, 43:p.563, 1983.
- [I-35] P. M Lenahan. Atomic scale defects involved in mos reliability problems. *Tutorial IEEE International Reliability Physic Symposium*, 2002.
- [I-36] P. J. Caplan G. J. Gerardi, E. H. Poindexter and N. M. Johnson. Interface traps and pb centers in oxidized (100) silicon wafers. *Appl. Phys. Lett.*, 49, n°6:pp.348–350, 1986.
- [I-37] A.R. Rossi T.C Shen G.C. Abeln J.R. Tucker J.W. Lyding Ph. Avouris, R.E; Walkup. Stm-induced h atom desorption from si(100):isotope effects and site selectivity. *Chemical Physics Letters*, 257:pp.148–154, 1996.
- [I-38] T.Maruizumi J.Ushio, K. Kushida-Abdelghafar. Interface structures generated by negative-bias temperature instability in si/sio₂ and si/sioxny interfaces. *Appl. Phys. Lett.*, 81, n°10:pp.1818–1820, 2002.
- [I-39] J. Frenkel. On pre-breakdown phenomena in insulators and electronic semi-conductors. *Phys. Rev*, 54:p.647, 1938.
- [I-40] R.M. Hill. Poole-frenkel conduction in amorphous solids. *The philosophical magazine*, 23:pp.59–86, 1971.
- [I-41] F. Laloë C. Cohen-Tannoudji, B. Diu. Mécanique quantique. *Hermann éditeurs des sciences et des arts*, 1986.
- [I-42] Thompson Ramo Wooldridge. High impedance isolation techniques for monolithic circuit structures. *U.S. Air Force Contract Rep.*, 33:615, 1964.
- [I-43] C. M. Osburn and E. Bassous. Improved dielectric reliability of siO₂ fiis with polycrystalline silicon electrodes. *Electrochem. SOC.*, 122:pp.89–92, 1975.
- [I-44] B. Kaczer R. Degraeve and G. Groeseneken. Reliability: a possible showstopper for oxide thickness scaling? *Semiconductor Science and Technology*, 15:p.436, 2000.
- [I-45] P.J.; Monroe D.; Krisch K.S.; Alam M.A.; Alers G.B.; Sorsch T.W.; Timp G.L.; Baumann F.; Liu C.T.; Ma Y.; Hwang D. Weir, B.E.; Silverman. Ultra thin gate dielectrics they break down but do they fail? *Electron Devices Meeting*, pages pp.73–76, 1997.

II) Fiabilité de l'oxyde de grille

A) Introduction à la notion de fiabilité

La notion de fiabilité est capitale dès lors qu'on souhaite élaborer un projet ou concrétiser un désir : sur quoi et dans quelle mesure peut-on s'appuyer sur les outils ou éléments nécessaires au projet ? Combien de temps peut-on s'y fier ? Cette question se pose dès la mise en œuvre d'un projet simple comportant très peu d'étapes et de synchronisation entre les individus ; par exemple dans le cadre de la chasse au mammoth : sur quels guerriers peut on compter, le groupe est-il bien préparé à exécuter les actions nécessaires ? Massues et épieux sont-ils suffisamment solides ? Ont-ils été aiguisés et testés ? Ne sont-ils pas endommagés par la chasse précédente ? La moindre erreur provoque la mort d'un chasseur et handicape grandement le groupe dans sa lutte pour la survie aussi ne part-on pas sans minutieuse préparation.

Ainsi même pour des actions simples la fiabilité est primordiale, dès qu'il existe une part de risque et un investissement important en temps et en moyens. Imaginons maintenant les exigences de fiabilité sur des projets légèrement plus complexes comme la fabrication d'un avion airbus impliquant des dizaines de milliers de pièces et d'intervenants travaillant pour des centaines d'entreprises différentes. Le moindre écart dans les caractéristiques d'une seule pièce handicape l'ensemble du projet et entraîne des délais inacceptables pour les investisseurs, voire la mort des entreprises les plus petites et en dernier lieu, des passagers. Enfin pour utiliser l'aéronef dans la durée, sans mettre en danger ni les actionnaires ni les passagers il est primordial que les caractéristiques de chaque pièce se maintiennent malgré l'usure tout au long de la durée de vie de l'appareil.

Avec ces exemples simples et amusants, les notions fondamentales de la fiabilité sont déjà abordées et trois types de fiabilité se dégagent : la fiabilité de conception des pièces afin de construire à coup sûr l'objet technique, que ce soit un propulseur de javelot du néolithique ou un transpondeur de gros porteur dernier cri ; la fiabilité de l'objet technique lui-même qui doit réaliser au mieux la fonction désirée ; et enfin la continuité de cette fonction dans le temps, c'est-à-dire sa résistance à l'usure. Naturellement ces trois aspects sont intimement liés les uns aux autres ; en toute rigueur la fiabilité désigne la capacité d'un objet à remplir une fonction au cours du temps ; on parle en fait de contrôle de qualité en ce qui concerne la fiabilité de conception, de fiabilité pour évaluer le temps de fonctionnement du produit et finalement de contrôle d'usure en ce qui concerne les dégradations liées au temps. Dans ce manuscrit nous confondrons fiabilité et contrôle d'usure, car l'estimation de la durée de vie des composants et circuits est aujourd'hui indissociable des mécanismes d'usure.

1- Fiabilité industrielle

Dans le cadre de l'industrie, la notion de fiabilité est intimement liée à celle de profit. L'ingénierie en fiabilité a pour but d'optimiser les bénéfices en estimant les probabilités de défaillance des produits et leur durée de vie moyenne. Pour cela la fiabilité prévisionnelle utilise des outils statistiques associés à des modèles d'usure. Les enjeux sont de réduire au maximum les coûts de production et d'augmenter les performances des produits afin de justifier leur prix de vente. Le binôme performance/prix illustre bien la problématique de mise sur le marché d'un produit : des performances exceptionnelles s'accompagnent d'un prix exceptionnel aussi ; or le client veut les meilleures performances au meilleur prix. Il y a donc un compromis à trouver. De même les performances dépendent essentiellement du coût et du temps de développement, mais si ceux-ci sont trop grands, le produit est dépassé dès sa sortie et son coût est prohibitif. A l'inverse, des performances médiocres, une fiabilité non maîtrisée permettent de grosses économies à l'entreprise mais l'insatisfaction du client lui fait perdre énormément en termes d'image, de réclamation, de réparations, de remplacement. Il s'agit donc de trouver l'équilibre entre les différents enjeux de la production et de la vente afin de choisir le meilleur compromis possible.

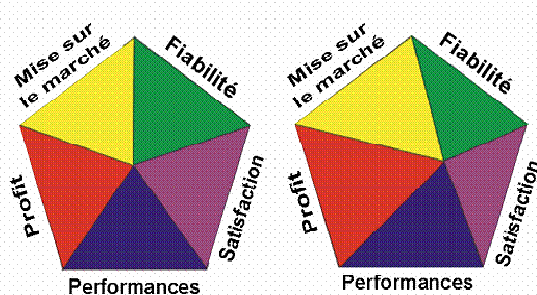


Figure II. 1 : Représentation graphique de l'équilibre des enjeux de production [II-1].

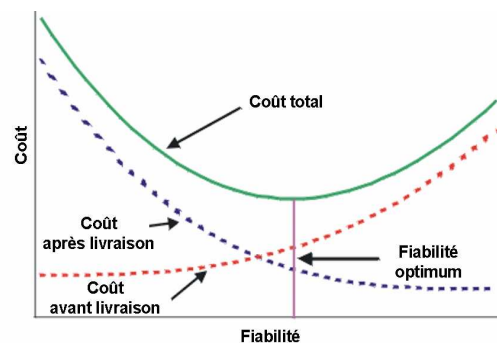


Figure II. 2 : Estimation des coûts en fonction de la fiabilité [II-1].

Il en va de même en ce qui concerne la fiabilité ; une fiabilité maximale, c'est-à-dire un produit dont la fonctionnalité est parfaitement maîtrisée au cours de son long cycle de vie coûte très cher en recherche et en développement ; par contre il ne coûte plus rien une fois vendu puisqu'aucune panne, aucune réclamation ni aucun retour n'est à redouter. A l'inverse un produit de fiabilité médiocre est peu cher à produire mais conserve un coût après la vente en termes d'échange, remboursement, réclamation et dégradation d'image de l'entreprise.

2- Fiabilité des composants microélectroniques

Comme mentionné précédemment, l'importance de la fiabilité est relative aux investissements nécessaires à l'élaboration du produit, au volume de produits vendus, à la compétitivité du secteur et bien sûr aux applications de ces produits : il va de soi que la fiabilité des systèmes de navigation des avions de ligne est plus critique que celle d'un stylo à bille. Dans le contexte de la microélectronique, les

investissements sont énormes, les volumes produits également et le secteur est très compétitif, d'autant plus que son essor conditionne celui de nombreux autres domaines. En outre l'électronique et les systèmes embarqués d'analyse et de décision sont de plus en plus présents dans les transports et dans le médical, deux champs d'applications nécessitant un contrôle drastique des performances des circuits et des composants ainsi qu'une évaluation précise de la durée de vie de ces systèmes.

Pour poursuivre la croissance technologique due à la révolution informatique, les constructeurs de composants doivent sans cesse innover en introduisant de nouveaux matériaux, de nouveaux procédés et de nouvelles architectures. Mais ces innovations présentent un risque pour la fiabilité des dispositifs, non seulement pour maîtriser les nouvelles règles d'usure des composants mais aussi parce que ces technologies sont de plus en plus sensibles aux dégradations et aux variations en raison de la complexité croissante des procédés de production et de la réduction des dimensions des dispositifs.

Afin de répondre aux enjeux changeants du marché de la microélectronique concernant la miniaturisation, le changement de matériaux et de procédés de fabrication, les exigences drastiques de fiabilité pour les applications embarquées ou médicales, il est indispensable de fournir un effort conjoint de compréhension des mécanismes d'usure sous tous leurs aspects. Ceux-ci comprennent le développement de modèles fiables des mécanismes physiques des défaillances ; la prise en compte des aspects statistiques de ces phénomènes d'usure et la calibration de modèles adaptés ; pour ces deux premiers aspects, il sera nécessaire de mettre en place des structures et des méthodes de mesure appropriées. Enfin il s'agit d'intégrer ces connaissances dans les flux de conception afin d'améliorer qualité et fiabilité des composants, notamment en concevant des outils prédisant la durée de vie des composants et des circuits.

3- Méthodes de mesure de fiabilité

Un composant électronique est conçu pour une utilisation d'une dizaine d'années avant de perdre ses performances. Bien sûr les exigences du marché ne permettent pas de tests sur plusieurs années en conditions réelles de fonctionnement ; aussi les tests sont accélérés en augmentant les contraintes électriques et thermiques sur les dispositifs ; le temps d'usure sous utilisation nominale est déduit de plusieurs tests accélérés. Au préalable, il est nécessaire de vérifier que l'accélération des contraintes n'induit pas d'autres mécanismes de dégradation.

Il existe deux types de contraintes électriques : soit en forçant un courant dans la structure soit en forçant une tension à ses bornes ; on les note CS et VS pour Current Stress et Voltage Stress. Ces contraintes peuvent être appliquées de différentes manières, selon les résultats recherchés. Les contraintes en rampe, soit linéaire soit exponentielle, sont notées respectivement LR et ER (Linear Ramp, Exponential Ramp) et permettent des tests rapides, adaptés au contrôle de production WLRC (Wafer Level Reliability Control) mais sont imprécises en ce qui

concerne l'estimation de la durée de vie et la caractérisation de dégradations [II-2]. Pour obtenir ces informations, les contraintes sont fixées ; les méthodes sont appelées CCS pour Constant Current Stress et CVS pour Constant Voltage Stress. Ce type de test est plus long et sa précision dépend principalement du temps de mesure : plus le stress est faible, plus on se rapproche des conditions normales d'utilisation du dispositif et plus précise est la mesure mais plus le temps de mesure est long ; sachant que très peu de laboratoires de microélectronique peuvent se permettre d'effectuer des mesures sur une semaine ou un mois entier car ils ne disposent pas d'une station de caractérisation par personne. Il faut mentionner également une autre méthode très utilisée pour caractériser les mécanismes de dégradation car elle permet de décorrélérer complètement les effets du champ électrique, la densité de porteurs injectés et leur énergie ; il s'agit de la méthode d'injection de porteurs [II-3].

B) Mécanismes d'usure et de dégradation de l'oxyde de silicium

L'usure de l'oxyde de grille correspond à l'augmentation de la densité de défauts décrite dans la partie I ; en présence d'un stress électrique ou en température, les liaisons atomiques les plus faibles vont être susceptibles de se briser et de former ainsi un défaut pouvant piéger une charge. Certains défauts peuvent être présents dès le début du fonctionnement car générés non pas par un stress dû à l'usure mais par le procédé de fabrication lui-même. Ce stress est déterminé par les conditions de cette utilisation : température, tensions appliquées, fréquences de fonctionnement...Après avoir présenté les différents défauts d'usure des oxydes, nous présenterons leurs impacts sur le fonctionnement du transistor.

1- Génération de défauts d'interface

L'interface entre oxyde et substrat silicium revêt une grande importance au cours du fonctionnement du dispositif puisque c'est là qu'est formée la couche d'inversion lors de l'application d'une tension de grille. La qualité de l'interface conditionne le fonctionnement du dispositif et un soin particulier est pris pour optimiser les propriétés d'interface, comme le recuit sous hydrogène pour passiver les liaisons pendantes. Cependant, sous l'application d'un stress ou sous l'effet de l'usure du dispositif, des états d'interfaces apparaissent, piégeant ainsi des charges et réduisant le contrôle du canal par la tension de grille ; il en résulte un décalage de la tension de seuil. Certains auteurs désignent la dégradation d'interface comme seule responsable de l'instabilité de V_T . Pour caractériser ces états d'interface, plusieurs techniques sont utilisées, la mesure de la caractéristique $C(V)$, la mesure de la diminution de la pente sous le seuil et la méthode de pompage de charges qui est la plus précise [II-4][II-5][II-6].

a. Instabilités en température (Negative/Positive Bias Temperature Instabilities)

La dérive de type NBTI/PBTI est provoquée par l'application d'un potentiel négatif ou positif sur la grille dans un milieu à haute température. Le dispositif est placé dans une enceinte chauffée et à part la grille toutes les électrodes sont reliées à la masse, la dégradation est donc uniforme tout le long du canal. Les potentiels appliqués dans la génération de défauts de type BTI sont de l'ordre de une à trois fois la tension de drain nominale. Ce type de dégradation intervient sur les NMOS [II-7] comme sur les PMOS [II-8], sur lesquels ce stress est le plus dégradant [II-9].

Le terme BTI a été créé au départ pour désigner des défauts ioniques dans la structure du dispositif, particulièrement sensibles à la température [II-10]. Par extension, le terme désigne toutes les dégradations liées à une contrainte en température et à l'application d'un stress sur la grille. Le mécanisme du BTI a été séparé en deux parties, d'une part à faible champ où la dégradation est limitée par la diffusion et d'autre part à fort champ où l'injection de porteurs et le piégeage de trous est le mécanisme dominant [II-11]. Une partie de cette dégradation peut être compensée par l'application d'un stress électrique contraire, ce qui révèle un phénomène de piégeage puis dépiégeage des trous [II-12]. Comme le montre la figure II.3, les contraintes BTI sont accélérées en tension et en température.

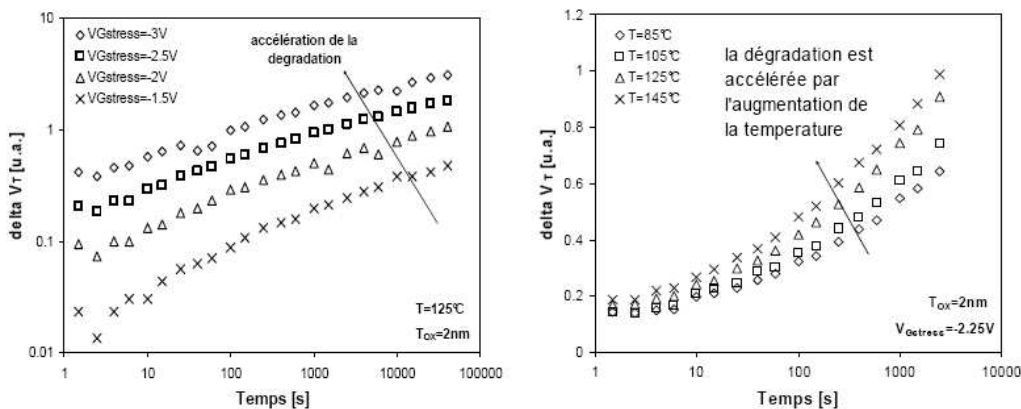


Figure II. 3 : Accélération de la dérive de V_T avec l'augmentation de la tension de grille (à gauche) et la température (à droite) pour un PMOS sous contrainte NBT [II-8].

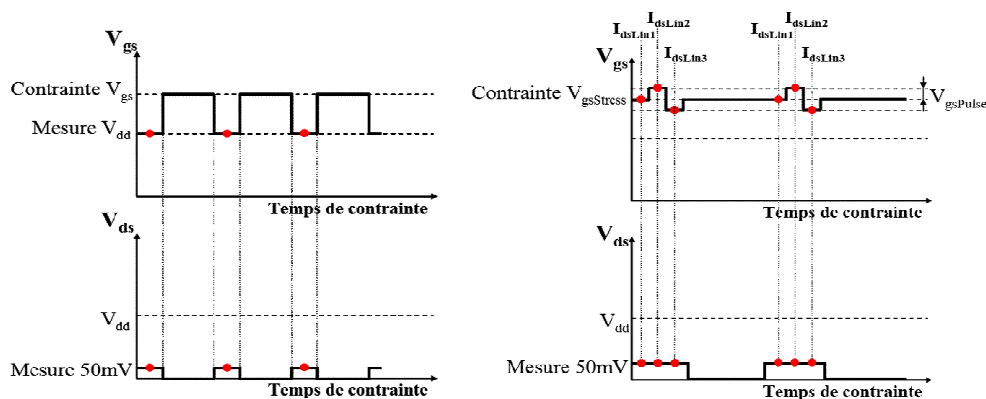


Figure II. 4 : Méthodes de mesures conventionnelle (à gauche) et à la volée (à droite) [II-13].

Deux méthodes sont utilisées pour caractériser la dérive due aux contraintes BTI, la méthode conventionnelle consiste à stresser le dispositif puis à stopper le stress pour mesurer les caractéristiques du dispositif. Cependant la mise en évidence du

phénomène de dépiégeage des trous lorsque la contrainte est arrêtée rend nécessaire l'utilisation de la technique de mesure dite « à la volée », [II-13] où les caractérisations du dispositif ont lieu sans relâcher la contrainte de grille, par application d'un potentiel V_{DS} très faible pour que le potentiel du canal reste homogène ou bien en superposant à la contrainte de grille une impulsion faible de manière à mesurer la transconductance G_M .

Plusieurs modèles ont été proposés, le plus étudié est celui de « Réaction – Diffusion » [II-14], amélioré et complété au cours des années [II-15]. Ce modèle considère au départ une grande densité de liaisons Si-H à l'interface qui réagissent en se dissociant sous l'action d'un fort champ électrique ; il y a donc apparition d'une liaison pendante à l'interface et diffusion de l'hydrogène dans l'oxyde. La variation de tension de seuil suit une loi en puissance d'exposant 0.25. Plus récemment un modèle a été proposé, mettant en évidence deux composantes de la dégradation BTI, une partie due aux états d'interface créés qui demeure même après interruption du stress et une deuxième composante qui elle se relaxe au cours du temps avec le dépiégeage des trous dans l'oxyde [II-16].

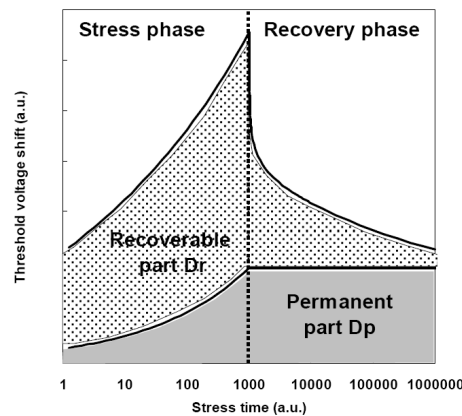


Figure II. 5 : Evolution globale de la dégradation NBTI, décomposée en composantes guérissables ou non [II-16].

b. Dégradation par porteurs chauds (Hot Carrier Electron)

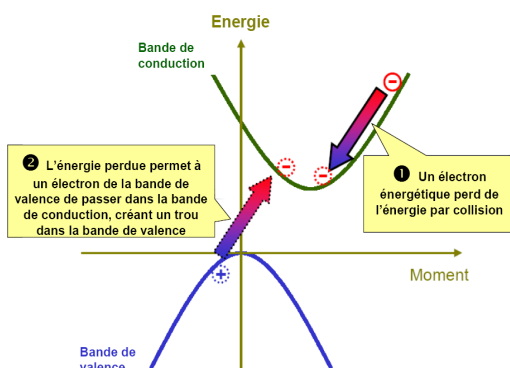


Figure II. 6 : Schéma de principe de l'ionisation par impact [II-17].

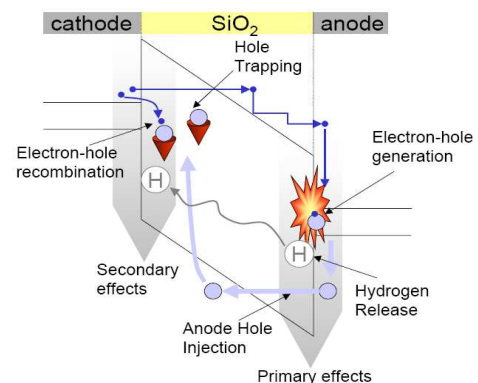


Figure II. 7 : Schéma de principe de la dégradation par porteurs chauds [II-21].

La génération de porteurs chauds est un des modes de dégradation principaux de l'oxyde ; en raison de l'augmentation des densités de champ électrique avec la diminution des dimensions du canal, les porteurs de charges, électrons ou trous,

peuvent acquérir une énergie supérieure à l'énergie d'ionisation et par collision avec les atomes du réseau peuvent céder cette énergie sous forme de paires électron-trou. A leur tour ces charges peuvent provoquer l'ionisation du réseau. Cela survient près du drain où le champ est plus élevé. Selon la polarisation du dispositif, les porteurs sont attirés vers le substrat, vers le drain ou vers l'oxyde de grille augmentant ainsi le courant de fuite du transistor, le courant de substrat ou le courant de drain [II-18]. La phénoménologie de la génération de porteurs chauds et leur impact sur les défauts de l'interface sont décrits de la manière suivante [II-19][II-20][II-21] :

- Ionisation par impact à l'interface Si/SiO₂ dans la bande interdite du substrat et ionisation de l'oxyde
- Génération de trous consécutive à l'ionisation.
- Libération d'hydrogène depuis les sites impactés
- Génération de défauts d'interface au niveau des sites impactés
- Piégeage croissant de charges dans l'oxyde

Les défauts peuvent être créés également par recombinaison de paires électron-trou et par réaction chimique de l'hydrogène libéré.

Les modèles utilisés pour décrire la dynamique de la dégradation sont différents pour chaque aspect de ce type de dégradation. Considérant la génération de défauts d'interface, un modèle d'évolution en puissance de la tension de seuil et de la transconductance permet une évolution simple du pire cas de la dégradation par porteurs chauds [II-22] ; c'est donc le modèle couramment utilisé dans l'industrie. Un second modèle propose d'interpréter la densité d'injection de porteurs chauds en termes de probabilité de génération de paires électron-trou et de probabilité de parcours d'un porteur sans collision, acquérant ainsi l'opportunité de créer un défaut d'interface. [II-23][II-24]. Enfin plus récemment, plusieurs modèles ont été proposés, considérant une combinaison des différents effets observés, c'est-à-dire que des porteurs de plusieurs types interviennent dans la dégradation [II-25] et que la création de défauts d'interface est compensée par le piégeage de trous [II-26]. Plus récemment, les modèles privilégient la formation de défauts d'interface par rupture des liaisons hydrogène [II-27], éventuellement avec un mode d'excitation multi-vibrationnel [II-28].

c. Electromigration et migration due au stress (ElectroMigration, Stress Migration)

L'électromigration est un phénomène de transport de matériau induit par les densités de courant élevées dans les lignes métalliques d'interconnexion. Ce type de diffusion d'ions métalliques dépend de la température et du courant. Le mode de diffusion dépend de la nature du matériau, ainsi pour le cuivre il s'agit de diffusion à l'interface tandis que l'électromigration dans l'aluminium est supportée par une diffusion de grains à grains. Cette dégradation est également dépendante de la géométrie des lignes d'interconnexions, de la redondance et du type de vias et même du sens du courant. Cette dégradation concerne donc les lignes d'interconnexions et pas directement les dispositifs ; ceux-ci peuvent toutefois en être affectés, notamment par la dégradation des résistances de contact.

2- Génération de défauts dans le volume

Contrairement aux défauts d'interface qui vont provoquer une perte de contrôle électrostatique de la grille sur le canal et ainsi réduire la tension de seuil, l'augmentation de défauts dans l'oxyde va provoquer simplement une hausse du courant de fuite. Plusieurs mécanismes sont à l'œuvre pour désigner l'augmentation de courant de fuite due au stress.

a. Augmentation du courant de fuite induit par le stress (Stress Induced Leakage Current)

Au fur et à mesure de son utilisation, l'oxyde de grille perd ses propriétés isolantes ; cela provoque l'augmentation des courants tunnel. D'abord attribué à la génération d'états d'interface [II-29], il a été démontré par la suite que cette augmentation correspondait à l'augmentation de la densité de défauts dans le volume de l'oxyde [II-30] ; cette augmentation n'est pas uniforme dans l'oxyde et certaines régions sont plus impactées. Ainsi certains points de l'oxyde sont plus favorables aux fuites de courant ; de tels points sont appelés points faibles ou « Weak Spots ». En fait plusieurs phénomènes de conduction interviennent dans ce qu'on appelle de manière générique SILC. Piégeage et dépiégeage de charges dans le volume de l'oxyde ont d'abord été invoqués pour rendre compte du caractère transitoire d'une partie de ce type de dégradation [II-31][II-32][II-33]. Ensuite des études plus complètes [II-34][II-35] ont classifié les différentes contributions à cette augmentation de courant de fuite due au stress en trois groupes : les effets non reproductibles désignent la passivation ou la recombinaison des charges avec les pièges de l'oxyde ; lors de la première application d'un stress, les électrons passant dans l'oxyde par effet tunnel vont venir annihiler ces pièges chargés positivement dans le volume de l'oxyde. Les phénomènes transitoires sont dus eux-mêmes à plusieurs contributions, d'abord au piégeage et dépiégeage des charges dans les défauts neutres du volume de l'oxyde ou près de l'interface [II-36][II-37]. Cette composante décroît avec l'épaisseur d'oxyde [II-38]. Enfin dans les phénomènes transitoires d'augmentation du courant de fuite dus au stress, un phénomène de piégeage particulier intervient pour des pièges dont le niveau d'énergie se situe sous le niveau de Fermi du silicium ; ainsi ces défauts restent chargés tant qu'une tension opposée à la tension de stress n'a pas été appliquée. Enfin pour les oxydes plus minces, d'épaisseur inférieure à 7 nm, ce qui est le cas de toutes les technologies actuelles, apparaît une contribution au SILC appelée courant continu DC. Cette composante désigne la création de points faibles ou weak spots dans l'oxyde [II-30] où le courant tunnel est plus élevé que dans les autres régions ; cette contribution est modélisée par un courant tunnel assisté par pièges, ou plus simplement par une réduction locale de la hauteur de barrière de l'oxyde [II-35][II-38]. Récemment il a été démontré que ce type de contribution se réduisait avec l'injection de porteurs de basse énergie, ce qui montrerait une reconstruction des zones d'oxyde endommagées [II-39].

Ces phénomènes sont tous fortement dépendants de l'épaisseur de l'oxyde puisqu'un oxyde mince facilite le piégeage et dépiégeage des charges tout en augmentant la probabilité de création de défauts dans le volume de l'oxyde. Pour des oxydes d'épaisseur inférieure à 6 nm, les composantes transitoires et non

reproductibles du SILC disparaissent presque complètement et la composante dite courant continu directement liée à la densité de défauts demeure la seule contribution à l'augmentation du courant de fuite due au stress [II-38].

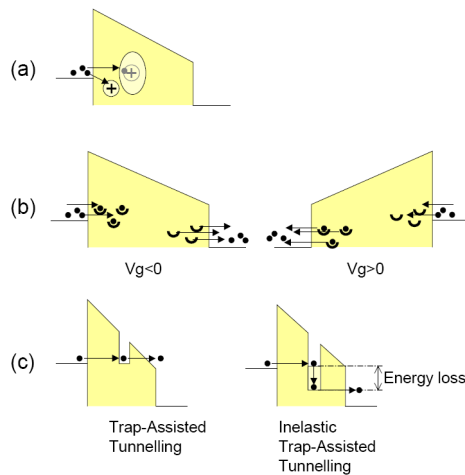


Figure II. 8 : Composantes du SILC : a) composante non reproductible due à la passivation de charges piégées. b) composante transitoire, dépendant de la tension pour la charge et la décharge des pièges d'interface, c) composante continue attribuée à une conduction tunnel assistée par pièges. [II-21].

b. Génération de défauts par radiations (Radiation Induced Soft Error)

L'étude de la résistance des composants et circuits électroniques aux radiations s'est développée pour répondre à des besoins spécifiques ; les circuits embarqués peuvent en effet être utilisés dans des milieux hostiles et soumis à d'importantes doses de radiations. C'est le cas pour l'électronique de commande et de contrôle dans les installations nucléaires ; les armées demandent également des systèmes capables de fonctionner après des attaques ou des accidents nucléaires et des attaques électromagnétiques. De plus l'électronique embarquée dans les engins spatiaux, satellites et stations, de même que dans les vols à très haute altitude est soumise à une dose inhabituelle de radiations. Or toutes ces applications sont particulièrement exigeantes pour la fiabilité en raison des enjeux et des investissements ; il est donc capital d'étudier l'effet des radiations sur les composants et les circuits.

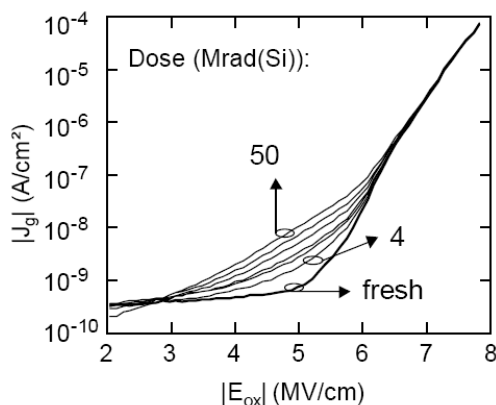


Figure II. 9 : Courbe d'évolution de la densité de courant en fonction du champ électrique pour une gamme d'irradiation de 4 à 50 Mrad [II-21].

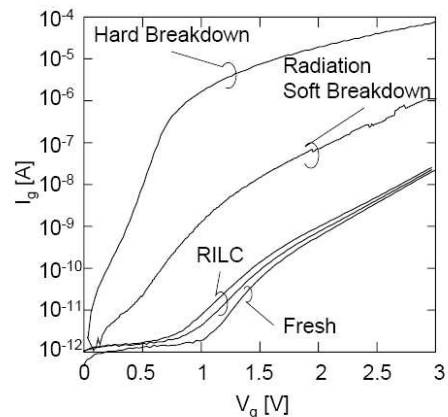


Figure II. 10 : Caractéristique courant-tension pour une irradiation croissante, RILC défini à partir de $5.8 \cdot 10^{-10}$ Si ion/cm² et le claquage progressif induit RSB à 10^{-7} Si ion/cm² [II-21].

Après avoir été soumis à des radiations, le courant de fuite à bas champ augmente dans les dispositifs. Cette augmentation, de même que pour le SILC, peut être corrélée à l'augmentation de la densité de défauts dans l'oxyde. La formation de défauts supplémentaires est cette fois provoquée par les radiations, ce qui peut aller jusqu'à induire un claquage de l'isolant.

Le courant tunnel, assisté par les défauts, est inélastique (Figure II.8-c), c'est-à-dire que l'électron perd de l'énergie pendant le piégeage et le dépiégeage [II-35][II-37]. Un modèle analytique a été mis au point [II-40] en résolvant l'équation de Schrödinger pour une structure de bande simplifiée.

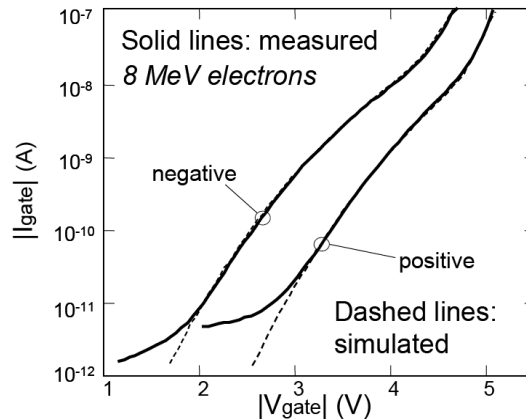


Figure II. 11 : Comparaison mesures et simulation pour des électrons d'énergie 8MeV [II-40]

Ce modèle met en évidence les deux étapes du passage par effet tunnel via un piège de l'oxyde créé par la dose de radiations. D'abord l'électron passe dans le piège où il perd de l'énergie, puis de là il passe dans la bande de conduction du canal. D'après ces simulations, les pièges créés par radiations se situent à 1.3 eV sous la bande de conduction de l'oxyde et sont plus efficaces lorsqu'ils sont situés au milieu de l'oxyde.

3- Impact des défauts sur le comportement électrique du MOS

Nous avons vu les différents modes de dégradation de l'oxyde dus à l'usure. Tous induisent une augmentation de la densité de défauts dans la structure, que ce soit à l'interface ou dans le volume de l'oxyde. Les dégradations vont donc influencer sur la charge de l'oxyde, dont dépend la capacité MOS, comme nous l'avons décrit au chapitre I. Or tous les paramètres extrinsèques du transistor dépendent de la valeur de cette capacité. Afin de concevoir des circuits fiables, il est nécessaire de prendre en compte la dérive de ces paramètres au cours du temps.

a. Variation de la tension de seuil V_{th}

La dérive de la tension de seuil est due à la dégradation de l'oxyde réduisant le contrôle électrostatique du canal par la tension de grille. En effet la création d'états d'interface va permettre le piégeage de charges ; d'après l'équation I-2 de la partie

précédente, toute nouvelle quantité de charge ΔQ_{ox} dans l'oxyde va se traduire par la modification de la tension de seuil suivante :

$$\Delta V_t = \frac{\Delta Q_{oxyde}}{C_{oxyde}} \quad \text{Equ. II- 1}$$

Où la charge supplémentaire ΔQ_{ox} est la somme des charges d'interface ΔQ_{int} et des charges dans le volume ΔQ_{vol} . Le signe de la charge va dépendre du substrat et du régime considéré. Nous nous plaçons ici en régime de faible inversion (Figure II.12) :

- Pour le NMOS, le niveau de Fermi est proche de la bande de conduction ; tous les défauts d'énergie inférieure à ce niveau vont être remplis. C'est le cas de tous les défauts donneurs et seulement d'une partie des défauts accepteurs ; donc la charge sera négative et la tension de seuil va augmenter.

- Pour le PMOS au contraire, le niveau de Fermi est proche de la bande de valence et seule une partie des défauts donneurs va être ionisée et la charge supplémentaire sera positive. La tension de seuil va diminuer c'est-à-dire augmenter en valeur absolue.

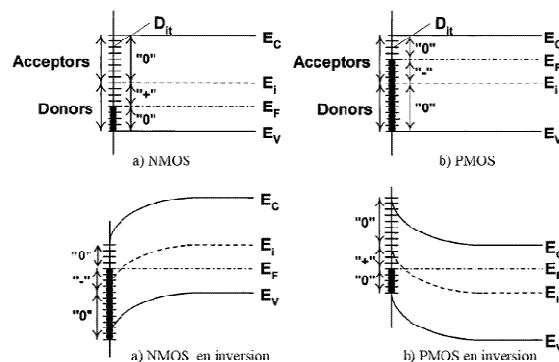


Figure II. 12 : Au dessus, situation de bandes plates, charge des défauts d'interface en fonction de l'énergien des pièges occupés. En dessous, signe de la charge induite par les défauts d'interface : a) négative sur NMOS et b) positive sur PMOS.

L'influence des charges de l'oxyde dans son volume est la même que celle des charges d'interface, à cela près que leur influence sera pondérée par leur distance à la couche d'inversion.[II-41] ; cependant il a été démontré que la dérive de la tension de seuil était fortement corrélée à la densité de défauts d'interface [II-42] ; certains auteurs attribuent donc exclusivement la dérive de la tension de seuil à la création de défauts d'interface [II-4][II-5][II-6]. La dérive de la tension de seuil est caractéristique des dégradations affectant l'interface, tels que les dégradations BTI, SILC et même pour les oxydes minces le claquage progressif [II-43] comme nous le verrons dans la partie suivante.

b. Augmentation des courants de fuite

Avec l'augmentation de la densité de défauts dans le volume de l'oxyde, l'effet tunnel assisté par pièges devient de plus en plus important, contribuant ainsi à l'augmentation du courant de fuite. Mais avec la réduction drastique des épaisseurs d'oxyde utilisées dans les composants de dernière génération, la densité de pièges

dans le volume de l'oxyde n'est plus vraiment significative d'une part parce que les recombinaisons se font aisément avec les charges de la grille ou du substrat et d'autre part parce qu'en raison de la finesse de l'oxyde, les courants dus à l'effet tunnel deviennent plus grands et l'augmentation due au SILC devient négligeable [II-34][II-38]. Cependant, dans l'optique d'augmenter l'intégration tout en réduisant la consommation, la moindre augmentation de la fuite de grille conduit, à l'échelle du processeur à une augmentation importante de la consommation. C'est l'une des raisons de l'introduction des nouveaux matériaux d'oxyde de grille. En outre dans le cadre des mémoires, une fuite de grille importante réduit le temps de rétention de l'information des mémoires non volatiles et affecte également, comme nous le verrons plus en détail, les circuits logiques [II-32].

c. Variation de la transconductance G_M et de la mobilité effective

La variation du maximum de la transconductance est utilisée pour caractériser l'évolution des dégradations. En effet la variation du maximum de la transconductance $G_{m_{MAX}}$ est proportionnelle à la variation de la mobilité effective $\Delta\mu_{eff}$ qui dépend de la densité de défauts d'interface ΔN_{it} . Les dimensions W et L du canal interviennent aussi ainsi que la capacité MOS C_{ox} .

$$\Delta\left(\frac{W}{G_{m_{MAX}}}\right) = \frac{L}{V_d \cdot C_{ox} \Delta\mu_{eff}} = \frac{\alpha \cdot L}{V_d \cdot C_{ox}} \Delta N_{it} \quad \text{Equ. II- 2}$$

La mobilité effective est corrigée comme suit pour prendre en compte l'apparition de défauts d'interface :

$$\mu'_{eff} = \frac{\mu_{eff}}{1 + \alpha \cdot \mu_{eff} \cdot \Delta N_{it}} \quad \text{Equ. II- 3}$$

La méthode de Hamer [II-44] permet d'extraire de la mesure du courant de la source au drain I_{ds} en forte inversion et en régime linéaire trois paramètres du transistor ; la tension de seuil V_T , β_0 , proportionnel à la mobilité et θ_1 et donc d'observer leur évolution avec le stress. Il a été ainsi montré une corrélation entre la dégradation de la mobilité et la densité de défauts d'interface.

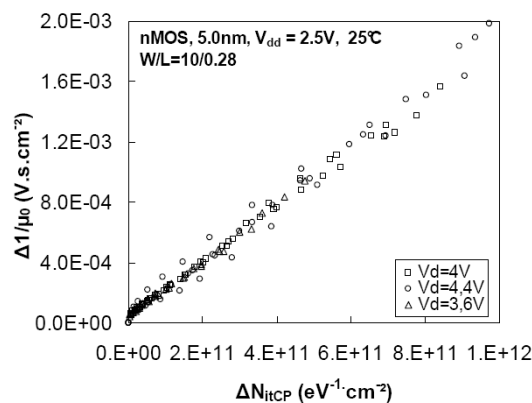


Figure II. 13 : Corrélation entre la formation de défauts de l'interface et la mobilité. [II-42].

$$I_{ds} = \beta_0 \frac{\left(V_{gs} - V_t - (1+d) \frac{V_{ds}}{2} \right)}{1 + \theta_1 \cdot (V_{gs} - V_t)} V_{ds} \quad \text{Equ. II- 4}$$

$$\beta_0 = \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \quad \text{Equ. II- 5}$$

$$\theta_1 = \theta_1(t=0) + \beta_0 \cdot (R_s + R_d) \quad \text{Equ. II- 6}$$

Où V_t est la tension de seuil, $\theta_1(t=0)$ est la valeur du paramètre θ_1 pour les dispositifs non dégradés et $R_{d,s}$ respectivement les résistances d'accès coté drain et source, d ajuste la position des défauts pris en compte. Cette méthode permet non seulement de suivre l'influence de la dégradation sur les courants mais surtout d'isoler chaque dégradation selon la zone de défauts à laquelle elle est sensible ; ainsi l'évolution de la résistance d'accès R_d est reliée à la densité de défauts dans la zone de drain, le paramètre β_0 augmente avec la densité de défauts dans la zone de charge d'espace et V_t augmente avec la densité de défauts dans le canal.

d. Variation des courants de drain en régime linéaire et en saturé

Finalement la variation des courants de source et drain sont également observés afin de contrôler la valeur du courant I_{ON} qui témoigne des performances du dispositif. Cependant l'analyse précise des défauts ne peut être accomplie seulement avec ces observations puisque le courant I_{ON} dépend à la fois de la mobilité et de la tension de seuil qui sont impactés différemment et séparément par l'apparition de défauts. En outre cette analyse souffre de la dissymétrie de la couche d'inversion due au potentiel de drain ; le courant de saturation I_{DSAT} dépend en effet de la longueur effective du canal ; les défauts présents coté drain ne seront donc pas mis en évidence par ce type de caractérisation, à moins d'effectuer une double caractérisation en inversant les rôles des électrodes source et drain afin de pouvoir remonter à la totalité des défauts.

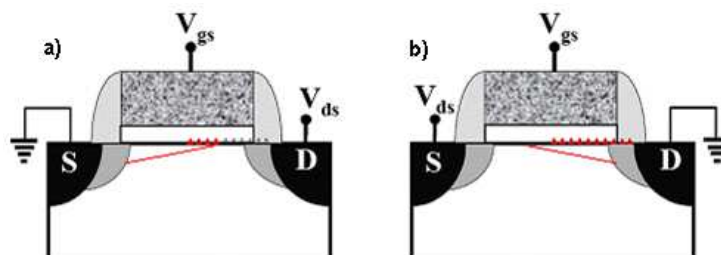


Figure II. 14 : Schéma de principe de la mesure de défauts coté drain, a) une mesure directe ne fournit pas cette information tandis que b) la mesure inverse explore la zone d'intérêt. [II-45].

Nous verrons ultérieurement plus en détail une méthode originale de caractérisation et de localisation des défauts dans le canal appelée analyse de la partition du courant de fuite.

4- Modélisation compacte du vieillissement

L'équipe de Berkeley ayant développé le modèle BSIM lui a ajouté en 1988 une fonctionnalité capitale pour la modélisation compacte [II-46] ; grâce à un calcul du stress auquel est soumis chaque composant individuellement lors de l'utilisation du circuit, les paramètres du transistor sont adaptés progressivement pour prendre en compte la dérive liée à l'usure. Cette fonction nommée Circuit Aging Simulator permet ainsi d'accéder au comportement du circuit dans le temps. Ainsi les concepteurs peuvent évaluer le fonctionnement de leurs circuits au fur et à mesure de leurs utilisations et éventuellement concevoir des circuits moins sensibles à la dégradation des transistors.

Le taux de dégradation est défini comme étant proportionnel à l'âge du transistor suivant une loi en puissance. Pour chaque dégradation, une constante de temps est ajustée d'après les mesures effectuées, éventuellement en incluant la déviation statistique des mesures effectuées. Cette approche se fonde sur l'article de Takeda en 1983 [II-18] décrivant de manière générique la dégradation d'un paramètre P d'un dispositif soumis à un stress pendant un temps t en fonction de paramètres empiriques A et n. Contrairement au paramètre A, n dépend fortement de la tension V_{gs} et peu de V_{ds} . Nous utilisons la notation \propto pour désigner une proportionnalité.

$$\Delta P = A.t^n \tag{Equ. II- 7}$$

Comme A s'exprime en exponentielle inverse de la tension V_{ds} , il est possible d'écrire la durée de vie du dispositif en fonction de cette tension. La fonction Age utilisée dans la modélisation compacte du vieillissement dérive de ces observations.

$$\tau \propto e^{-\frac{1}{n.V_{ds}}} \tag{Equ. II- 8}$$

$$\Delta P \propto \left(\frac{t}{\tau}\right)^n \propto Age^n \tag{Equ. II- 9}$$

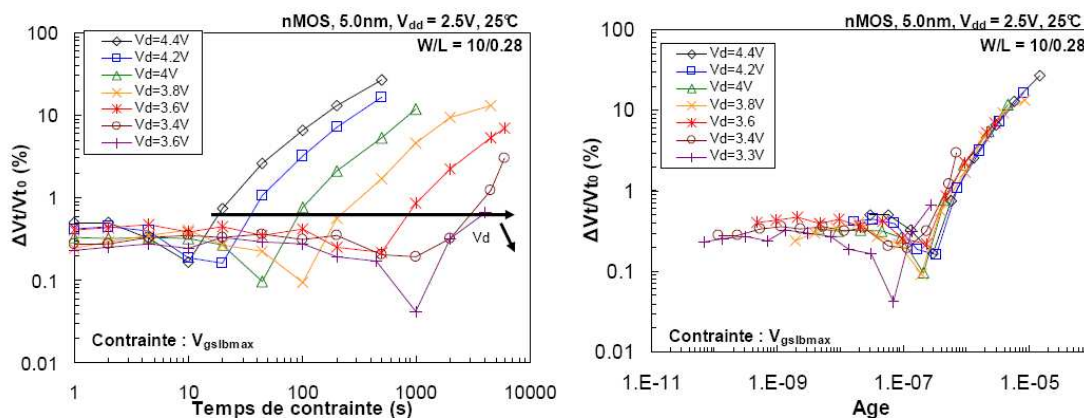


Figure II. 15 : Dégradation de la tension de seuil V_T sous polarisation pour différentes tensions de drain, représentée en fonction du temps et du paramètre Age du modèle BSIM. [II-42].

Pour les dégradations dont l'évolution est connue, il est ainsi possible de prédire en fonction du temps la dérive de chaque paramètre selon les conditions de

fonctionnement. A titre d'exemple, la dérive de la fonction de seuil V_T due aux dégradations de type NBTI ou HCI est tracée figure II-15 pour différentes tension V_D d'utilisation. Il apparaît ainsi que plus la tension de drain est élevée, plus vite la tension de seuil va commencer à dériver. Les conséquences de cette dérive sur un inverseur par exemple peuvent donc être visualisées. Les paramètres utilisés par la fonction Age nécessite la mesure des paramètres du transistor dégradé sous les différents régimes.

A partir de ce modèle de vieillissement, il est possible de reporter les déviations des paramètres des dispositifs sur les circuits et d'en déduire la variabilité des paramètres de ces circuits. Cet apport est inestimable pour la conception de circuits fiables et pour la prévision du comportement des circuits au cours de leur utilisation. Par exemple pour déterminer la marge de basculement nécessaire à un inverseur tenant compte de la dégradation de la tension de seuil des dispositifs avec le temps :

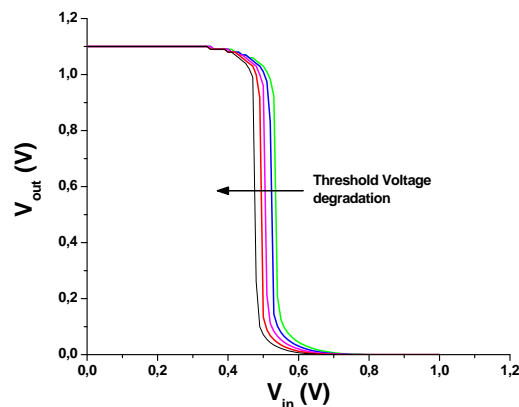


Figure II. 16 : Décalage du basculement d'un circuit MOS inverseur avec la dérive de la tension de seuil due au vieillissement du dispositif.

Cette approche illustre le besoin croissant des concepteurs de circuit d'utiliser des modèles de plus en plus proches de la physique, afin d'être en mesure de concevoir des circuits très performants en estimant leur durée de vie beaucoup plus précisément qu'avec une classique approche « pire cas » utilisant les valeurs de paramètres les plus dégradées.

C) Le claquage progressif du diélectrique

Parmi tous les modes de dégradation, le plus critique, celui qui limite la durée de vie du composant est le claquage du diélectrique. C'est pourquoi ce phénomène est l'un des plus étudié par les fiabilistes depuis les années 1960 [II-47][II-48]. Ce phénomène était observé à l'origine sur les capacités macroscopiques ; une tension trop importante aux bornes de l'isolant conduit à sa destruction. En microélectronique, la tension de claquage est l'un des paramètres de choix des isolants. Le claquage du diélectrique de grille est exactement le même mécanisme et conduit à la destruction de la capacité MOS et donc du transistor. Pour les oxydes épais, le claquage se caractérise par la formation d'un trou de quelques microns

carrés dans l'oxyde, visible grâce à l'utilisation d'un microscope à émission lumineuse [II-49]. Ce trou résulterait d'un échauffement local intense de l'ordre de 3000 K [II-50].

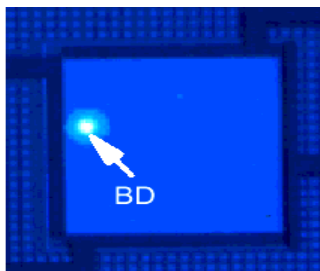


Figure II. 17 : Image de la localisation du point faible de l'oxyde créé par le claquage [II-51].

Cependant, avec la réduction des épaisseurs d'oxyde utilisé l'échauffement n'est plus aussi intense et un nouveau mode de claquage apparaît, qualifié de progressif (Soft BreakDown : SBD). Contrairement au Hard BreakDown (HBD), le claquage progressif n'est pas immédiatement destructif, l'oxyde conserve ses propriétés isolantes qui se dégradent progressivement jusqu'au court circuit entre les électrodes. La destruction de l'isolant, appelée par abus de langage, claquage dur (HBD) n'intervient qu'au terme de la dégradation progressive. Ainsi trois modes de claquage sont distingués, depuis le début de la dégradation jusqu'à la destruction de l'oxyde : le claquage progressif, le claquage mou ou quasi claquage et enfin le claquage dur ; respectivement PBD, SBD et HBD. L'intérêt des fiabilistes pour le claquage progressif et soft s'explique par le fait que les dispositifs continuent de fonctionner pendant ces dégradations [II-52][II-53].

En conséquence, les modèles de prédiction de durée de vie des transistors et des circuits associés doivent être étendus afin de prendre en compte la dérive des paramètres associés à cette dégradation progressive ; ce qui permettra une évaluation plus précise de la durée de vie des dispositifs et des circuits [II-54]. En effet il a été démontré que ceux-ci continuaient de fonctionner pendant le claquage progressif, quoique avec des performances amoindries en raison de la dérive des paramètres. De la même manière qu'a été implémentée dans les simulateurs industriels la variabilité des paramètres relative aux dégradations HCI et BTI, il est aujourd'hui nécessaire d'ajouter dans les modèles compacts l'influence du claquage progressif.

1- Phénoménologie du claquage du diélectrique

La première mention de claquage progressif est effectuée en 1994 par [II-55] et [II-56] qui l'appellent respectivement B-mode-SILC pour courant de fuite induit par le stress (SILC) en mode claquage (Breakdown) et quasi-claquage. Le claquage devient progressif pour des épaisseurs d'oxyde inférieures à 5 nm. Alors que le SILC est caractérisé par une augmentation du courant de fuite avec le stress, le claquage progressif provoque des augmentations plus brutales du courant de grille. Ces augmentations de courant de fuite sont dues à la formation dans l'oxyde et à l'interface d'un ou de quelques points faibles, « weak spots », moins isolants, alors que les points faibles du SILC sont supposés être beaucoup plus étendus et les

propriétés de l'isolant moins impactées. Cette notion de point faible dans l'isolant permet d'expliquer la phénoménologie et les différences entre les différents modes de claquage.

a. Augmentation du courant de grille pour les différents modes de claquage

La mesure de l'augmentation du courant de grille a permis de mettre en évidence le phénomène de claquage puis de discriminer ses différents modes. En premier lieu intervient le claquage progressif noté PBD (Progressive BreakDown) caractérisé par une légère augmentation du courant de grille et une augmentation importante du bruit. Ensuite le quasi-claquage ou claquage soft (SBD pour Soft BreakDown ou QB pour Quasi Breakdown), qui se caractérise par une augmentation plus brutale du courant de grille mais sans atteindre les limites de mesures. Enfin le claquage dur HBD, observé sur les oxydes épais montre un saut brutal en courant atteignant presque instantanément la limite de mesure.

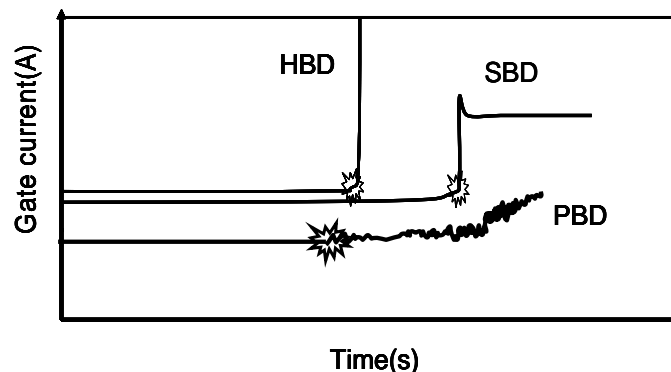


Figure II. 18 : Classification des différents modes de claquage en fonction de leur impact sur le courant de grille : claquage progressif, PBD, claquage soft ou quasi-claquage SBD et claquage dur HBD [II-28].

Les modes de claquage « soft » et « hard » sont aujourd'hui considérés comme décorrelés, puisqu'il a été observé au cours d'une même dégradation, la formation d'un point de claquage hard à un endroit distinct de deux points de claquage soft apparus précédemment [II-51]. Dans cette interprétation, les différents modes de dégradation sont supposés avoir des causes différentes, comme en témoignent les analyses statistiques des énergies d'activation, des facteurs d'accélération et des probabilités d'occurrence.

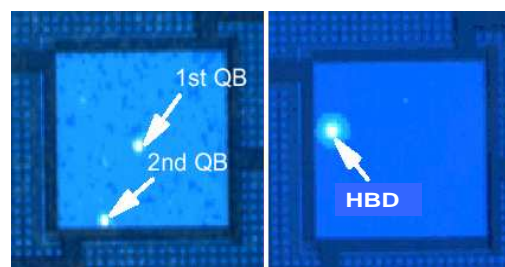


Figure II. 19 : décorrélation spatiale du quasi-claquage et du claquage hard [II-51].

Cependant certains auteurs considèrent que les différents modes de claquage sont l'expression d'un même phénomène dans différentes intensités [II-51][II-57]. Ainsi un modèle commun a été développé rendant compte des différents modes de claquage ; le paramètre qui permet de discriminer l'un ou l'autre est la taille du

chemin de conduction « weak spot » [II-58] ; la taille de ce chemin de conduction dépendrait de l'énergie libérée dans l'oxyde au moment de sa formation [II-59][II-60].

A ce jour, aucun consensus n'a pu être dégagé en ce qui concerne la corrélation entre claquages « soft » et « hard » pour les oxydes d'épaisseur supérieure à 30 Å ; en revanche il est clairement établi pour les oxydes minces que le claquage progressif précède l'apparition de l'un ou de l'autre mode de claquage. Non seulement les positions des claquages progressif puis « soft » ou « hard » sont corrélées mais encore les propriétés statistiques de la dégradation se conservent [II-61][II-62]. Ainsi il a été démontré que le claquage progressif, première manifestation de la dégradation, évoluait ensuite vers un mode de claquage plus brutal [II-63].

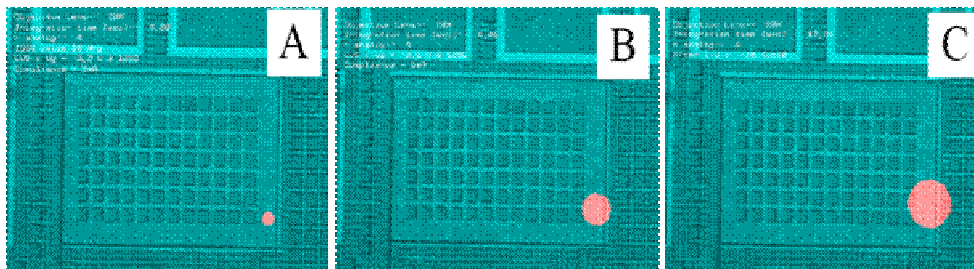


Figure II. 20 : Corrélation spatiale pour l'apparition A) du claquage progressif assimilé à l'apparition d'un bruit caractéristique B) du quasi claquage et C) du claquage hard avec augmentation brutale du courant de fuite [II-62].

b. Formation d'un chemin de conduction

Les observations en microscopie par émission et en microscopie à force atomique AFM attestent de la formation progressive d'un chemin de conduction entre anode et cathode au cours de tous les modes de claquage du diélectrique. En considérant que la densité de défauts dans l'oxyde augmentait localement au cours du stress jusqu'à former ce chemin de conduction, plusieurs modèles d'apparition du claquage du diélectrique ont été proposés [II-64][II-65][II-66] et seront détaillés dans la sous partie 3 de ce chapitre. Les figures II.17, II.19 et 20 illustrent la formation de ces chemins de conduction, également appelés 'weak spots' ou 'spots par abus de langage.

c. Réduction locale de l'épaisseur de l'oxyde

L'observation de dispositifs après claquage en utilisant les techniques de microscopie électronique a mis en évidence une réduction locale de l'épaisseur d'oxyde autour du chemin de conduction. Cette diminution locale de l'épaisseur d'oxyde vient renforcer encore l'augmentation locale du courant de fuite due au claquage puisque le courant tunnel à travers l'oxyde dépend fortement de son épaisseur. Les causes de cette réduction d'épaisseur commencent à être étudiées [II-114] ; notamment l'échauffement local de l'oxyde et l'augmentation de la densité de défauts plus élevée à l'interface entre substrat et oxyde autour du chemin de conduction qui vont fragiliser la structure atomique de l'oxyde, facilitant ainsi sa recombinaison en silicium. Ce phénomène est appelé épitaxie induite par le claquage du diélectrique ou DBIE et est illustré sur la figure II.21.

d. Epitaxie induite par le claquage

Les mêmes phénomènes de densité de défauts et d'échauffement local sont invoqués pour expliquer la formation d'un filament de silicium au cœur de l'oxyde, court circuitant ainsi grille et substrat. En effet, quel que soit le mécanisme de conduction utilisé pour décrire l'augmentation locale du courant de grille, cette augmentation provoque un échauffement local très important, suffisant pour faire fondre l'oxyde et le recombinaison localement sous forme de silicium. C'est ce phénomène qui provoque la réduction locale de l'épaisseur d'oxyde autour du spot [II-114].

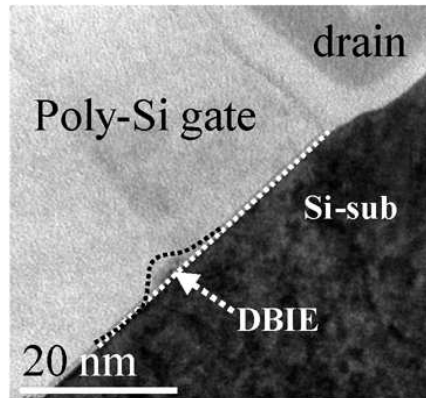


Figure II. 21 : Réduction locale de l'épaisseur d'oxyde par épitaxie induite [II-114].

e. Dérive de la tension de seuil

Plus récemment il a été démontré que le claquage du diélectrique s'accompagnait d'une dérive de la tension de seuil du dispositif. Cette dérive s'explique facilement en considérant les différents aspects de la phénoménologie du claquage ; en effet une augmentation de la densité de défauts dans l'oxyde ou à son interface avec le canal va diminuer le contrôle électrostatique des charges dans le canal par la tension de grille. Naturellement, une réduction de l'épaisseur d'oxyde, même locale va amplifier ce phénomène ainsi que la formation d'un filament de silicium au cœur de l'oxyde [II-16][II-69]. Il est plus difficile d'expliquer pour le moment la dépendance de la dérive de la tension de seuil avec l'augmentation du courant de grille, telle qu'observée par G.Ribes [II-68] ; cette dépendance devrait être liée intimement à la densité de défauts dans l'oxyde et une étude complète de cette interrelation devra être menée pour l'expliquer totalement.

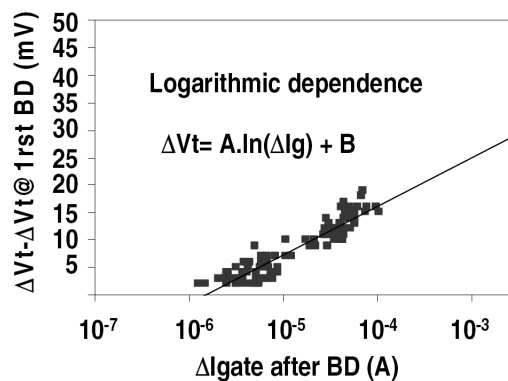


Figure II. 22 : Dépendance logarithmique de la dérive de la tension de seuil en fonction de l'augmentation du courant de grille [II-68].

f. Bruit dû au claquage

Enfin le dernier aspect de la phénoménologie du claquage concerne l'apparition et l'augmentation du bruit électrique avec le claquage. Pour le claquage progressif et « soft », ce bruit est discret, contrairement au claquage dur où le bruit électrique est fonction de l'inverse de la fréquence [II-70]. L'apparition de ce bruit a fait l'objet de nombreux travaux, [II-71][II-72], depuis la première observation du phénomène [II-73]. En ce qui concerne le claquage progressif ou « soft », le bruit mesuré peut être de deux types différents, ce qui conduit à une classification de deux sous-types de claquage, nommés respectivement digital, lorsque le bruit mesuré est de style aléatoire télégraphique (RTN) et analogique lorsque le bruit est purement aléatoire [II-72]. La différence entre ces deux types de claquage a été attribuée à une extension latérale différente de la dégradation. Dans le cas du claquage digital, le bruit est expliqué par l'échauffement par effet Joule du chemin de conduction, provoquant la fusion de l'oxyde et l'augmentation drastique de la densité de défauts, il a été modélisé selon cette interprétation par [II-74].

2- Modèles statistiques du claquage

Le claquage du diélectrique est la dégradation finale de l'oxyde ; après laquelle le dispositif est considéré comme détruit. Son occurrence et son intensité dépendent fortement de la densité de défauts dus aux modes de dégradation précédents. En particulier sa localisation dépend de la distribution des défauts dans l'oxyde. Ainsi les dispersions statistiques du temps de fonctionnement avant claquage et les paramètres de ce claquage sont soumis à des lois statistiques. Les paramètres les plus pertinents en terme de fiabilité sont d'une part le temps avant claquage, noté T_{BD} dont dépend la durée de vie du transistor et d'autre part la charge avant claquage dont dépend l'intensité de ce claquage. Plusieurs comportements statistiques ont été utilisés pour décrire la distribution de ces paramètres ; essentiellement des lois log-normales et des lois de Weibull. Ces dernières recouvrent en fait plusieurs lois statistiques et ainsi permettent de caractériser l'évolution d'un paramètre statistique de manière générale, fournissant ainsi une vue d'ensemble du comportement statistique des dégradations évoluant en puissance du temps de stress. La densité de probabilité de la distribution de Weibull s'écrit :

$$f(T) = \frac{\beta}{\eta} \left(\frac{T}{\eta} \right)^{\beta-1} \cdot e^{-\left(\frac{T}{\eta} \right)^\beta} \quad \text{Equ. II- 10}$$

où β caractérise la pente de Weibull et η le facteur d'échelle de la distribution. La durée de vie du dispositif est caractérisée par la valeur de T à 63% de la dégradation maximale et est notée $T_{63\%}$. La probabilité de la distribution de Weibull s'écrit :

$$F(T) = 1 - e^{-\left(\frac{T}{\eta} \right)^\beta} \quad \text{Equ. II- 11}$$

Le tracé de la distribution statistique du temps avant claquage est facilement identifiable en utilisant une représentation logarithmique dite échelle de Weibull en $\ln(-\ln(1-F(T)))$ en fonction de $\ln(T)$ puisqu'on a alors une droite de pente β et d'origine $\beta \cdot \ln(\eta) = -\beta \cdot \ln(T_{63\%})$.

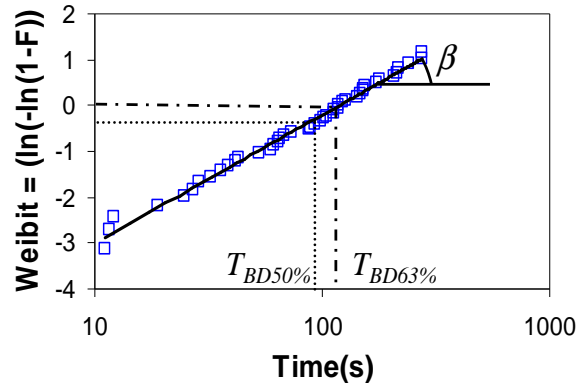


Figure II. 23 : Distribution du temps au claquage dans une représentation de Weibull [SiO₂/HfSiON (1nm/25nm) ; V_{gstress} = -3.2V, T=25°C] [II-28].

Les autres types de distributions statistiques telles que les lois log-normales ont été invalidées à la suite de caractérisation du temps au claquage pour de grands nombres d'échantillons ; en appliquant une même contrainte sur un millier d'échantillons, il a été montré une parfaite concordance de la distribution des temps au claquage selon une loi de Weibull tandis qu'une représentation à l'aide d'une loi log-normale présentait de très fortes disparités avec les mesures [II-76].

3- Modèle et dépendances du claquage

De nombreux modèles ont été développés et améliorés au cours des années pour décrire le mécanisme du claquage ; la question de la dépendance du temps au claquage et de la charge au claquage en fonction du champ électrique a notamment été longuement débattue pour finalement être tranchée par le développement de nouveaux nœuds technologiques comportant des oxydes plus fins. En effet, ainsi que nous l'avons mentionné précédemment, des modes de claquage supplémentaires apparaissent pour les oxydes ultra-minces. En 2000, Nicollian et al. ont montré que les paramètres du claquage dépendaient en puissance de la tension de grille. Après avoir exposé le modèle de la formation du chemin de conduction dû au claquage, nous verrons les dépendances des temps et charge au claquage. Les modèles de conduction de courant après claquage seront exposés dans la partie suivante.

a. Modèle de percolation

Le modèle de percolation est fondé sur l'idée que la perte locale des propriétés isolantes de l'oxyde de grille peut être assimilée à la création d'un chemin de conduction entre substrat et grille par l'augmentation locale de la densité de défauts. Le premier modèle de ce type a été proposé en 1990 par Suñe et al. [II-77]

afin de décrire les propriétés statistiques du claquage du diélectrique. Il faut souligner que la formation d'un chemin de conduction au cours du claquage de l'oxyde a été attestée par des observations au microscope électronique, justifiant totalement cette approche. Degraeve et al. complètent ce modèle 5 ans plus tard en observant que le claquage a lieu lorsqu'une certaine densité de défauts est atteinte [II-78][II-79].

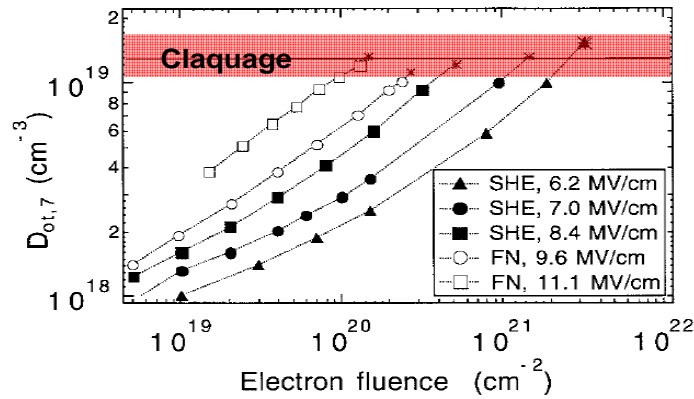


Figure II. 24 : Le claquage survient pour une concentration de défauts critique [II-79].

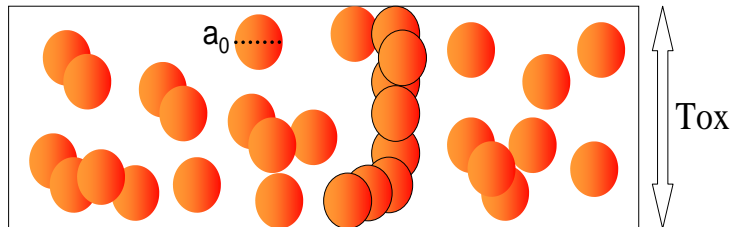


Figure II. 25 : Illustration du modèle de percolation, la densité de défauts doit être suffisante pour former un chemin de conduction, a_0 représente la section efficace du piège [II-78].

En outre ils ajoutent la notion de diamètre d'efficacité des défauts, où chaque type de piège est caractérisé par une sphère d'influence à l'intérieur de laquelle il peut capturer des charges. La connexion entre les sphères d'efficacité des défauts tout au long de l'épaisseur d'oxyde correspond donc à la formation d'un chemin de conduction entre les électrodes, appelé « chemin de percolation ». En considérant que les défauts sont générés aléatoirement dans le volume de l'oxyde, l'aspect statistique du claquage est modélisé et permet de retrouver une loi de Weibull. En outre ce modèle permet de reproduire la décroissance de la pente de Weibull lorsque l'épaisseur d'oxyde diminue ainsi que la saturation de cette décroissance lorsque l'épaisseur d'oxyde atteint la dimension de la sphère d'efficacité des défauts, estimée pour ce modèle à 9 Å [II-79]. Dans cette optique, la pente de Weibull représente le nombre de défauts nécessaires au claquage du diélectrique.

Il est alors possible de quantifier ce nombre de défauts et ainsi d'estimer la charge nécessaire au claquage en écrivant la probabilité de génération de défauts P_{gen} par charge injectée Q_{inj} comme étant la dérivée du nombre de défauts N_{trap} par rapport à la charge injectée dans l'oxyde [II-79] :

$$P_{gen} = \frac{dN_{trap}}{dQ_{inj}} \tag{Equ. II- 12}$$

En supposant cette probabilité de génération indépendante de la charge injectée, la relation s'écrit très simplement comme le rapport du nombre de défauts sur la charge injectée. Ainsi une expression du temps avant claquage est obtenue en fonction du

rapport entre nombre de défauts et produit de la densité de courant de grille par la probabilité de génération d'un défaut.

$$T_{BD} \cdot J_G = Q_{BD} = \frac{N_{BD}}{Pg} \quad \text{Equ. II- 13}$$

En 1999, Stathis et al. reprennent ce modèle en changeant de point de vue et de forme de défaut ; au lieu d'une probabilité uniforme de génération de défauts pourvus d'une sphère d'efficacité uniforme, Stathis et al. considèrent l'oxyde comme une matrice de sites potentiels pour la génération de défauts [II-80] ; dans ce modèle le volume d'efficacité du défaut est un cube. En choisissant une arête de $27 \pm 3 \text{ \AA}$, Stathis et al. [II-81] obtiennent exactement la densité de défauts mesurée expérimentalement. Cependant pour une épaisseur d'oxyde inférieure à l'arête du cube d'efficacité du défaut, le claquage doit survenir dès l'apparition du premier défaut et le nombre de défauts nécessaire au claquage devient indépendant de l'épaisseur d'oxyde. C'est effectivement le cas comme le montre la courbe expérimentale de Weibull figure II.26.

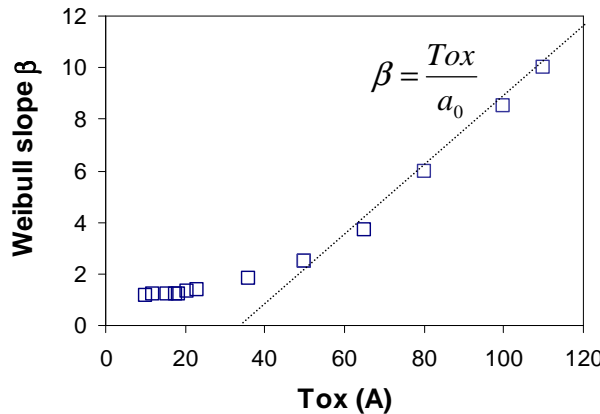


Figure II. 26 : Mesures de la dépendance de la pente de Weibull à l'épaisseur d'oxyde T_{ox} [II-28].

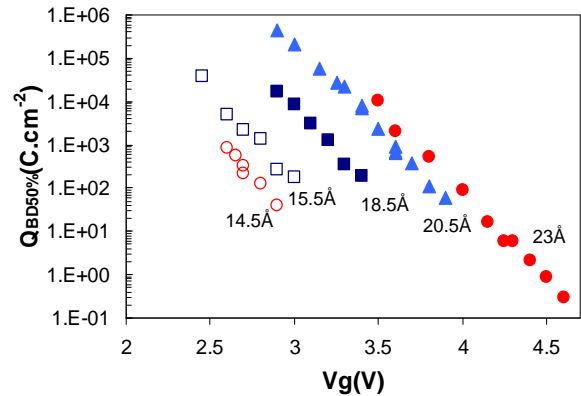


Figure II. 27 : Charge au claquage en régime d'inversion pour différentes épaisseurs d'oxyde [II-80].

En calibrant ce modèle sur les données expérimentales, le nombre de défauts dans l'oxyde lors du claquage est estimé à 2000, ce qui signifie que seulement un défaut sur les 2000 générés est utilisé pour former le chemin de percolation.

Mais si la densité de défaut ne dépend plus de l'épaisseur de l'oxyde considéré, la charge nécessaire au claquage décrite par l'équation II-13 devrait également respecter cette tendance et rester constante pour des oxydes d'épaisseur inférieure à 27 \AA . Or ce n'est pas le cas, comme l'illustre la figure expérimentale II.27 où la charge au claquage continue de décroître avec l'épaisseur d'oxyde [II-80][II-81].

Cette contradiction invalide l'une des hypothèses utilisées ; soit le modèle de percolation n'est pas pertinent, soit la probabilité de génération de défauts dépend de l'épaisseur d'oxyde. Ribes et al. ont montré en 2005 que cette dernière conclusion était celle qu'il fallait retenir [II-28] et que les prédictions permises par le modèle de Stathis étaient bien justifiées.

En reprenant le modèle de Stathis mais en supposant cette fois qu'une colonne entière de la matrice de sites possible pour la génération de défauts doit être remplie

pour qu'il y ait claquage, Suñe et al. expriment la dépendance de la pente de Weibull en fonction de l'épaisseur de l'oxyde, de l'épaisseur de la couche interfaciale et de la dynamique de génération des défauts avec la charge injectée [II-82] :

$$\beta = \frac{\alpha}{a_0} \cdot (t_{ox} + t_{int}) \quad \text{Equ. II- 14}$$

Il montre ainsi que la densité de défauts nécessaire au claquage, et donc le temps avant claquage et la charge au claquage suivent le formalisme de Poisson :

$$N_{BD} = \frac{1}{a_0^3} \cdot \exp \left[-\beta \cdot \ln \left(\frac{A_{ox}}{a_0^2} \right) \right] \quad \text{Equ. II- 15}$$

Ce résultat permet la normalisation en surface de la pente de Weibull et il est ainsi possible d'extrapoler des résultats pour une surface donnée à une autre surface.

b. Dépendance en champ et en tension

Afin de déterminer analytiquement la durée de vie des dispositifs, il est nécessaire d'exprimer le temps avant claquage T_{BD} , la charge au claquage Q_{BD} en fonction des paramètres d'utilisation du transistor ; notamment la loi d'accélération en tension du claquage permettrait d'intégrer la dégradation au modèle utilisé en simulation. Pour ce faire les fiabilistes ont longtemps cherché de quels paramètres dépendaient ces valeurs. Comme il s'agit d'un phénomène de percolation, il est naturel de penser que T_{BD} et Q_{BD} dépendent du champ électrique E dans l'oxyde. Cependant il n'a pas été possible de trancher expérimentalement si ces valeurs dépendaient de E ou à l'inverse de $1/E$. Des campagnes de mesures ont été menées sur plusieurs années sans pouvoir discriminer l'un ou l'autre des modèles : Mc Pherson et al. ont mené des expériences dans différentes conditions de contraintes, dont la plus longue atteignait 3 ans, sur des oxydes d'épaisseur 90 Å et concluent sur une dépendance du temps avant claquage en exponentielle du champ électrique [II-83]. Au contraire, Teramoto et al. ont testé des oxydes de 71 Å, avec des conditions de contraintes équivalentes à un stress de 10 ans et concluent à une dépendance exponentielle en $1/E$ [II-84]. Il n'a donc pas été possible de décider, même avec des expériences de longue durée pourtant très précises, si le temps et la charge au claquage dépendaient du champ ou de son inverse.

Cependant en 2000, Nicollian met fin à la controverse en décorrélant tension de grille et champ dans l'oxyde grâce à l'utilisation de dispositifs de dopages différents pour une même épaisseur de 26 Å [II-75]. Il montre ainsi que temps et charge au claquage restent invariants en fonction du champ pour des oxydes minces et dépendent de la tension de grille. E.Wu [II-85] complète ces résultats en démontrant que seule une loi d'accélération en puissance de la tension est cohérente avec le modèle de percolation et une pente de Weibull indépendante de la tension. Bien qu'aucun consensus n'ait été encore dégagé quant au fondement physique de cette loi en puissance, E.Wu l'attribue au modèle de libération de l'hydrogène détaillé ci-après ; cette interprétation a été confirmée en 2005 par G.Ribes [II-28].

4- Modèles de conduction du claquage

Plusieurs modèles ont été proposés par différentes équipes de recherche pour décrire les caractéristiques courant-tension au cours du claquage ; cependant là encore aucun consensus ne se dégage clairement. Dans la partie qui suit, les principaux modèles employés seront présentés ; tous reprennent l'idée du chemin de conduction créé dans l'oxyde mais les mécanismes de conduction invoqués pour expliquer l'augmentation du courant de fuite sont différents : tunnel direct, conduction assistée par pièges, conduction par percolation et contact par point quantique. Ces différentes tendances vont se retrouver également dans les différents modèles du dispositif dégradé.

a. Tunnel direct

Ce modèle a été introduit par Lee et al. en 1994 [II-56] ; il considère que le chemin de conduction à travers l'oxyde est parcouru par un mécanisme de tunnel direct, lorsque l'épaisseur de l'oxyde devient inférieure au libre parcours moyen de l'électron. Ainsi le mécanisme usuel responsable de la fuite de courant à travers l'oxyde de grille par effet tunnel est localement amplifié par la réduction locale de l'épaisseur de l'oxyde de grille en raison de la densité de défauts importante autour du « weak spot ». Cette densité de défauts localement plus élevée, peut être en effet assimilée à une zone d'oxyde plus fine en série avec une résistance, une fois qu'un seuil de concentration de défauts est atteint. L'épaisseur de cette zone physiquement endommagée par les défauts est évaluée dans son modèle à 2.2 nm pour une épaisseur d'oxyde de 4 nm. Plusieurs autres modèles reprennent cette idée d'épaisseur d'oxyde plus fine autour de la région du chemin de conduction, Yoshida et al. notamment suppriment la résistance modélisant cette zone physiquement endommagée en modifiant uniquement l'épaisseur d'oxyde [II-86] ; cette modélisation est confirmée par les observations au microscope électronique.

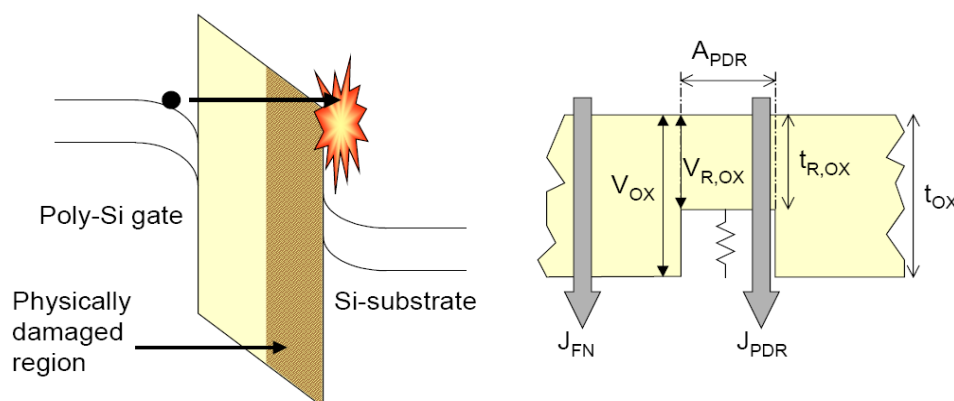


Figure II. 28 :Modèle de conduction par tunnel direct : a) Schéma du transport de l'électron et de la dégradation induite à l'anode modélisée ensuite par b) avec une zone endommagée, réduisant son épaisseur et la hauteur de la barrière [II-21].

D'après ce modèle, la tension aux bornes de l'oxyde V_{ox} est corrigée pour prendre en compte la zone endommagée. Cette correction s'exprime en fonction de la densité de courant dans la région endommagée (RE), multipliée par la résistivité de cette

région et par la différence d'épaisseurs t_{ox} entre le dispositif vierge et la zone d'oxyde endommagée.

$$V'_{OX} = V_{OX} + j_{RE} \cdot \rho \cdot (t_{ox} - t_{oxRE}) \quad \text{Equ. II- 16}$$

b. Variable Range Hopping

Introduit en 1997 par Okada et Taniguchi [II-87], ce modèle considère une conduction assistée par les pièges dans l'oxyde et à son interface. Le stress électrique génère des défauts pouvant piéger des électrons dans le volume et à l'interface ; les pièges proches du niveau de Fermi capturent et libèrent facilement des charges, d'autant plus que la densité de défauts est importante et la température élevée, ainsi qu'en rendent compte les équations de ce modèle, en fonction de la tension appliquée :

$$I(V) \propto \sinh\left(\frac{q \cdot V}{k \cdot T}\right) \quad \text{Equ. II- 17}$$

$$I(V) \propto A \cdot e^{\left(-B \cdot T^{-\frac{1}{4}}\right)} \quad \text{Equ. II- 18}$$

où kT/q est le voltage thermique équivalent et A et B des constantes empiriques liées à la densité de défauts disponibles pour la conduction.

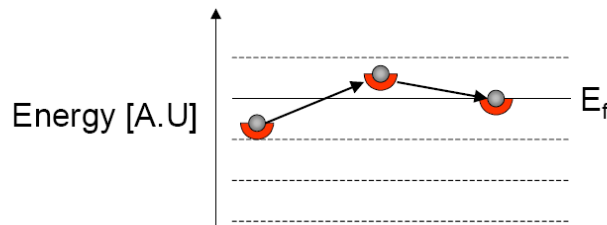


Figure II. 29 : Mécanisme de conduction assistée par pièges pour des défauts de niveau proche du niveau de Fermi [II-21].

c. Modèle de percolation

Ce modèle reprend l'idée du précédent d'une conduction assistée par pièges, en adaptant le chemin de conduction à l'idée de Deagraeve [II-78] d'un chemin de percolation aléatoire à l'intérieur de l'oxyde. Dans ce modèle développé par Houssa et al. [II-88][II-89] en 98, une fois la densité de défauts critique atteinte, le piégeage et dépiégeage des électrons se fait de proche en proche avec un rayon d'efficacité des défauts inférieur à 9 Å. Le courant i entre deux pièges consécutifs du chemin de conduction serait proportionnel au carré de la tension v_{AB} entre ces deux pièges multiplié par la conductivité entre ces deux pièges σ_{AB} .

$$i = \sigma_{AB} \cdot v_{AB}^2 \quad \text{Equ. II- 19}$$

Dans ces conditions, la caractéristique courant-tension de tout le chemin de percolation s'écrit comme le produit de la résistivité effective ρ_{eff} du chemin de

conduction par courant élevé à une puissance déterminée expérimentalement à 0.37.

$$V = \rho_{eff} \cdot I^{0.37} \quad \text{Equ. II- 20}$$

Cette résistivité du chemin de conduction est définie en fonction de la densité de défauts générés pendant le stress D :

$$\rho_{eff} \propto (D - D_c)^{-\tau} \quad \text{Equ. II- 21}$$

où D_c est la densité de défauts critique pour le claquage du diélectrique et τ une constante empirique déterminée à 0.48 par ces auteurs [II-89].

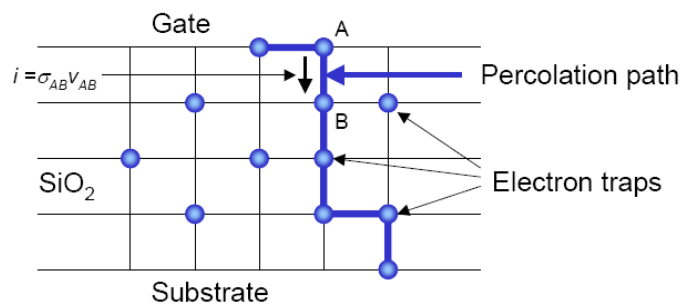


Figure II. 30 : Représentation schématique de la conduction selon le modèle de percolation [II-21].

d. Contact par Point Quantique

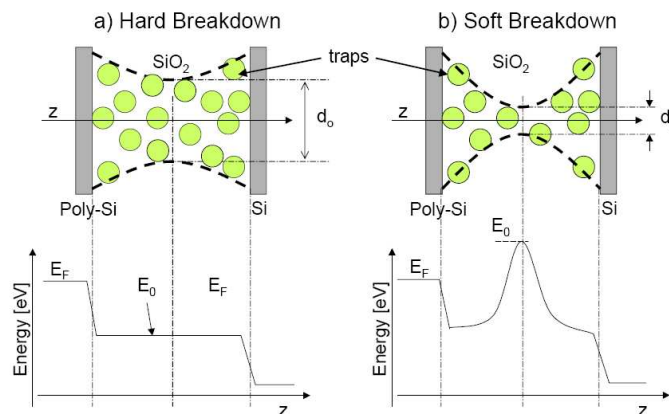


Figure II. 31 : Claquages hard a) et soft b) dans la modélisation de contact par point quantique ; au dessus le profil spatial du « weak spot » et en dessous sa barrière énergétique [II-21].

Ce modèle initialement développé pour rendre compte du claquage « hard », est adapté à la description du claquage « soft » ; Miranda et Suñe suppriment ponctuellement la barrière d'oxyde pour modéliser le claquage dur et en réduisent épaisseur et hauteur pour modéliser le claquage progressif [II-58][II-90][II-91]. Ce modèle correspond également aux observations faites au microscope électronique où un filament de silicium est généré à l'intérieur de l'oxyde par fusion de l'oxyde dûe à l'échauffement local. Ce filament étant d'une largeur inférieure au nanomètre, la conduction s'effectue de manière similaire à un contact par point Sharvin [II-115] ; les hypothèses nécessaires à ce modèle analytique sont que le saut de potentiel aux bornes de l'oxyde peut se diviser en deux parties distinctes de β et de $1-\beta$; que le

transport de l'électron est adiabatique et que la barrière de potentiel réduite le long du chemin de conduction a une forme parabolique. L'expression du courant de grille dû au claquage du diélectrique s'écrit alors :

$$I(V_g) = A.e^{B.(V_g - V_0)} \quad \text{Equ. II- 22}$$

avec respectivement :

$$A = \frac{4.q}{\alpha.h} e^{-\alpha.\phi} \text{ et } B = \alpha.q.\beta \quad \text{Equ. II- 23}$$

Où V_0 est la somme des potentiels appliqués sur le polysilicium de grille et sur le substrat, Φ est la hauteur de la barrière le long du chemin de conduction et α dépend de la géométrie de la barrière ; pour une barrière parabolique, l'épaisseur de barrière t_b s'écrit, en fonction de la masse effective de l'électron dans la direction z transverse à la barrière d'oxyde :

$$t_b = \frac{\eta.\alpha}{\pi} \sqrt{\frac{2.\phi}{m_z^*}} \quad \text{Equ. II- 24}$$

En considérant cette équation, les auteurs ont déduit que les paramètres Φ et α étaient corrélés puisque t_b est corrélé à la forme de la barrière α mais pas à sa hauteur Φ . En conséquence, les meilleurs paramètres pour décrire la barrière sont plutôt Φ et t_b .

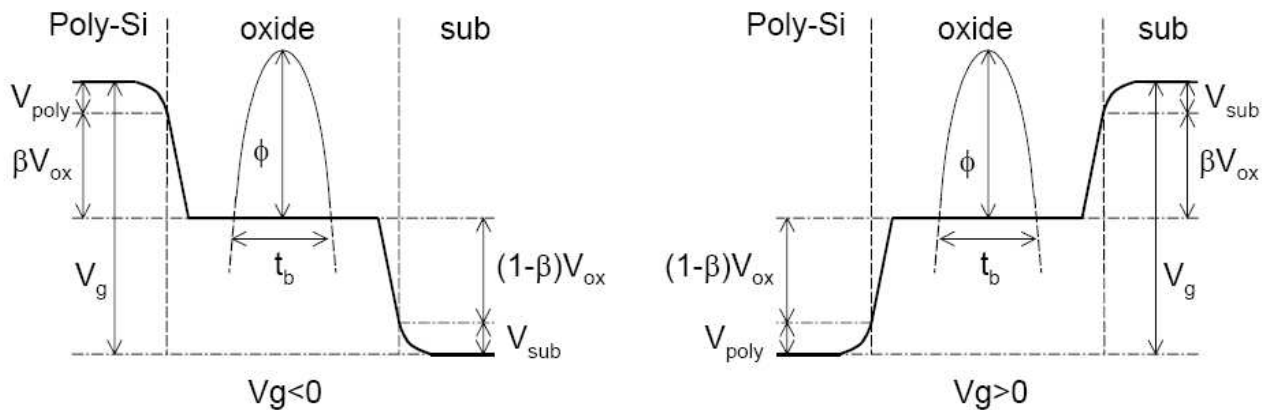


Figure II. 32 : Représentation schématique du saut de potentiel à travers la barrière d'oxyde, à l'endroit du point de contact et pour les deux polarisations [II-21].

Plus récemment, cette approche a été complétée [II-92], de manière à pouvoir extrapoler le profil de la barrière en fonction du niveau de courant dû au claquage ; deux cas sont discriminés, le type A décrit le profil de la barrière pour un courant de fuite dû au claquage inférieur à 1 nA et le type B pour les courants supérieurs. Les barrières définies pour le type A sont de hauteur constante et d'épaisseur variant de 2 à 0.8 nm tandis que le type B définit des barrières d'épaisseur variant de 0.8 à 0.6 nm tandis que la hauteur de barrière décroît abruptement de 3.2 à 2.4 eV. Cette approche permet de rendre compte plus précisément que jamais du profil du chemin de conduction pour une augmentation progressive du claquage, dans l'hypothèse où un seul chemin de conduction est créé dans l'oxyde au cours du claquage.

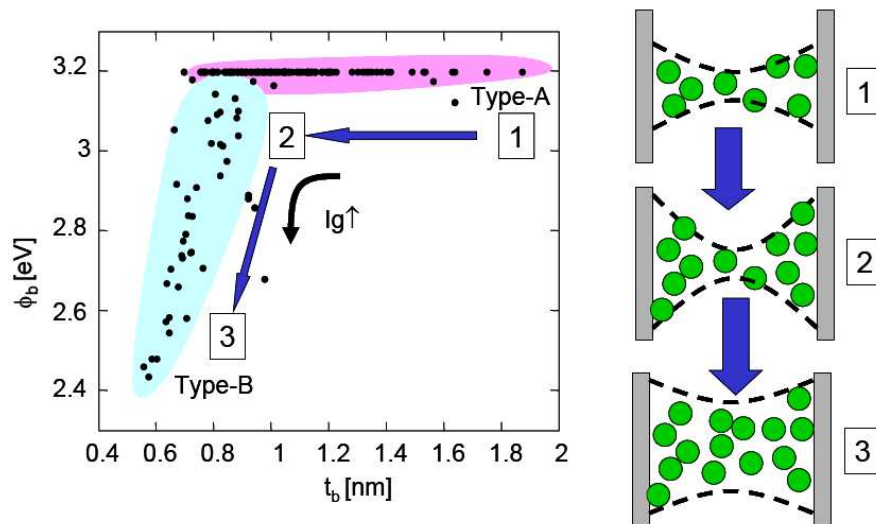


Figure II. 33 : Corrélation entre hauteur et largeur de barrière t_b et profils correspondants de chemin de conduction pour une augmentation progressive du niveau de claquage [II-21].

Dans un premier temps, la hauteur de la barrière ne varie pas et l'augmentation du courant est contrôlée uniquement par la réduction d'épaisseur puis pour une fuite due au claquage plus importante, la largeur de la barrière diminue jusqu'à 0.6 nm et le courant est ensuite contrôlé par la réduction de la hauteur de barrière. La dépendance du niveau de courant en température peut être décrite de la même manière [II-92].

5- Modèles des dégradations responsables du claquage

Là encore approches et modèles ont été bouleversés par l'avancée technologique vers des oxydes de plus en plus minces et ainsi de contraintes électriques différentes, en terme de densité de champ dans l'oxyde. Les premiers modèles d'ionisation par impact puis le modèle thermochimique ont été abandonnés au profit de modèles considérant l'énergie des porteurs comme le modèle de trous chauds à l'anode. Cependant il est convenu aujourd'hui de considérer ces modèles précédents comme parties de mécanismes plus complexes décrivant mieux la physique de la dégradation des oxydes ultra minces, comme les modèles de libération d'hydrogène et plus récemment ceux d'excitation multi vibrationnelle. Les mécanismes décrits comme responsables des dégradations menant au claquage deviennent de plus en plus physiques et c'est un défi de la modélisation contemporaine que de parvenir à extrapoler des modèles électriques tenant compte de phénomènes au niveau atomique.

a. Modèle d'ionisation par impact

Ce modèle a été développé en 1990 par DiMaria [II-93] pour des oxydes d'épaisseur supérieure à 20 nm pour des champs électriques élevés, $>7\text{MV/cm}$. Il décrit la formation d'un défaut dans l'oxyde comme résultant de la génération d'une paire électron-trou par un électron suffisamment énergétique de la couche d'inversion. L'énergie de cet électron doit être proche de celle de la bande interdite

de l'oxyde et du fait de cette énergie élevée, ce mode de création de défaut ne peut advenir que pour la queue de distribution des électrons en énergie et pour de forts champs. Cependant, en raison de la diminution de l'épaisseur d'oxyde au fur et à mesure des générations de composants, les champs électriques mis en jeu ont beaucoup diminué et ce modèle ne s'applique donc pas dans le cas des oxydes minces utilisés aujourd'hui.

b. Modèle thermochimique

Le modèle thermochimique a été largement étudié depuis sa conception par Mc Pherson [II-94][II-95] ; il fait partie des approches qui considèrent un temps au claquage fonction de l'exponentielle du champ électrique. Bien qu'invalidé pour les oxydes ultra minces par Nicollian [II-75], ce modèle a été largement utilisé en raison de son excellente capacité prédictive. La formation de défauts est envisagée du point de vue de la thermochimie et la rupture d'une liaison donnant lieu à la formation d'un défaut est quantifiée par son énergie libre, sa fréquence caractéristique et le moment dipolaire de la liaison :

$$\Delta G = \Delta U_0 - \alpha.E \quad \text{Equ. II- 25}$$

Où ΔG est la variation de l'énergie libre, ΔU_0 l'énergie libre à champ nul, α caractérise le moment dipolaire de la liaison et E le champ électrique. Cette approche permet ainsi de généraliser à la formation de plusieurs défauts en même temps en considérant une moyenne pondérée des ΔU_0 et des α individuels [II-94][II-95]. Le taux de réaction de formation de défauts par rupture de liaison relie cette variation d'énergie à la variation de liaisons non rompues et donc à la densité de défauts dans l'oxyde. Or le claquage a lieu lorsqu'une densité critique de défauts N_{BD} est atteinte, conformément au modèle de percolation du chemin de conduction dans l'oxyde [II-65][II-66], le temps au claquage T_{BD} s'écrit alors :

$$T_{BD} = \ln\left(\frac{N_0}{N_{BD}}\right) \cdot \frac{1}{\nu_0} e^{\frac{\Delta U_0}{k.T}} \cdot e^{-\frac{\alpha.E}{k.T}} \quad \text{Equ. II- 26}$$

Avec N_0 la densité initiale de défauts, N_{BD} la densité de défauts critique et ν_0 la fréquence caractéristique de la liaison rompue. En plus de fournir des prédictions conformes aux mesures de l'évolution du temps et du champ au claquage, cette expression permet de prévoir la tendance d'évolution du facteur d'accélération en fonction de la variation de température, du type et de l'épaisseur d'oxyde. Ces données sont obtenues pour des oxydes d'épaisseurs variant de 18 à 26 Å et les valeurs obtenues pour les moments dipolaires sont en accord avec celles calculées par Mc Pherson [II-94]. Ce modèle rend bien compte des mesures que ce soit pour le SiO_2 ou d'autres oxydes à forte permittivité comme le HfSiON , le Ta_2O_5 et le PZT. Cependant il a été démontré par Nicollian que le temps et la charge au claquage dépendaient de la tension de grille et non du champ, de plus certains effets de polarisation ne sont pas pris en compte aussi ce modèle a été abandonné au profit d'approches considérant l'énergie des porteurs de charges comme c'est le cas pour les modèles présentés dans les paragraphes suivants.

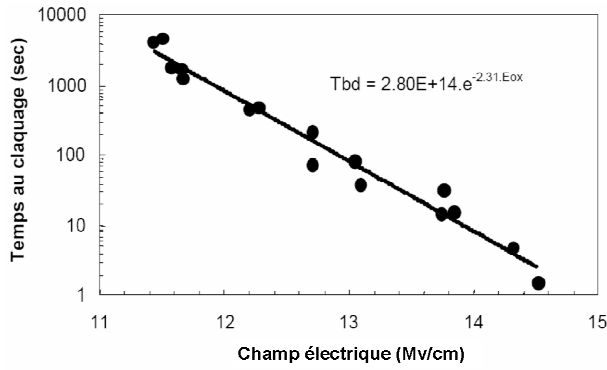


Figure II. 34 : Dépendance du temps au claquage au champ électrique pour des oxydes d'épaisseur variant de 18 à 26 Å [II-94].

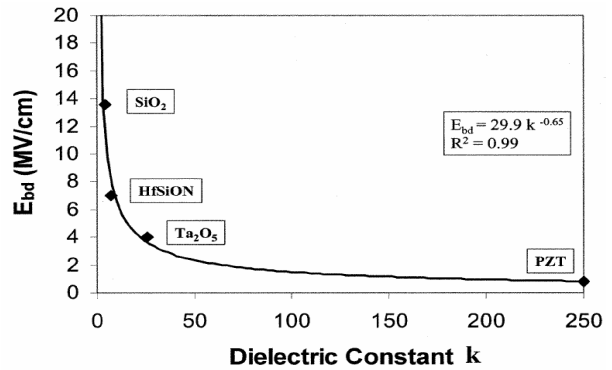


Figure II. 35 : Prévisions et mesures du champ de claquage de plusieurs diélectriques en fonction de leur constante diélectrique [II-96].

c. Modèle d'injection de trous chauds à l'anode

Ce modèle a été développé pour les oxydes épais et a été largement étudié depuis. Il est basé sur une approche originale permettant de passer outre la variation de la quantité d'électrons constituant la charge nécessaire au claquage Q_{BD} en étudiant la quantité de trous injectés avant le claquage ; en effet Chen a montré [II-97] que cette quantité Q_p ne dépendait pas de la condition de contrainte comme le courant de grille [II-98]. Ce courant est modélisé par la suite comme un courant de trous chauds générés à l'anode par la thermalisation des électrons en provenance de la cathode par effet tunnel [II-97]. Ces électrons perdent leur énergie par impact avec le réseau de silicium et l'énergie dégagée permet de réinjecter un trou dans l'oxyde par effet tunnel. Cet effet dépend du profil de la barrière qui dépend, du point de vue des trous chauds, de l'énergie de ces derniers. Le courant de trous s'écrit donc comme la combinaison de trois effets, il faut d'abord des électrons disponibles pour céder leur énergie, ensuite que cette énergie soit cédée à des trous par ionisation par impact et finalement que les trous chauds traversent l'oxyde par effet tunnel. Les résultats obtenus dépendent ensuite du mode de conduction considéré à travers l'oxyde ; pour une conduction de type Fowler-Nordheim T_{BD} s'écrit en $1/E$ soit :

$$T_{BD} \propto e^{\frac{G}{E_{ox}}}$$

Equ. II- 27

Ce modèle a été complété par la suite par une écriture utilisant cette fois un effet Tunnel direct et par plusieurs études de la quantité d'énergie nécessaire au phénomène d'ionisation ; DiMaria et Stathis [II-99][II-100], montrent d'abord que 8 eV de plus que la bande de conduction sont nécessaires pour générer des trous puis Alam [II-101] simule la possibilité d'ionisation à partir d'énergies de 2 eV seulement au dessus de la bande de conduction. Les ionisations à hautes énergies sont moins probables, mais les trous générés, plus énergétiques, ont plus de chance de traverser l'oxyde et de le dégrader. Cependant la dépendance de ce modèle en exponentielle de $1/E$ ne rend plus compte des observations plus récentes de lois en puissance pour le temps de claquage. En outre cette approche suppose que les charges injectées par effet tunnel interagissent avec le réseau de l'oxyde pour créer un défaut, ce qui est contradictoire avec le mécanisme d'effet tunnel [II-97][II-102]. En outre, pour les oxydes ultra-minces, d'épaisseur inférieure à 50 Å, la charge de trous nécessaire au claquage diminue avec la tension, invalidant l'hypothèse principale du modèle d'injection considérant une charge de trous constante [II-103].

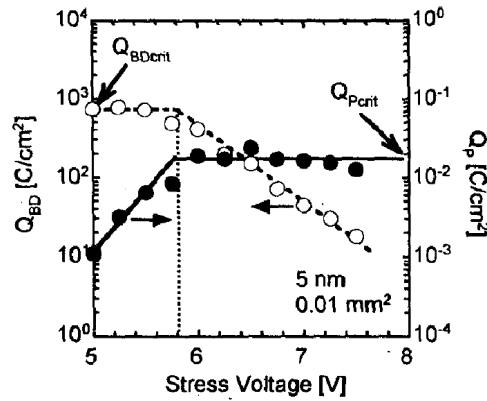


Figure II. 36 : Charges d'électrons Q_{BD} et de trous Q_p injectées à l'anode lors d'une contrainte à tension constante sur un oxyde de 50 Å [II-103].

Ce modèle pertinent pour les oxydes plus épais a donc été abandonné pour les oxydes minces et les trous chauds ne sont plus considérés comme responsables du claquage du diélectrique aux dimensions utilisées actuellement.

d. Modèle de libération d'hydrogène

Basé sur la constatation expérimentale qu'une injection d'hydrogène dans l'oxyde provoquait la formation de défauts identiques à ceux générés par le stress électrique, ce modèle est mis au point par Stathis et DiMaria [II-104][II-105]. Ils postulent que l'hydrogène libéré lors de la création de défauts d'interface est injecté dans l'oxyde où il induit la création de défauts en réagissant avec l'oxygène. L'augmentation du courant dû aux stress SILC et HCE (cf. paragraphes II.B)1-b. et II.B)2-a.) a été expliquée de cette manière [II-51][II-106]. Cette réaction se fait en deux étapes, d'abord un proton H^+ est libéré, ensuite il réagit avec une lacune d'oxygène et crée un défaut dans l'oxyde. Il convient donc de tenir compte des rendements de ces réactions pour exprimer le temps au claquage.

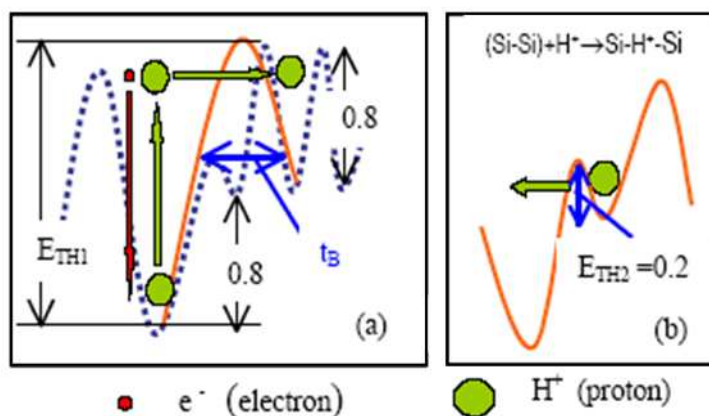


Figure II. 37 : Schéma de principe de la libération d'hydrogène et de la réaction de formation d'un défaut [II-106].

Afin de limiter la désorption d'hydrogène et ainsi la densité de défauts, du deutérium a alors été introduit pour passiver les liaisons pendantes plutôt que de l'hydrogène ; la désorption du deutérium requiert plus d'énergie et est donc moins probable [II-107]. Une réduction significative du SILC a ainsi pu être obtenue, confirmant la

responsabilité de l'hydrogène dans la génération de défauts mais aucun effet significatif n'a pu être mesuré sur le claquage.

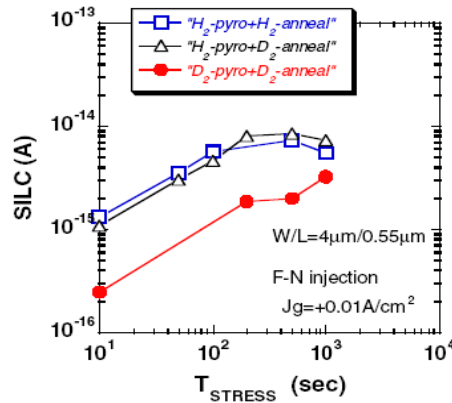


Figure II. 38 : Mesures de SILC Fowler-Nordheim pour différentes conditions de formation de l'oxyde : « pyro » pour sous atmosphère donc présence de l'espèce dans le volume d'oxyde et « anneal » pour par recuit donc présence d'espèce à l'interface oxyde-substrat [II-28].

Curieusement, cela ne suffit pas à invalider le rôle de l'hydrogène dans le claquage du diélectrique, en raison de la grande dispersion statistique des temps et charge au claquage ; si une réduction d'un facteur 2 du SILC est significatif, elle ne l'est pas pour le claquage, à moins d'être en mesure de remplacer 80% de l'hydrogène par du deutérium [II-108]. Selon cet auteur la charge au claquage Q_{BD} s'écrit, en fonction de la densité de défauts critiques N_{BD} , de la concentration des deux espèces $[H]$, $[D]$ et du rendement de leurs réactions de désorption P_H et P_D :

$$T_{BD} \cdot J_G = Q_{BD} = \frac{N_{BD}}{\frac{[H]}{[H]+[D]} \cdot P_{g_H} + \frac{[D]}{[H]+[D]} \cdot P_{g_D}} \quad \text{Equ. II- 28}$$

Les prédictions de ce modèle sont de bonne qualité, comme en témoignent les figures ci-dessous, cependant l'injection d'hydrogène dans l'oxyde est dépendante du champ et donc à bas champ la charge au claquage devrait être diminuée ce qui n'est pas le cas [II-96] ; toutefois ce modèle n'est pas complètement invalidé, seul l'est le mécanisme d'injection Fowler-Nordheim décrivant l'intervention de l'hydrogène dans l'oxyde.

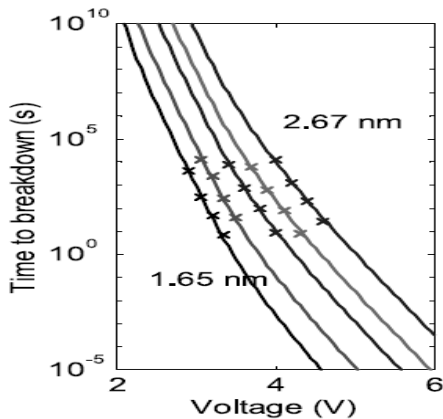


Figure II. 39 : Illustration et vérification des prédictions du temps au claquage T_{BD} en fonction de la tension de grille obtenues par le modèle de libération de l'oxygène [II-109]

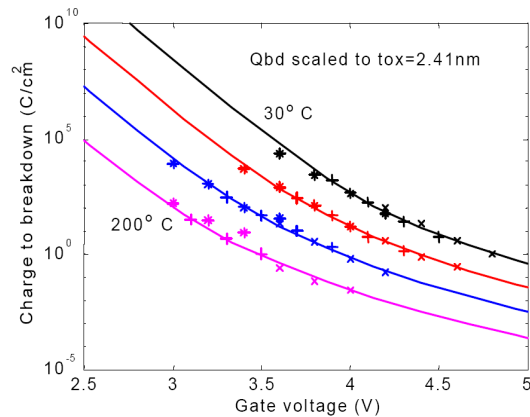


Figure II. 40 : Illustration et vérification des prédictions de la charge au claquage Q_{BD} en fonction de la tension de grille obtenues par le modèle de libération de l'oxygène [II-109]

e. Modèle multi vibrationnel

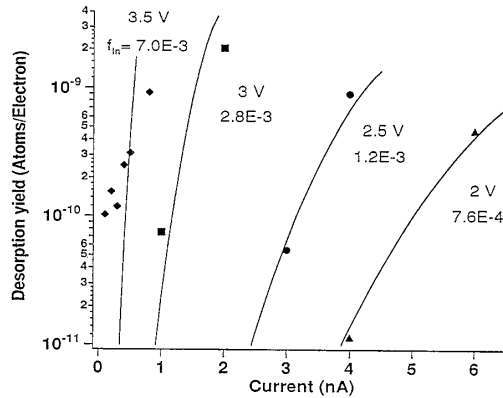


Figure II. 41 : Augmentation du rendement de désorption de la liaison hydrogène en fonction du courant tunnel pour différentes tensions de grille et valeurs de champ [II-111].

Reprenant l'idée précédente de désorption de liaison par l'excitation de porteurs de charges, mécanisme présentant un seuil de 6 eV, Avouris et al. constatent que le rendement de désorption par une excitation inférieure n'est pas nul [II-110] mais dépend de la densité de courant tunnel (Figure II.39). Ils en déduisent que l'étirement de la liaison jusqu'à sa rupture peut survenir progressivement par absorption successive de quantum d'énergie plus faible mais suffisamment nombreux. En effet, le rendement de désorption résulte des mécanismes simultanés d'excitation et de désexcitation ; il faut donc suffisamment de petites excitations, dans un temps plus court que la désexcitation pour étirer puis rompre la liaison. Or la durée de vie du mode étirement de la liaison hydrogène est de 10 ns, ce qui est considéré comme long à l'échelle atomique ; de plus, un porteur de charge très énergétique va pouvoir céder plusieurs quanta d'excitation à la liaison, ce qui explique la dépendance en densité de courant du rendement. D'après [II-111] celui-ci s'écrit :

$$R = Y \cdot I \approx \tau_e^{\frac{Eth}{n\sigma}-1} \cdot \frac{Eth}{n\sigma} \cdot \left[f_{in} \cdot \left(\frac{I}{e} \right) \right]^{\frac{Eth}{n\sigma}} \tag{Equ. II- 29}$$

où Y est le rendement, I le courant tunnel et R le taux de désorption. τ_e est la durée de vie du mode étiré (stretching mode), Eth est l'énergie de rupture de la liaison, n le nombre de quanta d'excitation d'énergie σ ; f_{in} représente la partie inélastique du courant, dépendant de la nature du porteur de charge et de leur énergie.

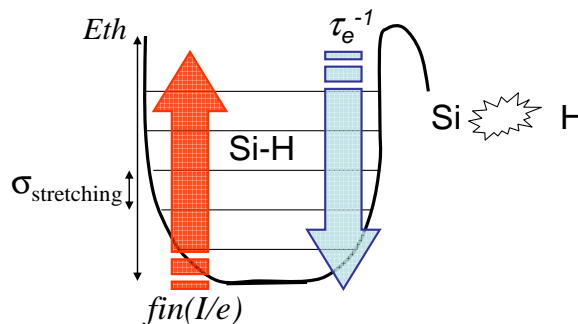


Figure II. 42 : Schéma de principe de l'excitation multi-vibrationnelle, excitation de la liaison jusqu'à la rupture par des quanta d'énergies plus faibles [II-28].

A la suite de Stathis [II-81][II-112], G. Ribes développe ce modèle et vérifie notamment que la nature des porteurs de charges modifie l'excitation. Il démontre également que ce modèle permet d'expliquer la mesure de la pente de Weibull constante à partir de 20 Å (Figure II.24) alors que la charge au claquage continuait de décroître. En effet, la dépendance du mécanisme multi-vibrationnel de création de défauts à la densité de courant tunnel (Figure II.41) permet d'expliquer ces différentes mesures.

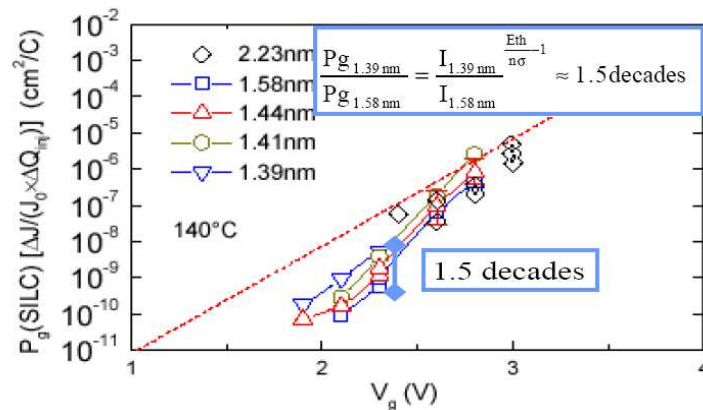


Figure II. 43 : Illustration de l'accord entre mesure de génération de défauts pour différentes épaisseurs et la prédiction du modèle multi-vibrationnel [II-112].

Les prédictions du modèle sont conformes aux mesures effectuées par Stathis [II-112] et rendent compte également de la dépendance du temps au claquage en puissance de la tension de grille, démontrée par Nicollian [II-75], ce qu'aucun autre modèle n'avait pu faire [II-28][II-81] (Figure II.42). Ce modèle est donc à ce jour le plus probable concernant la création d'un chemin de percolation dans l'oxyde ; il ne met pas hors de cause les autres approches citées précédemment mais les intègre en tant que catalyseur ou mécanismes secondaires de dégradation.

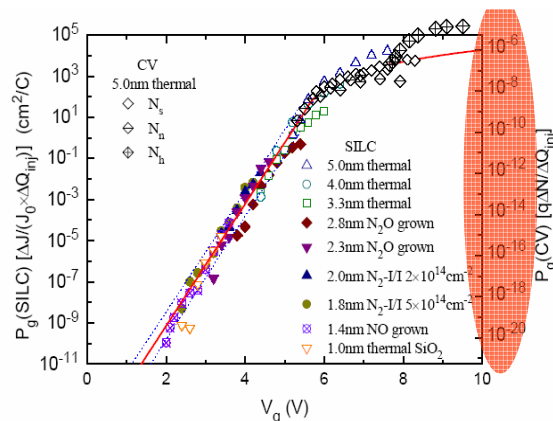


Figure II. 44 : Illustration de la loi en puissance de la génération de défauts selon le mode multi-vibrationnel [II-81].

6- Modèles de simulation de l'impact du claquage sur les dispositifs

Détecter la dégradation et en comprendre les mécanismes représente seulement la première étape du processus de recherche en fiabilité ; il s'agit ensuite de rentabiliser cette connaissance en intégrant les conclusions dans des modèles de hauts niveaux, fiables et portables. Or ce n'est jamais évident, quoique de plus en plus nécessaire, de traduire au niveau circuit des phénomènes de niveau atomique. Encore aujourd'hui un gouffre sépare l'étude des phénomènes physiques des approches industrielles. Toutefois devant la réduction drastique des dimensions des dispositifs, il devient indispensable de combler ce fossé. En effet si auparavant les études physiques pouvaient être traduites à haut niveau par des règles de conception génériques, ce n'est plus le cas aujourd'hui pour les dernières générations de dispositifs qui au vu de leurs dimensions sont directement dépendantes des phénomènes de très bas niveau comme en témoigne l'importance croissante de la variabilité des paramètres sur les performances des circuits.

Différentes équipes ont proposé plusieurs modèles selon deux tendances principales : soit tenter à un niveau physique très fin de modéliser ces mécanismes, soit au niveau circuit d'en modéliser les conséquences. Toutefois aucune de ces approches ne s'avère être satisfaisante puisqu'une modélisation fine du phénomène interdit la portabilité à des simulations circuits en raison de l'importante puissance de calcul nécessaire à la résolution d'un seul dispositif, tandis qu'une modélisation au niveau circuit ne rend pas compte du phénomène mais consiste le plus souvent à adapter un très grand nombre de paramètres empiriques ; dans ce dernier cas, on obtient un modèle qui fonctionne, mais qui n'a que peu de signification physique. Nous verrons dans la quatrième partie de notre étude que de nouveaux outils font leur apparition, permettant justement de prendre en compte des effets bas niveau dans des simulations de haut niveau.

a. Les modèles à éléments finis

La méthode de résolution par éléments finis s'est développée énormément avec l'apparition du calcul numérique et permet d'obtenir des solutions très précises à des problèmes impossibles ou difficiles à résoudre analytiquement. Elle consiste à résoudre des équations aux dérivées partielles par itérations successives à partir d'une solution initiale, non pas dans tout l'espace du problème mais seulement aux nœuds du maillage constituant les éléments finis.

Concernant la simulation du claquage du diélectrique, plusieurs équipes ont utilisé une approche par éléments finis afin de reproduire les effets du claquage sur les dispositifs. Il est possible de les classer selon les types de modélisation du chemin de conduction qu'elles emploient, détaillés dans le paragraphe intitulé modèles de conduction du claquage au chapitre C.4 de cette partie. La première approche à avoir fait l'objet de simulations par éléments finis utilise le modèle de conduction par contact par point quantique [II-116, II-117] ; ces deux approches ne considèrent pas l'ensemble du dispositif mais seulement la conduction du courant par le chemin de conduction créé par le claquage ; elles reproduisent l'augmentation du courant de grille au fur et à mesure du claquage et permettent d'ajuster le profil énergétique des barrières d'oxyde le long du chemin de conduction.

Le premier modèle à éléments finis simulant un dispositif MOS dans son ensemble a été mis au point par Degraeve en 2001 [II-118] et continuellement amélioré par Kaczer depuis lors [II-119, II-120, II-121]. Dans ces approches, le chemin de conduction est modélisé plus simplement par réduction locale de l'épaisseur d'oxyde ou de la barrière de potentiel comme illustré figure II.45. Comparant ces deux approches, notamment la dépendance en tension de grille de l'abaissement du potentiel du canal et de la transparence de la barrière tunnel, B. Kaczer justifie le choix de l'abaissement de la hauteur de barrière d'oxyde. En effet ce second modèle est plus sensible que le premier à l'augmentation de la tension de grille et reproduit donc plus facilement l'augmentation du courant de grille [II-119].

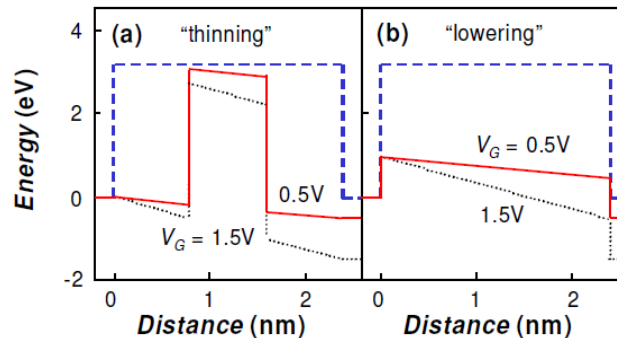


Figure II. 45 : Deux approches différentes de modélisation du chemin de conduction, (a) réduction locale de l'épaisseur d'oxyde et (b) diminution locale de la hauteur de barrière [II-119].

Grâce à ce modèle, cette équipe de l'IMEC parvient en comparant systématiquement avec leurs mesures à démontrer l'influence de la position du claquage sur son intensité et à reproduire la déviation des caractéristiques en courant correspondant aux différents cas de claquage. La dépendance en tension de drain de l'impact du claquage sur les dispositifs et sa corrélation avec la position du chemin de conduction dans le canal sont ainsi mises en évidence.

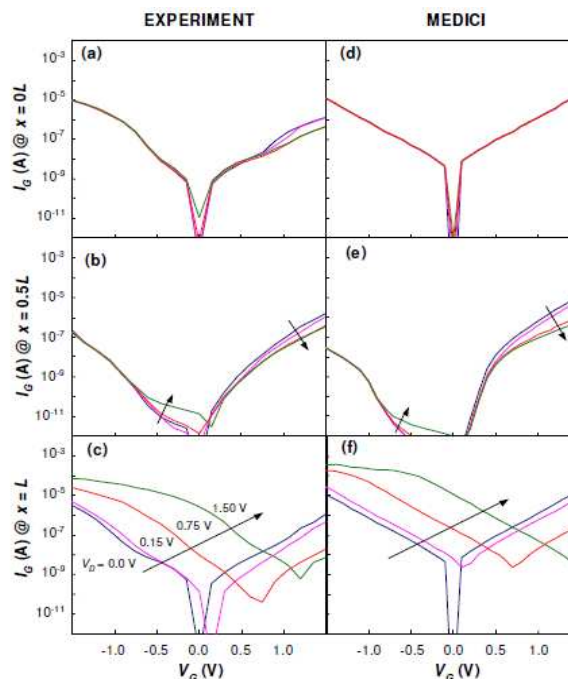


Figure II. 46 : Reproduction des caractéristiques mesurées pour différentes positions de claquage par simulation par éléments finis à l'aide du logiciel MEDICI. Les positions extrêmes de claquage sont représentées, (a) et (d) claquage localisé sur l'électrode de source, (b) et (e) au milieu du canal, (c) et (f) sur l'électrode de drain [II-119].

Le chemin de conduction modélisé mesurait 5 nm de long ; ces simulations n'ont été réalisées qu'en deux dimensions. Ces modèles à éléments finis fournissent des résultats très intéressants et très précis ; ils permettent d'étudier finement la conséquence des différents types de claquage du diélectrique sur le fonctionnement des dispositifs dans des conditions variées. La modélisation du chemin de conduction rend bien compte de la physique du claquage en adaptant le modèle de conduction par point quantique à la simulation de dispositifs. Ce type de simulation permet donc de faire le lien entre l'effet physique au niveau fondamental et ses répercussions sur le fonctionnement des dispositifs. Il n'est toutefois pas adapté à la simulation de circuits car trop gourmand en ressources de calcul ; il aurait été à la rigueur possible d'envisager à cette époque la simulation d'un inverseur par cette méthode mais en aucun cas celle de circuits plus complexes.

b. Les modèles à circuits équivalents

Pour pallier à cette limitation, des circuits équivalents ont été mis au point, reproduisant les performances des dispositifs dégradés. Ces modèles de plus haut niveau utilisent les simulateurs industriels de type SPICE et permettent donc l'étude de circuits complexes. Le premier circuit de ce type a été publié par Degraeve en 2001 [II-118] parallèlement à celui des simulations par éléments finis, ce qui illustre bien les séparations existant entre étude des mécanismes physiques au niveau atomique, étude des conséquences sur les dispositifs et enfin étude des conséquences sur les circuits. Ce premier circuit équivalent ne fonctionne que pour des dispositifs en accumulation et pour des claquages localisés dans le canal.

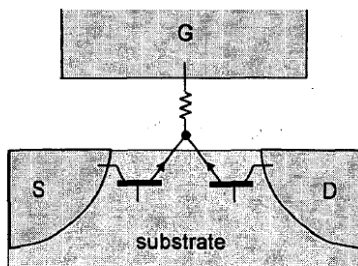


Figure II. 47 : Premier modèle de circuit équivalent, le chemin de conduction est considéré comme résistif [II-118].

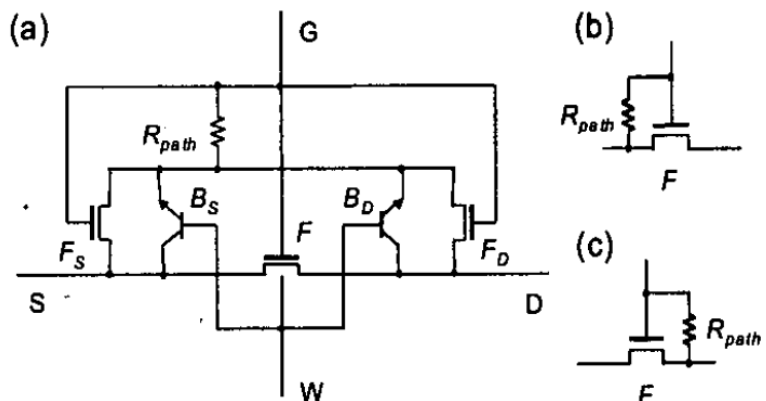


Figure II. 48 : Circuits équivalents à un dispositif claqué pour les différentes localisations de claquage, (a) dans le canal, (b) au niveau de la source et (c) du drain [II-121].

Il est amélioré l'année suivante par B. Kaczer [II-119, II-120, II-121] de manière à rendre compte des performances du dispositif claqué dans toutes les conditions de fonctionnement et pour les différentes configurations de claquage. Là encore c'est une résistance qui modélise le chemin de conduction, la localisation du spot dans le canal peut être ajustée avec les paramètres des deux transistors bipolaires. Ce modèle sert de support à la première étude des conséquences du claquage sur les performances des circuits [II-120]. Là encore nous retrouvons cette préoccupation de porter les considérations physiques au niveau des dispositifs [II-119, II-124] puis au niveau circuit [II-120, II-121]. Dans la même période, Rodriguez propose deux circuits équivalents aux dispositifs dégradés, sensiblement identiques [II-122, II-123].

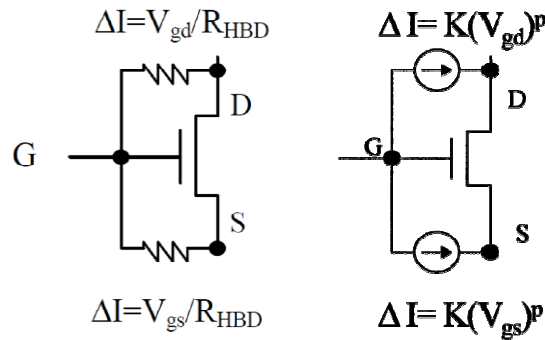


Figure II. 49 : Circuits équivalents d'un dispositif claqué pour des claquages localisés sur les électrodes [II-122, II-123]

Ces circuits équivalents ne décrivent que les claquages ayant lieu au niveau des électrodes, le chemin de conduction est ici encore uniquement résistif. Ces modèles sont destinés uniquement à la simulation circuit, sans chercher à rendre compte des effets physiques du claquage. En 2007, l'IMEC approfondit ses simulations par éléments finis en proposant en parallèle les circuits équivalents à chaque cas de claquage et chaque régime de fonctionnement [II-124]. Les chemins de conduction sont modélisés dans chaque cas par des résistances.

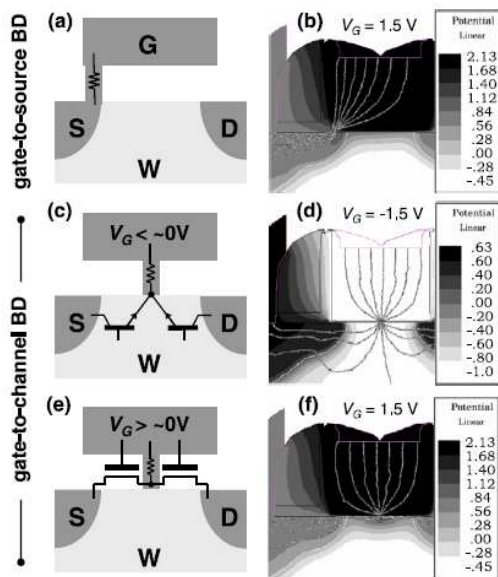


Figure II. 50 : Simulations par éléments finis et circuits équivalents à chaque localisation de claquage et régime de fonctionnement, (a) et (b) pour un claquage au niveau de l'électrode de source, (c) (d) (e) et (f) pour un claquage dans le canal sous différentes conditions de polarisation [II-124].

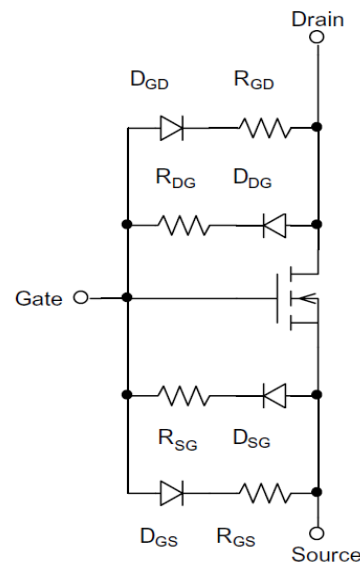


Figure II. 51 : Circuit équivalent à un dispositif dégradé, le courant de grille modélisé par une diode rend mieux compte de la conduction du courant [II-125].

En 2008, l'équipe de Barcelone publie une amélioration de son modèle en considérant une dépendance exponentielle du courant de grille à la tension de grille [II-125]. C'est un progrès important dans la description du courant de fuite au niveau circuit car un chemin de conduction uniquement résistif présente une dépendance linéaire entre courant et tension ; ce qui n'est évidemment pas le cas du courant tunnel considéré au niveau de la physique du claquage.

Si dans une première approche de la modélisation des dispositifs dégradés destinée à la simulation de circuits les circuits équivalents sont simples et pratiques nous

avons vu qu'ils peinaient à rendre compte précisément de la physique du claquage. La dépendance exponentielle du courant de grille à la tension de grille n'est introduite que récemment [II-125], sans toutefois parvenir à modéliser toutes les configurations possibles de claquage puisque ce dernier modèle ne concerne que les claquages situés sur les électrodes. Le modèle plus complet de l'IMEC [II-124] est moins pratique puisqu'il faut considérer un circuit équivalent pour chaque configuration de claquage et condition de polarisation du dispositif. Les efforts récents s'orientent donc vers une modélisation compacte du claquage, c'est-à-dire descriptible par des équations analytiques.

c. Les modèles compacts

Afin d'optimiser la simulation et donc la conception de circuits complexes, les modèles compacts décrivent le comportement des composants par des équations analytiques ; dans le cas du transistor MOS, ce n'est pas évident et il faut utiliser plusieurs équations pour décrire le transistor MOS dans tous ses modes de fonctionnement. C'est le cas du modèle BSIM ; chaque mode de fonctionnement est décrit par une équation analytique ; Ces équations sont basées sur la physique et complétées par des fonctions de lissage complexes afin d'harmoniser la continuité du comportement du MOS entre ses différents modes. Le modèle PSP plus récent permet au contraire de simuler de manière plus réaliste le transistor MOS puisque les équations utilisées sont basées sur le potentiel de surface et évite ainsi les fonctions de lissages empiriques.

Ces modèles sont fondés sur des jeux d'équations d'une part et un ensemble de paramètres d'autre part. Ces paramètres peuvent être physiques ou constituer simplement un facteur d'ajustement entre modèle et mesures des performances. Modèles et paramètres de modèles sont utilisés dans la simulation circuit par des simulateurs de type SPICE, pour « Simulation Program with Integrated Circuit Emphasis ». Le travail du fiabiliste sera de décrire l'évolution des paramètres au cours du temps afin de rendre compte de la déviation des caractéristiques en courant dues à telle ou telle dégradation. Il faut cependant faire une distinction entre modèles compacts, autosuffisants à simuler les comportements d'un dispositif dégradé, des modèles SPICE qui incluent aussi les modèles à circuits équivalents puisque chacun des éléments des circuits équivalents est décrit par un modèle compact.

Les modèles à circuits équivalents sont donc dans notre terminologie des assemblages de modèles compacts ; il en est ainsi par exemple du circuit équivalent proposé par Fernandez [II-125] ; si les courants du dispositif en fonctionnement normal sont modélisés par un modèle compact BSIM, les modifications du courant de grille dues au claquage sont prises en compte par l'ajout d'un circuit équivalent présenté sur la figure II.51. Le modèle se perfectionne légèrement par la suite en tenant compte à la fois de l'augmentation du courant de grille, toujours modélisé par une résistance et une diode en série, et de la réduction du courant de la source au drain par une modification de la conductivité du canal par les paramètres du modèle BSIM [II-126]. Toutefois à notre connaissance aucun modèle strictement compact n'a été proposé pour modéliser les performances du dispositif dégradé par le claquage.

Conclusion

La fiabilité est un concept central de la production industrielle, en particulier lorsque les produits sont destinés à des applications sensibles comme c'est le cas pour toute l'électronique embarquée dans les voitures modernes. Il s'agit de garantir absolument leur fonctionnement malgré le vieillissement des composants ; des études sont donc nécessaires afin de déterminer quelles seront les évolutions des caractéristiques des composants au cours de leur usage. Pour gagner du temps ces mesures sont effectuées sous tension de stress afin d'accélérer le vieillissement des composants ; nous utilisons un stress à tension constante qui permet de mettre en évidence les dégradations non guérissables.

Sous tension de stress ou bien plus lentement au cours de son fonctionnement, la structure du dispositif se dégrade, notamment l'oxyde de grille, qui est le matériau critique des dernières générations de transistors. Plusieurs types de dégradations sont identifiés, selon leur localisation et leur phénoménologie. L'interface entre oxyde et silicium est une zone fragile en raison du changement de dimensions des réseaux atomiques du silicium et de l'oxyde de silicium ; c'est donc un lieu privilégié pour l'apparition de défauts. Parmi les mécanismes de dégradation responsables de l'apparition de défauts à l'interface, l'instabilité en température et la dégradation par porteurs chauds retiennent depuis plusieurs années l'attention des fiabilistes. L'apparition de défauts dans le volume de l'oxyde peut être due simplement à la présence prolongée d'un champ dans l'oxyde, provoquant le passage de charges, susceptibles de rompre ou de passiver des liaisons dans le volume du matériau. Les radiations peuvent aussi provoquer l'apparition de défauts dans l'oxyde et même conduire directement au mécanisme de dégradation final de la structure MOS : le claquage du diélectrique.

La présence de ces défauts dans le volume de l'oxyde modifie le comportement du dispositif MOS ; les tensions de seuil se décalent, le courant de fuite augmente, la transconductance et la mobilité effective diminuent et enfin les courants de la source au drain diminuent également. Puis lorsque la densité de défauts devient suffisante ils peuvent former un chemin de percolation à travers l'oxyde. Dans un premier temps ce chemin de conduction n'est pas nécessairement physique, il peut s'agir d'une zone d'oxyde fortement impactée par la présence de défauts facilitant ainsi le passage du courant de défaut en défaut. Ce premier claquage conduit à une augmentation du bruit sur le courant de grille. Lorsque la densité de défauts continue à augmenter, le chemin de conduction va devenir de plus en plus conducteur à l'intérieur de l'oxyde et des sauts de courant seront détectés sur le courant de grille. A cause de l'augmentation locale du courant de fuite à travers l'oxyde, la densité de défauts autour du chemin de conduction va continuer à croître et en augmenter la taille ; en conséquence de quoi les courants de source et de drain vont diminuer d'autant et la tension de seuil également. Lorsque la densité de courant dans ce chemin de conduction devient suffisante, elle induit une épitaxie le long de ce chemin et forme donc physiquement un court circuit entre grille et canal, détruisant ainsi la structure MOS. Ces trois étapes sont appelées respectivement claquage progressif, claquage soft et claquage hard, destructif pour le dispositif.

Les fiabilistes se sont attachés à développer des modèles statistiques afin de pouvoir prévoir l'occurrence du claquage du diélectrique, ce sont les fameuses pentes de

Weibull décrivant le temps d'occurrence du premier claquage. Jusqu'à la fin des années 90 ce mode de dégradation était considéré comme destructif mais la diminution des épaisseurs d'oxyde a repoussé cette échéance et la progressivité du claquage donne de nouveaux espoirs pour l'allongement de la durée de vie des dispositifs. Aussi de nombreux chercheurs ont développé des modèles de conduction du claquage afin de comprendre l'origine de cette progressivité et d'en tirer parti pour la fiabilité. Le consensus s'est cristallisé autour du modèle de conduction par contact par point quantique, le plus apte à reproduire les caractéristiques et les statistiques du courant dû au claquage. D'autre part afin de reculer l'occurrence du claquage et d'en limiter l'impact, les mécanismes de dégradation y conduisant ont également fait l'objet de nombreux modèles complémentaires.

Mais les simulations de bas niveau permettant de reproduire les causes et les effets du claquage sur le fonctionnement des dispositifs ne sont pas directement intégrables dans des simulations de haut niveau ; en effet la simulation de quelques couches atomiques n'a rien de commun avec la simulation de circuits complexes de milliers de composants et un gouffre subsiste entre les différents niveaux de simulation. La simulation par éléments finis permet de reproduire précisément des effets physiques complexes mais la puissance de calcul nécessaire n'est pas compatible avec la simulation de plusieurs transistors. La simulation de plus haut niveau de type SPICE comporte nécessairement des approximations sur le plan physique mais la taille des circuits simulés n'est pas limitée. Plusieurs circuits équivalents au dispositif dégradé ont été proposés et peu à peu améliorés ces dix dernières années jusqu'à intégrer tous les effets du claquage. Cependant les circuits équivalents ne sont pas toujours pratiques à utiliser dans de grands circuits et les approximations réalisées n'en font pas de très bons modèles physiques et un modèle compact proche de la physique de cette dégradation est toujours attendu.

Table des figures

Figure II. 1 : Représentation graphique de l'équilibre des enjeux de production [II-1].	30
Figure II. 2 : Estimation des coûts en fonction de la fiabilité [II-1].	30
Figure II. 3 : Accélération de la dérive de V_T avec l'augmentation de la tension de grille (à gauche) et la température (à droite) pour un PMOS sous contrainte NBT [II-8].	33
Figure II. 4 : Méthodes de mesures conventionnelle (à gauche) et à la volée (à droite) [II-13].	33
Figure II. 5 : Evolution globale de la dégradation NBTI, décomposée en composantes recouvrables ou non [II-16].	34
Figure II. 6 : Schéma de principe de l'ionisation par impact [II-17].	34
Figure II. 7 : Schéma de principe de la dégradation par porteurs chauds [II-21].	34
Figure II. 8 : Composantes du SILC : a) composante non reproductible due à la passivation de charges piégées. b) composante transitoire, dépendant de la tension pour la charge et la décharge des pièges d'interface, c) composante continue attribuée à une conduction tunnel assistée par pièges. [II-21].	37
Figure II. 9 : Courbe d'évolution de la densité de courant en fonction du champ électrique pour une gamme d'irradiation de 4 à 50 Mrad [II-21].	37
Figure II. 10 : Caractéristique courant-tension pour une irradiation croissante, RILC défini à partir de $5.8.10^{-10}$ Si ion/cm ² et le claquage progressif induit RSB à 10^{-7} Si ion/cm ² [II-21].	37
Figure II. 11 : Comparaison mesures et simulation pour des électrons d'énergie 8MeV [II-40]	38
Figure II. 12 : Au dessus, situation de bandes plates, charge des défauts d'interface en fonction de l'énergien des pièges occupés. En dessous, signe de la charge induite par les défauts d'interface : a) négative sur NMOS et b) positive sur PMOS.	39
Figure II. 13 : Corrélation entre la formation de défauts de l'interface et la mobilité. [II-42].	40
Figure II. 14 : Schéma de principe de la mesure de défauts coté drain, a) une mesure directe ne fournit pas cette information tandis que b) la mesure inverse investigue la zone d'intérêt. [II-45].	41
Figure II. 15 : Dégradation de la tension de seuil V_T sous polarisation pour différentes tensions de drain, représenté en fonction du temps et du paramètre Age du modèle BSIM. [II-42].	42
Figure II. 16 : Décalage du basculement d'un circuit MOS inverseur avec la dérive de la tension de seuil due au vieillissement du dispositif.	43
Figure II. 17 : Image de la localisation du point faible de l'oxyde créé par le claquage [II-51].	44
Figure II. 18 : Classification des différents modes de claquage en fonction de leur impact sur le courant de grille : claquage progressif, PBD, claquage soft ou quai-claquage SBD et claquage dur HBD [II-28].	45
Figure II. 19 : décorrélation spatiale du quasi-claquage et du claquage hard [II-51].	45
Figure II. 20 : Corrélation spatiale pour l'apparition A) du claquage progressif assimilé à l'apparition d'un bruit caractéristique B) du quasi claquage et C) du claquage hard avec augmentation brutale du courant de fuite [II-62].	46

Figure II. 21 : Réduction locale de l'épaisseur d'oxyde par épitaxie induite [II-114].	47
Figure II. 22 : Dépendance logarithmique de la dérive de la tension de seuil en fonction de l'augmentation du courant de grille [II-68].	47
Figure II. 23 : Distribution du temps au claquage dans un représentation de Weibull [SiO ₂ /HfSiON (1nm/25nm) ; V _{gstress} = -3.2V, T=25°C] [II-28].	49
Figure II. 24 : Le claquage survient pour une concentration de défauts critique [II-79].	50
Figure II. 25 : Illustration du modèle de percolation, la densité de défauts doit être suffisante pour former un chemin de conduction [II-78].	50
Figure II. 26 : Mesures de la dépendance de la pente de Weibull à l'épaisseur d'oxyde T _{ox} [II-28].	51
Figure II. 27 : Charge au claquage en régime d'inversion pour différentes épaisseurs d'oxyde [II-80].	51
Figure II. 28 : Modèle de conduction par tunnel direct : a) Schéma du transport de l'électron et de la dégradation induite à l'anode modélisée ensuite par b) avec une zone endommagée, réduisant son épaisseur et la hauteur de la barrière [II-21].	53
Figure II. 29 : Mécanisme de conduction assistée par pièges pour des défauts de niveau proche du niveau de Fermi [II-21].	54
Figure II. 30 : Représentation schématique de la conduction selon le modèle de percolation [II-21].	55
Figure II. 31 : Claquages hard a) et soft b) dans la modélisation de contact par point quantique ; au dessus le profil spatial du « weak spot » et en dessous sa barrière énergétique [II-21].	55
Figure II. 32 : Représentation schématique du saut de potentiel à travers la barrière d'oxyde, à l'endroit du point de contact et pour les deux polarisations [II-21].	56
Figure II. 33 : Corrélation entre hauteur et largeur de barrière t _b et profils correspondants de chemin de conduction pour une augmentation progressive du niveau de claquage [II-21].	57
Figure II. 34 : Dépendance du temps au claquage au champ électrique pour des oxydes d'épaisseur variant de 18 à 26 Å [II-94].	59
Figure II. 35 : Prévisions et mesures du champ de claquage de plusieurs diélectrique en fonction de leur constante diélectrique [II-96].	59
Figure II. 36 : Charge d'électron Q _{BD} et de trous Q _p injectées à l'anode lors d'une contrainte à voltage constant sur un oxyde de 50 Å [II-103].	60
Figure II. 37 : Schéma de principe de la libération d'hydrogène et de la réaction de formation d'un défaut [II-106].	60
Figure II. 38 : Mesures de SILC Fowler-Nordheim pour différentes conditions de formation de l'oxyde : « pyro » pour sous atmosphère donc présence de l'espèce dans le volume d'oxyde et « anneal » pour par recuit donc présence d'espèce à l'interface oxyde-substrat [II-28].	61
Figure II. 39 : Illustration et vérification des prédictions du temps au claquage T _{BD} en fonction de la tension de grille obtenues par le modèle de libération de l'oxygène [II-109].	61
Figure II. 40 : Illustration et vérification des prédictions de la charge au claquage Q _{BD} en fonction de la tension de grille obtenues par le modèle de libération de l'oxygène [II-109].	61
Figure II. 41 : Augmentation du rendement de désorption de la liaison hydrogène en fonction du courant tunnel [II-111].	62
Figure II. 42 : Schéma de principe de l'excitation multi-vibrationnelle, excitation de la liaison jusqu'à la rupture par des quanta d'énergies plus faibles [II-28].	62

Figure II. 43 : Illustration de l'accord entre mesure de génération de défauts pour différentes épaisseurs et la prédiction du modèle multi-vibrationnel [II-112].	63
Figure II. 44 : Illustration de la loi en puissance de la génération de défauts selon le mode multi-vibrationnel [II-81].	63
Figure II. 45 : Deux approches différentes de modélisation du chemin de conduction, (a) réduction locale de l'épaisseur d'oxyde et (b) diminution locale de la hauteur de barrière [II-119].	65
Figure II. 46 : Reproduction des caractéristiques mesurées pour différentes positions de claquage par simulation par éléments finis à l'aide du logiciel MEDICI. Les positions extrême de claquage sont représentées, (a) et (d) claquage localisé sur l'électrode de source, (b) et (e) au milieu du canal, (c) et (f) sur l'électrode de drain [II-119].	65
Figure II. 47 : Premier modèle de circuit équivalent, le chemin de conduction est considéré comme résistif [II-118].	66
Figure II. 48 : Circuits équivalents à un dispositif claqué pour les différentes localisations de claquage, (a) dans le canal, (b) au niveau de la source et (c) du drain [II-121].	66
Figure II. 49 : Circuits équivalents d'un dispositif claqué pour des claquages localisés sur les électrodes [II-122, II-123]	67
Figure II. 50 : Simulations par éléments finis et circuits équivalents à chaque localisation de claquage et régime de fonctionnement, (a) et (b) pour un claquage au niveau de l'électrode de source, (c) (d) (e) et (f) pour un claquage dans le canal sous différentes conditions de polarisation [II-124].	67
Figure II. 51 : Circuit équivalent à un dispositif dégradé, le courant de grille modélisé par une diode rend mieux compte de la conduction du courant [II-125].	67

Table des références

- [II-1] <http://www.weibull.com/LifeDataWeb/lifedataweb.htm> ©1996-2004. ReliaSoft Corporation. ALL RIGHTS RESERVED
- [II-2] Richard Blish, Ted Dellin, Steve Huber, Martin Johnson, Jose Maiz, Bob Likins, Nick Lycoudes, Joe McPherson, et al "Critical Reliability Challenges for The International Technology Roadmap for Semiconductors (ITRS)" Technology Transfer #03024377A TR International SEMATECH March 31, 2003
- [II-3] A. Berman; "Time-zero dielectric reliability test by ramp method", IEEE/Int. Rel. Phys. Symp., 204 (1981)
- [II-4] G. Ribes, S. Bruyère, M. Denais, F. Monsieur, V. Huard, D. Roy, G.Ghibaudo "Breakdown mechanisms in ultra-thin oxides: Impact of carrier energy and current through substrate hot carrier stress study" INFOS proceedings (2003)
- [II-5] G. Groeseneken, H.E. Maes, N. Beltran, R.F De Keersmaecker, "A reliable approach to charge-pumping measurements in MOS transistors", IEEE Trans. Electron Devices, 31, 42 (1984)
- [II-6] S. Ogawa and N. Shiono, "Generalized diffusion-reaction model for the low-field charge build up instability at the Si-SiO₂ interface", Phys. Review B, vol.51, no.7, pp.4218-4230, 1995.
- [II-7] V. Huard, C. Guerin, C. Parthasarathy, K. Romanjek, S. Vanbergue, "Identification of a new positive bias aging failure mode in n-channel mosfets with plasma-nitrided sio₂ oxide", IEEE Int. Reliab. Phys. Symp. 686 (2007)
- [II-8] M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, A. Bravaix, "Interface Trap Generation and Hole Trapping Under NBTI and PBTI in Advanced CMOS Technology With a 2-nm Gate Oxide", IEEE Tran. Dev. Mat. Reliab. 4, 715, (2004)
- [II-9] W. Abadeer, W. Tonti, "Bias temperature reliability of N+ and P+ polysilicon gated NMOSFETs and PMOSFETs", IEEE Int. Reliab. Phy. Symp. 147 (1993)
- [II-10] E.H.Snow, A.S.Grove, B.E. Deal, C.T.Sah, "Ion transport phenomena in insulating films", J.Appl. Phy. 36, 1664 (1965)
- [II-11] K.O.Jeppson, C.M.Svensson, "Negative bias stress of MOS devices a high electric fields and degradation of MNOS devices", J. Appl. Phy. 48, 2004 (1977)
- [II-12] C. Schlünder, R. Brederlow, P. Wiczorek, C. Dahl, J. Holz, M. Röhner, S. Kessel, V. Herold, K. Goser, W. Weber, and R. Thewes, "Trapping mechanisms in Negative Bias Temperature Stressed p-MOSFETs", Micro. Reliab. 38, 821 (1999)
- [II-13] M. Denais, A. Bravaix, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, Y. Rey-Tauriac, N.Revil, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's", IEEE Int. Elec. Dev. Mee. 109 (2004)
- [II-14] S. Ogawa, N. Shiono, "Generalized diffusion-reaction model for the low-field chargebuildup instability at the Si-SiO₂ interface", Phys. Rev B 51, 4218 (1995)
- [II-15] M. A. Alam, S. Mahapatra, "A comprehensive model of PMOS NBTI degradation", Micro. Reliab. 45, 71 (2005)
- [II-16] V. Huard, C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, C. Ouvrard, "New characterization and modeling approach for NBTI degradation from transistor to product level", IEEE Int. Elec. Dev. Mee. 797 (2007)
- [II-17] M. P. Pagey, "Hot carrier reliability simulation in aggressively scaled MOS transistors", PhD thesis (2003)

- [II-18] E. Takeda, N. Suzuki, T. Hagiwara, "Device performance degradation due to hot-carrier injection at energies below the Si-SiO₂ energy barrier", IEEE Int. Elec. Dev. Mee. 396 (1983)
- [II-19] E. Cartier, "Characterization of the hot-electron-induced degradation in thin SiO₂ gate oxides", Microelectronics Reliability, Vol. 38, pp. 201-211, 1998.
- [II-20] K. F. Schuegraf and C. Hu, "Hole injection SiO₂ breakdown model for very low voltage lifetime extrapolation," IEEE Trans. Electr. Dev., vol. 41, pp. 761-767, May 1994.
- [II-21] A. Paccagnella, "Radiation response and reliability of oxides used in advanced processes", IEEE NSREC Short Course, vol. 3, 2003.
- [II-22] E. Takeda, N. Suzuki, T. Hagiwara, "Role of Hot-Hole Injection in Hot-Carrier effects and the Small Degraded Channel Region in MOSFET'S", IEEE Elec. Dev. Lett. 4, 329, (1983)
- [II-23] C. Hu, S. C. Tam, F.-C Hsu, P.-K. Ko, T.-Y. Chan, K. W. Terrill, "Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and improvement", IEEE Trans. Elec. Dev. 32, 375 (1985)
- [II-24] J. J. Tzou, C. C. Yao, R. Cheung, H. W. K. Chan, "Hot-Carrier-Induced Degradation in P-Channel LDD MOSFET's", IEEE Elec. Dev. Lett. 7, 5 (1986)
- [II-25] N. Koike, K. Tatsuuma, "A Drain Avalanche Hot Carrier Lifetime Model for n- and p-Channel MOSFETs", IEEE Tran. Dev. Mat. Reliab. 4, 457 (2004)
- [II-26] P. Heremans, G. Groeseneken, H. Maes, "Consistent Model for the Hot-Carrier Degradation in n-Channel and p-Channel MOSFET's", IEEE Trans. Elec. Dev. 35, 2194 (1988)
- [II-27] E. Li, E. Rosenbaum, J. Tao, P. Fang, "Projecting Lifetime of Deep Submicron MOSFETs", IEEE Trans. Elec. Dev. 48, 671 (2001)
- [II-28] G. Ribes, "Caractérisation des oxydes ultra fins et des diélectriques à forte permittivité issue des technologies CMOS45nm et en deça, " Thèse INPG , 2005
- [II-29] J. Maserjian and N. Zamani, "Behavior of the Si/SiO₂ interface observed by Fowler-Nordheim tunneling", J. Appl. Phys., Vol. 53, pp. 559-567, 1982.
- [II-30] P. Olivo, T. N. Nguyen, and B. Riccò, "High-Field-Induced Degradation in Ultra-Thin SiO₂ Films", IEEE Trans. on Electron Devices, Vol. 35, pp.2259-2267, 1988. R. S. Scott and D. J. Dumin, "The Charging and Discharging of High-Voltage Stress-Generated Traps in Thin Silicon Oxide", IEEE Trans. on Electron Devices, Vol. 43, pp. 130-136, 1996.
- [II-31] D. J. Dumin and J. R. Maddux, "Correlation of Stress-Induced Leakage Current in Thin Oxides with Trap Generation Inside the Oxides", IEEE Trans. on Electron Devices, Vol. 40, pp. 986-992, 1993.
- [II-32] J. De Blauwe, J. Van Houdt, D. Wellekens, G. Groeseneken, and H. E. Maes, "SILC-Related Effects in Flash E2PROM's-Part I: A Quantitative Model for Steady-State SILC", IEEE Trans. on Electron Devices, Vol. 45, pp. 1745-1750, 1998.
- [II-33] K. Sakakibara, N. Ajika, K. Eikyu, K. Ishikawa, and H. Miyoshi, "A Quantitative Analysis of Time-Decay Reproducible Stress Induced Leakage Current in SiO₂ films", IEEE Trans. on Electron Devices, Vol. 44, pp. 1002-1007, 1997.
- [II-34] K. Sakakibara, N. Ajika, M. Hatanaka, and H. Miyoshi, "A Quantitative Analysis of Stress Induced Excess Current (SIEC) in SiO₂ films", Proceedings of IEEE International Reliability Physics Symposium (IRPS), pp. 100-107, 1996.
- [II-35] K. Sakakibara, N. Ajika, M. Hatanaka, H. Miyoshi, and A. Yasuoka, "Identification of Stress Induced Leakage Current Components and Corresponding Trap Models in SiO₂ Films", IEEE Trans. on Electron Devices, Vol. 44, pp. 986-992, 1997.

- [II-36] E. Rosenbaum and L. F. Register, "Mechanism of stress induced leakage current in MOS capacitors", *IEEE Trans. on Electron Device*, Vol. 44, pp.317-322, 1997.
- [II-37] S. Takagi, N. Yasuda and A. Toriumi, "Experimental evidence of inelastic tunneling and new I-V model for stress-induced leakage current", *IEEE Proc. of IEDM 96*, pp. 323-326, 1996.
- [II-38] E. F. Runnion, S. M. Gladstone, R. S. Scott, D. J. Dumin, L. Lie and J. C. Mitros, "Thickness dependence of stress-induced leakage currents in silicon oxide," *IEEE Trans. Electr. Dev.*, vol. 44, pp.993-1001, June 1997.
- [II-39] A. Cester, A. Paccagnella, G. Ghiaini, "Time Stability of Stress Induced Leakage Current in Ultra-Thin gate oxides", *Solid State Electronics*, vol. 45, pp. 1345-1353, 2001
- [II-40] L. Larcher, A. Paccagnella, M. Ceschia, and G. Ghidini "A Model of Radiation Induced Leakage Current (RILC) in Ultra-Thin Gate Oxides", *IEEE Trans. on Nucl. Sci.*, vol. 45, No. 6, p.1553-1561, December 1999.
- [II-41] T. L. Tewksbury, "Relaxation effects in MOS devices due to tunnel exchange with nearinterface oxide traps", Thesis (1992)
- [II-42] C. Guerin, V.Huard, A.Bravaix, M.Denais, "Impact of Hot Carrier Degradation Modes on I/O nMOSFETS Aging Prediction", *IEEE Int. Integ. Reliab. Work.* 63 (2006)
- [II-43] T. Pompl, H. Wurzer, M. Kerber, and I. Eisele, "Influence of Gate oxide breakdown on MOSFET device operation", *Microelectronics Reliability*, Vol. 40, pp. 37-47, 2000.
- [II-44] M. F. Hamer, "First order parameter extraction on enhancement silicon MOS transistors", *IEE proceedings*, 133, 49 (1986)
- [II-45] C. Guérin, "étude de la dégradation par porteurs chauds des technologies CMOS avancées en fonctionnement statique et dynamique", Thèse de l'INPG, 2008.
- [II-46] P. L. Lee, M. M. Kuo, K. Seki, P. K. Ko, C. Hu, "Circuit aging simulator (CAS)", *IEEE Int. Elec. Dev. Mee.* 134 (1988)
- [II-47] D.R. Wolters, J.J Van der Schoot, "Diélectric breakdown in MOS devices – Part III : the damage leading to breakdown", *Philips J. Res.*, 40, 164 (1985).
- [II-48] Thompson Ramo Wooldridge, Inc., Redondo Beach, "High impedance isolation techniques for monolithic circuit structures," CA, U.S. Air Force Contract Rep. AF 33 (615)-1949, Nolv. 1964.
- [II-49] C. M. Osburn and E. Bassous, "Improved dielectric reliability of SiO₂ fiis with polycrystalline silicon electrode s," *1 Electrochem. SOC.*,vol. 122, pp. 89-92, Jan. 1975.
- [II-50] D. J. DiMaria, E. Cartier, and D. Arnold, "Impact ionization, trap creation, degradation, and breakdown in silicon dioxide films on silicon,"*J. Appl. Phys.*, vol. 73, pp. 3367–3384, 1993.
- [II-51] Sylvie Bruyère « Etude des mécanismes de dégradation et de la défaillance des oxydes ultra minces-application à la fiabilité des technologies CMOS sub - 0.25 µm » thèse pour obtenir le grade de docteur de l'INPG Institut National Polytechnique de Grenoble. Soutenu le 30 juin 2000.
- [II-52] B. E. Weir, P. J. Silverman, D. Monroe, K. S. Krisch, M. A. Alam, G. B. Alers, T. W. Sorsch, G. L. Timp, F. Baumann, C. T. Liu, Y. Ma, and D. Huang, "Ultra-Thin Gate Dielectrics: They Break Down, But Do They Fail?," *IEDM Tech. Digest*, pp. 73-76 (1997)
- [II-53] B. Kaczer, R. Degraeve, G. Groeseneken, M. Rasras, S. Kubicek, E. Vandamme, and G. Badenes, "Impact of MOSFET Oxide Breakdown on Digital Circuit Operation and Reliability," *IEDM Tech. Digest*, pp. 553-556 (2000)

- [II-54] Ribes, G. Roy, D. Huard, V. Monsieur, F. Rafik, M. Roux, J.M. Parthasarathy, C. "Post breakdown oxide lifetime based on digital circuit failure", Proc of IRPS 2008 pp. 215 – 218.
- [II-55] K. Okada, S. Kawasaki, and Y. Hirofuji, "New experimental findings on stress induced leakage current of ultra thin silicon dioxide", Ext. Abst. SSDM. p. 565, 1994.
- [II-56] S.-H. Lee, B.-J. Cho, J.-C. Kim, and S.-H. Choi, "Quasi-breakdown of ultrathin gate oxide under high field stress", Proceedings of IEEE International Electron Device Meeting (IEDM), pp. 605-608, San Francisco (CA), USA, Dec. 1994.
- [II-57] J. Suñé, E. Y. Wu, D. Jiménez, R. P. Vollertsen, E. Miranda, "Understanding Soft and Hard breakdown statistics, prevalence ratios and energy dissipation during breakdown: Mode de défaillance des oxydes ultra-minces runaway", Digest of the 2001 International Electron Devices Meeting.
- [II-58] J. Suñé, G. Mura, E. Miranda, "Are soft breakdown and hard breakdown of ultra-thin gate oxides actually different failure mechanisms?," IEEE Electron Device Lett., vol.21, pp. 167-169, 2000.
- [II-59] E. Miranda, J. Suñé, "Analytic Modeling of Leakage Current through Multiple Breakdown Paths in SiO₂ Films", 2001 International Reliability Physics Symposium Proceedings, pp. 367-379, 2001.
- [II-60] J. Suñé, E. Y. Wu, D. Jiménez, R. P. Vollertsen, E. Miranda, "Understanding Soft and Hard breakdown statistics, prevalence ratios and energy dissipation during breakdown runaway", Digest of the 2001 International Electron Devices Meeting.
- [II-61] T. Pompl, H. Wurzer, M. Kerber, I. Eisele, "Investigation of ultra-thin gate oxide reliability behavior by separate characterization of soft breakdown and hardbreakdown", 2000 International Reliability Physics Symposium Proceedings, pp. 40-47, 2000.
- [II-62] F. Monsieur, E. Vincent, D. Roy, S. Bruyère, J.C Vildeuil, G. Panankakis, G. Ghibaudo "A Thorough Investigation of Progressive Breakdown in Ultra-thin Oxides. Physical Understanding and Application for Industrial Reliability Assessment".IEEE IRPS (2002)
- [II-63] F. Monsieur, E. Vincent, G. Ribes, V. Huard, S. Bruyère, D. Roy, G. Pananakakis, G. Ghibaudo, "Evidence for defect-generation-driven wear-out of breakdown conduction path in ultra thin oxides" IEEE IRPS (2003).
- [II-64] E. Y. Wu, "Tutorial On Ultra-Thin Oxide Reliability For ULSI Applications," Presented at 2000 International Integrated Reliability Workshop, Lake Tahoe, CA, 2000.
- [II-65] J. Suñé, I. Placencia, N. Barniol, E. Farrés, F. Martín, X. Aymerich, "On the breakdown statistics of very thin SiO₂ films," Thin Solid Films, vol. 185, pp. 347-362, 1990.
- [II-66] R. Degraeve, G. Groseneken, R. Bellens, M. Depas, H.E. Maes, "A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides", International Electron Devices Meeting (IEDM). 1995, p. 863
- [II-67]
- [II-68] Ribes G., D. Roy, V. Huard, F. Monsieur, M. Rafik, J.M Roux, C. Parthasarathy, "Post Breakdown Oxide Lifetime Based on Digital Circuit Failure", Proc. Of IRPS, 2008
- [II-69] L. Gerrer, M. Rafik, G. Ribes, G. Ghibaudo, E. Vincent, "Unified Soft Breakdown MOSFETs compact model: from experiments to circuit simulation", Proc of Esref, 2010.

- [II-70] G. B. Alers, B. E. Weir, M. A. Alam, G. L. Timp, and T. Sorch, "Trap Assisted Tunneling as a Mechanism of Degradation and Noise in 2 – 5 nm Oxides", Proceedings of IEEE – International Reliability Physics Symposium (IRPS), pp. 76-80, 1998.
- [II-71] E. Miranda, J. Suñe, R. Rodriguez, M. Nafría and X. Aymerich, "Soft Breakdown fluctuation events in ultrathin SiO₂ layers", Appl. Phys. Lett., Vol. 73, pp. 490-492, 1998
- [II-72] T. Tomita, H. Utsunomiya, T. Sakura, Y. Kamatura, and K. Taniguchi, "A New Soft Breakdown Model for Thin Thermal SiO₂ Films Under Constant Current Stress", IEEE Trans. on Electron Devices, vol. 46, No. 1, p. 159-164, January 1999.
- [II-73] O. Brière, J. A. Chroboczek, and G. Ghibaudo, "Random Telegraph Signal in the quasi – breakdown current of MOS Capacitors", Proceedings of 25th European Solid-State Device Research (ESSDERC), pp. 759-762, Sept. 1996
- [II-74] L. Bandiera, A. Cester, A. Paccagnella, G. Ghidini, I. Bloom, "Detrended Fluctuations Analysis of Soft Breakdown Current", Microelectronic Engineering, vol. 59, pp. 49-53, 2001
- [II-75] P.E. Nicollian, W. R. Hunter, J. C. Hu "Experimental evidence for voltage breakdown models in Ultrathin gate oxides. 2000 International Reliability Physics Symposium Proceedings pp.7-15 (2000)
- [II-76] E. Y. Wu, "Tutorial On Ultra-Thin Oxide Reliability For ULSI Applications," Presented at 2000 International Integrated Reliability Workshop, Lake Tahoe, CA, 2000.
- [II-77] J. Suñe, I. Placencia, N. Barniol, E. Farrés, F. Martín, X. Aymerich, "On the breakdown statistics of very thin SiO₂ films," Thin Solid Films, vol. 185, pp. 347-362, 1990.
- [II-78] R. Degraeve, G. Groseneken, R. Bellens, M. Depas, H.E. Maes, "A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides", International Electron Devices Meeting (IEDM). 1995, p. 863
- [II-79] Degraeve, R., et al., "New Insights in the Relation Between Electron Trap Generation and the Statistical Properties of Oxide Breakdown", IEEE Trans. Electron Dev., 1998. 45(4), p. 904.
- [II-80] J.H. Stathis, "Percolation models for gate oxide breakdown." J. Appl. Phys., 1999. 86(10), p. 5757.
- [II-81] J.H. Stathis, "Physical and predictive models of ultra thin oxide reliability in CMOS devices and circuits", IEEE International Reliability Physics Symposium (IRPS). 2001. p. 132.
- [II-82] J. Suñe, "New Physics-based analytic approach to the Thin oxide breakdown statistics", IEEE Trans. Electron Device letters, vol 22, N°6, june 2001.
- [II-83] J. McPherson, V. Reddy, K. Banerjee, H. Le, "Comparison of E and 1/E TDDDB model for SiO₂ under long-term/low-field test conditions," Digest of the 1998 International Electron Devices Meeting, pp. 171-174, 1998.
- [II-84] A. Teramoto, H. Umeda, K. Azamawari, K. Kobayashi, K. Shiga, J. Komori, Y. Ohno, H. Miyoshi, "Study of oxide breakdown under very low electric field," 1999 International Reliability Physics Symposium Proceedings, pp. 66-71, (1999).
- [II-85] Ernest Y. Wu, A. Vayshenker, E. Nowak, J. Suñe, R.-P. Vollertsen, W. Lai, and D. Harmon "Experimental Evidence of TBD Power-Law for Voltage Dependence of Oxide Breakdown in Ultrathin Gate Oxides" IEEE Transactions On Electron Devices, Vol. 49, No. 12, December (2002).

- [II-86] T. Yoshida, S. Miyazaki, and M. Hirose, "Analytical modeling of quasi-breakdown of ultrathin gate oxides under constant current stressing", Ext. Abst. SSDM, p. 565, 1996
- [II-87] K. Okada and K. Taniguchi, "Electrical stress-induced variable range hopping conduction in ultra-thin silicon dioxides", Appl. Phys. Lett., Vol. 70, . 351-353, 1997.
- [II-88] M. Houssa, N. Wandelle, T. Nigam, M. Ausloos, P. W. Mertens and M. M. Heyns, "Analysis of the Gate Voltage Fluctuation in Ultra-Thin Gate Oxides After Soft Breakdown", Proceedings of IEEEIEDM, p. 909-912, 1998. (U)
- [II-89] M. Houssa, T. Nigam, P. W. Mertens, and M. M. Heyns, "Model for the current-voltage characteristics of ultrathin gate oxide after soft breakdown", J. Appl. Phys. Vol. 84, pp. 4351-4355, 1998.
- [II-90] E. Miranda, J. Suñe, M. Naifría, and X. Aymerich, "Point Contact Conduction at the Oxide Breakdown of MOS Devices", Proceedings of IEEE International Electron Device Meeting (IEDM), pp. 191-194, San Francisco (CA), USA, Dec. 1998.
- [II-91] [Sun00b] J. Suñe, and E. Miranda, "Post Soft Breakdown Conduction in SiO₂ Gate Oxides", Proceedings of IEEE International Electron Device Meeting (IEDM), pp. 533-536, San Francisco (CA), USA, Dec. 2000.
- [II-92] A. Cester, L. Bandiera, J. Suñe, A. Paccagnella, L. Boschiero, and G. Ghidini, "A Novel Approach to Quantum Point Contact for post Soft Breakdown conduction", Proc. of IEEE – IEDM, 2001.
- [II-93] D. J. DiMaria, E. Cartier, and D. Arnold, "Impact ionization, trap creation, degradation, and breakdown in silicon dioxide films on silicon," J. Appl. Phys., vol. 73, pp. 3367–3384, 1993.
- [II-94] J.W. McPherson, H.C. Mogul, "Disturbed Bonding States in SiO₂ Thin-Films and Their Impact on Time Dependent Dielectric Breakdown", IEEE International Reliability Physics Symposium (IRPS). 1998. p. 47.
- [II-95] J. W. McPherson, R. B. Khamankar, "Molecular model for intrinsic time-dependent dielectric breakdown in SiO₂ dielectrics and the reliability implications for hyper-thin gate oxide," Semicond. Sci. Technol., vol. 15, pp. 462-470, 2000.
- [II-96] Joe W. McPherson, Jinyoung Kim, Ajit Shanware, Homi Mogul, and John Rodriguez "Trends in the Ultimate Breakdown Strength of High Dielectric-Constant Materials" IEEE TRANS. ON ELECT. DEV., Vol. 50, NO. 8, August 2003.
- [II-97] I.C. Chen, S. Holland, C. Hu, "Oxide breakdown dependence on thickness and hole current - enhanced reliability of ultra thin oxides", IEEE International Electron Device Meeting, p. 660, 1986.
- [II-98] J. Suehle, E. Vogel, B. Wang, and J. Bernstein, "Temperature dependence of soft breakdown and wear-out in sub-3 nm SiO films," in Proc. IRPS, 2000, pp. 33–39.
- [II-99] D. J. DiMaria, E. Cartier, D. A. Buchanan, "Anode hole injection and trapping in silicon dioxide," J. Appl. Phys., vol. 80, pp. 304-317, 1996
- [II-100] J.H. Stathis, "Physical and predictive models of ultra thin oxide reliability in CMOS devices and circuits", IEEE International Reliability Physics Symposium (IRPS). 2001. p. 132.
- [II-101] M.A. Alam, J. Bude, B. Weir, P. Silverman, A. Ghetti, D. Monroe, K.P. Cheung, S. Moccio, "An Anode Hole Injection Percolation Model for Oxide Breakdown – The "Doom's Day" Scenario Revisited", IEEE International Electron Device Meeting (IEDM). 1999. p. 715.

- [II-102] K.F. Schuegraf, C. Hu, Hole injection oxide breakdown model for very low voltage lifetime extrapolation, IEEE/ IRPS, 7 (1993)
- [II-103] K. Okada, "Analysis of the relationship between defect site generation and dielectric breakdown utilizing A-mode stress induced leakage current," IEEE Trans. Electron Devices, vol. 47, pp. 1225-1230, 2000.
- [II-104] J.H. Stathis, E. Cartier, "Atomic Hydrogen Reaction with Pb Centers at the (100) Si/SiO₂ interface", Phys. Rev. Lett., 1994. 72(17): p. 2745.
- [II-105] D. J. DiMaria, "Electron energy dependence of metal-oxide semiconductor degradation," Appl. Phys. Lett., vol. 75, pp. 2427-2428, 1999.
- [II-106] J.Suñé, E.Wu, Quantitative two-step hydrogen model of SiO₂ gate oxide breakdown" Solid-State Electronics. Vol 46 1825-1837 (2002).
- [II-107] W.F.Clark, E.Cartier, E.Y.Wu, « Hot Carrier lifetime and dielectric breakdown in mosfets processed with deuterium », pp80, ISPPID, 2001
- [II-108] Y. Mitani, Hideki Satake, Hitoshi Itoh, Akira Toriurni, "Highly Reliable Gate Oxide under Fowler-Nordheim Electron Injection by Deuterium Pyrogenic Oxidation and Deuterated Poly-Si Deposition", in International Electron Device Meeting (IEDM). 2000. p. 343.
- [II-109] J.Suñé, E.Wu, Quantitative two-step hydrogen model of SiO₂ gate oxide breakdown" Solid-State Electronics. Vol 46 1825-1837 (2002).
- [II-110] Ph. Avouris, R.E; Walkup, A.R. Rossi, T.C Shen, G.C. Abeln, J.R. Tucker, J.W. Lyding "STM-induced H atom desorption from Si(100):isotope effects and site selectivity" Chemical Physics Letters 257 (1996) 148-154.
- [II-111] Ph. Avouris, R.E; Walkup, A.R. Rossi, H.C.Akpati, P. Nordlander, T.C Shen, G.C. Abeln, J.W.Lyding "Breaking individual chemical bonds via STM-induced excitations" Surface Science 363(1996) pp 368-377.
- [II-112] Stathis J "Oxide Breakdown in CMOS devices and circuits IEEE IRPS 2004 Tutorials notes, Monday.p.212.
- [II-113] F. Pregaldiny, "Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques", Thèse (2003)
- [II-114] Selvarajoo, T. A. L. and Ranjan, R. and Pey et al, "Dielectric-breakdown-induced epitaxy: A universal breakdown defect in ultrathin gate dielectrics", Trans. on Device and Materials Reliability, 2005, pp 190-197.
- [II-115] Sharvin Yv., Zh. Exp. Teor. Phys., 48 (1965) 984; Sov. Phys. JETP, 21 (1965) 655.
- [II-116] Sune, J. et al., "Modeling the BD spots in silicon dioxide films as point contacts", Applied Physics letters 1999, vol. 75 n°7, pp 959-961.
- [II-117] Cester, A.; Bandiera ; Sune, J. Et al., "a novel approach to quantum point contact for post soft breakdown conduction", Proc. Of IEDM 2001, pp. 305-308.
- [II-118] Degraeve, R. and Kaczer, B. et al., "Relation between breakdown mode and breakdown location in short channel NMOSFETs and its impact on reliability specifications", Proc. Of IRPS 2001.
- [II-119] Kaczer, B. and Degraeve, R. et al., "Understanding nMOSFET Characteristics after Soft Breakdown and Their Dependence on the Breakdown Location", Proc. Of ESSDERC 2002.
- [II-120] Kaczer, B. and Degraeve et al., "Impact of MOSFET gate oxide breakdown on digital circuit operation and reliability", IEEE Trans.on Elec. Devices 2002, vol. 49, pp. 500-506.
- [II-121] Kaczer, Robin Degraeve et al., "Consistent Model for Short-Channel nMOSFET After Hard Gate Oxide Breakdown", Trans. On Elec. Devices 2002, vol. 49, pp. 507-513.

- [II-122] R. Rodriguez, J.H. Stathis, B.P. Linder et al., "Influence and model of gate oxide breakdown on CMOS inverters", *Microelectronic reliability* 2003, vol. 43, pp. 1439-1444.
- [II-123] R. Rodriguez, R.V. Joshi, J.H. Stathis et al., "Oxide Breakdown Model and its Impact on SRAM Cell Functionality", *Proc. Of SISPAD 2003*, pp. 283-286.
- [II-124] Kaczer, B. and Degraeve, R. et al., "Gate oxide breakdown in FET devices and circuits: From nanoscale physics to system-level reliability", *Microelectronic reliability* 2007, vol. 47, pp. 559-566.
- [II-125] R. Fernandez, R. Rodriguez et al., "Contributions of the gate current and channel current variation to the post-breakdown MOSFET performance", *Microelectronic Engineering* 85 (2008) pp. 259–262.
- [II-126] Raul Fernández, J. Martín-Martínez, R. Rodríguez, Montserrat Nafría et al., "Gate Oxide Wear-Out and Breakdown Effects on the Performance of Analog and Digital Circuits", *IEEE Trans. On Elec. Device*, vol. 55, NO. 4, APRIL 2008, pp. 997-1004.

III) Impact du claquage progressif sur les composants

La réduction des épaisseurs d'oxyde augmente de plus en plus la progressivité du claquage, si bien que plusieurs claquages peuvent avoir lieu avant que le dispositif ne cesse de fonctionner. L'utilisation de cette plage de progressivité permettrait d'augmenter la durée de vie des composants ; cependant si le dispositif continue de fonctionner, ses paramètres extrinsèques sont perturbés par les occurrences de claquage : outre l'augmentation du courant de grille, tension de seuil et courant de drain diminuent. Des modèles de ces variations de paramètres sont nécessaires afin de maîtriser le fonctionnement des dispositifs dans cette nouvelle plage d'utilisation ; cette modélisation n'est pas aisée car il s'agit de reporter dans des modèles de haut niveau les conséquences de dégradations à l'échelle atomique.

Il faut commencer par simplifier le problème afin d'observer si des tendances générales se dégagent ; nous commencerons par l'étude fondamentale de l'impact d'une fuite de courant sur une couche chargée avant de considérer une structure MOS simplifiée. L'impact de la fuite localisée simulant le claquage sur la charge de la couche d'inversion, le potentiel du canal et le courant seront examinés ainsi que l'influence de la position du claquage dans le canal. Grâce à ce premier modèle nous simulerons l'effet de la dépolarisation du canal sur la tension de seuil pour différentes positions de claquage. Enfin la méthode d'étude de la répartition du courant dans le dispositif au cours du claquage sera étudiée et complétée avant de passer à un modèle de transistor MOS plus complet.

Dans un second chapitre nous validerons nos modèles en les comparant aux mesures effectuées chez STMicroelectronics sur des dispositifs de la génération 40 nm, afin de vérifier qu'ils sont aptes à reproduire les effets mesurés du claquage. Nos observations seront analysées afin d'en tirer parti pour la modélisation analytique des effets du claquage ; une étude complète de nos mesures fera l'objet du chapitre C, notamment en ce qui concerne la répartition des courants dans le dispositif au cours du claquage. Des lois empiriques d'évolution du courant de grille et de la tension de seuil seront dérivées des mesures et la dispersion statistique des effets du claquage pourra ainsi être quantifiée.

Finalement toutes nos observations seront intégrées dans un modèle original de dispositif dégradé, tenant compte de la phénoménologie du claquage en l'intégrant dans un modèle compact adapté à la simulation de circuits, ce qui fera l'objet de la partie suivante.

A) Modélisation de l'impact du claquage progressif sur les dispositifs

Comme il a été exposé dans la partie II-C, plusieurs types de claquage sont aujourd'hui à distinguer selon l'impact qu'ils ont sur le dispositif [III-1, 2, 3, 4] ; en premier lieu la dégradation de l'oxyde apparaît sous la forme de claquage dit progressif, qui n'est pas destructif et qui évolue par la suite soit en claquage soft, soit en claquage hard [III-5, 6, 7]. Contrairement au claquage hard, il a été montré que plusieurs occurrences de claquage soft, en passant par l'apparition d'un claquage de type progressif, ne détruisent pas immédiatement l'oxyde des dispositifs ; ceux-ci continuent à fonctionner même si certaines de leurs caractéristiques peuvent varier en raison de la fuite de courant due au claquage et à la dérive de la tension de seuil [III-6, 8, 9] Il a pu également être montré que des oxydes d'épaisseur inférieure à quelques dizaines de nanomètres ne présentent pas immédiatement de claquage destructif mais au contraire des claquages d'autant plus progressifs que l'épaisseur d'oxyde est mince. Actuellement les épaisseurs d'oxyde utilisées sont de l'ordre de quelques nanomètres et les oxydes vont donc connaître une phase longue de claquage progressif avant d'être détruits. Or la première occurrence de claquage progressif est considérée comme destructive par les fiabilistes établissant les estimations de durée de vie des composants et des circuits ; il est donc nécessaire de ré estimer leurs modèles pour prendre en compte l'extension de la durée de vie des circuits et des composants due à la progressivité du claquage, mais aussi en quantifiant les écarts de courant de fuite et de tension de seuil, d'abord au niveau des composants, pour reporter ensuite ces résultats au niveau de la fiabilité des circuits. Ainsi temps de vie et performances au cours de la vie des dispositifs et des circuits seront mieux connues et la dégradation des performances pourra être compensée par des circuits autocorrigés ou robustes à ces types de variabilité.

Dans cette partie nous présenterons nos travaux de modélisation selon différentes approches puis en caractérisation et enfin les résultats seront examinés afin d'en extraire des lois de comportement empirique du dispositif après des claquages softs successifs. Le claquage du diélectrique est modélisé soit par des circuits équivalents, soit par des approches de très bas niveau mettant en jeu des processus physiques complexes, ainsi qu'il est exposé aux paragraphes II-C-6. L'alternative proposée aux concepteurs de circuits consiste soit en des modèles très simplifiés et par là éloignés des mécanismes physiques, soit en des approches rigoureuses sur le plan de la physique mais inadaptables pour la simulation haut niveau de plusieurs milliers de dispositifs. Nous choisissons une approche alternative en reprenant les éléments intéressants des modèles éprouvés, de l'un ou l'autre niveau mais dans l'optique de faire le lien entre la finesse des processus physiques mis en jeu au niveau atomique tout en gardant la possibilité de simulation circuit à grande échelle.

1 - Influence d'une fuite de courant sur une couche chargée

Nous débutons notre étude, non pas par l'exposé des mécanismes conduisant à la dégradation, car cette approche de bas niveau [III-10] serait difficilement transposable à des simulations de plus haut niveau, mais par l'étude de l'impact de

ces dégradations sur le fonctionnement du dispositif, ce qui nous permettra de modéliser simplement les effets du claquage tout en respectant ses manifestations physiques afin de pouvoir transposer nos résultats à des modèles de simulation de niveau circuit. Nous considérons donc une couche d'inversion dépendante des conditions de polarisation de la grille et étudions l'impact d'une fuite localisée sur la polarisation de cette couche. Ce phénomène constitue dans notre approche le niveau le plus bas de la phénoménologie du claquage sur le fonctionnement d'un dispositif MOS ; en effet, avant même l'augmentation de la fuite de courant de grille et le décalage de la tension de seuil, qui sont tous deux des paramètres extrinsèques du dispositif, il s'agit de considérer l'influence du point de claquage ou weak spot sur la couche d'inversion lors de sa mise en place progressive avec l'augmentation de la tension de grille.

Nous utilisons dans cette partie le simulateur à éléments finis Flex PDE, qui permet une mise en œuvre simple des mécanismes des dispositifs MOS et travaillons en deux dimensions, dans le plan de l'interface entre oxyde et semi-conducteur. Nous considérons une surface de diamètre 400µm. Les propriétés du silicium modélisé sont définies par : une permittivité relative de 12 et une mobilité des trous est de 500cm².V⁻¹.s⁻¹ ; la concentration intrinsèque de porteurs n_i est de 1.4E10 cm⁻³ et un dopage N_a de 3E18 cm⁻³. L'oxyde de grille SiO₂ dont l'épaisseur est de 1.5nm a une permittivité relative de 4. La tension de seuil V_t est fixée à 0.5V et les tensions de source et drain ne sont pas considérées dans cette première approche. Les charges de déplétion et d'inversion sont modélisées respectivement par :

$$Q_d = C_{Ox} * kT * \ln(2) \tag{Equ. III- 1}$$

$$Q_i = C_{Ox} * kT * \ln\left(1 + e^{\frac{V_g - V_t - V}{kT}}\right) \tag{Equ. III- 2}$$

Avec C_{Ox} la capacité d'oxyde, k la constante de Boltzmann et T la température. V_g est la tension appliquée sur la grille et V le potentiel électrostatique du plan considéré sur lequel la résolution par éléments finis est effectuée. Voyons d'abord sur la figure III.1 l'effet de l'augmentation de la tension de grille sur la charge d'inversion pour une couche circulaire de 400µm de diamètre ; V_g augmente progressivement de 0 à 1.5V par pas de 0.15V :

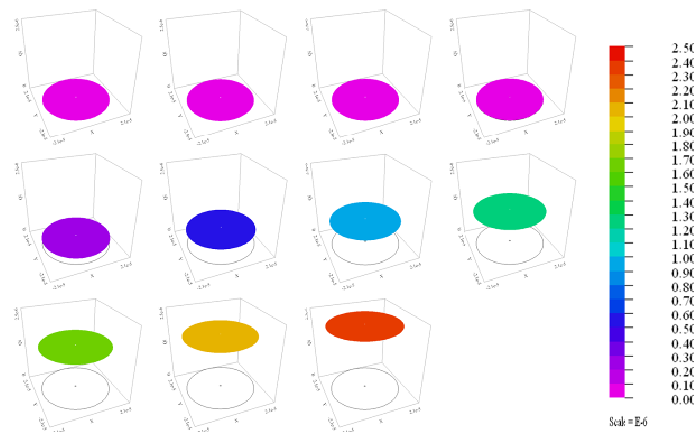


Figure III. 1 : Formation de la couche d'inversion pour Vg de 0 à 1.5V par pas de 0.15V.

De 0 à 0,45V, la tension de seuil n'est pas atteinte et la couche d'inversion n'est pas formée ; en revanche pour des tensions supérieures à la tension de seuil, la charge de la couche considérée augmente proportionnellement à C_{ox} , conformément à l'équation III-2 ; cette augmentation est représentée sur la figure III.2. Potentiel de Fermi et potentiel de surface sont définis aux équations III-3 et III-4.

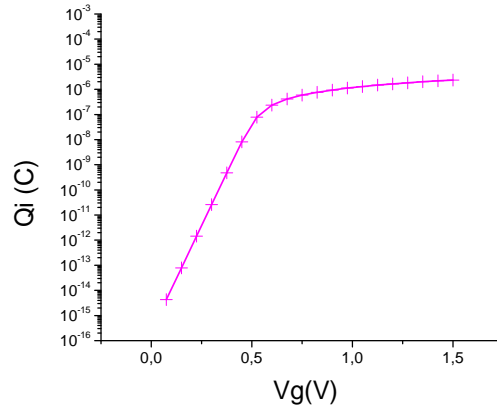


Figure III. 2 : Formation de la couche d'inversion par application d'une tension de grille.

$$\phi_f = kT * \ln\left(\frac{Na}{ni}\right) \quad \text{Equ. III- 3}$$

$$\phi_s = Vg - Vt - Vox + 2 * \phi_f \quad \text{Equ. III- 4}$$

a. Impact d'une fuite localisée sur la charge

Ajoutons ensuite un petit élément de surface dans ce plan représentant le point faible de l'oxyde ou weak spot, par lequel la fuite localisée a lieu, de diamètre 400nm. Le courant de fuite à travers ce chemin de conduction à travers l'oxyde est fixé à $1\mu A$, ce qui fixe les conditions aux limites autour de ce petit élément pour le calcul de la charge d'inversion avec l'équation de conduction III-5 ; la perturbation sur la charge est représentée figure III.3.

$$J_d = \mu * Q_i * grad(V) \quad \text{Equ. III- 5}$$

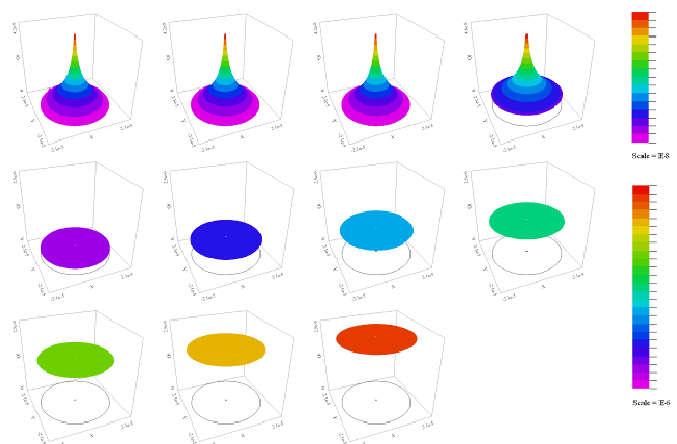


Figure III. 3 : Formation de la couche d'inversion pour Vg de 0 à 1.5V avec une fuite de $1\mu A$.

Pour des raisons de convergence dans cette configuration de simulation, il n'est pas possible de fixer des fuites trop grandes ; en effet une discontinuité trop importante aux limites du domaine simulé ne peut être rendue simplement ; en diminuant énormément le pas de calcul, il serait possible de faire ces simulations. Une autre alternative consisterait à diviser la simulation en deux, d'une part sous le seuil d'inversion et d'autre part au-dessus. Pour éviter ces problèmes, nous simulerons dans la suite de cette partie une intensité de fuite croissant pour une tension de grille supérieure au seuil. La figure III.4 montre que la fuite de $1\mu\text{A}$ est trop faible pour impacter la charge d'inversion à de fortes tensions de grille ; l'effet de cette fuite localisée n'est visible qu'au dessous du seuil d'inversion, sur la première ligne de la figure III.3. Cette différence d'ordre de grandeur est mieux visible sur la figure III. 4, où les situations avec et sans fuite sont représentées. La charge sous le seuil est très impactée par la présence de la fuite ; au dessus du seuil la différence est plus faible.

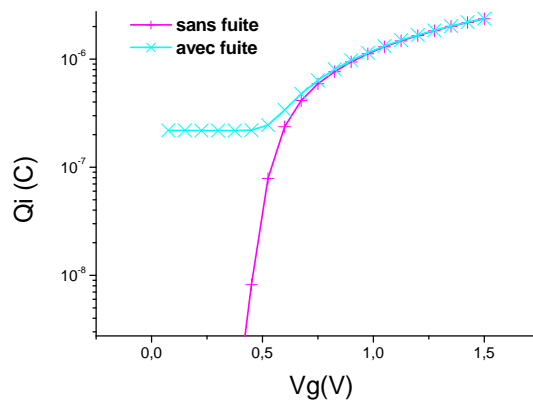


Figure III. 4 : Formation de la couche d'inversion par application d'une tension de grille, avec et sans fuite.

Comme illustré Figure III.3, charge et donc potentiel de la couche d'inversion sont impactés par cette fuite, pas seulement au niveau du chemin de conduction mais aussi tout autour en raison de la réorganisation de charges due à la fuite et décrite par l'équation III-5c ci-dessus ; cette idée quoiqu'avancée en 2004 par Cester [III-11] n'a pas été développée par la suite. L'extension spatiale de la fuite localisée dépend de l'intensité de cette dernière ; la figure III.5 représente l'évolution de la charge de la couche pour V_g nulle et pour une fuite de courant variant de $1\mu\text{A}$ à 1mA :

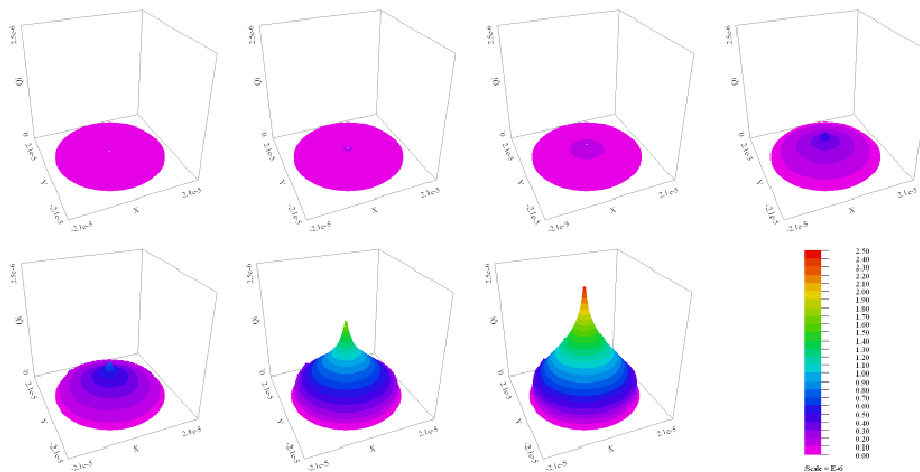


Figure III. 5 : Impact sur la charge pour une fuite augmentant de 1μ à 1mA à $V_g=1\text{V}$.

b. Impact d'une fuite localisée sur le potentiel

Suivant l'équation de conduction III-5 et les conditions de continuité, l'impact de la fuite localisée sur la charge est reporté sur le potentiel ; dans cette simulation la tension de grille est égale à 1V, ce qui a pour effet de translater les résultats obtenus à tension de grille nulle. L'intensité de la fuite prend successivement les valeurs 5E-5, 1E-4, 5E-4 et 1E-3 A :

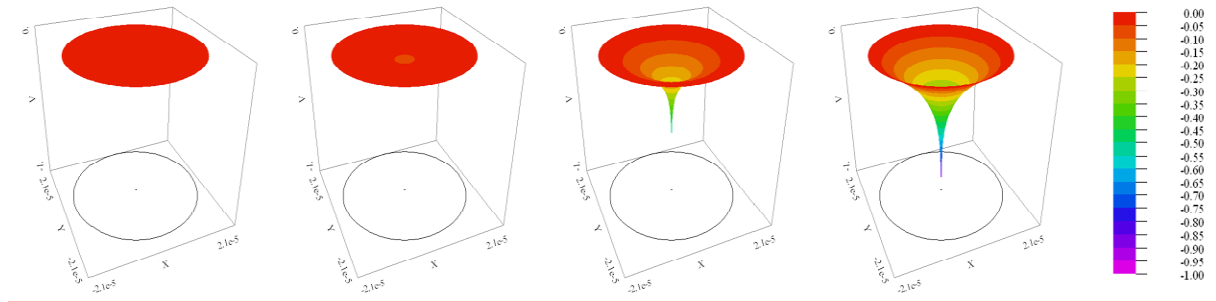


Figure III. 6 : Impact sur le potentiel d'une fuite croissante et localisée.

Ainsi on voit apparaître figure III.6 une baisse locale du potentiel électrostatique de la couche d'inversion centrée sur la fuite fixée représentant le weak spot. L'étendue de la zone impactée autour de la fuite augmente avec l'intensité de cette dernière. A cause de la fuite, cette zone est donc moins polarisée que le reste du canal. L'étendue de cette zone dépolarisée peut être mesurée en traçant le profil de dépolarisation de la couche simulée ; la simulation est la même que précédemment pour une fuite de 1e-5, 5e-5, 1e-4, 5e-4 et 1e-3 A :

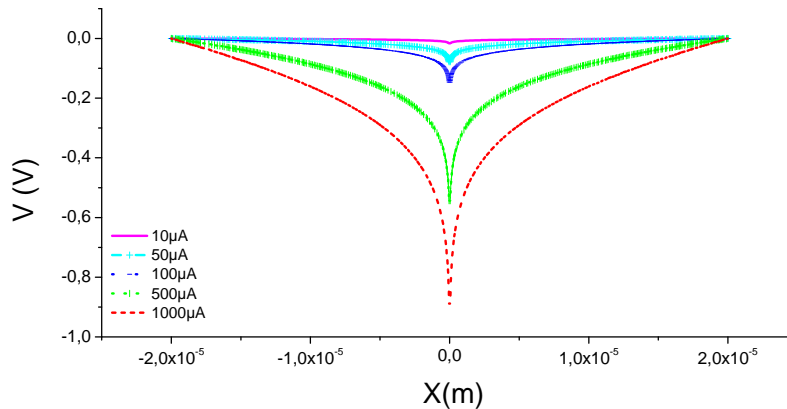


Figure III. 7 : Profils de dépolarisation pour une fuite croissante.

c. Rayon de dépolarisation

Lorsque cette dépolarisation est supérieure à la valeur de la tension de seuil, tout se passe comme si la zone dépolarisée n'était pas soumise à la tension de grille et donc la couche d'inversion n'est pas formée dans cette zone. L'extension de cette zone dépolarisée est extraite des simulations précédentes, avec les mêmes intensités de fuite et toujours une tension de grille de 1V et le rayon de la zone dépolarisée est tracé figure III.8 en fonction de l'intensité de la fuite :

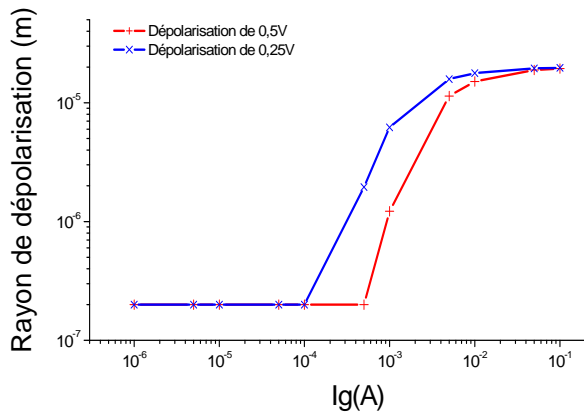


Figure III. 8 : Rayons de dépolarisation à plus de V_t (+) et à plus de $V_t/2$ (x) en fonction de l'intensité de la fuite avec $V_{tinitial}=0.5V$.

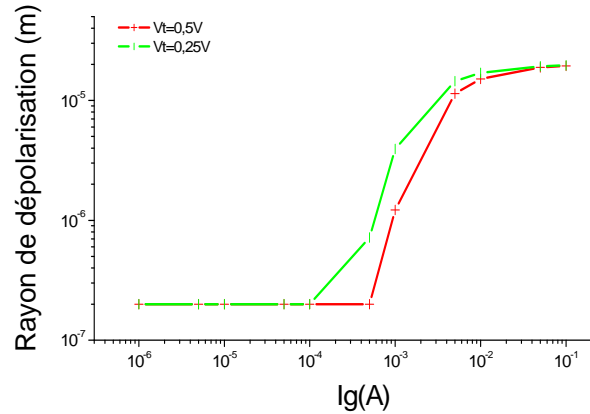


Figure III. 9 : Rayons de dépolarisation à plus de V_t pour $V_t=0.5(+)$ et $V_t=0.25(I)$ avec $V_{tinitial}=0.5V$.

Les amplitudes mesurées de fuite dues au claquage du diélectrique s'étendent sur plusieurs ordres de grandeurs, de 10^{-8} à 10^{-3} Ampères [III-3], le rayon de la zone dépolarisée autour de cette fuite va donc de la dimension du weak spot soit dans notre simulation de 400 nm à 400 μ m lorsque toute la zone simulée est dépolarisée. L'extension spatiale de la zone dépolarisée semble se déclencher à partir d'un seuil de fuite minimum, de $4 \cdot 10^{-4}$ A pour une dépolarisation égale à la tension de seuil et de 10^{-4} A pour une dépolarisation égale à la moitié de la tension de seuil. Lorsque la tension de seuil de la simulation est divisée par deux, soit $V_t=0.25$ V, le déclenchement de l'extension spatiale de la dépolarisation intervient pour une fuite plus faible qu'avec un seuil de 0.5 V, mesuré à 10^{-4} A sur la figure III.9.

Ces résultats sont à mettre en rapport avec les caractéristiques actuelles du canal des dispositifs ; les dispositifs nominaux de la technologie 45nm comportant un canal de 40nm de long et de 1 μ m de large, il faut considérer que la totalité de la longueur du canal peut être dépolarisée par le claquage de l'oxyde lorsque celui-ci est d'intensité suffisante. Curieusement cette notion de dépolarisation du canal n'a pas trouvé de grands échos dans la littérature scientifique, mentionnée par Shih en 2001 [III-12] et reprise par Cester et Kaczer en 2004 [III-11, 13] ; aucune étude systématique n'a été menée sur son influence propre sur l'impact du claquage, notamment en ce qui concerne les différents ratios d'aspect des canaux, et la mention de dépolarisation du canal elle-même n'est pas explicitée en détails ; cette notion est pourtant présente implicitement dans les modèles de claquage à contact par point quantique [III-14].

2 - Influence d'une fuite de courant sur la charge, le potentiel et la densité de courant de drain du canal d'un transistor MOS

Reprenons la simulation précédente dans une géométrie plus réaliste de transistor MOSFET, toujours en deux dimensions dans le plan d'interface entre oxyde et semi-conducteur. Les dimensions du dispositif considéré sont de 40 nm en longueur et 1 μ m en largeur, ce qui correspond aux dimensions des dispositifs sur lesquels nous effectuerons nos mesures ; afin d'illustrer l'impact de la fuite localisée sur le potentiel et la charge, un canal long de 1 μ m et large de 0.04 μ m. Il existe une autre raison à l'agrandissement des dimensions des dispositifs simulés, il y a des

problèmes de convergence dans les résolutions par éléments finis lorsque des discontinuités apparaissent dans les grandeurs physiques simulées. Ainsi dans notre cas une fuite localisée trop grande se traduit par une discontinuité de la charge, qui peut être trop grande pour que la résolution par éléments finis puisse converger. C'est déjà le cas dans la simulation de la figure III.13 : le pic de densité de charge est trop important pour être résolu directement, à moins de multiplier considérablement le nombre de mailles de calcul dans cette région, ce qui compromet aussi la convergence et allonge considérablement les calculs. Afin d'accélérer les résolutions de nos structures, nous utilisons une astuce de calcul, en limitant artificiellement les discontinuités de charge, comme on peut le voir au sommet du pic de densité de charge sur la figure III.13. L'erreur commise sur nos résolutions n'affecte que les simulations de grandes fuites et les temps de résolution sont considérablement raccourcis ; d'un facteur 30 pour cet exemple. De tels soucis de discontinuités apparaissent aussi dans la simulation du potentiel de dispositifs à canaux courts pour lesquels la tension entre source et drain est élevée pour une longueur de canal réduite. Rapidement, le nombre de mailles utilisé dans la résolution devient insuffisant pour rendre compte de l'augmentation très rapide du potentiel sur une très petite distance.

Pour simuler l'impact d'une fuite localisée, du type de celle provoquée par le claquage sur un dispositif MOS, il est nécessaire de tenir compte de plusieurs facteurs négligés en première approximation. Si les équations du courant de drain sont les mêmes que celles utilisées précédemment en III-5, les fuites de grille sont maintenant modélisées par correction de la charge d'inversion en considérant pour ces charges, une probabilité de traverser la barrière de potentiel de l'oxyde en formant ainsi un courant de grille de densité J_g . En première approximation, les fuites de grille sont uniformes sur toute la surface du canal ; ce courant tunnel est décrit dans l'approximation d'une barrière rectangulaire par les équations III-6, 7 et 8 :

$$J_g = \frac{Q_i}{\tau} \quad \text{Equ. III- 6}$$

$$\tau = \frac{e \left(\frac{T_{ox}}{\lambda} \right)}{f} \quad \text{Equ. III- 7}$$

$$\lambda = \frac{\hbar}{\sqrt{2m_{ox}q(\phi_b - \frac{V_{ox}}{2})}} \quad \text{Equ. III- 8}$$

T_{ox} représente l'épaisseur d'oxyde, τ le temps de passage de la barrière, λ la valeur énergétique de la barrière tunnel, calculée en fonction de la masse de l'électron dans l'oxyde m_{ox} , la charge q de l'électron, la hauteur de barrière Φ_b et le potentiel aux bornes de l'oxyde et finalement f est la fréquence d'impact. La fuite de courant de grille par effet tunnel pour une tension de drain nulle est uniforme sur toute la surface du canal, le potentiel du canal et la charge sont donc modifiés de manière symétrique puisque les potentiels de ces électrodes sont fixés à la masse comme présenté figure III.10.

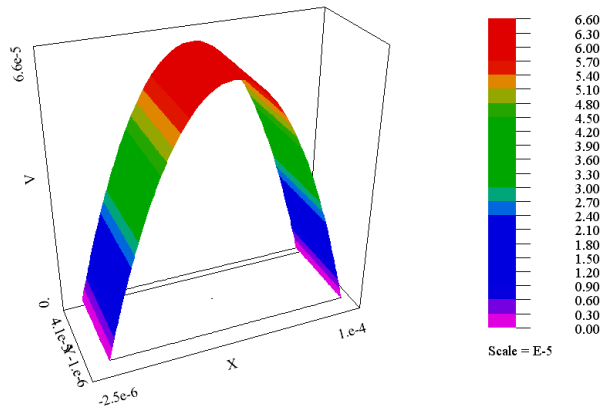


Figure III. 10 : Potentiel du canal (enV) dû à la fuite tunnel uniforme à tension de drain nulle pour un PMOS de $1\mu\text{m}$ de long sur 40nm de large.

La fuite due au claquage peut-être modélisée ici de différentes manières, sensiblement équivalentes : soit en définissant localement une épaisseur d'oxyde plus faible, ce qui augmente la fuite à l'endroit du chemin de conduction, conformément à l'équation III-7; soit en considérant une hauteur de barrière Φ_b réduite sous le weak spot ou encore en ajustant directement la transparence de la barrière tunnel, comme le décrivent la figure II.45 [III-15] et III.11. Les amplitudes de fuite peuvent ensuite être modulées soit en jouant sur les valeurs susmentionnées, soit en augmentant la surface sur laquelle s'appliquent ces modifications locales, ce qui correspond aux observations expérimentales du claquage du diélectrique décrites au paragraphe II-C.1-c. pour la réduction de l'épaisseur d'oxyde et a déjà été utilisée par le modèle de tunnel direct ou de contact par point quantique comme le décrivent les paragraphes II-C.4-a et II-C.4-d. Il est un peu artificiel de décorrélérer ainsi transparence de la barrière et étendue du chemin de conduction, en effet, les modèles par point quantique ont montré que ces deux paramètres étaient liés. Pour une simulation au plus proche de la réalité, il faudrait connaître exactement le rapport entre taille du spot de conduction et intensité de la fuite de courant par ce chemin. Malheureusement, si le modèle par point contact donne une première idée du rapport entre les deux aucune mesure n'a pu encore être effectuée, en raison de la précision limitée de la microscopie à force atomique. En effet il faudrait pouvoir discriminer en temps réel l'apparition du chemin de conduction et mesurer précisément sa croissance. Ces spots mesurent tout au plus quelques angströms au début du claquage et les microscopes à force atomique n'ont pas encore cette précision. En outre il faudrait effectuer la mesure sans dégrader l'oxyde, ce qui n'est pas faisable à ces échelles pour le moment.

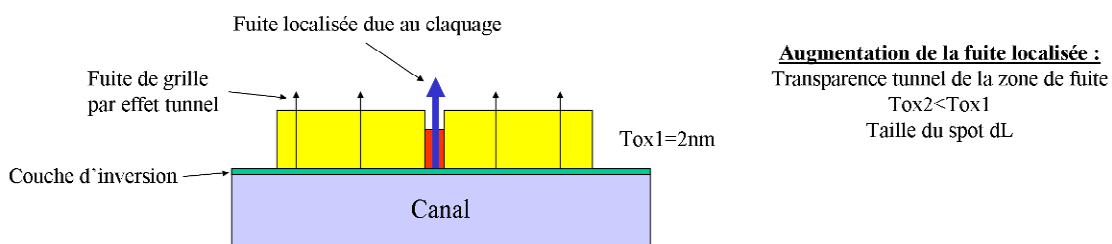


Figure III. 11 : Schéma de principe des simulations de claquage.

Dans les simulations suivantes, l'approche est différente des simulations du début de cette partie où la valeur du courant de fuite était fixée. Ici les paramètres sur lesquels on s'appuie pour rendre compte de l'augmentation locale de la fuite due au claquage

sont l'épaisseur de la barrière tunnel et la zone où cette épaisseur est diminuée. Pour une taille de chemin de conduction fixée, l'épaisseur de l'oxyde de grille est diminuée pas à pas. La correspondance entre courant de fuite dû au claquage et épaisseur d'oxyde est donnée par la courbe III.12, en fonction du rapport entre les épaisseurs d'oxyde de la zone claquée et de la zone sans claquage $Tox2/Tox1$:

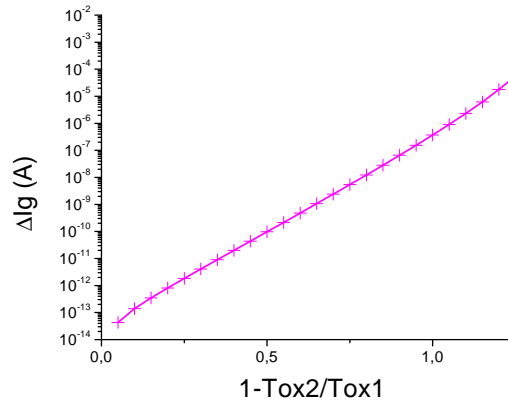


Figure III. 12 : Correspondance entre pas de simulation et courant de fuite dû au claquage.

a. Impact d'une fuite localisée sur la charge d'un canal MOSFET

Comme l'ont montré les simulations de la partie III-A-1 les charges dans le canal sont réorganisées par la fuite localisée et toute la zone autour du chemin de conduction dans l'oxyde est impactée par la fuite, à partir d'une valeur seuil. La figure III.13 représente une coupe le long du canal, à l'endroit où le chemin de conduction est simulé afin d'illustrer l'impact d'une fuite localisée sur la charge pour une faible fuite, où seule la zone sous la fuite est impactée puis pour une forte fuite où les charges sont réorganisées autour du chemin de conduction ; la charge pour une fuite tunnel uniforme est également représentée :

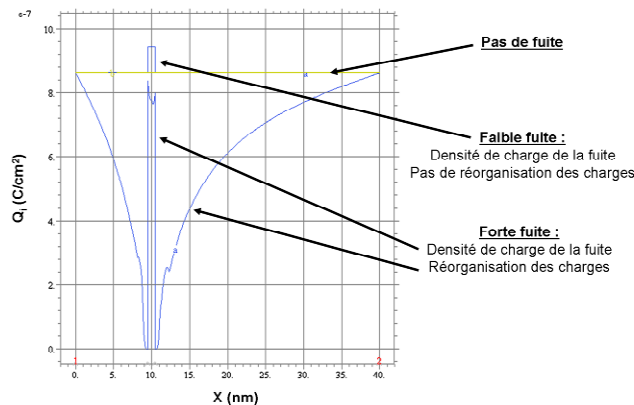


Figure III. 13 : Impact de fuites de différentes intensités sur la charge du canal MOS de 1µm de long sur 40nm de large.

L'impact de cette réorganisation de charges sur la couche d'inversion dépend donc de l'intensité de la fuite. Son extension spatiale est définie bien sûr par les dimensions du weak spot choisi pour la simulation mais également comme nous l'avons montré par l'intensité de la fuite. L'impact sur la charge est comparable à celui sur le potentiel ; pour une fuite de même taille et d'intensité croissante, le potentiel sera de plus en plus perturbé ; en terme d'intensité d'abord et ensuite à

partir d'un seuil de fuite, la perturbation s'étendra tout autour du chemin de conduction ; cet impact est illustré par les figures III.13 et III.14. La tension de drain est toujours nulle. Dans cette simulation, la transparence de la zone représentant le chemin de conduction dans l'oxyde est fixée à dix fois celle de l'oxyde vierge de dégradation. C'est ensuite la taille du chemin de conduction qui augmente pour simuler le claquage progressif. Des résultats identiques peuvent être obtenus en fixant cette fois la dimension du spot et en augmentant progressivement la transparence de la barrière.

b. Impact d'une fuite localisée sur le potentiel d'un canal MOSFET

Sur la figure III.14, pour une fuite tunnel nulle, le potentiel est progressivement impacté par la présence du chemin de conduction dans l'oxyde, d'abord assez uniformément, sur la première ligne puis un pic de potentiel apparaît à l'endroit de la fuite, en provoquant la dépolarisation de la zone alentour.

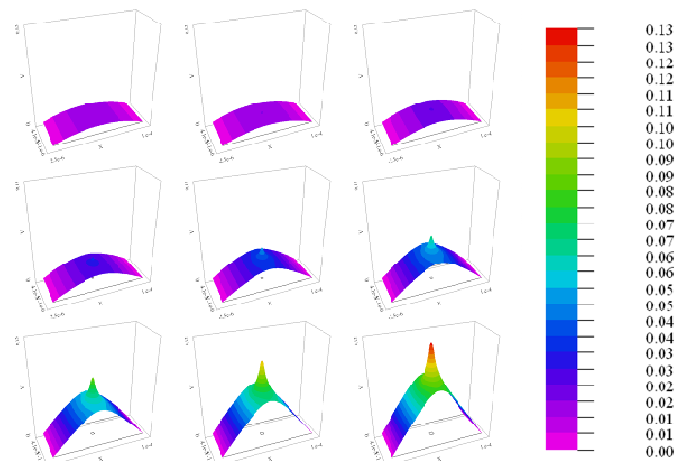


Figure III. 14 : Impact d'une fuite localisée à $V_d=0$ sur le potentiel (en V) du canal MOS de $1\mu\text{m}$ de long sur 40nm de large.

Pour les très faibles fuites, la déformation du potentiel est comparable à celle due à la fuite uniforme tunnel : le canal est impacté dans son ensemble et la déformation du potentiel due à la fuite est du même ordre que celle due au courant tunnel. Par contre pour des fuites localisées plus importantes, à partir de la deuxième ligne, apparaît un pic de potentiel dans la zone du chemin de conduction et aussi tout autour ; de plus en plus, avec l'augmentation de la fuite, la zone impactée s'étend autour du chemin de conduction et le potentiel du canal est globalement dépolarisé. Des résultats de simulations plus réalistes en termes de géométrie sont présentées figure III.15 afin de discriminer plus précisément les différentes zones de comportement en fonction de la fuite ; dans cette simulation, le canal mesure 40 nm de long et $1\ \mu\text{m}$ de large ce qui correspond au ratio d'aspect nominal pour le nœud technologique 45nm . Pour les fuites faibles, seule la zone directement en dessous du spot est faiblement impactée. Ces caractéristiques correspondent à des fuites inférieures à 2.10^{-11}A , ce n'est donc pas surprenant. Dès l'intensité de fuite supérieure à cette valeur, le potentiel du canal est impacté sur toute sa longueur, d'abord assez faiblement, n'augmentant que d'un demi ordre de grandeur, pour une fuite de 2.10^{-10}A puis de plus en plus fort jusqu'à augmenter de 6 ordres de grandeurs pour les fuites de l'ordre du μA , soit les deux courbes les plus hautes de la figure III.15.

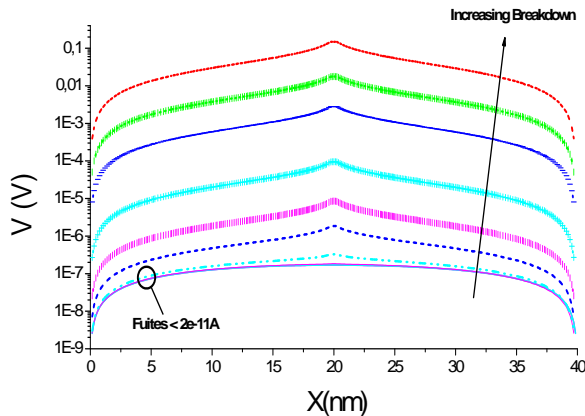


Figure III. 15 : Profils de potentiel lorsque la fuite localisée augmente pour un PMOS de dimensions nominale pour le nœud 45nm, soit 40nm de long sur 1 μ m de large.

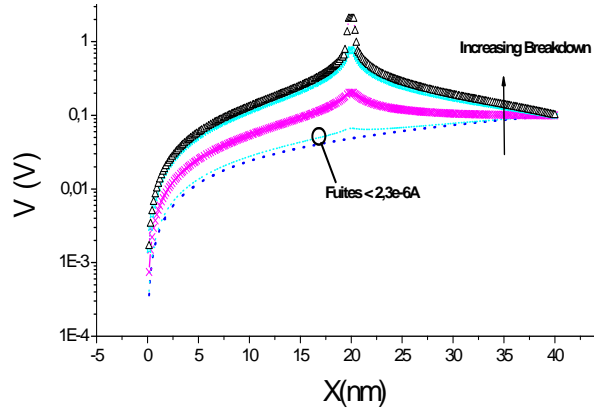


Figure III. 16 : Profils de potentiel pour une fuite croissante à $V_d=0.1V$.

Afin de comprendre l'impact d'une fuite localisée sur le fonctionnement des dispositifs, il est nécessaire d'étendre nos simulations à des potentiels de drain non nuls. Dans ce cas l'intensité de la fuite doit être plus importante pour dépolariiser le canal sur toute sa largeur. En effet, en raison du potentiel de drain, le courant de fuite est réduit par rapport à la configuration précédente. Pour des fuites suffisamment importantes toute la largeur du canal est dépolariisée, cependant cela intervient à partir d'une fuite de l'ordre de 10^{-6} A contre un ordre de grandeur de 10^{-11} A lorsque le potentiel de drain est à la masse.

Dans cette configuration, outre l'intensité supérieure de la fuite pour obtenir une dépolariisation de toute la largeur du canal, il faut remarquer le phénomène de saturation de la dépolariisation du canal ; en effet, pour les deux dernières fuites simulées, respectivement de 10 et 50 μ A, la dépolariisation globale du canal ne varie presque pas tandis que le pic de potentiel à l'emplacement de la fuite localisée continue d'augmenter significativement. Il est possible d'envisager une saturation de la dépolariisation du canal, une fois celui-ci complètement dépolariisé, à la suite de quoi, seule la zone directement sous le chemin de conduction continue de subir les effets de la fuite localisée.

c. Impact d'une fuite localisée sur la densité de courant d'un canal MOSFET

Puisque le potentiel du canal est impacté par la fuite localisée, les densités de courant mises en jeu par la formation de la couche d'inversion vont également varier sensiblement à cause de cette fuite. Cette évolution de la densité de courant illustre les mécanismes de conduction à l'œuvre dans les dispositifs lorsque la fuite de grille augmente localement : les densités de courant dues à la fuite tunnel présentent un gradient constant tandis que dès l'apparition de la fuite localisée, l'augmentation de la densité de courant de drain n'est plus régulière. La densité de courant due à la fuite par effet tunnel usuelle devient négligeable devant celle due au claquage. Rapidement toute la largeur du canal est impactée, à partir d'une fuite de plus de $4 \cdot 10^{-12}$ A. Par la suite, l'influence de la fuite sur le potentiel est telle que la densité de courant devient uniforme sur toute la surface du dispositif, à l'exception d'un pic au niveau et juste autour de la localisation de la fuite ; ceci intervient à partir de fuites de l'ordre de 10^{-9} A. L'extension spatiale de la perturbation de la densité de courant est

importante car elle permet d'évaluer aussi la conductivité du canal pendant la progression du claquage. Les figures III.17 et III.18 représentent la perturbation de la densité de courant pour différents niveaux de fuite.

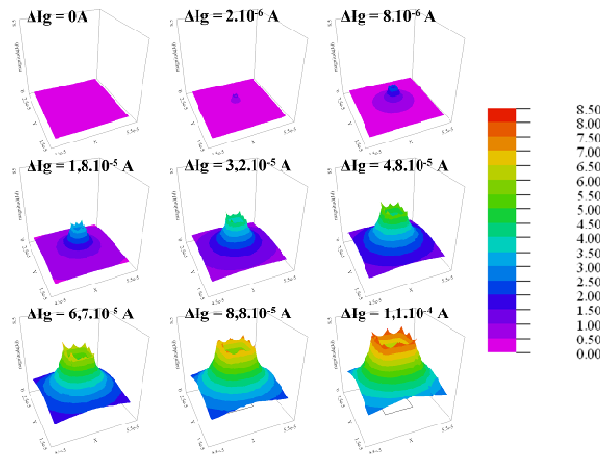


Figure III. 17 : Impact de la fuite localisée sur la densité de courant de drain ($A.cm^{-2}$), agrandissement de la zone du spot.

Puisque la conductivité du canal est réduite par la dépolarisation induite par la fuite localisée, le seuil de conduction de ce canal va augmenter afin de compenser cette dépolarisation. La tension de seuil du dispositif doit donc rendre compte de l'intensité du claquage en variant en fonction de l'intensité de la fuite localisée.

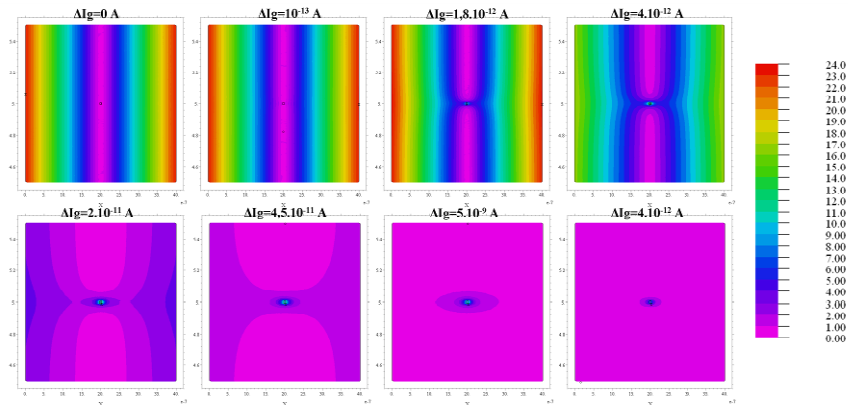


Figure III. 18 : Densité de courant ($A.cm^{-2}$) pour différentes fuites, agrandissement autour du weak spot.

3 - Influence de la dépolarisation sur la tension de seuil

La dépolarisation du canal par la fuite due au claquage, entraîne une perte de contrôle électrostatique de la grille sur les charges du canal. Ainsi une tension de grille plus importante est nécessaire pour polariser un dispositif claqué que pour un dispositif vierge. Cela se traduit par une augmentation progressive de la tension de seuil jusqu'à ce que l'oxyde perde totalement ses propriétés isolantes et qu'il ne soit plus possible du tout de polariser le canal et de former la couche d'inversion. Pour extraire les tensions de seuil, nous utilisons la méthode dite à courant fixé illustrée figure III.19, couramment utilisée dans la caractérisation industrielle de dispositifs, pour un courant de drain de 10^{-7} A. Il s'agit de fixer un courant de drain pour lequel le

dispositif est passant. Ce courant est proportionnel au ratio de la largeur du dispositif sur sa longueur, afin de se dégager des niveaux de courants différents dus aux dimensions du dispositif et d'avoir une condition valide quel que soit le dispositif.

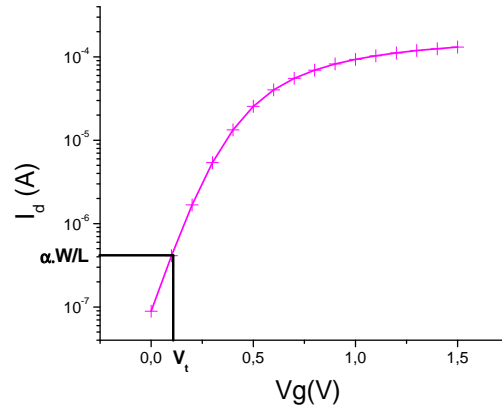


Figure III. 19 : Extraction de la tension de seuil à courant fixé pour une tension de drain de 0.1V.

Effectivement, un chemin de conduction dans l'oxyde induit une dérive de la tension de seuil, dépendant de l'intensité de la fuite. Cette augmentation de la tension de seuil ΔV_t est tracée sur la figure III-20 en fonction de l'intensité de la fuite due au claquage ΔI_g , la fuite de grille usuelle par effet tunnel est supprimée pour ne garder que la composante du courant de grille due au claquage. L'évolution de la tension de seuil présente principalement une dépendance logarithmique à l'intensité de la fuite due au claquage. De part et d'autre de cette évolution logarithmique, la dérive de la tension de seuil est d'abord très faible pour les petites fuites et saturée pour les grandes fuites ; ces caractéristiques sont interprétées conformément aux remarques précédentes comme étant, au début du claquage, une modification trop faible de la polarisation du canal pour que la tension de seuil soit impactée et en revanche à la fin du claquage comme une dépolarisation maximale du canal, provoquant une saturation de l'effet de dérive de la tension de seuil. En raison des grandes différences d'ordre de grandeur des fuites, il est difficile d'obtenir à la fois la déviation pour de faibles fuites et pour de fortes fuites. La courbe III.20 présente donc l'allure de l'évolution du seuil de tension, reconstitué à partir de plusieurs simulations.

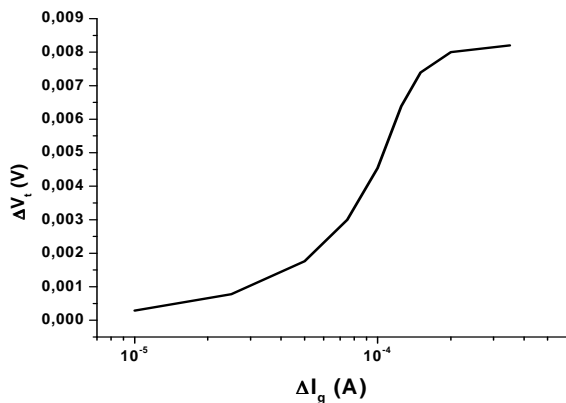


Figure III. 20 : Reconstitution de la déviation de la tension de seuil en fonction de l'intensité de la fuite localisée à $V_d=0.1V$ à partir de plusieurs simulations.

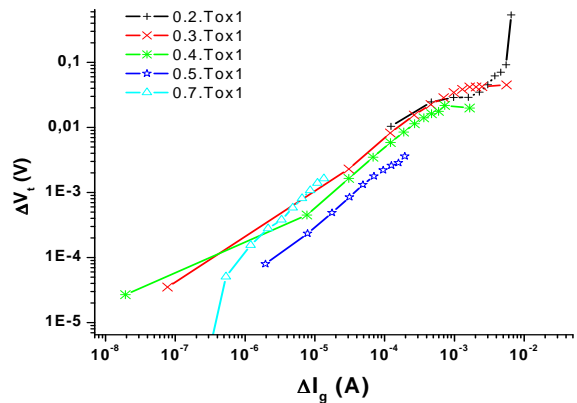


Figure III. 21 : Déviation de la tension de seuil pour différentes épaisseurs d'oxyde dans la zone du spot à une taille de spot fixée.

L'évolution de la tension de seuil en fonction de la fuite de grille dépend de la taille du chemin de conduction, de sa conductivité, et comme nous l'avons vu de la tension de drain. La figure III-21 présente les résultats de simulation obtenus pour une taille de chemin de conduction croissante de 0 à 200 nm pour différentes épaisseurs d'oxyde afin de simuler l'augmentation du courant de fuite. Cette simulation est effectuée pour différentes conductivités de spot en prenant une épaisseur d'oxyde à l'endroit de la fuite de plus en plus faible par rapport à l'épaisseur d'oxyde du transistor non dégradé. Le comportement de la tension de seuil au regard de ces différents paramètres peut varier de plusieurs ordres de grandeur : pour de faibles fuites, soit des épaisseurs d'oxyde sous la zone dégradée de 0.7 et 0.5 fois l'épaisseur nominale d'oxyde, la variation de la tension de seuil ne dépasse pas 0.005 V même pour des spots étendus, tandis qu'elle atteint au moins 0.02 V pour des épaisseurs d'oxyde de moins de 0.4 fois l'épaisseur nominale ; nos simulations rejoignent donc les observations de B.Kaczer [III-15]. En fonction des combinaisons de paramètres de simulation ; l'une ou l'autre partie de la courbe reconstituée figure III.20 est obtenue.

En adaptant la dimension du spot afin de se trouver toujours dans la zone de dépendance logarithmique entre évolution de la tension de seuil et intensité de la fuite, il est possible d'obtenir une simple translation et dilatation entre ces courbes ; pour cela l'épaisseur d'oxyde sous le spot est fixée successivement à 0, 0.25, 0.5, 0.75 fois l'épaisseur nominale puis la dimension du spot varie pour chaque épaisseur de 10 nm à 40 nm ; la largeur de ces spots est doublée par rapport aux simulations précédentes de la figure III-21 afin d'amplifier l'impact de l'augmentation de l'épaisseur de barrière.

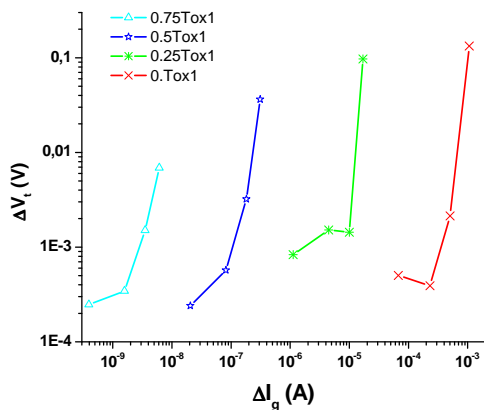


Figure III. 22 : Déviation de la tension de seuil pour différentes épaisseurs de spots à taille fixée.

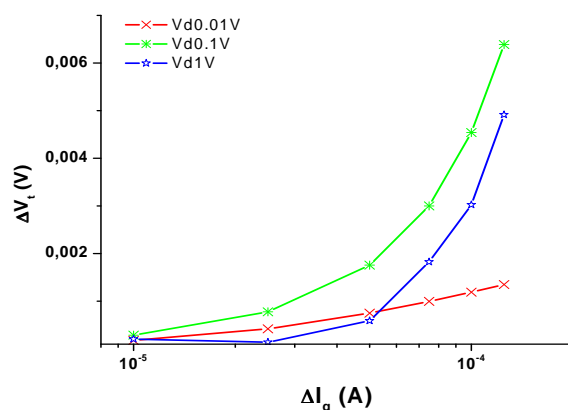


Figure III. 23 : Influence de la tension de drain sur la déviation de la tension de seuil.

Les plages de variation de la tension de seuil peuvent donc être adaptées en jouant sur les dimensions du spot et sur la hauteur de barrière d'oxyde dans cette zone. Pour un weak spot très conducteur, comme sur les courbes de droite de la figure III-22, la dépolarisation et donc la dérive de la tension de seuil est plus rapide, donc la pente est plus importante tandis que pour des chemins de conduction peu conductifs la dépolarisation est plus progressive. Physiquement, selon le modèle de contact par point quantique exposé dans le paragraphe II-C.4.d, il faut considérer que l'augmentation de la taille du chemin de conduction est corrélée avec l'augmentation de l'intensité de la fuite ; cependant dans notre modèle simplifié ces paramètres sont indépendants et peuvent donc servir pour ajuster facilement les comportements des dispositifs simulés avec les caractéristiques mesurées.

La dépendance en tension de drain de la variation de la tension de seuil, figure III.23, présentée rapidement pour l'impact de la fuite localisée sur le potentiel, semble provoquer le même type d'effets que ceux observés pour la variation des paramètres d'extension spatiale et de transparence du chemin de conduction ; pour de très faibles tensions de drain, la tension de seuil varie régulièrement sans présenter de phénomène de seuil. Pour des tensions de drain de plus de 0.1V, la fuite minimale avant modifiant la tension de seuil augmente avec la tension de drain. Pour une tension de drain de 0.1V cette fuite minimale se situe autour de $4.10^{-5}A$ et pour une tension de drain de 1V autour de $1.5.10^{-5}A$. à plus forte tension de drain la déviation de la tension de seuil est plus rapide. Il semble donc y avoir compétition entre la perturbation du potentiel induite par la fuite et le potentiel de drain pour récupérer les charges du canal. Pour une tension de drain faible ou nulle, une très petite fuite de grille suffit à modifier le potentiel du canal et donc la tension de seuil du dispositif. A forte tension de drain, une fuite plus élevée est nécessaire pour que le potentiel du canal commence à varier significativement. Cependant pour ces tensions de drain plus importantes, cette variation est plus « rapide ».

4 - Influence de la position du claquage sur la dérive de la tension de seuil

A tension de drain nulle les charges sont réparties de manière symétrique dans le canal mais dès lors qu'une tension de drain est appliquée, cette répartition devient asymétrique puisque les charges coté drain vont être attirées rapidement vers l'électrode de drain alors que du coté de la source elles subissent une attraction moins forte. Lorsqu'on ajoute une fuite localisée simulant le chemin de conduction dans l'oxyde, l'impact de cette fuite sur le potentiel du canal va donc dépendre de la position du weak spot le long du canal puisque la densité de charges dans le canal n'est pas symétrique et il y aura plus de charges disponibles pour la fuite à travers le chemin de conduction coté source que coté drain. Cela est illustré sur la figure III.24 représentant la distribution de charges le long du canal, sans spot, avec un spot coté source puis coté drain. Comme précédemment, la quantité de charges liée à la fuite est figurée par les pics de densité de charges. Effectivement le pic de densité de charges est bien plus important coté source que coté drain au voisinage duquel le potentiel de drain va attirer très fortement les charges jusqu'à lui, sans leur laisser le loisir d'emprunter le chemin de conduction. L'intensité du courant de fuite sera donc à paramètres de simulation égaux, plus élevée pour un chemin de conduction proche de la source pour des géométries étendues.

Sur ce même graphique on constate que l'effet de réorganisation des charges autour de la fuite locale est aussi beaucoup plus important coté source que coté drain. Il en est donc de même pour l'extension spatiale de la zone impactée par la dépolarisation du canal, plus étendue coté source, en raison du potentiel plus important coté drain. L'effet sur le potentiel du canal sera plus important pour un weak spot à proximité de la source. La dérive de la tension de seuil dépend donc de la position du claquage le long du canal ; ainsi la pente de la dérive de la tension de seuil en fonction de l'intensité de la fuite est plus importante pour un spot coté source car la dépolarisation s'étend plus aisément au fur et à mesure de l'augmentation de la fuite que du coté du drain. La dérive de la tension de seuil sature plus rapidement coté drain lorsque le peu de charges disponibles pour la fuite aura été réorganisé tandis

que les très nombreuses charges disponibles coté source permettent des dépolarisations plus importante et ainsi des dérives plus fortes de la tension de seuil.

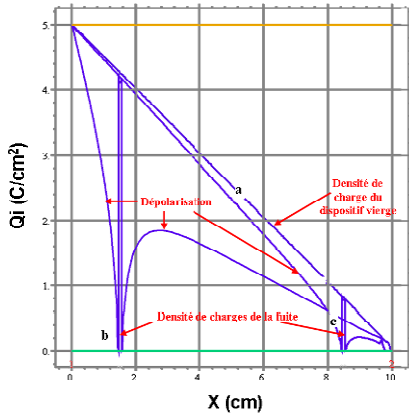


Figure III. 24 : Influence de la position du spot sur la densité de charges de la fuite et la dépolarisation pour un canal de 1µm de long sur 40nm de large.

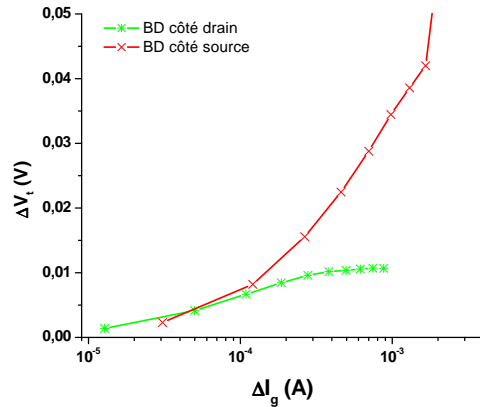


Figure III. 25 : Influence de la position du claquage sur la déviation de la tension de seuil.

Les courbes de la figure III.25 illustrent de manière originale les résultats obtenus par d'autres équipes [III-16, 17], notamment B.Kaczer [III-18] qui montre la corrélation entre intensité et position du claquage dans le canal. La partie suivante présentera la méthode utilisée pour détecter la position du spot et confirmera par simulation sa validité. Cependant ces observations ne sont pas généralisables simplement à toutes les géométries de canaux, elles vont dépendre du rapport entre les dynamiques d'extension de la dépolarisation et celle de l'évolution spatiale du potentiel, radicalement plus élevée pour des canaux courts que pour des canaux longs. Nous détaillerons III-C.3 l'influence de la géométrie du canal sur le claquage et la dépolarisation.

5 - Influence de la position du claquage sur la fuite de grille

a. Repères bibliographiques

Il a été observé que des types de claquages pouvaient être distingués qualitativement en examinant l'évolution des courants de drain et de source [III-12, 19]. Cela permettait de discriminer les claquages ayant lieu près de l'une ou l'autre des électrodes ou bien, si courants de source et de drain varient dans le même ordre de grandeur, le claquage devait être situé dans la zone centrale du dispositif. Degraeve [III-19] a ensuite mis au point un critère systématique en définissant :

$$A = \frac{I_d}{I_d + I_s}$$

Equ. III- 9

Il étudie ensuite figure III.26 l'impact de la tension de grille sur la distribution de ce facteur qui mesure la position du claquage et démontre la nécessité d'utiliser une tension de grille faible pour effectuer cette mesure. Les dispositifs utilisés présentaient une longueur de canal de 150 à 200 nm.

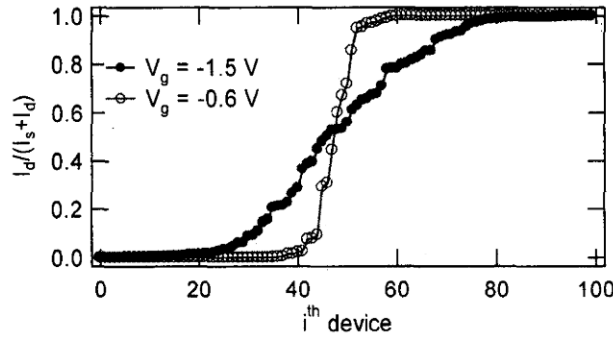


Figure III. 26 : Distribution du facteur A mesuré pour $V_g=-0.6$ et $V_g=-1.5$ [III-19].

Trois zones sont à distinguer lorsque $A=1$, la totalité du courant prélevé dans les électrodes provient de l'électrode de drain puisqu'alors I_s est négligeable et donc le claquage doit se situer dans cette zone ; en revanche lorsque I_s est très grand devant I_d , le facteur s'approche de zéro. Les points intermédiaires se situent dans le canal. En 2002 MM Kaczer, Degraeve et Groesenken [III-16] effectuent une démonstration expérimentale et par simulation de cette méthode pour déterminer la position du claquage, représentée figure III.27 et III.28. Cette méthode est donc validée pour étudier la position du claquage assez précisément.

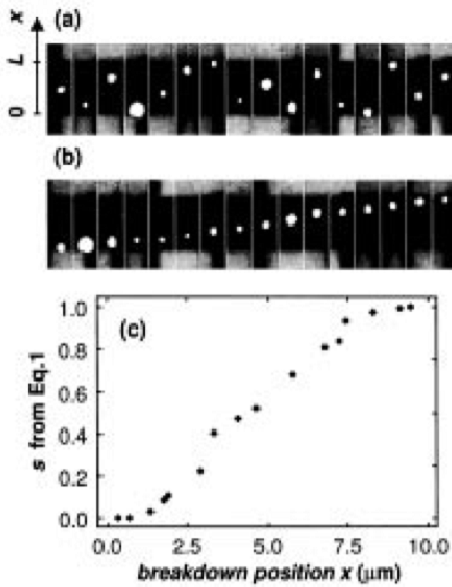


Figure III. 27 : Correspondance entre la position du claquage imagée grâce à la microscopie par émission (a) et (b) (triées) et la position du claquage mesurée par la technique du partitionnement (c) [III-16].

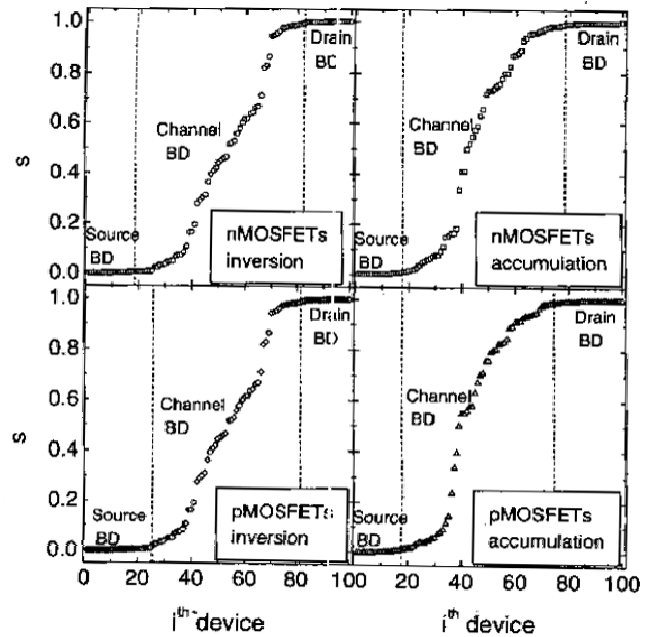


Figure III. 28 : Position du claquage dans les quatre configurations possibles [III-17].

L'année d'après F.Crupi [III-17] affine encore cette analyse en considérant le facteur de l'équation III-10. De cette manière, seule l'évolution des courants est considérée, ainsi le courant tunnel uniforme ne perturbe plus la mesure. En outre il est possible de discriminer l'influence propre du claquage sans prendre en compte la distribution d'autres défauts de charges à l'interface de l'oxyde. La mesure de la position du claquage est donc plus précise. Il distingue bien trois zones de claquage, en fonction de la probabilité d'occurrence. Tandis que les zones autour des électrodes de drain et de source, en particulier dans les zones de recouvrement de la grille et des zones dopées des électrodes (overlaps), présente des probabilités d'occurrence fixées, la zone centrale du canal présente une probabilité d'occurrence uniforme. Finalement il

aboutit en 2005 à un modèle complet de la détermination de la position du spot [III-20] en considérant les électrodes reliées par des résistances en série comme illustré figure III.29. Le chemin de conduction est donc considéré comme une résistance. Le rapport des résistances équivaut en inversion au rapport des courants, équations III-10 et III-11, et finalement au rapport des longueurs entre longueur de canal et distance du point de claquage à l'une ou l'autre des électrodes.

$$s = \frac{\Delta I_d}{\Delta I_d + \Delta I_s} \quad \text{Equ. III- 10}$$

$$s_{d,s} = \frac{\Delta I_{d,s}}{\Delta I_d + \Delta I_s} = \frac{R_{d,s}}{R_d + R_s} = \frac{L_{d,s}}{L} \quad \text{Equ. III- 11}$$

Grâce à la figure III.30, K.L. Pey démontre brillamment la correspondance entre intensité et position du claquage [III-21] et formalise la distinction entre les trois types de dynamique de claquage en utilisant la méthode du partitionnement avec une notation particulière qui échelonne les positions sans distinguer les électrodes l'une de l'autre pour des raisons de symétries à tension de drain nulle, en ramenant le coefficient de partitionnement de 0 à 0.5L, 0 correspondant à un BD proche situé sur les électrodes et 0.5 à une occurrence du claquage au centre du canal :

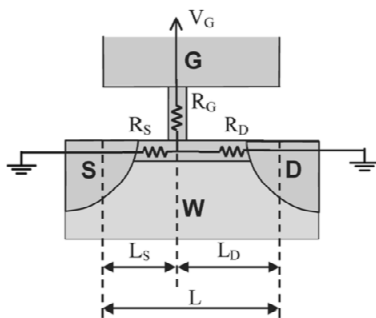


Figure III. 29 : Résistances équivalentes au canal et au chemin de conduction avec le rapport des longueurs correspondant [III-20].

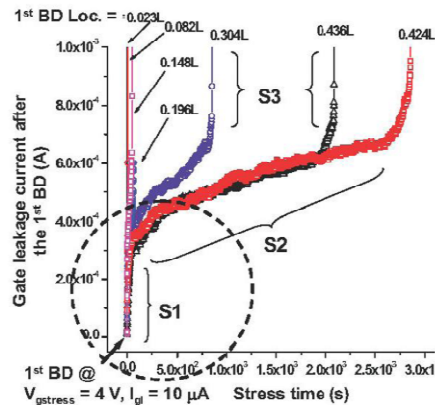


Figure III. 30 : discrimination de trois dynamiques de claquage en fonction de leur position, S1 représente la première occurrence du claquage tandis que S2 présente la progressivité plus importante avant de passer au mode de dégradation S3 qui correspond à un claquage hard [III-21].

Ces résultats montrent que les BD situés dans la zone centrale du canal présentent une progressivité plus importante S2 que ceux près des électrodes qui passent sans transition d'une dynamique de claquage S1 à une dynamique de type S3 décrivant un claquage hard sans progressivité. Cependant il faut remarquer qu'aucune étude ne considère l'évolution de la position mesurée du claquage. Autrement dit la classification est faite à partir de la position de la première occurrence du claquage seulement. De plus les surfaces mises en jeu sont très supérieures à celle des dispositifs utilisés commercialement, les plus petits dispositifs mesurent 0.5 par 0.6 μm de long ; ces études sont donc plus fondamentales qu'appliquées aux dispositifs actuels. Pey complète ses travaux en réitérant ses mesures pour différentes surfaces de dispositifs, décrivant ainsi l'évolution des dynamiques de claquage avec la longueur et la largeur des canaux.

b. Méthode d'étude du partage des courants

Avec une étude des coefficients de répartition des courants, une image de la position du chemin de conduction le long du canal est obtenue ; nous tenons compte cette fois de la fuite uniforme par effet tunnel. Nous vérifions cette relation par simulation ; les figures III.31 à 33 montrent pour une tension de drain nulle l'évolution des coefficients de partitionnement α en fonction de l'intensité de la fuite ΔI_g :

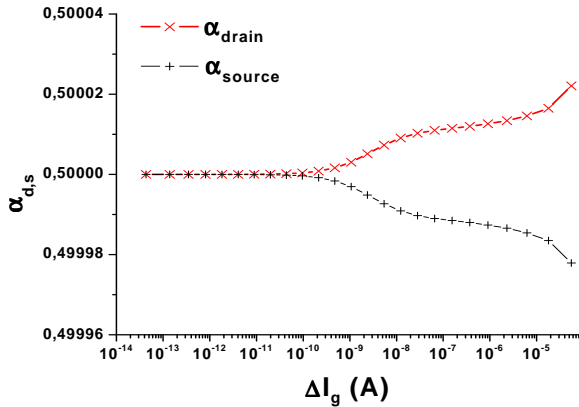


Figure III. 31 : Coefficients de partitionnement du courant, respectivement de source et drain, en fonction de l'intensité de la fuite.

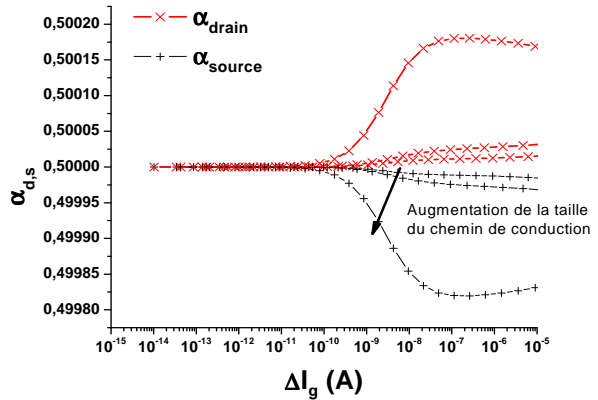


Figure III. 32 : Artefact de simulation dû à l'extension spatiale du weak spot.

Les coefficients de partitionnement sont bien égaux à 0,5 pour un chemin de conduction au centre du canal ; l'écart de $2 \cdot 10^{-5}$ observé sur les figures III.31 est provoqué par l'étalement spatial du spot ; en effet pour un spot deux fois plus grand on obtient des divergences plus importantes tandis qu'avec un spot de taille réduite de moitié la divergence avec le résultat attendu est plus faible, ce qui est présenté sur la figure III.32. Quoiqu'il en soit pour la taille de spot simulée usuellement l'erreur ne représente que 0.004% par rapport à la théorie.

La figure III.33 présente les résultats obtenus pour une simulation d'un chemin de conduction situé au quart du canal ; il faut d'abord remarquer que le coefficient attendu en théorie n'est atteint que à partir d'une intensité de fuite de l'ordre de 10^{-7} A ; pour des fuites plus faibles, le courant de fuite de grille est dû majoritairement à la fuite par effet tunnel distribuée uniformément sur toute la surface du canal et donc le coefficient de partitionnement est égal à 0.5 puisque en l'absence de polarisation de drain, la moitié de la fuite tunnel usuelle provient de la source et la moitié du drain. Pour des intensités plus importantes, le coefficient $\alpha_{d,s}$ sont bien égaux respectivement à 0.25 et 0.75, puisque la fuite tunnel usuelle devient négligeable et la géométrie de la fuite détermine les valeurs des coefficients de partitionnement ; pour un chemin de conduction au quart du canal, le courant de fuite provient aux trois quart de l'électrode de source et au quart de l'électrode de drain. Pour un spot aux trois quart du canal, les résultats seront inversés entre source et drain. La simulation permet donc bien de retrouver les résultats expérimentaux obtenus par B. Kaczer [III-16] concernant l'influence de la position du claquage sur les coefficients de partitionnement et sur l'impact du claquage. Sans surprise nous retrouvons figure III.34 les densités de charge associées aux deux configurations étudiées, un spot au quart puis un spot aux trois quart du canal.

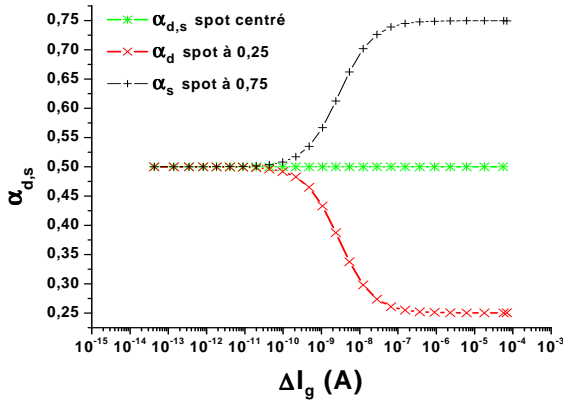


Figure III. 33 : Coefficients de partitionnement pour un spot au quart du canal.

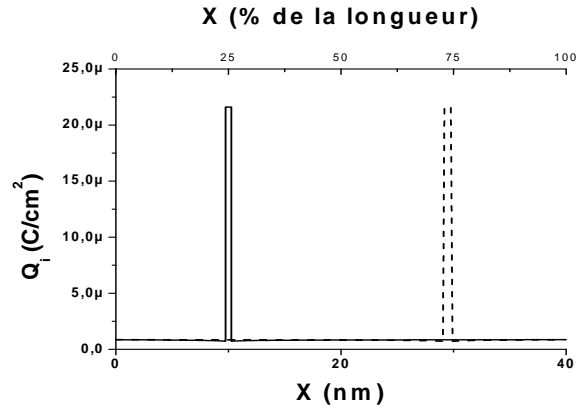


Figure III. 34 : Densités de charge pour des chemins de conduction respectivement au quart du canal et aux trois quart du canal en pointillé.

Pour une tension de drain nulle, le potentiel dans le canal est symétrique, la fuite obtenue en plaçant un chemin de conduction dans le canal sera exactement la même pour une position symétrique par rapport au centre du canal. Cependant l'intensité de la fuite ne sera pas la même pour toute position du spot dans le canal car le potentiel du canal est parabolique en raison des fuites tunnel uniformes sur tout le canal. La fuite due au changement de potentiel dans la zone considérée comme chemin de conduction va s'ajouter à la fuite tunnel déjà existante ; comme celle-ci est très faible devant les intensités de fuite mises en jeu dans le claquage de l'oxyde, les courants de fuite pour une tension de drain nulle seront pratiquement les mêmes quelle que soit la position du spot ; c'est ce que présente la figure III.35, où les courbes sont confondues pour différentes positions de spot dans le canal ; la présence de deux spots double simplement la fuite.

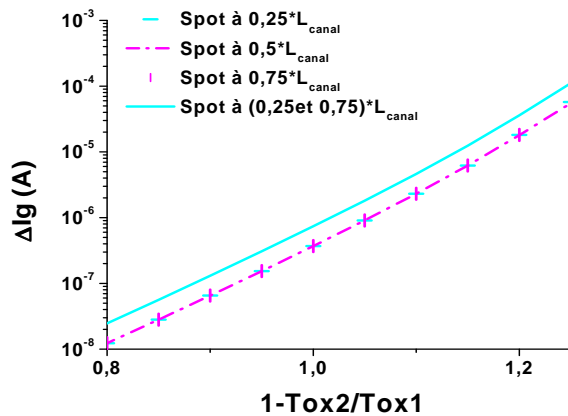


Figure III. 35 : Intensité des fuites dues au claquage pour différentes positions dans le canal à $V_d=0V$.

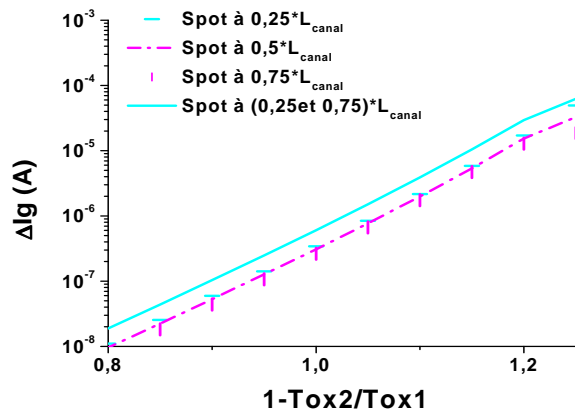


Figure III. 36 : Intensité des fuites dues au claquage pour différentes positions dans le canal à $V_d=1V$.

En revanche, comme évoqué précédemment, la polarisation de l'électrode de drain rend dissymétriques le potentiel et la charge dans le canal ; subséquemment les intensités de fuite vont être variables en fonction de la position du claquage dans le canal, de plus en plus faibles à mesure que le chemin de conduction est proche du drain ; les variations de courant de grille sont présentées pour différentes positions dans le canal, à tension de drain nulle figure III.35 et à tension de drain de 1V sur la figure III.36. Les résultats concordent avec nos observations relatives à la dérive de la tension de seuil en fonction de la position du chemin de conduction dans le canal.

En effet, la densité de charge étant plus importante coté source que coté drain dans cette configuration de polarisation, les fuites seront d'autant plus importantes que le chemin de conduction est proche de la source.

La figure III. 37 décrit l'effet sur le partitionnement des courants de la présence de deux spots dans le canal respectivement situés à 0.25 et 0.75 % du canal ; dès la plus faible intensité de fuite, le partitionnement des courants dans le cas de deux spots symétriques par rapport au centre du canal pour une tension de drain nulle se ramène au cas d'un seul spot centré ; l'intensité de la fuite est simplement doublée ; l'erreur due aux dimensions des spots est visible pour les fortes fuites. Dans ce cas le coefficient de partitionnement ne fournit pas d'information sur la position des chemins de conduction mais sur la position du barycentre de ces spots, pondérés par leurs intensités : pour un spot dix fois plus conducteur du coté du drain cette méthode indique figure III.38 que la majorité du courant de fuite provient du drain.

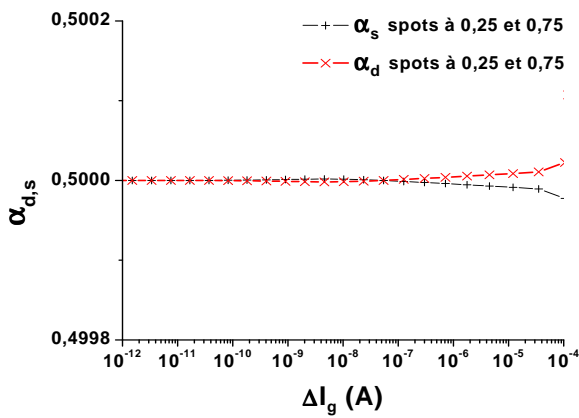


Figure III. 37 : Coefficients de partitionnement du courant pour deux spots symétriques à $V_d=0V$.

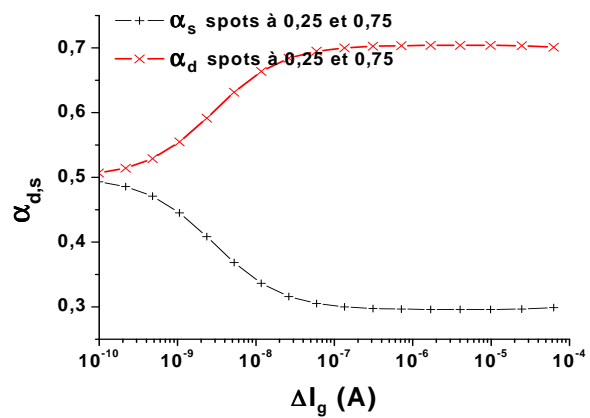


Figure III. 38 : Coefficients de partitionnement du courant pour deux spots dissymétriques à $V_d=0V$.

Avec deux spots identiques de part et d'autre et une polarisation de drain de 1V, le partitionnement du courant figure III.39 correspond à une combinaison complexe tenant compte de l'intensité des fuites, de la position des spots et des charges disponibles et de la polarisation locale. Pour ce potentiel de drain, la majorité du courant de fuite, 70% à partir d'une fuite de $10^{-6}A$, provient de l'électrode de source, toujours en raison de la dissymétrie de la densité de charges.

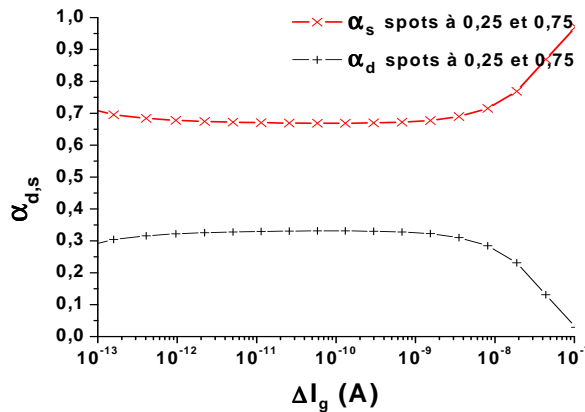


Figure III. 39 : Coefficients de partitionnement du courant pour deux spots symétriques à $V_d=1V$.

c. Critiques de ce modèle

Ce premier modèle du claquage permet déjà une très bonne analyse de l'impact du claquage sur le dispositif ; il présente toutefois plusieurs limites et imperfections : les problèmes de discontinuités du potentiel du canal autour du chemin de conduction pour des fuites trop importantes et le même problème pour des potentiels de drain trop élevés. Il est toujours possible de corriger ces inconvénients en limitant ce saut de potentiel mais en contrepartie la conservation des courants est affectée et donc il faut la réimposer dans notre système d'équations. Finalement les valeurs des courants et donc des coefficients de partitionnement des courants ne sont pas fiables dans toutes les configurations de claquage et il convient de vérifier leur validité au cas par cas ce qui n'est pas ergonomique. Une solution alternative à ce problème serait d'augmenter fortement le nombre de mailles de calcul dans les zones de saut de potentiel, mais comme mentionné précédemment, cela allonge considérablement les temps de calcul, même dans les cas où ce grand nombre de mailles n'est pas utile.

6 - Extension de l'approche utilisée à un modèle de MOS complet

Jusqu'ici un modèle simplifié du dispositif en deux dimensions a été utilisé, il convient maintenant de transposer cette étude à un modèle de transistor complet afin d'en étendre le sens physique et de préparer sa portabilité vers des modèles de niveau circuit. Nous utilisons le logiciel Atlas de Silvaco qui propose une vaste gamme de modules de simulation permettant de rendre compte de plusieurs niveaux de complexité des mécanismes physiques mis en œuvre. Nous commencerons par un modèle en deux dimensions, cette fois dans le plan perpendiculaire au plan de l'oxyde avant de l'étendre à un modèle en trois dimensions. Ce logiciel de simulation comporte de nombreux modules d'équations permettant une description fidèle du comportement des dispositifs ; la résolution des structures étudiées est basée sur les équations classiques de la physique des semi-conducteurs, c'est-à-dire l'équation de poisson, la continuité de la densité de charge, le transport des charges et la distribution statistique des charges. Les modules à prendre en compte dépendent du dispositif étudié et du niveau de modélisation. Nous ne précisons pas ici toutes les équations utilisées mais en donnerons les références en majuscules ; elles sont détaillées complètement dans la documentation Silvaco [III-22].

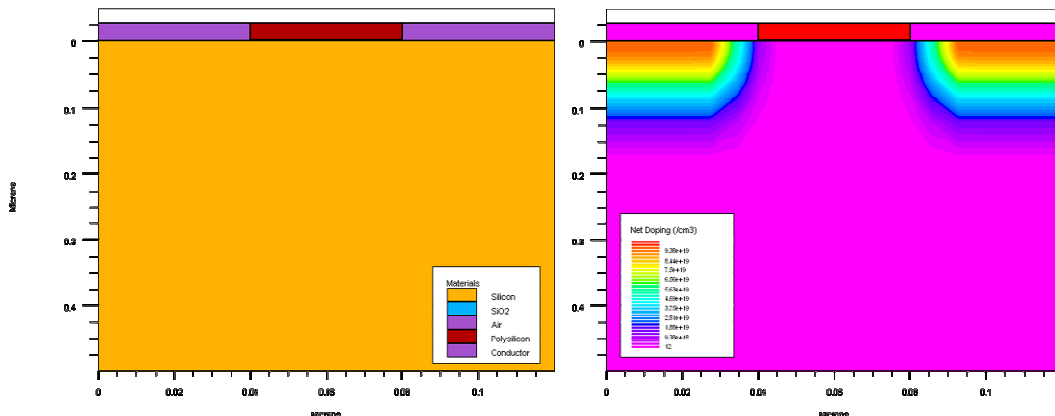


Figure III. 40 : Modèle de transistor MOS utilisé et dopage de cette structure de 40nm de long.

Nous utilisons les modules de base de la résolution des structures MOS, c'est-à-dire le modèle de mobilité CVT tenant compte du champ électrique transverse, du dopage et de la température [III-23] ; la statistique de distribution énergétique des porteurs de Fermi ; le modèle de recombinaison Shockley-Read-Hall (SRH) qui simule les fuites dues à la génération thermique ; le modèle NEARFLG, permettant de rendre compte précisément de l'influence du point d'injection des charges dans les mécanismes de fuite à travers l'oxyde et finalement le modèle de Fowler-Nordheim pour simuler les fuites tunnel (FOWLER), défini en fonction du champ électrique E dans l'oxyde et des paramètres A et B :

$$J = A.E^2 . e^{\left(\frac{-B}{E}\right)}$$

Equ. III- 12

Ce modèle de fuite n'est pas en toute rigueur adapté aux oxydes minces, il faudrait lui préférer des modèles de tunnel direct ou assisté par pièges, cependant ces deux derniers modèles comportaient encore plusieurs erreurs de programmation lorsque nous les avons utilisés ; notamment pour une utilisation dans une structure à trois dimensions. Certaines de ces erreurs ont pu être corrigées suite à nos échanges avec Silvaco cependant nous sommes restés sur ce type de modèle plus simple et suffisant pour modéliser la fuite de courant au dessus de la tension de seuil du transistor.

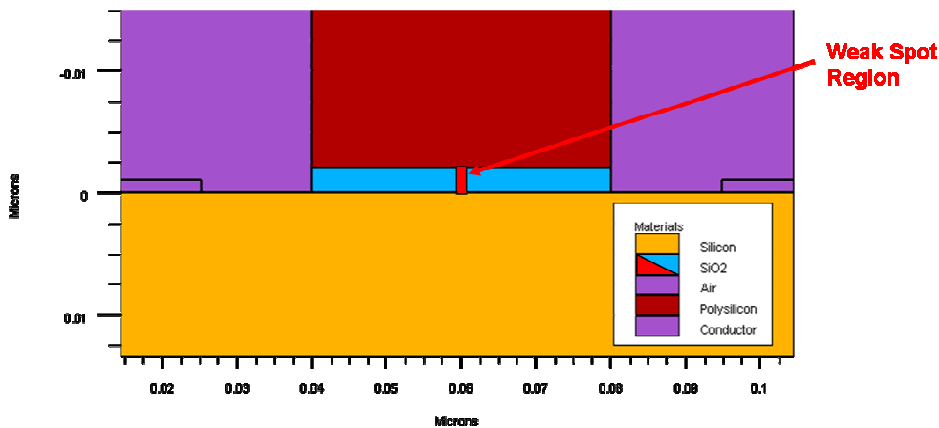


Figure III. 41 : Modèle du chemin de conduction de 1nm de large.

Le weak spot ou chemin de conduction peut être modélisé comme précédemment, soit par une réduction de l'épaisseur d'oxyde, en utilisant les dimensions du spot comme paramètre d'ajustement aux données expérimentales. L'augmentation de la fuite sera simulée par les paramètres du module d'équations Fowler-Nordheim. En effet la modification de la géométrie du chemin de conduction pour simuler sa formation et l'accroissement de sa conductivité posent quelques difficultés de programmation puisqu'il serait alors nécessaire de générer une structure différente et d'ajuster le maillage de calcul à chaque itération. Encore une fois pour une description fidèle de la formation du weak-spot il faudrait considérer à la fois une réduction locale de l'épaisseur de l'oxyde, un accroissement progressif de la taille du chemin de conduction et une augmentation locale du courant de fuite tunnel combinant tunnel direct, Fowler-Nordheim et conduction assistée par pièges, selon la phénoménologie la plus fidèle de formation du spot décrite par Miranda et connue sous le nom de contact par point quantique [III-10, 24]. La hauteur de barrière de l'oxyde de grille est paramétrée de manière à rendre compte des mesures de courant de fuite effectuées sur des dispositifs vierges ; dans cette zone une sous région est

définie dans le même matériau, pour laquelle nous définissons successivement des paramètres de courant tunnel plus élevé afin de rendre compte de l'augmentation du courant de grille due aux claquages successifs.

En trois dimensions la résolution de structures est beaucoup plus coûteuse en ressources aussi nous l'éviterons dès que possible ; son principal intérêt réside dans la possibilité de former plusieurs chemins de conduction dans l'épaisseur du dispositif. Toutefois cet intérêt est limité puisque du point de vue de l'intensité de courant de fuite il n'y a aucune différence entre un seul chemin de conduction très conducteur et plusieurs chemins de conduction peu conductifs ; du point de vue de la dépolarisation du canal, les différences entre simulation deux ou trois dimensions sont également minimales puisque la largeur des dispositifs sera de toute façon très grande devant l'étendue de la dépolarisation induite.

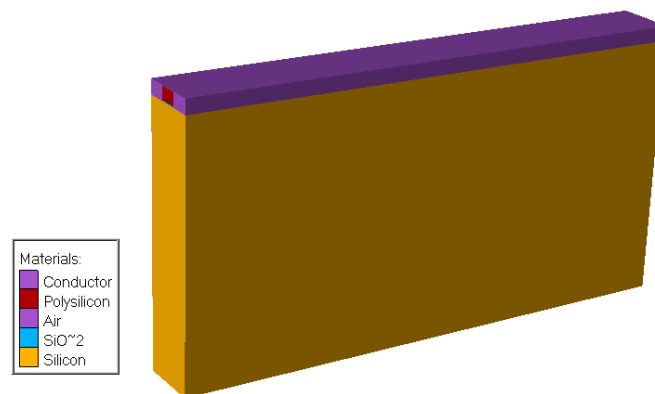


Figure III. 42 : Structure à trois dimensions, les dimensions du spot sont les mêmes que pour le modèle 2D, sa largeur permet d'ajuster le niveau de fuite.

a. Impact du claquage sur le potentiel et sur la charge du canal

De la même manière que précédemment, l'impact sur le potentiel et la charge du canal dépend de l'intensité de la fuite, modulée par l'abaissement de la barrière ou de l'épaisseur d'oxyde ainsi que par les dimensions du chemin de conduction. Sur le modèle en deux dimensions les ordres de grandeur des paramètres de la fuite peuvent être faussés par rapport au modèle en trois dimensions ; en effet en deux dimensions tout se passe comme si le weak spot s'étendait sur toute la largeur du dispositif tandis qu'en réalité les dimensions du chemin de conduction sont bien inférieures à la largeur du canal. Ce premier modèle donne seulement des indications qualitatives sur le comportement du transistor claqué, pour obtenir des informations plus quantitatives sur la conduction à travers l'oxyde, il faudrait considérer un modèle en trois dimensions respectant fidèlement l'architecture de dispositifs caractérisés mais ces informations sont confidentielles et nous n'y avons pas accès.

En deux dimensions nous extrayons le potentiel le long du canal, à l'interface entre oxyde et semi-conducteur de façon à se placer au niveau de la couche d'inversion. Ce potentiel, représenté figure III.43 nous sert de référence. Nous pouvons maintenant évaluer sur la figure III.44 la différence entre le potentiel d'un dispositif vierge et ceux des dispositifs reproduisant le courant de fuite des claquages successifs. Comme pour le modèle simplifié sous Flex PDE, le potentiel est ici

impacté non seulement sous la zone correspondant au chemin de conduction, d'une largeur de 10 nm dans ces simulations mais aussi tout autour ; dès le premier claquage toute la largeur du canal est dépolarisée.

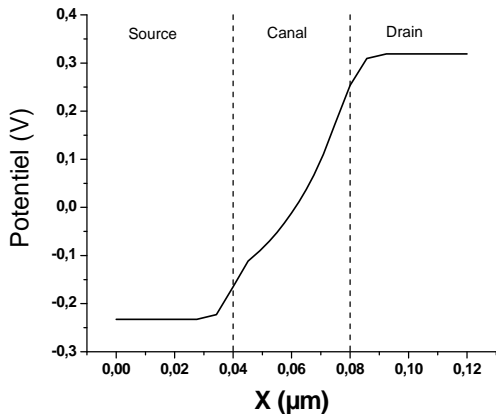


Figure III. 43 : Potentiel 2D à l'interface entre oxyde et canal pour un dispositif vierge à $V_d=0.5$ V.

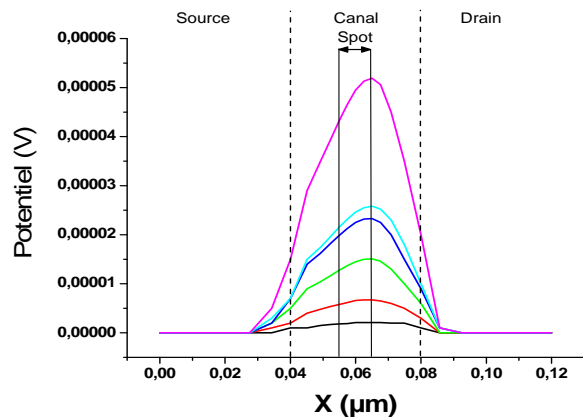


Figure III. 44 : Impact de la fuite localisée sur le potentiel pour des claquages successifs, en 2D.

Les paramètres du modèle de courant de grille Fowler-Nordheim rendant compte des intensités de fuite mesurées sont données dans le tableau III.46. Les courants de fuite correspondants à ces paramètres sont présentés figure III.50. Ainsi même en considérant des modèles physiques plus complets, les effets du claquage décrits par le modèle simplifié restent valides en principe. Nous remarquons toutefois que les ordres de grandeur de la chute de potentiel ne sont pas respectés par rapport aux simulations par éléments finis sous le logiciel FlexPDE dans le plan d'interface entre canal et oxyde ; comme nous l'avons mentionné, ce plan de simulation en deux dimensions équivaut à un spot s'étendant sur toute la largeur du canal ; la fuite est donc surdimensionnée par rapport à la dépolarisation.

	A / ($1.82e^{-7}$)	B / ($1.9e^{-8}$)
Dispositif vierge	0.00001	0.08
BD n°1	0.0001	0.08
BD n°2	0.0005	0.1
BD n°3	0.0005	0.07
BD n°4	0.001	0.08
BD n°5	0.0005	0.05
BD n°6	0.001	0.05

Figure III. 45 : Paramètres de simulation des fuites successives.

Pour un modèle à trois dimensions, les résultats sont représentés sur la figure III.46. Les ordres de grandeur se rapprochent de ceux observés dans le simulateur précédent, de l'ordre de 0.01 V de dépolarisation pour une fuite de 10^{-6} A ; cette valeur de fuite est atteinte dans les simulations 3D pour la 4^{ème} intensité de claquage simulée. Remarquons que le maximum de dépolarisation n'est pas atteint au centre du chemin de conduction simulé mais à la fin de celui-ci. Ce décalage correspond à ce que nous avons appelé l'artefact dû à l'extension spatiale du chemin de conduction. Il faut se souvenir que les dimensions réelles de ce chemin de conduction ne dépassent pas au début de sa formation le nanomètre, en effet les techniques avancées de microscopie par champ atomique d'une résolution de l'ordre de quelques nanomètres ne peuvent en détecter les premiers stades [III-14]. Cependant réduire les dimensions de ce spot dans nos simulations pose des problèmes de maillages de la structure, en effet il est difficile et peu conseillé de mettre en place un maillage de résolution dont les paramètres s'étaleraient sur

plusieurs ordres de grandeur, comme ce serait le cas ici avec une dimension de canal de l'ordre de quelques dizaines de nanomètres, un spot d'un nanomètre et une largeur de dispositif de 1 μ m. L'augmentation exponentielle du nombre de maille augmente d'autant les temps de résolution. Une solution pour simuler tout de même ces dimensions de spot serait d'implémenter un maillage adapté en décorrélant les mailles suivant les dimensions de longueur de canal et de profondeur du dispositif ; une telle solution ne serait pas du tout ergonomique puisqu'à chaque changement de dimension ou de localisation du spot tout le maillage serait à reprogrammer. Eventuellement un maillage auto-adaptatif peut être mis en place sous Silvaco mais il est alors difficile de comparer les structures entre elles car ces comparaisons s'appuient sur les points du maillage de résolution et l'interpolation n'est pas encore disponible sur ce simulateur.

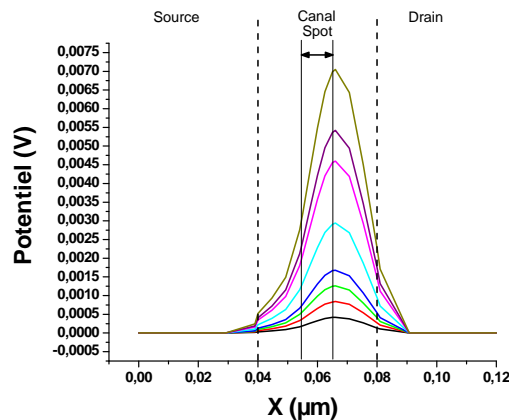


Figure III. 46 : Impact de la fuite localisée sur le potentiel dans le modèle 3D à $V_d=1.5V$.

Les paramètres utilisés pour définir le courant tunnel sont donnés dans le tableau de la figure III.47 ; la différence importante entre les paramètres des modèles 2D et 3D s'explique par cet effet de dimensionnalité déjà mentionné ; en 2D la fuite est surdimensionnée par rapport à la dépolarisation puisque tout se passe comme ci le chemin de conduction avait la largeur du canal.

	$A / (1.82e^{-7})$	$B / (1.9e^{-8})$
Dispositif vierge	0.001	0.12
BD n°1	0.205	0.12
BD n°2	0.409	0.12
BD n°3	0.613	0.12
BD n°4	0.817	0.12
BD n°5	1.429	0.12
BD n°6	2.654	0.12
BD n°7	2.246	0.12
BD n°8	3.470	0.12

Figure III. 47 : Paramètre de simulation pour le modèle 3D.

b. Impact du claquage sur la dérive de la tension de seuil

De même que pour les simulations précédentes, la déviation de la tension de seuil, figure III.48, commence par varier lentement avant de prendre une pente plus prononcée pour une amplitude de fuite suffisante. Les paramètres utilisés pour ces simulations sont ceux présentés dans le tableau de la figure III.45. Puis pour confirmer la tendance d'évolution de ce paramètre nous avons surdimensionné la fuite en prenant pour les derniers points $b=0.01$ et successivement $a=0.001$;

$a=0.005$ et $a=0.01$. Pour les simulations en 3 dimensions les valeurs utilisées sont celles du tableau III.47. Les comportements sont cohérents avec les résultats précédents ; toutefois les ordres de grandeur ne sont pas respectés pour le modèle à trois dimensions et la fuite en courant doit être surdimensionnée pour obtenir des variations de tension de seuil cohérentes avec les observations [III-9].

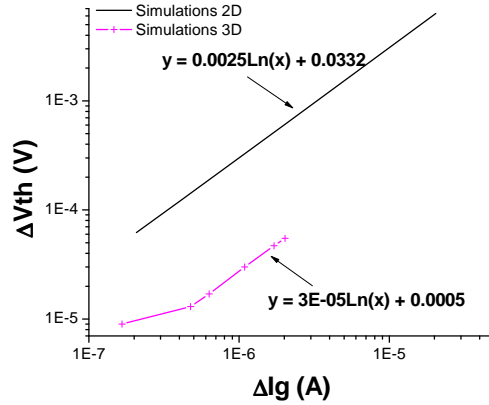


Figure III. 48 : Déviation de la tension de seuil avec l'augmentation de l'intensité de fuite à $V_d=0.1V$

c. Impact du claquage sur l'augmentation du courant de grille

En deux dimensions, pour les mêmes paramètres de fuites que ceux mentionnés dans le tableau figure III-45, l'augmentation en courant de fuite présente la même allure que celles mesurées pour le modèle à deux dimensions. En trois dimensions pour les valeurs de paramètres mentionnés dans le tableau de la figure III-47, les intensités de fuite simulées sont représentées sur la figure III-50.

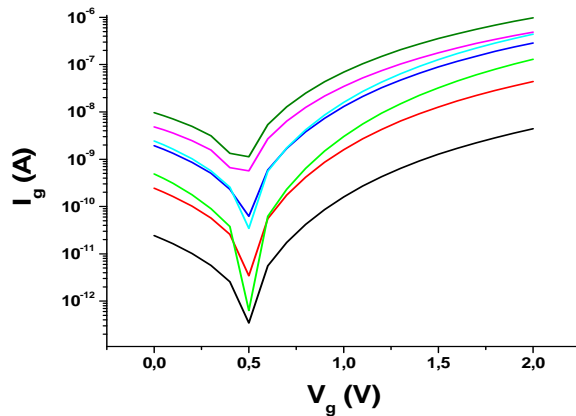


Figure III. 49 : Augmentation du courant de fuite pour le modèle à deux dimensions à $V_d=1.5V$.

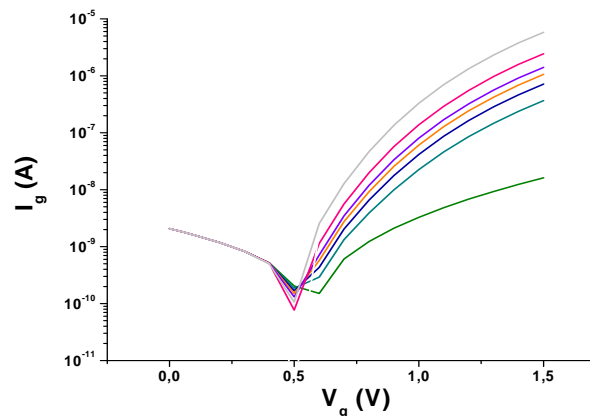


Figure III. 50 : Augmentation du courant de fuite pour le modèle à trois dimensions à $V_d=1.5V$.

Si les ordres de grandeur et les allures des courants sont les mêmes au-dessus du seuil, il n'en va pas de même en dessous du seuil. Nous verrons dans la partie B que l'allure des courants mesurés est plus proche de celles obtenues à deux dimensions présentant simplement un décalage uniforme du courant vers le haut. Concernant la différence d'allure des courants en dessous du seuil, il semble qu'un courant inverse parasite vienne perturber la simulation à forte tension de drain, ce qui n'est pas le cas pour les courants simulés. Une plus grande fidélité dans la modélisation des zones de recouvrement pourrait corriger cet écart.

7 - Validation et limites de l'approche utilisée

Afin de valider totalement l'approche utilisée, il faut montrer que ces modèles sont capables de reproduire les déviations de paramètres dues au claquage, aussi bien en ce qui concerne l'augmentation du courant de grille, reporté sur les courants de source et de drain, que pour les déviations de la tension de seuil. Cette comparaison et la critique de nos modèles seront effectuées dans le chapitre suivant. Idéalement les ordres de grandeur des paramètres de la fuite, soit la hauteur de la barrière d'oxyde dans la zone du weak spot et les dimensions de celui-ci permettant de reproduire les déviations en courant, seraient cohérentes avec les observations expérimentales de taille du weak spot, de réduction d'épaisseur de l'oxyde à l'endroit de la fuite et de hauteur de barrière de l'oxyde. Ce n'est pas le cas pour notre premier modèle et nous remarquerons que les valeurs utilisées en simulation pour obtenir une bonne correspondance avec les données expérimentales sont beaucoup plus élevées que ce qui a pu être observé : sous Flex PDE, les dimensions du chemin de conduction sont de l'ordre de plusieurs dizaines de nanomètres et l'épaisseur de la barrière doit être réduite de 30% pour reproduire les déviations des courants contre des diminutions d'épaisseur mesurées par microscopie électronique de l'ordre de 20% et des tailles de weak spot très largement inférieures, au début du claquage à 10nm. Les ordres de grandeur sont beaucoup mieux respectés sous Silvaco Atlas en 2 et 3D, les dimensions du weak spot utilisées sont de l'ordre de celles observées par microscope à force atomique soit de quelques nanomètres à quelques dizaines de nanomètres, ce modèle reproduit donc plus fidèlement les ordres de grandeur de la taille du chemin de conduction mesurée ou utilisée dans d'autres modèles. Toutefois pour les modèles sous Silvaco, la fuite doit être surdimensionnée pour reproduire les déviations dues au claquage ; en effet les valeurs des coefficients présentées dans le tableau III.45 et III.47 reproduisent le mieux la fuite de grille ; en revanche les variations de tension de seuil correspondantes sont assez loin des valeurs mesurées, surtout pour le modèle en trois dimensions, alors que nous en attendions les résultats les plus fiables.

Il apparaît donc que si les mécanismes physiques du claquage sont modélisés de manière satisfaisante en ce qui concerne les dynamiques d'évolution, en revanche les ordres de grandeur sont à revoir ; un aspect important du claquage a donc pu être négligé. Plusieurs hypothèses sont à considérer : soit l'approche est juste et le weak spot est modélisé de manière trop approximative par une augmentation locale de la fuite par effet tunnel et d'autres mécanismes de conduction seraient à prendre en compte tels que la conduction assistée par pièges, soit l'approche doit être complétée par des dégradations d'autres types, parmi lesquelles on peut envisager l'occurrence simultanée de plusieurs points de claquage répartis sur toute la surface du canal ; cette éventualité permettrait de réhabiliter nos modèles puisque le fait de ramener plusieurs weak spot en un seul pour simplifier le modèle conduit évidemment à un surdimensionnement de cet unique chemin de conduction. Enfin il reste à envisager une dégradation globale de l'interface entre oxyde et semi-conducteur, à laquelle s'ajoute une ou plusieurs fuites localisées. La partie C de ce chapitre permettra de discriminer ces différentes hypothèses. Toutefois l'utilité pratique de notre modélisation n'est pas conditionnée par son exhaustivité quant aux causes du claquage, un modèle simplifié est même préférable à un modèle exact pour la simulation de plus haut niveau, pourvu qu'il soit capable de reproduire les déviations observées en courant et en tension de seuil.

B) Validation expérimentale de l'approche utilisée

Notre modélisation originale reprend plusieurs éléments des observations et des modèles précédents de manière simplifiée et synthétique et permet déjà d'expliquer des effets méconnus du claquage tels que la dépolarisation du canal, mentionnée par plusieurs auteurs [III-11, 12, 13] et de relier cette dépolarisation à la dérive de la tension de seuil. Cependant sa validité et sa valeur pratique pour la simulation de dispositifs et ultérieurement de circuits ne peuvent être démontrés que par sa capacité à reproduire les données expérimentales. Grâce à notre collaboration avec STMicroelectronics, nous avons pu accéder à des dispositifs récents et des moyens de mesure industriels.

1 - Protocole expérimental

Les dispositifs utilisés appartiennent au nœud technologique 45nm et sont destinés à des applications en haute puissance. Leurs dimensions nominales permettent en outre de reporter nos résultats directement dans les simulateurs industriels. D'une largeur de $1\mu\text{m}$ pour les transistors de type N et de $2\mu\text{m}$ pour les P, le canal mesure 40nm de long et l'oxyde de silicium y est déposé sur une épaisseur de 1.5nm . La grille est en polysilicium et les électrodes de source et de drain en aluminium. Les valeurs et le profil du dopage sont confidentiels.

Afin d'observer les effets du claquage, nous avons stressé nos dispositifs par l'application d'une tension de grille continue de 2.6V . Le stress est interrompu dès que des sauts de courant de 1.5 fois la valeur précédente sont détectés. Des caractérisations complètes des dispositifs sont alors réalisées, comportant aussi bien les mesures des caractéristiques courant-tension que les mesures de la tension de seuil, de la transconductance, des courants de saturation. Certaines mesures ont été effectuées dans le sens direct puis en inversant le rôle de la source et du drain, ceci afin d'obtenir des informations sur la localisation du claquage. Enfin notre étude a été étendue à des géométries de dispositifs différentes afin d'évaluer l'influence du ratio d'aspect sur l'impact du claquage du diélectrique.

Ce protocole de mesure présente des avantages et des inconvénients : la détection des sauts de courants ne permet pas de contrôler précisément pour quelle valeur de la fuite les mesures seront effectuées, en effet la valeur du saut de courant est déterminée par le processus de claquage progressif lui-même ; elle peut être très proche ou très éloignée de la valeur de saut paramétrant la mesure, en pratique elle sera souvent éloignée de cette valeur et la précision de mesure de l'évolution du claquage sera d'autant plus faible que les sauts de courants seront importants, ce protocole est donc particulièrement adapté aux claquages présentant une progressivité importante, ce qui est le cas pour des tensions de stress basse. Une série d'une dizaine de mesures nécessite par ce moyen environ trois jours de mesures. L'autre alternative d'interruption du stress pour les mesures consistait à fixer un pas constant entre deux mesures consécutives, cependant pour une bonne précision de la mesure de la dynamique du claquage, ce pas doit être assez petit

surtout dans les zones où les sauts de courant sont importants. Conséquemment les temps de mesure auraient été considérablement allongés et notre priorité d'accès aux bancs de mesure de STMicroelectronics ne nous le permettait pas.

Les protocoles qui nous semblent idéaux pour caractériser précisément le claquage seraient donc soit de disposer d'un banc de mesure sur une année complète voire plusieurs, comme c'était le cas pour [III-25] et comme c'est le cas pour l'équipe de fiabilité d'IBM [III-26], qui obtiennent par ce moyen une qualité de mesure exceptionnelle en utilisant des stress très faibles sur de très longues périodes avec des caractérisations à pas constants. Afin de réduire le temps d'utilisation des bancs tout en gardant une bonne précision, il convient de procéder en deux temps, d'abord en mesurant les temps au claquage et leur déviation statistique, puis en se basant sur ce temps au claquage, puis en appliquant un stress préliminaire aux dispositifs étudiés afin de le ramener dans les conditions de dégradation précédant de peu le phénomène de claquage. Enfin une caractérisation précise à pas constant sera effectuée sur les dispositifs en cours de claquage soft.

2 - Occurrence du claquage du diélectrique

Ainsi qu'il a été précisé dans le paragraphe II-C)1.a, le mécanisme de dégradation du claquage de l'oxyde passe par plusieurs étapes, du claquage progressif, puis soft jusqu'au claquage hard [III-2, 4]. Nos mesures correspondent effectivement à ce type de phénoménologie, d'abord le bruit augmente drastiquement sur le courant de grille, ce qui correspond à l'occurrence du claquage progressif, puis un saut de courant de une à plusieurs décades est enregistré conformément à la phénoménologie du claquage soft, suivi de sauts successifs dus à l'occurrence d'autres claquages et enfin la mesure est interrompue lorsque le courant devient trop important à l'occurrence du claquage hard.

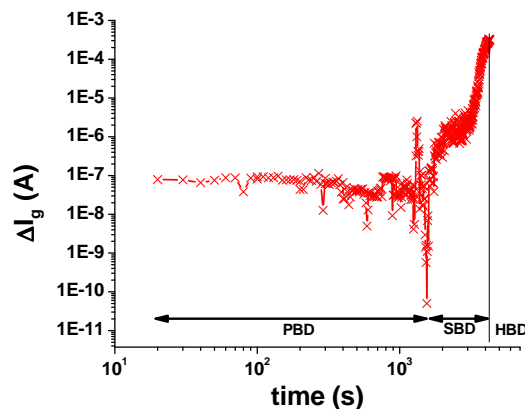


Figure III. 51 : Comportement type de l'augmentation du courant de grille à $V_{gstress}=-2.6$ V ; après une zone de claquage progressif PBD, plusieurs occurrences du claquage soft SBD, le courant atteint le maximum avec le HBD, pour lequel le composant est détruit.

Ce type de courbe bien connue des fiabilistes, permet de mesurer le temps avant le premier claquage ou TTBD (time to BD) et d'en déduire une statistique sur la distribution des temps de claquage, sous forme de la fameuse loi de Weibull [III-27]. Cet aspect du claquage a été étudié de nombreuses fois et nous ne reprendrons pas

cette étude. Nous nous attacherons dans la partie suivante à caractériser précisément l'évolution du courant de grille à partir du premier claquage. Actuellement les dispositifs sont considérés comme détruits dès ce premier claquage malgré plusieurs observations rapportant le contraire [III-6, 28, 29]. Les caractérisations à chaque détection de saut de courant commencent avec le premier saut important, dû à l'apparition du bruit. Afin de s'affranchir dans la mesure du possible de l'influence des autres mécanismes de dégradation, notamment le courant de fuite induit par le stress (SILC), toutes les mesures sont normalisées par rapport à la valeur du courant de fuite après ce premier saut ; cette normalisation est nécessaire en raison des dégradations antérieures conduisant au claquage [III-30].

3 - Impact du claquage sur le fonctionnement des transistors MOS

La moyenne des augmentations successives du courant de grille est calculée sur toutes nos mesures afin d'accéder à des variations moyennes des caractéristiques en courant pour chacun des claquages successifs détectés. Sur le graphe III.52 l'utilité de la normalisation des paramètres étudiés après le premier claquage apparaît. En effet le premier claquage détecté présente déjà des écarts avec la caractéristique du dispositif vierge, en termes de tension de seuil et de pente de saturation. Ces écarts sont dus aux dégradations survenant avant le premier claquage et perturbant déjà les paramètres des dispositifs. Ici en l'occurrence, nous observons les effets de deux modes de dégradation avant le premier claquage : l'augmentation de courant de fuite due au stress (SILC) et certainement l'instabilité en température (BTI). Pour ne caractériser que l'impact du claquage, il est alors nécessaire de s'affranchir des variations dues à d'autres modes de dégradation en prenant comme origine des variations le premier claquage détecté.

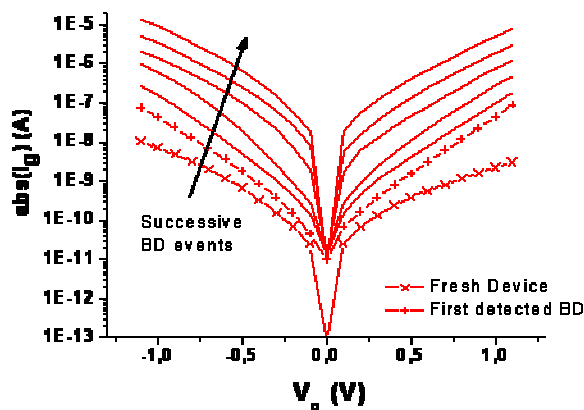


Figure III. 52 : Caractérisation du courant de grille à $V_d=0V$ pour des claquages successifs.

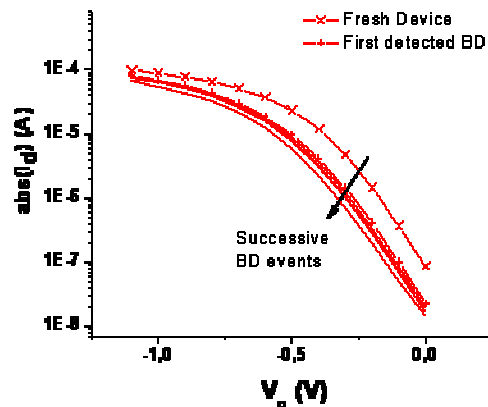


Figure III. 53 : Variation du courant de drain pour des claquages successifs à $V_d=0.1 V$ d'un dispositif PMOS.

Concernant les variations de courants de source et de drain, imagée figure III.53, elles sont identiques en valeur absolue et de signes opposés, ce qui correspond bien à la loi de conservation du courant. Nous verrons dans l'analyse du partitionnement du courant que cela n'est pas rigoureusement exact pour des tensions de drain non nulles. En raison des différences d'ordre de grandeur entre courants de drain et de grille, les variations de courant de drain dues au claquage semblent peu

significatives ; elles sont tout de même d'une décade complète à $V_g=0V$ et d'un facteur 1.5 à $V_g=1.1V$ par rapport au courant de drain d'un dispositif neuf. On remarque que le décalage entre les caractéristiques est plus important à faible V_g ; sous le seuil la caractéristique de courant de drain est donc impactée significativement. Surtout en considérant, qualitativement pour l'instant le décalage en terme de seuil de tension ; en raison du décalage progressif des caractéristiques, celui-ci va en effet être décalé également, ce qui peut rapidement poser problème en termes de performances.

Un point de vue global sur l'impact du claquage sur les caractéristiques des transistors peut être obtenu en considérant l'évolution de la transconductance G_m sur la figure III-54. En effet le G_m représente la pente locale de la caractéristique $I_d=f(V_g)$; le claquage réduit donc les pentes des caractéristiques dans tous les régimes de fonctionnement. En outre il est possible d'utiliser la transconductance pour déterminer la tension de seuil, en localisant le maximum de cette fonction. Nos courbes de variations du G_m illustrent la variation de la tension de seuil.

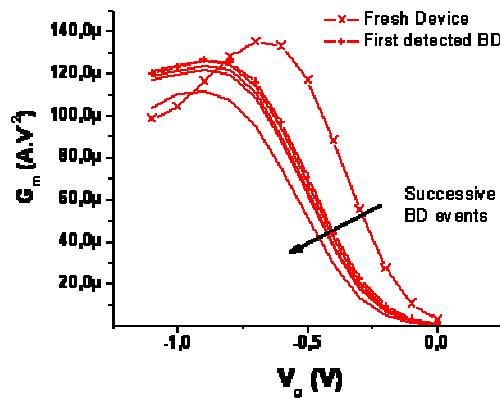


Figure III. 54 : Variation de la transconductance pour des claquages successifs à $V_d=0.1V$ pour un dispositif PMOS.

a. Identification des effets du claquage sur les caractéristiques mesurées

A plus haut niveau, du point de vue des caractéristiques courant-tension mesurées sur les dispositifs dégradés, plusieurs effets sont identifiables, tous résumés par la courbe III.55 du courant de grille en fonction de la tension de grille.

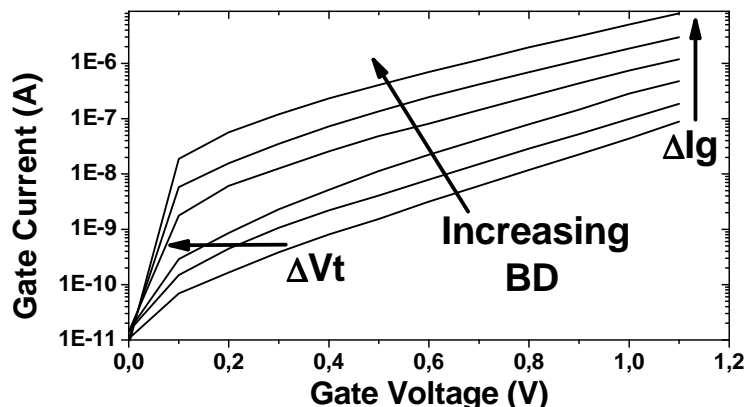


Figure III. 55 : Identification des effets du claquage sur les caractéristiques courant-tension de grille.

Sur cette courbe l'effet principal, déjà identifié clairement par les études précédentes de ce phénomène de dégradation apparaît clairement [III-31] ; il s'agit de l'augmentation du courant de grille entre deux claquages successifs ; il est causé par l'apparition à travers l'oxyde de chemins de conduction entre le canal et la grille. Le second effet identifiable sur cette courbe est la dérive du paramètre extrinsèque de la tension de seuil [III-31]. Nous avons proposé une explication originale pour ce phénomène en évoquant la réorganisation des charges du canal autour de la fuite localisée conduisant à une dépolarisation locale du dispositif. Le contrôle électrostatique des charges du canal par la tension de grille est réduit et donc une tension plus élevée doit être appliquée sur la grille pour former une couche d'inversion à la conductivité équivalente à celle du dispositif vierge.

Naturellement en vertu de la conservation des courants, ces dérives de courant de fuite et de tension de seuil sont reportées sur les caractéristiques courant-tension de drain et de source suivant les équations III-19. Il est possible de remarquer dès à présent qu'une modélisation par une simple résistance en série entre les électrodes de grille et de source ou de drain ne suffit pas à modéliser ces deux effets [III-29, 32] puisque la dérive de la tension de seuil est attribuée à la dépolarisation du canal ; il s'agit donc d'un effet dû à la localisation de la fuite dans le canal. En choisissant une résistance externe pour modéliser le chemin de conduction interne au canal, l'effet de réorganisation des charges dans le canal conduisant à sa dépolarisation est occulté.

Conformément aux dynamiques de claquage observées par simulation, les premiers écarts entre deux valeurs moyennes successives de courant de fuite sont faibles, puis de plus en plus importantes avant de présenter une atténuation ; les figures III.56 et III.57 présentent ces écarts successifs pour $V_{g,d}=1V$. Pour rendre compte de ce phénomène dans la simulation il faut faire varier les pas de simulation de manière à reproduire cette dynamique. Celle-ci peut être imagée simplement en représentant les valeurs successives de courant de grille mesuré à une tension de grille fixe. L'écart entre deux valeurs successives donne la dynamique d'évolution de l'amplitude des sauts de courants d'une mesure à l'autre. Mais la représentation de la dynamique de ces figures n'est donc pas effectuée pour un intervalle de temps constant et ces résultats sont à prendre avec précaution en raison des artefacts de mesure introduits par la détection de sauts de courant non maîtrisés, comme nous l'avons décrit dans la partie relative au protocole de mesure.

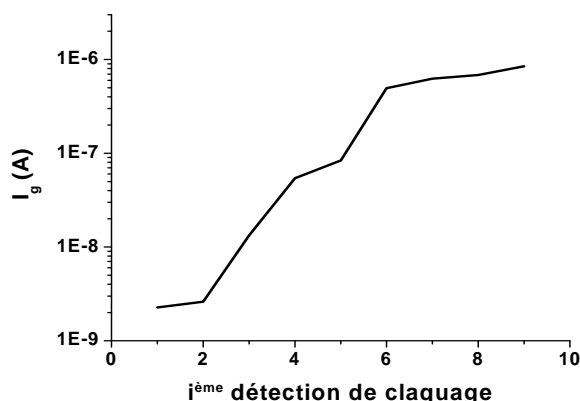


Figure III. 56 : Valeur du courant de drain à $V_{g,d}=1V$ pour chaque BD détecté.

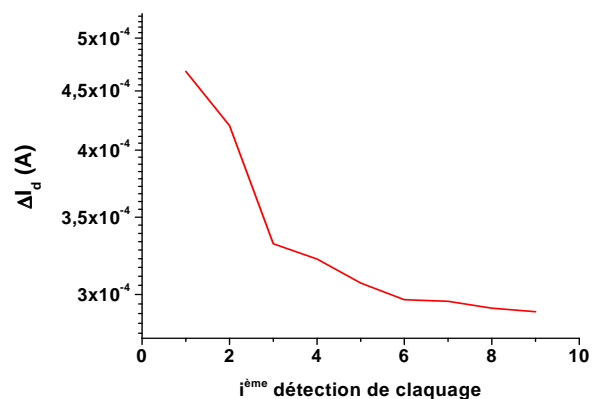


Figure III. 57 : Variation du courant de drain à droite à $V_{g,d}=1V$ pour chaque BD détecté.

Ces courbes mettent en évidence des paliers successifs dans la détection successive de sauts de courants ; cela signifie, lorsqu'un saut de courant important est détecté entre deux mesures consécutives qu'il y a eu formation d'un nouveau chemin de conduction à travers l'oxyde, augmentant ainsi significativement le courant de grille et diminuant le courant de drain. C'est le cas entre les détections 2 et 4 puis à nouveau entre 5 et 6. Lorsque la valeur de courant n'augmente pas beaucoup entre deux mesures successives, il est possible d'imaginer soit la formation d'un nouveau chemin de conduction peu conducteur dans l'oxyde, soit que les chemins de conduction existants ont augmenté leur conductivité. La mesure des coefficients de partitionnement permettra de conclure sur ces deux possibilités puisque dans le premier cas ces coefficients varieront significativement alors que dans le second ils devraient conserver la même valeur.

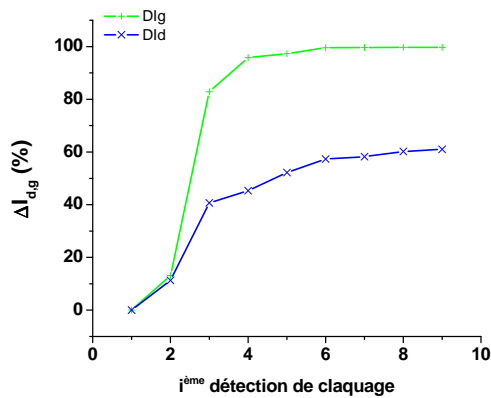


Figure III. 58 : Augmentation relative des courants de drain et de grille à $V_{g,d}=1V$ pour chaque BD détecté.

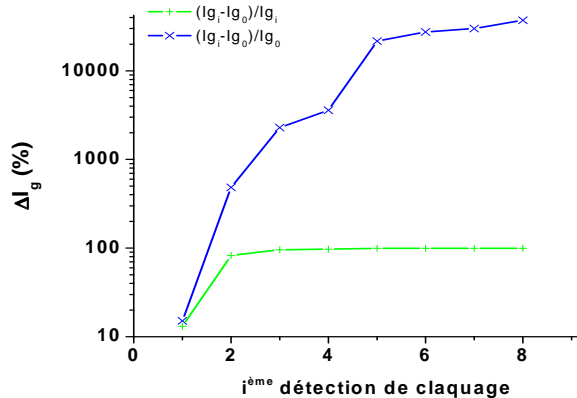


Figure III. 59 : Différentes évaluations de l'accroissement relatif en courant de grille ; la courbe inférieure (+) représente un accroissement relatif tandis que la courbe supérieure (x) est un accroissement relatif au premier claquage.

Dans la représentation de la dynamique du claquage en valeurs relatives, figure III.58, un phénomène de saturation est mis en évidence, si pour les premières mesures, de la 1^{ère} à la 4^{ème} les valeurs de courant augmentent de plus de 10% entre chaque mesure, à partir de la 5^{ème} occurrence détectée de claquage l'augmentation reste beaucoup plus faible. Les deux plages d'évolution dans la dynamique du claquage signalée dans le paragraphe précédent peuvent être retrouvées dans cette figure avec les sauts entre les 2^{ème} et 4^{ème} occurrences puis entre la 5^{ème} et la 6^{ème}. Cette représentation est due seulement en partie à notre méthode de mesure privilégiant la vitesse de mesure au détriment de la précision. Pour obtenir une image plus précise de la dynamique d'évolution des caractéristiques de courant de fuite avec le claquage, il faudrait effectuer des caractérisations complètes des dispositifs au fur et à mesure du stress pour un pas temporel constant, avec un stress suffisamment faible pour obtenir une progressivité importante, ce qui représente plusieurs semaines de mesures.

De plus en raison des ordres de grandeurs différents que prend le courant de grille, il y a un effet d'aplatissement de l'accroissement relatif dû à la formule utilisée ; en effet pour calculer ces pourcentages d'évolution, le rapport considéré est celui de l'accroissement en courant pour chaque claquage successivement détecté divisé par la valeur de ce courant pour le claquage utilisé. Naturellement pour les derniers claquages, le niveau de courant est du même ordre de grandeur que l'accroissement du courant et donc un pourcentage proche de 100 est obtenu systématiquement.

Pour s'affranchir de cet aplatissement relatif aux ordres de grandeur considérés, il est possible de calculer le rapport entre l'accroissement du courant et la valeur du courant au premier claquage, ce qui est représenté à la figure III.59. Cette méthode aura l'effet inverse d'aplatir les rapports pour les premières occurrences du claquage là où l'accroissement du courant est du même ordre de grandeur que le courant à la première occurrence du claquage. Les deux paliers successifs repérés sur les variations de courant et attribués à la formation de nouveaux chemins de conduction sont mieux mis en évidence sur la deuxième représentation. Suite à la formation de ces chemins, leur conductivité semble augmenter doucement, sans donner lieu à d'autres accroissements brutaux de la variation relative du courant de grille.

b. Reproduction des dérives de courant par la simulation

Sans comparaison et étalonnage avec des caractérisations de dispositifs, la modélisation aurait une signification limitée. Il est donc de première importance de comparer nos résultats obtenus par simulation avec les mesures effectuées. Dans un premier temps cette comparaison s'effectue sur un dispositif vierge ou dans notre cas sur le dispositif après le premier claquage puisque c'est cette caractéristique qui servira de référence pour mesurer les variations dues au claquage. Ensuite la comparaison entre modèle et mesure permettra de calibrer les modèles afin de reproduire les variations d'intensité de la fuite, en ajustant nos variations successives de transparence tunnel dans la zone du chemin de conduction. Finalement la variation des autres paramètres tels que la tension de seuil sera examinée pour vérifier qu'à fuite égale tous les effets du claquage sont reproduits par nos modèles.

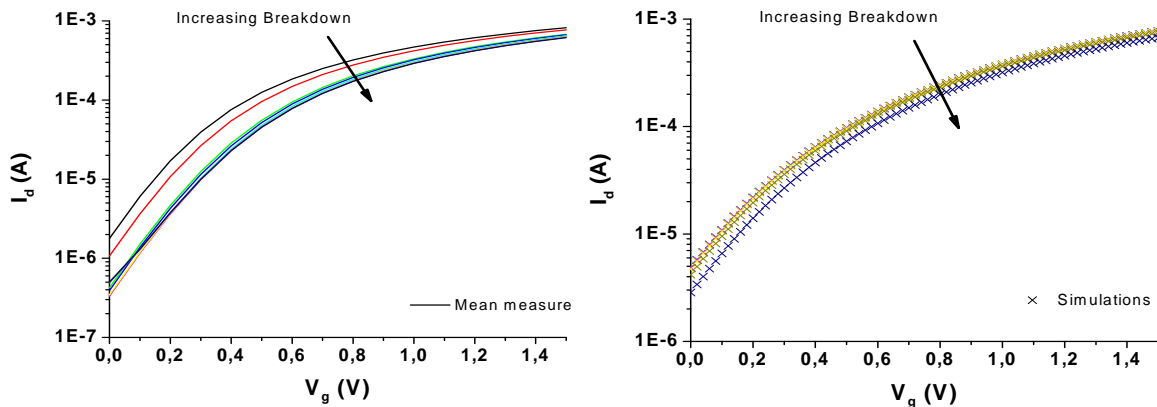


Figure III. 60 : Mesures moyennes sur 24 dispositifs PMOS du nœud 45 nm et simulations FlexPDE à dimensions égales de la diminution du courant de drain à $V_d=1V$.

Sur ces courbes des courants de drain simulés et mesurés, les dynamiques obtenues sont tout à fait comparable ainsi que les ordres de grandeur ; toutefois un écart de 50% est obtenu en dessous du seuil, en particulier pour les derniers claquages. Constatons que notre approche de modélisation du claquage est capable de rendre compte qualitativement de l'augmentation de l'amplitude de fuite, comme le montre les caractéristiques courant-tension de la figure III-61. La dynamique d'évolution du courant de grille est bien reproduite par les deux modèles et un accord qualitatif est obtenu facilement.

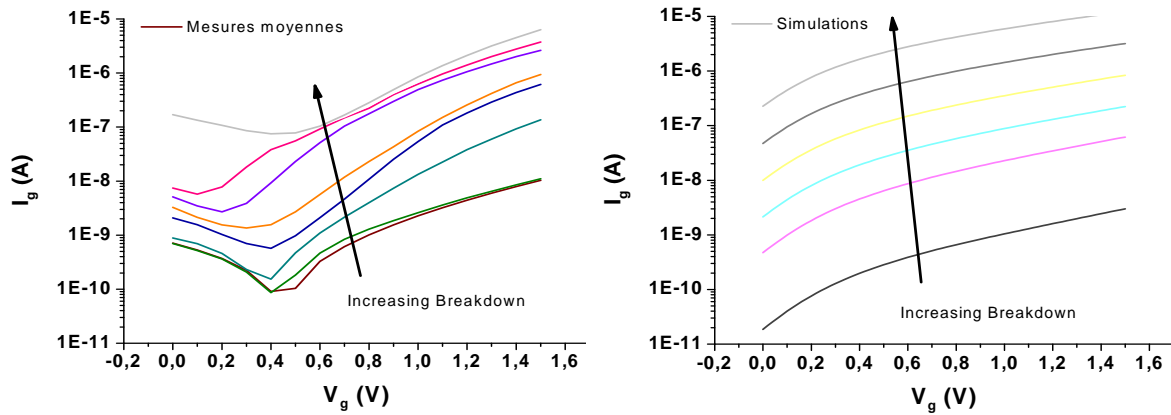


Figure III. 61 : Mesures moyennes sur 24 dispositifs PMOS du nœud 45 nm et simulations FlexPDE de l'augmentation du courant de grille à $V_d=1V$.

Pour faire coïncider précisément mesures et simulation, les paramètres de ces dernières ont été ajustés afin que les pentes au dessus du seuil soient bien reproduites ; il subsiste un écart important autour de la tension de seuil et sous la tension de seuil, que nous attribuons aux différences entre notre modèle et les dispositifs étudiés ; en effet les profils de dopage sont abrupts dans ce premier modèle par éléments finis et la tension de seuil est introduite artificiellement dans les calculs au lieu de dériver de la géométrie du dispositif et du dopage. Toutefois là encore tendances et ordres de grandeur sont bien reproduits ; ce type de modèle est donc en mesure de rendre compte qualitativement et quantitativement de l'évolution des courants pour des claquages successifs, il serait nécessaire de raffiner ce modèle en représentant plus finement la structure du dispositif étudié. C'est ce que nous avons fait avec le logiciel Silvaco Atlas en deux et trois dimensions.

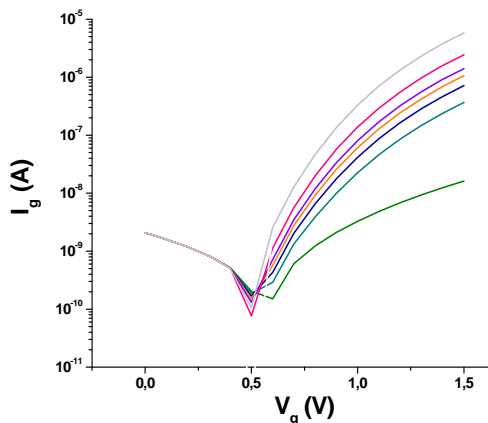


Figure III. 62 : Augmentation du courant de fuite pour le modèle à trois dimensions à $V_d=1.5V$.

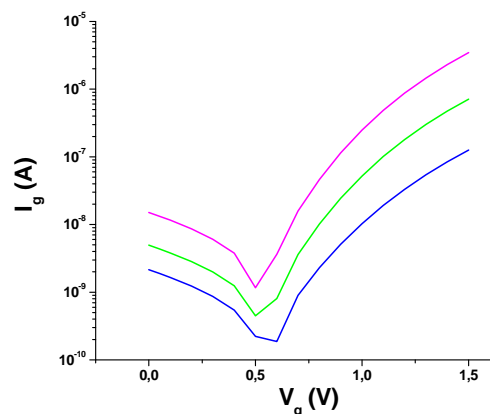


Figure III. 63 : Augmentation du courant de fuite sur toute l'étendue du canal.

Nous avons mentionné les différences apparaissant entre les simulations Silvaco en deux et en trois dimensions ; en deux dimensions, lorsque le spot occupe toute la largeur du canal, un simple décalage du courant est observé tandis qu'en trois dimensions, la valeur du courant sous le seuil reste la même, seule augmente la fuite au-dessus du seuil comme illustré sur la figure III.62. La figure III-63 présente une simulation de fuite plus simple à mettre en œuvre, considérant une dégradation globale du canal, les résultats obtenus sont comparables à ceux du modèle 2D montrés figure III.49.

En considérant les résultats de mesure présentés à la figure III-61, il semblerait que l'impact du claquage sur les dispositifs soit une combinaison de dégradation locale due au chemin de conduction et de dégradation globale du canal ; cette interprétation expliquerait l'augmentation du courant tantôt seulement au dessus du seuil, c'est-à-dire causé par une dégradation locale, tantôt pour toutes les tensions de grille, ce qui correspondrait à nos simulations de dégradation de tout le canal. Nous développerons cette interprétation dans les parties suivantes.

4 - Dérive de la tension de seuil due au claquage

Il a été démontré par simulation que la présence d'une fuite localisée dans le canal avait pour conséquence de dépolariser le canal si bien que le contrôle des charges par la grille est réduit ; ainsi une tension de grille plus importante est requise pour polariser le canal d'un dispositif claqué que pour un dispositif non dégradé. Ces constatations corroborent les observations de la dérive de la tension de seuil due au claquage [III-31] et permettent d'expliquer qualitativement la dépendance de cette dérive à l'amplitude de la fuite. Effectivement plus la fuite est importante et plus le canal est dépolarisé, donc plus la tension de seuil s'éloigne de sa valeur nominale. Notre modèle du claquage du diélectrique permet de reproduire fidèlement cette dérive, d'abord en ajustant la hauteur de barrière de l'oxyde de façon à obtenir une amplitude de fuite équivalente à celles mesurées pour chaque occurrence du claquage puis en ajustant la taille du chemin de conduction à travers l'oxyde, jouant ainsi sur l'extension spatiale de la dépolarisation de manière à ajuster les valeurs de dérive de la tension de seuil à celles constatées expérimentalement.

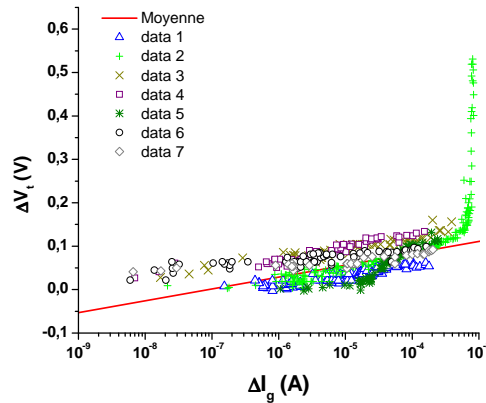


Figure III. 64 : Mesure de la dérive des tensions de seuil pour plusieurs dispositifs.

Dans un premier temps, au regard du comportement de la majorité des données et suivant aussi la loi empirique établie par G.Ribes [III-9], l'évolution des tensions de seuil des dispositifs soumis à une tension de stress $V_g=2.6V$ et $V_d=0.1V$ est assimilée à une évolution logarithmique dont les coefficients moyens sur l'ensemble des mesures donne, pour ΔV_{th} en V et ΔI_g en A :

$$\Delta V_{th} = 0.012 * \ln(\Delta I_g) + 0.193$$

Equ. III- 13

Cependant certains dispositifs présentent un comportement de leur tension de seuil différent de la loi empirique proposée, de sorte que cette loi empirique décrit plutôt leur comportement asymptotique pour des faibles fuites de courant. C'est le cas sur la figure ci-dessus des données 2 et 5. Nous verrons dans la partie suivante quelle loi empirique convient le mieux pour rendre compte de ces comportements. Dans cette partie nous désirons seulement montrer que nos modèles successifs sont capables de rendre compte des déviations mesurées pour la tension de seuil.

a. Reproduction des dérives de la tension de seuil par la simulation

Plusieurs paramètres peuvent être modifiés dans la définition du dispositif simulé lui-même, épaisseur effective d'oxyde, permittivité, profil de dopage...et également dans la définition de la barrière tunnel à l'emplacement du chemin de conduction dans l'oxyde ; essentiellement épaisseur de barrière mais aussi taille du chemin de conduction et pas de simulations. Pour un modèle dimensionné en termes de longueur et largeur de canal, avec une épaisseur d'oxyde de 2nm et un dopage $N=4 \cdot 10^{18} \text{ cm}^{-2}$, comparable aux dispositifs nominaux sur lesquels ont été effectuées les mesures. Seule la taille du chemin de conduction varie pour simuler l'augmentation de courant due au claquage ; l'épaisseur d'oxyde est ici constante et fixée à 0.01 fois l'épaisseur d'oxyde vierge de dégradation ; les résultats sont représentés sur la figure III.65.

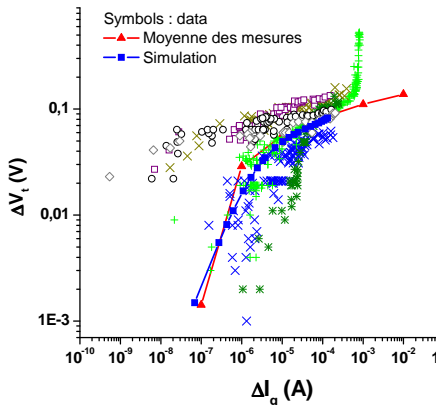


Figure III. 65 : Comparaison entre quelques data typiques, la moyenne des mesures (Δ) et une simulation pour les conditions nominales.

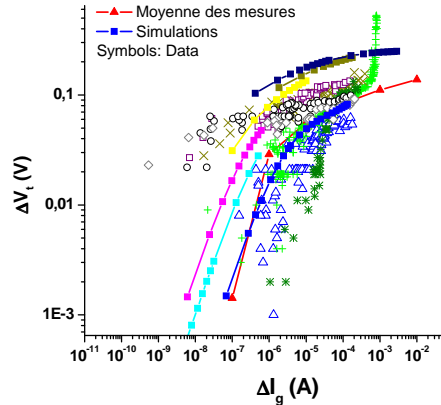


Figure III. 66 : Comparaison entre quelques data typiques, la moyenne des mesures (Δ) et des simulations où taille et conductivité des spots varient.

Les dynamiques de notre simulation et celles de la moyenne des mesures, obtenue en extrayant les coefficients de l'équation III-13 puis en prenant la moyenne de ces coefficients, est tout à fait comparable, toutefois comparé aux mesures extrêmes présentées sur la même courbe, il apparaît que des décalages de une ou deux décades en courant de fuite doivent servir à adapter le modèle pour rendre compte de la dispersion des mesures. Lorsque des variations sont appliquées non seulement à la taille du chemin de conduction, appelé spot ici, diminutif de 'weak spot', pour point faible de l'oxyde mais aussi à l'épaisseur de l'oxyde dans la zone du spot, autrement dit lorsque la conductivité du spot augmente avec sa taille, un réseau de courbe est obtenu, rendant compte de la moyenne des mesures, représentée à la figure III.66 par des (Δ) sur les courbes mais aussi de la dispersion des décalages des tensions de seuil des différents dispositifs caractérisés, y compris ceux qui présentent un écart important à la moyenne. Ces mêmes courbes sont représentées

figure III.67 complétées par des variations de différents paramètres de modélisation du spot ; il apparaît que pour une représentation optimale de toutes les configurations, il faudrait faire varier simultanément et de manière adaptée épaisseurs et conductivité de chemin de conduction.

Globalement deux tendances apparaissent que ce soit sur les simulations ou sur la moyenne des mesures, d'abord le décalage de la tension de seuil présente une pente importante dans la représentation à l'échelle log-log, puis à partir d'un certain niveau de courant de fuite s'opère une transition vers une pente beaucoup plus douce. Les décalages mesurés semblent adopter un comportement semblable ; parmi les mesures étendues à plusieurs ordres de grandeur de courant, cette même transition est obtenue entre deux régimes faible et forte fuite. La position du spot peut aussi constituer un paramètre susceptible de faire varier l'impact du BD sur la tension de seuil ; ainsi que nous l'avons démontré dans la partie précédente. De fait la gamme de paramètres de définition de l'évolution du chemin de conduction simulé est telle que toutes les dynamiques mesurées peuvent être reproduites ; y compris les plus surprenantes telles que celles mesurées sur les data 2 et 5 de la figure III.64 qui ne semblent pas suivre la même dynamique.

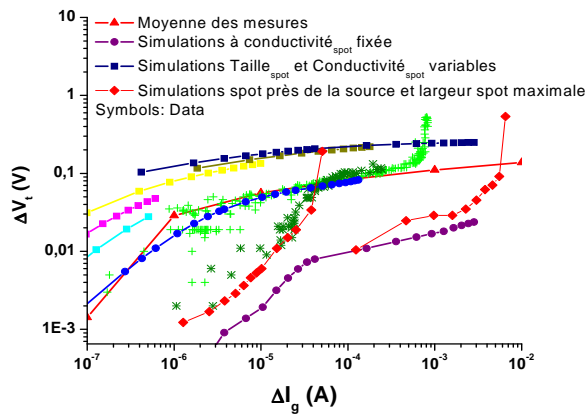


Figure III. 67 : Représentation de la gamme de dynamiques reproductibles par variation de taille et conductivité de spot.

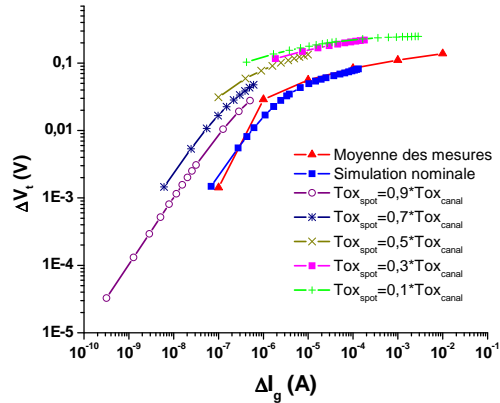


Figure III. 68 : Influence de l'épaisseur d'oxyde sur la déviation de la tension de seuil.

Sur la figure III.68, les résultats obtenus pour la variation des paramètres typiques, conductivité et taille de chemin de conduction. En combinant ces deux paramètres et pour les cas de mesures plus éloignées de la moyenne en adaptant aussi largeur et position de spot, il est possible de reproduire les effets du claquage en ce qui concerne la dérive de la tension de seuil. La figure III.68 illustre l'effet de la variation de l'épaisseur d'oxyde. Par rapport aux mesures, il semble que la force de la première occurrence du claquage détermine la position de la déviation mesurée par rapport à l'évolution type représentée par la moyenne. Un premier claquage de forte intensité placera le dispositif avant ou après le coude dans la dynamique d'évolution du claquage ; cela est illustré par la figure III.69. Pour ces exemples typiques, il apparaît que les mesures (a) se rapportent à la dynamique moyenne et simulée avant le coude de changement de pente, tandis que (b) et (c) se situent toutes deux au niveau du coude et du basculement entre les deux dynamiques asymptotiques.

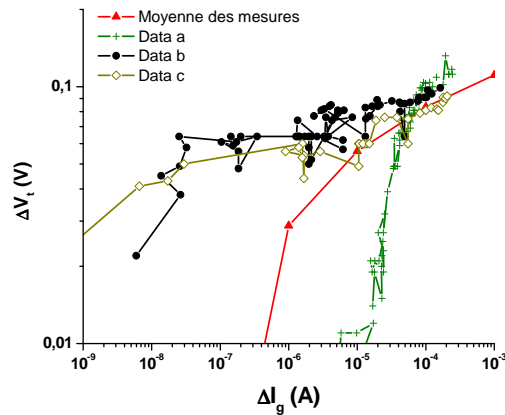


Figure III. 69 : Différentes configurations de dynamiques mesurées.

5 - Conséquences de ces observations sur la modélisation du claquage

Précédemment les recherches des autres équipes sur l'impact du claquage sur le fonctionnement des dispositifs MOS se sont focalisées sur l'apparition du bruit dans le courant de grille dû au claquage progressif et sur les sauts de ce courant dus aux occurrences du claquage soft et hard. En particulier l'angle d'approche consistait plus à obtenir la distribution statistique du temps au claquage, la fameuse pente de Weibull, pour les oxydes fins des générations de transistors avancés 60nm et en-deçà. Dans la mesure où le claquage était considéré comme destructif pour les fonctions du circuit, peu d'études se sont attachées à isoler les différents impacts subis par le dispositif et visibles sur la dérive de leurs caractéristiques en courant comme sur leurs paramètres extrinsèques tels que la tension de seuil ou la valeur du courant de saturation.

a. Simplification de la modélisation compacte des effets du claquage sur les dispositifs

Plus récemment G.Ribes [III-9] a souligné l'effet de dérive de la tension de seuil due au claquage et en a montré la dépendance logarithmique décrite par l'équation III-14 en courant de fuite ; nous avons vu que cette dépendance devrait être écrite autrement pour rendre compte de tous les cas mesurés, nous reviendrons plus longuement sur cette remarque dans la partie suivante. Cette dépendance impose de réévaluer la phénoménologie du claquage pour prendre en compte une dérive de la tension de seuil due au claquage. Il faut donc considérer deux effets distincts de l'occurrence du claquage du diélectrique sur les paramètres extrinsèques du transistor, en premier lieu la fuite due à la formation d'un ou de plusieurs chemins de conduction à travers l'oxyde et en second, conséquemment au premier effet, la dérive de la tension de seuil causée par la dépolarisation du canal. Ces deux effets apparaissent clairement sur les moyennes de déviations en courant présentées à la figure III-70, outre les augmentations successives du niveau de courant de fuite, il faut remarquer dans la zone sous le seuil, un décalage caractérisant la déviation de la tension de seuil.

$$\Delta V_{th} = A * \ln(\Delta I_g) + B$$

Equ. III- 14

Notre étude a permis de reproduire une telle déviation de la tension de seuil simplement en ajoutant une fuite localisée dans l'oxyde. De cette manière, non seulement l'augmentation du courant de fuite est reproduite par nos modèles mais de plus ils rendent compte de son influence sur cette dérive de la tension de seuil, comme cela a pu être démontré dans les paragraphes précédents ; à notre connaissance ce lien n'avait pas encore été explicité.

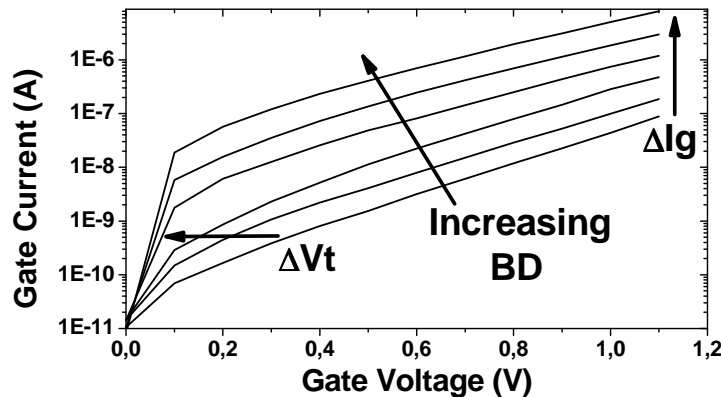


Figure III. 70 : Identification des effets du claquage sur les caractéristiques courant-tension de grille.

En utilisant ces observations, il est possible de simplifier la modélisation de haut niveau des dispositifs dégradés par le claquage. En effet plutôt que de prendre en compte séparément d'une part l'augmentation du niveau de courant de fuite due aux claquages soft successifs et d'autre part une dérive de la tension de seuil attribuée à la fuite induite par le stress, il est maintenant possible de subordonner cette dérive à la valeur de l'augmentation du courant de fuite due au claquage. Ainsi on obtient un modèle plus compact en supprimant les paramètres décrivant l'évolution de la tension de seuil au cours du temps de stress. Celle-ci peut être directement déterminée par les paramètres d'évolution de la fuite de grille, en utilisant la relation logarithmique entre les deux.

En ce qui concerne la modélisation compacte de l'effet du claquage sur les dispositifs, il suffit donc de corriger les modèles compacts existants pour les dispositifs vierges en y injectant d'abord la variation de courant de grille correspondant aux mesures effectuées, puis ensuite la dérive de la tension de seuil rendant compte de sa dépendance par rapport au courant de fuite de grille. Cela revient à traduire analytiquement le modèle de l'équipe de fiabilité de Barcelone décrivant le chemin de conduction comme une résistance en série avec une diode, corrigeant le courant de drain, permettant ainsi de modéliser courant de fuite et dérive de la tension de seuil [III-29] mais cette fois l'introduction de la dérive en tension de seuil est entièrement justifiée par notre étude au niveau physique et paramétrée par cette dépendance logarithmique en courant de fuite.

b. Modèle analytique du claquage dans les transistors CMOS

Partons simplement de l'expression du courant de drain dans un transistor MOS ; cette expression est fonction, de la tension de grille, de la tension de drain, de la tension de seuil. Introduisons simplement une correction de ce courant de drain

nominal dimensionné pour les dispositifs vierges. Cette correction est fonction de l'intensité du courant de fuite additionnel ΔI_g pondérée par le coefficient de partitionnement puisque l'impact sur le courant dépend de la position du chemin de conduction dans le canal. Nous obtenons donc :

$$I_d(V_g, V_d, V_{th}) = I_{d0}(V_g, V_d, V_{th}) - \alpha_d \cdot \Delta I_g(t) \quad \text{Equ. III- 15}$$

D'après [III-33, 34], le courant de grille suit une loi en puissance du voltage de grille ; nous définissons donc I_g par l'équation III-16 :

$$I_g(I_{g0}, V_g) = I_{g0} \left(\frac{V_g}{V_{dd}} \right)^2 \quad \text{Equ. III- 16}$$

Le réseau de courbe obtenu pour un I_{g0} augmentant par puissance de 10 est donné figure III-71.

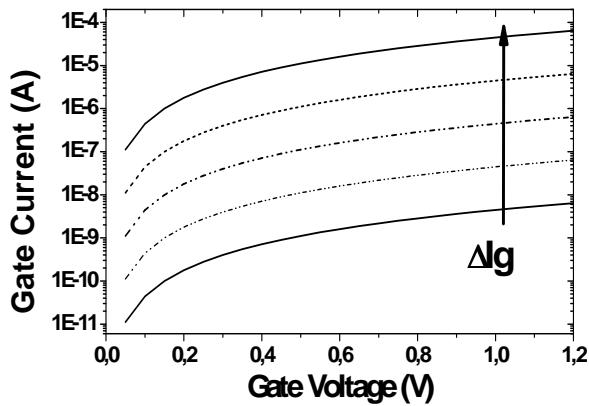


Figure III. 71 : Définition de l'accroissement en courant pour le modèle analytique.

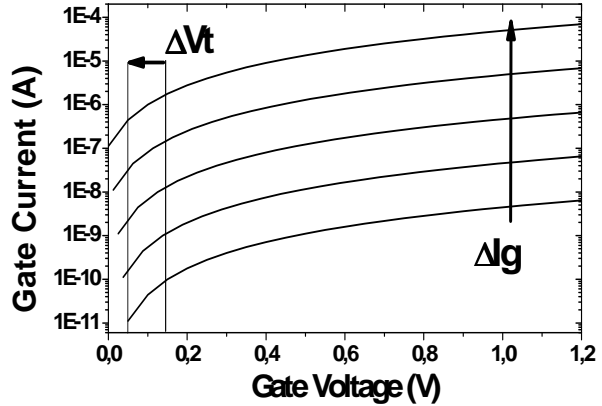


Figure III. 72 : Décalage en tension de seuil niveau de fuite pour des BD successifs.

Il suffit alors d'ajouter la dérive de la tension de seuil pour obtenir tous les effets mesurés du claquage sur les caractéristiques courant-tension des modèles compacts. L'équation analytique du courant de drain, utilisée par exemple dans les modèles compacts de type BSIM sont décrites pour un PMOS par l'équation III-17. Les courbes obtenues, représentées figure III-72 rendent bien compte des deux effets du claquage présentés figure III.70.

$$I_d(V_g, V_d, V_{th}, t) = I_{d0}(V_g, V_d, V_{th} - \Delta V_{th}(\Delta I_g(t))) - \alpha_d \cdot \Delta I_g(t) \quad \text{Equ. III- 17}$$

Il reste pour faciliter l'implémentation de ce type de modèle compact et profiter pleinement de ses atouts, à caractériser précisément la dérive du courant de fuite ΔI_g en fonction du temps après le premier claquage ; y compris d'un point de vue statistique afin de rendre compte de la dispersion des dérives de courant, en termes de temps après le premier claquage et d'intensité. Enfin la dépendance de la dérive de la tension de seuil en fonction de l'intensité de la fuite doit être également caractérisée précisément afin d'obtenir une moyenne fiable de cet effet et la distribution statistique par rapport à cette moyenne. Ce travail fera entre autres points l'objet de la partie suivante.

c. Comparaison avec les modèles existants

La déviation de la valeur de la tension de seuil bien que prise en compte par quelques récents modèles [III-29, 35, 36, 37] n'a pas été expliquée en termes de cause physique. Pourtant déjà dans les modèles les plus simples développés à l'IMEC [III-18] où à l'université de Barcelone [III-38], deux effets du claquage sur les courants sont identifiés et reportés artificiellement sur les caractéristiques des modèles développés par ces équipes, que ce soit pour leurs circuits équivalents pour l'IMEC [III-35] et pour l'université de Barcelone [III-39] où pour le modèle semi-compact proposé par ces derniers [III-29, 40].

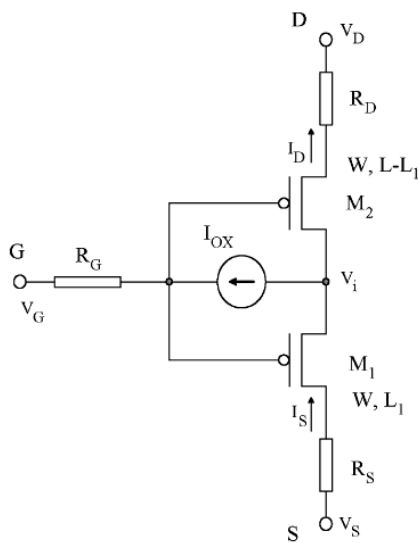


Figure III. 73 : Modèle équivalent du dispositif dégradé [III-36].

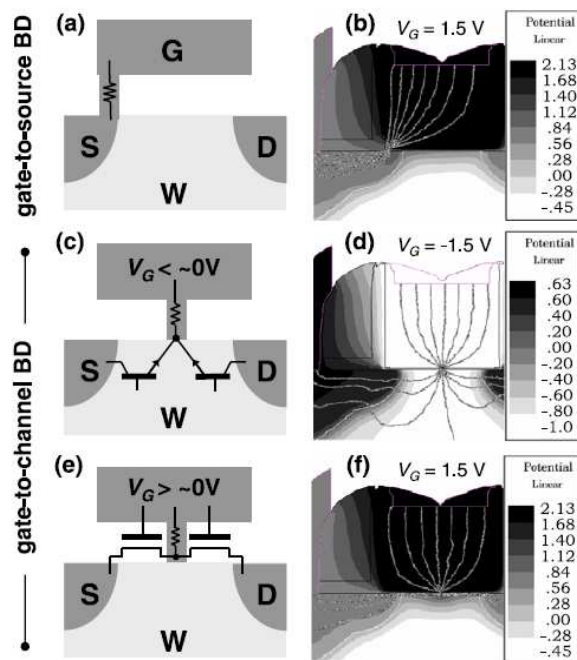


Figure III. 74 : Circuits équivalents aux différentes configurations des transistors dégradés (a, c, e) et simulation Medici correspondantes (b, d, f) [III-18].

Toutefois dans la mesure où les modèles utilisés ne sont pas capables de rendre compte d'une dépolarisation du canal, l'introduction de la variation de la tension de seuil reste artificielle et infondée sur le plan physique. Cela ne remet pas en cause la validité de ces modèles ni leur aptitude à rendre compte de la dérive des caractéristiques due au claquage. Toutefois seul notre modèle et éventuellement le travail similaire de l'IMEC en ce qui concerne les simulations à trois dimensions par éléments finis réalisées avec le simulateur MEDICI par B.Kaczer [III-18, 19] sont capables de rendre compte physiquement de cet effet en introduisant une dépolarisation du canal due à la fuite locale qui réorganise les charges autour du chemin de conduction. Cependant bien que son modèle en rende compte implicitement B.Kaczer n'explique pas ce rapport entre dépolarisation, extension spatiale de la réorganisation des charges et déviation de la tension de seuil. De même, dans leurs approches de plus haut niveau, l'équipe de Barcelone ajoute une diode en parallèle à la résistance modélisant le chemin de conduction directement entre deux électrodes. Ce modèle est encore plus approximatif que celui de l'IMEC sur le plan de la physique du claquage puisque cette manière de modéliser le chemin de conduction ne permet en aucun cas de rendre compte de la dépolarisation du canal induite par la fuite localisée, comme c'était le cas implicitement pour le modèle

de l'IMEC. Au contraire tout effet d'extension spatiale de l'impact du claquage sur la couche d'inversion est supprimé puisque la résistance est placée en parallèle du canal et non au cœur de celui-ci comme dans les modèles à trois dimensions.

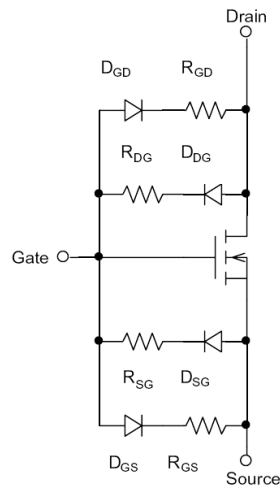


Figure III. 75 : Equivalent circuit for broken devices [III-29].

Non seulement notre méthode de modélisation simplifie les modèles utilisés, mais elle est aussi plus proche des phénomènes physiques observés suite au claquage. Une telle simplification des modèles n'est pas anodine malgré la puissance de calcul disponible aujourd'hui pour la simulation, en effet, la simulation de circuits complexes comportant plusieurs milliers de transistors reste très gourmande en ressources et la réduction du nombre de paramètres considéré permet d'accélérer ces simulations. Plus proche des effets observés suite au claquage, notre modèle témoigne donc d'une meilleure compréhension de ses mécanismes et représente un pas important vers l'élaboration d'une expression analytique des conséquences du claquage.

Si cet effet était jusqu'alors implicitement pris en compte par un des modèles de bas niveau du claquage du diélectrique, nos observations permettent de relier plus étroitement les causes du claquage à ses effets. En ce qui concerne les modèles de plus haut niveau, destinés à la simulation de circuits complexes, cette nouvelle approche permet de les simplifier, d'accélérer les simulations en proposant un modèle véritablement compact. En conséquence l'estimation de la durée de vie des composants et des circuits pourra être évaluée plus précisément puisque les claquages progressifs et soft ne sont pas destructifs comme c'est le cas dans les modèles de durée de vie actuels ; l'impact du claquage sur les circuits sera donc en mesure d'être étudié et pris en compte dans l'estimation de leur fiabilité. En outre la dérive des paramètres du transistor sera prise en compte et reporté sur la dérive des paramètres des circuits. L'étude de ces dérives fait l'objet du chapitre C et les conséquences du claquage sur les circuits seront examinées dans la partie suivante.

Pour finir ces observations, il faut noter l'émergence de modèles de haut niveau de type SPICE tenant compte de la formation de la couche d'inversion par le calcul du potentiel de surface [III-41, 42]. L'idéal pour modéliser la dépolarisation serait donc de modifier ce potentiel directement de façon à reproduire les déviations de la tension de seuil. L'effet de la fuite localisée, responsable d'après notre approche de la dérive de la tension de seuil par dépolarisation locale de la couche d'inversion pourrait donc y être reproduit explicitement. Le modèle compact obtenu serait alors au plus près de la compréhension de la physique de la dégradation.

C) Exploitation des résultats

Nous avons conduit nos expérimentations sur une trentaine de dispositifs de même géométrie puis sur plusieurs tailles de canaux. Ces études nous paraissent suffisantes pour pouvoir dégager des tendances générales quant à l'impact du claquage sur les dispositifs, notamment en ce qui concerne l'évolution de cet impact pour plusieurs occurrences successives. L'utilisation de la méthode du partitionnement des courants sera largement étendue à une analyse de l'évolution du claquage tant du point de vue de la distribution spatiale des spots dans le canal que de l'influence de la tension de drain sur ce coefficient de partitionnement. Cette approche permet d'évaluer l'importance de la dépolarisation du canal. Ces observations seront appliquées à l'étude de plusieurs géométries de dispositifs ce qui fournira des informations surprenantes sur l'impact du claquage du diélectrique. Finalement nous dériverons de nos mesures des lois empiriques d'évolution, aussi bien en ce qui concerne l'évolution du courant de grille que la dérive de la tension de seuil. Cela nous permettra par la suite de fournir des informations statistiques sur la dispersion des paramètres du claquage qui devront être intégrées dans les modèles de haut niveau de la dégradation du transistor.

1 - Répartition des courants dans le dispositif au cours du claquage

L'étude de la répartition des courants dans le dispositif au cours du claquage a été menée par plusieurs équipes [III-12, 18, 20, 43, 44], notamment pour différencier plusieurs types de claquage en fonction de la position du chemin de conduction dans le canal [III-16, 17, 19, 21]. La répartition des courants dans le dispositif dégradé fournit en effet d'importantes informations sur la gravité du claquage. Cette méthode a été utilisée jusqu'à maintenant uniquement pour évaluer la position du chemin de conduction dans le canal après la première occurrence du claquage et classifier les claquages en fonction de leur dureté, au regard de ce premier claquage, nous remettons en cause cette analyse et montrerons dans cette partie que la méthode du partitionnement procure des informations sur l'évolution du claquage après de multiples occurrences successives et permet aussi de quantifier la dépolarisation du canal au cours de la dégradation. Forts de ces constatations, nous étendrons notre étude à plusieurs géométries de canaux, en suivant l'idée proposée initialement par [III-11, 12, 13], et qui pourtant n'a donné lieu, à notre connaissance à aucune expérimentation ultérieure, faute de méthodologie adaptée.

a. Localisation du chemin de conduction dans le canal

En appliquant la méthode du partitionnement de courant décrite au début de ce chapitre à nos propres mesures pour les occurrences successives de claquage dans 22 dispositifs, nous confirmons bien la distribution des positions de claquage le long du canal telle que décrite par B. Kaczer [III-16], nos courbes sont moins lissées en raison du nombre d'échantillons moins important, cependant en moyenne sur tous les claquages successifs la distribution est tout à fait confirmée ; trois zones sont à

distinguer, les occurrences du claquage sont très légèrement plus nombreuses autour des électrodes de drain et de source mais la distribution au centre du canal est uniforme, comme le montre la figure III-76. Jusqu'alors la méthode du partitionnement de courant pour examiner la position du claquage dans le canal n'a été utilisée que pour la première occurrence du claquage du diélectrique et à tension de drain nulle ou très faible, à l'exception des travaux de F. Crupi et G. Groeseneken [III-20]. Les résultats de la figure ci-dessus montrent que la distribution des chemins de conduction dans le canal reste identique pour toutes les occurrences successives de claquage. Cependant cette méthode appliquée telle quelle introduit un biais d'interprétation puisque pour retrouver la distribution le long du canal, les coefficients de partitionnement extraits pour chaque puce ont été triés dans l'ordre croissant. Cette courbe ne montre donc pas l'évolution du coefficient de partitionnement au cours des claquages successifs mais seulement que la distribution des spots reste la même pour des claquages successifs.

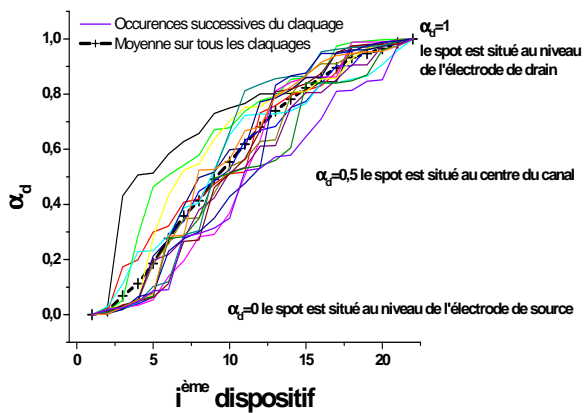


Figure III. 76 : Répartition de la position des claquages dans les dispositifs pour chaque claquage successif.

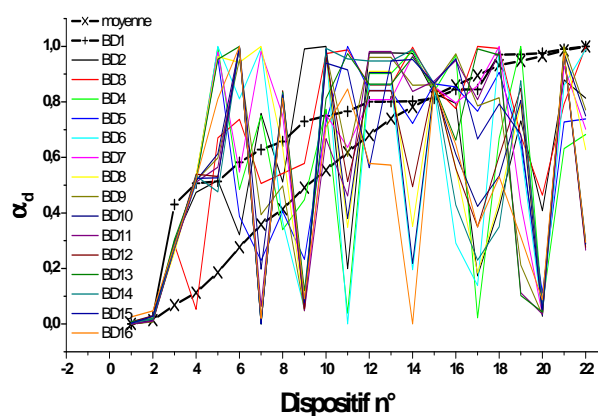


Figure III. 77 : Evolution de la position du claquage pour chaque dispositif au cours des 16 BD successifs.

b. Evolution de la localisation du chemin de conduction dans le canal

Le coefficient de partitionnement des courants donne une indication sur la position du premier claquage ; nous avons vu dans la partie simulation au début de ce chapitre que lorsque plusieurs spots étaient formés dans le canal, le coefficient de partitionnement fournissait indirectement une indication sur la position des chemins de conduction en donnant la position du barycentre de ces spots, pondérés par leurs conductivités respectives. Lorsque nous parlons d'évolution de la localisation du chemin de conduction dans le canal, il s'agit plutôt de l'évolution de la position de ce barycentre. Nous précisons notre analyse par rapport à cette interprétation dans le paragraphe suivant ; pour ce paragraphe-ci, seules les tendances générales de l'image de la position de la dégradation dans le canal seront développées. En particulier lorsque les coefficients tendent vers 0 ou 1, auquel cas les chemins de conduction respectivement localisés sur l'électrode de source ou de drain dominent complètement la répartition des courants dans le dispositif, ne serait-ce qu'en raison de leur position qui leur assure la récupération de la totalité du courant dû au claquage, en particulier pour les chemins de conduction directement situés entre les électrodes de source et de grille.

Pour visualiser l'évolution de la localisation du chemin de conduction dans le canal pour des claquages successifs, les données doivent être traitées différemment et seule la distribution des positions du premier claquage sera triée en reportant ce tri pour les occurrences suivantes ; ainsi le coefficient de partitionnement d'un dispositif particulier pourra être suivi au cours du stress et donc pour des claquages successifs. Par exemple pour suivre l'évolution de la position du claquage dans le $i^{\text{ème}}$ dispositif, il suffit de se placer sur l'abscisse i de la figure III-77 et de lire claquage après claquage si la position du chemin de conduction évolue ou reste localisée au même endroit. Cette représentation permet d'obtenir des informations originales sur l'évolution du claquage dans les dispositifs. Plusieurs points sont remarquables, d'abord la première occurrence du claquage représentée en trait gras, ne correspond pas précisément à la distribution uniforme obtenue en moyenne, il semble plutôt que le centre du canal soit la zone de claquage privilégiée pour la première occurrence du BD ; 20 positions de premier claquage sur les 22 présentées ici sont comprises entre 40 et 100% de la longueur du canal ; cette tendance n'est pas maintenue pour les claquages ultérieurs.

Pour les dispositifs 1 et 2, dont le premier claquage était localisé près de l'électrode de source, la localisation du claquage se maintient dans cette zone pour toutes les occurrences ultérieures du claquage. Il est possible de conclure qu'une fois un chemin de conduction formé près de l'électrode de source, les claquages ultérieurs auront lieu dans cette zone du canal également. Cette interprétation est grandement renforcée par la lecture de l'évolution de la position des claquages successifs pour les dispositifs 7, 9 et 20 figure III.78, pour lequel ce mécanisme est le plus explicite : après une première occurrence du claquage près du drain, la position mesurée par le coefficient de partitionnement évolue vers 0 donc vers la source au fur et à mesure des claquages ; pour le dispositif 20 à partir de la 4^{ème} occurrence de claquage, le spot reste localisé au niveau de la source. Le cas inverse apparaît aussi dans cet échantillon analysé, pour les dispositifs 10, 13, 15 et 21 figure III.79, pour lesquels le coefficient de partitionnement indique la présence d'un chemin fortement conducteur dans la zone de l'électrode de drain et cela pour tous les claquages successifs, à l'exception des deux derniers dont le cas sera développé ultérieurement. En effet le coefficient de partitionnement est compris entre 0.6 et 1 pour les 14 premiers claquages détectés, prenant même la valeur 1 plusieurs fois pour chacun de ces dispositifs.

Pour un quart des dispositifs caractérisés dans cette étude, la position du claquage se rapproche rapidement de la source. Pour les dispositifs 1 et 2, figure III.78, la première occurrence du claquage a lieu directement au niveau de l'électrode de source et malgré les petites fluctuations du coefficient de partitionnement qui témoigne de la dégradation du reste de l'oxyde, aucun chemin de conduction susceptible de rivaliser avec la conductivité de ce premier spot n'est créé pendant toute la durée du stress. Le dispositif 20 commence avec un claquage au niveau de l'électrode de drain, les deux occurrences de claquage détectées par la suite ramènent le coefficient de partitionnement à 0.5, ce qui peut être interprété de différentes manières. Nous avons précisé que pour l'apparition de plusieurs chemins de conduction à travers l'oxyde, le coefficient $\alpha_{d,s}$ n'indique plus une position effective mais la position du barycentre des spots pondérés par leur conductivité. Aussi l'évolution du coefficient pour le dispositif 20 peut être expliquée par l'apparition d'un chemin de conduction au centre du canal lors des claquages 2 et 3 présentant une conductivité telle que le courant de fuite à travers le spot coté source apparut au

début devient négligeable devant le courant passant par ce spot central. Il y a une autre possibilité permettant de justifier cette évolution ; il s'agit de l'apparition d'un chemin de conduction coté source cette fois, permettant un courant de fuite équivalent à celui passant par le spot coté drain. Le troisième claquage détecté ne change pas la répartition des courants dans le dispositif 20 ; les deux spots évoluent donc de manière symétrique. Enfin, à partir du 4^{ème} claquage détecté, le barycentre des chemins de conduction dans ce dispositif est localisé coté source et ce spot devient majoritaire pour conduire le courant de fuite dû au claquage. Les scénarii possibles sont les mêmes pour le dispositif 9, à ceci près que le premier chemin de conduction est situé à 80% de la longueur du canal avant d'être localisé au niveau de l'électrode de drain.

Les dispositifs 3 et 7, figure III.78, présentent une configuration différente ; le dispositif 3 présente en premier lieu un spot au milieu du canal, à 40% de la longueur exactement, puis le coefficient de partitionnement prend la valeur 0.3 jusqu'au 10^{ème} claquage ce qui correspond à un barycentre des spots au tiers du canal. Là encore plusieurs interprétations sont possibles : soit un chemin très conducteur devant le premier spot apparaît dans ce dispositif dès le deuxième claquage, soit un spot équivalent au premier apparaît à 20% du canal et la conductivité de ces deux spots correspondant à la gravité du claquage évoluent parallèlement jusqu'au 10^{ème} claquage où un court circuit entre les électrodes de source et de grille impose un coefficient de partitionnement de 0. Il n'est pas possible de discriminer ces différents scenarii possibles à partir de ces mesures électriques ; de plus toutes les combinaisons possibles de positionnement des différents spots de claquage le long du canal et de conductivité respective de chacun des spots sont envisageables pour rendre compte de la valeur fournie par le coefficient de partitionnement.

Le dispositif n°7 présente un coefficient de partitionnement variable jusqu'au 6^{ème} claquage, témoignant de l'apparition de plusieurs spots situés aléatoirement le long du canal. A la 6^{ème} occurrence détectée du claquage, ce coefficient prend la valeur 1, correspondant à un court circuit entre électrodes de drain et de grille. Enfin au 9^{ème} claquage, un spot apparaît coté source et devient de plus en plus conducteur jusqu'à localiser le barycentre des spots au niveau de la source.

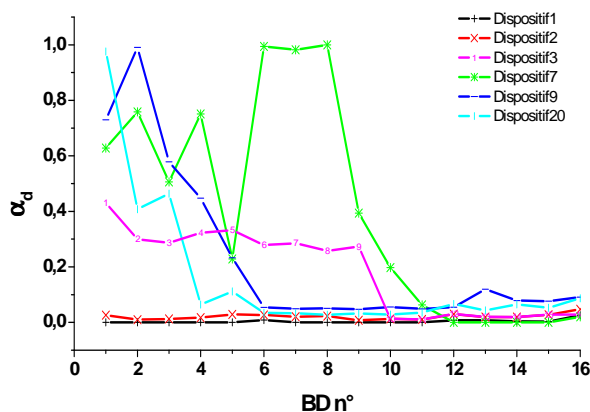


Figure III. 78 : Evolution de la position du claquage vers l'électrode de source.

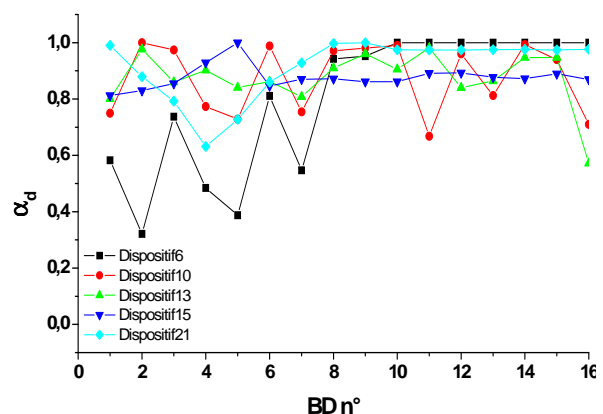


Figure III. 79 : Localisation du claquage autour de l'électrode de drain.

Pour les dispositifs présentés figure III.79, soit 25% des dispositifs examinés dans cette partie, le coefficient de partitionnement prend au contraire uniquement des valeurs proches de 1, correspondant à un spot localisé sur l'électrode de drain.

Après une première occurrence de claquage localisant le spot à 80% de la longueur du canal, α_d des dispositifs 10, 13 et 15 atteignent plusieurs fois la valeur 1 ; de la même manière que précédemment cela peut être interprété de plusieurs façons ; le plus probable reste l'apparition dès le 2^{ème} claquage pour les dispositifs 10 et 13 et au 8^{ème} claquage pour le dispositif 15 d'un chemin fortement conducteur au niveau de l'électrode de drain, susceptible de ramener le barycentre des spots vers 1. Pour les dispositifs 10 et 13, il y a vraisemblablement concurrence entre plusieurs spots, soit que de nouveaux apparaissent, soit que le premier spot créé devienne de plus en plus conducteur, jusqu'à concurrencer le niveau de courant fuyant par le spot de drain. Cette interprétation se trouve renforcée par les dernières valeurs des coefficients pour ces dispositifs, respectivement de 0.6 et 0.7. En effet les dernières valeurs mesurées correspondent au maximum de gravité pour les claquages, voire à une situation de claquage hard. Dans cette situation ; il y a donc dans ces dispositifs des chemins de conduction suffisamment importants pour concurrencer les spots situés sur le drain, pourtant importants puisque plusieurs fois le barycentre des spots est situé sur le drain. Pour le dispositif 15 en revanche, le spot de drain n'est capable de concurrencer le premier spot qu'une seule fois, lors du 5^{ème} claquage, il est donc possible de conclure sur la présence d'un spot fortement conducteur localisé à 80% du canal tout au long du stress, complété par un spot secondaire situé sur le drain apparaissant au 5^{ème} claquage. Enfin le dispositif 21 présente un premier spot directement au niveau du drain, puis un autre spot se forme progressivement vers le centre du canal jusqu'au claquage 4 ; le spot coté drain augmente alors sa conductivité progressivement jusqu'au 8^{ème} claquage où il constitue le principal point de fuite de courant jusqu'à la fin du stress. Enfin le dispositif 6 présente une évolution du barycentre des spots jusqu'au 10^{ème} claquage après lequel le chemin de conduction au niveau du drain reste dominant.

Voyons ensuite une autre configuration particulière de l'évolution de α . Le coefficient de partitionnement du courant de drain des dispositifs de la figure III.80, évolue entre 0 et 1 sans se fixer en une valeur précise jusqu'au 10^{ème} claquage, 11^{ème} pour le dispositif 22. Cette phase lors de laquelle le barycentre des spots n'est pas définitivement fixé en un point témoigne de l'apparition de plusieurs chemins de conduction répartis le long du canal au cours du stress, selon la distribution uniforme le long du canal. Toutefois, à partir du 11^{ème} claquage détecté, les coefficients se stabilisent sur une valeur, témoignant de la formation d'un chemin de conduction dominant à cet endroit. Dès lors la dégradation de l'oxyde en d'autres points du canal n'est jamais suffisante pour concurrencer la domination de ce spot final. D'après la phénoménologie connue du claquage, cela pourrait correspondre à l'apparition d'un spot de claquage hard, naturellement sans commune mesure avec les weak spot des claquages progressifs.

Finalement dans le reste des cas étudiés figure III.81, soit 8 dispositifs, il n'y a pas de stabilisation et le coefficient continue de varier avec le stress. L'étude du partitionnement nous a permis d'identifier quatre configurations type dans l'évolution de la localisation de l'impact. Bien qu'en raison de l'apparition de plusieurs spots au cours du stress, ce coefficient ne représente pas directement la position des spots mais celle du barycentre des chemins de conduction pondéré par leurs conductivités respectives, dans plus de la moitié des cas, la stabilisation de ce coefficient à une valeur fixe témoigne tout de même de la localisation du spot dominant la conduction du courant de grille dû au BD. L'autre hypothèse permettant de justifier cette stabilisation des coefficients paraît peu vraisemblable, il faudrait que tous les spots

du dispositif augmentent leurs conductivités et leurs tailles de manière parfaitement synchrone de sorte que la répartition des courants dans le dispositif reste absolument identique.

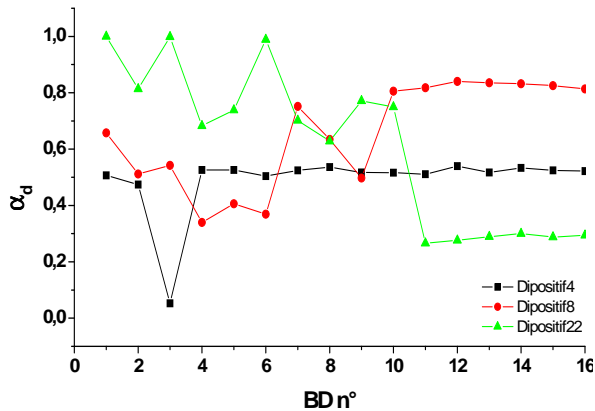


Figure III. 80 : localisation du spot dans la partie centrale du canal.

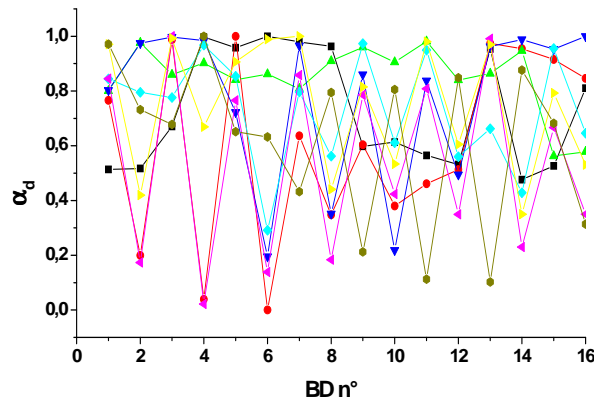


Figure III. 81 : Evolution du partitionnement du courant pour les 8 dispositifs restant.

c. Evolution du claquage dans un dispositif

En ne considérant que la première occurrence du claquage, à tension de drain nulle, les coefficients de partitionnement fournissent une information sur la localisation du chemin de conduction dans l'oxyde. Cependant il a été montré que plusieurs spots pouvaient être formés au cours du stress ; le coefficient de partitionnement représente alors la position du barycentre de tous les chemins de conduction formés par claquages successifs [III-20]. La position de ce barycentre n'est pas simplement le milieu entre les spots mais est pondérée par la position de chaque chemin de conduction, à la distance les séparant et à leurs intensités respectives. L'étude de l'évolution de ces coefficients fournit donc une image du nombre de weak spot formés dans le canal au cours du stress et confirme la formation de plusieurs chemins de conduction lors du claquage.

En effet si un seul spot était formé au cours du stress, le coefficient de partitionnement resterait constant pour chacun des claquages détectés ; or comme l'illustre les figure III-77 à III.81, ce coefficient évolue au cours du stress et ce jusqu'au dernier claquage détecté avant la saturation de nos mesures qui commande l'arrêt du test pour un courant de grille supérieur à 1mA. Même si la position des chemins de conduction n'est pas directement accessible, l'étude de α_d au cours du stress fournit une confirmation de la formation de plusieurs spots au cours du temps. Ces différents spots peuvent être proches les uns des autres et d'intensité comparables, ce qui provoque une faible variation du coefficient de partitionnement d'un claquage à l'autre, ou bien plus éloignés ou d'intensités très différentes, causant ainsi une variation importante de la valeur du coefficient. Dans ce dernier cas aucune information précise de localisation de spot ne peut être obtenue par cette méthode, en revanche lorsque le coefficient ne varie que peu ou même reste constant pour plusieurs claquages successifs, il est possible de conclure sur la position du claquage dans le dispositif.

Trois tendances distinctes se dégagent de l'étude de ces coefficients : soit le dispositif ne présente qu'un seul point de claquage dont l'intensité grandit avec

l'augmentation du stress comme c'est le cas pour les courbes sans variations des figures III.78 et III.82 ; soit le dispositif supporte l'apparition de plusieurs chemins de conduction successifs, comme en témoigne les variations du coefficient de partitionnement. Enfin une dernière possibilité apparaît pour laquelle le coefficient présente des variations témoignant de la formation de plusieurs chemins de conduction, puis se stabilise jusqu'à la fin du stress. Pour interpréter ce dernier cas de figure, on doit envisager plusieurs hypothèses : soit un des chemins de conduction devient nettement dominant devant les autres et fixe le barycentre de tous les spots en un point, soit tous les spots formés évoluent de la même manière une fois formés, ce qui paraît peu vraisemblable. En l'absence de technique d'imagerie permettant d'examiner la formation et l'évolution des spots en temps réel, il n'est pas possible de trancher définitivement entre ces deux hypothèses.

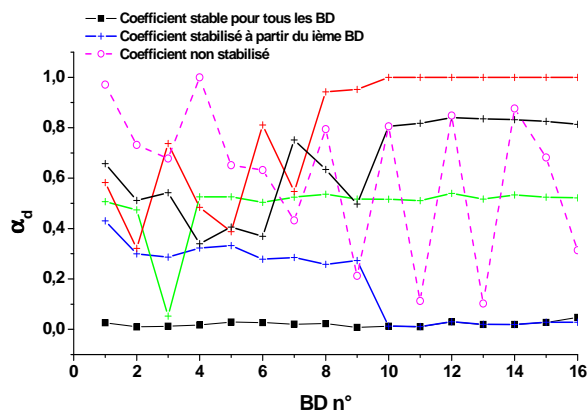


Figure III. 82 : Les trois tendances d'évolution du coefficient de partitionnement : constant, variable puis constant, seulement variable.

Il n'y a que deux occurrences de la première tendance, toujours localisée sur la source ; la deuxième configuration compte dix occurrences et la dernière dix également. En termes de pourcentages pour cette technologie, seulement 10% des dispositifs étudiés n'ont formé qu'un seul chemin de conduction à travers l'oxyde au cours du stress. 45% en forment plusieurs avant l'apparition d'un spot dominant et une stabilisation du coefficient de partitionnement, et enfin 45% continuent de former de nouveaux spots jusqu'à la fin du stress ; ce ne serait pas le cas si un spot de claquage hard avait été formé. En revanche pour les 45% de dispositifs présentant une stabilisation du coefficient, il est possible que cette stabilisation soit causée par la formation d'un chemin de conduction correspondant à un claquage hard.

d. Dépendance du coefficient de partitionnement en tension de drain

Afin d'obtenir des informations sur la position du chemin de conduction dans le canal, il est nécessaire de se placer à tension de drain nulle [III-44] ; autrement l'asymétrie du potentiel à l'intérieur du canal aurait pour conséquence de fausser l'estimation de cette localisation en la décalant vers le drain d'autant plus que son potentiel augmente. Une étude théorique a été réalisée afin de prendre en compte l'influence de la très petite tension de drain appliquée pour mesurer les courants sur le partitionnement [III-20]. Cependant pour des tensions plus importantes, de l'ordre de celles utilisées lors du fonctionnement du transistor, aucune étude n'a encore été menée puisque en appliquant cette tension, le coefficient de partitionnement est perturbé et la localisation du spot n'est plus possible en raison de l'asymétrie du

potentiel du canal. Nous avons tout de même décidé de faire l'étude du partitionnement pour des tensions de drain de l'ordre de celles utilisées lors du fonctionnement usuel du dispositif, nous attendant à obtenir une distribution des coefficients de partitionnement proches de 1 pour α_d , en raison de la force exercée sur les charges par cette tension en direction du drain. Or on constate au contraire qu'à V_d non nul le coefficient de partitionnement est toujours égal à 0.5 ! Et ce dès l'application d'une tension faible de 0.1V comme le montre la figure III.83

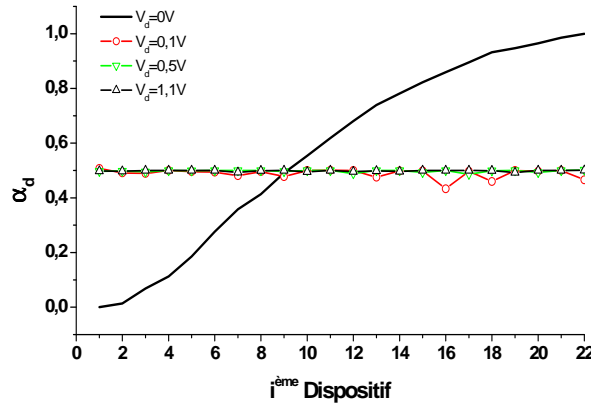


Figure III. 83 : Moyenne des coefficients de partitionnement pour chaque dispositif pour V_d non nulle.

Ce résultat ne peut s'expliquer en utilisant les formules usuelles du partitionnement des courants puisque celle-ci prévoit un coefficient de partitionnement compris entre 0 et 1, et cela même avec la correction de F.Crupi [III-20] pour de petites tension V_d . En effet les équations de partitionnement sont basées sur les équations de conservation du courant qui s'écrivent à $V_d=0$ selon l'équation III-18 :

$$I_{d,s} = \pm \alpha_{d,s} \cdot I_g \quad \text{Equ. III- 18}$$

Cette équation n'est valide que lorsque le courant de la source au drain est négligeable devant le courant de grille, ce qui est effectivement le cas à $V_d=0V$. Mais pour une tension de drain non nulle, cette équation doit être corrigée en y ajoutant le courant de la source au drain I_0 , tel que :

$$I_{d,s} = I_0 \pm \alpha_{d,s} \cdot I_g \quad \text{Equ. III- 19}$$

Les variations de courant sont complétées en conséquence dans l'équation III-20 et le partitionnement équation III-21 :

$$\Delta I_{d,s} = \Delta I_0 \pm \alpha_{d,s} \cdot \Delta I_g \quad \text{Equ. III- 20}$$

$$\alpha_{d,s} = \frac{\Delta I_0 \pm \alpha_{d,s} \cdot \Delta I_g}{2 \cdot \Delta I_0 + (1 - 2 \cdot \alpha_d) \cdot \Delta I_g} \quad \text{Equ. III- 21}$$

Lorsque la variation de courant de la source au drain est négligeable, l'équation usuelle du partitionnement est retrouvée. En revanche lorsque cette variation de courant ΔI_0 devient grande devant la variation de courant de grille, les coefficients de partitionnement sont toujours égaux à 0.5. Le terme en ΔI_0 représente l'excédent de

courant de fuite dû à la fuite par le chemin de conduction et le terme en ΔI_0 représente la variation de courant entre source et drain à partir du premier claquage. La variation des courants de source et de drain s'interprète alors comme la compétition des deux effets, d'une part la fuite par la grille et d'autre part la réduction de courant de la source au drain induite par la dépolarisation du canal. Lorsque ce terme domine dans l'expression des ΔI_S et ΔI_D , les coefficients de partitionnement sont égaux à 0.5.

Cependant est-ce toujours exactement le cas ? En effet s'il y a compétition entre les deux effets du claquage soit d'une part le courant de fuite par le chemin de conduction et d'autre part la réduction du courant de la source au drain attribuée à la diminution de la tension de seuil, pour des claquages intenses, les observations devraient montrer des coefficients de partitionnement qui s'éloignent de 0.5 puisqu'alors les courants de fuite ΔI_g prennent des valeurs de l'ordre de la réduction de courant ΔI_0 .

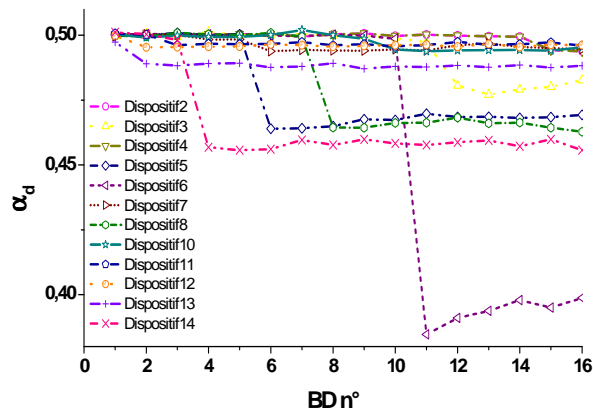


Figure III. 84 : Coefficients de partitionnement pour $V_d=0.1V$.

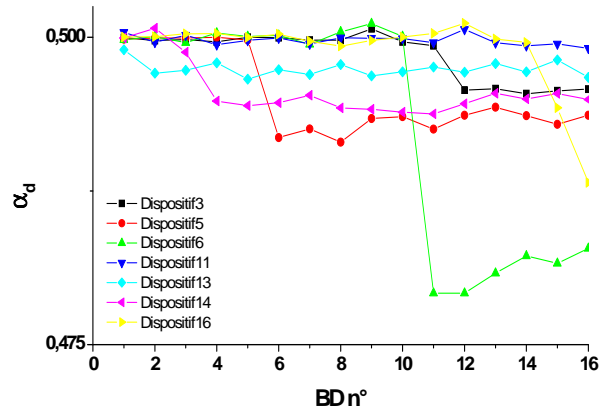


Figure III. 85 : Evolution du coefficient de partitionnement à $V_d=1.1V$.

Effectivement de tels écarts sont observés sur la figure III.84, notamment pour une faible valeur de la tension de drain puisque c'est le cas où le courant I_0 et ses variations sont les plus faibles. Pour une tension $V_d=0.1V$, 55% des dispositifs étudiés présente une évolution du partitionnement du courant de ce type, et cela dès les premiers claquages pour les transistors 5, 8, 13 et 14. Pourtant ces dispositifs ne présentent à tension de drain nulle pas de stabilisation pour ces premiers claquages mais bien plus tard. L'application d'une tension V_d permet de considérer l'évolution du claquage d'un tout autre point de vue qu'à des tensions de drain nulles. En effet pour tous les dispositifs étudiés le coefficient de partitionnement prend la valeur 0.5, ce qui témoigne de l'importance relative de la diminution de courant de source au drain devant le courant de grille. Toutefois dans plus de la moitié des cas étudiés, le partitionnement prend une valeur stable, légèrement différente de 0.5, en particulier à partir du 2^{ème} et jusqu'au 11^{ème} claquage. Cette évolution du coefficient de partitionnement pour des tensions de drain faibles se retrouve aussi, de manière atténuée pour des V_d plus importantes. Pour cette tension, seulement 32% de dispositifs caractérisés présentent un palier de stabilisation.

Comme les dispositifs présentant ce type de palier pour ces tensions non nulles de l'électrode de drain ne sont pas les mêmes que ceux qui présentent une stabilisation de leur partitionnement pour une tension de drain nulle et que de plus ces paliers ne

sont pas atteints pour les mêmes claquages, il faut conclure que le partitionnement du courant à tension de drain non nulle ne semble pas être corrélé simplement au partitionnement du courant à tension nulle. Qu'indiquent alors ces paliers observés ? Il faut d'abord remarquer que lorsque les valeurs s'écartent de 0.5, elles prennent toujours des valeurs inférieures. Pourtant selon la distribution des spots à chaque claquage il a été montré qu'ils se répartissaient tout le long du canal. Il est donc possible de conclure que non seulement le coefficient de partitionnement dépend de la tension de drain par l'intermédiaire de I_o et de I_g qui en dépendent mais encore le coefficient α lui-même en dépend comme il l'a été suggéré à plusieurs reprises. Cette dépendance n'est pas simple : par exemple sur la figure III.85, pour le dispositif 6 prend des valeurs différentes de 0.5 pour des V_d non nulles, soit respectivement 0.37 à 0.1V et 0.48 à 1V, dès le 11^{ème} claquage présente au contraire un coefficient de partitionnement de 1 à $V_d=0V$. Pour le dispositif 14, les valeurs obtenues à 1, 0.1, 0 V sont : 0.495, 0.45, 1 ; mais la valeur 1 à tension nulle est obtenue seulement au 11^{ème} claquage alors que les coefficients de partitionnement étaient stabilisés depuis le 4^{ème} claquage. Un autre cas similaire est celui du dispositif 13 avec 0.495, 0.48, 0.9 ; mais cette valeur à tension nulle est là encore obtenue pour les derniers claquages, si bien qu'aucune tendance générale ne se dégage clairement. Il est possible de remarquer que les dispositifs présentant un partitionnement stabilisé pour des tensions de drain non nulles prennent des valeurs extrêmes à tension nulle telles que 0 ou 1 ; c'est le cas pour 70% des dispositifs stabilisés à V_d non nulle.

Nos résultats soulignent l'importance de la variation de courant de la source au drain dans le fonctionnement du dispositif dégradé, en effet même pour les faibles tensions de drain ce mécanisme apparaît comme dominant dans les variations respectives de ces courants. Nous attribuons cette variation à la dépolarisation du canal et nous nous servons de ce terme pour quantifier cette dernière.

2 - Quantification de la dépolarisation

Considérant ce qui précède, la dépolarisation joue un rôle prépondérant dans l'impact du claquage sur le fonctionnement des dispositifs, puisqu'elle peut être considérée comme directement responsable de la dérive de la tension de seuil et que son impact est dominant pour une tension de drain non nulle. Cependant aucune étude n'a tenté de quantifier cette dépolarisation, qui n'est mentionnée que par [III-11, 12, 13]. Ceux-ci attribuent cet effet à la dégradation de l'oxyde autour du chemin de conduction qui conduit à un élargissement de son effet au niveau du canal. B. Kaczer utilise même comme paramètre d'ajustement entre son modèle et ses mesures une couche de charge fixe autour du point de claquage. Cester non plus n'explique pas les causes de la dépolarisation, soit la réorganisation de charges autour du spot que nous avons présentée plus haut, soit plus classiquement des charges de défauts d'interface, similaires dans leur mécanismes à ceux du courant induit par le stress ainsi que le montre [III-45].

Cet aspect de la dégradation peut être identifié par l'écriture originale de l'équation de Kirchhoff des équations III-19 et III-20. Ce courant est fonction de la polarisation du canal par la tension de grille et de la tension de drain qui détermine le niveau de courant entre source et drain. La prise en compte de l'évolution de ce courant fournit

une image de l'évolution de la polarisation du canal. Pour cela il faut considérer le dispositif soumis à une tension de drain non nulle afin que la magnitude du courant de la source au drain ne soit pas négligeable. En premier lieu considérons à la figure III-86 la variation ΔI_o en fonction de V_d à $V_g=1V$ pour des claquages successifs subis par un dispositif.

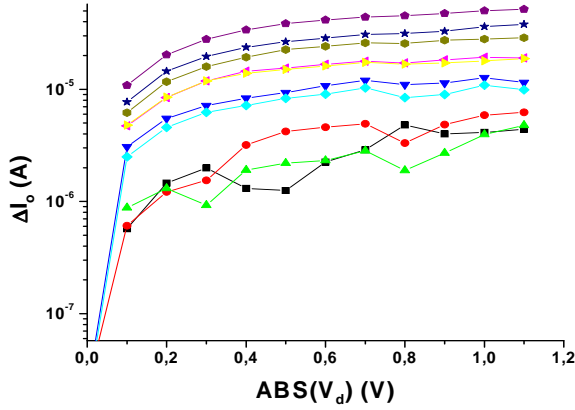


Figure III. 86 : ΔI_o en fonction de V_d à $V_g=1V$ pour des claquages successifs.

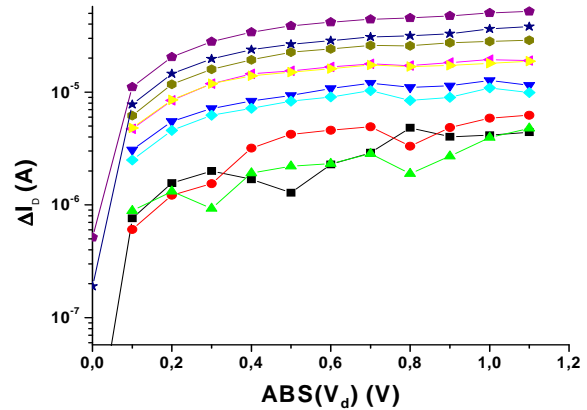


Figure III. 87 : ΔI_d en fonction de V_d à $V_g=1V$ pour des claquages successifs.

Le courant de la source au drain diminue progressivement au fur et à mesure des claquages ; pour les trois premiers claquages toutefois, la variation est sensiblement la même. De plus ces variations sont comparables à l'évolution du courant I_d pour des claquages successifs représentées figure III.87. Cette similitude nous pousse à étudier le rapport entre ces deux évolutions, en fonction du claquage et pour différentes tension de drain, tracé figure III.88. Nos premières constatations sont effectivement renforcées par cette étude puisque pour les dix premiers claquages le rapport entre la variation de I_d et celle de I_o est égal à 1. De la même manière que le coefficient de partitionnement s'éloignait de 0.5 pour des valeurs élevées de claquage, ce rapport chute à partir du 11^{ème} claquage et tombe même à 0 à très faible V_d .

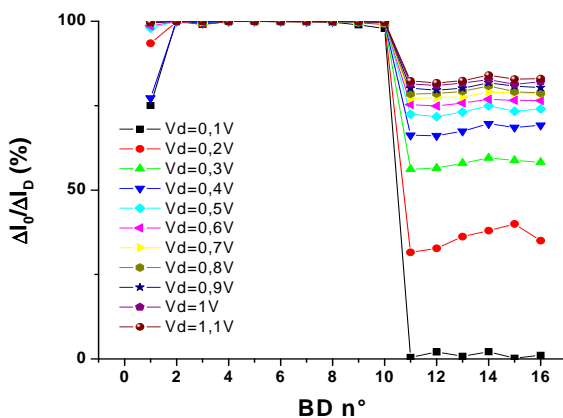


Figure III. 88 : Proportion de la variation du courant de drain due à la variation de I_o .

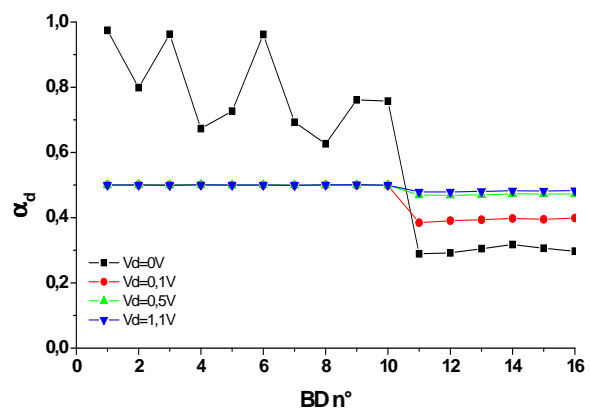


Figure III. 89 : Variations du coefficient de partitionnement en fonction du claquage pour différents V_d .

Comparons maintenant sur la figure III-89 ces dynamiques d'évolution à celles du coefficient de partitionnement obtenues pour le même dispositif. Il apparaît alors que la dynamique d'évolution du coefficient de partitionnement est similaire à celle du rapport entre ΔI_o et ΔI_d . Ces résultats sont tout à fait cohérents avec notre formule

d'évaluation du courant de la source au drain et avec notre interprétation de la phénoménologie du claquage considérant deux effets en compétition, d'une part la dépolarisation du canal et d'autre part la fuite localisée. Etendons ces observations à plusieurs dispositifs, présentant des variations typiques du partitionnement des courants, par exemple les dispositifs 2, 3, 14 et 19 ; dont les coefficients de partitionnement sont présentés comme des dynamiques types d'évolution du coefficient α au paragraphe 1 de ce chapitre. En effet pour le dispositif 2, α_d est toujours égal à 0, le coefficient de partitionnement du dispositif 3 atteint la valeur 0 au 10^{ème} claquage, le 14 se stabilise à 0.5 à partir du 4^{ème} claquage et enfin le coefficient du dispositif 19 continue de varier entre 0 et 1 tout au long du stress. Ces différents cas typiques d'évolution du coefficient de partitionnement sont présentés pour différentes tensions de drain sur les figures 90 à 97.

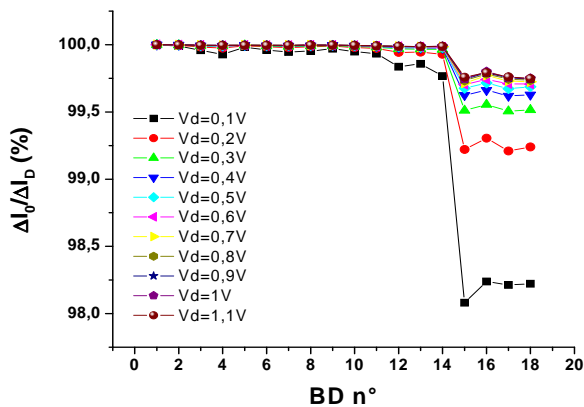


Figure III. 90 : Dispositif 2, proportion de la variation du courant de drain due à la variation de I_o .

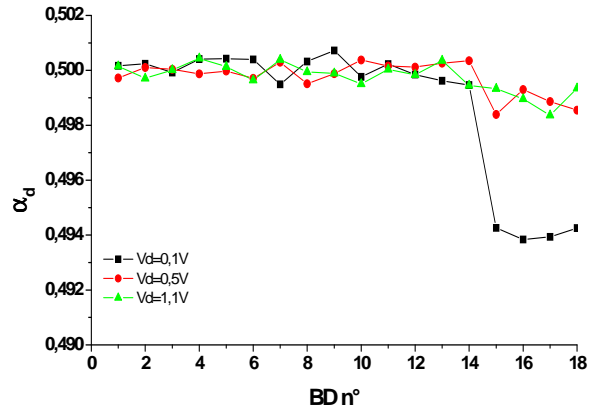


Figure III. 91 : Dispositif 2, variations du coefficient de partitionnement en fonction du claquage pour différents V_d .

Observons les figures III.90 et III.91 ; là encore le rapport entre variation de courant de la source au drain et variation de courant de drain du dispositif 2 est égal à 1 jusqu'au claquage 15 à partir duquel ce rapport baisse jusqu'à 98% pour la plus faible valeur de la tension de drain. Cette faible valeur de tension de drain correspond à la valeur minimale de courant de la source au drain ; pour les valeurs finales du claquage nous avons dit que dans ces conditions, l'amplitude du courant de fuite de grille était alors du même ordre de grandeur que ce courant. La variation maximale de ce coefficient est ici de 2%.

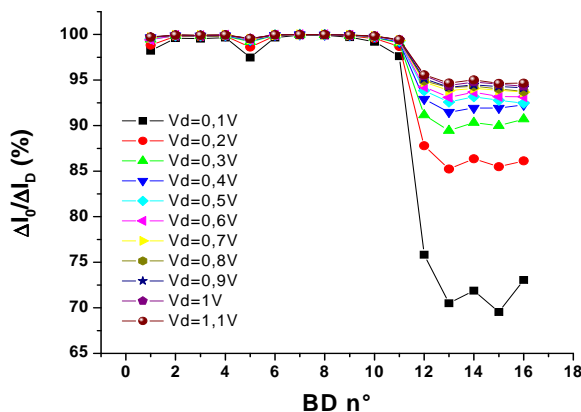


Figure III. 92 : Dispositif 3, proportion de la variation du courant de drain due à la variation de I_o+ .

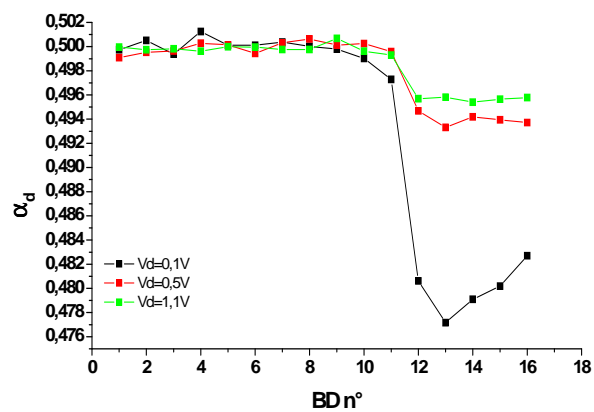


Figure III. 93 : Dispositif 3, variations du coefficient de partitionnement en fonction du claquage pour différents V_d .

Pour le dispositif 3 dont le rapport entre les variations de polarisation et de courant de drain ainsi que le coefficient de partitionnement sont présentés sur les figure III.92 et III.93, la variation du rapport est beaucoup plus importante, contre 2% pour le dispositif 2, elle est ici de 30% pour les faibles V_d . Concernant la variation du partitionnement elle n'atteint que 5% pour ce dispositif. Cependant la dynamique d'évolution avec le claquage pour le coefficient et le rapport sont là encore similaires.

Examinons maintenant le cas du dispositif 14, sur les figures III.94 et III.95 ; il présente une variation de coefficient de partitionnement très faible puisque celui-ci reste constant à tension de drain nulle et égal à 0.5 dès le 4^{ème} claquage. Pour ce dispositif, le 4^{ème} claquage semble être le premier à partir duquel la domination du phénomène de réduction du courant de la source au drain commence à être compromise par l'amplitude de la fuite. Les valeurs prises par le coefficient sont telles qu'il est possible de représenter dans le même temps les courbes obtenues à tension nulle ; ce n'est pas le cas des autres dispositifs puisque les valeurs de leur coefficient sont comprises entre 0 et 1 et donc l'échelle ne peut être adaptée pour visualiser simultanément tous les cas de mesure sur le même graphe.

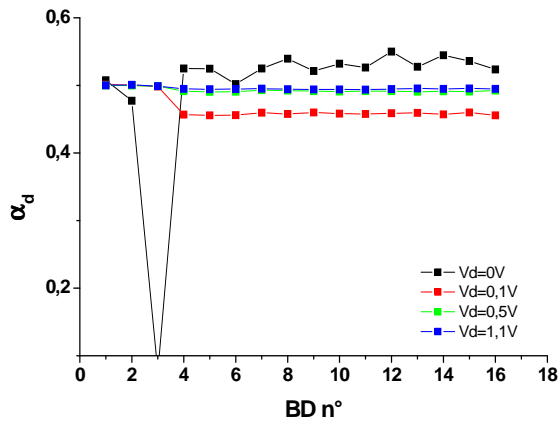


Figure III. 94 : Dispositif 14, variations du coefficient de partitionnement en fonction du claquage pour différents V_d .

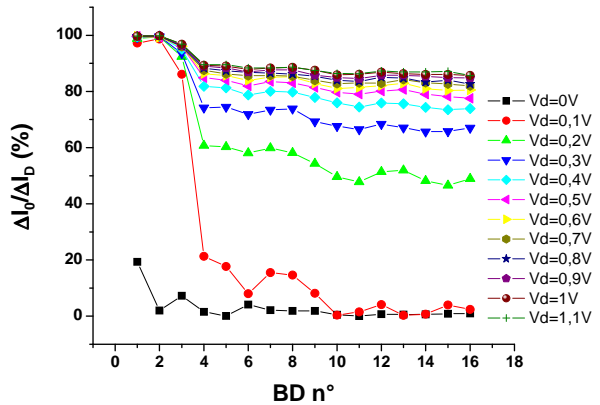


Figure III. 95 : Dispositif 14, proportion de la variation du courant de drain due à la variation de I_0 .

Du point de vue du partitionnement du courant dans ce dispositif, figure III.94, le 4^{ème} claquage semble en effet critique puisque à partir de ce BD, il n'y a plus domination de la dépolarisation du canal détectée par l'intermédiaire de l'extraction de ΔI_0 des données enregistrées. Le claquage ayant lieu à ce moment là provoque le passage d'un type de claquage où l'effet majoritaire était cette diminution du courant de la source au drain à un type de claquage pour lequel le courant de fuite pondéré par le coefficient de partitionnement est suffisamment important pour concurrencer la dépolarisation. A partir de ce claquage il y a donc relocalisation de la fuite due au claquage pour des tensions de drain non nulles. Pour les claquages précédents, l'effet de la fuite ne semblait pas localisé puisque la valeur de 0.5 est trouvée dès l'application d'une tension, pour les raisons que nous avons avancées. Cette valeur peut être interprétée comme une perte de polarisation pour tout le canal, c'est-à-dire un effet non localisé du claquage.

Nos interprétations de la phénoménologie du claquage se trouve confirmées par l'analyse du rapport $\Delta I_0 / \Delta I_d$ présentée figure III-95 pour le dispositif 14. Tout d'abord sur cette figure les deux effets fuite localisée / dépolarisation globale se trouvent illustrés clairement, en effet pour une tension de drain nulle, le rapport vaut moins de

20%, puis dès le deuxième claquage demeure entre 0 et 10%. Cela signifie que même pour une tension de drain nulle, une diminution significative du courant de la source au drain est mesurée. A partir du second claquage pour cette tension de drain, ce rapport tombe à 0, indiquant ainsi la domination de la fuite localisée sur le courant de drain. A tension de drain nulle cette domination ne semble pas remise en cause pour les claquages ultérieurs. Cependant au regard de l'évolution de ce rapport à tension de drain non nulle, pour toutes les autres courbes de cette figure, le rapport prend la valeur 1 pour les deux premiers claquages et reste supérieur à 90% jusqu'au 3^{ème} BD. Au 4^{ème} BD, notamment pour les tensions de drain les plus faibles, le rapport diminue jusqu'à la fin du stress, montrant une influence non négligeable de la fuite localisée devant la diminution de courant de la source au drain. L'étude de cette évolution que nous appelons effet de dépolarisation du canal, conduite à des tensions de drain non nulles, apporte donc un renseignement complémentaire à l'étude du courant de fuite seule puisqu'elle permet d'identifier le claquage décisif pour lequel l'amplitude de la fuite localisée domine l'effet du claquage sur le dispositif. Auparavant cette distinction ne pouvait être faite que de manière arbitraire en définissant un seuil de courant de fuite séparant un claquage progressif ou soft du claquage plus hard. La distinction est maintenant plus fine puisque notre approche permet de distinguer des gravités de claquages au cours des BreakDown progressifs et softs, en se basant sur cette comparaison entre fuite localisée et dépolarisation.

Il reste à examiner sur les figures III.96 et III.97 le cas où le coefficient de partitionnement reste variable jusqu'à la fin du stress ; les dispositifs présentés jusqu'à maintenant dans cette partie présentaient une stabilisation de ce coefficient. C'est le cas pour le dispositif 19 dont le partitionnement en courant reste variable de 1 à 0.4 sans présenter de paliers. Un tel graphe ne permet pas d'identifier comme précédemment un claquage critique pour lequel la répartition des effets du claquage pourrait être interprétée.

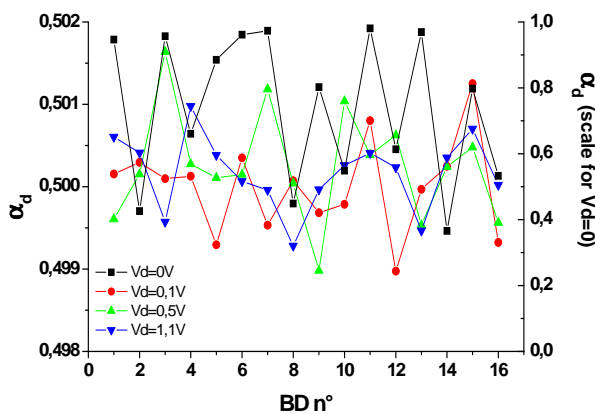


Figure III. 96 : Dispositif 19, variations du coefficient de partitionnement en fonction du claquage pour différents V_d .

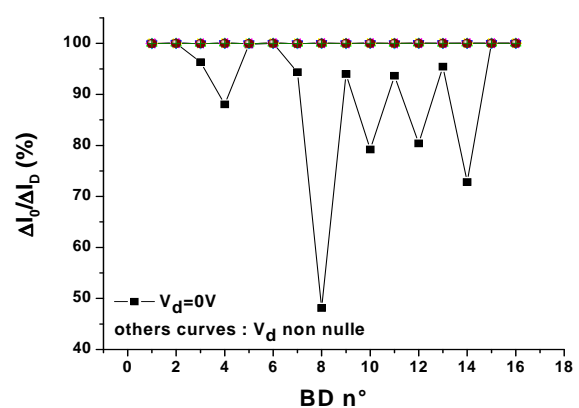


Figure III. 97 : Dispositif 19, proportion de la variation du courant de drain due à la variation de I_0 .

De même sur la courbe III.97 du rapport des deux courants, aucun claquage ne semble causer de déviation ; d'après notre lecture de ces courbes, nous devons donc déduire qu'aucun claquage important en terme d'intensité de fuite n'a eu lieu sur ce dispositif ; l'analyse effectuée pour les autres transistors présentés avant ne peut donc être appliquée. Finalement deux types de courbes d'évolution du rapport des courants sont observées, le premier avec un claquage de seuil à partir duquel le partitionnement des courants à tension de drain non nulle n'est plus celui d'une

domination de la dépolarisation globale du canal ; le deuxième type de courbe ne présente pas de variations significatives du rapport des courant ; ces dispositifs font tous partie de ceux dont le coefficient de partitionnement ne se stabilisait pas. Dans ces derniers cas on peut conclure qu'aucun claquage décisif n'a lieu dans le canal, si bien que l'intensité du courant de fuite ne concurrence pas la dépolarisation. Il faut encore remarquer que dans ce dernier cas la non stabilisation du coefficient de partitionnement à tension de drain nulle n'est pas un critère suffisant pour discriminer les deux types de claquages ; en effet plusieurs dispositifs dans ce cas présentent tout de même un écart dans le rapport des courants. En revanche tous les dispositifs présentant un écart de coefficient de partitionnement à tension de drain non nulle montrent également un écart sur les courbes de rapport de courant. C'est le cas des dispositifs 2 à 8, 10 à 14 et 16 à 17, soit 70% des dispositifs.

Une autre représentation de l'évolution de la variation de courant de la source au drain permet de dégager ces claquages critiques qui font passer le dispositif d'un type de claquage à l'autre ; il s'agit de la variation relative de ce courant $\Delta I_0/I_0$. On distingue trois comportements typiques, un pour les dispositifs admettant des claquages dits critiques, les autres pour les dispositifs ne présentant pas ce genre de variations de coefficient et de rapport de courant. Les variations relatives des dispositifs du premier type sont croissants jusqu'au claquage critique puis stables ou légèrement décroissants jusqu'à la fin du stress. Les autres sont soit toujours croissant soit toujours décroissants. Dans le premier cas les claquages successifs continuent à augmenter la dépolarisation globale du canal comme pour les dispositifs 1, 15, 18, 19, 20 et 21 ; le second au contraire réduit cette dépolarisation de claquage en claquage en augmentant progressivement la contribution de la fuite localisée sur la variation de courant de drain ; c'est le cas seulement pour les dispositifs 9 et 22. Tous les autres sont dans le premier cas. Les figures III.98 à III.100 présentent un cas de chaque type.

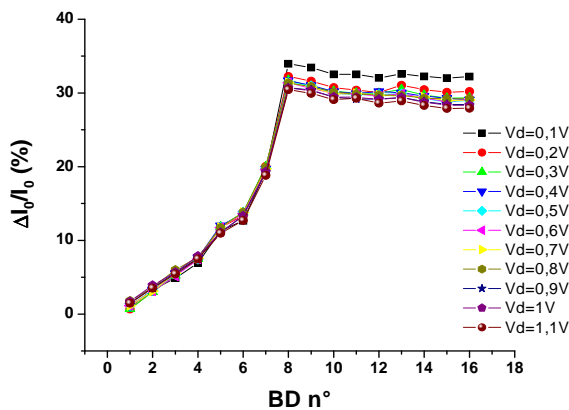


Figure III. 98 : Dispositif 8, variation relative du courant de la source au drain pour des claquages successifs et différentes tensions de drain.

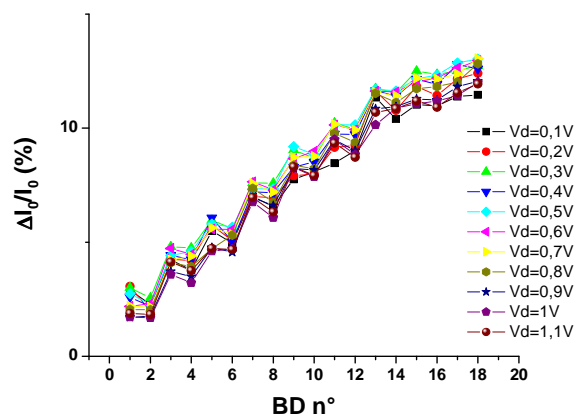


Figure III. 99 : Dispositif 14, variation relative du courant de la source au drain pour des claquages successifs et différentes tensions de drain.

Ce type de courbe nous renseigne de plusieurs manières sur l'évolution du claquage dans le dispositif : en effet après une augmentation uniforme, la variation relative présente un palier, légèrement décroissant, à partir de 30%. Ce palier a lieu précisément à partir du claquage que nous avons appelé critique. Il faut remarquer qu'avant ce claquage, la tension de drain ne jouait aucun rôle dans la variation relative ; à partir du seuil au contraire, la variation relative diminue lorsque la tension de seuil augmente. Cela s'explique par la dépendance du courant de la source au

drain en tension de drain ; en effet plus la tension de drain est élevée et plus le courant de drain I_o sera élevé. A variation de courant ΔI_o égale, la variation relative est donc plus faible. Cette variation de courant reste égale parce qu'à partir du claquage critique c'est la fuite localisée qui croît au fur et à mesure des claquages. Notre interprétation demeure donc cohérente avec les observations.

Rien de semblable dans le cas où aucun claquage critique n'a pu être identifié, tout se passe comme si ce dispositif ne subissait pas de claquage d'intensité suffisante pour que la fuite localisée concurrence la dépolarisation ; celle-ci continue donc à croître jusqu'à la fin du stress. Les courbes pour toutes les tensions de drain sont quasiment confondues et l'amplitude de la variation est inférieure à 15 % du courant de la source au drain pour un dispositif vierge. C'est pourtant le dispositif qui en présente le plus, les autres présentant un claquage de ce type ne dépassent pas 10% de variations relatives du courant de la source au drain. Dans les claquages de ce type, l'impact sur le canal à V_d non nulle ne cesse d'augmenter au fur et à mesure du stress. Le cas inverse se présente plus rarement, 2 fois sur nos 22 dispositifs, pour lequel cette variation relative ne cesse de décroître.

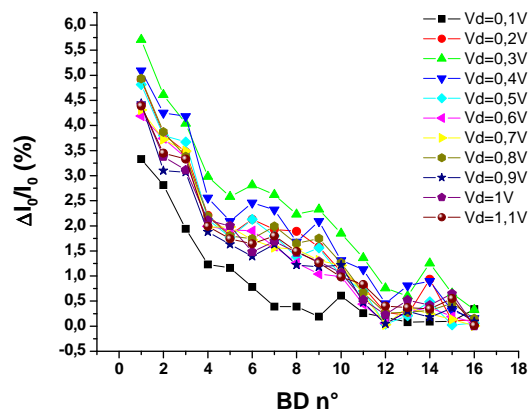


Figure III. 100 : Dispositif 9, variation relative du courant de la source au drain pour des claquages successifs et différentes tensions de drain.

La polarisation du canal est bien affectée progressivement par les claquages successifs, ce qui peut expliquer la dérive de la tension de seuil. La dépolarisation est en effet distribuée autour du chemin de conduction, comme l'ont montré nos simulations en début de ce chapitre, en fonction de la tension de drain qui déforme l'aspect de la zone dépolarisée. De plus une correction des équations de partitionnement nous a permis de déduire que l'impact dominant du claquage sur les transistors MOS était une diminution du courant de la source au drain. Cette diminution de courant n'est pas due uniquement à la fuite puisque celle-ci apparaît comme négligeable dans la plupart des cas ; il faut donc l'attribuer à la déviation de la tension de seuil des dispositifs. A polarisation de drain nulle, les équations de partitionnement demeurent inchangées et nos conclusions rejoignent celles des autres équipes travaillant sur le sujet. Pour une tension de drain non nulle en revanche, nous sommes les premiers à montrer l'intérêt de l'analyse du partitionnement quand bien même elle ne fournit plus directement d'information sur la localisation du spot. En revanche elle permet d'évaluer l'importance respective des deux effets du claquage, fuite localisée et diminution du courant de la source au drain. Ce dernier effet peut être interprété comme un impact global sur tout le canal puisque dans ce cas le coefficient de partitionnement est toujours égal à 0.5. Lors du stress d'un dispositif, dans 70% des cas il commence par être impacté en terme de

dégradation globale avant que le niveau de courant de la fuite localisée devienne suffisant pour dominer la variation de courant de drain distribuée sur toute la surface du canal. L'importance relative de tel ou tel effet devrait donc dépendre de la géométrie du canal, puisqu'un canal long et large va être plus sensible à une dégradation globale qu'à une dégradation localisée. En revanche, l'impact relatif de la fuite localisée devrait être plus important pour des canaux étroits et courts puisqu'elle dominerait plus facilement l'impact distribué comme illustré sur la figure III.102. Nous avons donc conduit nos mesures sur des dispositifs issus de la même technologie mais de différents ratios d'aspect.

3 - Influence de la géométrie du dispositif sur l'impact du claquage

L'idée d'un impact du claquage réparti autour du point de claquage a été avancée en 2004 par [III-11] pour expliquer la dépendance en surface de l'impact du claquage sur les dispositifs. Il avance l'hypothèse que les canaux sont impactés différemment selon leur aspect géométrique. En effet pour une dégradation de la polarisation circulaire autour du point de claquage, l'impact sur la couche d'inversion est différent selon sa géométrie : pour un canal étendu, même si la zone centrale est dépolarisée, les parties non endommagées autour du chemin de conduction peuvent suffire à conduire le courant d'une électrode à l'autre. Mais pour des canaux plus courts ou plus étroits, à conditions égales la totalité de la largeur ou de la longueur du canal va être perturbée et l'effet sur le courant sera d'autant plus grand.

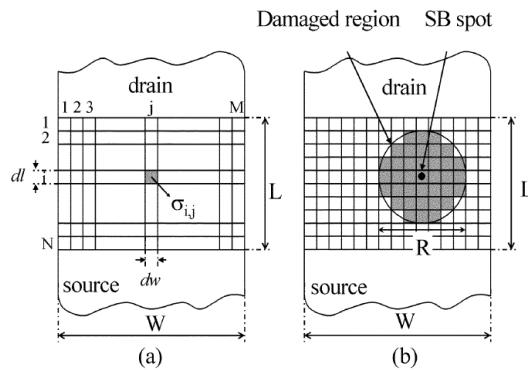


Figure III. 101 : Unique mention bibliographique de l'étendue de l'impact du BD autour du spot [III-11].

Pour expliquer l'origine physique de cette dépolarisation, Cester fait appel, comme les autres équipes [III-11, 12, 13, 45] à des dégradations de l'interface de l'oxyde, sans considérer spécifiquement la dépolarisation induite localement par la fuite, de toutes façons inaccessible aujourd'hui à la mesure directe mais en considérant que la zone autour du spot est préférentielle pour le piégeage et dépiégeage de charges, ce qui contribue à dégrader l'interface canal/oxyde autour du spot comme illustré par la figure III.101. Le lien entre ces sites de piégeage préférentiels et la baisse de la tension de seuil est aussi évoquée dans cet article. L'impact du claquage serait donc pour partie localisé autour du chemin de conduction, et d'autre part distribué autour de ce point. Ces observations confirment à la fois nos résultats de simulations de la première partie de ce chapitre et notre analyse du partitionnement, à travers

l'introduction du terme I_0 qui fournit une image de la perte de conductivité du canal. Grâce à cette approche originale et aux équations du partitionnement que nous avons complétées, nous avons pu déduire qu'une partie de l'impact du claquage sur le fonctionnement du dispositif pouvait être considérée comme non localisée, avec un partitionnement de 0.5 ; correspondant à une dégradation uniforme sur tout le canal. Toutefois ce n'est pas précisément ce qu'avance Cester dans son article ; en effet, cet impact distribué autour du spot reste localisé autour de ce spot ; l'introduction d'un tel terme explique l'augmentation du taux de dégradation autour des spots, qui deviennent ainsi des spots de BD hard à la fin du stress. La réduction de la tension de seuil y trouve également une explication. Pour Cester, comme pour les autres équipes qui ont analysé ce problème, l'effet du claquage reste toujours localisé. Pour trancher entre ces deux hypothèses, une étude systématique doit être conduite pour différents ratios d'aspect. En effet que dire de l'impact du claquage lorsque la zone endommagée autour du spot occupe toute la largeur ou toute la longueur du canal du dispositif ? Logiquement pour des dispositifs à canaux étroits ou courts, l'impact du claquage sur la tension de seuil et la dépolarisation du canal doit être bien plus important que pour des canaux larges et longs. En effet la baisse locale de conductivité n'impacterait alors pas le dispositif de la même manière selon que une petite portion du canal ou bien toute sa longueur ou toute sa largeur soit dépolarisée. Cette notion est expliquée par le schéma de la figure III-102, qui reprend celui de Cester pour différentes géométries.

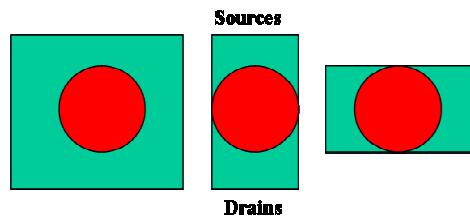


Figure III. 102 : Différence d'impact de la zone dépolarisée autour du spot pour différentes géométries.

La proportion de canal dépolarisé devrait donc influencer sur les écarts observés en termes de tension de seuil et de dépolarisation du canal, imagée par la diminution du courant de la source au drain. En effet, lorsque toute la largeur du canal est dépolarisée, l'impact du claquage s'apparenterait à une dégradation globale du canal. La diminution de la densité de courant serait alors plus importante que pour un canal large qui présenterait une majorité de sa largeur non impactée par le BD. De même pour un spot de conduction dont la dépolarisation induite occuperait toute la longueur du canal, la réduction du courant devrait être là encore plus importante que pour un canal long. Nous avons donc testé différentes géométries de dispositifs pour vérifier notre interprétation et trancher entre les deux hypothèses d'un impact localisé du claquage sur le fonctionnement du MOS ou au contraire sur un impact réparti sur toute la surface du canal. Toutes les caractéristiques techniques des dispositifs testés dans cette partie sont identiques, à l'exception de la longueur et de la largeur de leur canal. Des dispositifs de ratios d'aspect différents sont ainsi stressés selon le même protocole que pour les dispositifs de dimensions nominales et leurs caractéristiques après chaque claquage successif sont mesurées. Les dimensions des dispositifs utilisés sont respectivement en longueurs et largeurs de canaux : $0.04 \times 0.5 \mu\text{m}$; $0.04 \times 1 \mu\text{m}$ qui est notre dispositif nominal, $0.04 \times 2 \mu\text{m}$, $0.12 \times 1 \mu\text{m}$; les aires des canaux sont donc : $0.02 \mu\text{m}^2$, $0.04 \mu\text{m}^2$, $0.08 \mu\text{m}^2$ et $0.12 \mu\text{m}^2$. Nous avons également prévu une mesure avec des dispositifs de géométrie $0.08 \times 1 \mu\text{m}$ mais cette campagne de mesure n'a pu être conduite jusqu'au bout. Seulement douze

dispositifs de chaque type sont utilisés, aussi les résultats statistiques sont peu fiables. Traçons tout d'abord figure III-103 l'évolution du rapport $\Delta I_0/I_0$ pour un claquage donné, afin de comparer entre les différents ratios d'aspect.

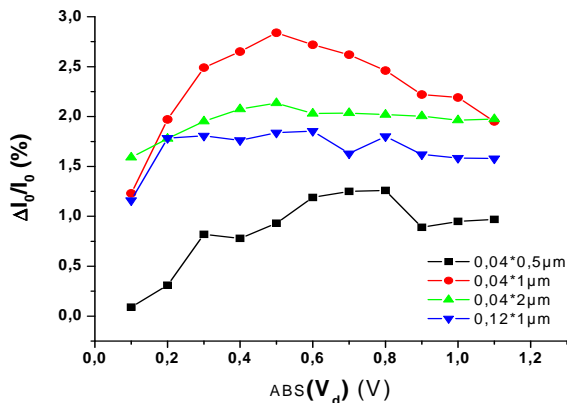


Figure III. 103 : Variation relative du courant de la source au drain pour le 2^d BD.

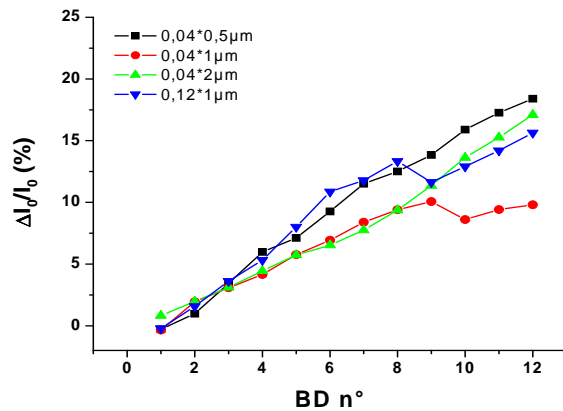


Figure III. 104 : Variation relative du courant de la source au drain pour des claquages successifs et différentes géométries.

Pour ce second claquage, il n'y a pas de corrélation ni entre les aires mises en jeu ni entre les largeur ou longueur de canal ; les ordres de grandeur de l'évolution du courant I_0 pour les différents dispositifs sont les mêmes et les tendances également. Ces observations sont identiques pour tous les claquages enregistrés. Or d'après nos analyses et les éléments issus de la bibliographie, dans le cas d'un impact du BD localisé juste autour du spot ainsi que c'était le cas dans nos simulations et dans l'analyse conduite par Cester, nous aurions dû observer une évolution relative de ce courant moindre pour les grands dispositifs, que ce soit en largeur ou en longueur puisque l'effet local du BD aurait été de plus en plus négligeable devant les grandes surfaces de dispositifs. Au contraire ici nous observons que la plus petite surface semble moins impactée par la dépolarisation que les autres pour ce claquage particulier. En analysant pareillement les autres occurrences de claquage, il apparaît que d'un cas sur l'autre, la dépolarisation affecte majoritairement l'un ou l'autre type de dispositif sans aucun lien avec sa géométrie.

En observant figure III.104 l'évolution de ce rapport au fur et à mesure des claquages successifs, les mêmes constatations sont effectuées : pas de corrélation avec la géométrie des dispositifs. Au contraire toutes les géométries de dispositifs présentent des dynamiques similaires quant à l'évolution relative de ce courant. Cela ne serait pas le cas si le claquage n'impactait que localement le canal. Il faut donc conclure pour une tension de drain non nulle que l'impact du claquage équivaut à une dégradation globale de l'oxyde, sur toute sa surface.

4 - Lois empiriques d'évolution du claquage

En examinant nos données du claquage en fonction du temps, il est apparu que les tendances restaient identiques pour chaque claquage ; nous avons alors entrepris d'établir une expression mathématique capable de reproduire les différentes courbes expérimentales, de manière à pouvoir quantifier les différences

entre chaque claquage et le claquage moyen. En accédant à ce type de statistique, il devient possible d'implémenter sa distribution dans les simulateurs de vieillissement de dispositif et ainsi de pouvoir procéder à des simulations de type Monte Carlo pour la simulation de circuits, ce qui sera effectué dans la partie suivante.

a. Loi d'évolution du courant de fuite du au claquage

Le courant de fuite de grille, lors de l'occurrence du claquage progressif reste d'abord dans le même ordre de grandeur que le bruit dû au claquage ; puis lors de l'occurrence du claquage soft, le courant augmente brusquement de plusieurs décades. Il s'agit donc d'un mécanisme de dégradation à seuil. Lorsqu'une certaine quantité de stress est emmagasinée, la densité de défauts dans l'oxyde est d'abord responsable du bruit dans le signal puis lorsque cette densité devient suffisante pour le passage d'un courant localisé, le phénomène de dégradation s'amplifie de lui-même et le passage du courant dans le chemin de conduction contribue à son tour à dégrader l'oxyde autour de son passage. Pour cette raison, Cester remarque que le piégeage/dépiégeage de charges est facilité autour de la zone du spot par la dégradation de l'oxyde. Le courant de fuite typique lors d'un stress à tension constante passe donc par trois étapes, d'abord le claquage progressif augmente le bruit sur le courant de grille ; puis le claquage soft se caractérise par des sauts de courants, enfin le claquage hard dépasse les limites des appareils de mesure en détruisant l'oxyde.

Pour caractériser la zone d'augmentation du bruit, il est nécessaire d'étudier la densité spectrale de courant, afin d'identifier les mécanismes en œuvre. Pour cette phase du claquage, le comportement en fréquence correspond à un signal télégraphique aléatoire ou RTS pour Random Telegraph Signal [III-46]. Pour les dispositifs de petites dimensions comme ceux qui nous occupent ici, ce type de bruit correspond généralement au piégeage ou dépiégeage d'un porteur à l'interface entre le silicium du canal et l'oxyde de silicium [III-14, 47]. Le bruit total en 1/f résulte de la superposition de plusieurs bruits correspondant chacun à un niveau d'énergie des pièges de l'oxyde, de l'interface ou du canal. L'intégration de ce phénomène dans les modèles compacts nécessite une expertise en mesure et caractérisation de bruit. Nous nous intéressons dans notre étude aux phases de claquage ultérieures, c'est-à-dire soft et hard, afin d'en dégager des tendances générales susceptibles d'être reproduites dans les modèles de haut niveau.

Ce phénomène a dans un premier temps été modélisé en deux parties, avant et après le coude avant d'unifier ces approches dans une expression synthétique. Dans un premier temps, en nous inspirant de l'expression proposée par G.Ribes pour l'évolution de la tension de seuil, nous l'avons écrit pas l'équation III-22 :

$$\Delta I_g = A * \ln(t) + B \quad \text{Equ. III- 22}$$

$$\Delta I_g = C * t^\alpha \quad \text{Equ. III- 23}$$

Toutefois cette expression est incomplète et ne rend compte que de la fin de l'évolution du courant en fonction du temps, comme on peut le voir sur la figure III.105. Cette limitation apparaît lorsque les courbes sont tracées en échelle

logarithmique. Le comportement du courant au début du claquage soft s'écrit plutôt comme une puissance du temps à l'équation III-23, cela est illustré figure III.106 :

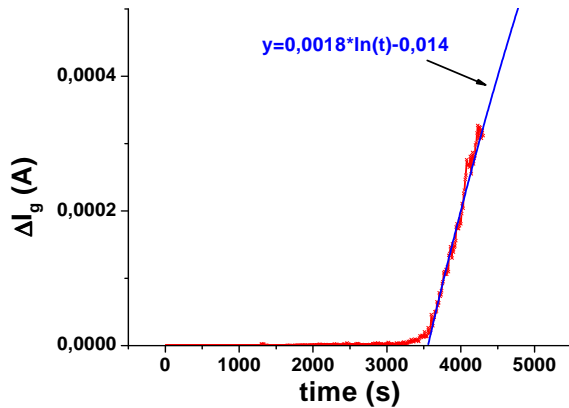


Figure III. 105 : Première expression analytique de $\Delta I_g=f(t)$.

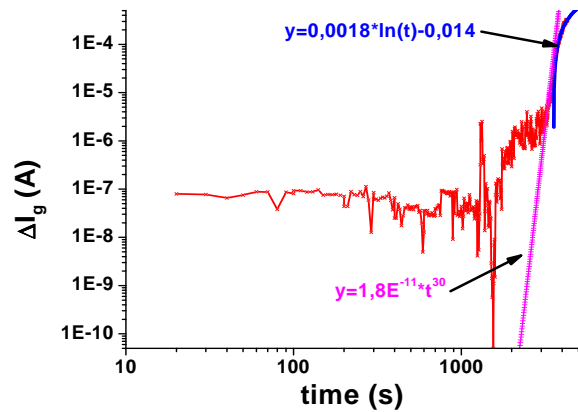


Figure III. 106 : Expressions asymptotiques de l'évolution du courant en fonction du temps.

Nous obtenons deux expressions asymptotiques du comportement du courant dans le temps. Il s'agit maintenant de mettre au point une formule dont les asymptotes s'écriraient respectivement en puissance de t et en logarithme de t comme c'est le cas de l'expression de l'équation III-24 ; lorsque le temps est petit devant la constante de temps τ , cette équation est développée au premier ordre équation III-25 et pour les temps grands devant τ à l'équation III-26.

$$\Delta I_g = A * \ln\left(1 + \left(\frac{t}{\tau}\right)^\alpha\right) \quad \text{Equ. III- 24}$$

$$\Delta I_g = \frac{A}{\tau^\alpha} * t^\alpha \quad \text{Equ. III- 25}$$

$$\Delta I_g = \alpha.A * \ln(t) - \alpha.A * \ln(\tau) \quad \text{Equ. III- 26}$$

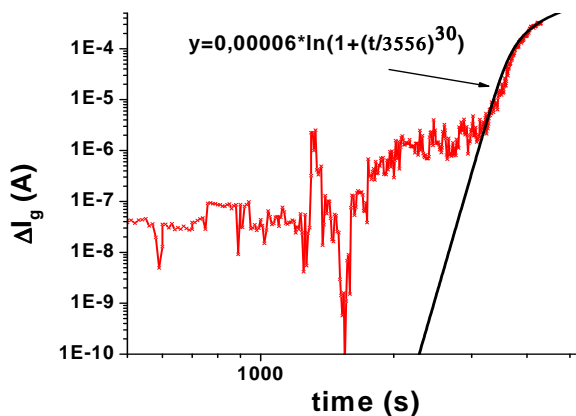


Figure III. 107 : Expression de l'évolution du courant en fonction du temps à partir du premier claquage soft.

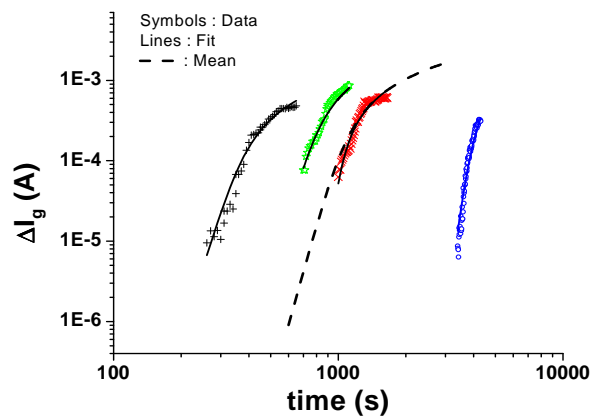


Figure III. 108 : Exemples typiques d'évolution du courant de grille avec le temps de stress à -2.6V.

Nous retrouvons bien figure III.107 les deux tendances correspondant aux deux parties des courbes mesurées. La constante de temps τ sert ici à localiser la zone du coude et les coefficients A et α ajustent les amplitudes respectivement au dessus et

en dessous du seuil. Par ce moyen nous parvenons donc à quantifier le comportement moyen de la déviation pour tous les dispositifs et il est alors possible d'évaluer les écarts de chaque claquage par rapport au comportement moyen afin d'obtenir une statistique globale du comportement du claquage.

L'évaluation des déviations statistiques de l'impact du claquage sur le courant est capitale pour la caractérisation du claquage. En effet de grands écarts sont constatés dans l'évolution du courant de grille en fonction du temps. Les pentes de l'évolution de ce courant varient beaucoup ainsi que les valeurs de la saturation. En outre les constantes de temps localisant la zone du coude entre les deux types de comportement sont distribuées sur plus d'une décade ainsi que les instants de passage d'un mode de claquage progressif à un claquage de type soft caractérisé dans cette étude. Afin d'évaluer la moyenne des déviations et leurs dispersions il faut passer par l'ajustement des paramètres de notre loi empirique pour chaque dispositif. En effet, c'est un des points faibles de notre méthode de mesure, nous avons effectué des caractérisations calibrées sur l'augmentation du courant de grille et non à pas temporel constant dès le début du stress. Il ne nous est donc pas possible de faire une moyenne simplement en sommant les caractéristiques obtenues en fonction du temps.

La figure III.108 présente quelques résultats typiques de l'évolution du courant de grille en fonction du temps de stress pour une tension de stress constante de -2.6 V pour les PMOS. La dispersion temporelle du passage à un claquage soft ainsi que celle du passage entre les deux comportements asymptotiques identifiés y sont clairement illustrées, ainsi que les différences d'intensités finales du courant de fuite. Les différences importantes des pentes pour chaque dispositif y apparaissent également. En traits courts, la moyenne de l'évolution du courant de grille permet de définir un comportement moyen des dispositifs de cette technologie, les paramètres de cette moyenne ont été obtenus en moyennant chaque paramètre de notre loi empirique ; la description de l'évolution moyenne du courant de grille (A) en fonction du temps (s) s'écrit alors :

$$\Delta I_g = 3.33E^{-4} * \ln \left(1 + \left(\frac{t}{1099} \right)^{12} \right) \quad \text{Equ. III- 27}$$

Cette caractérisation des comportements après le premier claquage doit être effectuée pour chaque technologie et chaque dimension avant de pouvoir être utilisée dans une modélisation compacte. Le protocole de mesure de ces paramètres peut être optimisé en optant pour un pré stress jusqu'au début du claquage progressif puis pour un pas temporel constant. L'extraction des paramètres s'en trouvera simplifiée.

b. Loi d'évolution de la tension de seuil

Nous avons procédé de même pour la tension de seuil, en considérant cette fois sa dépendance en courant de fuite ΔI_g . Il est possible aussi d'utiliser une loi d'évolution en temps comme celle utilisée pour le courant de grille ΔI_g . Nous verrons figure III.111 qu'il est plus pertinent de choisir cette deuxième option.

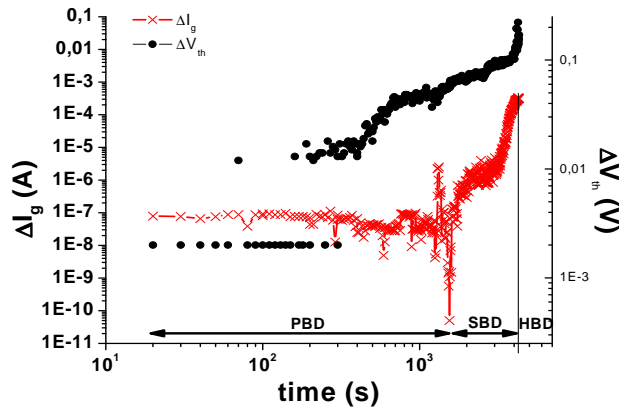


Figure III. 109 : Variation du courant de grille ΔI_g et de la tension de seuil ΔV_{th} en fonction du temps.

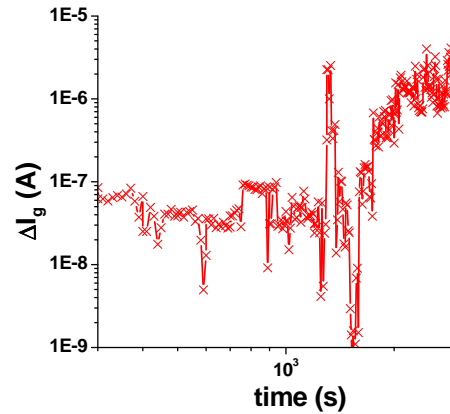


Figure III. 110 : Agrandissement du début de la zone de variations du courant de grille.

La représentation conjointe de la variation de courant de fuite et de la tension de seuil de la figure III.109 permet de mettre en évidence un point qui nous avait échappé précédemment ; la tension de seuil commence à varier significativement avant le courant, indiquant ainsi que le passage d'un claquage progressif à un claquage soft avant celui que nous avons estimé en ne considérant que la variation de courant. En effet à cause de la nature du claquage progressif, les variations de courant sont noyées dans le bruit. La différence est importante puisque notre estimation précédente situait ce passage autour de 1500 secondes après le début des mesures tandis qu'en considérant l'évolution de la tension de seuil ce passage se situe plus tôt, autour de 400 secondes seulement. Un agrandissement de cette partie de la courbe sur la figure III.110 confirme la présence de sauts et de paliers de courant, caractéristiques du claquage soft. Cette observation permet de souligner la pertinence de notre étude de la dépolarisation puisque nous observons dans un premier temps une croissance de ΔI_0 avant de détecter une croissance significative de courant. Le lien entre dépolarisation du canal et déviation de la tension de seuil se trouve donc confirmé et nous recommandons la détection du début du claquage et la formation de chemins de conduction sur les variations de tension de seuil.

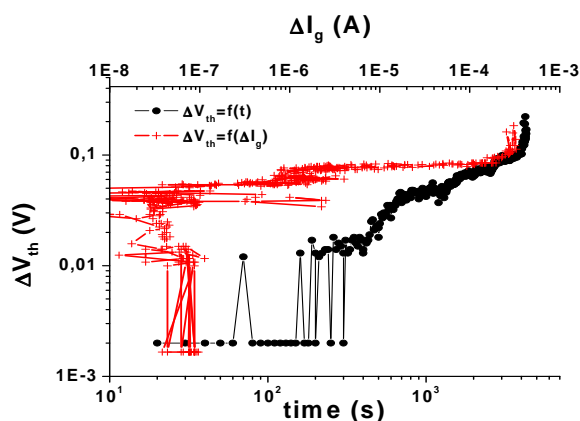


Figure III. 111 : Déviation de la tension de seuil en fonction du temps et (o) et de la déviation en courant (+).

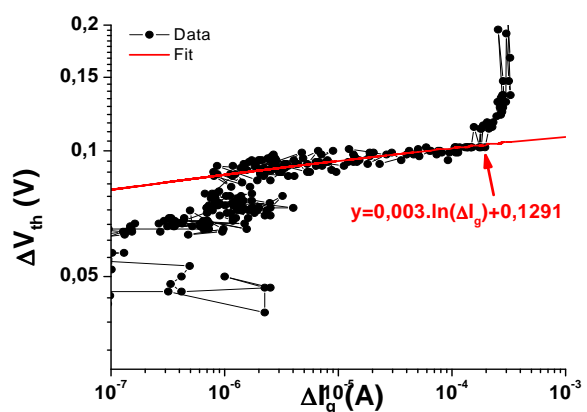


Figure III. 112 : Déviation de la tension de seuil en fonction de l'accroissement en courant.

Le tracé de la déviation de la tension de seuil en fonction du temps présente l'avantage de dégager le signal du bruit, pour identifier le début du claquage soft, ce qui n'est pas évident lorsque l'on considère seulement l'évolution du courant. Toutefois aucune tendance claire ne se dégage sur ce type de tracé, en effet

l'évolution de la tension de seuil passe par plusieurs paliers successifs correspondant à l'apparition de chemins de conduction dépolarisant le canal. En revanche, comme illustré par la figure III-111, le tracé de cette déviation en fonction du courant de grille dû au claquage permet d'identifier nettement une tendance, une fois le claquage soft atteint, c'est-à-dire pour ce dispositif pour un accroissement du courant de grille de l'ordre de 10^{-6} A.

Là encore, suivant les observations de G.Ribes, nous commençons par modéliser la déviation de la tension de seuil comme évolution logarithmique de l'accroissement en courant comme représenté figure III.112. Mais une telle modélisation ne permet pas de rendre compte de la déviation en tension pour les fortes valeurs de courant de fuite ; en toute rigueur il faudrait donc compléter cette définition par une expression du type de celle utilisée pour l'accroissement en courant. Considérant toutefois l'allure des asymptotes de l'évolution de la tension de seuil, il faudra préférer une expression inverse du type de celle proposée à l'équation III-28 :

$$\Delta V_{th} = \frac{1}{A * \ln \left(1 + \left(\frac{\Delta I_g}{\tau} \right)^\alpha \right)}$$

Equ. III- 28

Historiquement nous avons travaillé avec des lois empiriques de l'évolution de cette tension de seuil sous forme logarithmique ; nos analyses sont donc effectuées dans cette optique. L'approximation ainsi faite n'est pas excessive puisque le changement de pente ou d'asymptote ne se fait que pour les dernières valeurs mesurées de la fuite avant le claquage hard ; la majeure partie de l'évolution de cette tension de seuil a lieu pour les petites valeurs de fuites aussi cette approche suffit dans un premier temps à caractériser cette déviation. On remarque encore une dispersion importante de ces caractéristiques, de plus de 60 % de la valeur moyenne, là encore la prise en compte de cette dispersion est nécessaire pour les simulations de durée de vie et de performances de dispositifs une fois dégradés.

5 - Dispersion statistique de l'impact du claquage

Afin de pouvoir accéder à des informations statistiques sur la dispersion de l'impact du claquage sur le fonctionnement des dispositifs et des circuits, nous avons modélisé le courant de fuite en fonction du temps ainsi que la déviation de la tension de seuil en fonction du courant de fuite. En utilisant cette approche, nous présentons dans cette partie la déviation des paramètres de claquage que nous avons définis dans les équations III-24 pour la fuite de grille et III-14 pour la tension de seuil.

a. Dispersion de la constante de temps τ

Tout d'abord on a remarqué que la dispersion temporelle était importante, dans notre approche, elle est caractérisée par le terme τ et présentée à la figure III.113. Cette valeur varie selon nos mesures de 500 à 4000 secondes ; cette

dernière valeur étant très décentrée nous ne l'avons pas représentée sur l'histogramme. Ce paramètre influe directement sur l'estimation de la durée de vie après claquage des dispositifs ; sous les conditions de stress que nous avons utilisées, la durée de vie moyenne avant le claquage critique est de 1000 secondes après le premier claquage.

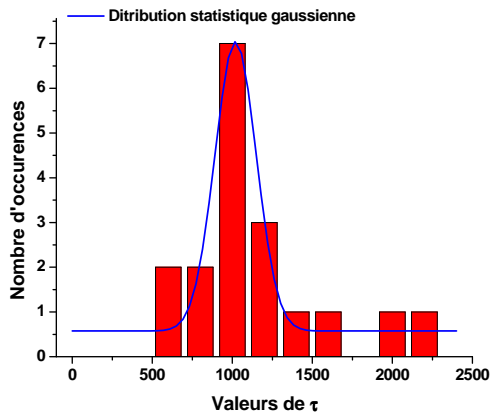


Figure III. 113 : Histogramme des valeurs de la constante de temps τ .

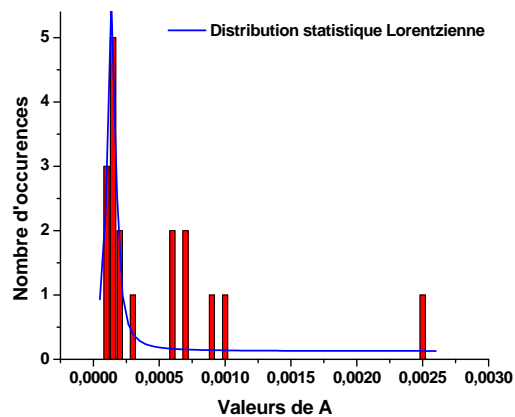


Figure III. 114 : Histogramme des valeurs de la pente sous le seuil A.

b. Dispersion de la pente avant le seuil

La pente sous le seuil, dont la dispersion statistique est représentée à la figure III.114 varie de $7 \cdot 10^{-4}$ à $5 \cdot 10^{-2}$; la plage de pentes est donc très dispersée. La pente moyenne est de $3 \cdot 10^{-3} \text{ A.s}^{-1}$; là par contre une distribution gaussienne ne rend pas compte de la dispersion statistique de ces valeurs, une distribution Lorentzienne peut correspondre mais nous manquons de données pour rendre compte d'une statistique fiable. Quant au paramètre α , il ajuste le passage entre les deux asymptotes ; ses valeurs varient de 2 à 20 avec une valeur moyenne de 11.

c. Etude statistique de la dispersion de la tension de seuil

La tension de seuil est représentée et paramétrée en fonction de la fuite due au claquage, l'écart entre la déviation maximale et la moyenne des déviations en fin de claquage est de 0.11 V, soit 73 % de la valeur initiale de la tension de seuil. Là encore la dispersion est très importante puisque les déviations mesurées s'échelonnent de 0.012 pour le dispositif le moins impacté à 0.2 pour le plus impacté. Les pentes de ces variations sont également très dispersées. Le paramètre B que nous utilisons pour décrire l'évolution de la tension de seuil présente une moyenne de 0.012 et une dispersion présentée sur la figure III-116.

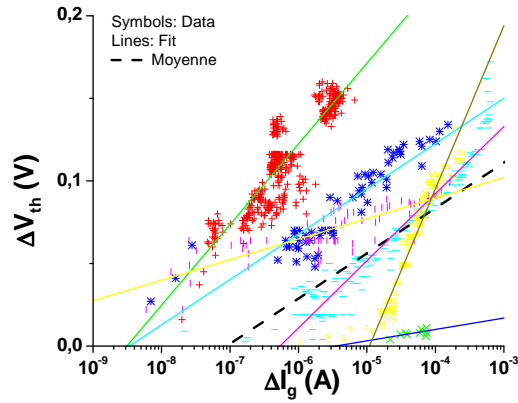


Figure III. 115 : Déviation de la tension de seuil pour plusieurs dispositifs avec la loi empirique correspondante et la moyenne sur tous les dispositifs.

Le paramètre C que nous utilisons pour décrire l'évolution de la tension de seuil présente une moyenne de 0.2 et une dispersion représentée figure III-117. Les écarts entre les claquages soudains et violents et les claquages tardifs et plus progressifs sont importants et se répercutent sur les caractéristique de courant des dispositifs dégradés. Afin de tenir compte de ces dispersions dans les simulations, il est nécessaire de procéder à des simulations de type Monte Carlo qui permettront de quantifier les effets de la dégradation à un niveau industriel, y compris en termes de dispersions statistiques. Pour cela les distributions statistiques sont extraites de nos mesures afin d'en pouvoir reporter les paramètres dans le simulateur.

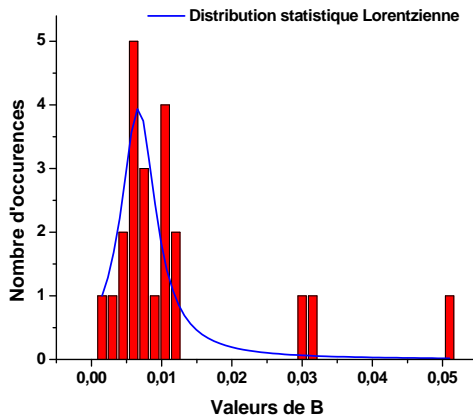


Figure III. 116 : Dispersion du paramètre B.

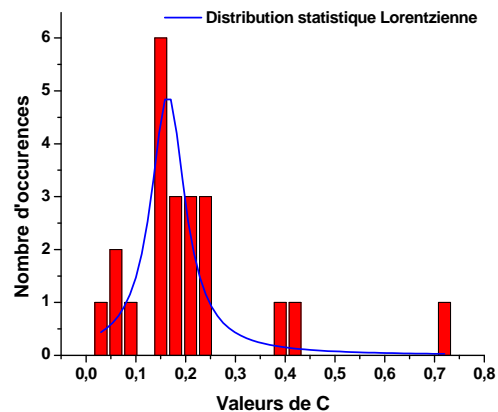


Figure III. 117 : Dispersion du paramètre C.

7 - Similitudes avec la dynamique du NBTI

V. Huart a proposé une description similaire pour la dérive des paramètres pour la dégradation liée à l'instabilité de paramètre sous tension négative et positive [III-48] en décrivant le taux de dégradation pour la partie guérissable de la variation de la tension de seuil par l'équation III-29.

$$\Delta D \propto A * \ln\left(1 + \frac{t}{\tau}\right)$$

Equ. III- 29

Ainsi le même type d'asymptote est retrouvé pour les grandes et petites valeurs de temps de stress [III-49], comme le montre la figure III.118. Cette similitude renforce nos conclusions quant à une dégradation globale de conductivité puisque la dynamique d'évolution de la tension de seuil est la même que pour ces phénomènes de dégradation BTI caractérisés précisément par une dégradation globale du canal par la formation de pièges sur toute la surface de l'interface entre silicium et oxyde. Il y a cependant entre les deux mécanismes de dégradation une différence importante puisque les dégradations de type BTI n'affectent pas le courant de grille mais seulement la tension de seuil. Aussi il ne s'agit pas de dire que ces phénomènes sont similaires sur le plan physique cependant il semble qu'ils puissent être modélisés de la même manière.

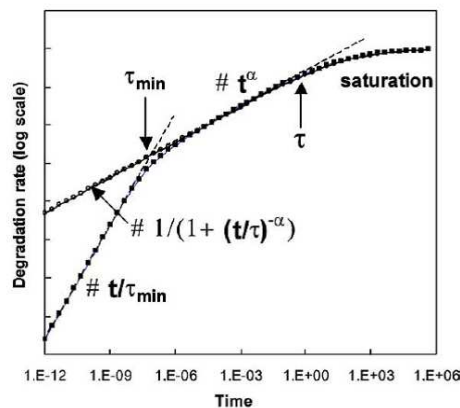


Figure III. 118 : Description logarithmique du taux de dégradation en fonction du temps [III-49].

En effet aux tensions d'utilisation du dispositif, c'est-à-dire à une tension de drain non nulle, nous avons vu que la distribution des courants était équivalente à une dégradation répartie sur toute la surface. Ses effets sont d'abord la fuite qui augmente le courant de grille au fur et à mesure de la dégradation et d'autre part la déviation de la tension de seuil qui peut être modélisée de manière similaire en fonction du temps ou de l'augmentation du courant de fuite. Du point de vue de la simulation de haut niveau, on aura donc le même type de variabilité induite par l'usure du dispositif. Il est donc possible d'adapter les paramètres actuellement utilisés pour modéliser la dérive des paramètres due aux dégradations de type NBTI, PBTI afin de leur faire rendre compte des déviations induites par le claquage du diélectrique.

D) Implémentation d'un modèle de haut niveau

Comme le claquage du diélectrique ne peut plus être considéré comme immédiatement destructif, les dispositifs dégradés vont continuer à assurer leur fonction au sein des circuits et donc la durée de vie de ces derniers doit être réévaluée en tenant compte de l'extension de durée de vie accordée par la prise en compte du caractère progressif du claquage. Naturellement cette extension de durée de fonctionnement doit s'accompagner d'une description de l'évolution des

paramètres des dispositifs au cours du temps de façon à reproduire ces déviations en simulation. Dans les paragraphes précédents nous avons présenté une loi empirique d'évolution du courant de fuite et de la tension de seuil capable de reproduire les caractéristiques des dispositifs dégradés. Il s'agit maintenant d'intégrer ces résultats dans un simulateur de haut niveau de type SPICE. Nous adapterons donc les paramètres du modèle de transistor à effet de champ MOSFET BSIM3, présenté dans la partie I afin de reproduire les caractéristiques du transistor dégradé. Après avoir validé notre modèle par comparaison aux mesures, nous nous servirons des possibilités du simulateur Eldo pour réaliser des tirages aléatoires de type Monte Carlo de caractéristiques de dégradation afin d'illustrer la dispersion statistique de l'impact du claquage sur le dispositif. Ces simulations de dispositif seront étendues dans le chapitre suivant à la simulation de circuits simples afin d'étudier l'impact du claquage sur les circuits.

1 - Modélisation BSIM3 du MOS dégradé

Les nombreux paramètres de simulation accessibles avec BSIM3 sont ajustés par chaque fondeur en fonction des caractéristiques précises de chaque dispositif. Afin de proposer un modèle accessible et simple à implémenter nous nous contenterons d'ajuster le courant de grille en modifiant la hauteur de barrière tunnel de l'oxyde en respectant la dynamique de l'équation III-24. Ces modifications prendront effet pour la simulation sur toute l'interface oxyde semi-conducteur. Cette approche n'est pas aberrante en regard de ce que nous avons montré dans cette partie : la répartition des courants dans le dispositif à tension de drain non nulle est similaire à celle d'une fuite distribuée sur tout le canal et ce type de modélisation rend mieux compte de l'évolution du courant de grille pour notre modèle 3D. La tension de seuil sera modifiée en respectant sa dépendance en courant de fuite décrite à l'équation III-14 pour reproduire la caractéristique d'un dispositif dégradé. Nous reprenons, équation III-30, les résultats de la partie modèle analytique du claquage, en procédant à une simplification supplémentaire puisque les coefficients de partitionnement n'interviennent en fait qu'à tension de drain nulle c'est-à-dire lorsque le dispositif n'est pas utilisé ; un coefficient de partitionnement toujours égal à 0.5 simplifie la modélisation sans perturber son comportement au dessus du seuil.

$$I_d(V_g, V_d, V_{th}) = I_{d0}(V_g, V_d, V_{th}) - 0.5 \cdot \Delta I_g(t) \quad \text{Equ. III- 30}$$

De cette manière nous reproduisons les déviations observées, d'une part en termes d'augmentation du courant de fuite et d'autre part en ce qui concerne la déviation de la tension de seuil. Pour satisfaire aux équations de conservation du courant, ces déviations seront reportées par le simulateur sur la dérive du courant de drain.

a. Modélisation des effets du claquage

Cependant une modification importante de l'équation de l'augmentation de courant est à faire avant de pouvoir l'implémenter dans le simulateur. En effet les lois proposées ont été dérivées du courant de stress à la tension de stress utilisée. Afin

de reproduire les caractéristiques du dispositif dégradé il faut nous reporter aux caractéristiques mesurées à chaque interruption du stress. Ainsi pour chaque temps de stress, le modèle doit renvoyer au comportement en courant correspondant au dispositif en utilisation normale, les niveaux de courant mesurés sous stress sont bien sûr plus importants. Cette modification n'affecte que les valeurs de courant puisque les tensions de seuil ont été mesurées en condition normale et sont exprimées en fonction de l'augmentation en courant.

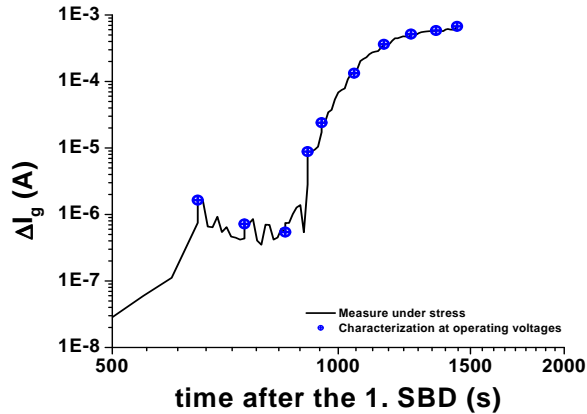


Figure III. 119 : Mesures du courant de grille sous stress et points de caractérisation à voltage nominal.

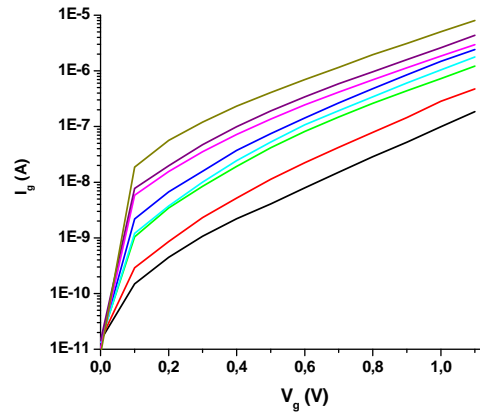


Figure III. 120 : Caractéristique mesurées à voltage nominal $V_g=1.1V$ pour un canal de longueur 40nm.

Ainsi sur l'exemple de la figure III.19, nous disposons de la loi d'évolution en temps paramétrée sous tension de stress ; en chacun des points marqués par un cercle, un claquage a été détecté et une caractérisation complète du dispositif a été effectuée. Afin d'obtenir des déviations en courant pertinentes pour les tensions d'utilisation courantes, il s'agit donc d'utiliser les déviations en courant mesurées en ces points à tension nominale et non à tension de stress ; les déviations du courant de grille à cette tension sont présentées sur la figure III.20. Normalement pour obtenir ces valeurs en partant de celles obtenues dans les conditions de stress accélérant le vieillissement et permettant son étude, il est nécessaire de procéder à plusieurs mesures à des tensions de stress différentes ainsi que pour des dimensions différentes ; la loi d'accélération en tension est ainsi obtenue permettant d'interpoler la dégradation à toutes les tensions d'utilisation et d'obtenir les temps correspondant. Cette loi d'accélération en tension permet aussi au simulateur de calculer l'utilisation de chaque dispositif i.e. la quantité exacte de stress subie et ainsi de reporter les variabilités de paramètres correspondantes. N'ayant pu conduire toutes ces mesures, nous ne disposons pas de cette loi d'accélération, aussi nous procéderons par simple interpolation afin d'obtenir les valeurs des paramètres dégradés à chaque instant à compter du premier claquage. Cette méthode est une approximation, d'autant plus gênante que dans le fonctionnement réel d'un circuit, tous les transistors ne sont pas stressés de la même manière.

La deuxième modification concerne le paramètre du modèle BSIM3. Pour plus de commodité nous ajusterons la hauteur de barrière de l'oxyde pour augmenter la fuite et ajusterons en conséquence la tension de seuil. Il faut donc établir la correspondance entre la hauteur de barrière de ce modèle et l'augmentation de courant mesurée dans les transistors en fonctionnement normal.

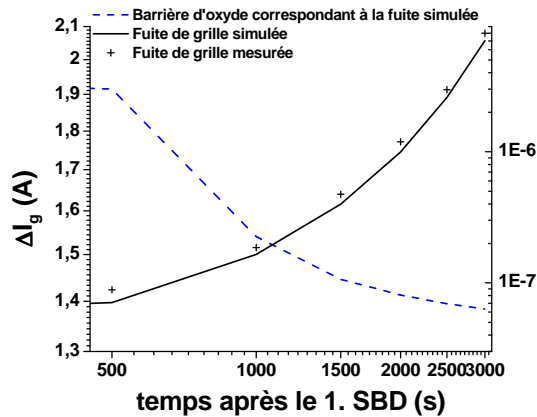


Figure III. 121 : Correspondance entre paramètre de simulation, fuite de grille simulée et mesurée.

En utilisant l'expression de la tension de seuil donnée par l'équation III-35 en fonction du temps, la caractéristique du transistor dégradé à un temps donné de dégradation sera accessible. Il reste une dernière lacune pour que notre approche soit complète ; en effet notre étude débute au premier claquage détecté, sans prendre en compte la distribution des temps au claquage. Pour obtenir un modèle compact complet il faut donc adjoindre à nos résultats une distribution statistique de ce temps au premier claquage. Ces temps sont bien connus pour les technologies à oxyde de silicium [III-50, 51, 52] et satisfont la distribution de Weibull mentionné dans la partie II.C)2.

b. Modélisation de la dispersion statistique des paramètres de claquage

Comme nous l'avons vu il est nécessaire de prendre en compte la dispersion des paramètres du claquage, car elle peut être importante et impacter drastiquement l'estimation de la durée de vie des composants et des circuits. Le simulateur Eldo propose directement de calculer l'effet d'une dérive de paramètre sur les caractéristiques du dispositif en intégrant la distribution statistique des paramètres dans les définitions de modèles. Plusieurs distributions usuelles peuvent être implémentées et de nouvelles définies par l'utilisateur.

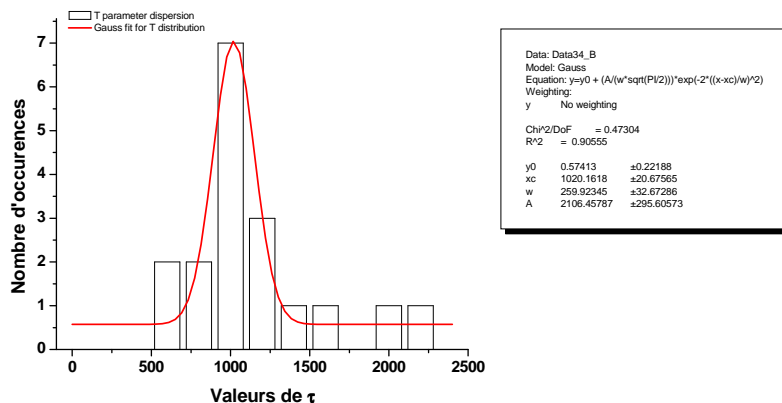


Figure III. 122 : Exemple de distribution gaussienne pour le paramètre τ .

Dans un premier temps, il s'agit d'implémenter l'augmentation moyenne du courant en fonction du temps et de la tension de seuil en fonction de ce courant. Pour cela, malgré les approximations faites en raison de l'absence de la loi d'accélération en tension de cette dégradation, qui nous interdit d'utiliser une fonction 'Age' définissant la quantité de stress subie par chaque composant, nous utilisons les lois empiriques

définies dans les parties précédentes qui nous fourniront pour un temps donné après le premier claquage les déviations correspondantes. Dans un second temps une analyse paramétrique sera conduite sur les paramètres définissant ces lois empiriques, utilisant leurs distributions statistiques ramenées à des distributions gaussiennes :

Le simulateur de Mentor Graphics permet de définir une déviation indépendante pour chaque dispositif simulé, ce qui est bien notre cas puisque les paramètres d'évolution du claquage sont indépendants pour chaque transistor, une étude statistique sera effectuée pour les circuits simples à la partie IV.

2 - Validation du modèle implémenté

La comparaison des résultats obtenus avec les mesures permet de valider le modèle implémenté. On constate que les caractéristiques du dispositif après des dégradations successives sont bien reproduites, là encore à l'exception d'un écart autour de la zone du seuil. Nous pouvons attribuer cette différence aux différences entre notre modèle et les dispositifs sur lesquels nous avons effectués nos mesures. En effet sans les paramètres précis fournis par le fondeur il est fastidieux de reproduire exactement les caractéristiques d'un dispositif.

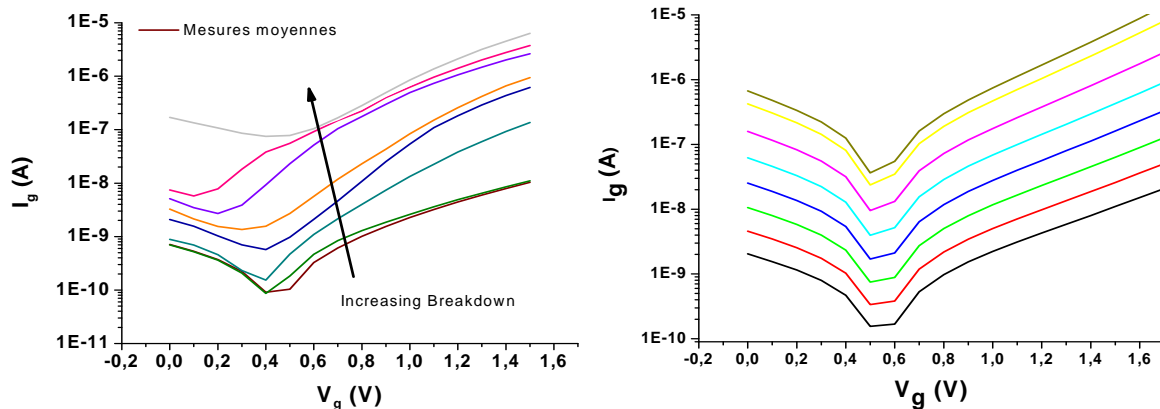


Figure III. 123 : Comparaison Mesures / Simulation compacte du courant de grille.

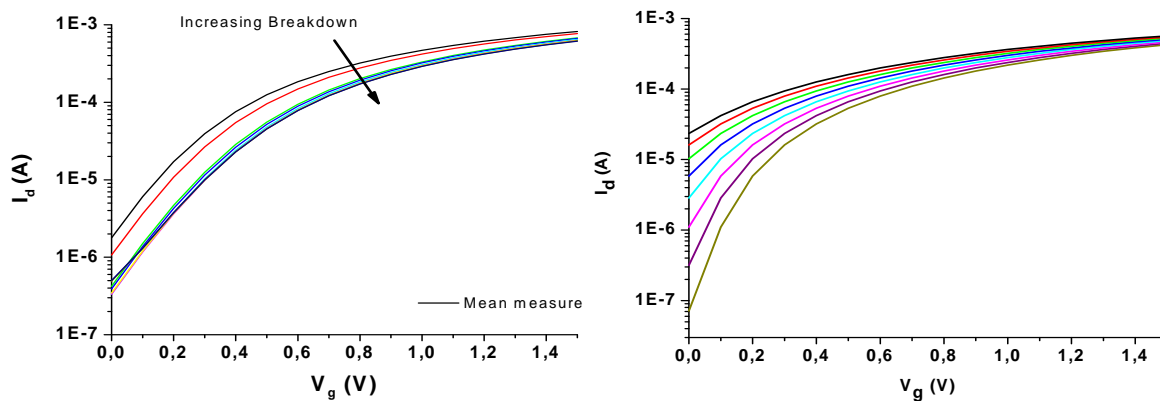


Figure III. 124 : Comparaison Mesures / Simulation compacte du courant de drain.

La déviation de la tension de seuil est bien reproduite également. Notre modèle est donc capable de reproduire les caractéristiques mesurées sur des dispositifs dégradés à chaque instant du stress.

Idéalement il faudra implémenter ces équations directement dans le simulateur de vieillissement d'Eldo en créant une bibliothèque de fonction similaire à celle qui existe pour le NBTI. Eventuellement il suffira comme nous l'avons montré d'adapter les paramètres du modèle de dégradation existant afin de l'étendre au claquage du diélectrique. Pour cela il est nécessaire de disposer de l'accélération en tension de la dégradation, qui permet au simulateur de quantifier la quantité de stress emmagasinée par le dispositif au cours de son utilisation. Cette quantité de stress est utilisée par la suite pour calculer le niveau de déviations des paramètres du transistor. C'est ce que nous ferons, de manière un peu artificielle en utilisant nos mesures de dégradation sous un stress de 2.6V pour calibrer ce niveau de déviation. L'accélération en tension de la dégradation permet de prendre en compte l'utilisation particulière du dispositif qui n'est sans doute pas stressé sous 2.6V dans son utilisation nominale. Avec ce paramètre il est possible d'extrapoler les déviations dans la configuration réelle d'utilisation du dispositif.

Conclusion

La progressivité du claquage du diélectrique pour les transistors postérieurs à la génération 65nm fait miroiter depuis plusieurs années la possibilité d'exploiter la plage de progressivité afin d'augmenter la durée de vie des dispositifs. Cependant cette augmentation de la durée de vie se fait au détriment de la stabilité des paramètres. Il s'agit donc d'évaluer précisément la déviation des paramètres et de l'intégrer aux modèles de haut niveau dédiés à la simulation de circuit.

Outre l'augmentation du courant de grille, le claquage de l'oxyde induit une dérive de la tension de seuil des dispositifs, ces deux effets étant reportés sur le courant de drain. Afin d'évaluer l'interdépendance de ces différentes déviations nous avons simulé l'impact d'une fuite localisée sur une couche chargée, mettant ainsi en évidence pour la première fois le rapport entre la fuite de grille et la dépolarisation du canal qui provoque la déviation de la tension de seuil. Forts de ces premiers résultats nous avons intégré ce modèle du claquage dans des simulations de plus en plus complètes des transistors MOS de la génération 45 et 40 nm et sommes ainsi parvenus à reproduire quantitativement les dérives des paramètres impactés par le claquage. L'influence de la position du claquage le long du canal a été examinée en utilisant la méthode de la répartition des courants.

Grâce à des mesures de fiabilité effectuées au sein de l'entreprise STMicroelectronics nous avons pu valider nos modèles et en déduire des simplifications importantes pour la modélisation de haut niveau de l'impact du claquage. L'étude de la répartition des courants nous a permis par exemple de prendre un coefficient de partitionnement toujours égal à 0.5 au regard de ses variations en fonction de la tension de drain. La loi empirique d'évolution de la

tension de seuil en fonction de la fuite de grille a également été vérifiée et évaluée plus précisément et une nouvelle loi d'évolution de la fuite de grille en fonction du temps a été mise au point et validée expérimentalement. Ces deux lois ont fait l'objet d'études statistiques afin d'évaluer la dispersion de l'impact du claquage sur les dispositifs.

En outre plusieurs points de la compréhension du claquage ont pu être améliorés. La formation de plusieurs chemins de conduction à travers l'oxyde a été confirmée expérimentalement et des tendances générales d'évolution du claquage dans les dispositifs ont pu être dégagées. De plus les équations de la répartition des courants ont été complétées pour prendre en compte l'interdépendance de l'évolution des paramètres due à la dépolarisation du canal, permettant ainsi d'évaluer cette dépolarisation directement à partir des caractéristiques en courant des dispositifs dégradés. L'étude de l'influence de la géométrie des dispositifs a également donné des résultats surprenants puisque les dimensions et l'aire des dispositifs étudiés ne semblent pas influencer la dépolarisation du canal. Cela nous mène à penser que pour les dispositifs des nœuds technologiques étudiés la totalité du canal est dépolarisée, probablement en raison des multiples localisations des chemins de conduction à travers l'oxyde.

Finalement nos observations nous ont permis de mettre au point un modèle compact du claquage, sur la base du modèle BSIM3, dans l'optique d'intégrer les déviations du claquage dans les simulations de niveau circuit. C'est à notre connaissance le premier modèle entièrement compact des effets de cette dégradation, jusqu'alors modélisée par des circuits équivalents dont le bien fondé physique et parfois l'ergonomie laissait à notre avis à désirer. Ce modèle nous permet maintenant d'étudier l'impact du claquage sur les circuits simples comme l'inverseur ou la cellule SRAM.

Table des Figures

Figure III. 1 : Formation de la couche d'inversion pour V_g de 0 à 1.5V par pas de 0.15V.....	85
Figure III. 2 : Formation de la couche d'inversion par application d'une tension de grille.	86
Figure III. 3 : Formation de la couche d'inversion pour V_g de 0 à 1.5V avec une fuite de $1\mu A$	86
Figure III. 4 : Formation de la couche d'inversion par application d'une tension de grille, avec et sans fuite.	87
Figure III. 5 : Impact sur la charge pour une fuite augmentant de 1μ à $1mA$ à $V_g=1V$	87
Figure III. 6 : Impact sur le potentiel d'une fuite croissante et localisée.....	88
Figure III. 7 : Profils de dépolarisation pour une fuite croissante.	88
Figure III. 8 : Rayons de dépolarisation à plus de V_t (+) et à plus de $V_t/2$ (x) en fonction de l'intensité de la fuite avec $V_{tinitial}=0.5V$	89
Figure III. 9 : Rayons de dépolarisation à plus de V_t pour $V_t=0.5(+)$ et $V_t=0.25(I)$ avec $V_{tinitial}=0.5V$	89
Figure III. 10 : Potentiel dû canal du à la fuite tunnel uniforme à tension de drain nulle pour un PMOS de $1\mu m$ de long sur $40nm$ de large.	91
Figure III. 11 : Schéma de principe des simulations de claquage.....	91
Figure III. 12 : Correspondance entre pas de simulation et courant de fuite du au claquage.	92
Figure III. 13 : Impact de fuites de différentes intensités sur la charge du canal MOS de $1\mu m$ de long sur $40nm$ de large.	92
Figure III. 14 : Impact d'une fuite localisée à $V_d=0$ sur le potentiel du canal MOS de $1\mu m$ de long sur $40nm$ de large.	93
Figure III. 15 : Profils de potentiel lorsque la fuite localisée augmente pour un PMOS de dimensions nominale pour le nœud $45nm$, soit $40nm$ de long sur $1\mu m$ de large.	94
Figure III. 16 : Profils de potentiel pour une fuite croissante à $V_d=0.1V$	94
Figure III. 17 : Impact de la fuite localisée sur la densité de courant de drain, agrandissement de la zone du spot.	95
Figure III. 18 : Densité de courant pour différents niveaux de fuite, agrandissement autour du weak spot.....	95
Figure III. 19 : Extraction de la tension de seuil à courant fixé pour une tension de drain de $0.1V$	96
Figure III. 20 : Reconstitution de la déviation de la tension de seuil en fonction de l'intensité de la fuite localisée à $V_d=0.1V$ à partir de plusieurs simulations.	96
Figure III. 21 : Déviation de la tension de seuil pour différentes épaisseurs d'oxyde dans la zone du spot à une taille de spot fixée.	96
Figure III. 22 : Déviation de la tension de seuil pour différentes épaisseurs de spots à taille fixée.	97
Figure III. 23 : Influence de la tension de drain sur la déviation de la tension de seuil.	97
Figure III. 24 : Influence de la position du spot sur la densité de charge de la fuite et la dépolarisation pour un canal de $1\mu m$ de long sur $40nm$ de large.	99

Figure III. 25 : Influence de la position du claquage sur la déviation de la tension de seuil.....	99
Figure III. 26 : Distribution du facteur A mesuré pour $V_g=-0.6$ et $V_g=-1.5$ [III-19]....	100
Figure III. 27 : correspondance entre la position du claquage imagée grâce à la microscopie par émission (a) et (b) et la position du claquage mesurée par la technique du partitionnement (c) [III-16].	100
Figure III. 28 : Position du claquage dans les quatre configurations possibles [III-17].	100
Figure III. 29 : Résistances équivalentes au canal et au chemin de conduction avec le rapport des longueurs correspondant [III-20].	101
Figure III. 30 : discrimination de trois dynamiques de claquage en fonction de leur position, S1 représente la première occurrence du claquage tandis que S2 présente la progressivité plus importante avant de passer au mode de dégradation S3 qui correspond à un claquage hard [III-21].	101
Figure III. 31 : Coefficients de partitionnement du courant, respectivement de source et drain, en fonction de l'intensité de la fuite.	102
Figure III. 32 : Artefact de simulation dû à l'extension spatiale du weak spot.	102
Figure III. 33 : Coefficients de partitionnement pour un spot au quart du canal.	103
Figure III. 34 : Densités de charge pour des chemins de conduction respectivement au quart du canal et aux trois quarts du canal en pointillé.	103
Figure III. 35 : Intensité des fuites dues au claquage pour différentes positions dans le canal à $V_d=0V$	103
Figure III. 36 : Intensité des fuites dues au claquage pour différentes positions dans le canal à $V_d=1V$	103
Figure III. 37 : Coefficients de partitionnement du courant pour deux spots symétriques à $V_d=0V$	104
Figure III. 38 : Coefficients de partitionnement du courant pour deux spots dissymétriques à $V_d=0V$	104
Figure III. 39 : Coefficients de partitionnement du courant pour deux spots symétriques à $V_d=1V$	104
Figure III. 40 : Modèle de transistor MOS utilisé et dopage de cette structure de 40nm de long.	105
Figure III. 41 : Modèle du chemin de conduction de 1nm de large.	106
Figure III. 42 : Structure à trois dimensions, les dimensions du spot sont les mêmes que pour le modèle 2D, sa largeur permet d'ajuster le niveau de fuite.	107
Figure III. 43 : Potentiel à l'interface entre oxyde et canal pour un dispositif vierge à $V_d=0.5 V$	108
Figure III. 44 : Impact de la fuite localisée sur le potentiel pour des claquages successifs.	108
Figure III. 45 : Paramètres de simulation des fuites successives.	108
Figure III. 46 : Impact de la fuite localisée sur le potentiel dans le modèle 3D à $V_d=1.5V$	109
Figure III. 47 : Paramètre de simulation pour le modèle 3D.	109
Figure III. 48 : Déviation de la tension de seuil avec l'augmentation de l'intensité de fuite à $V_d=0.1V$	110
Figure III. 49 : Augmentation du courant de fuite pour le modèle à deux dimensions à $V_d=1.5V$	110
Figure III. 50 : Augmentation du courant de fuite pour le modèle à trois dimensions à $V_d=1.5V$	110
Figure III. 51 : Comportement type de l'augmentation du courant de grille à $V_{gstress}=-2.6 V$; après une zone de claquage progressif PBD, plusieurs	

occurrences du claquage soft SBD, le courant atteint le maximum avec le HBD, pour lequel le composant est détruit.	113
Figure III. 52 : Caractérisations du courant de grille à $V_{d=0}V$ pour des claquages successifs.	114
Figure III. 53 : Variations du courant de drain pour des claquages successifs à $V_d=0.1 V$ d'un dispositif PMOS.	114
Figure III. 54 : Variation de la transconductance pour des claquages successifs à $V_d=0.1V$ pour un dispositif PMOS.	115
Figure III. 55 : Identification des effets du claquage sur les caractéristiques courant-tension de grille.	115
Figure III. 56 : Valeur du courant de à $V_{g,d}=1V$ pour chaque BD détecté.	116
Figure III. 57 : Variation du courant de drain à droite à $V_{g,d}=1V$ pour chaque BD détecté.	116
Figure III. 58 : Augmentation relative des courants de drain et de grille à $V_{g,d}=1V$ pour chaque BD détecté.	117
Figure III. 59 : Différentes évaluations de l'accroissement relatif en courant de grille ; la courbe inférieure (+) représente un accroissement relatif tandis que la courbe supérieure (x) est un accroissement relatif au premier claquage.	117
Figure III. 60 : Mesures moyennes sur 24 dispositifs PMOS du nœud 45 nm et simulations FlexPDE à dimensions égales de la diminution du courant de drain à $V_d=1V$	118
Figure III. 61 : Mesures moyennes sur 24 dispositifs PMOS du nœud 45 nm et simulations FlexPDE de l'augmentation du courant de grille à $V_d=1V$	119
Figure III. 62 : Augmentation du courant de fuite pour le modèle à trois dimensions à $V_d=1.5V$	119
Figure III. 63 : Augmentation du courant de fuite sur toute l'étendue du canal.	119
Figure III. 64 : Mesure de la dérive des tensions de seuil pour plusieurs dispositifs.	120
Figure III. 65 : Comparaison entre quelques data typiques, la moyenne des mesures (Δ) et une simulation pour les conditions nominales.	121
Figure III. 66 : Comparaison entre quelques data typiques, la moyenne des mesures (Δ) et des simulations où taille et conductivité des spots varient.	121
Figure III. 67 : Représentation de la gamme de dynamiques reproductibles par variation de taille et conductivité de spot.	122
Figure III. 68 : Influence de l'épaisseur d'oxyde sur la déviation de la tension de seuil.	122
Figure III. 69 : Différentes configurations de dynamiques mesurées.	123
Figure III. 70 : Identification des effets du claquage sur les caractéristiques courant-tension de grille.	124
Figure III. 71 : Définition de l'accroissement en courant pour le modèle analytique.	125
Figure III. 72 : Décalage en tension de seuil en niveau de fuite pour des BD successifs.	125
Figure III. 73 : Modèle équivalent du dispositif dégradé [III-36].	126
Figure III. 74 : Circuits équivalents aux différentes configurations des transistors dégradés (a, c, e) et simulation Medici correspondantes (b, d, f) [III-18].	126
Figure III. 75 : Equivalent circuit for broken devices [III-29].	127
Figure III. 76 : Répartition de la position des claquages dans les dispositifs pour chaque claquage successif.	129
Figure III. 77 : Evolution de la position du claquage pour chaque dispositif au cours des 16 BD successifs.	129

Figure III. 78 : Evolution de la position du claquage vers l'électrode de source.	131
Figure III. 79 : Localisation du claquage autour de l'électrode de drain.....	131
Figure III. 80 : localisation du spot dans la partie centrale du canal.	133
Figure III. 81 : Evolution du partitionnement du courant pour les 8 dispositifs restant.	133
Figure III. 82 : Les trois tendances d'évolution du coefficient de partitionnement : constant, variable puis constant, seulement variable.	134
Figure III. 83 : Moyenne des coefficients de partitionnement pour chaque dispositif pour V_d non nulle.	135
Figure III. 84 : Coefficients de partitionnement pour $V_d=0.1V$	136
Figure III. 85 : Evolution du coefficient de partitionnement à $V_d=1.1V$	136
Figure III. 86 : ΔI_o en fonction de V_d à $V_g=1V$ pour des claquages successifs.....	138
Figure III. 87 : ΔI_d en fonction de V_d à $V_g=1V$ pour des claquages successifs.....	138
Figure III. 88 : Proportion de la variation du courant de drain due à la variation de I_o	138
Figure III. 89 : Variations du coefficient de partitionnement en fonction du claquage pour différents V_d	138
Figure III. 90 : Dispositif 2, proportion de la variation du courant de drain due à la variation de I_o	139
Figure III. 91 : Dispositif 2, variations du coefficient de partitionnement en fonction du claquage pour différents V_d	139
Figure III. 92 : Dispositif 3, proportion de la variation du courant de drain due à la variation de I_{o+}	139
Figure III. 93 : Dispositif 3, variations du coefficient de partitionnement en fonction du claquage pour différents V_d	139
Figure III. 94 : Dispositif 14, variations du coefficient de partitionnement en fonction du claquage pour différents V_d	140
Figure III. 95 : Dispositif 14, proportion de la variation du courant de drain due à la variation de I_o	140
Figure III. 96 : Dispositif 19, variations du coefficient de partitionnement en fonction du claquage pour différents V_d	141
Figure III. 97 : Dispositif 19, proportion de la variation du courant de drain due à la variation de I_o	141
Figure III. 98 : Dispositif 8, variation relative du courant de la source au drain pour des claquages successifs et différentes tensions de drain.	142
Figure III. 99 : Dispositif 14, variation relative du courant de la source au drain pour des claquages successifs et différentes tensions de drain.	142
Figure III. 100 : Dispositif 9, variation relative du courant de la source au drain pour des claquages successifs et différentes tensions de drain.	143
Figure III. 101 : Unique mention bibliographique de l'étendue de l'impact du BD autour du spot [III-11].	144
Figure III. 102 : Différence d'impact de la zone dépolarisée autour du spot pour différentes géométries.	145
Figure III. 103 : Variation relative du courant de la source au drain pour le 2 ^d BD. .	146
Figure III. 104 : Variation relative du courant de la source au drain pour des claquages successifs et différentes géométries.	146
Figure III. 105 : Première expression analytique de $\Delta I_g=f(t)$	148
Figure III. 106 : Expressions asymptotiques de l'évolution du courant en fonction du temps.	148
Figure III. 107 : Expression de l'évolution du courant en fonction du temps à partir du premier claquage soft.	148

Figure III. 108 : Exemples typiques d'évolution du courant de grille avec le temps de stress à -2.6V.....	148
Figure III. 109 : Variation du courant de grille ΔI_g et de la tension de seuil ΔV_{th} en fonction du temps.....	150
Figure III. 110 : Agrandissement du début de la zone de variations du courant de grille.	150
Figure III. 111 : Déviation de la tension de seuil en fonction du temps et (o) et de la déviation en courant (+).	150
Figure III. 112 : Déviation de la tension de seuil en fonction de l'accroissement en courant.	150
Figure III. 113 : Histogramme des valeurs de la constante de temps τ	152
Figure III. 114 : Histogramme des valeurs de la pente sous le seuil A.	152
Figure III. 115 : Déviation de la tension de seuil pour plusieurs dispositifs avec la loi empirique correspondante et la moyenne sur tous les dispositifs.	153
Figure III. 116 : Dispersion du paramètre B.	153
Figure III. 117 : Dispersion du paramètre C.	153
Figure III. 118 : Description logarithmique du taux de dégradation en fonction du temps [III-49].	154
Figure III. 119 : Mesures du courant de grille sous stress et points de caractérisation à voltage nominal.	156
Figure III. 120 : Caractéristique mesurées à voltage nominal $V_g=1.1V$ pour un canal de longueur 40nm.	156
Figure III. 121 : Correspondance entre paramètre de simulation, fuite de grille simulée et mesurée.....	157
Figure III. 122 : Exemple de distribution gaussienne pour le paramètre τ	157
Figure III. 123 : Comparaison Mesures / Simulation compacte du courant de grille.	158
Figure III. 124 : Comparaison Mesures / Simulation compacte du courant de drain.	158

Table des Références

- [III-1] T. Pompl, C. Engel, H. Wurzer, and M. Kerber. Soft breakdown and hard breakdown in ultra-thin oxides. *Microelectronics Reliability*, 41(4):543–551, April 2001.
- [III-2] E.; Roy D.; Bruyere S.; Vildeuil J.C.; Pananakakis G.; Ghibaudo G.; Monsieur F., Vincent. a thorough investigation of progressive breakdown in ultra-thin oxides physical understanding and application for industrial reliability assessment. *Proc. of IRPS*, 2002.
- [III-3] S. Lombardo, J. H. Stathis, B. P. Linder, K. L. Pey, F. Palumbo, and C. H. Tung. Dielectric breakdown mechanisms in gate oxides. *Journal Of Applied Physics*, 98(12):121301, December 2005.
- [III-4] G.; Miranda E.; Sune, J.; Mura. Are soft breakdown and hard breakdown of ultrathin gate oxides actually different failure mechanisms. *Electron Device Letters, IEEE*, 21, 2000.
- [III-5] Muhammad Ashraful Alam. The physics of soft-breakdown and its implications for integrated circuits. *IRPS-Tutorial*, 2003.
- [III-6] P.J.; Monroe D.; Krisch K.S.; Alam M.A.; Alers G.B.; Sorsch T.W.; Timp G.L.; Baumann F.; Liu C.T.; Ma Y.; Hwang D.; Weir, B.E.; Silverman. Ultra thin gate dielectrics they break down but do they fail. *Electron Devices Meeting, 1997. Technical Digest., International 7-10 Dec. 1997 Page(s):73 - 76 Digital Object Identifier 10.1109/IEDM.1997.649463*, 1997.
- [III-7] J. Sune, E.Y. Wu, D. Jimenez, R.P. Vollertsen, and E. Miranda. Understanding soft and hard breakdown statistics, prevalence ratios and energy dissipation during breakdown runaway. In *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, pages 6.1.1–6.1.4, 2001.
- [III-8] B. Kaczer and G. Groeseneken. Potential vulnerability of dynamic cmos logic to soft gate oxide breakdown. *Ieee Electron Device Letters*, 24(12):742–744, December 2003.
- [III-9] V. Huard F. Monsieur M. Rafik J.M Roux C. Parthasarathy Ribes G., D. Roy. Post breakdown oxide lifetime based on digital circuit failure. *Proc. of IRPS*, pages 215 – 218, 2008.
- [III-10] J.; Paccagnella A.; Ghidini G. Cester, A.; Bandiera ; Sune. a novel approach to quantum point contact for post soft breakdown conduction. *IEDM*, pages 305–308, 2001.
- [III-11] A.; Ghidini G.; Deleonibus S.; Guegan G.; Cester, A.; Paccagnella. Collapse of mosfet drain current after soft breakdown. *Device and Materials Reliability, IEEE Transactions on*, Volume 4, Issue 1, :Page(s):63 – 72, 2004.
- [III-12] Wei-Kai Shih, R. Rios, P. Packan, K. Mistry, and T. Abbott. A general partition scheme for gate leakage current suitable for mosfet compact models. In *Proc. IEDM Technical Digest Electron Devices Meeting International*, pages 13.3.1–13.3.4, 2001.
- [III-13] S. Mahmood’ R. Degraeve G. Groeseneken B. Kaczer, A. De Keersgieter. Impact of gate-oxide breakdown of varying hardness on narrow and wide nfet’s. *IRPS 2004*, 2004.
- [III-14] A. Paccagnella. Radiation response and reliability of oxides used in advanced processes. *NSREC Short Course*, 3, 2003.
- [III-15] B. Kaczer, R. Degraeve, F. Crupi, A. De Keersgieter, and G. Groeseneken. Understanding nmosfet characteristics after soft breakdown and their dependence on

- the breakdown location. In *Proc. Proceeding of the 32nd European Solid-State Device Research Conference*, pages 139–142, 2002.
- [III-16] An De Keersgieter Koen Van de Mieroop Veerle Simons Kaczer, Robin Degraeve and Senior Member Guido Groeseneken. Consistent model for short-channel nmosfet after hard gate oxide breakdown. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 49, 2002.
- [III-17] F. Crupi, B. Kaczer, R. Degraeve, A. De Keersgieter, and G. Groeseneken. Location and hardness of the oxide breakdown in short channel n- and p-mosfets. In *Proc. 40th Annual Reliability Physics Symposium*, pages 55–59, 7–11 April 2002.
- [III-18] A. De Keersgieter K. Van de Mieroop T. Bearda Kaczer, R. Degraeve and G. Groeseneken. Consistent model for short-channel nmosfet post-hard-breakdown characteristics. *Symposium on VLSI Technology Digest of Technical Papers*, 2001.
- [III-19] R. Degraeve, B. Kaczer, A. De Keersgieter, and G. Groeseneken. Relation between breakdown mode and breakdown location in short channel nmosfets and its impact on reliability specifications. In *Reliability Physics Symposium, 2001. Proceedings. 39th Annual. 2001 IEEE International*, pages 360–366, 2001.
- [III-20] F. Crupi, T. Kauerauf, R. Degraeve, L. Pantisano, and G. Groeseneken. A novel methodology for sensing the breakdown location and its application to the reliability study of ultrathin hf-silicate gate dielectrics. *Electron Devices, IEEE Transactions on*, 52(8):1759–1765, 2005.
- [III-21] K.L. Pey, T.A.L. Selvarajoo, C.H. Tung, D.S. Ang, and V.L. Lo. Significance of breakdown location on post-breakdown transient and mosfet degradation. In *Proc. proceedings Reliability physics symposium 45th annual. ieee international*, pages 221–225, 15–19 April 2007.
- [III-22] Silvaco International. Atlas user's manual. chap 3:pp. 75–202, 2005.
- [III-23] Lombardi et al. A physically based mobility model for numerical simulation of non-planar devices. *IEEE Trans. on CAD*, page 1164, 1988.
- [III-24] E.; Nafria M.; Aymerich X.; Sune, J.; Miranda. Point contact conduction at the oxide breakdown of mos devices. *Proc. of IEDM*, pages pp. 191 – 194, 1998.
- [III-25] V.; Banerjee K.; Huy Le; McPherson, J.; Reddy. Comparison of e and 1/e tddb models for sio2 under long-term/low-field test conditions. *Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International*, 1998.
- [III-26] J. H. STATHIS. Reliability limits for the gate insulator in cmos technology. *IBM J. RES. & DEV.*, VOL. 46 NO. 2/3, MARCH/MAY 2002.
- [III-27] James H Stathis E. Y Wu and Liang-Kai Han. Ultra-thin oxide reliability for ulsi applications. *Semicond. Sci. Technol.*, 15:425–435., 2000.
- [III-28] B. Kaczer, R. Degraeve, M. Rasras, K. Van de Mieroop, P. J. Roussel, and G. Groeseneken. Impact of mosfet gate oxide breakdown on digital circuit operation and reliability. *Ieee Transactions On Electron Devices*, 49(3):500–506, March 2002.
- [III-29] M. Nafría a X. Aymerich a R. Fernandez, R. Rodríguez a. Contributions of the gate current and channel current variation to the post-breakdown mosfet performance. *Microelectronic Engineering 85 (2008) 259–262*, 2008.
- [III-30] E.; Pau R.; Sune J.; Nafria M.; Aymerich X. Rodriguez, R.; Miranda. Monitoring the degradation that causes the breakdown of ultrathin (<5 nm) sio2 gate oxides. *Electron Device Letters*, 21:251 – 253, 2000.
- [III-31] E. Wu. Structural dependence of dielectric breakdown in ultra thin oxides and its relationship to soft breakdown modes and devices failure. *IEDM*, pages 187–190, 1998.
- [III-32] IEEE J. Martín-Martínez R. Rodríguez Montserrat Nafría Senior Member IEEE Raul Fernández, Member and IEEE Xavier H. Aymerich, Member. Gate oxide wear-out and breakdown effects on the performance of analog and digital circuits. *IEEE*

TRANSACTIONS ON ELECTRON DEVICES, VOL. 55, NO. 4, APRIL 2008 997, 2008.

[III-33] R. Rodriguez-M. Nafria E. Miranda, J. Suñe and X. Aymerich. Impact of mos technological parameters on the detection and modeling of the soft breakdown conduction. *PROC. 22nd INTERNATIONAL CONFERENCE ON MICROELECTRONICS (MIEL 2000), VOL 1, NIS, SERBIA, 14-17 MAY, 2000*, 2000.

[III-34] A.; Nowak E.; Sune J.; Vollertsen R.-P.; Lai W.; Harmon D.; Wu, E.Y.; Vayshenker. Experimental evidence of $t_{sub\ bd}$ power-law for voltage dependence of oxide breakdown in ultrathin gate oxides. *Electron Devices, IEEE Transactions*, 2002.

[III-35] B. Kaczer, R. Degraeve, P. Roussel, and G. Groeseneken. Gate oxide breakdown in fet devices and circuits: From nanoscale physics to system-level reliability. *Microelectronics Reliability*, 47(4-5):559–566, April 2007.

[III-36] Bing Huang Xiaohu Zhang Xiaojun Li, Jin Qin and IEEE Joseph B. Bernstein, Senior Member. Sram circuit-failure modeling and reliability spice simulation. *IEEE Trans. Electron Devices*, 2006.

[III-37] A. Cester, S. Gerardin, A. Paccagnella, and G. Ghidini. Modeling mosfet and circuit degradation through spice. In *Proc. 35th European Solid-State Device Research Conference ESSDERC 2005*, pages 403–406, 2005.

[III-38] B. P. Linder R. Rodriguez, J.H. Stathis. Modeling and experimental verification of the effect of gate oxide breakdown on cmos inverters. *Proc. of IRPS*, 2003.

[III-39] J. H. Stathis R. Rodríguez and B. P. Linder. A model for gate-oxide breakdown in cmos inverters. *IEEE ELECTRON DEVICE LETTERS*, VOL. 24, NO. 2, 2003.

[III-40] M. Nafrya R. Fernandez, R. Rodríguez and X. Aymerich. Dc broken down mosfet model for circuit reliability simulation. *ELECTRONICS LETTERS 17th March 2005 Vol. 41 No. 6*, 2005.

[III-41] IEEE Xin Li Weimin Wu Hailing Wang Member IEEE Amit Jha Ronald van Langevelde Member IEEE Geert D. J. Smit Andries J. Scholten Gennady Gildenblat, Senior Member and IEEE Dirk B. M. Klaassen, Member. Psp: An advanced surface-potential-based mosfet model for circuit simulation. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 53, NO. 9, 2006.

[III-42] Gennady Gildenblat Glenn O. Workman Surya Veeraraghavan Shye Shapira Xin (Ben) Gu, Ten-Lon Chen and Kevin Stiles. A surface potential-based compact model of n-mosfet gate-tunneling current. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 51, NO. 1, 2004.

[III-43] K.L. Pey, C.H. Tung, M.K. Radhakrishnan, L.J. Tang, and W.H. Lin. Dbe shape and hardness dependence on gate oxide breakdown location in mosfet channel. In *Proc. IEEE International 41st Annual Reliability Physics Symposium*, pages 584–585, 30 March–4 April 2003.

[III-44] G. Ghibaud C.Leroux K. Romanjek, F. Limea. New approach for the gate current source–drain partition modeling in advanced mosfets. *Solid-State Electronics* 47 (2003) 1657–1661, 2003.

[III-45] Alessandro Paccagnella Gabriella Ghidini Simone Gerardin, Andrea Cester. Mosfet drain current reduction under fowler–nordheim and channel hot carrier injection before gate oxide breakdown. *Materials Science in Semiconductor Processing*, 7:175–180, 2004.

[III-46] A. Cester, L. Bandiera, G. Ghidini, I. Bloom, and A. Paccagnella. Soft breakdown current noise in ultra-thin gate oxides. *Solid-State Electronics*, 46(7):1019 – 1025, 2002.

- [III-47] G.B. Alers, B.E. Weir, M.A. Alam, G.L. Timp, and T. Sorch. Trap assisted tunneling as a mechanism of degradation and noise in 2-5 nm oxides. pages 76 –79, 311998-april2 1998.
- [III-48] Alain Bravaix Chloe Guerin Vincent Huard, CR Parthasarathy and Emmanuel Pion. Cmos device design-in reliability approach in advanced nodes. *Proc. of IRPS*, 2009.
- [III-49] C. Parthasarathy V. Huard, M. Denais. Nbti degradation from physical mechanisms to modelling. *Microelectronics Reliability*, 46:1–23, 2006.
- [III-50] J. Sune. Statistics of successive breakdown events in gate oxides. *IEEE Electron Device Letter*, 24:272–274, 2003.
- [III-51] J.H. Stathis B.P. Linder. Statistics of progressive breakdown in ultra-thin oxides. *Microelectronic Engineering*, 72:24–28, 2004.
- [III-52] S. Sahhaf, R. Degraeve, P. J. Roussel, B. Kaczer, T. Kauerauf, and G. Groeseneken. A new tddb reliability prediction methodology accounting for multiple sbd and wear out. *Ieee Transactions On Electron Devices*, 56(7):1424–1432, July 2009.

IV) Impact du claquage progressif sur les circuits MOS

Introduction

L'enjeu de la simulation circuit est crucial pour le développement de nouvelles applications, à plus forte raison pour les systèmes embarqués qui doivent présenter des critères de fiabilité drastiques alors même que la variabilité des paramètres des composants contraint de plus en plus les concepteurs qui doivent déjà utiliser les dispositifs au maximum de leurs capacités tout en garantissant leur fonctionnement. Avec les développements de la conception assistée par ordinateur, des outils et des standards de simulation ont été mis en place, facilitant le travail conjugué des concepteurs et des fiabilistes. Les outils de simulation sont aujourd'hui très complets et maniables, permettant une implémentation précise des paramètres des dispositifs, de leur variabilité due aux écarts de procédés de fabrication ainsi que de leur évolution au cours du temps. Ils permettent ainsi d'évaluer par la simulation la robustesse des architectures circuits des plus simples aux plus complexes et également de prévoir leurs performances et leurs durées de vie en incluant des modèles de fiabilité complets décrivant la dégradation de chacun des paramètres des dispositifs. Ainsi la variabilité des paramètres des circuits peut être simulée à partir de ces modèles de dégradation des paramètres des dispositifs.

Plusieurs modèles sont présentés dans la première partie, leurs applications diffèrent, depuis la validation théorique pour le modèle analytique jusqu'à la simulation industrielle pour le modèle compact, en passant par la simulation par éléments finis, déjà présentée dans le chapitre précédent pour l'étude des dispositifs, appliquée cette fois aux circuits simples. Après avoir retenu le modèle le plus pratique, nous simulerons l'effet du claquage d'un ou de plusieurs transistors sur le fonctionnement de circuits simples et exposerons les résultats et nos analyses dans la deuxième partie de ce chapitre. Ces simulations seront comparées aux mesures effectuées par les autres équipes sur ce sujet, l'apport spécifique de nos simulations sur le diagnostic et l'analyse de circuits endommagés sera réalisée pour l'inverseur. Finalement nous exposerons par des simulations Monte Carlo la grande gamme d'impact que le claquage peut provoquer sur les circuits.

A) Modèles utilisés pour la simulation de circuits

En ce qui concerne la simulation de circuits soumis à des dégradations de type claquage, les modèles utilisés ont été longtemps réduits à des circuits

équivalents à chaque type de claquage, notamment par l'introduction d'une résistance entre les électrodes afin de simuler la fuite [IV-21, 22] puis plus récemment par l'ajout d'une diode en parallèle de la résistance afin de décaler la tension de seuil du dispositif et reproduire un courant de fuite exponentiel [IV-36]. En s'inspirant de ces travaux, un modèle semi-compact plus complet a été proposé [IV-41], synthétisant la déviation de ces deux paramètres. Ce modèle, s'attachant plus à reproduire les caractéristiques des dispositifs dégradés qu'à relier ces déviations à leurs causes, reste flou sur plusieurs points de la phénoménologie du claquage, en particulier sur l'origine de la déviation de la tension de seuil et d'autre part sur un modèle résistif du chemin de conduction. La démarche conduisant ces travaux peut être décrite comme l'opposée de la nôtre ; au lieu de simuler les effets physiques du claquage pour reproduire la dérive des paramètres mesurés, elle consiste à reproduire directement les effets. Une seule étude présente une démarche similaire à notre modèle de la partie III, chapitre A.6 [IV-11, 24] mais elle n'a pas été utilisée jusqu'au niveau de la simulation circuit pour laquelle cette équipe utilise des circuits équivalents [IV-21, 22].

Nos travaux seront présentés en commençant par une approche analytique simple de l'effet du claquage du diélectrique puis nous utiliserons directement notre modèle complet de dispositif dégradé développé sous Atlas dans une simulation circuit en utilisant un mode de simulation original dit mixte et comportant une résolution par élément finis de la structure du dispositif dégradé comme nous l'avons exposé au chapitre précédent, intégré dans une simulation de circuit de type SPICE. Enfin nous présenterons notre implémentation des effets du BD dans un modèle compact de haut niveau utilisé pour la simulation de grands circuits. Nous présenterons dans chaque cas des simulations de claquage sur des circuits simples, inverseurs et SRAM.

1 - Modèle analytique

Sur les dispositifs deux effets du claquage du diélectrique ont été observés : la déviation de la tension de seuil d'une part et l'augmentation du courant de fuite qui contribuent toutes deux à la variation de courant des électrodes de source et de drain. A tension nulle cette variation ne dépend que de l'augmentation du courant de fuite et est pondérée par le coefficient de partitionnement évoqué dans la partie III. Cependant nous avons remarqué que des tensions faibles sur le drain suffisaient à rendre la contribution de la dépolarisation du canal prépondérante sur celle de la fuite de grille aussi ce coefficient peut être pris toujours égal à 0.5, ainsi que nous l'avons présenté dans la partie précédente au chapitre D.1. Pour intégrer ces deux effets observés du claquage dans l'équation analytique du MOS utilisée dans les modèles BSIM, il suffit donc de corriger cette équation en intégrant ces déviations :

$$I_d(V_g, V_d, V_{th}, t) = I_{d0}(V_g, V_d, V_{th} - \Delta V_{th}(\Delta I_g(t))) - \alpha_d \cdot \Delta I_g(t) \quad \text{Equ. IV- 1}$$

Comme nous disposons de lois empiriques caractérisant la déviation du courant de grille au cours du temps et celle de la tension de seuil en fonction du courant de

grille, nous sommes capables de reproduire avec ce modèle les caractéristiques des dispositifs dégradés.

Rappelons tout d'abord brièvement les modes de fonctionnement de chaque dispositif pendant un cycle d'inversion, cela nous permettra de mieux comprendre l'impact du claquage de tel ou tel dispositif sur les caractéristiques de l'inverseur. Les transistors MOS passent successivement par tous leurs régimes de fonctionnement détaillés figure I.14, c'est-à-dire ohmique, saturé puis bloqué pour le PMOS et bloqué, saturé puis ohmique pour le NMOS. Ces cycles sont présentés dans le tableau de la figure IV.12 avec les conditions nécessaires sur la tension d'entrée V_{in} . Dans la région III a lieu le basculement de la sortie de l'état haut vers l'état bas lorsque l'entrée passe du bas vers le haut. C'est la zone utile de la cellule inverseuse et donc la zone critique pour la conception de circuits. En raison de la variabilité des paramètres cette zone se trouve déjà décalée de manière aléatoire de droite ou de gauche et restreint les fréquences d'utilisation des inverseurs.

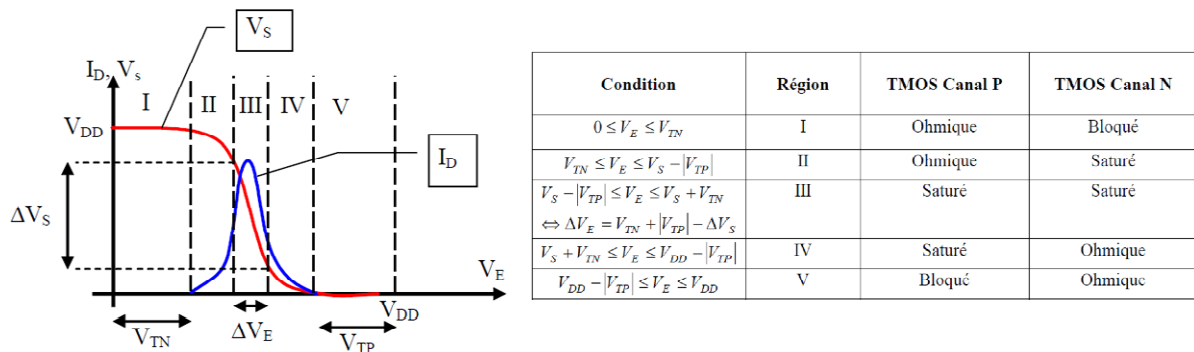


Figure IV. 1 : Caractéristique en tension et en courant et états des transistors pendant un cycle d'inversion.

En toute rigueur il faudrait considérer un coefficient de partitionnement compris entre 0 et 1 pour une tension de drain nulle et de 0.5 dès qu'une tension de drain est appliquée, de manière à rendre compte de la prédominance de la réduction du courant de la source au drain sur le courant de grille telle que l'ont montré nos mesures. Cependant nous pouvons considérer que la tension source - drain à laquelle les dispositifs sont soumis lorsque le circuit est utilisé remplit cette condition. C'est le cas pour la zone de travail de la plupart des circuits, notamment pour l'inverseur lorsque la sortie bascule de 0 à 1. C'est dans cette zone de fonctionnement que la variabilité des paramètres est cruciale pour garantir et optimiser la fréquence de fonctionnement des circuits.

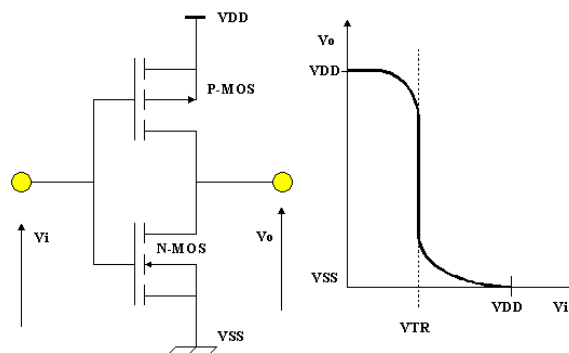


Figure IV. 2 : Caractéristique d'un inverseur MOS ; la zone d'utilisation du circuit est celle du basculement pour laquelle les deux dispositifs sont en régime de fonctionnement.

Cette approximation trouve donc ses limites dans les phases de repos des dispositifs puisque dans ces zones la tension entre source et drain sont nulles. Dans ces zones notre approche revient alors à moyenniser l'impact de la fuite de courant en prenant un coefficient de partitionnement toujours égal à 0.5, ce qui revient à considérer que le claquage a toujours lieu au centre du canal. Cette approximation n'affecte que la distribution des courants à tension de drain nulle et l'approximation faite correspond à la moyenne des distributions observées. Pour prendre en compte également la distribution des chemins de conduction dans le canal il faudrait considérer la distribution du paramètre α , y compris sa dépendance en tension de drain. Pour choisir de modéliser le pire-cas, un coefficient de partitionnement de drain égal à 1, ce qui correspond à un claquage localisé sur la zone de recouvrement de drain.

Avant d'aborder le circuit inverseur, rappelons rapidement les équations gouvernant le courant dans un transistor MOS. Nous partons de l'expression de la charge d'inversion que nous intégrons de 0 à la tension de drain V_d pour toutes les tensions de drain que nous considérons. V_g représente la tension de grille, U_c est une variable muette, V_t est la tension de seuil. K est la constante de Boltzmann et T la température ; C_{ox} représente la capacité d'oxyde et A est la pente sous le seuil. La charge de déplétion est définie comme stipulé à l'équation III-1.

$$Q_{iana}(V_g, U_c, V_t) := k \cdot T \cdot \frac{C_{ox}}{A} \cdot \ln \left(1 + \exp \left(A \cdot \frac{V_g - V_t}{k \cdot T} - \frac{U_c}{k \cdot T} \right) \right) \quad \text{Equ. IV- 2}$$

$$I_{d0}(V_g, V_d, V_t) := \frac{W}{L} \cdot \int_0^{V_d} Q_{iana}(V_g, u, V_t) \cdot \frac{\mu_0}{1 + \frac{Q_{iana}(V_g, u, V_t) \cdot 0.5 + Q_d}{Q_c \cdot q}} du \quad \text{Equ. IV- 3}$$

Il est possible ensuite d'intégrer la réduction de barrière induite par la tension de drain DIBL en corrigeant la tension de grille par le produit du facteur de DIBL avec la tension de drain.

a. Circuit inverseur

Il est alors possible d'utiliser directement cette approche dans une expression analytique de l'inverseur et ainsi d'avoir une idée de l'effet séparé ou conjoint des deux effets du claquage ; pour cela nous définissons la source comme référence de tension, comme c'est le cas dans les modèles BSIM, l'expression générale du courant de drain se différencie alors pour les transistors N et P, respectivement équations IV-4, et IV-5. l'expression de ces courants est corrigé pour prendre en compte le courant de fuite I_g , pondéré par le coefficient de partitionnement égal à 0.5.

$$I_{dn}(V_i, V_s, V_{tn}, I_g) := I_d(V_i, V_s, V_{tn}, \text{DIBL}) - I_g \cdot 0.5 \quad \text{Equ. IV- 4}$$

$$I_{dp}(V_i, V_s, V_{tp}, I_g) := I_d(V_{dd} - V_i, V_{dd} - V_s, V_{tp}, \text{DIBL}) + I_g \cdot 0.5 \quad \text{Equ. IV- 5}$$

La conservation du courant dans le circuit inverseur entre les courants des transistors N et P permet de calculer la tension V_{out} en fonction de la tension d'entrée

V_{in} . Les tensions de seuil et les courants de fuite sont distingués pour les transistors N et P par V_{tn} , V_{tp} et par I_{gn} , I_{gp} .

$$I_{dn}(V_{in}, V_{out}, V_{tn}, I_{gn}) = I_{dp}(V_{in}, V_{out}, V_{tp}, I_{gp}) \quad \text{Equ. IV- 6}$$

Nous sommes maintenant en mesure de calculer les effets de la déviation de la tension de seuil et du courant de fuite sur la caractéristique de l'inverseur. Nous procéderons pas à pas en présentant les résultats obtenus pour chaque effet séparément sur chacun des dispositifs puis sur les deux. Comme l'illustre la figure IV.2, la déviation de la tension de seuil ΔV_t d'un dispositif va avoir pour effet de décaler la tension de seuil de l'inverseur d'un coté ou de l'autre selon le dispositif affecté. Les caractéristiques d'inverseurs comportant un ou plusieurs dispositifs dégradés sont présentées sur la figure IV.2 en comparaison d'une caractéristique d'un circuit non dégradé ; dans cet exemple, la déviation de la tension de seuil a été prise égale à 0.15 V, ce qui correspond au pire cas mesuré. Lorsque la tension de seuil de l'un ou l'autre des dispositifs se décale de 0.15 V, la tension de seuil de l'inverseur se décale de ± 0.075 V et devient respectivement pour un NMOS dégradé et un PMOS dégradé : 0.475 V et 0.625 V contre 0.55 V pour le circuit non dégradé. Lorsque les deux dispositifs voient leurs tensions de seuil dégradées de la même manière, ces déviations se compensent et la tension de seuil de l'inverseur reste identique. La pente du basculement devient plus abrupte en raison des décalages dans les zones de repos.

L'augmentation de la tension de grille de l'un ou plusieurs dispositifs de l'inverseur va avoir deux effets, d'une part de perturber la tension de la sortie du circuit dans les phases de repos de l'inverseur, et donc augmenter la consommation au repos et d'autre part de décaler le seuil d'inversion du circuit, ainsi qu'il est présenté dans la figure IV.3. Conformément à l'expression du courant de grille en puissance de la tension, proposée par Miranda [IV-14], nous décrivons la fuite équation IV-7 comme fonction de la tension d'entrée de l'inverseur V_{in} , appliquée sur les grilles des dispositifs, de la tension d'alimentation maximale d'entrée V_{dd} et de l'intensité maximale des courants de fuite mesurés à $V_g=1.1$ V, soit $I_{g0}=10^{-5}$.

$$I_g(I_{g0}, V_{in}) := I_{g0} \cdot \left(\frac{V_{in}}{V_{dd}} \right)^2 \quad \text{Equ. IV- 7}$$

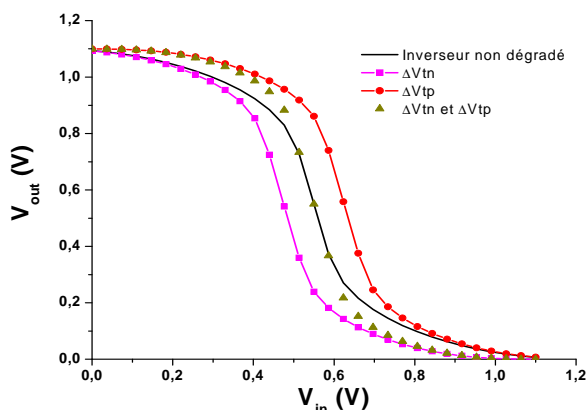


Figure IV. 3 : Impact de la déviation de la tension de seuil des dispositifs N, P puis N et P sur la caractéristique de l'inverseur.

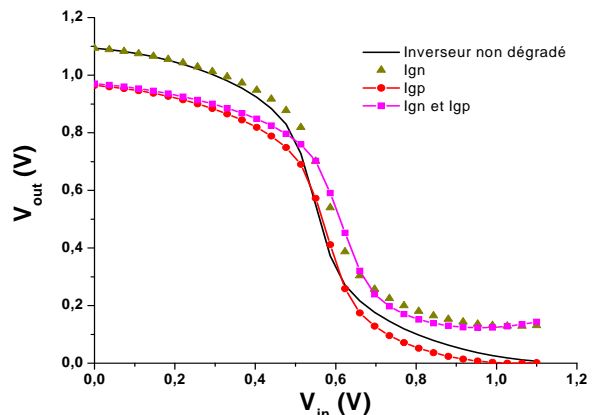


Figure IV. 4 : Impact de la déviation du courant de grille des dispositifs N, P, puis N et P sur la caractéristique de l'inverseur.

En simulant conjointement les deux effets du claquage sur l'un ou l'autre des dispositifs du circuit, leurs effets se combinent dans la variation de la caractéristique de l'inverseur comme imaginé à la figure IV.4. La combinaison des deux effets a pour effet sur la caractéristique du circuit de décaler la tension de seuil et d'augmenter la fuite au repos et donc la consommation. Comme précédemment lorsque ces dégradations sont appliquées à la fois sur le N et le P, les décalages des tensions de seuil se compensent et l'impact des fuites est le plus important, cependant il serait rare et étonnant que les dégradations des deux dispositifs interviennent en même temps et à intensité égale ; en effet la progressivité du dispositif N est plus faible et son claquage intervient plus tard, en raison de la différence de tailles entre N et P.

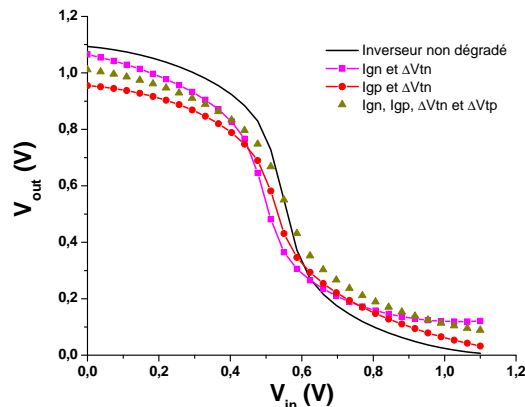


Figure IV. 5 : Dégradations combinées, courant de fuite et déviation de V_{th} , pour le N, le P puis pour les deux.

Lorsque, l'on dispose seulement d'une mesure de la caractéristique de l'inverseur, il n'est pas possible de distinguer si le claquage a eu lieu sur le dispositif N ou sur le dispositif P car les impacts respectifs sont mélangés ; ce point avait été remarqué par Stathis et Rodriguez [IV-37] cependant nous verrons en utilisant notre modèle compact qu'une méthode permet cette discrimination.

Ce modèle analytique simplifié sera implémenté dans le modèle compact en intégrant la dépendance temporelle des déviations de courants de grille et de tension de seuil, cependant il est nécessaire au préalable de simuler des dispositifs complets dans un environnement circuit afin de vérifier que la localisation de la fuite du chemin de conduction peut être négligée à ce niveau et de rétablir la corrélation entre dérive de la tension de seuil et augmentation du courant de fuite.

2 - Modèle à éléments finis pour le mixed mode

L'étude du dispositif dégradé implémenté sous Silvaco Atlas présentée au chapitre III est reprise intégralement et insérée dans une simulation de circuit de niveau SPICE (« Simulation Program with Integrated Circuit Emphasis ») grâce à l'utilisation d'une simulation mixte, dont l'usage se répand de plus en plus et qui deviendra rapidement irremplaçable. La simulation SPICE, destinée à la simulation circuit, fonctionne par itération des potentiels et des courants aux nœuds du circuit connectant les différents composants dont les caractéristiques sont disponibles dans les bibliothèques. Dans le cadre des dispositifs claqués, de telles bibliothèques n'existent pas

encore, seuls les modèles à circuits équivalents présentés ces dernières années permettent ces simulations [IV-21, 22, 36, 41, 11, 24]. Le mode de simulation mixte permet de lever la barrière entre simulations de bas niveau physique, par éléments finis et les simulations de haut niveau, de type circuits. Il n'est alors plus nécessaire de disposer de modèles analytiques, souvent trop simplifiés, pour décrire des phénomènes complexes. Bien sûr ce nouveau mode de simulation nécessite plus de ressources qu'une simple simulation SPICE et lorsque nous avons effectué nos simulations, il n'était possible de simuler par éléments finis qu'un seul élément du circuit ; la mise sur le marché du Mixed Mode XL de Silvaco, fin 2010 lève cette restriction et témoigne du dynamisme de cette nouvelle méthode de simulation [IV-48].

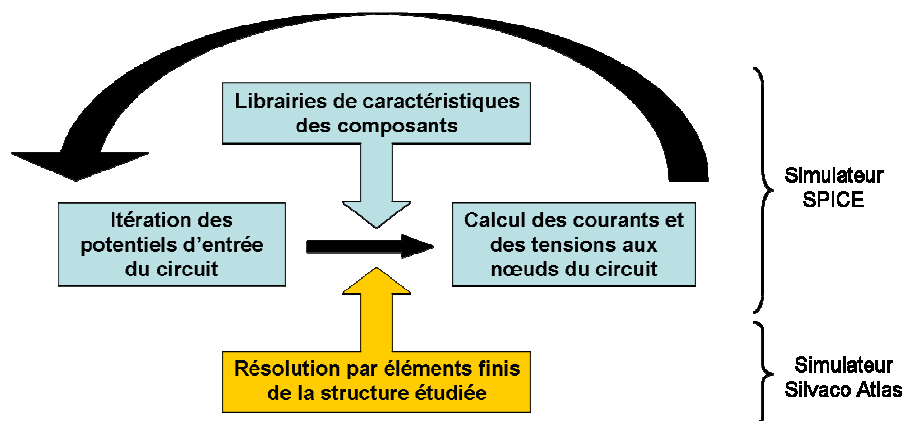


Figure IV. 6 : Schéma de principe de la simulation mixte 'Mixed Mode'

La possibilité d'insérer directement dans les nœuds du circuit le résultat d'une simulation par éléments finis d'un dispositif complet permet d'obtenir des résultats directement fondés sur notre étude physique du phénomène de claquage ; cela revient à injecter directement les caractéristiques dégradées obtenues précédemment et calibrées sur les mesures dans la simulation du circuit. Par ce type de simulation, il est alors possible de simuler une structure à un niveau très fin de l'analyse physique en obtenant directement des résultats en termes de circuits. Cependant nous verrons que cette méthode est très gourmande en ressources de simulations puisque la résolution de la structure 2D ou 3D étudiée doit être effectuée à chaque itération du simulateur SPICE. Pour cette raison le pas itératif ne peut pas non plus être choisi trop grand car la résolution par éléments finis requiert une solution initiale assez proche de la solution ce qui n'est pas le cas dans la zone de basculement de l'inverseur où les tensions et courants des dispositifs varient fortement. Des astuces de simulation devront être mises au point pour parvenir à nos fins !

Tout d'abord la résolution des structures résolues par éléments finis nécessite une simplification maximale des maillages de simulation et un régime de fonctionnement assez stable dans le circuit étudié. Lorsque ce n'est pas le cas, typiquement pour l'inverseur dans la zone de basculement, il faudra procéder en deux étapes de manière à aborder cette zone de basculement de part et d'autre, d'abord en faisant varier la tension d'entrée de 0 V jusqu'à la zone de basculement, en pratique jusqu'à ce que les solutions du simulateur divergent, puis de la tension d'alimentation de la cellule inverseur V_{dd} jusqu'à la zone de basculement ; des pas de calculs trop petits et donc des simulations très lentes peuvent ainsi être évités en reconstituant la caractéristique complète de l'inverseur et en ayant simulé les dispositifs avec des

modèles physiques complets et en trois dimensions. Toutefois pour simplifier l'utilisation de nos modèles nous travaillerons le plus souvent avec des modèles de dispositifs à deux dimensions.

a. Circuit inverseur

En simulant de cette façon un circuit inverseur, le point de départ est une simulation de type SPICE comportant deux transistors, respectivement N et P. Pour modéliser chaque composant on utilise soit les bibliothèques de comportements du logiciel, soit la simulation du dispositif, en deux dimensions. Pour simuler en trois dimensions il était nécessaire de simuler morceau par morceau le domaine de fonctionnement du dispositif dans le circuit. Aussi avons nous travaillé essentiellement à partir de modèles à éléments finis à deux dimensions qui s'avèrent beaucoup plus maniables et pratiques. Afin d'éviter de simuler un weak spot aussi large que le dispositif lui-même, comme le fait l'IMEC [IV-21, 22] dans ses simulations de dispositifs, nous simulons une structure par éléments finis de la largeur du spot seulement, soit 10 nm, figure IV.6, en parallèle avec un dispositif vierge de largeur 990 nm. Nous obtenons ainsi un bon équivalent de la structure en trois dimensions de 1 μm de large, tout en épargnant du temps de calcul. La résolution de la structure 3D n'apporte rien aux résultats ; au contraire puisque la déviation de la tension de seuil était mieux reproduite par notre modèle 2D.

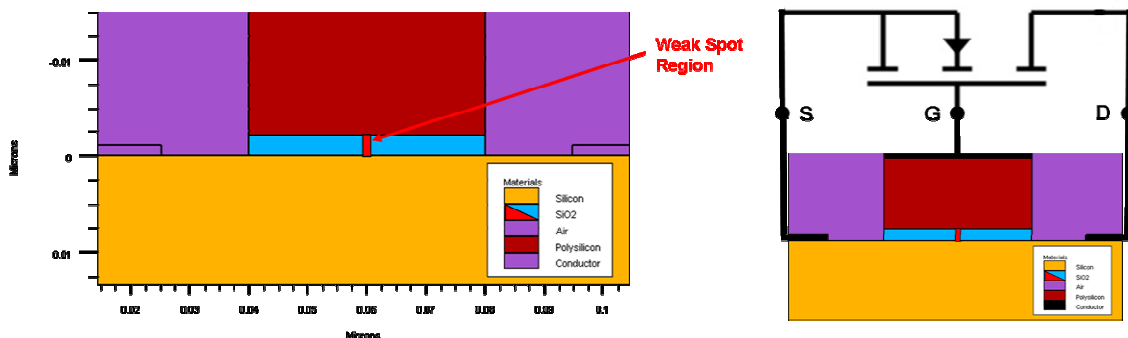


Figure IV. 7 : Dispositif dégradé simulé en 2D par éléments finis, branché en parallèle avec un modèle SPICE de transistor vierge ; les largeurs considérées pour la simulation SPICE sont respectivement de 10 nm et 990 nm.

Le même type de résultats est obtenu figure IV.7 qu'avec le modèle théorique de dégradation de l'inverseur, sans pouvoir dans ces simulations, décorrélérer simplement les deux effets du claquage d'un dispositif sur le circuit puisque la dépolarisation du canal responsable de la déviation de la tension de seuil est induite par la fuite de grille localisée. L'effet du décalage de la tension de seuil est donc moins visible puisqu'il dépend cette fois de l'intensité de la fuite et donc de la tension d'entrée. Les paramètres utilisés sont les mêmes que ceux qui permettaient la modélisation des courants de fuite la plus proche des mesures, présentés dans le tableau III.45.

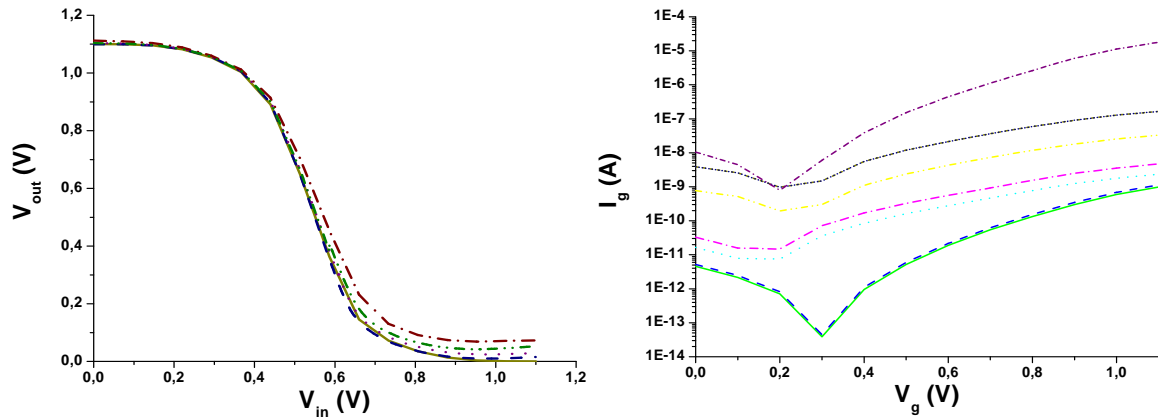


Figure IV. 8 : Impact de claquages successifs du NMOS sur la caractéristique de l'inverseur à droite et courants de fuite correspondants.

Sur la figure IV.7 la caractéristique de l'inverseur dégradé est présentée pour un claquage du dispositif NMOS, ce qui correspond au cas le plus critique comme l'a montré Rodriguez [IV-37] figure IV.8.

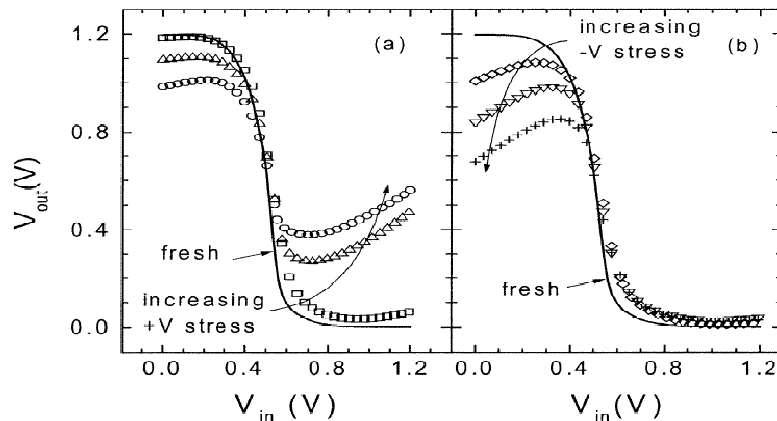


Figure IV. 9 : Caractéristique de l'inverseur pour un claquage du NMOS (a) et du PMOS (b) [IV-37].

Les résultats obtenus pour l'inverseur sont comparables à ceux proposés par les autres équipes à partir de leurs modèles à circuits équivalents [IV-37, 40, 39, 25]. Bien que cette méthode soit capable de reproduire des effets physiques de manière plus fine, elle peut aussi servir à injecter dans le circuit les caractéristiques des dispositifs dégradés de la même manière que les méthodes à circuit équivalent ; c'est ce que nous avons fait : après avoir ajusté les paramètres du modèle pour reproduire au mieux les déviations mesurées en termes de tension de seuil et de courants de fuite, ces simulations ont été directement injectées dans la simulation circuit.

b. Cellule S-RAM

La cellule SRAM de base correspond à deux inverseurs avec l'entrée de l'un branché sur la sortie de l'autre et réciproquement, le schéma complet en est donné à la figure I.17. Dans un premier temps nous simulons l'impact du claquage sur une cellule SRAM simplement en inversant abscisse et ordonnée de notre caractéristique d'inverseur. Cette première approche de la fiabilité de la cellule SRAM permet d'avoir une idée de l'impact du claquage d'un des dispositifs. Sur la figure IV.10, ces

caractéristiques symétrisées sont présentées. À gauche la courbe correspond à une cellule SRAM dont un des NMOS est claqué et à droite à une cellule SRAM présentant un inverseur avec un PMOS dégradé. Là encore les tendances proposées par d'autres équipes sont bien reproduites [IV-44, 26, 19].

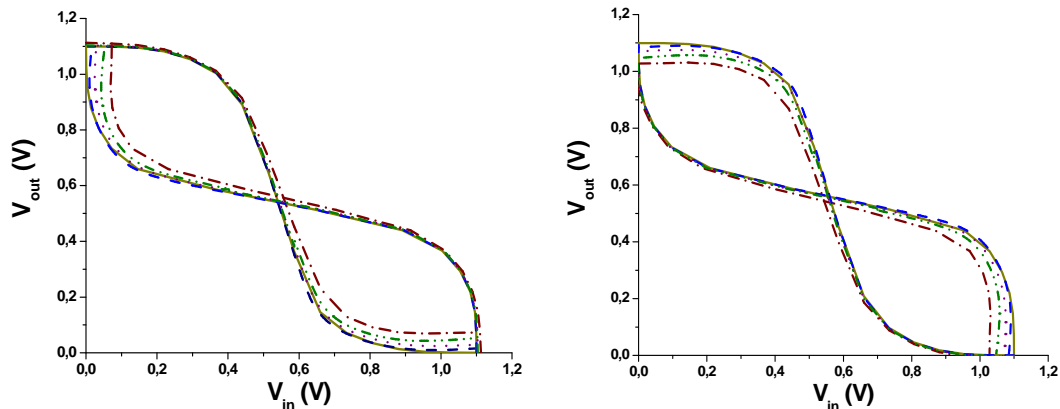


Figure IV. 10 : Symétrisation de la caractéristique de l'inverseur, pour un claquage sur le NMOS d'un des inverseurs de la cellule à gauche puis pour un PMOS claqué sur un des inverseurs.

Afin de justifier notre approximation, nous simulons le claquage du dispositif NMOS sur l'inverseur puis sur la cellule RAM complète. Sur cette caractérisation en tension, la dégradation du premier inverseur ne semble pas exercer d'influence sur le fonctionnement du second inverseur de la cellule. Ce résultat paraît contre intuitif puisque les courants de fuite de grille générés par le claquage d'un dispositif du premier inverseur se retrouvent injectés au drain du second inverseur ; nous verrons dans nos simulations compactes que c'est bien le cas.

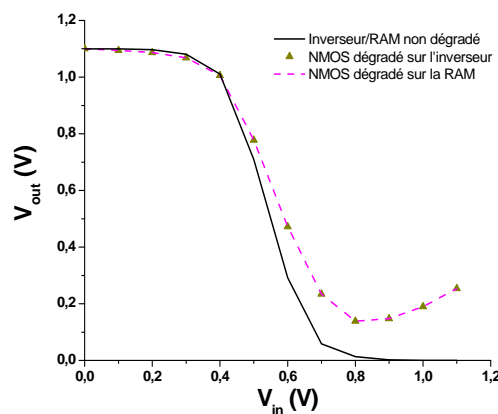


Figure IV. 11 : Simulation du claquage du NMOS pour un inverseur seul et pour un inverseur d'une cellule SRAM.

c. Points forts et limites de cette méthode

La simulation mixte est un outil très puissant pour l'étude des dispositifs dans les circuits ; en effet elle permet de combiner une simulation poussée des dispositifs, en trois dimensions et en intégrant les phénomènes physiques de très bas niveau, à une simulation circuit de type SPICE permettant de rendre compte du fonctionnement de circuits complexes. Ainsi, grâce à l'augmentation de la puissance de calcul des ordinateurs récents, il devient possible de simuler au niveau des circuits des effets physiques réservés jusqu'alors à la simulation avancée de

dispositifs et auparavant intégrées aux simulations circuits sous forme de règles de conception. Toutefois avec la réduction des dimensions des dispositifs, la mise au point et l'utilisation de ces règles deviennent de plus en plus ardues en raison de l'augmentation exponentielle de la variabilité des paramètres des composants. L'avènement de ce type de simulateurs accompagne donc le changement de paradigme dans la conception de dispositifs et de circuits en remplaçant ces règles de conception directement par des simulations des effets physiques de très bas niveau. A notre avis la simulation mixte est donc appelée à se démocratiser dans les prochaines années jusqu'à pouvoir simuler les circuits au niveau physique, comme en témoignent les récents développements des simulateurs mixtes chez tous les distributeurs de solutions de simulation.

Ainsi qu'il a été signalé, le mixed mode est une technique de simulation encore récente pour les outils industriels, aussi sont ils encore en développement. Le logiciel utilisé pendant ma thèse comportait encore quelques omissions dans la simulation en trois dimensions des courants de grille, qui ont pu dans une certaine mesure être corrigés suite à mes échanges avec l'ingénieur responsable chez Atlas Silvaco. Le mode de simulation mixte utilisé était encore assez limité, notamment la convergence des calculs par éléments finis n'est pas toujours acquise lors de la simulation de dispositifs dans des utilisations dynamiques. De plus le nombre de mailles de calcul étant limité pour des raisons de convergences, un nombre limité de dispositifs pouvait être simulé simultanément dans leur fonctionnement en circuit. Très récemment Atlas a sorti une extension de ce mode de simulation permettant la simulation d'un plus grand nombre de dispositifs avec une plus grande précision

Par exemple notre modèle de cellule SRAM incluant ne serait-ce qu'un seul dispositif simulé en trois dimensions par éléments finis n'a jamais pu converger vers une solution stable avec une précision suffisante ; plusieurs stratagèmes ont été utilisés pour contourner cette limitation, notamment la simulation plus simple d'éléments en deux dimensions ou bien la réduction drastique du nombre de mailles de calculs par éléments finis en considérant uniquement une dégradation globale du canal et non plus une dégradation locale. Cela retire une grande partie de l'intérêt de la simulation mixte ; en particulier la simulation de plusieurs dégradations de dispositifs dans la même cellule n'était pas encore possible avec les outils utilisés. Aussi la mise au point d'un modèle de plus haut niveau de type ELDO est absolument nécessaire pour étudier l'impact du claquage des dispositifs sur les circuits.

3 - Modèle compact Eldo

a. Modélisation de la fuite de courant due au claquage

Grâce à notre loi empirique de l'évolution du courant de fuite en fonction du temps après le premier claquage, nous sommes en mesure de quantifier précisément, c'est-à-dire en moyenne et en tenant compte de leurs distributions statistiques, les effets des claquages successifs sur les dispositifs à partir du premier claquage.

$$\Delta I_g = A * \ln \left(1 + \left(\frac{t}{\tau} \right)^\alpha \right)$$

Equ. IV- 8

Afin de l'implémenter sous le logiciel de simulation circuit ELDO, nous utilisons une approche simplifiée de la modélisation du claquage en considérant que la totalité du canal est impactée par le claquage ; cela correspond aux mesures puisqu'à tension de travail des dispositifs le partitionnement est égal à 0.5 jusqu'aux claquages de type hard destructifs. Un tel partitionnement équivaut à une fuite distribuée sur toute la surface du canal. De plus nous avons vu avec les simulations par éléments finis que la dérive de la tension de seuil était mieux reproduite par ce modèle de dégradation. Nous pouvons donc simuler l'augmentation du courant de grille due aux claquages par une réduction globale de l'épaisseur d'oxyde ou par un abaissement global de la hauteur de barrière de l'oxyde. Cet abaissement de barrière est calibré sur les caractérisations complètes des dispositifs effectuées lors des interruptions de stress ; les paramètres correspondants à la moyenne des fuites mesurées sont présentés dans le tableau de la figure IV.19 de même que les paramètres du pire cas.

b. Corrélation des dérives en tension de seuil et en fuite

La corrélation existant entre dérive de la tension de seuil et évolution de l'intensité de la fuite de grille permet de relier simplement cette évolution à la dérive de la tension de seuil, en utilisant notre loi empirique et la distribution statistique des paramètres associés ; les paramètres moyens et pire cas sont exposés dans le tableau de la figure IV.19 :

$$\Delta V_{th} = B * \ln(\Delta I_g) + C$$

Equ. IV- 9

Nous obtenons donc un modèle compact qui à chaque instant après le premier claquage associe l'augmentation correspondante de la fuite de grille et à partir de cette fuite calcule la dérive en tension de seuil.

c. Simulation des impacts du claquage

Temps après le 1 ^{er} BD (s)	E (eV)	ΔV_t (V)
0	2.025	0
500	1.915	0.033
1000	1.54	0.085
1500	1.446	0.1
2000	1.413	0.105
2500	1.395	0.109
3000	1.384	0.111

Figure IV. 12 : Paramètres de simulation équivalents aux équations proposées.

Comme il l'a été exposé dans le chapitre III.D, l'augmentation de la fuite correspond à la diminution de la hauteur de la barrière d'oxyde ; l'équivalence entre les valeurs de fuite de grille et la hauteur de barrière du dispositif est obtenue

simplement par le calcul du courant tunnel dans un régime Fowler Nordheim, conformément à l'équation III-2., et présentée pour le dispositif PMOS dans le tableau de la figure IV.12. Nous utiliserons les mêmes paramètres pour simuler le NMOS. Les courants de fuite correspondant sont présentés à la figure IV.8.

d. Points forts et limites actuelles de cette méthode

Cette approche a le mérite d'être basée sur la physique du claquage et pas seulement sur une reproduction arbitraire de ses effets. Elle est très simple à mettre en œuvre puisque les méthodes de caractérisation permettant l'extraction des paramètres nécessaires sont connues et maîtrisées ; de plus le nombre de paramètres à mettre en œuvre est réduit par rapport au modèle existant précédemment ; ce dernier nécessitait 12 paramètres [IV-36] tandis que notre approche n'en nécessite que cinq.

Les points faibles de notre approche ne résident pas dans les approximations effectuées sur la phénoménologie du claquage puisque celles-ci ont été justifiées par l'analyse des données mesurées, par les modélisations par éléments finis et par le modèle analytique. Par contre en toute rigueur le partitionnement du courant dans les dispositifs devrait faire l'objet d'une calibration particulière pour rendre compte de la distribution du claquage le long du canal ; cela permettra une évaluation plus précise y compris au niveau statistique de l'augmentation de la consommation au repos dans les dispositifs due aux claquages [IV-42]. Par contre le volume de dispositifs caractérisés ne suffit pas véritablement à établir une statistique fiable pour le procédé de fabrication considéré. En effet nous ne disposons que de 24 caractérisations de dispositifs dont la moitié seulement a été effectuée à pas temporel constant. L'extraction automatisée des paramètres nécessaires à la calibration de notre modèle a donc été effectuée par deux méthodes différentes, ce qui ne semble pas très fiable. Ensuite notre étude commence seulement à partir du premier claquage, sans prendre en compte la distribution statistique de ce temps au premier claquage. Un modèle complet nécessitera donc des mesures complémentaires pour intégrer cet aspect de la phénoménologie du claquage ; de telles études ont été réalisées par d'autres équipes notamment [IV-42, 29, 45]. Finalement la loi d'accélération en tension n'est pas connue non plus, faute de caractérisations idoines, notre approche rend donc compte d'une dégradation moyenne pour chaque dispositif indépendamment de l'utilisation qui en est faite dans tel ou tel circuit particulier ; cela ne correspond pas aux mécanismes de dégradation réels pour les circuits puisque les dégradations de chaque dispositif sont dépendantes les unes des autres ; en effet la quantité de stress subie par chaque dispositif va dépendre de l'état de dégradation de chacun d'entre eux. Cette étude a été réalisée d'autre part à l'université de Barcelone [IV-18] ou par [IV-12].

Toutes les limites actuelles de notre modèle compact pourront être levées facilement par des caractérisations plus complètes, mieux ciblées et effectuées sur un échantillon plus important de dispositifs ou bien directement en se basant sur les études d'autres équipes ayant travaillé sur ces points [IV-42, 45, 18, 12]. Toutefois comme nous l'avons mentionné, notre approche est suffisante pour accéder aux dégradations moyennes des dispositifs et pour les reporter sur les performances des circuits grâce à notre modèle compact ELDO ; cette étude fait l'objet du chapitre suivant.

B) Impact du claquage sur les circuits élémentaires

Malgré l'apparition de la simulation mixte éléments finis / SPICE et ses récentes améliorations, rien ne remplace à ce jour les simulations SPICE pour étudier des circuits importants. Il y a là encore un gouffre conceptuel entre simulations de circuits élémentaires, éventuellement effectuées par simulation mixtes, et simulations de circuits électronique. Lorsqu'un concepteur de circuits intégrés parle de circuits, ceux-ci comprennent au bas mots quelques milliers de dispositifs interconnectés tandis que pour un fiabiliste de l'oxyde ou un concepteur de dispositifs, un circuit est toujours élémentaire avec seulement quelques composants, une dizaine tout au plus. Notre objectif pendant ce travail de thèse était de partir du niveau physique en simulant précisément les effets du claquage sur le fonctionnement d'un seul dispositif, avec des échelles de simulation nanométriques, pour petit à petit intégrer ces résultats dans des modèles de plus haut niveau jusqu'à obtenir un modèle compact adapté à la simulation circuit industrielle. La simulation mixte était donc une excellente transition entre ces niveaux mais nous avons vu que ce type de simulations était limitée pour des applications circuits, même élémentaires dès lors qu'il s'agissait de simuler plusieurs dispositifs dégradés en même temps. Il est donc absolument nécessaire de transférer nos observations à un modèle compact, utilisable dans un simulateur industriel comme ELDO de Mentor Graphics. Comme nous l'avons vu dans la partie précédente et rappelé dans le paragraphe IV.3, l'impact du claquage sur le fonctionnement des dispositifs a pu être implémenté dans le modèle BSIM 3, reproduisant fidèlement les déviations de paramètres, que ce soit l'augmentation du courant de fuite, de la tension de seuil et leurs conséquences pour le courant de drain. Utilisons maintenant ce modèle de haut niveau à l'étude de l'impact du claquage du diélectrique sur le fonctionnement des circuits élémentaires.

1 - Circuit inverseur

L'impact du claquage sur ce circuit très simple a été étudié par de nombreuses équipes par le biais de circuits équivalents au dispositif dégradé [IV-21, 22, 11, 24, 40, 39, 25, 26, 38] ; ces différents modèles ont été présentés dans la partie II.C.6. Le modèle le plus récent intègre même une expression analytique du courant de drain afin d'y reporter les déviations de la tension de seuil et du courant de grille [IV-36, 41, 39]. Plusieurs de ces équipes ont pu effectuer des mesures de cet impact grâce à des circuits dédiés [IV-39, 26, 19, 38, 23]. N'ayant pu effectuer ce type de mesures nous même, nous comparerons qualitativement nos résultats avec ceux proposés par ces équipes.

a. Simulation

Notre modèle compact dérive directement de notre modèle analytique décrivant l'évolution des paramètres régissant courant de grille et tension de seuil, selon les équations IV.8 et IV.9. Il est donc possible de simuler séparément les

différents effets du claquage en décorrélant la dérive de la tension de seuil de l'augmentation de la fuite de grille ; cependant les résultats ne diffèrent pas de ceux présentés pour le modèle analytique et ne présentent que peu d'intérêt par rapport au cas réel. Nous passerons donc directement à la simulation complète des effets du claquage en simulant d'abord un claquage sur le dispositif N, puis sur le dispositif P et enfin sur les deux dispositifs simultanément. Conformément aux équations proposées, les paramètres de simulation correspondant aux moyennes des fuites mesurées sont ramenés à une diminution de la hauteur de barrière d'oxyde pour des temps donnés après le premier claquage et présentés dans le tableau de la figure IV.12 ; la déviation de seuil correspondante est calculée de même par notre modèle de simulation en fonction de cette fuite de grille.

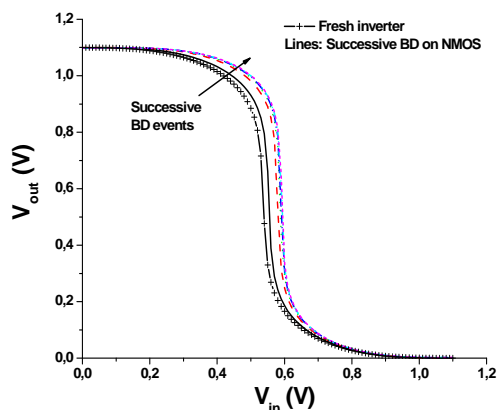


Figure IV. 13 : Impact du claquage du NMOS sur la caractéristique en tension de l'inverseur.

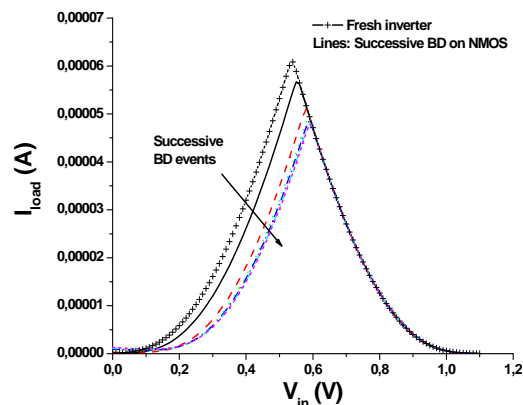


Figure IV. 14 : Impact du claquage du NMOS sur la caractéristique en courant de l'inverseur.

La figure IV.13 présente nos résultats de simulation ELDO pour un claquage du NMOS. Son impact paraît être limité pour les premières occurrences du claquage, en effet la fonction d'inversion est encore parfaitement réalisée bien que le seuil du circuit soit décalé avec le seuil du dispositif. Les décalages en tension et en courant de ces caractéristiques ne sont pas visible sur ces figures, elles ne dépassent pas 2.3 mV et 1.3 μ A, ce qui peut sembler infime mais aura de très lourdes conséquences sur la consommation comme nous le verrons dans le paragraphe dédié. Remarquons que le décalage de la tension de seuil se retrouve sur la caractéristique en courant tracé figure IV.14 puisque le pic de courant correspond à la pente maximale de la transition en tension. Ce décalage du seuil d'inversion ajoute encore à la variabilité des paramètres des composants et viendra donc limiter un peu plus les fréquences d'utilisation des cellules puisqu'une différence plus grande de tension d'entrée doit être appliquée pour provoquer l'inversion de la sortie. La diminution d'intensité de ce pic correspond à la fraction de courant de la source au drain détournée pour la fuite de grille.

L'effet du claquage du PMOS est similaire à celui du NMOS, une fois de plus pour les premiers claquages la fonction inverseuse est toujours réalisée malgré le décalage de la tension de seuil de l'inverseur présentée sur la figure IV.22 ; toutefois comme pour le claquage du NMOS, les courants sont impactés également ainsi que les tensions au repos, ce qui fera augmenter énormément la consommation des circuits comportant de nombreux inverseurs.

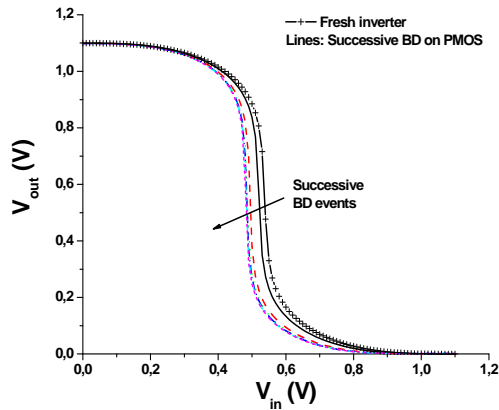


Figure IV. 15 : Impact du claquage du PMOS sur la caractéristique en tension de l'inverseur.

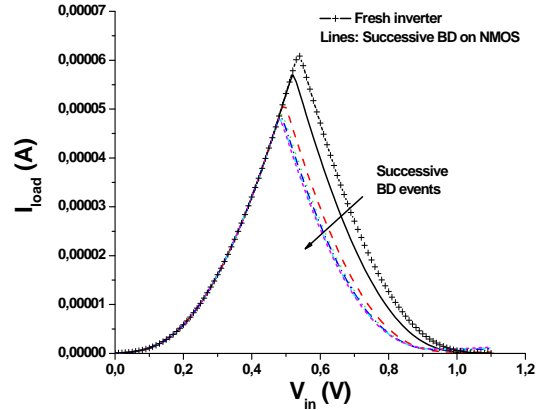


Figure IV. 16 : Impact du claquage du PMOS sur la caractéristique en courant de l'inverseur.

Lorsque les deux dispositifs claquent simultanément, les déviations des tensions de seuil des dispositifs N et P se compensent, comme cela avait été observé dans les simulations par éléments finis. En revanche les courants de fuite augmentent maintenant des deux coté de la caractéristique. Dans ce cas il n'est plus possible de distinguer les claquages N ou P en observant la caractéristique en courant de charge I_{load} .

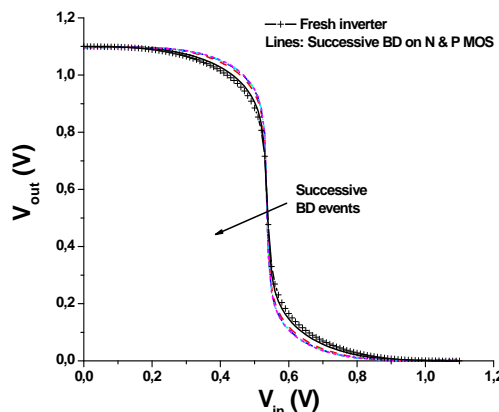


Figure IV. 17 : Impact du claquage du PMOS et du NMOS sur la caractéristique en tension de l'inverseur.

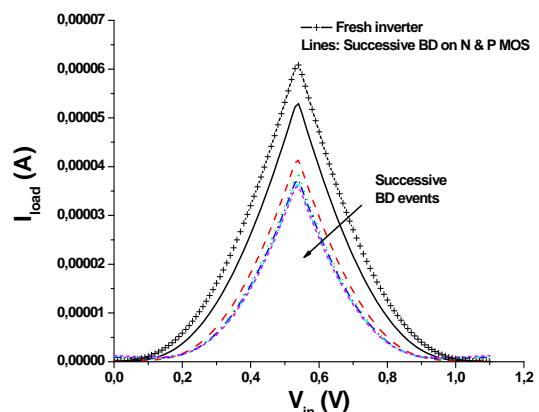


Figure IV. 18 : Impact du claquage du PMOS et du NMOS sur la caractéristique en courant de l'inverseur.

Finalement l'impact moyen du claquage sur l'inverseur paraît très limité, toutefois rappelons que la dispersion des effets du claquage était très important, aussi bien en termes de soudaineté que d'intensité. Examinons alors le pire cas correspondant aux fuites les plus importantes et aux déviations en tension de seuil les plus grandes. Cela revient à choisir des coefficients extrêmes dans nos équations décrivant ces deux déviations ; ceux-ci sont donnés dans le tableau de la figure IV.19 avec les paramètres du cas moyen utilisés précédemment.

	Pire cas	Moyenne
A	0.0025	0.0004
T	650	1000
B	0.06	0.075
C	0.75	0.15

Figure IV. 19 : Paramètres de simulation du pire cas et du cas moyen.

Dans cette simulation du pire cas possible, nous observons que la tension de seuil augmente brusquement puis se stabilise, ce qui correspond à la modélisation logarithmique en courant de grille que nous en avons fait. Au contraire l'augmentation du courant de grille est d'abord trop faible pour influencer sur la caractéristique de l'inverseur puis augmente plus franchement. Précisons que ce pire cas n'est pas tout à fait réaliste puisqu'il correspond non seulement à la pire fuite mesurée mais aussi à la déviation maximale de la tension de seuil, ces deux pires cas de figure ne se sont pas produits ensemble lors des mesures effectuées sur 24 dispositifs. Pour mieux illustrer notre propos nous avons même surdimensionné la fuite pour la dernière courbe de la figure IV.20 ; cette fuite pourrait toutefois représenter un cas réel puisque la déviation de la caractéristique en tension de l'inverseur semble dépendre de la tension de stress appliquée comme démontré par [IV-37] à l'aide de la figure IV.9.

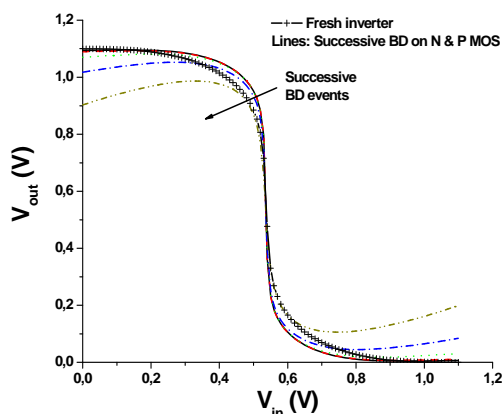


Figure IV. 20 : Caractéristique en tension de l'inverseur pour le pire cas de claquage du N et PMOS.

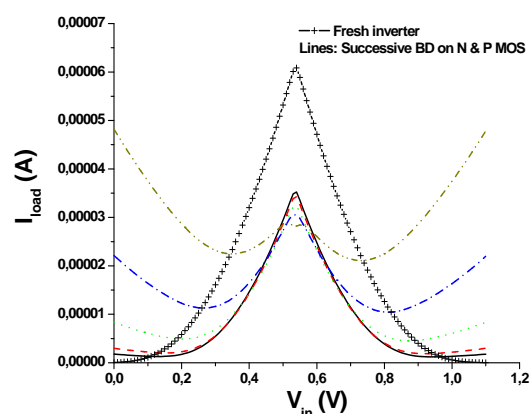


Figure IV. 21 : Caractéristique en courant de l'inverseur pour le pire cas de claquage du N et PMOS.

Ces courbes de pire cas de claquage illustrent bien les conséquences du claquage des deux dispositifs sur les caractéristiques de l'inverseur, puisque les deux tensions de seuil des dispositifs sont modifiées symétriquement, la tension de seuil de l'inverseur ne varie pas ; pour obtenir une dégradation encore pire de la fonction d'inversion, il faudrait considérer une modification minimale du seuil de l'un des dispositifs et maximale de l'autre. Sur les courbes de la figure IV.21 représentant le courant de charge I_{load} de l'inverseur, nous retrouvons les conséquences de la fuite de grille : la cellule consomme du courant au repos et même consomme plus au repos que lors de l'inversion pour la fuite surdimensionnée, ce qui est un comble pour la technologie CMOS dont l'un des avantages consiste justement à ne pas consommer au repos !

b. Conséquence du claquage sur les performances de l'inverseur

Pour les courants de fuite que nous avons mesurés sur la technologie 40 nm et reproduits de modèles en modèle jusqu'à la modélisation compacte, la conséquence la plus flagrante du claquage sur le fonctionnement de l'inverseur réside dans le décalage de la tension de seuil du circuit, conséquence directe de la déviation du seuil des dispositifs. La figure IV.22 présente cette dérive pour les simulations utilisant les paramètres du tableau IV.12 et dont les caractéristiques sont exposées sur les figures IV.15 et IV.16. Nous retrouvons le comportement de la

déviations de la tension de seuil en fonction du temps présentées figure III.66 : une augmentation importante puis une saturation de cette déviation, correspondant comme nous l'avons montré à la saturation de la dépolarisation du canal, après laquelle la fuite seule continue d'augmenter. Cette tendance d'évolution se retrouve aussi sur la figure IV.16 sur laquelle déviation en tension de seuil et en courant de fuite sont visibles : une première phase présente une évolution simultanée de la fuite et du seuil, pour les quatre premières courbes de cette figure, pendant laquelle la dégradation dominante sur l'inverseur semble être l'écart du seuil de la cellule, une deuxième phase intervient pendant laquelle le seuil de la cellule ne varie presque plus au contraire du courant de fuite au repos qui commence à perturber visiblement la caractéristique en courant de l'inverseur.

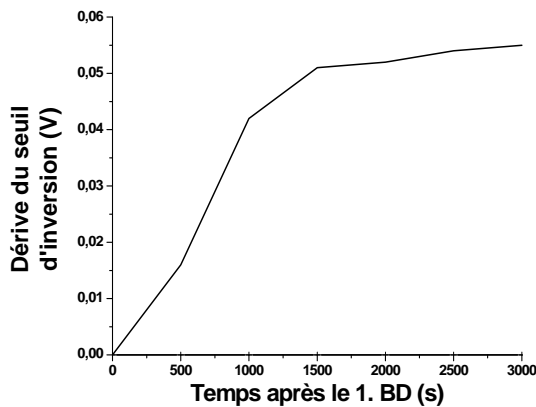


Figure IV. 22 : Impact du claquage sur la tension de seuil de l'inverseur.

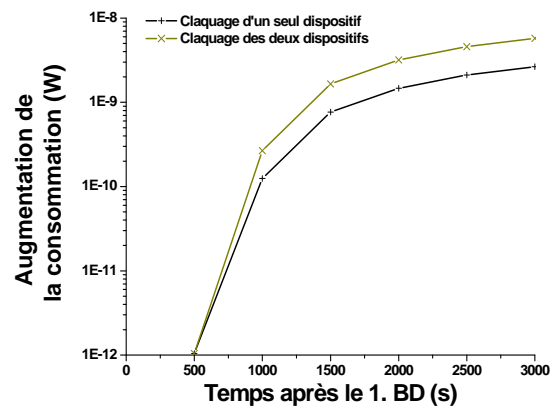


Figure IV. 23 : Impact du claquage sur la consommation de l'inverseur lors du claquage d'un seul dispositif (+) ou de deux dispositifs (x).

L'augmentation de la consommation de l'inverseur tracée figure IV.23 suit la tendance d'évolution du courant de grille puisque son impact est reporté sur le courant de la source au drain c'est à dire en termes de circuit inverseur sur le courant de charge.

Pour conclure nos travaux sur l'impact du claquage des dispositifs sur le circuit inverseur, soulignons que le fonctionnement de la cellule n'est pas remis en cause, même pour les claquages très intenses de la figure IV.20. Cependant si l'on considère le fonctionnement de ces inverseurs dans des circuits plus grands, la variation du seuil d'inversion qui peut atteindre $\pm 10\%$ de sa valeur initiale sera extrêmement problématique pour assurer le fonctionnement des designs les plus agressifs. D'autre part l'augmentation de la consommation de la cellule est dramatique, puisqu'elle atteint 4 décades en moyenne ! Imaginons alors les conséquences sur des circuits comportant plusieurs dizaines d'inverseurs !

2 - Cellule S-RAM

La cellule SRAM est composée de deux inverseurs ; la sortie du premier connectée à l'entrée du second et inversement. En outre deux transistors permettent de contrôler l'entrée et la sortie de la cellule afin de définir les valeurs logiques à y stocker, comme présenté à la figure I.17. Pour simplifier notre étude nous n'avons

considéré que la dégradation des inverseurs constituant le cœur de la cellule puisque chargés de retenir l'information à stocker ; le schéma est tracé à la figure IV.24. Cette capacité à stocker l'information, sous forme de tension haute ou basse est caractérisée par la marge de bruit statique ou SNM (Static Noise Margin), définie par le côté du plus grand carré inscrit entre les courbes de chaque inverseur, comme présentée figure IV.25.

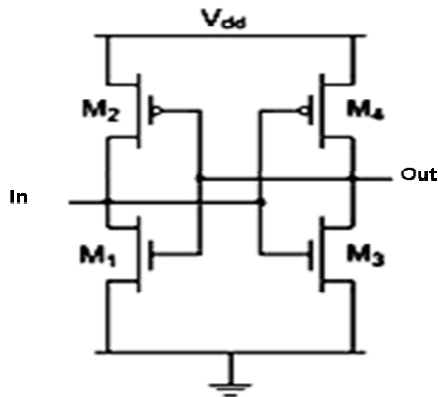


Figure IV. 24 : Cœur de la cellule SRAM constituée des deux inverseurs (M1, M2) et (M3, M4).

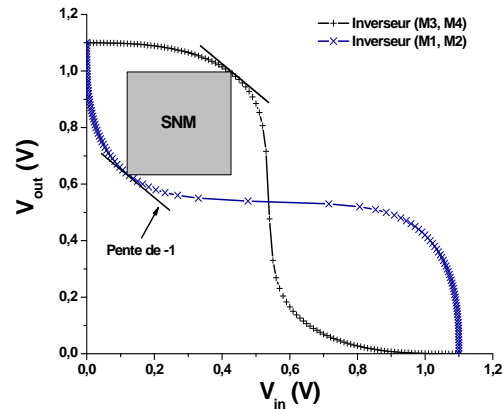


Figure IV. 25 : Caractéristique d'une cellule SRAM ; la SNM est définie par des pentes de -1.

Lorsque le bruit statique devient plus grand que le côté de ce carré, la valeur de l'information stockée dans la cellule peut changer aléatoirement et la fonction mémoire n'est plus réalisée. D'autres définitions de la marge de bruit statique considèrent non pas le côté mais la diagonale du carré, ce qui est exactement proportionnel, toujours en considérant le carré compris dans la partie de gauche car il correspond à la phase de lecture du contenu de la cellule, plus critique que la phase d'écriture [IV-46]. Afin de simplifier nos routines d'extraction nous considérerons une définition légèrement différente de la marge de bruit statique, en prenant cette fois le rectangle inscrit entre les pentes de valeur -1 de chaque courbe d'inverseur. Cela ne change rien lorsque les inverseurs sont bien symétriques : cette définition donne le même carré ; pour des inverseurs dissymétriques en revanche un rectangle est obtenu par cette méthode, dont nous prenons le plus petit côté. Cette définition nous a paru plus simple à extraire de nos simulations, tout en gardant le sens de la définition originelle.

Grâce à notre modèle compact nous ne sommes plus limités par le nombre de dispositifs simulés, aussi nous étudierons différentes combinaisons de claquage afin de déterminer le cas critique pour la fonctionnalité de la cellule.

a. Simulation

Commençons par étudier l'impact du claquage du NMOS sur le fonctionnement de la cellule RAM. Les paramètres utilisés, précisés dans le tableau de la figure IV.26 sont choisis pour rendre compte des moyennes des mesures de courants de fuite et de tensions de seuil dans les quatre premières lignes du tableau, correspondant respectivement à 0, 500, 1000, 2250 et 3000 secondes après le premier claquage, puis de manière à rendre compte de claquages plus violents.

Courbe n°	E (eV)	ΔV_t (V)
0	2.025	0
1	1.9	0.05
2	1.5	0.08
3	1.4	0.107
4	1.3	0.12
5	1.2	0.13
6	1.1	0.14
7	1	0.15
8	0.9	0.16

Figure IV. 26 : Paramètres utilisés pour la simulation du claquage des dispositifs sur la cellule SRAM.

Sur les figures IV.27 et IV.28, nous observons la conséquence du claquage du dispositif NMOS M3 sur le fonctionnement de la cellule SRAM. Nous avons utilisé pour représenter les courants la même convention que celle utilisée pour les caractéristiques en tension en prenant systématiquement en abscisse l'entrée de l'inverseur considéré. Nous retrouvons le même comportement que pour le claquage de l'inverseur seul analysé grâce aux figures IV.13 et IV.14, avec pour effets d'augmenter le seuil du dispositif et le courant au repos, noté I_{out} . Conformément à ce qui était pressenti au chapitre A.2.b, le claquage d'un dispositif perturbe l'ensemble des courants de la cellule, d'une part parce que le courant de charge I_{out} est réinjecté sur l'entrée de l'autre inverseur et d'autre part parce que les courants de fuite de grille sont injectés au niveau de sa sortie. Nous verrons à la figure IV.37, l'impact de ce claquage particulier sur la marge de bruit statique de la cellule.

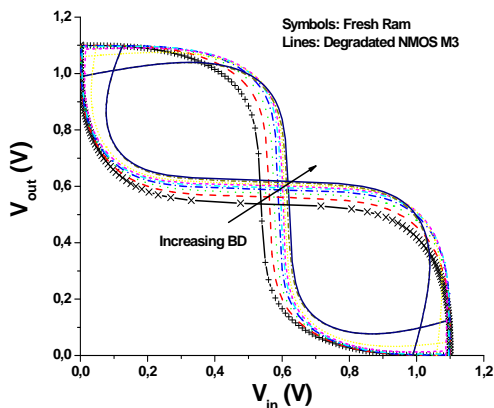


Figure IV. 27 : Impact du claquage du NMOS sur la caractéristique en tension de la cellule SRAM.

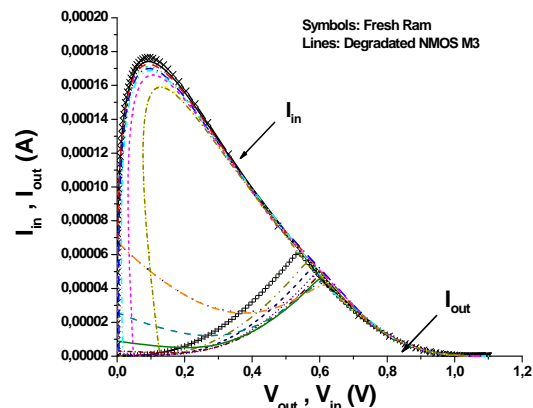


Figure IV. 28 : Impact du claquage du NMOS sur la caractéristique en courant de la cellule SRAM.

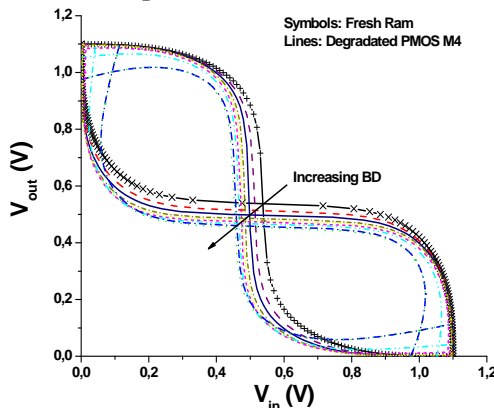


Figure IV. 29 : Impact du claquage du PMOS sur la caractéristique en tension de la cellule SRAM.

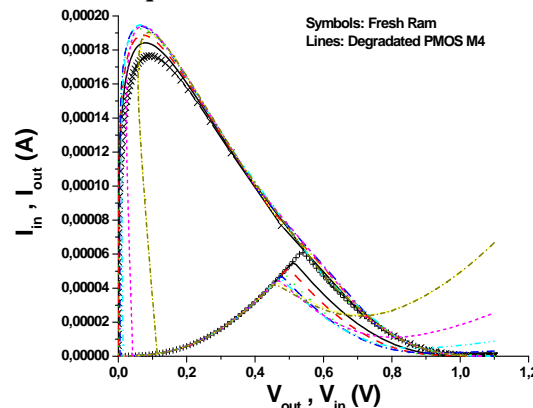


Figure IV. 30 : Impact du claquage du PMOS sur la caractéristique en courant de la cellule SRAM.

Sur les figure IV.29 et IV.30, l'impact du claquage du PMOS M4 de l'inverseur de droite sur le fonctionnement de la cellule ne montre pas de différences fondamentales avec le claquage sur le NMOS ; les effets sont symétriques en raison de l'architecture de la cellule. Remarquons qu'un claquage du PMOS n'entraîne pas de hausse de consommation au repos, puisque dans cet état il est bloqué ; l'augmentation de la consommation intervient pour ce claquage lorsque l'entrée de la cellule SRAM est à l'état haut.

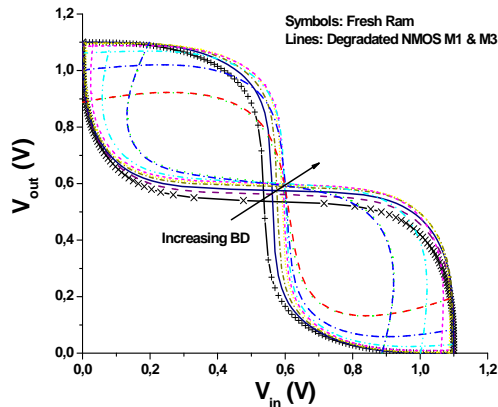


Figure IV. 31 : Impact du claquage des deux NMOS sur la caractéristique en tension de la cellule SRAM.

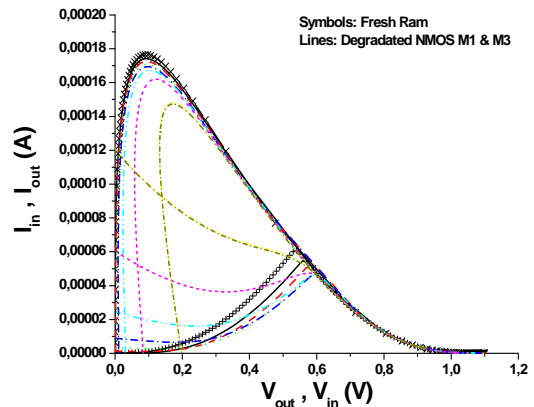


Figure IV. 32 : Impact du claquage des deux NMOS sur la caractéristique en courant de la cellule SRAM.

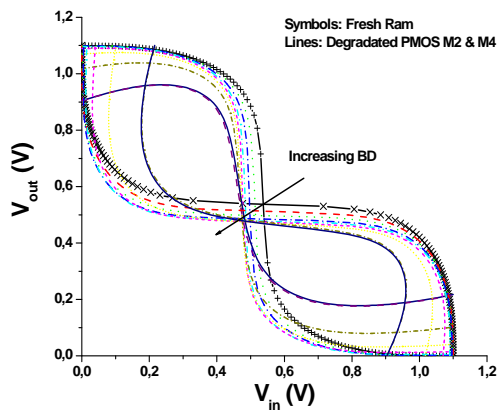


Figure IV. 33 : Impact du claquage des deux PMOS sur la caractéristique en tension de la cellule SRAM.

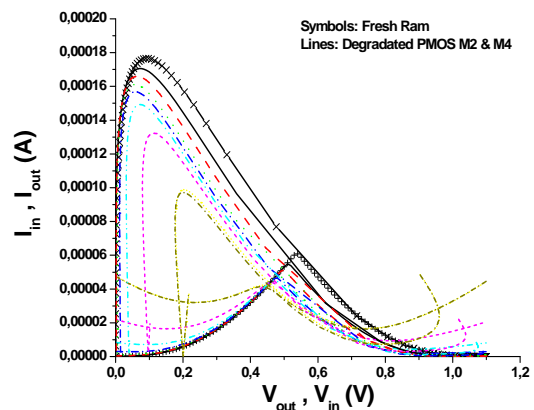


Figure IV. 34 : Impact du claquage des deux PMOS sur la caractéristique en courant de la cellule SRAM.

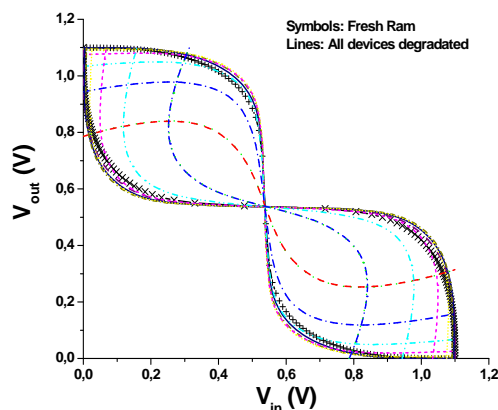


Figure IV. 35 : Impact du claquage de tous les dispositifs sur la caractéristique en tension de la cellule SRAM.

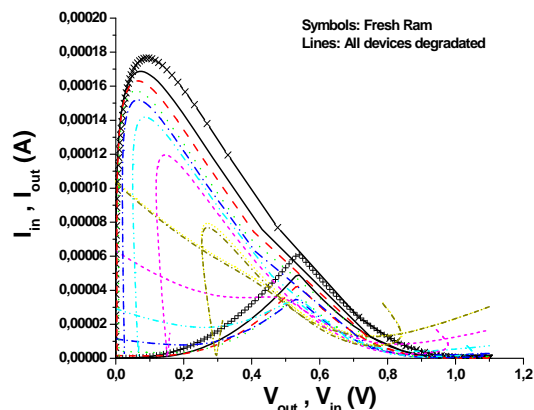


Figure IV. 36 : Impact du claquage de tous les dispositifs sur la caractéristique en courant de la cellule SRAM.

Lorsque plusieurs dispositifs sont dégradés simultanément par un claquage d'intensité identique, leurs effets vont se cumuler selon les branchements existant entre eux ; comme nous l'avons déjà mentionné, le courant de fuite de grille généré par un claquage va venir perturber le courant de charge de l'autre inverseur, alors que la réduction de courant de drain perturbe ses courants et tensions de grille. Le claquage de deux dispositifs N, dont les conséquences sont présentées à la figure IV.31 et IV.32, va de cette manière cumuler ces effets et accroître énormément l'impact du claquage sur la cellule. La marge de bruit statique est réduite de manière critique tandis que la consommation au repos double par rapport à celle causée par le claquage d'un seul dispositif ; en outre la consommation à l'état haut va être perturbée aussi à cause des fuites de grille qui vont prélever du courant de charge I_{in} et I_{out} . Le claquage des deux dispositifs PMOS est encore plus critique que celui des deux NMOS, en effet la consommation explose que ce soit à l'état haut ou à l'état bas et la marge de bruit statique diminue encore plus rapidement que pour un claquage sur les deux N, en effet les PMOS sont reliés directement à l'alimentation de la cellule et ainsi la fuite a lieu que ce soit à l'état bloqué des transistors ou à l'état passant.

La configuration la plus critique est bien sûr le claquage simultané de tous les dispositifs de la cellule ; là encore nous retrouvons le biais de nos simulations puisque les décalages en tensions de seuil des dispositifs N et P se compensent, aussi le seuil de la cellule n'est pas modifié dans nos simulations comme le montrent les courbes de la figure IV.38.

b. Analyse des performances d'une cellule SRAM dégradée

Utilisant notre définition simplifiée de la marge de bruit statique, nous traçons celle-ci figure IV.37 pour les différentes configurations de claquage du tableau de la figure IV.26.

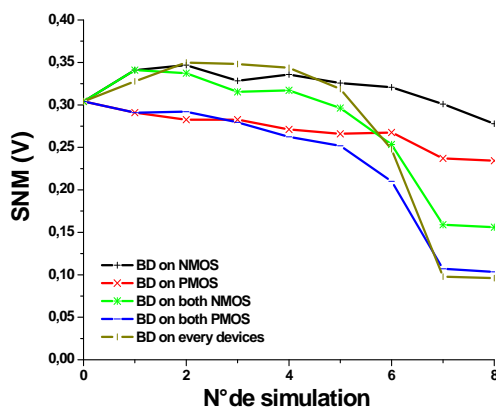


Figure IV. 37 : Réduction de la marge de bruit statique (SNM) dans les différentes configurations de claquage.

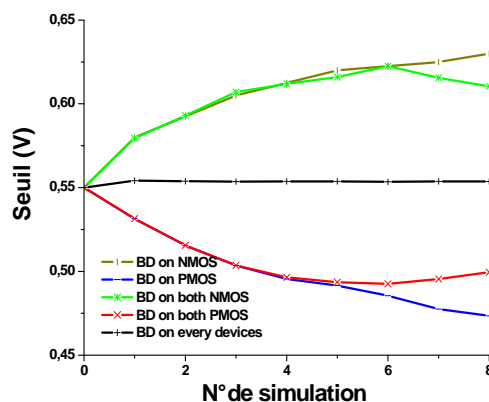


Figure IV. 38 : Déviation du seuil de la cellule dans les différentes configurations de claquage.

A cause de la dérive de la tension de seuil des inverseurs, un claquage sur un dispositif N commence par augmenter les marges de bruit statique qui diminuent dès le 2^{ème} claquage. Ce graphique permet d'identifier le claquage du PMOS comme le cas le plus critique ; il faut attendre la 6^{ème} simulation pour que le claquage des deux NMOS ou les claquages de tous les dispositifs soit aussi critique sur la réduction de

la SNM que le claquage d'un seul PMOS. En raison de sa connexion avec la tension d'alimentation, l'effet du claquage d'un seul PMOS sur la SNM est comparable au claquage des deux PMOS jusqu'à la 5^{ème} simulation, qui émule déjà des claquages importants.

En ce qui concerne la déviation du seuil de la cellule, extrait à l'intersection des caractéristiques en tension, le comportement de la SRAM est similaire à celui des inverseurs ; en effet le seuil de déviation de l'inverseur, figure IV.22 atteint son maximum 3000 s après le premier claquage, ce qui correspond bien à la déviation mesurée pour la 4^{ème} simulation. Comme annoncé pour l'inverseur les déviations de seuil dues aux claquages des transistors N et P se compensent. Au regard de la déviation du seuil, les claquages des dispositifs N ou P sont équivalents et les claquages des deux transistors du même type compensent légèrement leurs déviations.

Finalement les conséquences du claquage d'un ou de plusieurs dispositifs ne semble pas catastrophique pour la fonctionnalité de la cellule SRAM, il faut rappeler toutefois que les simulations réalisées ne concernent uniquement la dégradation de type claquage. En réalité les dégradations dues au claquage interviennent sur des composants déjà impactés par les dégradations de type BTI et HCI. Ajoutées à ces précédentes dégradations, la variabilité de la marge de bruit statique et du seuil paraîtra beaucoup plus catastrophique, à plus forte raison pour les designs agressifs exploitant au plus près la zone d'inversion. En outre nos simulations sont calibrées sur les déviations moyennes mesurées sur les dispositifs, la simulation du pire cas pourrait aussi aggraver ces déviations.

4 - Dérive statistique de l'impact du claquage sur les circuits

La dispersion importante des impacts du claquage sur les performances des dispositifs MOS impose une analyse statistique des paramètres utilisés pour décrire les déviations de paramètres. Le logiciel de simulation ELDO permet d'intégrer directement l'aspect statistique des paramètres des dispositifs en permettant des analyses paramétriques avancées jusqu'à des simulations par tirage de type Monte-Carlo. Il suffit pour cela d'implémenter les distributions statistiques d'un ou plusieurs paramètres dans le simulateur et de paramétrer les tirages Monte Carlo, soit pour obtenir les pires cas de claquage soit pour obtenir une statistique de la dérive des paramètres circuits. A titre d'exemple nous procéderons à un tirage aléatoire de déviations dues au claquage du NMOS pour un temps fixé à 1000 s, ce qui correspond à la moyenne des constantes de temps mesurées et représentées figure III.113.

a. Simulation Monte-Carlo de l'inverseur

Sur la figure IV.39 nous avons représenté les résultats de cette analyse. La déviation moyenne à 1000 s, considérée dans les simulations précédentes est entourée des résultats des tirages aléatoires par la méthode de Monte Carlo sous le logiciel ELDO.

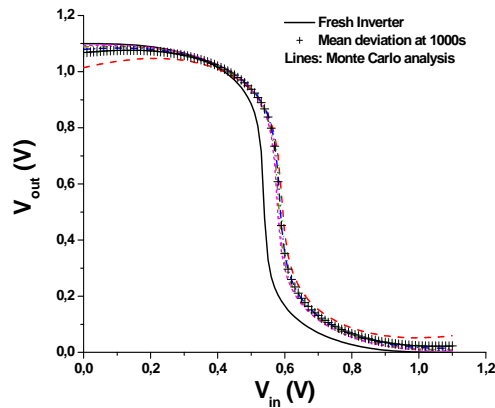


Figure IV. 39 : Dispersion statistique de l'impact du claquage sur l'inverseur par tirage Monte Carlo.

Comme nous l'avons remarqué à plusieurs reprises, les déviations statistiques importantes des effets du claquage sur les dispositifs se reportent sur les déviations statistiques des caractéristiques des circuits étudiés : 1000s après le claquage, si la déviation de la tension de seuil ne varie que de 0.02 V, en revanche, la tension au repos varie de 0.08 V. L'impact sur la consommation va être également très dispersé.

b. Simulation Monte-Carlo d'une cellule S-RAM

Pour le même tirage nous avons également simulé l'impact de la dispersion statistique sur la cellule SRAM, tracé à la figure IV.40. Là encore le tirage effectué n'impacte que peu le seuil. La marge de bruit statique varie de 10% de sa valeur moyenne soit 0.035 V, ce qui n'est pas considérable au regard des résultats de la figure IV.37. Il s'agit cependant d'un tirage Monte Carlo aléatoire et non du pire cas.

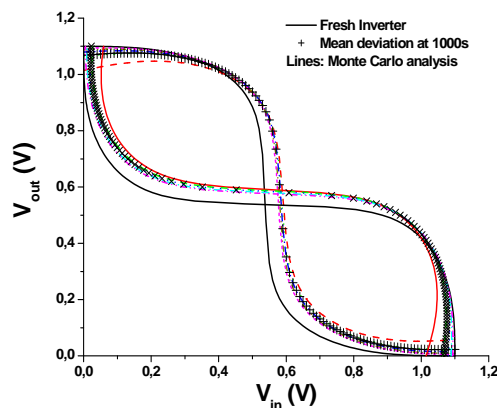


Figure IV. 40 : Impact de la dispersion statistique des déviations sur la caractéristique de la cellule SRAM.

Conclusion

Notre modèle semi-analytique de l'impact du claquage sur les dispositifs, basés sur des lois empiriques d'évolution des paramètres des dispositifs avec le claquage a été implémenté dans un modèle compact de type BSIM afin de pouvoir étudier l'influence de cette dégradation sur le fonctionnement des circuits élémentaires inverseur et cellule SRAM. Toutefois ce modèle comporte plusieurs simplifications, présentées et justifiées dans la partie précédente. Aussi pour valider totalement notre étude au niveau circuit, avons-nous utilisé un mode de simulation original permettant d'injecter directement les résultats des simulations par éléments finis dans les simulations circuit de type SPICE. Grâce à cet outil nous avons étudié l'impact du claquage sur les circuits sans renoncer à la précision des simulations de bas niveau, validant nos résultats par comparaison avec les modèles et les mesures des équipes concurrentes dans ce domaine. Cependant ce mode de simulation est encore limité et gourmand en ressources, ce qui limite aujourd'hui son utilisation aux circuits très simples ; même la cellule SRAM dégradée n'a pas pu être simulée entièrement en une seule fois. Nous avons donc utilisé notre modèle compact afin d'évaluer l'impact du claquage progressif sur les circuits inverseurs et les mémoires SRAM. Plusieurs configurations de claquage ont été ainsi simulées, depuis la dégradation d'un seul composant jusqu'à celle de tous les composants en passant par les différentes combinaisons possibles.

Sur l'inverseur le claquage de l'oxyde de grille provoque une augmentation de quatre à cinq décades de la consommation du circuit au repos et à l'état haut. Quoique la fonction d'inversion de ce circuit reste assurée pour un claquage moyen, cette hausse de consommation est catastrophique au regard de circuits plus grands comportant de nombreux inverseurs. De plus la tension de seuil de l'inverseur varie en moyenne de 15 %, ce qui n'est pas négligeable. Sur la cellule SRAM, notre étude nous a permis d'identifier le claquage des dispositifs PMOS comme étant les plus critiques. Ils conduisent à une diminution de la marge de bruit statique de 70% pour le claquage de tous les dispositifs et de 25% pour le claquage d'un seul transistor PMOS. La consommation au repos de la cellule augmente dans les mêmes proportions que pour l'inverseur seul.

Finalement les fonctions des circuits étudiés continuent d'être assurées après plusieurs claquages, y compris pour des claquages de forte intensité ; il faut nuancer cette information puisque seules les déviations dues au claquage ont été prises en compte, il faut leur ajouter les déviations de tous les autres types de dégradation. Même sans cela, nos études ont montré qu'il n'était pas possible d'utiliser toute la plage de progressivité du claquage du diélectrique au regard de la hausse de la consommation des circuits et de la variabilité des seuils. L'extension de la durée de vie des circuits se fera nécessairement au détriment de la consommation et de l'agressivité du design.

Table des figures

Figure IV. 1 : Caractéristique en tension et en courant et états des transistors pendant un cycle d'inversion.....	173
Figure IV. 2 : Caractéristique d'un inverseur MOS ; la zone d'utilisation du circuit est celle du basculement pour laquelle les deux dispositifs sont en régime de fonctionnement.	173
Figure IV. 3 : Impact de la déviation de la tension de seuil des dispositifs N, P puis N et P sur la caractéristique de l'inverseur.	175
Figure IV. 4 : Impact de la déviation du courant de grille des dispositifs N, P, puis N et P sur la caractéristique de l'inverseur.	175
Figure IV. 5 : Dégradations combinées, courant de fuite et déviation de V_{th} , pour le N, le P puis pour les deux.....	176
Figure IV. 6 : Schéma de principe de la simulation mixte 'Mixed Mode'	177
Figure IV. 7 : Dispositif dégradé simulé en 2D par éléments finis, branché en parallèle avec un modèle SPICE de transistor vierge ; les largeurs considérées pour la simulation SPICE sont respectivement de 10 nm et 990 nm.....	178
Figure IV. 8 : Impact de claquages successifs du NMOS sur la caractéristique de l'inverseur à droite et courants de fuite correspondants.	179
Figure IV. 9 : Caractéristique de l'inverseur pour un claquage du NMOS (a) et du PMOS (b) [IV-37].	179
Figure IV. 10 : Symétrisation de la caractéristique de l'inverseur, pour un claquage sur le NMOS d'un des inverseurs de la cellule à gauche puis pour un PMOS claqué sur un des inverseurs.	180
Figure IV. 11 : Simulation du claquage du NMOS pour un inverseur seul et pour un inverseur d'une cellule SRAM.....	180
Figure IV. 12 : Paramètres de simulation équivalents aux équations proposées. ...	182
Figure IV. 13 : Impact du claquage du NMOS sur la caractéristique en tension de l'inverseur.....	185
Figure IV. 14 : Impact du claquage du NMOS sur la caractéristique en courant de l'inverseur.....	185
Figure IV. 15 : Impact du claquage du PMOS sur la caractéristique en tension de l'inverseur.....	186
Figure IV. 16 : Impact du claquage du PMOS sur la caractéristique en courant de l'inverseur.....	186
Figure IV. 17 : Impact du claquage du PMOS et du NMOS sur la caractéristique en tension de l'inverseur.	186
Figure IV. 18 : Impact du claquage du PMOS et du NMOS sur la caractéristique en courant de l'inverseur.....	186
Figure IV. 19 : Paramètres de simulation du pire cas et du cas moyen.....	186
Figure IV. 20 : Caractéristique en tension de l'inverseur pour le pire cas de claquage du N et PMOS.....	187
Figure IV. 21 : Caractéristique en courant de l'inverseur pour le pire cas de claquage du N et PMOS.....	187
Figure IV. 22 : Impact du claquage sur la tension de seuil de l'inverseur.....	188
Figure IV. 23 : Impact du claquage sur la consommation de l'inverseur lors du claquage d'un seul dispositif (+) ou de deux dispositifs (x).....	188

Figure IV. 24 : Cœur de la cellule SRAM constituée des deux inverseurs (M1, M2) et (M3, M4).....	189
Figure IV. 25 : Caractéristique d'une cellule SRAM ; la SNM est définie par des pentes de -1.	189
Figure IV. 26 : Paramètres utilisés pour la simulation du claquage des dispositifs sur la cellule SRAM.....	190
Figure IV. 27 : Impact du claquage du NMOS sur la caractéristique en tension de la cellule SRAM.	190
Figure IV. 28 : Impact du claquage du NMOS sur la caractéristique en courant de la cellule SRAM.	190
Figure IV. 29 : Impact du claquage du PMOS sur la caractéristique en tension de la cellule SRAM.	190
Figure IV. 30 : Impact du claquage du PMOS sur la caractéristique en courant de la cellule SRAM.	190
Figure IV. 31 : Impact du claquage des deux NMOS sur la caractéristique en tension de la cellule SRAM.....	191
Figure IV. 32 : Impact du claquage des deux NMOS sur la caractéristique en courant de la cellule SRAM.....	191
Figure IV. 33 : Impact du claquage des deux PMOS sur la caractéristique en tension de la cellule SRAM.....	191
Figure IV. 34 : Impact du claquage des deux PMOS sur la caractéristique en courant de la cellule SRAM.....	191
Figure IV. 35 : Impact du claquage de tous les dispositifs sur la caractéristique en tension de la cellule SRAM.	191
Figure IV. 36 : Impact du claquage de tous les dispositifs sur la caractéristique en courant de la cellule SRAM.....	191
Figure IV. 37 : Réduction de la marge de bruit statique (SNM) dans les différentes configurations de claquage.	192
Figure IV. 38 : Déviation du seuil de la cellule dans les différentes configurations de claquage.	192
Figure IV. 39 : Dispersion statistique de l'impact du claquage sur l'inverseur par tirage Monte Carlo.	194
Figure IV. 40 : Impact de la dispersion statistique des déviations sur la caractéristique de la cellule SRAM.	194

Table des références

- [IV-1] A. De Keersgieter K. Van de Mieroop T. Bearda Kaczer, R. Degraeve and G. Groeseneken. Consistent model for short-channel nmosfet post-hard-breakdown characteristics. *Symposium on VLSI Technology Digest of Technical Papers*, 2001.
- [IV-2] An De Keersgieter Koen Van de Mieroop Veerle Simons Kaczer, Robin Degraeve and Senior Member Guido Groeseneken. Consistent model for short-channel nmosfet after hard gate oxide breakdown. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 49, 2002.
- [IV-3] M. Nafría a X. Aymerich a R. Fernandez, R. Rodríguez a. Contributions of the gate current and channel current variation to the post-breakdown mosfet performance. *Microelectronic Engineering 85 (2008) 259–262*, 2008.
- [IV-4] IEEE J. Martín-Martínez R. Rodríguez Montserrat Nafría Senior Member IEEE Raul Fernández, Member and IEEE Xavier H. Aymerich, Member. Gate oxide wear-out and breakdown effects on the performance of analog and digital circuits. *IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 55, NO. 4, APRIL 2008 997*, 2008.
- [IV-5] R. Degraeve, B. Kaczer, A. De Keersgieter, and G. Groeseneken. Relation between breakdown mode and breakdown location in short channel nmosfets and its impact on reliability specifications. In *Reliability Physics Symposium, 2001. Proceedings. 39th Annual. 2001 IEEE International*, pages 360–366, 2001.
- [IV-6] B. Kaczer, R. Degraeve, F. Crupi, A. De Keersgieter, and G. Groeseneken. Understanding nmosfet characteristics after soft breakdown and their dependence on the breakdown location. In *Proc. Proceeding of the 32nd European Solid-State Device Research Conference*, pages 139–142, 2002.
- [IV-7] Rosana Rodríguez-Montserrat Nafría Enrique Miranda, Jordi Suñé and Xavier Aymerich. A function-fit model for the soft breakdown failure mode. *IEEE ELECTRON DEVICE LETTERS, VOL. 20, NO. 6, JUNE 1999 265*, 1999.
- [IV-8] J. H. Stathis R. Rodríguez and B. P. Linder. A model for gate-oxide breakdown in cmos inverters. *IEEE ELECTRON DEVICE LETTERS, VOL. 24, NO. 2, 2003*.
- [IV-9] Silvaco. Device simulation framework. Technical report, 2010.
- [IV-10] B.P. Linder-R.V. Joshi C.T. Chuang R. Rodriguez, J.H. Stathis. Influence and model of gate oxide breakdown on cmos inverters. *Microelectronic Reliability*, 43:1439–1444, 2003.
- [IV-11] B. P. Linder R. Rodriguez, J.H. Stathis. Modeling and experimental verification of the effect of gate oxide breakdown on cmos inverters. *Proc. of IRPS*, 2003.
- [IV-12] B. Kaczer, R. Degraeve, M. Rasras, K. Van de Mieroop, P. J. Roussel, and G. Groeseneken. Impact of mosfet gate oxide breakdown on digital circuit operation and reliability. *Ieee Transactions On Electron Devices*, 49(3):500–506, March 2002.
- [IV-13] R. Rodriguez, J.H. Stathis, B.P. Linder, S. Kowalczyk, C.T. Chuang, R.V. Joshi, G. Northrop, K. Bernstein, A.J. Bhavnagarwala, and S. Lombardo. The impact of gate-oxide breakdown on sram stability. 23(9):559–561, Sept. 2002.
- [IV-14] B. Kaczer, R. Degraeve, P. Roussel, and G. Groeseneken. Gate oxide breakdown in fet devices and circuits: From nanoscale physics to system-level reliability. *Microelectronics Reliability*, 47(4-5):559–566, April 2007.
- [IV-15] B.P. Linder J.H. Stathis, R. Rodríguez. Circuit implications of gate oxide breakdown. *Microelectronics Reliability*, 43:1193–1197, 2003.

- [IV-16]V. Huard F. Monsieur M. Rafik J.M Roux C. Parthasarathy Ribes G., D. Roy. Post breakdown oxide lifetime based on digital circuit failure. *Proc. of IRPS*, pages 215 – 218, 2008.
- [IV-17]V.; Banerjee K.; Huy Le; McPherson, J.; Reddy. Comparison of e and 1/e tddb models for sio2 under long-term/low-field test conditions. *Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International*, 1998.
- [IV-18]S. Sahhaf, R. Degraeve, P. J. Roussel, B. Kaczer, T. Kauerauf, and G. Groeseneken. A new tddb reliability prediction methodology accounting for multiple sbd and wear out. *Ieee Transactions On Electron Devices*, 56(7):1424–1432, July 2009.
- [IV-19]E-mail The Corresponding Author S. Gerardinb R. Rodrígueza M. Nafríaa X. Aymericha A. Cesterb A. Paccagnellab J. Martín-Martínez, Corresponding Author Contact Information and G. Ghidinic. Lifetime estimation of analog circuits from the electrical characteristics of stressed mosfets. *Microelectronics Reliability*, Volume 47, Issues 9-11, September-November 2007, :Pages 1349–1352.
- [IV-20]B. LmW J. Stathis E. Wu, J. Suiie and W. Lai. Critical assessment of soft breakdown stability time and the implementation of new post-breakdown methodology for ultra-thin gate oxides. *Proc. of IEDM*, 2003.
- [IV-21]J.H. Stathis C.T. Chuang R. Rodríguez, R.V. Joshi. Oxide breakdown model and its impact on sram cell functionality. *Proc. of SISPAD*, 286:7803–7826, 2003.
- [IV-22]B. Kaczer, R. Degraeve, E. Augendre, M. Jurczak, and G. Groeseneken. Experimental verification of sram cell functionality after hard and soft gate oxide breakdowns. In *Proc. 33rd Conference on European Solid-State Device Research ESSDERC '03*, pages 75–78, 16–18 Sept. 2003.
- [IV-23]E. Seevinck, F.J. List, and J. Lohstroh. Static-noise margin analysis of mos sram cells. *Solid-State Circuits, IEEE Journal of*, 22(5):748 – 754, oct 1987.

V) Conclusions

La miniaturisation des composants microélectroniques pose sans cesse de nouveaux problèmes aux fiabilistes qui doivent faire face à l'augmentation drastique des courants de fuite et de la variabilité des paramètres tout en devant répondre à des exigences de fiabilité de plus en plus poussées, que ce soit pour augmenter les fréquences des circuits ou bien pour garantir absolument leurs fonctionnements dans des applications critiques par exemple pour l'électronique embarquée. Ils sont donc contraints d'exploiter les dispositifs et les circuits au maximum de leurs possibilités tout en réduisant la durée de conception et en minimisant les coûts. Pour répondre à un tel cahier des charges, il est indispensable de développer de nouveaux dispositifs avec de nouveaux outils de conception et de nouveaux modèles toujours plus performants.

Plus rarement, la miniaturisation apporte de bonnes nouvelles aux fiabilistes ; c'est le cas du claquage du diélectrique, qui devient de plus en plus progressif lorsque l'épaisseur d'oxyde diminue. Aussitôt l'espoir naît de pouvoir utiliser cette plage de progressivité afin d'étendre la durée de vie des dispositifs et des circuits. De nombreux modèles du claquage du diélectrique ont ainsi été développés ces dix dernières années, destinés soit à simuler le claquage au niveau physique, soit du point de vue de la simulation des circuits. Cette dichotomie de niveaux de modélisation illustre le clivage encore existant entre physiciens et électroniciens, chacun avec leurs modèles et leurs outils de simulation.

Dans ce contexte l'objectif de ce travail de thèse est original : non seulement examiner la possibilité d'utiliser la progressivité du claquage pour étendre les durées de vie mais encore mettre au point pour cela une modélisation transverse, capable d'émuler les causes du claquage au niveau atomique et d'en reporter les effets au niveau de la simulation des circuits. Pour cela nous avons mis au point plusieurs modèles du claquage du diélectrique, validés par comparaison avec nos mesures et les mesures des équipes concurrentes. Un mode de simulation mixte a pu être utilisé pour simuler des structures résolues par éléments finis directement au sein d'une simulation circuit industrielle. Finalement nous avons décrit les effets du claquage sur le fonctionnement des circuits en utilisant un modèle compact basé sur des lois empiriques d'évolution du claquage.

A) Synthèse du travail effectué

Après avoir introduit contexte et enjeux de la microélectronique contemporaine dans une partie introductive présentant aussi le fonctionnement du transistor CMOS, une vaste étude bibliographique concernant la fiabilité de l'oxyde a été réalisée dans la seconde partie, se focalisant finalement sur les résultats des études menées sur le

claquage progressif du diélectrique et exposant sa phénoménologie et les différents modèles développés pour décrire son occurrence, ses causes, la conduction de courant qui en dérive et finalement les modèles de simulation des effets du claquage sur les dispositifs, soit par éléments finis, soit par circuits équivalents. Les plus performants des modèles de chaque type sont respectivement le modèle de conduction par point de contact quantique pour la modélisation par éléments finis, et le modèle associant diodes et résistances autour d'un transistors dont le courant de drain est adapté artificiellement pour rendre compte des mesures.

Dans notre troisième partie nous avons abordé la modélisation de l'impact du claquage de manière originale en considérant l'impact d'une fuite localisée sur une couche chargée afin d'émuler l'impact du chemin de conduction à travers l'oxyde sur la formation de la couche d'inversion. Nous avons pu ainsi justifier pour la première fois l'interdépendance existant entre intensité de la fuite et déviation de la tension de seuil, en introduisant la notion de rayon de dépolarisation. Cette approche a ensuite été implémentée dans un premier modèle de MOS en deux dimensions, déjà capable de reproduire les déviations sur la polarisation du canal et de reproduire les mesures de dérive de la tension de seuil du dispositif. Le chemin de conduction à travers l'oxyde a été simulé soit en diminuant localement l'épaisseur d'oxyde soit en abaissant localement la hauteur de barrière d'oxyde ; ce dernier choix s'est révélé plus performant et plus ergonomique pour rendre compte des effets du claquage, bien qu'en réalité nous ayons à faire à une combinaison de ces deux effets. Avec ce modèle nous avons pu examiner l'influence de la position du chemin de conduction sur l'impact du claquage en utilisant la méthode de partitionnement des courants. Ensuite un modèle plus complet en trois dimensions a été développé sur la base de ces premières observations, toujours en utilisant une résolution par éléments finis.

Dans un premier temps nos caractérisations de dispositifs MOS de la génération 45 et 40 nm dégradés par le claquage du diélectrique nous ont permis de valider nos modèles en identifiant trois effets interdépendants du claquage du diélectrique sur le fonctionnement des dispositifs : l'augmentation du courant de grille causé par la formation d'un chemin de conduction à travers l'oxyde dépolarise le canal et induit une dérive de la tension de seuil, ces deux effets vont venir conjointement perturber le courant de drain du dispositif. A partir de ces constatations, les modèles compacts de type BSIM ont pu être modifiés très simplement pour prendre en compte ces impacts, simplement en corrigeant le courant de grille et en reportant cette correction sur la tension de seuil. Par conservation le courant de drain se trouve impacté également.

Dans un second temps les résultats de nos mesures ont été analysés plus finement, sur la base de nos observations précédentes. Les résultats importants de ces dernières années ont pu être vérifiés et complétés, notamment la distribution des premiers claquages le long du canal a été confirmé et étendue à l'étude de l'évolution de cette distribution pour des claquages successifs. Nous avons ainsi confirmé la formation de plusieurs chemins de conduction tout le long de la plage de progressivité du claquage ainsi que la transition d'un claquage soft vers un claquage hard. Les équations de partitionnement ont été complétées en y ajoutant la dépendance à la tension de drain qui rend compte et permet d'évaluer la compétition entre intensité de la fuite et dépolarisation du canal, explicitant la phénoménologie de la progressivité du claquage. Nous avons complété notre étude en réitérant nos mesures et nos analyses pour différentes géométries de MOS issus de la même

technologie et nos résultats indiquent que toute la surface du canal se dépolarise à cause du claquage. Là encore la formation conjointe de plusieurs chemins de conduction à travers l'oxyde semble être la meilleure hypothèse pour expliquer ces observations.

Finalement nous avons dérivé de nos mesures des lois empiriques d'évolution de l'impact du claquage, que ce soit pour l'augmentation de la fuite de grille ou pour celle de la tension de seuil. Des statistiques sur la distribution des paramètres ont pu ainsi être établies, permettant de rendre compte de la grande dispersion de l'impact du claquage de l'oxyde de grille sur le fonctionnement des dispositifs. Ces lois sont venues compléter notre modèle semi-analytique et nous avons ainsi mis au point le premier modèle compact de l'impact de cette dégradation sur les transistors MOS.

Notre quatrième partie détaille l'impact du claquage de l'oxyde sur le fonctionnement des circuits MOS. Après avoir démontré l'efficacité de notre modèle semi-analytique pour rendre compte des effets du claquage sur le circuit inverseur, nous avons utilisé un mode de simulation mixte autorisant la résolution par éléments finis de structures complexes directement au sein d'une simulation circuit SPICE. Là encore notre modèle s'est révélé capable de reproduire précisément les dérives des caractéristiques des circuits. Bien que ce type de simulation semble extrêmement prometteur pour de nombreuses applications de conception et de fiabilité, elle reste aujourd'hui limitée à des circuits très simples : si l'inverseur a pu être simulé, la cellule SRAM nécessite déjà des simplifications de modèle et de simulations limitant encore trop ses possibilités. La modélisation compacte, nécessitant des simplifications au niveau des modèles physiques utilisés reste incontournable pour la simulation de circuits.

Grâce à notre modèle compact nous avons donc simulé quelques circuits simples en vérifiant nos résultats sur les caractérisations effectuées par d'autres équipes. Les conséquences du claquage du diélectrique sur le fonctionnement des circuits MOS ont donc pu être investiguées, qualitativement et quantitativement. En considérant uniquement le claquage de l'oxyde de grille, les fonctions logiques continuent d'être assurées par les circuits jusqu'à la fin de la plage de progressivité. Cependant une importante hausse de consommation au repos de ces circuits ainsi que dans une moindre mesure la dérive de la tension de seuil vont limiter énormément son utilisation dans l'extension de la durée de vie des circuits qui dépendra des spécifications des fiabilistes des circuits en termes de consommation bien sûr et également en ce qui concerne l'agressivité du design, limitée par la variabilité supplémentaire de la tension de seuil.

B) Perspectives

Il ne nous semble pas pertinent d'intégrer dès aujourd'hui notre modèle dans les flux de conceptions des applications CMOS digitales ; en effet le gain de fiabilité sur ces technologies se fera majoritairement et directement par l'implémentation de

modèles de dégradations précédant le claquage, pour les dégradations BTI typiquement. Le gain de durée de vie sera plus important et surtout directement reporté sur la durée de vie des applications tandis que le claquage reste une dégradation de fin de vie du dispositif, impossible à mettre en œuvre efficacement sans maîtriser les dégradations antérieures. Par contre l'implémentation industrielle de notre modèle se révélera nécessaire lorsque les applications exigeant un très haut niveau de fiabilité utiliseront des transistors en-deçà du 65 nm pour lequel la progressivité commence à apparaître. Ces applications commenceront l'an prochain à intégrer des transistors 90 nm et verront apparaître des claquages progressifs dans les prochaines années. Pour ces applications destinées à l'industrie automobile, aéronautique et spatiale, le moindre gain de fiabilité s'avère primordial aussi l'intégration de notre modèle de transistor dégradé par le claquage y sera rapidement indispensable, tant pour apporter un surcroît de fiabilité que de durée de vie.

Les futurs axes de recherches sur la modélisation des effets du claquage sur le fonctionnement des dispositifs CMOS porteront sur des adaptations à d'autres architectures de composants ; les dispositifs du nœud 32 nm bien sûr avec son oxyde à forte permittivité, les technologies SOI qui promettent une vulnérabilité moindre à la dépolarisation du canal, mais aussi des architectures plus originales telles que les MOS à double grilles et à grille enrobante. Ces développements sont déjà programmés dans le cadre d'un nouveau projet du laboratoire IMEP.

VI) Annexes

A) Publications et conférences

1) Publications dans des journaux internationaux

Impact of progressive oxide soft breakdown on metal oxide semiconductor parameters: Experiment and modeling.

Auteurs : L. Gerrer, G. Ribes, G. Ghibaudo and J. Jomaah.

Journal : Journal of Vacuum Science & Technology B / Volume 27 / Issue 1 / Février 2009.

Unified soft breakdown MOSFETs compact model: From experiments to circuit simulation.

Auteurs : L. Gerrer, M. Rafik, G. Ribes, G. Ghibaudo and E. Vincent.

Journal : Microelectronics Reliability / Volume 50 / Issues 9-11 / pp. 1259-1262 / Août 2010.

2) Publications dans des conférences internationales

Workshop on Dielectrics in Microelectronics (WoDiM) 2008.

Impact of progressive oxide soft breakdown on metal oxide semiconductor parameters: Experiment and modeling.

Auteurs : L. Gerrer, G. Ribes, G. Ghibaudo and J. Jomaah.

Journal : Journal of Vacuum Science & Technology B / Volume 27 / Issue 1 / Février 2009.

Solid-State Device Research Conference (ESSDERC) 2008.

Impact of Oxide Progressive Soft Breakdown: Experiment and Modeling.

Auteurs : L. Gerrer, G. Ribes, G. Ghibaudo and J. Jomaah.

Journal : Proceedings of the European ESSDERC '09. Fringe Workshop, novembre 2008.

Solid-State Device Research Conference (ESSDERC/ESSCIRC, joint session) 2009.

Oxide Soft BreakDown : From device modeling to small circuit simulation.

Auteurs : L. Gerrer, G. Ghibaudo and G. Ribes.

Journal : Proceedings of the European ESSDERC '09. Novembre 2009.

European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF) 2010.

Unified soft breakdown MOSFETs compact model: From experiments to circuit simulation.

Auteurs : L. Gerrer, M. Rafik, G. Ribes, G. Ghibaudo and E. Vincent.

Journal : Microelectronics Reliability / Volume 50 / Issues 9-11 / pp. 1259-1262 / Août 2010.

European Roadmap for design automation in semiconductor products (EDA/MEDEA+) / Cluster for Application and Technology Research in Europe on NanoElectronics (CATRENE) 2011: invited speaker.

New insights into oxide breakdown impact on MOS devices and circuits

Auteurs : L. Gerrer, G. Ghibaudo, M. Rafik, G. Ribes.

TITRE : Impact du claquage progressif de l'oxyde sur le fonctionnement des composants et circuits MOS : Caractérisation et modélisation.

Résumé : La progressivité du claquage des oxydes de grille d'épaisseurs inférieures à 20 nm permet d'envisager une prolongation de la durée de vie des circuits. Cet enjeu majeur de la fiabilité contemporaine requiert des modèles adaptés afin de contrôler la variabilité des paramètres induites par le claquage.

Après avoir étudié l'impact d'une fuite de courant sur une couche chargée, nous avons mis au point un modèle bas niveau de simulation par éléments finis, capable de reproduire la dérive des paramètres mesurée sur des dispositifs du nœud 45 nm. Des lois empiriques de ces dérives ont été injectées dans un modèle compact du transistor dégradé, simplifié par nos observations originales de la dépolarisation du canal et de la répartition des courants.

Enfin nous avons simulé l'impact du claquage sur le fonctionnement de circuits simples et estimés la dérive de leurs paramètres tels que l'augmentation de la consommation due au claquage.

Mots clés : Microélectronique, transistors à effet de champ (MOSFET), fiabilité de l'oxyde, variabilité des paramètres, modélisation compact, simulation composants et circuits.

TITLE: Oxide soft breakdown impact on MOS devices and circuits functioning: Modeling and characterization.

Abstract: Breakdown (BD) progressivity for oxides thicker than 20nm may allow circuit lifetime extension; for design purpose and reliability questions, it is now very important to include soft BD failure in compact models in order to predict circuit's parameters variability.

After studying the impact of current leakage on a charged layer, we set up a low level simulation model, able to reproduce parameters deviation measured on MOSFET from the 45nm node. Empirical laws of parameter's variability due to this degradation have been used to build up a compact model of damaged device. Our observations have allowed several improvements of BD understanding and led to major simplifications in BD compact modelling.

Our simulations of small circuits show a good agreement with published measures and allow an estimation of BD impact on circuits, such as circuit's parameters deviation and power consumption increase estimation.

Keywords: Microelectronic, field effect transistors (MOSFET), oxide reliability, parameters variability, compact modelling, device and circuits simulation.



Institut de Microélectronique, Electromagnétique et Photonique
Laboratoire d'Hyperfréquences et Caractérisation
IMEP-LAHC, Grenoble INP, 3 parvis Louis Néel,
BP 257, 38016 Grenoble Cedex 1, France.