



HAL
open science

Méthodologie d'estimation des métriques de test appliquée à une nouvelle technique de BIST de convertisseur SIGMA / DELTA

Matthieu Dubois

► **To cite this version:**

Matthieu Dubois. Méthodologie d'estimation des métriques de test appliquée à une nouvelle technique de BIST de convertisseur SIGMA / DELTA. Autre. Université de Grenoble, 2011. Français. NNT : 2011GRENT033 . tel-00633056v2

HAL Id: tel-00633056

<https://theses.hal.science/tel-00633056v2>

Submitted on 19 Mar 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Thèse

Pour obtenir le grade de

Docteur de l'Université de Grenoble

Spécialité : **Micro-/Nanoélectronique**

Arrêté ministériel : 7 août 2006

Présentée par

Matthieu Dubois

Thèse dirigée par **Salvador Mir**
et coencadrée par **Haralampos Stratigopoulos**

préparée au sein **Laboratoire des Techniques de l'informatique et de la Microélectronique pour l'Architecture des systèmes intégrés (TIMA)**
et de l'école doctorale **Électronique, Électrotechnique, Automatique et Traitement du Signal (EEATS)**

Méthodologie d'estimation des métriques de test appliquée à une nouvelle technique de BIST de convertisseur $\Sigma\Delta$

Thèse soutenue publiquement le **23 juin 2011**,
devant le jury composé de :

Mr, Jean-Michel Fournier

Professeur de l'Université de Grenoble, Président

Mr, Dominique Dallet

Professeur à l'Institut Polytechnique de Bordeaux, Rapporteur

Mr, Georges Gielen

Professeur à l'université K.U. Leuven (Belgique), Rapporteur

Mme, Marie-Minerve Louërat

Chargée de Recherche au laboratoire LIP6 à Paris, Examinatrice

Mr, Christophe Gaillard

Ingénieur chez Dolphin Integration à Grenoble, Examineur

Mr, Gildas Léger

Chargé de Recherche au laboratoire IMSE-CNM Séville (Espagne), Examineur

Mr, Salvador Mir

Directeur de Recherche au laboratoire TIMA, Directeur de thèse

Mr, Haralampos Stratigopoulos

Chargé de Recherche au laboratoire TIMA, Co-encadrant de thèse



Remerciements

Ces lignes, les dernières écrites, s'adressent aux personnes qui, de près ou de loin, d'une manière ou d'une autre, ont contribué à l'aboutissement de ces travaux. Si leur liste est trop longue pour tenir sur une seule page, je m'efforce dans ces quelques phrases de regrouper ces personnes.

Les premiers remerciements s'adressent aux membres du jury et à son président, pour le temps consacré à la lecture de ce manuscrit et à la participation à la soutenance. Ils s'adressent aussi à mon directeur de thèse, Salvador Mir, pour la formulation du sujet, l'encadrement de ces travaux et, surtout, pour ses qualités humaines. Sincères remerciements aux membres du laboratoire qui contribuent au quotidien à maintenir entre les couloirs une atmosphère chaleureuse. Cette thèse n'aurait pas abouti sans l'aide du service informatique et sans le support d'Alejandro et de Robin, toujours disponibles et accueillants.

De l'ambiance! Elle n'a jamais manqué. Je remercie chacun pour ces moments partagés ensemble, l'ancienne génération du bureau N120 aux derniers venus et Jeanne, simplement inclassable. Je remercie aussi les *touristes* des bureaux voisins pour leur accueil dans les instants de pause. Je remercie vivement Haralampos, co-encadrant attentif au bon déroulement de ces travaux mais aussi pour les journées de ski, les vacances en Grèce ou encore les nombreuses soirées en ville.

Présent sur la dernière ligne droite, je remercie la *dream team* et le *box* des précaires pour leur accueil au LETI. Enfin, pour tous les moments de vie hors des couloirs du TIMA, je remercie les amis là-bas en Ardèche, les amis d'ici et ceux d'ailleurs aussi, ma famille et Maud, plus particulièrement.

Table des matières

Remerciements	I
Table des matières	3
1 Introduction	5
2 Conception et modélisation de circuits intégrés mixtes	11
2.1 Conception industrielle	12
2.1.1 Conception et vérification	12
2.1.2 Aléas de la production et fautes analogiques	13
2.1.3 Rendement de production	15
2.1.4 Conclusion	16
2.2 Modélisation analytique	17
2.2.1 Fonction de transfert	17
2.2.2 Modélisation comportementale hiérarchique	18
2.2.3 Conclusion	23
2.3 Modélisation Statistique	23
2.3.1 Prédiction de rendement	24
2.3.2 Analyse de sensibilité	25
2.3.3 Propagation hiérarchique	27
2.3.4 Fonction de régression	28
2.3.5 Estimation de la densité de probabilité conjointe	31
2.4 Conclusion	33
3 Test et conception en vue du test des circuits mixtes	35
3.1 Test de production	36
3.2 Méthodes de test	37
3.2.1 Test fonctionnel	37
3.2.2 Test structurel	38
3.2.3 Test alternatif	40
3.2.4 Conclusion	41
3.3 Couverture de faute	41
3.3.1 Définitions	42
3.3.2 Injection de faute	43
3.3.3 Détectabilité	44
3.3.4 Optimisation des vecteurs de test	44
3.4 Métriques de test	45
3.4.1 Définitions	45
3.4.2 Calcul des métriques de test	47
3.4.3 Évaluation de techniques de test	48
3.4.4 Conclusion	50
3.5 Conception en vue du test	50
3.5.1 Vue d'ensemble	50
3.5.2 Test statique des CAN	52

3.5.3	Analyse de la réponse	56
3.5.4	Test dynamique	59
3.6	Conclusion	64
4	Flot de conception en vue du test	67
4.1	Méthodologie de conception en vue du test	68
4.1.1	Contexte industriel	68
4.1.2	Vue d'ensemble	68
4.1.3	Domaine d'application	71
4.2	Mise en œuvre	71
4.2.1	Échantillon des paramètres comportementaux	71
4.2.2	Estimation de la densité de probabilité	73
4.2.3	Fonctions de régression	75
4.2.4	Métriques de test	80
4.3	Conclusion	82
5	Auto-test de CAN-$\Sigma\Delta$	85
5.1	Fonctionnement d'un convertisseur $\Sigma\Delta$	86
5.2	Auto-test numérique de convertisseur sigma-delta	87
5.2.1	Génération d'un train binaire périodique	88
5.2.2	Application au test de modulateur $\Sigma\Delta$	88
5.2.3	Analyse de la réponse de test	91
5.2.4	Test alternatif	93
5.3	Génération d'un stimulus de test numérique	94
5.3.1	Optimisation du stimulus de test	94
5.3.2	Simplification de l'algorithme de sélection	96
5.3.3	Limitation du test par une séquence binaire	96
5.4	Description de la nouvelle technique de BIST	97
5.4.1	Construction du stimulus ternaire	97
5.4.2	Implantation numérique et analogique	100
5.5	Conclusion	103
6	Conception en vue du test d'un CAN-$\Sigma\Delta$	105
6.1	Conception d'un convertisseur $\Sigma\Delta$	106
6.1.1	Architecture système	106
6.1.2	Description du modèle comportemental	110
6.1.3	Simulations paramétriques	115
6.1.4	Dimensions de l'amplificateur opérationnel	116
6.1.5	Robustesse	118
6.1.6	Conclusion	121
6.2	Conception en vue du test	122
6.2.1	Simulations nominales de vérification	122
6.2.2	Extraction de vecteurs des paramètres comportementaux	124
6.2.3	Conclusion	124
6.3	Estimation des métriques de test des techniques de BIST	125
6.3.1	Génération de l'échantillon de référence	125
6.3.2	Comparaison entre les stimuli binaires et ternaires	128
6.3.3	Métriques et limites de test	130
6.3.4	Conclusion	132
7	Calibrage automatique d'un CAN-$\Sigma\Delta$ à partir d'un BIST	135
7.1	Calibrage	136
7.1.1	Principe	136
7.1.2	Redondances avec un BIST	137

7.1.3	Application au test numérique de CAN- $\Sigma\Delta$	137
7.2	Présentation du démonstrateur	138
7.2.1	Description globale	138
7.2.2	Blocs numériques	139
7.2.3	Composante analogique	144
7.2.4	Interface graphique	146
7.3	Résultats expérimentaux	147
7.3.1	Boucle de calibrage	148
7.3.2	Déverminage	149
7.3.3	Conclusion	149
8	Conclusion	151
	Bibliographie	154
	Publications	163
	Table des figures	169

Introduction

La miniaturisation des systèmes électroniques contribue fortement à la création de nouveaux appareils et services touchant tous les secteurs de l'activité humaine. Malgré la diversité de ces nouvelles applications, tout système électronique se base sur deux familles de circuits intégrés, les circuits numériques et les circuits analogiques. Le domaine numérique concerne principalement les outils informatisés et leur communication. Leur développement s'appuie sur un fonctionnement binaire du circuit pour implanter des opérations mathématiques indépendantes du support physique. Cette indépendance permet de concevoir des opérations complexes reproductibles avec la même résolution. Inversement, les circuits électroniques analogiques fonctionnent avec des signaux continus. L'interaction entre deux circuits analogiques s'effectue par une relation mettant en jeu des grandeurs physiques, principalement un potentiel ou un courant électrique. La caractéristique de chaque circuit est fortement dépendante des conditions de fonctionnement (tension d'alimentation, température, etc.).

Le lien entre ces deux familles est établi par les circuits mixtes et, en particulier, les convertisseurs analogiques-numériques (CAN) et numériques-analogiques (CNA). La coexistence des circuits analogiques et numériques dans un unique circuit intégré est nécessaire pour développer des applications interactives avec l'environnement humain. La figure 1.1 représente un système électronique typique de traitement d'une information extérieure. L'information provient sous la forme d'une quantité physique (température, pression, onde électromagnétique, etc.), qui est transformée en un signal électrique continu par un capteur adapté. Ce signal est converti en codes numériques pour être corrigé (réduction du bruit, puissance du signal, sécurisation des données, etc.) avant d'être diffusé par des moyens de communications numériques (internet, téléphonie mobile, etc.) ou encore enregistré sur des supports physiques adaptés (disque dur, mémoire flash, etc.). Inversement, une information numérisée est transformée par un CNA en signaux électriques continus, eux-mêmes reproduits par un système physique permettant de communiquer avec l'environnement.

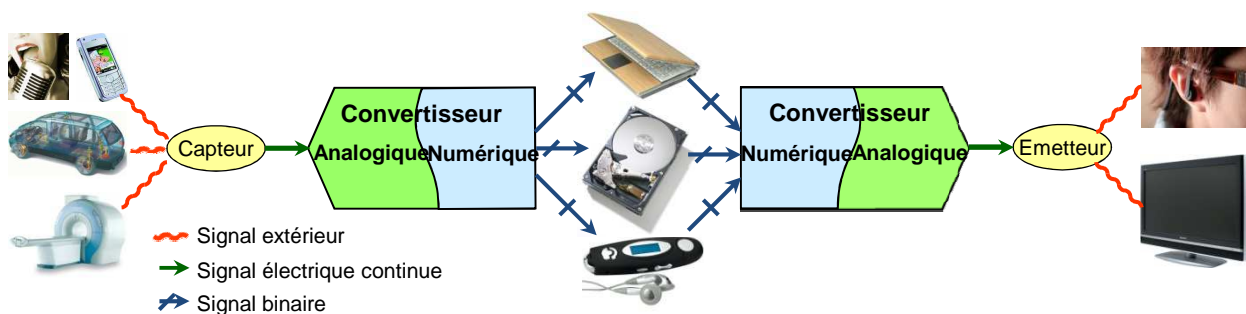


Figure 1.1 – Interaction des systèmes électroniques dans l'environnement humain.

Les enjeux de conception diffèrent entre un circuit numérique et un circuit analogique et mixte. Les systèmes numériques intègrent sur une très faible surface de silicium un grand nombre de blocs ayant des fonctions différentes reliés entre eux par un réseau complexe de communication. La description logique d'une fonction se synthétise automatiquement en circuits électriques élémentaires, les portes logiques, et de nombreux outils de conception assistée par ordinateur (CAO¹) permettent la vérification de chaque fonctionnalité en prenant en compte les problèmes de délai de propagation, l'interdiction des états interdits, etc. Ces outils optimisent l'arrangement des portes logiques et des bascules de synchronisation pour améliorer la fréquence de fonctionnement, la consommation électrique et la surface du circuit. Enfin, les techniques de placement et de routage dessinent la vue topologique de ces blocs en respectant les contraintes obtenues pendant la phase de vérification. Ainsi, la conception numérique est fortement automatisée, tandis que la conception analogique ne dispose pas d'outils si efficaces, car la sensibilité des performances d'un circuit analogique vis-à-vis du procédé technologique et de son environnement est trop importante pour créer automatiquement des blocs élémentaires.

La production correspond à l'intégration sur un support physique des fonctionnalités définies dans le cahier des charges. Cette phase est constituée par un ensemble de procédés physiques et de réactions chimiques. La moindre modification de cette étape entraîne une différence entre les performances du circuit conçu et celles du circuit produit. Par conséquent, il est nécessaire de vérifier si le fonctionnement du circuit est conforme à la liste de spécifications détaillée dans le cahier des charges. C'est l'objectif de la phase de test.

Suivant la nature du circuit testé, la stratégie est différente. En effet, le test d'un circuit numérique consiste à injecter des vecteurs de test permettant idéalement de pouvoir contrôler et observer tous les états du circuit à chaque instant. Le D-algorithme, premier algorithme d'automatisation du test de circuits numériques, se base sur ces notions d'observabilité et de contrôlabilité du circuit [1]. La détection des circuits défaillants se fait par une simple comparaison des résultats de test provenant du circuit produit et des résultats de simulations. La génération des vecteurs de test se fait pendant la conception et la vérification du circuit pour garantir un taux de couverture de faute élevé et l'automatisation de cette étape a progressé avec les outils de CAO associés. À contrario, le test des circuits analogiques et mixtes repose encore sur la vérification de la liste des spécifications par la mesure des performances. Son développement consiste à mettre en place un environnement faible bruit, limiter les interférences, choisir les générateurs de signaux, etc... La phase de conception ne tient pas compte de la testabilité du circuit et l'observabilité et la contrôlabilité ne sont pas optimisées avant la production du circuit limitant les possibilités de réduction des coûts.

Motivation

La figure 1.2 représente l'évolution du coût de production et de test par transistor intégré dans un microprocesseur en fonction du temps. Ainsi, l'augmentation de la densité d'intégration permet de réduire les coûts de production, mais implique un allongement des séquences de test pour vérifier le fonctionnement de chaque bloc. Ces prévisions établies pour des microprocesseurs démontrent que le coût du test d'un transistor dépasse certainement son coût de production pour les circuits analogiques et mixtes. En effet, la tendance pour ce type de circuits est une occupation de 20% de la surface de silicium contre 70% du coût du test du circuit complet [2].

La figure 1.3 établit une répartition temporelle du nombre de publications en rapport avec le test et le test intégré² des circuits analogiques parues dans la base de données de l'IEEE³. Sur cette figure, le nombre de publications dans ces domaines a doublé ces dix dernières années. Cet intérêt montre le besoin des industriels et la difficulté des chercheurs pour réduire le coût du test de ces circuits.

Plusieurs pistes ont été suivies pour réduire le coût du test analogique : adapter le test numérique basé sur la détection de fautes structurelles aux circuits analogiques, déterminer des mesures de test

¹CAD : Computer Aided Design

²BIST : Built-In Self-Test

³Institute of Electrical and Electronics Engineers

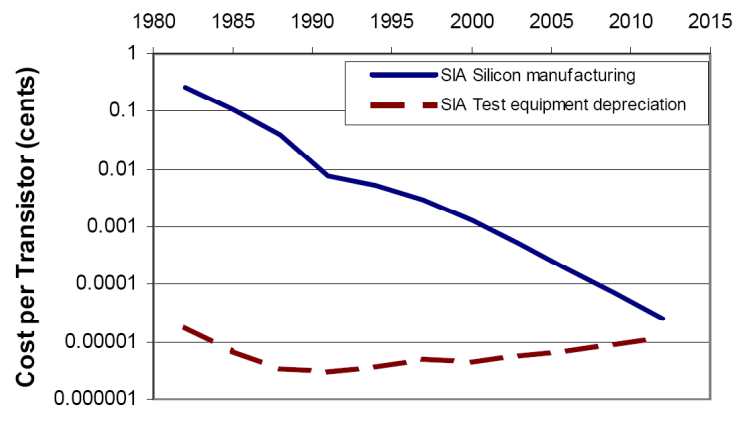


Figure 1.2 – Coût de production et de test par transistor d'un microprocesseur.

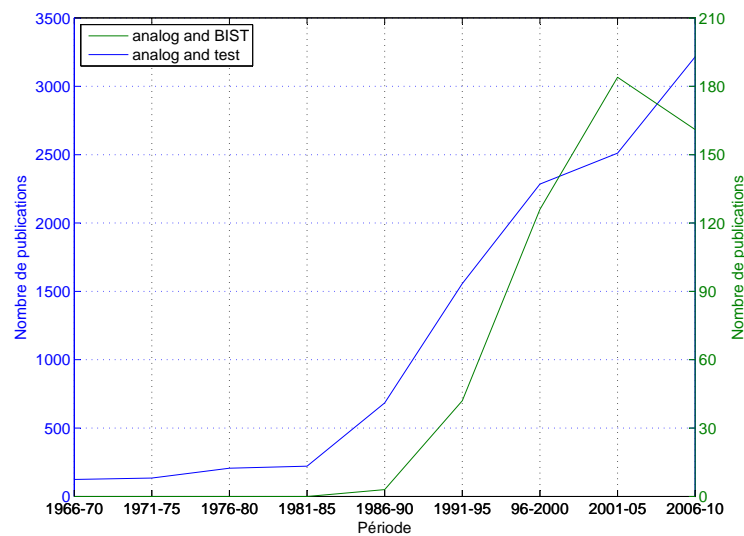


Figure 1.3 – Nombre de publications impliquant le test de circuits analogiques.

simples et fortement corrélées avec les performances du circuit, ou encore, ajouter une très faible surface de circuiterie pour faciliter le test. Les deux premières méthodes ne permettent pas la vérification par une mesure directe des performances, mais réduisent le temps de test et l'investissement nécessaire à l'achat d'appareils de mesures de haute qualité. La dernière proposition implique une augmentation du coût liée à la surface de silicium occupée. Toutefois, cette surface peut être estimée et optimisée si le développement du circuit de test s'effectue simultanément au développement du circuit à tester.

Mais l'utilisation dans des lignes de production à fort volume de nouvelles techniques de test intégré pour des circuits analogiques et mixtes reste marginale comparée aux techniques employées dans le monde numérique. En effet, le remplacement d'une méthode de test éprouvée par une nouvelle technique fait courir le risque de réduire la qualité du test. Cette qualité se détermine principalement par la capacité de différencier correctement les circuits fonctionnels des circuits défectueux. Par conséquent, il est nécessaire d'étudier la qualité d'une technique de test avant son implantation dans le flot de production.

Objectif

L'évaluation d'une qualité d'une technique de test avant son implantation dans le flot de production s'effectue forcément pendant la phase de conception du circuit. Les travaux de *Bounceur*[3] se basent sur une estimation de la densité de probabilité conjointe des performances et des mesures de test pour évaluer la qualité d'une technique de test à partir des métriques de test définies par *Sunter et al.*[4]. Ces métriques quantifient la capacité d'une technique de test de différencier correctement les circuits fonctionnels des circuits défectueux. Cette densité est obtenue à partir de simulations Monte Carlo électriques, un outil proposé dans les logiciels de CAO pour estimer la robustesse des circuits vis-à-vis des variations des paramètres du procédé technologique [5]. Mais la génération d'un échantillon reflétant les conditions de production d'un circuit peut s'effectuer au moyen de simulations électriques si la complexité de ce circuit est raisonnable. Dans le cas contraire, le temps de simulation est incompatible avec la durée consacrée au développement du circuit. D'autre part, ces travaux ne considèrent que l'estimation d'une densité par une loi paramétrique.

Par conséquent, il est nécessaire d'adapter cette méthodologie d'estimation des métriques de test aux circuits analogiques et mixtes complexes pour évaluer l'efficacité de techniques de test en partie par million. Cette généralisation doit aussi concerner la forme des échantillons, c'est-à-dire s'affranchir des conditions trop restrictives mais nécessaires au calcul d'une loi paramétrique. Enfin, il est judicieux de considérer l'environnement de conception industrielle de circuits intégrés pour développer cette méthodologie.

Contribution

L'évaluation d'une technique de test intégrée pendant la phase de conception nécessite la synthèse d'un échantillon virtuel suffisamment large pour permettre une estimation des métriques de test en partie par million. La génération d'un large échantillon a déjà été l'objet de recherches pour estimer le rendement d'un circuit. Nous proposons d'adapter ce type d'analyse à l'estimation des métriques d'une technique de test à partir de la distribution conjointe des performances et des mesures de test. Pour réduire les efforts spécifiques à l'estimation de ces métriques, cette méthodologie utilise le flot de conception d'un circuit analogique et mixte et réutilise des résultats obtenus pendant la conception. Avec ces conditions, le temps de mise sur le marché du produit est inchangé.

Ensuite, une nouvelle technique de test intégrée mise au point pendant ces travaux de recherche est détaillée en montrant ses avantages vis-à-vis de l'état de l'art. La génération du stimulus de test est optimisée par un nouvel algorithme de sélection et la faisabilité de la méthodologie d'estimation ainsi que la qualité de la technique de test sont démontrées par simulations comportementales et électriques d'un modulateur $\Sigma\Delta$.

Enfin, un prototype implantant une technique de test sur un circuit programmable met en évidence l'utilité d'une technique de BIST pour faciliter le calibrage automatisé. Ce prototype a été réalisé en collaboration avec un partenaire industriel, STMicroelectronics dans le cadre d'un projet européen NanoTest-MEDEA+. En particulier, l'algorithme d'analyse de la réponse de test et l'interface graphique permettant de piloter le calibrage ont été développées par leur soin.

Plan du manuscrit

Le chapitre suivant cette introduction est consacré au flot industriel de conception de circuits intégrés analogiques et mixtes dont la complexité contraint à respecter une succession d'étapes pour optimiser les rendements de production. Ce flot, dit *Top-Down*, se base sur la création de plusieurs modèles du circuit, qui permettent de prédire les performances du système complet, de chaque bloc et des circuits électriques élémentaires. Plus précisément, le modèle comportemental sert de description intermédiaire importante pour établir les dimensions des circuits élémentaires, qui sont optimisées en étudiant l'impact des variations des paramètres du procédé technologie sur les performances du circuit grâce à des modèles statistiques.

Dans le troisième chapitre, le thème du test de circuits intégrés analogiques et mixtes est abordé en présentant les différentes formes de test : le test fonctionnel, structurel et alternatif et les métriques associées. Ensuite, l'application de la conception en vue du test est illustrée par la description des techniques existantes pour améliorer la testabilité des CAN.

Le quatrième chapitre présente la méthodologie d'estimation des métriques de test adaptée aux circuits intégrés analogiques et mixtes. La première section propose une vue d'ensemble de cette méthodologie basée sur la propagation hiérarchique des variations des paramètres du procédé technologique aux performances et mesures de test. Ensuite, la méthodologie est détaillée en s'attardant sur les hypothèses et les conditions nécessaires au passage d'une étape à la suivante.

Le cinquième chapitre est consacré à une nouvelle technique de test intégré, purement numérique, de modulateurs $\Sigma\Delta$. Le fonctionnement ainsi que les différentes implantations du test numérique de ce type de modulateur sont rappelés dans la première partie. Ensuite, la génération du stimulus de test est détaillée. En particulier, les caractéristiques d'un stimulus ternaire sont comparées à celles du stimulus binaire correspondant. La conclusion de ce chapitre est illustrée par un exemple d'implantation sur une puce de cette nouvelle méthodologie.

Dans le sixième chapitre, différentes techniques de test numérique d'un modulateur $\Sigma\Delta$ sont évaluées à partir d'une estimation des métriques de test. Ce chapitre applique la conception *Top-Down* à un modulateur pour mettre en évidence les étapes permettant d'obtenir les informations nécessaires à la mise en œuvre de la méthodologie d'évaluation. Enfin, les métriques de test obtenues pour chaque technique sont estimées pour comparer leur efficacité par rapport à un test standard.

Le dernier chapitre présente une application attrayante de l'implantation d'une technique de test sur le même silicium que le circuit sous test : le calibrage. Un démonstrateur conçu à partir d'un circuit programmable permet de calibrer un modulateur $\Sigma\Delta$ à partir de l'injection d'un signal de test binaire. Les résultats obtenus montrent la faisabilité du système.

La conclusion reprend les principales contributions de ces travaux et propose des lignes directrices pour leur continuité.

Conception et modélisation de circuits intégrés mixtes

La fabrication de circuits intégrés s'adapte à la pression du marché en implantant toujours plus de nouvelles fonctionnalités sur une seule puce et, parallèlement, en augmentant la densité d'intégration [6]. Ces deux tendances font croître la difficulté de concevoir et de fabriquer des systèmes miniaturisés compétitifs. Guidée par la réduction des coûts, chaque étape est optimisée pour satisfaire le client et rentabiliser l'activité. Le changement est difficile à introduire, il requiert la preuve de sa nécessité et la volonté de chacun à s'y soumettre.

Dans ce chapitre, un portrait de l'environnement de production des circuits analogiques et mixtes est dressé, car la mise en place d'une méthodologie prenant en compte l'évaluation de la qualité de nouvelles techniques de test doit être effectuée en respectant les étapes de conception existantes. Il est préférable de contribuer légèrement à l'existant plutôt que de proposer de nouveaux outils impliquant des modifications conséquentes du flot de développement.

La première partie présente les différentes phases de ce flot, puis les défauts de production et leur impact sur le rendement de fabrication de circuits intégrés. Cette vue d'ensemble permet d'ériger le constat suivant : la modélisation tient une place majeure dans la conception de circuits complexes. Cette importance atteint tous les niveaux de description du circuit, du niveau système au niveau électrique. Ainsi, la seconde partie traite les différentes approches de modélisation d'un circuit complexe en fonction du niveau de détails requis. Dans cette partie, de nombreux modèles de convertisseurs analogiques-numériques viennent illustrer les propos. Enfin, la prédiction du rendement de production a nécessité la mise en place d'outils statistiques, dont les principaux font l'objet de la troisième partie de ce chapitre.

2.1 Conception industrielle

2.1.1 Conception et vérification

Le cycle de fabrication d'un circuit intégré se divise en 4 phases : la conception, la vérification, la production et le test. La figure 2.1 représente la chronologie de ces phases séparées par le critère validant leur complétion. Le cycle commence par l'élaboration d'un cahier des charges défini avec le client ou en interne suivant le produit ciblé. Un circuit se définit par un nombre de fonctionnalités et de performances correspondantes, les spécifications. Dans les faits, l'équipe de développement travaille à partir d'un cahier des charges plus strict pour anticiper de nouvelles exigences du client ou encore pour développer non pas un seul produit mais une gamme avec différentes options.

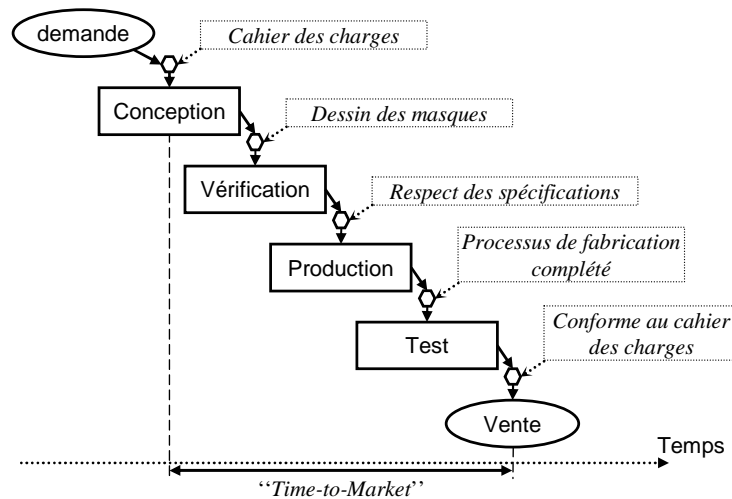


Figure 2.1 – Évolution d'un projet de fabrication d'un circuit intégré.

La phase de conception commence dès que les principales spécifications ont été fixées. L'enjeu de cette phase est de minimiser le temps nécessaire à la réalisation d'un circuit respectant toutes les conditions du cahier des charges. Le temps de mise sur la marché¹ est primordial pour l'activité de l'entreprise, car la vente de circuit est la principale source de revenus, et pour éviter qu'un produit concurrent ne se positionne premier sur le marché. Une solution pour remplir le défi de produire rapidement des circuits performants est d'adopter la stratégie *"diviser pour mieux régner"*.

La figure 2.2 illustre un exemple de décomposition hiérarchique, dite *Top-Down* de l'étape de conception d'un circuit intégré [7]. L'objectif de ce flot est de déterminer les dimensions des composants électriques élémentaires qui permettent de satisfaire les spécifications. En partant du cahier des charges, l'équipe de conception effectue des simulations au niveau système du circuit complet découpé en blocs fonctionnels : micro-contrôleur, mémoire, convertisseurs analogique-numérique (CAN) et numériques-analogiques (CNA), émetteur-récepteur de radio-fréquence, etc. Les résultats de ces simulations permettent de choisir une architecture complète décrite par les différents blocs et leurs interconnexions, mais aussi, de déterminer une liste de contraintes des performances de chaque bloc. La conception des blocs se base sur ces contraintes et plus elles sont fortes, plus la conception du circuit est complexe. Ainsi, chaque niveau est construit à partir des résultats des simulations du niveau précédent afin d'atteindre la description électrique du circuit [8]. À partir des simulations électriques, les dimensions de chaque composant (transistors, capacités, etc.) sont fixées en vue de dessiner leur représentation géométrique finale. L'enjeu est de prédire toutes les performances du circuit comme, par exemple, la consommation électrique. Cette dernière est rarement prise en compte dans les modèles des niveaux supérieurs qui se concentrent principalement sur l'étude du traitement du signal. Ces simulations sont aussi effectuées en fixant des conditions de fonctionnement extrêmes définies dans les spécifications. La phase de conception s'achève lorsque les dessins de tous les composants électriques sont regroupés pour former les masques de production.

¹TTM : Time-To-Market

La conception *Top-Down* s'est imposée dans l'environnement de travail des ingénieurs même si elle nécessite l'emploi de nombreux outils, qui permettent de compléter chaque étape et de simuler les modèles avec différents niveaux d'abstraction. Son implantation représente un coût important car les ingénieurs de conception prennent le temps de se former à l'emploi des différents outils. En plus, leur développement ou l'achat de licences d'utilisation sont onéreux.

Enfin, une étape supplémentaire de vérification, dite *Bottom-Up* est nécessaire, car une erreur de description du circuit se répercute sur les niveaux d'abstraction suivants [9]. Cette étape de vérification consiste à simuler un modèle électrique extrait à partir de la vue topologique² pour prédire les performances du circuit en tenant compte de tous les phénomènes parasites. Cependant, les temps de simulation étant excessivement longs et l'existence d'une infinité de cas particuliers à vérifier empêchent une conduite formelle de la vérification. Cette dernière est conduite de manière intuitive en fonction de l'expérience de l'équipe de conception. La vérification commence avant la fin de la phase de conception et se poursuit même après l'envoi des masques de production en fabrication, car déceler une faute de conception le plus tôt possible réduit considérablement son impact sur le coût de fabrication du produit.

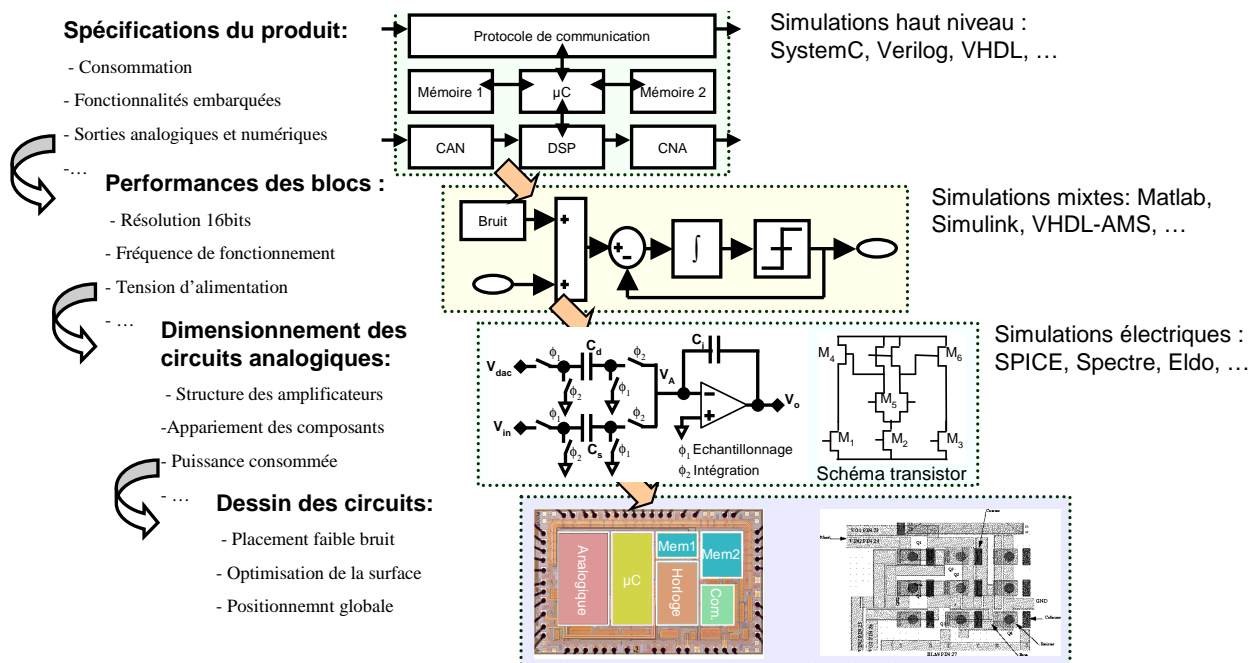


Figure 2.2 – Illustration du schéma de conception *Top-Down* d'un circuit intégré.

2.1.2 Aléas de la production et fautes analogiques

Une fois le circuit virtuel terminé, sa fabrication se compose d'une succession d'étapes, appelée procédé technologique³, dont la mise au point consiste à établir un protocole ordonnant ces étapes et à détailler tous les procédés et tous les produits employés. Parallèlement, les règles de dessin des masques de production sont établies pour garantir le respect par le circuit produit des performances prédites par simulation.

Cependant, malgré la minutie accordée à l'exécution de chaque étape, la mesure des performances des circuits produits et les résultats de simulation du circuit conçu diffèrent, car de légères perturbations surviennent pendant la production. Si le *process* est au point et si le circuit respecte les règles de dessin, les perturbations sont aléatoires. Toute perturbation reproductible est imputable à une erreur du respect du protocole de fabrication.

²Layout

³Process

Les sources de ces perturbations proviennent [10]

- des paramètres de contrôle : homogénéité de la température de cuisson du silicium, durée d'exposition, concentration des gaz, etc.
- de la topologie du circuit : formes complexes non symétriques, composant élémentaire particulier (MEMS, EEPROM, etc.)
- de l'environnement externe : taux d'humidité, emplacement de la galette de silicium dans le four, activité sismique, etc.

Ces perturbations se classent en fonction de leur nature physique ou en fonction de leur impact sur les performances du circuit.

Dans le premier cas, leur classement forme deux catégories : les variations locales et les variations globales [11].

Les variations locales

Elles impliquent une relation entre les variations de la longueur et de la largeur du composant. Leur impact sur le rendement des circuits analogiques augmente avec la densité d'intégration des procédés technologiques. Le terme s'emploie particulièrement pour des composants élémentaires appariés comme illustré sur la figure 2.3.(a). Le défaut d'appariement diminue en augmentant la surface et la proximité sur le silicium des composants, et grâce à des techniques de dessin spécifiques [12, 13].

Les variations globales

Les variations globales se définissent comme étant indépendantes des dimensions du composant élémentaire et représentent l'écart de performances entre deux circuits de conception identique, mais produits sur des emplacements différents de la plaquette de silicium⁴ ou sur une autre plaquette, comme illustré respectivement sur les figures 2.3.(b) et 2.3.(c) [14].

Lorsque les perturbations du *process* sont définies en fonction de leur impact sur les performances du circuit, elles sont appelées fautes. Plus précisément, deux types de fautes sont définies : les fautes paramétriques et les fautes catastrophiques. Ces définitions impliquent que chaque paramètre technologique possède une plage de valeurs, définie par le fondeur, entre lesquelles le fonctionnement du composant élémentaire est garanti.

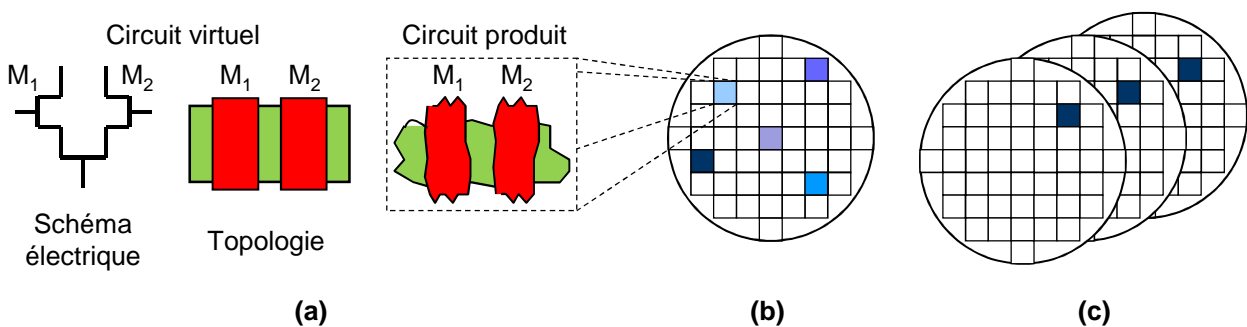


Figure 2.3 – Variations (a) locales, (b) globales et (c) entre différents lots de plaquette.

À partir de l'arbre de décision représenté sur la figure 2.4, les différentes conséquences des perturbations se résument en fonction de leur impact sur le fonctionnement du circuit : faute paramétrique ou catastrophique, circuit sain, problème de fiabilité et dysfonctionnement complet.

- **Faute paramétrique** : un ou plusieurs paramètres du *process* ne respectent pas les contraintes de fabrication entraînant le non-respect d'au moins une des spécifications du circuit.
- **Faute catastrophique** : une erreur dans la topologie entraîne un dysfonctionnement complet du circuit. Ce type de fautes apparaît, en particulier, lorsqu'une particule étrangère se pose sur la surface de silicium contrariant localement la chaîne de complétion du circuit.

⁴wafer

- **Erreur de conception** : aucune erreur lors de la production pourtant au moins une des (toutes les) spécifications du circuit n'est pas respectée (ne sont pas respectées). C'est, par exemple, le résultat d'un mauvais dimensionnement du circuit. Inversement, un ou plusieurs paramètres du *process* ne respectent pas les contraintes de fabrication entraînant un dysfonctionnement général du circuit. C'est aussi une erreur de conception, car un circuit analogique doit maintenir un fonctionnement cohérent, quelles que soient les variations paramétriques. Dans le cas contraire, il est très probable que ce circuit produise un grand nombre de fautes paramétriques.
- **Problème de fiabilité** : une erreur de fabrication provoque une modification dans la topologie du circuit sans modifier le fonctionnement du circuit ou en entraînant uniquement le non-respect d'au moins une des spécifications. C'est une faute très probable lorsque le circuit est composé de plusieurs composants élémentaires branchés parallèlement, par exemple, des miroirs de courant. Ces circuits sont défaillants dans la mesure où la fiabilité du circuit est remise en cause. Un autre problème de fiabilité se pose si un ou plusieurs paramètres du *process* ne respectent pas les contraintes de fabrication sans affecter le fonctionnement du circuit. Par exemple, une épaisseur d'oxyde de grille trop faible implique un problème de fiabilité à long terme, car elle risque de se rompre. Ou encore, la violation d'une des spécifications résultant d'une modification de la topologie du circuit. Ce type de problème fait l'objet d'un contrôle particulier, dit contrôle de qualité.

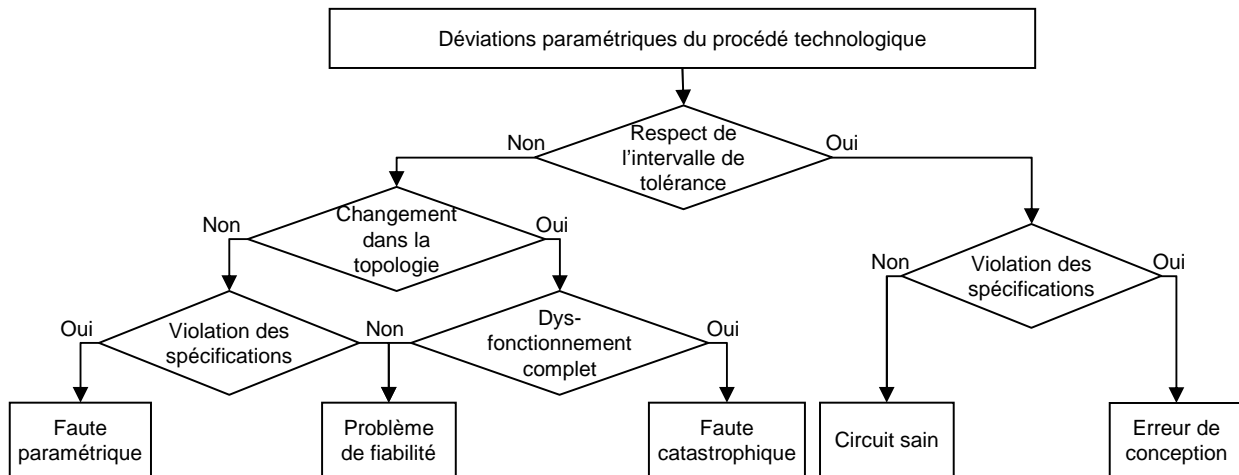


Figure 2.4 – Classification des fautes analogiques.

Enfin, la représentation la plus juste est la vue topologique, mais cette dernière n'étant disponible qu'une fois le circuit entièrement dimensionné, elle s'utilise plutôt pendant la phase de vérification. Ainsi, la prédiction des performances obtenues par des simulations électriques est considérée comme étant la plus proche des valeurs réelles des performances de circuits produits, car les perturbations du *process* sont incluses dans les modèles électriques des composants élémentaires [15, 16]. Ces perturbations sont représentées par des variables statistiques déterminées par le fondeur pendant la mise au point du *process*. Pour étudier leur impact sur le fonctionnement du circuit, les outils de conception assistée par ordinateur permettent notamment de sélectionner les valeurs hautes et basses de ces variables. Ces simulations électriques, dites simulations de coin ⁵, sont considérées comme trop pessimistes vis-à-vis de la réalité, mais apportent un premier aperçu des performances du circuit pour des variations extrêmes des paramètres du *process*.

2.1.3 Rendement de production

Les fautes catastrophiques et les fautes paramétriques sont les deux sources de production de circuits défectueux [17]. Les fautes catastrophiques proviennent majoritairement des particules pré-

⁵ Corner simulations

sentes dans l'air des salles de production, mais leur quantité est bien maîtrisée, car les fondeurs sont responsables des circuits défectueux présentant des fautes catastrophiques. Le concepteur s'intéresse à leur détection, car leur présence dans un circuit peut poser un problème de fiabilité à long terme. Pour les circuits mixtes, la perte de rendement imputable aux fautes catastrophiques est faible, car elle est fonction de la surface occupée par le système analogique, qui reste bien inférieure à la surface consacrée à la partie numérique [18].

Les variations des paramètres du *process* entraînent des différences entre les performances des circuits produits. Comme tous les circuits doivent respecter les spécifications mentionnées dans le cahier des charges, il est important de limiter la dispersion des performances par rapport aux variations du *process*. Ainsi, la figure 2.5 montre les différentes possibilités qui se présentent pendant la production d'un circuit par rapport à deux de ses performances.

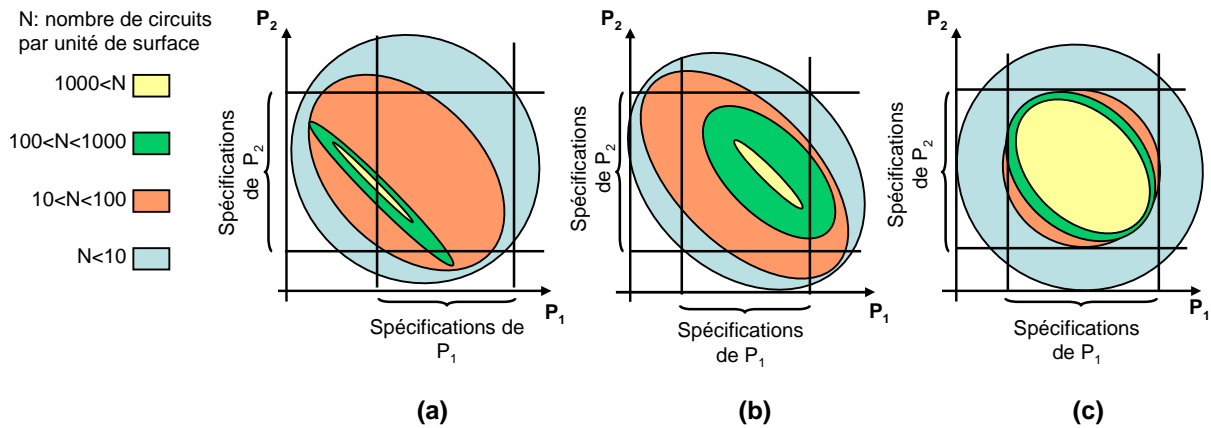


Figure 2.5 – Échantillon de circuits produits (a) à faible rendement, (b) centré et (c) robuste.

Dans le cas (a), le rendement de production sera très faible, car la majorité des circuits ne respecte pas la performance P_1 . Dans le cas (b), le dimensionnement du circuit est centré, car la majorité des circuits se situe au milieu de la zone spécifiée. Le rendement sera meilleur que dans le premier cas, mais la dispersion des performances par rapport aux déviations du *process* est large, ce rendement n'est donc pas optimal. Par contre, le cas (c), avec peu de circuits en dehors de la zone de spécification, représente un échantillon centré et robuste.

2.1.4 Conclusion

Le coût de production d'un circuit intégré se décompose principalement en deux parties : les coûts liés au développement et au temps de mise sur le marché, et les coûts liés à la surface du circuit sur le silicium. À cause de la pression du marché, les faibles délais de développement forcent les ingénieurs à employer une méthode hiérarchique de conception capable de prédire les performances du circuit rapidement. Cette méthode s'appuie sur plusieurs niveaux de description pour accélérer le temps de simulation et élaborer des systèmes de plus en plus complexes. Pour réduire les coûts directs de production, l'optimisation des dimensions du circuit s'effectue, non seulement en vue d'obtenir le meilleur rapport entre la surface du circuit et ses performances, mais aussi, en vue d'optimiser le rendement de production. La prédiction du rendement pendant la phase de conception s'effectue par simulations électriques, qui prennent en compte l'impact des variations des paramètres du *process* sur les performances du circuit. Mais les temps de simulation des circuits complexes sont incompatibles avec le temps de mise sur le marché. Cette contrainte supplémentaire renforce le besoin de créer des modèles reproduisant le comportement du circuit en fonction non seulement des stimuli externes, mais aussi, en fonction des paramètres de conception. Deux types de modèle sont donc nécessaires : la modélisation analytique, qui exprime la fonctionnalité du circuit et la modélisation statistique pour exprimer l'impact des paramètres du *process* sur le fonctionnement du circuit.

2.2 Modélisation analytique

Appliquée à la conception de circuits intégrés, la modélisation analytique vise à établir une description du comportement du circuit permettant d'estimer ses performances. Le nouveau modèle permet d'accélérer les temps de simulation et obtenir ainsi les performances du circuit dans un laps de temps raisonnable. Les simplifications apportées limitent l'intervalle de validité du modèle et un compromis s'établit entre la précision de la prédiction et le temps de simulation. Plusieurs niveaux de description sont mis au point pour répondre aux besoins de conception. Ainsi, au niveau le plus élevé, l'intérêt est porté sur la vision globale du circuit et le modèle prend en compte l'environnement de fonctionnement et les connexions et le traitement des informations entre les différents blocs internes. Ensuite, la description est mieux détaillée pour définir l'architecture de chaque bloc. Enfin, les paramètres décrivant le modèle au niveau n servent de contraintes à la conception des blocs du niveau $n - 1$ [19].

2.2.1 Fonction de transfert

Le modèle le plus rudimentaire consiste à considérer le circuit à modéliser comme une boîte noire caractérisée uniquement par des relations entre les entrées et les sorties. Par exemple, la fonction de transfert statique d'un CAN associe un code de sortie à un intervalle de tension en entrée. Dans ce cas, le modèle est dit pseudo-statique, car l'influence du signal d'entrée n'est pas prise en compte dans la description du comportement du CAN. Ce modèle élémentaire s'utilise pour des simulations mettant en jeu des systèmes numériques complets (mémoires, filtres, communications externes, etc.), car l'intérêt est porté sur la chaîne complète du traitement du signal, dont le CAN ne représente qu'une petite partie.

Toutefois, pour un CAN réel, la largeur des pas de quantification varie en fonction du code. Comme il est fastidieux de modifier chaque état de quantification manuellement, la fonction de transfert du CAN est partagée en deux : la composante non-linéaire et la fonction idéale, comme représenté sur la figure 2.6.

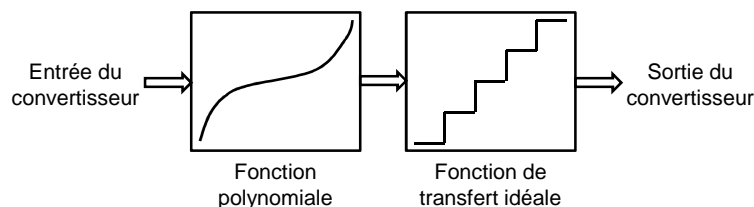


Figure 2.6 – Découpe de la fonction de transfert pseudo-statique d'un CAN représentant les erreurs de linéarité.

Pour obtenir une représentation plus juste, la partie non-linéaire peut être représentée par une fonction mathématique composée de moins de paramètres que d'états de quantification. Par exemple, une fonction polynomiale classique, ou de Chebychev, ou encore une série de Fourier ont été proposées pour estimer le comportement non-linéaire du CAN [20]. Les séries de Volterra permettent de prendre en compte l'effet de mémoire lié aux imperfections du CAN, prépondérant pour des CAN à haute-fréquence [21]. Enfin, cette représentation des erreurs de linéarité s'utilise pour vérifier le fonctionnement d'un CAN pourvu d'un système de calibrage numérique en sortie du CAN [22]. Mais les niveaux donnés par une fonction polynomiale sont fixés pour chaque CAN et aucun bruit n'est ajouté au bruit de quantification.

Un moyen de représenter non seulement les erreurs de linéarité de chaque code, mais aussi, d'ajouter un niveau de bruit thermique consiste à considérer l'apparition d'un code en fonction d'une fonction de probabilité dépendante de la tension d'entrée [23]. La figure 2.7 illustre la fonction de densité de probabilité P_{C_k} d'apparition du code C_k en fonction de la tension d'entrée V_i . Cette fonction est définie par une probabilité haute P_H pour une tension comprise entre l_k et h_k et une probabilité basse P_L pour une tension V en deça de L_k et au dessus de H_k . Un tirage aléatoire des

l_k , h_k , L_k et H_k permet de définir la fonction statique du CAN. Ensuite, la simulation du modèle consiste à générer, grâce aux densités de probabilité de tous les codes, la valeur du code de sortie en fonction de la valeur de la tension d'entrée. Ainsi, un unique code de sortie n'est pas attribué à une tension d'entrée, mais à une densité de probabilité d'apparition du code en fonction de la tension d'entrée. Cette expression au moyen d'une densité permet de générer un bruit aléatoire équivalent au bruit thermique.

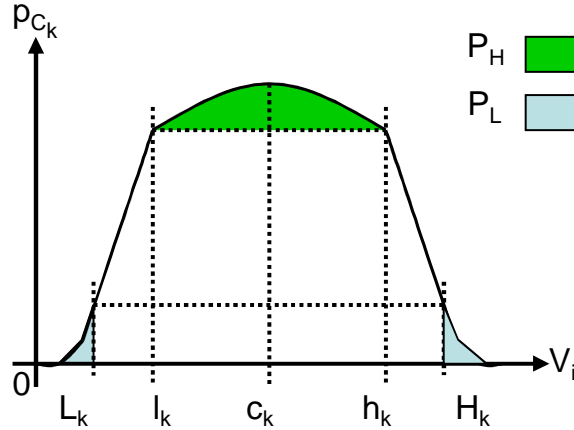


Figure 2.7 – Probabilité d'apparition d'un code C_k en fonction de la tension d'entrée V_i du CAN modélisé.

Enfin, le langage de programmation importe pendant la conception du modèle, car il est peu aisé d'effectuer des simulations rapides avec des langages de programmation différents. La plupart des logiciels acceptent plusieurs langages de description, mais les temps de simulation pâtissent de cette augmentation de complexité de description du modèle. Ainsi, *Barianacki et al.* [24] modélisent un CAN- $\Sigma\Delta$ uniquement en langage VHDL, un langage réservé aux systèmes numériques. La volonté d'utiliser ce langage de description repose sur l'objectif de valider l'architecture du filtre numérique de décimation. Dans ces travaux, le CAN est décomposé en deux parties distinctes : le modulateur et le filtre numérique. Cette division en sous-blocs facilite la description du modèle.

2.2.2 Modélisation comportementale hiérarchique

Pour les circuits complexes, la difficulté d'établir la fonction de transfert complète se résout en divisant le circuit en blocs définis par leur fonctionnalité. Ainsi, la modélisation hiérarchique consiste à décomposer le bloc principal en sous-blocs, dont les performances servent de paramètre au bloc principal.

La modélisation par une fonction de transfert ne convient pas à l'approche de conception *Top-Down* si les simulations n'établissent pas la relation entre les performances d'un bloc et celles des sous-blocs le constituant. Avec cette relation, l'espace des performances est exploré pour délimiter les intervalles de validité des paramètres de conception des sous-blocs. Ces intervalles constituent une liste de contraintes pour concevoir à leur tour les sous-blocs.

La figure 2.8 donne un exemple de ce type de description d'un CAN- $\Sigma\Delta$. Le bloc étudié est un modulateur $\Sigma\Delta$ défini par le rapport signal-sur-bruit. Cette performance dynamique est très surveillée pour ce type de convertisseur. Le modulateur se décompose en trois sous-blocs : l'intégrateur, le comparateur et le CNA. Chaque sous-bloc exprime une fonction entre les entrées et les sorties caractérisée par une ou plusieurs variables de conception à déterminer. Par exemple, l'équation (2.1) donne une description possible du fonctionnement du comparateur :

$$d_{out} = \begin{cases} 1 & \text{si } V_{in} \geq V_{seuil} \\ 0 & \text{sinon,} \end{cases} \quad (2.1)$$

avec d_{out} , le niveau logique de sortie du comparateur et V_{in} , le niveau analogique de l'entrée. La variable V_{seuil} correspond à la tension de seuil de décision du comparateur. Ses limites se fixent

en effectuant de nombreuses simulations, dont le but est de déterminer à partir de quelle valeur de V_{seuil} une des performances du bloc modulateur n'est plus respectée. L'intervalle des valeurs de V_{seuil} respectant les spécifications du modulateur devient une spécification du sous-bloc comparateur.

Cette modélisation commence par le choix des paramètres de conception, mais aucune méthode formelle ne permet de déterminer si les paramètres choisis suffisent pour exprimer toutes les relations nécessaires à la description du fonctionnement du sous-bloc. Le choix se fait de manière intuitive, c'est-à-dire en fonction de l'expérience de la personne en charge de concevoir le bloc. En reprenant l'exemple du comparateur, la description pourrait prendre en compte le délai de réponse, un hystérésis en entrée, ou encore, le niveau de bruit thermique. Si l'impact de ces paramètres de conception sur les performances du bloc complet n'est pas modélisé, les contraintes à imposer à ces paramètres restent indéterminées. La liste de contraintes représente uniquement les limites de paramètres modélisés.

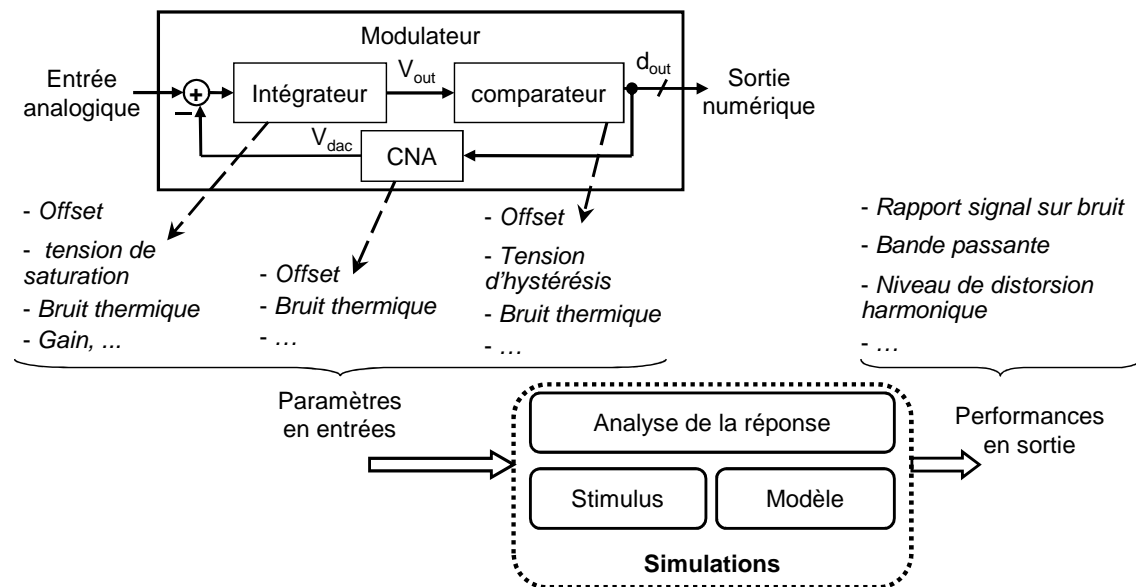


Figure 2.8 – Modélisation comportementale hiérarchique d'un CAN $\Sigma\Delta$.

Le développement d'un modèle comportemental ayant en entrée des paramètres de conception a fait l'objet de nombreux travaux qui se classifient en fonction de trois principaux critères : temps de simulation, précision et flexibilité [25]. Il ressort de ces différents moyens de description deux méthodes permettant un bon compromis entre ces trois critères. La première méthode nécessite un effort de modélisation important pour exprimer la relation entrée-sortie directement à partir d'un système d'équations différentielles linéaires. La seconde méthode est intéressante, car elle utilise l'environnement de conception de circuits analogiques basé sur les lois électriques. Enfin, une dernière méthode est présentée, car elle ne requiert pas de déterminer les paramètres comportementaux prépondérants, mais en revanche, manque de flexibilité pour être utilisée pendant la phase de conception.

Calcul analytique

La description s'effectue en trouvant une fonction analytique décrivant le comportement entre les quantités physiques des entrées et des sorties du sous-bloc en fonction des paramètres de conception. Ainsi, il devient possible de connecter chaque sous-bloc entre eux pour former un bloc fonctionnel complet. Les quantités physiques sont souvent la tension ou le courant pour des systèmes électriques.

En conservant l'exemple du modulateur $\Sigma\Delta$, la quantité physique choisie est la tension électrique. Pour chaque sous-bloc, une fonction analytique exprime la relation entre la tension de sortie et la tension d'entrée en fonction des paramètres de conception. Dans le cas présent, l'effort de modélisation se situe principalement au niveau de l'intégrateur, car c'est un circuit purement ana-

logique. La description se simplifie en s'appuyant sur l'architecture à capacités commutées de cet intégrateur. En effet, dans le cas d'un système à temps discret, le calcul de la tension de sortie à chaque coup d'horloge suffit pour exprimer pleinement son comportement. Ainsi *Malcovati et al.* [25] expriment la tension de sortie de l'intégrateur $V_{out}(t)$ pour $0 < t < T_s/2$ par

$$v_{out}(t) = \begin{cases} v_{out}(nT_s - T_s) + \alpha V_s \left(1 - e^{-\frac{t}{\tau}}\right) & \text{si } 0 > t_0 \\ v_{out}(nT_s - T_s) + \alpha V_s \left(1 - e^{-\frac{t-t_0}{\tau}}\right) + \frac{SR}{\omega_t} e^{-\frac{t-t_0}{\tau}} & \text{si } T_s/2 > t_0 \geq 0 \\ v_{out}(nT_s - T_s) + SR \cdot t & \text{si } t_0 \geq T_s/2. \end{cases} \quad (2.2)$$

T_s correspond à la période d'échantillonnage et V_s , la tension d'entrée de l'intégrateur. Les paramètres de conception s'expriment au travers des coefficients α , τ et SR . α représente la perte de gain de l'intégrateur lié au gain en boucle ouverte fini de l'amplificateur opérationnel, τ la bande passante et SR le slew-rate. Enfin, le paramètre t_0 est défini par la relation $t_0 = \alpha V_s / SR - \tau$. Ainsi, les simulations permettent de calculer les performances du modulateur en fonction de trois paramètres de conception de l'AOP et des capacités d'intégration. Les contraintes sur ces paramètres de conception sont établies en trouvant l'intervalle de valeurs conduisant au respect des spécifications.

De la même manière, *Del Rio et al.* [26] expriment la sortie d'un intégrateur du même type à l'instant d'échantillonnage k en fonction du courant de polarisation I_0 et de la transconductance g_m de la paire différentielle de l'AOP. Malgré des choix de paramètres de conception différents et une expression analytique différente du comportement de l'intégrateur, les résultats des simulations comportementales présentées montrent une bonne prédiction de l'estimation des performances du modulateur comparées à des mesures effectuées sur un circuit produit. Ces deux exemples illustrent l'absence d'évaluation permettant de quantifier la précision du modèle. La similarité des résultats obtenus par simulation et par les mesures expérimentales est soumise à l'opinion de chacun.

Cette modélisation est très populaire, car en faisant varier les paramètres définis dans les sous-blocs, le concepteur analyse facilement leur influence sur les performances du système global [27, 28]. D'autre part, le système complet se construit en connectant des sous-blocs caractérisés par des propriétés intrinsèques. Les performances de différentes architectures et un premier aperçu des contraintes de conception sont obtenus en connectant ces sous-blocs différemment [25]. En plus, il est possible d'ajouter de nouveaux blocs pour étudier l'influence de leurs paramètres comportementaux dans divers domaines d'applications du système global. Ainsi, *Fornasari et al.* [29] ajoutent le bruit en $1/f^6$ au modèle présenté par *Malcovati et al.* [25]. Ce bruit est dominant dans les systèmes de traitement du signal de faibles fréquences. De la même manière, *Zare-Hosni et al.* [30] prennent en compte parmi les paramètres de conception, les erreurs de linéarité imputables aux interrupteurs d'échantillonnage situés à l'entrée du modulateur à capacités commutées ou encore la variation du gain en boucle ouverte de l'AOP en fonction de la tension de sortie de l'intégrateur. Enfin, une description mieux détaillée d'un type d'AOP à deux étages réalisée par *Ruiz-Amaya et al.* [31] remettent en cause la précision des premières descriptions basées sur un modèle d'AOP avec un seul pôle dominant. Une étude reprise par *Pugliese et al.* [32] concluent sur l'importance de prendre en compte les paramètres supplémentaires de l'AOP pour dimensionner correctement les circuits élémentaires du modulateur. Ces nouvelles études s'ajoutent au flou laissé par les premiers modèles sur la précision obtenue ainsi que la détermination des paramètres comportementaux prépondérants.

Finalement, le développement d'un modèle très détaillé, c'est-à-dire un modèle comportant un nombre important de paramètres de conception de l'étape suivante, permet d'établir une liste de contraintes précise, solide appui pour la conception des étages inférieurs. Par contre, cette augmentation du nombre de paramètres apporte une seule information : l'influence de ces derniers sur les performances du système global. Leur ajout n'implique pas forcément une amélioration de la précision de la description, car aucune étude complémentaire n'a mis en évidence les paramètres prépondérants sur les performances du circuit complet. Tous ces travaux montrent clairement que la limite de la précision du modèle commence par le choix des paramètres comportementaux.

⁶flicker noise

Macro-modélisation

Un macro-modèle décrit le fonctionnement d'un circuit électrique en utilisant uniquement des composants passifs et des sources de courant et de tension commandées. En complément du schéma électrique, le macro-modèle se définit avec des fonctions analytiques qui acceptent en entrée les performances du circuit à modéliser pour fournir en sortie les valeurs correspondantes des paramètres élémentaires. Ainsi, une reproduction fidèle du comportement du modèle est atteinte en comparaison avec le circuit dimensionné. La figure 2.9 représente le macro-modèle d'un AOP, dont les performances permettent de déterminer la valeur de chaque composant élémentaire [33]. Par exemple, le terme G_{cm} s'exprime en fonction du CMRR⁷ de l'amplificateur. Une simulation du schéma électrique permet d'obtenir le CMRR de l'amplificateur puis de calculer le terme G_{cm} . Tous les paramètres décrivant le macro-modèle sont définis à partir de simulations du schéma électrique.

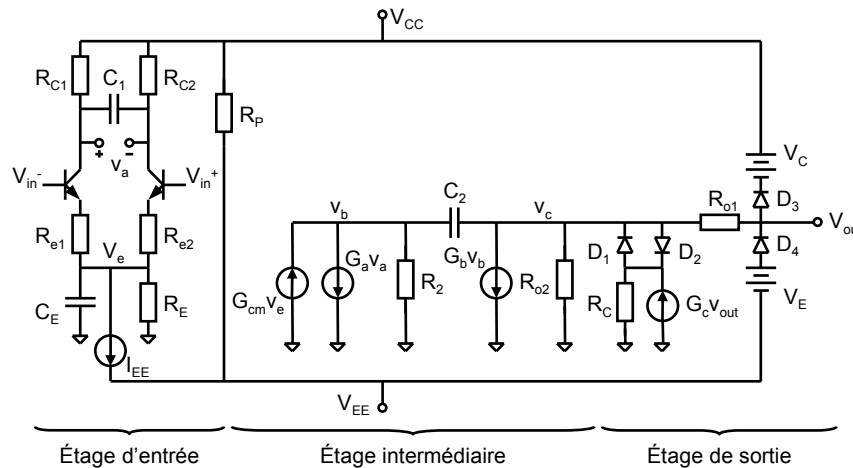


Figure 2.9 – Macro-modèle d'un AOP.

Le comportement dynamique et les principaux points de polarisation du macro-modèle correspondent au fonctionnement du circuit électrique. Cette correspondance est établie pour un intervalle de valeurs délimité par la zone de fonctionnement linéaire du circuit à modéliser [34]. En dehors de cette zone, les relations entre les points de polarisation et les performances dynamiques du circuit changent, diminuant la précision du modèle. La prise en compte des points de polarisation permet de simuler le macro-modèle directement dans l'environnement électrique en substituant l'entité du circuit original par son macro-modèle. Pendant la phase de vérification visant à comparer les performances du circuit et de son macro-modèle, le banc de simulation n'est pas modifié garantissant que la différence entre les résultats de simulation provient de la modélisation.

Par contre les simulations mixtes, c'est-à-dire des simulations de circuits composés de macro-modèles et de circuits dimensionnés n'apportent pas un gain en temps de simulation aussi important que le gain obtenu par des simulations de modèles comportementaux. Cette contrainte oblige à recourir à un niveau de modélisation plus abstrait pour effectuer des simulations d'un circuit constitué de plusieurs sous-blocs décrits par leur macro-modèle [35].

Table de correspondance

Une table de correspondance (LUT⁸) est une structure de données employée pour remplacer un calcul complexe par une simple opération de consultation. Pour les systèmes à temps discret, une table de correspondance donne la relation entre la sortie du système y , l'entrée u et l'état du circuit d à un instant t_{k+1} , et la sortie à l'instant précédent t_k

$$y_{t_{k+1}} = F(y_{t_k}, u_{t_{k+1}}, d_{t_{k+1}}). \quad (2.3)$$

⁷Common-Mode Rejection Ratio : taux de réjection du mode-commun

⁸Look-Up Table

La table de correspondance est obtenue en parcourant l'espace des paramètres d'entrée et en calculant les sorties correspondantes du système à modéliser. Sa création nécessite le recours aux simulations électriques du système, dont la décomposition ne s'effectue plus en considérant les circuits élémentaires, mais correspond à une fonctionnalité plus étendue [36]. Ainsi, la figure 2.10 est un exemple de génération d'une table de correspondance d'un modulateur à capacités commutées. Pour construire la table de référence, il faut établir la valeur de la tension de sortie en fonction des trois entrées. La tension de référence du CAN, V_{ref} , ne pouvant prendre que deux valeurs différentes, deux tables exprimant la tension de sortie en fonction du signal d'entrée, V_{in} , et de la tension de sortie de cet étage à l'instant précédent, $V_{o_{k-1}}$, sont générées. Ensuite, les tables sont utilisées pendant les simulations temporelles au niveau bloc.

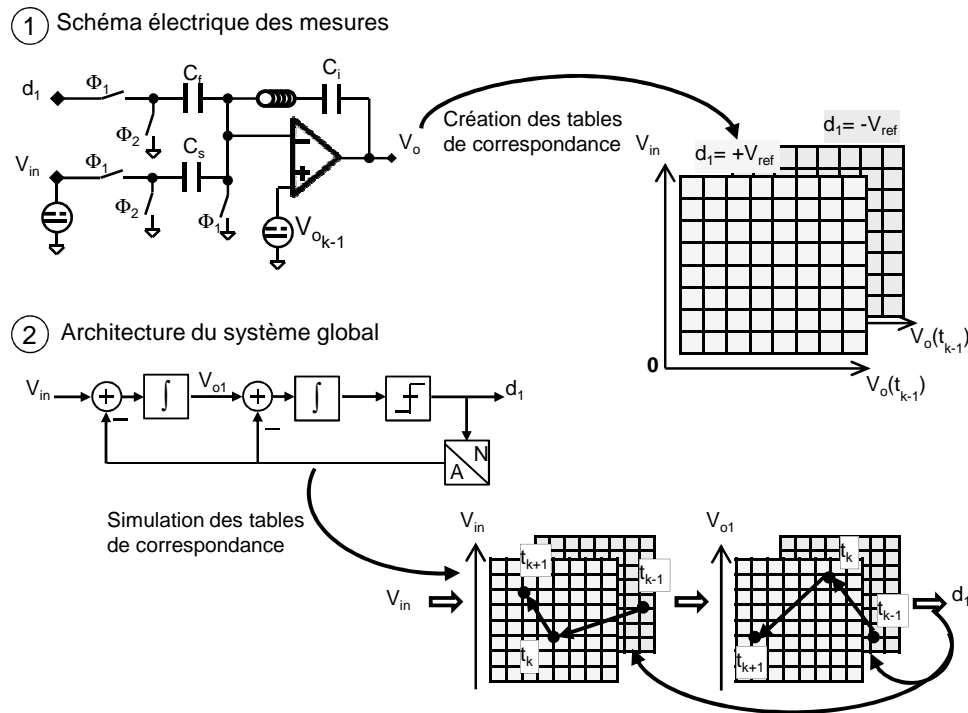


Figure 2.10 – Création et simulation au moyen de tables de correspondance.

L'utilisation d'une table de correspondance permet de s'affranchir de définir toutes les performances des circuits élémentaires ayant une influence prédominante sur le comportement du système. Par contre, la phase d'élaboration est la partie la plus longue et augmente avec la taille du sous-bloc à modéliser. D'ailleurs, l'étape préliminaire de cette phase consiste à trouver le nombre minimal de simulations électriques à effectuer pour remplir la table sans détériorer la précision. Yu *et al.* [37] proposent un algorithme qui adapte le nombre de simulations électriques à effectuer en fonction de la monotonie de la sortie du système. Si la sortie varie peu, alors les points sont espacés. Dans le cas contraire, plus de points sont échantillonnés pour obtenir une meilleure représentation de cette portion de l'espace d'entrée du modèle. Lorsque la grille est complète, une fonction d'interpolation quadratique est construite. Le choix d'une fonction quadratique repose sur la continuité de la fonction dérivée aux points d'évaluation. Enfin, la conception du schéma électrique de test s'effectue en respectant les conditions de fonctionnement du système dans son environnement. Dans le cas contraire, la précision du modèle est altérée sans pouvoir quantifier l'erreur commise. Une fois la table de correspondance terminée et les fonctions d'interpolation définies, la simulation du modèle s'effectue simplement par une simple lecture de la table de correspondance en fonction des niveaux des entrées.

Cette méthode présente l'inconvénient majeur de n'être utilisable qu'une fois le circuit complet terminé. En effet, la table de correspondance doit être reconstruite dès la moindre modification du schéma électrique. Par conséquent, leur utilisation est appropriée à la phase de vérification pour accélérer les simulations haut-niveau sans diminuer la précision des résultats par rapport aux

simulations au niveau transistor. Par contre, cette précision n'est garantie que dans une plage de valeurs des paramètres d'entrée. En dehors de cette plage, il est difficile de prévoir le fonctionnement du circuit.

Enfin, la création d'une table de correspondance pendant la phase de vérification s'effectue pour des sous-blocs du circuit. Ainsi, un modèle complet du circuit est obtenu en mélangeant des blocs décrits par des paramètres comportementaux et les tables de correspondance des autres sous-blocs. Par exemple, un convertisseur Flash ne contient que 3 types de blocs analogiques : un réseau de résistances, un réseau d'interrupteurs et des comparateurs. La résistance en circuit fermé des interrupteurs ainsi que le délai nécessaire à la fermeture de l'interrupteur sont calculés pour compléter des tables de correspondance [38]. Ainsi, pendant les simulations du convertisseur complet, l'utilisateur peut évaluer l'influence de la taille des transistors sur le fonctionnement du convertisseur.

2.2.3 Conclusion

La modélisation analytique a pour objectif d'accélérer les temps de simulation nécessaires à la prédiction des performances des circuits virtuels, dont les temps de simulation électrique sont irréels. Indispensable étape dans la conception *Top-Down*, elle permet aussi de guider le concepteur analogique à déterminer les performances de chaque circuit électrique en vue d'effectuer un dimensionnement optimal.

La solution présentant le meilleur rapport précision, temps de simulation et flexibilité repose sur la décomposition hiérarchique du bloc en différents sous-blocs, dont les paramètres sont les performances des circuits électriques élémentaires du système à modéliser. La précision obtenue sur la prédiction comparée à une simulation électrique est difficile à quantifier, car le modèle est simplifiée de manière intuitive et en supposant le fonctionnement du circuit dans une plage limitée. Mais la flexibilité et les temps de simulation de l'ordre d'une poignée de secondes font de ce type de modélisation un excellent outil dans la conception d'un circuit intégré.

Cette étape de modélisation sert à optimiser les performances du système, mais pour estimer la robustesse du circuit en fonction des variations du *process*, il faut recourir à une étude statistique du circuit. Ainsi, dans le paragraphe suivant, nous considérons que le modèle choisi est la meilleure description du système pour nous intéresser non plus à la précision de la prédiction, mais à la précision de la variation de la prédiction en fonction des variations des paramètres du *process*.

2.3 Modélisation Statistique

Contrairement à de la modélisation analytique, dont l'objectif est de construire un modèle explicatif d'un phénomène en exploitant le principe de causalité, un modèle statistique va être construit à partir de données disponibles, sans aucun a priori sur les mécanismes en jeux. Pendant la phase de conception, la modélisation statistique d'un circuit intégré sert à en prédire les performances en fonction des variations du *process*. La précision de la prédiction augmente avec la taille de l'échantillon utilisé pour construire le modèle. Mais cet échantillon est obtenu par simulation, dont la durée s'allonge fortement avec la taille du circuit.

Initialement, l'intérêt du modèle statistique provient de la volonté d'estimer le rendement de production d'un circuit pendant la phase de conception. Mais les bénéfices de la génération rapide d'un échantillon représentatif des conditions de production se sont étendues à d'autres applications comme la conception automatique de circuits analogiques, l'étude de la robustesse ou encore la conception en vue du test que nous développerons dans le prochain chapitre. Les solutions proposées pour générer rapidement un modèle statistique avec une précision en partie par million se regroupent en deux catégories. La première consiste à remplacer les longues simulations par des relations simples entre l'espace initial et l'espace de sortie et la seconde à minimiser la taille de l'échantillon sans réduire la précision du modèle. Au cours de ce paragraphe, nous développons les méthodes les plus courantes répondant à ces deux enjeux comme l'étude de sensibilité, l'introduction d'un modèle

intermédiaire, les fonctions de régression et leur élaboration au moyen de plans d'expérience, ou enfin, l'estimation de la densité de probabilité.

2.3.1 Prédiction de rendement

L'estimation du rendement de production se calcule à partir de la fonction de densité de probabilité conjointe p des paramètres du *process*. Soit n , le nombre de paramètres initiaux, et $A \subset \mathbb{R}^n$, l'ensemble des vecteurs $x \in \mathbb{R}^n$ de paramètres technologiques pour lesquels le circuit respecte toutes les spécifications. Soit z , la fonction définie par

$$z(x) = \begin{cases} 1 & \text{si } x \in A \\ 0 & \text{sinon.} \end{cases} \quad (2.4)$$

Alors, le rendement Y^9 s'exprime par

$$Y = \int_{\mathbb{R}^n} z(x)p(x)dx. \quad (2.5)$$

La fonction de densité de probabilité p est définie pendant la caractérisation du *process*, qui a lieu avant la phase de conception d'un produit et reste périodiquement mise à jour. Le calcul de Y s'effectue couramment avec une précision en partie par million (ppm).

Par contre, les fonctions z et intégrale sont à déterminer. En première approche, la fonction z est remplacée par des simulations électriques comprenant le schéma et les conditions de fonctionnement du circuit ainsi que les différents stimuli de test comme illustré sur la figure 2.11. Chaque simulation accepte en entrée un vecteur de paramètres technologiques et délivre en sortie les performances correspondantes.

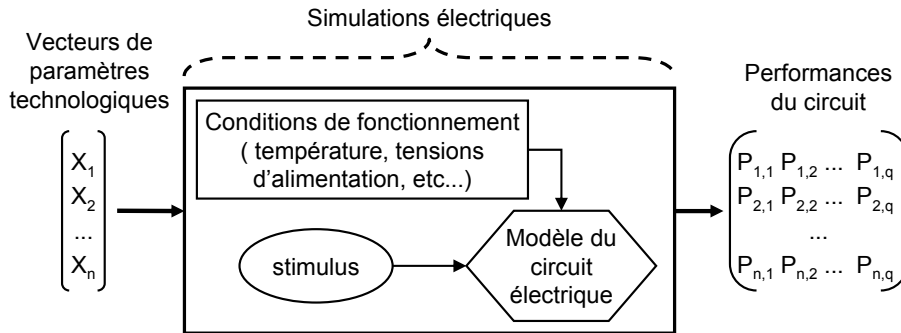


Figure 2.11 – Établissement d'une relation entre l'espace des paramètres du process et les performances du circuit par des simulations électriques.

La fonction intégrale est estimée en échantillonnant les vecteurs des paramètres technologiques par la méthode Monte Carlo [5]. Cette méthode vise à calculer une valeur numérique en utilisant des procédés aléatoires, principalement pour estimer des surfaces. Pour appliquer cette méthode, les densités de probabilité des paramètres technologiques sont échantillonnées aléatoirement donnant une population non biaisée. Pour chaque vecteur, une simulation électrique est effectuée en vue de calculer la valeur de la performance correspondante. Si cette valeur appartient à l'intervalle définie dans les spécifications, le circuit est considéré sain autrement il est défectueux. Le rendement s'établit en évaluant le rapport entre le nombre de circuits sains et le nombre de circuits synthétisés. La fonction intégrale continue est remplacée par la somme des circuits synthétisés et l'estimation du rendement \hat{Y} se calcule grâce à l'équation suivante,

$$\hat{Y} = \frac{1}{N} \sum_{i=1}^N z(x_i), \quad (2.6)$$

⁹Yield

avec N , le nombre de vecteurs des paramètres du *process*. L'erreur entre la valeur de rendement estimé \hat{Y} et Y est bornée par l'inégalité de Chebychev,

$$P \left\{ \left| \hat{Y} - Y \right| < \epsilon \right\} \geq 1 - \frac{1}{4N\epsilon^2}. \quad (2.7)$$

En conséquence, le nombre de simulations doit être quadruplé pour seulement doubler la précision de l'estimation. En pratique, la durée des simulations électriques est trop importante pour estimer le rendement en partie par million et le recours aux simulations Monte Carlo a pour objectif d'évaluer grâce à quelques échantillons la robustesse du circuit. L'estimation du rendement pour des circuits mixtes complexes s'avère impossible en utilisant de simples simulations électriques, car l'évaluation de leurs performances nécessite des temps de simulation bien supérieurs à la période dédiée à la conception du circuit. Le franchissement de cette barrière est atteint en appliquant des techniques élaborées de modélisation statistique pour remplacer la fonction z et le calcul de l'intégrale.

2.3.2 Analyse de sensibilité

L'analyse de sensibilité étudie comment des perturbations sur les entrées du modèle engendrent des perturbations sur la réponse. Il est possible de grouper les méthodes d'analyse de sensibilité en trois classes : les méthodes de screening, l'analyse de sensibilité globale et l'analyse de sensibilité locale.

Les méthodes de screening permettent d'établir par une analyse qualitative une hiérarchie au sein des variables d'entrée en fonction de leur influence sur la variabilité de la réponse. L'analyse de sensibilité globale étudie comment la variabilité des entrées se répercute sur la variabilité de la sortie en déterminant quelle part de variance de la sortie est due à telle entrée ou à tel ensemble d'entrées. Enfin, l'analyse de sensibilité locale étudie comment de petites perturbations des variables d'entrée autour d'une valeur nominale $X_0 = (x_{0_1}, \dots, x_{0_p})$ se répercutent sur la valeur de la sortie $P = (P_0, \dots, P_q)$.

La méthode d'analyse locale la plus classique est l'approche OAT¹⁰, qui consiste à calculer ou estimer les indices de sensibilité S définis par

$$S_{x_i}^{P_j} = \frac{x_i}{P_j} \frac{\delta P_j}{\delta x_i} \Big|_{\delta x_i \rightarrow 0}, \quad (2.8)$$

avec P_j , le j^{me} paramètre de sortie et x_i , la variable d'entrée. Sous sa forme la plus simple, sa mise en oeuvre requiert l'utilisation d'une fonction analytique F connue exprimant la relation

$$(P_0, \dots, P_q) = F(x_1, \dots, x_p), \quad (2.9)$$

car le coefficient de sensibilité correspond à la valeur de la fonction dérivée partielle en ce point. Par exemple, en exprimant la fonction de transfert d'un filtre analogique en fonction de la pulsation de résonance ω_0 et du facteur de qualité Q , une analyse de sensibilité permet d'évaluer la robustesse de la fonction de transfert vis-à-vis des variations de ces deux paramètres [39].

Lorsque la fonction analytique est inconnue, la sensibilité d'une performance en fonction d'un paramètre technologique est approchée en effectuant des simulations pour lesquelles chaque paramètre d'entrée varie faiblement autour d'une valeur nominale

$$\hat{S}_{x_i}^{P_j} = \frac{x_i}{P_j} \frac{\Delta P_j}{\Delta x_i}, \quad (2.10)$$

avec \hat{S} , la matrice de sensibilité approximée et $\Delta x_i = x_i - x_{0_i}$. Δx_i varie entre 1% à 5% de x_{0_i} [40]. En conséquence, l'étude de la sensibilité d'un système permet aussi de choisir quelles sont les performances à mesurer pour établir les variations des paramètres technologiques [41]. La matrice \hat{S} est valable autour d'un vecteur nominal et son domaine de validité dépend de la précision souhaitée

¹⁰One factor At Time

sur l'estimation des coefficients de sensibilité. Pour étendre la validité du modèle, l'intervalle entier est découpé en plusieurs segments. Pour chacun, le coefficient de sensibilité est considéré constant [42]. La figure 2.12 illustre la relation réelle en pointillée et son approximation par une fonction linéaire par morceaux entre P_j et X_i , tel que

$$\forall k \in [0, 3], P_j = S_{x_i, k+1}^{P_j} \cdot x_i. \quad (2.11)$$

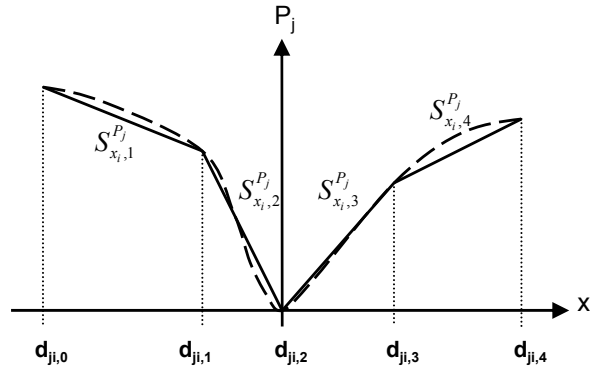


Figure 2.12 – Approximation de la fonction de sensibilité d'un système par une fonction linéaire par morceaux.

Mais la segmentation de l'espace des paramètres initiaux augmente la quantité de calculs à effectuer pour obtenir le modèle et nécessite une connaissance préalable de l'espace d'arrivée pour fixer les bornes des segments $d_{ji,k}$. Sa mise en oeuvre se limite donc à des systèmes ayant un espace initial de faible dimension.

Enfin, *Koskinen et al.* [43] utilisent une analyse de sensibilité pour déterminer l'espace des paramètres d'un modèle comportemental à partir de mesures simples effectuées sur un échantillon de circuits produits ou à partir de résultats de simulation. L'intérêt repose sur la construction du modèle statistique sans connaître la densité de probabilité des paramètres du *process*. La matrice de sensibilité n'exprime plus le lien entre les paramètres du *process* et les performances du circuit, mais sert de relation entre l'espace initial constitué de points de mesure simple et l'espace final, celui des paramètres comportementaux non mesurables. Finalement, l'extraction des paramètres permet d'effectuer des simulations comportementales du circuit pour extraire des performances plus complexes à mesurer.

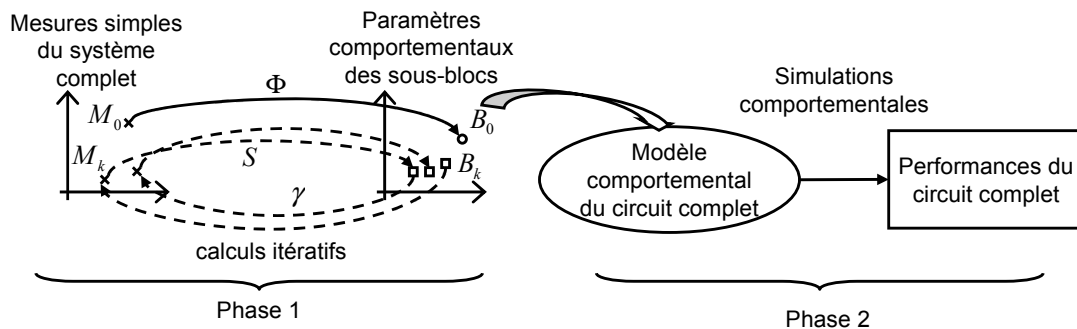


Figure 2.13 – Propagation hiérarchique des propriétés statistiques par insertion d'un modèle comportemental entre l'espace des paramètres du process et les performances du circuit.

La méthode illustrée figure 2.13 se divise en deux phases. Dans un premier temps, une boucle itérative comprenant des simulations comportementales γ et une identification de la matrice de sensibilité S grâce à la résolution d'un système d'équations linéaires permet de construire l'espace des paramètres comportementaux en prenant en compte leur corrélation. Le seconde phase permet d'obtenir par simulations comportementales, un modèle statistique des performances du circuit plus

difficilement mesurables. Cette méthode complétée par un modèle de réponse de surface permet la génération statistique d'un grand nombre de circuits [44].

L'analyse de sensibilité s'utilise aisément si la relation entre les paramètres de sortie et les paramètres d'entrée s'exprime analytiquement ou en effectuant des simulations. Cette condition limite son usage aux circuits faciles à décrire par une simple relation mathématique ou à simuler électriquement. Pour des circuits plus complexes, le calcul de la sensibilité est difficile, car la relation directe entre les paramètres du *process* et les performances du circuit est moins évidente. Un autre facteur limitatif est l'utilisation de l'approche OAT qui implique l'absence de corrélation entre les paramètres de l'espace initial. Dans le cas des circuits complexes, seuls les paramètres initiaux du *process* sont indépendants, pour les niveaux suivants, cette hypothèse est erronée.

2.3.3 Propagation hiérarchique

Si la relation entre les paramètres d'entrée et de sortie du système à modéliser s'évalue difficilement, la modélisation statistique s'appuie sur l'utilisation d'un modèle intermédiaire. La figure 2.14 illustre cette méthode, dont les relations entre les différents étages s'effectuent par simulations électriques pour le lien entre les paramètres du *process* et les paramètres du modèle comportemental puis par simulations comportementales pour le lien entre les paramètres comportementaux et les performances du circuit complet [45].

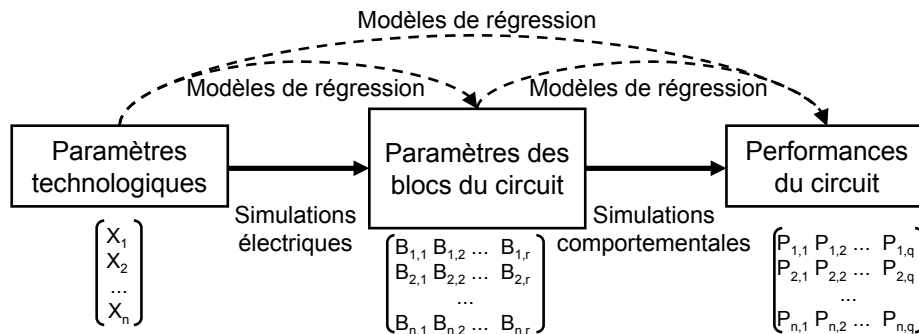


Figure 2.14 – Propagation hiérarchique des propriétés statistiques par insertion d'un modèle comportemental entre l'espace des paramètres du *process* et les performances du circuit.

Pour générer un échantillon statistiquement représentatif des variations du *process*, plusieurs vecteurs X_k sont tirés aléatoirement et les circuits élémentaires sont simulés électriquement pour générer B_k , l'échantillon de paramètres comportementaux correspondants. Enfin, ces mêmes paramètres sont utilisés comme vecteurs d'entrée du modèle comportemental, simulé à son tour, pour donner un échantillon de circuits virtuels P_k . Cet enchaînement d'étapes est valable pour un échantillon de taille modérée, car les temps des simulations électriques et comportementales sont encore trop importants pour générer un échantillon supérieur à un million de circuits.

La décomposition hiérarchique implique la possibilité de générer de manière différente les relations entre chaque niveau et surtout de combiner ces différentes relations. Par exemple, si les paramètres des blocs du circuit s'expriment par une fonction connue des paramètres du *process*, une analyse de sensibilité permet d'accélérer la génération des vecteurs comportementaux [46]. Par contre, les paramètres des espaces intermédiaires sont corrélés et la construction de la matrice de sensibilité entre deux niveaux intermédiaires se complique. Ainsi, *Liu et al.* développent un graphe de connexions exprimant les corrélations entre les paramètres d'un niveau initial et ceux du niveau suivant pour corriger la matrice de sensibilité initialement calculée à partir de vecteurs considérés indépendants [47]. Pour les niveaux intermédiaires, la matrice de corrélation est importante pour effectuer un nouvel échantillonnage.

Enfin, une autre possibilité de relier deux niveaux est la création d'un modèle de régression. Ces outils mathématiques permettent la génération rapide d'un échantillon composé d'au moins $N \gg 1$ million de circuits dans un laps de temps minimal à partir d'un nombre de circuits initial restreint.

2.3.4 Fonction de régression

L'expression générale d'un modèle de régression f s'exprime sous la forme

$$y_n = f(x_{n,0}, \dots, x_{n,m}, a_0, \dots, a_q, e), \quad (2.12)$$

avec $x_{n,i}$, la valeur du $i^{\text{ème}}$ paramètre technologique et y_n , le vecteur des réponses pendant l'exécution de l'expérience n , m , la dimension de l'espace des paramètres technologiques, q , le nombre de variables, a_i , les coefficients du modèle de régression, et e , le facteur d'erreur. e est dû à des facteurs non contrôlés comme le bruit impliquant une différence entre la valeur observée et la valeur attendue. La construction du modèle consiste à déterminer les coefficients $\{a_0, \dots, a_q\}$ en effectuant un nombre n d'expériences au moins supérieur à q .

La complexité du système à résoudre dépend du nombre m de paramètres initiaux, c'est pourquoi la première étape consiste à éliminer les paramètres, dont l'influence sur les performances du système est considérée comme négligeable. Cet essaimage des paramètres s'obtient en effectuant une analyse en composante principale [48] ou à partir du calcul des coefficients de corrélation entre les performances et les paramètres combinés avec une analyse de sensibilité [49].

La seconde difficulté réside dans le choix des échantillons utilisés pour construire la fonction de régression. Comme chaque expérience correspond à une simulation, le nombre d'échantillons est limité pour construire rapidement le modèle de régression. Mais la précision du modèle augmente avec le nombre d'expériences et dépend aussi de la répartition des échantillons dans l'espace initial.

Le choix des échantillons se regroupe sous le nom de plan d'expérience. Un plan d'expérience sert à sélectionner et à ordonner les essais afin d'identifier, à moindres coûts, les effets des paramètres sur la réponse du produit. Dans le cas présent, la notion de coût s'associe principalement au temps de simulation. Les plans d'expérience rencontrés dans la modélisation statistique de circuits intégrés se répartissent en 3 catégories [49] :

Plan factoriel

Ce type de plan consiste à choisir les points sur une grille régulière dans le domaine expérimental. La figure 2.15.(a) représente un plan d'expérience factoriel sur un espace à deux dimensions. Les plans factoriels sont utilisables si la dimension de l'espace initial est très réduite autrement le nombre de simulations augmente considérablement. Une alternative employée pour réduire le nombre de simulations consiste à fractionner le nombre de points par plans.

Plan composite

Un plan d'expérience composite est une combinaison d'un plan d'expérience factoriel à 2 niveaux, dont les points sont pris parmi les sommets de l'hypercube, d'un plan d'expérience axial composé de points disposés symétriquement sur chaque axe, à une distance α du centre du domaine, et d'un point central. Sur la figure 2.15.(b), les sommets de l'hypercube dans un espace de dimension 3 sont représentés par les cercles sombres tandis que les cercles clairs représentent un plan d'expérience axial. Ces plans sont utilisés pour approcher des surfaces de réponse de degré 2. Il est possible de générer différents plans en faisant varier α (plan orthogonal, plan rotatable).

Plan Hypercube Latin

L'échantillonnage par un plan hypercube latin a été introduit pour évaluer numériquement les intégrales multiples. Il permet d'assurer la non redondance de l'information au travers d'une bonne répartition sur les espaces initiaux. Pour générer k points à partir d'un espace multi-dimensionnel de taille n , l'intervalle de chaque paramètre est découpé en M segments non-recouvrants de probabilité identique et égale à $1/M$. Une valeur par intervalle est aléatoirement choisie en respectant la densité de probabilité de l'intervalle. La figure 2.15.(c) illustre l'échantillonnage de 6 points d'un espace de dimension 2. L'espace du paramètre x_1 est uniforme, il est découpé en 4 segments et l'espace du paramètre x_2 a une densité de probabilité gaussienne divisée en 5 segments. Un plan hypercube latins

est utilisé dans le cas des expériences simulées, car il permet de remplir équiprobablement le domaine expérimental. Si la densité de probabilité des paramètres initiaux est connu, il est facile et rapide à construire, même pour un nombre élevé de facteurs. Enfin, tous les niveaux de chaque facteur sont représentés une unique fois. Par contre, pour un nombre donné de N expérimentations et p paramètres, il existe $(N!)p$ possibilités de construction d'un plan hypercube latin et, par conséquent, les résultats de la modélisation sont très variables suivant le plan considéré.

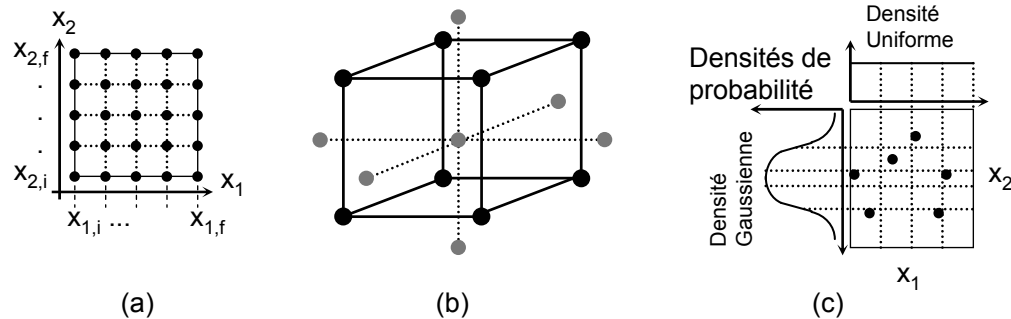


Figure 2.15 – (a) Plan factoriel de niveau 5, (b) plan composite circonscrit pour 3 variables et (c) 6 échantillons d'un plan hypercube latin

Parmi les différents types de régression, les plus courants sont :

Régression polynomiale

L'expression générale d'une fonction de régression polynomiale s'écrit

$$y_k = \hat{\beta}_0 + \sum_{i=1}^m \hat{\beta}_i x_{ik} + \sum_{i=1}^m \sum_{j=1}^m \hat{\beta}_{ij} x_i x_j + e_k. \quad (2.13)$$

Pour ajuster la fonction de régression quadratique représentée par l'équation (2.13), il est nécessaire de résoudre le système d'équations, dont les inconnus, les coefficients $\hat{\beta}_i$ sont les estimateurs des coefficients β à partir de couples de vecteurs (Y_k, X_k) . Ces couples proviennent d'un nombre restreint de simulations comportementales ou électriques suivant les étapes reliées. Les résidus e_k expriment la différence entre la valeur prédite, \hat{y}_k , et les valeurs obtenues pendant les expériences, y_k ,

$$e_k = y_k - \hat{y}_k. \quad (2.14)$$

Ainsi, la résolution du système d'équations s'effectue en appliquant des techniques de l'algèbre linéaire comme la décomposition en valeurs singulières et en ajustant au sens des moindres carrés les e_k conduisant au minimum ϵ de la somme des carrés des résidus, autrement dit

$$\epsilon = \min \left(\sum_{i=1}^m e_i^2 \right). \quad (2.15)$$

Réseau de neurones

Un neurone, souvent représenté comme sur la figure 2.16, est une fonction algébrique non linéaire, paramétrée, à valeurs bornées, de variables réelles appelées entrées. Un neurone réalise une fonction non linéaire bornée $y = f(x_1, \dots, x_n, \eta_1, \dots, \eta_p)$, où les x_i sont les entrées et les η_j sont les paramètres. La fonction f est appelée "fonction d'activation". Les fonctions sigmoïdes et, en particulier, la tangente hyperbolique sont les plus courantes. Les fonctions réalisées par les neurones peuvent être combinées en un réseau de neurones. Dans un tel réseau, les entrées d'un neurone sont soit les entrées du réseau, soit les sorties d'autres neurones. La figure 2.17 représente l'architecture d'un réseau complètement connecté avec des neurones cachés sigmoïdaux $\{f_1, f_2, \dots, f_{N_c}\}$ et un neurone de sortie linéaire g . Cette architecture est particulièrement utilisée, car le seul degré de liberté qui

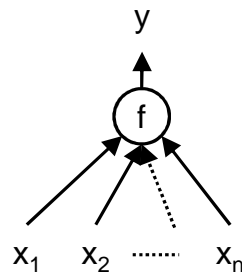


Figure 2.16 – Représentation d'un neurone réalisant une fonction algébrique non-linéaire.

subsiste est le nombre de neurones cachés, ce qui simplifie l'optimisation du calcul des poids w du réseaux. Pour des réseaux de neurones à fonction d'activation sigmoïdale, l'erreur commise dans l'approximation varie inversement au nombre de neurones cachés et est indépendante du nombre de variables de la fonction à approcher. Par conséquent, pour une précision donnée, donc pour un nombre donné de neurones cachés, le nombre de paramètres du réseau est proportionnel au nombre de variables de la fonction à approcher.

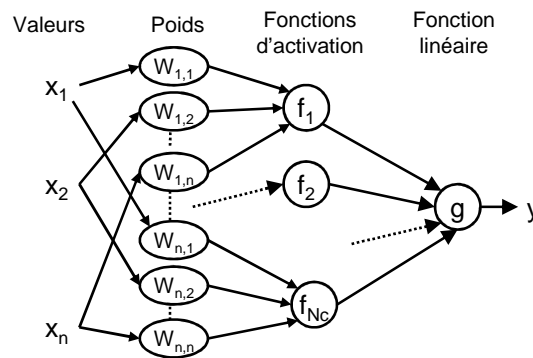


Figure 2.17 – Représentation d'un réseau de neurones réalisant une fonction algébrique non-linéaire.

Les réseaux de neurones sont de bons candidats pour prédire la relation entre les entrées et les sorties d'un système composé de plusieurs paramètres ajustables, car ils nécessitent souvent moins de points expérimentaux que les fonctions d'approximation usuelles telles que les fonctions de régression construites à partir de polynômes. Cet avantage est d'autant plus sensible que le nombre de paramètres variables de la fonction à approcher est grand.

Pendant la phase d'apprentissage, la définition d'une fonction de coût est primordiale, car elle sert à mesurer l'écart entre la sortie du modèle et les mesures faites. La fonction la plus couramment utilisée est la fonction des moindres carrés. L'objectif de l'apprentissage est de trouver la valeur ϵ minimale définie au sens des moindres carrés. L'algorithme d'optimisation permet d'ajuster de manière itérative les poids du modèle de façon à converger vers un minimum de la fonction de coût.

Les fonctions de régression permettent de passer d'un niveau d'abstraction à un niveau supérieur. Le modèle statistique du niveau supérieur est obtenu en appliquant la fonction de régression identifiée à un second échantillon de taille plus importante. Le principe repose sur la propagation de l'information statistique des paramètres initiaux à chaque niveau. Une stratégie différente consisterait à calculer pour chaque étage la densité de probabilité conjointe des paramètres. Un échantillonnage de l'espace initial n'est plus alors nécessaire, car l'information statistique est contenue directement à chaque niveau. La densité de probabilité devient alors le modèle statistique.

2.3.5 Estimation de la densité de probabilité conjointe

Pour éviter la construction d'une fonction de régression, une densité de probabilité peut être calculée à partir d'un petit échantillon de performances d'un circuit. Ces performances sont obtenues à partir de vecteurs de paramètres du *process* choisis aléatoirement. Les données nécessaires sont obtenues par simulations électriques [50] ou par des mesures sur une faible quantité de circuits produits [51].

L'estimateur le plus rudimentaire pour estimer une densité est l'histogramme de fréquences. Supposons que l'on ait (x_1, \dots, x_n) , n observations issues d'une même loi de probabilité de densité f , où f est à support borné $[a, b]$. Pour estimer cette densité par la méthode de l'histogramme, on découpe $[a, b]$ en k classes $[\alpha_i, \alpha_{i+1}[$ où $i = 1, \dots, k$ avec $a = \alpha_1$ et $b = \alpha_{k+1}$. L'estimateur histogramme s'écrit alors

$$\forall t \in [a, b[, \exists i = 1, \dots, k \text{ tel que } t \in [\alpha_i, \alpha_{i+1}[, \quad (2.16)$$

et

$$\hat{f}_n(t) = \frac{f_i}{\alpha_{i+1} - \alpha_i}, \quad (2.17)$$

où f_i est la fréquence du nombre de points de la classe correspondante.

En supposant les classes de même largeur $b(n)$

$$\forall i = 1, \dots, k, b(n) = \alpha_{i+1} - \alpha_i. \quad (2.18)$$

$\hat{f}(n)$ est une densité de probabilité puisque cet estimateur est d'autant plus proche de la véritable densité que les largeurs de classe sont étroites. Toutefois, il ne faut pas que des classes ne contiennent aucun point, autrement $\hat{f}(n)$ deviendrait une fonction en escalier avec des marches d'ordonnée nulle. Il faut que $b(n)$ tende vers 0 lorsque n tend vers l'infini et que de plus en plus de points tombent dans chaque classe. Cette dernière condition se résume par $n \times b(n)$ tend vers l'infini quand n tend vers l'infini. Par conséquent, pour un nombre d'échantillons n fixés, le choix de la largeur de $b(n)$ conduit à de fortes variations de la représentation de l'histogramme. Pourtant, l'estimateur histogramme aide à évaluer la densité de probabilité, car il apporte une information visuelle de la forme de cette dernière. A partir de cette information, deux cas sont considérés :

- l'estimation ressemble à une fonction de densité connue, dite paramétrique
- l'estimation est utilisée pour calculer la densité à partir de méthodes non-paramétriques

Loi paramétrique

La loi de probabilité décrit l'ensemble des valeurs qu'une variable aléatoire peut atteindre et la probabilité que la valeur de la variable aléatoire soit dans n'importe quel sous-ensemble de cet ensemble. Une loi de probabilité paramétrique est entièrement définie par une fonction analytique et quelques paramètres. Les plus connues sont les lois de distribution uniforme, la loi normale, la loi des valeurs extrêmes, etc. La représentation en histogramme, nombre d'échantillons appartenant à un intervalle de valeurs d'une performance en fonction de cet intervalle permet de visualiser la ressemblance entre l'échantillon de données et la loi correspondante. La figure 2.18 illustre la représentation d'un histogramme ainsi que la forme de la densité correspondante. Des critères plus rigoureux permettent de déterminer les paramètres de la loi de probabilité en soumettant les échantillons à des tests d'adéquation. Il existe deux types de test d'adéquation, les tests paramétriques et les tests non-paramétriques. Un test d'adéquation paramétrique formule une hypothèse très restrictive sur la forme analytique de la distribution candidate ne laissant à tester que les valeurs d'un petit nombre de paramètres. Par exemple un 'test t' suppose que la génération d'un échantillon provient d'une loi normale et il ne reste plus qu'à tester quelques paramètres. Les tests non-paramétriques sont plus généraux et ne font aucune hypothèse sur la forme mathématique de la distribution à tester. Les tests d'adéquation non-paramétriques les plus connus sont les tests de Kolmogorov et du Chi-2 d'adéquation.

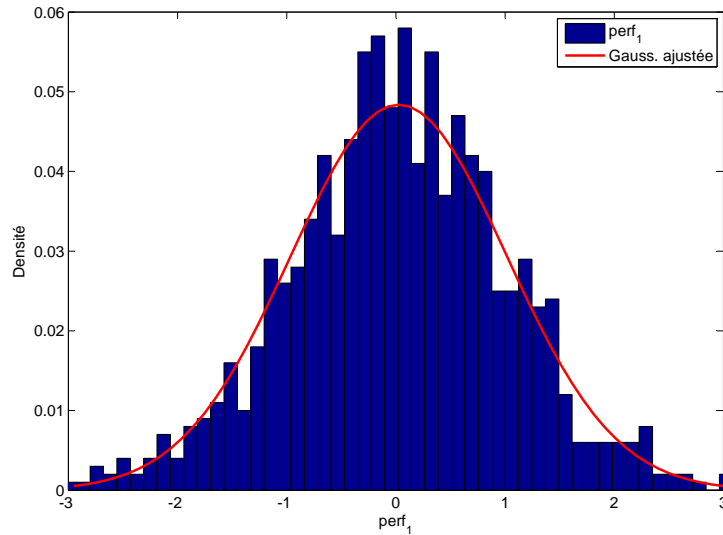


Figure 2.18 – Représentation d’une loi de densité normale à partir d’un histogramme.

Tongbong *et al.* [52] appliquent l’estimation de la densité de probabilité à un échantillon d’amplificateurs de radio-fréquences faible bruit ¹¹. Les performances d’un échantillon de 1000 circuits sont obtenus par simulations électriques Monte Carlo. Les paramètres des lois de distribution gaussienne de chaque performance modélisée sont déterminés et cette loi est utilisée pour générer un échantillon plus large de circuits.

Loi non-paramétrique

Pour améliorer cet estimateur histogramme, on peut utiliser l’estimateur histogramme mobile qui est un translaté de l’histogramme de manière à ce que le point t où l’on estime se retrouve au centre d’une classe, plus précisément au centre de la classe $[t - h(n), t + h(n)[$ où $h(n)$ désigne la demi-largeur d’une classe. L’estimateur histogramme mobile s’écrit alors :

$$\hat{f}_n(t) = \frac{1}{n \cdot h(n)} \sum_{j=1}^n K\left(\frac{x_j - t}{h(n)}\right), \quad (2.19)$$

où la fonction, K , est définie par

$$K(x) = \begin{cases} 1 & \text{si } x \in [-1, 1[\\ 0 & \text{sinon} \end{cases}. \quad (2.20)$$

Avec ce nouvel estimateur, la classe est centrée en t , mais tous les points de cette classe ont le même rôle quant au calcul de $\hat{f}_n(t)$. Or il est plus judicieux de pondérer les observations en mettant d’autant plus de poids qu’on se trouve proche de t et d’autant moins qu’on s’en trouve éloigné. Ainsi la fonction K , appelée un noyau sert de fonction de poids. Le choix du noyau a peu d’influence sur l’estimation de la densité de fonction $\hat{f}_n(t)$, contrairement au paramètre $h(n)$, appelé largeur de bande. De manière empirique, il est recommandé de le fixer de la manière suivante :

$$h(n) = S_n n^{-1/5}, \quad (2.21)$$

où S_n désigne l’écart-type estimé des observations [53].

La figure (2.19) représente l’estimation de la densité de probabilité du point de compression à 1dB d’un amplificateur LNA¹² en fonction du choix de la largeur de bande. Dans leurs travaux, *Stratigopoulos et al.* [54] révoquent l’hypothèse d’une distribution multinormale des performances du

¹¹RF LNA

¹²Low-Noise Amplifier

LNA pour estimer les densités non-paramétriques correspondantes. Cette technique s'adapte facilement aux cas multidimensionnels et présente l'avantage de laisser les données déterminer pleinement la forme de la densité.

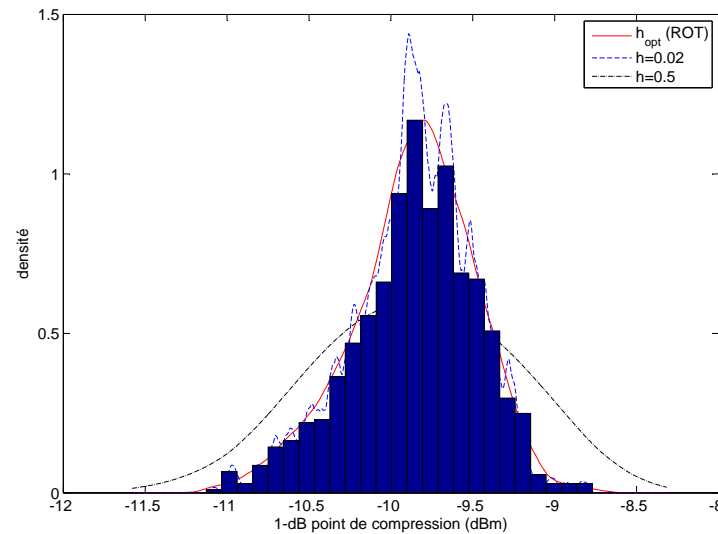


Figure 2.19 – Représentation d'une loi de densité non-paramétrique suivant la largeur de bande h à partir d'un histogramme.

2.4 Conclusion

Dans ce chapitre, une vue générale de la conception de circuits intégrés analogiques et mixtes a été présentée en prenant en compte les différentes étapes nécessaires à l'optimisation du cycle de production. L'augmentation de la densité d'intégration et la pression du marché font évoluer les circuits vers des systèmes incluant de plus en plus de fonctionnalités sur le même substrat. Cette tendance a contraint les acteurs du marché à adopter une méthodologie de conception basée sur la décomposition hiérarchique du circuit en blocs, puis des blocs en sous-blocs avant d'atteindre l'étape finale, le dimensionnement des composants élémentaires. Le circuit virtuel est terminé non seulement s'il vérifie l'ensemble des spécifications, mais aussi, si sa robustesse vis-à-vis des variations des paramètres technologiques garantit un rendement de production satisfaisant. Pour vérifier ces deux conditions, la modélisation des systèmes intégrés est devenue une composante essentielle dans l'étape de conception.

Cette modélisation s'exprime par la description à différents niveaux d'abstraction du système et de ces composants, dont l'objectif est de déterminer par simulation du modèle à chaque niveau une liste de contraintes de conception du niveau suivant. En descendant ainsi hiérarchiquement les différents niveaux, la liste initiale des spécifications est traduite en paramètres de conception des circuits élémentaires. Cette modélisation analytique est accompagnée d'une description statistique. En effet, pour prédire le rendement de production du circuit, il est nécessaire d'établir pendant la phase de conception les relations entre les variations des paramètres du *process* et les performances du circuit. La construction d'un modèle statistique par simulations électriques avec un échantillonnage de type Monte Carlo durant trop longtemps pour être envisagée, plusieurs techniques visant l'accélération des temps de simulations et l'amélioration du choix des échantillons ont été présentées en vue d'établir rapidement un échantillon représentatif de circuits virtuels.

La méthodologie de conception est à ce jour bien maîtrisée au point de conduire les recherches vers des méthodes de conception automatisées de circuits analogiques et mixtes [55]. Les résultats dans ce domaine sont encore mitigés, car il est difficile d'obtenir toutes les solutions de conception capables de respecter les spécifications et ayant de surcroît un rendement de production optimal. La réduction des coûts de production s'oriente, donc, vers d'autres étapes du cycle de production, le test.

Test et conception en vue du test des circuits mixtes

L'objectif de la conception d'un circuit intégré est la production d'un système rentable pour l'entreprise et satisfaisant le client. Mais, à cause du manque de maîtrise des procédés employés pendant la phase de production, les performances de chaque circuit fabriqué diffèrent. Or le cahier des charges engage la responsabilité du fabricant et, pour certaines applications critiques, aucune erreur sur la fiabilité du circuit n'est tolérée. Ce respect strict des spécifications force le fabricant à vérifier entièrement le cahier des charges en testant chaque performance décrite.

Ainsi, la phase de test consiste à déterminer si un circuit en sortie de chaîne de production respecte les spécifications définies avec le client. Mais le coût de ce test, dit test fonctionnel, augmente avec le nombre de fonctionnalités embarquées. Cette augmentation provient de l'allongement du temps de test du circuit et de la diminution de la contrôlabilité et de l'observabilité, car la quantité de broches externes reste limitée. La situation actuelle est si problématique que les industriels cherchent de nouvelles solutions plus économiques mais sans perte de fiabilité.

Dans ce chapitre, les enjeux du test de production des circuits analogiques et mixtes sont présentés avant de détailler les différentes méthodes proposées dans la littérature pour réduire le coût de ce test. Ensuite, les métriques de test nécessaires à la comparaison de l'efficacité de ces méthodes sont rappelées et la dernière partie illustre le vif intérêt porté à la conception en vue du test des convertisseurs analogiques-numériques.

3.1 Test de production

La figure 3.1 présente les deux principales étapes de la stratégie industrielle du test de production des circuits intégrés analogiques et mixtes. Pendant la première étape, le test a lieu directement sur la plaquette de silicium¹, car il offre une meilleure observabilité du circuit. Mais les aiguilles de test utilisées sont invasives et leurs performances en termes de bande passante et de puissance limitent la vérification du fonctionnement du circuit à certaines mesures de tensions statiques. Ces mesures augmentent la détection des défauts de production et permettent le contrôle de points de polarisation essentiels au fonctionnement du circuit, comme par exemple, les tensions de référence générées par le *bandgap* [56]. Le second test effectué après encapsulation consiste à vérifier le cahier des charges. Les circuits fonctionnels sont vendus aux clients, tandis que les circuits défectueux sont parfois analysés en vue de définir la cause du défaut, c'est le diagnostic. Cette stratégie permet d'éliminer rapidement les circuits présentant de gros défauts de fonctionnement et réduire, ainsi, le temps de test sur l'ensemble des circuits. Un autre avantage provient de l'économie de boîtiers, dont le coût est non négligeable pour certains produits.

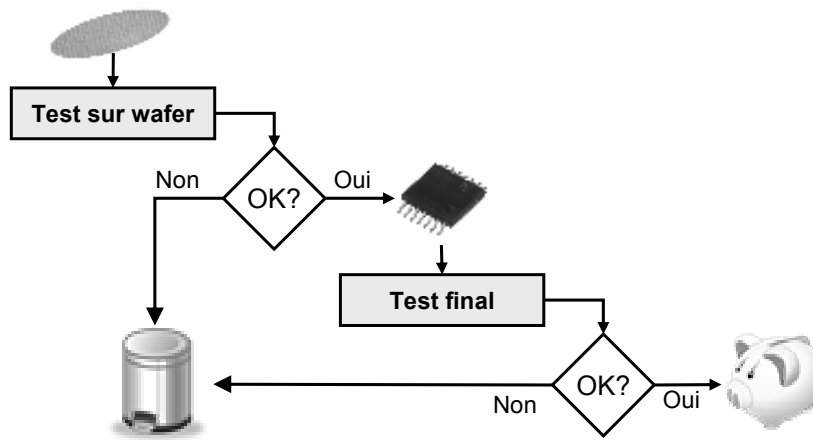


Figure 3.1 – Flot de test en production des circuits intégrés.

Les intentions diffèrent entre le test en production et la caractérisation. La caractérisation s'effectue sur un échantillon de taille modérée en vue d'obtenir les performances du circuit dans différentes conditions de fonctionnement (température, tension d'alimentation, interférences électromagnétiques, étude du vieillissement, etc.). Cette étape a lieu avant la phase de production pour rassurer le client sur la qualité du circuit. Inversement, la seule information requise lors d'un test de production est le respect ou non des spécifications, et ce, pour un coût minimal.

Le coût du test s'exprime en fonction d'un coût par unité de temps, $Coût/s$ (en seconde), multiplié par T_{test} , le temps nécessaire au test du circuit,

$$Coût = Coût/s \cdot T_{test}. \quad (3.1)$$

Par exemple, $Coût/s$ se définit par

$$Coût/s = (D_T + C_{FT}) \cdot \left(\frac{T_{test} + T_{index}}{T_{test}} \right) \cdot \left(\frac{T_{prod} + T_{stop} + T_{idle}}{T_{prod}} \right), \quad (3.2)$$

avec D_T , la dépréciation du testeur (incluant tous les systèmes nécessaires à son fonctionnement), C_{FT} , le coût fixe du testeur, T_{index} , le temps de remplacement d'une pièce par la suivante, T_{prod} , le temps de disponibilité du testeur, T_{stop} , le temps pendant lequel le testeur est hors-service (calibrage, maintenance, etc.) et T_{idle} , le temps pendant lequel le testeur n'est pas utilisé (mauvais planning, livraison de pièces retardée, etc.) [57].

¹wafer

Avec cette définition du coût du test, le temps de test est le seul facteur qui dépend de décisions prises pendant la conception du circuit. L'amélioration du $Coût/s$ dépend du choix fait à l'achat du testeur et des conditions d'utilisation de ce dernier pendant la phase de test. En particulier, un compromis sur le choix du testeur s'établit entre son prix qui influence C_{FT} et ses performances pour réduire, par exemple, les valeurs de T_{index} et T_{stop} .

Outre les considérations économiques liées au temps de test et à l'achat du matériel, le développement du programme de test repousse le temps de mise sur le marché. Ce temps dépend du déverminage² de la séquence de test. Cette phase est un risque supplémentaire, car il n'existe pas de solutions formelles à la résolution de problèmes de mise en œuvre et la complexité croît avec celle du circuit. Pour réduire le risque de perdre du temps à *debugger* une séquence de test, l'industrie s'oriente vers des méthodes par simulations [58, 59]. Le principe repose sur la modélisation du circuit et de son environnement de test pour simuler et optimiser la séquence de test avant la réception des circuits produits.

3.2 Méthodes de test

Actuellement, le test représente une part non marginale du prix de revient d'un circuit analogique et mixte. Pourtant le test fonctionnel reste le test standard, car il est le seul qui satisfasse les critères de qualité industriels. Les méthodes de test développées dans la recherche visent à réduire les coûts. Deux nouvelles méthodes pourraient être exploitées dans l'industrie. La première repose sur la détection des défauts de production, c'est le test structurel inspiré du test des circuits numériques et, la seconde sur la réduction de la quantité des informations à traiter pour prédire les performances du circuit, c'est le test alternatif.

3.2.1 Test fonctionnel

Un test fonctionnel se base sur la vérification complète du cahier des charges [60]. Le circuit à tester devient une liste de performances à mesurer pour établir si toutes les valeurs sont comprises dans la table des spécifications. Dès qu'une spécification est violée, le circuit est classé défaillant et un nouveau circuit est testé. Ainsi, l'ingénieur de test ne nécessite pas de connaissances approfondies sur l'architecture interne du circuit pour vérifier son fonctionnement. Il utilise le cahier des charges pour écrire le protocole de test : enchaînement des différents stimuli à injecter, broches concernées ou emplacement des aiguilles de test sur le *wafers* et analyse de la réponse de test pour calculer les performances correspondantes. Une simple lecture des valeurs des performances est alors suffisante pour déterminer si le circuit est fonctionnel ou défaillant.

La figure 3.2 représente l'environnement d'un circuit sous test basé sur une chaîne de traitement numérique³ [61]. Les mémoires situées en amont et en aval du circuit servent respectivement à programmer le signal de test avant d'être injecté par le biais d'un convertisseur numérique-analogique (CNA) et à sauvegarder la réponse de test pour être transférée à une unité externe de calcul. Cet environnement de test apporte la flexibilité d'un système entièrement programmable, la possibilité de calibrer le testeur en enregistrant directement des coefficients de correction et, enfin, la capacité à enchaîner rapidement les différentes étapes de test [62].

Les étages de conversion numérique/analogique et analogique/numérique, et les sources de bruit limitent la précision de cet environnement. Par conséquent, la valeur mesurée et la valeur réelle de la performance diffèrent légèrement entraînant des erreurs de classification des circuits [63]. La précision de la mesure est la principale source d'erreurs de classification entre un circuit fonctionnel et un circuit défaillant. Enfin, pour des circuits comprenant plusieurs blocs, leur accès doit être garanti pour permettre d'injecter le stimulus de test et d'analyser la réponse de sortie. Cette accessibilité est une contrainte supplémentaire à prendre en compte lors de la phase de conception.

² *debugging*

³ *Digital Signal Processing (DSP) based-testing*

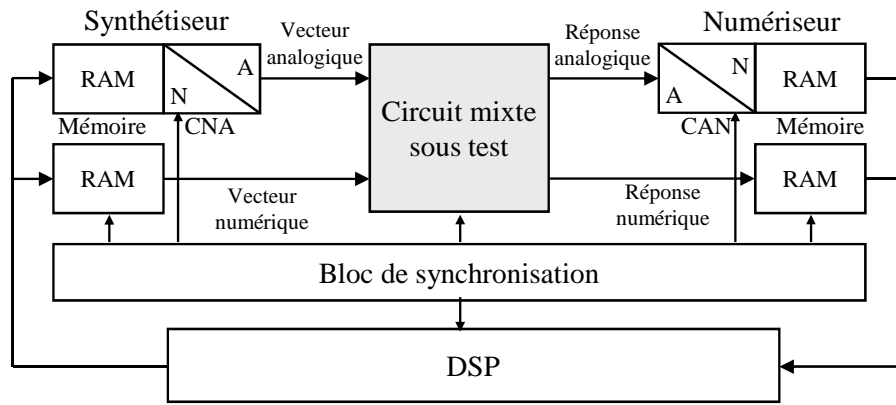


Figure 3.2 – Banc de test d'un circuit intégré mixte.

3.2.2 Test structurel

Le test structurel est basé sur la détection de la présence de défauts de production. En effet, le circuit conçu respecte toutes les spécifications donc les circuits défectueux proviennent des imperfections imputables au processus de fabrication. Corollairement, pour vérifier le fonctionnement d'un circuit, il suffit de détecter des erreurs de fabrication, c'est-à-dire les défauts qui engendrent des fautes catastrophiques et paramétriques.

La mise en place d'un test structurel requiert une étude préalable du circuit et de l'impact des défauts sur son fonctionnement. la figure 3.3 illustre la succession des étapes de cette étude.

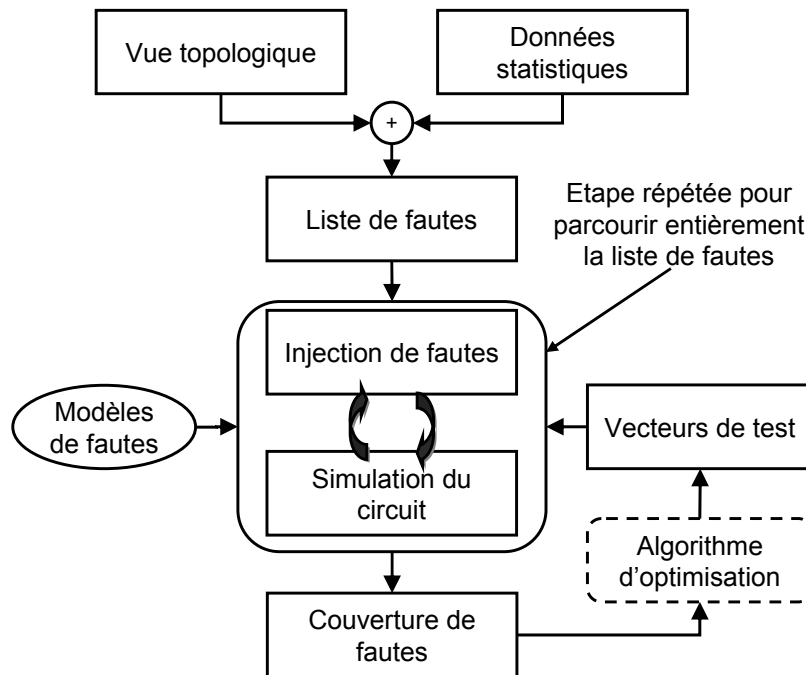


Figure 3.3 – Protocole de simulations d'un circuit excité par des vecteurs de test en vue d'estimer leur couverture de faute

L'étape initiale consiste à définir une liste des fautes probables à partir de la vue topologique du circuit et des données statistiques du *process* [64]. Un type de faute est modélisé par son impact sur le circuit électrique. Par exemple, une ligne de métal interrompue par la présence d'une particule est représentée par un circuit ouvert. L'injection d'une faute consiste à remplacer le modèle du composant élémentaire sain par le modèle fautif. Pour chaque faute injectée, des simulations du circuit électrique sont effectuées avec les différents vecteurs de test. La procédure s'arrête lorsque

toutes les fautes ont été injectées et stimulées par tous les vecteurs de test. L'évaluation de ce type de test s'effectue en calculant le taux de couverture, c'est-à-dire le nombre de fautes détectées sur le nombre total de fautes de la liste. Un algorithme d'optimisation peut être rebouclé en vue d'automatiser la génération de vecteurs de test permettant d'améliorer la couverture de faute [65].

L'usage du test structurel est systématique pour les circuits numériques, car l'observabilité d'une faute est plus facile pour un système binaire (vrai ou faux). Au contraire, le test structurel de circuits analogiques et mixtes est moins mature, car il est plus difficile à mettre en place avec le même degré d'automatisation. Par exemple, les fautes de collage définies pour les circuits numériques suffisent à expliquer la majorité des défauts de ces derniers⁴[4]. L'extrapolation de ce principe aux circuits analogiques conduit à la notion de circuits ouverts ou de courts-circuits. Pourtant, la figure 3.4 illustre deux représentations différentes d'un circuit ouvert selon la prise en compte de l'effet capacitif [66, 64]. Le modèle capacitif peut être dominant si le défaut déconnecte entièrement la grille de transistor, auquel cas son potentiel, qui conditionne le fonctionnement du transistor concerné, dépend de l'environnement du transistor [67]. Ce premier exemple met en évidence le premier obstacle à l'application au niveau industriel du test structurel de circuits analogiques et mixtes : déterminer la liste des fautes de chaque circuit pour évaluer l'efficacité du test.

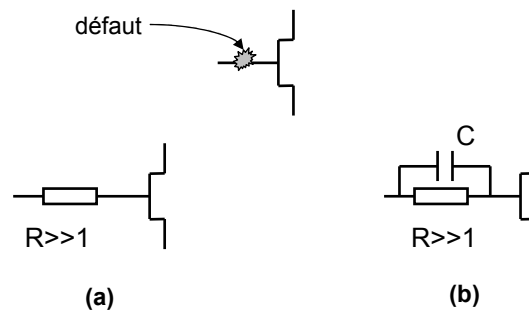


Figure 3.4 – Modélisations d'un défaut de connexion entraînant un circuit ouvert (a) sans effet capacitif et (b) avec effet capacitif.

En plus, la création d'un modèle de faute est difficile à établir, car des défauts identiques n'ont pas nécessairement les mêmes conséquences sur le fonctionnement du circuit rendant leur modélisation dépendante du circuit. Par exemple, la figure 3.5.(a) illustre l'impact d'un défaut sur une grille d'un transistor branché en interrupteur. Le circuit est ouvert en permanence. Sur la figure 3.5.(b), le même défaut sur un transistor identique mais branché en parallèle avec plusieurs transistors entraîne seulement une variation de la résistance du circuit fermé [68]. Or il est plus difficile de détecter un circuit ouvert que de détecter une variation d'impédance.

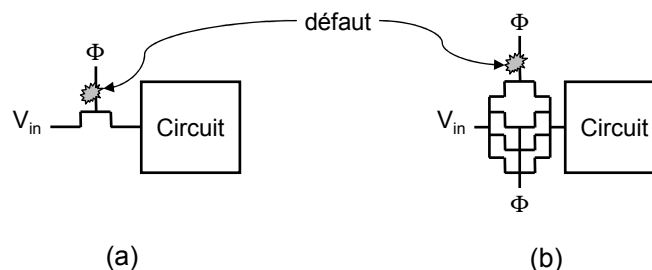


Figure 3.5 – Exemple d'un défaut identique ayant un impact différent sur le fonctionnement du circuit. Interrupteur constitué par (a) un transistor simple et (b) des transistors en parallèle.

Enfin, des phénomènes différents génèrent les fautes catastrophiques et les fautes paramétriques. Typiquement, une faute catastrophique est due à une particule externe entrée en contact du *wafers* pendant une des phases de production. Sa présence contrarie localement le processus de fabrication. La probabilité d'apparition de ce type de fautes est fonction de la densité et de la taille des

⁴ Aujourd'hui problèmes des courants de fuite (IDDQ) et de synchronisation des signaux (SSTA)

particules présentes dans l'air ainsi que de la dimension des composants [64]. L'apparition d'une faute paramétrique provient des variations des paramètres du *process*. Sa probabilité d'apparition se calcule à partir de données statistiques collectées pendant le développement du *process* [69]. Mais, contrairement aux circuits numériques pour lesquels l'impact des fautes de collage se calcule directement à partir d'équations booléennes, les fautes paramétriques ne sont déduites que par simulations. Or, les temps de simulation étant incompatibles avec la durée de conception du circuit, l'étude de l'efficacité d'un test structural nécessite l'usage de méthodes statistiques performantes pour générer des vecteurs de test performants.

La mise en place d'un test structural pour les circuits analogiques et mixtes fait l'objet de nombreuses recherches mais son implantation dans le milieu industriel ne vise pas encore à remplacer le test fonctionnel mais à effectuer des test préliminaires sur la qualité de fabrication des circuits et sur leur robustesse. Les limites du test structural reposent sur les difficultés de modéliser l'impact des défauts sur les performances du circuit, de créer une liste de défauts complète et enfin de pouvoir simuler l'ensemble pour comparer l'efficacité des vecteurs de test.

3.2.3 Test alternatif

Un test alternatif consiste à prédire les performances du circuit à partir d'un modèle statistique élaboré avec des mesures simples et la caractérisation d'échantillons de référence ⁵ [70]. Le principe repose sur l'existence d'une relation entre les mesures simples et les performances, car chaque circuit provient d'un espace initial commun, celui des paramètres du *process*. La figure 3.6 illustre le concept du test alternatif. Sur cette figure, deux circuits C_1 et C_2 sont représentés dans trois espaces différents : l'espace des paramètres du *process* $\{x_1, x_2\}$, l'espaces des mesures de test $\{m_1, m_2\}$ et l'espace des performances $\{p_1, p_2\}$. Formellement, il existe deux fonctions f_p et f_m qui relient respectivement les performances des circuits et les mesures de test aux paramètres du *process*. L'objectif est de déterminer l'espace des mesures de test qui permettent de différencier correctement les circuits fonctionnels des circuits défectueux. Dans le cas présent, le circuit C_1 est fonctionnel et satisfait les critères de test et le circuit C_2 est défectueux et est classé en dehors des limites de test.

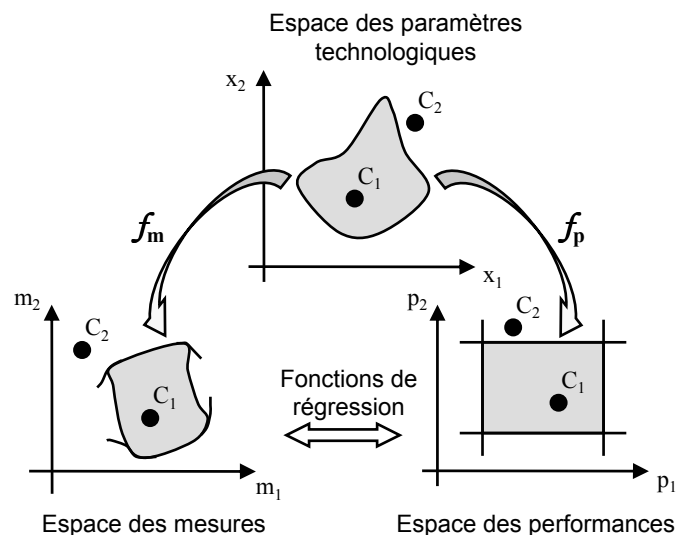


Figure 3.6 – Principe du test alternatif

La figure 3.7 représente la mise en œuvre de ce test qui se déroule en deux phases :

- La phase d'entraînement : l'objectif de la phase d'entraînement est d'obtenir une fonction permettant d'estimer les performances du circuit en fonction des résultats du test de mesures simples. Pour ce faire, un nombre restreint de circuits est entièrement caractérisé à partir de

⁵Golden samples

simulations électriques ou à partir d'échantillons produits. Ensuite, ces mêmes circuits sont soumis à des mesures de test nécessitant peu de ressources. Les résultats de la caractérisation et des mesures simples servent à calculer le modèle statistique liant les performances du circuits aux mesures simples.

- La phase de test : le test en production des circuits consiste à effectuer uniquement les mesures simples retenues. La fonction de régression permet d'évaluer les performances correspondantes et, donc, de déterminer si ce dernier est fonctionnel ou défaillant.

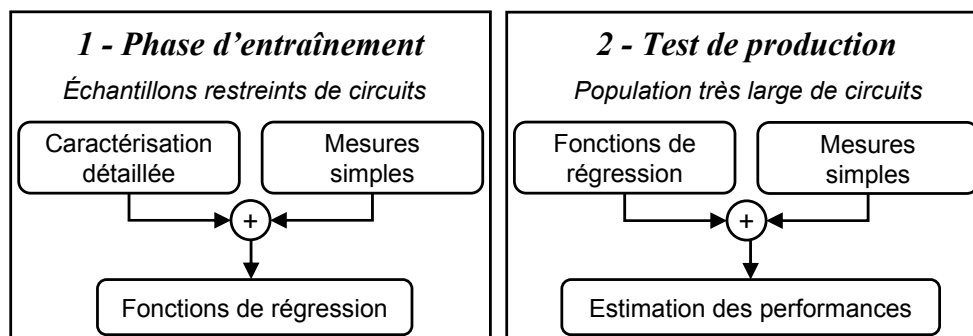


Figure 3.7 – Mise en œuvre d'un test alternatif

L'intérêt de ce type de test est d'économiser du temps de test et l'appareillage coûteux requis pour un test fonctionnel. La difficulté repose sur la génération de mesures de test simples fortement corrélées avec les performances du circuit. La précision du modèle statistique est une source additionnelle d'erreurs de classification comparée à un test fonctionnel.

3.2.4 Conclusion

La méthode de test standard basée sur la vérification des spécifications représente un coût important sur le prix de revient d'un circuit intégré analogique et mixte. Ce coût augmente avec la densité d'intégration, car de plus en plus de fonctionnalités sont incluses sur un même substrat. Deux méthodes différentes ont été proposées pour remplacer le test classique. La réduction du coût du test par ces deux méthodes se base sur une diminution du temps de test et l'utilisation de testeurs plus économiques. Toutefois, leur utilisation industrielle est encore isolée, car elles apportent une notion de coût supplémentaire difficilement quantifiable, la perte de rendement et le taux de défauts liés aux erreurs de classification des circuits. D'autre part, leur mise en œuvre nécessite un travail préalable conséquent. Pour les ingénieurs de test, ces travaux sont difficiles à effectuer, car ils n'ont pas suffisamment de connaissances du circuit et pour les ingénieurs de conception, ce travail est improductif si les tests les plus coûteux sont incorrectement identifiés. Il est nécessaire d'établir des métriques de test permettant de comparer les gains et les pertes apportés par l'implantation d'une nouvelle technique de test. Dans le cas d'un test structurel, ces métriques reposent sur la couverture de faute, c'est-à-dire la capacité de la technique de test à identifier les défauts consécutifs à la phase du production et, dans le cas du test alternatif, les métriques reposent sur la capacité de la technique à déterminer si le circuit respecte ou non les spécifications.

3.3 Couverture de faute

Le calcul de la couverture de faute s'effectue différemment selon l'évaluation du test mis en place pour détecter les fautes catastrophiques et les fautes paramétriques. Cette différence commence par leurs définitions respectives, est apparente par la méthode d'injection de ces fautes et par la manière d'estimer le taux de couverture.

3.3.1 Définitions

Les définitions des métriques du test structurel d'un circuit analogique et mixte s'inspirent de celles basées sur la couverture des fautes de collage utilisées pour les circuits numériques [71]. Dans un premier temps, une liste des fautes les plus probables est établie parmi l'ensemble (non borné) des fautes possibles [56]. L'évaluation de la qualité d'une technique de test se limite alors à sa capacité de détecter les fautes prédéfinies dans la liste.

F_C , la couverture de fautes catastrophiques, se définit comme le rapport entre f_d , le nombre de fautes détectées, et f_s , le nombre de fautes simulées, telle que

$$F_C = \frac{f_d}{f_s}. \quad (3.3)$$

Mais la probabilité d'apparition de chaque faute diffère fortement pour les circuits analogiques puisqu'elle dépend non seulement du nombre et de la taille des particules présentes dans l'environnement de production, mais aussi, des dimensions et de la topologie des composants élémentaires [72]. Notamment, la longueur des transistors varie dans les circuits analogiques contrairement aux circuits numériques pour lesquels elle est toujours minimale. Pour prendre en compte cette information supplémentaire, la liste des fautes est pondérée par un coefficient p_i , la probabilité d'apparition de la $i^{\text{ème}}$ faute [73]. Le calcul de la couverture de faute se définit alors par la relation

$$F_C = \frac{\sum_{i \in E_d} p_i}{\sum_{i \in E_s} p_i}, \quad (3.4)$$

avec E_d et E_s , les ensembles respectifs des fautes détectées et simulées.

Pour calculer la couverture de faute d'une technique de test vis-à-vis des déviations paramétriques, la faute est définie comme une variation du paramètre hors d'une zone de tolérance délimitée indépendamment des spécifications du circuit [69]. La figure 3.8 illustre cette définition pour un paramètre x_i donné, le circuit est considéré fonctionnel tant que le paramètre reste dans un intervalle $[x_{ia}, x_{ib}]$ [74].

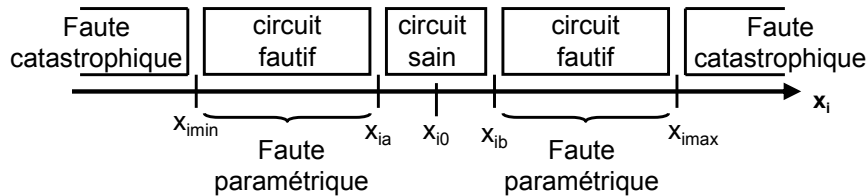


Figure 3.8 – Définition d'une faute paramétrique en fonction d'un intervalle de tolérance

L'impact d'une déviation paramétrique modifie, à priori, moins les performances du circuit en comparaison d'une faute catastrophique. Cette hypothèse implique une nouvelle définition de la couverture de faute, F_{Cp} , qui prend en compte la détectabilité, D , par la séquence de test de la variation du paramètre, x_i , en dehors de son intervalle de tolérance. F_{Cp} est définie telle que

$$F_{Cp} = \sum_i p(F_i) D(F_i) \quad (3.5)$$

avec $p(F_i)$, la probabilité que x_i se trouve en dehors de son intervalle de tolérance [66].

Cependant, la définition de l'intervalle de tolérance indépendamment des spécifications entraîne une diminution systématique du rendement [73]. En effet, les circuits analogiques étant conçus de manière robustes, il est difficile de fixer une limite à chaque paramètre, qui sépare avec exactitude les circuits fonctionnels des circuits défaillants. Cette définition se justifie si les relations entre x_i et les performances du circuit sont linéaires. Par exemple, pour un filtre passe-bas constitué par un réseau RC , le temps d'établissement est une fonction linéaire de R , la résistance, et de C , la capacité. La continuité de l'espace des paramètres du *process* implique la mise en place de méthodes spécifiques pour générer des vecteurs de test détectant les déviations fautives des paramètres.

3.3.2 Injection de faute

La figure 3.3, présentant la mise en place d'un test structurel, montre que l'estimation de la couverture de fautes catastrophiques s'effectue en simulant chaque faute du circuit excité par les différents vecteurs de test. Ainsi, le compte des fautes détectées donne une mesure de la couverture de fautes en supposant qu'aucune erreur de détection ne s'est produite. Cette hypothèse est valable, car une déviation importante de la mesure de test est attendue [66]. Mais, contrairement aux circuits numériques dont l'impact d'une faute catastrophique s'évalue rapidement par des fonctions booléennes, l'estimation de la couverture de fautes catastrophiques analogiques nécessite un nombre important de simulations de la description électrique du circuit au niveau topologique. Par conséquent, le calcul de la couverture de fautes est établi pour des circuits ayant peu de composants élémentaires, donc peu de fautes. Dans le cas contraire, le problème récurrent du temps de simulation interdit l'usage de simulations électriques du circuit complet. Pour les circuits de taille importante (en nombre de transistors), *Parky et al.* [75] proposent un flot de simulations mixtes, représenté sur la figure 3.9, qui combine les modèles comportementaux des circuits fonctionnels et le modèle électrique du circuit défectueux. Seul le sous-circuit comprenant la faute catastrophique est simulé au niveau transistor réduisant, ainsi, les temps de simulation et permettant une étude exhaustive des fautes. La difficulté principale de cette approche est de décrire les modèles comportementaux pour éviter de masquer les fautes du circuit défectueux.

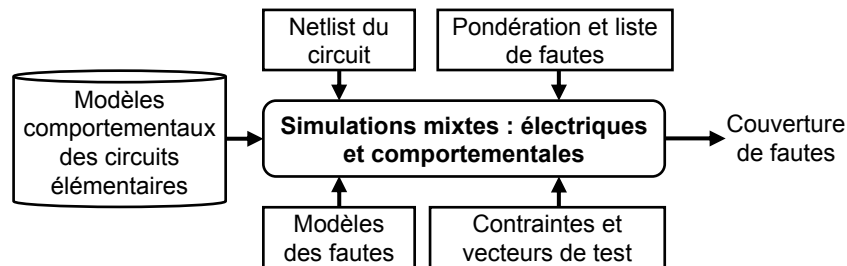


Figure 3.9 – Flot de simulations de fautes catastrophiques combinant modèles comportementaux et modèles électriques de circuits analogiques et mixtes

L'étude de l'impact des déviations paramétriques sur les performances du circuit reprend l'enchaînement : variation d'un paramètre hors de la zone de tolérance, simulation et analyse du résultat. Toutefois, cette approche est peu réaliste dans une ligne de production si elle ne considère que la variation d'un seul paramètre du *process*. Une meilleure modélisation consiste à établir une relation entre les paramètres indépendants et les composants du circuit pour prendre en compte les variations globales et locales [69]. Ainsi, pour décrire les distributions des paramètres indépendants, deux densités de probabilité différentes sont établies pour chaque paramètre [66]. La figure 3.10 montre la densité de probabilité d'un paramètre dans sa zone de tolérance, considérée comme gaussienne et la densité hors de la zone de tolérance, décrite par une distribution uniforme.

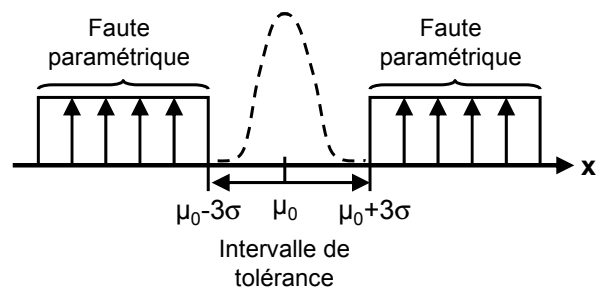


Figure 3.10 – Densité de probabilité gaussienne et uniforme définissant un paramètre dans et hors de sa zone de tolérance

L'accélération des simulations s'effectue principalement par le calcul de la matrice de sensibilité entre les paramètres du *process* et les performances et les mesures de test du circuit simulé. Cette solution implique la réduction de la dimension de l'espace initial pour faciliter le calcul des coefficients de la matrice. *Liu et al.* [76] utilisent un graphe de connexions pour établir la corrélation entre les paramètres des différents niveaux de hiérarchie d'un circuit mixte. Ainsi, un algorithme optimise le calcul de la matrice de sensibilité en se servant des facteurs de corrélation établis dans l'étape précédente.

L'utilisation d'une matrice de sensibilité est précise en définissant un intervalle de tolérance sur les paramètres d'entrée et en considérant que l'espace de sortie a un comportement linéaire dans cet intervalle. Par exemple, si le point de fonctionnement d'un transistor situé dans la zone de saturation se déplace dans la zone linéaire, l'équation régissant son comportement est fortement modifiée. Ce changement implique l'établissement d'une nouvelle description entre les différents niveaux hiérarchiques, c'est-à-dire de recommencer une grosse partie du travail effectué. De manière plus générale, l'utilisation d'une matrice de sensibilité reste imprécise pour décrire les comportements non linéaires des circuits. Cette hypothèse est un inconvénient fort, car l'impact des variations paramétriques est précisément la modification du point de fonctionnement du circuit.

3.3.3 Déteçtabilité

Contrairement aux fautes catastrophiques pour lesquels au moins une performance du circuit se révèle être très éloignée des spécifications, les déviations paramétriques hors de la zone de tolérance affectent moins distinctement les performances du circuit. L'impact d'une déviation paramétrique x_i sur une performance p_j du circuit est continue et sa représentation est réalisée au moyen des densités de probabilité des circuits fonctionnels et défectueux. Pour *Saab et al.*, les valeurs moyennes et les déviations standard des circuits fonctionnels, $\{\mu_s, \sigma_s\}$, et des circuits défectueux, $\{\mu_f, \sigma_f\}$, représentées sur la figure 3.11, sont obtenues en utilisant une analyse de sensibilité reliant les paramètres du *process* aux performances du circuit [69]. Par conséquent, la détection d'une faute paramétrique devient un phénomène probabilistique, appelé déteçtabilité [77]. La déteçtabilité d'une faute est représentée graphiquement sur la figure 3.11 à partir des densités de probabilité des circuits fonctionnels et défectueux. Elle représente la zone de non-recouvrement des deux densités pour la performance P_j .

Plus précisément, *Abderrahman et al.* mettent en évidence la détection partielle d'une faute selon les variations des paramètres technologiques [78]. La définition de la couverture de faute devient une somme de la couverture de faute partielle et de la couverture de faute garantie. La figure 3.12 illustre la notion de déteçtabilité d'une faute en fonction de la valeur du paramètre du *process* x_i . Ainsi, dans l'intervalle $[x_{ib}, x_{ih}]$, le circuit est fonctionnel mais dans les intervalles $[x_{ibp}, x_{ib}]$ et $[x_{ih}, x_{ihp}]$ le circuit est défaillant et la déteçtabilité de la faute dépend la valeur des autres paramètres du *process*. Dans ces intervalles, la déteçtabilité est partielle. Au delà de ces intervalles, la déviation du paramètre x_i est si importante que la faute est déteçtée indépendamment des valeurs des autres paramètres, la déteçtabilité est garantie.

3.3.4 Optimisation des vecteurs de test

L'objectif d'un test structurel est de déterminer des vecteurs de test susceptibles de mettre en évidence les erreurs de production. L'étude est conduite pendant la phase de conception pour programmer, dans la séquence de test, le nombre minimum de vecteurs optimisant la couverture de fautes catastrophiques et paramétriques. La définition, l'injection et la couverture de faute ont été définies pour permettre l'automatisation de la sélection du meilleur ensemble des vecteurs de test.

Par contre, l'espace des vecteurs de test est infini : simples mesures d'une tension de polarisation [56], la mesure de courants de consommation [65], la mesure de la fréquence d'oscillation [79], la mesure de la magnitude en fonction d'une fréquence donnée [80], etc. En plus, le choix de l'ensemble initial est effectué de manière intuitive et l'optimisation d'un sous-ensemble est contrainte par ce premier choix. Pour chaque type de circuit, il existe plusieurs vecteurs de test possibles permettant

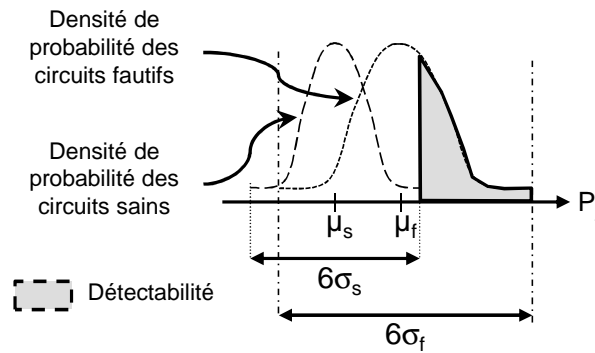


Figure 3.11 – Définition de la détectabilité à partir des densités de probabilité des circuits fonctionnels et défectueux

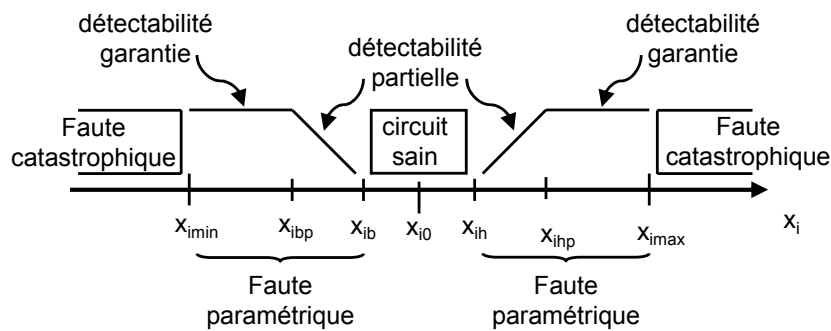


Figure 3.12 – Détectabilité basée sur la distribution statistique d'une performance

d'optimiser le rapport temps de test et couverture de faute mais l'ensemble initial étant trop grand, une seule solution est proposée en fonction d'une présélection arbitraire.

Le test structurel est une approche intéressante pour éliminer rapidement des circuits présentant des fautes facilement identifiables. Ainsi, un test fonctionnel complet se réduit aux circuits très probablement sans défaut. La mise en place d'un test structurel s'effectue, principalement, pendant la première phase de test, c'est-à-dire avant encapsulation du circuit. L'accès à l'ensemble du circuit par les pointes de test facilite la prise de mesures de performances simples.

3.4 Métriques de test

Contrairement au calcul de la couverture de faute, l'estimation des métriques de test s'intéresse à la détection des circuits défectueux indépendamment de la cause de défectuosité.

3.4.1 Définitions

Dans le cas présent, la définition d'une faute paramétrique est liée aux spécifications du circuit. Plus exactement, une variation du $i^{\text{ème}}$ paramètre du process, x_i , entraîne une faute si elle implique la violation d'au moins une des spécifications du circuit [73]. Ainsi, p_i^{spec} , la probabilité d'occurrence d'une faute se définit à partir de P , la densité de probabilité du $i^{\text{ème}}$ paramètre, telle que

$$p_i^{\text{spec}} = P(x_i > \mu_i^{\text{spec}}) = \int_{\mu_i^{\text{spec}}}^{+\infty} P(x_i) dx_i \quad (3.6)$$

avec μ_i^{spec} , la variation minimale de x_i pour laquelle au moins une des spécifications du circuit sous test est violée.

De la même manière, p_i^{test} , la probabilité de détection d'une déviation paramétrique est établie à partir de la limite de test. C'est-à-dire une variation de x_i est détectée si elle implique la violation d'au moins un des critères de test. p_i^{test} s'exprime par la relation,

$$p_i^{test} = P(x_i > \mu_i^{test}) = \int_{\mu_i^{test}}^{+\infty} P(x_i) dx_i, \quad (3.7)$$

avec μ_i^{test} , la variation minimale de x_i pour laquelle au moins une des contraintes de test est violée.

Les définitions des métriques de test sont fixées à partir des probabilités d'occurrence et de détection des déviations paramétriques par les formules suivantes [4] :

- Probabilité d'un circuit fonctionnel,

$$Y = \prod_{i=1}^n (1 - p_i^{spec}), \quad (3.8)$$

avec n , le nombre de fautes potentielles, et p_i^{spec} , la probabilité d'apparition de la faute $i \in \{1, \dots, n\}$.

- Probabilité d'un circuit qui passe le test avec succès,

$$Y_T = \prod_{j=1}^m (1 - p_j^{test}), \quad (3.9)$$

avec m , le nombre de fautes potentielles détectées par le test, et p_j^{test} , la probabilité de la faute $j \in \{1, \dots, m\}$ d'être détectée par le test.

- Probabilité d'un circuit fonctionnel qui passe le test avec succès

$$G_P = \prod_{i=1}^n (1 - \max(p_i^{spec}, p_i^{test})), \quad (3.10)$$

avec n , le nombre de fautes potentielles.

L'introduction de la fonction \max dans le calcul de G_P s'explique en considérant l'exemple d'une densité de probabilité d'une performance d'un circuit, comme illustré sur la figure 3.13. Dans le cas (a), la limite de test est plus stricte que la spécification du circuit donc la probabilité d'avoir un circuit fonctionnel qui passe le test est déterminée par la probabilité d'un circuit qui passe le test et inversement dans le cas (b).

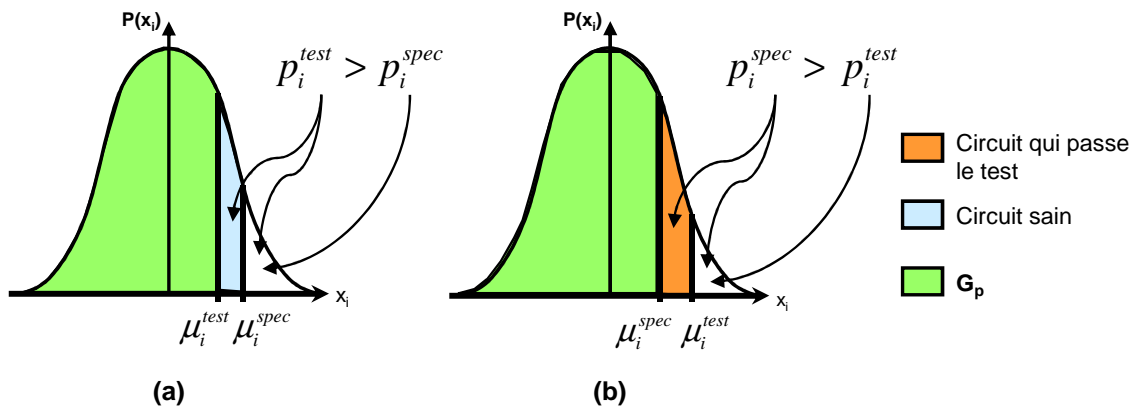


Figure 3.13 – Probabilité d'occurrence et de détection de déviations paramétriques.

Y_C , la couverture de rendement, se définit comme étant la probabilité qu'un circuit fonctionnel passe le test relativement à la probabilité qu'un circuit soit fonctionnel, telle que

$$Y_C = \frac{G_P}{Y}. \quad (3.11)$$

La probabilité opposée représente la perte de rendement,

$$Y_L = 1 - Y_C. \quad (3.12)$$

Enfin, T_E , le taux de défauts, exprime la proportion de circuits défectueux qui passent le test,

$$T_E = 1 - \frac{G_P}{Y_T}. \quad (3.13)$$

La perte de rendement et le taux de défauts sont deux critères importants, car ils ont un impact économique direct. En effet, une augmentation de la perte de rendement signifie le rejet de circuits fonctionnels et une augmentation du taux de défauts réduit la satisfaction du client puisque celui-ci achète des circuits défectueux.

3.4.2 Calcul des métriques de test

Les définitions des métriques de test impliquent le calcul des probabilités, p_i^{spec} et p_i^{test} . D'après les équations (3.6) et (3.7), ces calculs nécessitent la densité de probabilité du paramètre, $P(x_i)$, et surtout les valeurs limites, μ_i^{spec} et μ_i^{test} . $P(x_i)$ est usuellement connue, car elle est définie par le fondeur pendant l'élaboration du *process*. Le calcul de μ_i^{spec} et μ_i^{test} nécessite de nombreuses simulations électriques pendant lesquelles chaque paramètre x_i est consécutivement dévié pour estimer les performances et les limites de test [4]. Finalement, toutes les valeurs limites μ_i^{spec} et μ_i^{test} sont obtenues pour calculer p_i^{spec} et p_i^{test} . Mais l'injection de fautes paramétriques simples n'est pas représentative d'un échantillon de circuits fabriqués, c'est pourquoi les variations multiples des paramètres indépendants sont considérées pour obtenir un modèle statistique de la densité de probabilité conjointe des performances, f_S , et de la densité de probabilité conjointe des critères de test, f_T . Les métriques de test analogiques sont calculées à partir de ces densités de probabilité par les relations suivantes,

$$Y = \int_A f_S(s) ds, \quad (3.14)$$

$$Y_T = \int_B f_T(t) dt, \quad (3.15)$$

$$Y_C = \frac{\int_A \int_B f_{ST}(s, t) ds dt}{Y}, \quad (3.16)$$

$$T_E = 1 - \frac{\int_A \int_B f_{ST}(s, t) ds dt}{Y_T}, \quad (3.17)$$

où $A = (A_1, \dots, A_n)$ est le vecteur des spécifications, $B = (B_1, \dots, B_m)$ est le vecteur des limites de test, \int_X représente l'intégrale multiple $\int_{X_1} \dots \int_{X_k}$ avec $X = \{A, B\}$ et $k = \{n, m\}$, et $f_{ST}(s_1, \dots, s_n, t_1, \dots, t_m)$ la densité de probabilité conjointe des performances et des critères de test.

Bounceur et al. [50] évaluent les métriques de test en supposant que les densités de probabilité f_S et f_T suivent une loi multi-normale. Un petit échantillon de vecteurs des paramètres technologiques aléatoirement tirés est simulé pour obtenir une estimation des paramètres statistiques des lois (μ, σ) de chaque performance et de chaque mesure de test. En effet, si X est une variable aléatoire suivant une loi multinormale à p dimensions, de moyenne $\mu = (\mu_1, \dots, \mu_p)$ et de matrice de variance-covariance Σ , alors $f(x)$ la fonction densité de probabilité est définie par

$$f(x) = \frac{1}{\sqrt{\det(2\pi\Sigma)}} \cdot \exp\left[-\frac{(x - \mu)^T \Sigma^{-1} (x - \mu)}{2}\right], \quad (3.18)$$

et $P(A)$, la probabilité d'un ensemble $A \in \mathbb{R}^p$ est donnée par la formule d'intégrales multiples,

$$P(A) = \frac{1}{\sqrt{\det(2\pi\Sigma)}} \int_{A_1} \dots \int_{A_p} \exp\left[-\frac{(x - \mu)^T \Sigma^{-1} (x - \mu)}{2}\right] dx_1 \dots dx_p. \quad (3.19)$$

Toutefois, l'hypothèse de normalité de la distribution des performances du circuit n'est pas toujours vérifiée. *Stratigopoulos et al.* [54] estiment la densité de probabilité à partir d'une méthode non paramétrique. Le calcul de la densité s'effectue aussi à partir d'un échantillon réduit de performances et de critères de test du circuit, mais en utilisant les techniques d'estimation de densité non paramétrique.

Dans les deux cas, le calcul intégral est estimé par un échantillonnage aléatoire de la densité de plusieurs millions d'instances. Par conséquent, la prédiction des métriques définies par (3.14) à (3.17) est obtenue avec un meilleur intervalle de confiance en comparaison avec l'échantillon initial.

3.4.3 Évaluation de techniques de test

L'utilisation de ces métriques de test intervient lorsque le test de toutes les spécifications du circuit est remplacé par un test réduisant le nombre de performances à vérifier ou un test faisant intervenir des mesures différentes des performances mentionnées dans le cahier des charges, comme un test alternatif. En effet, la différence entre l'ensemble des circuits qui passe le test et celui des circuits fonctionnels modifie l'estimation du coût du test du circuit, car il faut ajouter le coût indirect provenant de la perte de rendement et du taux de défauts. Il est possible de minimiser le coût indirect en ordonnant les tests à partir de leurs métriques ou en modifiant les limites de test pour fixer un compromis entre ces objectifs antagonistes.

Ordonnement de tests fonctionnels

Une approche intuitive pour réduire le temps de test consiste à diminuer le nombre de spécifications à tester [81]. Le choix des tests à éliminer se fait en considérant les métriques de test mais sans baisser le rendement de test. La mise en place d'un algorithme efficace constitue le principal enjeu de cette approche. Ainsi, *Milor et al.* [82] proposent une méthode basée sur l'optimisation de la couverture de fautes paramétriques,

$$F_T = \frac{1 - Y_T}{1 - Y}, \quad (3.20)$$

avec Y le rendement et Y_T le rendement de test, définis, respectivement, par (3.14) et (3.15).

L'algorithme proposé commence par choisir le test qui a la probabilité la plus élevée de détecter les circuits défectueux. L'efficacité de chaque test est mesurée par le calcul de F_T pour supprimer les tests, dont la probabilité d'éliminer des circuits défectueux est moindre. En conservant uniquement certains tests, leur ordonnancement s'effectue en fonction du temps de chaque test conservé. En effet, le test s'achevant, dès qu'une des spécifications est violée, le temps moyen de test d'un échantillon peut être réduit en effectuant en premier les tests les plus rapides. L'algorithme d'optimisation est établi en pondérant chaque test par un coefficient exprimé en unités de temps. Enfin, une vérification de la couverture de fautes catastrophiques permet de conclure sur la qualité de la séquence proposée, dont le nombre de tests est éventuellement augmenté en vue d'améliorer le taux de couverture.

L'élimination de certains tests apporte une diminution du temps de test de chaque circuit et l'ordonnement permet une réduction du temps de test sur l'échantillon global de circuits à tester. En revanche, l'algorithme se base sur les résultats de simulations Monte Carlo d'un faible échantillon de circuits électriques. Par conséquent, l'intervalle de confiance sur l'estimation de la couverture de fautes paramétriques est faible.

Pour effectuer une estimation plus précise (ie. en partie par million), *Akkouche et al.* [83] estiment la densité de probabilité des performances du circuit pour procéder au tirage aléatoire d'un large échantillon. Sans tenir compte du temps de test, l'ordre de la séquence est défini en minimisant le taux de défauts (3.17). L'algorithme d'ordonnement se base sur l'optimisation d'un sous-ensemble de tests des spécifications par des algorithmes connus. À chaque itération, les tests donnant un taux de défauts élevé sont remplacés par de nouveaux tests de l'ensemble initial. L'algorithme s'achève lorsque tous les tests ont contribué à l'optimisation du sous-ensemble final.

Choix des limites de test

Bounceur et al. [50] proposent une estimation des métriques de test en fonction des limites de test pour optimiser le rapport entre le taux de défauts et la perte de rendement. Par exemple, un petit nombre de simulations Monte Carlo électriques est effectué en vue d'extraire un échantillon des performances et des mesures de test d'un amplificateur opérationnel (AOP). À partir de cet échantillon, μ et σ , les paramètres définissant la loi paramétrique gaussienne, sont estimés en vue de générer la fonction de densité de probabilité conjointe des performances et des mesures de test du circuit. Ensuite, cette fonction de densité est échantillonnée un grand nombre de fois de manière aléatoire en vue d'approximer les intégrales (3.14) à (3.17). L'optimisation des limites de test s'effectue en déterminant le meilleur compromis entre la perte de rendement et le taux de défauts. La figure 3.14 représente la courbe typique des variations de Y_L et de T_E en fonction des limites de test. Pour une limite de test tolérante, le nombre de circuits défectueux qui passent le test augmente tandis que, pour une limite de test plus stricte, le nombre de circuits fonctionnels qui passent le test diminue. En particulier, en fixant la limite de test à la valeur m_3 , le rapport entre Y_L et T_E est égal à 10.

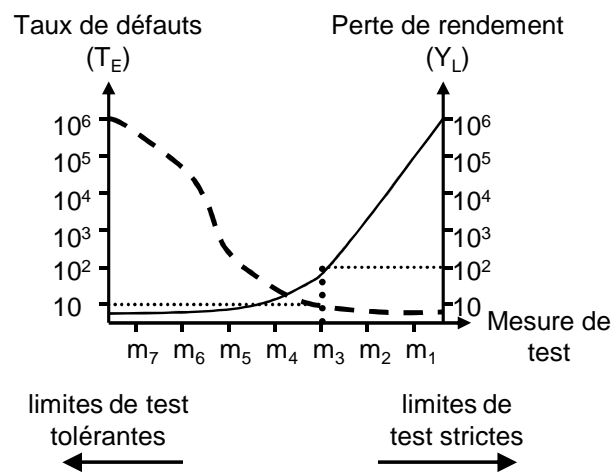


Figure 3.14 – Influence des limites de test sur le taux de défauts et la perte de rendement

Wegener et al. [51] proposent une démarche identique pour simplifier les conditions de test. Une étude statistique permet de définir des limites de test en prenant en compte les variations des circuits en fonction de la température et de la tension d'alimentation. Les limites de test sont fixées en vue d'effectuer une seule mesure à température ambiante et pour une tension d'alimentation minimale. L'enjeu est de déterminer si le circuit est défectueux dans d'autres conditions de fonctionnement. L'étude est conduite à partir d'un petit échantillon de circuits fabriqués et les lois paramétriques sont établies suite à une première analyse de la forme de la densité de cet échantillon. En particulier, le choix d'une loi paramétrique adaptée et les conditions de test du circuit montrent un excellent moyen de réduire le temps de test. Dans ces travaux, les données initiales sont obtenues à partir d'un échantillon de circuits fabriqués, mais l'intérêt est d'autant plus accru si ces données sont synthétisées pendant la phase de conception pour apporter des modifications au circuit virtuel en vue d'améliorer sa testabilité.

Finalement, ces métriques de test sont particulièrement appropriées à l'évaluation du test alternatif, car il ne se base pas sur la vérification des spécifications mais sur le test de mesures simples fortement corrélées aux performances du circuit [84]. La qualité de la corrélation est jugée en estimant les métriques des tests. Cette approche, proposée par *Stratigopoulos et al.* [54], est appliquée à l'évaluation d'un BIST pour un amplificateur faible bruit (LNA) ⁶.

Contrairement aux méthodes de calcul des fonctions de régression, l'estimation de la densité de probabilité conjointe des performances du circuit ne nécessite aucune information sur l'espace initial.

⁶Low-Noise Amplifier

Cet avantage est considérable, car les procédés technologiques sont décrits différemment suivant les modèles utilisés, les paramètres d'ajustement diffèrent aussi avec les modèles et les logiciels de conception assistée possèdent leur propre environnement et méthode de génération d'échantillons aléatoires. Par conséquent, il est plus facile de travailler dans l'espace des performances, domaine connu du concepteur que dans l'espace initial qui appartient plus aux ingénieurs en matériaux.

Cependant, le calcul de fonctions de régression ou l'estimation de la densité de probabilité conjointe requiert un échantillon initial. Cette contrainte est difficilement réalisable en utilisant des simulations Monte Carlo électriques pour des circuits comptant de nombreux composants élémentaires.

3.4.4 Conclusion

Le test fonctionnel réduit les erreurs de classification aux seules erreurs de mesures liées au bruit environnant. Chaque technique de test, qui ne vérifie pas scrupuleusement les spécifications, apporte de nouvelles sources d'imprécisions susceptibles d'augmenter les erreurs de classification. D'autre part, les causes d'un mauvais fonctionnement d'un circuit analogique et mixte sont multiples et leur impact est différent suivant le circuit. Ces différences avec les circuits numériques rendent plus complexes le développement d'outils automatisés permettant l'évaluation de la qualité d'une méthode de test.

Ainsi, deux métriques de test ont été définies dans ce chapitre. La première est basée sur la couverture de fautes catastrophiques et paramétriques. Son estimation dépend fortement des conditions initiales fixées sur le comportement du circuit et sur le type de fautes envisagé. La seconde se base sur la différence entre les performances du circuit et la décision du test de classer ce circuit fonctionnel ou défaillant. Cette métrique apporte une information sur les coûts indirects du test, c'est-à-dire sur le nombre de circuits mal classés, mais sa mise en œuvre nécessite la génération d'un échantillon large de circuits pour estimer un calcul de fonctions intégrales. Or la prédiction par simulations électriques des performances d'un circuit mixte requiert un temps trop important pour appliquer les techniques existantes d'estimation de ces métriques de test.

La partie suivante montre l'intérêt des techniques d'auto-test et, en particulier, l'application de ces techniques pour l'auto-test des CAN. En effet, ces circuits sont présents dans toutes les applications en relation avec l'environnement humain et la mesure de leurs performances statiques et dynamiques requiert des temps de test particulièrement longs.

3.5 Conception en vue du test

Les principes de conception en vue du test sont introduits en fonction du niveau d'abstraction à modifier pour améliorer la testabilité du circuit. Puis, l'état de l'art du test des convertisseurs analogiques-numériques montre que la réduction du coût du test s'appuie sur une approche pragmatique qui consiste à remplacer les tests les plus coûteux par une approche plus économique ou à utiliser des ressources embarquées sur la puce.

3.5.1 Vue d'ensemble

La conception en vue du test (DfT⁷) se définit comme étant l'ajout de composants ou une modification du circuit original pour améliorer l'observabilité, ou la contrôlabilité, ou la couverture de faute, ou encore, pour réduire le coût du test [85]. La figure 3.15 est une manière de classer les différentes formes de DfT en fonction du niveau d'abstraction du circuit à modifier : niveau topologique, électrique, bloc ou système.

Suivant le niveau d'abstraction impliqué, la DfT est regroupable en six catégories

- **Génération de *layout* robustes** : des règles internes de *layout* sont établies avec l'expérience, mais il existe aussi une méthode d'optimisation du dessin des composants élémentaires

⁷*Design-for-Test*

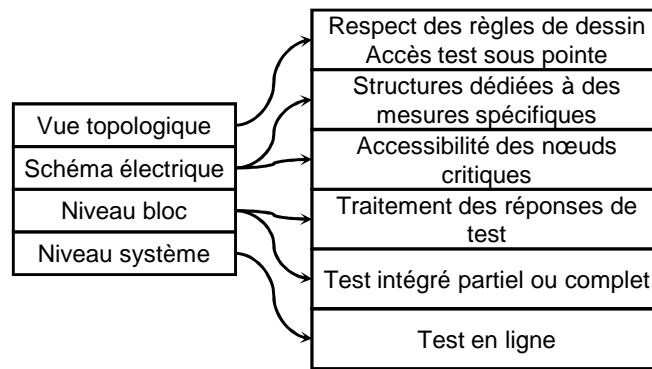


Figure 3.15 – Classement des différentes formes de DfT.

à partir de l'analyse de l'impact des fautes catastrophiques⁸ sur le *layout* [86]. Cette technique augmente la détectabilité d'une faute catastrophique.

- **Amélioration de l'observabilité et de la contrôlabilité** : l'augmentation du nombre de fonctionnalités sur un même circuit implique une diminution de l'accessibilité des différents blocs, particulièrement après la mise en boîtier. La solution apportée pour connecter des nœuds internes aux broches du boîtier consiste à ajouter des multiplexeurs analogiques pilotés par des signaux numériques de test.

D'ailleurs, une norme dédiée au test des systèmes analogiques et mixtes a été mise au point à partir de celle développée pour les circuits numériques [87, 88]. Elle offre une approche standardisée augmentant l'observabilité et la contrôlabilité des nœuds internes du circuit, simplifiant le test et le diagnostic de défauts structurels des interconnexions entre les circuits intégrés. Cette norme permet de tester les circuits soudés sur un même circuit imprimé et les composants discrets tels que des résistances ou des capacités, souvent insérés entre chaque circuit, mais elle n'a pas la volonté de faciliter la mise en place d'un test fonctionnel.

Les différents blocs composant ce standard de test sont représentés sur la figure 3.16. Outre l'utilisation du protocole de test standard IEEE 1149.1 basé sur le contrôleur de registres TAP⁹, la norme possède des multiplexeurs analogiques pilotés par des signaux numériques pour pouvoir augmenter le nombre de nœuds accessibles depuis l'extérieur.

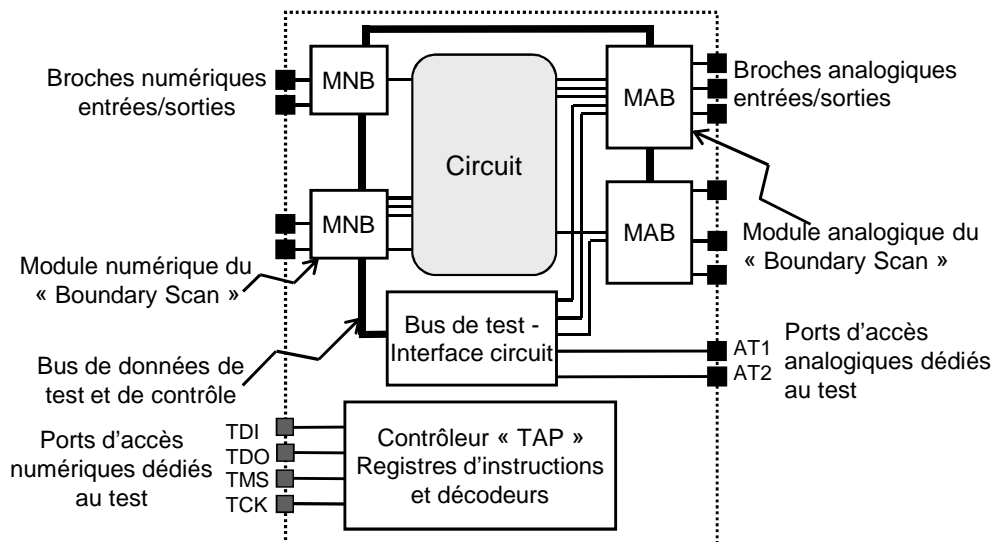


Figure 3.16 – Blocs de test supplémentaires pour implanter la technique de Boundary-Scan analogique.

⁸ IFA : Inductive Fault Analysis

⁹ Test Access Port

Mais les multiplexeurs analogiques sont de simples interrupteurs formés par deux transistors NMOS et PMOS en technologie CMOS et leur ajout ne peut pas se faire sur des noeuds électriques sensibles, car ils modifieraient les performances du circuit. D'autre part, la linéarité de ces transistors varie fortement en fonction de la tension appliquée en entrée et la résistance en série limite fortement la bande passante du système. Par conséquent, l'application de cette norme se limite à de simples tests de tensions statiques et de mesures d'impédance à faibles fréquences. Ils ne constituent pas une solution pour effectuer des tests fonctionnels nécessitant une bonne précision et une mesure des performances pour de hautes fréquences.

- **Unité de traitement du signal dédié au test** : la précision d'un stimulus de test et l'analyse de la réponse est restreinte par les performances et par l'environnement du testeur. La fréquence maximale, l'amplitude ou encore la résolution sont limitées par la fréquence d'échantillonnage des bus de transmission, par les convertisseurs et les composants en série inclus dans les registres analogiques. Le signal de test est aussi dégradé par les câbles électriques reliant la carte de test et le testeur voire les connecteurs de la carte de test. Une alternative se base sur la génération du signal ou l'analyse de la réponse du test par des ressources embarquées. Cette possibilité réduit les coûts liés à la génération par le testeur de vecteurs de test analogiques en contre-partie de l'occupation d'une certaine surface dédiée uniquement au test.
- **Auto-test (BIST¹⁰) complet ou partiel** : une technique d'auto-test permet l'exécution du test complet d'une performance ou de plusieurs performances d'un bloc. Son fonctionnement est piloté de l'extérieur par un signal d'initialisation et l'information retournée correspond au résultat du test, circuit fonctionnel ou défectueux. Un BIST est implanté pendant la phase de conception assurant, ainsi, toutes les ressources nécessaires à la complétion du test. La réutilisation des ressources embarquées en vue du test n'implique pas de modifications du circuit existant et, si plusieurs blocs sont équipés d'un BIST, ces derniers peuvent être exécutés parallèlement pour économiser du temps de test. Par contre, l'intégration d'un test complet nécessite une surface supplémentaire parfois conséquente. Le paradoxe du test intégré repose sur la nécessité d'implanter un système ayant de meilleures performances que le circuit à tester pour une surface occupée au moins 20 fois inférieure. L'intégration d'une technique d'auto-test rentable repose sur la minimisation de l'espace occupée.
- **Test en ligne** : le test en ligne consiste à donner une information sur l'état du circuit sans interrompre son fonctionnement.

3.5.2 Test statique des CAN

La technique de test standard des performances statiques d'un CAN repose sur l'étude de la fréquence d'apparition de chaque code de sortie du convertisseur lorsqu'un signal linéaire ou sinusoïdal est appliqué en entrée [89]. Son intégration fait face au problème de la génération d'un signal de test idéal, c'est-à-dire dont les erreurs de linéarité et le niveau de bruit sont négligeables en comparaison des performances du circuit sous test. L'échantillonnage cohérent d'une rampe représente la méthode la plus rapide en temps de test et la moins complexe en terme de ressources pour effectuer le test statique par histogramme. L'intégration d'un générateur de rampe se base sur la simple charge d'une capacité par un courant. Mais la conservation d'une bonne linéarité sur la dynamique d'entrée du convertisseur est un véritable challenge orientant le test vers de nouveaux stimuli, le signal triangulaire et même des signaux de faible linéarité associés à une technique d'identification des erreurs de linéarité introduites par le stimulus.

Le test par histogramme requiert aussi la mise en mémoire d'un grand nombre de données, car les performances du convertisseur sont calculées uniquement lorsque l'histogramme est complété. Les solutions apportées, en vue de réduire les ressources nécessaires pour intégrer un BIST complet, décomposent le test sur plusieurs séquences consécutives ou modifient le compte de la fréquence d'apparition d'un code pour permettre un accès moins fréquent des registres de test. Moins pragmatique, la modélisation du circuit sous test par un système linéaire réduit considérablement la quantité de données mais les performances ne sont plus calculées mais estimées seulement.

¹⁰ *Built-In Self-Test*

Générateur de rampe intégré

La génération d'une rampe intégrée, proposée par *Provost et al.* [90], fonctionne sur le principe de la charge d'une capacité par un courant constant, comme illustré sur la figure 3.17. Le signal D_{init} sert de remise à zéro de la tension de sortie tandis que l'interrupteur commandé par D_{ramp} permet la charge de la capacité. La linéarité du circuit représenté sur la figure 3.17.(a) est limitée par la résistance de sortie R_o du miroir de courant. En effet, le courant chargeant la capacité n'est plus constant, car le courant parasite traversant R_o dépend de la tension de sortie. Pour éliminer cette erreur, la figure 3.17.(b) introduit un AOP pour charger la capacité. Ainsi, le courant de charge reste constant, car il s'effectue au niveau de la masse virtuelle de l'AOP. Cependant, cette solution apporte une erreur d'offset qui peut être corrigée par un système auto-zéro [91].

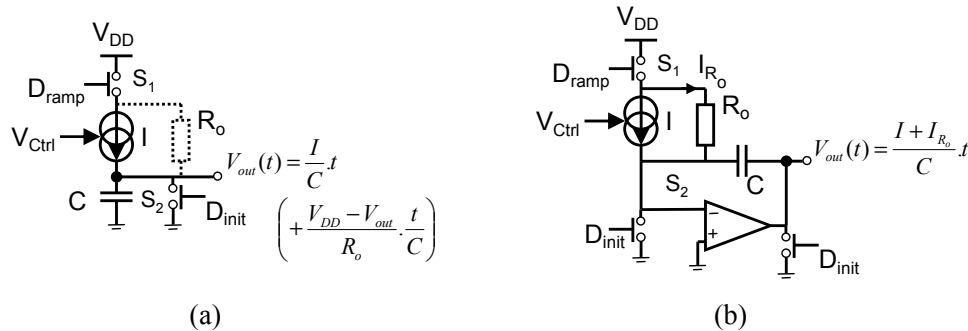


Figure 3.17 – Générateurs de rampe intégrés par charge d'une capacité avec un courant constant, (a) sans et (b) avec correction de l'impédance de sortie R_o .

Enfin, les variations du *process* entraînent une modification de la pente de la rampe pour chaque circuit. Un système de calibration est nécessaire pour compenser ce phénomène. La correction s'effectue en commandant la tension V_{ctrl} à partir d'un système numérique ou grâce à un système rebouclé analogique [90, 92].

L'intérêt de ce BIST est limité par la nécessité d'intégrer une capacité de surface importante pour satisfaire un temps de charge suffisamment long. La conception d'un générateur avec une capacité externe n'est guère profitable, car elle nécessite l'ajout d'un plot de sortie et d'un composant discret supplémentaire sur la borne de test. De plus, la résolution maximale atteinte par simulations est de 16 bits, mais des résultats expérimentaux montrent une réduction significative de plusieurs bits de la linéarité de la rampe, en partie expliquée par les faiblesses du système d'acquisition [93, 94, 95]. Enfin, *Provost et al.* [95] intègrent ce générateur de rampe pour tester et de calibrer un convertisseur pipeline. La rampe est utilisée pour corriger les erreurs de linéarité de chaque étage du convertisseur. La correction permet une réduction de l'erreur de linéarité intégrale de $2.5bits$ à moins de $0.5bits$ pour un convertisseur ayant $10bits$ de résolution. Mais la surface occupée par ce BIST comparée à celle du convertisseur sous test n'est pas mentionnée laissant supposer que des efforts sont encore nécessaires pour rendre cette solution rentable.

Signal triangulaire de faible amplitude

Pour réduire le temps du test standard effectué avec un signal sinusoïdal, *Alegria et al.* [96] établissent un test par histogramme en utilisant un signal de test triangulaire de faible amplitude surimposé à une tension continue, $DC(k)$, $k \in \{0, N_s - 1\}$ avec N_s , le nombre de pas d'incrément. Cette technique permet de conserver la même linéarité sur toute la dynamique d'entrée du convertisseur. En effet, cette dynamique est parcourue en incrémentant seulement la composante continue du stimulus. Sur la figure 3.18, le signal a pour amplitude $2 \cdot A_{signal}$ et N_s incréments sont nécessaires pour parcourir la dynamique d'entrée du convertisseur. La tension $DC(k)$ avec $k \in \{0, N_s - 1\}$ est incrémentée en conservant un recouvrement du signal entre chaque pas. Cette contrainte impose notamment $A_{signal} > \Delta DC$.

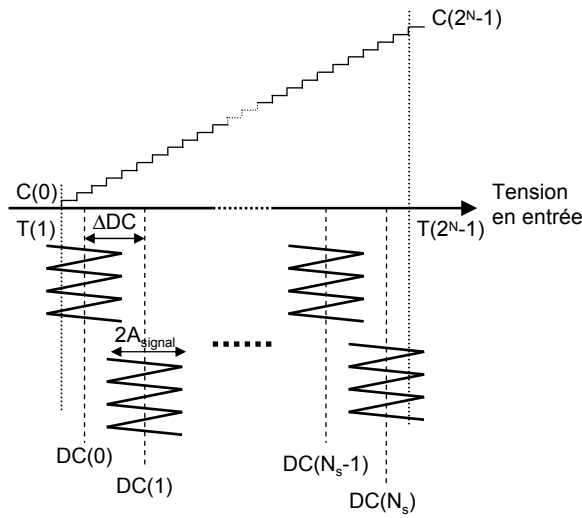


Figure 3.18 – Test par histogramme en reproduisant des signaux triangulaires de faible amplitude pour différentes tensions d’offset.

L’analyse de la réponse sollicite plus de calculs que le simple calcul de la fréquence d’apparition de chaque code. $T(q)$ les tensions de transition d’un code sont exprimées en fonction de $H_C(q)$, l’histogramme cumulé défini par

$$H_C(q) = \sum_{i=1}^q N_{C_i}, \quad (3.21)$$

avec N_{C_i} le nombre d’apparition du code C_i [97, 98].

Ces travaux s’attachent à démontrer l’efficacité de cette technique en termes de précision, de faisabilité et de réduction du temps de test. Par contre, l’élaboration d’un BIST mettant en oeuvre cette technique n’est pas développée et la génération d’un signal triangulaire a été proposée comme solution de test intégré mais le signal est utilisé sur l’amplitude complète du convertisseur [99, 100].

Signal de faible linéarité

Une méthode, proposée par *Parthasarathy et al.* [101, 102], permet d’utiliser un signal de test d’une résolution inférieure au circuit sous test. Cette technique repose sur l’hypothèse selon laquelle les tensions de transition des codes d’un convertisseur de signal sont invariantes. Ainsi, en obtenant deux histogrammes d’un même convertisseur à partir de deux signaux qui diffèrent uniquement par l’ajout d’une composante continue α (cf. figure 3.19), il est possible d’éliminer l’influence du convertisseur sur la réponse de sortie du signal pour calculer les erreurs de linéarité du stimulus de test. Cette première phase d’identification sert à ôter des histogrammes expérimentaux les erreurs liées au signal. L’histogramme reconstruit correspond aux performances statiques du convertisseur testé.

L’algorithme d’identification est basé sur la modélisation du signal de test par la formule,

$$v_{in}(t) = v_{offset} + \eta t + F(t), \quad (3.22)$$

avec v_{offset} la composante continue, η le gain linéaire et $F(t)$ la partie non-linéaire. $F(t)$ est décomposée en une somme de M fonctions $F_j(t)$ ayant des coefficients a_j , telle que

$$F(t) = \sum_{j=1}^M a_j F_j(t). \quad (3.23)$$

Les deux histogrammes $H_{k,1}$ et $H_{k,2}$ sont utilisés pour établir un système d’équations, dont les inconnues sont les coefficients a_j et α . Le nombre d’équations du système étant supérieur au nombre

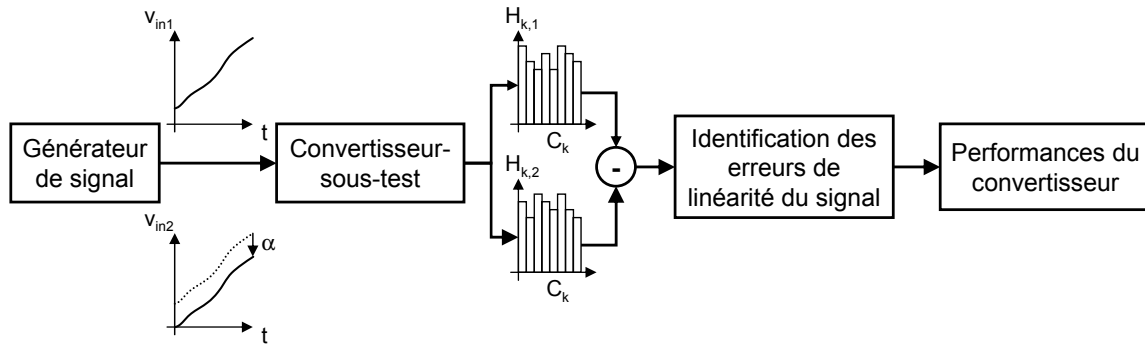


Figure 3.19 – Mise en oeuvre de l’algorithme d’identification et de la suppression des erreurs de linéarité du stimulus de test.

d’inconnues, le système est résolu par la méthode des moindres carrés,

$$\{\hat{a}_j, \hat{\alpha}\} = \min \left\{ \sum_{k=0}^{N-2} \left[\hat{T}_{k,1} - \hat{T}_{k,2} + \sum_{j=1}^M a_j \left[F_j(\hat{T}_{k,1}) - F_j(\hat{T}_{k,2}) \right] + \alpha \right]^2 \right\}, \quad (3.24)$$

avec $\hat{T}_{k,1}$ et $\hat{T}_{k,2}$ les estimations des tensions de transitions du code C_k du convertisseur sous test, obtenues grâce au calcul des histogrammes $H_{k,1}$ et $H_{k,2}$.

En résumé, l’algorithme SEIR¹¹ est formé par les étapes suivantes [102] :

1. Injecter une rampe en entrée du convertisseur sous test
2. Calculer l’histogramme correspondant en sortie du convertisseur
3. Injecter une rampe identique mais décalée par une tension constante
4. Calculer le second histogramme correspondant
5. Faire une estimation des tensions des transitions des codes de sortie en utilisant M constantes a_j qui caractérisent les non-linéarités du signal d’entrée.
6. Utiliser la méthode des moindres carrés pour identifier les M constantes
7. Estimer les transitions à partir de l’identification des a_j
8. Calculer les performances statiques du convertisseur sous test à partir de l’estimation des tensions des transitions des codes de sortie.

La précision de la prédiction des erreurs de linéarité dépend des M coefficients utilisés pour modéliser le stimulus de test, du bruit contenu dans le signal de test et de la dérive de la tension α pendant le test [103]. D’autre part, l’algorithme d’identification des M coefficients nécessitent des ressources embarquées trop conséquentes pour être intégrées dans une solution d’auto-test [104]. Un algorithme plus robuste vis-à-vis des imperfections rencontrées lors d’un test de production est proposé par *Korhonen et al.* [105]. L’identification des erreurs de linéarité du convertisseur sous test s’effectue à partir de la différence et de la moyenne des deux histogrammes obtenus. Cet algorithme permet l’usage d’un signal sinusoïdal comme stimulus de test [106].

Cette technique d’identification des erreurs de linéarité du signal pour calculer les performances statiques du convertisseur sous test constitue une solution à priori viable à la vue des résultats présentés dans les différents travaux cités. Pourtant, son utilisation lors d’un test de production semble compromise par la sensibilité de la technique au bruit environnant. Certes, le générateur de signal requis ne nécessite pas une résolution supérieure au convertisseur sous test mais il doit avoir une précision au moins égale à ce dernier. Plus le niveau de bruit augmente, moins bonne est la prédiction des performances du convertisseur. Enfin, le nombre d’échantillons par code modifie aussi fortement les résultats de la prédiction [105]. Or un grand nombre d’échantillons signifie un temps de test plus long et plus de ressources embarquées.

¹¹ *Stimulus Error Identification and Removal*

3.5.3 Analyse de la réponse

Enfin, le test par histogramme requiert une mémoire capable de sauvegarder un grand nombre de données. Or la transmission de ces données au testeur a un impact considérable sur le temps de test. Par conséquent, la réduction de ce nombre de données représente un gain de temps conséquent. Un autre moyen consiste à considérer que l'ensemble initial des paramètres indépendants est plus petit que l'ensemble final des performances. Un modèle est établi entre ces deux espaces et les mesures de test effectuées servent à calculer les valeurs des paramètres indépendants. La combinaison du modèle et des mesures de test permettent de calculer les performances correspondantes.

Minimisation des ressources

Le test par histogramme étant un test statistique, plus le nombre d'échantillons est élevé, meilleure est la précision du test. La manière standard, illustrée sur la figure 3.20.(a), consiste à mémoriser chaque code pendant la phase d'échantillonnage, puis de rapatrier le contenu de la mémoire dans l'unité de calcul du testeur. Ce dernier compte la fréquence d'apparition des codes pour établir les performances statiques.

Bernard *et al.* [107] limitent les ressources nécessaires au calcul de l'histogramme en décomposant le calcul de chaque performance. Chaque mesure d'une largeur de code requiert l'excitation du convertisseur par le signal de test. Ainsi, l'offset requiert la mesure des largeurs des codes extrêmes, le gain, les mesures de codes symétriques au code central et les erreurs de linéarité différentielle et intégrale, la mesure des largeurs de tous les codes $C_i, i \in [1, \dots, 2^n]$. Ces différentes phases de mesure, illustrées sur la figure 3.20.(b), permettent la réduction des ressources numériques nécessaires pour le BIST à un compteur, un comparateur, un additionneur/soustracteur, 4 registres de mémoire et une machine à états.

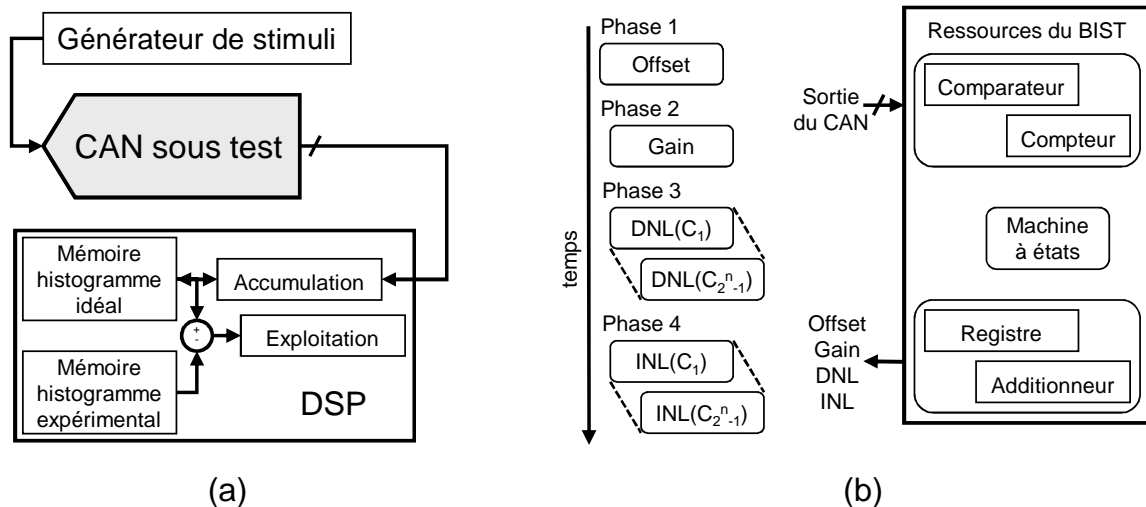


Figure 3.20 – Ressources (a) standard d'un test par histogramme et (b) nécessaires à un BIST utilisant la décomposition temporelle.

Mais cette minimisation des ressources implique un allongement du temps de test intolérable pour des convertisseurs ayant une résolution supérieure à 14 bits [108]. Ren *et al.* [109] proposent, donc, de réduire le temps de test en augmentant légèrement les ressources embarquées. En effet, en s'intéressant à la probabilité d'apparition d'un code en fonction de la tension d'entrée, il est possible de calculer les erreurs de linéarité différentielle et intégrale de tous les codes en appliquant seulement deux fois le stimulus de test et en multipliant par quatre les ressources de test utilisées par la technique de la décomposition temporelle. Finalement, Erdogan *et al.* [91] utilisent un détecteur de transition des codes numériques pour remettre à zéro un compteur évaluant la largeur du code. L'implantation, représentée sur la figure 3.21, requiert aussi un compteur incrémenté à chaque changement de code pour connaître le code de sortie testé. Les ressources nécessaires à la mise en œuvre sont comparables aux techniques proposées précédemment.

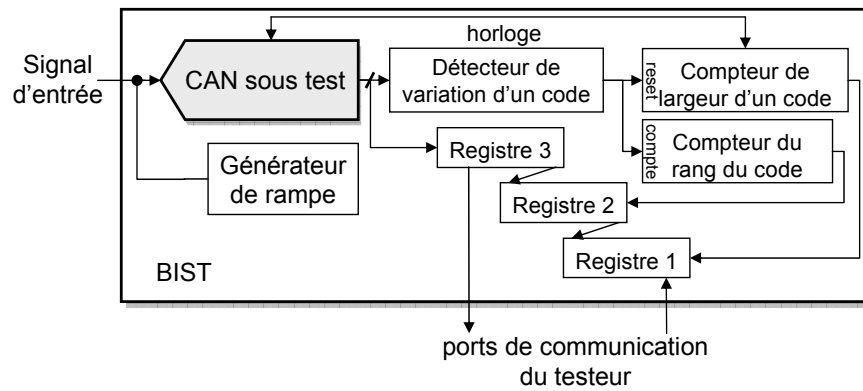


Figure 3.21 – Test par histogramme par simple détection du changement de code.

Modèle linéaire ajusté

L'objectif du test adapté à un modèle linéaire consiste à réduire le nombre de paramètres à mesurer pour déduire les performances du circuit. Cette méthode de test convient au test statique d'un CAN, car elle permet une nette réduction du nombre de codes à mesurer pour estimer ses performances statiques. Les paramètres du modèle et le choix des mesures de test indépendantes sont identifiés à partir d'une caractérisation détaillée du circuit. Ensuite, pendant le test de production, seules les mesures de test sont effectuées pour prédire les performances du circuit.

Le modèle du circuit est représenté par une matrice linéaire à coefficients constants $A \in \mathbb{R}^{m \times p}$, telle que

$$y = A \cdot x + y_0, \quad (3.25)$$

où y représente un vecteur de mesures d'un circuit sous test de dimension m , y_0 le vecteur nominal des mesures et x un vecteur de paramètres du circuit de dimension p [110].

La matrice A se construit à partir d'une matrice Y composée de q vecteurs de dimension n , avec n le nombre de mesures à effectuer et q correspondant au nombre de circuits caractérisés ou simulés. q est choisi supérieur au nombre de paramètres indépendants influençant le fonctionnement du circuit et y_0 est calculé à partir des valeurs moyennes des mesures des q circuits. La figure 3.22 représente les différentes étapes nécessaires au calcul de U_C , la matrice compacte de A à partir d'un échantillon de circuits mesurés Y .

La première étape applique la technique de décomposition singulière (SVT¹²) à la matrice Y pour réduire la dimension de l'espace des paramètres indépendants

$$Y = USV^T, \quad (3.26)$$

où U et V sont des matrices orthogonales et S une matrice diagonale, dont les éléments sont les valeurs singulières associées à la matrice Y . Ensuite, seule la matrice U_C obtenue en conservant les p premières valeurs singulières ($p < q$) est utilisée pour estimer A comme modèle dans le processus de réduction.

À ce stade, un circuit est modélisé par U_C , tel que

$$y = U_C \cdot x, \quad (3.27)$$

avec C l'indice indiquant le fait que la matrice U est tronquée et, que seulement les p premières colonnes ont été retenues.

Désormais il est nécessaire de réduire le nombre de lignes, car il correspond au nombre de mesures à effectuer. Cette réduction ne peut être faite qu'à partir d'une décomposition en valeur singulière pour conserver l'identité des mesures. Par conséquent, la décomposition QR (QRD) est employée

¹²Singular Value Decomposition

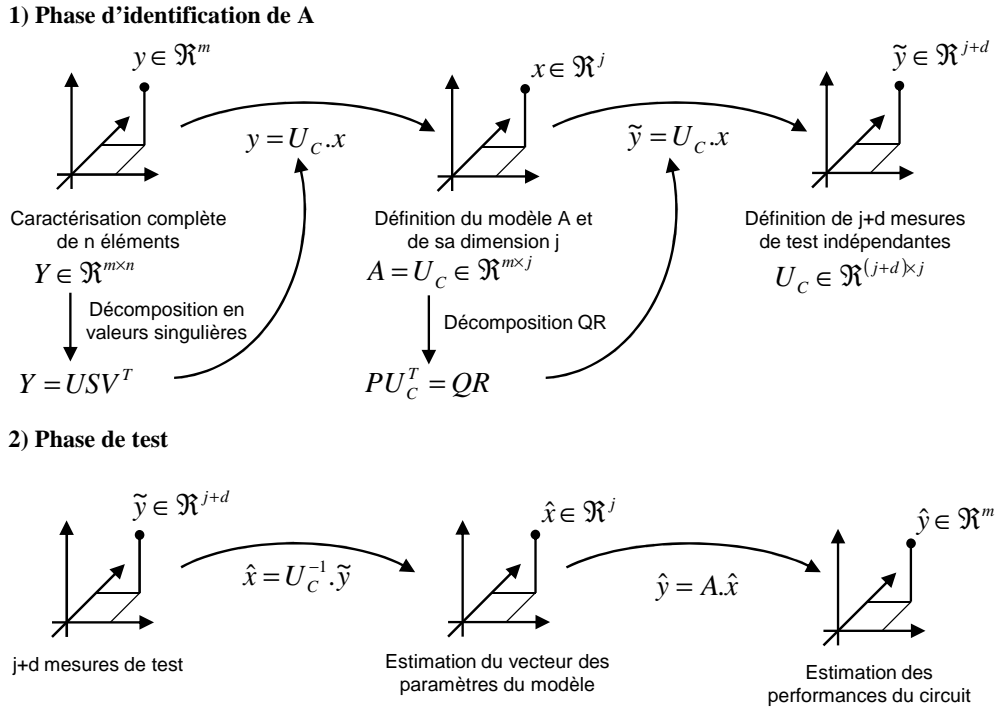


Figure 3.22 – Test par modélisation linéaire.

pour sélectionner seulement les lignes de U_C linéairement indépendantes à conserver dans le modèle. Ainsi, la matrice QRD des lignes de U_C s'écrit

$$P \cdot U_C^T = QR, \quad (3.28)$$

avec P la matrice de permutation des colonnes de U_C^T (lignes de U_C), telle que R décroît monotiquement et Q une matrice avec des colonnes orthogonales.

Pour choisir les mesures de test, les colonnes de U_C^T correspondant aux j plus grandes valeurs sur la diagonale de R sont sélectionnées. Maintenant le modèle U_C est réduit à une matrice de dimension $j \times p$. Cependant, un nombre supérieur au nombre minimal de mesures de test est effectué pour réduire les erreurs dues au bruit et pour apporter une redondance d'informations assurant la détection d'erreurs de modélisation. Cette augmentation du nombre de mesures de test se fait au détriment du temps de test.

Finalement pour valider le modèle il est nécessaire d'utiliser un groupe de vecteurs de mesures complets différent du groupe utilisé pendant la phase de création du modèle. Si l'erreur résiduelle de ce groupe de validation est aléatoire, alors le modèle est considéré comme valide.

Pendant la phase de test, le vecteur \tilde{y} réduit est obtenu grâce aux mesures de test. L'inverse de la matrice U_C permet d'estimer le vecteur représentatif des paramètres du circuit \hat{x} en utilisant la méthode de régression des moindres carrés

$$\hat{x} = \left(\tilde{U}_C^T \tilde{U}_C \right)^{-1} \tilde{U}_C^T \tilde{y}. \quad (3.29)$$

Dés lors le vecteur des performances et des mesures de test complet est estimé en utilisant le modèle A et \hat{x}

$$\hat{y} = U_C \cdot \hat{x}. \quad (3.30)$$

La précision du test dépend principalement de l'ordre du modèle et du bruit dans les mesures des performances de référence. Pour le test d'un CAN de 12 bits de résolution, l'usage du test ajusté par un modèle linéaire permet de réduire significativement le nombre de mesures à effectuer pour estimer les principaux paramètres statiques avec un ordre de précision équivalent au bruit de l'environnement du test [51].

Dans l'exemple précédent, le modèle est établi sans connaissance à priori sur le circuit à tester. Pour les circuits présentant des redondances dans leur architecture comme le CAN de type pipeline illustré sur la figure 3.23, caractériser chaque étage pour reconstruire la fonction complète du système apporte une réduction significative du nombre de paramètres à mesurer.

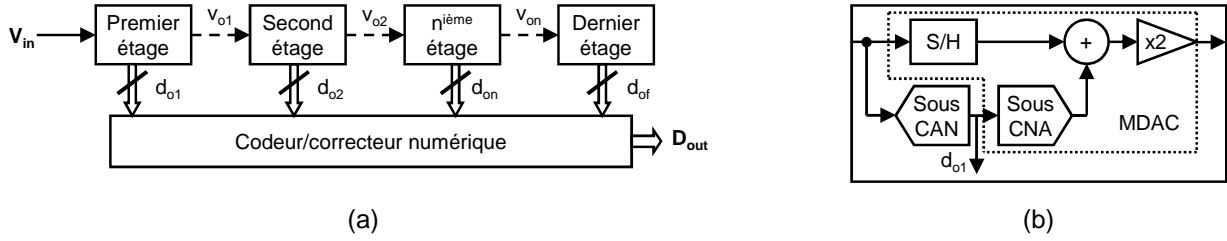


Figure 3.23 – Architecture (a) d'un convertisseur de type pipeline et (b) du MDAC de chaque étage.

Yu *et al.* [111] modélisent chaque étage j par quatre coefficients $\{g_{1,j}, g_{2,j}, g_{3,j}, g_{d,j}\}$ et une relation polynomiale entre les sorties des étages

$$V_j = g_{1,j}V_{j+1} + g_{d,j}V_{DACref} + g_{2,j}V_{j+1}^2 + g_{3,j}V_{j+1}^3, \quad (3.31)$$

avec V_j et V_{j+1} les sorties des étages j et $j + 1$ et V_{DACref} la tension de référence du CNA utilisé dans l'étage amplificateur. Finalement, le nombre total de paramètres décrivant le convertisseur est obtenu en multipliant le nombre de paramètres par étage par le nombre d'étages. Pour ce type de convertisseur, la tension d'offset de chaque étage est regroupée en un unique paramètre V_{offset} .

Lors de l'étape d'identification, l'entrée analogique du convertisseur et le code de sortie sont connus. Plusieurs mesures statiques sont effectuées pour obtenir un système d'équation à $4 \times k + 1$ inconnues avec k , le nombre d'étages du convertisseur. Pour réduire l'influence du bruit, le nombre d'équations du système est supérieur au nombre d'inconnues. La résolution du système d'équations permet d'identifier les $4 \times k + 1$ paramètres du modèle du convertisseur.

Une fois les paramètres établis, le modèle représenté par le système d'équations est, ensuite, utilisé pour calculer les tensions de transition du convertisseur. Comme la modélisation du convertisseur s'obtient en exprimant la tension d'entrée en fonction des codes de sortie, une rampe quasi statique n'est pas nécessaire pour détecter les transitions. Ces dernières sont obtenues à partir des 2^N codes de sortie possibles, avec N , la résolution du convertisseur. Les tensions de transition donnent immédiatement les erreurs de linéarité.

Mais l'identification des paramètres de ce modèle s'effectue au moyen de calculs faisant intervenir des méthodes statistiques de prédiction non linéaires nécessitant plusieurs itérations. Une description des étages d'un convertisseur rendant la phase d'identification plus simple (calculs linéaires uniquement) est adaptée aux convertisseurs pipeline ayant des étages multi-bit redondants [112, 113].

3.5.4 Test dynamique

La technique standard du test dynamique des CAN implique la génération d'un signal sinusoïdal pur [114]. Mais l'intégration de ce générateur représente une surface importante, car elle requiert un filtre passe-bas très sélectif. Par conséquent, la génération de signaux différents combinée à une analyse de la réponse adaptée permet de s'affranchir de cette contrainte. Le test alternatif est une autre piste envisagée, notamment, pour résoudre le problème du test de convertisseurs fonctionnant à très haute fréquence.

Stimulus par modulation $\Sigma\Delta$

La génération d'un signal sinusoïdal, proposée par Lu *et al.* [115], repose sur l'utilisation d'un oscillateur numérique incluant un modulateur $\Sigma\Delta$ dans la boucle de résonance. La figure 3.24 montre

l'architecture de cet oscillateur en sortie duquel un simple filtre passe-bas analogique permet de reconstruire un signal sinusoïdal de haute résolution. D'autre part, la fréquence d'oscillation est réglée numériquement par l'oscillateur, donc elle est insensible aux variations du *process*.

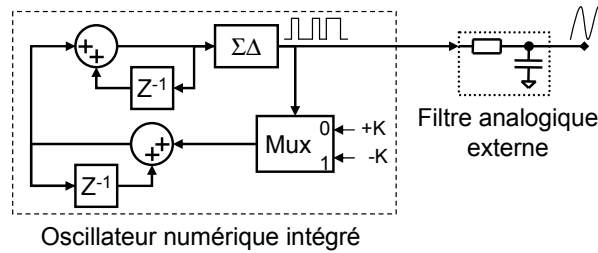


Figure 3.24 – Génération d'un signal sinusoïdal à partir d'un oscillateur numérique.

Ce générateur de signal est inclus dans une technique de test pour des circuits mixtes, détaillée par *Toner et al.* [116]. Dénommée MADBIST¹³ et représentée sur la figure 3.25, cette technique est entièrement intégrée si une unité de traitement de signal numérique est disponible sur la puce.

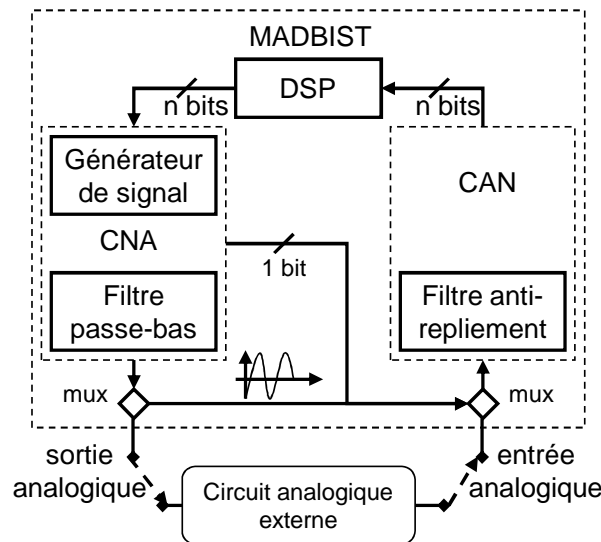


Figure 3.25 – Auto-test d'un CAN par un CNA comme générateur de signal de test.

Cette unité de test a pour vocation le test d'un CAN intégré avec un filtre anti-repliement. Cette première étape est effectuée en injectant directement le train binaire en entrée du filtre anti-repliement qui reconstruit le signal analogique excitant le convertisseur. Une fois les performances du convertisseur testées, le signal est routé filtre passe-bas du générateur de signal avant d'être injecté de nouveau dans le CAN. Cette seconde étape est nécessaire à la caractérisation du filtre passe-bas. Ensuite, le signal de test étant caractérisé, il est utilisé pour tester des circuits analogiques externes.

Test d'une chaîne de CNA-CAN

Un autre moyen d'intégrer une technique de test est d'utiliser les ressources embarquées sur la puce. Récemment les circuits de télécommunication intègrent au moins un CAN et CNA. Une boucle entre ces deux circuits, comme illustrée sur la figure 3.26, permet d'effectuer un test uniquement à partir de signaux numériques. L'enjeu de ce type de test repose sur la capacité de différencier les erreurs de linéarité introduites par chaque circuit, car les performances obtenues au bout de la chaîne CNA-CAN ne permettent pas d'identifier précisément le fonctionnement correct de chaque circuit [117]. La solution repose sur l'introduction dans la boucle d'un système permettant de discriminer les performances des deux circuits. Ce système s'accompagne aussi d'algorithmes spécifiques d'analyse de la réponse.

¹³ *Mixed Analog Digital BIST*

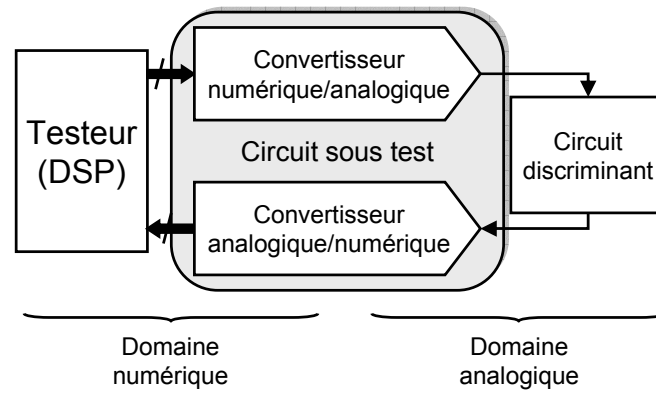


Figure 3.26 – Structure d'un test en chaîne de circuits mixtes.

Différents circuits ont été proposés pour l'identification des performances de chaque convertisseur. La figure 3.27.(a) représente la technique décrite par *Huang et al.* [118] pour améliorer la précision d'un CNA à courants commutés sur plusieurs intervalles de tension inférieurs à la pleine échelle. Le test du CAN est effectué en générant le stimulus de test à partir du CNA et d'une tension d'offset introduite pour parcourir la pleine échelle du CAN. Une fois les performances du CAN déterminées, le test du CNA s'effectue en utilisant le CAN. *Kerzerho et al.* [119] estiment la distorsion harmonique de chaque CAN et CNA si plusieurs d'entre eux sont embarqués dans un même circuit. La figure 3.27.(b) est une illustration de ces travaux, dans lesquels un additionneur permet de combiner différemment les signaux de plusieurs CNA. Toutefois, l'algorithme d'identification est établi en négligeant l'influence des harmoniques contenues dans les CNA, hypothèse non vérifiée si ce dernier présente des erreurs de linéarité importantes. Par conséquent, *Park et al.* [120] reprennent le principe d'identification des performances de chaque convertisseur en utilisant un additionneur et un moyenneur. La séquence d'identification commence par stimuler deux CAN à partir d'un seul CNA. Puis les mêmes CAN à partir du second CNA et enfin un seul CAN à partir d'une combinaison des deux CNA. Le moyenneur est utilisé pour obtenir une relation indépendante supplémentaire permettant de calculer les harmoniques de chaque convertisseur ainsi que pour effectuer une mesure du bruit. Cette implantation permet donc le calcul du THD, du SNR et du SNDR. Enfin, *Korhonen et al.* [121] appliquent la séquence de test nécessaire à l'estimation des erreurs de linéarité du stimulus de test. L'algorithme correspondant extrait en sortie de la chaîne les performances du CAN en éliminant les erreurs de linéarité du CNA.

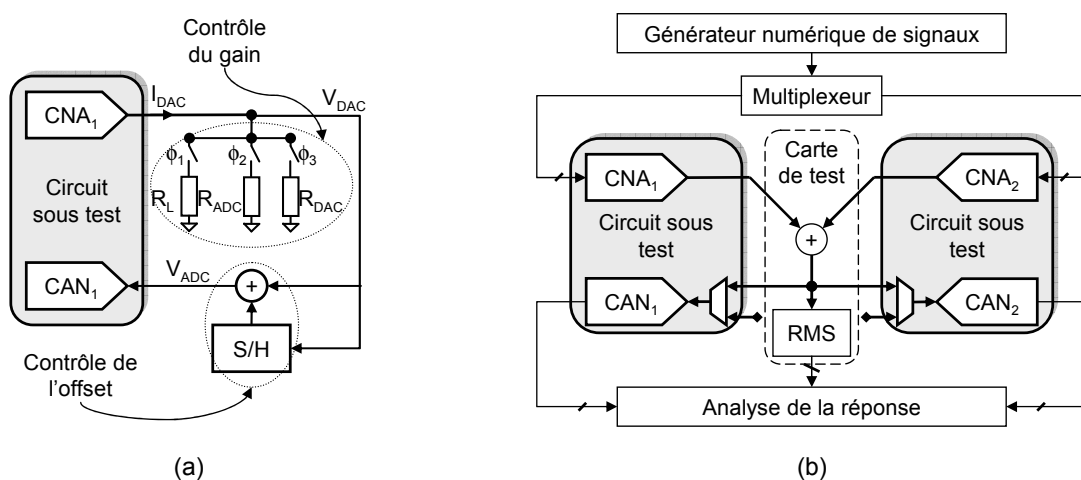


Figure 3.27 – Circuits de discrimination basés (a) sur la variation du gain et de l'offset du CAN et (b) sur l'addition et le calcul de la moyenne quadratique de plusieurs CAN.

Estimation de l'amplitude des harmoniques

La mesure de la distorsion provoquée par l'introduction d'un CAN dans une chaîne de transmission d'un signal constitue une information essentielle à l'évaluation de la qualité du système. En effet, le niveau de bruit est fixé par conception, soit, car le bruit de quantification est dominant, soit par des sources physiques, dont la valeur est déterminée par des constantes physiques, propriétés géométriques, etc. La distorsion est fonction du signal d'entrée et reste, donc, plus difficile à établir correctement. Elle est souvent mesurée dans le pire cas des conditions de fonctionnement établies selon l'expérience.

Pour estimer les harmoniques, le gain et l'offset d'un CAN, *Sunter et al.* [122] utilisent un signal de type exponentiel généré par des pulsations de largeur modulée (PWM¹⁴) injectées en entrée d'un filtre passe-bas. La figure 3.28.(a) illustre le signal de test numérique provenant du générateur PWM en entrée du filtre passe-bas et le signal en sortie de ce dernier.

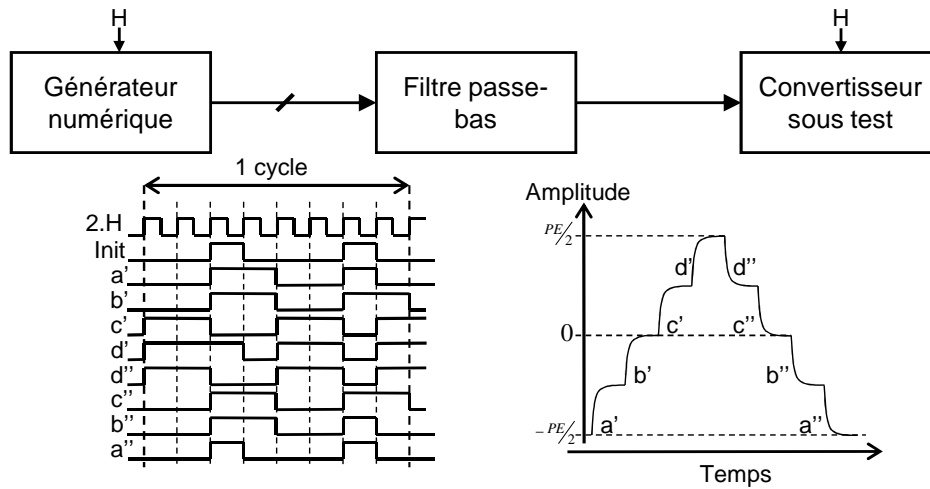


Figure 3.28 – (a) Filtrage de pulsations modulées en largeur pour la génération d'un stimulus de test de type exponentiel et (b) représentation de S_E , l'intégrale du signal exponentiel.

Ensuite, l'intégrale, représentée sur la figure 3.28.(b), s'exprime indépendamment de la constante de temps τ du filtre

$$S_E = A_E \cdot T, \quad (3.32)$$

avec A_E , l'amplitude finale du signal exponentielle. Cette mesure équivaut à échantillonner une rampe d'amplitude A_E à l'instant T .

Finalement, le calcul des performances s'effectue en sommant les échantillons en sortie du convertisseur pour estimer les quatre intégrales $\{S_{E\{a',a''\}}, S_{E\{b',b''\}}, S_{E\{c',c''\}}, S_{E\{d',d''\}}\}$ [123]. De plus, il existe une relation entre les coefficients β_i avec $i \in \{0...3\}$ et $S_{E\{x',x''\}}$ avec $\{x', x''\} \in \{a, b, c, d\}$, en considérant que la réponse du système s'ajuste à un polynôme d'ordre 3 défini par

$$y = \beta_0 + \beta_1 \cdot x + \beta_2 \cdot x^2 + \beta_3 \cdot x^3. \quad (3.33)$$

Plus exactement, en exprimant y , la sortie du système, en fonction d'un signal sinusoïdal, telle que

$$y = \alpha_0 + \alpha_1 \cdot \cos(\omega t) + \alpha_2 \cdot \cos(2\omega t) + \alpha_3 \cdot \cos(3\omega t), \quad (3.34)$$

alors, les coefficients $\alpha_i, i \in \{0...3\}$ s'expriment par

$$\begin{aligned} \text{Offset} & \alpha_0 \propto B_0, \\ \text{Gain} & \alpha_1 \propto B_1, \\ 2^{\text{nd}} \text{harmonique} & \alpha_2 \propto B_2 \\ 3^{\text{ième}} \text{harmonique} & \alpha_3 \propto B_3, \end{aligned} \quad (3.35)$$

avec $B_i, i \in \{0...3\}$, des coefficients exprimés par un système linéaire des valeurs de $S_{E\{x',x''\}}$.

¹⁴Pulse Width Modulation

La mise en place d'un test alternatif permet de réduire les erreurs de prédiction du générateur de signature d'environ $2dB$ pour un CAN de 14 bits ($SNR \approx 86dB$). L'introduction du générateur de signature dans un test cascade un CAN et un CNA est plus intéressante, car le masquage entre les erreurs de linéarité des deux composants est mieux détecté.

Enfin, le test alternatif permet aussi de simplifier l'analyse de la réponse. *Shin et al.* [117] proposent une solution permettant, aussi, le test d'une chaîne en cascade d'un CAN et d'un CNA, en insérant, comme circuit discriminant, un filtre de signal sur la carte de test. Leur technique est représentée sur la figure 3.31. Le signal de test est obtenu par le mixage de deux signaux sinusoïdaux de fréquence différente. Le signal de test est un signal sinusoïdal composé de plusieurs harmoniques liés à l'intermodulation des deux signaux d'entrée. Le filtre, placé sur la carte de test, permet de retrouver les paramètres liés au fonctionnement du CNA, mais la résolution théorique permettant de calculer les harmoniques d'ordres supérieurs à trois met en jeu des équations non-linéaires difficiles à résoudre. Pour s'affranchir de la résolution de ce système complexe d'équations, une fonction de régression est construite à partir d'un échantillon limité de circuits.

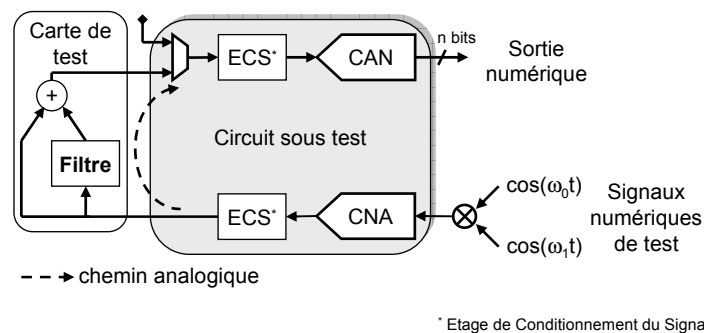


Figure 3.31 – Test alternatif appliqué à la résolution d'équations non-linéaires.

Les travaux présentés sur le test alternatif ont des résultats encourageants par simulation mais les résultats obtenus à partir de la mesure d'échantillons réels restent mitigés, car pour une quantité faible de circuits (< 100), au moins un circuit présente une large erreur de prédiction. Cependant, la fonction de régression est élaborée à partir d'un petit nombre de circuits, ce qui explique en partie l'erreur commise dans la prédiction de la performance par le test bas coût.

3.6 Conclusion

Le test des circuits analogiques et mixtes représente une part conséquente du coût de production obligeant les industriels à trouver des techniques plus économiques et aussi fiables que le test basé sur la vérification des spécifications. Le test structurel, efficace dans le domaine numérique, s'adapte difficilement aux circuits analogiques et mixtes et les résultats obtenus restent insuffisants pour convaincre de la fiabilité de la méthode. En effet, la continuité des signaux, l'optimisation des vecteurs de test à partir d'une liste empirique et la diversité des fautes à modéliser sont des obstacles supplémentaires qui mettent en doute la détection correcte de tous les circuits défectueux. Son application est réduite à la détection de fautes catastrophiques pendant le test sur *wafer*. Le test alternatif, basé sur une étude statistique préliminaire, estime à partir de mesures simples effectuées sur un petit échantillon de circuits si le circuit est fonctionnel ou défectueux. Comme les spécifications ne sont pas directement vérifiées, la corrélation entre les résultats du test et la classification des circuits est approximative, et plus ennuyeux encore, la précision de cette approximation n'est pas disponible. Enfin, une approche différente consiste à conserver le test par spécifications, mais de réduire son coût soit en facilitant son implantation et en augmentant l'observabilité et la contrôlabilité des signaux à mesurer, soit en intégrant tout ou une partie seulement des systèmes dédiés à la mesure des performances, ou enfin soit, en simplifiant le stimulus de test pour s'affranchir de contraintes liées à l'appareillage externe.

Mais, indépendamment de la solution envisagée, la modification de la stratégie de test a un impact sur le rendement de test et l'économie faite sur les coûts directs peut être très fortement réduit par les pertes sur les coûts indirects, comme l'augmentation de la perte de rendement ou du taux de défauts. Par conséquent, il est nécessaire d'estimer ces pertes pendant la phase de conception pour calculer le coût global du test.

L'objet du prochain chapitre est de présenter une méthodologie susceptible de répondre aux problèmes posés par une estimation des métriques de test en partie par million pour des circuits analogiques et mixtes complexes.

Flot de conception en vue du test

De nombreuses solutions de test économiques ont été présentées dans le chapitre précédent. Pourtant ces solutions sont rarement intégrées dans le flot de production industrielle, car la fiabilité d'un circuit a un impact considérable sur la confiance des clients et sur la visibilité de l'entreprise. Le changement est considéré si le risque couru peut au préalable être identifié et quantifié. Les différents coûts d'un test standard sont estimés avant la production du circuit, mais en l'absence d'informations sur la qualité des nouvelles techniques de test, leur mise en place avance à tâtons.

Ce chapitre propose d'ajouter des métriques de test comme la perte de rendement ou le taux de défauts (métriques rappelées au chapitre 3.4) aux critères d'évaluation d'une technique de test. L'estimation de ces métriques avant la production du circuit favorise la mise en place d'un flot de conception en vue du test. La méthodologie proposée utilise les outils et les résultats nécessaires à la conception *simple* de circuits intégrés mixtes. Contrairement aux travaux proposés par *A. Bounceur* [3], cette méthodologie s'applique aussi aux circuits, dont la complexité ne permet pas d'évaluer toutes les performances par simulations électriques.

Après une présentation des outils de conception, une vue d'ensemble de la méthodologie permet de préciser les tenants et les aboutissants de la conception en vue du test appliquée aux circuits mixtes. Ensuite, chaque étape de la méthodologie est détaillée en mettant en emphase les efforts spécifiques liés à l'estimation des métriques de test. Son application est illustrée dans le chapitre 6.

4.1 Méthodologie de conception en vue du test

Cette première partie présente les outils de l'environnement de conception des circuits intégrés, les grandes lignes de la méthodologie proposée et se termine par les conditions nécessaires à sa mise en œuvre.

4.1.1 Contexte industriel

La miniaturisation et l'augmentation du nombre de fonctionnalités contraignent fortement l'environnement de conception des circuits intégrés. La conception *Top-Down* introduite au second chapitre est un processus de développement optimisé pour réduire le temps de mise sur le marché d'un nouveau produit en garantissant un rendement de production élevé. L'introduction d'une nouvelle méthodologie de développement, qui prend en compte la conception en vue du test est envisageable si elle est adaptée à l'environnement existant. La méthodologie proposée se base sur l'estimation des métriques de test pendant la phase de conception et nécessite la prédiction des performances et de la réponse de test d'un circuit en prenant en compte les variations des paramètres du *process*. Cette prédiction s'effectue au moyen de simulations électriques pour les circuits élémentaires, mais pour des circuits mixtes complexes le temps de simulation est trop long pour être compatible avec la durée de la phase de développement. Pour s'affranchir de ces temps de simulation excessifs, la conception *Top-Down* est largement utilisée dans l'industrie pour développer de nouveaux produits dans des délais raisonnables. Elle s'appuie sur une hiérarchisation des différents niveaux de modélisation du circuit.

D'autre part, comme la conception de circuits s'effectue avec différents procédés technologiques, les logiciels de conception ont des fonctionnalités adaptées pour évaluer l'impact des variations des paramètres d'un procédé sur le fonctionnement du circuit. Ce type de simulation permet de synthétiser un nombre représentatif de circuits pour vérifier leur robustesse face aux aléas de la production. Cette étape intervient pendant la phase de vérification des performances de chaque circuit élémentaire. Elle implique la création de bancs de simulations¹ électriques, dont la réalisation a pour but d'extraire les performances en reproduisant le plus fidèlement possible l'environnement de fonctionnement du circuit.

La méthodologie proposée conserve la hiérarchisation établie pour obtenir une description des circuits non seulement par leurs performances mais aussi par leurs réponses aux techniques de test à évaluer. De la même manière, les efforts supplémentaires sont minimisés en utilisant les résultats des simulations effectuées pour concevoir le circuit. Le principe est d'élargir la vérification de la robustesse du circuit à la génération d'un échantillon permettant d'estimer les métriques de test en partie par million.

Les efforts spécifiques augmentent le coût du développement du circuit mais permettent la réduction du temps de la phase de test. En effet, l'étude de la testabilité du circuit en amont de la phase de production implique une meilleure coordination entre l'équipe de conception et l'équipe de test. Les connaissances de l'architecture du circuit permettent aux ingénieurs de conception de corriger d'*un coup de crayon* les noeuds critiques repérés pendant le développement de la séquence de test. En plus, l'évaluation des risques venant d'une modification du circuit peut encore être effectuée par des simulations complémentaires.

4.1.2 Vue d'ensemble

Les métriques de test s'évaluent théoriquement à partir de la fonction intégrale de la densité de probabilité conjointe définie dans l'espace des performances et des mesures de test. Pour établir cette densité, il est supposé que chaque circuit est testé une première fois par le test de référence puis une seconde fois avec la technique de test en cours d'évaluation. Ainsi, un échantillon de N circuits est divisible en quatre sous-ensembles représentés sur la figure 4.1. N_{func} est l'ensemble des circuits fonctionnels, c'est-à-dire les circuits respectant toutes les spécifications, N_{def} l'ensemble des

¹testbench

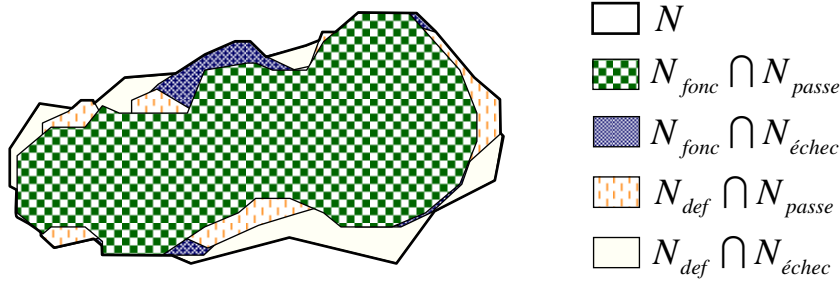


Figure 4.1 – Représentation d'un échantillon de circuits en fonction de leurs performances et de leurs réponses de test.

circuits ne respectant pas au moins une des spécifications, N_{passe} l'ensemble des circuits qui passent le test avec succès et N_{echec} les circuits rejetés par le test. Les intersections de ces ensembles servent à estimer les métriques de test. En effet, pour $N \gg 1$, cet échantillon est considéré comme statistiquement représentatif de la densité de probabilité conjointe et la fonction intégrale est approchée par le simple dénombrement des circuits classés selon leur appartenance aux différents sous-ensembles.

La méthodologie proposée consiste premièrement à construire une fonction F reliant l'espace des paramètres du *process* à l'espace des performances et des mesures de test correspondantes. Cette fonction est utilisée pour générer un échantillon représentatif des conditions de production à partir d'une description statistique des paramètres du *process*. Plus formellement, soit $X_k = \{x_1^k, \dots, x_n^k\}$ un vecteur représentant les paramètres du *process*, et F la fonction représentant le circuit complet. Les q performances $P_k = \{p_1^k, \dots, p_q^k\}$ et les r mesures de test $M_k = \{m_1^k, \dots, m_r^k\}$ du circuit k sont définies par

$$(P_k, M_k) = F(X_k, I), \quad (4.1)$$

avec I l'ensemble des stimuli nécessaires au calcul des performances et des mesures de test.

Pour des circuits de taille raisonnable, la fonction F est réalisée par des simulations électriques au niveau transistor. Dans le cas de circuits mixtes complexes, la fonction F est réalisée par la composition de plusieurs fonctions G , H , etc... Par exemple, la fonction H représente l'ensemble des simulations électriques des sous-circuits d'un bloc complet. La fonction G décrit l'ensemble des simulations utilisant comme paramètres d'entrée les résultats de la fonction H et donnant les performances du bloc. L'ensemble de départ est constitué par les paramètres du *process* et l'ensemble d'arrivée, par les performances et les mesures de test du circuit simulé.

La figure 4.2 présente la vue d'ensemble de la méthodologie permettant d'estimer les métriques de plusieurs techniques de test associées à un circuit mixte. Cette méthodologie utilise le modèle comportemental créé au début de la phase de conception pour prédire les performances du circuit et propage la corrélation entre les paramètres physiques X aux performances P et aux mesures de test M malgré l'introduction d'un niveau d'abstraction intermédiaire. Enfin, elle minimise le temps nécessaire à la génération d'un échantillon représentatif de l'environnement de production.

La première étape consiste à extraire les performances d'un échantillon réduit de circuits élémentaires. Le choix des circuits à simuler est fixé par le modèle comportemental, car chaque paramètre comportemental correspond à une performance d'un circuit élémentaire. Cet échantillon est généré en effectuant des simulations Monte Carlo électriques des circuits élémentaires. Cette première étude statistique permet de propager les caractéristiques du *process* et des paramètres de conception (les dimensions des composants élémentaires principalement) à un niveau supérieur d'abstraction, le niveau comportemental. Pendant cette étape, les résultats des simulations effectuées en vue d'étudier la robustesse des circuits sont réutilisés ainsi que les bancs de simulation électriques correspondants.

Dans la seconde étape, la densité de probabilité conjointe des paramètres comportementaux est estimée à partir d'une loi non-paramétrique. Ainsi, un tirage aléatoire de cette densité permet d'augmenter la taille de l'échantillon des circuits en conservant la corrélation entre chaque paramètre.

La troisième étape est une étape intermédiaire nécessaire à l'entraînement des fonctions de régres-

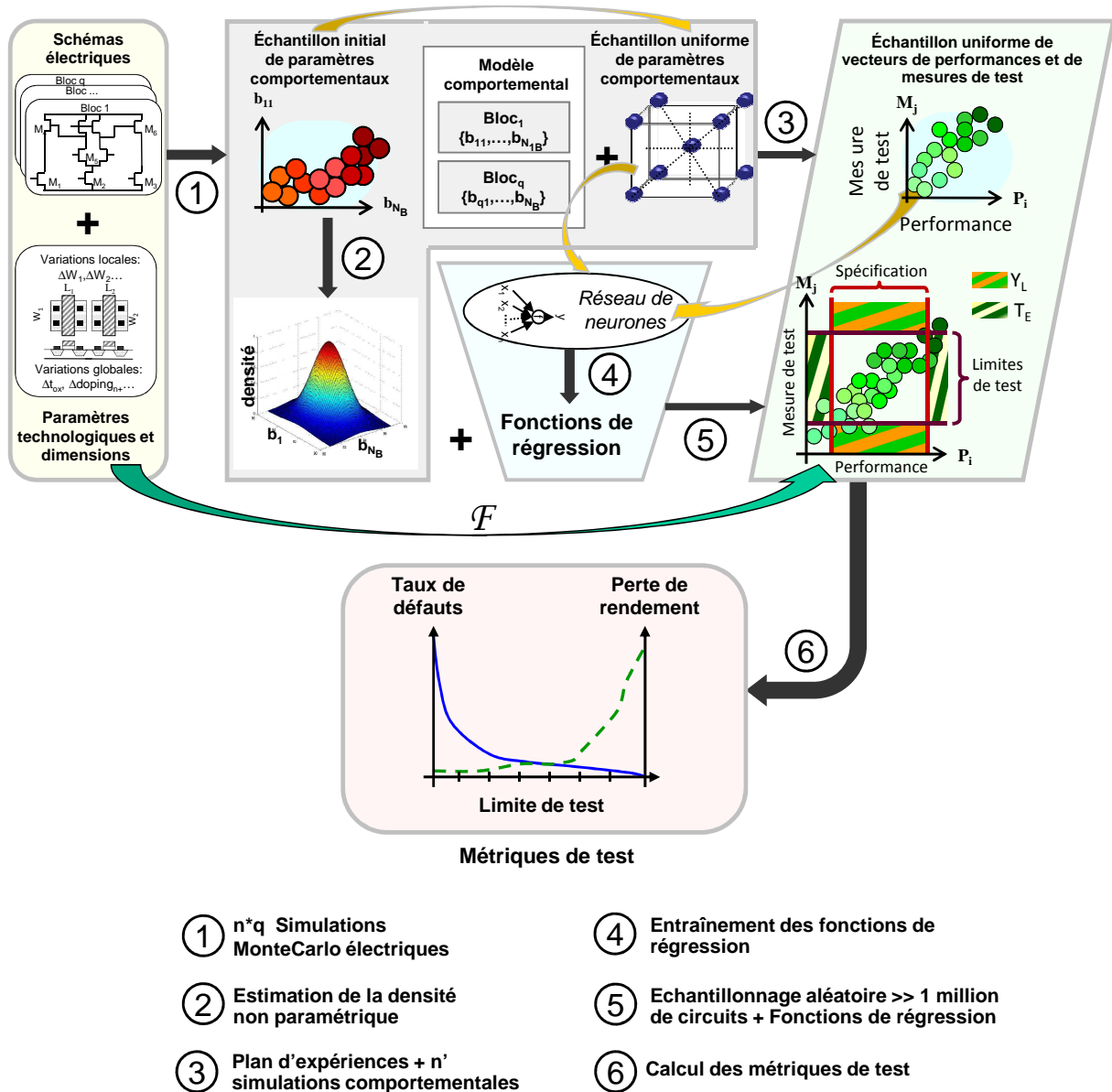


Figure 4.2 – Vue globale de la méthodologie de conception en vue du test proposée.

sion calculées pendant la quatrième étape. Le recours aux fonctions de régression permet d'accélérer le temps de calcul des performances et des mesures de test des circuits. Ainsi, la génération d'un large échantillon représenté par les performances et les réponses de test des circuits s'obtient en appliquant les fonctions de régression aux échantillons générés par la densité (étape 5).

Finalement, les métriques de test sont obtenues en classant les circuits dans les différentes catégories définies par les métriques de test. Par exemple, un circuit fonctionnel n'ayant pas passé le test augmente la perte de rendement. A contrario, un circuit défaillant classé dans les circuits ayant réussi le test augmente le taux de défauts. L'évaluation de chaque technique se fait en comparant leurs métriques de test.

Aucune modification de l'environnement de conception n'est nécessaire pour appliquer la méthodologie, car elle utilise le modèle comportemental existant et les résultats des simulations électriques vérifiant la robustesse du circuit. Les efforts à consacrer proviennent de l'introduction de l'estimation d'une densité de probabilité conjointe ainsi que du calcul des fonctions de régression. Ces deux outils mathématiques sont des fonctions souvent prédéfinies dans les logiciels de calculs numériques.

4.1.3 Domaine d'application

La méthodologie s'applique indépendamment de la nature du circuit modélisé. Elle est adaptée à une modélisation, dont la hiérarchie est établie par une relation entre les paramètres des différents niveaux. Seules deux conditions sont nécessaires à sa mise en œuvre :

1. L'existence d'une description statistique du *process*

L'estimation des métriques de test s'effectue en remplaçant l'intégration d'une densité de probabilité par le dénombrement d'un large échantillon représentatif des conditions de production du circuit. Par conséquent, la description statistique du *process* sert comme modèle de l'environnement de production. Chaque vecteur échantillonné correspond à un circuit, dont la probabilité d'être produit est non nulle.

La description de ces propriétés statistiques rend un *process* attractif, car elle contribue au développement de circuits robustes et optimisés en surface, en puissance consommée et en nombre de fonctionnalités embarquées. L'investissement initial pour effectuer les mesures de caractérisation est rentabilisé par l'augmentation du rendement de production des circuits. Si le fondeur ne vend pas de circuits, la qualité du *process* est un argument pour attirer des clients.

2. La pertinence du modèle comportemental

Cette seconde condition implique déjà l'existence du modèle comportemental. Au regard de la littérature et du retour d'expérience de partenaires industriels, la réalisation de modèles comportementaux fait partie intégrante de la conception d'un circuit mixte dans le milieu industriel. Cette tâche est accomplie avec plus d'aisance pour les circuits mixtes récents, car ils bénéficient de l'expérience acquise sur les modèles élaborés pour les générations précédentes. Si l'existence est facile à établir, la pertinence est moins évidente à démontrer. La pertinence représente la précision du modèle, c'est-à-dire sa capacité à reproduire l'impact des variations des paramètres le constituant sur les performances du circuit. Cette condition augmente la difficulté du modèle dont la précision ne se juge plus uniquement sur sa capacité de reproduire la réponse de sortie du circuit pour un stimulus donné mais aussi sur la réponse du circuit en fonction des variations de ces paramètres descriptifs. La littérature juge que la pertinence des modèles comportementaux est suffisamment bonne pour prédire correctement les performances d'un circuit mixte vis-à-vis des variations de ces paramètres descriptifs. Du moins, c'est la conclusion des travaux décrits dans le second chapitre (paragraphe 2.2.2) ou plusieurs modèles décrivant de manière différente un même circuit s'attribuent ce mérite. Une autre forme de justification provient du maintien de l'utilisation des modèles comportementaux pendant la phase de développement d'un circuit. En effet, si leur introduction était une source significative de perte de rendement dans les lignes de production, leur utilisation aurait disparue !

Finalement, l'environnement industriel de conception de circuits intégrés respecte les deux conditions nécessaires à la mise en place de la méthodologie proposée.

4.2 Mise en œuvre

La méthodologie proposée s'adapte au flot de conception actuelle et requiert un minimum d'efforts à condition de prendre les précautions nécessaires à l'accomplissement de chaque étape. Ces précautions sont détaillées dans cette partie.

4.2.1 Échantillon des paramètres comportementaux

L'extraction d'un échantillon des paramètres comportementaux s'effectue à partir de n simulations Monte Carlo du modèle électrique des circuits élémentaires. La valeur n est un compromis entre la durée des simulations et la précision de la description statistique initiale. Plus ce nombre est élevé, plus longues sont les simulations, mais meilleur est l'intervalle de confiance de l'estimateur des propriétés statistiques [127]. Un seul échantillon de vecteurs des paramètres du *process* est utilisé

pour extraire les performances de tous les circuits élémentaires. Cette remarque a une conséquence importante car les simulations Monte Carlo de circuits différents n'entraînent pas forcément le tirage du même échantillon de vecteurs par le logiciel de CAO. Il est important de vérifier l'unicité de l'échantillon initial pour les simulations de tous les circuits élémentaires. Enfin, les déviations paramétriques globales et locales sont prises en compte pour améliorer la vraisemblance.

De plus, le modèle comportemental est établi en supposant que chaque circuit élémentaire respecte une plage de fonctionnement. L'extraction des paramètres comportementaux doit respecter ces hypothèses pour garantir un calcul précis des performances du circuit modélisé. Par exemple, *Malcovati et al.* [25] décrivent le comportement de l'intégrateur à partir d'un amplificateur opérationnel (AOP) caractérisé par sa fréquence unitaire, son gain en boucle ouverte et son *slew-rate*. Cette description est valable en considérant un modèle d'amplificateur avec un seul pôle. Pour appliquer ce modèle à un amplificateur ayant deux étages, il est supposé que le comportement de ce dernier est identique au comportement d'un amplificateur ayant un seul étage. Cette hypothèse est vérifiée si la marge de phase est suffisamment importante pour négliger l'influence du second pôle sur la réponse du circuit [128]. Par conséquent, la vérification de cette hypothèse oblige l'extraction de la marge de phase même si ce paramètre ne fait pas partie des paramètres utilisés dans le modèle comportemental. Les figures 4.3.(a) et 4.3.(b) représentent la fréquence unitaire en fonction de la marge de phase d'un AOP à deux étages. L'échantillon *A* présente une bande passante inférieure à la bande passante de l'échantillon *B*. Cependant, la marge de phase de l'échantillon *B* est trop faible pour assurer la stabilité de l'AOP. Les simulations comportementales de ces deux échantillons donneraient de meilleures performances à la population *B*, car sa bande passante est plus élevée. Pourtant, un fonctionnement stable de cet AOP est improbable.

Outre le respect des hypothèses formulées pendant le développement du modèle comportemental, les contraintes relatives à la conception des circuits élémentaires sont aussi à considérer pendant l'extraction des vecteurs comportementaux. Par exemple, l'appariement de deux composants élémentaires est une information supplémentaire. Le tirage aléatoire d'un échantillon de deux composants diffère fortement suivant la prise en compte de leur appariement. La figure 4.4.(a) montre la distribution statistique du composant élémentaire C_{a1} et la figure 4.4.(b) l'écart de valeur entre ce

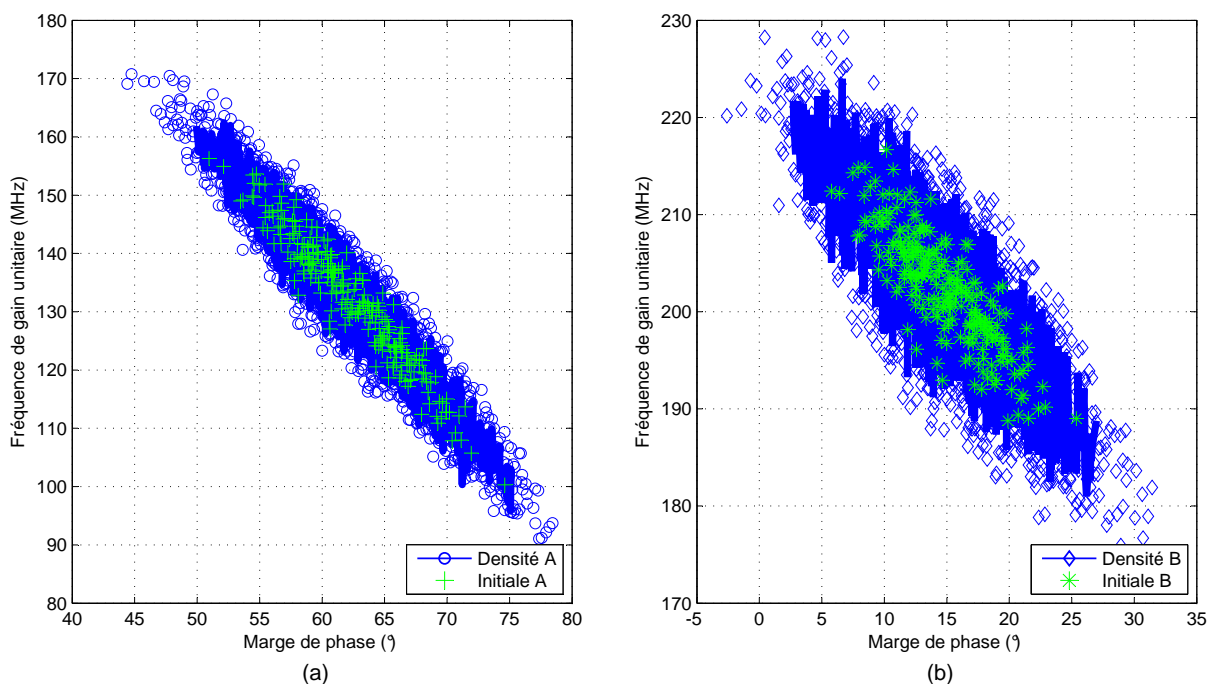


Figure 4.3 – Expression de la fréquence unitaire d'un AOP en fonction de la marge de phase : (a) circuits robustes et (b) circuits instables

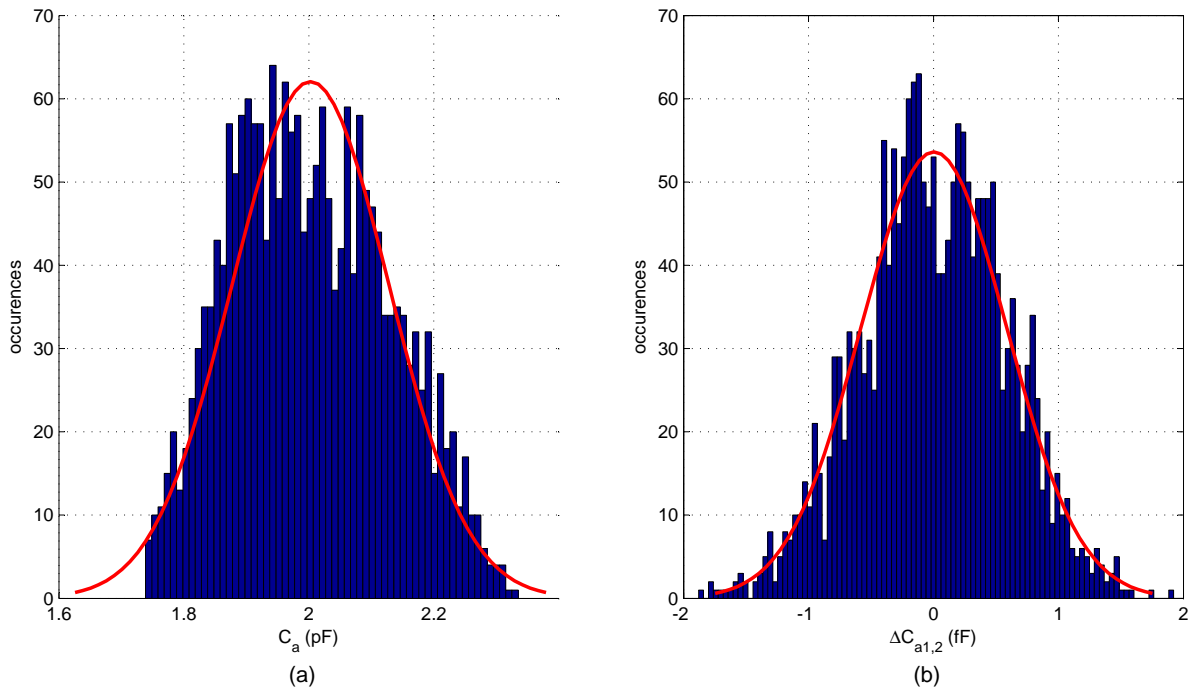


Figure 4.4 – Appariement de deux capacités : (a) déviations globales et (b) déviations locales.

même composant et un composant apparié C_{a2} . Globalement C_{a1} et C_{a2} varient de plus ou moins 15% mais leur écart reste toujours inférieur à 0.1%. Ces deux figures ont été obtenues par simulations Monte Carlo électriques d'un modèle de capacités prenant en compte l'appariement (cas des capacités de haute précision).

En l'absence de ce modèle, la distribution de composants appariés s'effectue en considérant seulement les déviations globales d'un des deux composants puis en générant les valeurs du second composant à partir de la loi d'appariement, souvent mentionnée dans les règles de conception ou de dessin.

L'optimisation des dimensions des composants élémentaires est une étape indispensable de la phase de conception du circuit. Elle s'effectue au moyen de simulations électriques, dont la réalisation constitue un effort de travail conséquent. En effet, les bancs de simulations comprenant le circuit élémentaire, le stimulus électrique et l'analyse de la réponse visent à reproduire fidèlement l'environnement de fonctionnement du circuit dans le bloc complet pour extraire les performances les plus proches de la réalité. Ainsi, l'extraction des vecteurs comportementaux ne représente pas une étape supplémentaire spécifique à la mise en place de la méthodologie proposée. De la même manière, les simulations électriques Monte Carlo effectuées pour estimer la robustesse du circuit servent à extraire l'échantillon initial des paramètres comportementaux. Pour appliquer notre méthodologie, ce nombre doit être le plus élevé possible mais l'effort à fournir est minime, car ce type de simulations se déroule automatiquement.

Dès que l'échantillon initial est établi, l'utilisation de simulations électriques n'est plus nécessaire, car la densité de probabilité calculée à l'étape suivante sert à propager la corrélation provenant des paramètres du *process* et des dimensions des composants élémentaires.

4.2.2 Estimation de la densité de probabilité

Différentes possibilités permettant l'estimation de la densité de probabilité ont été présentées dans le chapitre 2.3.5. Les densités paramétriques sont applicables si les paramètres comportementaux ont une densité de probabilité représentée par une loi de densité connue. Cette condition est trop restrictive pour que les densités paramétriques existantes couvrent avec précision un ensemble multi-dimensionnel de paramètres comportementaux d'un circuit. Par conséquent, les lois

non-paramétriques, plus générales, s'adaptent mieux à la génération d'un échantillon des paramètres comportementaux. Mais la construction d'un *kernel* unique pour l'ensemble des paramètres comportementaux ne permet pas de considérer précisément la corrélation spécifique entre deux composants appariés. Cette particularité provient de l'indépendance de la loi régissant l'appariement vis-à-vis des autres paramètres du *process*.

Ainsi, la figure 4.5.(a) représente l'estimation de la densité de probabilité conjointe de deux capacités appariées en estimant leur densité à partir de l'échantillon initial. Sur la figure 4.5.(b), l'appariement est matérialisé en utilisant un paramètre pour échantillonner la valeur globale tandis que la différence entre les deux paramètres sert à attribuer la valeur du second composant élémentaire. Dans ce second cas, la densité de probabilité conjointe de ces deux composants correspond mieux à l'échantillon initial.

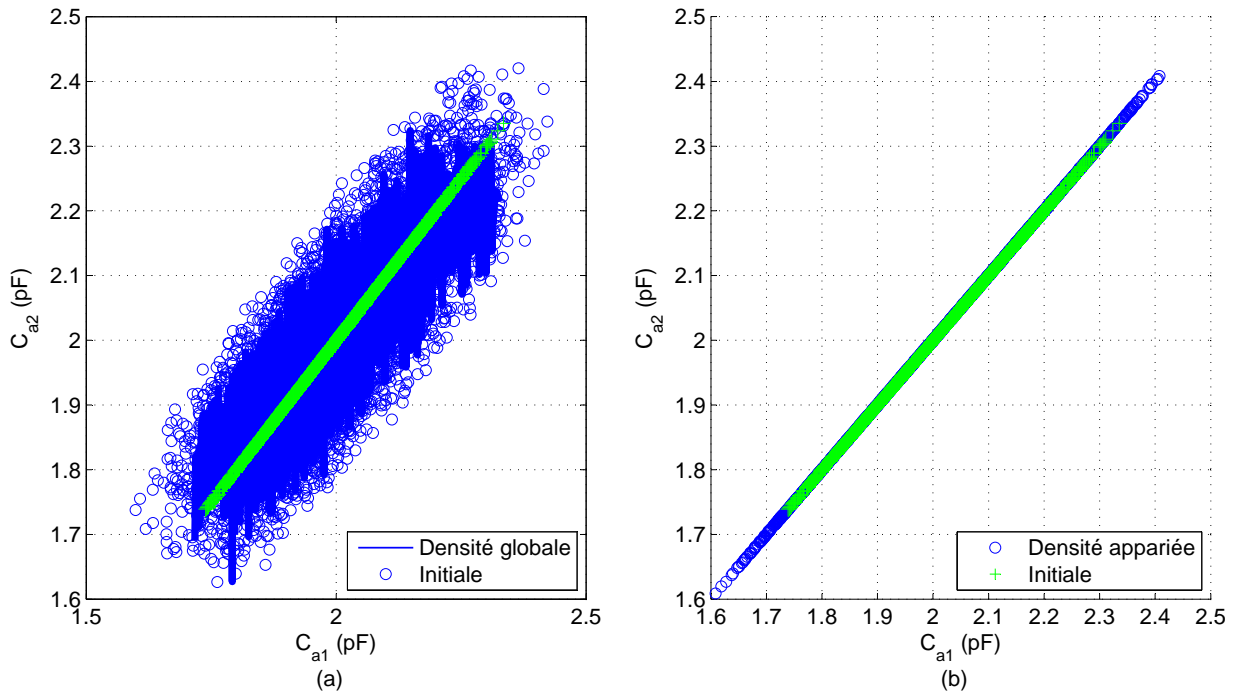


Figure 4.5 – Estimation de la densité de probabilité de deux composants : (a) non appariés et (b) appariés.

Contrairement à l'extraction de l'échantillon initial des paramètres comportementaux, l'estimation de la densité de probabilité ne fait pas partie de la phase de développement du circuit. Mais la génération de la densité s'effectue à partir de fonctions existantes dans l'environnement de logiciels couramment utilisés. D'autre part, le résultat d'un échantillonnage plus large de la densité se compare facilement avec la distribution de l'échantillon initial.

À la fin de cette étape, les simulations d'un large échantillon des vecteurs obtenus par un tirage aléatoire de la densité de probabilité permettraient de générer des circuits décrits par leurs performances et les mesures de test correspondantes. Mais la durée des simulations comportementales de l'ensemble serait encore trop importante en comparaison des délais de conception d'un circuit. Une seconde méthode consisterait à simuler l'échantillon initial des vecteurs comportementaux pour propager la corrélation de l'espace initial à l'espace des performances et de mesures de test. La densité de probabilité conjointe pourrait alors être estimée dans l'espace des performances et des mesures de test et les métriques de test seraient calculées à partir d'un échantillonnage de cette densité. Cette possibilité présente deux inconvénients. Le premier provient de la sensibilité du calcul de la densité en fonction de la précision des résultats de simulation et le second est la perte de l'information de l'impact des variations d'un paramètre comportemental sur la variation des performances et des mesures de test. Cette information est utile pour effectuer une recherche pour identifier les

paramètres comportementaux responsables d'une perte de rendement ou de mauvaises métriques de test.

La solution proposée est le calcul de fonctions de régression, car le nombre de simulations est limité à la taille d'un plan d'expérience établi dans l'espace comportemental et, car leur construction réduit l'impact des imprécisions provenant des résultats de simulations comportementales.

4.2.3 Fonctions de régression

Pour calculer une fonction de régression entre les paramètres comportementaux et l'espace des performances et des mesures de test, il est nécessaire d'obtenir un échantillon d'entraînement constitué par des vecteurs répartis uniformément sur l'espace comportemental [49]. Cette répartition est obtenue en utilisant deux plans d'expérience, le plan hypercube latin et le plan composite centré. Les résultats des simulations comportementales de ce nombre restreint de vecteurs servent à entraîner les réseaux de neurones utilisés pour calculer les fonctions de régression.

Plan d'expérience

Le rôle du plan d'expérience est primordial dans la précision des estimations fournies par les fonctions de régression. En effet, le domaine de validité des fonctions de régression est limité par l'espace couvert par les échantillons d'entraînement. Ainsi, les plans d'expérience choisis couvrent complètement l'espace comportemental. D'autre part, le calcul des valeurs des performances et des mesures de test d'un même circuit a une précision limitée. Mais en augmentant le nombre de simulations autour de la zone de probabilité d'existence d'un circuit la plus élevée, la fonction de régression obtenue réduit les petites variations des performances et des mesures de test. Pour respecter ces conditions, deux plans d'expérience sont utilisés dans la génération de l'échantillon d'entraînement. L'échantillonnage par le plan hypercube latin assure une bonne répartition des vecteurs d'entraînement dans la zone de probabilité élevée tandis que l'échantillonnage par le plan composite centré permet de prendre en compte l'influence des paramètres comportementaux extrêmes.

Cependant, les plans d'expérience sont établis en considérant chaque paramètre indépendant. Or les paramètres du modèle comportemental sont pour la plupart corrélés. Sur la figure 4.6.(a), les croix représentent l'échantillon initial de deux paramètres comportementaux obtenus par simulations Monte Carlo électriques et les cercles, l'échantillon uniforme correspondant obtenu en appliquant le plan hypercube latin. De nombreux vecteurs sont éloignés de l'échantillon initial indiquant que leur probabilité d'apparition pendant la production est très faible. Pour améliorer la répartition des échantillons, l'espace des vecteurs comportementaux est transposé dans un espace dans lequel la corrélation entre les vecteurs est minimisée. Ce nouvel espace est obtenu en effectuant une analyse en composante principale (ACP). Ce type d'analyse a pour principal intérêt de diminuer la dimension de l'espace d'entrée en ne considérant que le sous-espace ayant le plus fort impact sur les sorties du système modélisé. Cette propriété est notable pour des systèmes présentant un espace d'entrée très large. Dans le cas présent, l'intérêt d'appliquer l'ACP est d'obtenir une meilleure correspondance entre le plan d'expérience et les données de notre système. Sur la figure 4.6.(b), l'ACP est appliquée à l'échantillon initial des vecteurs comportementaux avant de faire correspondre les vecteurs de l'échantillonnage latin. La répartition de la nouvelle distribution représentée par les losanges '◇' respecte bien la forme de l'échantillon initial. La différence est d'autant plus visible que la corrélation entre les paramètres initiaux est importante comme le montre la figure 4.7 sur laquelle sont représentées l'échantillon initial, uniforme sans et avec le traitement des données par une analyse en composante principale de deux composants appariés.

L'ensemble des vecteurs résultants de l'échantillonnage latin forme un nuage plus large que l'échantillon initial pour couvrir l'ensemble créé par le tirage d'un million de circuits. Le second plan d'expérience est un plan composite centré. La figure 4.8 représente l'échantillon d'entraînement des fonctions de régression qui combine les points obtenus en utilisant le plan composite centré et les points obtenus par le plan latin. Le point central fait parti de l'échantillon ainsi que quelques points éloignés de l'échantillon initial pour prendre en compte les larges déviations des paramètres du *process* dans le calcul des fonctions de régression.

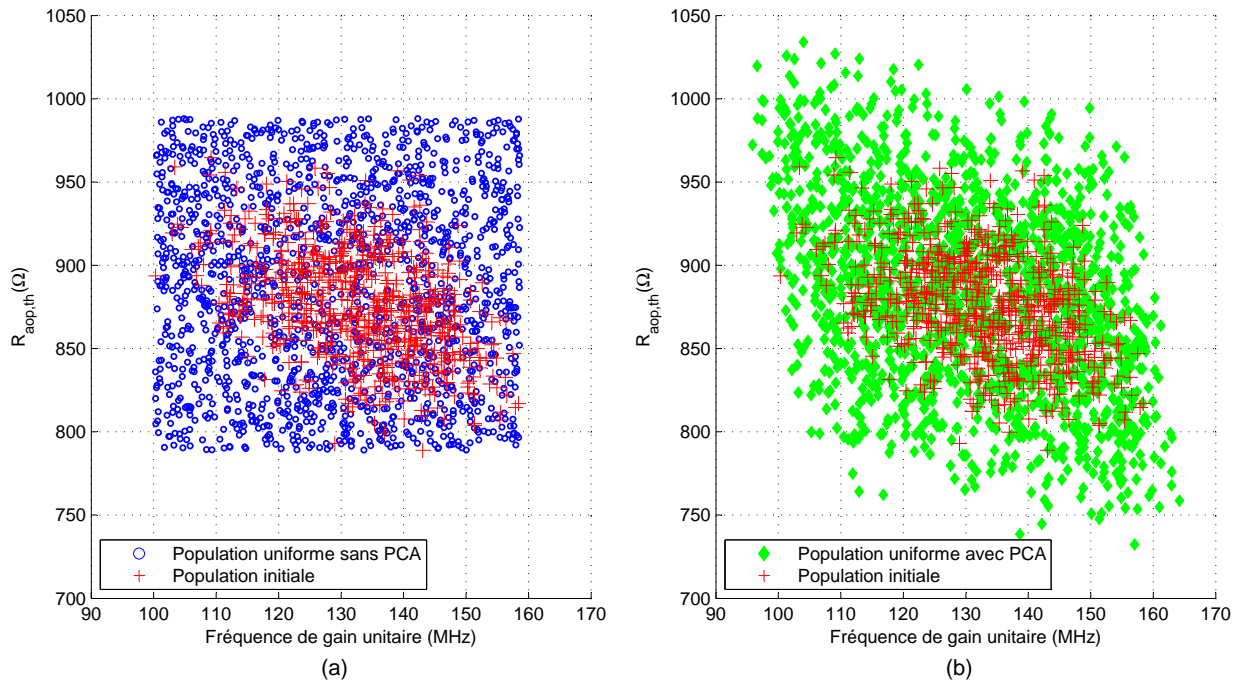


Figure 4.6 – Échantillonnage des paramètres comportementaux par un plan d'expérience latin : (a) en l'absence de l'ACP et (b) après application de l'ACP.

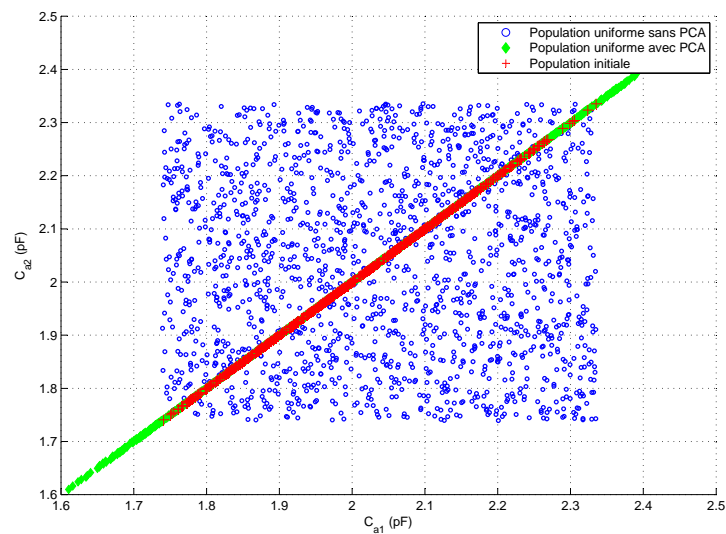


Figure 4.7 – Échantillonnage par un plan d'expérience latin des paramètres comportementaux pour deux composants appariés.

Pour résumer, le diagramme bloc des étapes exécutées pour générer un échantillon d'entraînement est représenté sur la figure 4.9. L'analyse en composante principale nécessite une étape préliminaire qui consiste à normer les vecteurs des paramètres comportementaux. Ensuite, une simple correspondance des valeurs minimales et maximales de chaque paramètre du nouvel espace est adaptée aux vecteurs proposés par le plan hypercube latin. L'adaptation au plan d'expérience composite centré s'effectue de la même manière. L'échantillon d'entraînement des fonctions de régression est obtenu en appliquant la transposée inverse de l'ACP aux nouveaux échantillons. La dernière étape permet de retrouver les valeurs non normées de chaque paramètre. Comme pour l'estimation de la densité, ces fonctions sont prédéfinies dans les logiciels courants de calcul numérique.

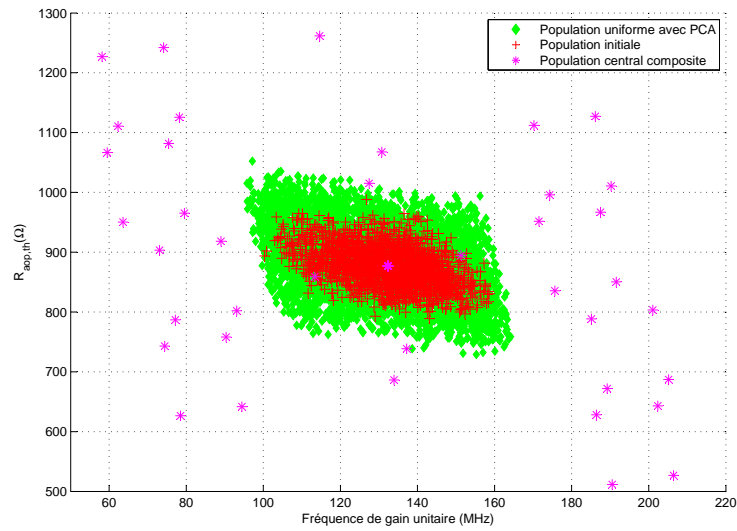


Figure 4.8 – Distribution quasi uniforme de l'espace des paramètres comportementaux.

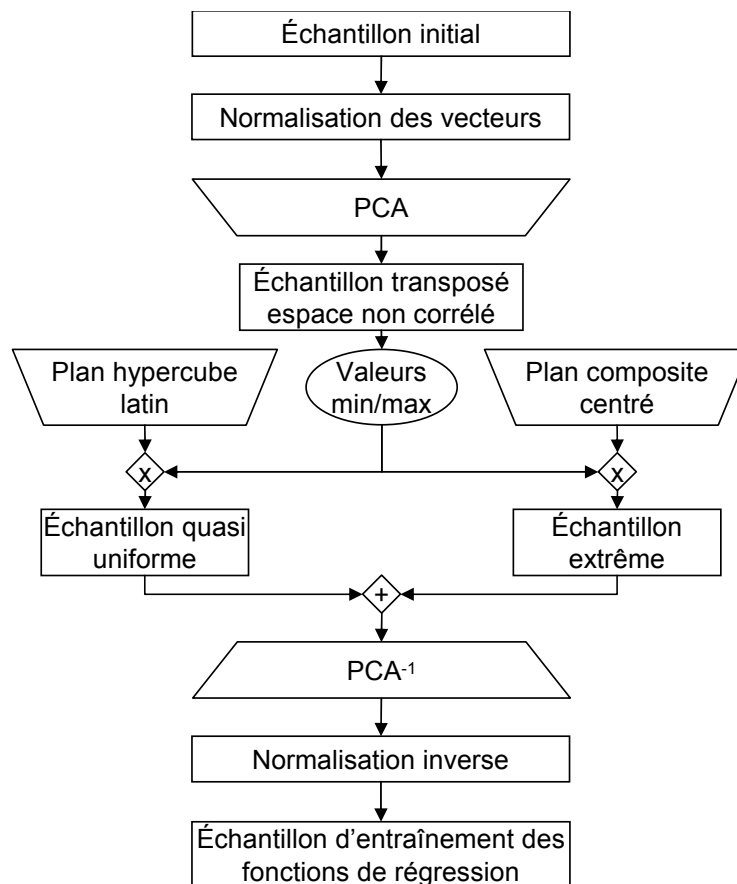


Figure 4.9 – Diagramme bloc des étapes successives générant l'échantillon d'entraînement des fonctions de régression.

Simulations comportementales

Les simulations comportementales du plan d'expérience permettent de calculer les performances et les mesures de test correspondantes. Le nombre de simulations à effectuer dépend de la taille du plan d'expérience et du nombre de performances et de mesures de test à estimer. Les bancs de simulation pour le calcul des performances du circuit reproduisent idéalement le banc de test de production respectant la norme de calcul de la dite performance. Cette reproduction comprend le choix du type de stimulus ainsi que l'analyse de la réponse. Pour la plupart des circuits, un standard industriel est défini pour établir une mesure de la valeur de la performance. La reproduction de ce standard permet de générer l'échantillon de référence, c'est-à-dire les résultats de ces simulations permettent de déterminer si le circuit est fonctionnel ou défaillant. Ensuite, le nombre de mesures de test dépend du nombre de techniques de test à comparer ainsi que du nombre de mesures à effectuer par test. Le surcoût en temps de simulation pour évaluer une technique de test s'évalue au cas par cas, mais il reste faible en comparaison du temps nécessaire à la conception d'un circuit mixte.

Un autre facteur influençant le temps nécessaire à la génération de l'échantillon d'entraînement provient du temps de simulation de chaque circuit. Malgré la bonne reproductibilité des résultats d'une simulation numérique, les valeurs des performances et des mesures de test obtenues par simulation d'un même circuit diffèrent, car les sources de bruit sont modélisées. Pour établir correctement les fonctions de régression, la variation des résultats liée aux imprécisions de simulation doit être inférieure à la variation provenant des valeurs des paramètres comportementaux.

Par exemple, la figure 4.10 illustre la variation du calcul du rapport signal sur bruit avec distorsion (SNDR²) obtenu par simulations d'un modulateur $\Sigma\Delta$ en fonction de la taille du train binaire considéré en sortie du modulateur. La déviation standard est limitée par les signes 'x'. Les signes ' Δ ' et ' ∇ ' limitant les segments clairs sont les valeurs minimales et maximales obtenues à partir de seize fois le calcul du SNDR. Les valeurs des déviations standard, des minimums et des maximums sont réduites avec la taille de l'échantillon pour atteindre une limite autour de $0.1dB$. Cette valeur est comparée avec l'exécution de 100 simulations de circuits différents cette fois-ci pour lesquels le SNDR est calculé à partir de plus de deux millions de bits de sortie. La déviation standard obtenue est de $0.2dB$. Par conséquent, la précision du calcul est suffisamment bonne pour un échantillon en sortie du modulateur d'une taille proche de 300000 bits. Cette étude est à effectuer pour chaque mesure de test.

Pour les systèmes robustes, les variations des performances et des mesures de test peuvent être suffisamment faibles pour nécessiter des modifications du modèle et augmenter le nombre de facteurs ayant un impact sur la sortie du système. Plus le nombre de paramètres corrélés est important, meilleure sera l'estimation de la fonction de régression. Toutefois, l'augmentation du nombre de paramètres de l'espace d'entrée complique le calcul d'une fonction de régression.

Les réseaux de neurone

Finalement les calculs des fonctions de régression s'obtiennent en utilisant des réseaux de neurones. Le principe des réseaux de neurones a été introduit au chapitre 2.3.4. Leur intérêt est de lier des espaces multidimensionnels par des relations non linéaires. L'algorithme requiert un échantillon d'entraînement pour calculer les différents facteurs constituant le réseau et la convergence des calculs est obtenue s'il existe une bonne relation entre les vecteurs composant l'échantillon initial et les vecteurs résultants de simulations du système à modéliser. Leur mise en uvre est simplifiée par l'existence de leur description dans de nombreux langages de programmation.

La figure 4.11 représente le résultat du calcul d'une fonction de régression reliant le SNDR du modulateur $\Sigma\Delta$ simulé précédemment à partir d'un échantillon de 100 circuits. L'axe des abscisses représente les valeurs de SNDR obtenues par simulations comportementales et l'axe des ordonnées la valeur estimée par l'application de la fonction de régression au vecteur comportemental correspondant. Malgré la faible dispersion de l'espace de sortie, l'estimation de la performance en fonction

²Signal-to-Noise and Distorsion Ratio

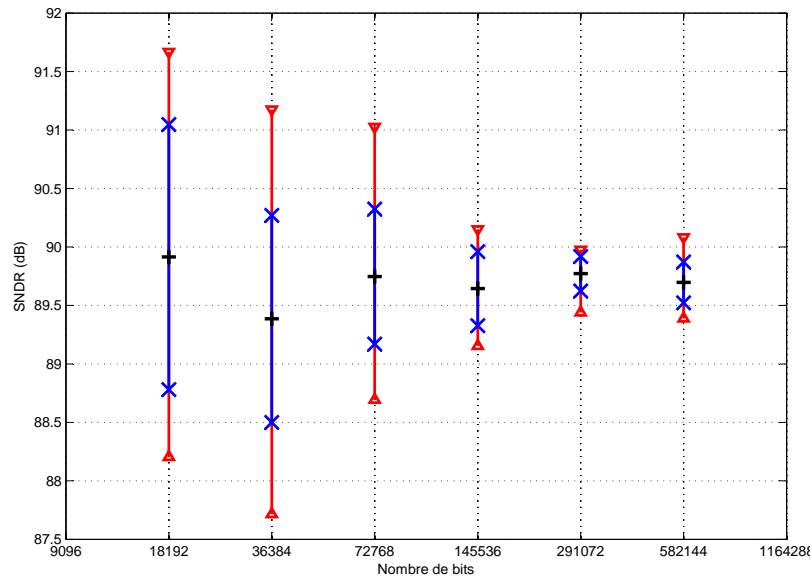


Figure 4.10 – Déviation standard du SNDR en fonction de la taille de l'échantillon de sortie du modulateur sous test.

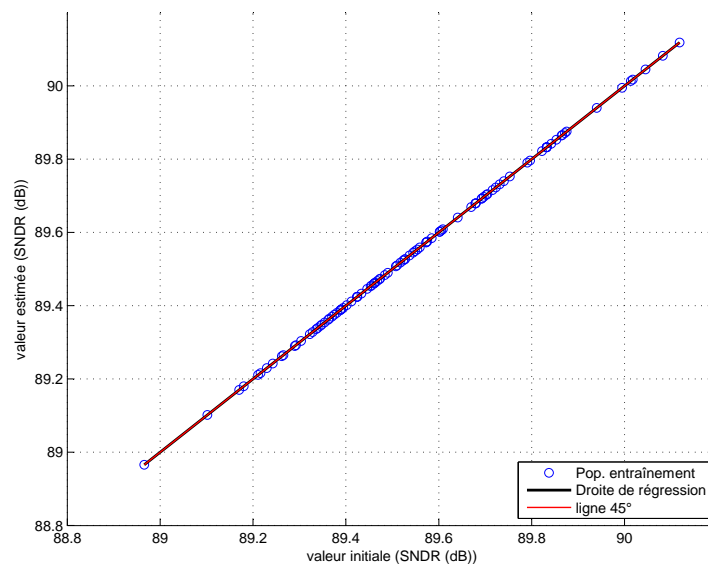


Figure 4.11 – Valeur estimée par une fonction de régression contre la valeur obtenue par simulation.

d'un vecteur comportemental donné se fait très précisément.

La figure 4.12 compare les valeurs obtenues par simulations comportementales d'un échantillon de 2000 circuits différents de l'échantillon d'entraînement avec des valeurs prédites par une fonction de régression calculée à partir d'un plan d'expérience composé par environ 10000 circuits. Chaque circuit est représenté en abscisse par la valeur du SNDR obtenue par simulation comportementale et en ordonnée par la valeur du SNDR obtenue par l'application de la fonction de régression au vecteur comportemental correspondant. L'erreur maximale de la prédiction est inférieure à $0.3dB$ et l'erreur moyenne quadratique est inférieure à la précision de calcul du SNDR. Cette figure ou la précédente permettent de vérifier si le calcul de la fonction de régression s'est déroulé sans erreur.

Lorsque les fonctions de régression reliant les paramètres comportementaux aux performances ou aux mesures de test ont été calculées, tous les outils nécessaires à la génération d'un large échantillon ont été mis au point pour permettre le calcul des métriques de test.

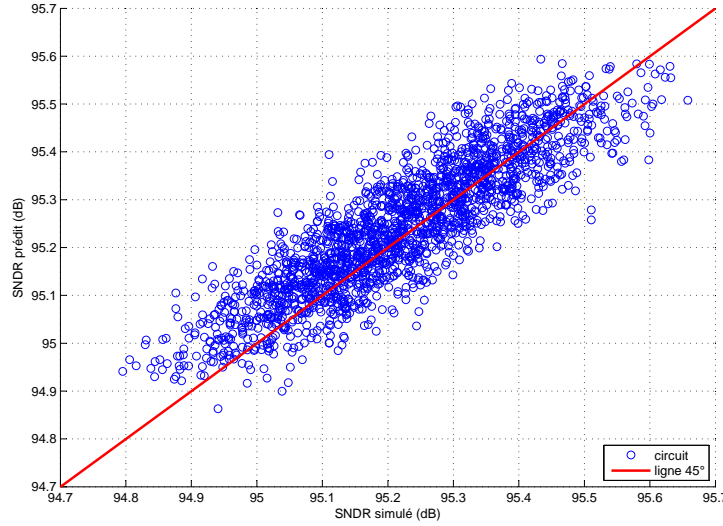


Figure 4.12 – Précision du calcul d'une fonction de régression par comparaison avec un échantillon témoin.

4.2.4 Métriques de test

Les métriques de test définies dans le chapitre 3.4 se calculent à partir de la fonction intégrale d'une densité de probabilité continue de chaque catégorie de circuits. Le calcul de cette intégrale est remplacé par une estimation établie en générant un large échantillon de circuits représentés par leurs performances et leurs mesures de test. Ainsi, en considérant N le nombre d'éléments, une estimation des métriques de test est obtenue en appliquant les formules suivantes

- le rendement \hat{Y}

$$\hat{Y} = \frac{N_{fonc}}{N} \quad (4.2)$$

avec N_{fonc} le nombre de circuits respectant l'ensemble des spécifications.

- La couverture de rendement \hat{Y}_C

$$\hat{Y}_C = \frac{N_{passe}}{N_{fonc}} \quad (4.3)$$

avec N_{passe} le nombre de circuits qui passent le test avec succès, c'est-à-dire qui respectent les limites de test fixées.

- la perte de rendement \hat{Y}_L

$$\hat{Y}_L = 1 - \hat{Y}_C \quad (4.4)$$

- le taux de défauts \hat{T}_E

$$\hat{T}_E = \frac{N_{echec}}{N_{passe}} \quad (4.5)$$

avec N_{echec} le nombre de circuits défaillants qui passent le test

Génération d'un large échantillon

La génération d'un large échantillon de circuits s'effectue en appliquant à un ensemble de vecteurs comportementaux tirés aléatoirement à partir de la densité de probabilité (obtenue au paragraphe 4.2.2) chacune des fonctions de régression (obtenues au paragraphe 4.2.3). En représentant l'échantillon de circuits sur plusieurs graphiques en deux dimensions, dont l'axe des abscisses est une performance et l'axe des ordonnées une mesure de test, la forme du nuage de points correspondant donne un aperçu de la corrélation entre la performance et la mesure de test.

Cette représentation est illustrée sur la figure 4.13 pour laquelle un circuit est spécifié par trois performances $\{P_1, P_2, P_3\}$ et testé par quatre mesures $\{m_1, m_2, m_3, m_4\}$. Dans cet exemple fictif, les performances P_1, P_2 et P_3 montrent respectivement une bonne corrélation avec les mesures m_1, m_3

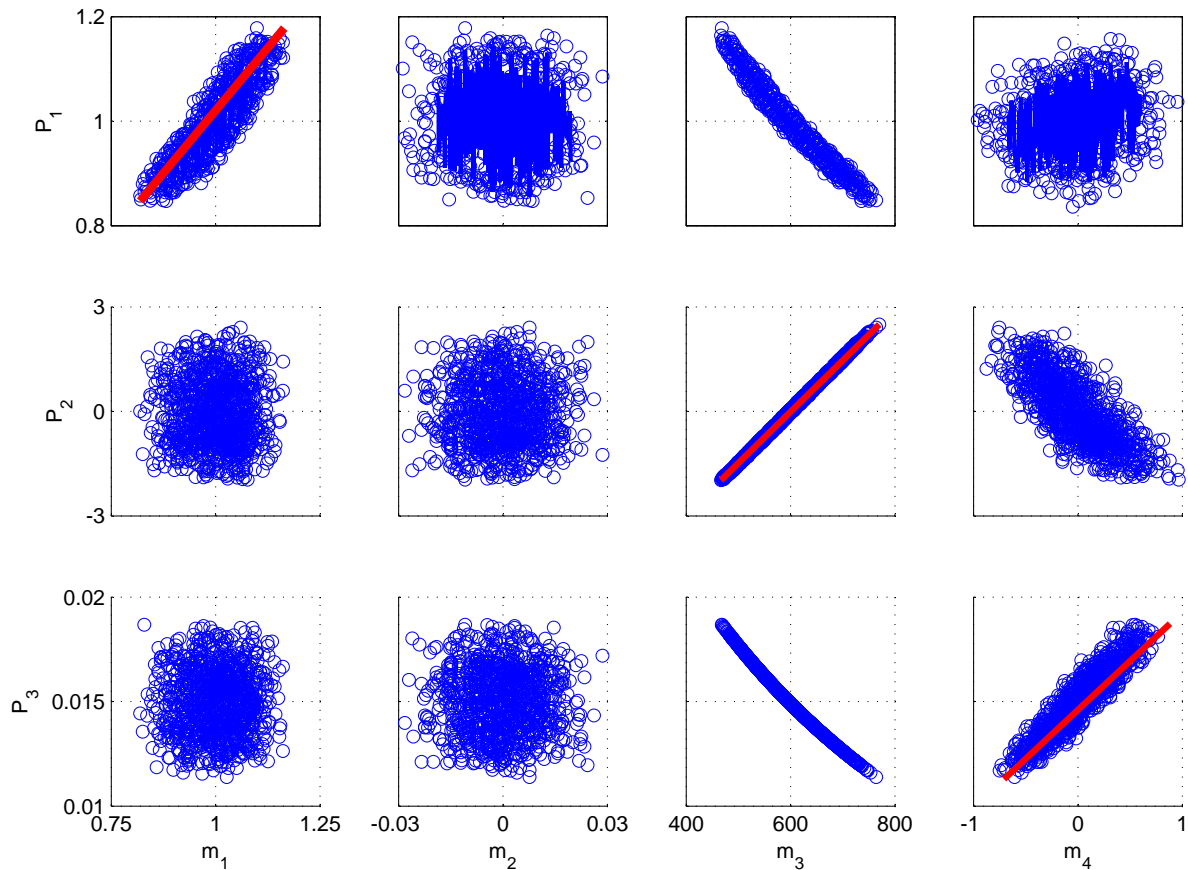


Figure 4.13 – Représentation d'un échantillon de circuits par les différentes spécifications et les mesures de test.

et m_4 . Par contre, les points uniformément répartis dans l'espace défini par une performance et une mesure de test révèlent l'absence d'une corrélation linéaire. L'estimation des métriques de test résultantes n'est pas à établir en premier lieu.

Cette première visualisation permet de prédéfinir les techniques de test qui méritent d'être analysées plus précisément. En particulier, cette analyse consiste à faire varier les limites de test pour optimiser la détection des circuits défectueux ou minimiser le rejet de circuits fonctionnels. En effet, si les spécifications du circuit différencient les circuits fonctionnels des circuits défectueux, les limites de test permettent de modifier le nombre de circuits qui passent le test avec succès et ceux qui échouent. Ces quatre catégories sont visibles sur la figure 4.14 où chaque point représente un circuit. Le dénombrement des circuits appartenant à chaque espace permet d'estimer le rendement de production \hat{Y} , la perte de rendement \hat{Y}_L et le taux de défauts \hat{T}_E . La figure 4.14.(a) correspond à une mesure de test corrélée à la performance du circuit. La perte de rendement et le taux de défauts sont proches de zéro et n'augmentent pas fortement avec la diminution de l'écart entre les limites de test supérieure lim_h et inférieure lim_b . La figure 4.14.(b) représente une mesure de test non corrélée avec la performance. Dans ce cas, une rapide augmentation de la perte de rendement sans modifier le taux de défauts est constatée si les limites de test sont plus restrictives.

Limites de test

L'évaluation de chaque technique de test s'effectue en comparant la perte de rendement et le taux de défauts, car ces deux paramètres sont antagonistes. Ainsi, le choix des limites de test est un compromis entre ces deux métriques définies suivant le coût consécutif au rejet d'un circuit fonctionnel et celui consécutif au coût d'un renvoi du circuit par le client. La figure 4.15 représente la variation de la perte de rendement et du taux de défauts en fonction de la valeur des limites de test hautes lim_h et basses lim_b . Cette figure est établie avec l'échantillon représenté sur la figure

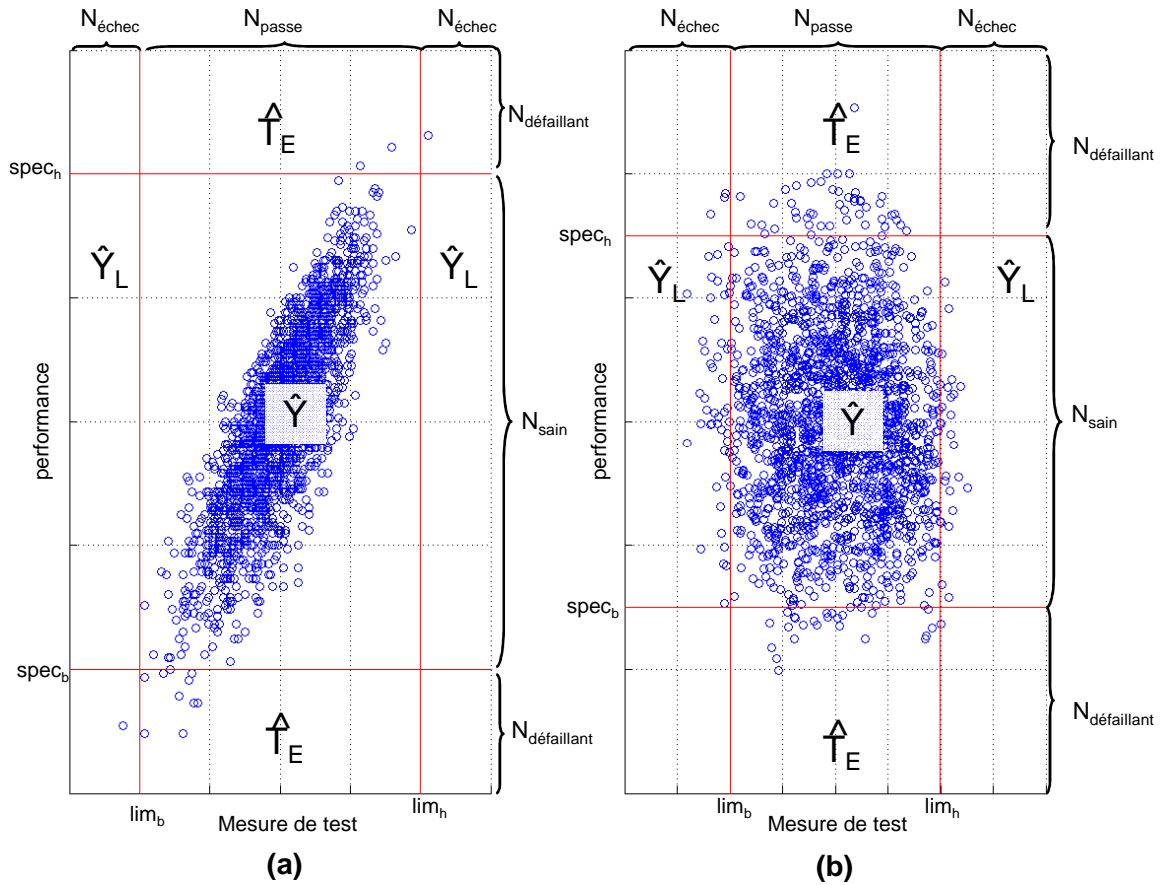


Figure 4.14 – Représentation des catégories de chaque circuit pour une performance et une mesure de test (a) corrélées et (b) non corrélées.

4.14.(a). Le taux de défauts décroît avec la réduction de l'écart entre les limites de test, car les circuits défaillants proches des limites de test sont rejetés. À contrario, les circuits proches des spécifications sont rejetés par le test augmentant ainsi la perte de rendement.

L'établissement des limites de test est effectué pour optimiser le rapport entre la perte de rendement et le taux de défauts. Les techniques de test sont comparées en fonction de leur capacité à différencier les circuits fonctionnels des circuits défaillants. Cette comparaison est juste indépendamment de la précision de l'estimation des métriques, car elle est effectuée avec le même modèle comportemental et le même échantillon des paramètres du *process*.

4.3 Conclusion

Dans ce chapitre, une méthodologie d'estimation des métriques de test a été développée pour faciliter l'implantation de techniques de test pendant la phase de conception du circuit. La prise en compte de l'environnement de conception des circuits intégrés est nécessaire pour intégrer la conception en vue du test pendant la phase de développement du circuit. La méthodologie établie repose sur la propagation des paramètres statistiques du *process* aux différents niveaux de modélisation pour générer un échantillon de circuits représentatifs des conditions de production. La réduction du temps de simulation des circuits mixtes complexes est obtenue en utilisant des techniques de régression par apprentissage automatique. La génération d'un large échantillon de circuits s'effectue en estimant la densité de probabilité des paramètres des niveaux intermédiaires.

Elle repose sur l'utilisation d'un modèle comportemental et l'entraînement de fonctions de régression pour obtenir les performances et les mesures de test. Enfin, la précision en partie par million est obtenue grâce à une densité de probabilité calculée dans un espace déterministe, l'espace comportemental. L'échantillonnage d'un grand nombre de circuits à partir de la densité appliqué

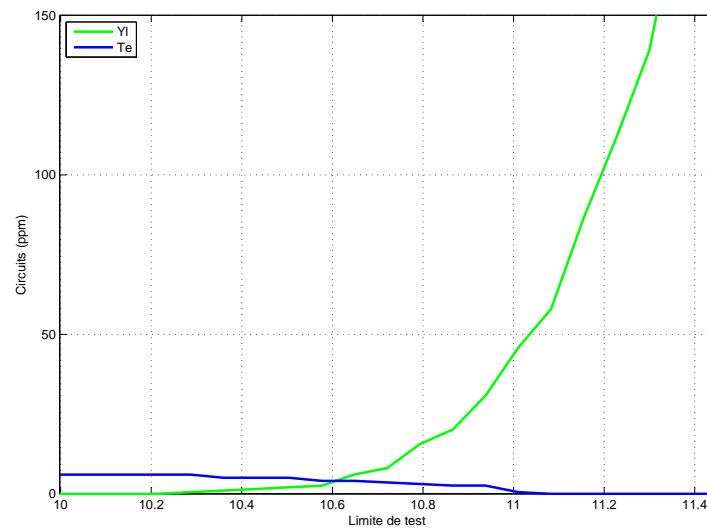


Figure 4.15 – Estimation de la perte de rendement \hat{Y}_L et du taux de défauts \hat{T}_e en fonction des limites de test.

aux fonctions de régression permet de générer un large échantillon représentatif des défauts liés à l'étape de production.

Cette méthodologie a été appliquée pour comparer deux techniques de test auto-intégrés dédiées à la mesure du rapport signal-sur-bruit-avec-distorsion de convertisseurs de signaux $\Sigma\Delta$. La présentation de ce cas d'étude et les résultats obtenus sont l'objet du chapitre suivant.

Auto-test de CAN- $\Sigma\Delta$

La méthodologie présentée dans le chapitre précédent s'appliquerait indifféremment à chacune des techniques de test présentées au chapitre 3 à condition d'associer un modèle comportemental et un procédé technologique de fabrication à chaque type de convertisseur analogique-numérique.

Ce chapitre présente ainsi une technique de test de convertisseurs analogiques-numériques sigma-delta (CAN- $\Sigma\Delta$) utilisant un stimulus numérique. La génération et l'injection du stimulus sont améliorées pour obtenir des résultats de test proches d'un test standard mais sans recourir à l'usage d'un générateur de signaux analogiques de haute résolution.

Suite à l'introduction sur le fonctionnement des convertisseurs $\Sigma\Delta$, différentes implantations des techniques de test numériques de CAN- $\Sigma\Delta$ sont présentées en séparant la génération et l'injection du stimulus numérique des méthodes d'estimation des performances. La génération d'une séquence binaire encodant un signal sinusoïdal est ensuite détaillée en mettant en avant la sélection du meilleur stimulus de test. L'algorithme d'optimisation proposée est simplifiée par l'ajout d'une source de bruit dans le générateur idéal. Puis la description et l'implantation de la nouvelle technique de test découlent d'une analyse des inconvénients des techniques de test actuelles.

5.1 Fonctionnement d'un convertisseur $\Sigma\Delta$

La figure 5.1 représente un convertisseur analogique-numérique de type sigma-delta ainsi que la forme du spectre du signal en sortie des deux blocs principaux, le modulateur ($\Sigma\Delta M$) et le filtre de décimation. Le modulateur convertit le signal analogique en un train binaire cadencé à haute fréquence f_e . Le filtre de décimation connecté en sortie du modulateur transforme ce flux en niveaux de code de résolution n et à la fréquence de Nyquist f_{Nyq} .

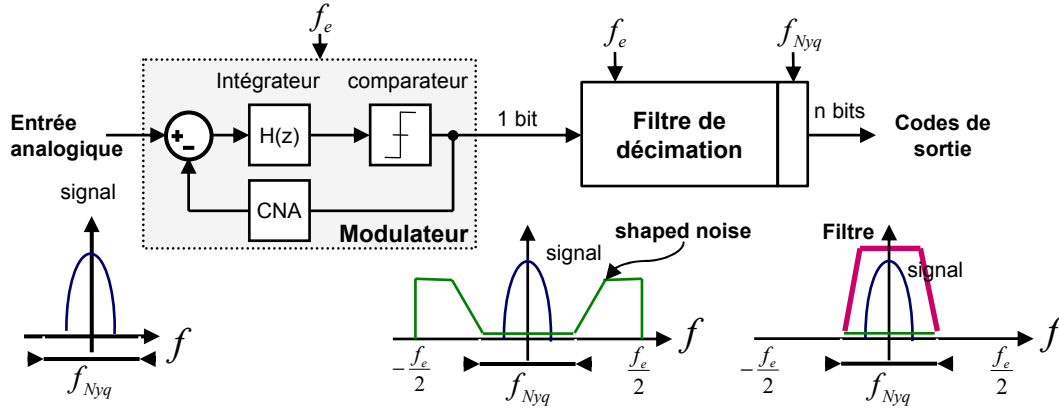


Figure 5.1 – Architecture d'un CAN- $\Sigma\Delta$.

Le suréchantillonnage du signal d'entrée diminue la puissance du bruit de quantification contenue dans la bande passante du convertisseur en l'étalant sur la bande de fréquence d'échantillonnage. Le modulateur $\Sigma\Delta$ amplifie cet effet en rejetant ce bruit vers les hautes fréquences. Avec les notations de la figure 5.2.(a), la tension de sortie du modulateur $V(z)$ s'exprime par

$$V(z) = z^{-1} \cdot U(z) + (1 - z^{-1}) \cdot Q(z) \quad (5.1)$$

avec $U(z)$ et $Q(z)$ les transformées en z respectives du signal d'entrée et du bruit de quantification. Cette équation est valable si Q est modélisé comme une source de bruit blanc. Ainsi, la fonction de transfert du signal STF

$$STF(z) = \frac{V(z)}{U(z)} = z^{-1} \quad (5.2)$$

montre que le modulateur introduit juste un délai dans la conversion du signal tandis que la fonction de transfert du bruit NTF

$$NTF(z) = \frac{V(z)}{Q(z)} = 1 - z^{-1} \quad (5.3)$$

met en forme le bruit de quantification contenu dans la bande passante.

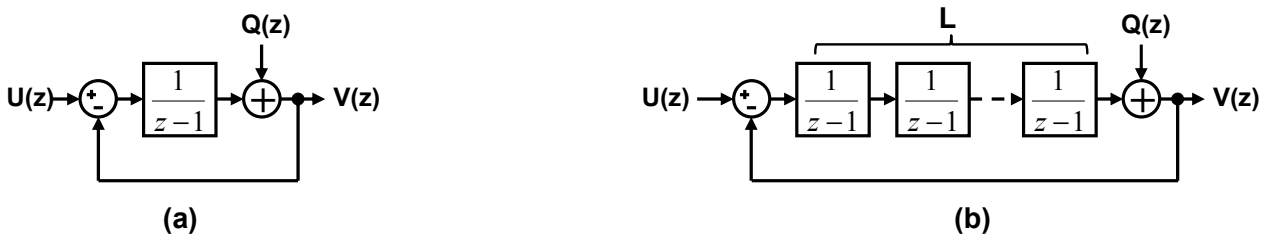


Figure 5.2 – Modèle linéaire en z d'un modulateur (a) du 1^{er} ordre et (b) d'ordre L .

Idéalement la résolution du convertisseur est limitée par le rapport signal sur bruit de quantification¹(SQNR) dans sa bande passante. Cette performance dépend du taux de suréchantillonnage²,

¹Signal-to- Quantization-Noise Ratio

²Over-Sampling Ratio

$OSR = f_e/f_{Nyq}$ et de l'ordre du modulateur L , qui correspond au nombre d'intégrateurs mis en cascade avant l'étage de quantification. La fonction de transfert du bruit de quantification du modulateur d'ordre L représenté sur la figure 5.2.(b) s'exprime par la relation

$$NTF_L(z) = (1 - z^{-1})^L. \quad (5.4)$$

En considérant $z = e^{j2\pi f/f_e}$ avec $f \ll f_e$, la norme de NTF_L devient

$$\|NTF_L(e^{j2\pi f/f_e})\|^2 \approx (2\pi f)^{2L}. \quad (5.5)$$

En intégrant ce résultat sur la bande de Nyquist, la puissance du bruit de quantification dans la bande passante du convertisseur s'exprime par la relation

$$P_{q,Nyq} = \frac{\pi^{2L}}{(2L+1)OSR^{2L+1}} \cdot e_{rms}^2, \quad (5.6)$$

en considérant e_{rms}^2 , la puissance du bruit de l'étage de quantification. Si ce bruit est modélisé comme un générateur de bruit blanc, e_{rms}^2 s'exprime en fonction de V_{dac} , la tension de référence du convertisseur numérique-analogique (CNA) utilisé dans la boucle de contre-réaction du modulateur par la formule suivante

$$e_{rms}^2 = \frac{V_{dac}}{2}. \quad (5.7)$$

Le rapport signal sur bruit de quantification ($SQNR_{th}$) s'exprime par

$$SQNR_{th} = 10 \cdot \log_{10} \left(\frac{A_{in,th}^2}{2 \cdot P_{q,Nyq}} \right) = 10 \cdot \log_{10} \left(\frac{3 \cdot (2L+1) \cdot OSR^{2L+1}}{2 \cdot \pi^{2L}} \right). \quad (5.8)$$

avec $A_{in,th} = V_{dac}$, l'amplitude du signal d'entrée.

Mais la stabilité du modulateur n'est pas garantie sur la pleine échelle de la dynamique d'entrée [129]. En effet, à partir d'une amplitude maximale du signal d'entrée, $A_{in,max}$, la saturation du modulateur entraîne une nette diminution de ses performances. Ainsi, le rapport signal sur bruit de quantification maximal $SQNR_{max}$ se réduit à

$$SQNR_{max} = 10 \cdot \log_{10} \left(G_{stab}^2 \cdot \frac{3 \cdot (2L+1) \cdot OSR^{2L+1}}{2 \cdot \pi^{2L}} \right) \quad (5.9)$$

avec $G_{stab} = A_{in,max}/V_{dac}$ ($G_{stab} < 1$).

La formule (5.9) sert d'estimation de la précision du convertisseur pour un ordre et un taux de sur-échantillonnage donnés. Naturellement, la difficulté de conception d'un modulateur $\Sigma\Delta$ croît en fonction de ces deux paramètres. L'ordre accentue les problèmes de stabilité liés à l'insertion d'une boucle de contre-réaction et le taux de sur-échantillonnage détermine en partie les performances des circuits composant le modulateur.

Finalement, le filtre numérique atténue toute la puissance du signal de sortie du modulateur contenue en dehors de la bande passante du convertisseur. Plusieurs architectures sont disponibles dans la littérature pour concevoir le filtre numérique approprié [130]. Pour ces travaux les performances du filtre numérique sont considérées idéales. Donc, la puissance du bruit en sortie du convertisseur correspond à la puissance du bruit contenue dans la bande passante en sortie du modulateur.

5.2 Auto-test numérique de convertisseur sigma-delta

La méthode standard de mesures des principales performances dynamiques d'un CAN s'effectue en injectant un signal sinusoïdal de haute résolution en entrée et en analysant la sortie du CAN. La génération de ce signal nécessite un filtre analogique ou un CNA de haute résolution mais leur intégration ne serait pas rentable, car elle occuperait une surface trop importante. Cette partie présente des travaux publiés dans la littérature qui montrent que les performances dynamiques d'un modulateur $\Sigma\Delta$ peuvent être mesurées en injectant directement en entrée du modulateur un signal binaire encodant un signal sinusoïdal via un CNA d'un bit de résolution. Ainsi, l'absence du filtre facilite l'intégration de ce stimulus de test de haute résolution.

5.2.1 Génération d'un train binaire périodique

La génération d'un train binaire obtenu par un résonateur numérique nécessite une bonne maîtrise du fonctionnement de l'oscillateur [131]. Une méthode plus flexible, illustrée par la figure 5.3, repose sur l'optimisation d'une séquence binaire obtenue par simulation d'un modulateur $\Sigma\Delta$ idéal. Le train binaire en sortie du modulateur est échantillonné en plusieurs séquences de longueur N . Ensuite, les performances dynamiques de chaque séquence sont calculées à partir de la densité spectrale de puissance (PSD³) obtenue par une Transformée de Fourier Discrète (TFD). Finalement, la meilleure séquence de test est choisie en fonction de ses performances (SQNR, SFDR...).

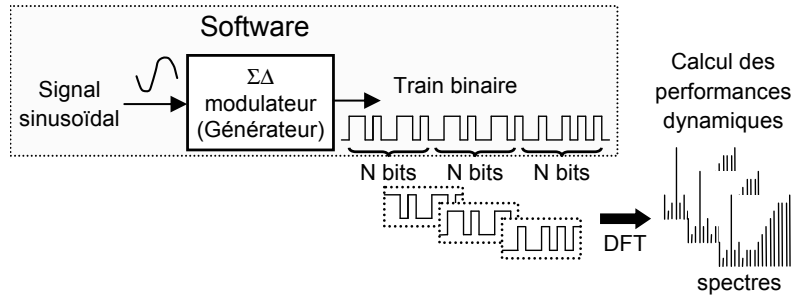


Figure 5.3 – Génération d'une séquence binaire à partir d'un modulateur $\Sigma\Delta$ idéal.

La fréquence du fondamental encodé F_{sig} et la longueur N de la séquence sont fixées par la relation

$$F_{sig} = m \cdot \frac{F_e}{N} \quad (5.10)$$

avec F_e la fréquence d'échantillonnage du modulateur idéal et m le nombre de périodes du signal encodé dans une séquence. Cette relation correspond à l'échantillonnage cohérent d'un signal. Cette cohérence permet d'éviter la reproduction pendant l'injection du signal d'un bruit additionnel constitué par la fuite spectrale.

Pendant la phase de test, la séquence optimisée est enregistrée dans une mémoire embarquée ou dans un registre à décalage. La figure 5.4 représente un registre à décalage commandé par un multiplexeur. L'entrée *data* activée par le signal *load* permet de charger une séquence de test par un système externe. Ensuite, le multiplexeur ferme la boucle pour générer périodiquement le signal à la fréquence de l'horloge. En l'absence de mémoire embarquée, l'implantation d'un registre à décalage est avantageuse dans le cadre d'une solution d'auto-test, car sa vue topologique s'adapte plus facilement à celle du circuit sous test [132].

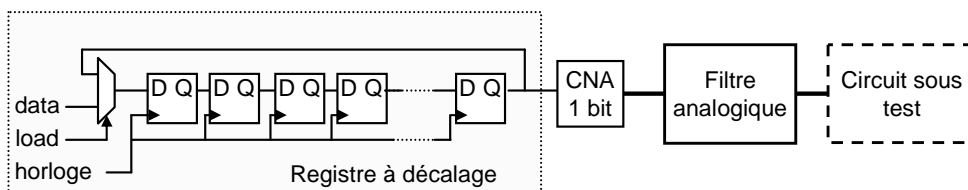


Figure 5.4 – Sauvegarde et injection d'un stimulus de test analogique à partir d'un registre à décalage.

Sur la figure 5.4, le CNA et le filtre analogique permettent la génération d'un signal analogique. Par la suite, l'injection du stimulus s'effectue en supprimant le filtre.

5.2.2 Application au test de modulateur $\Sigma\Delta$

L'injection directe d'une séquence binaire encodant un signal sinusoïdal a été proposée comme stimulus de test pour estimer les performances dynamiques d'un convertisseur $\Sigma\Delta$, car le bruit

³Power Spectral Density

de quantification contenu dans le stimulus est éliminé en sortie du modulateur sous test (MUT) par le filtre de décimation. La figure 5.5 illustre cette technique en partant de la génération du stimulus à partir de simulations d'un modulateur idéal jusqu'à la réponse du circuit sous test [133]. Le train binaire servant de stimulus de test est transformé par un CNA en deux niveaux de tension suffisamment atténués pour que la puissance du bruit de quantification du stimulus reste faible comparée à celle générée par le modulateur sous test.

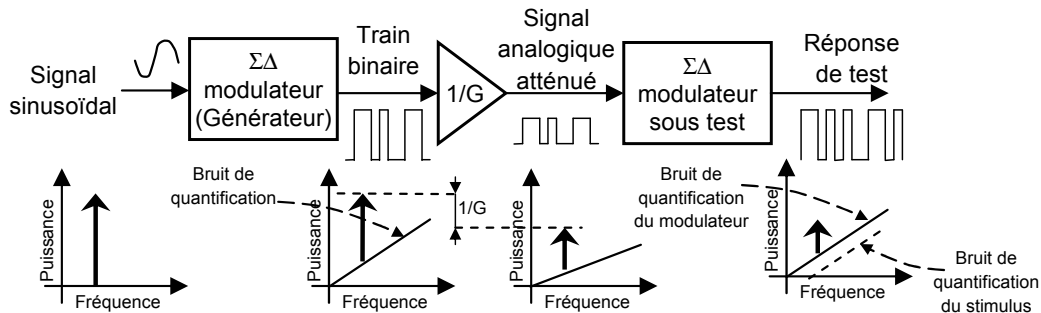


Figure 5.5 – Technique de test numérique d'un modulateur $\Sigma\Delta$ par une séquence binaire atténuée.

La figure 5.6 représente l'implantation de cette technique sur un modulateur $\Sigma\Delta$ différentiel à capacités commutées. L'injection du signal de test requiert l'ajout d'un multiplexeur et de deux tensions de référence supplémentaires. Pendant la phase de test, le signal T est activé et le stimulus numérique $D_i, i \in \{0, 1\}$ commande les interrupteurs qui permettent l'échantillonnage des capacités $C_s^{+/-}$ aux tensions de conversion respectives V_{bist}^- et V_{bist}^+ (partie ombrée sur la figure). Dans cette configuration, le fonctionnement du modulateur est inchangé et seuls les interrupteurs d'échantillonnage du signal analogique ne sont pas testés.

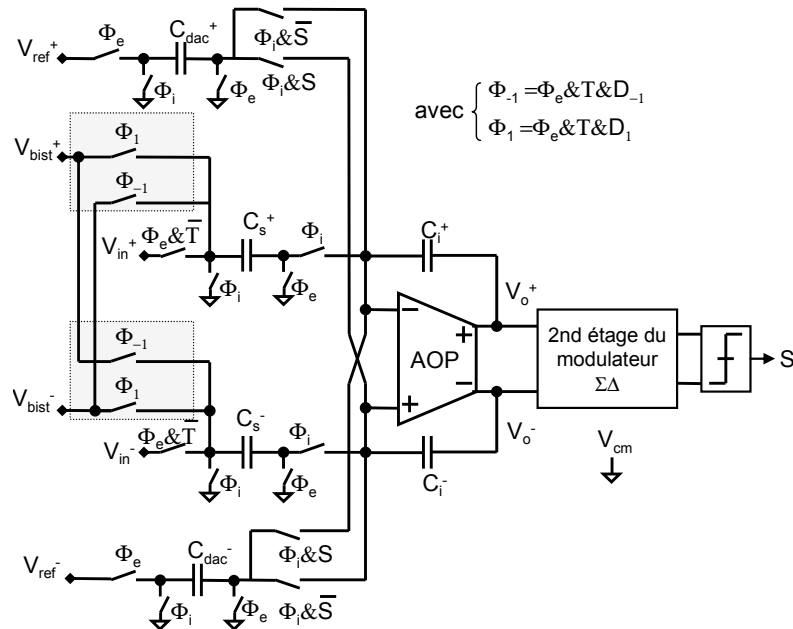


Figure 5.6 – Injection d'une séquence binaire sur l'étage d'entrée d'un modulateur $\Sigma\Delta$ à capacités commutées.

Le rapport entre les tensions V_{ref} et V_{bist} définit la valeur du facteur réducteur G . Sans atténuation, la puissance du bruit contenu dans le stimulus de test ajoutée à celle du fondamental entraînent la saturation du MUT avant d'atteindre la dynamique d'entrée maximale. Par conséquent, le test par injection directe d'une séquence binaire ne permet pas de tester la dynamique complète du modulateur. Pour des applications nécessitant une distorsion harmonique très faible

comme les systèmes audio, les convertisseurs $\Sigma\Delta$ ont une spécification sur la dynamique d'entrée inférieure à leurs performances. Dans ce cas, un test numérique semble être suffisant pour garantir le fonctionnement correct du circuit. D'autre part, les travaux présentés par *Hong et al.*[134] supposent que l'atténuation du signal n'est pas obligatoire si l'ordre du modulateur utilisé pour générer la séquence binaire est supérieur à l'ordre du MUT. Le phénomène de corrélation entre les puissances du bruit de quantification du stimulus et du MUT est réduit en modifiant l'architecture du MUT [135]. Ces modifications, représentées sur la figure 5.7, permettent l'injection d'un train binaire D_{i0} et d'une version retardée de lui-même D_{i1} . Pendant la phase de test, la division de l'étage

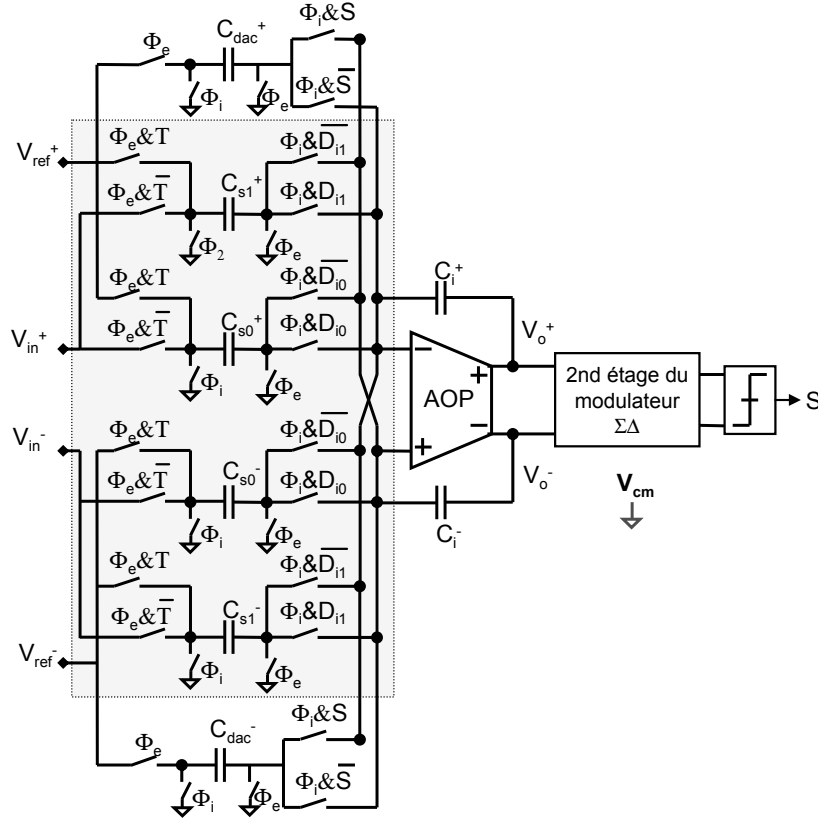


Figure 5.7 – Réduction du bruit de quantification par modification de l'étage d'entrée d'un modulateur $\Sigma\Delta$ à capacités commutées.

d'échantillonnage permet d'obtenir deux modulateurs ayant les fonctions de transfert STF_{MUT0} et STF_{MUT1} . L'expression de la transformée en z de la tension de sortie différentielle s'écrit alors

$$V_0(z) = STF_{MUT0}(z) \cdot D_{i0}(z) + STF_{MUT1}(z) \cdot D_{i1}(z) + NTF_{MUT}(z)Q_{MUT}(z) \quad (5.11)$$

avec NTF_{MUT} la fonction de transfert du bruit de quantification et Q_{MUT} la représentation de la source du bruit de quantification du MUT. L'expression de $D_{ij}, j \in \{0, 1\}$ correspond à

$$D_{ij}(z) = STF_{GEN}(z) \cdot X_{GENj}(z) + NTF_{GEN}(z)Q_{GENj}(z) \quad (5.12)$$

avec STF_{GEN} , NTF_{GEN} et Q_{GEN} les fonctions de transfert du signal et du bruit de quantification et la représentation de la source du bruit de quantification du modulateur générateur. Comme $D_{i1}(z) = z^{-n} \cdot D_{i0}(z)$ avec n le délai introduit entre les deux stimuli et en supposant que STF_{MUT0} et STF_{MUT1} sont identiques, l'expression de $V_0(z)$ se simplifie

$$V_0(z) = STF_{MUT}(z) \cdot \frac{1 + z^{-n}}{2} \cdot D_{i0}(z) + NTF_{MUT}(z)Q_{MUT}(z) \quad (5.13)$$

Ainsi la puissance du bruit de quantification contenue dans le stimulus $D_{i0}(z)$ est atténuée par le filtre passe-bas de réponse impulsionnelle finie $1 + z^{-n}$.

Mais cette technique est très intrusive, car elle nécessite d'importantes modifications de l'étage d'entrée du modulateur. La division de l'étage d'entrée implique une augmentation de la puissance du bruit en kT/C de $6dB$ à chaque dédoublement des capacités d'échantillonnage. D'autre part, même si son impact sur la qualité de la technique de test est jugé modéré par les auteurs, la division du modulateur principal en deux modulateurs identiques est improbable à cause des variations du *process*.

5.2.3 Analyse de la réponse de test

Pour intégrer une solution de test autonome, il est nécessaire non seulement de générer le stimulus sur la puce, mais aussi, d'effectuer l'analyse de la réponse. La mesure du rapport signal sur bruit avec distorsion⁴ par la méthode usuelle s'appuie sur le calcul de la PSD à partir d'une TFD du signal de sortie. La TFD permet d'extraire toutes les performances dynamiques, mais son implantation requiert une surface trop importante pour être intégrée exclusivement pour une technique de BIST.

L'algorithme de régression sinusoïdale⁵ permet de calculer uniquement le SNDR, mais sa complexité moindre le rend plus approprié à une solution intégrée. Cet algorithme se base sur la définition du signal sinusoïdal s_{out} en sortie du circuit sous test par cinq paramètres

$$s_{out}(t) = A \cdot \sin(2\pi f_0 \cdot t + \phi) + u_0 + n(t) \quad (5.14)$$

où u_0 est la composante continue⁶, A, f_0 et ϕ sont respectivement l'amplitude, la fréquence et la phase du signal sinusoïdal et $n(t)$ représente le bruit et la distorsion harmonique.

En considérant la fréquence du signal connue, *Mattes et al.* [136] implantent le système illustré sur la figure 5.8 pour minimiser les ressources permettant l'estimation du SNDR directement sur la puce. Le signal de référence est un signal numérique généré par la technique de modulation de la largeur d'impulsion.

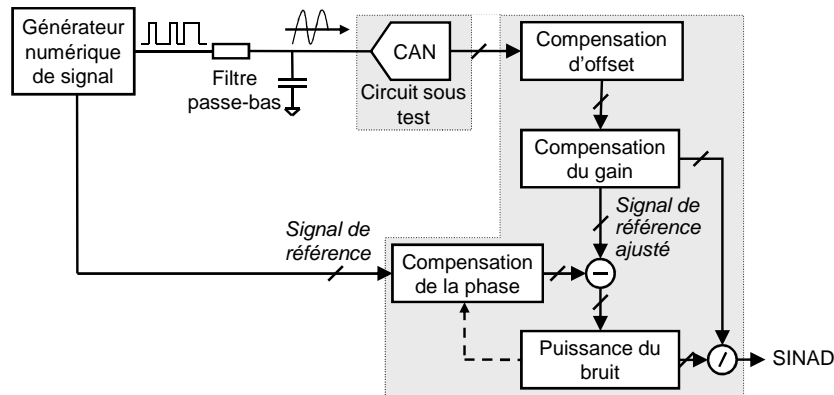


Figure 5.8 – Implantation de l'algorithme de régression d'une courbe sinusoïdale.

L'offset est estimé par une somme d'échantillons sur un nombre entier de périodes du signal,

$$u_0 = \frac{1}{P} \cdot \sum_{k=1}^P s_{out}(k), \quad (5.15)$$

et l'amplitude à partir de la valeur absolue des échantillons de sortie moins la valeur de l'offset calculée précédemment

$$A = \left(\frac{\pi}{2 \cdot P} \cdot \sum_{k=1}^P |s_{out}(k)| \right) - u_0, \quad (5.16)$$

⁴SINAD/SNDR : Signal-to-Noise and Distorsion Ratio

⁵Sine-wave fitting

⁶offset

bloc de la technique d'auto-test mettant en oeuvre le CORDIC. Le bloc de contrôle synchronise le départ de la séquence de test avec l'injection du stimulus binaire de référence. Dans le même temps, un bloc moyenneur calcule l'offset et l'amplitude du signal tandis que le CORDIC génère le signal de référence ajusté. La soustraction de ce signal avec le signal de sortie permet d'estimer le SNDR du convertisseur sous test.

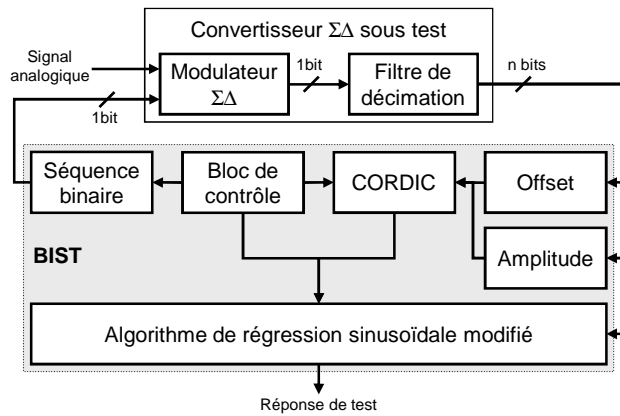


Figure 5.10 – Technique d'auto-test de $\Sigma\Delta$ -CAN utilisant l'algorithme CORDIC.

L'implantation proposée réduit la surface ajoutée en calculant séquentiellement l'offset et l'amplitude et ne fournit pas une valeur du SINAD mais une signature de test équivalente.

5.2.4 Test alternatif

Les techniques précédentes sont destinées à l'estimation du SNDR en injectant un signal binaire, dans lequel est encodé un signal sinusoïdal. Léger *et al.* [140] mesurent les pertes⁸ de charge pendant la phase d'intégration à partir d'un signal périodique très simple. Cette mesure est une estimation indirecte des performances du modulateur, car elle est insuffisante pour prendre en compte toutes les sources ayant un impact sur le fonctionnement du modulateur. La technique, illustrée sur la figure 5.11, consiste à injecter en entrée du modulateur sous test un train binaire périodique de valeur moyenne non nulle via un CNA ayant 1 bit de résolution.

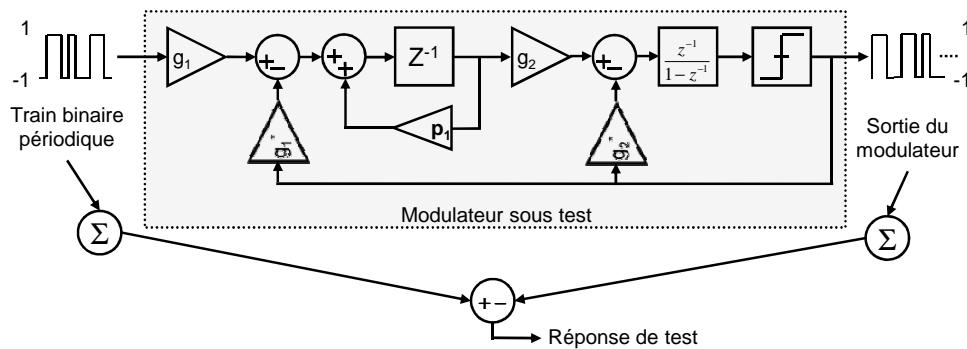


Figure 5.11 – Technique de test intégré pour la mesure indirecte des performances d'un modulateur $\Sigma\Delta$.

Les pertes du premier intégrateur sont proportionnelles à la variation de la valeur moyenne du train binaire en sortie du modulateur par rapport à la valeur moyenne du stimulus d'entrée [141]. En effet, soit Δp_1 , l'expression de la perte de l'intégrateur, N , le nombre de bits additionnés en sortie, alors *count*, la différence entre les sommes des trains binaires d'entrée et de sortie du modulateur s'expriment par

$$count \approx 2 \cdot N \cdot Q \cdot \Delta p_1 \quad (5.18)$$

⁸leakage

avec Q , la valeur moyenne du signal d'entrée. Cette équation est valable si N est un multiple période de la séquence d'entrée et si N est suffisamment long.

La simplicité de cette approche permet d'envisager l'implantation de ce test indirect sur la puce, au moins pour effectuer une mesure pendant la première phase de test sur *wafer* [142]. L'analyse de la réponse devient plus complexe si le modulateur sous test a un ordre différent du second ordre, ou encore, pour éliminer l'offset du modulateur. Cependant la surface occupée est moins importante que pour les techniques BIST estimant le SNDR, en particulier, car la génération du signal ne nécessite ni un résonateur $\Sigma\Delta$, ni un registre à décalage avec un grand nombre de bascules. La minimisation de la taille du registre est l'objet de la suite de ce chapitre.

5.3 Génération d'un stimulus de test numérique

L'injection d'une séquence binaire comme stimulus de test rend économiquement attrayante l'intégration de techniques d'auto-test des convertisseurs $\Sigma\Delta$. L'optimisation du stimulus s'effectue préalablement en simulant différentes architectures d'un modulateur $\Sigma\Delta$ idéal. Puis les performances (SQNR, SFDR⁹...) des séquences générées par ce modulateur sont calculées pour sélectionner le meilleur stimulus. Cet algorithme de sélection a été simplifié au cours de ces travaux en introduisant une source de bruit dans l'architecture du modulateur générateur pour bénéficier de l'effet de *dithering*.

5.3.1 Optimisation du stimulus de test

Performances du modulateur générateur

Le choix du modulateur générateur commence avec la définition de son ordre. En effet, un ordre élevé permet d'augmenter la précision du stimulus de test, car il fixe la puissance du bruit de quantification contenue dans la bande passante (cf. 5.6). Inversement, la dynamique d'entrée des modulateurs d'ordre élevé est atténuée pour conserver leur fonctionnement dans un état stable. Le meilleur compromis consiste à choisir l'ordre minimal nécessaire pour obtenir des performances des stimuli de test supérieures au circuit sous test. Ensuite, l'architecture et les coefficients caractérisant les fonctions de transfert de signal et de bruit permettent d'optimiser les performances dynamiques des séquences de test.

La figure 5.12 représente un modulateur d'ordre 3, dont l'emplacement des pôles et des zéros de sa fonction de transfert est choisi avec une bonne sélectivité à partir des coefficients $a_{1,2,3}$, $b_{1,2}$ et $g_{1,2,3}$. Par exemple, la figure 5.13 montre le spectre obtenu avec le modulateur passe-bas et le spectre du modulateur, dont les coefficients $b_{1,2}$ ont été modifiés pour agir comme un coupe-bande autour de la fréquence de l'harmonique du troisième rang. Avec cette modification, le signal de sortie gagne près d'un bit et demi de résolution.

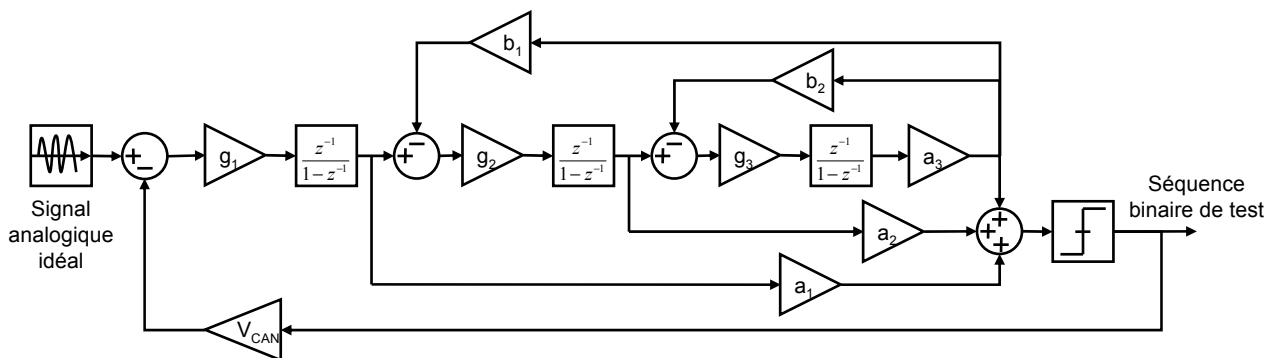


Figure 5.12 – Modulateur $\Sigma\Delta$ idéal du troisième ordre

⁹Spurious Free Dynamic Range

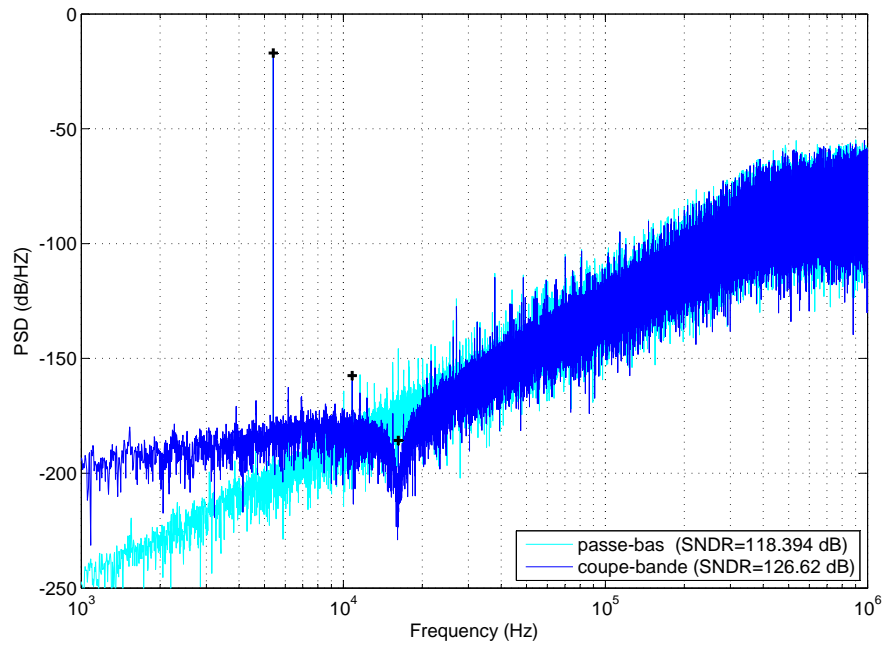


Figure 5.13 – Spectres générés par le modulateur $\Sigma\Delta$ idéal de la figure 5.12 en modifiant les coefficients b_1 et b_2 .

Pour choisir les coefficients permettant d'optimiser les performances d'une séquence binaire, le spectre est calculé avec une bonne résolution sans tenir compte de la longueur de la séquence finale. Toutefois, les performances obtenues avec une séquence très longue ne sont pas nécessairement retrouvées dans des séquences de taille plus réduite.

Longueur de la séquence binaire

Pour estimer le surcoût en surface dû à l'intégration de cette technique, chaque bit de la séquence occupe un élément de mémoire du registre à décalage. Ainsi, pour réduire cette surface, la longueur de la séquence doit être minimale. Mais la diminution de la taille de la séquence est limitée par la résolution du stimulus de test. Sur la figure 5.13, les trains binaires sont très longs pour observer les spectres avec une bonne résolution fréquentielle et la prédiction des valeurs de SNDR est une valeur proche de la valeur maximale théorique.

En considérant les équations (5.8) et (5.10), le $SQNR$ s'exprime en fonction de la longueur N par la relation suivante

$$SQNR_{dBFS} = 10 \cdot \log_{10} \left(\frac{3 \cdot (2L + 1)}{2 \cdot \pi^{2L}} \cdot \left(\frac{F_{Nyq}}{F_{sig}} \right)^{2L+1} \left(\frac{N}{m} \right)^{2L+1} \right). \quad (5.19)$$

Dans cette expression, l'amplitude du signal d'entrée est normée par rapport à la tension de référence du modulateur.

Le $SQNR$ est fixé par l'ordre du modulateur et par l'OSR, donc le rapport entre F_{Nyq} et F_{sig} fixe la longueur de la séquence qui est minimale lorsque $m = 1$. Ce rapport se définit en fonction du nombre d'harmoniques inclus dans la bande passante du convertisseur. Pour prendre en compte au moins 4 harmoniques, la fréquence du signal est 8 fois inférieure à la fréquence de Nyquist, un facteur augmentant la longueur de la séquence.

L'optimisation de la séquence binaire consiste ainsi à trouver une séquence de taille réduite, dont les performances correspondantes sont proches des performances maximales. La première condition à respecter est de choisir une séquence de taille paire pour obtenir une valeur moyenne temporelle nulle, caractéristique identique à un signal sinusoïdal pur [143].

5.3.2 Simplification de l'algorithme de sélection

L'utilisation d'un modulateur générateur idéal entraîne une périodicité du flux de sortie limitant le nombre de séquences de test différentes. Pour augmenter ce nombre de séquences, l'algorithme d'optimisation varie l'amplitude et la phase du signal [143]. Ces deux boucles d'optimisation nécessitent des temps de simulation plus importants sans garantie sur l'amélioration des performances de la séquence finale.

Pour obtenir une expression de la fonction de transfert du bruit, il est supposé que l'étage de quantification génère un bruit aléatoire, c'est-à-dire indépendant du signal d'entrée. Pendant ces travaux, le modulateur générateur idéal a été modifié par l'ajout d'une source de bruit dans la boucle de contre réaction comme illustré sur la figure 5.14. Cette source de bruit supplémentaire augmente la périodicité des cycles de séquences¹⁰ et réduit la puissance des harmoniques contenues dans le signal en la répartissant aléatoirement sur l'ensemble du spectre¹¹.

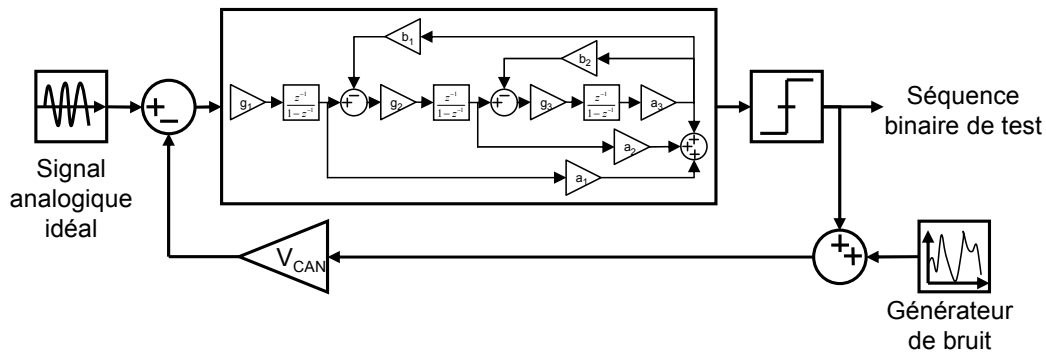


Figure 5.14 – Modulateur $\Sigma\Delta$ d'ordre 3 avec une source de bruit

Sur la figure 5.15.(a), la meilleure valeur de SQNR de différentes séquences binaires est représentée en fonction de l'amplitude du bruit ajoutée au modulateur idéal pour une amplitude du signal d'entrée fixée à $-6dBFS$. Cette représentation montre l'existence d'un intervalle optimal au delà duquel le SQNR est dominé par la source de bruit et, en deçà, l'effet escompté disparaît. En pratique, cette source de bruit permet de simplifier l'algorithme d'optimisation de la séquence binaire, car il n'est plus nécessaire de modifier la phase et l'amplitude du signal sinusoïdal de référence pour obtenir une séquence optimale. La figure 5.15.(b) compare pour différentes amplitudes du signal d'entrée les valeurs de SQNR obtenues par simulation du modulateur idéal (cf. figure 5.12) et celles obtenues dans les mêmes conditions de simulation du modulateur incluant la source de bruit. La source de bruit génère des séquences différentes et cette diversité accélère la recherche des séquences ayant les meilleures performance dynamiques. D'autre part, elle permet d'augmenter l'amplitude maximale encodée dans la séquence binaire, car elle stabilise le modulateur générateur. Ainsi, le test du MUT s'effectue à une amplitude du fondamental proche de la dynamique maximale.

5.3.3 Limitation du test par une séquence binaire

L'utilisation d'une séquence binaire comme stimulus de test nécessite d'encoder un signal de bonne résolution. L'algorithme d'optimisation du stimulus échantillonne aléatoirement le train binaire de sortie d'un modulateur idéal excité par un signal sinusoïdal et calcule la TFD de ce signal pour estimer sa résolution. La résolution du signal dépend de l'architecture du modulateur et de la longueur de la séquence. Par contre, le bruit de quantification contenu dans le stimulus limite la dynamique d'entrée du test, car la puissance du stimulus est toujours supérieure à la puissance du signal sinusoïdal correspondant.

La diminution de ce bruit de quantification en insérant un filtre entre le circuit sous test et la séquence binaire diminuerait la puissance du stimulus de test mais supprimerait la linéarité

¹⁰limit cycles

¹¹dithering

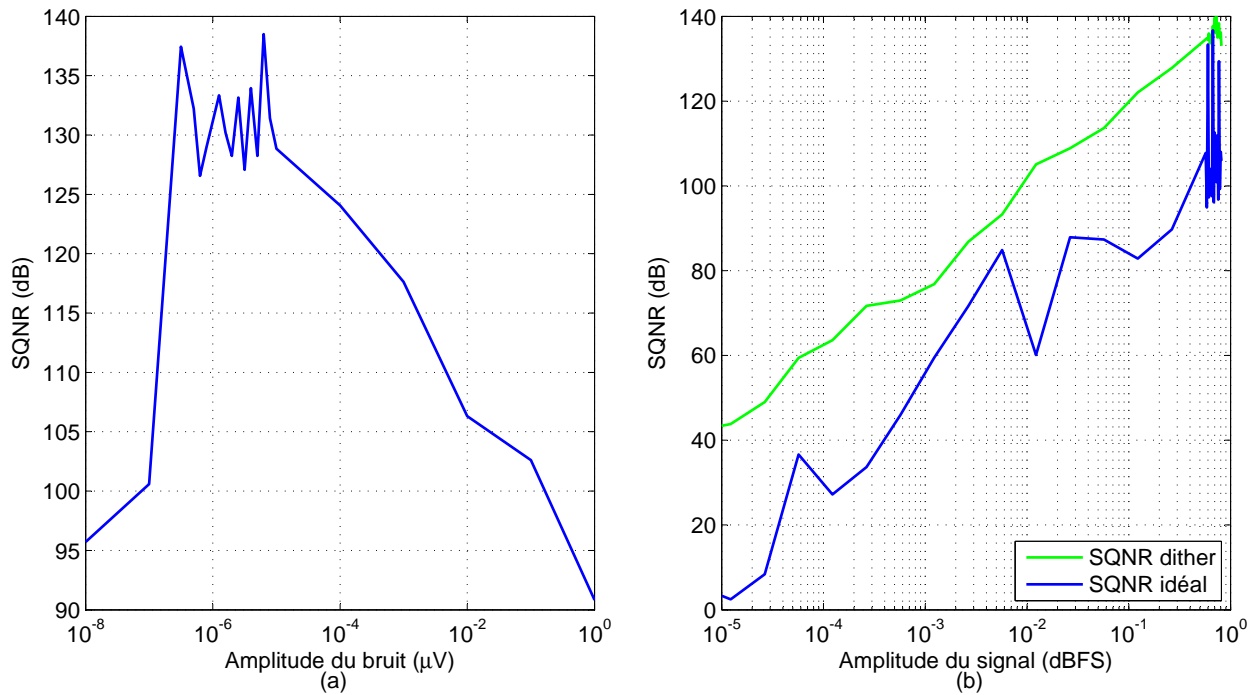


Figure 5.15 – Calcul du SQNR d'un train binaire de longueur $N=2274$ bits en fonction de (a) l'amplitude de la source de bruit ajoutée dans le modulateur générateur 5.14 et (b) l'amplitude du signal d'entrée avec et sans dither

intrinsèque d'un CNA à 1 bit de résolution. La technique de test proposée ci-après introduit un nouveau paramètre permettant de réduire la puissance du stimulus sans introduire d'erreurs de linéarité.

5.4 Description de la nouvelle technique de BIST

Cette section présente la génération d'un nouveau stimulus de test numérique basé sur la transformation d'une séquence binaire en une séquence ternaire pour réduire le bruit de quantification. Enfin, l'injection de ce stimulus est détaillée par un exemple d'implantation électrique sur un modulateur $\Sigma\Delta$ à capacités commutées.

5.4.1 Construction du stimulus ternaire

Linéarité d'un stimulus ternaire

La réduction de la puissance du bruit de quantification contenue dans le stimulus de test binaire nécessite l'ajout d'états intermédiaires de conversion. Mais l'implantation analogique de cette solution introduit des erreurs de linéarité, qui réduisent la qualité du signal. Seul un CNA ayant un bit de résolution, dont la transformation des deux niveaux binaires *haut* et *bas* en deux potentiels analogiques V_{ref}^+ et V_{ref}^- , conserve la linéarité du signal numérique initial. Cette conversion est représentée sur la figure 5.16.(a) pour une implantation unipolaire. La différence entre le cas idéal, en vert, et un cas réel, en bleu, montre l'existence d'une erreur de gain et d'une erreur d'offset lors de la conversion. Le passage à une conversion à trois états résulte à un système non linéaire, car la présence de cette erreur d'offset rend le passage de l'état haut à l'état intermédiaire différent du passage de l'état intermédiaire à l'état bas.

La figure 5.16.(b) représente le même processus de conversion mais adapté à un système différentiel. Dans ce cas, seule une erreur de gain est possible indépendamment de la valeur des potentiels de référence. Cette particularité apporte comme conséquence l'existence d'un niveau intermédiaire

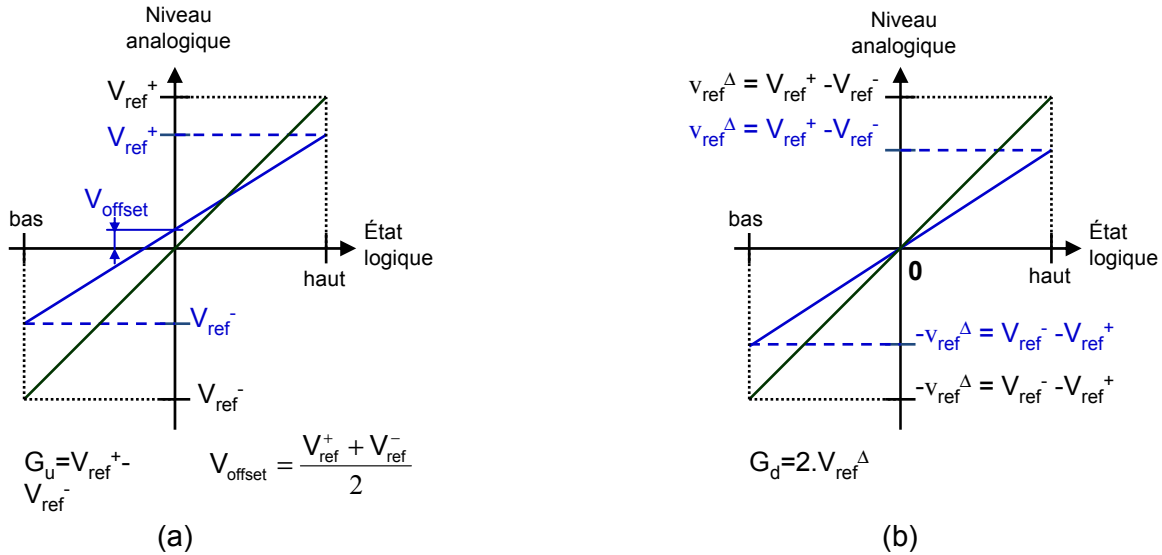


Figure 5.16 – Linéarité d'une conversion analogique-numérique à 1 bit de résolution pour un système (a) unipolaire et (b) différentiel.

nécessairement situé sur le segment $[-V_{ref}^{\Delta}, V_{ref}^{\Delta}]$, la tension différentielle nulle. Ainsi, la conversion numérique-analogique à trois états dans un système différentiel s'effectue sans perte de linéarité, si la tension différentielle nulle correspond à l'état intermédiaire.

Diminution du bruit de quantification

La génération d'une séquence ternaire s'obtient en ajoutant une séquence binaire avec une version retardée d'elle-même. Soit $B(k)$ les coefficients de Fourier, situés à la fréquence $f_k = k \cdot f_e/N$ et obtenus en calculant la TFD d'une séquence binaire $\{b_0, \dots, b_{N-1}\}$ de longueur N , alors les coefficients de Fourier $B_{\delta}(k)$ de cette même séquence décalée de manière circulaire par δ bits $\{b_{\delta}, \dots, b_{N-1}, b_0, \dots, b_{\delta-1}\}$ s'obtiennent en appliquant le théorème du décalage temporel

$$B_{\delta}(k) = B(k) \cdot e^{-j \frac{2\pi}{N} \delta k}, \quad \text{avec } k, \delta = 0, \dots, N-1. \quad (5.20)$$

En effectuant la moyenne arithmétique entre la séquence originale et la version retardée, la TFD du signal ternaire $T(k)$ s'exprime par

$$T(k) = \frac{B(k)}{2} \left(1 + e^{-j \frac{2\pi}{N} \delta k}\right), \quad \text{avec } k = 0, \dots, N-1. \quad (5.21)$$

La TFD du signal résultant montre que ses caractéristiques sont déterminées par le signal binaire initial et le retard introduit. Finalement, la PSD, S_T , de ce signal ternaire est

$$S_T(k) = S_B(k) \cdot \cos^2 \left(\frac{\pi k \delta}{N} \right), \quad k, \delta = 0, \dots, N-1 \quad (5.22)$$

avec $S_B(k) = \|B(k)\|^2$, la densité spectrale de l'harmonique de rang k .

Selon l'équation (5.22), le paramètre δ permet de réduire la puissance totale du bruit du stimulus ternaire, P_T , tel que

$$P_T \leq P_B, \quad (5.23)$$

avec P_B , la puissance de la séquence binaire et $P_X = \frac{1}{N} \sum_{k=0}^{N-1} S_X(k)$.

La figure 5.17 montre la PSD du stimulus binaire, en bleu, et du stimulus ternaire correspondant avec un délai $\delta = 1$, en vert, ainsi que leur densité de puissance cumulée définie par

$$Pq_X(n) = \sum_{k=2}^n S_X(k), \quad k = 2, \dots, n. \quad (5.24)$$

Le spectre du stimulus ternaire montre un comportement de filtre passe-bas, dont les zéros dépendent de la valeur du délai introduit. La puissance du bruit de quantification de la séquence binaire est quatre fois supérieure (6dB) à la puissance du stimulus ternaire correspondant. De plus, l'amplitude du fondamental encodée dans la séquence de test est très proche de la puissance totale du bruit de quantification du stimulus ternaire. Ainsi, la puissance du signal utile est identique à la puissance du bruit parasite pour le stimulus ternaire tandis qu'elle est quatre fois inférieure pour le stimulus binaire.

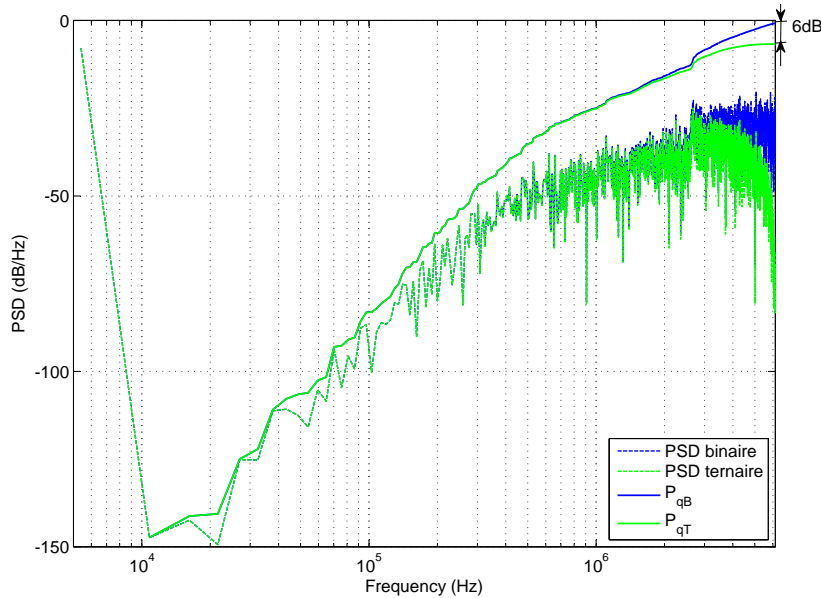


Figure 5.17 – Densité spectrale de puissance et puissance cumulée d'une séquence binaire et ternaire ($\delta=1$).

Enfin, l'amplitude et la phase du fondamental varient en fonction de δ et, en particulier, en définissant A_T , l'amplitude du fondamental et Φ_T , la phase du signal ternaire et A_B et Φ_B celles du signal binaire, l'équation (5.21) donne pour $k = 1$,

$$A_T = A_B \cdot \left| \cos \left(\frac{\pi \cdot \delta}{N} \right) \right| \quad (5.25)$$

$$\Phi_T - \Phi_B = -\frac{\pi}{N} \delta. \quad (5.26)$$

La figure 5.18 représente la variation de l'amplitude et de la phase des stimuli ternaires reproduits à partir d'une seule séquence binaire en fonction du délai. Cette figure corrèle parfaitement avec les équations (5.25) et (5.26), car A_T représente une fonction cosinus du délai et $\Phi_T - \Phi_B$ varie linéairement par rapport au délai.

Par conséquent, l'injection d'un stimulus ternaire permet d'effectuer le test du circuit pour différentes amplitudes du fondamental sans recharger le registre à décalage pour chaque séquence de test, mais en programmant différentes valeurs de délai. Le test du circuit pour plusieurs amplitudes du fondamental met en évidence la différence entre la puissance du bruit de plancher du convertisseur et la distorsion harmonique. Finalement, l'algorithme de la régression sinusoïdale s'implante avec quelques modifications mineures des ressources embarquées, car la différence d'amplitude entre les deux stimuli est négligeable pour de faibles valeurs de δ et la différence de phase varie linéairement (implantation détaillée à la fin ce chapitre).

Optimisation du train ternaire

Pour définir la qualité du stimulus ternaire, il faut prendre en compte, non seulement, ses performances dynamiques, mais aussi, sa puissance totale. Ainsi, l'objectif de l'algorithme d'optimisation

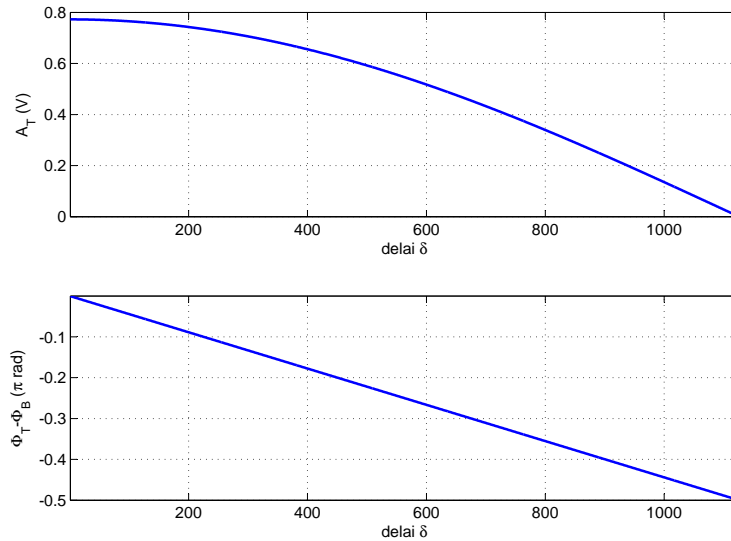


Figure 5.18 – Variation de l'amplitude et de la phase d'un signal ternaire en fonction du délai.

est de trouver la séquence de test ayant la meilleure performance dynamique pour la plus faible puissance totale. Cet algorithme commence par prélever en sortie du modulateur générateur un train binaire, dont la longueur est bien supérieure à la longueur de la séquence de test. Ce train binaire est divisé en séquences de longueur N déterminée par l'équation (5.19). Pour chacune de ces séquences, les performances dynamiques et la puissance du train ternaire correspondant au retard introduit sont calculées par une TFD. Par conséquent, avec le train binaire généré par une simulation, plusieurs séquences ternaires optimales sont calculées en fonction du retard introduit. La figure 5.19 représente le SQNR et la puissance correspondante du stimulus de test, calculés pour différents délais et différentes séquences binaires. Cette figure montre le résultat de l'optimisation de séquences ternaires pour différents valeurs de délais. La valeur correspondant à $\delta = 0$ donne la meilleure performance obtenue par le signal binaire. Le SQNR entre les deux stimuli est identique par contre le gain en puissance atteint presque un facteur 4 pour un délai unitaire. Cette valeur correspond à introduire un zéro à la moitié de la fréquence de l'horloge, réduisant ainsi le bruit introduit par les changements d'états.

La figure 5.20 illustre le processus de sélection d'une séquence de test représentée par un cercle situé en fonction de la puissance totale et de la puissance du plancher de bruit (valeur opposée au SQNR). Les séquences optimales se situent donc dans la partie inférieure gauche de cette figure. L'algorithme de sélection calcule ces deux valeurs au fur et à mesure de l'échantillonnage du train binaire de sortie du modulateur. La contrainte à respecter est un niveau de bruit au moins 2 *bits* supérieurs à la spécification du MUT. Parmi les séquences de test comprises entre la valeur maximale du SQNR et cette valeur minorée de $3dB$, représentées par des étoiles à l'intérieur des cercles, l'algorithme sauvegarde la séquence dont la puissance est moindre. Sur la figure, la séquence retenue est entourée par un losange. Cet algorithme s'applique pour différentes amplitudes du signal sinusoïdal excitant le modulateur générateur.

5.4.2 Implantation numérique et analogique

Implantation numérique

La figure 5.21.(a) représente l'implantation du stimulus ternaire à partir d'un registre à décalage. La seule différence entre cette figure et la partie numérique de la figure 5.4 provient des trois portes logiques connectées en sortie du registre à décalage (LFSR¹²). Ainsi, les ressources pour embarquer le stimulus ternaire sont quasiment identiques aux ressources nécessaires à la génération du stimu-

¹²Linear Feedback Shift Register

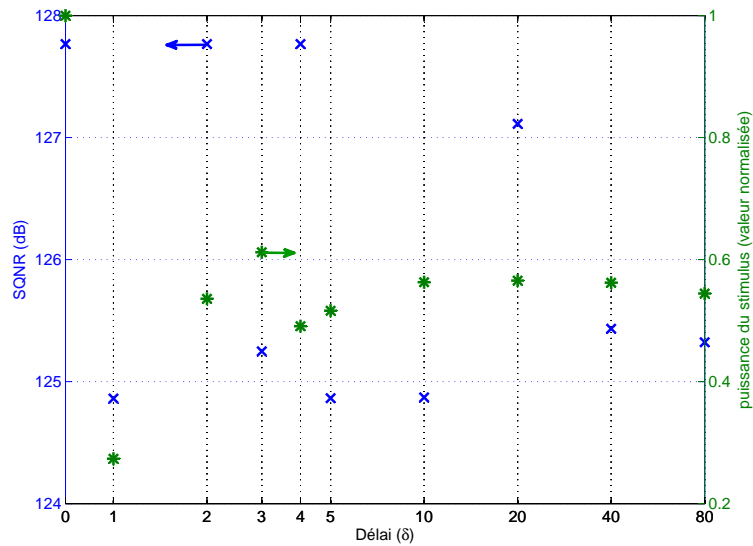


Figure 5.19 – SQNR et puissance totale de séquences ternaires en fonction du délai introduit

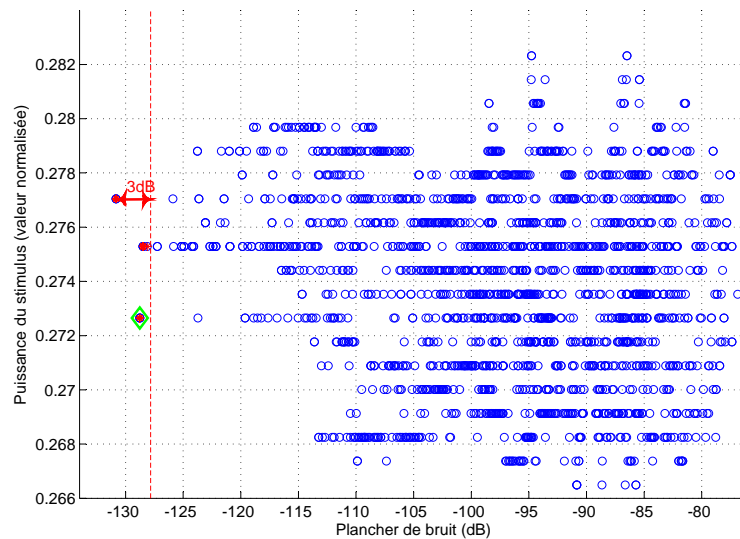


Figure 5.20 – Sélection d’une séquence ternaire en fonction du SQNR et de la puissance totale

lus binaire. Ce registre représente un coût en surface mais rend cette technique plus autonome, car l’occupation du testeur est limitée au chargement de la séquence de test dans les cellules mémoire. L’implantation représentée sur la figure 5.21.(b) consiste à intégrer uniquement les cellules de mémoire correspondant au délai δ et la logique numérique. Pendant la phase de test, le train est injecté périodiquement par une borne du testeur mais la surface ajoutée est moindre.

Le choix entre ces deux méthodes se fait au cas par cas : accessibilité du circuit à tester, ressources disponibles sur la puce, etc. D’autre part, l’utilisation d’un résonateur numérique intégré à la place du registre à décalage permet aussi de générer un train ternaire comme stimulus de test.

Implantation analogique

Pour un circuit différentiel à capacités commutées, la conversion des trois états numériques en trois états analogiques à partir d’un CNA à 1 bit de résolution s’effectue sans introduire d’erreurs de linéarité. En effet, les niveaux logiques 1 et -1 sont convertis en une tension différentielle positive V_{ref}^{Δ} et négative $-V_{ref}^{\Delta}$ respectivement. Pour introduire l’état intermédiaire, la tension différentielle nulle est créée en reliant toutes les bornes des capacités d’échantillonnage du circuit sous test au

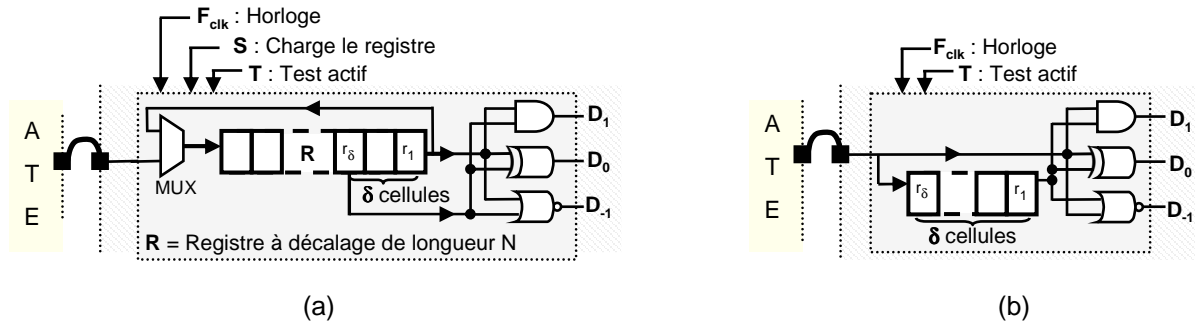


Figure 5.21 – Implantation numérique du stimulus ternaire (a) avec un registre à décalage complet et (b) avec seulement les cellules de mémoire nécessaires à l'introduction d'un retard.

même potentiel. Cette phase décharge complètement ces capacités entraînant une différence de potentielle nulle entre leurs bornes.

L'implantation typique d'injection du stimulus ternaire sur un modulateur à capacités commutées est représentée sur la figure 5.22. Le signal de commande T sert à activer la phase de test, les signaux D_1 , D_0 et D_{-1} sont utilisés pour injecter les trois états 1, 0 et -1 , respectivement. L'injection du stimulus de test requiert l'ajout de quatre interrupteurs supplémentaires pour connecter les tensions de référence du CAN du modulateur sous test V_{ref}^+ et V_{ref}^- aux capacités d'échantillonnage. Ainsi, les états logiques 1 et -1 sont convertis en tensions différentielles $\Delta V_{ref} = V_{ref}^+ - V_{ref}^-$ et $-\Delta V_{ref} = -(V_{ref}^+ - V_{ref}^-)$, respectivement. L'état intermédiaire 0 est implanté en connectant les capacités d'échantillonnage d'entrée du modulateur directement au potentiel de mode commun V_{cm} pendant la phase d'échantillonnage. L'implantation de l'état intermédiaire bénéficie de la présence d'interrupteurs nécessaires au fonctionnement du modulateur, donc aucun transistor supplémentaire n'est ajouté pour intégrer cet état.

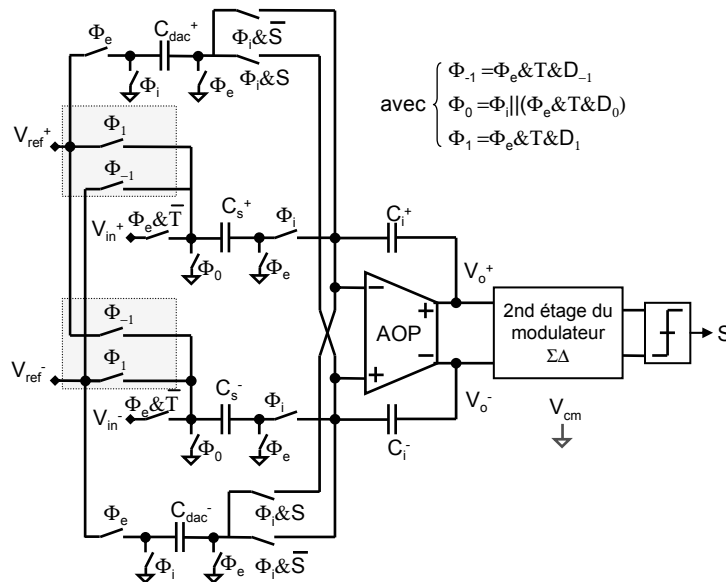


Figure 5.22 – Implantation analogique du stimulus ternaire parallèlement à l'entrée du modulateur $\Sigma\Delta$ à capacités commutées.

BIST complet

La figure 5.23 représente une manière de modifier une solution d'intégration de la technique BIST numérique proposée par *Rolindez et al.* [137] pour générer et injecter le signal ternaire à la place

du signal binaire. Pour cet exemple, le signal de référence est retardé d'un nombre de délais égal à la somme de l'ordre du modulateur et du retard introduit dans la création du stimulus ternaire. D'autre part, ce signal est mémorisé en sortie du filtre numérique dans une première étape. La seconde étape consiste à injecter le train ternaire en entrée du modulateur et mémoriser la réponse de test en sortie du filtre numérique. Ainsi, le signal de référence et la réponse de test enregistrés dans leurs mémoires respectives sont en phase. Enfin, l'algorithme de régression sinusoidale reconstruit le signal de référence ajusté afin d'extraire le SNDR.

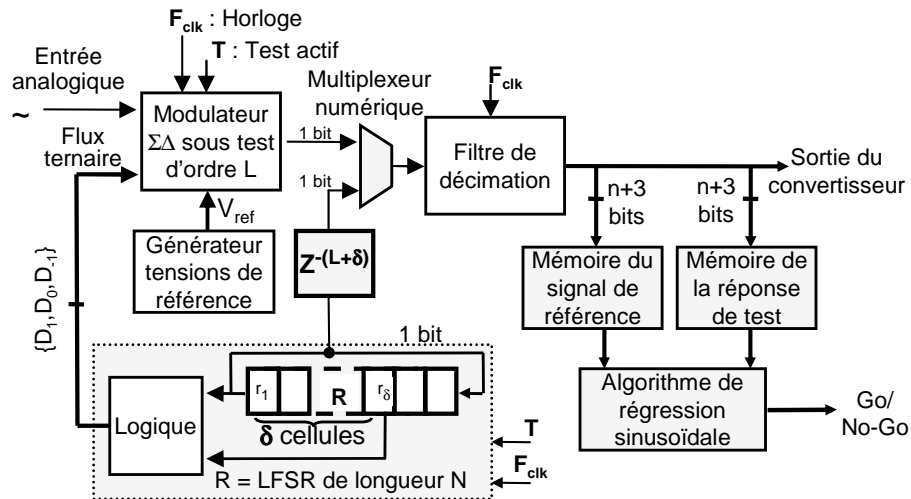


Figure 5.23 – Auto-test intégré incluant la génération d'un stimulus ternaire et l'analyse de la réponse par une régression sinusoidale.

5.5 Conclusion

Les principes du fonctionnement et du test par un stimulus numérique des convertisseurs $\Sigma\Delta$ ont été exposés dans la première partie de ce chapitre. Relativement aux travaux existants, l'algorithme de sélection d'une séquence optimale de test a été simplifié par l'ajout dans le modulateur d'une source de bruit de très faible amplitude. Ensuite, la réduction de la puissance du bruit de quantification contenue dans la séquence binaire est obtenue par une simple addition numérique de la séquence optimale à une version d'elle-même retardée. Le calcul de la densité spectrale de puissance du stimulus ternaire résultant de cette addition montre que les caractéristiques de ce nouveau stimulus dépendent uniquement de la séquence binaire original et du nombre de délais introduits dans le retard. Enfin, l'injection de la séquence ternaire est détaillée pour un modulateur différentiel à capacités commutées.

Toutefois, la qualité de ce nouveau stimulus de test nécessite d'être évaluée et comparée à la technique employant un stimulus binaire. Cette évaluation s'effectue dans le chapitre suivant en utilisant la méthodologie proposée au chapitre précédent 4.2.

Chapitre 6

Conception en vue du test d'un CAN- $\Sigma\Delta$

La transformation d'une séquence de test binaire en une séquence ternaire présentée dans le chapitre précédent permet de réduire le bruit de quantification contenu dans le stimulus de test sans dégrader la précision du signal contenue dans la bande passante du convertisseur. Cet avantage conduit à une meilleure couverture du test de la dynamique d'entrée du modulateur, car la saturation du modulateur sous test est atteinte pour une amplitude du signal équivalent encodé proche de la pleine échelle.

La première partie de ce chapitre suit le flot de conception *Top-Down* pour développer un convertisseur $\Sigma\Delta$, dont les spécifications et l'architecture ont été définies par *L. Rolindez* [137]. Après le parcours du flot complet, les étapes de conception délivrant des informations nécessaires à l'estimation des métriques de test sont détaillées pour préciser les précautions à prendre pour extraire correctement ces informations. Puis, les techniques de test numérique présentées au chapitre 5 sont évaluées par simulations comportementales du modulateur modélisé pendant la phase de conception. La dernière partie est consacrée à l'estimation des métriques de test de chaque technique suivant les limites de test considérées.

6.1 Conception d'un convertisseur $\Sigma\Delta$

En l'absence de spécifications sur la surface du circuit et sur la consommation électrique, l'objet de ces travaux ne vise pas une amélioration de la figure de mérite de l'état de l'art actuel sur la conception de convertisseurs $\Sigma\Delta$. Dans un contexte industriel, la minimisation de ces deux paramètres est le critère principal dans les choix de conception. En effet, la surface représente un coût direct de fabrication et réduire la puissance électrique consommée est souvent un challenge délicat, pourtant exigé par de nombreuses applications. Enfin, la robustesse du circuit est une contrainte implicite tout aussi importante, car elle influence les rendements de production. Une architecture fiable est préférée à une architecture économique (surface réduite, faible consommation, etc...).

6.1.1 Architecture système

La conception *Top-Down* commence par un cahier des charges, car il permet de cibler les architectures et les paramètres haut-niveau. Puis ces paramètres sont utilisés dans un modèle comportemental, dont les résultats de simulations affinent les choix sur les paramètres de conception. Enfin, ces paramètres aident à définir les dimensions des composants élémentaires, l'objectif de cette phase de conception.

Spécifications

La première étape de conception d'un circuit intégré consiste à établir l'architecture optimale en fonction du cahier des charges. Pour ce cas d'étude, les spécifications sont résumées dans le tableau 6.1. Le niveau de bruit et le taux de distorsion faibles exigés correspondent à des performances attendues pour une application audio, car l'oreille humaine est sensible à la distorsion harmonique. Cette difficulté est accrue par la dynamique d'entrée relativement élevée.

$SNDR_{spec}$	96dB
$ENOB_{spec}$	15.7bits
Dynamique d'entrée	1.4V
Bande passante	22.05kHz

Tableau 6.1 – *Cahier des charges simplifié.*

Architecture

Pour ce type de convertisseur, le premier critère à déterminer est l'ordre du modulateur. Le choix simple est un modulateur du second ordre, car la stabilité des modulateurs d'ordre supérieur est plus difficile à garantir selon les déviations paramétriques du *process* et un modulateur du premier ordre ne permet pas de satisfaire les spécifications de résolution (SNDR et ENOB). La figure 6.1 établie à partir de l'équation (5.9) représente le SQNR de modulateurs d'ordre $L = 1, 2$ et 3 en fonction du taux de sur-échantillonnage. Ainsi, un modulateur du second ordre et un taux de sur-échantillonnage $OSR = 256$ satisfont la condition sur le rapport signal-sur-bruit avec distorsion.

L'architecture retenue est représentée sur la figure 6.2 [144]. Elle présente l'avantage de réduire la dynamique de sortie des intégrateurs grâce à l'introduction dans la chaîne de conversion de deux gains de facteur un demi. Cette particularité est intéressante dans notre situation, car la dynamique d'entrée du signal est importante.

La fonction de transfert du signal STF_{Mod2} est donnée par la relation

$$STF_{Mod2}(z) = \frac{1}{4} \cdot \frac{z^{-2}}{D(z)} \quad (6.1)$$

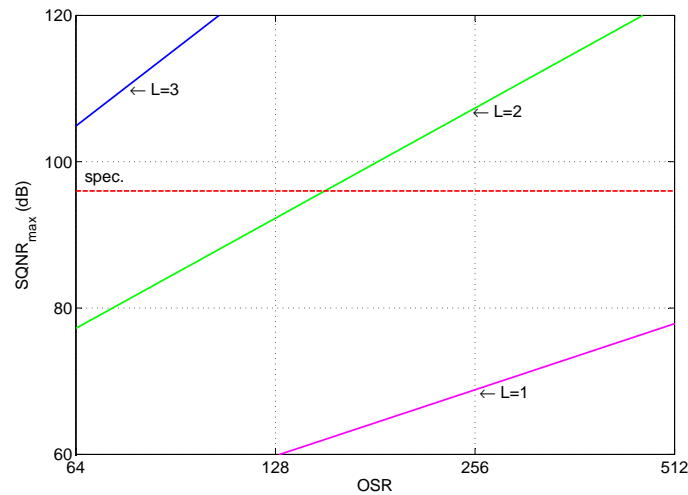


Figure 6.1 – Rapport signal sur bruit de quantification (SQNR) en fonction du taux de sur-échantillonnage pour un modulateur $\Sigma\Delta$ d'ordre $L=1,2$ et 3 .

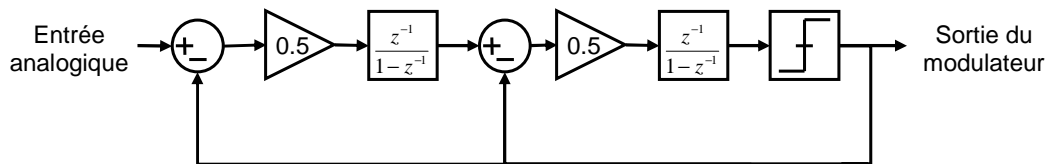


Figure 6.2 – Architecture du modulateur $\Sigma\Delta$ d'ordre $L = 2$.

et sa fonction de transfert de bruit NTF_{Mod2} par

$$NTF_{Mod2}(z) = \frac{(1 - z^{-1})^2}{D(z)} \quad (6.2)$$

avec $D(z) = 1 - 1.5 \cdot z^{-1} + 0.75 \cdot z^{-2}$.

La fonction de transfert du signal ne modifie pas le gain dans la bande passante du convertisseur (si $f \ll f_e$, $\|STF_{Mod2}(f)\| = 1$), mais introduit un délai de deux coups d'horloge. L'introduction de ce délai permet l'établissement de la réponse en sortie de l'intégrateur sur une période d'horloge complète.

Le choix d'un convertisseur à capacités commutées au lieu d'un convertisseur à temps continu provient de la simplicité de conception des architectures à capacités commutées. En effet, les modulateurs $\Sigma\Delta$ à temps continu sont sensibles à la gigue de l'horloge¹ et au délai introduit par le comparateur dans la boucle de contre-réaction. Ces deux paramètres ne sont pas évidents à modéliser en l'absence de plus d'expertise sur ce type de convertisseur.

Paramètres du modulateur

Pour déterminer les caractéristiques du modulateur, l'ordre et le taux de sur-échantillonnage sont choisis en optimisant la surface et la consommation. La figure 6.1 montre qu'un modulateur $\Sigma\Delta$ d'ordre $L = 2$ avec un taux de sur-échantillonnage de 256 laisse une marge suffisante pour répondre aux exigences fixées dans le cahier des charges. Mais un modulateur d'ordre $L = 3$ avec un taux de sur-échantillonnage de 64 serait aussi un bon candidat. L'ordre le plus faible ne signifie pas forcément une consommation électrique réduite, car le taux de sur-échantillonnage élevé implique de fortes contraintes sur la conception de l'amplificateur opérationnel (AOP), en particulier son

¹jitter

temps d'établissement. Cependant, l'avantage des modulateurs du second ordre est leur robustesse vis-à-vis des déviations paramétriques. Le modulateur est stable, mais il sature pour des tensions d'entrée élevées. L'exigence première, dans le cas présent, est d'obtenir un circuit fonctionnel pour évaluer une technique de test ce qui impose le choix d'un modulateur second ordre.

Ensuite, la tension d'entrée maximale $A_{in,max} = 1.4V$ et le coefficient d'atténuation G_{stab} (défini dans le chapitre précédent 5.1) permettent de déterminer la tension de référence V_{dac} du convertisseur numérique-analogique. La valeur de ce coefficient s'établit par simulations de l'architecture représentée sur la figure 6.2 en faisant varier le rapport entre $A_{in,max}$ et V_{dac} . La valeur typique d'un modulateur du second ordre est 0.8. Les premiers paramètres de conception du modulateur sont résumés dans le tableau 6.2.

Ordre	L=2
OSR	256
F_e	12.288MHz
V_{dac}	1.75V
V_{dd}	3.3V

Tableau 6.2 – Paramètres du modulateur $\Sigma\Delta$.

Enfin, la tension d'alimentation est fixée par le choix de la technologie utilisée pour produire le circuit. Pour ce cas d'étude, le circuit est conçu dans la technologie CMOS de $0.13\mu m$ mise au point par STMicroelectronics. Ce choix s'effectue en pratique en optimisant la surface et, en particulier, en fonction de la densité d'intégration de la partie numérique. La différence de surface occupée par la partie analogique est relativement moins sensible suivant la technologie choisie.

L'implantation électrique du modulateur choisi est schématisée sur la figure 6.3. Le fonctionnement de ce modulateur repose sur une phase d'échantillonnage du signal d'entrée ϕ_e et une phase d'intégration ϕ_i . Le rapport des capacités C_s et C_i définit le gain de chaque étage intégrateur. La particularité de cette architecture est un gain identique pour le chemin d'entrée et le chemin de contre-réaction V_{ref} . Par conséquent, il est possible d'intégrer une seule capacité d'échantillonnage pour obtenir les fonctions de transfert du signal et du bruit désirées. Pendant la phase d'intégration, le signal de contre-réaction est injecté en connectant les électrodes de la capacités d'échantillonnage aux potentiels de référence délivrés par le CNA et aux entrées de l'AOP.

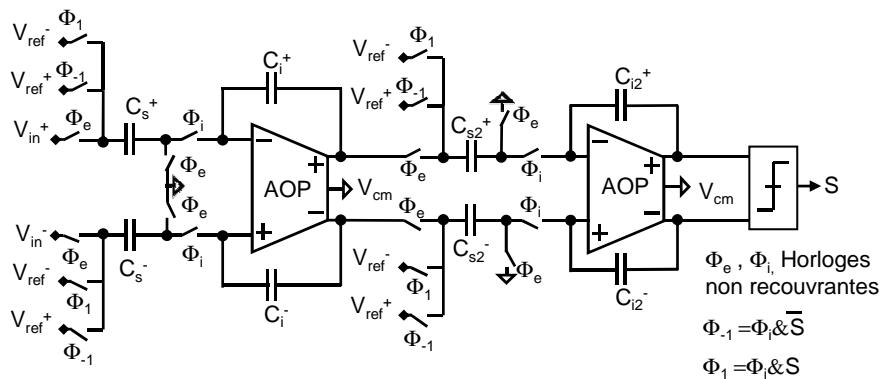


Figure 6.3 – Implantation électrique du modulateur $\Sigma\Delta$ à capacités commutées.

Pour obtenir les dimensions des composants de cette architecture, les paramètres à définir sont les tailles des capacités d'échantillonnage et d'intégration, les performances de l'AOP et du comparateur ainsi que les dimensions des interrupteurs CMOS.

Prédimensionnement

L'expression du $SQNR$ donnée par l'équation (5.9) est insuffisante pour garantir le rapport signal sur bruit défini dans les spécifications². Les performances d'un modulateur réel sont réduites par les sources de bruit intrinsèque (bruit thermique des résistances des interrupteurs, bruit de l'AOP) et par le bruit présent dans son environnement. Les puissances des sources de bruit intrinsèque, environnant et de quantification s'additionnent pour fournir la valeur de la puissance du plancher de bruit $P_{mod,tot}$

$$P_{mod,tot} = P_{q,Nyq} + P_{kTC} + P_{th,amp} + P_{1/f,amp} + P_{marge} \quad (6.3)$$

avec $P_{kTC}, P_{th,amp}, P_{1/f,amp}$ et P_{marge} , respectivement les puissances de bruit thermique des interrupteurs formant le réseau de capacités commutées et l'AOP utilisé dans l'intégrateur, la puissance du bruit en $1/f$ de ce même amplificateur et les puissances cumulées d'autres sources comme les tensions de référence, les interférences avec des signaux numériques, etc...

Le rapport signal sur bruit spécifié se relie avec $P_{mod,tot}$ par la formule suivante

$$SNR = 10 \cdot \log \left(\frac{G_{stab}^2 * V_{dac}^2}{2 \cdot P_{mod,tot}} \right). \quad (6.4)$$

En considérant que les puissances du bruit thermique généré par l'AOP et par les interrupteurs sont identiques et en négligeant la puissance du bruit en $1/f$, la puissance du plancher de bruit dans la bande passante du modulateur s'exprime uniquement en fonction de la taille de la capacité d'échantillonnage C_s et d'un coefficient α défini tel que $P_{marge} = \alpha \cdot P_{mod,tot}$ avec $\alpha \in [0..1[$,

$$P_{mod,tot} = \frac{P_{q,Nyq} + 2 * P_{kTC}}{1 - \alpha}. \quad (6.5)$$

En remplaçant les puissances par leurs expressions³, une première estimation du rapport signal sur bruit est comparée avec la valeur spécifiée pour déterminer la taille des capacités C_s

$$SNR = 10 \cdot \log_{10} \left(\frac{G_{stab}^2 V_{dac}^2 \cdot (1 - \alpha)}{2 \left(\frac{\pi^{2L} \cdot V_{dac}^2}{3 \cdot (2L+1) OSR^{2L+1}} + \frac{4 \cdot k_b T}{C_s \cdot OSR} \right)} \right). \quad (6.6)$$

Cette expression montre l'importance de diminuer la puissance du bruit de quantification pour optimiser la surface des capacités. Cette optimisation apporte un gain en surface considérable, car elle implique l'intégration de la valeur optimale des capacités d'intégration et, par conséquent, un gain en consommation électrique de l'AOP.

Son expression numérique donne

$$SNR = 10 \cdot \log_{10} \left(\frac{(1 - \alpha) \cdot 0.98}{18.1e - 12 + \frac{6.46e - 23}{C_s}} \right) \quad (6.7)$$

avec $k_b = 1.38 \cdot 10^{-23}$ la constante de Boltzman, $T = 300K$ la température, $G_{stab} = 0.8$, $V_{dac} = 1.75$, $L = 2$ et $OSR = 256$.

La figure 6.4 représente les valeurs de SNR obtenues à partir de l'équation (6.7) en variant la capacité C_s entre $0.125pF$ et $1pF$ et le facteur de marge α entre 0.1 et 0.5. Le choix des deux capacités d'entrée $C_s = 1pF$ (bruit équivalent à une seule capacité de $0.5pF$) permet de conserver un facteur de marge de 0.3. Autrement dit, le bruit thermique et le bruit de quantification représentent 70% du niveau du plancher de bruit. Un facteur de marge plus faible permettrait de réduire encore la taille des capacités mais cette opération nécessite une meilleure connaissance du bruit environnant et des phénomènes de distorsion et des techniques susceptibles de réduire leur impact sur le fonctionnement du modulateur.

²SNR et SNDR identiques en l'absence de distorsion

³détaillées au paragraphe 6.1.2

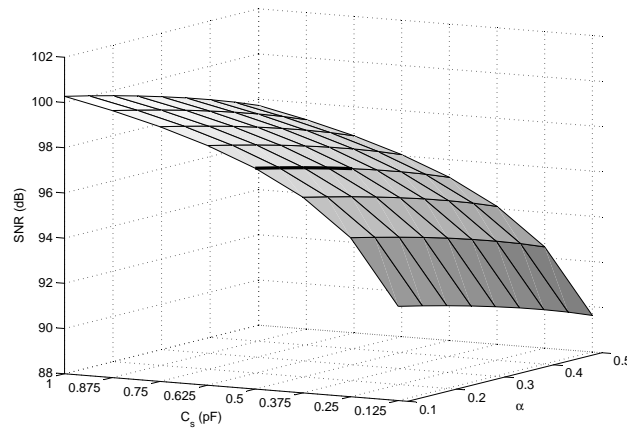


Figure 6.4 – Dimension de la capacité d'échantillonnage en fonction du coefficient de marge α et du rapport signal sur bruit du modulateur.

6.1.2 Description du modèle comportemental

L'estimation des performances de l'AOP et la vérification des calculs précédents s'effectuent avec un modèle comportemental. La figure 6.5 représente le modèle du modulateur du second ordre à capacités commutées. Les choix des blocs s'effectue en fonction de l'influence de leurs paramètres sur les performances du modulateur. D'ailleurs, seules les non idéalités du premier étage sont modélisées, car la mise en forme du bruit de quantification par cette étage permet de négliger les imperfections liées au fonctionnement du second étage [25]. La modélisation de chaque bloc découle d'une analyse du fonctionnement du circuit électrique correspondant.

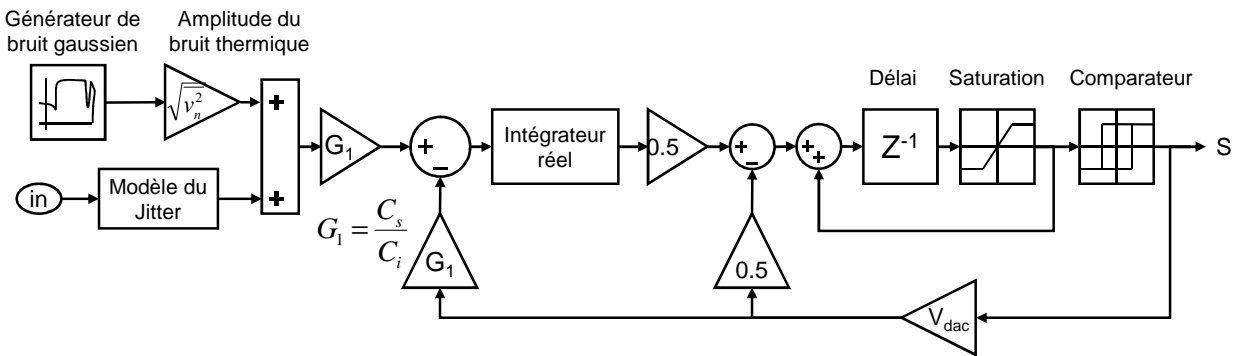


Figure 6.5 – Modèle comportemental du modulateur $\Sigma\Delta$ du 2nd ordre à capacités commutées.

L'intégrateur

Le schéma différentiel de l'implantation électrique de l'intégrateur du premier étage du modulateur est représenté sur la figure 6.6. Les horloges Φ_e et Φ_i sont non recouvrantes et correspondent respectivement à la phase d'échantillonnage et à la phase d'intégration. La tension de mode commun V_{cm} est considérée identique en entrée et en sortie de l'intégrateur.

À la fin de la phase d'échantillonnage Φ_e , la quantité de charges $Q_s^{+/-}$ stockées dans les capacités $C_s^{+/-}$ est proportionnelle aux tensions d'entrée $V_{in}^{+/-}$

$$\begin{cases} Q_s^+ = C_s^+ \cdot (V_{in}^+ - V_{cm}) \\ Q_s^- = C_s^- \cdot (V_{in}^- - V_{cm}). \end{cases} \quad (6.8)$$

Pendant cette phase, l'intégrateur est contre-réactionné par les capacités $C_i^{+/-}$ permettant de maintenir son état précédent. En considérant l'instant t_k comme étant la fin de la phase d'intégration

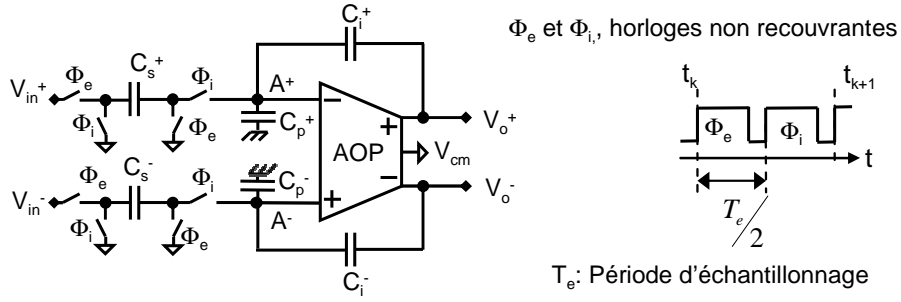


Figure 6.6 – Schéma différentiel d'un intégrateur à capacités commutées.

précédente, les charges présentes aux noeuds électriques $A^{+/-}$ à la fin de la période d'échantillonnage sont

$$\begin{cases} Q_A^+ = C_p^+ \cdot V_{A_k}^+ + C_i^+ \cdot (V_{A_k}^+ - V_{o_k}^+) \\ Q_A^- = C_p^- \cdot V_{A_k}^- + C_i^- \cdot (V_{A_k}^- - V_{o_k}^-), \end{cases} \quad (6.9)$$

avec $V_{A_k}^{+/-}$, $V_{o_k}^{+/-}$ les potentiels d'entrée et de sortie de l'intégrateur à l'instant t_k .

Pendant la phase d'intégration, les capacités d'échantillonnage sont connectées aux noeuds $A^{+/-}$. La conservation de la charge en ces noeuds donne, à tout instant $t \in [t_k + T_e/2, t_{k+1}[$, les relations suivantes

$$\begin{cases} C_t^+ \cdot V_A^+(t) - C_i^+ \cdot V_o^+(t) = -C_s^+ \cdot (V_{in}^+ - V_{cm}) + C_p^+ \cdot V_{A_k}^+ + C_i^+ \cdot (V_{A_k}^+ - V_{o_k}^+) \\ C_t^- \cdot V_A^-(t) - C_i^- \cdot V_o^-(t) = -C_s^- \cdot (V_{in}^- - V_{cm}) + C_p^- \cdot V_{A_k}^- + C_i^- \cdot (V_{A_k}^- - V_{o_k}^-), \end{cases} \quad (6.10)$$

avec $C_p^{+/-}$ les capacités parasites d'entrée de l'AOP et $C_t^{+/-}$ la somme des capacités C_s^+ , C_i^+ et C_p^+ .

La résolution du système différentiel (6.13) est difficile à établir, car les tensions d'entrée et de sortie de l'AOP ne sont pas indépendantes impliquant une interaction entre les chemins positifs et négatifs du signal. Cette relation met en jeu le système d'asservissement du mode commun, le mésappariement des composants de chaque chemin et l'asymétrie de l'AOP. Toutefois, l'impact de ces défauts sur les performances de l'intégrateur est négligeable pour la précision du système à modéliser. Par conséquent, l'asservissement du mode commun est considéré idéal. Cette hypothèse permet de simplifier ce système d'équations en effectuant la différence entre le chemin positif et le chemin négatif pour obtenir une description unipolaire. L'expression équivalente est donnée par la relation

$$C_t \cdot v_A(t) - C_i \cdot v_o(t) = -C_s \cdot v_{in} + C_p \cdot v_{A_k} + C_i \cdot (v_{A_k} - v_{o_k}), \quad (6.11)$$

avec $C_x = (C_x^+ + C_x^-)/2$ et $v_x = V_x^+ - V_x^-$.

Cette modélisation courante d'un système différentiel en son équivalent unipolaire permet de simplifier la représentation schématique de l'architecture en ne considérant qu'un seul chemin.

La réalisation d'un modulateur $\Sigma\Delta$ à partir d'un intégrateur à capacités commutées est représentée sur la figure 6.7.

Cette transformation s'effectue en créant un chemin de contre-réaction reliant l'entrée d'un intégrateur et la sortie de l'étage de quantification par un CNA 1 bit. Plus précisément, le CNA 1 bit correspond à la connexion de la capacité d'échantillonnage entre les tensions de référence positives ou négatives suivant l'état de l'étage de quantification et le noeud A pendant la phase d'intégration. Cette opération se traduit en modifiant l'équation 6.12 par

$$C_t \cdot v_A(t) - C_i \cdot v_o(t) - C_s \cdot \text{sign}(V_{ref}) = -C_s \cdot v_{in} + C_p \cdot v_{A_k} + C_i \cdot (v_{A_k} - v_{o_k}), \quad (6.12)$$

avec la fonction sign traduite par

$$\begin{cases} \text{sign}(V_{ref}) = -V_{ref} \text{si } \phi_1 \\ \text{sign}(V_{ref}) = +V_{ref} \text{si } \phi_{-1}, \end{cases} \quad (6.13)$$

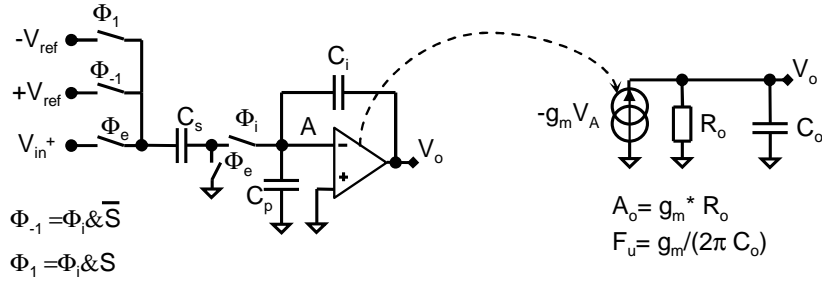


Figure 6.7 – Schéma unipolaire du premier étage d'un modulateur à capacités commutées.

avec ϕ_1 et ϕ_{-1} décrits en fonction de l'étage de quantification (code de sortie S sur la figure 6.5).

Le modèle de l'AOP prend en compte le gain en boucle ouverte A_0 et un seul pôle, la relation entre l'entrée et la sortie différentielle s'exprime par

$$-v_A(t) = \frac{v_o(t)}{A_0} + \frac{1}{2\pi \cdot f_u} \cdot \frac{dv_{out}(t)}{dt}, \quad (6.14)$$

avec f_u la fréquence de gain unité.

En remplaçant v_A dans l'équation (6.12) par l'expression donnée en (6.14), la relation entre la tension différentielle du signal d'entrée v_{in} , la tension de contre-réaction du CNA v_{ref} et les tensions de sortie du modulateur v_o est établie par la relation suivante

$$\frac{dv_o(t)}{dt} + \frac{1}{\tau} \left(1 + \frac{C_t}{A_0 C_i}\right) v_o(t) = \frac{1}{\tau} \frac{C_s}{C_i} \cdot (v_{in} - v_{ref}) + \frac{1}{\tau} \left(1 - \frac{1 + \frac{C_p}{C_i}}{A_0}\right) v_{ok}, \quad (6.15)$$

avec

$$\tau = \frac{C_t}{2\pi f_u C_i}. \quad (6.16)$$

Après le calcul des solutions homogène et particulière de l'équation (6.15), l'expression de $v_o(t)$ pendant ϕ_i est donnée par

$$v_o(t) = v_{ok} + \alpha \frac{C_s}{C_i} \left(v_{in} - v_{ref} - \frac{v_{ok}}{A_0} \right) \left(1 - e^{-\frac{t}{\alpha\tau}} \right), \quad (6.17)$$

avec

$$\alpha = \frac{A_0 C_i}{A_0 C_i + C_t}.$$

La solution proposée en (6.17) suppose d'une part qu'à l'instant initial de la phase Φ_i , $v_o(t) = v_o(t_k)$ et d'autre part que la tension de sortie de l'intégrateur est en régime établi. Mais si l'AOP n'est pas en régime linéaire, le modèle de l'AOP représenté sur la figure 6.7 n'est plus valable, car le temps de montée de la tension de sortie est limité par le *slew-rate* de l'AOP. Pour vérifier cette condition, la valeur maximale de la dérivée de la fonction (6.17) atteinte à l'instant initial de la phase Φ_i

$$\dot{v}_{o,max} = \frac{dv_o(t)}{dt} \Big|_{max} = \frac{1}{\tau} \frac{C_s}{C_i} \left(v_{in} - v_{ref} - \frac{v_{ok}}{A_0} \right),$$

est comparée avec la valeur du *slew-rate*, SR . Suivant le résultat de cette comparaison, trois cas sont envisagés :

- le *slew-rate* de l'AOP est supérieur à $\dot{v}_{o,max}$, alors la sortie de l'intégrateur à la fin de la phase ϕ_i est donnée par la fonction (6.17) pour $t = T_e/2$

$$v_o(t_{k+1}) = v_o(t_k) + \alpha \frac{C_s}{C_i} \left(v_{in} - v_{ref} - \frac{v_o(t_k)}{A_0} \right) \left(1 - e^{-\frac{T_e}{2\alpha\tau}} \right). \quad (6.18)$$

– le *slew-rate* de l'AOP est inférieur à $\dot{v}_{o,max}$ et $\exists t_0 \geq T_e/2$, tel que

$$\left. \frac{dv_o(t)}{dt} \right|_{t=t_0} \geq SR, \quad (6.19)$$

alors l'AOP n'atteint pas le régime établi à la fin de la phase d'intégration et la tension de sortie de l'intégrateur est une fonction linéaire

$$v_o(t_{k+1}) = v_o(t_k) + SR \cdot \frac{T_e}{2}. \quad (6.20)$$

– le *slew-rate* de l'amplificateur est inférieur à $\dot{v}_{o,max}$ et $\exists t_0 \in [0, T_e/2]$ tel que

$$\left. \frac{dv_o(t)}{dt} \right|_{t=t_0} \leq SR, \quad (6.21)$$

alors l'AOP atteint le régime établi à l'instant t_0 et la tension de sortie de l'intégrateur s'exprime par

$$v_o(t_{k+1}) = v_o(t_k) + SR \cdot t_0 + \alpha \frac{C_s}{C_i} \left(v_{in} - v_{ref} - \frac{v_o(t_k)}{A_0} \right) \left(1 - e^{-\frac{T_e/2 - t_0}{\alpha\tau}} \right). \quad (6.22)$$

Enfin, la valeur de t_0 s'obtient en considérant la continuité de la fonction dérivée de la tension de sortie en cet instant. En remplaçant l'expression de cette fonction dérivée dans l'équation (6.14) par le *slew-rate* SR , il découle

$$t_0 = \frac{\beta \cdot G_1 \left(v_{in} - v_{ref} - \frac{v_o(t_k)}{A_0} \right)}{SR} - \alpha\tau. \quad (6.23)$$

La figure 6.8 représente le bloc modélisant l'impact de l'AOP sur les performances du modulateur. Les équations (6.18), (6.20), (6.22) et (6.23) sont implantées dans le bloc modèle du *slew-rate*. L'étage *saturation* limite la sortie de l'AOP aux tensions de saturation hautes et basses. Le modèle calcule la tension de sortie de l'intégrateur uniquement à la fin de la phase d'intégration, car le système ne comporte pas de chemin avec un signal continu. Cette simplification réduit fortement les temps de simulation du circuit complet.

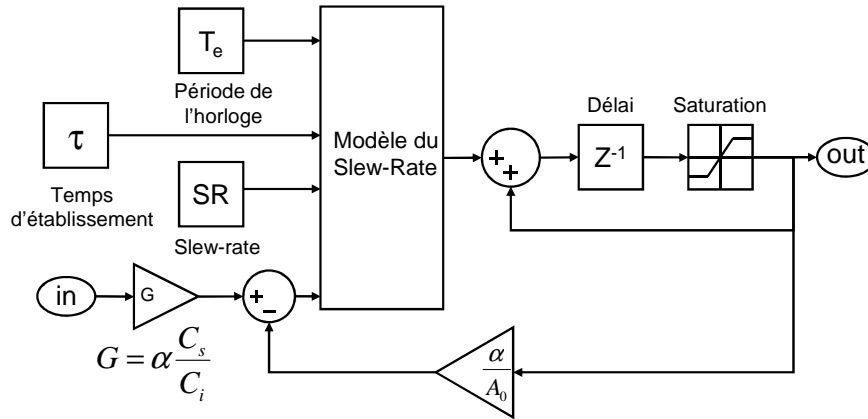


Figure 6.8 – Modèle comportemental de l'intégrateur.

Les sources de bruit

Les sources de bruit dominantes d'un modulateur $\Sigma\Delta$ à capacités commutées proviennent de l'utilisation d'interrupteurs CMOS, dont la résistivité constitue une source de bruit thermique. De la même manière, l'impédance d'entrée finie de l'AOP contribue à diminuer la précision du

modulateur. Une source de bruit thermique se modélise par un bruit blanc gaussien, c'est-à-dire par un générateur gaussien de nombres aléatoires de valeur moyenne nulle et de variance définie par la densité spectrale de l'amplitude du bruit. L'impact des sources de bruit est ramené au bruit équivalent en entrée du modulateur. Cet impact se calcule en fonction de l'état du modulateur. Les figures 6.9.(a) et 6.9.(b) schématisent les différentes sources de bruit en fonction de la phase d'échantillonnage et de la phase d'intégration.

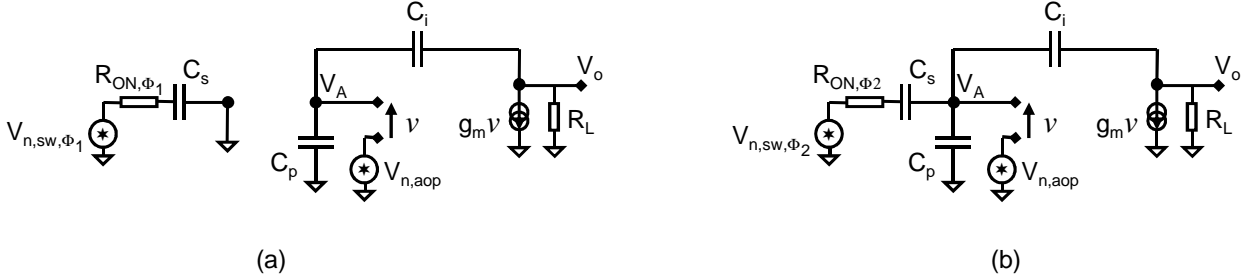


Figure 6.9 – Analyse des sources de bruit d'un intégrateur à capacités commutées pendant (a) l'échantillonnage et (b) l'intégration du signal d'entrée.

Ainsi, le bruit provenant de l'échantillonnage des capacités pendant la première phase est modélisé à partir du schéma équivalent représenté sur la figure 6.9.(a). Soit v_{sw,ϕ_1}^2 , la densité spectrale de la puissance du bruit lié à la résistivité des interrupteurs pendant la phase d'échantillonnage,

$$v_{n_{sw,\phi_1}}^2 = 4 \cdot k_b T \cdot R_{ON,\phi_1}, \quad (6.24)$$

avec R_{ON,ϕ_1} la résistance équivalente des interrupteurs CMOS dans l'état fermé. Cette source de bruit est atténuée par le filtre passe-bas de constante $\tau = R_{ON,\phi_1} \cdot C_s$. Par conséquent, le bruit équivalent ramené en entrée du modulateur se calcule à partir de l'expression

$$v_{neq_{sw,\phi_1}}^2 = 2 \frac{4 \cdot k_b T \cdot R_{ON,\phi_1}}{4 \cdot \tau} = 2 \frac{k_b T}{C_s}. \quad (6.25)$$

Le facteur 2 provient de la prise en compte du chemin positif et du chemin négatif, car le système modélisé est différentiel.

De la même manière, le bruit lié à la période d'intégration est obtenu en prenant en compte le schéma représenté sur la figure 6.9.(b). Soit v_{sw,ϕ_2}^2 et $v_{n,aop\phi_2}^2$ la puissance des sources de bruit thermique lié aux interrupteurs et à la présence de l'AOP, l'expression des densités spectrales équivalentes s'expriment par

$$v_{neq_{sw,\phi_2}}^2 = 2 \frac{k_b T \cdot R_{ON,\phi_2}}{\tau_{\phi_2}} \quad (6.26)$$

et

$$v_{neq_{aop,\phi_2}}^2 = \frac{k_b T \cdot R_{aop,noise}}{\tau_{\phi_2}}, \quad (6.27)$$

avec R_{ON,ϕ_2} la résistance des interrupteurs CMOS pendant la phase d'intégration et $R_{aop,noise}$ qui correspond à la valeur de la résistance ayant la même densité spectrale que celle générée par le bruit thermique de l'AOP. Elle s'obtient par simulations électriques spécifiques⁴ de l'AOP complet. Enfin, la nouvelle constante de temps τ_{ϕ_2} prend en compte l'impact de g_m , la transconductance de la paire différentielle en entrée de l'AOP et se calcule à partir du schéma petit signal équivalent représenté sur la figure 6.9.(b)

$$\tau_{\phi_2} = \left(R_{ON,\phi_2} + \frac{1}{g_m} \right) \cdot C_s + \frac{C_p}{g_m}. \quad (6.28)$$

Pour introduire le bruit de chacune des sources, trois générateurs de bruit gaussien de variance unitaire sont connectés en entrée de l'intégrateur. Cette implantation est représentée plus simplement sur la figure 6.5 par une seule source bruit placée en entrée du modulateur. Enfin, le bruit en

⁴.NOISE

sortie de l'intégrateur correspond au bruit généré par l'AOP pendant la phase d'échantillonnage. Dans cette phase, l'AOP a un gain unitaire et l'expression de la puissance en sortie s'obtient par

$$v_{nth,out}^2 = k_b T \cdot R_{aop,noise} \cdot 2\pi \cdot F_u. \quad (6.29)$$

Le comparateur

Pour modéliser l'étage de quantification, la tension d'entrée est comparée avec la valeur de l'offset de l'étage différentiel du comparateur [25]. En fonction du résultat, les valeurs -1 et 1 sont attribuées à la sortie du bloc.

La gigue de l'horloge

Le *jitter* est considéré comme un processus aléatoire, dont l'impact sur les performances d'un modulateur à capacités commutées provient principalement de l'échantillonnage du signal d'entrée [25]. En considérant le signal sinusoïdal d'entrée de fréquence $f_{in} \ll f_e$, la variation entre ce signal $v_{in}(t_k)$ et le signal échantillonné aux bornes des capacités $v_{in}(t_k + \delta_k)$ à l'instant t_k s'exprime par

$$v_{in}(t_k) - v_{in}(t_k + \delta_k) \approx \delta_k \cdot \frac{dv_{in}(t)}{dt}, \quad (6.30)$$

avec δ_k une variable aléatoire de moyenne nulle et de déviation standard $\Delta\tau$.

La modélisation du *jitter* s'effectue à partir du bloc illustré sur la figure 6.10. Ce modèle simplifié est valable pour un signal d'entrée continu.

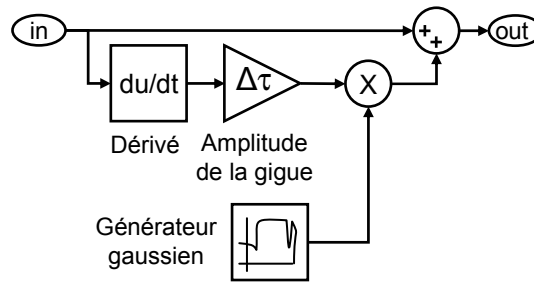


Figure 6.10 – Modèle comportemental de la gigue de l'horloge.

6.1.3 Simulations paramétriques

L'initialisation des simulations comportementales s'effectue à partir d'une estimation grossière des valeurs de chaque paramètre. Ainsi, les performances dynamiques de l'AOP s'obtiennent en considérant le temps d'établissement de l'intégrateur τ défini par l'équation (6.16). En effet, pour concevoir un système avec une résolution de n bits, le temps d'établissement est borné par l'inéquation

$$e^{-\frac{1}{2 \cdot f_e \cdot \tau}} < 2^{-(n+1)}, \quad (6.31)$$

soit en remplaçant τ par son expression définie par l'équation (6.16),

$$F_u > \frac{(n+1) \cdot \ln(2)}{\pi} \frac{C_t}{C_i} \cdot f_e. \quad (6.32)$$

De la même manière, pour éviter les distorsions harmoniques, il est préférable de respecter l'inéquation provenant de l'équation (6.18)

$$SR > \frac{dv_o(t)}{dt} \Big|_{max} \approx \frac{1}{\tau} \frac{C_s}{C_i} \cdot v_{dd}, \quad (6.33)$$

avec v_{dd} la tension d'alimentation du circuit. Puis en substituant le paramètre τ par son expression donnée par l'équation (6.16), une limite du *slew-rate* de l'AOP est obtenue

$$SR > 2\pi F_u \cdot \frac{C_s}{C_t} v_{dd}. \quad (6.34)$$

Enfin, en remplaçant F_u par sa borne inférieure, une borne inférieure du SR est donnée par

$$SR > 2 \cdot (n + 1) \cdot \ln(2) \frac{C_s}{C_i} v_{dd} \cdot f_e. \quad (6.35)$$

Le gain en boucle ouverte s'estime en considérant l'équation (6.17). Le terme v_o/A_0 correspond à une erreur de charge équivalente à une erreur d'échantillonnage de la tension d'entrée. Une approximation très pessimiste de cet effet consiste à considérer que seule une erreur de non-linéarité est introduite en entrée. Or, pour respecter le rapport signal sur bruit $SNDR_{spec}$, l'amplitude de la distorsion doit être inférieure à l'opposé de $SNDR_{spec}$ impliquant

$$A_0 > 10^{SNDR_{spec}/10}. \quad (6.36)$$

Enfin, les tensions de saturation positives et négatives correspondent à la tension d'alimentation et à son opposée.

L'application numérique des équations (6.32), (6.35) et (6.36) donne les valeurs suivantes des performances :

$$F_u > 80MHz \quad (6.37)$$

$$SR > 478V/\mu s \quad (6.38)$$

$$A_0 > 96dB. \quad (6.39)$$

Le modèle comportemental est initialisé avec ces valeurs, puis plusieurs boucles de simulations sont exécutées en faisant varier les paramètres comportementaux de manière à garantir les spécifications pour des valeurs centrées sur un intervalle. L'optimisation des paramètres comportementaux permet un gain en surface et en consommation électrique.

Cependant, l'analyse paramétrique ne tient pas compte des corrélations entre les paramètres comportementaux, les valeurs nominales de ces paramètres sont approchées pour obtenir un premier vecteur de performances de l'AOP. Les dimensions des composants élémentaires des circuits électriques sont établies à partir des valeurs nominales des paramètres comportementaux.

6.1.4 Dimensions de l'amplificateur opérationnel

Les résultats des simulations comportementales permettent de fixer les dimensions des composants de l'AOP du premier étage du modulateur. La conception d'un AOP débute avec le choix de son architecture. Ce choix est orienté par la volonté de respecter les performances pour une surface et une consommation électrique minimales. En l'occurrence, un AOP avec un seul étage d'amplification atteint des gains en boucle ouverte insuffisants et une architecture à trois étages consomme plus de courant. Ainsi, l'architecture sélectionnée est représentée sur la figure 6.11. Elle s'inspire des travaux de *Rabii et al.* [145]. Toutefois, le circuit de mode commun du premier étage a été modifié et se base sur une paire de transistors fonctionnant en régime linéaire avec les drains connectés entre eux. Le second étage est cascodé pour limiter les erreurs de linéarité dues à la variation de l'amplification en fonction de la tension de sortie [130]. Enfin, le mode commun du second étage non décrit sur la figure 6.11 reprend le principe de compensation à capacités commutées [146].

Les principales expressions entre les performances et les paramètres de conception au niveau transistor sont définies par

$$F_u = \frac{g_m}{2\pi \cdot C_c}, \quad (6.40)$$

et du *slew-rate* SR

$$SR = 2 \cdot \frac{I_{pol1}}{C_c}. \quad (6.41)$$

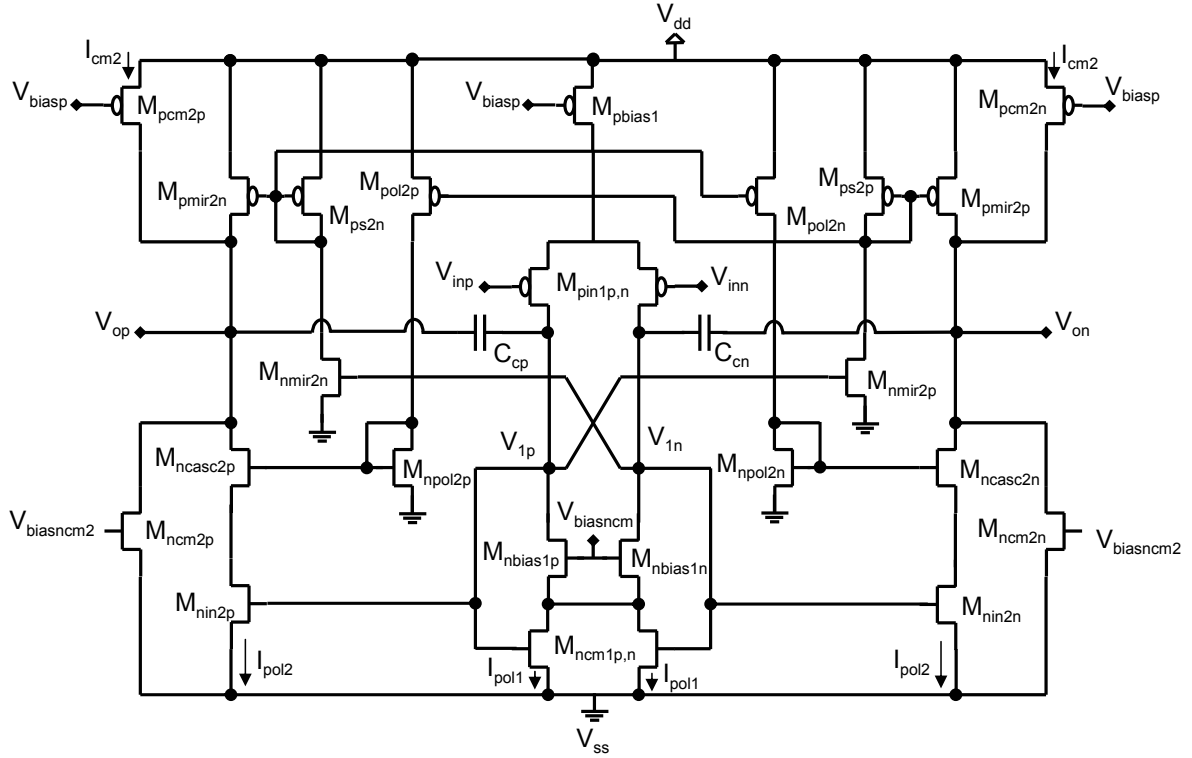


Figure 6.11 – Schéma électrique de l'AOP.

D'autre part, la marge de phase doit être proche de 70° pour éviter la formation d'un pic de résonance dans les hautes fréquences et maintenir ainsi la stabilité de l'AOP [147]. L'évaluation s'effectue en considérant que le second pôle de cet amplificateur F_{n2} est déterminé par la relation

$$F_{n2} = \frac{g_{m2}}{\pi \cdot C_L} \quad (6.42)$$

avec g_{m2} la transconductance du second étage et C_L la capacité de charge. Une marge de phase proche de 70° correspond à fixer la relation suivante entre le premier et le second pôle

$$F_{n2} \approx 3 \cdot F_u, \quad (6.43)$$

soit en réduisant la capacité de charge à la capacité d'intégration,

$$\frac{g_{m2}}{g_m} = \frac{3 \cdot C_i}{2 \cdot C_c}. \quad (6.44)$$

Les relations (6.40), (6.41) et (6.44) ne permettent pas de fixer le courant de polarisation I_{pol1} , la transconductance g_m de l'étage d'entrée, la transconductance g_{m2} du second étage et la taille des capacités de compensation C_c . Par conséquent, la capacité de compensation est choisie de la même taille que la capacité d'intégration. Ce choix favorise la réduction de la consommation plutôt que la surface.

Finalement, avec cette égalité supplémentaire, chaque paramètre de conception est défini en fonction des performances de l'AOP. L'application numérique donne les valeurs résumées dans le tableau 6.3.

Les différences entre l'estimation et la valeur finale proviennent des relations (6.42) et (6.43). En effet, la variation de la tension de sortie égale à la tension d'alimentation en une demi période d'échantillonnage est une contrainte forte sur le fonctionnement du circuit. Les dimensions proposées répondent à d'autres exigences comme la surface des transistors $M_{pin1p,n}$ à prendre en compte, car ils apportent une capacité parasite dans le chemin d'intégration du signal et déterminent la fréquence de coin entre le bruit thermique et le bruit en $1/f$. La seconde relation ne prend pas en compte la

Paramètre	valeur théorique	valeur de conception
g_m	1.014 mS	1.45 mS
g_{m2}	1.52 mS	14.38 mS
C_c	2 pF	2 pF
I_{pol1}	$480 \text{ }\mu\text{A}$	$350 \text{ }\mu\text{A}$
I_{pol2}	$180 \text{ }\mu\text{A}$	3.85 mA
$V_{sat, M_{pin1p,n}}$	1 V	0.34 V
$V_{sat, M_{nin2p,n}}$	0.25 V	0.28 V

Tableau 6.3 – Paramètres de conception de l'AOP.

capacité parasite entre le premier et le second étage formé par les grilles des transistors $M_{nin2p,n}$, $M_{ncm1p,n}$ et $M_{nmir2p,n}$. Le facteur 20 entre l'estimation et la valeur finale du courant de polarisation I_{pol2} se justifie par la réduction du rapport $V_{sat, M_{pin1p,n}}/V_{sat, M_{nin2p,n}}$ et par l'approximation faite sur l'absence de capacités parasites.

Enfin, la longueur et la largeur de chaque transistor sont calculées en considérant l'expression du courant de polarisation dans la zone de saturation des transistors de chaque étage. Pour établir les dimensions des transistors du circuit complet, il est nécessaire de respecter les contraintes liées à la tension d'alimentation et la tension de mode commun V_{cm} . Les transistors constituant les miroirs de courants sont dimensionnés de manière à obtenir une tension de saturation la plus élevée possible pour augmenter leur résistance de charge et, par conséquent, le gain petit signal de l'étage correspondant. Ainsi, le circuit de polarisation de ces transistors représenté sur la figure 6.12 définit les tensions de saturation avec une marge proche de 250mV pour garantir la saturation du transistor dans toutes les conditions de fonctionnement.

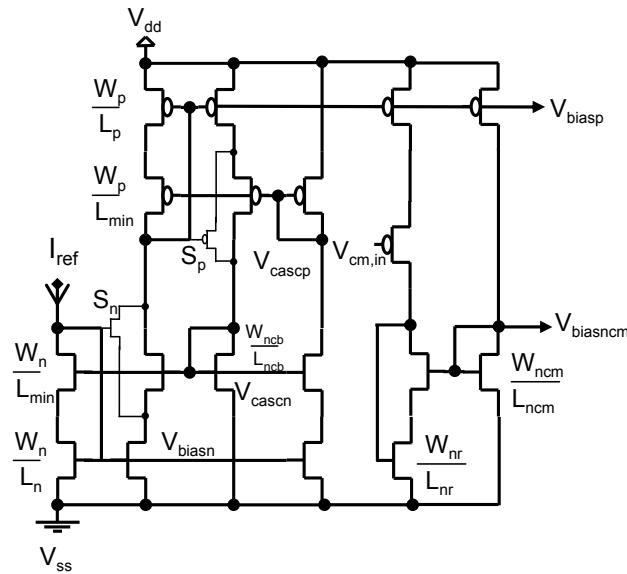


Figure 6.12 – Schéma électrique du circuit de polarisation de l'AOP.

6.1.5 Robustesse

Les dimensions des composants élémentaires sont affinées en étudiant la sensibilité des performances du circuit par rapport aux variations du procédé technologique. Les simulations *corner* fixent les paramètres technologiques dans les limites hautes et basses établies par le fondeur. Ces simulations prennent en compte la corrélation des paramètres mais pas leur probabilité d'occurrence. D'autre part, elles s'effectuent sans modification de l'appariement des composants. Seules les simulations statistiques Monte Carlo échantillonnent aléatoirement la densité de probabilité des paramètres indépendants pour extraire les performances correspondantes.

Bancs de simulations électriques

La mise en place de simulations Monte Carlo requiert le développement de bancs de simulations spécifiques car le mésappariement des composants modifie les conditions de fonctionnement du circuit. En particulier, l'absence de symétrie dans le chemin d'amplification de l'étage différentiel modifie des points de fonctionnement et sature l'étage de sortie. La figure 6.13.(a) montre la tension de sortie différentielle de l'AOP en boucle ouverte pour 100 itérations de simulations Monte Carlo et la figure 6.13.(b), la distribution du gain en boucle ouverte en fonction de la fréquence unitaire pour ces 100 simulations. Les performances obtenues sont pessimistes comparées à la valeur nominale et s'améliorent nettement lorsque la tension différentielle s'éloigne des tensions de saturation.

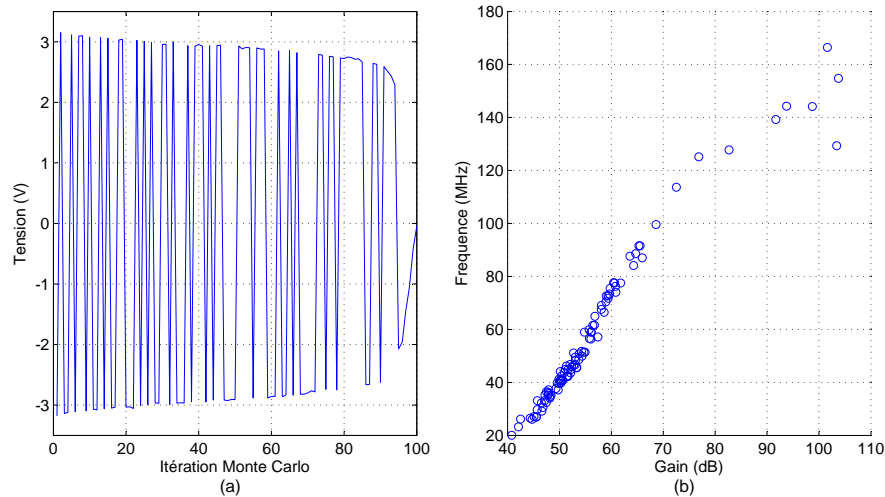


Figure 6.13 – (a) Tension de sortie différentielle $V_{diff} = V_{outp} - V_{outn}$ et (b) performances correspondantes de l'AOP simulé en boucle ouverte par 100 itérations Monte Carlo.

Le banc de simulation représenté sur la figure 6.14 maintient les tensions de polarisation du circuit dans un point de fonctionnement correspondant à l'AOP en boucle fermée. Le principe repose sur une boucle de contre-réaction constituée par l'insertion en série d'un *balun*⁵, d'un filtre de fréquence de coupure très basse, d'un générateur de signal et d'un second *balun*. Les *balun* séparent la tension de mode commun de la composante différentielle $V_{loopdiff}$. Le filtre formé par le circuit $L_{filtre}C_{filtre}$ permet de conserver uniquement la composante continue de la tension différentielle de sortie de l'AOP. L'effet de contre-réaction stabilise cette composante continue proche de la tension différentielle nulle.

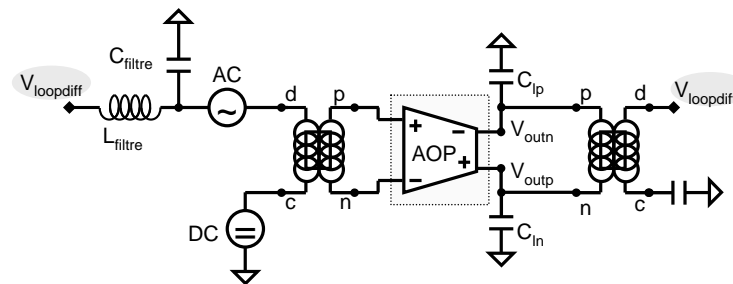


Figure 6.14 – Banc de test de simulation électrique de l'AOP pour des simulations Monte Carlo incluant le mésappariement des composants élémentaires.

La figure 6.15 est obtenue par une simulation de l'AOP idéal (sans mésappariement) en boucle ouverte et à partir du banc de simulation représenté par la figure 6.14. Les deux courbes obtenues sont identiques montrant ainsi la bonne reproduction des performances du circuit par le banc de

⁵BALanced/UNbalanced : transformateur

simulation proposé. Une simulation nominale du niveau de bruit est aussi effectuée pour vérifier l'absence de modification apporté par le banc de test. De la même manière, le résultat de la simulation Monte Carlo des 100 itérations est représenté sur la figure 6.16. Cette figure montre un échantillon du même AOP moins éparsé en utilisant le banc de simulation rebouclé.

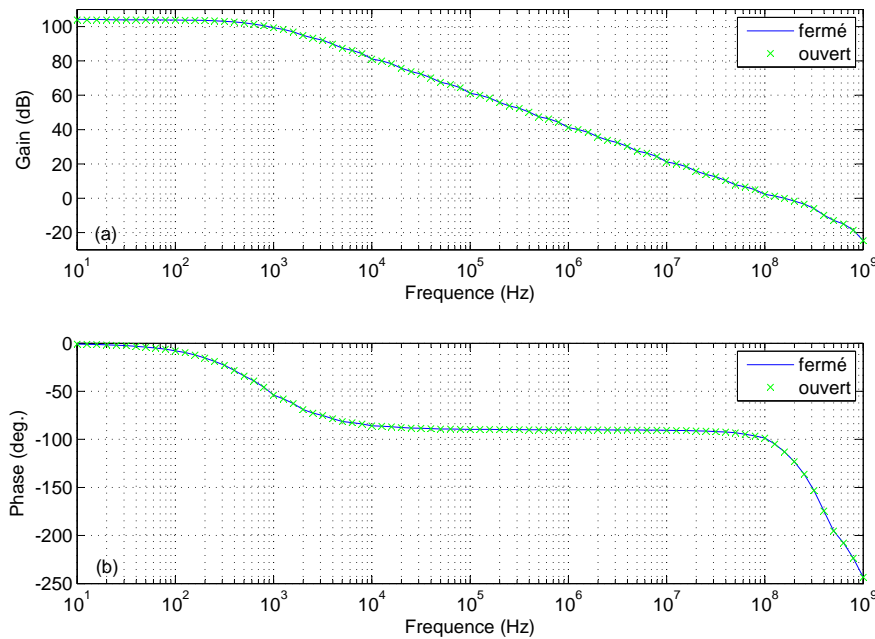


Figure 6.15 – Diagramme de Bode (a) de la magnitude et (b) de la phase du gain en boucle ouverte résultant d'une simulation nominal de l'AOP en boucle ouverte et intégré dans le banc de simulation avec une boucle de contre-réaction filtrée.

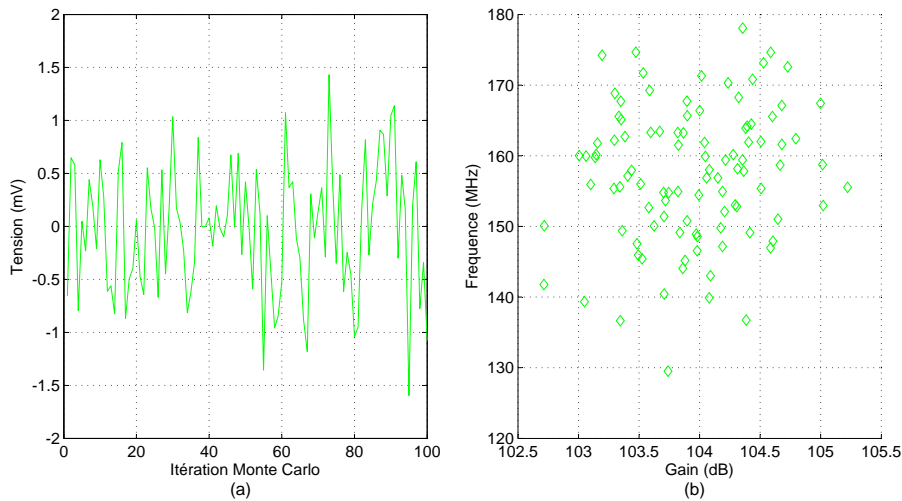


Figure 6.16 – (a) Tension de sortie différentielle $V_{diff} = V_{outp} - V_{outn}$ et (b) performances correspondantes de l'AOP inclus dans la boucle de contre-réaction filtrée pour 100 itérations Monte Carlo.

Ces simulations fournissent en quelques itérations les informations relatives aux déviations des performances d'un circuit par rapport au mésappariement des composants et des variations du *process* technologique.

Simulations électriques

Finalement, les simulations électriques du circuit complet sont effectuées pour s'intéresser aux phénomènes de distorsion et, éventuellement, aux capacités parasites de certains transistors cri-

tiques. Dans un cadre industriel, ce type de simulation se déroule uniquement pour déterminer une spécification importante, vérifier un point particulier de conception ou confirmer le fonctionnement d'un concept nouveau. L'intérêt de ces simulations dans le cadre de nos travaux est de vérifier le bon fonctionnement du circuit et d'obtenir des performances de référence.

Pour ces simulations, seul le premier étage du modulateur est décrit au niveau transistor. Le second étage et le comparateur sont modélisés par leur comportement idéal décrit en Verilog-A. De la même manière, la génération des phases d'échantillonnage et d'intégration sont obtenues à partir de sources idéales.

La figure 6.17 représente le spectre obtenu en sortie du modulateur pour deux amplitudes (Amp) du signal d'entrée correspondant à $-54dBFS_{spec}$ ⁶ et $-3dBFS_{spec}$ ($0dBFS_{spec}$ correspond à une amplitude du signal égale à la dynamique maximale d'entrée du convertisseur soit $A_{in,max}=1.4V$ (cf. 6.1.1)). Les spectres sont calculés avec un échantillon de bits en sortie de longueur $N = 18192$, sur lequel est appliqué un filtre de Hann. Ce fenêtrage réduit l'impact de fuite spectrale liée aux erreurs de corrélation du signal de sortie et présente l'avantage de répartir la puissance du fondamental uniquement sur la raie précédente et la suivante réduisant ainsi le nombre d'échantillons nécessaire au calcul de la DFT correspondante [148]. Cette figure montre la prédominance de l'harmonique du troisième rang pour des amplitudes élevées du signal d'entrée dans l'estimation du rapport signal sur bruit avec distorsion de la bande passante du convertisseur.

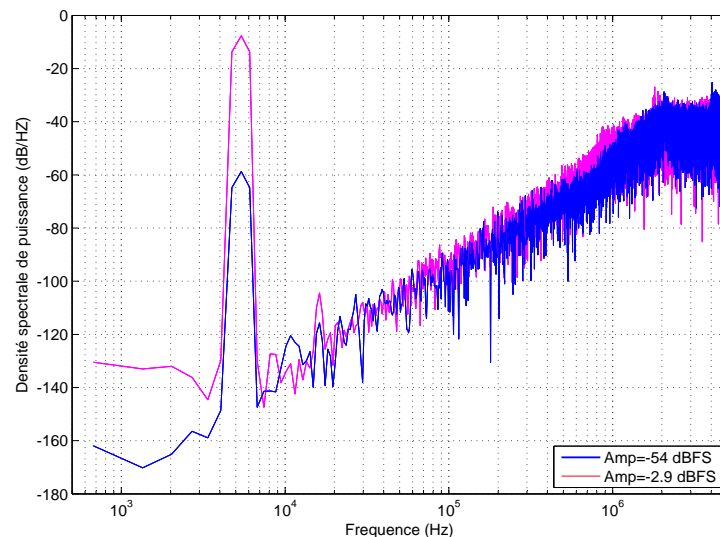


Figure 6.17 – Densité spectrale de puissance du modulateur $\Sigma\Delta$ obtenue par simulations électriques.

Les simulations électriques de ce convertisseur ont été effectuées pour différentes amplitudes pour obtenir une courbe de référence. Cette courbe représentée sur la figure 6.18 met en évidence la saturation du modulateur pour des amplitudes proches de la pleine échelle. La meilleure valeur de SNDR est de 100,4 dB pour une amplitude du signal d'entrée $Amp=-6 dBFS_{spec}$.

6.1.6 Conclusion

La conception d'un circuit analogique mixte repose sur une succession d'étapes mettant en œuvre différents langages de programmation, différents modèles et connaissances. Chaque étape a pour objectif de fixer les limites des paramètres des étages suivants. L'estimation grossière des valeurs de chaque paramètre de conception permet d'initialiser les modèles qui servent ensuite à affiner ces valeurs pour obtenir une bonne robustesse du circuit. L'objectif final est d'atteindre le niveau de conception le plus bas pour déterminer les dimensions des composants élémentaires.

⁶dBFS : décibel full-scale

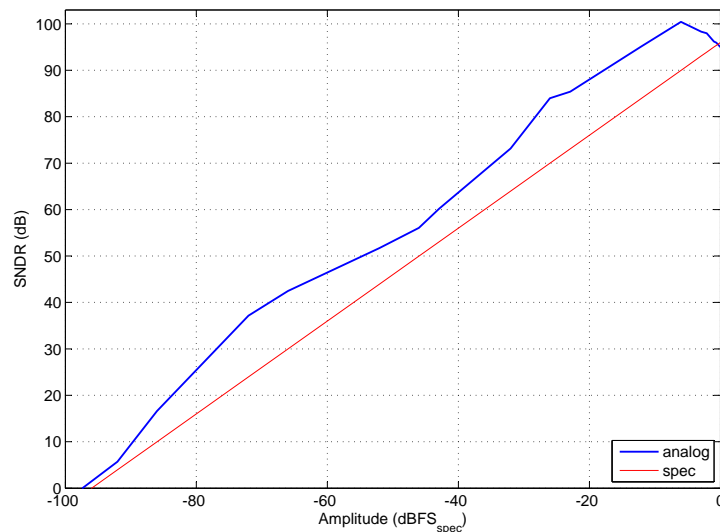


Figure 6.18 – Performances du modulateur $\Sigma\Delta$ obtenues par simulations électriques.

6.2 Conception en vue du test

Pour introduire les données nécessaires à une estimation des métriques de test, des précautions sont prises pendant la phase de conception du circuit. La première précaution à établir consiste à construire un modèle comportemental capable de calculer les mesures de test de chaque technique à évaluer et, la seconde, à inclure dans les bancs de test la possibilité d'extraire les paramètres comportementaux

6.2.1 Simulations nominales de vérification

Avant de générer un échantillon statistique, l'évaluation d'une technique de test se fait par une analyse de son fonctionnement sur un circuit sain. La corrélation entre la mesure obtenue par le test à évaluer et celle obtenue par le test standard doit être correcte pour des simulations avec les paramètres du *process* centrés. D'autre part, l'injection d'un nouveau stimulus de test peut nécessiter des modifications du modèle. Dans cette hypothèse, une analyse minutieuse des modifications apportées est requise, car la corrélation statistique est faussée si les modèles utilisés diffèrent fortement.

Simulations comportementales

Pour établir les mesures de test du SNDR à partir d'un stimulus numérique, il est nécessaire de modifier le modèle du modulateur sous test. En effet, le bloc d'entrée comprend un modèle du *jitter* de l'horloge. La description de ce bloc est erronée en présence de signaux discontinus, car elle se base sur le calcul de la dérivée en un point. Or, l'impact du *jitter* sur l'injection d'un signal numérique est nul, car ce modèle est construit en négligeant la résistance des interrupteurs d'échantillonnage. tout instant de la période d'échantillonnage, la différence de potentiel aux bornes des capacités est égale à la tension d'entrée, c'est-à-dire les niveaux haut, bas ou intermédiaire du signal de test. D'autre part, le *jitter* est modélisé comme une variable aléatoire indépendante du procédé technologique. Ainsi, les paramètres comportementaux décrivant le modèle établi avec le bloc *jitter* et sans ce bloc restent identiques. Ces deux motifs permettent de supprimer le bloc *jitter* pendant les simulations mettant en jeu l'injection d'un stimulus numérique.

La figure 6.19 représente l'estimation du SNDR en sortie du modulateur sous test excité par des séquences binaires et ternaires encodant différentes amplitudes du signal fondamental pour couvrir la dynamique d'entrée. Pour chaque amplitude, une séquence ternaire est optimisée en déterminant la meilleure séquence binaire et en choisissant un délai unitaire. L'injection du stimulus ternaire permet de tester une dynamique d'entrée plus élevée que le stimulus binaire. Mais la précision

de cette estimation décroît avec l'augmentation de l'amplitude du signal d'entrée si la tension d'injection est égale à la tension V_{dac} du CNA 1 bit de ce modulateur. Par contre, en injectant les séquences binaires et ternaires avec une tension égale à la tension spécifiée dans le tableau 6.1, la diminution de l'estimation du SNDR arrive brutalement pour des valeurs élevées de l'amplitude.

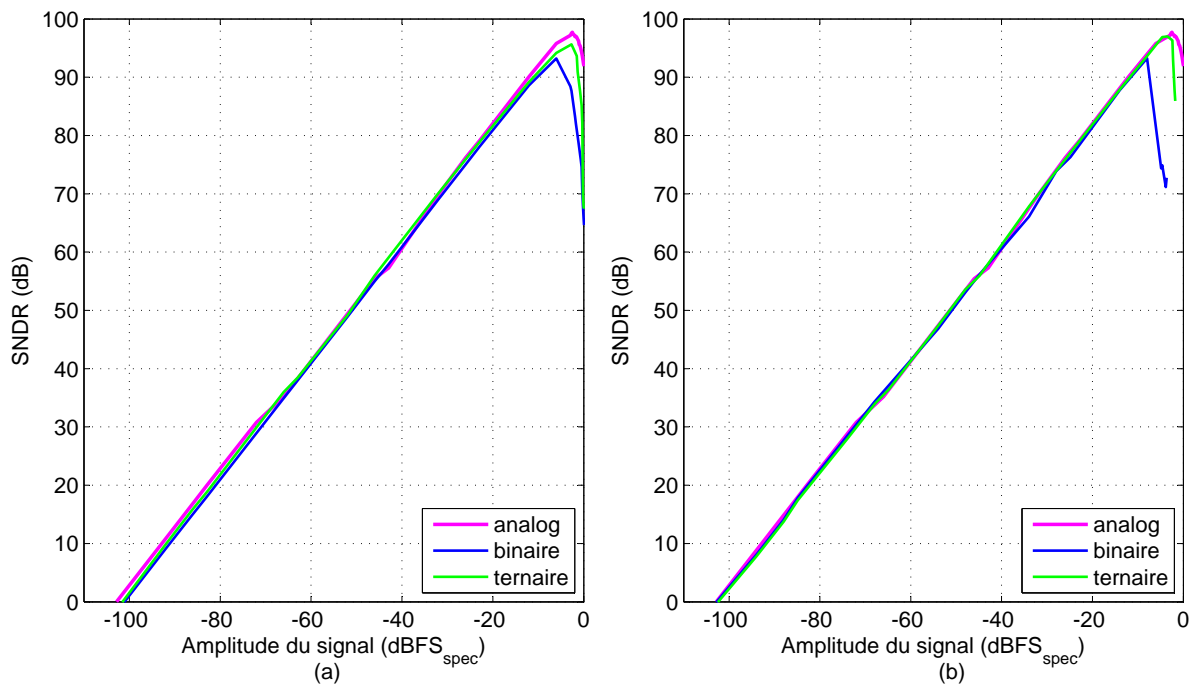


Figure 6.19 – Prédiction du SNDR obtenu par simulations comportementales du modulateur $\Sigma\Delta$ excité par les stimuli numériques (a) sans atténuation de la tension d'injection et (b) avec une tension atténuée de $1,4V$ ($-2dBFS$).

Simulations électriques

Des simulations électriques du modulateur conçu précédemment sont effectuées en remplaçant le signal sinusoïdal par les séquences numériques binaires et ternaires injectées avec la tension de référence V_{dac} . Les résultats des simulations présentés sur la figure 6.20 montrent que le stimulus binaire sous-estime la valeur de SNDR tandis que le stimulus ternaire révèle un meilleur rapport signal-sur-bruit. Cette différence provient de la diminution de la puissance totale du stimulus ternaire par rapport au stimulus binaire. Par contre, la saturation du modulateur, qui se traduit par une brusque diminution du SNDR, se produit pour la même amplitude du signal encodé. En l'absence de bruit thermique, la dynamique d'entrée atteinte par les deux stimuli est identique.

Le tracé de la courbe de référence est difficilement comparable avec celles obtenues par injection des stimuli numériques, car le laps de temps nécessaire à la phase d'établissement du modulateur n'a pas été respecté. L'établissement de la valeur du SNDR nécessite une phase d'initialisation correspondant à plusieurs périodes du signal d'entrée. Ce résultat est reproductible par simulations comportementales. D'autre part, l'estimation du SNDR par simulations électriques s'effectue avec un échantillon en sortie du modulateur de longueur $N = 18192$. Ce nombre d'échantillons suppose une plus grande variance des valeurs du SNDR estimées (cf. 4.10). Toutefois, les conditions de simulation entre les séquences binaires et ternaires étant strictement identiques (même temps de simulation, même banc de simulation, même paramètres de convergence...), la comparaison entre ces deux courbes est justifiée par l'absence de sources d'imprécision dans les calculs des différents états du circuit.

Les simulations électriques du modèle complet représentent un travail conséquent pour mettre en place le banc de simulation, pour définir les paramètres de précision du simulateur optimisant le

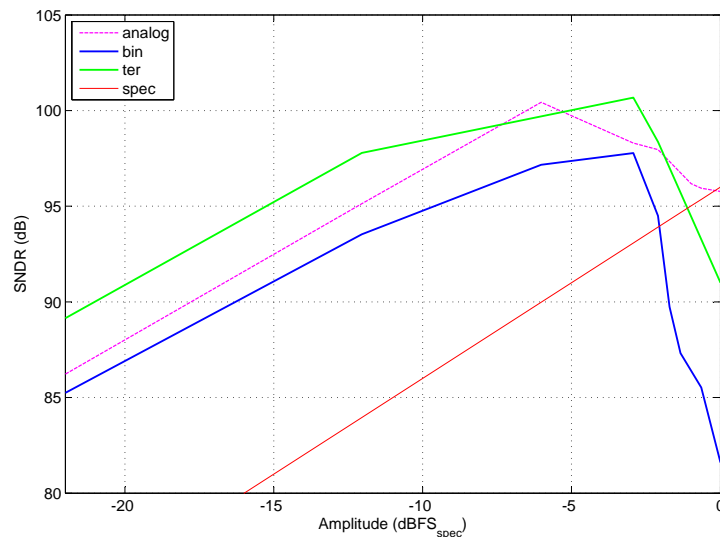


Figure 6.20 – Calcul du SNDR obtenu par simulations électriques nominales du modulateur $\Sigma\Delta$ excité par différentes amplitudes encodées dans une séquence binaire et dans la séquence ternaire correspondante.

rapport précision et vitesse de simulation et pour traiter les résultats. Dans le cadre d'une conception industrielle, cette étape fait rarement parti du flot de conception. Les simulations du circuit complet servent pour vérifier le fonctionnement correct de l'initialisation (convergence vers un seul point de fonctionnement, mesure de la consommation, etc.). La précision exigée pour ce type de simulation est faible et ne nécessite pas des temps de simulation trop longs.

6.2.2 Extraction de vecteurs des paramètres comportementaux

Après la vérification par simulations comportementales nominales du fonctionnement des techniques de test, la méthodologie d'estimation des métriques de test requiert pour évaluer leur efficacité des informations statistiques sur le circuit en cours de développement. Ces données s'obtiennent pendant l'étape finale de conception des circuits élémentaires, qui consiste à vérifier leur robustesse vis-à-vis des variations des paramètres du *process*. Pendant cette étape, l'extraction des vecteurs comportementaux s'effectue en incluant dans le banc de simulation électrique la possibilité de calculer chaque paramètre.

Pour le cas d'étude proposé, le modèle comportemental est décrit par 12 paramètres corrélés, résumés dans le tableau 6.4. Ce tableau reprend le nom du paramètre, l'analyse nécessaire pour obtenir sa valeur et l'étape de conception pendant laquelle cette simulation est effectuée. Par exemple, l'extraction des valeurs des composants passifs s'effectue par une simple analyse statique nécessaire au contrôle des points de polarisation du circuit.

Ainsi, l'extraction de l'échantillon initial des paramètres comportementaux s'intègre aisément dans la phase de vérification de la robustesse de chaque circuit élémentaire. Les corrélations obtenues entre chaque paramètre sont fiables et représentent un échantillon réaliste de circuits produits, car la seule source d'erreur prévisible provient d'une erreur dans la réalisation du banc de simulation par son auteur. Toutefois, une différence importante entre la valeur simulée et la valeur attendue attire l'attention et oblige une recherche approfondie sur les raisons pouvant expliquer cette différence et, éventuellement, apporter les corrections nécessaires.

6.2.3 Conclusion

L'évaluation de la qualité d'une technique de test commence par la vérification de son comportement sur le circuit sous test sans prendre en compte les variations du *process*. Avec ces simulations nominales, les premières hypothèses permettent de sélectionner certaines techniques vraisemblables.

Paramètre	analyse	raison
C_s	DC	Points de polarisation
C_i	DC	
C_p	DC	
A_0	AC	Gain boucle ouverte Marge de phase
F_u	AC	
SR	TRAN	linéarité
$V_{satp} (-V_{satn})$	TRAN	
$v_{n,aop}$	NOISE	Plancher de bruit
R_{ON,ϕ_1}	DC	Temps d'établissement de l'échantillonnage
R_{ON,ϕ_2}	DC	
V_{offset}	DC	

Tableau 6.4 – Extraction des paramètres comportementaux suivant le type d'analyse : DC (statique), AC (petit signal), TRAN (transitoire) et NOISE (bruit).

blement plus performantes. Dans le cas présent, l'injection d'un stimulus ternaire à la place d'un stimulus binaire montre une meilleure estimation du SNDR du modulateur. Puis, pour vérifier si la technique est sensible aux variations des paramètres du *process*, il est nécessaire d'extraire pendant la phase de conception, les paramètres comportementaux du circuit.

6.3 Estimation des métriques de test des techniques de BIST

La méthodologie proposée nécessite un modèle comportemental capable de calculer les réponses du circuit à chaque technique de test et un échantillon initial de paramètres comportementaux corrélés représentatif des paramètres du *process* et des dimensions des circuits élémentaires. Ces deux conditions remplies, l'estimation des métriques de test avec une précision en partie par million s'obtient en suivant les étapes : estimation de la densité conjointe dans l'espace des paramètres comportementaux, entraînement des fonctions de régression et génération de l'échantillon de référence. Ensuite, une étude de la corrélation entre les mesures de test et les performances permet de déterminer une stratégie de test, dont l'efficacité est optimisée par le calcul des métriques en fonction des limites de test.

6.3.1 Génération de l'échantillon de référence

Estimation de la densité non paramétrique

L'estimation de la densité conjointe des paramètres comportementaux s'effectue avec un échantillon initial de 2000 vecteurs obtenus par simulations Monte Carlo électriques. Le tableau 6.5 donne les caractéristiques statistiques d'un échantillon d'un million de circuits obtenu par tirage aléatoire de la densité. La valeur moyenne de chaque paramètre est identique entre l'échantillon initial et celui extrait à partir de la densité estimée et les valeurs minimales et maximales de l'échantillon initial sont inférieures à celles de l'échantillon final. Avec ce simple tableau, il est possible de vérifier que les caractéristiques de l'échantillon synthétisé correspondent à celles obtenues par simulation MonteCarlo des modèles du circuit. données initiales. Ce tableau apporte un ordre de grandeur sur la qualité de l'échantillon élargi à partir des données initiales.

La figure 6.21 représente la distribution initiale et obtenue par échantillonnage de la densité de deux performances de l'AOP. Cette illustration révèle que la partie dense est correctement centrée autour de l'échantillon initial et que l'écart entre les valeurs minimales et maximales de chaque échantillon provient d'une poignée de circuits. La queue de la distribution représente déjà des déviations paramétriques proches d'une faute structurelle.

Paramètre comportemental	Moyenne	Initial		Densité	
		min	max	min	max
A_0	103.89 dB	-1.64%	1.57%	-3.49%	3.30%
F_u	156.1 MHz	-18.07%	16.44%	-42.65%	42.10%
SR	380.39 V/ μ s	-15.30%	17.78%	-41.91%	43.34%
$V_{satp} (-V_{satn})$	3.29 V	-0.04%	0.03%	-0.07%	0.07%
C_s	1.00 pF	-13.31%	16.99%	-39.09%	41.12%
C_i	2.00 pF	-13.16%	16.60%	-38.60%	40.82%
C_p	451.56 fF	-4.82%	5.16%	-11.51%	11.54%
v_{n,sw,ϕ_1}	91.12 μ V/Hz	-7.73%	7.19%	-22.22%	18.50%
v_{n,sw,ϕ_2}	49.91 μ V/Hz	-7.80%	7.92%	-20.22%	16.08%
$v_{n,aop}$ (μ V/Hz)	38.06 μ V/Hz	-9.18%	11.11%	-21.55%	21.46%
$v_{n,out}$ (μ V/Hz)	59.94 μ V/Hz	-8.49%	7.77%	-20.19%	17.02%
V_{offset}	0.24 mV	-38.43 mV	32.32 mV	-68.99 mV	67.36 mV

Tableau 6.5 – Estimation de la densité de probabilité conjointe des paramètres comportementaux.

Entraînement des fonctions de régression

Outre les échantillons initial et élargi, la figure 6.21 représente la distribution de deux paramètres des vecteurs utilisés pour calculer les fonctions de régression. La distribution uniformément répartie et centrée autour de l'échantillon initial représente le tirage par un échantillonnage latin et l'échantillon moins dense couvrant les extrémités de la densité est obtenu par un plan d'expérience cubique centré. Ces répartitions couvrent uniformément la densité montrant que ces vecteurs constituent un ensemble satisfaisant pour construire des fonctions de régression. Après la simulation comportementale de plus de 11000 vecteurs constituant le plan d'expérience latin et cubique centré, les fonctions de régression sont calculées à partir des résultats de ces simulations effectuées pour différents stimuli de test. Les erreurs moyenne et maximale entre la prédiction par la fonction de régression et par simulations comportementales sont résumées dans le tableau 6.6.

La précision d'une prédiction d'une performance et d'une mesure de test par des fonctions de régression est en valeur moyenne inférieure à la précision du calcul de la performance ou de la mesure de test à partir de simulations comportementales. Les valeurs maximales sont sensiblement

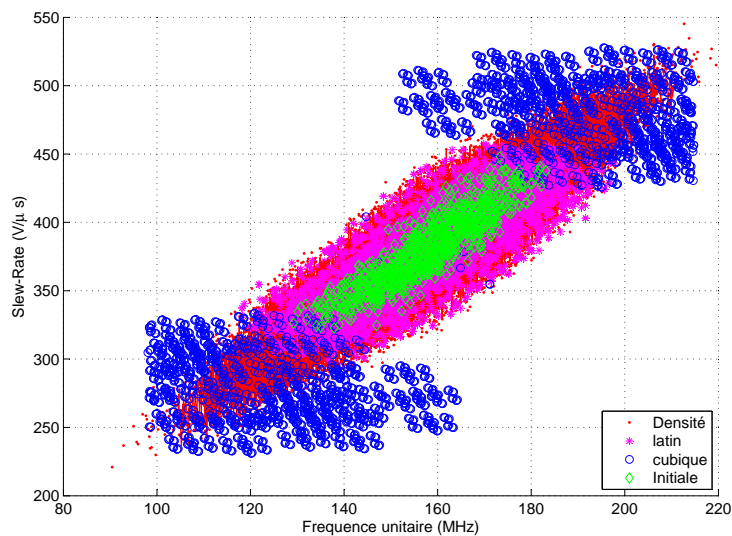


Figure 6.21 – Distribution de la fréquence unitaire et du slew-rate de l'échantillon initial, par échantillonnage de la densité paramétrique correspondante, par échantillonnage latin et cubique centré.

Simulations	Erreur moyenne	Erreur maximale
analogique ($Amp=-4.8 \text{ dBFS}_{spec}$)	0.07 dB	0.36 dB
analogique ($Amp=-1.3 \text{ dBFS}_{spec}$)	0.07 dB	0.4 dB
binaire ($A_{eq}=-12 \text{ dBFS}_{spec} - V_{bist}=V_{dac}$)	0.23 dB (0.16 dB)	6 dB (1.03 dB)
ternaire ($A_{eq}=-12 \text{ dBFS}_{spec} - V_{bist}=V_{dac}$)	0.05 dB	0.26 dB
binaire ($A_{eq}=-6 \text{ dBFS}_{spec} - V_{bist}=V_{dac}$)	0.41 dB	1.7 dB
ternaire ($A_{eq}=-3 \text{ dBFS}_{spec} - V_{bist}=V_{dac}$)	0.08 dB	0.49 dB
binaire ($A_{eq}=-9 \text{ dBFS}_{spec} - V_{bist}=V_{max}$)	0.07 dB	0.36 dB
ternaire ($A_{eq}=-9 \text{ dBFS}_{spec} - V_{bist}=V_{max}$)	0.07 dB	0.31 dB

Tableau 6.6 – Précision de la prédiction des performances et des mesures de test après calcul des fonction de régression.

supérieures, mais l'impact de cette imprécision est difficilement quantifiable. Le calcul de la fonction de régression du test binaire avec une amplitude équivalente encodée de -12 dBFS_{spec} donne une erreur maximale de 6 dB dans la prédiction du SNDR. Cette erreur est due à quelques résultats de simulations comportementales pour lesquelles le modulateur est à la limite de la saturation. En effet, en enlevant ces circuits de l'échantillon, l'erreur maximale approche 1 dB, une valeur relativement élevée, mais elle ne concerne qu'une petite partie de l'échantillon, car l'erreur moyenne reste faible.

Caractérisation de l'échantillon

L'estimation du SNDR d'un CAN- $\Sigma\Delta$ en fonction de l'amplitude du signal d'entrée est maximale pour une amplitude inférieure à l'amplitude maximale spécifiée. Cette caractéristique propre au fonctionnement de ce type de convertisseur provient de l'augmentation de l'amplitude du troisième harmonique et de la saturation du modulateur. La distorsion est liée à la non-linéarité de la fonction de transfert de l'étage de quantification, dont l'impact croît avec l'amplitude du signal d'entrée [129]. La saturation prématurée (avant l'amplitude théorique maximale) est due au cumul du bruit de quantification et du bruit intrinsèque en entrée du modulateur. Le niveau du bruit de plancher dépend des paramètres de conception (taille de la capacité d'échantillonnage, dimensions de l'étage d'entrée de l'amplificateur, etc.). D'ailleurs, contrairement aux résultats de simulations électriques du modulateur complet (6.1.5), les simulations comportementales révèlent une diminution de 3dB au dessous de la spécification du SNDR du modulateur pour la tension d'entrée pleine échelle. Cette différence provient de la prise en compte du bruit thermique qui réduit la dynamique d'entrée du modulateur. Cet écart est usuellement pris en compte pendant la phase de conception en surdimensionnant le modulateur pour qu'il puisse atteindre le niveau en amplitude d'entrée spécifié. Dans le cas présent, le maximum est atteint pour une amplitude proche de -3dBFS .

Dans le cadre de cette étude, un échantillon d'un million de circuits est synthétisé pour obtenir une estimation de la densité de probabilité conjointe des performances et des mesures de test définies dans le tableau 6.6. À partir de cet échantillon, de nouvelles spécifications sont établies pour différencier les deux principales sources de circuits défectueux : les circuits dont le plancher de bruit dans la bande passante du convertisseur est trop élevé et les circuits dont la distorsion harmonique est prépondérante pour les amplitudes du signal d'entrée proches de la pleine échelle. L'objectif de ce scénario est de mettre en avant la différence entre les techniques de test par injection d'un stimulus

binaire ou ternaire pour lequel la réduction de la puissance de son bruit de quantification permet d'encoder une amplitude équivalente suffisamment élevée pour atteindre l'amplitude de distorsion avant la saturation du modulateur sous test.

Pour illustrer ce scénario, la figure 6.22.(a) représente l'ensemble des circuits fonctionnels tandis que la figure 6.22.(b) montre un exemple de circuit défaillant lié à l'augmentation prématurée du bruit de quantification et la figure 6.22.(c) un circuit défaillant lié à l'augmentation de la distorsion.

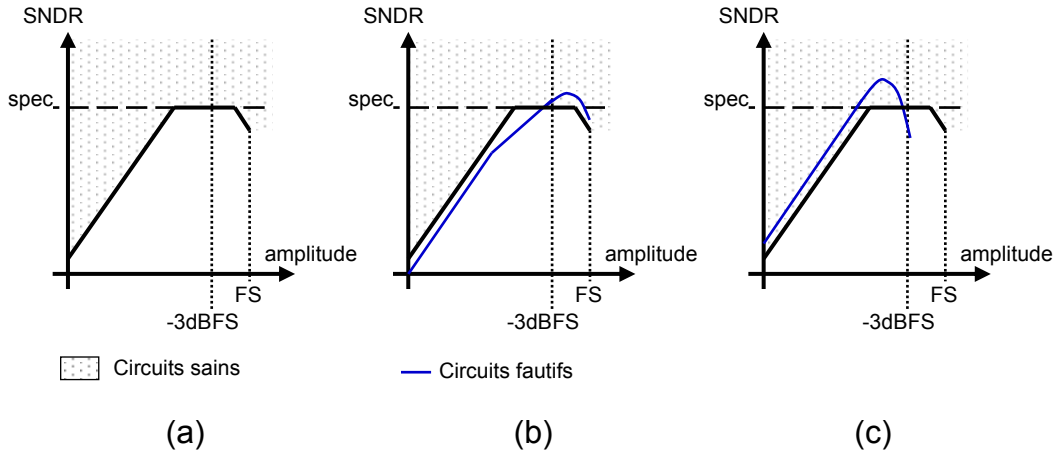


Figure 6.22 – Définition des circuits fonctionnels.

En choisissant une borne inférieure différente à la valeur du SNDR pour une amplitude inférieure et une supérieure à $-3dBFS$, il est possible avec un même échantillon de rendre prédominant l'impact de la puissance du bruit de plancher ou de la distorsion harmonique sur la quantité de circuits défaillants.

Ainsi, les circuits fonctionnels de l'analyse appelée *bruit prédominant* sont définis par

- $SNDR_{sain} > 95.9dB$ pour une amplitude de $-4.8dBFS_{spec}$
- $SNDR_{sain} > 96.2dB$ pour une amplitude de $-1.3dBFS_{spec}$.

Le nombre de circuits ne respectant pas la première spécification est de 1476 circuits et de 120 circuits pour la seconde, soit un total de circuits défaillants porté à 1497ppm.

Pour la seconde analyse appelée *distorsion prédominante*, les spécifications des circuits fonctionnels sont les suivantes :

- $SNDR_{sain} > 95.8dB$ pour une amplitude de $-4.8dBFS_{spec}$
- $SNDR_{sain} > 96.3dB$ pour une amplitude de $-1.3dBFS_{spec}$.

Pour ce second cas, 154 circuits ont un $SNDR < 95.8dB$ pour une amplitude de $-4.8dBFS_{spec}$, 1297 circuits pour $-1.3dBFS_{spec}$, soit 1340 circuits défaillants.

Cet échantillon d'un million de circuits est représenté sur les figures 6.23.(a) et (b) avec les spécifications correspondant aux deux analyses proposées.

6.3.2 Comparaison entre les stimuli binaires et ternaires

Avant d'estimer les métriques de test, les résultats des mesures de test sur ce large échantillon de circuits sont analysés pour orienter le choix de la technique de test à adapter en phase de production. Les figures 6.24.(a) et (b) représentent les réponses de test de la population de circuits aux stimulus binaires et ternaires encodant une amplitude équivalente à $-12dBFS_{spec}$. Les tensions de conversion du stimulus numérique en niveaux analogiques correspondent aux tensions de référence utilisées pour le CNA du modulateur, $v_{dac} = 1.75V$. Pour les deux stimuli, les valeurs du SNDR et du SNR sont très proches montrant une bonne mesure du rapport signal sur bruit par les deux techniques. La corrélation est moins bonne pour le stimulus binaire mais ce résultat provient de l'augmentation du niveau de bruit proche de la saturation du modulateur sous test.

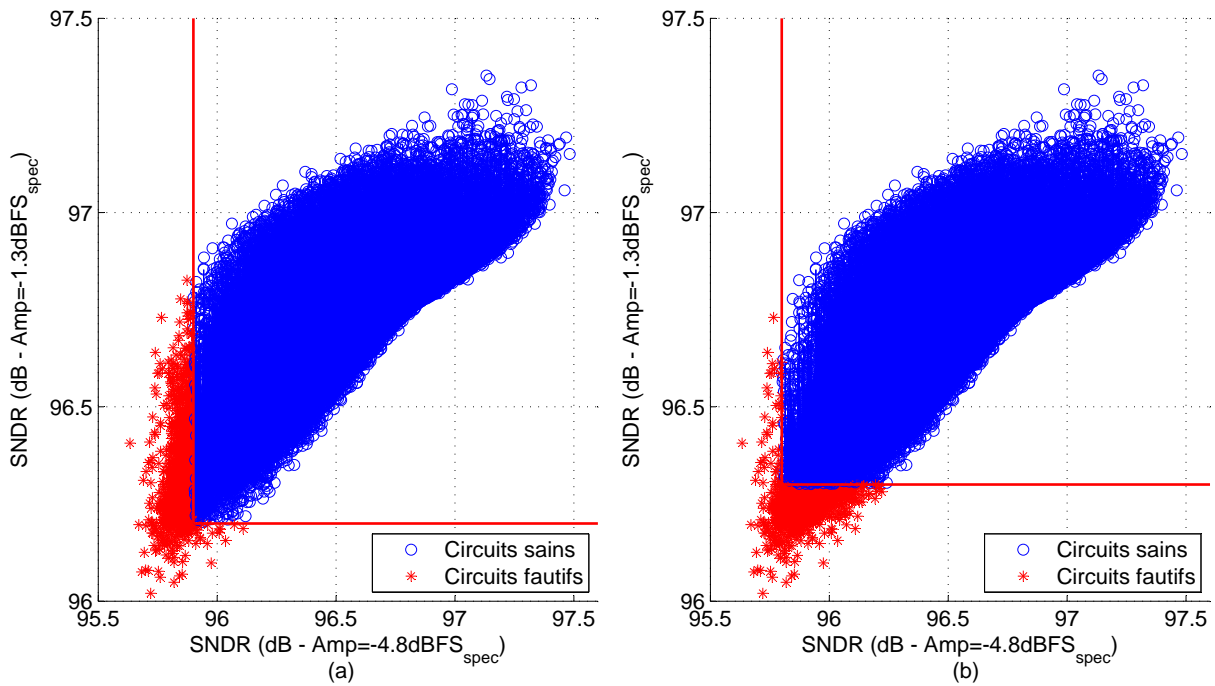


Figure 6.23 – Échantillon de référence (a) bruit prédominant et (b) distorsion prédominante.

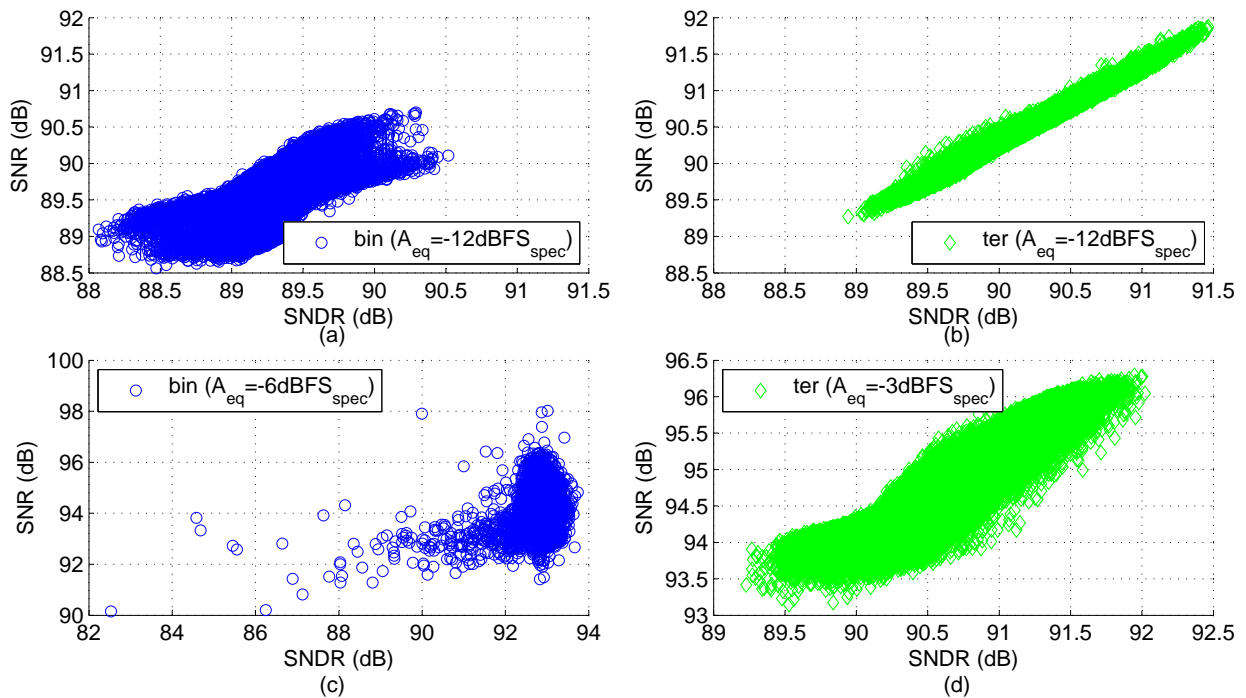


Figure 6.24 – Comparaison du SNDR et du SNR d'un large échantillon de circuits pour un signal binaire (a) d'amplitude équivalente à $-12dBFS_{spec}$ et (c) à $-6dBFS_{spec}$ et pour un signal ternaire (b) d'amplitude équivalente à $-12dBFS_{spec}$ et (d) à $-3dBFS_{spec}$.

Les figures 6.24.(c) et (d) représentent les réponses de test pour une amplitude équivalente à $-6dBFS_{spec}$ pour le stimulus binaire et de $-3dBFS_{spec}$ pour le stimulus ternaire. Cette augmentation de l'amplitude équivalente encodée dans la séquence de test génère des réponses de test différentes suivant l'injection du train binaire ou du train ternaire. Pour le train binaire, une amplitude équivalente de $-6dBFS_{spec}$ n'entraîne qu'un faible écart entre le SNR et le SNDR et génère pourtant des circuits avec de larges variations du SNDR, montrant la saturation de ce dernier. Le stimulus ternaire avec une amplitude de $-3dBFS_{spec}$ crée un écart de près de $3dB$ entre le SNR et le SNDR des circuits de cet échantillon montrant sa capacité à différencier le bruit de bande des distorsions harmoniques.

Les comparaisons précédentes permettent de mettre en évidence sur un large échantillon de circuits la différence des résultats de test entre l'injection d'un stimulus binaire et d'un stimulus ternaire. Une analyse paramétrique permet d'apporter des informations complémentaires pour faire une première sélection des techniques de test à évaluer. Cette analyse permet de vérifier si le test classe correctement chaque circuit de cette répartition mais elle n'apporte pas l'information statistique nécessaire à l'estimation des métriques de test. L'analyse paramétrique est conduite à partir du résultats des simulations comportementales de l'échantillon uniforme obtenu par les plans d'expérience. La figure 6.25 représente la répartition entre la performance prédite par un test standard et la mesure de test effectuée par un test binaire ou ternaire. Les cercles représentent les vecteurs du plan d'expérience cubique centré, c'est-à-dire les vecteurs répartis à l'extrémité de la densité et les points représentent à titre indicatif un sous-ensemble du plan d'expérience latin.

La figure 6.25.(a) montre que le test binaire d'amplitude encodée équivalente à $-12dBFS$ détecte plus difficilement les circuits défectueux (dans cet exemple, la spécification est placée à $96dB$ par souci de simplification), car le SNDR prédit par ce test est identique pour une partie des circuits indépendamment de la valeur de la performance réelle. Par conséquent, la limite de test placée à titre d'exemple à $89dB$ implique le succès du test pour de nombreux circuits défectueux et, inversement, si cette limite est placée à $90dB$. Sur la figure 6.25.(b), la limite de test située à $89.5dB$ semble être un bon compromis pour limiter les erreurs de détection des circuits défectueux. Ainsi, un test injectant un signal ternaire encodant une amplitude équivalente réduite paraît plus approprié que le test binaire équivalent pour déterminer si un circuit est fonctionnel ou défectueux sur l'ensemble des déviations des paramètres du *process*.

Par contre, les figures 6.25.(c) et (d) représentent le SNDR obtenu par simulations comportementales de l'échantillon uniforme en injectant un signal d'amplitude codée équivalente $A_{eq} = -9dBFS$ et une tension d'injection égale à l'amplitude pleine échelle $V_{bist} = 0dBFS$ pour les deux stimuli. À partir de ces figures, il est difficile d'identifier lequel du test binaire ou du test ternaire semble le mieux approprié pour détecter correctement les circuits défectueux des circuits fonctionnels. Seule une analyse sur la densité de probabilité permet de quantifier les erreurs de classification de chaque technique.

6.3.3 Métriques et limites de test

En vue de réduire le temps de test de production, la première solution consisterait à n'effectuer qu'un seul test avec un stimulus analogique d'amplitude $-4.8dBFS_{spec}$ ou $-1.3dBFS_{spec}$. L'estimation des métriques de test de cette solution permet d'évaluer les pertes de rendement et comparer ce résultat avec le gain en temps de test. La figure 6.26 trace les métriques estimées obtenues après le test de l'échantillon *bruit prédominant* et le test de l'échantillon *distorsion prédominante*.

Sur la figure 6.26.(b), le taux de défauts reste très important pour une perte de rendement nulle et la perte de rendement croît très fortement avant que tous les circuits défectueux n'aient été détectés. De la même manière, la figure 6.26.(c) montre une nette augmentation de la perte de rendement avant la détection de tous les circuits défectueux. Pour les figures 6.26.(a) et (d), l'augmentation de la spécification en vue de réduire le taux de défauts entraîne une rapide augmentation de la perte de rendement. Ainsi, un seul test analogique est insuffisant pour vérifier le respect des spécifications pendant la phase de production.

De la même manière, l'estimation des métriques est effectuée en considérant le test des circuits

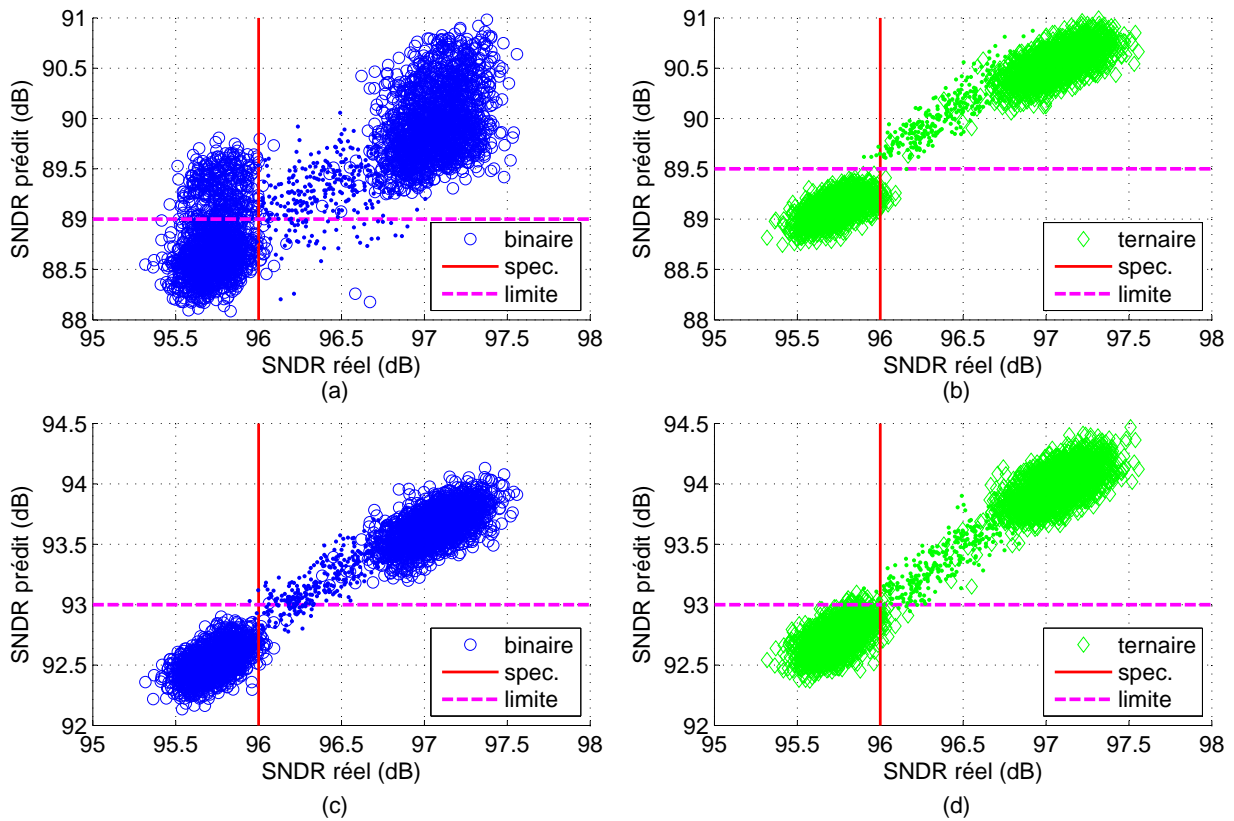


Figure 6.25 – Comparaison du SNDR pour un signal binaire (a) d’amplitude équivalente à $-12dBFS_{spec}$ et (c) à $-6dBFS_{spec}$ et pour un signal ternaire (b) d’amplitude équivalente à $-12dBFS_{spec}$ et (d) à $-3dBFS_{spec}$.

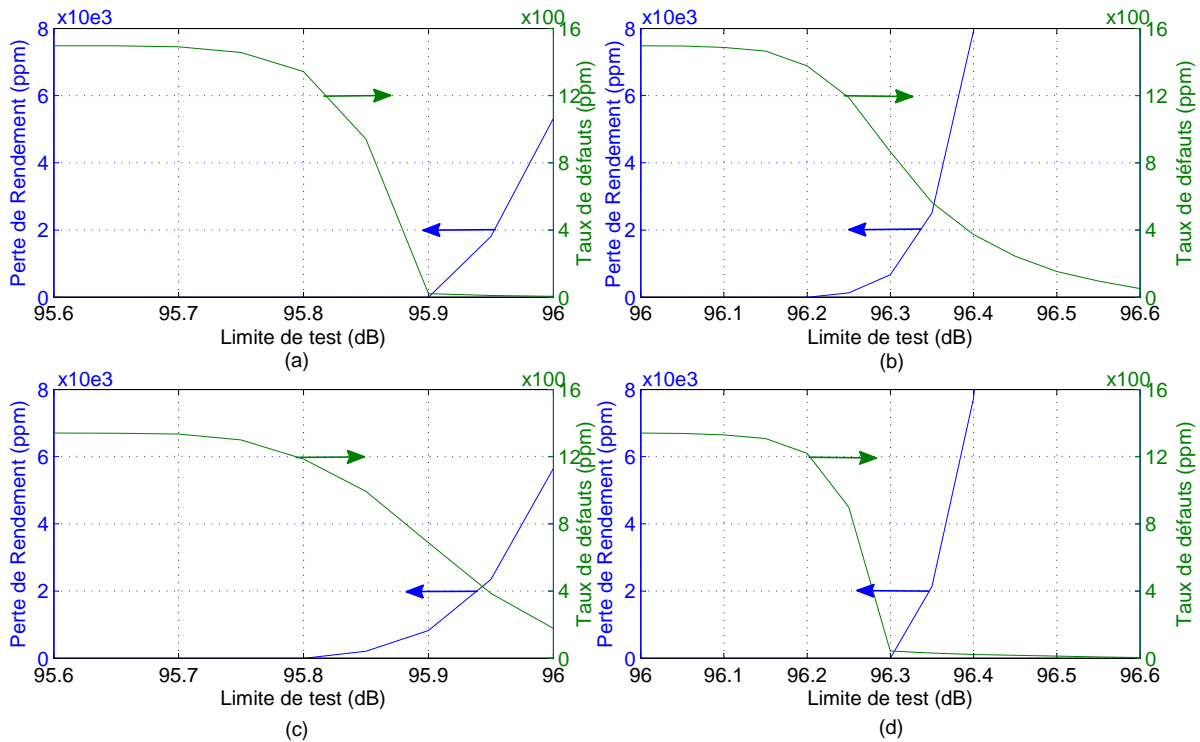


Figure 6.26 – Perte de rendement et taux de défauts résultant d’un test unique sur l’échantillon bruit prédominant à partir d’un signal analogique d’amplitude (a) $-4.8dBFS_{spec}$ et (b) $-1.3dBFS_{spec}$ et sur l’échantillon distorsion prédominante pour (c) $-4.8dBFS_{spec}$ et (d) $-1.3dBFS_{spec}$.

par un stimulus numérique. Les figures 6.27.(a) et (b) représentent ces métriques en fonction des limites de test pour le stimulus binaire d'amplitude $A_{eq} = -6dBFS_{spec}$ et pour le stimulus ternaire d'amplitude $-3dBFS_{spec}$.

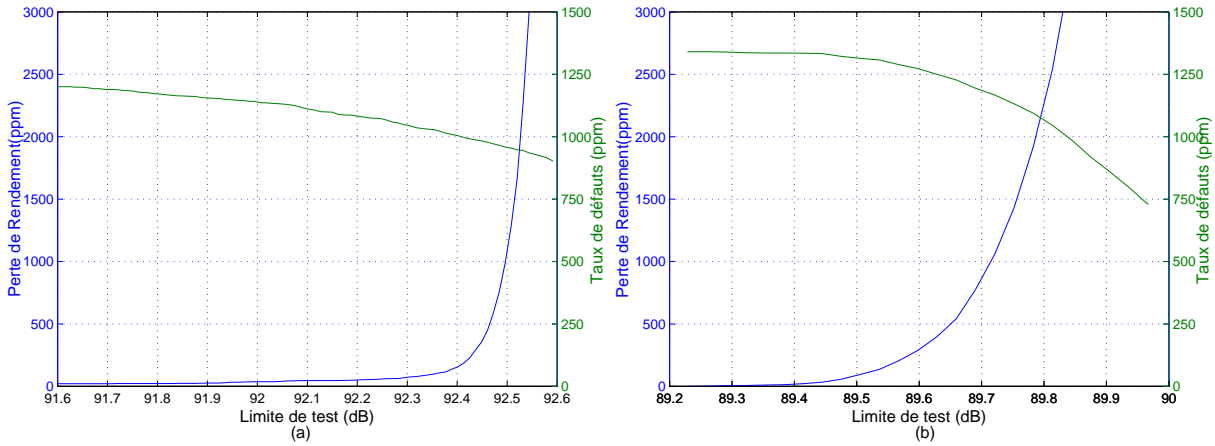


Figure 6.27 – Perte de rendement et taux de défauts résultant d'un test unique sur l'échantillon *distorsion prédominante* à partir d'un stimulus numérique (a) binaire d'amplitude $A_{eq} = -6dBFS_{spec}$ et (b) ternaire d'amplitude $-3dBFS_{spec}$.

Cette estimation des métriques de test donne des résultats très insatisfaisants, car la quantité de circuits défaillants détectés pour ces deux tests numériques est bien inférieure à la perte de rendement provoquée. Ces mauvaises métriques proviennent d'une diminution globale de l'estimation du SNDR, car la puissance du bruit injecté par le stimulus additionné à une forte amplitude encodée entraîne la saturation d'un grand nombre de circuits, pourtant, considérés fonctionnels par un test analogique.

Pour diminuer la puissance du bruit de quantification contenue dans le stimulus de test, la tension d'injection du stimulus est atténuée à la tension de pleine échelle $V_{max} = 1.4V$ (spécifiée dans le tableau 6.1). D'autre part, l'amplitude encodée équivalente est identique entre la séquence binaire et ternaire injectée et cette valeur est de $-8dBFS_{spec}$. Les figures 6.28.(a) et (b) représentent les métriques de test obtenues en considérant l'échantillon *bruit prédominant*, tandis que les figures 6.28.(c) et (d) représentent les métriques de test obtenues en considérant l'échantillon *distorsion prédominante*.

Les métriques de test obtenues en considérant l'échantillon de référence *bruit prédominant* sont excellentes lorsque le modulateur sous test est excité par une séquence ternaire. En effet, sur les 1500 circuits défaillants, plus de 1000 circuits sont détectés, et ce, sans entraîner le rejet de circuits fonctionnels. Par contre, le test par une séquence binaire ne détecte qu'un cinquième des circuits défectueux en conservant une perte de rendement nulle. De la même manière, environ 3000 circuits fonctionnels sont rejetés par le test binaire s'il est nécessaire de réduire fortement le taux de défauts (≈ 10), alors que le test ternaire implique le rejet de moins de 500 circuits fonctionnels.

Par contre, la corrélation avec l'échantillon *distorsion prédominante* est bien moindre, mais reste meilleure en utilisant un stimulus ternaire. Pour relativiser la valeur de ces métriques, la comparaison avec les métriques obtenues par un test de cet échantillon de référence par un signal analogique d'amplitude $-4.8dBFS_{spec}$ montre qu'elles sont équivalentes.

6.3.4 Conclusion

La première partie de ce chapitre est consacrée à la conception *Top-Down* d'un modulateur $\Sigma\Delta$ nécessaire à la prédiction des performances du circuit sans recourir aux simulations électriques trop longues. Le déroulement de ce flot de conception montre la nécessité de construire un modèle comportemental pour prédire les performances de ce modulateur et d'établir des simulations Monte Carlo pour vérifier la robustesse de chaque circuit électrique. Par la suite, nous revenons sur ces deux étapes pour mettre en évidence le peu d'efforts supplémentaires à accomplir pendant la conception

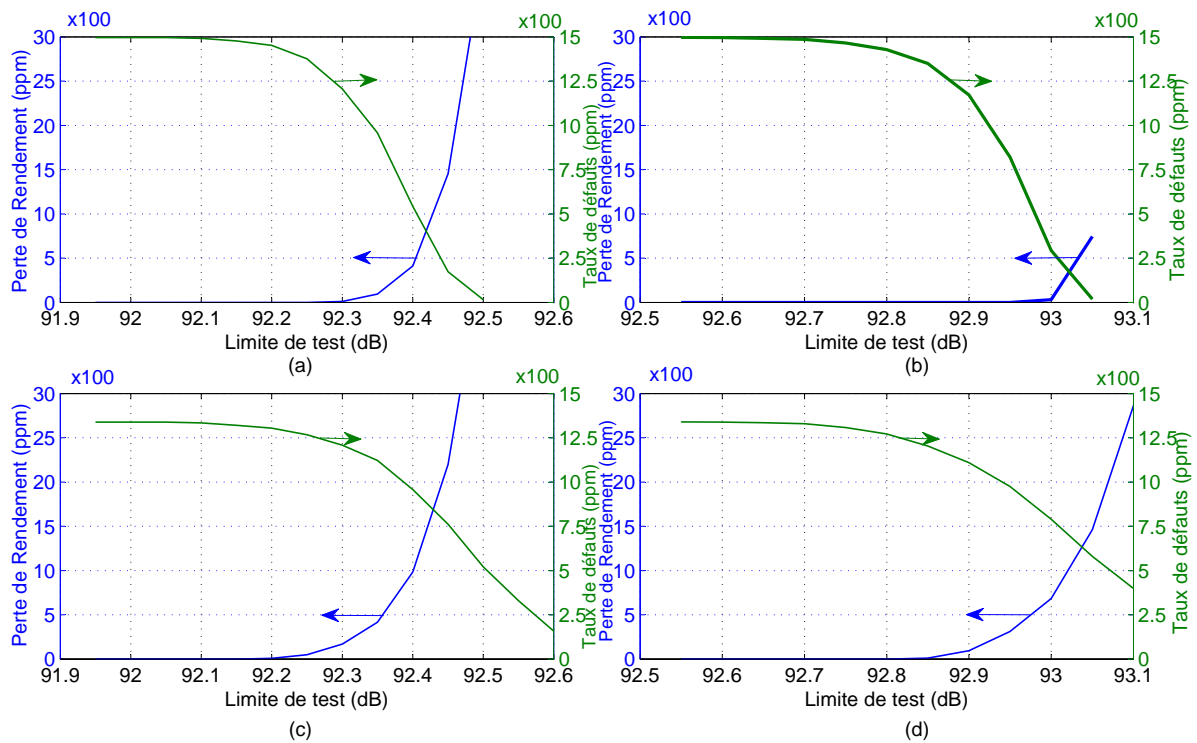


Figure 6.28 – Perte de rendement et taux de défauts résultant d’un test unique sur l’échantillon bruit prédominant à partir d’un stimulus numérique (a) binaire et (b) ternaire d’amplitude $A_{eq} = -8dBFS_{spec}$, et sur l’échantillon distorsion prédominante à partir d’un stimulus numérique (c) binaire et (d) ternaire d’amplitude $A_{eq} = -8dBFS_{spec}$ pour une tension d’injection atténuée $V_{bist} = 1.4V$.

du circuit pour mettre en place la méthodologie d’estimation des métriques de test proposée dans le chapitre 4. Enfin, un scénario de test est proposé pour évaluer la qualité des techniques de test par injection d’un stimulus périodique binaire et ternaire. Cette évaluation est nécessaire, car la capacité de chaque technique de classer correctement les circuits testés est difficile à déterminer par une simple étude paramétrique.

L’objectif de ce scénario est de montrer la capacité de la technique de test numérique d’estimer correctement la distorsion provoquée par une amplitude élevée du signal d’entrée. Cette mesure ne pouvant pas se faire à partir d’un test binaire, car la puissance du bruit de quantification contenu dans le stimulus sature le modulateur avant de mettre en évidence ce phénomène. La comparaison de la qualité de chaque technique de test numérique s’effectue en fonction de sa capacité de différencier les circuits bruyants des circuits générant une forte distorsion.

Les métriques de test obtenues pour les circuits bruyants montrent une meilleure prédiction des performances par la technique de test basée sur l’injection d’un stimulus numérique ternaire qu’une prédiction obtenue par l’injection d’un stimulus binaire. En effet, la puissance du bruit de quantification contenu dans les stimuli perturbe le fonctionnement du modulateur, mais la puissance du bruit de quantification contenu dans le stimulus ternaire est inférieure à son équivalent binaire. Pour les circuits appelés *distorsion prédominante*, aucune des techniques proposées ne permet de détecter les circuits présentant un excès de distorsion sans augmenter la perte de rendement. Toutefois, les métriques de test résultant d’un test analogique unique d’amplitude inférieure montrent un comportement identique que les techniques numériques. Les résultats obtenus pour les amplitudes modérées du signal d’entrée étant corrects, il est prudent d’approfondir la manière de modéliser ce phénomène de distorsion pour les amplitudes élevées avant de juger de l’efficacité du test du SNDR par une technique numérique injectant un stimulus ternaire.

Calibrage automatique d'un CAN- $\Sigma\Delta$ à partir d'un BIST

Le manque de maîtrise des différentes étapes nécessaires à la réalisation des nouveaux procédés technologiques réduit le rendement de production des circuits intégrés. Les circuits les plus performants sont particulièrement sensibles aux variations des paramètres du *process* au point de nécessiter un système de correction post-production pour garantir le respect du cahier des charges. Ainsi, l'intégration d'une technique de test basée sur l'estimation d'une performance est réutilisable pour mettre au point un calibrage automatique d'un circuit.

Pour illustrer l'emploi d'un BIST dans un système de calibrage, un prototype a été réalisé à partir d'une technique de test intégré mise au point par *Rolindez et al.* [137]. Ce prototype utilise un modulateur $\Sigma\Delta$ incluant la technique de test intégré, un circuit programmable¹ pour implanter l'algorithme de calibrage et une interface graphique.

Ce chapitre rappelle les notions élémentaires d'un système de calibrage dédié à un circuit intégré. Puis, le fonctionnement du démonstrateur créé en partenariat avec un industriel est détaillé, en particulier, les différents blocs programmés dans le FPGA, la conception de la carte analogique incluant le modulateur $\Sigma\Delta$ et l'interface graphique. Les résultats expérimentaux et les difficultés rencontrées pendant le développement du prototype concluent cette partie.

¹FPGA : Field Programmable Gate Array

7.1 Calibrage

Après un rappel sur le principe du calibrage, la transformation nécessaire à une technique de test intégré pour l'utiliser dans un système de calibrage est présentée puis appliquée au test numérique de CAN- $\Sigma\Delta$ en exploitant le BIST numérique basé sur l'injection en entrée d'une séquence de test binaire.

7.1.1 Principe

Le principe du calibrage d'un circuit intégré repose sur un système contre-réactionné qui agit sur les paramètres du circuit comme son courant de polarisation, sa tension d'alimentation, etc. Contrairement à l'asservissement, dont le rôle est de conserver le fonctionnement du circuit dans un état donné, le calibrage permet de positionner le circuit dans un état optimal. Un système de calibrage apporte une fonction supplémentaire valorisant le produit.

Le schéma général du fonctionnement d'un système de calibrage est illustré sur la figure 7.1. Pendant la phase de calibrage, les interrupteurs sont fermés pour analyser la sortie du circuit S par rapport à un signal d'entrée E. Suivant le résultat de cette analyse, des actionneurs modifient le point de fonctionnement du circuit pour atteindre la réponse optimale. En fin de calibrage, une mémoire conserve l'état des actionneurs correspondant au point optimal de fonctionnement.

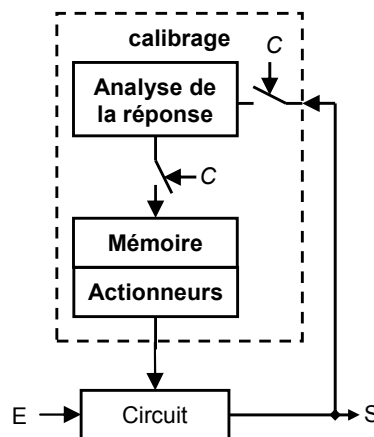


Figure 7.1 – Bloc diagramme d'un circuit avec un système de calibrage

Les deux types de calibrage sont le calibrage hors-ligne² et le calibrage en ligne³. Le calibrage *off-line* se déroule pendant une phase dédiée obligeant le circuit à interrompre son fonctionnement normal. Cette phase a souvent lieu pendant l'initialisation du circuit ou périodiquement si l'application le permet. Les chronogrammes correspondants sont représentés respectivement sur la figure 7.2.(a) et (b). Le calibrage *on-line* est plus difficile à mettre en œuvre, car le signal d'entrée n'est pas forcément connu pendant le fonctionnement du circuit. Par conséquent, l'analyse de la réponse est plus complexe. Son avantage est le fonctionnement en parallèle du circuit, comme illustré sur la figure 7.2.(c).

L'intégration d'un système de calibrage présente l'intérêt d'utiliser le circuit dans sa zone optimale de fonctionnement. Il est fréquemment intégré aux systèmes exigeants sur le niveau de performances, car ils sont plus sensibles aux variations du *process*. Pour les applications sujettes à des conditions de fonctionnement extrêmes, la phase de calibrage permet aussi de compenser le vieillissement du circuit. Mais, outre la complexité du développement, l'intégration d'un système de calibrage peut entraîner un coût supplémentaire lié à l'augmentation de la surface du circuit sur le silicium.

²off-line

³on-line

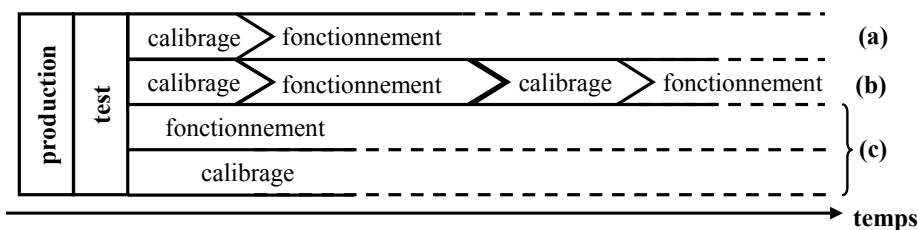


Figure 7.2 – Phases de calibrage (a) *off-line* à la mise en route ou (b) *off-line* cyclique et (c) *on-line*.

7.1.2 Redondances avec un BIST

La figure 7.3.(a) schématise le rôle d'une technique BIST visant à estimer un vecteur de performances P_T à partir de la réponse S_T d'un circuit excité par un stimulus de test E_T . Le vecteur P_T fournit une information sur le fonctionnement du circuit. Par conséquent, le système de calibrage automatique créé à partir d'un BIST s'appuie sur une partie de cette information pour modifier l'état du circuit en agissant sur le vecteur X_T comme illustré sur la figure 7.3.(b).

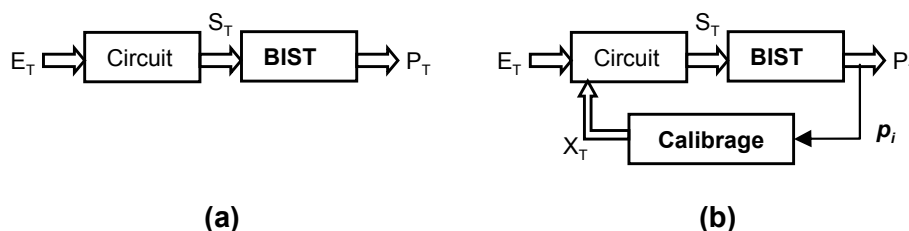


Figure 7.3 – Transformation d'un BIST en un système de calibrage.

Le déroulement d'une phase de calibrage *off-line* développée à partir d'une technique BIST est représentée sur la figure 7.4. Le bloc *séquence du BIST* se divise en deux étapes : injection du stimulus de test suivi de l'estimation de la performance p_i . À la fin de la phase de calibrage, l'état des actionneurs ayant donné la meilleure performance est sauvegardé par des registres dédiés.

La combinaison de la technique BIST et du système de calibrage requiert une surface additionnelle certainement supérieure à l'implantation d'un seul de ces deux systèmes, mais elle implique la réduction des coûts du test et l'augmentation du rendement du circuit.

7.1.3 Application au test numérique de CAN- $\Sigma\Delta$

L'application d'une boucle de calibrage d'un CAN- $\Sigma\Delta$ à partir de la technique BIST proposée par Rolindez [137] nécessite la mise en place d'actionneurs implantés pendant la phase de conception. Les performances du convertisseur à capacités commutées, décrit dans le chapitre 6, dépendent principalement des performances de l'amplificateur opérationnel du premier étage. Ainsi, le circuit de polarisation de cet amplificateur opérationnel se commande à moindre coût en incluant des CNA de faible résolution.

La figure 7.5 représente diverses possibilités d'implanter un CNA dans un système polarisé par un courant de référence généré à partir d'un seul bloc, le circuit *bandgap*. Plus particulièrement, sur la figure 7.5.(a), les transistors pilotés numériquement par les signaux D_i permettent de modifier le courant de référence I_{ref} en bloquant les branches d'un réseau de miroirs de courant. De la même manière, sur la figure 7.5.(b), les miroirs de courants additionnels permettent d'optimiser localement les points de polarisation en fonction du code attribué par les signaux d_j . La surface ajoutée n'est pas forcément importante car de nombreux miroirs de courant appariés ont des transistors additionnels inutilisés mais nécessaires pour établir une bonne symétrie de l'architecture. Ces transistors peuvent être utilisés pour le calibrage. De plus, le calibrage peut permettre de réduire la taille de tous

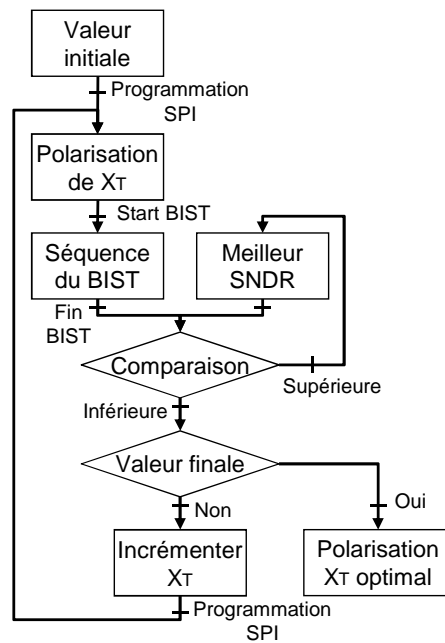


Figure 7.4 – Algorithme de calibrage incluant la technique BIST.

les transistors, car le mésappariement lié à la fabrication du produit est désormais corrigible. La résolution des CNA reste cependant faible, car son augmentation implique aussi l’augmentation de la surface des circuits numériques les pilotant.

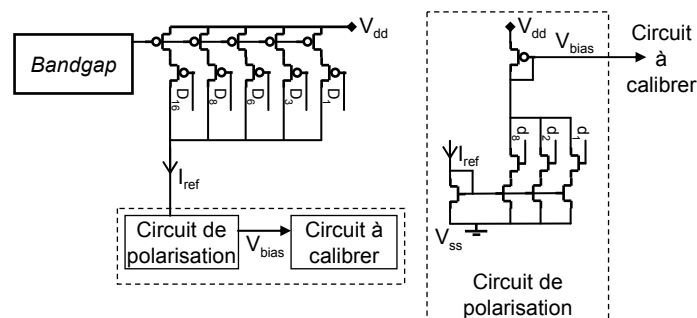


Figure 7.5 – Implantation d’un circuit de polarisation programmable.

7.2 Présentation du démonstrateur

Cette section présente la mise en œuvre d’un démonstrateur implantant un système de calibrage avec des circuits de polarisation externes. En effet, le modulateur incluant la technique BIST permet de se connecter à des tensions de polarisation de l’amplificateur opérationnel du premier étage d’intégration. Par conséquent, ces tensions peuvent être modifiées par l’utilisation de CNA.

La première partie de cette section apporte une description globale du démonstrateur. La seconde partie détaille les différents blocs numériques nécessaires à la mise en œuvre de la phase de calibrage mais aussi propres au fonctionnement du démonstrateur. Enfin, les résultats expérimentaux obtenus sont présentés.

7.2.1 Description globale

La figure 7.6 représente le schéma bloc du démonstrateur visant l’exploitation d’une technique BIST comme support au calibrage d’un modulateur $\Sigma\Delta$. Ce démonstrateur se divise en 3 parties :

l'interface graphique, la programmation des blocs numériques sur un circuit programmable et le modulateur à calibrer au moyen d'actionneurs externes.

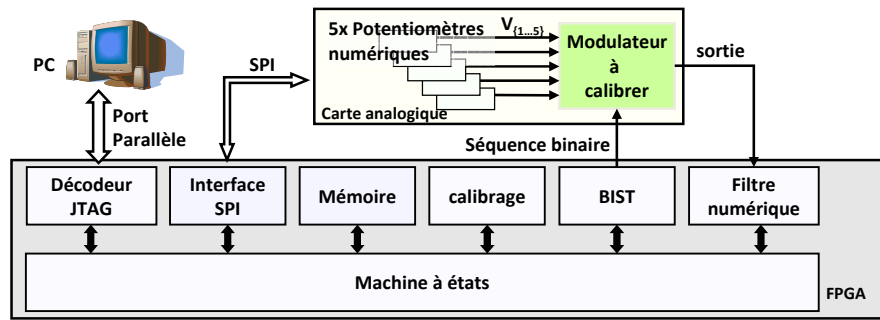


Figure 7.6 – Vue générale du système de calibration automatisé du modulateur à partir d'une technique BIST.

Le modulateur à calibrer permet l'accès à 5 tensions analogiques de polarisation de l'amplificateur opérationnel utilisé dans le premier étage. La valeur de chaque tension est réglable numériquement par le biais de potentiomètres programmables. La partie numérique implantée sur le *FPGA* comprend le filtre numérique du modulateur, le stimulus de test, les algorithmes de calcul du SNDR et de calibration. Elle comprend aussi les différents protocoles de communication utilisés pour programmer les potentiomètres numériques et pour la communication entre le *FPGA* et l'interface graphique. L'interface graphique permet de lancer le test et le calibrage du circuit par la technique BIST.

L'algorithme de calibration balaie différentes tensions de polarisation en suivant le diagramme bloc illustré sur la figure 7.4. L'analyse de la réponse et l'injection du stimulus sont effectués par le BIST, puis pour chaque état, le SNDR calculé est comparé avec la meilleure valeur. Finalement, la polarisation ayant permis d'atteindre la meilleure valeur de SNDR est mémorisée puis appliquée pendant le fonctionnement du circuit.

7.2.2 Blocs numériques

Architecture complète

Les ports déclarés de l'entité *top_level* sont représentés sur la figure 7.7. Cette entité nécessite trois sorties et une entrée pour communiquer avec les potentiomètres numériques (protocole SPI⁴ décrit plus loin), 3 sorties et une entrée pour le modulateur (horloge, stimulus binaire, commande test/calibrage actif et sortie du modulateur) et, enfin, 2 signaux provenant de la carte numérique (horloge et reset).

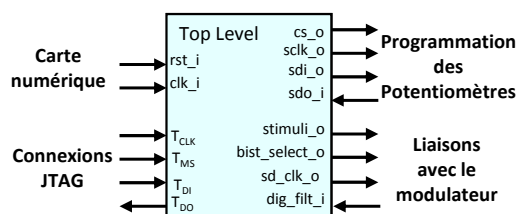


Figure 7.7 – Entité du bloc numérique.

Le module servant à la communication entre le *FPGA* et l'interface graphique est un composant interne, dont la déclaration s'effectue sans réserver des ports de sortie (le fonctionnement de ce composant fait l'objet du paragraphe 7.2.2).

⁴Serial Peripheral Interface

La figure 7.8 présente la structure interne du bloc numérique. Son fonctionnement est centralisé autour de la machine à états qui exécute les ordres provenant de l'utilisateur. Ces ordres sont transmis sous la forme d'un mot numérique que le décodeur se charge de convertir en signaux de commande. Ensuite, la machine à états coordonne les différents blocs nécessaires à l'exécution de l'ordre reçu.

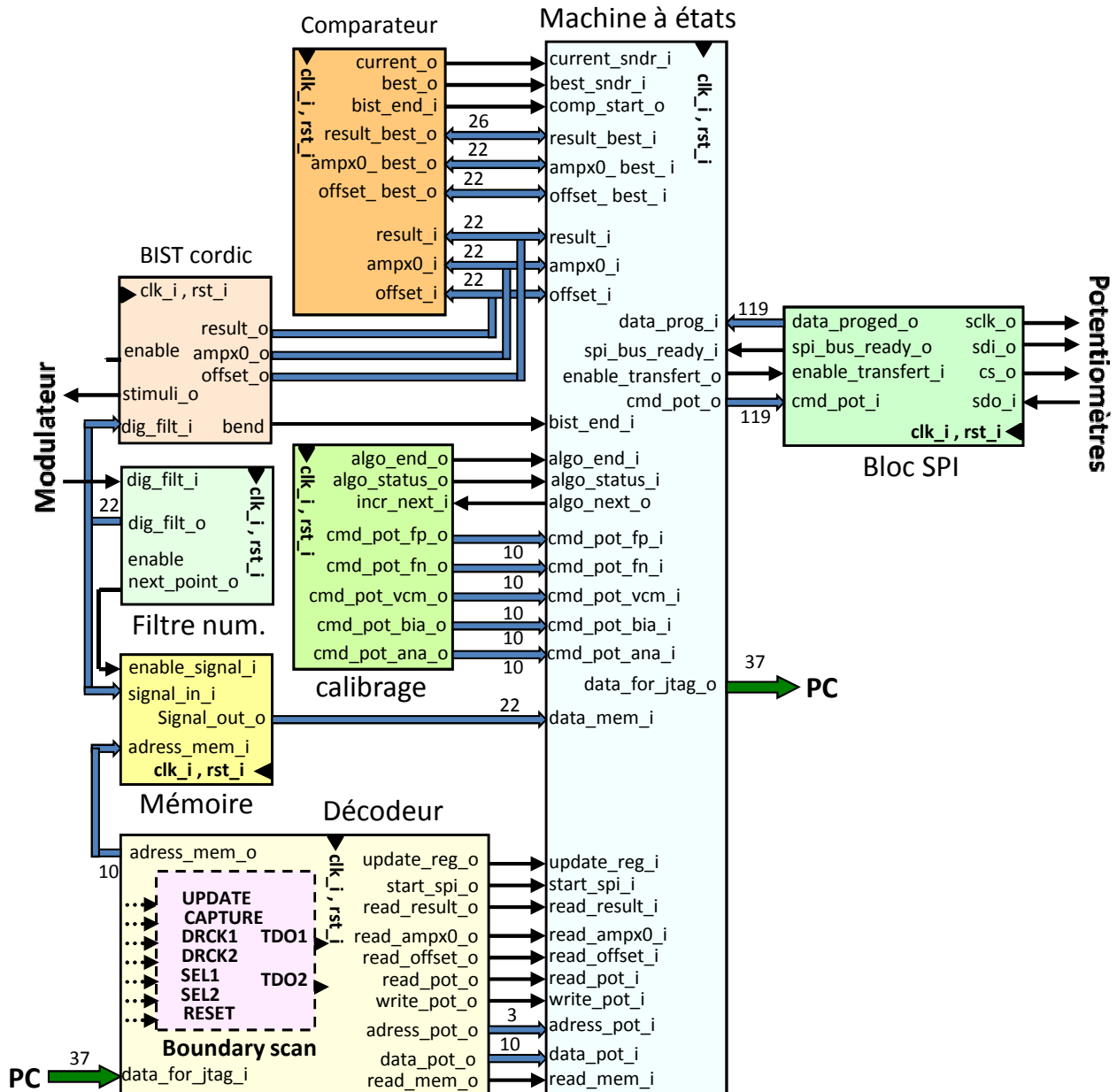


Figure 7.8 – Liaisons internes du bloc numérique.

Chaque bloc du *Top-Level* répond à une fonctionnalité spécifique décrite par la suite.

Machine à états

Le fonctionnement de la machine à états est décrit par le diagramme bloc représenté sur la figure 7.9. L'état initial est un état d'attente *idle*.

L'utilisateur utilise le signal *update_reg* pour mettre à jour une nouvelle commande. Les différentes possibilités sont nommées A,B,C,D,E et F et elles correspondent aux fonctionnalités suivantes :

- A - Lancer l'algorithme de calibration automatique
- B - Effectuer une séquence de test
- C - Lecture de la dernière performance et de la polarisation correspondante
- D - Lecture de la meilleure performance et de la polarisation correspondante
- E - Programmation de nouvelles valeurs des potentiomètres
- F - Lecture du contenu de la mémoire.

Lorsque l'ordre a fini d'être exécuté, la machine à états revient à l'état initial.

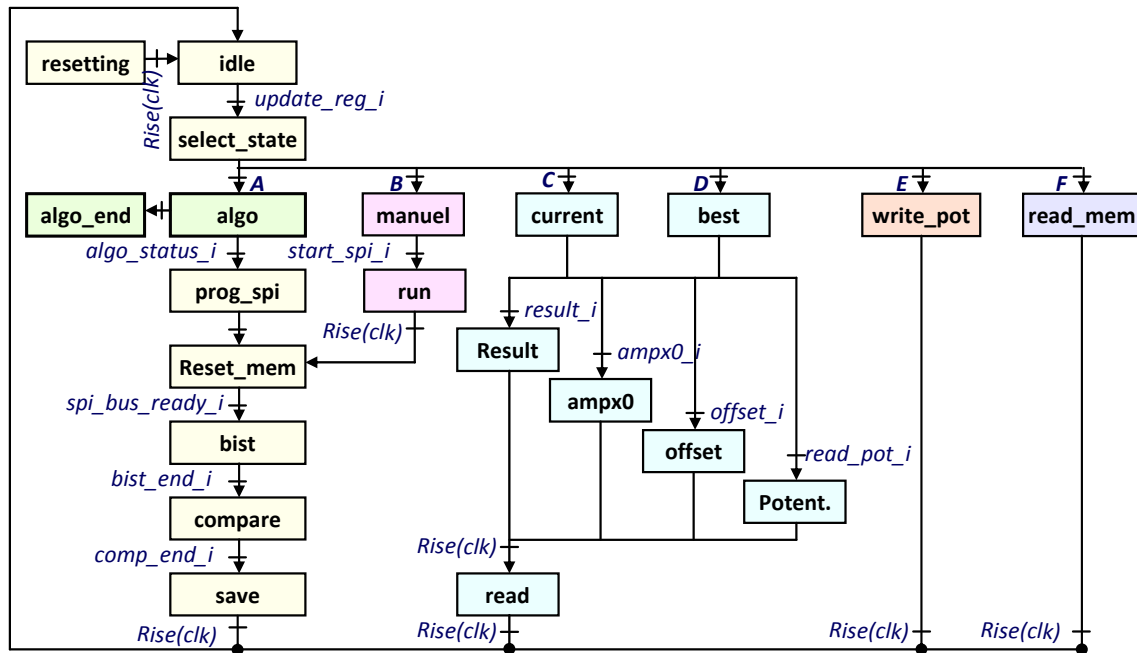


Figure 7.9 – Diagramme bloc décrivant la machine à états.

Décodeur du registre JTAG

Le décodeur sert d'interface entre la machine à états et les ordres provenant de l'utilisateur. Les ordres sont transmis via le module JTAG de la *FPGA* dans lequel deux registres servent à échanger des données. Le registre d'écriture reçoit les ordres permettant de commander la machine à états ainsi que les données nécessaires à la programmation des potentiomètres numériques et à la lecture de la mémoire. Sur la figure 7.10.(a), la commande entrée par l'utilisateur correspond à l'écriture du potentiomètre adressé "001".

De la même manière, l'objet et l'information correspondante sont renvoyés par le protocole de lecture du registre. Par exemple, la figure 7.10.(b) indique que le calibration automatique a été ordonné et que l'algorithme n'est pas encore terminé. La figure 7.10.(c) renvoie la valeur du meilleur SNDR obtenu lors de la dernière phase de calibration. Ce bloc est nécessairement présent dans le développement d'une technique de test intégré ou d'un système de calibration automatique pour communiquer les résultats obtenus.

Calibrage

Le module de calibration est dédié à l'implantation de l'algorithme permettant de parcourir différentes tensions de polarisation à chaque mesure du SNDR. L'algorithme consiste très simplement à incrémenter par un pas déterminé les codes compris dans un intervalle défini par l'utilisateur. Pour une implantation industrielle, une analyse plus poussée notamment sur l'influence de chaque tension

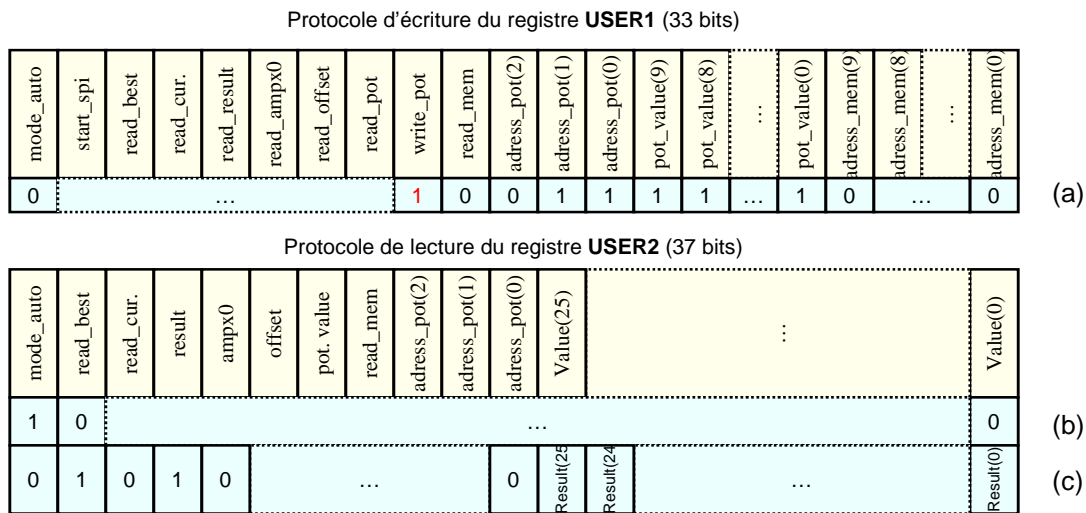


Figure 7.10 – Registres d'écriture et de lecture de données transmises entre le module JTAG du FPGA et l'interface graphique.

de polarisation apporterait des informations intéressantes pour optimiser cet algorithme, apportant ainsi un gain de temps de la phase de calibrage.

Chaque étape de la phase de calibrage correspond à la boucle de séquence suivante :

- 1) Programmer les potentiomètres numériques
- 2) Initialiser la mémoire
- 3) Effectuer une séquence de test complète (injection du stimulus, recueil des résultats et calcul du SNDR)
- 4) Comparer l'état optimal courant avec le résultat du test.
- 5) Conserver ou mettre à jour l'état optimal
- 6) Revenir à la phase 1)

Lorsque toutes les tensions de polarisation ont été parcourues, l'algorithme programme les potentiomètres numériques avec la valeur correspondante au meilleur SNDR obtenu pendant le calibrage.

Comparaison

Ce bloc permet de conserver les valeurs des potentiomètres permettant d'obtenir le meilleur SNDR. À la fin de chaque itération, la valeur du SNDR est comparée avec la meilleure valeur obtenue jusqu'à ce stade du calibrage. Suivant le résultat, les registres sont mis à jour avec les nouvelles valeurs ou les précédentes sont conservées.

BIST

Le stimulus de test est programmé dans une ROM⁵ du FPGA. Ce choix est conséquent à l'existence dans cette première version d'une seule séquence de test. Une RAM⁶ ou un registre à décalage pourrait aussi être implanté mais cette opération compliquait le protocole de communication et la machine à états. Dans le cas présent, l'inconvénient majeur provient de l'absence de flexibilité obligeant une nouvelle programmation du FPGA pour changer le stimulus de test. La génération du stimulus s'effectue par la mise à l'état actif de la lecture de la ROM dont le contenu est connecté à un port de sortie du FPGA.

L'analyse de la réponse s'effectue à partir de l'algorithme CORDIC mis au point par STMicroelectronics [139]. Cet algorithme requiert en entrée la sortie du filtre numérique. Il délivre différents

⁵Read-Only Memory = mémoire en lecture seule

⁶Random Access Memory = mémoire à accès direct

signaux, dont les valeurs permettent d'estimer le SNDR du modulateur $\Sigma\Delta$. Son implantation est préférée à celle de la régression sinusoïdale, car il occupe une surface moins importante.

La mémoire

Suivant l'implantation choisie, la présence d'unité de mémoire pour sauvegarder les valeurs en sortie du filtre numérique n'est pas nécessaire et en particulier pour une application présentant deux filtres numériques identiques comme les systèmes stéréo. Dans le cas présent, la mémoire est utile pour le *debugging* de l'application car elle permet une vérification des résultats obtenus par le CORDIC.

La synchronisation de l'écriture de la mémoire s'effectue avec un signal commun avec le bloc CORDIC. Ce signal est activé au bout d'un laps de temps nécessaire à la stabilisation du filtre numérique. Lorsque la mémoire est pleine, les valeurs suivantes sont ignorées et sa remise à zéro s'effectue après chaque mise à jour de la valeur des codes des potentiomètres numériques.

Les blocs décrits ci-après sont aussi implantés dans le FPGA, car leur présence est nécessaire au fonctionnement du démonstrateur. Toutefois, dans un système entièrement intégré, leur développement ne serait pas nécessaire.

Communication SPI

L'utilisation de potentiomètres numériques externes implique la mise en place d'un protocole de programmation de leurs registres. Ce protocole est le SPI [149] qui est un protocole standard industriel mis au point par Motorola, Inc. Ce protocole nécessite trois plots de connexion entre un circuit maître et un circuit esclave pour la communication d'une horloge, des données émises et du choix de l'esclave⁷. Un quatrième signal optionnel peut être ajouté pour permettre la communication dans le sens esclave vers maître.

Pour programmer les potentiomètres numériques reliés en cascade (cf. prochaine section), le signal *chip select* est activé sur ordre de la machine à états. Ensuite, l'horloge de programmation est activée et les données stockées dans des registres temporaires sont envoyés en série par un port du FPGA vers l'entrée du premier potentiomètre numérique. L'entrée des circuits suivants étant reliés à la sortie du précédent, leurs registres sont accessibles. La fin de la programmation est signalée à la machine à états par un signal dédié. D'autre part, la sortie du dernier potentiomètre est rebouclée sur l'entrée du FPGA pour vérifier la valeur programmée.

La programmation du protocole SPI a été réalisée en deux étapes. Une première étape a fait l'objet d'un projet de fin d'étude, qui a permis de valider le protocole pour programmer un seul potentiomètre numérique [150]. La seconde étape est l'adaptation du travail effectué pour permettre la programmation en cascade des cinq potentiomètres numériques.

Modules du *FPGA*

Le circuit programmable choisi possède deux modules spécifiques ("préprogrammés"), dont l'implantation se fait par la déclaration de l'entité et la connexion de leurs ports d'entrée et de sortie à des signaux du programme. Ces deux blocs sont un diviseur d'horloge et un JTAG.

La division de l'horloge est nécessaire car la fréquence de fonctionnement du FPGA diffère de la fréquence d'échantillonnage du convertisseur. Par conséquent, le bloc ainsi que les variables fixant la fréquence de fonctionnement du système a été déclaré dans l'entité *top-level*. La division de la fréquence pourrait être programmée par des circuits "faits-maison" mais le diviseur d'horloge proposé est optimisé par le constructeur en fonction de toutes les contraintes relatives au déploiement d'une horloge dans un circuit numérique. Sa déclaration dans le système réduit les erreurs de fonctionnement du programme.

Le module JTAG est implanté pour faciliter et automatiser le test des cartes électroniques numériques en donnant accès aux broches d'entrée-sortie des composants numériques fortement intégrés. Il est présent sur ce circuit programmable car il se voue à des applications de type industriel

⁷Nommé *chip select/enable*

nécessitant une bonne observabilité de chaque circuit. Le bus JTAG défini par la norme éponyme est un bus série composé de 5 signaux de contrôle :

- TMS, (Test Mode Select) signal d’activation de la communication JTAG,
- TCK, (Test ClOcK) horloge,
- TDI, (Test Data Input) entrée des données,
- TDO, (Test Data Output) sortie des données,
- TRST, (Test ReSeT) réinitialisation. Ce signal optionnel est actif au niveau bas.

La figure 7.11 représente la mise en œuvre du module JTAG. Les signaux de contrôle sont codés dans le programme gérant l’interface graphique et servent à établir la communication entre l’utilisateur et le programme synthétisé dans le FPGA. Ils commandent le contrôleur TAP⁸ pour ordonner l’écriture du registre USER1 ou la lecture du registre USER2. Le module JTAG et ces deux registres sont déclarés dans le bloc *décodeur*.

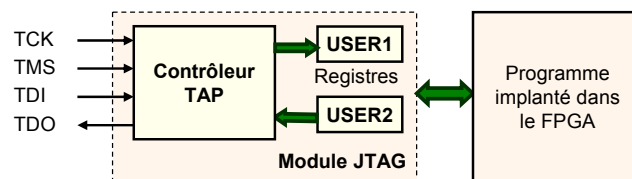


Figure 7.11 – *Fonctionnement du module JTAG.*

La gestion du programme par l’utilisateur s’effectue par le module JTAG, car cette norme de communication est couramment utilisée dans l’industrie, particulièrement pour améliorer la testabilité des circuits numériques.

Conclusion

Le démonstrateur se base sur l’implantation dans un FPGA d’un algorithme de calibrage gérant des générateurs de tension programmables et d’un environnement de communication permettant le contrôle de la machine à états par un utilisateur. L’utilisation d’un FPGA et de cette interface graphique constituent un effort de développement qui ne serait pas nécessaire si la mise en place du calibrage automatisé s’effectue pendant la phase de conception. En particulier, les principales difficultés rencontrées pendant le développement de ce démonstrateur proviennent de la gestion des signaux liés à la relation entre l’utilisateur et la machine à états. Par exemple, l’existence de deux horloges indépendantes, l’horloge interne du FPGA et l’horloge du module du JTAG implique la mise en place d’un système de synchronisation pour s’assurer d’une écriture et d’une lecture correcte des données écrites/transmises, ou encore la gestion de la mémoire RAM si elle est saturée. Tous les signaux intermédiaires indispensables au fonctionnement du démonstrateur ne contribuent pas à la phase de calibrage directement et ne seraient donc pas implantés dans un circuit auto-calibré.

7.2.3 Composante analogique

Le circuit imprimé réunit le modulateur $\Sigma\Delta$, les potentiomètres numériques et l’alimentation de ces circuits. Les principales difficultés dans le développement de ce circuit imprimé proviennent des contraintes de fonctionnement du modulateur : plusieurs tensions d’alimentation, plusieurs tensions de référence externes, une forte consommation électrique, une fréquence d’horloge élevée et un rapport signal sur bruit proche de 100dB.

Tension d’alimentation

Le modulateur a été conçu dans la technologie 0,13 μ m de STMicroelectronics [137]. Cette technologie permet de concevoir des circuits analogiques alimentés par une tension de 3,3V et des circuits

⁸Test Access Protocol

numériques en $1,2V$. Même si la partie numérique du convertisseur n'est pas intégrée au silicium, l'injection du stimulus de test numérique, l'horloge et le signal activant le test sont reliés à des transistors dits numériques. Par conséquent le potentiel maximal acceptable en entrée du modulateur à ces bornes est de $1,2V$. Le reste du circuit est entièrement composé de transistors analogiques acceptant une tension d'alimentation de $3,3V$.

Les alimentations externes sont basées sur un composant actif câblé en suivant la suggestion d'implantation proposée par son fabricant [151]. Le branchement détaillé des circuits d'alimentation est présenté sur la figure 7.12. Les deux niveaux de tension V_{DD_ANA} et V_{DD_1V2} sont générés avec deux circuits différents. La différence de tension est réalisée en câblant des résistances de valeurs différentes aux bornes de ces deux circuits.

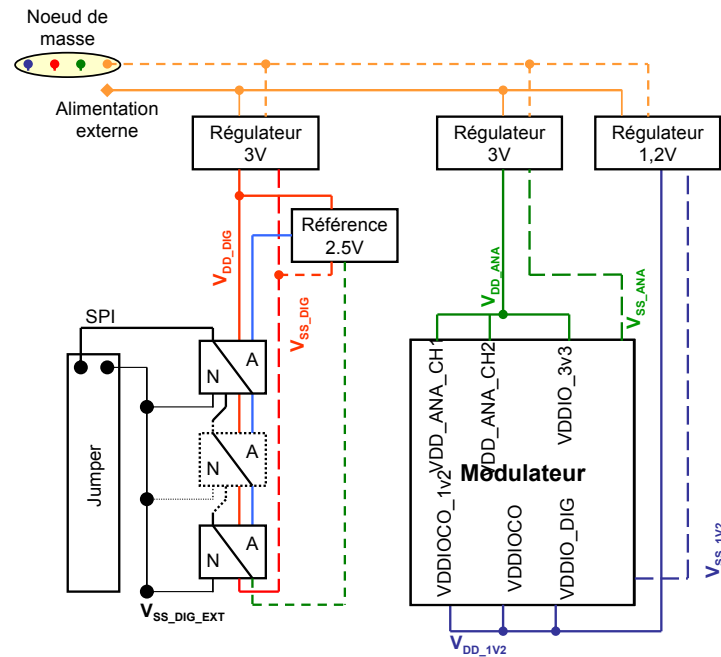


Figure 7.12 – Schéma simplifié de l'alimentation du circuit imprimé.

Outre les deux générateurs de tension dédiés au modulateur, un troisième générateur indépendant est implanté pour alimenter les composants auxiliaires comme les potentiomètres numériques ou encore le générateur de tension de référence. L'alimentation V_{DD_DIG} indépendante limite les interférences entre le modulateur et les circuits de polarisation. Dans le cas contraire, les performances dynamiques du modulateur seraient diminuées en particulier si les tensions de polarisation ne sont pas suffisamment filtrées. Enfin, pour conserver un potentiel de référence unique, toutes les masses V_{SS_ANA} , V_{SS_1V2} et V_{SS_DIG} sont connectées ensemble en un seul point relié à la masse de la carte numérique $V_{SS_DIG_EXT}$. Une masse commune entre les deux cartes imprimées est nécessaire pour conserver un seul potentiel de référence pour l'ensemble du prototype. Dans le cas contraire, la communication entre les composants appartenant à chacune des cartes serait impossible. Le plan de masse constitue une étape critique dans le développement d'un circuit imprimé, car il est aussi porteur de nombreuses interférences entre les circuits.

Tension de polarisation

La figure 7.13 présente une vue schématique du câblage des tensions de polarisation. Les potentiomètres numériques se connectent aux broches du modulateur par un circuit actif de gain unitaire⁹. Leur programmation se fait par le biais du protocole SPI en connectant la sortie de chaque circuit à l'entrée du circuit suivant au moyen d'une résistance de charge¹⁰ [152].

⁹buffer

¹⁰pull-up

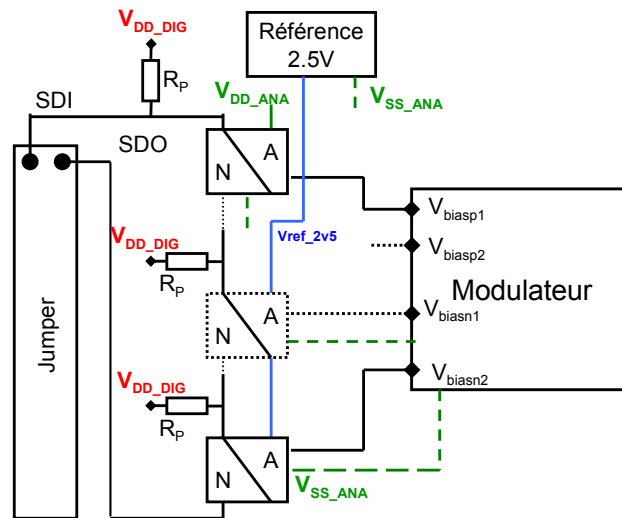


Figure 7.13 – Schéma simplifié de la génération des tensions de polarisation.

Le principe de fonctionnement des potentiomètres numériques repose sur la création d'un pont diviseur de tension, dont la pondération est programmable. La valeur de la référence de tension est supérieure à la valeur maximale nécessaire à la polarisation de l'amplificateur opérationnel. En réalité, le pont diviseur de tension polarisant les grilles de transistors de type NMOS sont connectées entre la tension de référence et la masse analogique du modulateur et le pont diviseur polarisant les grilles de transistors de type PMOS entre la tension d'alimentation et la masse analogique du modulateur. Cette disposition garantit une meilleure réjection du bruit de l'alimentation.

Injection du stimulus de test

L'état haut des broches de sortie du FPGA pour piloter les potentiomètres numériques correspond à une tension de 3,3V. Par contre, la tension maximale acceptée par la broche de commande du signal binaire est de 1,2V. Cette différence ne peut pas être programmé dans le FPGA donc l'injection du stimulus de test s'effectue en commandant une résistance *pull-up* relié à l'alimentation de la partie numérique du modulateur. De la même manière, l'horloge de référence délivrée par le FPGA est générée aux bornes du modulateur par une résistance *pull-up*. Le compromis entre la diminution de la constante de temps pour passer d'un état à son opposé et le courant maximal délivré par le FPGA permet de déterminer la valeur des résistances.

7.2.4 Interface graphique

Une première version de l'interface graphique permettant de piloter l'ensemble du système de calibrage a été développée dans l'environnement Labview[®], mais la suite de ces travaux ayant fait l'objet d'un stage de fin d'études au sein de l'entreprise partenaire, la version finale est un exécutable codé en C++ fonctionnant sous l'environnement Windows[®] [153]. Cette interface graphique, représentée sur la figure 7.14, se découpe en 5 parties :

- BIST : Le bouton *Run BIST* lance une séquence de test du modulateur et affiche l'ENOB estimé ainsi que l'amplitude du signal de sortie, l'offset et le niveau de bruit plus distorsion calculés par le CORDIC.
- Programmation des potentiomètres (*Potentiometer's Programming*) : Chaque curseur correspond à un potentiomètre numérique, dont le déplacement modifie la tension de polarisation correspondante. Le code et la tension de polarisation sont affichés sur la partie gauche tandis que les trois champs de chaque ligne sont utilisés pour programmer les valeurs minimales et maximales et le pas d'incrément pour le calibrage automatique. Trois calibrages différents sont possibles :

- *Calibrage soft* : la performance est estimée à partir d'une FFT implantée dans le programme de cette interface et l'algorithme de calibrage est aussi incrémenté par le logiciel.
- *Calibrage BIST* : la performance est estimée par l'algorithme CORDIC implanté dans le FPGA. Ces deux différents modes d'utilisation permettent de comparer l'estimation des performances entre le CORDIC et une FFT standard.
- *Calibrage on-chip* : Le logiciel n'intervient plus dans le calibrage du circuit, tout est effectué par le système implanté dans le FPGA.
- Mémoire (*Memory*) : Cette partie affiche le contenu de la mémoire en fonction du temps ou sa contre-partie en fréquence calculée par la FFT.
- Algorithme de la régression sinusoidale à 3 et 4 paramètres (*Algo 3/4 Parameters*) : Le bouton *Run* lance le calcul du SNDR à partir de l'algorithme de l'ajustement sinusoidal à trois et à quatre paramètres. Ces algorithmes sont implantés dans le logiciel.

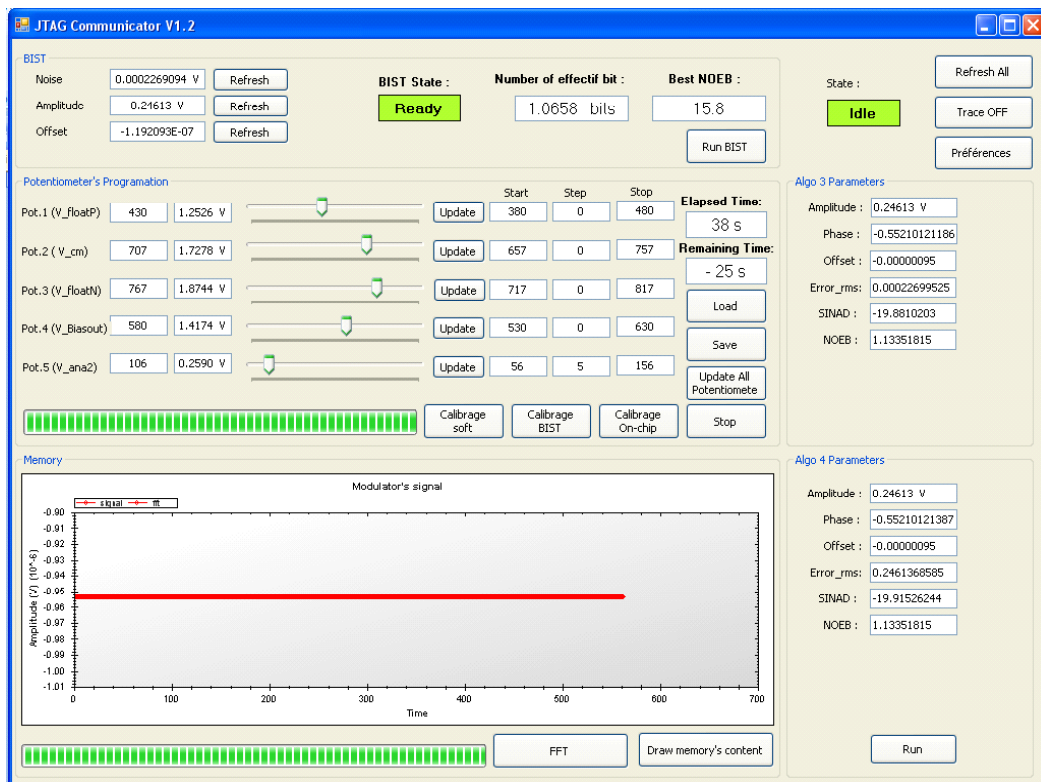


Figure 7.14 – Visuel de l'interface graphique.

7.3 Résultats expérimentaux

Le circuit imprimé contenant le modulateur et les potentiomètres numériques est représenté sur la figure 7.15 directement connecté aux broches de sortie du FPGA par des plots dédiés. Chaque carte est alimenté par un convertisseur de tension (transformateur électrique AC/DC) mais les deux cartes ont la même masse. Le port parallèle est utilisé pour programmer le FPGA et pour l'interface graphique. Le nombre de cellules programmables du FPGA est suffisant pour contenir le code complet de ce démonstrateur [154]. La mémoire RAM à disposition sur le circuit imprimé n'est pas utilisée. La carte analogique est composée par les cinq potentiomètres numériques associés à des *buffers* de tension, le modulateur sous test et les composants passifs nécessaires aux filtres passe-bas des différentes tensions continues et les générateurs de tension servant d'alimentation.

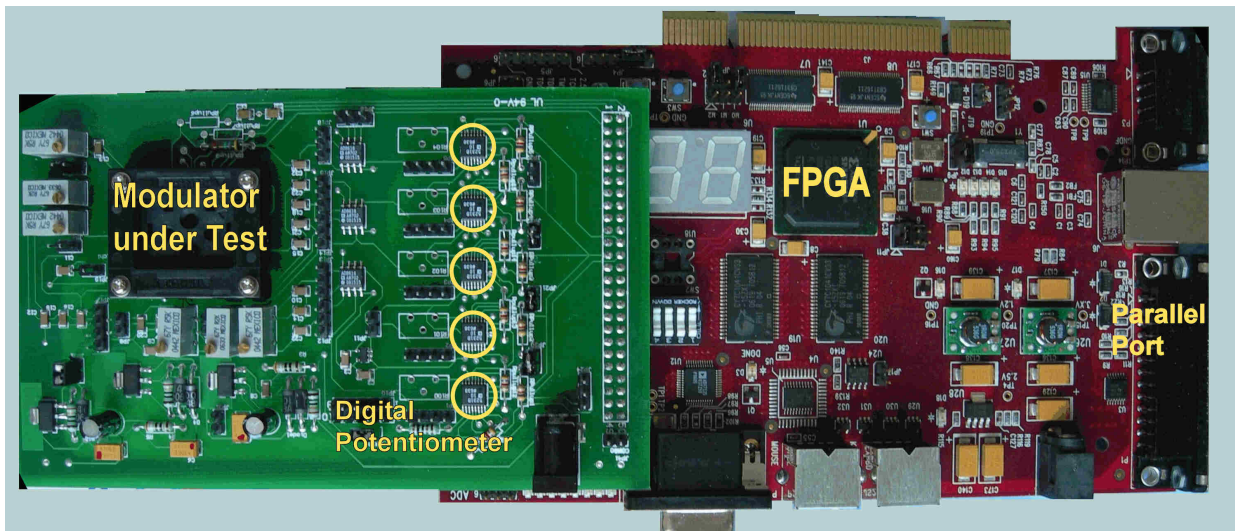


Figure 7.15 – Photographie des circuits imprimés du démonstrateur.

7.3.1 Boucle de calibration

La figure 7.16 représente le SNDR obtenu pendant la phase de calibration *BIST* du modulateur en fonction de la tension de polarisation du mode commun du circuit. L'incrémentement de la tension de mode commun conduit à l'augmentation du SNDR jusqu'à atteindre un maximum. Ensuite, l'augmentation de cette tension conduit à une nette diminution de cette performance. La valeur maximale atteinte est finalement préservé par l'algorithme de calibration.

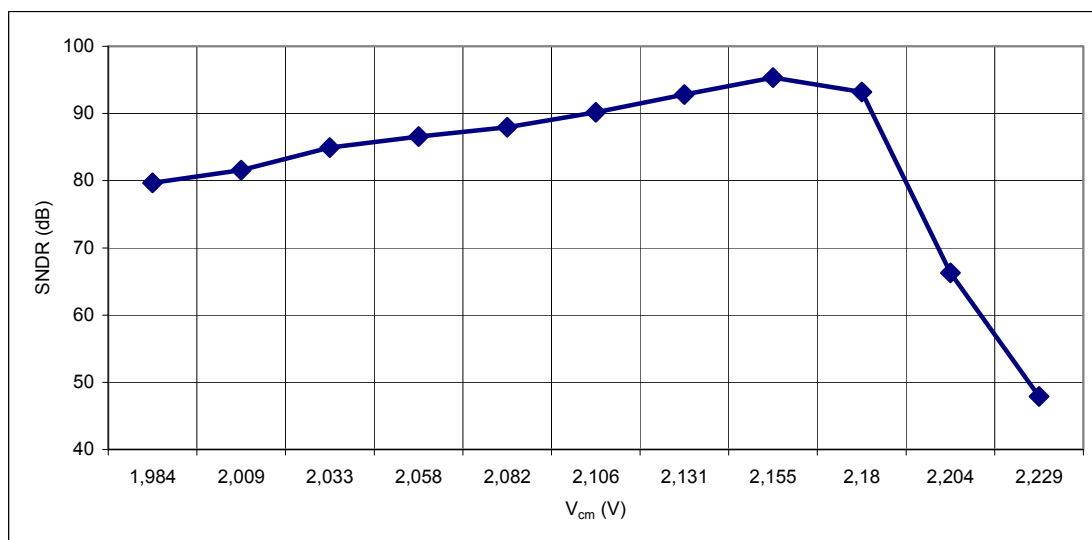


Figure 7.16 – Utilisation de l'algorithme du calibration pour optimiser la tension de mode commun.

De la même manière la figure 7.17 représente le SNDR en fonction des variations de deux fonction de polarisation simultanément. Dans le cas présent, une faible variation de la tension de V_{b1} entraîne une rapide décroissance du SNDR alors que la tension V_{b2} varie sur une plage supérieure pour diminuer le SNDR. Par contre, en dehors de la variation de l'estimation entre chaque mesure, le SNDR varie monotoniquement en fonction de ces deux tensions de polarisation. Dans le cas contraire, l'algorithme de calibration serait plus difficile à mettre en œuvre, car la détection de maximum locaux serait nécessaire pour trouver le point de fonctionnement optimal.

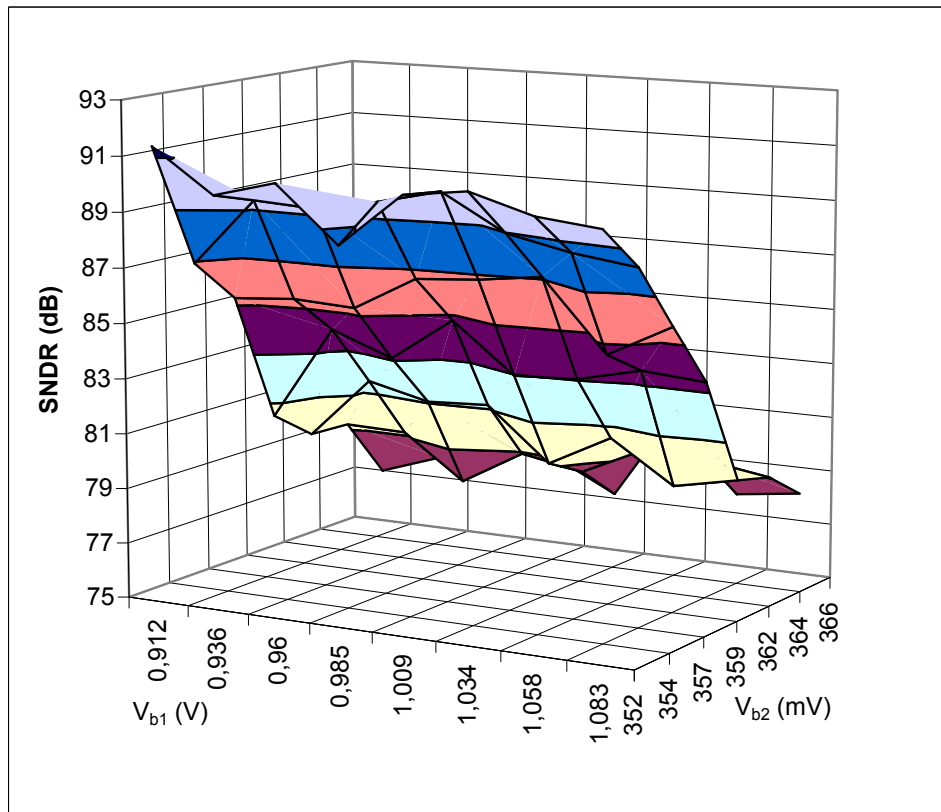


Figure 7.17 – Illustration de la sensibilité du SNDR aux tensions de polarisation.

7.3.2 Déverminage

Toutefois les résultats présentés précédemment ont été obtenus pour une fréquence de fonctionnement du modulateur trente fois inférieure à celle désirée. En effet, la génération des signaux par des résistances *pull-up* limite le temps de montée du signal numérique de test. De la même manière, l'étage *buffer* du signal de sortie numérique du modulateur est trop faible pour générer un signal binaire. Seule la réduction de la fréquence d'échantillonnage a permis de corriger cette erreur. L'impact d'une diminution de la fréquence d'échantillonnage ne remet pas en cause la possibilité d'atteindre un point optimal de fonctionnement à partir d'un BIST mais suppose que les valeurs des tensions de polarisation obtenues dans les exemples précédents sont relatives à cette fréquence de cadencement du modulateur. Pour éviter cette erreur, il eût été nécessaire d'être en possession de la caractérisation complète du modulateur avant de concevoir le prototype.

7.3.3 Conclusion

Le démonstrateur mis au point permet de mettre en avant la possibilité d'utiliser une technique de test intégré pour calibrer un circuit, dont la conséquence directe de ce double emploi est l'augmentation du rendement de production. Cet avantage est particulièrement profitable pour les systèmes très performants. D'autre part, les difficultés rencontrées pendant le développement de ce prototype montrent aussi l'importance d'identifier dès la phase de conception les modifications à apporter pour intégrer la phase de calibrage. Cette approche peut aussi réduire la surface occupée, car un circuit sans système de correction post-production prend en compte les variations des paramètres du procédé technologique et souvent la marge de conception pour garantir sa robustesse implique une augmentation significative de chaque composant (prise en compte de l'appariement, respect de la symétrie de la topologie, etc.). La phase de calibrage allège les différentes contraintes de conception mais au prix d'un délai de fonctionnement du circuit lors de sa mise sous tension.

Conclusion

Le test des circuits analogiques et mixtes consiste à effectuer une vérification des performances mentionnées dans le cahier des charges pour répondre contractuellement de la conformité du produit. Le coût de cette étape atteint (voire dépasse pour certains types d'application) le coût de fabrication du circuit et les prévisions tendent vers une augmentation. Le coût de cette étape est principalement lié à l'investissement d'appareils de génération et de mesures de signaux de haute performance (vitesse, précision, flexibilité, etc.) et à l'accroissement du temps de test (augmentation du nombre de spécifications, amélioration des performances du circuit sous test, etc.). Par conséquent de nouvelles méthodes de test intégrées de ces circuits sont proposées dans les conférences et journaux spécialisés, mais leur implantation dans un environnement industriel reste encore très rare. Cet écart provient en grande partie de l'impossibilité d'effectuer un test grandeur nature qui consisterait à produire un échantillon de référence construit en comparant les performances de chaque circuit mesurées avec le test standard et les mesures obtenues par les techniques de test économiques. Les coûts pour produire un large échantillon d'un circuit embarquant toutes les techniques de test à évaluer et la mise en place des mesures sont trop importants pour expérimenter une telle solution.

En l'absence d'antériorité sur l'efficacité réelle de chacune de ces méthodes, la solution proposée est d'évaluer la qualité d'une technique de test pendant la phase de conception du circuit. Pour mener à bien cette initiative, un large échantillon de circuits représentatifs de ces conditions de production est synthétisé pour permettre une estimation de métriques de test en partie par million. Ces métriques expriment en particulier la quantité de circuits fonctionnels rejetés et de circuits défectueux acceptés par chaque technique de test en cours d'évaluation. Ces informations mettent en évidence la corrélation entre les mesures des performances par le test standard mais onéreux et les mesures de test économiques et quantifient la prise de risque. La justification de la mise en place d'une nouvelle technique de test est apportée par ces informations.

Cette solution prend concrètement la forme d'une méthodologie intégrée dans le flot de conception *Top-Down* couramment utilisé dans l'industrie. Ce flot est optimisé pour produire des circuits fiables dès la première ébauche, avec le minimum d'efforts spécifiques à l'intégration du test, ce qui est une clé de succès pour l'implantation de la conception en vue du test. Ainsi, la méthodologie utilise des résultats obtenus pendant la conception du circuit pour produire l'échantillon servant à l'évaluation des techniques de test. En particulier, les résultats de simulation nécessaires à la vérification de la robustesse des circuits élémentaires servent à propager l'information statistique des paramètres du *process* dans l'espace comportemental. Puis, l'estimation de la densité de probabilité conjointe dans l'espace des paramètres comportementaux permet d'élargir la taille de l'échantillon initial sans perdre la corrélation entre les performances des circuits élémentaires et les paramètres du *process*. Cette densité est échantillonnée uniformément à partir de vecteurs générés par un plan d'expérience. Les simulations comportementales de ces vecteurs sont effectuées pour calculées les performances et les mesures de test correspondantes de chaque technique. Cet échantillon uniforme sert à l'entraînement de réseaux de neurones. Les fonctions de régression, calculées pendant cette phase d'entraînement, permettent d'accélérer la génération d'un échantillon de taille $N \gg 1$ million de circuits. Finalement, cet échantillon est utilisé pour calculer les métriques de test avec une précision

en partie par million.

Suite à l'élaboration de cette méthodologie, une technique de test intégrée dédiée à la mesure du SNDR des convertisseurs analogiques numériques de type sigma-delta est présentée comme solution économique du test de cette performance dynamique. Cette technique est améliorée pour augmenter la dynamique d'entrée testée et la précision de l'estimation du SNDR. Cette amélioration consiste à transformer le stimulus binaire en un stimulus ternaire composé par la somme d'une séquence binaire avec une version retardée d'elle-même. Il en résulte un signal, dont les performances dans la bande passante du convertisseur sous test sont identiques mais pour une puissance du stimulus de test bien moindre. Cette réduction de la puissance totale permet d'augmenter l'amplitude du signal encodée sans saturer le modulateur sous test. Suivant le niveau d'atténuation de la tension d'injection du stimulus de test, les amplitudes permettant la mise en évidence de distorsions du modulateur sous test sont atteintes.

Les techniques de test binaire et ternaire sont évaluées par la méthodologie d'estimation des métriques de test. Un scénario de test d'un modulateur $\Sigma\Delta$ sert de référence pour générer un échantillon virtuel de circuits, à partir duquel les mesures de SNDR prédites avec un stimulus numérique sont comparées aux mesures de référence obtenues avec un signal analogique. Le stimulus ternaire promet de meilleures métriques de test que le test effectué avec un simple stimulus binaire car la puissance du bruit contenue dans le stimulus binaire diminue le SNDR des circuits, dont la mesure de la performance est proche de la spécification. Par conséquent, les circuits classés défaillants par un test avec un stimulus binaire sont plus nombreux que pour un test effectué avec un stimulus ternaire.

Perspectives

L'amélioration de la méthodologie commencerait par une étude des divers moyens de générer une densité de probabilité à partir d'un petit échantillon de circuits. En effet, l'extraction de la forme de la densité à partir d'un faible échantillon diminue la précision de la queue de la distribution. L'utilisation d'une fonction de densité non-paramétrique est sensible à cette absence d'informations sur les extrémités de la queue de la densité. Récemment les travaux menés par *Bounceur et al.* estiment la densité de probabilité d'un échantillon de circuits électriques RF à partir des fonctions Copules [155]. Cette technique pourrait être implantée à la place d'une loi non-paramétrique utilisée pour propager les propriétés statistiques du *process* à l'espace des paramètres comportementaux. Outre l'estimation de la densité, le calcul des fonctions de régression nécessite un échantillon d'entraînement obtenu par simulations d'un échantillon de vecteurs comportementaux. Dans ces travaux, la taille de l'échantillon n'est pas optimisée. Il est déterminé par le temps de simulation de cet ensemble, une vingtaine d'heures pour obtenir les performances ou la mesure de test de cet échantillon. Par conséquent, le nombre de simulations pourrait être réduit notamment en considérant les travaux publiés sur ce sujet.

La méthodologie d'estimation des métriques de test permet l'étude de l'impact des variations paramétriques sur les performances des circuits analogiques et mixtes mais le calcul de la couverture des fautes catastrophiques apporterait une information supplémentaire pour choisir la technique de test la mieux adaptée. Mais l'injection d'une faute catastrophique dans un circuit élémentaire modifie son fonctionnement et, par conséquent, nécessite le développement de nouveaux modèles comportementaux, qui prennent en compte l'impact de cette faute. Ce modèle du circuit élémentaire défaillant permet d'effectuer des simulations comportementales et prédire l'impact de la faute sur les performances du bloc complet [156, 157]. Toutefois, l'application de ces travaux à la méthodologie proposée nécessite de nombreux efforts de développement pour automatiser le calcul de la couverture de fautes catastrophiques d'un circuit mixte. Des pistes existent pour réduire le nombre de simulations nécessaires pour parcourir la liste de fautes et déterminer un taux de couvertures de fautes avec un intervalle de confiance satisfaisant [66]. D'autre part, pour préciser l'estimation des coûts, un algorithme supplémentaire devrait être établi en vue de prendre en compte le gain en temps de test attribuable à chaque technique. Si le résultat de l'estimation des métriques de test fournit des résultats similaires, non seulement la couverture de fautes de chaque technique est

un facteur déterminant pour sélectionner la plus appropriée mais aussi le gain en temps de test. Enfin, une évaluation complète du coût d'une technique de test intégrée requiert une estimation de la surface. Cette estimation s'effectue pendant la conception du circuit et s'optimise en fonction des ressources embarquées et leur accessibilité.

En résumé, le coût du test d'un circuit analogique et mixte nécessite une évaluation pendant la phase de conception de l'efficacité de techniques de test alternatives. Les critères de sélection de la technique optimale sont les métriques de test, la couverture de fautes, le temps de test et la surface occupée par la partie intégrée. La méthodologie proposée généralise l'estimation des métriques de test à tous les circuits analogiques et mixtes et pourrait être adaptée au calcul de la couverture de fautes à condition d'ajouter des modèles comportementaux des circuits fautifs. Le temps de test et la surface s'évaluant au cas par cas, il est désormais possible d'estimer plus précisément les coûts d'une technique de test.

La démarche actuelle différencie la conception du circuit de la conception de la technique de test optimale. Cette démarche est représentée sur la figure 8.1.(a). L'automatisation de la conception de circuits analogiques est l'objet de recherches intensives, car elle réduit le temps de mise sur le marché d'un produit [55]. Pendant cette phase de recherche des dimensions optimales de chaque circuit élémentaire, l'évaluation des coûts du test et des techniques susceptibles de le réduire s'effectuent en parallèle. Éventuellement, cette technique de test intégrée permet de mettre en place un système de calibrage du circuit, en particulier, en ajoutant dans la partie numérique du traitement du signal la possibilité de programmer des coefficients de compensation. La phase finale de vérification intervient après la mise au point de chaque système : le circuit, la technique de test et le calibrage.

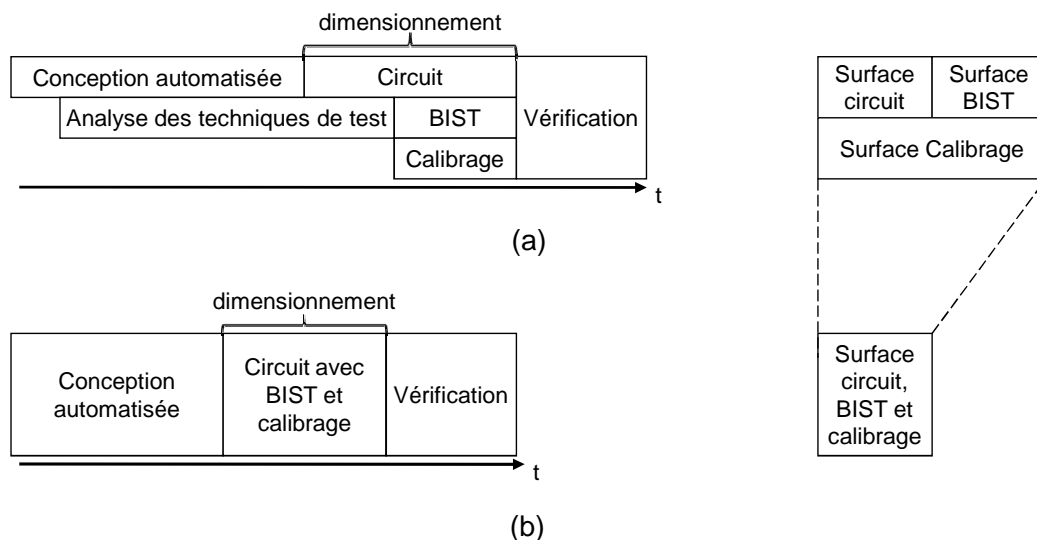


Figure 8.1 – (a) Association actuelle de la conception automatisée des circuits analogiques et mixtes avec la conception en vue du test et (b) conception en vue du test et du calibrage automatisée.

Mais le coût de revient d'un circuit analogique et mixte s'optimise en prenant en compte les coûts de développement et les coûts de production. En formulant l'hypothèse selon laquelle la surface d'un circuit analogique et mixte est souvent supérieure à une limite théorique pour assurer un rendement de production élevé, la solution proposant le calibrage d'un circuit par une technique de test intégré apparaît prometteuse pour réduire le coût de revient d'un circuit analogique. Un second facteur en faveur du calibrage est la relaxation des contraintes de conception facilitant l'étape de dimensionnement des composants élémentaires. La figure 8.1.(b) illustre la notion de conception en vue du test et du calibrage. Dans ce cas, la conception du circuit, de la technique de test et du système de calibrage s'effectue sans distinction. L'objectif est de réduire la surface du système complet et le coût du test et de maintenir ou d'augmenter le rendement de production. Cette prise en compte dans les contraintes de conception initiales de la possibilité de calibrer le circuit après production augmente le nombre potentiel de circuits optimisés. Toutefois, toutes les données de coût peuvent être introduites dans un algorithme d'automatisation pour déterminer rapidement un

ensemble de solutions optimales parmi lesquelles le concepteur effectue son choix.

Concernant la technique de test d'un CAN- $\Sigma\Delta$ par un stimulus ternaire, la prochaine étape est la validation de cette technique par le développement d'un circuit intégrant l'injection du stimulus et l'analyse de la réponse. Idéalement, un échantillon expérimental statistiquement représentatif permettrait de démontrer son efficacité à différencier les circuits défectueux des circuits fonctionnels. Le résultat du test de circuits fonctionnels établit juste que la technique proposée est potentiellement intéressante, mais il n'apporte aucune information sur la qualité de cette technique de test.

Outre le développement d'un prototype, les résultats de l'estimation des métriques de test sont mitigés quant à la qualité de cette technique vis-à-vis de sa capacité de différencier des circuits, dont la distorsion harmonique est prépondérante. L'analyse de ces résultats conduit en premier lieu à la remise en cause du modèle comportemental utilisé. En effet, dans ce modèle, seul le *slew-rate* de l'amplificateur opérationnel est une source de distorsion linéaire s'ajoutant à la distorsion provoquée par l'étage de quantification. Il serait intéressant de développer des modèles susceptibles de décrire plus précisément les comportements non-linéaires des circuits élémentaires. Cette description doit prendre en compte les exigences imposées par la méthodologie d'estimation des métriques de test. Les travaux de modélisation comportementale d'un modulateur $\Sigma\Delta$ cités dans le chapitre 2 apportent des pistes abondantes en ce sens, mais ils restent à compléter pour être directement applicables.

Enfin, la technique de test par une séquence numérique est toujours proposée pour des circuits à capacités commutées du second ordre. La vérification de son efficacité reste encore à effectuer pour d'autres architectures de modulateur. De la même manière, les modulateurs à temps continu ou à courants commutés n'échantillonnent pas le signal d'entrée. L'injection d'un stimulus numérique cadencé à la fréquence d'échantillonnage poserait de nouvelles difficultés mais permettrait de généraliser ce test économique à tous les types de convertisseurs $\Sigma\Delta$.

Bibliographie

- [1] P. Roth, "Diagnosis of automata failures : A calculus and a method," *IBM Journal of Research and Development*, vol. 10, no. 4, pp. 278–291, July 1966.
- [2] R. Datta (Texas Instruments) and S. Sunter (Mentor Graphics), "Can EDA help solve analog test and DfT challenges?," in *International Test Conference Panels*, 2009.
- [3] A. Bounceur, *Plateforme CAO pour le test de circuits mixtes*, Phd-thesis in micro and nano electronics, TIMA - Grenoble INP - EEATS, Laboratoire TIMA, april 2007.
- [4] S. Sunter and N. Nagi, "Test metrics for analog parametric faults," in *17th IEEE VLSI Test Symposium*, 1999, pp. 226 –234.
- [5] R. Y. Rubinstein, *Simulation and the Monte Carlo Method*, John Wiley & Sons, 1981.
- [6] K. Kundert, H. Chang, D. Jefferies, G. Lamant, E. Malavasi, and F. Sendig, "Design of mixed-signal systems-on-a-chip," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.*, vol. 19, no. 12, pp. 1561–1571, Dec 2000.
- [7] R. Sommer, I. Rugen-Herzig, E. Hennig, U. Gatti, P. Malcovati, F. Maloberti, K. Einwich, C. Clauss, P. Schwarz, and G. Noessing, "From system specification to layout : Seamless top-down design methods for analog and mixed-signal applications," *Design, Automation and Test in Europe Conference and Exhibition*, March 2002.
- [8] H. Chang, E. Felt, and A. Sangiovanni-Vincentelli, "Top-down, constraint-driven design methodology based generation of a second order Σ - Δ A/D converter," in *IEEE Custom Integrated Circuits Conference*, 1995, pp. 533–536.
- [9] G.G.E. Gielen and R.A. Rutenbar, "Computer-aided design of analog and mixed-signal integrated circuits," *Proceedings of the IEEE*, vol. 88, no. 12, pp. 1825 –1854, dec. 2000.
- [10] S.W. Director, "Optimization of parametric yield," in *International Workshop on Defect and Fault Tolerance on VLSI Systems*, 18-20 1991, pp. 1–18.
- [11] P.G. Drennan and C.C. McAndrew, "Understanding MOSFET mismatch for analog design," in *IEEE Custom Integrated Circuits Conference*, 2002, pp. 449–452.
- [12] M.J.M. Pelgrom, A.C.J. Duinmaijer, and A.P.G. Welbers, "Matching properties of MOS transistors," *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pp. 1433 – 1439, oct 1989.
- [13] D. Johns and K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, 1997.
- [14] D. Kim, C. Cho, J. Kim, J.-O. Plouchart, R. Trzcinski, and D. Ahlgren, "CMOS mixed-signal circuit process variation sensitivity characterization for yield improvement," in *IEEE Custom Integrated Circuits Conference*, 2006, pp. 365–368.
- [15] S.-J. Wang, J.-Y. Lee, and C.-Y. Chang, "An efficient and reliable approach for semiconductor device parameter extraction," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 5, no. 1, pp. 170 – 179, january 1986.
- [16] Y. Cheng, M.-C. Jeng, Z.g Liu, J. Huang, M. Chan, K. Chen, P.K. Ko, and C. Hu, "A physical and scalable I-V model in BSIM3v3 for analog/digital circuit simulation," in *IEEE Transactions on Electron Devices*, feb 1997, vol. 44, pp. 277 –287.
- [17] L. Milor and A. Sangiovanni-Vincentelli, "Computing parametric yield accurately and efficiently," in *IEEE International Conference on Computer-Aided Design*, 11-15 1990, pp. 116–119.
- [18] T. Mukherjee and L.R. Carley, "Rapid yield estimation as a computer aid for analog circuit design," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 3, pp. 291 –299, mar 1991.
- [19] H. Chang, A. Sangiovanlli-Vincentelli, F. Balarin, E. Charbon, U. Choudhury, G. Jusuf, E. Liu, E. Malavasi, R. Neff, and P.R. Gray, "A top-down, constraint-driven design methodology for analog integrated

- circuits,” in *In Proc. IEEE Custom Integrated Circuits Conference*. 1992, pp. 841–846, Kluwer Academic Publishers.
- [20] P. Suchanek, D. Slepicka, and V. Haasz, “Several approaches to ADC transfer function approximation and their application for ADC non-linearity correction,” *Metrology and Measurement System*, vol. XV, no. 4, Nov. 2008.
- [21] N.H. Saada, R.S. Guindi, and A.E. Salama, “A new approach for modeling the nonlinearity of analog to digital converters based on spectral components,” in *IEEE International Behavioral Modeling and Simulation Workshop*, Sept. 2006, pp. 120–125.
- [22] P. Suchanek, V. Haasz, and D. Slepicka, “ADC nonlinearity correction based on INL(n) approximations,” in *IEEE International Workshop on Intelligent Data Acquisition and Advanced Computing Systems : Technology and Applications*, Sept. 2009, pp. 137–140.
- [23] E.J. Peralias, A. Rueda, and J.L. Huertas, “Statistical behavioral modeling and characterization of A/D converters,” *International Conference on Computer-Aided Design.*, vol. 0, pp. 0562, 1995.
- [24] R. Baraniecki, P. Dabrowski, and K. Hejn, “Oversampling $\Sigma\Delta$ analog-to-digital converters modeling based on VHDL,” *Analog Integrated Circuits Signal Processing*, vol. 16, no. 2, pp. 101–109, 1998.
- [25] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, and A. Baschiroto, “Behavioral modeling of switched-capacitor sigma-delta modulators,” *IEEE Transactions on Circuits and Systems-I : Fundamental Theory and Applications*, vol. 50, no. 3, pp. 351–364, 2003.
- [26] R. del Rio, F. Medeiro, B. Perez-Verdu, and A. Rodriguez-Vazquez, “Reliable analysis of settling errors in SC integrators-application to the design of high-speed $\Sigma\Delta$ modulators,” in *IEEE International Symposium on Circuits and Systems*, 2000, vol. 4, pp. 417–420.
- [27] W. M. Koe and J. Zhang, “Understanding the effect of circuit non-idealities on sigma-delta modulator,” in *IEEE International Workshop on Behavioral Modeling and Simulation*, 6-8 2002, pp. 94–101.
- [28] Lei Jian-ming, Dai Xiao-wu, Zou Xue-cheng, and Zou Zhi-ge, “Modeling non-idealities of sigma delta ADC in simulink,” in *International Conference on Communications, Circuits and Systems*, 25-27 2008, pp. 1040–1043.
- [29] A. Fornasari, P. Malcovati, and F. Maloberti, “Improved modeling of sigma-delta modulator non-idealities in SIMULINK,” in *IEEE International Symposium on Circuits and Systems*, 2005, vol. 6, pp. 5982–5985.
- [30] H. Zare-Hoseini, I. Kale, and O. Shoaei, “Modeling of switched-capacitor delta-sigma modulators in SIMULINK,” *IEEE Transactions on Instrumentation and Measurement*, vol. 54, no. 4, pp. 1646–1654, 2005.
- [31] J. Ruiz-Amaya, M. Delgado-Restituto, and A. Rodriguez-Vazquez, “Accurate settling-time modeling and design procedures for two-stage miller-compensated amplifiers for switched-capacitor circuits,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 56, no. 6, pp. 1077 –1087, june 2009.
- [32] A. Pugliese, F.A. Amoroso, G. Cappuccino, and G Cocorullo, “Analysis of the impact of high-order integrator dynamics on SC sigma-delta modulator performances,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 57, no. 3, pp. 618–630, march 2010.
- [33] G.R. Boyle, D.O. Pederson, B.M. Cohn, and J.E. Solomon, “Macromodeling of integrated circuit operational amplifiers,” *IEEE Journal of Solid-State Circuits*, vol. 9, no. 6, pp. 353 – 364, dec. 1974.
- [34] G.J. Gomez, S.H.K. Embabi, E. Sanchez-Sinencio, and M. Lefebvre, “A nonlinear macromodel for CMOS OTAs,” in *IEEE International Symposium on Circuits and Systems*, 30 1995, vol. 2, pp. 920–923.
- [35] H. Zhang and A. Daboli, “Fast time-domain symbolic simulation for synthesis of sigma-delta analog-digital converters,” in *International Symposium on Circuits and Systems*, 2004, vol. 5, pp. 125–128.
- [36] G. T. Brauns, R. J. Bishop, M. B. Steer, J. J. Paulos, and S. Houston Ardalan, “Table-based modeling of delta-sigma modulators using zsim,” *IEEE Transactions on computer-aided design of integrated circuits and systems*, vol. 9, no. 2, pp. 142–150, 1990.
- [37] G. Yu and P. Li, “Look-up table based simulation and statistical modeling of sigma-delta ADCs,” in *43rd ACM/IEEE Design Automation Conference*, 2006, pp. 1035–1040.
- [38] M. Hasan, H.-H.P. Shen, D.R. Allee, and M. Pennell, “A behavioral model of a 1.8V flash A/D converter based on device parameters,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 19, no. 1, pp. 69–82, jan 2000.
- [39] H.J. Kadim and D.M. Harvey, “Estimation of parameter fluctuations for robust operation in analogue circuits and systems,” *IEEE International Symposium on Circuits and Systems*, vol. 2, no. 741-744, May 2000.

- [40] J.K. Fidler and C. Nightingale, "Differential-incremental-sensitivity relationships," *Electronics Letters*, vol. 8, no. 25, pp. 626–627, dec. 1972.
- [41] N.B. Hamida and B. Kaminska, "Analog circuit testing based on sensitivity computation and new circuit modeling," in *International Test Conference*, 17-21 1993, pp. 652–661.
- [42] H. Yoon, P. Variyam, A. Chatterjee, and N. Nagi, "Hierarchical statistical inference model for specification based testing of analog circuits," in *16th IEEE VLSI Test Symposium*, 26-30 1998, pp. 145–150.
- [43] T. Koskinen and P. Y. K. Cheung, "Statistical and behavioural modelling of analogue integrated circuits," *IEE Proceedings-G*, vol. 140, no. 3, pp. 171–176, 1993.
- [44] T. Koskinen and P.Y.K. Cheung, "Hierarchical tolerance analysis using statistical behavioral models," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 15, no. 5, pp. 506–516, may 1996.
- [45] C. M. Kurker, J. J. Paulos, R. S. Gyurcsik, and J.-C. Lu, "Hierarchical yield estimation of large analog integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 3, pp. 203–209, 1993.
- [46] F. Liu and S. Ozev, "Hierarchical analysis of process variation for mixed-signal systems," in *5th Asia and South Pacific Design Automation Conference*, 2005, pp. 465–470.
- [47] F. Liu, J.J. Flomenberg, D.V. Yasaratne, and S. Ozev, "Hierarchical variance analysis for analog circuits based on graph modelling and correlation loop tracing," in *Design, Automation and Test in Europe*, 2005, pp. 126–131.
- [48] J.F. Swidzinski and K. Chang, "Non linear statistical modeling and yield estimation technique for use in Monte Carlo simulations," *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, no. 12, pp. 2316–2324, 2000.
- [49] A.A. Mutlu and M. Rahman, "Statistical methods for the estimation of process variation effects on circuit operation," *IEEE Transactions on Electronics Packaging Manufacturing*, vol. 28, no. 4, pp. 364–375, oct. 2005.
- [50] A. Bounceur, S. Mir, E. Simeu, and L. Rolindez, "Estimation of test metrics for the optimisation of analogue circuit testing," *Journal of Electronic Testing : Theory and Applications*, vol. 23, no. 6, pp. 471–484, 2007.
- [51] C. Wegener and M. P. Kennedy, "Test development through defect and test escape level estimation for data converters," *Journal of Electronic Testing : Theory and Applications*, vol. 22, no. 4-6, pp. 313–324, 2006.
- [52] J. Tongbong, S. Mir, and J.L. Carbonero, "Evaluation of test measures for LNA production testing using a multinormal statistical model," in *Design, Automation Test in Europe Conference Exhibition*, apr. 2007, pp. 1–6.
- [53] B. W. Silverman, *Density Estimation for Statistics and Data Analysis*, Chapman & Hall/CRC, 1986.
- [54] H.-G. Stratigopoulos, J. Tongbong, and S. Mir, "A general method to evaluate RF BIST techniques based on non-parametric density estimation," in *Design, Automation and Test in Europe*, March 2008, pp. 68–73.
- [55] T. McConaghy, P. Palmers, M. Steyaert, and G. Gielen, "Trustworthy genetic programming-based synthesis of analog circuit topologies using hierarchical domain-specific building blocks," *IEEE Transactions on Evolutionary Computation*, 2011.
- [56] L. Milor and V. Visvanathan, "Detection of catastrophic faults in analog integrated circuits," *IEEE Transactions on Computer-Aided Design*, vol. 8, no. 2, pp. 114–130, 1989.
- [57] "Overview of mixed signal testing - test economics," 1998.
- [58] Ping Lu, D. Glaser, G. Uygur, S. Weichslgartner, K. Helmreich, and A. Lechner, "Mixed-signal test development using open standard modeling and description languages," in *IEEE Behavioral Modeling and Simulation Workshop*, Sept. 2009, pp. 78–83.
- [59] M. Rona, G. Krampl, and F. Raczkowski, "Automating the device interface board modeling for virtual test," in *8th IEEE European Test Workshop.*, may. 2003, pp. 71–76.
- [60] A. Abdennadher and S. A. Shaikh, "Practices in mixed-signal and RF IC testing," *IEEE Design & Test of Computers*, vol. 24, no. 4, pp. 332–339, 2007.
- [61] Matthew Mahoney, *DSP-Based Testing of Analog and Mixed-Signal Circuits*, IEEE Computer Society Press, Los Alamitos, CA, USA, 1987.
- [62] A.K. Majhi and V.D. Agrawal, "Mixed-signal test," in *11th International Conference on VLSI Design, 1998.*, jan 1998, pp. 285–288.
- [63] G.W. Roberts and S. Aouini, "Mixed-signal production test : A measurement principle perspective," *IEEE Design Test of Computers*, vol. 26, no. 5, pp. 48–62, sept.-oct. 2009.

- [64] H.-C.H. Liu and M. Soma, "Fault diagnosis for analog integrated circuits based on the circuit layout," in *Pacific Rim International Symposium on Fault Tolerant Systems*, sep. 1991, pp. 134–139.
- [65] A. Zjajo and J.P. de Gyvez, "Analog automatic test pattern generation for quasi-static structural test," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 17, no. 10, pp. 1383–1391, oct. 2009.
- [66] F. Liu and S. Ozev, "Statistical test development for analog circuits under high process variations," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, no. 8, pp. 1465–1477, aug. 2007.
- [67] M. Soma, "Challenges in analog and mixed-signal fault models," *IEEE Circuits & Devices Magazine*, vol. 12, no. 1, pp. 16–19, 1996.
- [68] S. Mir, A. Rueda, T. Olbrich, E. Peralias, and J.L. Huertas, "Swittest : Automatic switch-level fault simulation and test evaluation of switched-capacitor systems," in *34th Design Automation Conference*, jun. 1997, pp. 281–286.
- [69] K. Saab, N. Ben-Hamida, and B. Kaminska, "Parametric fault simulation and test vector generation," in *Design, Automation and Test in Europe Conference*, 2000, pp. 650–656.
- [70] P. N. Variyam, S. Cherubal, and A. Chatterjee, "Prediction of analog performance parameters using fast transient testing," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 21, no. 3, pp. 349–361, 2002.
- [71] T.W. Williams and N.C. Brown, "Defect level as a function of fault coverage," *IEEE Transactions on Computers*, vol. C-30, no. 12, pp. 987–988, dec. 1981.
- [72] T. Olbrich, J. Perez, I.A. Grout, A.M.D. Richardson, and C. Ferrer, "Defect-oriented vs schematic-level based fault simulation for mixed-signal ICs," in *International Test Conference*, oct. 1996, pp. 511–520.
- [73] L. Milor, "A tutorial introduction to research on analog and mixed-signal circuit testing," *IEEE Transactions on Circuits and Systems-II : Analog and Digital Signal Processing*, vol. 45, no. 10, pp. 1389–1407, 1998.
- [74] M. Slamani and B. Kaminska, "Testing analog circuits by sensitivity computation," in *European Conference on Design Automation*, 1992, pp. 532–537.
- [75] J. Parky, S. Madhavapeddiz, A. Paglieri, C. Barrz, and J.A. Abraham, "Defect-based analog fault coverage analysis using mixed-mode fault simulation," in *IEEE 15th International Mixed-Signals, Sensors, and Systems Test Workshop*, jun. 2009, pp. 1–6.
- [76] F. Liu and S. Ozev, "Efficient simulation of parametric faults for multi-stage analog circuits," in *IEEE International Test Conference*, oct. 2007, pp. 1–9.
- [77] A. Khouas and A. Derieux, "Fdp : fault detection probability function for analog circuits," in *IEEE International Symposium on Circuits and Systems*, may. 2001, vol. 4, pp. 17–20.
- [78] A. Abderrahman, M. Sawan, Y. Savaria, and A. Khouas, "New analog test metrics based on probabilistic and deterministic combination approaches," in *14th IEEE International Conference on Electronics, Circuits and Systems*, 11-14 2007, pp. 82–85.
- [79] K. Arabi and B. Kaminska, "Parametric and catastrophic fault coverage of analog circuits in oscillation-test methodology," in *15th IEEE VLSI Test Symposium*, apr. 1997, pp. 166–171.
- [80] M. Slamani and K. Arabi, "Reducing test time in the high-volume production of analog circuits using efficient test-vector generation and interpolation techniques," *Journal of Electronic Testing*, vol. 17, pp. 417–425, 2001.
- [81] N. Akkouche, A. Bounceur, S. Mir, and E. Simeu, "Minimization of functional tests by statistical modelling of analogue circuits," in *International Conference on Design Technology of Integrated Systems in Nanoscale Era*, 2-5 2007, pp. 35–40.
- [82] L. Milor and A. L. Sangiovanni-Vincentelli, "Minimizing production test time to detect faults in analog circuits," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 13, no. 6, pp. 796–813, 1994.
- [83] N. Akkouche, S. Mir, and E. Simeu, "Ordering of analog specification tests based on parametric defect level estimation," in *28th VLSI Test Symposium (VTS)*, apr. 2010, pp. 301–306.
- [84] J. Tongbong, L. Abdallah, S. Mir, and H.-G. Stratigopoulos, "Evaluation of built-in sensors for RF LNA response measurement," in *IEEE 16th International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW)*, jun. 2010, pp. 1–6.
- [85] A. Richardson, A. Lechner, and T. Olbrich, "Design for testability strategies for mixed signal & analogue designs - From layout to system," in *IEEE International Conference on Electronics, Circuits and Systems*, 1998, vol. 2, pp. 425–432.

- [86] J.A. Prieto, A. Rueda, I. Grout, E. Peralias, J.L. Huertas, and A. Richardson, "An approach to realistic fault prediction and layout design for testability in analog circuits," in *Design, Automation and Test in Europe.*, Feb. 1998, pp. 905–909.
- [87] "IEEE standard test access port and boundary - scan architecture," *IEEE Std 1149.1-1990*, 1990.
- [88] "IEEE standard for a mixed-signal test bus," *IEEE Std 1149.4-1999*, p. i, 2000.
- [89] M. Corrado, S. Rapuano, and J. Saliga, "An overview of different signal sources for histogram based testing of ADCs," *Measurement*, vol. 43, no. 7, pp. 878–886, 2010.
- [90] B. Provost and E. Sanchez-Sinencio, "Auto-calibrating analog timer for on-chip testing," in *International Test Conference*, 1999, pp. 541–548.
- [91] E.S. Erdogan and S. Ozev, "An ADC-BIST scheme using sequential code analysis," in *Design, Automation Test in Europe Conference Exhibition*, 2007, pp. 1–6.
- [92] F. Azais, S. Bernard, Y. Bertrand, X. Michel, and M. Renovell, "A low-cost adaptive ramp generator for analog BIST applications," in *19th IEEE Proceedings on VLSI Test Symposium*, 2001, pp. 266–271.
- [93] W.-T. Lee, Y.-Z. Liao, J.-C. Hsu, Y.-S. Hwang, and J.-J. Chen, "A high precision ramp generator for low cost adc test," in *9th International Conference on Solid-State and Integrated-Circuit Technology*, 2008, oct. 2008, pp. 2103–2106.
- [94] B. Provost and E. Sanchez-Sinencio, "On-chip ramp generators for mixed-signal BIST and ADC self-test," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 2, pp. 263–273, Feb. 2003.
- [95] B. Provost and E. Sanchez-Sinencio, "A practical self-calibration scheme implementation for pipeline ADC," *IEEE Transactions on Instrumentation and Measurement*, vol. 53, no. 2, pp. 448–456, apr. 2004.
- [96] F. Alegria, P. Arpaia, P. Daponte, and A. Serra, "An ADC histogram test based on small-amplitude waves," *Measurement*, vol. 31, no. 4, pp. 271–279, 2002.
- [97] F. Alegria, P. Arpaia, da A.M. Cruz Serra, and P. Daponte, "Performance analysis of an ADC histogram test using small triangular waves," *IEEE Transactions on Instrumentation and Measurement*, vol. 51, no. 4, pp. 723–729, aug. 2002.
- [98] J. Blair, "Histogram measurement of ADC nonlinearities using sine waves," *IEEE Transactions on Instrumentation and Measurement*, vol. 43, no. 3, pp. 373–383, jun. 1994.
- [99] S. Bernard, F. Azais, Y. Bertrand, and M. Renovell, "A high accuracy triangle-wave signal generator for on-chip ADC testing," in *7th IEEE European Test Workshop*, 2002, pp. 89–94.
- [100] J. Duan, D. Chen, and R. Geiger, "Phase control of triangular stimulus generator for ADC BIST," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, june 2010, pp. 1935–1938.
- [101] K. Parthasarathy, T. Kuyel, D. Price, L. Jin, D. Chen, and R. Geiger, "BIST production testing of ADCs using imprecise stimulus," *ACM Transactions on Design Automation of Electronic Systems*, vol. 8, no. 4, pp. 522–545, 2003.
- [102] L. Jin, K. Parthasarathy, T. Kuyel, R. Geiger, and D. Chen, "High-performance ADC linearity test using low-precision signal in non-stationary environments," in *IEEE International Test Conference*, 2005, p. tbd.
- [103] L. Jin, K. Parthasarathy, T. Kuyel, D. Chen, and R. Geiger, "Accurate testing of analog-to-digital converters using low linearity signals with stimulus error identification and removal," *IEEE Transactions on Instrumentation and Measurement*, vol. 54, no. 3, pp. 1188–1199, 2005.
- [104] E. Korhonen, J. Hakkinen, and J. Kostamovaara, "A robust algorithm to identify the test stimulus in histogram-based A/D converter testing," in *IEEE Transactions on Instrumentation and Measurement*, Dec. 2007, vol. 56, pp. 2369–2374.
- [105] E. Korhonen and J. Kostamovaara, "An improved algorithm to identify the test stimulus in histogram-based A/D converter testing," in *13th European Test Symposium*, May 2008, pp. 149–154.
- [106] E. Korhonen, C. Wegener, and J. Kostamovaara, "Combining the standard histogram method and a stimulus identification algorithm for A/D converter INL testing with a low-quality sine wave stimulus," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 57, no. 6, pp. 1166–1174, june 2010.
- [107] M. Renovell, F. Azais, S. Bernard, and Y. Bertrand, "Hardware resource minimization for histogram-based ADC BIST," in *18th IEEE VLSI Test Symposium*, 2000, pp. 247–252.
- [108] F. Azais, S. Bernard, Y. Bertrand, and M. Renovell, "Implementation of a linear histogram BIST for ADCs," in *Design, Automation and Test in Europe*, 2001, pp. 590–595.
- [109] J. Ren, J. Feng, and H. Ye, "A novel linear histogram BIST for ADC," in *9th International Conference on Solid-State and Integrated-Circuit Technology*, 2008, pp. 2099–2102.

- [110] C. Wegener and M.P. Kennedy, "Linear model-based testing of ADC nonlinearities," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 51, no. 1, pp. 213 – 217, 2004.
- [111] Z. Yu, D. Chen, R. Geiger, and Y. Papantonopoulos, "Pipeline ADC linearity testing with dramatically reduced data capture time," in *IEEE International Symposium on Circuits and Systems.*, May 2005, pp. 792 – 795 Vol. 1.
- [112] H. Xing, D. Chen, R. Geiger, and J. Le, "System identification-based reduced-code testing for pipeline ADCs linearity test," in *IEEE International Symposium on Circuits and Systems*, May 2008, pp. 2402–2405.
- [113] J.-F. Lin, T.-C. Kung, and S.-J. Chang, "A reduced code linearity test method for pipelined A/D converters," in *Asian Test Symposium*, Nov. 2008, pp. 111–116.
- [114] "IEEE standard for terminology and test methods for analog-to-digital converters," *IEEE Std 1241-2000*, p. i, 2001.
- [115] A.K. Lu, G.W. Roberts, and D.A. Johns, "A high-quality analog oscillator using oversampling D/A conversion techniques," in *IEEE International Symposium on Circuits and Systems.*, May 1993, pp. 1298 –1301 vol.2.
- [116] M.F. Toner and G.W. Roberts, "A BIST scheme for an SNR test of a sigma-delta ADC," in *International Test Conference.*, Oct. 1993, pp. 805 –814.
- [117] H. Shin, B. Kim, and J.A. Abraham, "Spectral prediction for specification-based loopback test of embedded mixed-signal circuits," in *24th IEEE VLSI Test Symposium*, apr. 2006, p. 419.
- [118] X.-L. Huang and J.-L. Huang, "ADC/DAC loopback linearity testing by DAC output offsetting and scaling," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 1–10, 2010.
- [119] V. Kerzerho, F. Azais, M. Comte, P. Cauvet, S. Bernard, and M. Renovell, "ANC-based method for testing converters with random-phase harmonics," in *IEEE 16th International Mixed-Signals, Sensors and Systems Test Workshop*, 2010, pp. 1–5.
- [120] J. Park, H. Shin, and J.A. Abraham, "Parallel loopback test of mixed-signal circuits," in *26th IEEE VLSI Test Symposium.*, apr. 2008, pp. 309–316.
- [121] E. Korhonen and J. Kostamovaara, "A loopback-based INL test method for D/A and A/D converters employing a stimulus identification technique," in *Design, Automation & Test in Europe Conference & Exhibition*, April 2009, pp. 1650–1655.
- [122] A. Roy, S. Sunter, A. Fudoli, and D. Appello, "High accuracy stimulus generation for A/D converter BIST," in *IEEE International Test Conference*, 2002, pp. 1031 – 1039.
- [123] S. Sunter and N. Nagi, "A simplified polynomial-fitting algorithm for DAC and ADC BIST," in *IEEE International Test Conference*, 1997, pp. 389–395.
- [124] S. Goyal, A. Chatterjee, and M. Purtell, "A low-cost test methodology for dynamic specification testing of high-speed data converters," *Journal of Electronic Testing*, vol. 23, pp. 95–106, 2007.
- [125] B. Kim, H. Shin, J.-H. Chun, and J.A. Abraham, "Predicting mixed-signal dynamic performance using optimised signature-based alternate test," *IET Computers Digital Techniques*, vol. 1, no. 3, pp. 159 –169, may. 2007.
- [126] H.-S. Yu, H. Shin, J.H. Chun, and J.A. Abraham, "Performance characterization of mixed-signal circuits using a ternary signal representation," in *International Test Conference*, oct. 2004, pp. 1389 – 1397.
- [127] M. Keramat and R. Kielbasa, "A study of stratified sampling in variance reduction techniques for parametric yield estimation," *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, vol. 45, no. 5, pp. 575 –583, may 1998.
- [128] M. Dessouky, A. Kaiser, M.-M. Louerai, and A. Greiner, "Analog design for reuse-case study : very low-voltage delta ; sigma ; modulator," in *Design, Automation and Test in Europe, 2001. Conference and Exhibition 2001. Proceedings*, 2001, pp. 353 –360.
- [129] R. Schreier and G.C. Temes, *Understanding Delta-Sigma Data Converters*, Wiley IEEE Press, 2004.
- [130] S. R. Norsworthy, R. Schreier, and G.C. Temes, *Delta-Sigma Data Converters : Theory, Design, and Simulation*, Number p19. Wiley IEEE Press, 1997.
- [131] B. Dufort and G.W. Roberts, "Signal generation using periodic single and multi-bit sigma-delta modulated streams," in *International Test Conference*, Nov. 1997, pp. 396 –405.
- [132] B. Dufort and G. W. Roberts, "On-chip analog signal generation for mixed-signal built-in self-test," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 3, pp. 318–30, 1999.
- [133] C.-K. Ong, K.-T. Cheng, and L.-C. Wang, "A new sigma-delta modulator architecture for testing using digital stimulus," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 51, no. 1, pp. 206–213, 2004.

- [134] H.-C. Hong, "A design-for-digital-testability circuit structure for $\Sigma\Delta$ modulators," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, dec. 2007, vol. 15, pp. 1341–1350.
- [135] H.-C. Hong and S.-C. Liang, "A decorrelating design-for-digital-testability scheme for $\Sigma\Delta$ modulators," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 56, no. 1, pp. 60–73, Jan. 2009.
- [136] H. Mattes, S. Sattler, and C. Dworski, "Controlled sine wave fitting for ADC test," in *IEEE International Test Conference*, 2004, pp. 963–971.
- [137] L. Rolindez, *Technique d'auto test pour des convertisseurs de signal sigma-delta*, Phd thesis in micro et nano electronics, TIMA - ST (Grenoble INP - EEATS), Fevrier 2007.
- [138] H.-C. Hong, F.-Y. Su, and S.-F. Hung, "A fully integrated built-in self-test $\Sigma\Delta$ ADC based on the modified controlled sine-wave fitting procedure," *IEEE Transactions on Instrumentation and Measurement*, , no. 99, pp. 1–11, 2010.
- [139] N. Chouba and L. Bouzaida, "A BIST architecture for sigma delta ADC testing based on embedded NOEB self-test and CORDIC algorithm," in *5th International Conference on Design and Technology of Integrated Systems in Nanoscale Era (DTIS)*., 2010, pp. 1–7.
- [140] G. Leger and A. Rueda, "Digital test for the extraction of integrator leakage in 1st and 2nd order $\Sigma\Delta$ modulators," *IEE Proceedings on Circuits, Devices and Systems*, vol. 151, no. 4, pp. 349–358, 2004.
- [141] G. Leger and A. Rueda, "Simple BIST for integrator leak in second-order double-loop $\Sigma\Delta$ modulators," in *International Mixed-Signal Test Workshop*, 2003, pp. 53–57.
- [142] G. Leger and A. Rueda, "Low-cost digital detection of parametric faults in cascaded $\Sigma\Delta$ modulators," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 56, no. 7, pp. 1326–1338, july 2009.
- [143] S. Mir, L. Rolindez, C. Domigues, and L. Rufer, "An implementation of memory-based on-chip analogue test signal generation," in *Asia and South Pacific Design Automation Conference*, jan. 2003, pp. 663–668.
- [144] B.E. Boser and B.A. Wooley, "The design of sigma-delta modulation analog-to-digital converters," *IEEE Journal of Solid-State Circuits*, vol. 23, no. 6, pp. 1298–1308, dec 1988.
- [145] S. Rabii and B.A. Wooley, "A 1.8-V digital-audio sigma-delta modulator in 0.8- μm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 6, pp. 783–796, jun. 1997.
- [146] R. Castello and P.R. Gray, "A high-performance micropower switched-capacitor filter," *IEEE Journal of Solid-State Circuits*, vol. 20, no. 6, pp. 1122–1132, dec 1985.
- [147] Willy M. C. Sansen, *Analog Design Essentials*, Springer, 2006.
- [148] E. Nunzi, P. Carbone, and D. Petri, "Estimation of the in-band delta sigma noise power based on windowed data," in *IEEE Transactions on Instrumentation and Measurement*, dec. 2006, pp. 2221–2226.
- [149] Motorola, Inc., *SPI Block Guide v03.06*, February 2003.
- [150] I. Mansouri, "Réalisation d'un démonstrateur BIST pour un convertisseur analogique-numérique sigma-delta," M.S. thesis, Ecole Polytechnique de Tunisie, 2007.
- [151] National Semiconductor, "LM117/LM317," 2011, 3-Terminal Adjustable Regulator.
- [152] Analog Devices, "AD5231 - Data Sheet Rev. C," 2007, Non-Volatile Memory, 1024-Position Digital Potentiometer.
- [153] Marwen Ben MBarka, "Réalisation d'un démonstrateur BIST pour un convertisseur analogique-numérique sigma-delta," M.S. thesis, Institut National des Sciences Appliquées et de Technologie - Université du 7 novembre (Carthage, Tunisie), 2009.
- [154] Inc. Xilinx, "Spartan3 - fpga family complete data sheet rev. 2.2," 2007, XC3S1500.
- [155] A. Bounceur and S. Mir, "Estimation of test metrics for AMS/RF BIST using copulas," in *IEEE 14th International Mixed-Signals, Sensors and Systems Test Workshop*, jun. 2008.
- [156] N. Nagi and J.A. Abraham, "Hierarchical fault modeling for analog and mixed-signal circuits," in *IEEE VLSI Test Symposium*, apr. 1992, pp. 96–101.
- [157] Y.-C. Huang, C.-L. Lee, J.-W. Lin, J.-E. Chen, and C.-C. Su, "A methodology for fault model development for hierarchical linear systems," in *Asian Test Symposium*, 2000, pp. 90–95.

Liste de publications

Conférence Internationale

M. Dubois, H.G. Stratigopoulos et S. Mir, "Hierarchical Parametric Test Metrics Estimation : A $\Sigma\Delta$ Converter BIST Case Study, IEEE International Conference on Computer Design, 2009.

Conférence Nationale

M. Dubois, I. Mansouri, S. Mir et N. Chouba, "Calibrage automatique d'un convertisseur $\Sigma\Delta$ utilisant un BIST", Journées Nationales du Réseau des Doctorants en Microélectronique, 2008.

Brevet

Titre : Convertisseur analogique-numérique sigma-delta muni d'un circuit de test
Inventeurs : M. Dubois, S. Mir et H. Stratigopoulos
Déposants : Grenoble INP - CNRS
N° int. : PCT/EP2011/060863
Date de dépôt : 30/06/2010

Communication scientifique

M. Dubois, S. Mir, N. Chouba et M. Ben Mbarka, "Self-calibrating $\Sigma\Delta$ modulator using a BIST technique", University Booth à Design, Automation and Test in Europe (DATE), 2011.

M. Dubois, H. Stratigopoulos et S. Mir, "Test metrics estimation of complex analog and mixed-signal circuits at the design stage", EDAA-ACM phd-Forum à Design, Automation and Test in Europe (DATE), 2011.

M. Dubois, H. Stratigopoulos et S. Mir, "Évaluation des métriques de test pour des circuits analogiques/mixtes complexes", Session Poster au GDR SoC-Sip, 2010.



Table des figures

1.1	Interaction des systèmes électroniques dans l'environnement humain.	5
1.2	Coût de production et de test par transistor d'un microprocesseur.	7
1.3	Nombre de publications impliquant le test de circuits analogiques.	7
2.1	Évolution d'un projet de fabrication d'un circuit intégré.	12
2.2	Illustration du schéma de conception <i>Top-Down</i> d'un circuit intégré.	13
2.3	Variations (a) locales, (b) globales et (c) entre différents lots de plaquette.	14
2.4	Classification des fautes analogiques.	15
2.5	Échantillon de circuits produits (a) à faible rendement, (b) centré et (c) robuste. . .	16
2.6	Découpe de la fonction de transfert pseudo-statique d'un CAN représentant les erreurs de linéarité.	17
2.7	Probabilité d'apparition d'un code C_k en fonction de la tension d'entrée V_i du CAN modélisé.	18
2.8	Modélisation comportementale hiérarchique d'un CAN $\Sigma\Delta$	19
2.9	Macro-modèle d'un AOP.	21
2.10	Création et simulation au moyen de tables de correspondance.	22
2.11	Établissement d'une relation entre l'espace des paramètres du <i>process</i> et les performances du circuit par des simulations électriques.	24
2.12	Approximation de la fonction de sensibilité d'un système par une fonction linéaire par morceaux.	26
2.13	Propagation hiérarchique des propriétés statistiques par insertion d'un modèle comportemental entre l'espace des paramètres du <i>process</i> et les performances du circuit.	26
2.14	Propagation hiérarchique des propriétés statistiques par insertion d'un modèle comportemental entre l'espace des paramètres du <i>process</i> et les performances du circuit.	27
2.15	(a) Plan factoriel de niveau 5, (b) plan composite circonscrit pour 3 variables et (c) 6 échantillons d'un plan hypercube latin	29
2.16	Représentation d'un neurone réalisant une fonction algébrique non-linéaire.	30
2.17	Représentation d'un réseau de neurones réalisant une fonction algébrique non-linéaire.	30
2.18	Représentation d'une loi de densité normale à partir d'un histogramme.	32
2.19	Représentation d'une loi de densité non-paramétrique suivant la largeur de bande h à partir d'un histogramme.	33
3.1	Flot de test en production des circuits intégrés.	36
3.2	Banc de test d'un circuit intégré mixte.	38
3.3	Protocole de simulations d'un circuit excité par des vecteurs de test en vue d'estimer leur couverture de faute	38
3.4	Modélisations d'un défaut de connexion entraînant un circuit ouvert (a) sans effet capacitif et (b) avec effet capacitif.	39
3.5	Exemple d'un défaut identique ayant un impact différent sur le fonctionnement du circuit. Interrupteur constitué par (a) un transistor simple et (b) des transistors en parallèle.	39
3.6	Principe du test alternatif	40
3.7	Mise en œuvre d'un test alternatif	41
3.8	Définition d'une faute paramétrique en fonction d'un intervalle de tolérance	42

3.9	Flot de simulations de fautes catastrophiques combinant modèles comportementaux et modèles électriques de circuits analogiques et mixtes	43
3.10	Densité de probabilité gaussienne et uniforme définissant un paramètre dans et hors de sa zone de tolérance	43
3.11	Définition de la détectabilité à partir des densités de probabilité des circuits fonctionnels et défectueux	45
3.12	Détectabilité basée sur la distribution statistique d'une performance	45
3.13	Probabilité d'occurrence et de détection de déviations paramétriques.	46
3.14	Influence des limites de test sur le taux de défauts et la perte de rendement	49
3.15	Classement des différentes formes de DfT.	51
3.16	Blocs de test supplémentaires pour implanter la technique de <i>Boundary-Scan</i> analogique.	51
3.17	Générateurs de rampe intégrés par charge d'une capacité avec un courant constant, (a) sans et (b) avec correction de l'impédance de sortie R_o	53
3.18	Test par histogramme en reproduisant des signaux triangulaires de faible amplitude pour différentes tensions d'offset.	54
3.19	Mise en oeuvre de l'algorithme d'identification et de la suppression des erreurs de linéarité du stimulus de test.	55
3.20	Ressources (a) standard d'un test par histogramme et (b) nécessaires à un BIST utilisant la décomposition temporelle.	56
3.21	Test par histogramme par simple détection du changement de code.	57
3.22	Test par modélisation linéaire.	58
3.23	Architecture (a) d'un convertisseur de type pipeline et (b) du MDAC de chaque étage.	59
3.24	Génération d'un signal sinusoïdal à partir d'un oscillateur numérique.	60
3.25	Auto-test d'un CAN par un CNA comme générateur de signal de test.	60
3.26	Structure d'un test en chaîne de circuits mixtes.	61
3.27	Circuits de discrimination basés (a) sur la variation du gain et de l'offset du CAN et (b) sur l'addition et le calcul de la moyenne quadratique de plusieurs CAN.	61
3.28	(a) Filtrage de pulsations modulées en largeur pour la génération d'un stimulus de test de type exponentiel et (b) représentation de S_E , l'intégrale du signal exponentiel.	62
3.29	Test alternatif à partir d'un signal sinusoïdal multiplexé.	63
3.30	Test alternatif appliqué à un BIST basé sur la signature d'un CNA.	63
3.31	Test alternatif appliqué à la résolution d'équations non-linéaires.	64
4.1	Représentation d'un échantillon de circuits en fonction de leurs performances et de leurs réponses de test.	69
4.2	Vue globale de la méthodologie de conception en vue du test proposée.	70
4.3	Expression de la fréquence unitaire d'un AOP en fonction de la marge de phase : (a) circuits robustes et (b) circuits instables	72
4.4	Appariement de deux capacités : (a) déviations globales et (b) déviations locales.	73
4.5	Estimation de la densité de probabilité de deux composants : (a) non appariés et (b) appariés.	74
4.6	Échantillonnage des paramètres comportementaux par un plan d'expérience latin : (a) en l'absence de l'ACP et (b) après application de l'ACP.	76
4.7	Échantillonnage par un plan d'expérience latin des paramètres comportementaux pour deux composants appariés.	76
4.8	Distribution quasi uniforme de l'espace des paramètres comportementaux.	77
4.9	Diagramme bloc des étapes successives générant l'échantillon d'entraînement des fonctions de régression.	77
4.10	Déviations standard du SNDR en fonction de la taille de l'échantillon de sortie du modulateur sous test.	79
4.11	Valeur estimée par une fonction de régression contre la valeur obtenue par simulation.	79

4.12	Précision du calcul d'une fonction de régression par comparaison avec un échantillon témoin.	80
4.13	Représentation d'un échantillon de circuits par les différentes spécifications et les mesures de test.	81
4.14	Représentation des catégories de chaque circuit pour une performance et une mesure de test (a) corrélées et (b) non corrélées.	82
4.15	Estimation de la perte de rendement \hat{Y}_L et du taux de défauts \hat{T}_e en fonction des limites de test.	83
5.1	Architecture d'un CAN- $\Sigma\Delta$	86
5.2	Modèle linéaire en z d'un modulateur (a) du 1 ^{er} ordre et (b) d'ordre L	86
5.3	Génération d'une séquence binaire à partir d'un modulateur $\Sigma\Delta$ idéal.	88
5.4	Sauvegarde et injection d'un stimulus de test analogique à partir d'un registre à décalage.	88
5.5	Technique de test numérique d'un modulateur $\Sigma\Delta$ par une séquence binaire atténuée.	89
5.6	Injection d'une séquence binaire sur l'étage d'entrée d'un modulateur $\Sigma\Delta$ à capacités commutées.	89
5.7	Réduction du bruit de quantification par modification de l'étage d'entrée d'un modulateur $\Sigma\Delta$ à capacités commutées.	90
5.8	Implantation de l'algorithme de régression d'une courbe sinusoïdale.	91
5.9	Technique d'auto-test de $\Sigma\Delta$ -CAN adaptée à un système stéréo.	92
5.10	Technique d'auto-test de $\Sigma\Delta$ -CAN utilisant l'algorithme CORDIC.	93
5.11	Technique de test intégré pour la mesure indirecte des performances d'un modulateur $\Sigma\Delta$	93
5.12	Modulateur $\Sigma\Delta$ idéal du troisième ordre	94
5.13	Spectres générés par le modulateur $\Sigma\Delta$ idéal de la figure 5.12 en modifiant les coefficients b_1 et b_2	95
5.14	Modulateur $\Sigma\Delta$ d'ordre 3 avec une source de bruit	96
5.15	Calcul du SQNR d'un train binaire de longueur $N=2274$ bits en fonction de (a) l'amplitude de la source de bruit ajoutée dans le modulateur générateur 5.14 et (b) l'amplitude du signal d'entrée avec et sans <i>dither</i>	97
5.16	Linéarité d'une conversion analogique-numérique à 1 bit de résolution pour un système (a) unipolaire et (b) différentiel.	98
5.17	Densité spectrale de puissance et puissance cumulée d'une séquence binaire et ternaire ($\delta=1$).	99
5.18	Variation de l'amplitude et de la phase d'un signal ternaire en fonction du délai.	100
5.19	SQNR et puissance totale de séquences ternaires en fonction du délai introduit	101
5.20	Sélection d'une séquence ternaire en fonction du SQNR et de la puissance totale	101
5.21	Implantation numérique du stimulus ternaire (a) avec un registre à décalage complet et (b) avec seulement les cellules de mémoire nécessaires à l'introduction d'un retard.	102
5.22	Implantation analogique du stimulus ternaire parallèlement à l'entrée du modulateur $\Sigma\Delta$ à capacités commutées.	102
5.23	Auto-test intégré incluant la génération d'un stimulus ternaire et l'analyse de la réponse par une régression sinusoïdale.	103
6.1	Rapport signal sur bruit de quantification (SQNR) en fonction du taux de sur-échantillonnage pour un modulateur $\Sigma\Delta$ d'ordre $L=1,2$ et 3.	107
6.2	Architecture du modulateur $\Sigma\Delta$ d'ordre $L = 2$	107
6.3	Implantation électrique du modulateur $\Sigma\Delta$ à capacités commutées.	108
6.4	Dimension de la capacité d'échantillonnage en fonction du coefficient de marge α et du rapport signal sur bruit du modulateur.	110
6.5	Modèle comportemental du modulateur $\Sigma\Delta$ du 2 nd ordre à capacités commutées.	110
6.6	Schéma différentiel d'un intégrateur à capacités commutées.	111

6.7	Schéma unipolaire du premier étage d'un modulateur à capacités commutées.	112
6.8	Modèle comportemental de l'intégrateur.	113
6.9	Analyse des sources de bruit d'un intégrateur à capacités commutées pendant (a) l'échantillonnage et (b) l'intégration du signal d'entrée.	114
6.10	Modèle comportemental de la gigue de l'horloge.	115
6.11	Schéma électrique de l'AOP.	117
6.12	Schéma électrique du circuit de polarisation de l'AOP.	118
6.13	(a) Tension de sortie différentielle $V_{diff} = V_{outp} - V_{outn}$ et (b) performances correspondantes de l'AOP simulé en boucle ouverte par 100 itérations Monte Carlo.	119
6.14	Banc de test de simulation électrique de l'AOP pour des simulations Monte Carlo incluant le mésappariement des composants élémentaires.	119
6.15	Diagramme de Bode (a) de la magnitude et (b) de la phase du gain en boucle ouverte résultant d'une simulation nominal de l'AOP en boucle ouverte et intégré dans le banc de simulation avec une boucle de contre-réaction filtrée.	120
6.16	(a) Tension de sortie différentielle $V_{diff} = V_{outp} - V_{outn}$ et (b) performances correspondantes de l'AOP inclus dans la boucle de contre-réaction filtrée pour 100 itérations Monte Carlo.	120
6.17	Densité spectrale de puissance du modulateur $\Sigma\Delta$ obtenue par simulations électriques.	121
6.18	Performances du modulateur $\Sigma\Delta$ obtenues par simulations électriques.	122
6.19	Prédiction du SNDR obtenu par simulations comportementales du modulateur $\Sigma\Delta$ excité par les stimuli numériques (a) sans atténuation de la tension d'injection et (b) avec une tension atténuée de 1,4V (-2dBFS).	123
6.20	Calcul du SNDR obtenu par simulations électriques nominales du modulateur $\Sigma\Delta$ excité par différentes amplitudes encodées dans une séquence binaire et dans la séquence ternaire correspondante.	124
6.21	Distribution de la fréquence unitaire et du slew-rate de l'échantillon initial, par échantillonnage de la densité paramétrique correspondante, par échantillonnage latin et cubique centré.	126
6.22	Définition des circuits fonctionnels.	128
6.23	Échantillon de référence (a) <i>bruit prédominant</i> et (b) <i>distorsion prédominante</i>	129
6.24	Comparaison du SNDR et du SNR d'un large échantillon de circuits pour un signal binaire (a) d'amplitude équivalente à $-12dBFS_{spec}$ et (c) à $-6dBFS_{spec}$ et pour un signal ternaire (b) d'amplitude équivalente à $-12dBFS_{spec}$ et (d) à $-3dBFS_{spec}$	129
6.25	Comparaison du SNDR pour un signal binaire (a) d'amplitude équivalente à $-12dBFS_{spec}$ et (c) à $-6dBFS_{spec}$ et pour un signal ternaire (b) d'amplitude équivalente à $-12dBFS_{spec}$ et (d) à $-3dBFS_{spec}$	131
6.26	Perte de rendement et taux de défauts résultant d'un test unique sur l'échantillon <i>bruit prédominant</i> à partir d'un signal analogique d'amplitude (a) $-4.8dBFS_{spec}$ et (b) $-1.3dBFS_{spec}$ et sur l'échantillon <i>distorsion prédominante</i> pour (c) $-4.8dBFS_{spec}$ et (d) $-1.3dBFS_{spec}$	131
6.27	Perte de rendement et taux de défauts résultant d'un test unique sur l'échantillon <i>distorsion prédominante</i> à partir d'un stimulus numérique (a) binaire d'amplitude $A_{eq} = -6dBFS_{spec}$ et (b) ternaire d'amplitude $-3dBFS_{spec}$	132
6.28	Perte de rendement et taux de défauts résultant d'un test unique sur l'échantillon <i>bruit prédominant</i> à partir d'un stimulus numérique (a) binaire et (b) ternaire d'amplitude $A_{eq} = -8dBFS_{spec}$, et sur l'échantillon <i>distorsion prédominante</i> à partir d'un stimulus numérique (c) binaire et (d) ternaire d'amplitude $A_{eq} = -8dBFS_{spec}$ pour une tension d'injection atténuée $V_{bist} = 1.4V$	133
7.1	Bloc diagramme d'un circuit avec un système de calibrage	136
7.2	Phases de calibrage (a) <i>off-line</i> à la mise en route ou (b) <i>off-line</i> cyclique et (c) <i>on-line</i>	137
7.3	Transformation d'un BIST en un système de calibrage.	137
7.4	Algorithme de calibrage incluant la technique BIST.	138

7.5	Implantation d'un circuit de polarisation programmable.	138
7.6	Vue générale du système de calibrage automatisé du modulateur à partir d'une technique BIST.	139
7.7	Entité du bloc numérique.	139
7.8	Liaisons internes du bloc numérique.	140
7.9	Diagramme bloc décrivant la machine à états.	141
7.10	Registres d'écriture et de lecture de données transmises entre le module JTAG du FPGA et l'interface graphique.	142
7.11	Fonctionnement du module JTAG.	144
7.12	Schéma simplifié de l'alimentation du circuit imprimé.	145
7.13	Schéma simplifié de la génération des tensions de polarisation.	146
7.14	Visuel de l'interface graphique.	147
7.15	Photographie des circuits imprimés du démonstrateur.	148
7.16	Utilisation de l'algorithme du calibrage pour optimiser la tension de mode commun.	148
7.17	Illustration de la sensibilité du SNDR aux tensions de polarisation.	149
8.1	(a) Association actuelle de la conception automatisée des circuits analogiques et mixtes avec la conception en vue du test et (b) conception en vue du test et du calibrage automatisée.	153

TITRE

Méthodologie d'estimation des métriques de test appliquée à une nouvelle technique de BIST de convertisseur $\Sigma\Delta$

RÉSUMÉ

L'expansion du marché des semiconducteurs dans tous les secteurs d'activité résulte de la capacité de créer de nouvelles applications grâce à l'intégration de plus en plus de fonctionnalités sur une surface de plus en plus faible. Pour chaque entreprise, la compétitivité dépend du coût de fabrication mais aussi de la fiabilité du produit. Ainsi, la phase de test d'un circuit intégré, et plus particulièrement des circuits analogiques et mixtes, est le facteur prédominant dans les choix d'un compromis entre ces deux critères antagonistes car son coût est désormais proche du coût de production. Cette tendance contraint les acteurs du marché à mettre en place de nouvelles solutions moins onéreuses. Parmi les recherches dans ce domaine, la conception en vue du test (DfT) consiste à intégrer pendant le développement de la puce, une circuiterie additionnelle susceptible d'en faciliter le test, voire d'effectuer un auto-test (BIST). Mais la sélection d'une de ces techniques nécessite une évaluation de leur capacité de différencier les circuits fonctionnels des circuits défectueux.

Ces travaux de recherche introduisent une méthodologie d'estimation de la qualité d'une DfT ou d'un BIST dans le flot de conception de circuits analogiques et mixtes. Basée sur la génération d'un large échantillon prenant en compte l'impact des variations d'un procédé technologique sur les performances et les mesures de test du circuit, cette méthodologie calcule les métriques de test exprimant la capacité de chaque technique de détecter les circuits défectueux sans rejeter des circuits fonctionnels et d'accepter les circuits fonctionnels en rejetant les circuits défectueux. Ensuite, le fonctionnement d'un auto-test numérique adapté aux convertisseurs sigma-delta est présenté ainsi qu'une nouvelle méthode de génération et d'injection du stimulus de test. La qualité de ces techniques d'auto-test est démontrée en utilisant la méthodologie d'estimation des métriques de test. Enfin, un démonstrateur développé sur un circuit programmable démontre la possibilité d'employer une technique d'auto-test dans un système de calibrage intégré.

Mots clés : conception en vue du test, test fonctionnel, test alternatif, métrique de test, taux de défauts, perte de rendement, circuit mixte, convertisseur analogique-numérique, sigma-delta, modélisation, comportemental, statistique, densité de probabilité, plan d'expérience, régression, loi non-paramétrique, stimulus numérique, train ternaire.

TITRE

Test metrics estimation applied to a new Built-In Self-Test technique for $\Sigma\Delta$ Converter

ABSTRACT

The pervasiveness of the semiconductor industry in an increasing range of applications that span human activity stems from our ability to integrate more and more functionalities onto a small silicon area. The competitiveness in this industry, apart from product originality, is mainly defined by the manufacturing cost, as well as the product reliability. Therefore, finding a trade-off between these two often contradictory objectives is a major concern and calls for efficient test solutions. The focus nowadays is mainly on Analog and Mixed-Signal (AMS) circuits since the associated testing cost can amount up to 70% of the overall manufacturing cost despite that AMS circuits typically occupy no more than 20% of the die area. To this end, there are intensified efforts by the industry to develop more economical test solutions without sacrificing product quality. Design-for-Test (DfT) is a promising alternative to the standard test techniques. It consists of integrating during the development phase of the chip extra on-chip circuitry aiming to facilitate testing or even enable a built-in self-test (BIST). However, the adoption of a DfT technique requires a prior evaluation of its capability to distinguish the functional circuits from the defective ones.

In this thesis, we present a novel methodology for estimating the quality of a DfT technique that is readily incorporated in the design flow of AMS circuits. Based on the generation of a large synthetic sample of circuits that takes into account the impact of the process variations on the performances and test measurements, this methodology computes test metrics that determine whether the DfT technique is capable of rejecting defective devices while passing functional devices. In addition, the thesis proposes a novel, purely digital BIST technique for $\Sigma\Delta$ analog-to-digital converters. The efficiency of the test metrics evaluation methodology is demonstrated on this novel BIST technique. Finally, a hardware prototype developed on an FPGA shows the possibility of adapting the BIST technique within a calibration system.

Keywords : Design-for-Test, DfT, Built-In Self-Test, BIST, functional testing, alternate testing, test metrics, defect level, yield loss, mixed-signal circuit, analog-to-digital converter, ADC, sigma-delta converter, behavioural modeling, statistical modeling, non-parametric function, regression, fault, reliability, Monte Carlo, simulation, behavioural model, density of probability, Design-Of-Experiments, DOE, regression function, digital stimulus, ternary stream.