HAL open science

Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension

Hakim Tahir

To cite this version:

Hakim Tahir. Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2011. Français. NNT : . tel-00634449

HAL Id: tel-00634449

https://theses.hal.science/tel-00634449v1

Submitted on 21 Oct 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

En vue de l'obtention du

Doctorat de l'université de Toulouse

Délivré par l'Université Paul Sabatier Toulouse III

Ecole Doctorale : Génie Electrique, Electronique, Télécommunications

Discipline : Micro-nanoélectronique

Présenté par

Hakim TAHIR

Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension

Directeur de thèse : M. Jean-Louis SANCHEZ

Co-directeur de thèse : M. Abdelhakim BOURENNANE

Remerciements

Ces travaux de thèse ont été effectués au sein du groupe Intégration des Systèmes de Gestion de l'énergie (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS à Toulouse.

Avant d'exprimer mes remerciements pour toute personne ayant participé à ce travail de thèse, je voudrais tout d'abord rendre hommage à mon directeur de thèse ; Monsieur Jean-Louis SANCHEZ décédé le 15 Mai 2011 suite à une crise cardiaque.

Monsieur SANCHEZ était, au-delà de ses qualités scientifiques, un modèle d'humanité, de gentillesse, de simplicité et de modestie. C'est grâce à son encouragement et ses conseils que mon travail de thèse a pu avancer. J'ai eu l'honneur d'être encadré par quelqu'un comme Jean-Louis SANCHEZ. C'est vraiment très triste son départ définitif.

Je tiens à remercier en premier lieu Messieurs CHATILA, SANCHEZ et ARLAT directeurs successifs du LAAS, ainsi Madame BAFLEUR, responsable du groupe ISGE, pour m'avoir accueilli et permis d'entreprendre cette étude.

Je remercie énormément Messieurs SCHAEFFER Christian et KHATIR Zoubir, qui ont accepté de rapporter sur les travaux de ma thèse. Je remercie également les membres du jury, Messieurs ROUGER Nicolas et DUPUY Philippe, ainsi que Monsieur BIDAN Pierre qui m'a fait l'honneur de le présider avec toute sa modestie.

Je remercie en particulier, mon co-directeur de thèse Abdelhakim BOURENNANE pour son aide scientifique et son suivi permanent de ce travail. Tu as accomplis ton travail plus qu'il fallait. Merci pour ta confiance que tu m'as fait durant toutes ces années et merci beaucoup pour l'énorme temps que tu as consacré pour réussir ce travail (jusqu'à 5h00 du matin en plusieurs fois). C'était très agréable de mener ce travail de thèse avec toi. Tes prochains thésards vont le confirmer sans doute. Si ce travail de thèse est qualifié pour un prix de thèse de l'école doctorale GEET, c'est bien grâce à toi.

Je remercie énormément madame Marie BREIL-DUPUY pour son aide pertinent dans ce travail et pour ses corrections de ce manuscrit.

Un grand merci aux personnels de la centrale technologique du LAAS pour leur patience et compréhension, en particulier Eric IMBERNON, Djaffar BELHARET, Laurent BOUSCAYROL, Laurent MAZENQ…

Je voudrais également remercier mes collègues du bureau Emanuel, Gaëtan et Hussein pour avoir rendu cette période, si agréable par la bonne ambiance, par l'échange d'informations et par l'entraide sur tous les plans.

Je remercie aussi mes collègues et amis du laboratoire, Mourad, Lyes, Moustapha, Toufik, Lamine, Moh, Aymen pour les moments agréables des matches de foot (Toufik était Messi dans notre équipe). Je remercie énormément Hamada pour ses invitations de pose du café !!!, Hamida pour son soutient moral, Samir, Ahmed, Lyamine…je m'excuse auprès de ceux que je n'ai pas cités.

Je remercie chaleureusement, mes parents pour leur soutien moral depuis mon premier jour à l'école jusqu'à ce jour.

Je remercie énormément ma femme pour sa patience et son soutien durant la période de ma thèse.

Finalement, Je dédie ce travail à mon petit adorable fils « Tariq » qui m'a donné une nouvelle vie pleine de joie et d'amour.

TABLE DES MATIERES

INTRODUCTION GENERALE 1

CHAPITRE 1

ETAT DE L'ART DES INTERRUPTEURS UNIDIRECTIONNELS ET BIDIRECTIONNELS COMMANDES EN TENSION 9

I. INTRODUCTION 11

II. LES INTERRUPTEURS DE PUISSANCE 13

III. EVOLUTION DES STRUCTURES IGBTs UNIDIRECTIONNELLES EN COURANT 14

III-1. IGBT UNIDIRECTIONNEL A TECHNOLOGIE PLANAR 15

III-1-1. IGBT NPT (Non Punch Through) 15

III-1-2. IGBT PT (Punch Through) 15

III-1-3. IGBT Field Stop (IGBT FS) 16

III-2. IGBT UNIDIRECTIONNEL A GRILLE EN TRANCHEES 17

III-2-1. Trench Gate IGBT (TIGBT) 17

III-2-2. IEGT (Injection Enhanced Gate Transistor) 18

III-2-3. CSTBT (Carrier Stored Trench Bipolar Transistor) 18

III-3. AUTRES STRUCTURES IGBT DERIVEES DE L'IGBT A TECHNOLOGIE PLANAR 19

III-3-1. HiGT (High Conductivity IGBT) 19

III-3-2. SJBT (Super Junction Bipolar Transistor) 19

IV. SYNTHESE DE LA FONCTION INTERRUPTEUR BIDIRECTIONNEL EN COURANT ET EN TENSION 20

IV-1. PAR ASSOCIATION D'ELEMENTS DISCRETS 20

IV-2. PAR UTILISATION DE STRUCTURES MONOLITHIQUES COMMANDEES PAR MOS 21

IV-2-1. Structures latérales 21

IV-2-2. Structures verticales 24

V. STRUCTURE IGBT BIDIRECTIONNELLE A BASE DE STRUCTURES IGBT COMPLEMENTAIRES 28

VI. L'INTEGRATION DE FONCTIONS AUXILIAIRES AVEC L'INTERRUPTEUR DE PUISSANCE 29

VII. CONCLUSION 32

CHAPITRE 2

ETUDE PAR SIMULATION D'UNE STRUCTURE IGBT BIDIRECTIONNEL..... 37

I. INTRODUCTION 39

II. STRUCTURE IGBT BIDIRECTIONNELLE ET PRINCIPE DE FONCTIONNEMENT 41

II-1. STRUCTURE..... 41

II-2. PRINCIPE DE FONCTIONNEMENT 41

III. TECHNIQUES DE REALISATION DE LA STRUCTURE IGBT BIDIRECTIONNELLE 42

III-1. TECHNIQUE BASEE SUR LA PHOTOLITHOGRAPHIE DOUBLE FACE 42

III-2. TECHNIQUE BASEE SUR LA SOUDURE DIRECTE SILICIUM SUR SILICIUM (SI/SI) 43

III-3. AVANTAGES ET INCONVENIENTS DE CHAQUE TECHNIQUE 43

IV. SIMULATION DES STRUCTURES IGBTS BIDIRECTIONNELLES OBTENUES PAR LES DEUX TECHNIQUES..... 44

IV-1. STRUCTURE IGBT BIDIRECTIONNELLE REALISABLE PAR PHOTOLITHOGRAPHIE DOUBLE FACE 44

IV-1-1. Etat bloqué..... 45

IV-1-2. Etat passant..... 50

IV-1-3. Phénomène de latch-up du thyristor parasite 55

IV-1-4. Temps d'ouverture de l'IGBT bidirectionnel..... 59

IV-2. STRUCTURE IGBT BIDIRECTIONNELLE REALISABLE PAR SOUDURE DIRECTE SI/SI..... 63

IV-2-1. Impact de la durée de vie des porteurs minoritaires τ dans l'interface de collage sur les caractéristiques électriques de la structure IGBT bidirectionnelle..... 63

IV-3. COMPARAISON DES PERFORMANCES DES STRUCTURES IGBT BIDIRECTIONNELLES SANS ET AVEC COLLAGE 66

IV-3-1. Etat bloqué..... 67

IV-3-2. Etat passant..... 68

IV-3-3. Temps d'ouverture 68

IV-4. COMPARAISON DES PERFORMANCES DE LA STRUCTURE IGBT BIDIRECTIONNELLE REALISABLE PAR PHOTOLITHOGRAPHIE DOUBLE FACE AVEC CELLES D'UN IGBT UNIDIRECTIONNEL 69

IV-4-1. Etat bloqué..... 69

IV-4-2. Etat passant..... 70

IV-4-3. Temps d'ouverture 70

V. PARAMETRES GEOMETRIQUES ET PHYSIQUES DES DEUX COMPOSANTS IGBT A REALISER 71

VI. DEUXIEME STRATEGIE D'INTEGRATION 72

VII. CONCLUSION 75

CHAPITRE 3

CONCEPTION DES MASQUES ET REALISATION TECHNOLOGIQUE 79

I. INTRODUCTION 81

II. CONCEPTION DES MASQUES 83

III. REALISATION TECHNOLOGIQUE 87

III-1. DESCRIPTION DES PRINCIPALES ETAPES DE LA FILIERE IGBT FLEXIBLE 87

III-2. TECHNIQUE DE PHOTOLITHOGRAPHIE DOUBLE FACE 91

III-2-1. Principe de réalisation 91

III-2-2. Technique d'alignement 92

III-2-3. Processus de fabrication du composant IGBT bidirectionnel 92

III-3. REALISATION DES IGBTS PAR LA TECHNIQUE DE SOUDURE DIRECTE SI/SI 101

III-3-1. Soudure directe Si/Si 101

III-3-2. Processus de fabrication de l'IGBT bidirectionnel par soudure directe Si/Si 111

IV. DISPOSITIFS REALISES ET RESULTATS DE CARACTERISATIONS 118

IV-1. DISPOSITIFS IGBT REALISES 118

IV-2. CARACTERISATION DES IGBTS REALISES PAR LA TECHNIQUE DE PHOTOLITHOGRAPHIE DOUBLE FACE 118

IV-3. CARACTERISATION DES DIODES REALISEES PAR COLLAGE 121

IV-4. STRUCTURE IGBT BIDIRECTIONNELLE REALISEE PAR SOUDURE SI/SI 122

V. CONCLUSION 124

CHAPITRE 4

ETUDE PAR SIMULATION D'UNE STRUCTURE IGBT BIDIRECTIONNELLE A ELECTRODES COPLANAIRES 129

I. INTRODUCTION 131

II. STRUCTURE ET PRINCIPE DE FONCTIONNEMENT 133

II-1. STRUCTURE 133

II-2. PRINCIPE DE FONCTIONNEMENT ET CIRCUIT EQUIVALENT 133

II-2-1. Rôle de la tranchée 134

III. ETUDE PAR SIMULATION DU FONCTIONNEMENT DE LA STRUCTURE 135

III-1. TENUE EN TENSION 136

III-1-1. Tenue en tension en fonction de l'épaisseur du substrat N^- 137

III-1-2. Impact des paramètres géométriques de la tranchée 138

III-1-3. Amélioration de la tenue en tension 139

III-1-4. Impact de la largeur de la plaque de champ W_{FP} sur la tension de blocage 141

III-2. ETAT PASSANT 142

III-2-1. Simulation de la structure entière 142

III-2-2. Fonctionnement de la demi-structure en mode thyristor 144

III-2-3. Fonctionnement de la demi-structure en mode DMOS/IGBT 145

III-2-4. Comparaison des caractéristiques I(V) 146

III-2-5. Impact des paramètres géométriques de la tranchée sur le fonctionnement à l'état passant 147

III-2-6. Importance du choix du nombre de cellules IGBT pour les simulations 148

III-3. ETUDE DE LA STRUCTURE EN COMMUTATION 150

III-3-1. Estimation des pertes sur un cycle de commutation 150

III-3-2. Durée et phases d'amorçage de la structure 151

IV. ETUDE DE LA FAISABILITE TECHNOLOGIQUE DE LA STRUCTURE 154

IV-1. CONCEPTION DES MASQUES 154

IV-2. ETUDE PRELIMINAIRE EN VUE D'UNE REALISATION TECHNOLOGIQUE 155

IV-2-1. Proposition de réalisation n°1 156

IV-2-2. Proposition de réalisation n°2 156

IV-2-3. Avantages et inconvénients de chaque proposition de réalisation 157

V. CONCLUSION 159

CONCLUSION GENERALE 161

ANNEXE 169

INTRODUCTION GENERALE

L'électronique de puissance étudie les dispositifs réalisant la conversion et le contrôle de l'énergie électrique. Ces dispositifs, appelés convertisseurs statiques, permettent le transfert de l'énergie électrique entre un générateur et un récepteur souvent de nature différente. Leur rôle consiste à adapter la source d'énergie aux exigences de la charge. Pour cela, ils sont amenés à modifier les caractéristiques des grandeurs transmises (tension, fréquence …) voire même de changer la forme de l'énergie (continu, alternatif …). La figure 1 présente une synthèse des différents types de conversion possible et le nom usuel des convertisseurs [1].

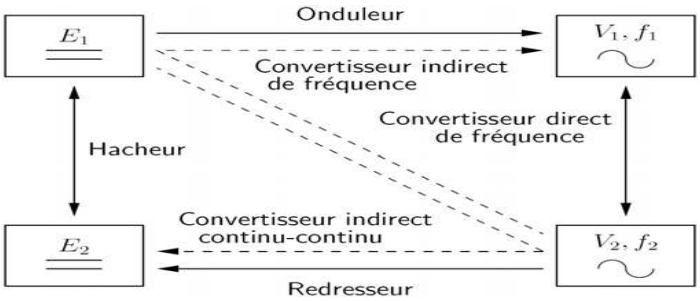


Figure 1. Les différents types de conversion possible et le nom usuel des convertisseurs suivant leur fonction

Les convertisseurs statiques sont constitués essentiellement de deux types d'éléments :

- Les composants à semi-conducteur jouant le rôle d'interrupteur et dont la commande permet le contrôle du transfert de puissance entre la source et la charge.
- Les composants passifs (condensateur et inductance) qui assurent le stockage ainsi que le filtrage des ondes de tension et de courant.

L'évolution des convertisseurs statiques a suivi celle des composants à semi-conducteur de puissance qui, associés à une commande adaptée, amène au sein de la structure le réglage du transfert d'énergie entre une source et sa charge.

Les améliorations continues apportées aux performances des composants à semi-conducteur ainsi qu'à leur fonctionnalité ont contribué à la diminution de la taille, du poids et du coût des convertisseurs. Cela a permis à l'électronique de puissance de s'étendre à de nouveaux domaines d'applications. En effet, en plus des applications traditionnelles comme la traction électrique et les entraînements industriels, les convertisseurs statiques sont maintenant présents dans le domaine de la gestion du réseau de distribution, l'électroménager, les appareils portables et l'automobile.

Pour des applications de conversion ac/ac, il est souhaitable de disposer d'interrupteurs bidirectionnels en courant et en tension et commandés en tension à la fermeture et à l'ouverture. En effet, à ce jour, les composants monolithiques utilisés sont généralement basés sur une structure triac qui est toutefois une structure commandable en courant et uniquement à la fermeture. Des structures unidirectionnelles commandées en tension telles que les structures VDMOS et IGBT, …etc sont

généralement associées à des diodes afin de réaliser des montages permettant de réaliser la fonction interrupteur bidirectionnel en courant et en tension commandable à la fermeture et à l'ouverture. Ces montages en discret sont toutefois encombrants et présentent des pertes relativement importantes.

La gestion de l'énergie étant un enjeu majeur pour le développement durable, il est nécessaire d'utiliser des systèmes de conversion qui présentent les plus faibles pertes possibles. Cette gestion optimale de l'énergie passera donc obligatoirement par l'utilisation d'un nouveau type d'interrupteurs qui seraient, sur du long terme, communicants et permettraient par conséquent une gestion intelligente de l'énergie. Un tel interrupteur, pour des applications AC, devra donc être constitué d'un composant à semi-conducteur bidirectionnel commandable à la fermeture et à l'ouverture, d'une électronique permettant la commande et la protection du composant de puissance d'une part et d'échanger des informations avec son environnement d'autre part, ainsi que d'une isolation galvanique. Idéalement, il serait préférable qu'un tel interrupteur soit intégré monolithiquement car cela permettra d'adresser des applications où le poids et la taille seraient des critères importants. Toutefois, une solution basée sur l'intégration de l'ensemble des éléments dans un même package en utilisant de nouvelles techniques d'interconnexion 3D, basées sur du flip chip par exemple, permettra également de réduire la taille et le poids de l'interrupteur.

Dans le cadre du projet MOBIDIC (MOS controlled BIDirectional power Integrated Component) qui s'est déroulé de 2006 à 2009, nous avons travaillé en collaboration avec deux laboratoires partenaires : Le G2ELab (Grenoble) et le LMP (Tours) afin de mettre en place entre autres un ensemble de briques technologiques qui permettront d'ouvrir la voie au développement d'un interrupteur bidirectionnel commandable à l'ouverture et à la fermeture et qui intègre (monolithiquement ou in package) son électronique de commande. L'ensemble doit être encapsulé dans des boîtiers spécifiques.

Dans le cadre du projet MOBIDC, le LAAS s'est intéressé essentiellement à la partie composant. Comme nous l'avons mentionné précédemment, les composants monolithiques développés et commercialisés sont, jusqu'à ce jour, basés sur une structure triac. Ces structures triac sont commandées en courant et nécessitent des circuits d'adaptation (interfaçage) entre le circuit de commande et le composant de puissance à commander. Outre ce problème, le triac ne présente pas de mode saturé, ce qui le rend vulnérable aux phénomènes de courts-circuits. En outre, la montée ou la descente du courant aux moments des commutations n'est pas contrôlée, ce qui engendre des interférences électromagnétiques. Afin de remplacer le triac, plusieurs structures ont été proposées dans la littérature, chacune présentant des avantages et des inconvénients. Cependant, à ce jour, une structure bidirectionnelle verticale et commandable au blocage et à la fermeture n'existe pas dans le commerce. Afin d'obtenir une telle fonctionnalité, on se limite souvent à associer des éléments discrets tels que des IGBTs et des diodes.

Parmi les caractéristiques importantes pour l'interrupteur bidirectionnel recherché, on peut citer les suivantes :

i) Bidirectionnalité en courant et en tension: c'est la caractéristique fondamentale de tout dispositif destiné à fonctionner comme interrupteur sur le réseau alternatif. En outre, cette structure doit être en mesure de supporter des tensions élevées tout en présentant des courants de fuite à l'état bloqué faibles, et de transiter des courants importants avec une faible chute de tension à l'état passant.

ii) Une commande de type MOS: l'impédance d'entrée élevée des transistors MOS fait que ces structures sont commandées en tension, ce qui facilite le pilotage de ces dispositifs par des circuits intégrés. En effet, la puissance nécessaire pour la commande est largement inférieure à celle nécessaire pour les dispositifs commandés en courant. Cette énergie peut être fournie par un circuit intégré sans avoir à utiliser de circuit d'interface tel que le buffer.

iii) Toutes les électrodes de commande référencées par rapport à une seule électrode : Ceci réduira la complexité du circuit de commande.

iv) Fonctionnement contrôlé par MOS : il serait intéressant que le dispositif permette de contrôler le fonctionnement du dispositif durant tout le cycle de conduction en rendant possible le passage de l'état bloqué à l'état passant et vice versa par application d'une tension adéquate sur l'électrode de grille. Un exemple de ce genre de dispositif est l'IGBT.

v) Réduire les problèmes d'interférences électromagnétiques: dans le cas des structures thyristors, le passage de l'état bloqué à l'état passant se fait d'une manière brusque. Cela conduit au rayonnement d'ondes électromagnétiques qui peuvent influencer et perturber le fonctionnement de circuits adjacents. Pour diminuer le risque d'EMI, il est nécessaire de concevoir des structures à quatre couches qui permettent d'assurer une transition progressive de l'état bloqué à l'état passant.

vi) Aire de sécurité (FBSOA): la " forward biased safe operating area" (FBSOA) est un paramètre important qui indique la capacité d'un dispositif de puissance à saturer des courants élevés pour des tensions élevées (simultanément, les niveaux de tension et de courant sont élevés). Il serait préférable d'avoir un dispositif capable de limiter le courant dans le premier et troisième quadrants de fonctionnement. Cette aptitude à limiter le courant permet de doter le dispositif de moyens de protection.

Objectifs et organisation de la thèse

L'objectif principal du travail mené dans cette thèse est essentiellement technologique. En effet, le but principal est de réaliser en utilisant deux techniques une structure IGBT bidirectionnelle en courant et en tension. Les principaux défis technologiques à relever sont les suivants :

a. Développement de procédés technologiques double face adaptés aux structures bidirectionnelles commandées en tension. L'obtention d'oxydes de grille de qualité sur les

deux faces est le défi majeur à relever car jusqu'à présent les oxydes de grille étaient réalisés sur une seule face de substrat.

b. Développement d'une technique de collage Si/Si permettant de coller les deux substrats Si/Si préalablement traités. L'interface de collage ainsi obtenue doit être mécaniquement robuste et électriquement transparente.

Pour mener ce travail de réalisation en salle blanche, il est toutefois nécessaire de passer par une phase de simulations 2D pour valider et pour dégager un ensemble de paramètres nécessaires pour la conception des masques.

Le second objectif est de proposer, sur la base de ce qui a été publié dans la littérature et des conclusions tirées de la partie sur les réalisations technologiques de la structure IGBT bidirectionnelle, une structure permettant de remédier à certains des problèmes rencontrés.

Afin d'exposer les travaux, la thèse est organisée de la manière suivante :

Le premier chapitre est consacré à une description succincte de l'évolution des structures IGBT unidirectionnelles ainsi qu'à la description des différentes techniques qui permettent d'obtenir des dispositifs interrupteurs bidirectionnels en courant et en tension. Nous exposerons notamment les interrupteurs obtenus par l'association d'éléments discrets puis nous nous intéresserons aux structures monolithiques proposées dans la littérature. Cette description des différentes structures proposées permettra de dégager quelques avantages et inconvénients des différentes structures. Nous pourrons ainsi mettre en évidence les difficultés rencontrées pour la mise en œuvre d'un interrupteur monolithique bidirectionnel en courant et en tension, capable de répondre aux exigences des différentes applications. Nous justifierons ainsi le travail réalisé dans cette thèse.

Le deuxième chapitre est dédié à l'étude par simulations et à l'optimisation des paramètres physiques et géométriques des différentes régions qui composent la structure IGBT bidirectionnelle. La structure IGBT bidirectionnelle étudiée est très connue dans la littérature. L'originalité du travail mené sur cette structure concerne sa réalisation. En effet, nous proposerons deux techniques de réalisation en salle blanche du LAAS. La première est basée sur la photolithographie double face et la deuxième est basée sur la technique de collage très haute température (1150 °C) qui n'a jamais été présentée dans la littérature. Cette dernière technique doit être intégrée dans le process flow de l'IGBT sans aucune étape thermique supplémentaire. Le travail d'étude par simulations mené dans ce chapitre permettra d'une part de valider certains paramètres géométriques et physiques imposées par la filière technologique et d'en déterminer d'autres qui constitueront des éléments de conception pour la réalisation des structures IGBT. Ce travail servira également à estimer la performances des structures IGBT.

Le chapitre 3 représente le cœur du travail technologique réalisé dans cette thèse. Ce chapitre détaille les deux techniques utilisées pour réaliser la structure IGBT bidirectionnelle en salle blanche. Nous montrerons sur la base de la filière IGBT flexible, l'enchaînement des étapes technologiques pour chaque technique. Nous décrirons l'étape de soudure Si/Si et nous mettrons en évidence les conditions requises pour réussir cette étape cruciale pour le développement d'un composant de puissance à conduction verticale. Nous expliquerons l'utilité d'une soudure Si/Si haute température par rapport à une soudure basse température, et nous préciserons le moment où cette étape doit être insérée afin de ne pas modifier le bilan thermique du process global. Nous présenterons les différentes structures réalisées ainsi que les résultats de caractérisations sous pointes obtenus sur les premiers prototypes.

Le chapitre 4 traite d'un nouveau type de composant. En effet, nous proposerons une structure IGBT bidirectionnelle à électrodes coplanaires. Cette structure est le résultat des constatations faites sur la structure étudiée dans les chapitres 2 et 3. Elle permet de remédier notamment au problème de l'encapsulation et devrait faciliter l'utilisation de techniques d'interconnexion 3D pour intégrer dans un même package le composant et son driver par exemple. Nous nous baserons sur des simulations physiques 2D pour étudier le fonctionnement du dispositif et nous proposerons un enchaînement d'étapes technologiques qui permettrait sa réalisation.

Références

[1] Florence CAPY. “Etude et conception d'un interrupteur de puissance monolithique à auto-commutation: le thyristor dual disjoncteur”, Thèse Université Paul Sabatier, 2009.

CHAPITRE 1

ETAT DE L'ART DES INTERRUPTEURS UNIDIRECTIONNELS ET BIDIRECTIONNELS COMMANDES EN TENSION

I. Introduction

Pour des applications qui nécessitent des interrupteurs bidirectionnels, il est souhaitable de disposer d'interrupteurs monolithiques bidirectionnels en courant et en tension commandés par MOS. A ce jour, ce type d'interrupteur n'existe pas et différentes techniques sont utilisées pour synthétiser cette fonction.

Nous commencerons ce chapitre par une brève description des interrupteurs utilisés en électronique de puissance. Nous enchaînerons ensuite par un court état de l'art des principales évolutions technologiques réalisées dans les structures IGBT unidirectionnelles. Ce travail de recherche bibliographique nous permettra de mettre en lumière les avancées technologiques notables réalisées sur les structures unidirectionnelles que l'on pourrait exploiter ultérieurement afin d'améliorer les performances des structures bidirectionnelles. En effet, dans certains cas, les structures bidirectionnelles se réduisent à une intégration monolithique de deux structures unidirectionnelles montées en antiparallèle. Nous n'avons en revanche pas décrit les améliorations apportées par les techniques d'amincissement de substrats ainsi que par les techniques d'assemblage, qui facilitent un refroidissement double face, notamment pour le cas des structures IGBT unidirectionnelles [1].

L'objectif principal du travail mené dans cette thèse étant de développer une structure bidirectionnelle commandée par MOS et intégrée monolithiquement, nous avons consacré une grande partie de ce chapitre à l'analyse des différentes techniques qui permettaient jusqu'à ce jour de réaliser des interrupteurs capables de fonctionner sur le réseau alternatif. Nous exposerons pour cela les deux méthodes généralement utilisées et qui sont basées soit sur l'association de composants à semi-conducteur unidirectionnels ou sur l'utilisation d'un seul composant monolithique. A l'issue de cette description, nous mettrons en évidence les difficultés purement technologiques d'une part et liées à la commande d'autre part qui ont ralenti le développement des structures bidirectionnelles commandées en tension.

Nous exposerons ensuite la problématique de la commande liée à l'utilisation de deux références de potentiels différents rencontrée lors de l'utilisation des ac switch. En effet, à l'exception de quelques structures qui sont basées notamment sur une structure triac, la plupart des structures bidirectionnelles commandées en tension nécessitent de commander les électrodes de grilles par rapport à deux références de potentiels différents. Dans des applications où l'on ne dispose pas de possibilités pour commander les grilles par rapport à deux références, une solution basée sur l'utilisation de deux structures IGBT complémentaires (N-IGBT et P-IGBT) pourrait être envisagée. Nous décrirons succinctement le montage et nous mettrons en évidence les éventuelles sources d'une différence de performances entre les structures P-IGBT et N-IGBT.

Le souci permanent de vouloir intégrer davantage de fonctionnalités avec le composant de puissance nous amène logiquement à la fin du chapitre à aborder le thème de l'intégration des circuits

intégrés de puissance, dans son ensemble, afin d'illustrer grossièrement l'impact du choix de la technologie de réalisation sur les performances du circuit intégré de puissance résultant de l'intégration d'un circuit de traitement de signal et d'un circuit de puissance. Nous exposerons à ce stade une nouvelle technique d'interconnexion 3D proposée par nos partenaires du G2ELab et qui devrait ouvrir de nouvelles perspectives pour l'émergence de structures à commande MOS et à électrodes coplanaires. Nous clôturerons le chapitre par une description de l'intégration fonctionnelle que nous utilisons au LAAS ainsi que des développements technologiques requis qui permettraient sur le long terme l'intégration de nouvelles fonctions qui mettent en œuvre des éléments passifs et actifs. De ce fait, un autre type d'intégration, qui s'inscrirait comme une évolution naturelle de l'intégration fonctionnelle classique, devrait permettre la réalisation sur et dans le volume du silicium les nouvelles fonctions. Ce nouveau mode d'intégration correspondrait davantage à l'intégration hétérogène 3D car bien que le matériau de base (substrat) reste du silicium, des matériaux autres que le silicium devraient être utilisés pour la réalisation des différents composants (passifs et actifs). La mise en place de nouvelles briques technologiques adaptées à une intégration hétérogène 3D pourrait a priori contribuer au développement de l'interrupteur « communicant » décrit en introduction générale. En effet, la diversité des éléments qui compose l'interrupteur nécessitera l'utilisation de nouvelles briques technologiques adaptées pour la réalisation des différents éléments sur un substrat silicium.

II. Les interrupteurs de puissance

Les systèmes de conversion d'énergie électrique, utilisés en électronique de puissances, sont constitués principalement de convertisseurs statiques d'énergie, dont la fonction première est de traiter l'énergie électrique circulant entre une source et sa charge. Ces convertisseurs, à leur tour, sont composés essentiellement d'interrupteurs à base de composants à semi-conducteur de puissance (IGBTs, MOSFETs, GTOs, Transistors bipolaires, Triacs, Thyristors, diodes).

Le rôle d'un interrupteur de puissance est d'autoriser ou de stopper le passage du courant. Il présente deux états statiques (état bloqué et état passant) et il doit remplir les fonctions suivantes :

- *A l'état bloqué :* supporter des tensions élevées (de quelques centaines de volts à plusieurs kV) avec un faible courant de fuite.
- *A l'état passant :* conduire un courant élevé (de quelques A à plusieurs kA) avec une faible tension à leurs bornes.
- *En commutation* **:** commuter le plus rapidement possible afin de réduire autant que possible les pertes en commutation.

À ce jour, aucun interrupteur de puissance développé ne satisfait les trois exigences simultanément, ce qui nécessite de choisir l'interrupteur pour un domaine d'application spécifique.

En électronique de puissance, la classification des interrupteurs à semi-conducteur se fait en fonction de besoins imposés par la nature des sources d'énergie (continue ou alternative, de courant ou de tension) et de l'application souhaitée, ainsi que par les propriétés des composants [2]. Selon les applications, les composants de puissance peuvent être :

- Des interrupteurs qui peuvent conduire le courant dans un sens et supporter des tensions négatives (ou positives), on parlera ***d'interrupteurs unidirectionnels en courant et en tension***, comme le cas de la diode (Figure 1-1-a).
- Des interrupteurs qui peuvent conduire le courant dans les deux sens et supporter des tensions positives (ou négatives), on parlera ***d'interrupteurs bidirectionnels en courant et unidirectionnels en tension***, comme le cas du thyristor dual (Figure 1-1-b).
- Des interrupteurs qui peuvent conduire le courant dans un sens et supporter des tensions positives et négatives, on parlera ***d'interrupteurs unidirectionnels en courant et bidirectionnels en tension***, comme le cas des RB-IGBT (Figure 1-1-c)
- Des interrupteurs qui peuvent conduire le courant dans les deux sens et supporter des tensions négatives et positives, on parlera ***d'interrupteurs bidirectionnels en courant et en tension***, comme le cas du triac (Figure 1-1-d).

Les interrupteurs de puissance adaptés pour telle ou telle application sont généralement choisis pour leurs modes de commande souhaitées, la tension de blocage et le courant à faire transiter , la fréquence de commutation désirée, la bidirectionnalité en courant, la bidirectionnalité en tension et parfois la bidirectionnalité en courant et en tension.

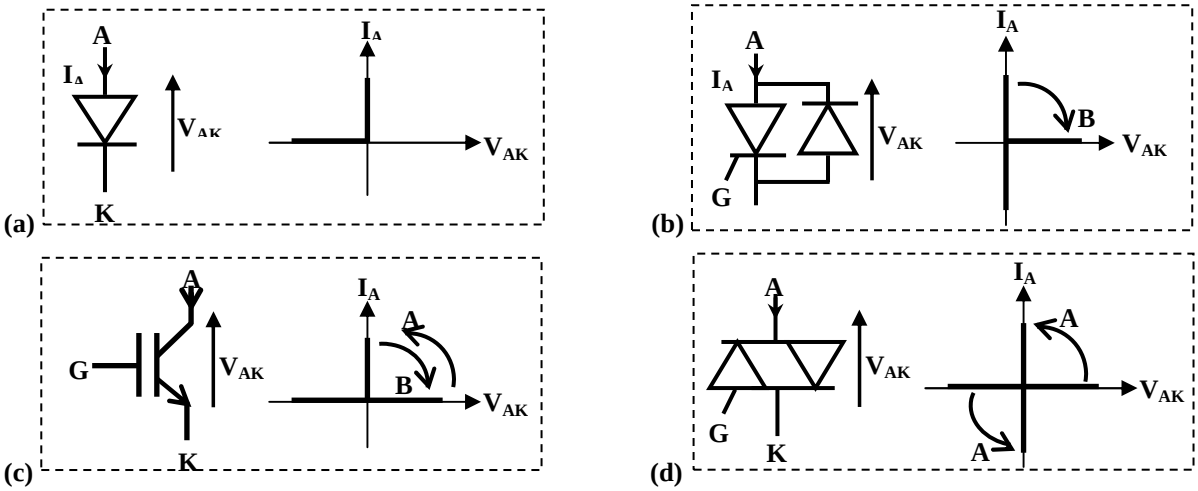


Figure 1-1. Symbole et caractéristique statique idéalisée d'une diode (a), d'un thyristor dual (b), d'un IGBT classique (c) et d'un triac (d) (**B** : Blocage, **A** : Amorçage)

III. Evolution des structures IGBTs unidirectionnelles en courant

L'un des critères de sélection des composants de puissance est leur commande. Il existe des composants commandables en courant tels que le transistor bipolaire et le triac. Ce genre de commande est toutefois complexe et relativement gourmande en puissance. Il existe également des composants commandés en tension tels que le MOSFET et l'IGBT. Ces dispositifs sont caractérisés par une très grande impédance d'entrée et nécessitent une puissance de commande relativement faible comparée aux dispositifs commandés en courant. Cette caractéristique permet de réduire la complexité du circuit de commande, qui doit simplement fournir assez de courant pour charger et décharger les capacités internes de ces composants [3].

La structure IGBT associe les avantages du transistor bipolaire en conduction et du transistor MOSFET en commutation. De ce fait, l'IGBT est devenu l'un des composants le plus utilisé en électronique de puissance pour des applications allant jusqu'à 10 kW avec des fréquences pouvant atteindre 20 kHz [4]. Les avantages apportés par la structure IGBT dans les applications de puissance depuis sa commercialisation ont stimulé la recherche sur ce composant afin d'améliorer constamment ses performances et par conséquent élargir son champ d'application. Cela a conduit par conséquent à l'émergence d'un grand nombre de structures dérivées de la structure IGBT classique. Dans ce qui suit, nous décrirons brièvement quelques structures IGBTs unidirectionnelles proposées dans la littérature.

III-1. IGBT unidirectionnel à technologie planar

Les deux premières structures IGBT développées sont la structure NPT (Non Punch Through) et la structure PT (Punch Through). La première structure est apparue en 1982 et la deuxième structure est apparue en 1985 [5]. A partir de cette datte et jusqu'à aujourd'hui plusieurs technologies ont été développées pour ces deux types de structure afin d'améliorer davantage leurs caractéristiques électriques et de faciliter leur utilisations.

III-1-1. IGBT NPT (Non Punch Through)

La structure d'un IGBT NPT est représentée sur la Figure 1-2 ci-contre. Cette structure est constituée d'une zone N- épaisse faiblement dopée. L'épaisseur de cette zone permet à la charge d'espace de s'étendre librement à l'état bloqué. Sa grande épaisseur fait que la zone de déplétion n'atteint jamais la région P^+ d'anode, d'où l'origine de son appellation (Non Punch Through). La structure NPT est destinée à des tensions de blocage supérieures à 1200 V [6].

L'avantage principal de la structure NPT est qu'elle est technologiquement facile à réaliser et par conséquent moins coûteuse.

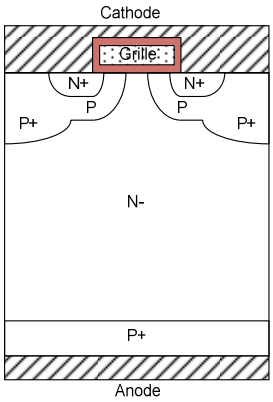


Figure 1-2. IGBT NPT

En effet, les régions qui la composent sont réalisées par simples diffusions ou implantations sur un substrat N-. La structure NPT permet en outre de supporter des tensions élevées en augmentant l'épaisseur du substrat N- mais cela est toutefois pénalisant pour la chute de tension à l'état passant. La quantité de charges stockées dans la zone N- lors de la conduction peut être contrôlée par l'efficacité d'injection des trous côté anode, cela peut se faire en agissant par exemple sur l'épaisseur ou le dopage de la région P^+ d'anode [7].

III-1-2. IGBT PT (Punch Through)

La structure d'un IGBT PT est représentée sur la Figure 1-3. Cette structure est une solution pour remédier au problème de la chute de tension élevée que présente la structure NPT. En effet, elle contient une couche d'épitaxie N^- plus fine qui lui permet de présenter une chute de tension plus faible que celle d'une structure NPT pour la même tenue en tension. Le substrat utilisé pour fabriquer un IGBT PT est de type P+ sur lequel on fait croître par épitaxie une couche N+ (couche tampon) puis la couche N- de la base. La couche tampon N fait décroître rapidement le champ électrique en polarisation directe bloquée, ce qui permet d'avoir une bonne tenue en tension pour une base N- fine.

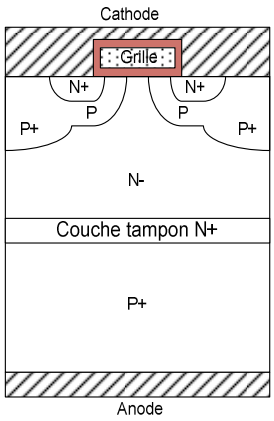


Figure 1-3. IGBT PT

Elle fait perdre en revanche au composant son aptitude à supporter des tensions à l'état bloqué inverse (tension anode-cathode négative). Cette couche contribue à la réduction de la charge stockée dans la base N- durant la conduction et également à l'extraire lors de l'ouverture de l'IGBT afin de permettre au composant de commuter plus rapidement. La couche tampon N réduit en revanche l'efficacité d'injection de la jonction (P+ d'anode/N) ce qui conduit à une augmentation de la chute de tension à l'état passant. Toutefois, elle permet d'utiliser une base N- plus fine que dans un IGBT NPT, ce qui permet d'améliorer la chute de tension [8].

La structure PT est préférable pour des IGBTs dans des applications où la tenue en tension est inferieure à 1200 V. Au-delà, il est nécessaire de faire croître par épitaxie une région N- épaisse, ce qui rend la réalisation difficile et coûteuse [5].

III-1-3. IGBT Field Stop (IGBT FS)

La structure d'un IGBT FS est représentée sur la Figure 1-4.

La structure IGBT FS est similaire à celle d'une structure IGBT PT. Ces couches sont réalisées par le même procédé que celui utilisé pour la structure IGBT NPT. L'originalité de cette structure est de combiner les avantages des structures PT et NPT. La couche N « field stop » est moins dopée que la couche tampon de la structure PT de telle sorte que les avantages de la structure NPT comme le contrôle de l'injection de trous par l'anode et de la durée de vie des porteurs ne soient pas affectés. Le rôle de la couche N « field stop » est seulement de limiter l'extension de la zone de charge d'espace à l'état bloqué direct [9].

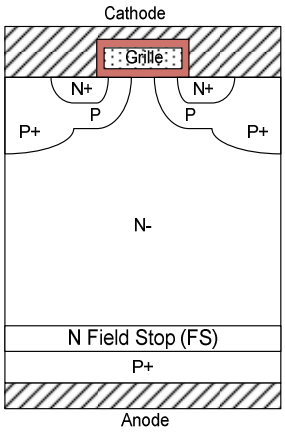


Figure 1-4. IGBT FS

Pour une même tenue en tension, l'épaisseur d'une structure IGBT NPT peut être réduite d'un tiers. A titre d'exemple, une tension de 1200 V peut être supportée avec une structure IGBT FS de 120 µm d'épaisseur au lieu d'une épaisseur de 175 µm pour une structure IGBT NPT [9].

La structure IGBT FS permet d'avoir des pertes en commutation à l'ouverture et en conduction plus faibles que celles d'un IGBT NPT et des pertes en commutation à l'ouverture plus faibles que celles d'un IGBT PT [9].

Comparaison des structures PT, NPT, FS IGBT

Le tableau 1.2 synthétise la comparaison faite sur les paramètres technologiques des trois structures d'IGBT (PT, NPT et FS) présentées précédemment ainsi que sur leurs caractéristiques électriques pour une même tenue en tension [9], [10].

	PT	NPT	FS
Région P+ d'anode	Fortement dopée, forte injection de trous dans la zone drift N-	Faiblement dopée, l'injection est contrôlée	Faiblement dopée, l'injection est contrôlée
Zone drift N-	Epitaxie (faible épaisseur)	Epaisseur moyenne	Epaisseur faible
Couche tampon N	Fortement dopée : Permet de stopper le champ électrique et diminuer l'efficacité injection de trous	Sans couche additionnelle	Faiblement dopée : Pour stopper uniquement le champ électrique
Pertes en conduction	Faibles	Moyennes	Faibles
Pertes en commutation à l'ouverture	élevées	Moyenne	Faibles

Tableau 1.2 : Comparaison des structures d'IGBT PT, NPT et FS pour une tenue en tension identique [9], [10]

III-2. IGBT unidirectionnel à grille en tranchées

III-2-1. Trench Gate IGBT (TIGBT)

La structure d'un IGBT à grille en tranchée représentée sur la Figure 1-5 a été proposée en 1987 après les trois structures citées précédemment [5]. Cette technologie a été utilisée bien avant cette date sur des structures VDMOS afin d'améliorer la chute de tension en réduisant la résistance du canal qui est dominante pour les basses tensions [11]. La conception de structures en se basant sur cette technologie permet de réduire la taille des sections MOS afin d'occuper utilement la surface de la puce destinée à cette réalisation, contrairement à la technologie planar où les sections MOS occupent une surface importante par unité de surface vu leur taille qui est limitée technologiquement par la diffusion et la photolithographie [12].

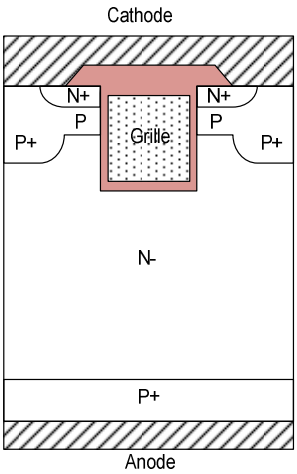


Figure 1-5. TIGBT

De ce fait, les structures à tranchées permettent d'augmenter la densité des canaux MOS par unité de surface et par conséquent la capacité en courant est améliorée. Cette technologie élimine complètement l'effet JFET entre les substrats P des cellules N-IGBT [13] et améliore également le niveau de courant de latch-up du thyristor parasite [14]. Les inconvénients de cette technologie sont d'une part liés au très fort courant en court-circuit du fait de sa grande transconductance et d'autre part au procédé technologique pour sa réalisation qui est plus complexe que celui des structures basées sur la technologie planar [15]. Il faut toutefois signaler que cette technologie est aujourd'hui maîtrisée et est très utilisée.

III-2-2. IEGT (Injection Enhanced Gate Transistor)

Toshiba a proposé pour la première fois en 1993 une structure IGBT à grille en tranchée avec amélioration du coefficient d'injection des électrons côté cathode appelé IEGT (Injection Enhanced Gate Transistor) dans le but de combiner les avantages du thyristor GTO en conduction et les avantages de l'IGBT à grille en tranchée en commutation [16]-[18]. Une vue en coupe de la structure avec illustration du profil des porteurs est donnée sur la Figure 1-6.

L'objectif de cette technique est d'augmenter l'efficacité d'injection des électrons α_n (le rapport entre le courant des électrons et le courant total) côté cathode afin d'avoir un profil de porteurs qui se rapproche davantage de celui d'une diode PIN et par conséquent réduire la chute de tension à l'état passant.

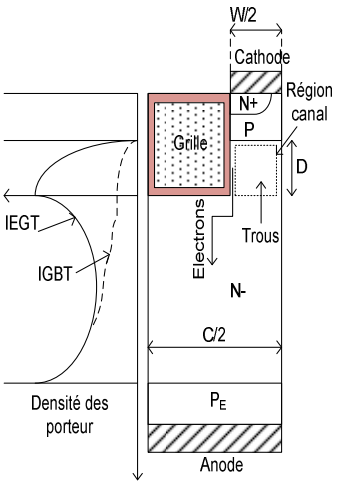


Figure 1-6. IEGT

L'étude effectuée sur cette structure a montré que l'efficacité d'injection côté cathode est directement proportionnelle au rapport DC/W (W, D : largeur et profondeur de la région du canal respectivement, C : largeur de la cellule) [16], [19]. Donc, pour améliorer davantage α_n l'efficacité d'injection côté cathode, il est important d'avoir des tranchées aussi profondes et étroites que possible.

Un exemple de réalisation de structure de tenue en tension 4,5 kV montre que la capacité en courant à l'état passant de la structure IEGT proposée par Toshiba est largement supérieure à celle d'une structure IGBT à grille à tranchée conventionnelle, et cela sans dégrader les performances en dynamique [16], [17].

L'IEGT peut remplacer le GTO dans les applications hautes tensions parce que la chute de tension dans l'IEGT est similaire à celle du GTO. En outre, l'IEGT est commandable en tension par une grille MOS contrairement au GTO qui est commandable en courant par sa gâchette [9].

III-2-3. CSTBT (Carrier Stored Trench Bipolar Transistor)

La structure CSTBT (Figure 1-7) a été proposée par Mitsubishi Electric Corporation en 1996 [20]. Cette structure utilise une couche N sous les diffusions P tel que représenté en Figure 1-7 ci- contre afin d'avoir une distribution de porteurs à l'état passant dans la zone drift N- similaire à celle d'une diode PIN. Cela permet de réduire davantage la chute de tension à l'état passant [20][21]. En effet, les trous injectés par la région P+ dans la région drift N- diffusent à travers cette dernière et sont collectés par la région P de la cathode comme dans un IGBT conventionnel (planar ou à grille en tranchée TIGBT). Toutefois, la présence d'une couche N dans la structure CSTBT empêche les trous

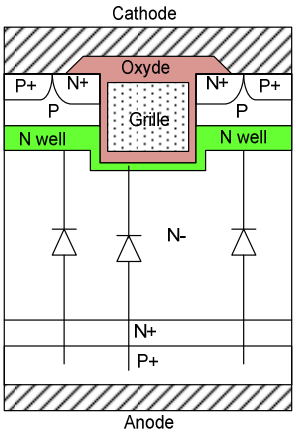


Figure 1-7. CSTBT

d'atteindre la région P de la cathode.

Ces trous sont stockés dans la région N- côté cathode [20], ce qui augmente la concentration des porteurs dans ce côté. Le profil de porteurs dans la région N- est ainsi similaire à celui d'une diode PIN et par conséquent la chute de tension devient proche de celle d'une diode PIN [20].

La chute de tension dans le CSTBT diminue en augmentant la profondeur de la couche N, mais la tension de claquage à l'état bloqué direct chute rapidement à partir d'une certaine profondeur [20].

Des caractérisations de structures CSTBT (1700 V) ont montré que le CSTBT offre une chute de tension faible à l'état passant et présente des performances en dynamique équivalentes à celles d'un TIGBT (1700 V) conventionnel [20].

III-3. Autres structures IGBT dérivées de l'IGBT à technologie planar

III-3-1. HiGT (High Conductivity IGBT)

La structure HiGT (Figure 1-8) a été proposée en 1998 par Hitachi [22].

La structure HiGT contient, par rapport à une structure IGBT planar conventionnelle, une couche N entourant la région P de la cathode. Cette couche est connue sous l'appellation hole- barrier layer [22]. A l'état passant, une barrière de potentiel créée entre la couche N barrière des trous et la région drift N- empêche les trous injectés par l'anode d'atteindre la région P de cathode. Ces trous sont stockés dans la zone N- proches de la cathode, ce qui module davantage la conductivité de la zone N- et permet de réduire davantage la chute de tension à l'état passant par rapport à un IGBT classique [22], [23].

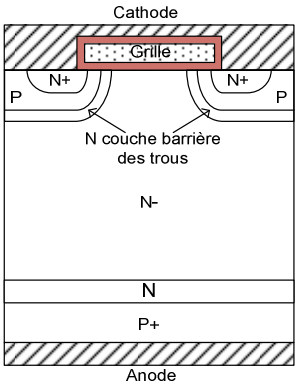


Figure 1-8. HiGT

La concentration en dopant de la couche barrière est contrôlée de telle sorte qu'à l'état bloqué direct cette couche N rajoutée soit complètement déplétée avant le claquage [22]. Selon leurs résultats de caractérisations, la structure HiGT par rapport à une structure IGBT classique permet de réduire les pertes en conduction sans affecter les pertes en commutation [22], [23].

III-3-2. SJBT (Super Junction Bipolar Transistor)

D'une façon générale, l'amélioration des performances des structures IGBT a été exclusivement basée sur trois principales technologies innovantes [24]:

- La technologie FS (Field Stop).
- La technologie à tranchée.
- La technologie permettant d'améliorer l'efficacité d'injection côté cathode (IEGT, CSTBT, HiGT…).

Par la suite, l'apparition de la technologie à super jonction a permis des structures silicium innovantes [24]-[26].

Ainsi, la technologie à super jonction a été utilisée pour la première fois sur les MOSFETs dont la tenue en tension à l'état bloqué et la chute de tension à l'état passant semblaient limitées par le dopage et l'épaisseur de la région drift. Cette technologie consiste à remplacer la région de drift par une alternance de régions verticales N et P fortement dopées (par rapport au dopage de la région de drift d'un MOSFET classique) et judicieusement agencées afin d'améliorer le compromis tenue en tension/chute de tension en direct sans affecter les autres performances [25].

Dans les structures à super jonction, les régions N et P sont conçues avec la même largeur et même dopage. Ces derniers doivent êtres optimisés de telle sorte que les couches P et N soient complètement dépeuplées à l'état bloqué. Dans ces conditions, la tenue en tension ne dépendra plus du dopage mais seulement de l'épaisseur de ces couches [24]-[27]. Ce principe permet donc d'améliorer la chute de tension à l'état passant en augmentant le dopage et la tenue en tension en augmentant l'épaisseur de ces couches P et N.

Une comparaison effectuée sur des dispositifs IGBT 1,2 kV de types FS-IGBT et SJBT a montré qu'il est possible, avec une structure SJBT, d'améliorer la chute de tension à l'état passant de 20% et les pertes à l'ouverture de 50% par rapport à un FS-IGBT [28]. L'inconvénient des structures à super jonctions est que leur procédé technologique est complexes [29]. Une vue en coupe de la structure SJ IGBT ou SJBT [24] est présentée sur la Figure 1-9.

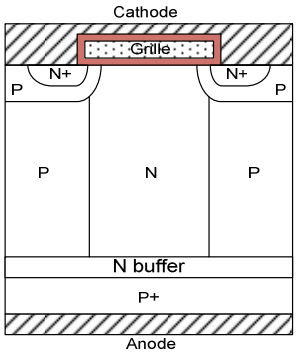


Figure 1-9. SJBT

IV. Synthèse de la fonction interrupteur bidirectionnel en courant et en tension

Les applications sur réseau alternatif nécessitent l'utilisation d'interrupteurs bidirectionnels en courant et en tension. Cette bidirectionnalité peut être assurée en synthétisant la fonction par l'association de plusieurs composants ou en utilisant un seul dispositif intégré monolithiquement.

IV-1. Par association d'éléments discrets

Dans certaines applications, les dispositifs de puissance unilatéraux et commandés par MOS, comme l'IGBT, le MCT, le MOSFET, sont souvent associés à des diodes pour réaliser ces interrupteurs bidirectionnels en courant et en tension.

Des exemples d'associations de ce type d'éléments pour réaliser des interrupteurs bidirectionnels [30], [31] sont donnés sur la Figure 1-10.

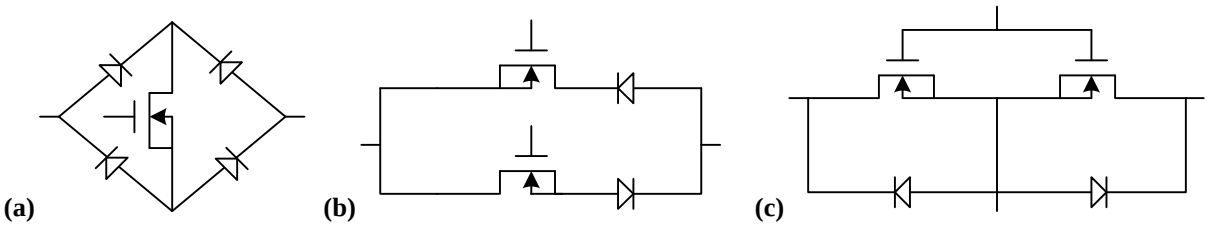


Figure 1-10. Exemples d'associations d'éléments discrets pour synthétiser des interrupteurs bidirectionnels en courant et en tension.

L'interrupteur donné par la Figure 1-10-a est facile à commander. En effet, un seul interrupteur est utilisé dans ce pont de diodes. Mais son inconvénient est qu'il présente une chute de tension importante à l'état passant. Ceci est dû au fait que le courant, à l'état passant, traverse trois composants : deux diodes et un transistor. L'interrupteur donné par la Figure 1-10-b, par rapport au précédent, permet de diminuer la chute de tension à l'état passant: une diode et un transistor conduisent durant chaque alternance. Toutefois, il nécessite deux éléments unidirectionnels et exige l'utilisation d'un circuit auxiliaire pour pouvoir décider, selon l'alternance, qui des deux dispositifs unidirectionnels doit conduire, ce qui rend son coût de réalisation plus élevé comparé à celui de la Figure 1-10-a. Outre ce problème, l'interrupteur de la Figure 1-10-b utilise deux éléments unidirectionnels commandés par des grilles MOS référencées par rapport à deux références de potentiels différents. L'alternative la plus simple est montrée sur la Figure 1-10-c, cet interrupteur utilise des transistors MOS verticaux (VDMOS). Il nécessite seulement deux composants puisque les deux diodes correspondent à la diode inhérente aux structures VDMOS. Les deux grilles sont reliées entre elles et sont référencées par rapport à la source, ce qui rend la commande plus simple.

IV-2. Par utilisation de structures monolithiques commandées par MOS

Afin de développer un interrupteur bidirectionnel commandé par MOS susceptible de supplanter le triac, plusieurs travaux de recherche ont été menés et beaucoup de structures ont été proposées. Ces structures devraient simplifier, pour le concepteur des systèmes de puissance, le circuit de commande des interrupteurs et améliorer l'efficacité de ces derniers dans des applications de contrôle et de conversion de l'énergie électrique. D'une manière générale, les structures proposées dans la littérature peuvent être classifiées suivant leurs architectures en structures verticales et en structures latérales. Des exemples de structures de chaque catégorie sont décrits ci-après :

IV-2-1. Structures latérales

Les structures latérales sont d'une grande importance pour les concepteurs de circuits intégrés de puissance car elles sont faciles à intégrer [32] et elles ne posent pas de problème d'isolation du contact présent sur la face inférieure du substrat. Cependant, elles sont limitées en densité de courant.

a. Thyristor planar à gachette isolée (TRIMOS)

Cette structure (Figure 1-11) a été proposée par James D.Plummer en 1980 [33]. Il est constitué de deux cellules de type DMOS séparées par une diffusion N^+. Cette diffusion empêche l'inversion en surface de la zone de drift N^- [33]. Selon le niveau de courant, cette structure est capable de fonctionner en mode DMOS, IGBT ou thyristor. Cette structure présente toutefois une tension de claquage faible (autour de 150 V) et de par sa configuration latérale, elle est limitée en densité de courant.

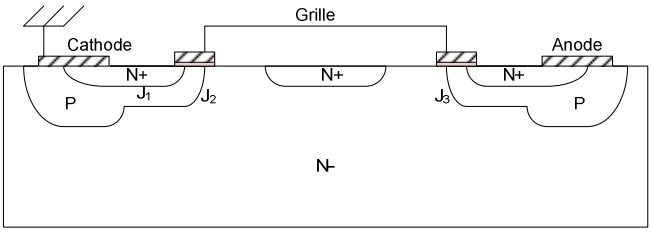


Figure 1-11. Une vue en coupe de la structure TRIMOS.

b. Lateral Planar MOS-gate AC switch

Ce dispositif a été proposé par M.Mehrotra et B.J Baliga [34] en 1997. Une vue en coupe de la structure est donnée sur la Figure 1-12. Le dispositif est composé principalement de deux structures MOS-thyristor montées tête-bêche. Chaque électrode de grille est référencée par rapport à une électrode de puissance. En effet, la grille1 est référencée par rapport à l'anode et la grille2 est référencée par rapport à la cathode. Lorsqu'une tension positive est appliquée sur la grille1 par rapport à la cathode tandis que la grille2 est reliée à l'anode, un canal N sous la grille1se forme et des électrons sont injectés dans la zone de drift-N^-. Par conséquent des trous sont injectés par la base2-P dans la zone de drift N^-. Une partie de ces trous se recombine dans la zone de drift et l'autre partie est collectée au niveau de la base1-P et circule latéralement sous la diffusion base1-N pour atteindre la cathode. Pour un faible courant de trous, le dispositif fonctionne en mode IGBT latéral. Cependant, le courant de trous croît avec l'augmentation de la tension appliquée sur l'anode et lorsque la jonction base1-P/base1-N devient passante, la région base1-N injecte des électrons dans la zone de drift N^- ce qui constitue le courant de base pour le transistor base2-P/N-/base1-P. Cette injection conduit au *latch-up* du thyristor base2-P/N-/base1-P/base1-N. Une fois le thyristor déclenché, le courant du dispositif n'est plus limité par le transistor MOS, ce qui permet au dispositif de transiter des courants importants avec une faible chute de tension à l'état passant.

Les deux inconvénients majeurs de la structure sont notamment le fait qu'elle soit limitée en densité de courant et également le fait que ses électrodes de grilles doivent être commandées par rapport à deux références de potentiels différents.

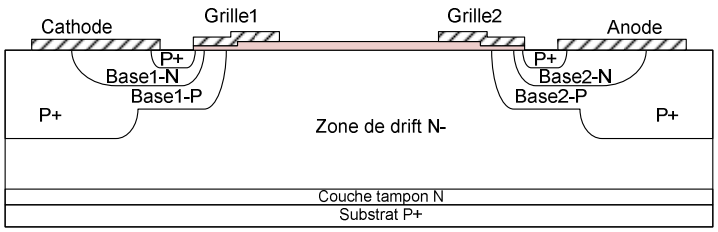


Figure 1-12. Vue en coupe verticale du lateral Bilateral MCT-IGBT (LBMIGT)

c. Bidirectional IGBT with P^+ diverter

Une vue en coupe du LBIGBT (Lateral Bilateral IGBT) [34] est donnée sur la Figure 1-13. Dans le premier quadrant, l'électrode2 est polarisée positivement par rapport à l'électrode1. Lorsqu'une tension positive est appliquée sur la grille1, des électrons sont injectés dans la zone de drift N^- et par conséquent des trous sont injectés du côté de la base2-P est collectés par le P^+diverter qui est relativement plus profond que la base1-P et le dispositif fonctionne en mode IGBT. Pour le bloquer, il suffit de réduire la tension appliquée sur la grille1 en dessous de la tension de seuil. Lorsque le courant de trous collectés sur le côté base1-P est assez élevé pour permettre la mise en conduction de la jonction base1-P/base1-N le thyristor s'amorce. Le blocage du dispositif est possible par application d'une tension négative sur la grille1 (mode BRT). D'une manière semblable, dans le troisième quadrant, l'électrode2 est polarisée négativement et joue le rôle de cathode mais l'électrode1 joue le rôle d'anode avec la grille 1 reliée à l'électrode1 et la grille2 contrôle le fonctionnement du dispositif et elle est référencée par rapport à l'électrode2. Vu la nature symétrique du *LBIGBT*, le mode de fonctionnement dans le troisième quadrant est identique au fonctionnement obtenu dans le premier quadrant.

Les deux inconvénients majeurs de la structure sont notamment le fait qu'elle soit limitée en densité de courant et également le fait que ses électrodes de grilles doivent être commandées par rapport à deux références de potentiels différents.

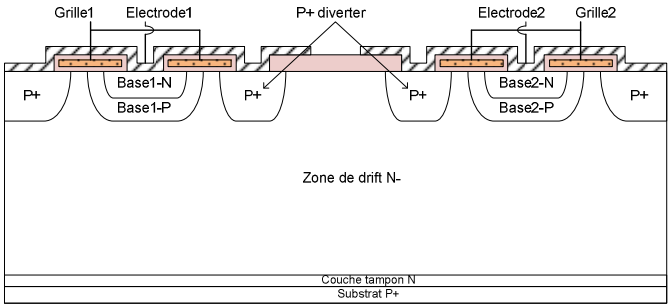


Figure 1-13. Vue en coupe de l'IGBT bidirectionnel avec un P+ diverter (LBIGBT).

IV-2-2. Structures verticales

Les structures verticales sont très intéressantes pour les applications hautes puissances. Comparées aux structures latérales, elles permettent de faire transiter des courants importants avec une faible chute de tension à l'état passant d'une part et de bloquer des tensions élevées d'autre part.

a. Structures MOS-thyristors

1). Structure "planar MOS-gated AC switch"

Cette structure (Figure 1-14-a) a été proposée par Baliga en 1995 [35]. La mise en conduction du dispositif dans ce quadrant s'effectue par application d'une tension positive sur la grille1 et d'une tension négative sur la grille2. L'application d'une tension négative sur la grille2 crée un canal P qui permet de relier la base P (flottante) et la région de cathode P. Les deux régions P (flottante) et N de cathode constituent la jonction émetteur-base du transistor bipolaire N^+PN^-. Le MOSFET(M1) est utilisé pour assurer l'injection d'électrons dans la base N^-. Selon la tension appliquée sur la grille1, la structure peut fonctionner soit en mode IGBT ou thyristor comme décrit ci-après :

Pour de faibles tensions appliquées sur l'anode, le courant traversant le composant passe directement par la résistance JFET et le canal du MOSFET(M2). Ce courant augmente jusqu'à ce que la jonction P^+ (de l'anode)/N- devient passante. À cet instant-là, les trous sont injectés dans la région N^- et collectés par la base P. Ces trous circulent latéralement à travers cette zone et passe par le canal du MOSFET(M2). Selon le niveau de la densité de ce courant et la valeur de la résistance de la base P, le dispositif peut fonctionner en mode IGBT ou thyristor. Tant que la tension aux bornes de la jonction d'émetteur est inférieure à 0,7V, le dispositif fonctionne en mode IGBT et permet de limiter des courants d'anode pour des tensions élevées (FBSOA). Cependant, dès que cette jonction d'émetteur devient passante, le dispositif se déclenche en mode thyristor et permet ainsi de transiter des courants importants avec une faible chute de tension à l'état passant.

Dans le troisième quadrant, la grille G1 est reliée à la masse et une tension négative est appliquée sur la grille G2, ce qui permet la création d'un canal P. Dès qu'une tension négative est appliquée entre anode et cathode, un courant de trous circule à travers le MOSFET à canal P (M2), la jonction P/N, puis il se divise par la suite en deux composantes : une composante I_{h1} qui passe directement par la résistance JFET pour atteindre l'anode et une autre I_{h2} qui est collectée par la jonction P/N polarisée en inverse (côté anode). Ce courant de trous dû à I_{h2} circule latéralement à travers la région P pour atteindre l'anode. Ce courant I_{h2} développe une chute de tension aux bornes la zone P (côté anode). Une fois que cette tension atteint 0,7V, le thyristor s'amorce. Cependant, ce courant du thyristor passe à travers le canal du MOSFET(M2), donc il est contrôlé par la tension appliquée sur la grille G2. Le fait qu'une partie du courant d'anode passe directement par le canal du MOS permet à cette structure de limiter des courants d'anode.

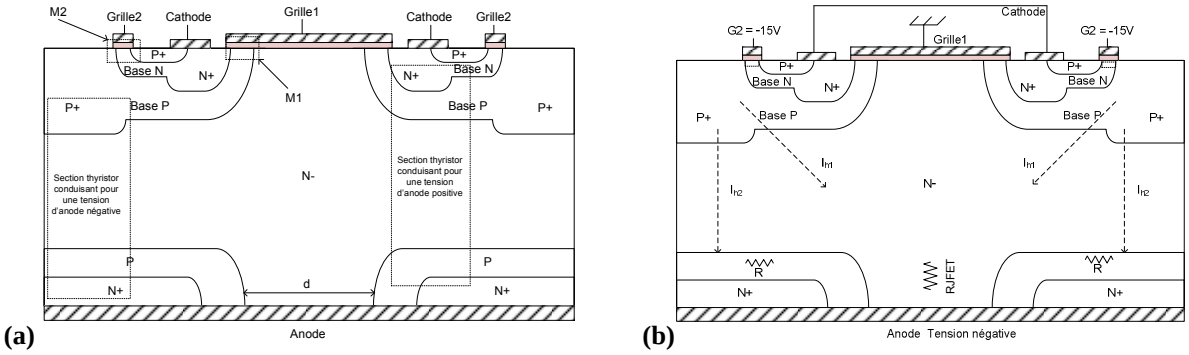


Figure 1-14. (a) Vue en coupe de la structure MOS-gated ac switch(b) répartition des lignes de courant dans la structure avant déclenchement dans la 3ème quadrant

L'inconvénient majeur de la structure est lié au fait qu'à l'état bloqué inverse la structure présente des fuites importantes [35].

2). IGTR (Insolated Gate Triac)

La structure IGTR proposée par Ajit [36] est représentée en Figure 1-15. L'IGTR est commandé à la fermeture et à l'ouverture par des tensions de grille positives et négatives. A l'état direct (tension anode-cathode positive), le composant bascule de l'état direct bloqué à l'état passant par application d'une tension de grille positive. Le retour à l'état bloqué s'effectue par application d'une tension de grille négative. A l'état inverse (tension anode-cathode négative), le composant est constitué d'un thyristor en série avec un PMOS. Dans ce régime de fonctionnement, le composant est contrôlé par la tension de grille du PMOS. A l'état bloqué direct, la base P est connectée à la masse (cathode) par le PMOS. La jonction base P/N^- devient polarisée en inverse et la tension appliquée sera supportée par la région N^- faiblement dopée.

A l'état passant inverse, le composant est constitué d'un PMOS en série avec une diode (base P/N^-). Une partie du courant de la diode est contrôlée par la jonction (P face arrière/N^-) polarisé en inverse (courant de fuite). Le courant de la diode collecté par la diffusion P face arrière circule latéralement sous la diffusion N^{++} et constitue un courant de base pour le transistor NPN . La mise en conduction de ce transistor entraine l'enclenchement du thyristor. Le composant est maintenu à l'état passant inverse par application d'une tension de grille négative. L'ouverture du composant s'effectue par application d'une tension de grille positive. A l'état bloqué inverse, la jonction P face arrière/N^- devient polarisée en inverse et la tension sera supportée par la région N^-.

L'inconvénient majeur de la structure est lié au fait qu'il est difficile d'avoir le déclenchement en mode thyristor dans le troisième quadrant.

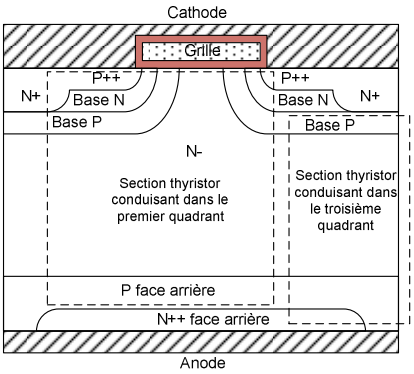


Figure 1-15. Vue d'une coupe verticale d'une structure IGTR.

b. Structures IGBT bidirectionnelles

1). Double gate-injection enhanced gate transistor (DG-IEGT)

La structure DG-IEGT proposée par Yuming Bai [37] est une structure bidirectionnelle en courant et en tension. À l'état passant, son fonctionnement ressemble à celui de l'IEGT. Cette structure est conçue de la même manière qu'une structure IEGT. La différence réside au niveau de la face arrière. En effet la région P+ face arrière de l'IEGT a été remplacée par une section MOS identique à celle présente en face avant (Figure 1-16). Du fait que le DG-IEGT possède deux grilles ; une du côté anode et l'autre du côté cathode, le composant présente quatre modes de fonctionnement tel que c'est représenté en Figure 1-16.

Mode 1 : $V_{Gc} > 0$, $V_{Ga} > 0$:

V_{Gc} représente la tension de grille-cathode Gc par rapport la cathode et V_{Ga} représente la tension de grille-anode Ga par rapport l'anode. Dans ce mode le DG-IEGT peut fonctionner en deux états ; état passant direct si $V_{ac} > 0$ et état passant inverse si $V_{ac} > 0$. Le DG-IEGT conduit comme un MOSFET et présente une chute de tension élevée. Ce mode de fonctionnement doit être évité. Cependant, pour le passage de l'état passant à l'état bloqué, ce mode peut servir comme une étape intermédiaire afin d'extraire les porteurs excédentaires de la région drift N^- et par conséquent de réduire les pertes en commutation.

Mode 2 : $V_{Gc} > 0$, $V_{Ga} < 0$:

Dans ce mode, le DG-IEGT fonctionne comme une diode PIN (ou comme un IEGT classique) en deux états : direct passant et inverse bloqué. A l'état passant direct le DG-IEGT présente une faible chute de tension et à l'état inverse bloqué le composant est capable de tenir des tensions élevées.

Mode 3 : $V_{Gc} < 0$, $V_{Ga} < 0$:

Dans ce mode, le DG-IEGT fonctionne en deux états bloqués: direct et inverse.

Mode 4 : $V_{Gc} < 0$, $V_{Ga} > 0$:

Dans ce mode le DG-IEGT fonctionne comme une diode PIN en inverse en deux états : état bloqué direct et état inverse passant. Vue la symétrie de la structure, le fonctionnement dans ce mode est semblable à celui du mode 2, sauf que le sens du courant traversant le composant et la tension de blocage est inversé. Caractéristiques électriques du DG-IEGT à la fermeture.

La structure DG-IEGT présente quelques inconvénients. En effet, du fait qu'elle possède une grille MOS sur chaque face du wafer, elle est par conséquent difficile à réaliser technologiquement et d'autre part difficile à encapsuler. En outre, les grilles sont commandées par rapport à deux références de potentiels différents ce qui rend le circuit de commande complexe.

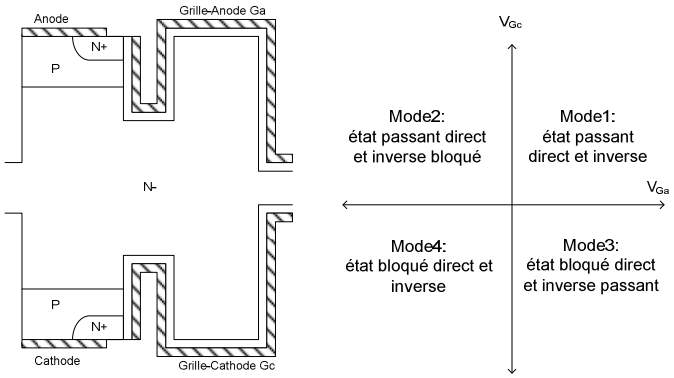


Figure 1-16. Vue en coupe verticale d'une structure DG-IEGT et modes de fonctionnement

2). Structures IGBT bidirectionnelles réalisées par soudure directe Si/Si en basse température

La technique de soudure Si/Si directe a été utilisée pour réaliser des structures IGBT bidirectionnelles. Cette technique fait partie de notre travail et sera par conséquent étudiée en détail dans les deuxième et troisième chapitres. Une première structure IGBT bidirectionnelle a été réalisée par Hobert en utilisant la technique de soudure Si/Si directe à faible température (400 °C) [38]. Cette structure est composée de deux sections MOS, une section placée sur la face avant et l'autre sur la face arrière de la plaquette (Figure 1-17). Cette structure présente les inconvénients suivant :

Du fait qu'elle soit réalisée par la technique de soudure Si/Si à basse température (400 °C), l'interface de collage contient des voids (cf. chapitre 3). La nécessité de commander les électrodes de commande par rapport à deux références de potentiels différents rend le circuit de commande complexe. La présence d'une section MOS sur chaque face du substrat rend le process technologique de fabrication et d'encapsulation complexe.

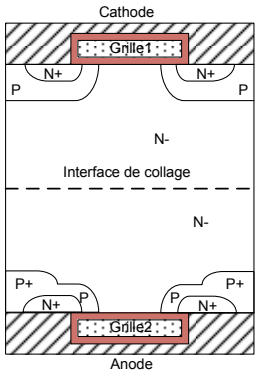


Figure 1-17. Vue en coupe verticale d'une structure IGBT bidirectionnelle réalisée par soudure Si/Si directe.

V. Structure IGBT bidirectionnelle à base de structures IGBT complémentaires

Les structures bidirectionnelles présentées précédemment nécessitent généralement de commander les électrodes de commande (de grilles) par rapport à deux références de potentiels différents. Par conséquent, le circuit de commande devient complexe et coûteux. Une solution qui pourrait être envisagée, pour des applications où la commande en tension par rapport à une seule électrode de référence est imposée, est basée sur l'association de deux IGBT complémentaires. En effet, on pourrait associer en antiparallèle un N-IGBT avec un P-IGBT (in package par exemple) pour obtenir un ac switch tel que représenté sur la Figure 1-18. En régime établi, la densité de porteurs libres dans la zone de drift (N^-, P^-) respectivement des structures (N-IGBT, P-IGBT) dépasse largement le dopage de ces dernières (en fort niveau d'injection). Par conséquent, les chutes de tension dans les deux types de transistors devraient êtres identiques. Les deux structures diffèrent en revanche aux niveaux des contributions des canaux des transistors NMOS et PMOS ainsi qu'aux niveaux des gains des transistors NPN et PNP qui compose respectivement le N-IGBT et le P-IGBT.

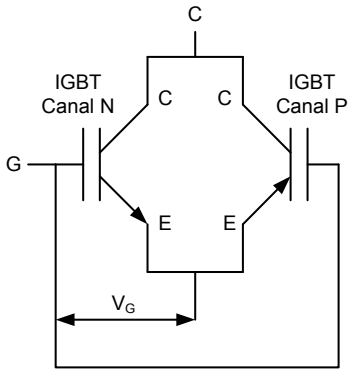


Figure 1-18. Interrupteur bidirectionnel obtenu par la mise en parallèle d'un P-IGBT et d'un N- IGBT [2].

VI. L'intégration de fonctions auxiliaires avec l'interrupteur de puissance

Dans le domaine des circuits intégrés de puissance, l'intégration peut concerner à la fois les circuits basse tension/puissance ainsi que les circuits haute tension/puissance. Cette intégration peut être réalisée en utilisant deux technologies différentes et qui permettent de réaliser les deux types de circuits (basse et haute tension) au lieu d'utiliser un seul type de technologie (de puissance ou de signal) pour réaliser les deux types de circuits. L'avantage majeur de l'utilisation d'une seule technologie pour intégrer les deux types de circuits est le coût. Toutefois, cela se fait souvent au détriment des performances du circuit intégré de puissance. L'utilisation de deux technologies différentes permettant chacune de réaliser un type de circuit permet de réaliser sur deux puces différentes les deux types de circuits. L'avantage majeur se traduit dans ce cas essentiellement par les fonctions complexes que l'on pourra réaliser pour les circuits basse tension (traitement de signal). En effet, l'utilisation d'une technologie adaptée à chaque type de circuit permettra de bénéficier des dernières avancées réalisées dans chaque type de technologie.

D'une façon générale, dans des applications où un nombre limité de fonctions auxiliaires (traitement de signal) est nécessaire, l'utilisation de la technologie du composant de puissance pour la réalisation du circuit intégré est mieux adaptée [39]. Dans le cas où la fonction intégrée nécessite des fonctions de traitement de signal complexes et est destinée à des applications fortes puissances, il est préférable de réaliser les fonctions de traitement de signal et le composant de puissance sur deux puces séparées. Ces deux puces seront ensuite intégrées dans un même package. Un exemple de circuits intégrés réalisé selon cette dernière technique est représenté en Figure 1-19. En effet, tout circuit dans le rectangle en pointillés (power Switch, PWM contrôler et le start-up circuit) peut être intégré dans un même boîtier [40].

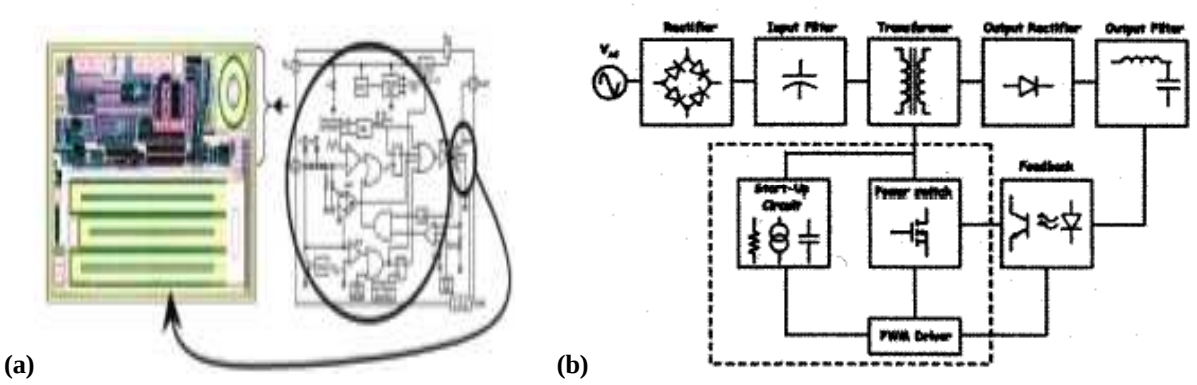


Figure 1-19. Sense FET power switch intégré monolithiquement [39], (b) schéma bloc d'un SMPS [40].

Afin d'améliorer davantage les performances des systèmes de puissance intégrés, une nouvelle technique d'interconnexion 3D basée sur le flip chip de la puce du driver de grille, du composant de puissance, sur la puce du composant de puissance a été proposée [41]. Ceci devra permettre de minimiser la connectique et par conséquent augmenter la fiabilité du système de puissance. Une vue

d'ensemble du composant de puissance intégrant en hybride et en surface une puce de commande et une capacité de stockage est donnée en Figure 1-20. Cette technique devrait stimuler le développement d'un nouveau type de dispositifs de puissance dits à électrodes coplanaires.

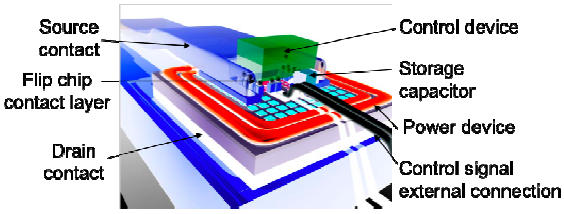


Figure 1-20. Vue d'un composant de puissance avec report en surface de la partie commande incluant la capacité de stockage [41].

Nous disposons au LAAS d'une filière technologique dite IGBT flexible. Cette technologie permet de réaliser des fonctions intégrées monolithiquement en se basant sur la technologie du composant de puissance. Par conséquent, les fonctions auxiliaires que l'on peut rajouter sont limitées. Pour développer de nouvelles fonctions intégrées nous nous basons sur le concept de l'intégration fonctionnelle.

La démarche en intégration fonctionnelle consiste à développer des briques élémentaires pour réaliser différentes fonctions. Ces briques peuvent être constituées d'un seul composant ou d'une association de composants. L'ensemble des briques fonctionnelles obtenues permet de constituer une bibliothèque de cellules, que le concepteur utilise pour toute nouvelle réalisation de dispositif [42]. Cette démarche de conception a permis de réaliser de nombreuses fonctions spécifiques qui se divisent en deux catégories :

- Les fonctions de puissance intégrées, qui sont des interrupteurs présentant des caractéristiques statiques ou modes de commutation originaux. Ces fonctions peuvent être de simples associations interrupteur-diode ou des fonctions plus complexes de type bistables ou auto-amorçables et autoblocables. Les fonctions qui entrent dans cette catégorie sont par exemple le thyristor dual [43], le micro-disjoncteur [44]-[46], l'IGTH [47][48], l'IGBT bidirectionnel en courant et en tension [49], .. ;

- Les fonctions auxiliaires intégrées qui contribuent à améliorer la fiabilité des interrupteurs et leur sécurité. Par exemple les fonctions de protection contre les courts-circuits [50], les fonctions de protection contre les surtensions [51][52], les surcourants [53]-[55], les fonctions de contrôle , les alimentations de commandes rapprochées[56][57].

L'évolution logique de ces travaux consiste à réunir ces deux types de fonctions (protection, commande d'une part et interrupteur d'autre part) pour concevoir de nouvelles fonctionnalités de commutation de puissance dans le contexte de la conversion d'énergie. Cette démarche permettra de développer des puces de silicium intégrant des fonctionnalités de plus en plus complexes et réalisant

des dispositifs autonomes fiables et compacts (intégration des commandes, des alimentations, des protections, du refroidissement …).

Mais cette augmentation de la complexité des fonctions de puissance nécessite le développement d'étapes technologiques spécifiques compatibles avec la technologie de base du composant de puissance. Ce développement conjoint entre les fonctions intégrables et les étapes technologiques spécifiques, illustré sur la Figure 1-21, est le résultat de l'évolution d'une filière technologique flexible, décrite dans le prochain paragraphe. L'évolution de cette filière découle des progrès réalisés ces dernières années dans les techniques utilisées dans le domaine des microtechnologies : la gravure profonde du silicium par RIE (gravure ionique réactive), les dépôts chimiques en phase vapeur haute pression (CVD) ou basse pression (LPCVD), les dépôts de résine épaisses, les dépôts électrochimiques, la thermomigration de l'aluminium... Une partie des travaux actuels s'oriente vers le développement d'étapes pour la réalisation de nouvelles fonctionnalités de stockage de l'énergie, d'isolation, de transmission de commande isolée qui font intervenir des matériaux diélectriques, magnétiques, ferro électriques ou piezo électriques, externes aux filières silicium classique. Ces étapes spécifiques devront être intégrées dans le procédé de fabrication des composants de puissance et permettront à terme de concevoir des structures de puissance intégrant en leur cœur des éléments actifs et passifs et ainsi de développer de nouvelles fonctionnalités qui tendent à se rapprocher des micro-systèmes. Dans le futur, les interrupteurs intégrés qui comprendront leur commande, leur protection et peut être même leur refroidissement seront donc des objets hétérogènes 3D à l'image de certains microsystèmes développés aujourd'hui.

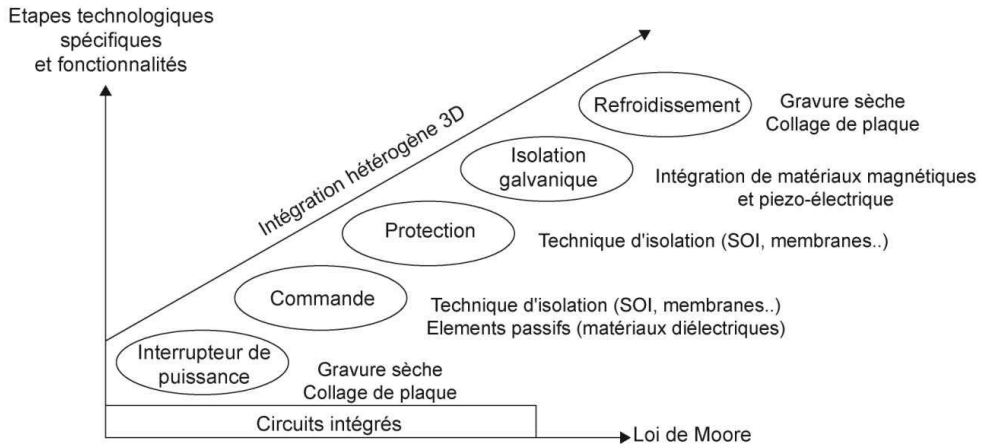


Figure 1-21. Evolution des fonctions intégrables liée au développement d'étapes technologiques spécifiques.

VII. Conclusion

L'étude bibliographique non exhaustive présentée dans ce chapitre permet de montrer l'intérêt que l'on a accordé depuis plusieurs années aux interrupteurs bidirectionnels en courant et en tension commandés en tension. Le développement d'un tel interrupteur apportera des avantages très intéressants aux concepteurs de systèmes de conversion de l'énergie électrique. En effet, cela pourrait se traduire par :

- Une plus grande facilité de commande et par conséquent la réduction de la complexité du circuit de commande,
- La réduction du nombre de composants utilisés et par conséquent réduire le coût du montage,
- Une amélioration des performances à l'état passant et/ou en commutation ce qui conduit à la réduction des pertes. Cela permettra la réduction de la taille des systèmes de refroidissement.

Nous avons présenté dans un premier temps succinctement quelques structures IGBT unidirectionnelles proposées dans la littérature. Nous les avons présentées dans l'ordre chronologique de leurs publications ce qui nous semble refléter le mieux l'apport des nouvelles techniques de réalisations pour l'amélioration des performances des composants IGBT unidirectionnels. Ce travail pourrait permettre d'exploiter ces techniques déjà validées dans les structures unidirectionnelles pour en faire bénéficier les structures bidirectionnelles.

Nous avons ensuite présenté les différentes techniques qui permettent de réaliser des interrupteurs bidirectionnels. En effet, nous avons présenté la technique basée sur l'association d'éléments discrets. Cette technique conduit à des montages qui sont d'une part encombrants et d'autre part qui présentent des chutes de tension à l'état passant élevées. Nous avons également présenté quelques structures MOS-thyristor (verticales et latérales) bidirectionnelles. Les structures ainsi proposées avaient pour objectif de remplacer le triac qui a pour inconvénient majeur d'être commandé en courant et uniquement à la fermeture. Nous avons constaté qu'un grand nombre de structures ont été proposées dans la littérature. Toutefois, chacune des structures présente des avantages et des inconvénients ce qui limite ainsi leur champ d'applications. En effet, les structures latérales sont limitées en densité de courant, en tension de claquage et nécessitent quelques fois que les électrodes de grille soient référencées par rapport à deux références de potentiels différents. Les structures verticales que nous avons présentées ont certains inconvénients. En effet, on peut citer :

- La difficulté d'amorcer une des structures dans le troisième quadrant,
- Les fuites importantes que présente une des structures à l'état bloqué inverse,
- La nécessité de commander les grilles par rapport à deux références de potentiels différents,
- La difficulté de réalisation technologique et mise en boîtier de certaines structures.

Une structure IGBT bidirectionnelle en courant et en tension à technologie planar a été présentée. Elle a été réalisée avec la technique de soudure Si/Si à basse température (400 °C). Des caractérisations de substrats obtenus par soudure Si/Si ont toutefois montré qu'ils contiennent des voids (voir chapitre 3).

L'objectif long terme de ce travail étant de développer un interrupteur bidirectionnel commandé en tension intégré (monolithiquement ou in package) avec son électronique de commande, nous avons par conséquent décrit brièvement quelques stratégies d'intégration de circuits intégrés de puissance rencontrés dans la littérature. Nous avons également décrit la démarche d'intégration selon le concept d'intégration fonctionnelle utilisé au LAAS et nous avons pour cela mis en évidence les besoins en termes de briques technologiques compatibles avec le process du composant de puissance que nous devrions mettre en place afin de permettre l'intégration de nouvelles fonctions avec le composant de puissance.

Références

[1] Hsueh-Rong, Jiankang Bu, George Kong and Ricky Labayen. "300A 600V 70um Thin IGBT with Double-Sided Cooling". ISPSD'11, PP. 320-323, 2011.

[2] JAYANT BALIGA, "Power semiconductor devices". 1995.

[3] L.Théolier, "Conception de transistors MOS haute tension (1200 Volts) pour l'électronique de puissance", Thèse Université Paul Sabatier, 2008.

[4] Stéphane Lefebvre, Francis Miserey. « composants à semi-conducteur pour l'électronique de puissance ». 2001.

[5] B. JAYANT BALIGA, "Trends in power semiconductor devices". IEEE transactions on electronics devices, Vol. 43, n° 10, October 1996. P 1717-1731.

[6] R. Siemieniec, M. Netzel "Comparison of PT and NPT cell concept for 600 V IGBTs", EPE'97

[7] These « étude, conception et réalisation des circuits de commande des modules IGBT de fortes puissance ». INSA de Lyon. 2005.

[8] Hefner, A., and Blackburn, D. A Performance Trade-O_ for the Insulated Gate Bipolar Transistor: Bu_er Layer Versus Base Lifetime Reduction. IEEE Transactions on Power Electronics, Vol. PE-2 (July 1987), No. 3, pp. 194-207.

[9] T. Laska, M. Münzer, F. Pfirsch, C. Schaeffer and T. Schmidt, "The Field Stop IGBT (FS IGBT) – A New Power Device Concept with a Great Improvement Potential," Proc. SPSD'2000, pp355-358, 2000.

[10] Dr. Florin Udrea." IGBTs: concept, state-of-the art technologies, and derivatives". ISPSD'09, 2009, PP. 1-62.

[11] Ueda, D., Takagi, H., and Kano, G. A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistance. IEEE Transactions on Electron Devices, Vol. 32, No. 1, 1985, pp. 2-5.

[12] Udrea, F., and Amaratunga, G. Theoretical and Numerical Comparison Between DMOS and Trench Technologies for Insulated Gate Bipolar Transistors. IEEETransactions on Electron Devices, Vol. 42, No. 7, juillet 1995, pp. 1356-1366.

[13] Chang, H., and Baliga, B. 500-V n-Channel Insulated-Gate Bipolar Transistor with a Trench Gate Structure. IEEE Transactions on Electron Devices, Vol. 36, No. 9, 1989, pp. 1824-1829.

[14] Chang, H.R.; Baliga, B.J.; Kretchmer, J.W.; Piacente, P.A. "Insulated gate bipolar transistor (IGBT) with a trench gate structure" IEEE, Vol. 33, 1987, Page(s): 674 – 677.

[15] Onishi, Y.; Momota, S.; Kondo, Y.; Otsuki, M.; Kumagai, N.; Sakurai, K. Analysis on device structures for next generation IGBT 1998 , Page(s): 85 – 88.

[16] Omura, M. K. I., Hasegawa, S., Inoue, T., and Nakagawa, A. A 4500 V Injection Enhanced Insulated Gate Bipolar Transistor (IEGT) Operating in a Mode Similar to a Thyristor. IEDM, 1993, pp. 28.3.1 - 28.3.4.

[17] M.Kitagawa, S.Hasegawa, T.Inoue, A.Yahata and H.Ohashi, "4.5kV Injection Enhanced Gate Transistor: Experimental Verifkation of the Electrical Characteristics", Jpn. J. Appl. Phys. Vol.36 P: 3433-3437, 1997.

[18] P.M. Igic, M.S. Towers, P.A. Mawby "A 2D physically based compact model for advanced power bipolar devices", Microelectronics Journal 35 (2004) P:591–594.

[19] Omura, I., Ogura, T., Sugiyama, K., and Ohashi, H. Carrier injection enhancement effect of high voltage MOS devices-Device physics and design concept. Proceedings of the International Symposium on Power Semiconductor Devices & ICs (ISPSD), 1997.

[20] Takahashi, H.; Haruguchi, H.; Hagino, H.; Yamada, T.; Carrier stored trench-gate bipolar transistor (CSTBT)-a novel power device for high voltage application. Proceedings of the International Symposium on Power Semiconductor Devices & ICs (ISPSD'96), 1996 , Page(s): 349 – 352.

[21] Takahashi Hideki Takahashi, Shinji Aono, Eiji Yoshida Junichi Moritani and Shiro Hine 600V CSTBT Having Ultra Low On-State Voltage. Proceedings of the International Symposium on Power Semiconductor Devices & ICs (ISPSD'01), 2001 , Page(s): 445 – 448.

[22] Mori, M.; Uchino, Y.; Sakano, J.; Kobayashi, H.; A novel high-conductivity IGBT (HiGT) with a short circuit capability. Proceedings of the International Symposium on Power Semiconductor Devices & ICs (ISPSD 98), 1998, Page(s): 429 - 432.

[23] Mori, M.; Oyama, K.; Arai, T.; Sakano, J.; Nishimura, Y.; A Planar-Gate High-Conductivity IGBT (HiGT) With Hole-Barrier Layer . Electron Devices, IEEE Transactions on, 2007, Volume: 54, Page(s): 1515 – 1520.

[24] MoriMarina Antoniou, Florin Udrea, and Friedhelm Bauer.; The Superjunction Insulated Gate Bipolar Transistor Optimization and Modeling. IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 57, NO. 3, MARCH 2010.

[25] Deboy G, Marz M, Stengel JP, Strack H, Tihanyi J, Weber H. A new generation of high voltage MOSFETs breaks the limit line of silicon. In: Proc. IEDM, 1998. p. 683–5.

[26] Friedhelm D. Bauer. The super junction bipolar transistor: a new silicon power device concept for ultra low loss switching applications at medium to high voltages. Solid-State Electronics, Volume 48, Issue 5, May 2004, Pages 705-714.

[27] Marina Antoniou, Florin Udrea: Simulated Superior Performance of Superjunction Bipolar Transistors. International Semiconductor Conference, 2006, 27-29 Sept. 2006, Pages 293 - 296.

[28] Dr. Florin Udrea: IGBTs: concept, state-of-the art technologies, and derivatives. ISPSD 2009, 2006 14 June 2009.

[29] Yu Chen; Liang, Y.C.; Samudra, G.S.; Xin Yang; Buddharaju, K.D.; Hanhua Feng; Progressive Development of Superjunction Power MOSFET Devices . Electron Devices, IEEE Transactions on , Volume: 55, 2008, Page(s): 211 – 219.

[30] F. Misery, H. Kerboua, D. Sebille "1200 V snuberless symmetrical GTO for ac switches". The European Power Electronics Association, PP. 272-277, 1993.

[31] C. Glaize, F. Forest and F. Charef, " Study of power bidirectional switches using MOS-transistors", 3rd International conference. PA IEE Conference Publication, 1988. Vol. n° 291. PP. 51-53.

[32] Mohamed N. Darwish, M. Ayman Shibib, "Lateral MOS-Gated Power Devices – A unified view", IEEE transactions on Electron Devices, Vol. 38, NO. 7, July 1991.

[33] J.D. Plummer, B.W. Scharf, "Insulated gate planar thyristors: I- Structure and Basic Operation", IEEE Transactions on Electron Devices, Vol.ED-27, NO.2, February 1980.

[34] M. Mehrotra, J. Baliga, "Reverse blocking lateral MOS-gated switches for AC power control applications", Solid-State Electronics, Vol. 42, No. 4, pp. 573-579, 1998.

[35] Manoj Mehrotra and B.J. Baliga, "A Planar MOS-Gated AC Switch Structure", IEEE IEDM 1995, pp. 349-352.

[36] J.S. Ajit, R. Dutta and D. Kinzer; Insulated Gate Triac: Device peration and Applications. Power Electronics Specialists Conference, 1998. PESC 98 , Volume: 2, 1998 , Page(s): 1180 - 1185.

[37] Yuming Bai , Alex Q. Huang; Comprehensive investigations of high voltage non-punchthrough double gate-injection enhanced gate transistor. Solid-Slate Electronics, Vol.44. Page(S): 1783-1787. 2000.

[38] Hobart, K.D.; Kub, F.J.; Dolny, G.; Zafrani, M.; Neilson, J.M.; Gladish, J.; McLachlan, C; Fabrication of a Double-Side IGBT by Very Low Temperature Wafer Bonding. Proceedings of the International Symposium on Power Semiconductor Devices & ICs (ISPSD 99). Page(s): 45-48. 1999.

[39] Alexander Craig Staff (Fairchild Semiconductor), "to integrate or not to integrate?", www.powersystemsdesign.com, July/August 2005.

[40] Lorenzo M. Selgi et al.," High voltage monolithic P-MOS with integrated start-up structure", CIPS 2006, Naples, Italy.

[41] Simonot Timothé, Rouger Nicolas, Crebier J-C, Gaude Victor, Irène Pheng. " Anovel power system in Pakage with 3D chip on chip interconnections of the power transistor and its gate driver", ISPSD'11, 2011, PP. 328-331.

[42] M. MARMOUGET "Contribution au développement d'outils d'aide à la conception de dispositifs de puissance basés sur le mode d'intégration fonctionnelle". Thèse de doctorat de l'Université Paul de Sabatier de Toulouse soutenue le 30 juin 2000.

[43] M. BREIL "Etude d'associations MOS-thyristor autoamorçables et blocables. Exemple d'intégration de la fonction thyristor dual" .Thèse de doctorat de l'Institut National des Sciences Appliquées de Toulouse soutenue le 7 janvier 1998.

[44] J.P. LAUR, J.L. SANCHEZ, P. AUSTIN, J.JALADE, M.MARMOUGET, M.BREIL, M.ROY. « New integrated device for units protection : circuit breaker structures ». 8th European Conference on Power Electronics and Applications (EPE'99), Lauzanne, Switzerland, September 7-9, 1999, 6p.

[45] R.MITOVA « Intégration de l'alimentation de la commande rapprochée dun interrupteur de puissance à potentiel flottant ». Thèse de doctorat de l'Institut National Polytechnique de Grenoble soutenue le 27 octobre 2005.

[46] O.GUILLEMET « Etude et conception de micro-disjoncteurs intégrés basées sur le mode d'intégration fonctionnelle ». Thèse de doctorat de l'Université Paul de Sabatier de Toulouse soutenue le 5 février 1998.

[47] M. BREIL, J.L. SANCHEZ, P. AUSTIN, J.P. LAUR, J. JALADE, J-B. QUOIRIN Exploring various MOS-thyristor associations for a new power integrated function : the IGTH 30th European Solid-State Device research Conference, ESSDERC 2000, Cork,Ireland, 11-3. September, pp.384-387.

[48] M. BREIL, J.L. SANCHEZ, P. AUSTIN, J.P. LAUR, J. JALADE, R. PEZZANI, F. DUCLOS, M. ROY J.B. QUOIRIN Design and optimization of MOS-thyristor structures with a di/dt active control capability for light dimming applications 9th conference on Power Electronics and Applications, EPE2001, 27-29 August 2001, Graz, Austria, CD-ROM.

[49] A. BOURENNANE Etude et conception de structures bidirectionnelles en courant et en tension commandées par MOS.Thèse de doctorat de l'Institut National des Sciences Appliquées de Toulouse soutenue le 7 juillet 2004.

[50] C. CARAMEL, P. AUSTIN Capteur de tension intégré pour la protection des IGBTs contre les courts-circuits JNRDM'03, Toulouse, 14-16 mai 2003.

[51] Y. YAMAZAKI et al. The IGBT with a monolithic over-voltage protection circuit ISPSD'93, 1993, pp. 41-45.

[52] Z. JOHN SHEN et al. Design and characterization of the 600 V IGBT with monolithic overvoltage protection PESC'96, 1996.

[53] Y. SEKI et al. A new IGBT with a monolithic over-current protection circuit ISPSD'94, 1994, pp.31-35.

[54] Z. JOHN SHEN, S.P. ROBB Monolithic integration of the vertical IGBT and intelligent protection circuits ISPSD'96, 1996.

[55] N. IWAMURO et al. A new vertical IGBT structure with a monolithic over-current, over-voltage, and over-temperature sensing and protecting IEEE Electron Device Letters, Vol. 16, N° 9, septembre 95.
[56] R. MITOVA, J.C. CREBIER, L. AUBART, C. SCHAEFFER Fully integrated gate drive supply Around Power switches IEEE Transactions on Power Electronics, Vol. 20, 2005, pp.650-659.
[57] N. ROUGER et al. Fully integrated driver power supply for insulated gate transistor. ISPSD'06, Naples (Italy), 2006.

CHAPITRE 2

ETUDE PAR SIMULATION D'UNE STRUCTURE IGBT BIDIRECTIONNEL

I. Introduction

Les interrupteurs commandés par MOS et destinés à des applications sur le réseau alternatif domestique sont d'un grand intérêt car ils permettront de simplifier le circuit de commande. De nos jours, le seul composant bidirectionnel en courant et en tension réalisé monolithiquement et commercialisé est le triac [1]. Cependant le triac est commandé en courant et il nécessite une quantité d'énergie relativement élevée pour son fonctionnement, principalement dans le troisième quadrant, et il n'est pas compatible avec les circuits de commande de type circuits intégrés. Afin de réduire cette quantité d'énergie et de faciliter sa commande pour qu'il soit piloté par des circuits intégrés, plusieurs structures MOS-thyristor ont été proposées telles que le TRIMOS [2] et le BEST[3], qui sont des interrupteurs bidirectionnels ayant une configuration latérale. Il est à noter que ces dispositifs ont des tensions de claquage faibles, de 150V et 70V. Une autre structure latérale, le Bi-CTC[4], a été proposée, mais elle nécessite l'utilisation de grilles de commande référencées par rapport à deux électrodes de potentiels différents. En outre, elle est limitée en densité de courant du fait de sa topologie latérale. Une structure verticale, la "MOS gated AC switch" [5], utilisant des grilles MOS de commande référencées par rapport à une seule électrode, a été proposée mais elle présente des fuites de courant importantes à l'état bloqué inverse. D'autres structures verticales [6], [7]ont été proposées, mais elles utilisent deux transistors MOS de commande : un sur la face supérieure et l'autre sur la face inférieure, ce qui complique le circuit de commande et pose des problèmes d'encapsulation du fait de la présence d'un transistor MOS face arrière. Des solutions pour résoudre ce problème ont été proposées [8], [9].

Ce travail de thèse a été mené dans le cadre du projet ANR MOBIDIC. Un des objectifs de ce projet est le développement d'un IGBT bidirectionnel en courant et en tension avec des électrodes de commande et de puissance sur les deux faces du substrat. Le G2ELab, partie prenante dans ce projet a travaillé sur le développement d'un packaging spécifique adapté à ce type de composant. De ce fait, nous avons mis de côté les difficultés inhérentes à l'encapsulation de ce type de dispositifs et nous nous sommes focalisés sur la partie relative à la conception de la puce de silicium de l'IGBT bidirectionnel.

Pour déterminer certains paramètres géométriques et physiques nécessaires pour la réalisation des composants d'une part et valider les paramètres imposés par la filière technologique d'autre part, nous nous sommes basés essentiellement sur des simulations physiques 2D sous l'environnement SENTAURUS. Afin d'identifier rapidement l'influence de certains paramètres sur les caractéristiques du composant, nous avons exploité des expressions théoriques déjà développées pour les structures IGBT unidirectionnelles. Afin de réaliser une structure bidirectionnelle, nous proposerons deux voies technologiques. Nous exposerons ensuite les avantages et les inconvénients de chaque technique. Nous mènerons ensuite une comparaison entre une structure IGBT bidirectionnelle et une structure IGBT

unidirectionnelle afin de mettre en évidence certains avantages apportés par l'intégration monolithique des deux structures IGBT.

II. Structure IGBT bidirectionnelle et principe de fonctionnement

II-1. Structure

Une vue en coupe de la structure IGBT bidirectionnel est représentée sur la Figure 2-1. Elle est constituée essentiellement de deux sections MOS disposés, face à face, sur les faces avant et arrière d'un substrat silicium faiblement dopé N^-. La différence principale entre cette structure et celle d'un IGBT classique unidirectionnel réside au niveau de la diffusion face arrière. En effet, dans le cas d'un IGBT unidirectionnel classique, la diffusion sur la face arrière est constituée d'une région fortement dopée bore (P^+). Cette intégration monolithique de deux IGBTs unidirectionnels confère à ce composant des propriétés qu'une association discrète (ou in package) ne permet pas. En effet, comme nous le détaillerons plus loin dans le texte, la présence de deux grilles de commande permet d'agir notamment sur les performances à l'ouverture du composant.

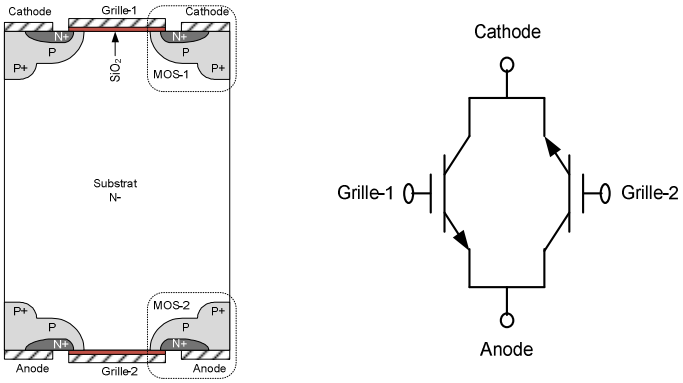
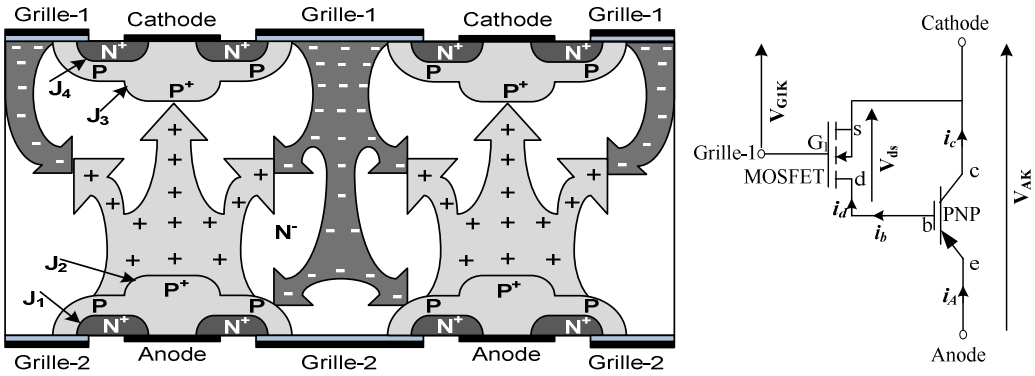


Figure 2-1.Vue en coupe verticale d'une structure IGBT bidirectionnelle en courant et en tension et le montage équivalent en discret

II-2. Principe de fonctionnement

En polarisation directe, la tension anode-cathode est positive et l'électrode de grille-2 est connectée à l'électrode d'anode pour éviter la création d'un canal de type N sous la grille-2, ce qui conduirait à la diminution de l'efficacité d'injection de la région P^+/N^- face arrière. Tant qu'aucune tension de grille-1 cathode positive n'est appliquée, aucun courant ne traverse la structure et le dispositif est à l'état bloqué. Dans ce cas, pour une tension anode-cathode positive, c'est la jonction J_3 qui supporte la tension appliquée et pour une tension anode-cathode négative, c'est la jonction J_2 qui supporte la tension appliquée. L'application d'une tension de grille-1 cathode (V_{G1K}) positive et suffisante permet de créer une couche d'inversion sous la grille-1 et par conséquent un canal de type N se forme sous cette dernière ce qui permet de connecter la source N^+ à la région drift N^-. La tension de grille appliquée crée également une couche d'accumulation dans la région N^- sous la grille-1. Du fait de la présence du canal, des électrons sont injectés dans le substrat N^-. Par conséquent, des trous sont injectés par la région P^+ face arrière. Une partie des trous injectés se recombine dans la base N- et le reste atteint la région P et circule latéralement sous la diffusion N^+ pour atteindre la cathode. La

présence simultanée des trous et d'électrons dans la base N- permet de moduler la conductivité de cette dernière et par conséquent de réduire la chute de tension à l'état passant.



(a) (b)

Figure 2-2. (a) Structure IGBT bidirectionnelle, (b) Circuit équivalent en fonctionnement à l'état passant direct d'un IGBT bidirectionnel.

En polarisation inverse, la tension anode cathode est négative et la grille-1 est connectée à la cathode. Pour que le composant passe de l'état bloqué inverse à l'état passant inverse, il suffit d'appliquer une tension grille-2 anode positive et suffisante. Du fait que la structure est parfaitement symétrique, le principe de fonctionnement est identique à celui de l'état passant direct.

III. Techniques de réalisation de la structure IGBT bidirectionnelle

III-1. Technique basée sur la photolithographie double face

Cette technique permet de fabriquer le composant IGBT bidirectionnel sur un seul substrat de silicium. La réalisation de tels composants se fait en plusieurs étapes technologiques. Chaque étape est réalisée en deux fois, sur la face avant puis sur la face arrière du substrat. Par exemple, pour réaliser le caisson N^+, on effectue une implantation d'arsenic sur la face avant puis on réalise la même implantation sur la face arrière. Il est à noter que lors de l'implantation d'une face, l'autre face doit être protégée pour éviter d'introduire des éléments contaminants nuisibles au fonctionnement du MOS.

L'avantage de cette technique réside dans le fait qu'un seul substrat est nécessaire, ce qui permet de réaliser des composants bidirectionnels avec des substrats les plus fins possible. En outre les propriétés physiques du substrat ne sont affectées par aucune étape technologique pouvant modifier les caractéristiques électriques du composant. En revanche, en utilisant cette technique, le procédé technologique utilisé devient très long et compliqué, en plus l'expérience a montrée que la qualité de l'oxyde de grille peut être dégradée et que les caractéristiques électriques en direct et en inverse ne seront pas par conséquent symétriques.

III-2. Technique basée sur la soudure directe silicium sur silicium (Si/Si)

Cette technique consiste à fabriquer simultanément la face avant et la face arrière d'une structure IGBT bidirectionnelle sur deux substrats de silicium puis à effectuer une soudure directe Si/Si de ces deux substrats pour réaliser le composant d'IGBT bidirectionnel final. La soudure se fait par l'assemblage des deux surfaces dans une enceinte à température ambiante sans l'utilisation d'un champ électrique ou d'une couche intermédiaire, suivi d'un recuit à haute température pour consolider l'interface de collage.

L'avantage de cette technique par rapport à celle de la lithographie double face est que son procédé technologique est beaucoup plus simple et prend moins de temps. En plus, cette technique permet de réaliser les différentes étapes technologiques relatives aux deux IGBTs en même temps, ce qui permet d'avoir les deux faces de la structure plus symétrique par rapport à première technique. Néanmoins, l'interface de collage issue de la soudure directe Si/Si peut engendrer des impuretés et des défauts qui affectent la durée de vie des porteurs minoritaires au niveau de l'interface. Cela a une influence sur les performances du composant notamment à l'état passant et à l'état bloqué [10].

III-3. Avantages et inconvénients de chaque technique

Après avoir expliqué le principe des deux techniques proposées pour la réalisation du composant IGBT bidirectionnel, nous récapitulons dans le tableau 2.1 les avantages et les inconvénients de chaque technique :

Technique basée sur la photolithographie double face	**Technique basée sur la soudure directe silicium sur silicium (Si/Si)**
Avantages : 1. Un seul substrat est nécessaire, ce qui permet de réaliser plus facilement des composants avec des substrats relativement minces. 2. Le procédé ne comporte pas d'étape de collage, ce qui permet d'avoir un substrat physiquement propre. 3. Bonne précision d'alignement des diffusions de la face arrière par rapport à celles de la face avant. 4. Le procédé ne contient aucune étape qui exige certaines conditions particulières comme la soudure.	**Inconvénients :** 1. Deux substrats sont nécessaires, ce qui rend difficile, la réalisation des composants avec des substrats minces. 2. Le procédé contient une étape de soudure qui affecte les propriétés physiques du substrat par des défauts et impuretés, modifiant la durée de vie des porteurs minoritaires et par conséquent les performances électriques du composant. 3. L'alignement des deux substrats peut être affecté à l'initialisation de la soudure Si/Si. 4. L'étape de soudure directe Si/Si est très sensible à la propreté, la planéité et la rugosité

Inconvénients : 1. Le procédé nécessite pour chaque étape une protection d'une face avant de travailler sur l'autre, ce qui rend le procédé très lent et plus complexe. 2. En travaillant sur deux faces du substrat, des contaminants peuvent être introduits ce qui peut nuire au fonctionnement du MOS. 3. La réalisation des diffusions de la face avant et celles de la face arrière ne peut pas être faite au même temps et dans les mêmes conditions. Cela affecte la symétrie du fonctionnement électrique du composant	des surfaces de silicium destinées au collage. **Avantage :** 1. En travaillant sur une seule face, le procédé utilisé devient plus simple et relativement rapide. 2. Le procédé utilisé permet de mieux protéger les sections MOS durant la réalisation de toutes les étapes. 3. La réalisation des différentes diffusions sur les deux faces se fait en même temps et dans les mêmes conditions, ce qui permet d'avoir des caractéristiques électriques symétriques.

Tableau 2.1 : Récapitulatif des avantages et inconvénients de chaque technique

IV. Simulation des structures IGBTs bidirectionnelles obtenues par les deux techniques

Cette section est consacrée à la simulation de la structure bidirectionnelle dans l'objectif de déterminer un ensemble de paramètres qui permettront de la réaliser. Ce travail est mené en nous basant sur des simulations 2D. Les paramètres technologiques sont en grande partie imposés par la filière technologique IGBT du LAAS. Les simulations 2D ont été réalisées en utilisant les outils TCAD (Technologie Computer-Aide Design) de Sentaurus [11]-[14]. Les principaux modules utilisés sont Sentaurus structure editor, Sentaurusdevice, Tecplot_sv et Inspect.

IV-1. Structure IGBT bidirectionnelle réalisable par photolithographie double face

Les paramètres physiques et géométriques utilisés pour la simulation de la structure IGBT bidirectionnelle sont donnés dans le tableau 2.2 et représentés sur la Figure 2-3.

Région	Dimension (µm)	Concentration en surface (cm^{-3})	Profil de dopage	Coefficient de diffusion latérale
SiO_2	$L_G = 30$ $e_{ox} = 0.05$	-	-	-
N^-	$W_{cell} = 70$ d = 100	10^{+14}	Uniforme	0.8
N^+	$L_{N+} = 14$ $X_{N+} = 1$	10^{+20}	Gaussien	0.8
P	$L_P = 40$ $X_P = 5$	$2.5x10^{+17}$	Gaussien	0.8
P^+	$L_{P+} = 26$ $X_{P+} = 7$	$5x10^{+19}$	Gaussien	0.8
Canal	$L_{CH} = 3.2$	-	-	-

Tableau 2.2 : Paramètres physiques et géométriques de la structure IGBT bidirectionnelle utilisés pour simulation

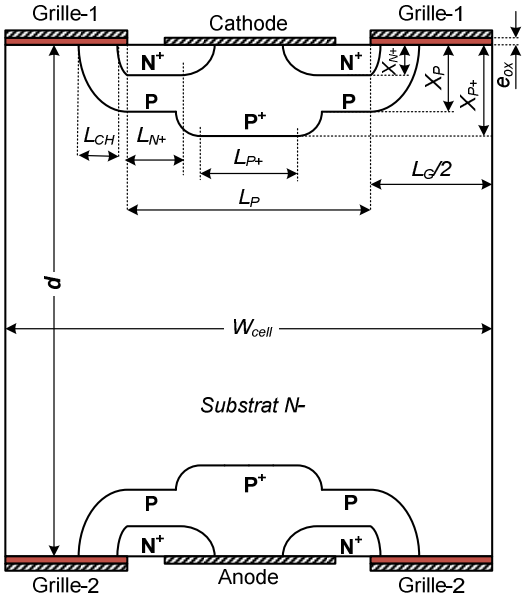


Figure 2-3. Vue en coupe de la cellule IGBT bidirectionnelle avec la représentation de ses paramètres physiques et géométriques

IV-1-1. Etat bloqué

a. Généralités

A l'état bloqué direct, la grille-1 et la grille-2 doivent être connectées, respectivement, à la cathode et à l'anode pour éviter la création de la couche d'inversion sous ces grilles. Quand une tension positive est appliquée entre l'anode et la cathode, la jonction P/N^- (J_3) côté cathode devient polarisée en inverse et supporte la tension appliquée. La zone de charge d'espace s'étend dans les deux régions P et N^- mais principalement dans la région N^- faiblement dopée. A l'état bloqué inverse, c-à-d pour une tension anode-cathode négative, c'est la jonction P/N- qui supporte la tension appliquée et la charge d'espace s'étale essentiellement dans la région de drift N-. Dans un but d'illustration, nous

avons simulé à l'état bloqué direct puis inverse une cellule IGBT bidirectionnelle d'une épaisseur (*d)* de 100µm. Les autres paramètres physiques et géométriques sont donnés dans le tableau 2.2.

Le résultat de simulation donné sur Figure 2-4 montre qu'effectivement la zone de charge d'espace s'étale de part et d'autre de la jonction P/N$^-$ polarisée en inverse et qu'elle s'étend davantage du côté de la région N$^-$ faiblement dopée.

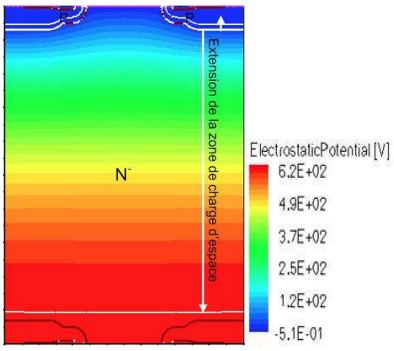


Figure 2-4. Extension de la zone de charge d'espace à l'état bloqué direct

La caractéristique I(V) à l'état bloqué direct et à l'état bloqué inverse, obtenue par simulation 2D de la structure IGBT bidirectionnelle est symétrique comme le montre la Figure 2-5. On constate notamment que, avec les paramètres utilisés, le composant est capable de supporter une tension de l'ordre de 600 V.

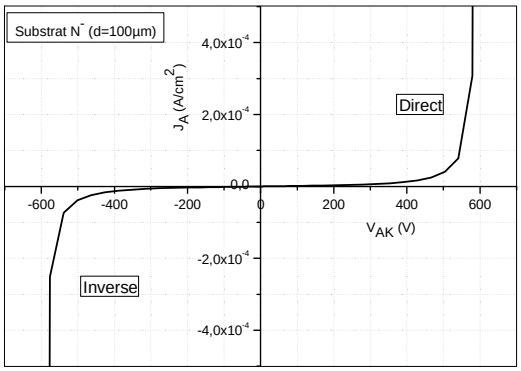


Figure 2-5Caractéristique I(V) à l'état bloqué direct et à l'état bloqué inverse de l'IGBT bidirectionnel

b. Impact de l'épaisseur du substrat N- sur la tension de claquage

La tenue en tension dans une structure IGBT dépend essentiellement de l'épaisseur et du dopage du substrat N$^-$. Elle dépend également de la longueur de diffusion L_p des porteurs minoritaires dans la base N$^-$. Cette dernière dépend de la durée de vie des porteurs minoritaires (trous) dans la base N$^-$. En règle générale, l'épaisseur du substrat N$^-$ (*d*), est choisie égale à la largeur de la zone de déplétion plus une longueur de diffusion L_p des porteurs minoritaires dans la base N$^-$ [15]:

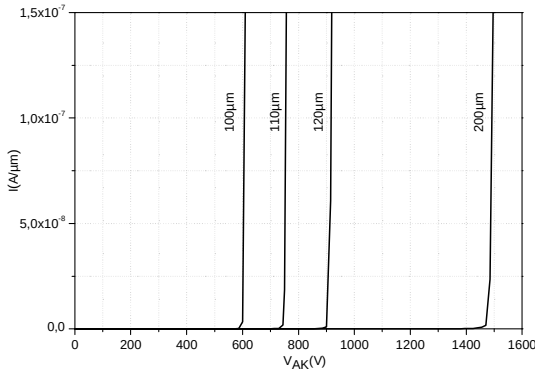
$$d = \sqrt{\frac{\varepsilon_0 \varepsilon_s V_{\max}}{q N_D}} + L_p \qquad (2.1)$$

Où ε_0 et ε_s sont, respectivement, les permittivités du vide et du silicium ; $V_{\max}$ est la tenue en tension maximale et N_D est la concentration du dopage de la région N^-.

Il y a deux types de phénomènes qui limitent la tenue en tension du composant à l'état bloqué. En effet, la tenue en tension peut être limitée par un claquage par avalanche de la jonction polarisée en inverse ou par le phénomène de perçage qui se produit quand la zone de charge d'espace atteint la jonction polarisée en direct.

Pour déterminer l'épaisseur *d* minimale nécessaire pour supporter la tension maximale fixée par le cahier des charges $(\pm 600V)$, nous avons simulé une cellule IGBT bidirectionnelle pour différentes épaisseurs d . Les différentes cellules simulées ont les paramètres géométriques et physiques donnés dans le tableau 2.2.

Les caractéristiques $I_A(V_{AK})$ des cellules IGBT simulées à l'état bloqué sont données sur la Figure 2-6. Elles montrent que plus le substrat N^- est épais, plus la tension de claquage est grande. Toutefois, l'augmentation de l'épaisseur d conduit à une augmentation de la chute de tension à l'état passant. Donc une optimisation du compromis tenue en tension à l'état bloqué et chute de tension à l'état passant est nécessaire.



Epaisseur *d*(µm)	Tension de claquage (V)
100	550
110	750
120	900
200	1450

Figure 2-6. Tenue en tension à l'état bloqué direct d'un IGBT bidirectionnel pour différentes épaisseurs *d*

A partir de ces résultats de simulation, nous pouvons déduire que l'épaisseur minimale du substrat nécessaire pour supporter une tension maximale de ± 600 est de l'ordre de 110 µm. Il est toutefois important de signaler que pour notre réalisation, nous utiliserons obligatoirement une épaisseur de substrat de 300 µm car une épaisseur de plaquette de 110 µm est très faible et son traitement par nos moyens technologiques actuels (salle blanche du LAAS) est quasiment impossible.

Remarque :

Dans nos précédentes simulations, nous avons toujours considéré le cas des jonctions planes. A titre d'exemple, pour une épaisseur de substrat de 200 µm et un dopage de 10^{14} cm^{-3}, la structure IGBT bidirectionnelle devrait supporter une tension de l'ordre de 1450 V (en admettant que la jonction est plane). Cependant, on ne peut se rapprocher pratiquement de cette valeur que si on prend des

précautions particulières afin de protéger les jonctions sphériques et cylindriques qui se forment sur la périphérie de la zone active du composant. En effet, ces jonctions ont des tensions de claquage largement inférieures à celle d'une jonction plane réalisée en utilisant les mêmes paramètres technologiques. Afin de se rapprocher au maximum de la tension de claquage d'une jonction plane, il faudrait mettre en place une terminaison de jonction JTE (Junction Termination Extension) pour protéger les courbures de jonctions.

c. Protection des courbures de jonctions

Afin de permettre au dispositif de supporter des tensions importantes, il est nécessaire de choisir une terminaison de jonction. Cette terminaison a pour but de protéger les courbures de jonctions d'un claquage prématuré. En effet, le rôle de toute terminaison de jonction est de réduire l'intensité du champ électrique à la périphérie de la jonction sous polarisation inverse afin de se rapprocher au maximum des conditions de claquage d'une jonction plane.

Pour des raisons purement technologiques liées notamment au processus mis au point dans la centrale de technologie du LAAS, nous avons choisi une terminaison de jonction de type PP- (JTE) comme le montre la Figure 2-7. Elle consiste à mettre une région faiblement dopée (P^-) autour de la jonction principale polarisée en inverse (P/N^-) pour minimiser l'intensité du champ électrique à la périphérie de cette jonction polarisée en inverse et se rapprocher des conditions de claquage d'une jonction plane. Cette région P^- contacte la jonction principale sans qu'elle soit elle-même connectée à une polarisation (Figure 2-7).

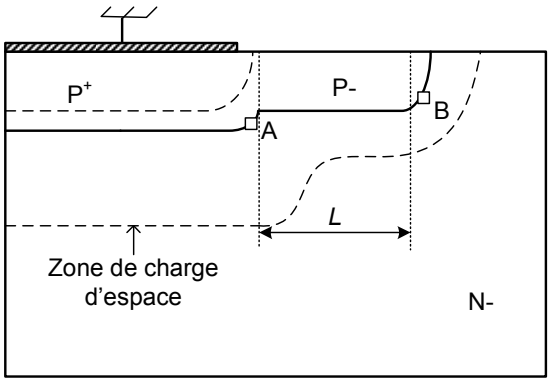


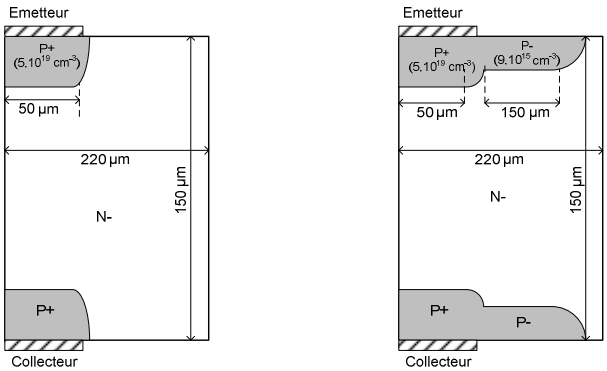
Figure 2-7. Coupe schématique d'une terminaison de jonction de type PP- [15].

La dose du P^- doit être judicieusement contrôlée. Si cette dose est très faible, la région P^- n'aura pas une influence significative sur la distribution du champ électrique et son maximum aura lieu toujours au point A comme dans le cas d'une terminaison sans JTE. Si la région P^- est « fortement » dopée, la jonction sera tout simplement étendue au point B.

Pour une dose optimisée de la région P^-, la courbure de la zone de charge d'espace prendra une forme (voir Figure 2-7) qui permet à la région P^- de supporter latéralement une partie de la tension appliquée et par conséquent, de réduire le champ électrique à la jonction principale.

Pour démontrer l'utilité de cette région P^- sur la tenue en tension, nous avons simulé à l'état bloqué une structure d'un transistor PNP à base flottante avec et sans terminaison de jonction. La dose de P^- a été optimisée pour supporter des tensions situées dans la gamme 600-1200V. Cette dose est d'une valeur de 2.5 x 10^{+12} cm^{-2} et la largeur de la région P^- est de l'ordre de 150 µm. Pour déterminer la concentration en surface correspondante à cette dose, nous avons simulé sous Sentaurus le procédé technologique utilisé en salle blanche. La concentration en surface ainsi trouvée est d'une valeur de 9 x 10^{+15} cm^{-3} avec une profondeur de jonction de l'ordre de 4,5 µm.

Les deux structures transistor bipolaire PNP à base flottante simulées sans et avec utilisation de la JTE, à l'état bloqué, sont représentées sur la Figure 2-8.



(a) (b)

Figure 2-8. Structures avec dimensions géométriques et physiques d'un transistor PNP à base ouverte simulé à l'état bloqué sans l'utilisation (a) et avec utilisation (b) de la JTE.

La répartition du champ électrique correspondant aux tensions de claquage 300 V et 900 V des deux structures simulées sont représentés sur la Figure 2-9.

Nous observons que le champ électrique atteint sa valeur maximale (2,5.10^5 V.cm^{-1}) à la courbure de la jonction P^+/N^- de la structure PNP simulée sans JTE pour une tension relativement faible, de l'ordre de 300V. Cependant, cette valeur maximale du champ électrique est atteinte, à la courbure de la jonction P^-/N^-, pour une tension de l'ordre de 900 V, dans la structure avec JTE.

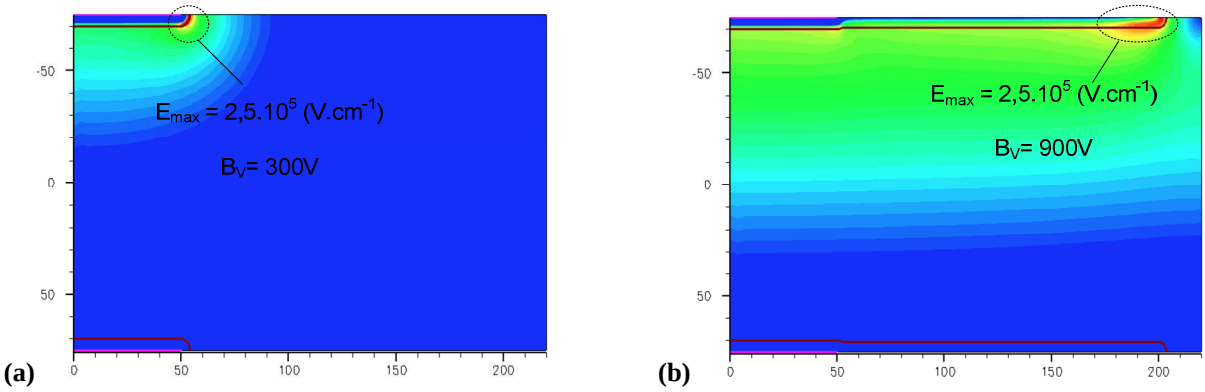


Figure 2-9. Répartition du champ électrique dans la structure PNP simulée (a) sans JTE, (b) avec JTE.

Les caractéristiques I(V) à l'état bloqué obtenues par simulation de la structure PNP (Figure 2-8) en utilisant et sans utiliser la terminaison JTE sont présentées sur la Figure 2-10.

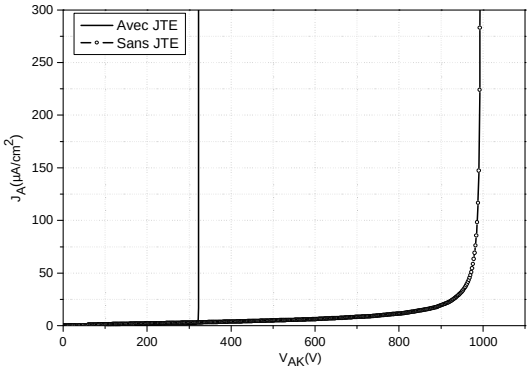


Figure 2-10. Caractéristiques $I_c(V_{ce})$à l'état bloqué du transistor PNP simulé avec et sans JTE.

Ces résultats montrent d'une part l'utilité de la terminaison de jonction JTE et d'autre part permet de valider la dose utilisée pour sa réalisation. En effet, l'utilisation de la terminaison de jonction JTE nous permettra de protéger la jonction principale et d'améliorer dans ce cas la tenue en tension d'un facteur d'environs trois par rapport au cas où aucune technique de protection n'est utilisée.

IV-1-2. Etat passant

Pour pouvoir exploiter les expressions théoriques déjà développées pour les structures IGBT unidirectionnelles, nous ferons l'approximation d'assimiler le fonctionnement à l'état passant (direct et inverse)de la structure bidirectionnelle à celui de la structure IGBT classique. Notre premier objectif étant de valider par des réalisations la fonctionnalité de base d'un IGBT bidirectionnel, l'utilisation d'expressions déjà établies pour les structures IGBT classiques nous semble largement suffisante. En effet, les différentes expressions serviront uniquement pour une lecture rapide de l'influence de certains paramètres sur les caractéristiques du composant. Les performances du composant seront estimées en revanche uniquement par des simulations physiques 2D.

a. Tension de seuil

La tension de seuil est un paramètre important dans les composants de puissance (MOSFETs, IGBTs).Puisque cette tension détermine la tension minimale pour créer le canal, sa valeur ne peut pas être ni très élevée ni très faible. Si la tension de seuil est très élevée, il est nécessaire d'appliquer une tension de grille très élevée, cela impose des contraintes dans l'architecture du circuit de commande. Il est important aussi de ne pas avoir une tension de seuil très faible, parce que la grille contient des charges qui peuvent rendre la tension de seuil négative pour un canal de type N, ce qui signifie que le composant peur conduire pour zéro volt de tension de grille, ce qui n'est pas acceptable pour les dispositifs étudiés. La valeur typique de tension de seuil d'un IGBT est de 2 à 3 volts.

Pour améliorer les performances d'un IGBT bidirectionnel, il est souhaitable d'avoir une tension de seuil identique pour les deux sections MOS de la face avant et face arrière du substrat. Cela dépendra de la technologie et la technique de réalisation utilisée dont on discutera dans le chapitre 3.

L'expression de la tension de seuil est donnée par :

$$V_{Th} = \frac{e_{ox}}{\varepsilon_{ox}} \sqrt{4\varepsilon_s KTN_{AP} Ln\left(\frac{N_{AP}}{n_i}\right)} + \frac{2KT}{q} Ln\left(\frac{N_{AP}}{n_i}\right) + V_{FB} \qquad (2.2)$$

Dans le cas d'un substrat dopé P et d'une grille en polysilicium dopé N, la tension de bandes plates s'écrit :

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} \quad \text{et} \quad \phi_{ms} = -\frac{kT}{q}\log\left(\frac{N_a}{n_i}\right) - \frac{E_g}{2q}$$

Q_{ss} représente la quantité des charges piégées au niveau de l'interface oxyde de grille/silicium. Les paramètres intervenant dans la tension de seuil sont les suivants :

V_{FB}	tension de bandes plates	V
K	Constante de Boltzman	1,38.10-23 J.K-1
q	Charge de l'électron	1,6.10-19 C
ε_{Si}	Constante diélectrique relative du silicium	11,9
ε_{ox}	Constante diélectrique relative de l'oxyde	3,9
n_i	Concentration intrinsèque à l'équilibre (T=300K)	1,26.1010 cm-3
Na	concentration de dopants accepteurs dans le silicium dopé P	cm-3
e_{ox}	Epaisseur d'oxyde de grille	cm

Où e_{ox} et ε_{ox} sont l'épaisseur et la permittivité diélectrique de l'oxyde de grille, N_{AP} est le dopage du canal.

A partir de cette expression, on peut remarquer que la tension de seuil est linéairement proportionnelle à l'épaisseur de l'oxyde e_{ox} et approximativement linéaire à la racine carrée du dopage du canal N_{AP} (caisson P). Si l'épaisseur de l'oxyde e_{ox} est réduite de moitié, il faut augmenter le dopage du canal N_{AP} par un facteur de quatre pour avoir la même tension de seuil. Il est à noter que l'augmentation de N_{AP} permet d'améliorer le courant de latchup du thyristor parasite de l'IGBT. Il est donc préférable, de fixer l'épaisseur d'oxyde à sa valeur minimale et d'optimiser la concentration surfacique du dopage N_{AP} pour obtenir la tension de seuil souhaitée.

Dans le cadre de cette étude, on s'est fixé une tension de seuil de 3 volts et l'épaisseur de l'oxyde imposée par la technologie de réalisation IGBT flexible est de 55 nm. Afin d'obtenir la tension de seuil souhaitée, nous avons effectué plusieurs simulations en agissant uniquement sur la concentration

en surface du caisson P. Les caractéristiques $I_A(V_{GK})$ sont données sur laFigure 2-11. La concentration en surface du caisson P correspondante à la tension de seuil souhaitée (3 volts) est de $2.5x10^{+17}$.

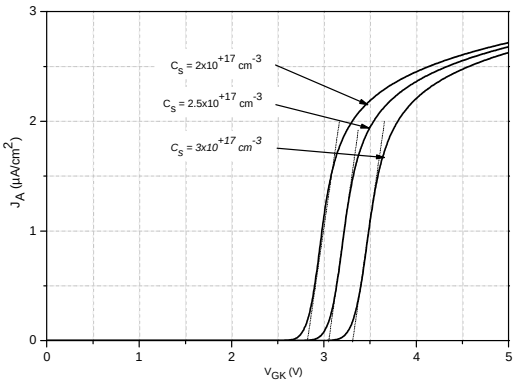


Figure 2-11. $I_A(V_{GK})$ pour différentes concentration en surface (C_s) du dopage P

b. Courant de saturation

L'aptitude d'un dispositif de puissance à limiter le courant pour des tensions élevées est une caractéristique intéressante dans des applications où l'on est confronté à des risques de courts-circuits de la charge. Ce comportement permet la détection de surintensité par la mesure de l'évolution de la tension anode-cathode.

Sur la Figure 2-2, le courant d'électrons (I_e) est fourni par le canal du MOSFET et le courant des trous (I_h) est fourni par le transistor bipolaire PNP. Ces courants sont reliés par la relation suivante [15]:

$$I_h = \frac{\alpha_{PNP}}{1-\alpha_{PNP}} I_e \qquad (2.3)$$

Le courant total dans l'IGBT, I_A, est la somme des deux courants I_e et I_h :

$$I_A = I_e + I_h = \frac{1}{1-\alpha_{PNP}} I_e \qquad (2.4)$$

On peut constater que le courant de trous, I_h, a une influence sur le courant de saturation de l'IGBT. Le courant d'électrons fourni par le MOSFET, en régime de saturation, est donné par [15]:

$$I_e = \frac{\mu_{ns} C_{ox} Z}{2L_{CH}} \left(V_G - V_T\right)^2 \qquad (2.5)$$

En utilisant l'équation (2.7), le courant d'anode de saturation est donné par :

$$I_{A,sat} = \frac{1}{1-\alpha_{PNP}} \frac{\mu_{ns} C_{ox} Z}{2L_{CH}} \left(V_G - V_T\right)^2 \qquad (2.6)$$

Avec μ_{ns} : Mobilité surfacique des électrons. Z et L_{CH} : Largeur et longueur du canal. C_{ox} : Capacité de l'oxyde. V_G : Tension de grille. V_T : Tension de seuil.

La Figure 2-12montre les caractéristiques I(V) à l'état passant, direct et inverse, pour différentes valeurs de tensions de grille (7, 8, 9 et 10 V) de la structure IGBT bidirectionnelle. Les paramètres physiques et géométriques de la structure simulée sont donnés dans le tableau 2.2.

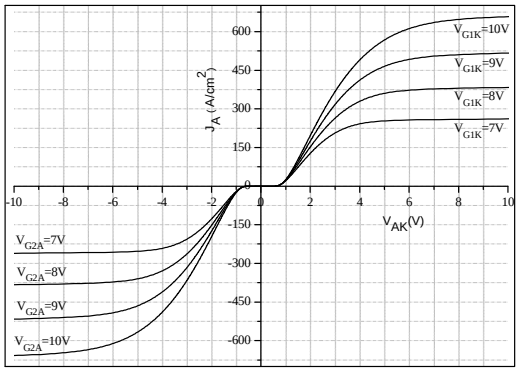
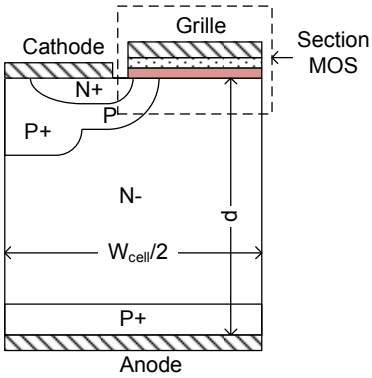


Figure 2-12. Caractéristiques I(V) à l'état passant, en direct et en inverse, pour différentes tensions de grille

c. Chute de tension à l'état passant

La chute de tension à l'état passant d'une structure IGBT classique peut être calculée en additionnant les contributions des différentes régions : la jonction P+/N-, la zone de drift N^- et les composantes du transistor MOS (le canal, la région JFET ainsi que la zone accumulée) [16].



En admettant que le profil des trous dans la zone de drift N- à l'état passant est décrit par l'expression :

$$p(x)=\frac{JL_a}{2qD_p}\frac{\sinh\left(\frac{d-x}{L_a}\right)}{\cosh\left(d/L_a\right)} \qquad (2.7)$$

Il est possible de démontrer que [16]:

- La chute de tension aux bornes de la jonction P+/N- peut s'écrire sous la forme :

$$V_{P+N-}=\frac{kT}{q}\ln\left\{\frac{JL_aN_D}{2qD_pn_i^2}\tanh\left(\frac{d}{L_a}\right)\right\} \qquad (2.8)$$

- La chute de tension aux bornes de la zone de drift N- :

$$V_{N-}=\frac{kT}{q}\left[\frac{2\mu_p}{\mu_p+\mu_n}\cos\left(d/L_a\right)\ln\left\{\tanh\left(d/2L_a\right)\right\}+\frac{\mu_n-\mu_p}{\mu_n+\mu_p}\ln\left\{\sinh\left(d/L_a\right)\right\}\right] \quad (2.9)$$

La chute de tension aux bornes de la section MOS à l'intérieur de l'IGBT est égale à la somme des chutes de tension aux bornes du canal (V_{ch}), de la région JFET (V_{JFET}) et de la couche accumulée (V_{ACC}) [16]:

$$V_{MOSFET}=V_{Ch}+V_{JFET}+V_{ACC}$$

La chute de tension aux bornes du canal s'écrit :

$$V_{Ch}=\frac{(1-\alpha_{PNP})JL_{Ch}W_{cell}}{\mu_{ns}C_{ox}(V_{GE}-V_{Th})} \quad (2.10)$$

La chute de tension aux bornes de la région JFET s'écrit :

$$V_{JFET}=\frac{\rho_{JFET}(1-\alpha_{PNP})J\left(x_p+W_0\right)W_{cell}}{L_G-2x_p-2W_0} \quad (2.11)$$

où ρ_{JFET} est la résistivité de la région JFET, L_G est la longueur de la grille, x_p est la profondeur de la zone dopée P,et W_0 est l'extension de la zone de charge d'espace pour une tension appliquée nulle.

La chute de tension aux bornes de la couche accumulée s'écrit :

$$V_{ACC}=\frac{K(1-\alpha_{PNP})J\left(L_G-2x_p-2W_0\right)W_{cell}}{2\,q\,\mu_{nA}\,C_{ox}\,V_{GE}} \quad (2.12)$$

Dans le cas d'une structure carrée, les paramètres L_G, W_{cell}, L_{CH} sont représentés sur la Figure 2-13.

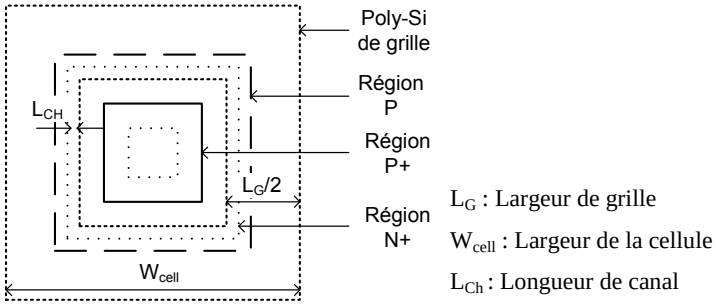


Figure 2-13. Vue de dessus d'une section MOS d'une cellule IGBT de forme carrée

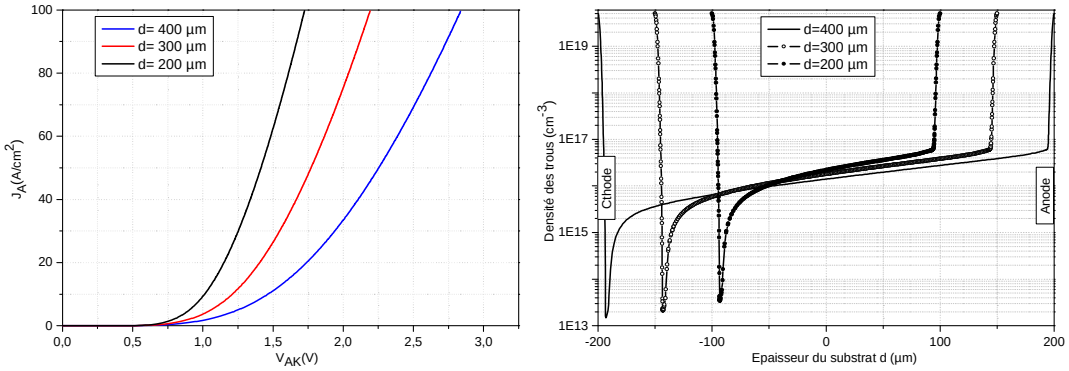
On peut remarquer, dans ces expressions, que la chute de tension aux bornes d'une structure IGBT bidirectionnelle dépend des paramètres physiques et géométriques des sections MOS qui composent la structure IGBT (le dopage des diffusions P et N, la longueur du canal L_{CH} qui est déterminée par les profondeurs des diffusions P et N) ainsi que des paramètres de la base N^- tels que son dopage N_D, sa largeur W_{cell} et son épaisseur d. Il faut toutefois signaler que la filière IGBT flexible que nous avons utilisée pour réaliser les composants nous impose certains paramètres tels que les

profondeurs des différentes diffusions notamment les diffusions N^+, P et P^+. De ce fait, la longueur du canal du MOS, L_{CH} est fixée.

On peut également remarquer que la chute de tension dans le cas d'un IGBT dépendde l'épaisseur de la zone de drift N- « d ». L'épaisseur de cette région doit être par conséquent réduite au minimum. Ce minimum, comme nous l'avons déjà mentionné précédemment, est déterminé par l'épaisseur minimale nécessaire pour supporter la tension imposée dans le cahier des charges.

Impact de l'épaisseur du substrat N^- sur la chute de tension V_{on}

Les caractéristiques I(V) obtenues par simulation d'une structure IGBT bidirectionnelle ainsi que le profil de densité des trous selon une ligne verticale passant par la région P^+, pour différentes épaisseur *d*, sont représentés sur la Figure 2-14. On constate que la chute de tension aux bornes de la structure IGBT bidirectionnelle est directement proportionnelle à l'épaisseur de son substrat. De ce fait, il est donc nécessaire d'optimiser l'épaisseur du substrat en fonction de la tension que doit supporter le composant. Les densités des trous dans les différentes structures simulées sont données sur la Figure 2-14-b. On constate que pour les mêmes paramètres physiques et pour une même densité de courant, la conductivité de la zone N- est davantage modulée dans la structure ayant une épaisseur de zone de drift N- faible.



(a) (b)

Figure 2-14. (a) Caractéristique $I_A(V_{AK})$ et(b) profile des trous selon une ligne verticale passant par la région P^+de la structure IGBT bidirectionnelle simulée pour différentes épaisseurs *d* du substrat N^-.

IV-1-3. Phénomène de latch-up du thyristor parasite

Un des phénomènes qui limite la capacité en courant d'un IGBT est le latch-up de son thyristor parasite (Figure 2-15).

Comme nous l'avons mentionné précédemment, à l'état passant, le courant total est composé d'un courant d'électrons fourni par le MOSFET et d'un courant de trous injectés par la jonction J_1 et collectés par la jonction J_3. Ce courant de trous est la somme des courants I_{h1} et I_{h2} (Figure 2-15). I_{h1} représente les trous collectés du côté droit de la cellule, ces trous circulent vers la cathode à travers la résistance R_S schématisée sur la Figure 2-15. Ce courant crée ainsi une chute de tension aux bornes de

la résistance R_S qui rend la jonction J_3 passante. En fonctionnement normal de l'IGBT, cette chute de tension peut être minimisée en réduisant la valeur de résistance R_S correspondant à la résistance de la région P sous la diffusion N^+ d'émetteur. Dans ces conditions le gain en courant du transistor NPN est très faible minimisant le risque de latch-up. Cependant, quand la densité du courant à l'état passant augmente, la polarisation en direct de la jonction J_3 peut devenir suffisante pour augmenter le gain en courant du transistor NPN. Si la somme des gains en courant des transistors NPN et PNP excède l'unité, le phénomène du latch-up se produit et par conséquent le courant circule directement de l'anode vers la cathode sans pouvoir être commandé.

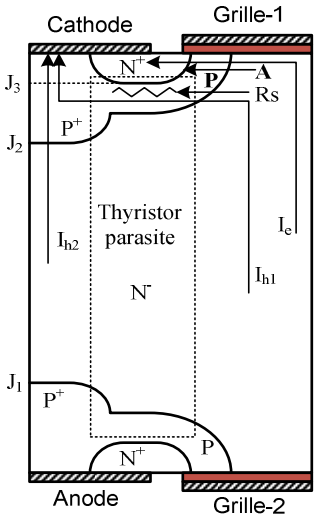


Figure 2-15. Latch-up du thyristor parasite dans un IGBT

a. Augmentation du niveau de courant de latch-up

L'augmentation de la densité du courant de latch-up peut être obtenue par la diminution du gain en courant du transistor PNP. Pour cela, on augmente le courant des électrons du MOSFET, et on réduit le courant collecteur du PNP.

Il y a deux techniques de base pour réduire le gain en courant du transistor PNP. La première méthode est basée sur la réduction du facteur de transport dans la base N^- α_T [15]. Cela peut être obtenu par irradiation en électrons qui permet de réduire la durée de vie des porteurs minoritaires et la longueur de diffusion dans la base N^-. Cette technique permet aussi de réduire le temps d'ouverture du composant mais augmente la chute de tension à l'état passant.

La deuxième méthode consiste à réduire l'efficacité d'injection de la jonction J_1. Cela peut être obtenu par exemple par l'augmentation de la concentration de la région N^-. Mais cela conduit en revanche à la diminution de la tenue en tension à l'état bloqué. Il est possible toutefois d'augmenter le dopage effectif dans la base N^- en introduisant une couche buffer N^+ côté anode, mais cela n'est valable qu'avec la structure IGBT unidirectionnelle du fait que la structure IGBT bidirectionnelle est

parfaitement symétrique sur les deux faces. Il est également possible de réduire la concentration de la région P+.

L'augmentation du niveau de courant de latch-up du thyristor parasite peut aussi être obtenue par la réduction du gain en courant du transistor NPN. La technique la plus efficace et la plus largement utilisée est celle qui permet de réduire le gain en courant du NPN. Elle consiste à ajouter une région P^+ profonde et fortement dopée dans la base P du transistor NPN. La région N^+ du transistor NPN est court-circuitée à la région P par la métallisation de l'électrode. Malgré cela, la jonction J_3 peut devenir passante au point A quand le courant de trous I_{h1}qui circule à travers la base P atteint une valeur qui crée un potentiel ≥ 0,7 V. La région P^+ doit être localisée à un endroit précis dans la région P de telle sorte que la résistance R_S soit minimale et que la tension de seuil ne soit pas affectée (Figure 2-16).

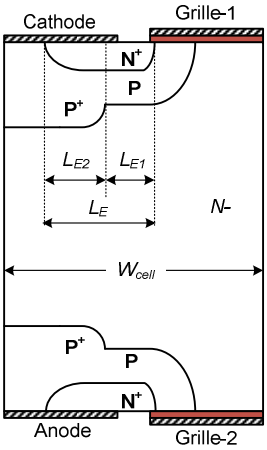


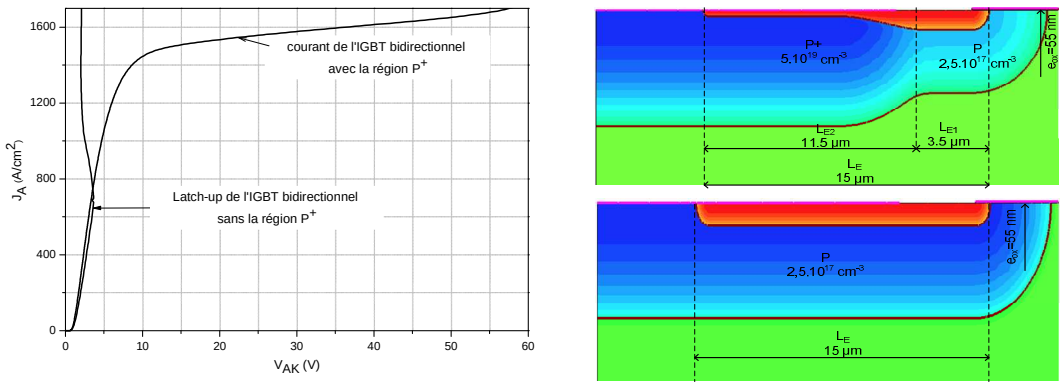
Figure 2-16. Influence de la région P^+ sur la résistance R_s

La résistance R_S est donnée par [15]:

$$R_s = \frac{1}{Z}\left(\rho_{SP} L_{E1} + \rho_{SP^+} L_{E2}\right) \qquad (2.13)$$

Z est la largeur de la cellule IGBT ; ρ_{SP} et ρ_{SP^+} sont, respectivement les résistances par carré des régions P et P^+.

Afin de mettre en évidence l'influence de la région P^+ sur le courant de latch-up du thyristor parasite et de valider les paramètres technologiques et géométriques que nous avons fixés pour notre réalisation, nous avons simulé la structure IGBT bidirectionnelle en utilisant les paramètres physiques et géométriques donnés dans le tableau 2.2, avec et sans la diffusion P^+. Les résultats obtenus sont représentés Figure 2-17.



(a) (b)

Figure 2-17. Caractéristiques $I_A(V_{AK})$ de la structure IGBT simulée avec et sans la région P^+. (b)Géométrie de la structure IGBT simulée avec et sans la région P^+.

On constate que le niveau de courant delatch-up du thyristor parasite de la structure IGBT qui contient la région P^+est largement supérieur à celui de la structure qui ne contient pas de région P+.

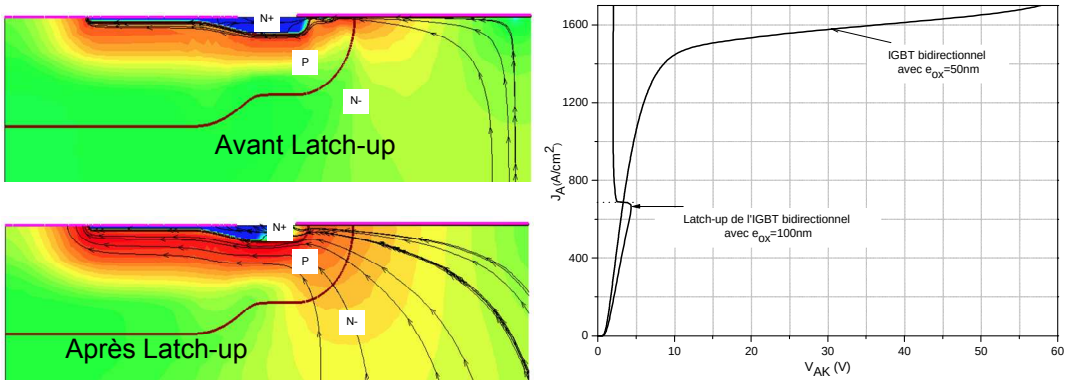
Une autre technique utilisée pour repousser le niveau de courant de latch-up consiste à diminuer l'épaisseur de l'oxyde de grille e_{ox} tout en maintenant la valeur de la tension de seuil [15].

On remarque dans l'expression donnant la tension de seuil (2.5) que si on diminue e_{ox} d'un facteur de deux, la concentration en surface de la région P doit être augmentée au moins d'un facteur quatre afin de maintenir la tension de seuil V_{Th} constante. Le fait de pouvoir augmenter la concentration de la région P permet de réduire considérablement la valeur de la résistance R_S.

Afin de vérifier l'influence de l'épaisseur de l'oxyde de grille sur le courant de latch-up du thyristor parasite d'une structure IGBT bidirectionnelle, nous avons simulé la structure en utilisant les paramètres physiques et géométriques donnés dans le tableau 2.2, et en utilisant deux épaisseurs d'oxyde différentes e_{ox} = 50 nm et e_{ox} = 100 nm. Pour une tension de seuil de l'ordre de 3V, la concentration en surface de la région P déterminée par simulation 2D est de l'ordre de $2{,}5.10^{17}$ cm^{-3} pour une épaisseur de l'oxyde de grille de 550Å et de l'ordre de 9.10^{16} cm^{-3} pour une épaisseur d'oxyde de grille de 1000Å.

La distribution des lignes de courant avant et après le phénomène de latch-up, dans la structure IGBT simulée avec une épaisseur d'oxyde de grille de 1000Å, est donnée en figure 2-18(a). Les caractéristiques I(V) obtenues par simulation de la structure IGBT pour deux épaisseurs différentes (550Å et 1000Å) d'oxyde de grille sont présentées sur la Figure 2-18 (b).On peut remarquer sur la Figure 2-18-a que le courant circule à travers le canal avant l'apparition du phénomène de latch-up. Une fois lelatch-up survenu, le courant circule par le transistor N^-PN^+.

Les caractéristiques $I_A(V_{AK})$ montrent qu'effectivement, à tensions de seuil égales, le phénomène de latch-up se produit dans la structure réalisée avec une épaisseur d'oxyde de grille de 1000Å à un niveau de courant très inferieur à celui de l'autre structure.

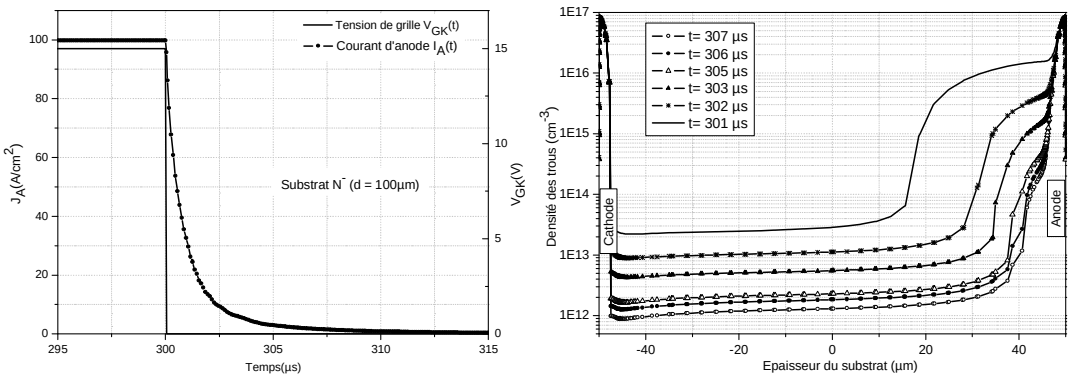


(a) (b)

Figure 2-18. (a) Distribution de lignes de courant avant et après la production du latch-up. (b) caractéristiques $I_A(V_{AK})$ de l'IGBT bidirectionnel pour deux épaisseurs d'oxyde de grille différentes.

IV-1-4. Temps d'ouverture de l'IGBT bidirectionnel

Le passage de l'état passant à l'état bloqué, se fait par la suppression de la tension de grille. En effet, quand la tension de grille devient inférieure à la tension de seuil V_{th}, le canal est supprimé et par conséquent l'injection des électrons par la région N^+ s'arrête. De ce fait, l'injection de trous par la région P^+ s'arrête et le courant d'anode décroît de sa valeur nominale à zéro pendant une durée qui dépend notamment de la quantité de charge stockée dans la base N^- ainsi que de la durée de vie des porteurs minoritaires. L'allure simulée du courant d'anode $I_A(t)$durant l'ouverture est représentée sur la Figure 2-19. On constate une décroissance rapide du courant d'anode suivie d'une décroissance plus lente. La décroissance rapide correspond à l'interruption du courant d'électrons due à la suppression du canal et la décroissance lente correspond à la recombinaison de charges stockées durant la conduction. La Figure 2-19-b montre l'évolution du profil des porteurs minoritaires, en l'occurrence les trous, pendant la phase d'ouverture. On constate que la densité commence à décroître à partir de l'instant où l'on supprime la tension appliquée sur la grille correspondant à l'interruption du courant d'électrons.



(a) (b)

Figure 2-19. (a) Caractéristique $I_A(V_{AK})$ à l'ouverture, (b) profil de densité de trous selon une ligne verticale traversant le canal de la structure d'IGBT simulée

a. Amélioration du temps d'ouverture

Le temps d'ouverture d'une structure IGBT classique est donné par [15]:

$$t_{off} = \tau Ln(10\alpha_{PNP}) \qquad (2.14)$$

τ est la durée de vie des porteurs minoritaires dans la région N^-.

A partir de cette expression, on déduit que, pour réduire t_{off} il faut réduire la durée de vie des minoritaires τ et/ou le gain en courant α_{pnp}

La réduction de τ peut se faire par diffusion profonde d'impuretés telles que l'or ou le Platine dans la région N^-. Cette technique permet de réduire τ mais affecte la tension de seuil et modifie les caractéristiques de sortie à l'état passant à cause de l'accumulation des impuretés à l'interface de l'oxyde de [15]. Pour ces raisons, une autre technique a été développée permettant de contrôler la durée de vie τ dans la région N^- de l'IGBT, basée sur l'irradiation par électrons [15].

Le temps d'ouverture dans une structure IGBT bidirectionnelle peut être amélioré davantage en adoptant une stratégie de commande adéquate pour piloter les deux grilles de la structure. Cette stratégie consiste à appliquer une tension positive sur la grille-2 par rapport l'anode pendant une durée t_d avant de supprimer la tension de grille-1 par rapport à la cathode (cf. Figure 2-20).

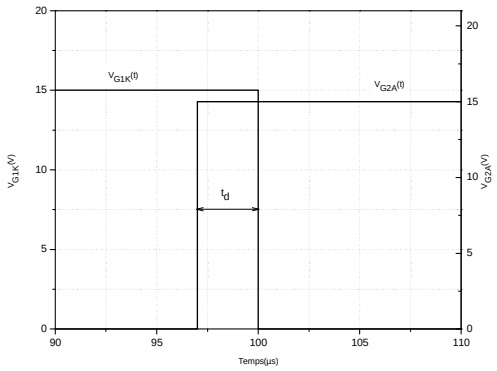
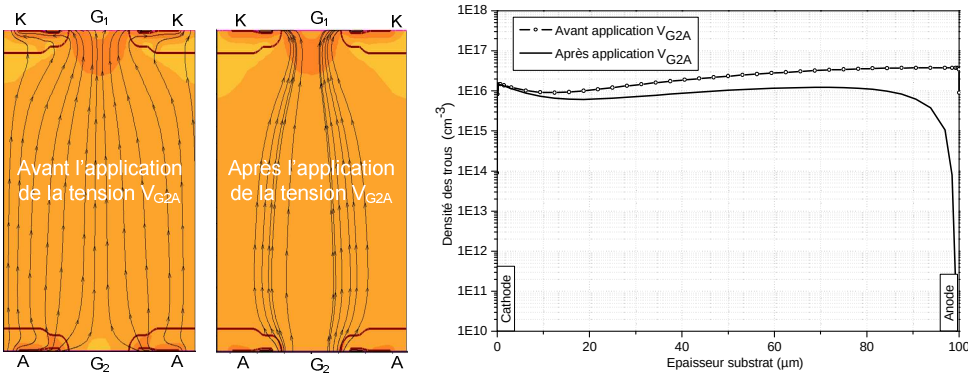


Figure 2-20. Signaux de commande appliqués sur les deux grilles pour réduire les pertes totales

L'application d'une tension positive sur la grille-2 par rapport à l'anode permet de créer un canal N sous cette grille, ce qui permet de court-circuiter la jonction P^+/N^- et par conséquent réduire l'injection de trous. Pendant la durée t_d, le fonctionnement de la structure peut être assimilé à celui d'un DMOSFET. De ce fait, la quantité de charges stockées au moment de la suppression de la tension de grille-1 est réduite.

La Figure 2-21-a montre les lignes de courant dans la structure IGBT bidirectionnelle simulée avec une épaisseur de substrat de 100µm. Avant l'application de la tension grille2-anode (V_{G2A}), les lignes de courants traversent la jonction P^+_{anode}/N- comme dans le cas d'un IGBT classique. Après l'application de V_{G2A}, les lignes de courant passent par le canal sous la grille 2 et la structure fonctionne comme un DMOS. Ce fonctionnement permet de réduire la quantité de charges stockées

dans le substrat N^- durant la conduction. Cela est illustré sur la Figure 2-21-b par la diminution de la densité des porteurs minoritaires dans la base N-. Cette diminution est toutefois plus importante dans la zone proche de la région P de l'anode.



(a) (b)

Figure 2-21. (a) Lignes de courant avant et après l'application de la tension V_{G2A}. (b) distribution des trous dans le substrat N^- selon une ligne verticale entre deux sections MOS

Pour réduire les pertes au minimum, le délai t_d doit être optimisé. En effet, un délai t_d faible a peu d'influence sur le t_{off} et un t_d trop élevé augmente les pertes en conduction. Un délai t_d optimal est donc nécessaire pour réduire au minimum les pertes totales.

b. Réduction des pertes totales par l'utilisation des deux grilles de commande du composant IGBT bidirectionnel

L'énergie totale dissipée dans une structure IGBT durant un cycle de commutation (fermeture, conduction, ouverture) d'une durée T est donnée par l'expression suivante [16]:

$$E_T = \int_0^T V_{AK}(t) * I_A(t) * dt \qquad (2.15)$$

Le délai t_d n'agit que sur les pertes en conduction et d'ouverture du composant.

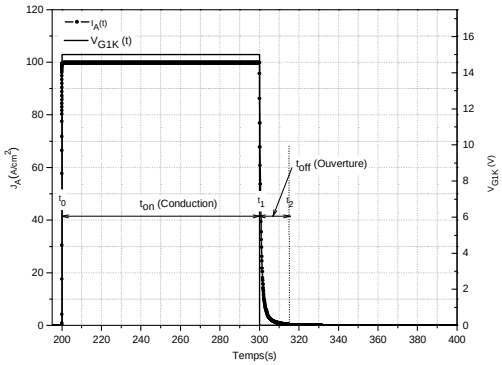
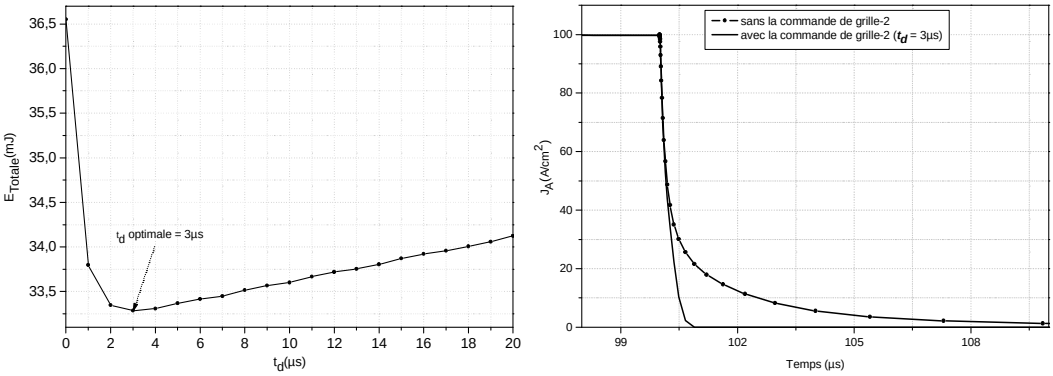


Figure 2-22. Définition des temps de commutation de la structure IGBT bidirectionnelle

La structure a été simulée avec les paramètres géométriques et physiques donnés dans le tableau 2.2. Les résultats obtenus sont présentés sur la Figure 2-23.



(a) (b)

Figure 2-23. (a) Pertes totales en fonction du délai t_d, (b) caractéristiques d'ouverture du composant IGBT bidirectionnel avec et sans la commande de la deuxième grille.

A partir de la caractéristique E_{totale} (t_d), on peut constater que les pertes sur un cycle de commutation dans le composant IGBT bidirectionnel peuvent être réduites, pour la structure simulée, à plus de 10% en choisissant une valeur optimale de t_d égale à 3µs.

L'étude théorique menée sur la structure IGBT bidirectionnelle réalisable par la technique de photolithographie double face avait pour but de valider le fonctionnement de la structure essentiellement en statique. Nous nous sommes également basés sur des expressions déjà développées pour la structure IGBT à technologie planar classique.

Conclusion sur l'étude de la structure réalisable par la technique de lithographie double face

Dans cette étude par simulation, nous nous sommes intéressés à la vérification et à la validation des paramètres physiques et géométriques de la structure à réaliser en utilisant la filière IGBT flexible du LAAS. Pour déterminer l'épaisseur de la zone N- nécessaire pour supporter une tension de 600 V, nous avons étudié l'impact de l'épaisseur N^- (*d*) sur la tenue en tension. Puis nous avons vérifié que la concentration en surface de la région P^- utilisée pour réaliser la JTE qui permet bien de protéger la jonction P/N^- d'un claquage prématuré à l'état bloqué.

A l'état passant, l'étude de l'impact de l'épaisseur N^- (d) sur la chute de tension (V_{on}) nous a permis de déterminer la valeur de V_{on} pour différentes épaisseurs. Les simulations sur la tension de seuil avaient pour but de déterminer le dopage de la région P permettant d'avoir la tension de seuil recherchée. La simulation du phénomène de latch-up en statique a permis de déterminer le niveau de courant de latch-up pour les paramètres déterminés.

A l'ouverture, nous avons vérifié l'utilité de la deuxième grille et de la mise en œuvre d'une stratégie de commande afin de réduire au minimum les pertes dans le composant IGBT bidirectionnel.

IV-2. Structure IGBT bidirectionnelle réalisable par soudure directe Si/Si

La structure IGBT bidirectionnelle réalisable par la technique de soudure directe Si/Si est similaire à la structure IGBT bidirectionnelle réalisable par la technique de photolithographie double face étudiée précédemment. La différence principale réside au niveau de l'interface de collage (Figure 2-24).

Le principe de fonctionnement de la structure est identique à celui de la structure décrite précédemment et qui est réalisable par la technique de lithographie double face. La différence se situera uniquement au niveau des performances. En effet, la présence de l'interface de collage aura une influence sur le comportement électrique de la structure. Afin d'évaluer qualitativement les performances de la structure, nous avons effectué des simulations physiques 2D. La difficulté pour simuler la structure réside au niveau de la modélisation de l'interface de collage.

Le choix que nous avons fait pour effectuer nos simulations était de modéliser l'interface de collage par une région d'épaisseur faible et de durée de vie différente de celle du reste du substrat N-.

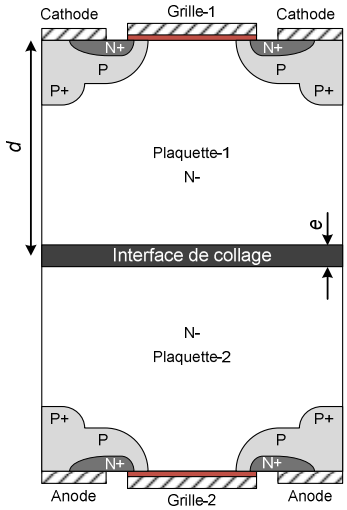
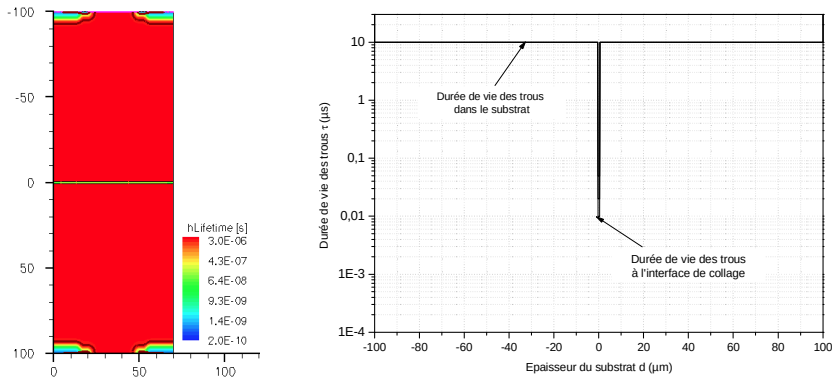


Figure 2-24. Vue en coupe verticale d'une structure IGBT bidirectionnelle en courant et en tension réalisable par soudure directe Si/Si

IV-2-1. Impact de la durée de vie des porteurs minoritaires τ dans l'interface de collage sur les caractéristiques électriques de la structure IGBT bidirectionnelle

Nous avons simulé la structure IGBT bidirectionnelle en utilisant les paramètres physiques et géométriques donnés dans le tableau 2.2. Cette structure contient en plus une zone d'interface de collage dont la durée de vie des porteurs est très faible par rapport à celle du reste du substrat N^- . Les valeurs de durée de vie des porteurs par défaut utilisées dans SENTAURUS sont : 10^{-5}s pour les électrons et $3x10^{-6}$s pour les trous [11]. La Figure 2-25 montre un exemple d'une répartition de la durée de vie τ des trous dans le substrat N^- de la structure IGBT bidirectionnelle réalisable par collage.



(a) (b)

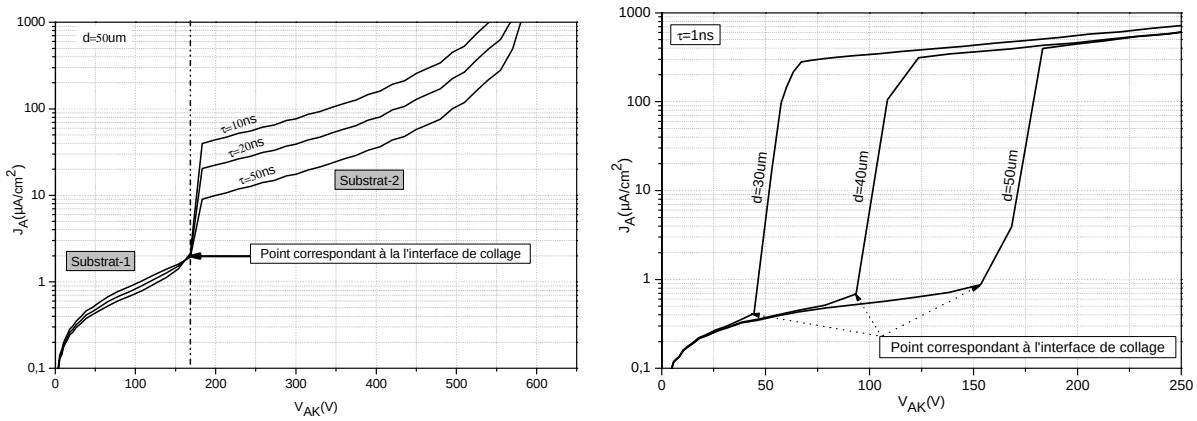
Figure 2-25. (a) Répartition de la durée de vie des trous dans la structure IGBT bidirectionnelle, (b) Profil de durée de vie des trous selon une coupe verticale dans substrat N^- de la structure.

a. Tenue en tension

A l'état bloqué, la structure IGBT bidirectionnelle réalisable par collage a été simulée pour deux cas :

- Pour différentes valeurs de durée de vie des porteurs τ dans la zone d'interface de collage
- Pour différentes valeurs de distances ***d*** séparant l'interface de collage de la surface du wafer.

En utilisant une épaisseur de zone de collage de 1µm, les caractéristiques $I_A(V_{AK})$ à l'état bloqué obtenues pour différentes valeurs de τ (10, 20 et 50ns) et pour différentes valeurs de *d* (30, 40 et 50 µm) sont représentées sur la Figure 2-26.



(a) (b)

Figure 2-26. Caractéristiques $I_A(V_{AK})$ à l'état bloqué : (a) Pour différentes valeurs de durée de vie τ des porteurs à l'interface de collage, (b) Pour différentes distances d de l'interface de collage.

On peut remarquer sur la Figure 2-26que le courant de fuite à l'état bloqué augmente avec l'extension de la zone de charge d'espace (dans le substrat-1). Lorsque cette zone de charge d'espace atteint l'interface de collage (Figure 2-26-b) et s'étend dans le substrat-2, on constate un accroissement brusque du courant de fuite d'autant plus important que la durée de vie τ est faible (Figure 2-26-a). En effet, cette augmentation est due aux défauts (centres recombinants) créés à l'interface de collage qui

favorise le passage des porteurs d'une bande d'énergie à une autre, ce qui entraîne une augmentation du courant de fuite. Il est donc nécessaire de positionner l'interface de collage en dehors de la zone de charge d'espace.

b. Chute de tension à l'état passant

Les caractéristiques $I_A(V_{AK})$ à l'état passant direct obtenues par simulation de la structure IGBT bidirectionnelle pour différentes valeurs de durée de vie des porteurs minoritaires dans l'interface de collage, sont données sur la Figure 2-27.

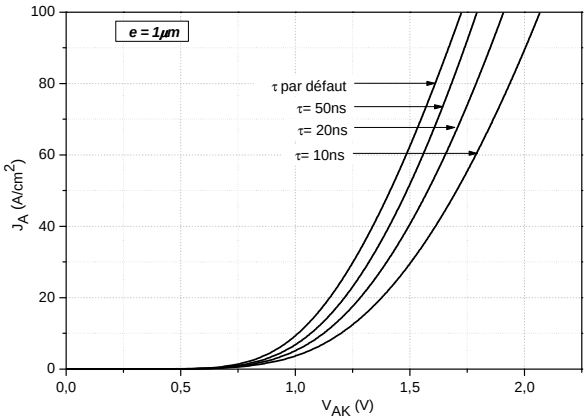


Figure 2-27. Caractéristiques $I_A(V_{AK})$ à l'état passant pour différentes valeurs de duré de vie des porteurs minoritaires dans la zone de l'interface de collage

On remarque qu'une réduction de la durée de vie τ des porteurs dans l'interface de collage conduit à une augmentation de la chute de tension à l'état passant et par conséquent à une augmentation des pertes en conduction du composant IGBT bidirectionnel. En effet, cette augmentation de la chute de tension à l'état passant est due à la dégradation de la modulation de la conductivité de la zone N- due aux recombinaisons des porteurs dans l'interface de collage.

c. Temps d'ouverture

Les défauts créés à l'interface de collage ont un effet indésirable en statique. En effet, ces défauts augmentent la chute de tension à l'état passant et peuvent provoquer un claquage prématuré du composant à l'état bloqué. Ces défauts en revanche améliorent le temps d'ouverture t_{off} et par conséquent contribuent à la diminution des pertes en commutation à l'ouverture.

Afin de vérifier l'impact des défauts créés à l'interface de collage sur le temps d'ouverture, nous avons simulé une structure IGBT bidirectionnelle de 200 µm d'épaisseur. L'épaisseur de l'interface de collage est de de 1µm. Différentes valeurs de durée de vie τ des porteurs (1ns, 10ns et 100ns) dans la zone de collage ont été utilisées. Les résultats de simulations obtenus sont présentés sur la Figure 2-28.

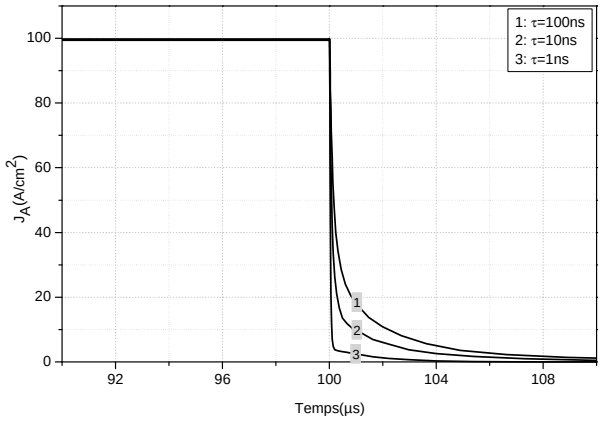


Figure 2-28. Densité de courant d'anode de la structure IGBT bidirectionnelle à l'ouverture pour différentes valeurs de durée de vie τ des porteurs minoritaires dans l'interface de collage

On observe que l'ouverture du composant est d'autant plus rapide que la durée de vie τ des porteurs dans la zone de l'interface de collage est faible. En effet, une faible valeur de durée de vie correspond à une forte densité de centres recombinants dans la zone de collage qui contribue à l'évacuation de la charge stockée par recombinaisons. Cela conduit à la diminution du temps d'ouverture t_{off} et par conséquent à la diminution des pertes en commutation à l'ouverture.

Bien que ces centres recombinants aient un effet avantageux en fonctionnement dynamique du composant, leur densité est liée aux conditions de collage et n'est pas maîtrisable. De ce fait, elle ne peut être optimisée pour réduire les pertes totales.

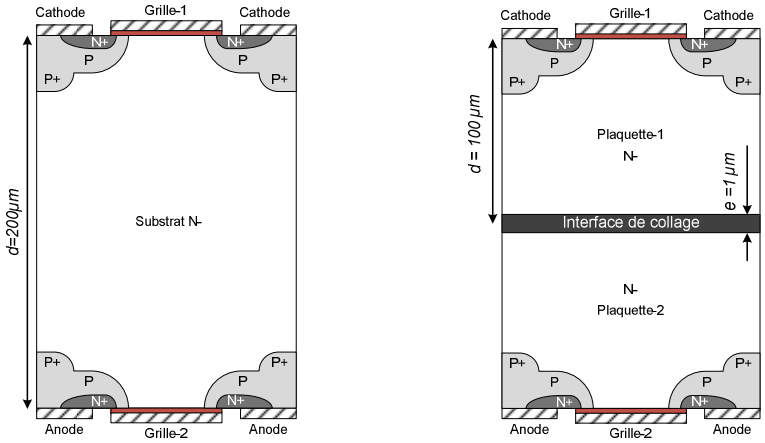
Conclusion sur la structure réalisable par collage

L'étude par simulation 2D de la structure IGBT bidirectionnelle réalisable par collage avait pour but de clarifier l'impact de l'interface de collage sur le fonctionnement de la structure en statique et en dynamique. Cette interface de collage engendre une augmentation importante du courant de fuite à l'état bloqué si les défauts sont trop importants, si l'interface est située dans la zone de charge d'espace, et augmente la chute de tension à l'état passant. En revanche, à l'ouverture du composant, ces défauts contribuent à la réduction du temps d'ouverture car la vitesse d'évacuation de la charge stockée par recombinaisons augmente. Il faut toutefois signaler que les valeurs de durée de vie des porteurs et l'épaisseur de l'interface de collage que nous avons utilisées pour les simulations correspondent à des valeurs probablement différentes de celles obtenues expérimentalement.

IV-3. Comparaison des performances des structures IGBT bidirectionnelles sans et avec collage

Nous nous intéresserons uniquement aux points suivants : tenue en tension, chute de tension à l'état passant et temps d'ouverture. Les deux structures IGBT bidirectionnelles sont identiques et ne diffèrent que par l'interface de collage Figure 2-29. Pour réaliser les simulations, nous avons modélisé

l'interface de collage par une région N^- d'une épaisseur de 1µm d'épaisseur et la durée de vie des porteurs est très inferieure à celle des porteurs dans le substrat N^- τ = 1ns.



(a) (b)

Figure 2-29. Structure IGBT bidirectionnelle réalisable par :a) photolithographie double face et b) soudure directe Si/Si

IV-3-1. Etat bloqué

Pour une même épaisseur de substrat N^- (200 µm), nous avons présenté sur la Figure 2-30 les caractéristiques $I_A(V_{AK})$ à l'état bloqué des deux structures.

On peut remarquer que dans la structure IGBT bidirectionnelle obtenue par collage, le courant de fuite augmente rapidement quand la zone de déplétion atteint l'interface de collage. Si ce courant dépasse la valeur admissible du courant de fuite, ce phénomène pourrait être considéré comme un claquage prématuré de la structure. Pour éviter ce phénomène, il est nécessaire d'avoir l'interface de collage positionnée loin de la jonction polarisée en inverse, cela conduit par conséquent à une épaisseur du substrat importante. A partir de ces résultats, on peut dire que, pour une même épaisseur de substrat, la capacité de blocage de la structure IGBT bidirectionnelle sans collage est meilleure que celle d'une structure avec collage.

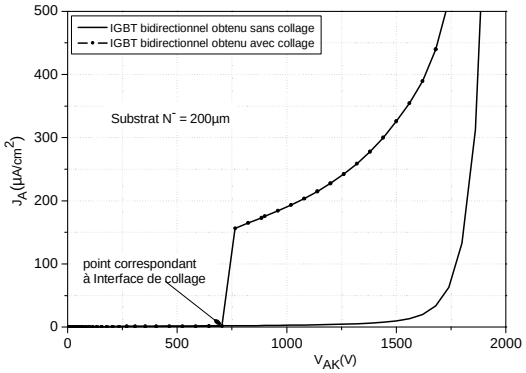
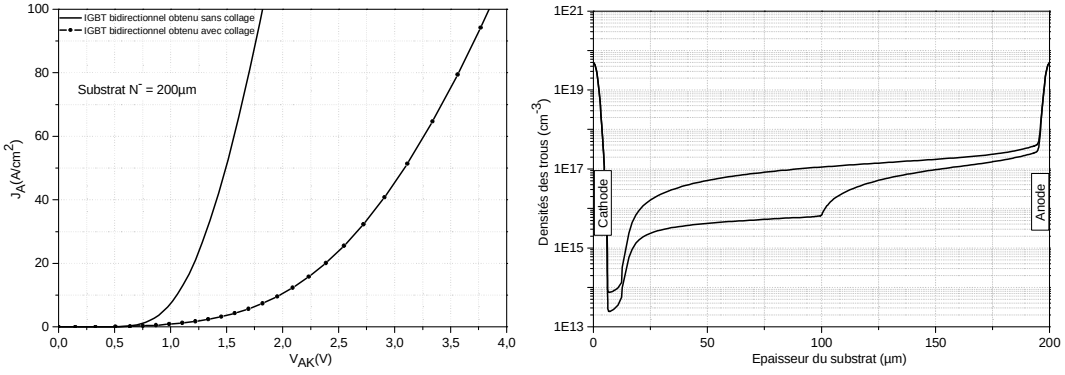


Figure 2-30. Caractéristiques $I_A(V_{AK})$ à l'état bloqué de la structure IGBT bidirectionnel obtenue par et sans collage

IV-3-2. Etat passant

Les caractéristiques $I_A(V_{AK})$ des deux structures IGBT bidirectionnelles à l'état passant sont présentées sur la Figure 2-31. L'épaisseur de l'interface de collage est de 1 µm et la durée de vie des porteurs est de 1 ns.



(a) (b)

Figure 2-31. (a) Caractéristiques $I_A(V_{AK})$ à l'état passant et(b) profil de trous selon une ligne verticale passant par la région P^+ de la structure IGBT bidirectionnelle simulée avec et sans interface de collage.

Nous remarquons que par rapport à la structure sans collage, la chute de tension V_{on} dans le cas de la structure IGBT bidirectionnelle avec collage est élevée. Cela s'explique par la détérioration de la modulation de conductivité du substrat N- liée à l'augmentation du taux de recombinaison du fait de la présence de défauts engendrés par le collage. Par conséquent, les pertes en conduction de la structure sans collage sont moins importantes que celles de la structure avec collage.

IV-3-3. Temps d'ouverture

Les résultats de simulation de la structure IGBT bidirectionnelle obtenue par et sans collage en commutation à l'ouverture sont présentés sur la Figure 2-32.

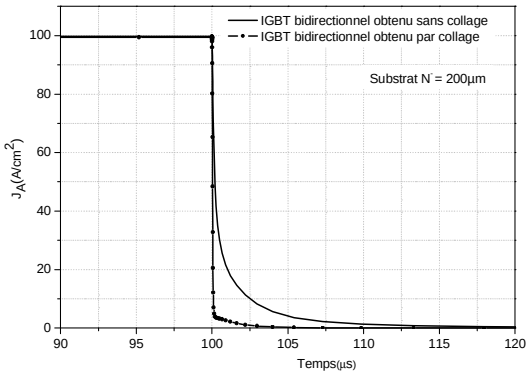


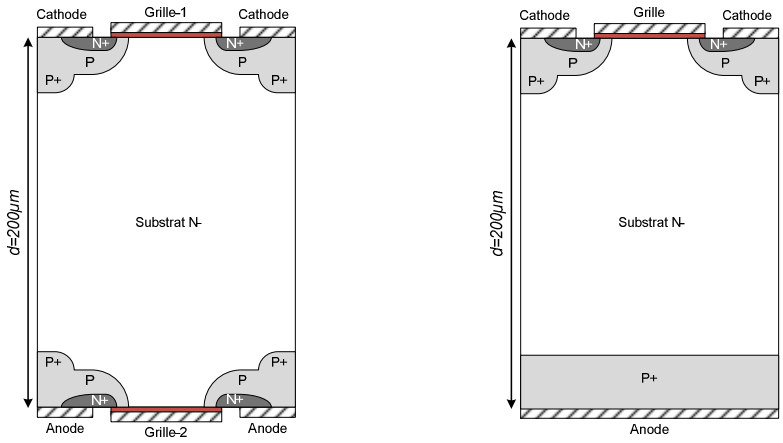
Figure 2-32. Caractéristiques $I_A(t)$ à l'ouverture de la structure IGBT bidirectionnel simulée sans et avec l'interface de collage.

Contrairement au fonctionnement en statique, les défauts et impuretés créés à l'interface de collage permettent à la structure IGBT bidirectionnelle de s'ouvrir plus rapidement et par conséquent

les pertes qu'elle présente en commutation à l'ouverture sont réduites. Néanmoins, leur densité à l'interface de collage n'est pas contrôlable et dépend notamment des conditions de la soudure directe Si/Si (voir chapitre 3). L'interface de collage contribue dans tous les cas à la réduction du temps d'ouverture du composant. On peut donc dire que la structure IGBT bidirectionnelle avec collage présente un avantage par rapport à la structure sans collage en commutation à l'ouverture.

IV-4. Comparaison des performances de la structure IGBT bidirectionnelle réalisable par photolithographie double face avec celles d'un IGBT unidirectionnel

La différence principale entre la structure IGBT bidirectionnelle par rapport à la structure IGBT unidirectionnelle réside dans la conception de la face arrière. En effet, par rapport à une structure IGBT unidirectionnelle, la région P^+ face arrière a été remplacée par une section MOS identique à celle de la face avant (Figure 2-33). Afin de comparer les performances en statique et en dynamique des deux structures, nous avons effectué des simulations sur les deux structures en utilisant les mêmes paramètres géométriques et physiques donnés dans le tableau 2.2. L'épaisseur des substrats N- utilisés est de 200 µm (Figure 2-33) et la surface des composants simulés est de $1cm^2$.



(a) (b)

Figure 2-33. a) IGBT bidirectionnel, b) IGBT unidirectionnel

IV-4-1. Etat bloqué

Les deux structures d'IGBT sont capables de bloquer des tensions positive et négative. Les caractéristiques $I_A(V_{AK})$ des deux structures IGBT simulées à l'état bloqué, direct et inverse, sont présentées sur la Figure 2-34.

A l'état bloqué direct, la jonction polarisée en inverse supporte la tension V_{AK} appliquée et l'extension de la zone de charge d'espace est identique dans les deux structures. Cela donne pratiquement la même tenue en tension en claquage comme on peut le remarquer sur la Figure 2-34. À l'état bloqué inverse, on remarque une légère différence entre les deux tensions de claquage.

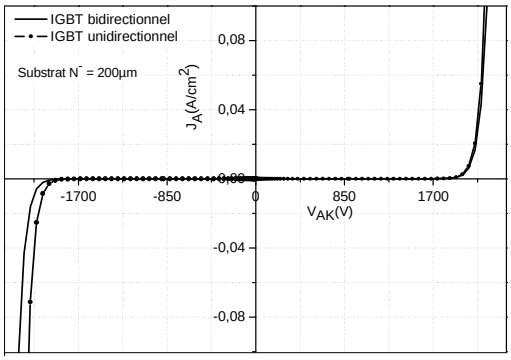
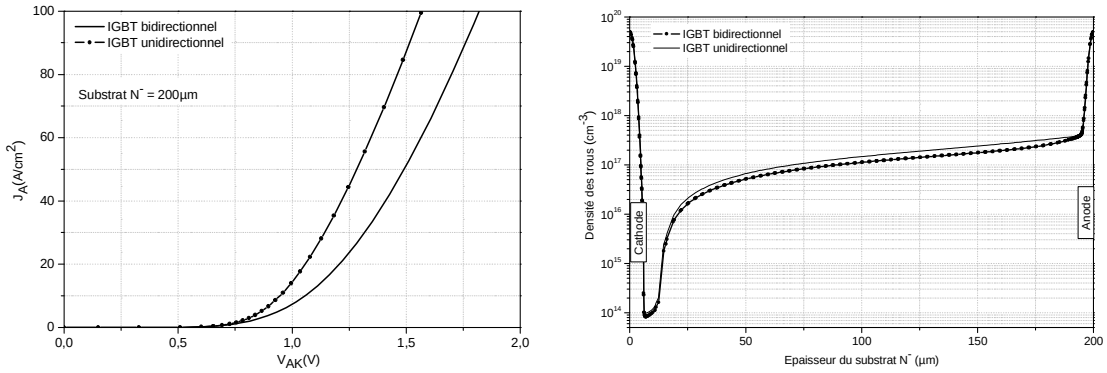


Figure 2-34. Caractéristiques $I_A(V_{AK})$ à l'état bloqué de la structure IGBT bidirectionnelle et la structure IGBT unidirectionnelle.

IV-4-2. Etat passant

Les caractéristiques $I_A(V_{AK})$ des deux structures IGBT simulées à l'état passant sont données sur la Figure 2-35.



(a) (b)

Figure 2-35. (a) Caractéristiques $I_A(V_{AK})$ et (b) profil de densité des trous selon coupe verticale passant par la région P^+d'un IGBT bidirectionnel et d'un IGBT unidirectionnel

Ces caractéristiques montrent que la chute de tension à l'état passant de la structure IGBT unidirectionnelle est faible par rapport à celle de la structure IGBT bidirectionnelle. L'augmentation de la chute de tension aux bornes de la structure IGBT bidirectionnelle est due principalement à la réduction de la section P^+ qui injecte des porteurs minoritaires (trous) dans la région N-. En effet, la réduction de section P^+ conduit à une réduction de l'efficacité d'injection des trous ce qui affecte la modulation de la conductivité de la région N^- et par conséquent conduit à l'augmentation de la chute de tension. Les résultats de simulations données en Figure 2-35montrent que la densité de trous dans la base N- de l'IGBT unidirectionnel est supérieure à celle de l'IGBT bidirectionnel.

IV-4-3. Temps d'ouverture

Les caractéristiques $I_A(t)$ des deux structures IGBT simulées en commutation à l'ouverture sont données sur la Figure 2-36.

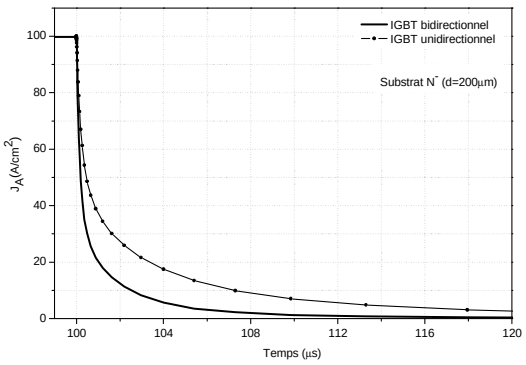


Figure 2-36. Caractéristiques $I_A(t)$ à l'ouverture de la structure IGBT bidirectionnelle et de la structure IGBT unidirectionnelle

Le temps d'ouverture dépend essentiellement de la quantité de charges stockées dans le substrat N^- durant la conduction. Cette quantité n'étant pas la même dans les deux structures, l'ouverture de la structure IGBT bidirectionnelle est plus rapide que celle de la structure IGBT unidirectionnelle. En outre, la structure IGBT bidirectionnelle, du fait de l'intégration monolithique de deux IGBTs en tête bêche, offre une possibilité de réduire davantage le temps d'ouverture t_{off}. En effet, en adoptant une stratégie de commande adaptée des deux grilles, on peut agir sur les pertes totales sur un cycle de commutation.

V. Paramètres géométriques et physiques des deux composants IGBT à réaliser

Les structures IGBT que l'on souhaite réaliser doivent supporter une tension de 600 V et transiter un courant de quelques ampères (5A). L'étude par simulation précédente a permis de déterminer l'influence de certains paramètres géométriques et physiques sur la chute de tension à l'état passant ainsi que sur la tenue en tension du composant. Il faut toutefois signaler que l'étude de l'influence par exemple de la largeur de la cellule W_{cell} sur la chute de tension à l'état passant n'a pas été effectuée car nous nous sommes imposé des paramètres qui augmenteront les chances de réussite du process de fabrication en salle blanche. En effet, le premier objectif du travail mené dans cette thèse est de valider la fonctionnalité du dispositif par des réalisations. Un travail complémentaire pour optimiser la structure dans le but d'améliorer les performances à l'état passant n'interviendra qu'ultérieurement. Les paramètres des composants à réaliser sont représentés sur la Figure 2-37 et regroupés dans le tableau 3.

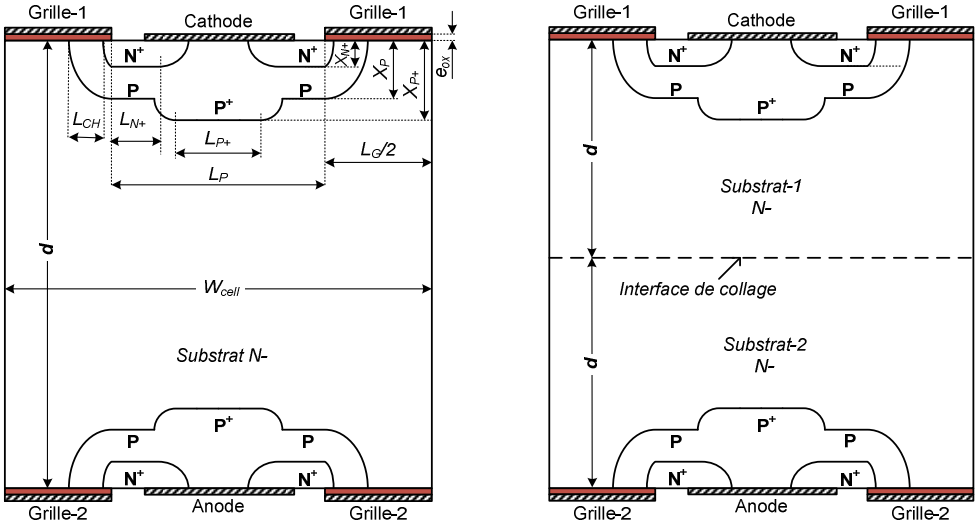


Figure 2-37. Représentation des paramètres physiques et géométriques de la structure IGBT bidirectionnelle à réaliser

Région	Dimension (µm)	Concentration en surface (cm^{-3})	Profile de dopage	Facteur de diffusion latérale
SiO_2	$L_G = 30$ $e_{ox} = 0.05$	-	-	-
N^-	$W_{cell} = 70$ $d = 300$	10^{+14}	Uniforme	0.8
N^+	$L_{N+} = 14$ $X_{N+} = 1$	10^{+20}	Gaussien	0.8
P	$L_P = 40$ $X_P = 5$	$2.5x10^{+17}$	Gaussien	0.8
P^+	$L_{P+} = 26$ $X_{P+} = 7$	$5x10^{+19}$	Gaussien	0.8
Canal	$L_{CH} = 3.2$	-	-	-

Tableau 3. Paramètres physiques et géométriques de la structure IGBT bidirectionnelle à réaliser

VI. Deuxième stratégie d'intégration

La stratégie d'intégration monolithique adoptée précédemment est basée sur la mise en face à face de sections DMOS de chaque IGBTs. Il est possible, tout en utilisant la technologie IGBT planar, de procéder à une intégration monolithique de deux structures IGBT de la façon représentée sur la Figure 2-38. Cette stratégie est basée soit sur une mise en tête bêche de deux sections IGBT, soit sur répartition de groupes de cellules (de 1, 2, 3,…) composant chaque IGBT. Ces groupes de cellules peuvent être placés en tête bêche tel que c'est représenté sur la Figure 2-38. L'inconvénient de cette technique d'intégration par rapport à la précédente est qu'elle consomme davantage de surface de silicium. Toutefois, avec cet agencement de cellules, il serait possible de bénéficier de certaines techniques qui ont permis l'amélioration des performances des IGBT unidirectionnels tels que c'est représenté sur la Figure 2-39.En outre, la répartition spatiale des différents groupements de cellules

permet d'agir sur les performances en dynamique de la structure bidirectionnelle comme le montrent les résultats de simulations donnés sur la Figure 2-40.

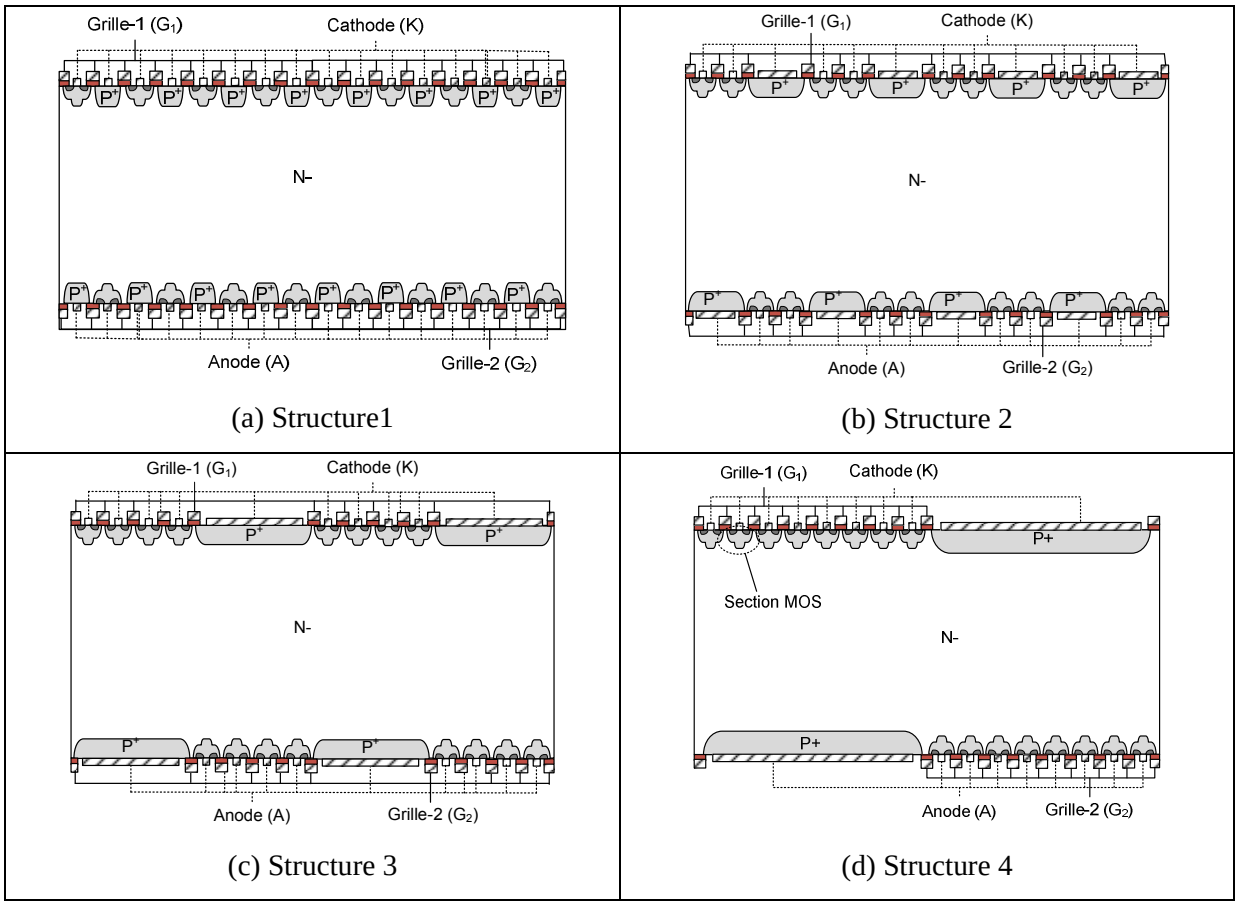


Figure 2-38. Différentes manières d'agencer les cellules IGBT pour réaliser un IGBT bidirectionnel

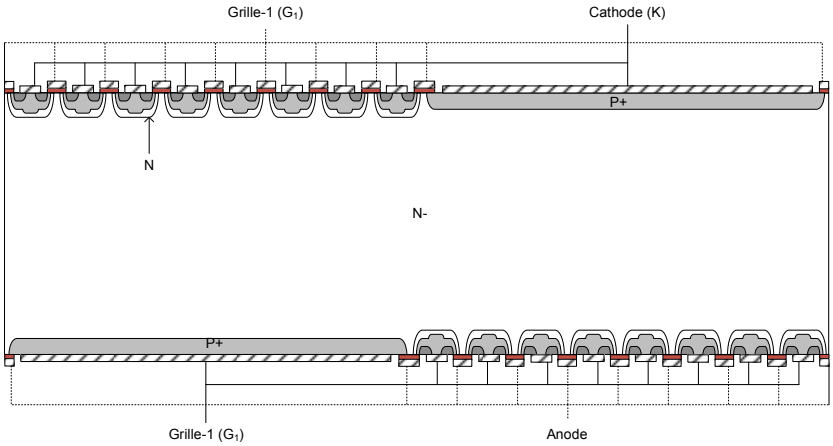


Figure 2-39. Structure IGBT bidirectionnelle avec une couche N (« hole barrier »)

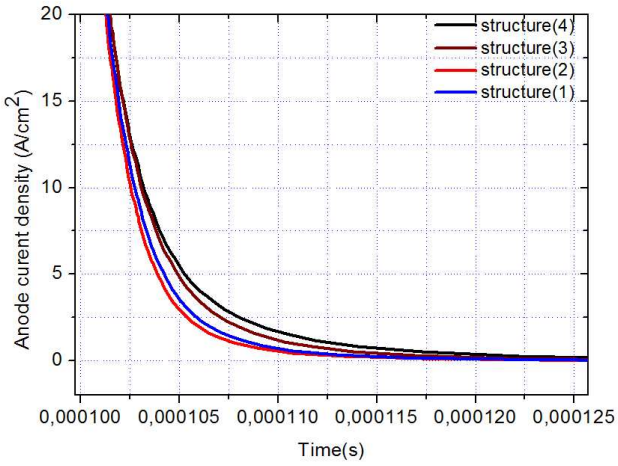


Figure 2-40. Caractéristiques $I_A(V_{AK})$ à l'ouverture des différentes structures IGBT bidirectionnelles représentées sur la Figure 2-38.

VII. Conclusion

Dans ce chapitre, nous avons présenté la structure IGBT bidirectionnelle en courant et en tension. Cette structure associe dans un même substrat silicium deux structures IGBT. Cette intégration monolithique des deux sections IGBT confère à la structure ainsi résultante une possibilité de contrôle de la rapidité de commutation à l'ouverture que l'association en tête bêche dans un même boîtier de deux puces IGBT unidirectionnelles ne permet pas.

L'objectif principal de ce chapitre était de déterminer, en utilisant des simulations physiques bidimensionnelles, un ensemble de paramètres géométriques et physiques permettant de concevoir et réaliser la structure.

Après avoir présenté la vue en coupe de la structure intégrée, nous avons présenté ses modes de fonctionnement. Nous avons ensuite décrit les deux techniques permettant de réaliser la structure IGBT en salle blanche. Nous avons pour cela décrit la technique de lithographie double face ainsi que la technique de soudure Si/Si. Nous avons énuméré les avantages et les inconvénients de chacune des deux techniques. Cette analyse comparative a permis également de mettre en exergue les verrous technologiques à lever pour les deux techniques.

La structure que l'on souhaite réaliser pour valider les deux voies technologiques par des prototypes réalisés en salle blanche doit supporter une tension de l'ordre de 600 V symétrique et faire transiter un courant de quelques ampères.

De ce fait, nous avons effectué un nombre important de simulations 2D sur des structures IGBT et cela pour chacune des deux techniques de réalisation. L'optimisation par simulations de la structure réalisable par lithographie double face a démontré qu'une épaisseur de l'ordre de 110 µm était nécessaire pour supporter la tension de 600 V. L'optimisation de la structure réalisable avec collage est différente car il était nécessaire de modéliser dans un premier temps l'interface de collage. En effet, des travaux de développement de modèles ont été menés par nos collaborateurs du LMP afin de les incorporer dans les d'outils de simulation de Sentaurus. Nous n'avons toutefois pas pu les utilisés durant nos simulations car le modèle n'était pas encore prêt. Nous avons néanmoins modélisé l'interface de collage par une région de silicium de durée de vie différente de celle du reste du substrat N-. Une conclusion importante à tirer de ces résultats de simulations concerne la position de l'interface de collage. En effet, les simulations à l'état bloqué de la structure ont montré que pour éviter un accroissement important du courant de fuite du fait de l'étalement de la zone de charge d'espace, il est nécessaire de positionner l'interface de collage en dehors de la limite d'extension de la zone de charge d'espace. Par conséquent, l'épaisseur minimale de la zone de drift (N-) dans le cas de la structure réalisable par collage est deux fois plus importante que celle qui est nécessaire dans le cas de la structure réalisable par photolithographie double face.

Les simulations ont permis également d'analyser l'impact de la présence d'une section MOS sur chaque face du substrat sur les performances du dispositif notamment à l'état passant. Ces résultats ont effectivement montré que, par rapport à une structure IGBT unidirectionnelle de surface équivalente, la chute de tension à l'état passant, pour un même niveau de courant, est plus importante. Toutefois, à l'ouverture du dispositif, il est possible, en utilisant une stratégie de commande adaptée, d'exploiter les sections MOS afin de réduire le temps d'ouverture du dispositif.

Il faudrait toutefois rappeler que, du point de vue réalisation, nous ne pouvons pas à l'heure actuelle réaliser des structures avec des épaisseurs inférieures à 300 µm car la manipulation des plaquettes se fait encore manuellement et qu'en dessous de 200 µm, la robustesse mécanique du substrat n'est plus suffisante pour supporter les différents chocs subits lors des manipulations.

Références

[1] F.E. Gentry, R.I Scace, and J.K. Flowers :"Bidirectional Triode P-N-P-N Switches", Proc. Of the IEEE, pp.355-369, 1964.

[2] J.D. Plummer, B.W. Scharf, "Insulated gate planar thyristors: I- Structure and Basic Operation", IEEE Transactions on Electron Devices, Vol.ED-27, NO.2, February 1980.Ref

[3] J.S.T. Huang: "The bilateral emitter switched thyristor", IEEE IEDM, 1992.

[4] Shuming xu, Rainer Constapel, and Dieter Silber, CTC: "a CMOS Thyristor Cascode. Proceedings of the 1998 ISPSD, Kyoto, pp 159-162.

[5] Manoj Mehrotra and B.J. Baliga, "A Planar MOS-Gated AC Switch Structure", IEEE IEDM 1995, pp. 349-352.

[6] Friedhelm Bauer, Thomas Stockmeier. "Bidirectional semiconductor component that can be turned off " US patent N° 5,040,042. Aug.13, 1991.

[7] Yuming Bai, Alex Q. Huang, "Comprehensive investigations of high voltage non-punch-through double gate-injection enhanced gate transistor", solid state electronics 44 (2000), pp. 1783-1787.

[8] A. Bourennane, M. Breil, J.L. Sanchez, P. Austin, J. Jalade,"New triggering mode in a bidirectional MOS-thyristor device" Microelectronics Journal 35 (2004) 277- 285.

[9] A. Bourennane, M. Breil, J.L. Sanchez, J. Jalade,"A vertical monolithical MOS controlled bi-directional semiconductor device" Microelectronics Journal.

[10] A. Laporte," Etudes des interfaces Silicium/Silicium obtenues par soudure directe de plaquettes",thèse (INSA Toulouse, 1995).

[11] "Sentaurus Structure Editor User Guide", Synopsis, version Z-2007.03, March 2007, 124 pages.

[12] "Sentaurus Device User Guide", Synopsis, version Z-2007.03, March 2007, 1028 pages.

[13] "Tecplot SV User Guide", Synopsis, version Z-2007.03, March 2007, 58 pages.

[14] "Inspect User Guide", Synopsis, version Z-2007.03, March 2007, 124 pages.

[15] B. Jayant Bliga. "Power semiconductor device", 1995.

[16] Vinod Kumar Khanna. "IGBT Theorie and Design", 2003.

CHAPITRE 3

CONCEPTION DES MASQUES ET REALISATION TECHNOLOGIQUE

I. Introduction

L'étude par simulations réalisée dans le chapitre précédent sur la structure IGBT bidirectionnelle en vue de la réaliser par la technique de photolithographie double face ainsi que par la technique de soudure directe Si/Si a permis de valider et de dégager un ensemble de paramètres notamment géométriques nécessaires pour obtenir une structure capable de supporter symétriquement 600 V et capable de faire transiter un courant de l'ordre de 5 A dans les deux sens.

Ce chapitre 3 est dédié à la partie réalisation du composant selon les deux techniques. Il représente la plus grande partie du travail mené dans le cadre de la thèse. En effet, la vue 2D d'une structure IGBT bidirectionnelle est déjà connue dans la littérature [1]-[4]. Toutefois, sa réalisation a toujours été un obstacle majeur. En effet, on peut recenser dans la littérature quelques tentatives de réalisations [5], [6] mais l'inconvénient des techniques utilisées jusqu'à ce jour est qu'elles sont basées sur le collage à basse température (< 800°C). Certes, l'avantage d'un tel procédé est que le collage est effectué après l'étape de métallisation (< 400°C), ce qui permet de réaliser les sections MOS de chaque face du wafer séparément et sur des plaquettes différentes. Toutefois, les travaux antérieurs [8]. et nos travaux récents sur la soudure directe Si/Si à basse température (600°C) ont permis de révéler un certain nombre d'inconvénients très préjudiciables pour les composants, ce qui a empêché, à notre avis, l'essor de la technique de collage à basse température pour la réalisation de dispositifs de puissance à conduction verticale. En effet, comme nous le démontrerons en détail plus loin, une étude sur le collage de plaquettes de Si vierges a démontré que le collage à basse température conduit obligatoirement à l'apparition de défauts et des zones non collées que l'on appelle « voids ».

L'essentiel du travail technologique réalisé dans le cadre de cette thèse réside au niveau de ce chapitre. En effet, l'objectif principal de notre travail était de démontrer qu'il était possible d'utiliser deux techniques pour la réalisation d'une structure IGBT bidirectionnelle en courant et en tension. L'une des techniques est basée sur la photolithographie double face et l'autre est basée sur la soudure directe Si/Si. Chacune présente des difficultés et parmi cela on peut notamment citer :

a. *pour la technique basée sur la soudure Si/Si*

- Le problème de la qualité de l'interface de collage qui doit être à la fois robuste mécaniquement et transparente électriquement.
- Le problème du collage dans un wafer bonder qui utilise l'infrarouge pour effectuer l'alignement. Ce type d'alignement n'est pas adapté pour le cas de nos composants.

b. *pour la technique basée sur la lithographie double face*

- L'obtention d'un oxyde de grille de qualité sur les deux faces du substrat.

Ces quelques obstacles nous ont obligés à travailler pendant un certain temps sur la mise en place de briques spécifiques et à mener des tests sur des structures simples telles que les diodes pour valider les solutions proposées. En effet, nous avons développé entre autres une technique de collage à haute température que nous avons intégré dans le process flow de la filière IGBT flexible ainsi qu'une technique d'alignement basée sur les franges de Moiré permettant un alignement très précis de la plaquette (cellules MOS face avant) par rapport à la plaquette contenant les sections MOS de la face arrière de l'IGBT bidirectionnel.

Pour présenter le travail de réalisation que nous avons mené en salle blanche, nous avons adopté l'organisation suivante :

Après une description des masques réalisés, nous avons donné une description de la filière IGBT flexible ainsi qu'une description de l'ensemble des étapes technologiques qui concernent la réalisation du composant selon les deux techniques. Nous avons détaillé et expliqué la technique de réalisation par la lithographie double face. Nous avons également décrit la technique de soudure Si/Si et expliqué les raisons du développement de certaines briques spécifiques. A ce stade, nous avons précisé l'endroit auquel il faut insérer l'étape de soudure Si/Si dans le process flow de la filière IGBT du LAAS. Nous avons ensuite montré des photos des premiers prototypes réalisés ainsi que les premiers résultats de caractérisation sous pointes.

II. Conception des masques

Le layout des masques a été réalisé à l'aide de l'outil VIRTUOSO de l'environnement CADENCE. Le principe adopté pour cette réalisation consiste à dessiner une cellule élémentaire puis la multiplier par un nombre calculé de sorte à avoir un nombre de cellules qui permet à la structure de transiter un courant de 5 A. Les différents niveaux de masques ont été dessinés en respectant les règles de dessin imposées par les équipements disponibles dans la centrale technologique du LAAS.

Différentes géométries pour la cellule élémentaire d'IGBT peuvent être utilisées. Le choix d'une géométrie de cellule de base aura un impact entre autres sur la surface qu'occupera le composant final IGBT pour un courant nominal donné ainsi que sur le courant de latch-up du thyristor parasite.

Pour notre réalisation, nous avons choisi une cellule carrée et nous avons calculé le nombre de cellules nécessaires pour faire transiter un courant nominal de 5A. Pour ce faire, nous avons utilisé l'outil de simulations 2D Sentaurus. On a effectué une simulation d'une cellule IGBT de 300µm d'épaisseur et de 70µm de largeur. La caractéristique I-V obtenue est donnée sur la Figure 3-1. De cette courbe, on déduit que pour un courant de 3.10^{-5} A/µm, la chute de tension aux bornes de l'IGBT est de l'ordre de 1,7V. Par conséquent, en acceptant une chute de tension de 1,7 V et pour faire transiter un courant de 5 A, une largeur total de canal $Z = \frac{5}{3.10^{-5}} \approx 166667 \mu m$ est nécessaire. La largeur totale d'une cellule élémentaire carrée ($Z_{Cellule}$), basée sur nos choix technologiques, étant de l'ordre de 220 µm, le nombre de cellules nécessaire pour faire transiter 5 A est donc de l'ordre de $n_{cellule} = \frac{Z}{Z_{cellule}} \approx 758$ cellules.

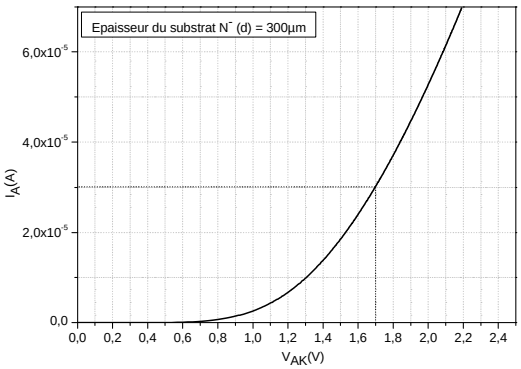


Figure 3-1. Caractéristique $I_A(V_{AK})$ à l'état passant d'une cellule IGBT bidirectionnelle

Selon des études menées au G2Elab (Grenoble), dans le cadre du projet ANR MOBIDIC, le packaging de l'IGBT bidirectionnel exige une séparation minimale entre les différentes métallisations pour éviter d'éventuels courts circuits suite à l'insertion de la puce dans le boîtier. Afin de tenir compte de cette exigence, nous avons réalisé différentes topologies de masques en séparant la métallisation de la grille de celle de l'anode de différentes distances (100 et 400 µm). Une vue

d'ensemble des différents niveaux de masques qui correspondent à une face de la puce IGBT bidirectionnelle (l'autre face étant identique) est présentée sur la Figure 3-2.

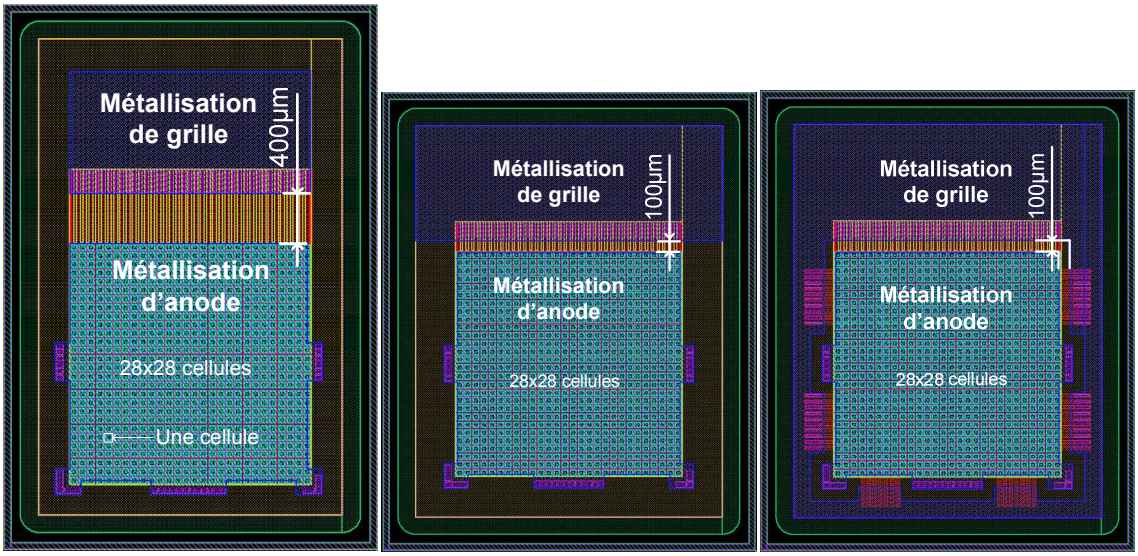
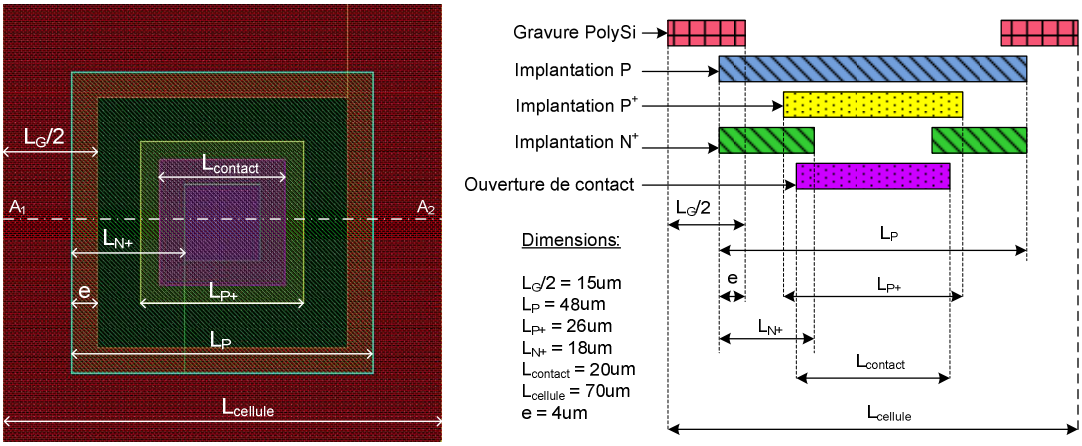


Figure 3-2. Vue de dessus de différentes topologies de masque correspondant à une puce IGBT bidirectionnel

Une vue d'ensemble des différents niveaux de masque qui correspondent à la réalisation d'une section MOS sur une face d'une cellule IGBT bidirectionnelle est présentée sur la Figure 3-3-a et les dimensions de ces différents niveaux sont donnés sur la Figure 3-3-b.

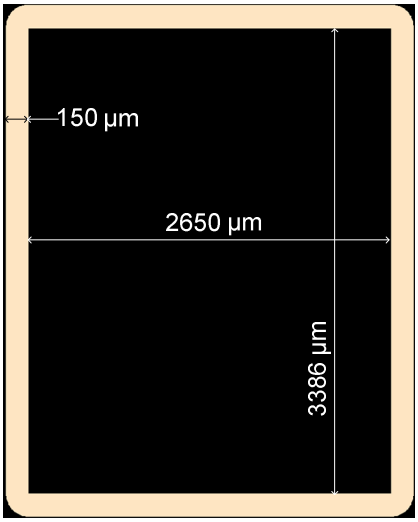
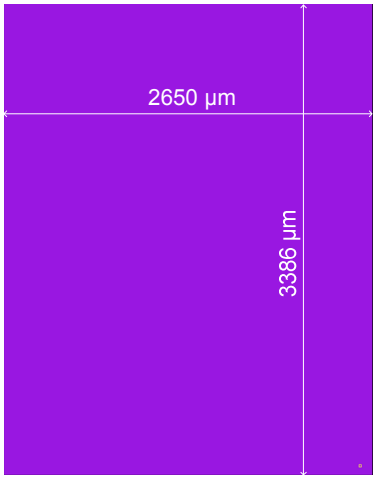


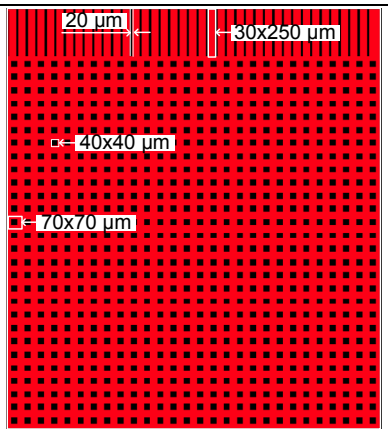
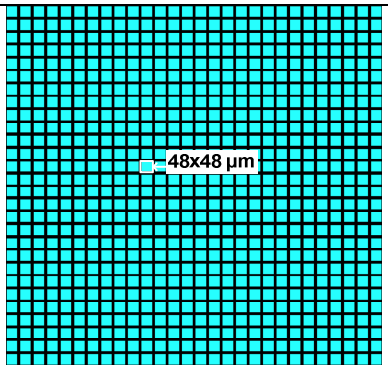
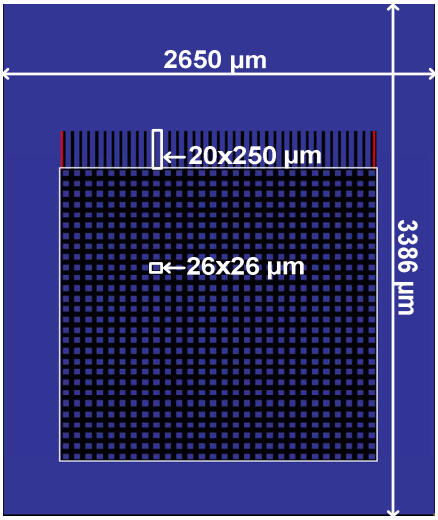
(a) (b)

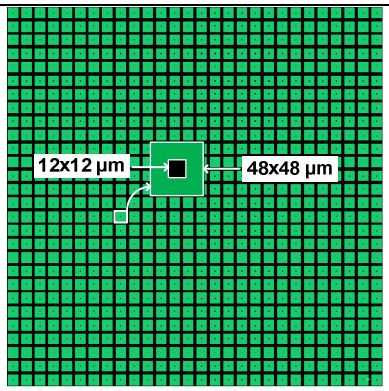
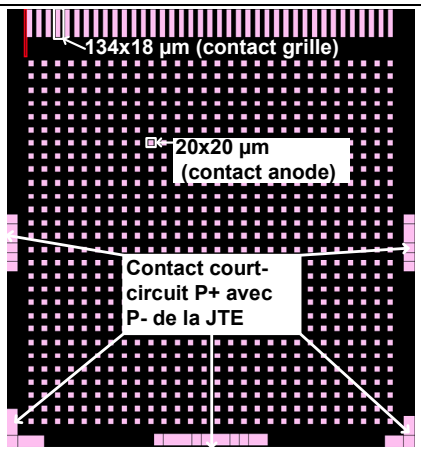
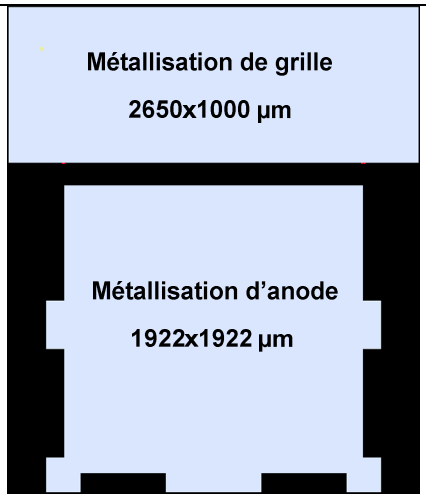
Figure 3-3. Niveaux de masques correspondant à une section MOS de l'IGBT bidirectionnel. (a) vue de dessus, (b) vue en coupe selon l'axe A_1A_2.

Les masques qui correspondent aux diffusions P, P^+, N^+ et à l'ouverture de contacts sont alignés par rapport au masque correspondant à la gravure de polysilicium selon le principe d'auto-alignement. Pour cela, nous avons choisi un dépassement « e » des ouvertures P et N^+ par rapport aux motifs de grilles de 4µm (Figure 3-3-b), ce qui est largement suffisant par rapport à la précision de la machine d'insolation utilisée Karl Suss MA150 (<1µm).

Nous détaillons sur le tableau 3.1 les différents niveaux de masques utilisés pour la réalisation de la face avant d'une puce IGBT bidirectionnel. Ces niveaux de masques sont utilisés aussi pour réaliser la face avant d'une puce IGBT unidirectionnel.

Etape technologique	**Niveau de masque**
Implantation P-	 La bande de la terminaison de jonction JTE est conçue de telle sorte qu'elle entoure la zone active de la puce. la dose de P^- ($2{,}5.10^{12}$ cm^{-2}) a été optimisée précédemment au LAAS pour supporter des tensions situées dans la gamme 600-1200V.
Ouverture de la zone active	

Gravure de polysilicium	
Implantation P	
Implantation P+	 Les ouvertures carrées (26x26 µm) qui correspondent aux diffusions P^+ des sections MOS sont entourées par une bande P^+ pour matérialiser le court-circuit avec la JTE

Implantation N+	
Ouverture de contacts	
Métallisation	

Tableaux 3.1 : Masques de la face avant d'une puce IGBT bidirectionnel

III. Réalisation technologique

III-1. Description des principales étapes de la filière IGBT flexible

Les deux techniques proposées pour la réalisation du composant IGBT bidirectionnel, la technique de photolithographie double face et la technique de soudure directe Si/Si, sont basées sur le procédé technologique d'IGBT de la filière flexible développée précédemment au LAAS [7]. L'enchaînement des briques de base permet essentiellement de réaliser des IGBTs classiques.

Cependant, cet enchaînement est structuré de manière à pouvoir insérer de nouvelles étapes pour la réalisation de dispositifs complexes sans modifier le bilan thermique du procédé de base.

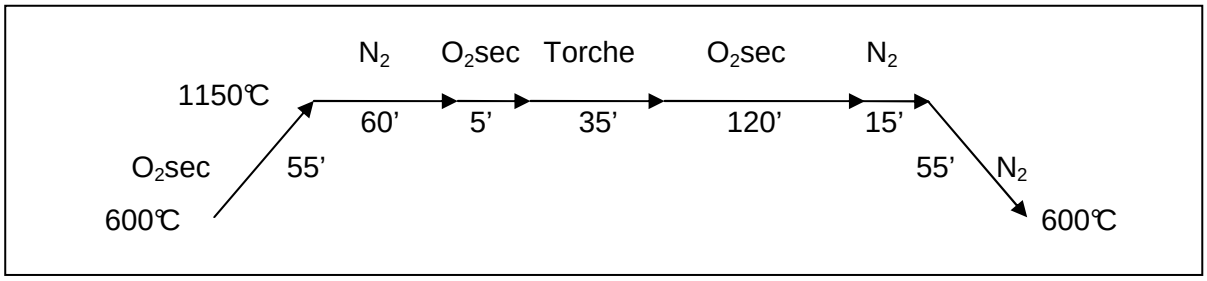
L'enchaînement des étapes de base, pour la réalisation d'une structure IGBT avec grille en polysilicium, est basé sur le principe d'auto-alignement et impose la réalisation de la grille du MOS en début du processus technologique avant toutes les étapes d'implantation ionique et de redistributions thermique. Les briques technologiques de base d'un IGBT classique de base s'enchaînent donc de la manière suivante :

- Terminaison de jonction (caissons P^-)
- Anode P^+face arrière
- Grille en polysilicium dopé N^+
- Caissons P
- Caissons P^+
- Cathodes N^+
- Ouverture contacts et métallisation.

L'enchaînement des étapes technologiques de base nécessaires pour la réalisation de l'IGBT bidirectionnel par les deux techniques est représenté sur la Figure 3-4.

- **Terminaison de jonction**

Nous avons choisi pour cette filière des terminaisons de jonction de type JTE optimisées précédemment au LAAS, pour des tenues en tension situées dans la gamme 600-1200 V. Ces terminaisons de jonction sont réalisées par implantation ionique de bore avec une faible dose.Le caisson P^-, ainsi réalisé, est ensuite redistribué sous ambiance oxydante. L'implantation de bore se fait avec une énergie de 50 keV et une dose de $2{,}5.10^{12}$ cm^{-2}.



Etape de redistribution du P^-

- **Anode P^+ face arrière**

Les anodes P^+ sont réalisées par implantation ionique de bore sur la face arrière sans auto-alignement par rapport à la grille. L'énergie d'implantation est de 100 keV, et la dose est de10^{16} cm^{-2}. La redistribution de ces régions se fait d'une part lors de la réalisation de l'oxyde de grille effectuée à 1000°C, et d'autre part lors des redistributions des caissons P et des cathodes N^+ de la face avant à 1150°C. A la fin du processus de fabrication et après toutes les étapes thermiques, la concentration en surface obtenue est de 3.10^{19} cm^{-3} pour une profondeur de jonction de 7,2 µm.

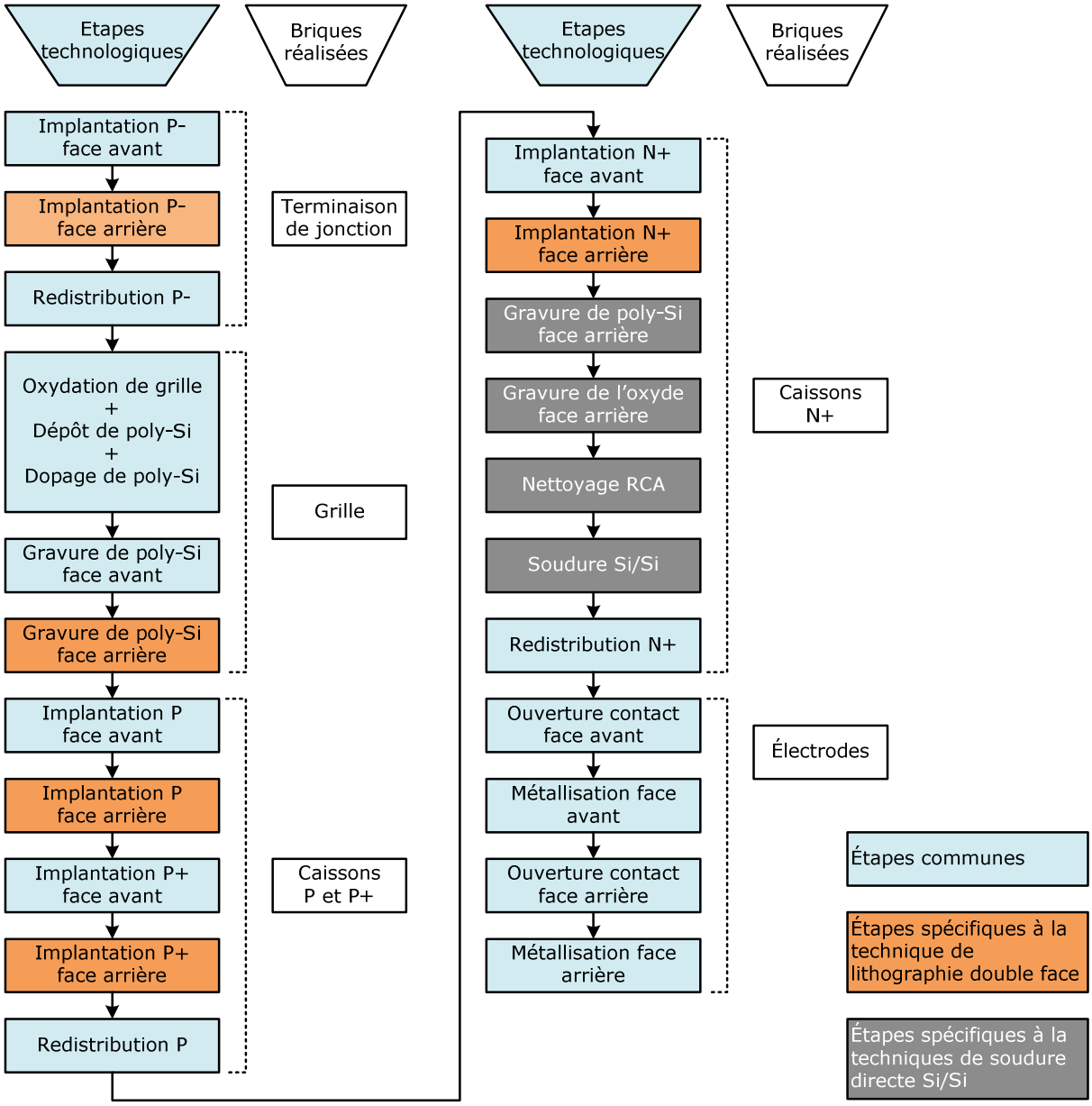
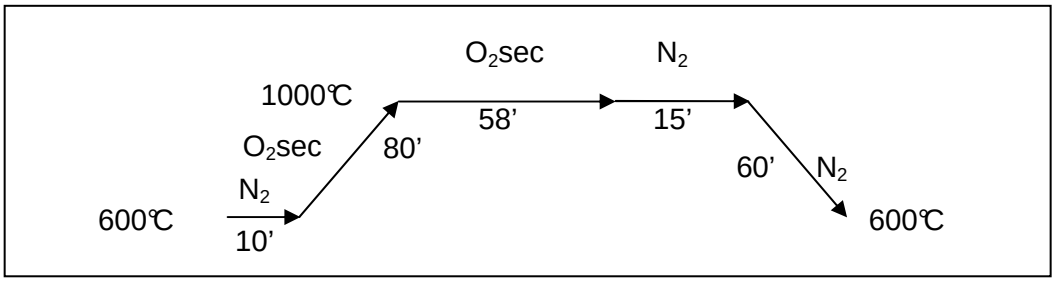


Figure 3-4. Enchaînement des étapes technologique pour la réalisation de l'IGBT bidirectionnel par la technique de lithographie double face et la technique de soudure directe Si/Si.

- **Oxyde de grille**

L'oxyde de grille des sections MOS est réalisé par oxydation thermique du silicium. Le profil thermique de cette étape a été optimisé à la centrale technologique du LAAS pour obtenir une épaisseur d'oxyde de 550 Å. Les dix minutes à 600°C sous azote après l'enfournement permettent d'uniformiser la température du four ainsi que la répartition des gaz, en vue d'obtenir une épaisseur d'oxyde la plus homogène possible sur chaque face de la plaquette et également sur l'ensemble des plaquettes introduites dans le four.



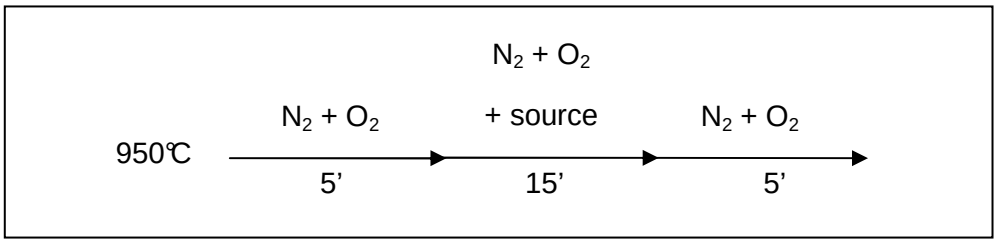
Croissance de l'oxyde de grille

- **Dépôt et dopage du polysilicium**

Le polysilicium de grille est déposé par LPCVD à partir de la décomposition de silane (SiH_4), à la température de 605°C pendant 40 minutes, pour obtenir une épaisseur d'environ 3500 Å.

Le dopage du polysilicium de type N se fait par diffusion de phosphore qui se déroule sous ambiance oxydante, la couche d'oxyde créée naturellement permet d'éviter l'exo-diffusion des atomes de phosphore. Cette couche d'oxyde a une épaisseur d'environ 500 Å.

Après tous les recuits du procédé, en fin de processus de fabrication, la diffusion du phosphore ne devrait pas traverser la couche d'oxyde de grille, selon des tests expérimentaux faits précédemment aux LAAS [9].



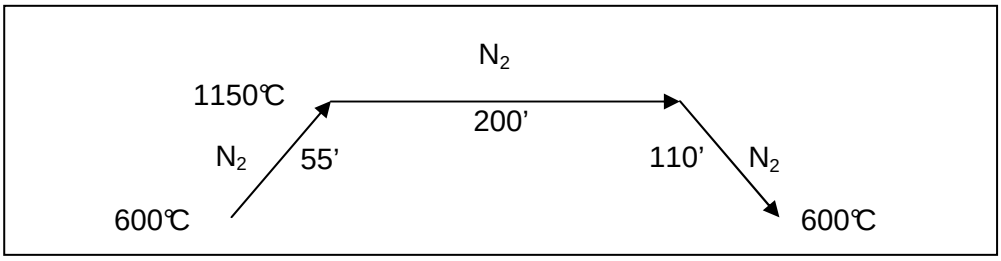
Dopage du polysicilium

- **Caisson P**

Le caisson P est réalisé par implantation ionique de bore et utilise la région de polysilicium de grille comme auto-alignement. La dose implantée est de 1.10^{14} cm^{-2} et l'énergie de 50 keV. A l'issue du bilan thermique complet, on obtient une concentration en surface de 6.10^{17} cm^{-3} et une profondeur de jonction de 4,8 µm. Dans ces conditions, la concentration en surface maximale sous la grille est de 1.10^{17} cm^{-3}. Il est à noter que l'utilisation de la grille pour effectuer un auto-alignement conduit à l'obtention d'une région de canal présentant un dopage variable dû à la diffusion latérale des régions P.

- **Caisson P^+**

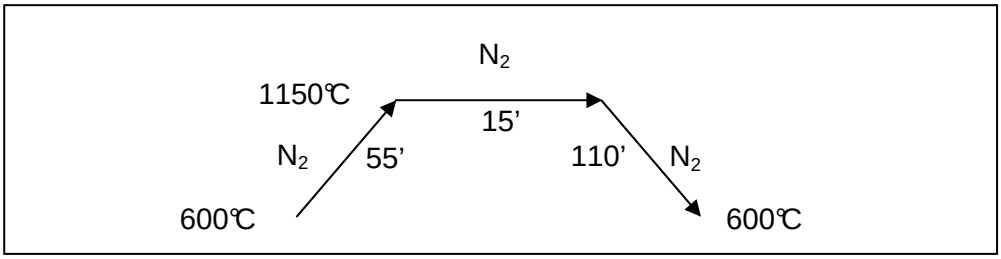
Le caisson P^+est réalisé par implantation ionique de bore. L'énergie d'implantation est de 100 keV, et la dose est de 10^{16} cm^{-2}. La redistribution du P^+ est commune avec la redistribution des caissons P. A l'issu du bilan thermique complet, la région P^+ présente une concentration en surface de 3.10^{19} cm^{-3} et une profondeur de jonction de 7,1 µm.



Redistribution P et P^+

- **Réalisation des régions N^+**

Les régions N^+ matérialisent les cathodes des dispositifs thyristor et IGTB ainsi que les zones de source et de drain des transistors NMOS. Elles sont réalisées par implantation ionique d'arsenic et utilisent la protection de la région de grille pour assurer l'auto-alignement. Avec une dose d'implantation de 10^{16} cm^{-2} et une énergie de 100 keV on obtient, à la fin du processus technologique, une concentration en surface de 10^{20} cm^{-3} et une profondeur de jonction de 1 µm.



Redistribution N^+

- **Contacts et métallisation**

Le dépôt de la couche de nitrure (Si_3N_4) d'isolation se fait dans un four LPCVD à une température de 750°C pendant 44 minutes. L'épaisseur obtenue est de 1000 Å. Cette couche de nitrure ainsi que l'oxyde de grille sont ensuite gravés pour ouvrir les contacts. Ces étapes sont suivies d'une métallisation d'aluminium de 1 µm par sputtering. Le même procédé est effectué sur la face arrière. En fin de processus, un recuit de l'aluminium est effectué à 450°C pendant 20 minutes.

III-2. Technique de photolithographie double face

III-2-1. Principe de réalisation

Le principe de cette technique consiste à réaliser les différentes étapes de la filière IGBT flexible (Figure 3-4) sur les deux faces d'une plaquette de silicium. Toutefois, cette réalisation est loin d'être simple, car chaque étape doit être réalisée en deux fois : une fois sur la face avant et une deuxième fois sur la face arrière, avec une étape intermédiaire de protection pour chaque plaquette utilisée. La protection se fait par un dépôt d'une couche de résine (AZ1529) d'une épaisseur 2,7µm sur la face non manipulée, avant chaque manipulation de l'autre face, suivie d'un recuit à 105 °C pendant 1mn.

En effet, du fait que la plaquette contient des cellules MOS sur ses deux faces et que ces cellules sont très sensibles à la contamination, le risque de cette contamination par les supports de

plaque des équipements utilisés est très important si la plaquette n'est pas protégée. Cette étape est donc indispensable afin de diminuer ce risque.

III-2-2. Technique d'alignement

L'alignement des différents niveaux de masque a été réalisé par la machine Karl SussMask Aligner MA 150 CC (Figure 3-5).

Figure 3-5. Machine d'alignement et d'insolation Karl Suss MA150

Cette machine permet d'effectuer deux types d'alignement : le premier alignement consiste à aligner les mires dessinées sur les différents niveaux de masques par rapport aux mires gravées sur une plaquette à l'aide de deux caméras optiques situées au dessus du support de masque qui permettent de visualiser ces mires (du masque et de la plaquette). Le deuxième alignement consiste à aligner la première mire gravée sur la face avant de la plaquette par rapport à celle dessinée sur le premier niveau de masque de la face arrière. Le principe du deuxième alignement consiste à prendre une image de la mire du premier niveau de masque de la face arrière, puis positionner la plaquette contre ce masque (la face arrière de la plaquette doit être en face le masque). Ensuite, à l'aide de deux autres caméras optiques situées au dessous du support de plaquette, la mire gravée sur la face avant de la plaquette peut être visualisée et alignée par rapport à celle de l'image prise qui correspond à la mire dessinée sur le masque.

Il est à noter que ce deuxième alignement ne se fait qu'une seule fois et que les autres niveaux de masques s'alignent sur la première mire gravée sur la plaquette jusqu'à l'étape de gravure de poly-Si. Après cette étape, les autres niveaux de masques s'alignent par une mire qui correspond au niveau poly-Si afin d'assurer une précision de l'ordre de 1µm en accord avec la technologie MOS auto-alignée utilisée.

III-2-3. Processus de fabrication du composant IGBT bidirectionnel

Pour la réalisation du composant IGBT bidirectionnel, nous avons utilisé des plaquettes de type N d'une épaisseur d=300 µm et d'une résistivité ρ=50Ωcm (dopage : $10^{14}cm^{-3}$). Des plaquettes identiques ont été utilisées pour réaliser également des IGBTs unidirectionnels afin de vérifier d'une part le fonctionnement des sections MOS de la structure IGBT et d'autre part pour servir de référence

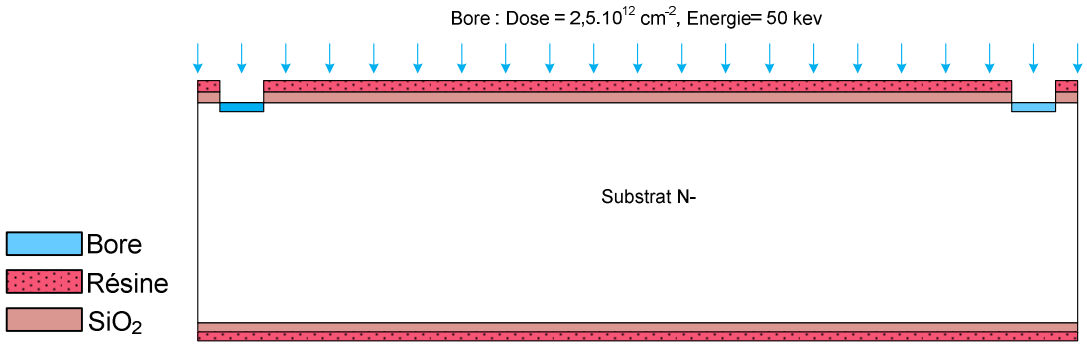
afin de comparer les résultats de caractérisations électriques des IGBTs bidirectionnels obtenus avec les deux techniques. Nous avons utilisé aussi des plaquettes témoin pour vérifier et valider toutes les étapes technologiques.

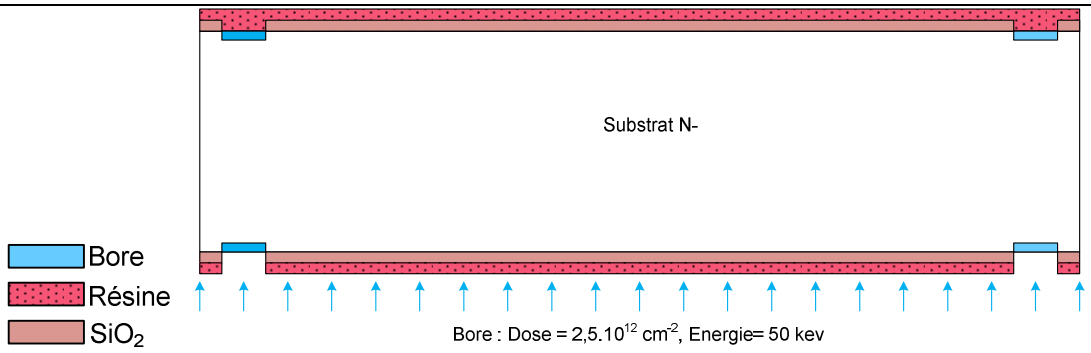
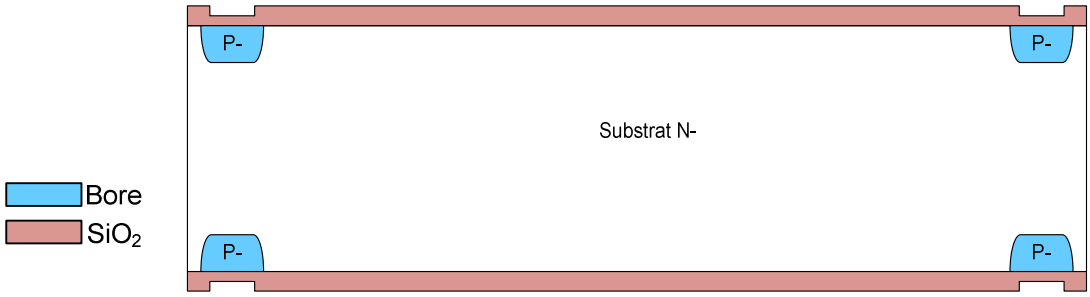
Les étapes technologiques nécessaires pour la fabrication de la structure IGBT bidirectionnelle avec la technique de lithographie double face sont regroupées dans les tableaux ci-dessous :

Oxydation de masquage

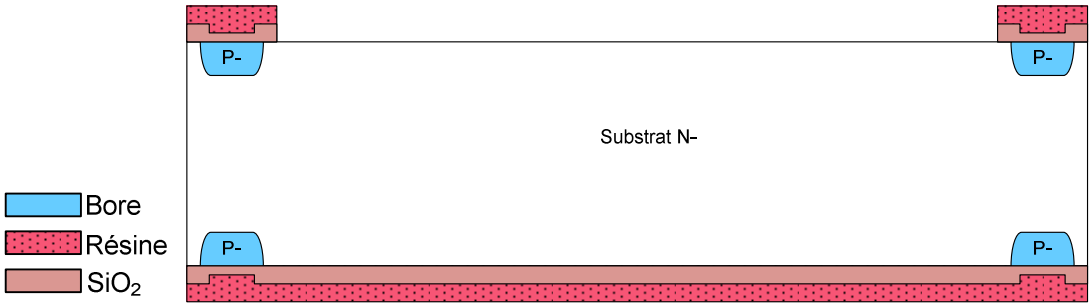
Etape	Descriptif
1	- Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI. - Gravure humide SiO_2 : HF dilué (30 sec) + rinçage EDI + séchage (azote).
2	- Oxydation thermique : épaisseur de l'oxyde (6000Å)

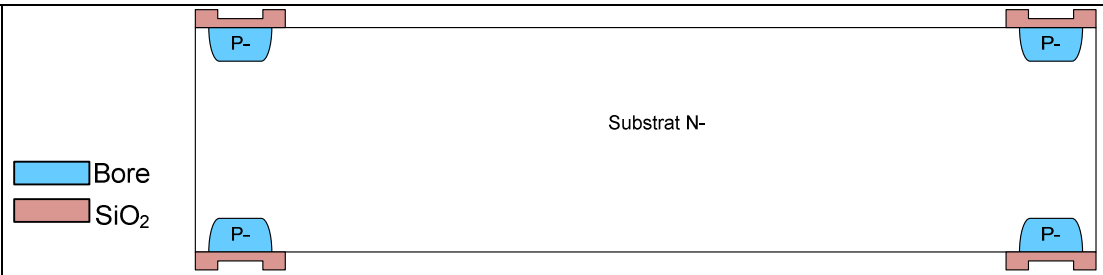
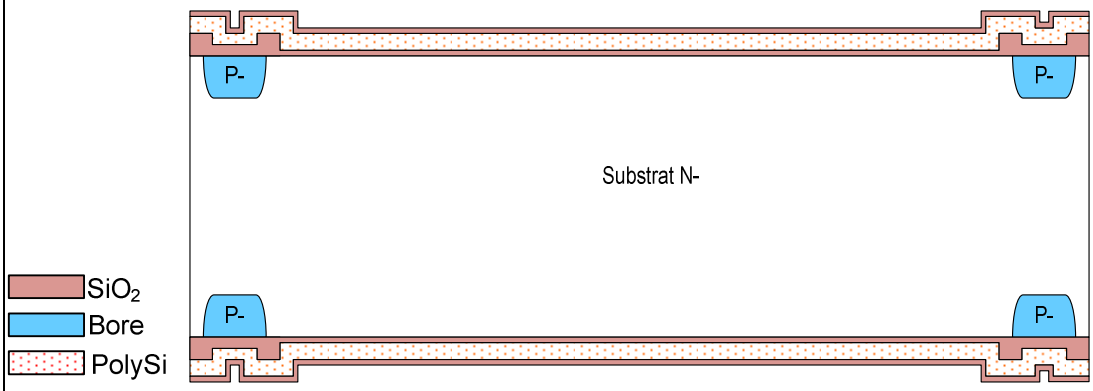
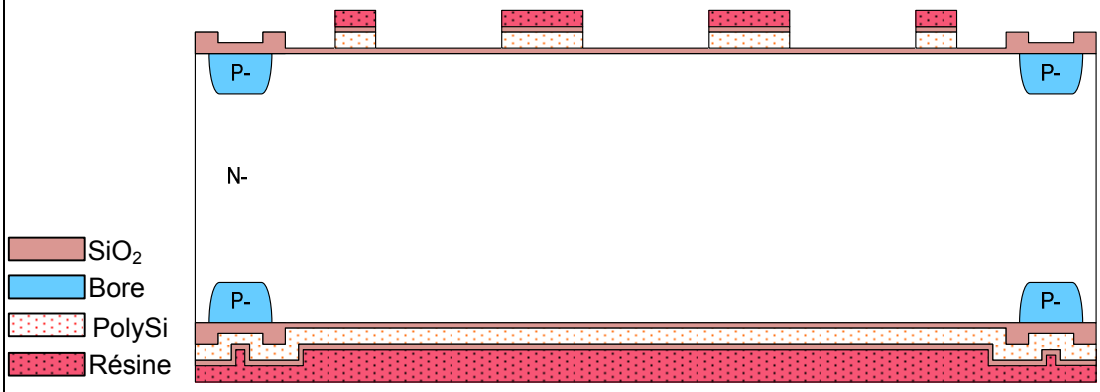
Terminaison P^-

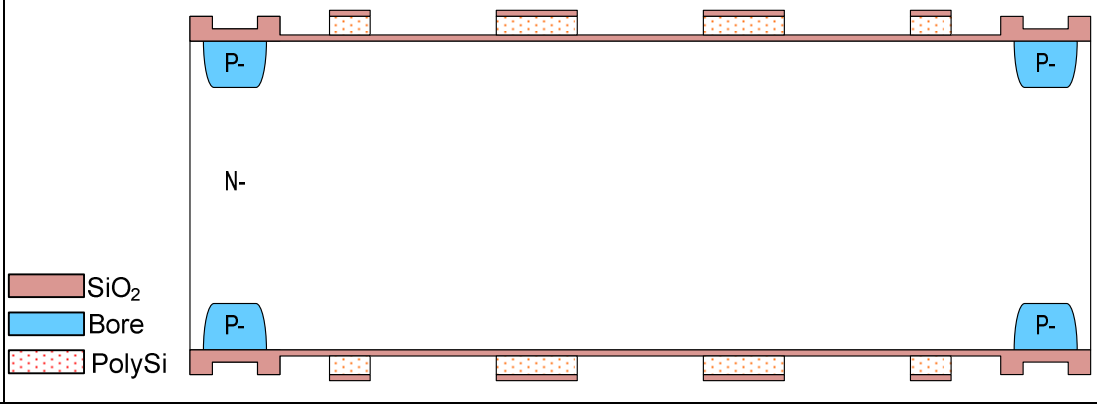
Etape	Descriptif
3	- Protection face arrière : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie P^- face avant sans alignement : masque-1 de P^- face avant.
4	- Gravure humide SiO_2 : HF 10% (10 min) + rinçage EDI + séchage (azote).
5	- Implantation P^- face avant. 
6	- Délaquage résine : plasma O_2 (15 min à 800W).
7	- Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie P^- face arrière avec alignement de la face arrière par rapport à la face avant : masque-2 (P^- face arrière)
8	- Gravure humide SiO_2: HF 10% (10 min) + rinçage EDI + séchage (azote).
9	- Implantation P^- face arrière.

	
10	- Délaquage résine : plasma O_2 (15 min à 800W). - Redistribution de bore (P-). 

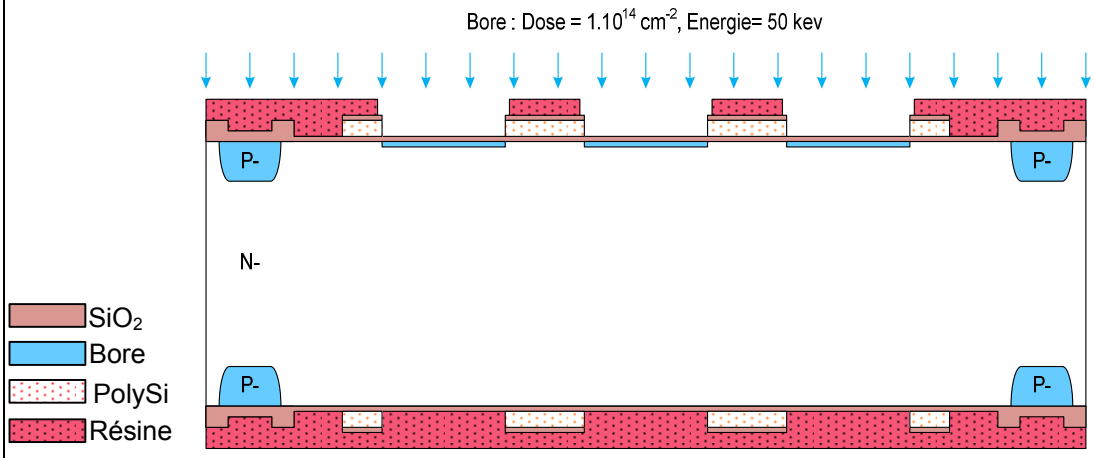
Grille

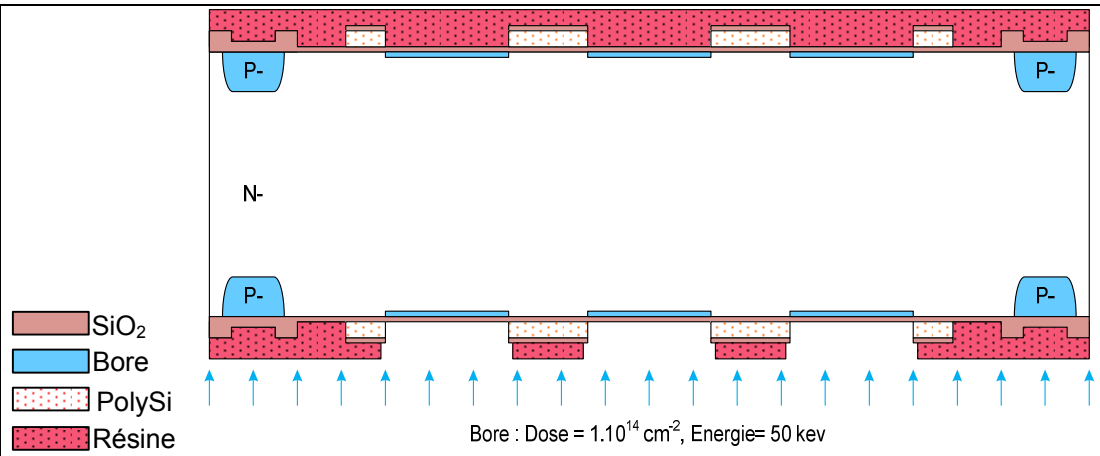
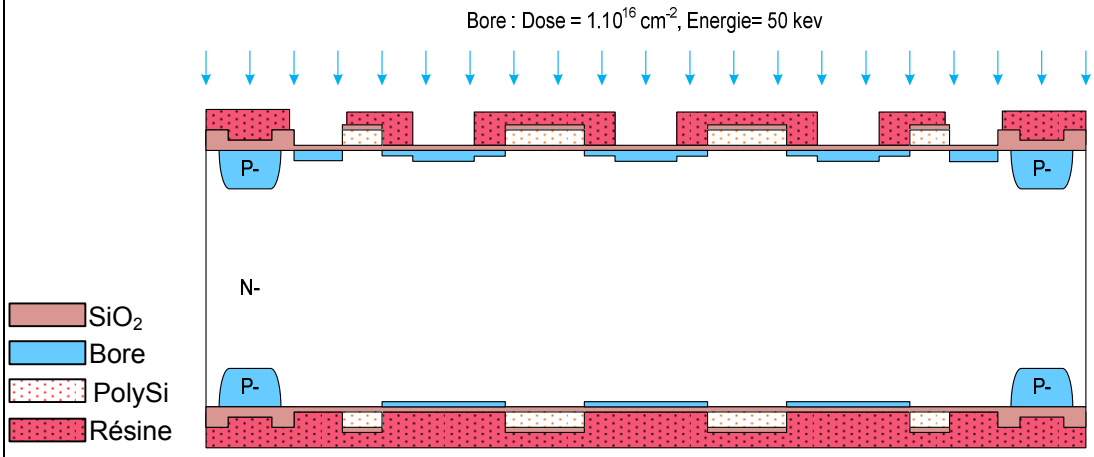
Etape	Descriptif
11	- Protection face arrière : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie zone active face avant avec alignement : masque-3 (zone active face avant). - Gravure humide SiO_2: HF 10% (12 min) + rinçage EDI + séchage (azote). 
12	- Délaquage résine : plasma O_2 (15 min à 800W). - Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie zone active face arrière avec alignement : masque-4 (zone active face arrière). - Gravure humide SiO_2: HF 10% (12 min) + rinçage EDI + séchage (azote). - Délaquage résine : plasma O_2 (15 min à 800W).

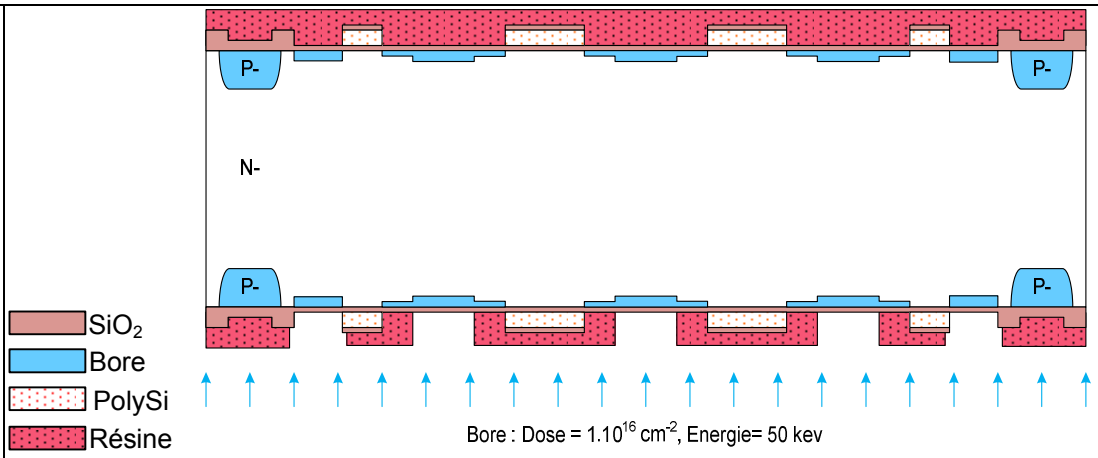
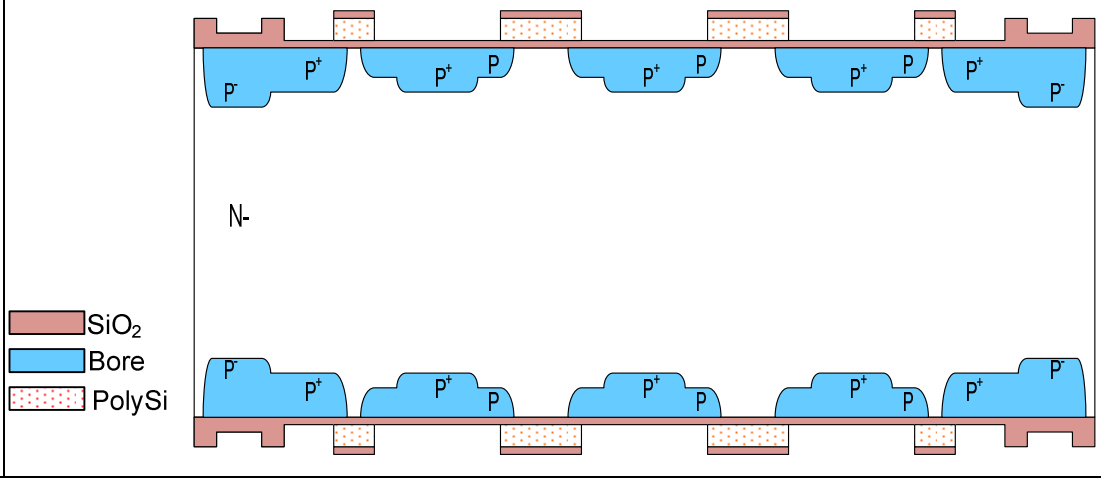
	
13	- Nettoyage RCA - Oxydation thermique de grille (épaisseur d'oxyde = 550Å). - Dépôt LPCVD de poly-silicium (épaisseur de poly-silicium = 3000Å). - Dopage du poly-silicium (diffusion $POCI_3$). L'épaisseur de l'oxyde de diffusion créé lors du dopage de poly-silicium est de l'ordre de 600Å. 
14	- Protection face arrière : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie poly-Si face avant avec alignement : masque-5 (gravure poly-Si face avant). - Gravure humide SiO_2 (600Å) : HF 10% (1 min) + rinçage EDI + séchage (azote). - Gravure sèche de poly-Si (3000Å) jusqu'à la couche d'oxyde : t = 2'30. 
15	- Délaquage résine : plasma O_2 (15 min à 800W). - Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie poly-Si face arrière avec alignement : masque-6 (gravure poly-Si face arrière).

	- Gravure humide SiO_2 (600Å) : HF 10% (1 min) + rinçage EDI + séchage (azote). - Gravure sèche de poly-Si (3000Å) jusqu'à la couche d'oxyde : t = 2'30. - Délaquage résine : plasma O_2 (15 min à 800W). 

Caisson P et P$^+$

Etape	Descriptif
16	- Protection face arrière : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie P face avant avec alignement : masque-7 (P face avant). - Implantation P face avant 
17	- Délaquage résine : plasma O_2 (15 min à 800W). - Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie P face arrière avec alignement : masque-8 (P face arrière). - Implantation P face arrière.

	
18	- Délaquage résine : plasma O_2 (15 min à 800W). - Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI + séchage. - Protection face arrière : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie P^+ face avant avec alignement : masque-9 (P^+ face avant). - Implantation P^+ face avant. 
19	- Délaquage résine : plasma O_2 (15 min à 800W). - Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI + séchage. - Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie P^+ face arrière avec alignement : masque-10 (P^+ face arrière). - Implantation P^+ face arrière.

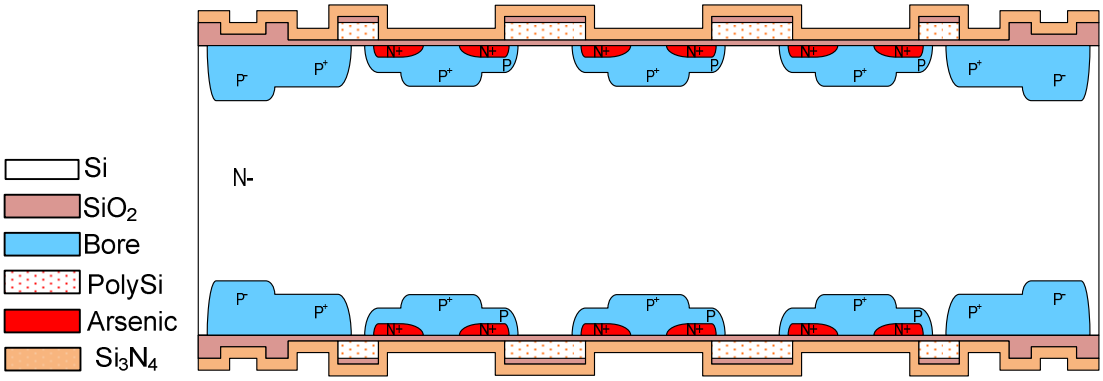
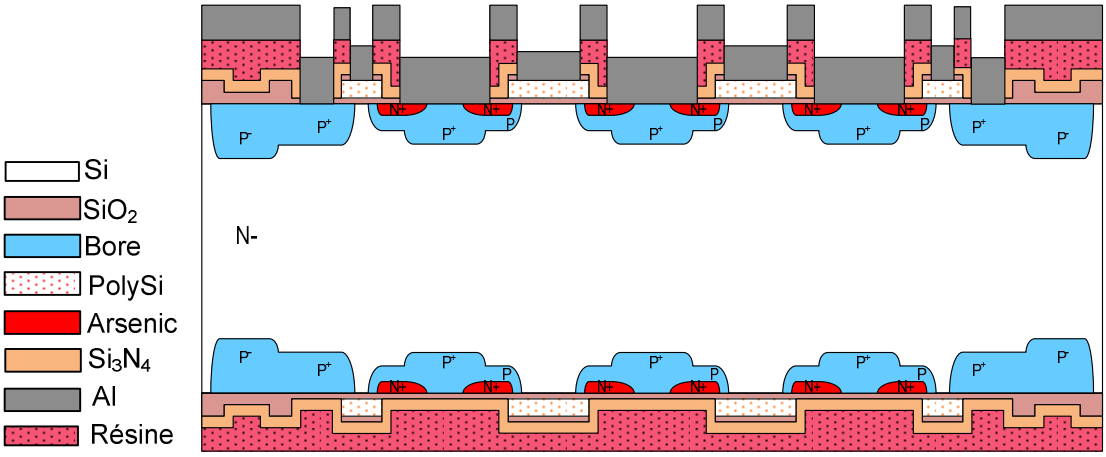
	
20	- Délaquage résine : plasma O_2 (15 min à 800W). - Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI + séchage. - Redistribution P et P^+. 

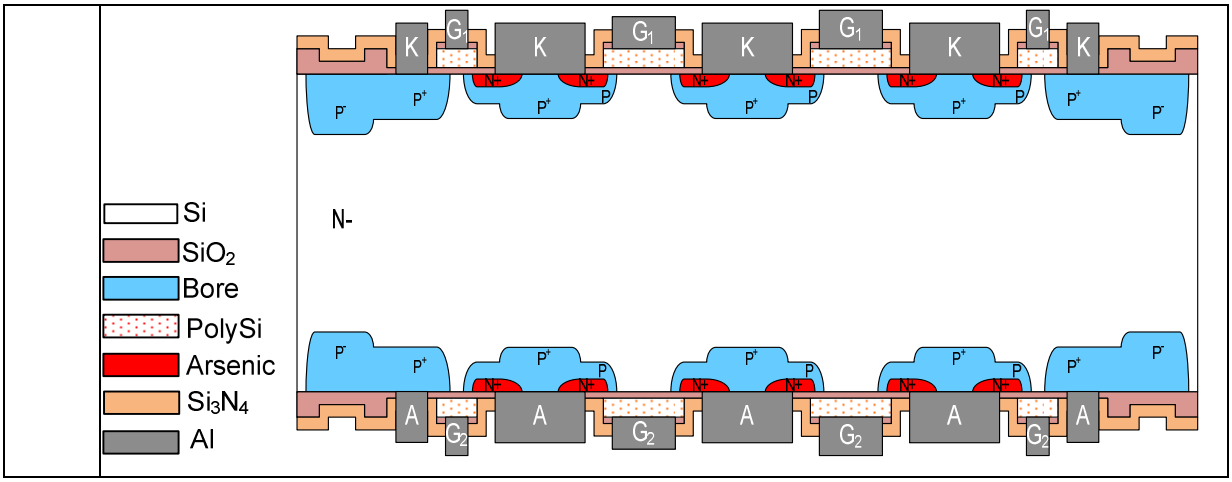
Caisson N^+

Etape	Descriptif
21	- Protection de la face arrière : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie N^+ face avant avec alignement : masque-11 (N^+ face avant). - Implantation N^+ face avant.

	Arsenic : Dose = 1.10^{16} cm^{-2}, Energie= 100 kev Si SiO_2 Bore PolySi Arsenic Résine N-
22	- Délaquage résine - Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI + séchage. - Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie N^+ face arrière avec alignement : masque-12 (N^+ face arrière). - Implantation N^+ face arrière. Si SiO_2 Bore PolySi Arsenic Résine N- Arsenic : Dose = 1.10^{16} cm^{-2}, Energie= 100 kev
23	- Délaquage résine - Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI + séchage. - Redistribution d'Arsenic Si SiO_2 Bore PolySi Arsenic N-

Contacts et métallisation

Etape	Descriptif
24	- Dépôt LPCVD de nitrure (Si_3N_4) (1200Å). 
25	- Protection face arrière : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie contact face avant avec alignement : masque-13 (contact face avant). - Gravure RIE de nitrure jusqu'à la couche de l'oxyde (1'10). - Photolithographie métal face avant avec alignement : masque-14 (métal face avant). - Gravure humide SiO_2 (550Å) : HF 10% (30s) + rinçage EDI + séchage (azote). - Dépôt Aluminium face avant. 
26	- Lift-off Aluminium. - Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie contact face arrière avec alignement : masque-15 (contact face arrière). - Gravure RIE de nitrure jusqu'à la couche de l'oxyde (1'10). - Photolithographie métal face arrière avec alignement : masque-16 (métal face arrière). - Gravure humide SiO_2 (550Å) : HF 10% (30s) + rinçage EDI + séchage (azote). - Dépôt Aluminium face arrière. - Lift-off Aluminium. - Recuit Aluminium (20min à 400°C).



III-3. Réalisation des IGBTs par la technique de soudure directe Si/Si

Comme nous l'avons décrit précédemment, la réalisation de la structure IGBT bidirectionnelle par la technique de soudure Si/Si nécessite la maîtrise de l'étape de soudure Si/Si. En effet, l'interface engendrée par cette soudure doit être robuste mécaniquement et transparente électriquement. Avant de décrire les étapes technologiques ainsi que leurs enchaînements pour la réalisation de l'IGBT bidirectionnel, nous détaillerons la technique de soudure afin de mettre en évidence les éléments clé qui permettent de réussir sa réalisation. Cette partie de collage de plaquettes Si/Si vierges a été étudiée au LAAS, dans le cadre du même projet MOBIDIC, par G. Sarabayrouse [10]. Toutefois, son utilisation pour la réalisation de composants a nécessité un travail d'adaptation conséquent.

III-3-1. Soudure directe Si/Si

La terminologie de soudure directe de silicium (SDS) fait référence au fait que l'on soude deux solides, en l'occurrence deux wafers de silicium sans couche intermédiaire, ni adhésif, par une simple activation de la surface. La technique de soudure directe Si/Si consiste donc à mettre en contact, dans une enceinte sous vide et à température ambiante, deux surfaces de silicium plates, polies et préalablement nettoyées chimiquement. Le collage s'initialise, après la mise en contact des deux surfaces de silicium, par de faibles forces d'attraction intermoléculaires de Van der Waals ou des liaisons d'hydrogènes et se consolide par la formation des liaisons atomiques (Si-Si) après un recuit, généralement, à haute température (> 800°C) [11].

Dans un premier temps, nous présenterons l'étude menée sur les traitements chimiques et les caractéristiques qu'ils confèrent à la surface de silicium. Dans un second temps, nous aborderons la procédure expérimentale utilisée dans le wafer bonder. Nous parlerons ensuite des recuits thermiques et des différentes techniques de caractérisation des collages.

a. Procédure de la soudure directe Si/Si

Les étapes technologiques nécessaires pour la réalisation de la soudure directe sont :

- *Traitement chimique des wafers de silicium avant soudure.*
- *Initialisation du collage Si/Si.*

- *Traitement thermique des wafers après soudure.*

1). Traitement chimique des wafers de silicium

La soudure directe Si/Si est très sensible à la propreté des surfaces destinées au collage. Une surface de silicium est considérée propre lorsque la densité par unité de surface des contaminants (organiques, métalliques ou d'autres natures) est suffisamment faible.

Le traitement de surface nécessaire pour la réussite de la soudure consiste en un nettoyage du silicium permettant d'enlever les différents contaminants à la surface et de contrôler la croissance de l'oxyde natif grâce à la dernière étape du traitement. On confèrera ainsi aux surfaces de silicium leur caractère hydrophobe ou hydrophile. En outre, on aura aussi une action sur leur rugosité.

- **Nettoyage du silicium**

Le nettoyage des surfaces de silicium peut se faire par des méthodes physiques ou chimiques. Cependant, le nettoyage par voies physiques n'est pas aussi performant que le nettoyage par voie humide pour le retrait des particules. En effet, un traitement par plasma des surfaces de silicium conduit à l'apparition de bulles (voids) et de défauts importants à l'interface de collage durant le traitement thermique [12].

Nous avons donc fait le choix du nettoyage RCA qui, par ses différentes étapes, permet de retirer tout type de contaminants. Ce nettoyage est effectué chaque fois que le silicium est mis à nu au cours d'un processus d'élaboration d'un composant (surtout dans le cas des composants MOS).Il se déroule comme suit :

Les plaquettes sont plongées dans 5 bains successifs.

- ✓ Un bain de HF 10% de la solution commerciale d'acide fluorhydrique à 50 % pendant 30 s.*(0.350 L d'HF commercial dans 3.150 L d'EDI 20°C) :* son rôle est de graver l'oxyde natif. Il réduit aussi les contaminations métalliques à la surface du silicium.
- ✓ Rinçage bac EDI et séchage azote (centrifugeuse).
- ✓ Un bain de HNO_3 solution commerciale d'acide nitrique à 70% à 80°C pendant 10 min. *(3L d'HNO_3 à 80°C)*

L'acide nitrique est un oxydant, surtout à chaud. Il va donc oxyder la surface du silicium (quelques nanomètres) tout en détruisant la plupart des composés organiques présents sur le wafer. Ce bain a le même effet qu'un nettoyage PIRANHA (acide sulfurique/eau oxygénée). L'oxyde généré sera ensuite éliminé par le bain d'HF qui succède au HNO_3. Au total, on aura donc gravé plusieurs couches atomiques.

- ✓ Rinçagebac E.D.I.
- ✓ Un bain de HF 10% de la solution commerciale d'acide fluorhydrique à 50 % pendant 30 s. *(0.350 L d'HF commercial dans 3.150 L d'EDI 20°C)*
- ✓ Rinçagebac E.D.I.

- ✓ Un bain à 80 °C de :NH_4OH(*0.450 L de solution commerciale d'ammoniaque 28 %)* + H_2O_2 (*0.450 L de solution commerciale d'eau oxygénée à 30%)*+ E.D.I. (*2.250 L*) pendant 10 min.

Ce bain oxyde et grave légèrement la surface afin de retirer les contaminations organiques et métalliques.

- ✓ Rinçagebac E.D.I.
- ✓ Un bain à 80 °C de : HCl*(0.375 L de la solution commerciale d'acide chlorhydrique 37%)* + H_2O_2*(0.375 L de solution commerciale d'eau oxygénée à 30%)* + E.D.I. 2.250 L pendant 5 min.

Ce bain enlève les contaminants métalliques du substrat et joue le rôle d'agent oxydant.

- ✓ Rinçagebac E.D.I.
- ✓ Séchage azote centrifugeuse semitool.

En fin de nettoyage, les surfaces nettoyées auront un caractère hydrophile.

- **Préparation de surface avant soudure**

Dans notre application, on a besoin d'une interface de collage transparente au passage du courant, sachant qu'une interface de collage des plaquettes hydrophiles contient une couche d'oxyde pouvant ralentir voire même empêcher le passage du courant à travers l'interface formée après le collage.

Pour obtenir une surface hydrophobe, il faut mettre le silicium à nu, c'est-à-dire, enlever l'oxyde généré par le nettoyage. L'oxyde de surface est dissout par une solution à base d'acide fluorhydrique diluée (DHF).

La littérature fait état de ce traitement suivi ou non de rinçage. Les énergies de surface mesurées sur des plaques ayant subi un traitement DHF rincé et non rincé ne montrent pas de différence significative [13].En revanche, la concentration et le rinçage final influent sur la vitesse de contact [14]-[15]. Ce comportement est attribué à une contamination de particules et/ou à la rugosité à l'échelle atomique. Une étude menée précédemment au LAAS, sur la rugosité en fonction de la concentration en HF du dernier bain a montré que cette concentration joue peu sur la rugosité et les résultats pour du HF 10% étaient très satisfaisants (rugosité inférieure à 0,15 nm).

Le rinçage permet de former une couche d'oxyde indésirable. Une couche d'environ 8Å peut être formée en quelques minutes de rinçage dans l'eau [16]. En revanche, dans l'air l'oxydation d'une surface de silicium est très lente. Une couche d'environ 8Å est formée après 7 jours [17]. Nous avons donc opté pour un HF10% non rincé comme dernière étape. Le traitement des wafers silicium avant le collage consiste donc en un nettoyage RCA suivi d'un traitement HF 10% non rincé (1min) et séché.

La contamination d'une surface de silicium hydrophobe est plus facile qu'une surface hydrophile [12]. Il est donc préférable de coller les plaquettes après HF le plus rapidement possible pour obtenir une interface de collage la plus propre possible.

2). Initialisation du collage Si/Si

- **Description de l'équipement de collage (AML-AWB-04) utilisé**

L'équipement de collage est composé d'une enceinte permettant la mise sous vide des wafers avant le collage. Les plaques sont placées sur des supports, l'un solidaire de l'enceinte (support du bas), il est réglable en X, Y et en pour faire l'alignement des plaquettes et aussi en Z pour mettre les deux plaquettes en contact. L'autre couvercle de l'enceinte est fixe, il existe en trois configurations différentes adaptables à la machine en fonction de l'application (direct, anodique ou eutectique), qui permettent la mise sous tension ou la montée en température par exemple. En ce qui concerne notre application, nous avons utilisé la configuration directe qui se fait à température ambiante et sans application de champ électrique entre les deux plaquettes.

La plaque inférieure est juste posée sur le support, elle n'est pas tenue mécaniquement ou par le vide, cependant un petit outil adaptable au support permet d'aligner les méplats. Le support du haut est lisse et permet de clamper la plaque mécaniquement, une tige au centre de ce support peut être sortie une fois la plaque clampée afin de cintrer cette dernière et de favoriser aussi la mise en contact par le centre des wafers.

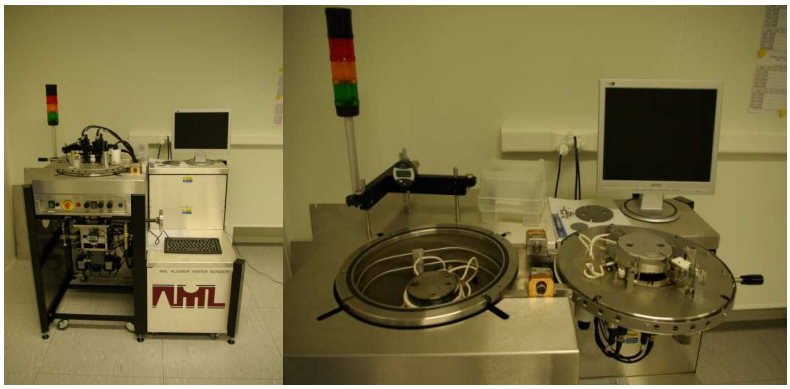


Figure 3-6. AML Aligner Wafer Bonders (AML-AWB-04)

- **Processus de wafer bonding**

Il a été rapporté dans la littérature que des surfaces hydrophiles sont nécessaires pour que le bonding se fasse spontanément et que les surfaces hydrophobes ne peuvent être collées que si une pression est exercée sur les wafers. La spontanéité du bonding peut être contrôlée à l'aide d'une caméra IR. Lorsque les surfaces sont en contact, on peut voir la zone de contact s'étendre, c'est la progression de l'onde de collage dont on peut mesurer la vitesse. Le bonding est considéré comme spontané lorsque cette onde se propage sans aucune aide. Cependant, il a été montré que dans les cas où le dernier traitement avant collage est un HF 10% sans rinçage, le collage est spontané, malgré l'hydrophobicité des wafers, avec une vitesse de progression de l'onde de collage identique à celle mesurée dans les cas où les plaques sont hydrophiles. L'onde de collage a donc une vitesse de 2cm/s [14].

La Figure 3-7 montre un exemple d'initialisation et propagation de l'onde d'un collage direct Si/Si. Après avoir appliqué une pression en un point (au centre de la plaque), la soudure s'initialise à partir de ce point et se propage sur toute la surface durant quelques secondes.

Le processus de bonding ne nécessite donc pas de montée en température, il peut se faire à température ambiante, et les deux plaques doivent être mises en contact suffisamment longtemps pour que l'onde de collage puisse se propage sur toute la plaque, compte tenu de la vitesse de propagation de l'onde, une minute semble suffisant.

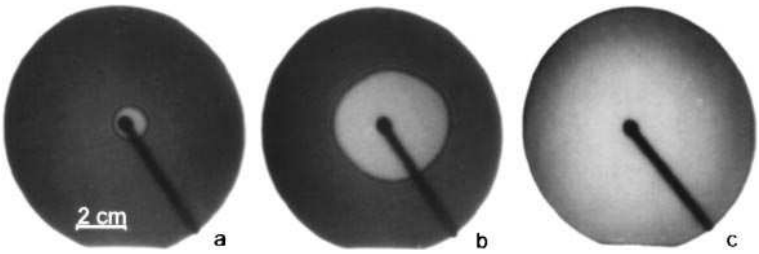


Figure 3-7. Photographie IR d'une initialisation et propagation de l'onde d'une soudure directe de deux plaquettes de silicium : (a) début de l'initialisation de la soudure, (b) extension de l'onde de soudure après 2 sec, (3) une soudure complète après 5 sec [11].

Dans la machine, une fois que le vide atteint 1.10^{-5} (mbar) dans l'enceinte, on sort la tige permettant de cintrer la plaque supérieure, on amène les deux plaques à une faible séparation (contrôle de l'espacement entre les plaques et de la pression sur le soft), puis on aligne les plaquettes par une technique basée sur les frange de Moirée qui sera expliquée par la suite. On applique ensuite une pression de 1kN qui permet de faire le contact sur toute la plaque en partant d'un contact au centre. La durée d'application de la pression est d'une minute, ce qui permet le collage sur toute la surface.

Remarque : *du fait que la plaquette du bas est juste posée sur le support et n'est pas tenue, un désalignement des deux plaquettes peut avoir lieu à l'instant de la mise en contact des deux plaquettes. Il est donc important de déplacer en Z la plaquette du bas très doucement avant la mise en contact des deux plaquettes.*

3). Traitement thermique après collage

Après collage des plaquettes de silicium dans le wafer bonder, le collage est maintenu par des forces faibles de Van der Waals et des liaisons intermoléculaires de type hydrogène (Si-H). le collage peut être consolidé par un traitement thermique à haute température qui permet de remplacer les liaisons Si-H par des liaisons covalentes Si-Si [11], [12] comme schématisé sur la Figure 3-8.

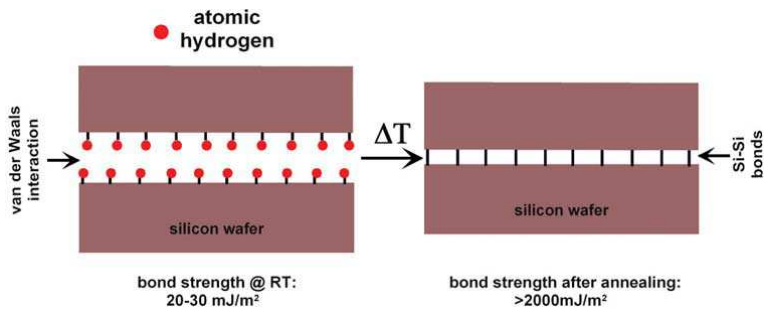


Figure 3-8. Représentation schématique d'un collage de plaquettes de silicium hydrophobes avant et après un traitement thermique à haute température [12].

L'énergie de collage dépend du temps et de la température du traitement thermique utilisé. La Figure 3-9 montre la variation de l'énergie par unité de surface en fonction de la température pour des interfaces Si/Si obtenues à partir des interfaces hydrophobes et hydrophiles.

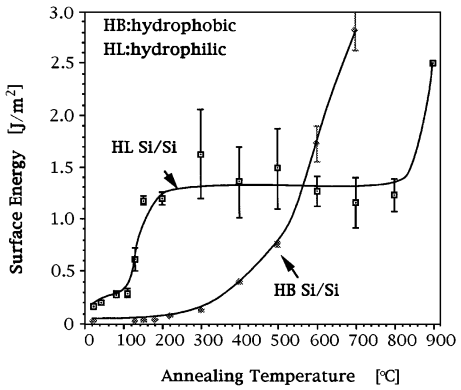


Figure 3-9. Énergie par unité de surface de l'interface de collage des plaquettes hydrophiles et hydrophobes en fonction de la température du traitement thermique [11].

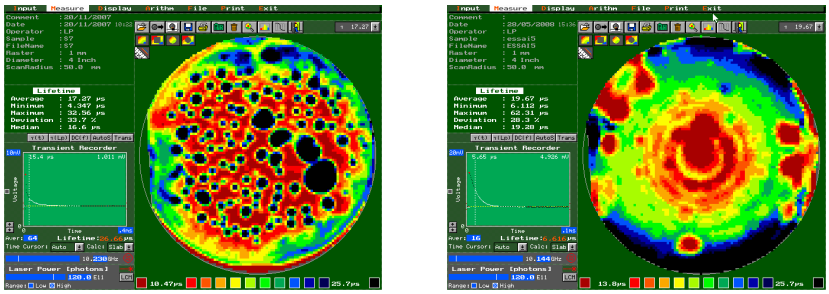
Pour le collage des plaquettes hydrophobes, l'énergie de surface augmente progressivement à partir de 300 °C et les liaisons Si-Si se forment selon la réaction suivante [11]:

$$Si - H + H - Si \rightarrow Si - Si + H_2$$

Le gaz H_2 dégagé après la formation des liaisons Si-Si contribue à l'apparition des vides à l'interface de collage qui peuvent disparaître durant le traitement thermique à partir des températures supérieure de 800 °C par diffusion de l'hydrogène autour des plaquettes de silicium [11]. Après ce traitement thermique, les plaquettes ne peuvent plus êtres dessoudées.

Quelques résultats de caractérisation de l'interface de collage à basse et haute température de deux plaquettes de silicium vierges, obtenus précédemment au LAAS, ont montré qu'effectivement le traitement thermique à basse température (400 et 600°C) conduit à l'apparition de voids malgré l'augmentation de la durée de traitement (12h). Alors qu'un recuit pendant une durée relativement courte (2h) à haute température (1100°C), utilisé par ailleurs pour une redistribution des dopants, permet d'éliminer les voids créés à l'interface de collage.

La Figure 3-10montre la caractérisation µPCD (Microwave PhotoConductivityDecay) de plaques collées après un recuit à basse et haute températures [8].



(a) (b)

Figure 3-10. Caractérisation µPCD des plaques de silicium collées. (a) à basse température (600°C), (b) à haute température (1100°C).

L'analyse µPCD de la plaquette recuite à basse température (600°C) montre une très forte inhomogénéité de celle-ci comme représenté sur la Figure 3-10-a. Les zones à forte durée de vie pourraient être des zones non collées (cercles noirs) dont les surfaces de silicium seraient passivées par l'hydrogène et/ou le fluor présent après le dernier traitement chimique. En revanche, après le recuit à haute température (1100°C), les voids ont disparu.

Dans notre application, nous avons effectué le traitement thermique des plaquettes collées en même temps que la distribution d'arsenic (N^+). La température de redistribution de l'arsenic est de 1150°C pendant 15 mn.

b. Technique d'alignement

Habituellement, l'alignement se fait dans le wafer bonder que nous avons présenté précédemment par la réalisation de croix métalliques sur les deux substrats silicium. Toutefois, dans le cas du process IGBT, nous ne pouvons pas nous permettre d'utiliser des croix métalliques car les wafers sont traités après collage et introduits dans un four non pollué et à très haute température. De ce fait, nous avons exploité, dans le cadre de ce projet, deux autres techniques : la première est basée sur les franges de Moirée et la seconde est basée sur des mires d'alignement simples.

1). Alignement basé sur les franges de Moiré

Cette technique a été développée par Chenxi Wang [19] en 2009 dans le but d'améliorer la précision d'alignement (0.25 nm) de deux plaquettes de silicium avant le collage. Cette technique consiste à graver sur la plaquette de silicium des grilles de forme L sur une zone carrée à quatre quadrants. Les grilles des quatre quadrants sont identiques sauf que dans les premier et troisième quadrants, elles sont disposées avec un espacement P_1, dans les deuxième et quatrième quadrants, elles sont disposées avec un espacement P_2comme montrés sur la Figure 3-11.

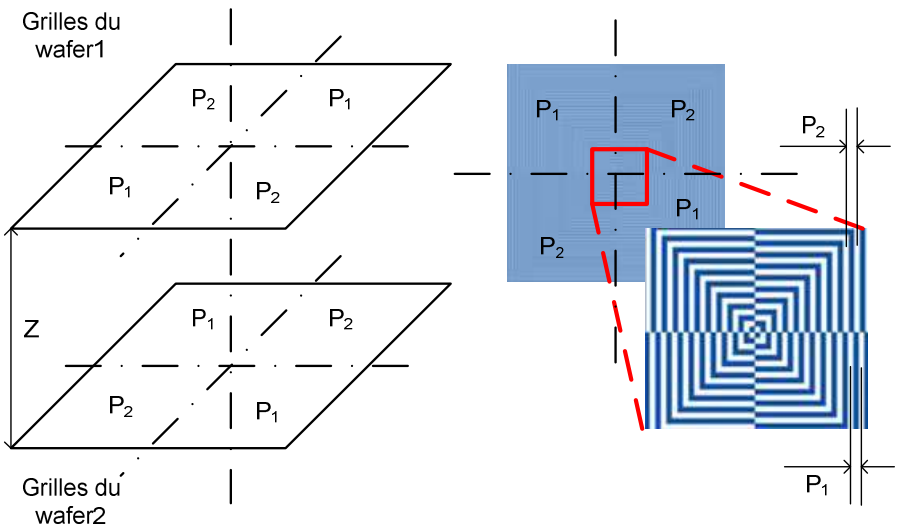


Figure 3-11. Représentation schématique des mires d'alignement basé sur les franges de moirée

Les mires gravées sur les deux plaquettes de silicium sont identiques. Quand les deux plaquettes se trouvent superposées dans l'enceinte du wafer bonder, les quadrants qui contiennent des grilles espacées de P1 du wafer1 se trouvent en face des quadrants qui contiennent des grilles espacées de P2 du wafer 2 et inversement (Figure 3-11). Cette configuration permet, à l'aide des caméras IR, de capter différentes intensités du rayonnement IR transmis à travers ces mires et de les visualiser sur écran sous forme de franges de Moiré.

La forme de ces franges de Moiré dépend de la disposition des grilles (P_1) du wafer1 par rapport aux grilles (P_2) du wafer2 et de la séparation Z entre les deux wafers.

Pour des grilles de largeur de 10 µm avec P_1=19 µm et P_2=20 µm et Z=0 µm les franges obtenues par simulation sont présentées sur Figure 3-12 [19].

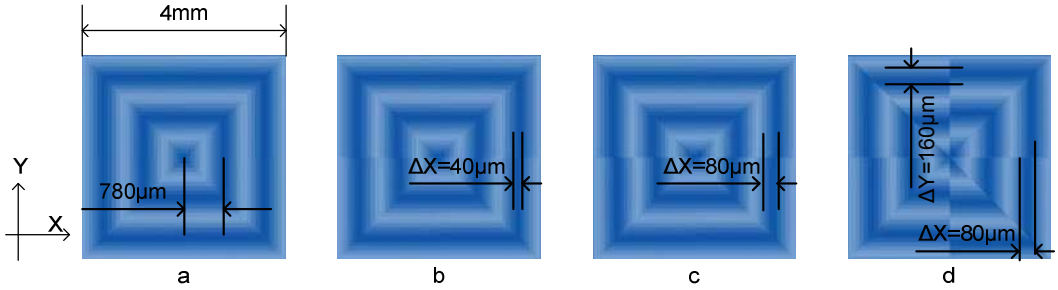
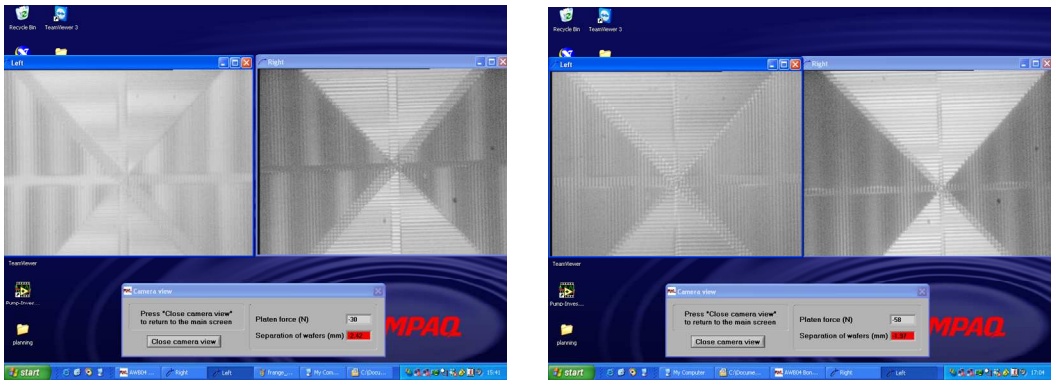


Figure 3-12. Franges de Moiré obtenues par superposition des mires d'alignement pour différents désalignement selon les axes X et Y (Δx et Δy). (a) alignement parfait, (b) Δx = 0.5 µm et Δy=0µm, (c) Δx =1 µm et Δy = 0µm, (d) Δx = 1 µm et Δy=2µm.

La Figure 3-12 montre que l'alignement parfait est obtenu par une forme carrée des franges de Moiré et qu'un désalignement de 0.5 µm des wafers est traduit par un désalignement de 40µm de frange de Moiré, ce qui permet de voir facilement cet écart et d'avoir une bonne précision jusqu'à 25nm [19].

Pour notre application, nous avons vérifié cette technique, dans un premier temps, sur des plaquettes de silicium vierges. Les plaquettes doivent êtres polies sur les deux faces afin de permettre aux rayonnements IR de traverser les plaquettes de silicium sans diffraction et de pouvoir récupérer l'image des motifs gravés par les caméras IR.

Nous avons gravé des grilles de forme L d'une largeur de 10µm (P_1=19µm et P_2=20µm) sur deux carrés de 1 mm de largeur. Les deux carrés sont séparés par une distance de 67 mm selon les conditions d'utilisation du wafer bonder. La profondeur de gravure sur silicium des grilles est de 6µm. les résultats obtenus sont présentés sur Figure 3-13.



(a) (b)

Figure 3-13. Franges de Moiré observées sur écran dans deux cas. (a) wafers désalignés et (b) wafers alignés

Sur chaque image, on observe deux carrés qui correspondent aux mires observées par les deux caméras du wafer bonder.

La Figure 3-13-a montre images observées dans le cas d'un désalignement des plaquettes. Dans le cas où les deux plaquettes sont alignées, on peut observer sur la Figure 3-13-b des formes presque carrées des franges de Moiré.

Cette technique permet d'avoir de bons résultats d'alignement, mais son inconvénient est lié au fait qu'il est assez difficile d'obtenir les franges de Moiré aussi claire et rapidement que celles que nous avons données sur la Figure 3-13-b. En effet, les conditions permettant d'obtenir une telle image sont assez difficiles à respecter et il est nécessaire de faire un certain nombre de tentatives. Cette difficulté complique davantage l'étape de collage car il est nécessaire de réaliser un collage en moins de deux minutes, après l'étape de nettoyage, si l'on veut espérer une interface de collage de bonne qualité. Par conséquent, nous avons utilisé la deuxième technique qui, en terme de précision, est moins précise que la première mais elle permet néanmoins d'assurer un alignement suffisamment précis pour notre dispositif.

2). Alignement basé sur des cruciformes

Afin de valider cette technique, nous avons gravé (profondeur 9 µm) sur deux plaquettes de silicium vierges et polies double face deux mires de forme carrée identiques comme présentée sur la Figure 3-14.

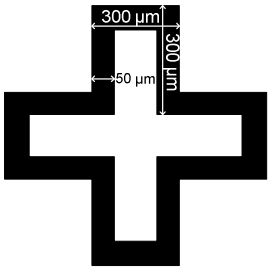
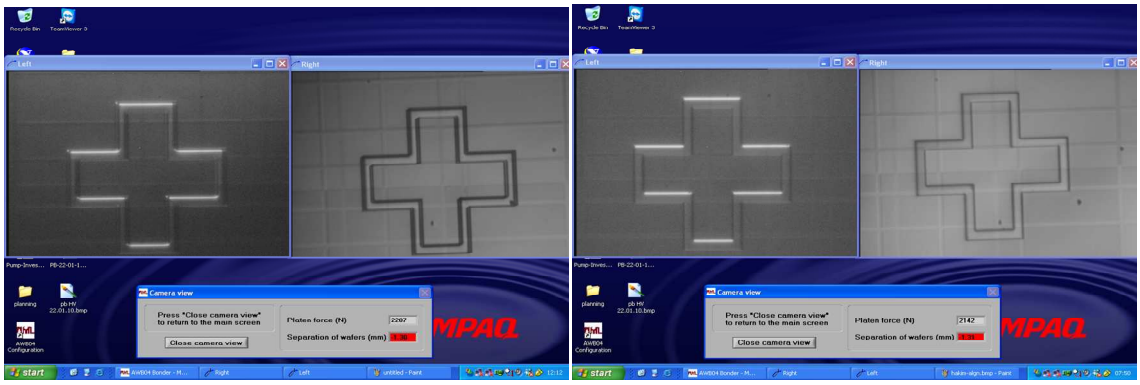


Figure 3-14. Mire adaptée pour alignement de deux plaquettes avant collage

La séparation entre les deux centres des mires doit être respectée (67 mm) car elle est imposée par les conditions d'utilisation du wafer bonder si l'on souhaite pouvoir les visualiser.

L'alignement par cette technique consiste à superposer la croix du wafer1 avec celle du wafer2. Cet alignement est considéré satisfaisant quand on obtient une image de la croix la plus nette possible comme le montre la Figure 3-15-b.



(a) (b)

Figure 3-15. Superposition des deux mires pour deux cas d'alignement. (a) Plaquettes légèrement alignées, (b) Plaquettes alignées.

La Figure 3-15-a montre un certain écart entre les deux mires que l'on peut estimer par rapport à la largeur de la bande de mire utilisée. Dans cet exemple, nous avons utilisé une bonde de 50µm de largeur. L'écart estimé sur la Figure 3-15-a est de l'ordre de 10 µm. Sur la Figure 3-15-b, on peut estimer la précision obtenue à moins de 5µm, précision largement suffisante pour aligner des sections MOS de 70 µm de largeur.

L'avantage de cette technique est qu'elle est simple à utiliser et qu'elle nous permet aussi d'aligner les deux plaquettes plus rapidement, ce qui est important pour la réalisation d'une soudure directe Si/Si de deux plaquettes hydrophobes afin d'obtenir une interface de collage plus propre.

III-3-2. Processus de fabrication de l'IGBT bidirectionnel par soudure directe Si/Si

L'enchaînement des étapes technologiques nécessaires pour la réalisation de l'IGBT bidirectionnel par la technique de la soudure directe Si/Si est rappelé sur la Figure 3-16.

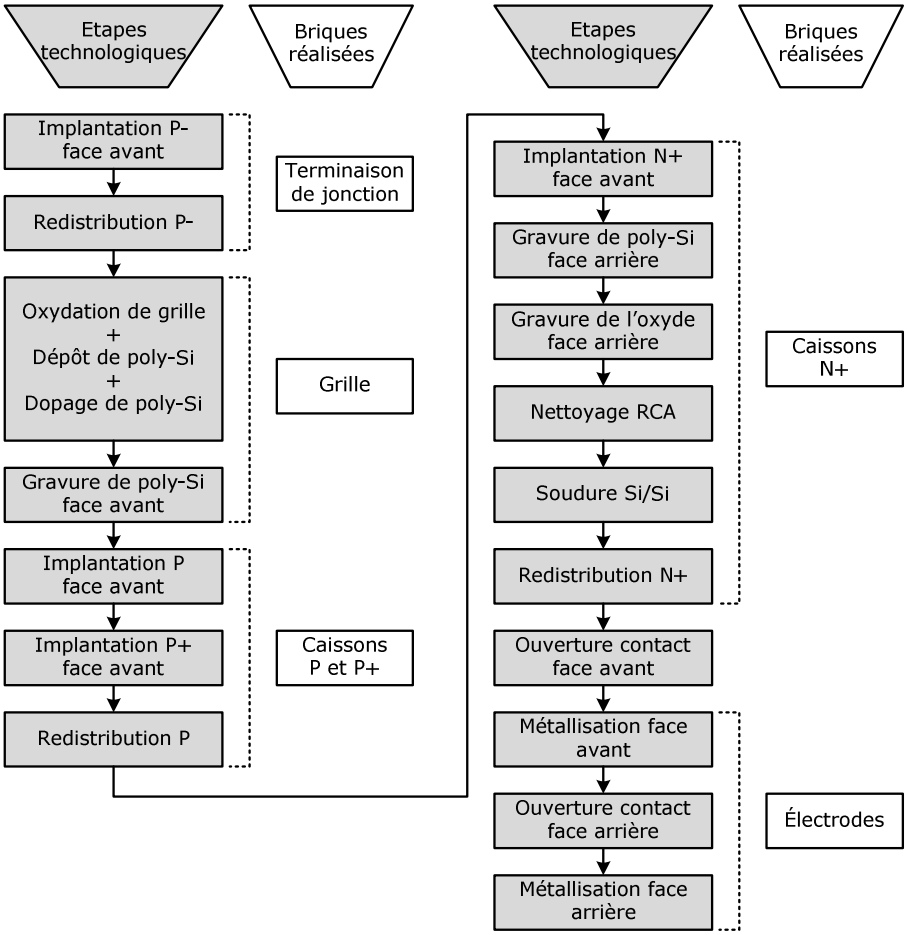


Figure 3-16. Enchaînement des étapes technologiques correspondant à la réalisation de l'IGBT par la technique de la soudure directe Si/Si.

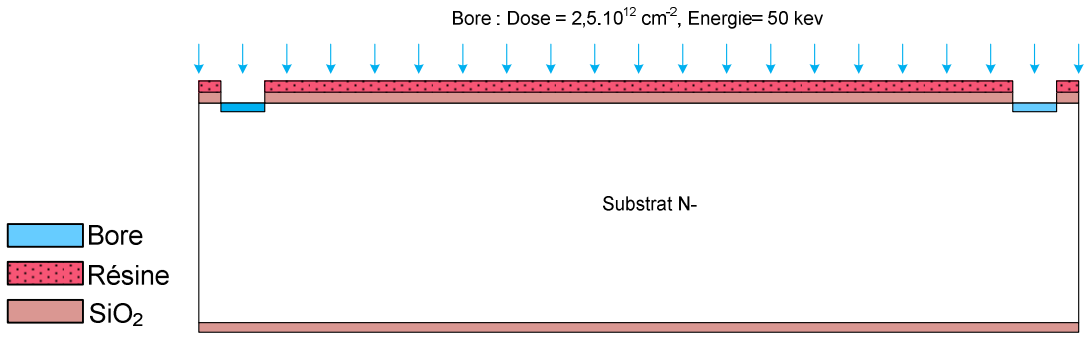
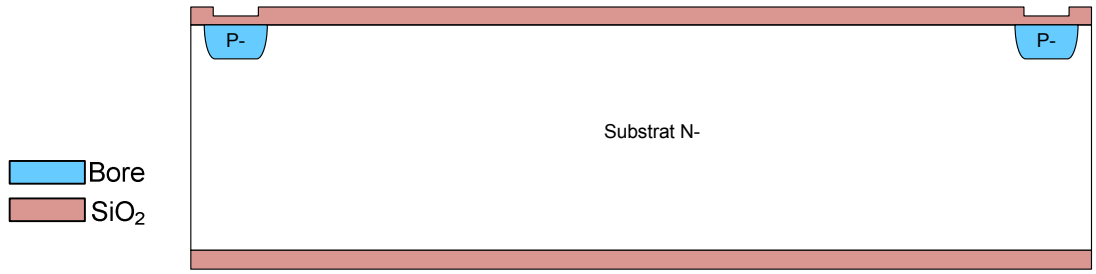
Les étapes du procédé IGBT qui utilise la technique de soudure directe Si/Si données sur la Figure 3-16 sont résumées dans les tableaux ci-dessous.

Oxydation de masquage

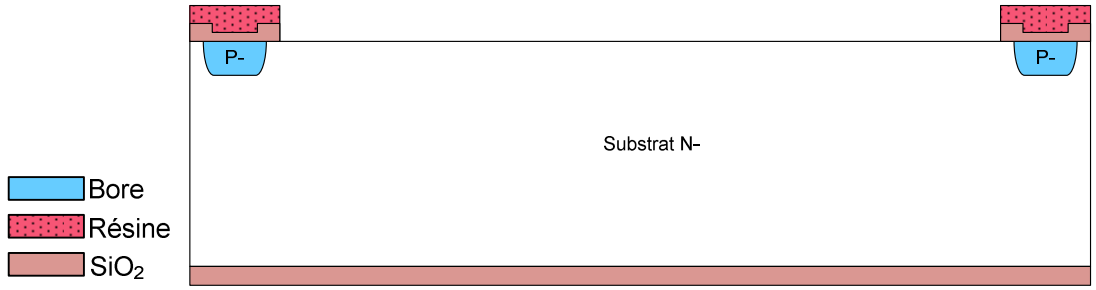
Etape	Descriptif
1	- Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI. - Gravure humide SiO_2 : HF dilué (30 sec) + rinçage EDI + séchage (azote).
2	- Oxydation thermique : épaisseur de l'oxyde (6000Å)

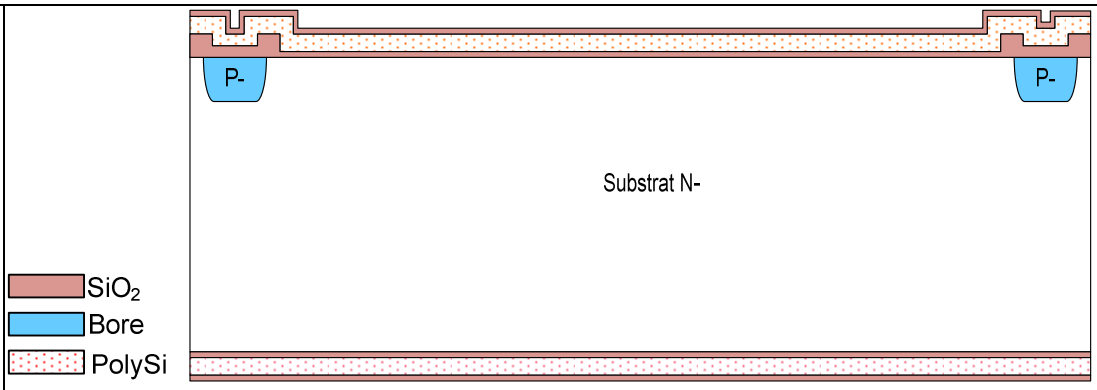
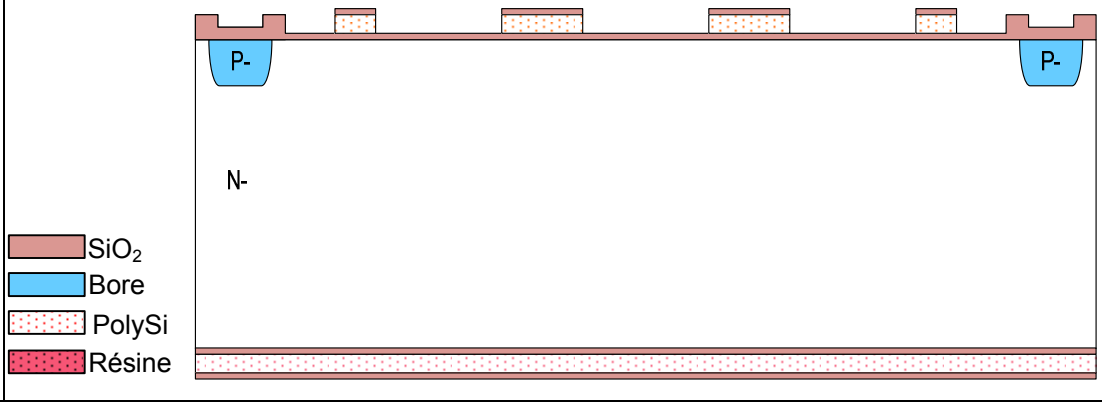
Terminaison de jonction

Etape	Descriptif
3	- Photolithographie P^- face avant sans alignement : masque-1 (P^- face avant).
4	- Gravure humide SiO_2 : HF 10% (10 min) + rinçage EDI + séchage (azote).

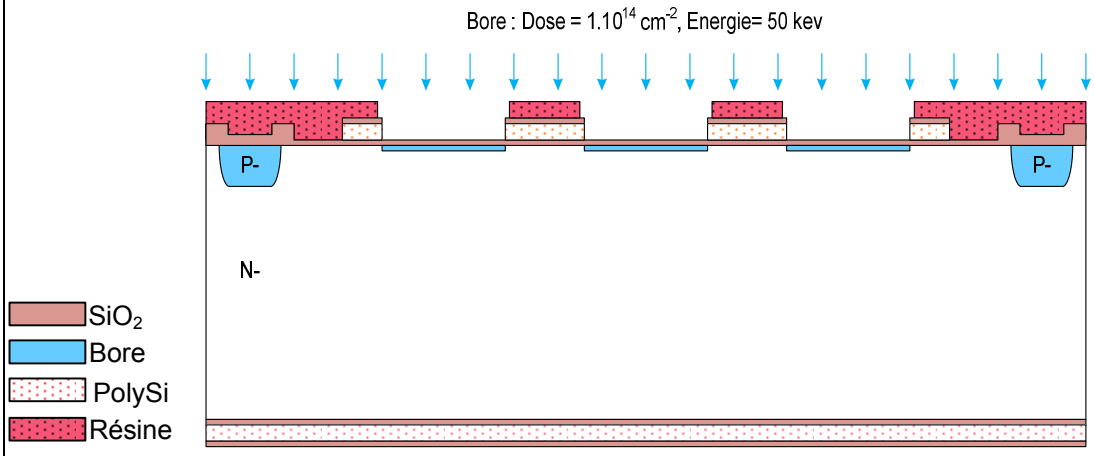
5	- Implantation P^- face avant. 
6	- Délaquage résine : plasma O_2 (15 min à 800W). - Redistribution de bore (P-). 

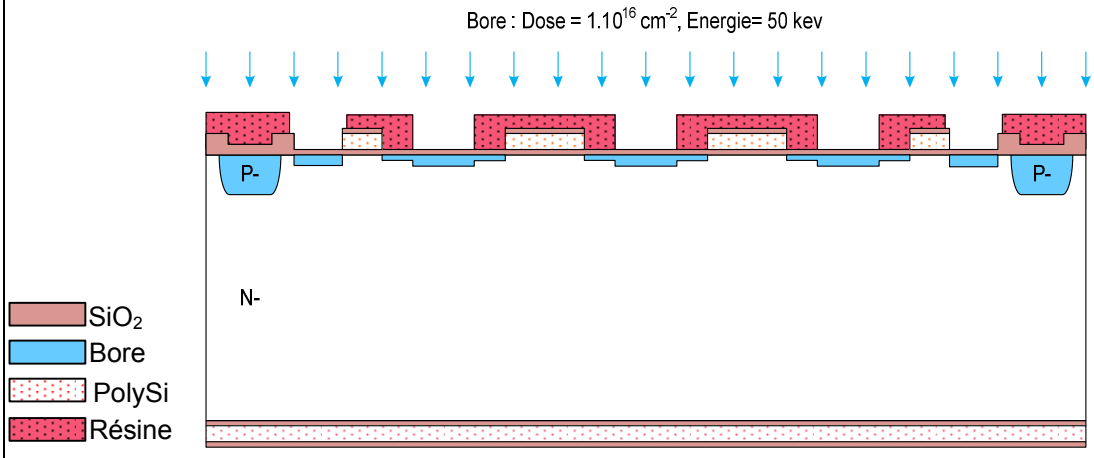
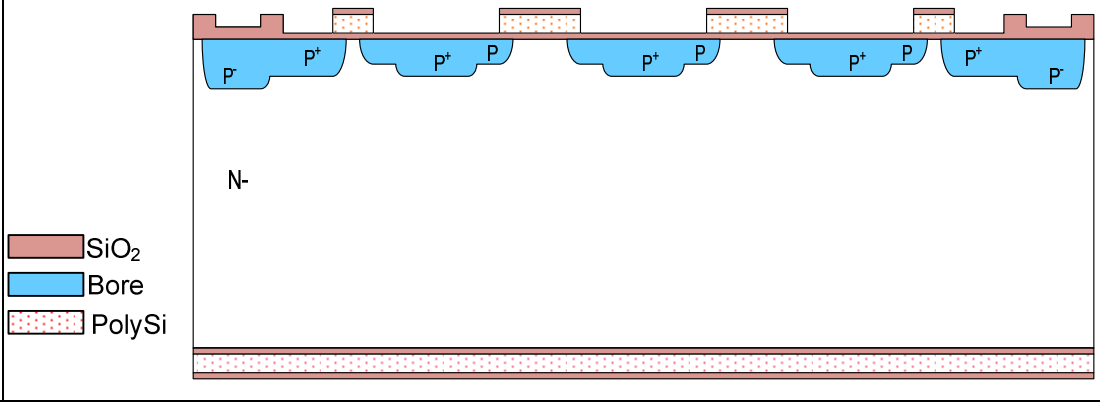
Grille

Etape	Descriptif
7	- Photolithographie zone active face avant avec alignement : masque-2 (zone active face avant). - Gravure humide SiO_2: HF 10% (12 min) + rinçage EDI + séchage (azote). 
8	- Délaquage résine : plasma O_2 (15 min à 800W). - Nettoyage RCA - Oxydation thermique de grille (épaisseur d'oxyde = 550Å). - Dépôt LPCVD de poly-silicium (épaisseur de poly-silicium = 3000Å). - Dopage du poly-silicium (diffusion $POCl_3$). L'épaisseur de l'oxyde de diffusion créé lors du dopage de poly-silicium est de l'ordre de 600Å.

	
9	- Photolithographie poly-Si face avant avec alignement : masque-3 (gravure poly-Si face avant). - Gravure humide SiO_2 (600Å) : HF 10% (1 min) + rinçage EDI + séchage (azote). - Gravure sèche de poly-Si (3000Å) jusqu'à la couche d'oxyde : t = 2'30. - Délaquage résine : plasma O_2 (15 min à 800W). 

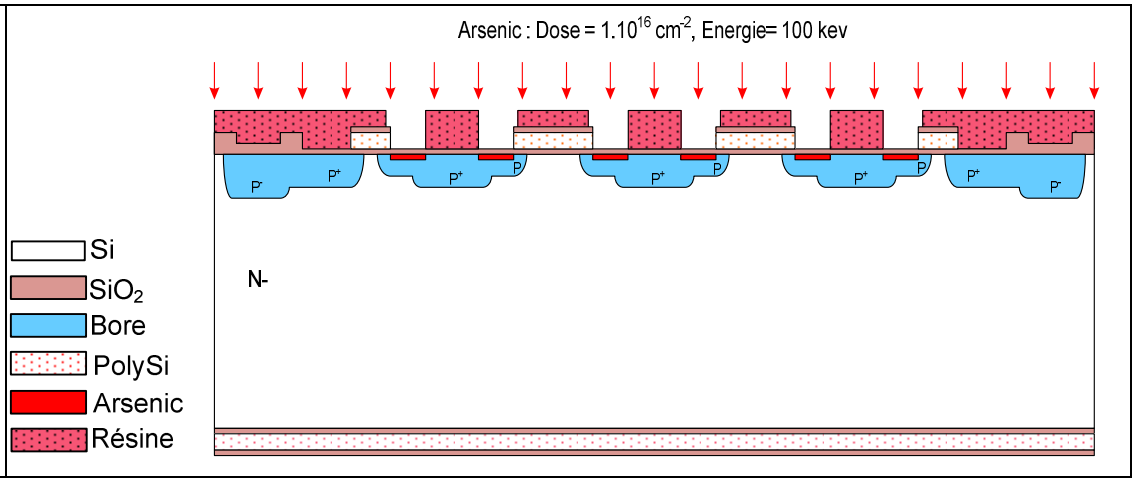
Caisson P et P$^+$

Etape	Descriptif
10	- Photolithographie P face avant avec alignement : masque-4 (P face avant). - Implantation P face avant 
	- Délaquage résine : plasma O_2 (15 min à 800W).

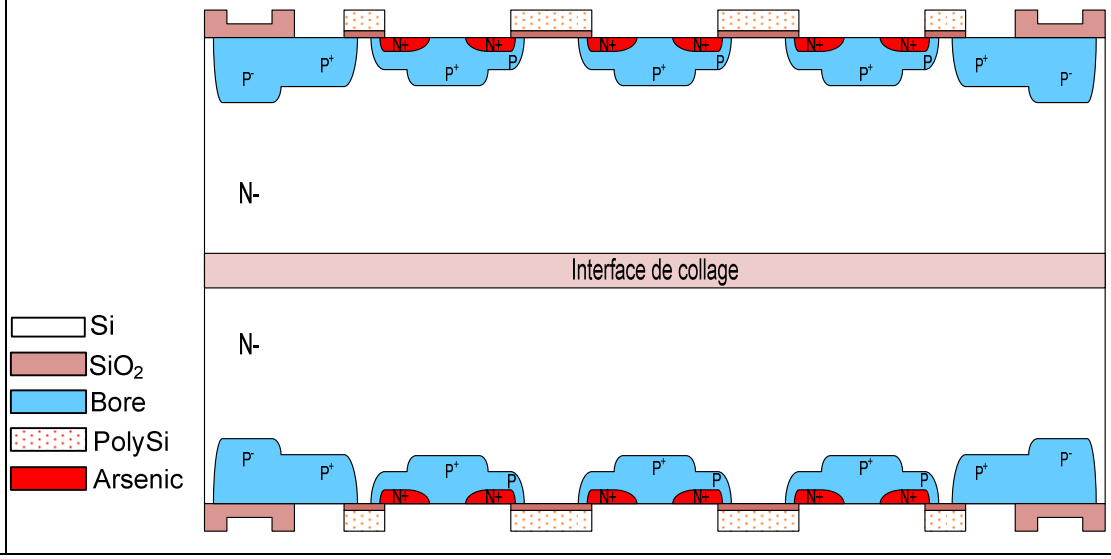
11	- Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI + séchage. - Photolithographie P^+ face avant avec alignement : masque-5 (P^+ face avant). - Implantation P^+ face avant. 
12	- Délaquage résine : plasma O_2 (15 min à 800W). - Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI + séchage. - Redistribution P et P^+. 

Implantation N^+

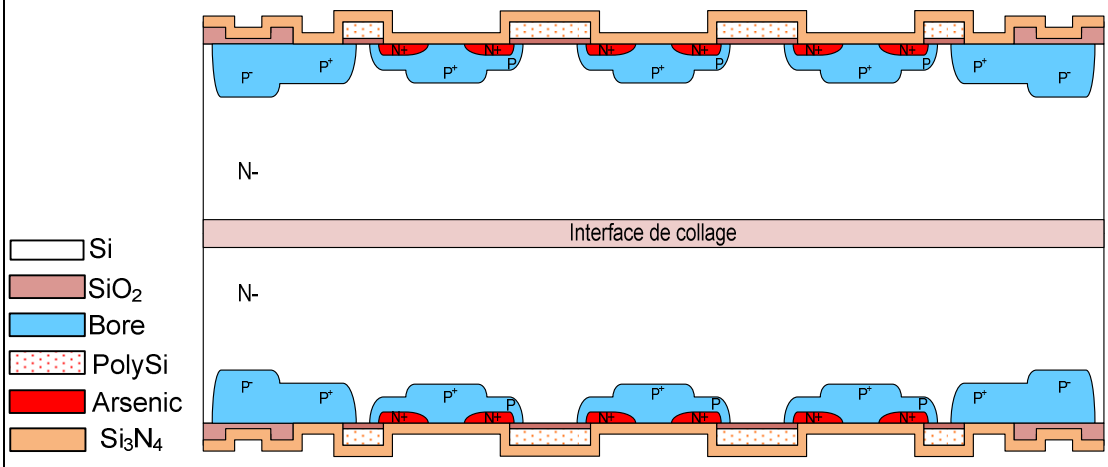
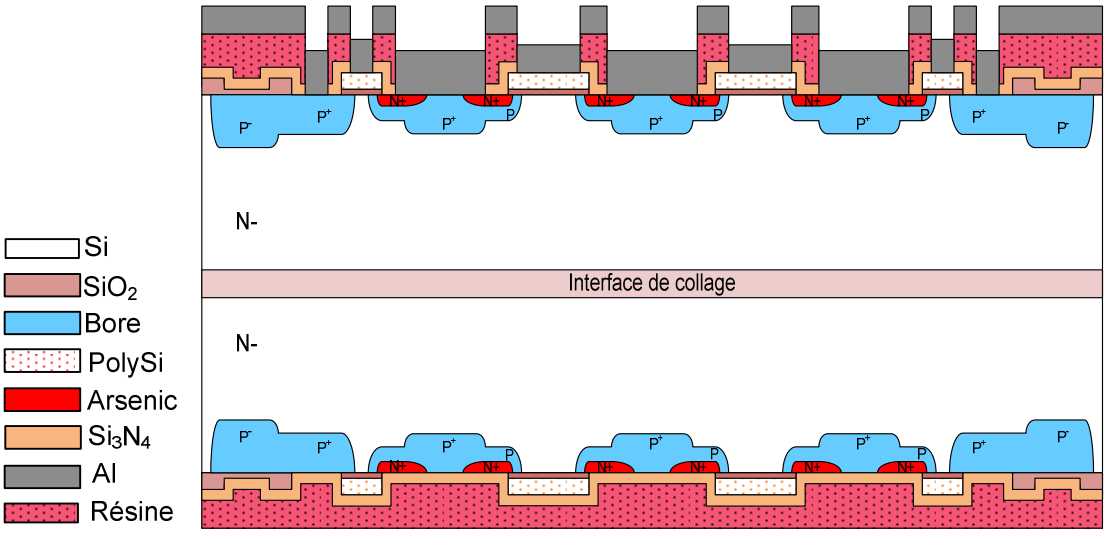
Etape	Descriptif
13	- Photolithographie N^+ face avant avec alignement : masque-6 (N^+ face avant). - Implantation N^+ face avant.



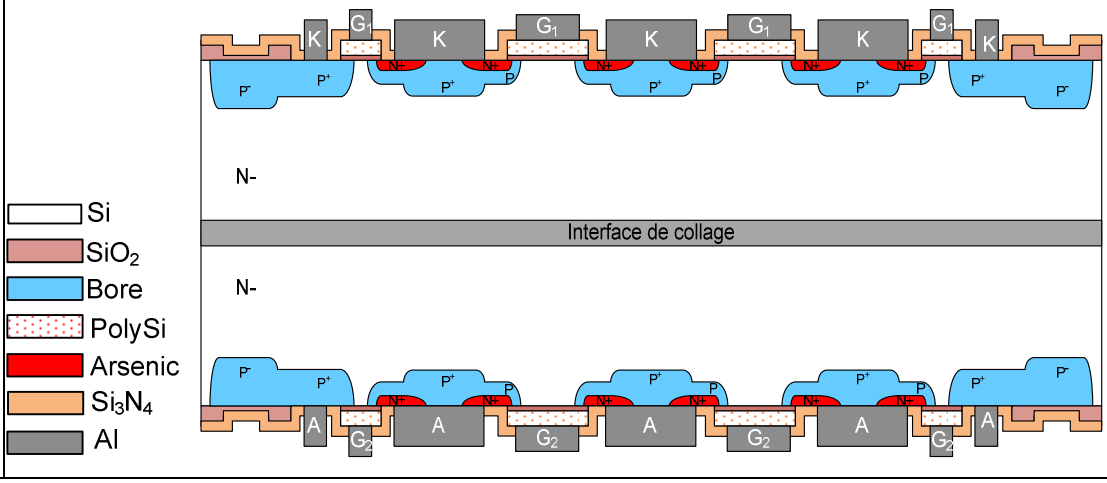
Soudure Si/Si

Etape	Descriptif
13	- Délaquage résine : plasma O_2 (15 min à 800W). - Nettoyage PIRANHA : H_2SO_4 : H_2O_2 (1 : 1) (2 min) + rinçage EDI + séchage. - Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Gravure humide sur la face arrière de SiO_2 (600Å): HF 10% (2 min) + rinçage EDI + séchage (azote). - Gravure sèche de poly-Si (3000Å) jusqu'à la couche d'oxyde de la face arrière : t = 2'30. - Gravure humide sur la face arrière de SiO_2 (600Å): HF 10% (2 min) + rinçage EDI + séchage (azote). - Délaquage résine : plasma O_2 (15 min à 800W). - Photolithographie gravure de mires d'alignement face arrière. - Nettoyage RCA + HF 10% (2 min) + séchage. - Alignement et collage des deux wafers à température ambiante dans le Wafer Bonder. - Redistribution N^+. 

Contact et métallisation

Etape	Descriptif
14	- Dépôt LPCVD de nitrure (Si_3N_4) (1200Å). 
15	- Protection face arrière : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie contact face avant avec alignement : masque-7 (contact face avant). - Gravure RIE de nitrure jusqu'à silicium (1'30). - Photolithographie métal face avant avec alignement : masque-8 (métal face avant). - HF 10% (30s) + rinçage EDI + séchage (azote). - Dépôt aluminium face avant. 
	- Lift-off Aluminium. - Protection face avant : dépôt résine (2,7 µm) suivi d'un recuit à 105°C (1 min). - Photolithographie contact face arrière avec alignement : masque-8 (contact face arrière). - Gravure RIE de nitrure jusqu'à silicium (1'30). - Photolithographie métal face arrière avec alignement : masque-9 (métal face arrière). - HF 10% (30s) + rinçage EDI + séchage (azote).

16	- Dépôt aluminium face arrière. - Lift-off aluminium. - Recuit aluminium (20min à 400°C).



Remarque : *Après le nettoyage RCA suivi d'un HF 10%, dans l'étape de soudure directe Si/Si (étape 13), la couche d'oxyde (550Å) est gravée. Cette couche servait de protection des grilles et des diffusions P^+ et N^+ des sections MOS pour garantir un bon contact de métallisation. Il est donc nécessaire, à l'étape de l'ouverture, de sur-graver le nitrure déposé sur le poly-Si (grille) et sur le silicium (anode et cathode) de quelques nanomètres pour assurer la gravure complète de nitrure.*

Alignement des plaquettes pour collage des wafers contenant les sections DMOS

Pour l'alignement des plaquettes avant le collage, on a prévu deux masques supplémentaires, un masque correspond à la gravure des mires et l'autre masque est utilisé pour graver, sur une zone de la face avant en face des mires, la couche de poly-Si et celle de l'oxyde afin de pouvoir visualiser l'image des mires par les caméras IR du wafer bonder. Une représentation simplifiée des masques est donnée sur la Figure 3-17.

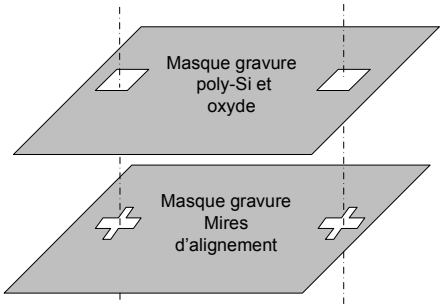
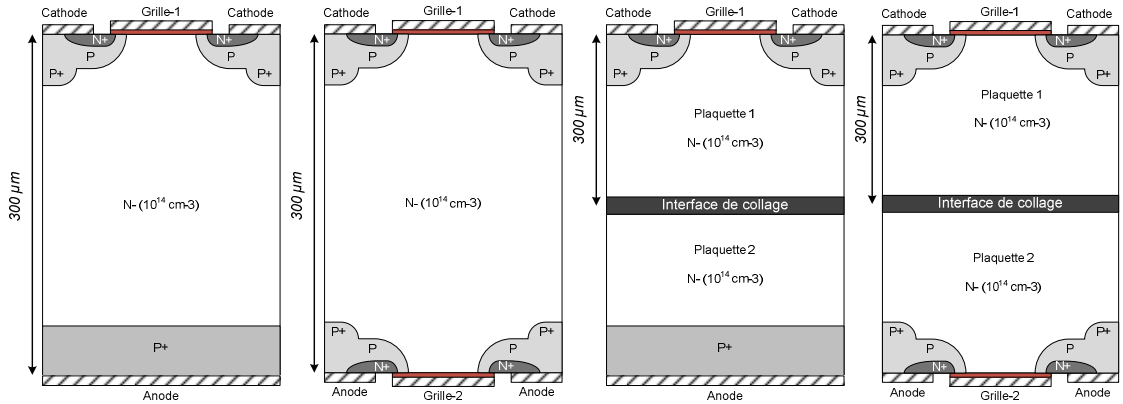


Figure 3-17. Masques correspondant à l'alignement des wafers avant collage.

IV. Dispositifs réalisés et résultats de caractérisations

IV-1. Dispositifs IGBT réalisés

Les vues en coupe des différentes structures que nous avons réalisées sont données sur la Figure 3-18. La réalisation de toutes ces structures conduit à un nombre important de plaquettes (une vingtaine) qu'il faut manipuler manuellement, ce qui conduit à des temps de réalisation élevés pour chaque étape du process.



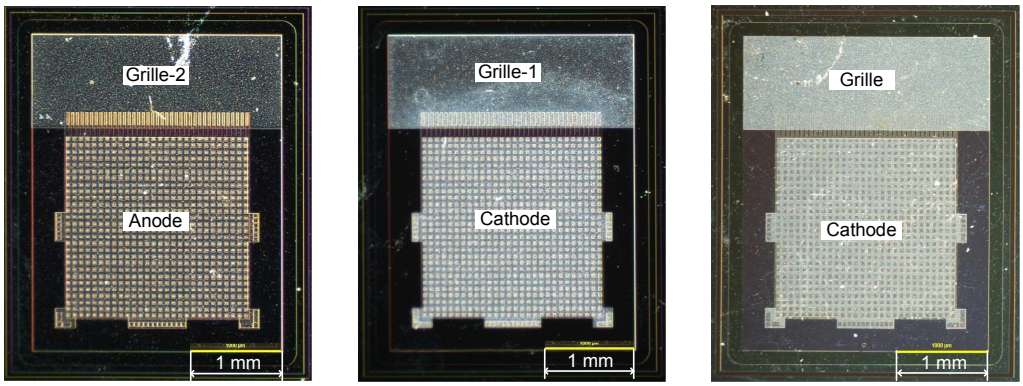
(a) (b) (c) (d)

Figure 3-18. Différentes structures IGBT réalisées en salle blanche. (a) IGBT unidirectionnel classique sans collage, (b) IGBT bidirectionnel sans collage, (c) IGBT unidirectionnel classique avec collage et (d) IGBT bidirectionnel avec collage.

Nous rappelons que l'objectif de notre réalisation, dans le cadre de ce projet, est de fabriquer la structure IGBT bidirectionnelle par les deux techniques proposées (Figure 3-18-b et Figure 3-18-d). Nous avons réalisé de plus, un IGBT unidirectionnel par les deux techniques (Figure 3-18-a et Figure 3-18-c) afin de pouvoir d'une part vérifier le fonctionnement de l'IGBT bidirectionnel et d'autre part de comparer les résultats électriques des deux structures.

IV-2. Caractérisation des IGBTs réalisés par la technique de photolithographie double face

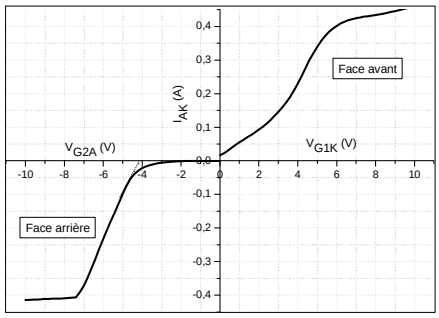
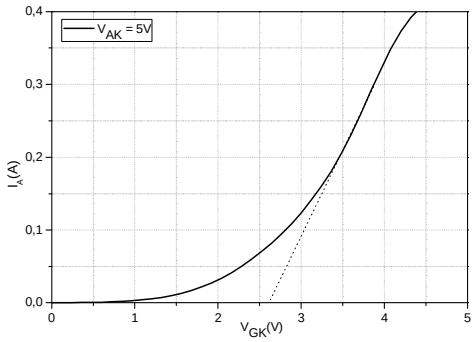
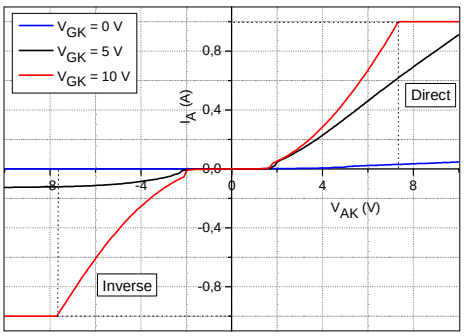
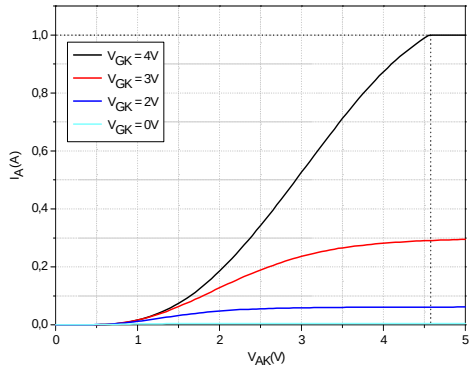
La réalisation des différentes structures IGBT a nécessité un temps de travail en salle blanche considérable. En effet, les différentes variantes réalisées, rajoutées aux nombres de plaquettes témoin nécessaires à la validation de chaque étape du process, conduisent à un nombre de plaquettes conséquent. Ainsi, le traitement manuel de l'ensemble des plaques a conduit à un temps de réalisation de presque une année. Les microphotographies de l'IGBT unidirectionnel et de l'IGBT bidirectionnel réalisé avec la technique de photolithographie double face sont données sur la Figure 3-19.



(a) (b) (c)

Figure 3-19. Microphotographies de dessus (a) et de dessous (b) de l'IGBT bidirectionnel réalisé.(c) Microphotographie de dessus de l'IGBT unidirectionnel réalisé.

Les caractérisations des différentes structures IGBT ont été effectuées sur plaques (sous pointes). Les résultats de caractérisation électrique de l'IGBT unidirectionnel et de l'IGBT bidirectionnel sont regroupés dans le tableau 3-2.

Fonctionnement	Caractérisation électrique de l'IGBT bidirectionnel	Caractérisation électrique de l'IGBT unidirectionnel
Tension de seuil $I_A(V_{GK})$		
Etat passant $I_{AK}(V_{AK})$		

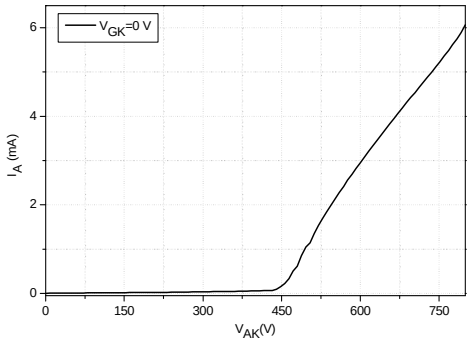
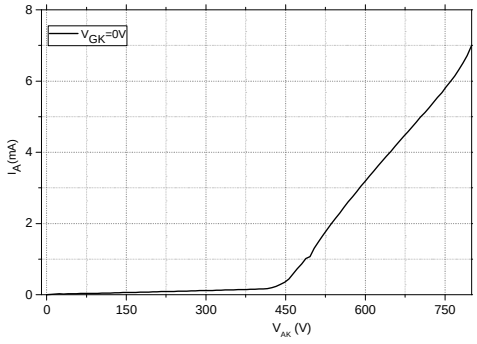
Etat bloqué $I_{AK}(V_{AK})$		

Tableau 3-2 : Caractéristiques I(V) de l'IGBT bidirectionnel réalisés par la technique de lithographie double face et de l'IGBT unidirectionnel.

La tension de seuil obtenue sur les sections MOS de la face arrière de l'IGBT bidirectionel est de l'ordre de 2,7V. Il est à noter que la valeur de tension de seuil de l'IGBT unidirectionnel est du même ordre de grandeur. Cette valeur est en accord avec les résultats de simulations effectuées dans le chapitre 2 qui ont montré que la tension de seuil correspondante à la concentration de la diffusion P ($2{,}5.10^{17}$ cm^{-3}) et à l'épaisseur d'oxyde (55 nm) utilisées est de l'ordre de 3V. Cependant, on peut observer que les deux courbes $I_A(V_{GK})$ pour les deux faces de l'IGBT bidirectionnel ne sont pas symétriques, cela pourrait s'expliquer par la différence de qualité de l'oxyde et de la qualité de linterface oxyde/silicium obtenues sur les deux faces de l'IGBT bidirectionnel.

La surface de la zone active des IGBTs est de l'ordre de 4 mm^2. La chute de tension à l'état passant, dans la structure IGBT unidirectionnelle est élevée. En effet, la chute de tension est supérieure à 4.5 V pour un courant de 1 A. On pourrait attribuer cette chute de tension élevée à diverses raisons : durée de vie des porteurs trop faible (non mesurée), épaisseur de substrat élevée (300 µm), faible efficacité d'injection de la région P^+ face arrière.

Les caractéristiques I(V) à l'état passant direct ainsi qu'à l'état passant inverse de la structure IGBT bidirectionnelle montrent que les chutes de tensions à l'état passant direct ainsi qu'à l'état passant inverse sont nettement supérieures à celle de l'IGBT unidirectionnel. En effet, pour un courant de 1 A et une tension grille-cathode de 10 V, la chute de tension est supérieure à 7 V alors qu'elle n'est que de l'ordre de 4.5 V dans le cas de l'IGBT unidirectionnel pour une tension de grille de 4V. On pourrait, toutefois, attribuer cette différence de chute de tension à l'état passant à plusieurs raisons, parmi lesquelles:

- Les conditions de caractérisation : les caractérisations étant réalisées sous pointes et du fait de la présence de deux électrodes sur chaque face du substrat, la prise de contact notamment en face arrière du substrat est délicate.

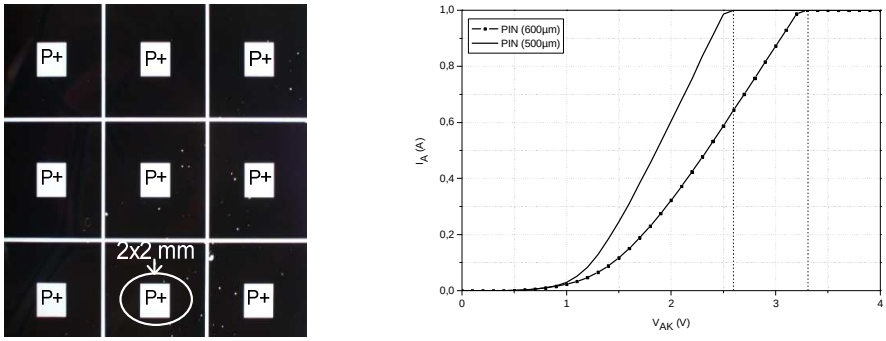
- La réduction de la taille de la zone P injectante : nous avons démontré précédemment dans le chapitre 2, par des simulations 2D, que la chute de tension de l'IGBT bidirectionnel est supérieure à celle de l'IGBT unidirectionnel.

A l'état bloqué, les deux dispositifs sont capables de supporter une tension maximale de l'ordre de 450 V.Cette tension est inférieure à la tension que nous souhaiterions atteindre (600 V). Cela pourrait être dû à la dose implantée. En effet, la technique de terminaison de jonction choisie (JTE) est très sensible à la valeur de la dose implantée.

IV-3. Caractérisation des diodes réalisées par collage

La réalisation des IGBTs bidirectionnels par collage nécessite une étape supplémentaire très exigeante en terme de qualité et de propreté des surfaces à coller. De ce fait, on a travaillé, en parallèle avec le process IGBT, sur des structures diode PIN par collage. Ce choix est dicté par la nécessité de mettre au point un procédé de collage adapté aux dispositifs actifs verticaux dans un wafer bonder pour lequel il a fallu développé une technique d'alignement spécifique. Le choix des diodes PIN tient également de la facilité de réalisation des diodes et par conséquent de la possibilité de faire plusieurs tests de réalisations. En effet, malgré la facilité apparente de la réalisation de ces diodes, les problèmes que nous avons rencontrés notamment du fait du décollement des plaquettes soit dans le wafer bonder lui-même ou dans le four de redistribution de dopants ont fait qu'un nombre de tests importants était nécessaire avant d'arriver à obtenir des diodes collées et fonctionnelles. Cela s'est traduit par 6 mois de travail en salle blanche.

La vue de dessus des diodes PIN réalisées est donnée sur la Figure 3-20-a. Deux diodes d'épaisseurs différentes ont été caractérisées et les résultats sont représentés sur la Figure 3-20. La chute de tension à l'état passant pour un courant de 1 A est supérieure à 3 V pour la diode d'épaisseur de 600 µm et elle est supérieure à2,5 V pour la diode d'épaisseur de 500 µm. Bien que la chute de tension est relativement élevée, ces résultats ont validé d'une part le principe de collage direct Si/Si et d'autre part la transparence de l'interface de collage vis-à-vis de la circulation verticale du courant à travers cette interface.



(a) (b)

Figure 3-20. (a) Topologie de la diode PIN réalisée, (b) Caractéristiques I-V des deux diodes PIN réalisées

IV-4. Structure IGBT bidirectionnelle réalisée par soudure Si/Si

Après avoir validé le fonctionnement de la section MOS de l'IGBT et le collage Si/Si par les résultats de caractérisation électrique présentés précédemment de l'IGBT unidirectionnel et de la diode PIN, nous avons procédé, ensuite, à la réalisation de l'IGBT bidirectionnel et unidirectionnel par la technique de collage. Pour ce faire, nous avons vérifié expérimentalement, dans un premier temps, l'influence du nettoyage RCA sur la gravure de poly-Si des grilles.

La mesure de l'épaisseur des marches de grille a révélé que cette épaisseur est la même avant et après le nettoyage RCA. Néanmoins, ce nettoyage grave la couche d'oxyde (550Å) qui protège les diffusions N^+ et P^+ et le poly-Si de la grille pour garantir un bon contact de la métallisation. Cela peut affecter l'adhérence entre la métallisation et les surfaces des contacts des électrodes.

Nous avons essayé de réaliser les deux structures IGBT en suivant le procédé donné Figure 3-16 sans utiliser l'étape de polissage dont nous avons parlé précédemment, sachant que les plaquettes sont initialement polies sur les deux faces. Mais après plusieurs tentatives, nous avons constaté que la face destinée au collage ne satisfait pas les conditions exigées par la technique de soudure directe Si/Si. En effet, cette surface de silicium contient des résidus de polysilicium restés après gravure de poly-Si et nettoyage RCA. La Figure 3-21 montre un exemple de motifs restés sur la surface de silicium à coller.

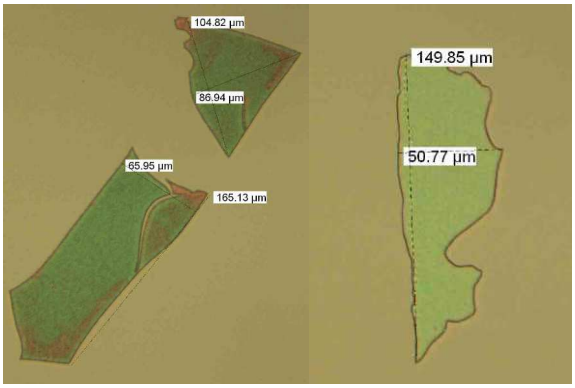
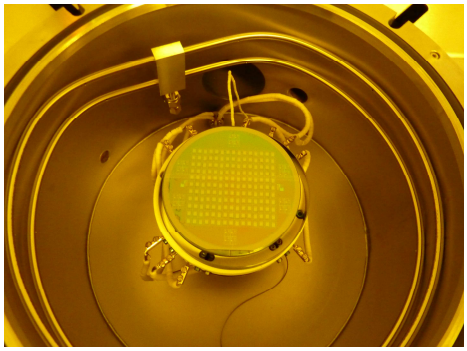


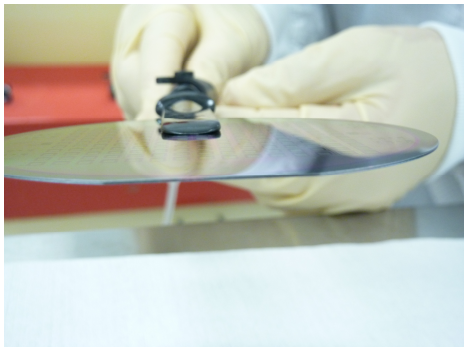
Figure 3-21. Motifs des résidus de poly-Si restés après gravure et nettoyage RCA de la surface destinée au collage.

Ces motifs de dimensions relativement importantes (de l'ordre de 200 µm) dégradent la tenue mécanique du collage. En effet, ils piègent de l'air à l'interface de collage, ce qui crée plusieurs zones non collées.

Après plusieurs tentatives, nous avons réussi à coller deux plaquettes pour réaliser l'IGBT bidirectionnel Figure 3-22, mais ce collage n'a pas tenu après l'étape le recuit. Cela pourrait s'expliquer entre autres par la présence de zones non collées come mentionné précédemment dû à la présence de résidus de polysilicium sur les surfaces collées.



(a)



(b)

Figure 3-22. Images des wafers collés pour la réalisation de l'IGBT bidirectionnel. (a) Vue de dessus, (b) Vue de profil.

Afin de réduire par gravure chimique le nombre de motifs de dimensions faibles de poly-Si restés sur la surface à coller, nous avons protégé la face avant contenant des sections MOS par la résine et nous avons plongé la plaquette dans l'HF dilué pendant 2 heures pour graver la couche de l'oxyde d'épaisseur 550Å en dessous de la couche de poly-Si de ces motifs et pour les enlever par lift-off. Sachant que la résine ne tient pas plus de 10 min dans l'HF 10%, il a fallu répéter l'opération plusieurs fois. Nous avons réussi à réaliser l'IGBT unidirectionnel par collage, mais nous avons rencontré un problème d'adhérence de métallisation.

V. Conclusion

Ce chapitre, qui représente le cœur du travail technologique mené dans le cadre de ma thèse et dans le cadre du projet MOBIDIC avait pour ambition principale la validation par des réalisations technologiques des deux techniques qui permettent de réaliser une structure IGBT bidirectionnelle en courant et en tension. La conception des masques des structures réalisées est effectuée sous Cadence et tient compte des contraintes de packaging relatives à la séparation entre l'électrode de grille et l'électrode de puissance (cathode ou anode). La réalisation des différents dispositifs a nécessité un temps de travail en salle blanche considérable. En effet, les différentes variantes réalisées, rajoutées au nombre de plaquettes témoin nécessaires à la validation de chaque étape du process, ont conduit à un nombre de plaquettes conséquent. En outre, des réalisations intermédiaires pour valider des étapes spécifiques du process ont été également nécessaires. Ceci s'est par conséquent traduit par un temps de travail, en salle blanche, considérable.

Dans ce chapitre, nous nous sommes focalisés d'une part sur la validation d'étapes spécifiques (alignement dans le wafer bonder, collage), et d'autre part sur la réalisation technologique des dispositifs en utilisant la technique de photolithographie double face ainsi que la technique de soudure Si/Si.

Nous avons validé deux techniques d'alignement adaptées au "wafer bonder". En effet, pour aligner les sections DMOS face avant avec les sections DMOS face arrière, il a été nécessaire de tester par des réalisations en salle blanche des techniques d'alignement adaptées à nos composants. En effet, la technique habituelle basée sur l'utilisation de croix métalliques n'est pas adaptée aux composants IGBT car la soudure directe Si/Si s'effectue bien avant l'étape de métallisation. Pour remédier à cela, nous avons validé par des réalisations la technique d'alignement basée sur les franges de Moiré. Cette technique permet d'effectuer un alignement précis à 1 µm près. Nous avons toutefois constaté que le temps nécessaire pour faire l'alignement était trop long et n'est pas adapté aux exigences imposées par le temps de 2mn maximum pour faire un collage de bonne qualité. De ce fait, nous avons testé une autre technique basée sur l'utilisation de croix en polysilicium. La précision que l'on peut atteindre est alors de l'ordre de 5µm.

Dans un objectif à terme et afin de réduire les pertes à l'état passant, nous avons également mis en place au LAAS une brique technologique qui permet d'amincir les plaquettes de silicium [8]. Ce procédé permet aujourd'hui d'amincir des plaquettes de silicium d'épaisseur de 525 µm jusqu'à 200 µm d'épaisseur.

Pour pouvoir réaliser le collage, nous avons également mis en place au LAAS [8] un procédé de polissage mécano-chimique (CMP) qui permet de réduire la rugosité à un niveau inférieur à 0,3 nm nécessaire pour pouvoir réaliser le collage. Nous avons également mis en place un procédé de nettoyage de plaquette spécifique qui permet de faire un collage Si/Si dit hydrophobe. Afin d'obtenir

cette propriété, un nettoyage RCA est réalisé, l'oxyde est gravé dans un buffer HF (et les plaquettes sont séchées).

La soudure Si/Si est très exigeante en termes de propreté et de planéité des surfaces. Le collage s'effectue dans un premier temps dans le wafer bonder à la température ambiante. Ensuite les plaquettes sont mises dans un four à très haute température (1150 °C) pour renforcer les liaisons atomiques Si-Si. Les différentes réalisations à basse et haute températures ont mis en évidence la disparition des voids aux températures élevées (> 800 °C).

La réalisation technologique des dispositifs en utilisant la technique de lithographie double face nécessite de traiter une seule face de substrat à la fois. En effet, la face non traitée doit être obligatoirement protégée par une couche de résine. La nécessité de protéger une des deux faces à chaque étape du process augmente considérablement le temps de réalisation. Les caractérisations sous pointes des différentes structures réalisées ont montré que les caractéristiques I(V) à l'état passant n'étaient pas symétriques et que les tensions de seuil des sections MOS réalisées sur les deux faces du wafer n'étaient pas identiques également. On pourrait attribuer cela à des contaminations dues à l'utilisation de pistes partagées par l'ensemble des personnes qui travaillent en salle blanche.

Les caractérisations des différentes structures IGBT ont été effectuées sur plaques (ou sous pointes). La surface de la zone active est de l'ordre de 4 mm^2. La chute de tension à l'état passant reste toutefois élevée. En effet, la chute de tension est de l'ordre de 4 V pour un courant de 1 A dans le cas de l'IGBT unidirectionnel. On pourrait attribuer cette chute de tension à diverses raisons : durée de vie des porteurs faible (non mesurée), épaisseur de substrat élevée (300 µm), faible efficacité d'injection de la région P^+ face arrière. Les IGBT réalisés sont capables de supporter une tension de l'ordre de 400 V à l'état bloqué. Bien que la chute de tension à l'état passant soit relativement élevée, les résultats expérimentaux ainsi obtenus sont encourageants car ils ont permis de montrer que la technique de photolithographie double face permet de réaliser un IGBT bidirectionnel.

La réalisation des dispositifs avec la technique de soudure Si/Si nécessite notamment la réunion d'un ensemble de conditions afin d'obtenir une interface de collage robuste mécaniquement et transparente électriquement. Les dispositifs réalisés ou en cours de réalisation concernent essentiellement des diodes PIN, des IGBT unidirectionnels par collage ainsi que des IGBT bidirectionnels par collage. L'étape de collage a été insérée dans le process flow dit process IGBT flexible. En effet, nous avons exploité l'étape de redistribution de l'arsenic qui s'effectue à une température de l'ordre de 1150 °C pour renforcer les liaisons atomiques Si-Si à très haute température.

Nous avons, après plusieurs tentatives, réussi à réaliser un premier collage des structures IGBT bidirectionnelles en utilisant la technique de soudure directe Si/Si. Toutefois, ce collage n'a pas tenu après l'étape de recuit à très haute température. Nous avons réalisé un IGBT unidirectionnel avec collage. Nous n'avons toutefois pas pu le caractériser en raison de problèmes d'adhérence de la

métallisation. Nous avons en revanche validé cette soudure directe Si/Si sur une diode PIN réalisée en collant un substrat qui contient une région P et un substrat qui contient des régions N^+. Les caractéristiques I(V) obtenues en caractérisant des diodes PIN d'épaisseurs de substrat de 500 µm et 600 µm ont montré que la chute de tension à l'état passant est supérieure à 2,5V pour la diode de 500 µm d'épaisseur et de l'ordre de 3,5V pour la diode de 600 µm d'épaisseur.

Références

[1] B. J. Baliga. :Bi-directional insulated-gate rectifier structure and methode of operation. European Patent, 1984.

[2] Shunqi Zhao, Sin. J. K. O, Chuguang Feng.: Design, fabrication and characterazation of a bi-directional insulated gate bipolar transistor. ICSICT, 2004, page(s): 332-335 vol.1.

[3] K.D Hobert, F.J KUB, M. Ancona, J.M. Neilson, P.R. Waind.: Trantient analysis of 3.3Kv double side double gate IGBTs. ISPSD'04, 2004. pp. 273-276.

[4] J.M. Neilson, F.J KUB, K.D Hobert, K. Brandmier. M. Ancona.: Double side IGBT phase leg architecture for reduced recovery current and turn-on loss. ISPSD'02, 2002. pp. 141-144.

[5] K.D Hobart, F.J. Kub, G. Dolny, M. Zafrani, J.M. Neilson, J. Gladish, C. McLanchan.: Fabrication of a double-side IGBT by very low temperature wafer bonding. Proc ISPSD'99, page(s): 45-48, 1999.

[6] K.D Hobart, F.J. Kub, M. Zafrani, J.M. Neilson, J. Gladish, C. McLanchan.: Characterization of a double side IGBT by very low temperature wafer bonding. Proc ISPSD'01, page(s): 125-128, 2001.

[7] Imbernon. E, Sanchez. JL, Austin.P, Breil. M, Causse. O, Rousset. B, Rossel. F.: Flexible technological process for functional integration, semiconductor conference, Volume 2,2001, Pages 465-468.

[8] L. Pont, G. Sarrabayrouse. " Etude et mise en oeuvre d'un procédé d'amincissement/ polissage/ soudure directe de plaquettes de silicium. Rapport LAAS N° 09556, Juin 2009.

[9] Imbernon. E,: Etude et optimisation d'une filière technologique flexible adapté au mode d'intégration fonctionnelle, thèse 3eme cycle, université Paul Sabatier, 2002.

[10] Laporte, A.; Sarrabayrouse, G.; Lescouzeres, L.; PeyreLavigne, A.; Benamara, M.; Rocher, A.; Claverie, A. : Influence of the mechanical conditions on the electrical and structural properties of the interface between directly bonded silicon wafers.ISPSD '94, 1994, Page(s): 293 – 296.

[11] U. Ggosele, Q.Y. Tong.: semiconductor wafer bonding, Annu. Rev. Mater. Sci. pp. 215-241, 1998.

[12] Christiansen. S.H, Singh. R, Gosele. U. : wafer direct bonding: from advanced substrate engeneering to future applications in Micro/nanoelectronics. Proc IEEE, vol. 94, pp. 2060-2106, 2006.

[13] Interfaces Silicium-Silicium obtenues par soudure directe: propriétés électriques et influence du mode de preparation des plaquettes.P.Lecerf, Thèse 1999.

[14] Spontaneous bonding of hydrophobic silicon surfaces K.Ljunberg, Y.Backund, and A. Backlund, Appl.Phys. Lett. Vol 62.No 12. P1362-1364. 1993.

[15] Ljunberg, Y.Backund, Electrochem. Soc. Vol 141**.** No 2. P562-566. 1994.

[16] T. Yasaka et al, "Chemical surface preparation. Passivation for semiconductor Growth and processing", MRS Proc. Vol. 259, 1992, Page(s): 389-390.

[17] D. Graf, M. Grundner, R. Schulz, "reaction of water with hydrofluoric acid treated silicon (111) and (100) surfaces", Journal of Vacuum Science & Technology A:Vacuum, surfaces and Films, Vol. 7, 1989, Page(s): 808-813.

[18] A. Laporte, "Etudes des interfaces Silicium/Silicium obtenues par soudure directe de plaquettes",thèse (INSA Toulouse, 1995).

[19] Chenxi Wang, Shingo Taniyama, Ying-Hui Wang,and Tadatomo Suga.:High-Precision Alignment forLow Temperature Wafer Bonding. Journal of the Electromecanical Society, 2009, page(s): 197-201.

CHAPITRE 4

ETUDE PAR SIMULATION D'UNE STRUCTURE IGBT BIDIRECTIONNELLE A ELECTRODES COPLANAIRES

I. Introduction

L'étude menée dans les chapitres 2 et 3 sur la structure IGBT bidirectionnelle ayant ses électrodes de puissance et de commande sur les deux faces du substrat a montré que la réalisation d'une telle structure peut effectivement se faire selon deux techniques, mais des verrous technologiques doivent être levés. En effet, dans le cas de l'utilisation de la photolithographie double face, la nécessité de protéger une des deux faces du substrat à chaque étape technologique favorise l'introduction d'éléments contaminants dans le substrat. Dans le cas de l'utilisation de la technique de collage, l'étape de collage Si/Si pour un composant de puissance vertical est très exigeante en terme de conditions à réunir pour obtenir à la fois un collage assurant une bonne tenue mécanique de la structure et une interface de collage transparente électriquement. Pour rappel, pour obtenir une interface de collage qui ne contient pas de voids et dans laquelle la durée de vie est homogène, il faudrait réaliser le collage à haute température (>800 °C). Par conséquent, le collage doit être obligatoirement effectué avant l'étape de métallisation. En outre, l'optimisation des performances des structures réalisées par collage Si/Si nécessite l'optimisation de l'épaisseur du substrat faiblement dopée utilisé. Par conséquent, une étape d'amincissement de plaquettes de silicium avant l'étape de collage est nécessaire. Pour cette étape, il ne suffit pas de réduire l'épaisseur du substrat pour atteindre l'épaisseur souhaitée, mais il est également obligatoire de réduire la rugosité de la surface du wafer jusqu'à un niveau permettant de réaliser le collage Si/Si.

A l'ensemble des difficultés technologiques propres à la réalisation de la puce de silicium se rajoute la difficulté de la mise en place d'un boîtier spécifique permettant d'avoir sur la face arrière du wafer deux plots de contact (grille de commande et anode). En effet, après un certain nombre d'essais en salle blanche, nous avons pu réaliser quelques prototypes que nous avons caractérisés sous pointes et que nous avons envoyés par la suite à nos partenaires du G2ELab pour analyser la possibilité de la mise en place d'un boîtier spécifique. Les premiers tests qu'ils ont menés ont mis en évidence un certain nombre de difficultés que nous n'avons pas pu, par manque de temps, surmonter. En effet, il aurait fallu concevoir à nouveau des composants, les réaliser en salle blanche, ce qui aurait pris un temps considérable que nous ne pouvons nous permettre dans le cadre d'une thèse.

L'ensemble de ces difficultés nous a poussé à réfléchir à d'autres solutions permettant d'obtenir un interrupteur bidirectionnel sur silicium commandé en tension et possédant toutes ses électrodes de commande sur la même face du wafer. De ce fait, nous avons proposé une structure bidirectionnelle que nous avons nommée structure bidirectionnelle à électrodes coplanaires. Une structure avec une telle configuration présente un certain nombre d'avantages relatifs d'une part à l'encapsulation et d'autre part à la commande rapprochée. En effet, une telle structure est facile à encapsuler dans des boîtiers classiques et un circuit de commande (puce) peut également être placé au dessus de la puce de puissance et l'ensemble encapsulé dans un même boîtier. Il est également utile de rappeler qu'aujourd'hui des circuits de commande auto-alimentés pour dispositifs commandés par MOS sont

proposés dans la littérature. Il est par conséquent possible d'envisager d'ores-et-déjà des interrupteurs bidirectionnels à électrodes coplanaires autonomes pour remplacer des structures bidirectionnelles classiques telles que les triac, ACswitch, … etc.

Une étude complète de la structure que nous proposons devrait concerner :

- L'évaluation des performances de la structure en statique et en dynamique afin de dégager un ensemble de paramètres ayant une influence sur les performances du dispositif.
- La proposition d'une topologie pour la structure dans la perspective de la réaliser en utilisant la filière IGBT flexible du LAAS.
- L'identification des principaux verrous technologiques et la proposition de solutions éventuelles afin de les lever.
- L'étude du potentiel applicatif de la structure permettrait de positionner cette structure par rapport à l'existant. Toutefois, comme nous le démontrerons plus loin, la détermination des caractéristiques de la structure ne peut se faire à partir d'une cellule élémentaire comme c'est le cas dans les structures telles que les IGBTs classiques (ou d'une façon générale dans des structures qui présentent une certaine symétrie). Il est nécessaire par conséquent de simuler des structures de taille importante afin de se rapprocher des dimensions de la structure réelle. De ce fait, nous n'avons pas conduit cette analyse dans le cadre de l'étude de la structure.

Dans ce chapitre, nous décrirons la structure IGBT bidirectionnelle à électrodes coplanaires ainsi que son principe de fonctionnement dans le premier quadrant. Nous mènerons ensuite une étude de l'influence des paramètres physiques et géométriques sur le fonctionnement notamment en statique, à l'état bloqué et à l'état passant. Nous décrirons en nous basant sur des résultats de simulations les phases d'amorçage de la structure. Nous proposerons à la fin de ce chapitre, un jeu de masques et deux techniques qui pourraient être exploitées pour la réalisation de cette structure.

II. Structure et principe de fonctionnement

II-1. Structure

Une vue en coupe de la structure IGBT bidirectionnelle en courant et en tension à électrodes coplanaires est représentée sur la 0.

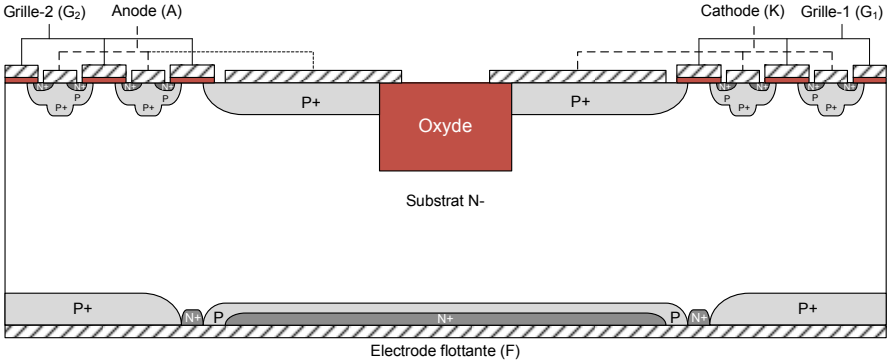


Figure 4-1. Structure IGBT bidirectionnelle à électrodes coplanaires

Cette structure est constituée de deux parties partiellement séparées par une tranchée remplie d'un diélectrique. Chaque partie est essentiellement composée d'un IGBT et d'un thyristor montés tête-bêche. Toutes les diffusions de la face arrière de cette structure P^+, P et N^+ sont court-circuitées par une électrode flottante (F). Bien que le thyristor ait une capacité en courant plus importante que celle d'un IGBT, la structure que nous proposons est conçue de telle sorte que la surface de la puce occupée par les cellules IGBT soit identique à celle occupée par le thyristor. Du fait que le courant qui parcourt la structure traverse le thyristor ainsi que l'IGBT, le courant maximal qui traverse la structure sera donc limité par la largeur du canal de l'IGBT.

II-2. Principe de fonctionnement et circuit équivalent

Le circuit électrique équivalent de la structure que nous proposons, dans le premier quadrant, est donné sur la Figure 4-2.

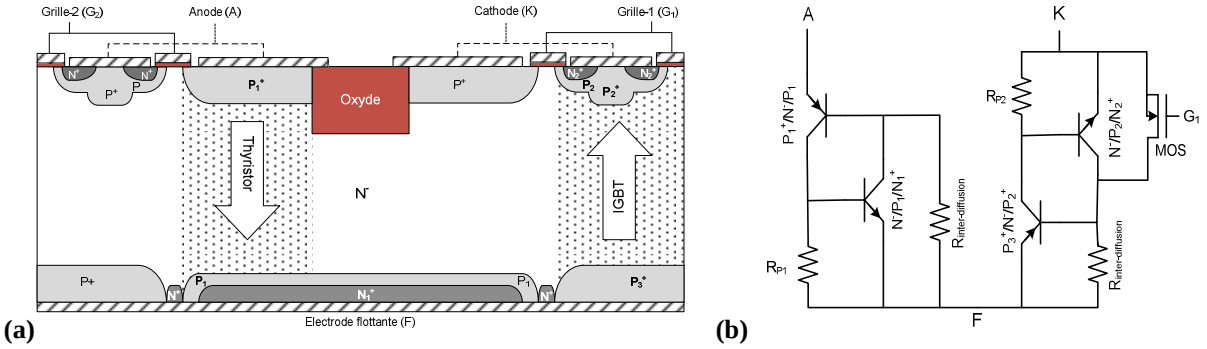


Figure 4-2. (a) Structure IGBT bidirectionnelle à électrodes coplanaires simplifiée, (b) Circuit électrique équivalent en fonctionnement statique dans le premier quadrant

Dans le premier quadrant, la tension anode-cathode est positive. La mise en conduction de cette structure se fait par application d'une tension positive et suffisante sur la grille G_1 par rapport à la cathode (K). Par conséquent, un canal N se crée sous l'oxyde de la grille (G_1) qui permet de relier la région du substrat N^- à la cathode (K). De ce fait, un courant circule de l'anode vers la cathode en suivant le chemin défini par la diode $P_1^+N^-N_1^+$, l'électrode F, la région inter-diffusion N^+, la région drift N^- et finalement le canal N. A de faibles niveaux de courant, cette structure est équivalente à une diode PIN en série avec un MOSFET. Quand le courant augmente, dans la première partie de cette structure, la circulation des trous collectés par la région P_1 développe une tension suffisante aux bornes de la résistance (R_{P_1}) de cette région P_1 qui permet de polariser la jonction $P_1N_1^+$ en direct et par conséquent permet l'amorçage du thyristor $P_1^+N^-P_1N_1^+$. Simultanément, dans la seconde partie de cette structure, le courant circulant à travers la région inter-diffusion N^+ développe une tension suffisante aux bornes de la résistance matérialisée par la région N^+, ce qui polarise la jonction $P_3^+N^-$ en direct et permet l'injection de trous de la région P_3^+ vers la région N^-. A ce niveau de courant, la structure est équivalente à un thyristor en série avec un IGBT. Le courant, dans l'ensemble de la structure, circule verticalement de l'anode vers la cathode à travers le thyristor et l'IGBT.

Le basculement d'un fonctionnement en mode PIN à un fonctionnement en mode thyristor dans la première partie, et d'un fonctionnement en mode MOSFET à un fonctionnement en mode IGBT dans la deuxième partie de cette structure, dépend des paramètres physiques et géométriques des diffusions de la face arrière. Si la région P de la face arrière est plus large ou moins dopée l'amorçage du thyristor aura lieu plus rapidement car la tension aux bornes de la résistance R_p polarisant la jonction P/N^+ de la face arrière atteint la valeur nécessaire (0,7V) à la mise en conduction cette jonction pour un courant plus faible. Le passage d'un mode DMOS à un mode IGBT dépend de la résistance matérialisant la région inter-diffusions N^+ : plus elle est large, plus le courant nécessaire de la mise en conduction de la jonction P_3^+/N^- permettant le basculement d'un mode MOSFET à un mode IGBT, est élevé.

II-2-1. Rôle de la tranchée

Dans la littérature, plusieurs techniques de terminaison de jonction ont été proposées dans le but d'améliorer la tension de claquage d'une jonction P/N polarisée en inverse. En effet, les courbures de jonction ont une tenue en tension inférieure à celle d'une jonction plane. Parmi ces techniques, on trouve la technique basée sur les anneaux flottants proposée par Kao en 1967, la plaque de champ proposée par Grove en 1967, la terminaison de jonction de type biseau présentée par Cornu en 1973, la terminaison JTE « Junction Terminaison Extension » proposée par Temple en ainsi que la terminaison à jonction concave [1]. Le principe de ces techniques consiste à étaler au mieux la zone de charge d'espace déployée par la jonction P/N polarisée en inverse et de distribuer le potentiel sur la

plus grande surface de silicium possible afin de diminuer l'intensité du champ électrique à la jonction et par conséquent d'augmenter la tension de claquage. Notons que ces techniques permettant d'améliorer la tenue en tension nécessitent des surfaces de silicium relativement importantes. Afin de réduire cette surface, pour une même tension de claquage, nous avons utilisé une terminaison basée sur la tranchée verticale remplie d'un diélectrique (oxyde) [2], [3]. La tranchée empêche l'extension de la zone de charge d'espace d'atteindre l'électrode d'anode. La charge d'espace se développe dans la région N^- si la tranchée est suffisamment profonde. Toutefois, afin d'améliorer davantage la tenue en tension de la structure, il est nécessaire de rajouter à la tranchée remplie d'oxyde une plaque de champ judicieusement placée. Cette technique est détaillée dans la section qui suit.

III. Etude par simulation du fonctionnement de la structure

Une vue en coupe de la structure que nous avons utilisée pour réaliser des simulations 2D sous Sentaurus est représentée sur la Figure 4-3. Elle est essentiellement constituée de deux sections partiellement séparées par une tranchée de diélectrique et en l'occurrence d'oxyde. Chaque section est constituée d'un IGBT et d'un thyristor auto-amorçable montés tête-bêche. Afin de se rapprocher au maximum de la structure réelle, il est nécessaire de simuler une structure de dimensions suffisamment larges. En effet, comme nous le démontrerons, les performances à l'état passant de la structure dépendent notamment de l'épaisseur de la structure thyristor ainsi que de la distance latérale correspondant à la base de l'IGBT latéral. Afin de tenir compte de cela, nous avons simulé une structure à seize cellules IGBT.

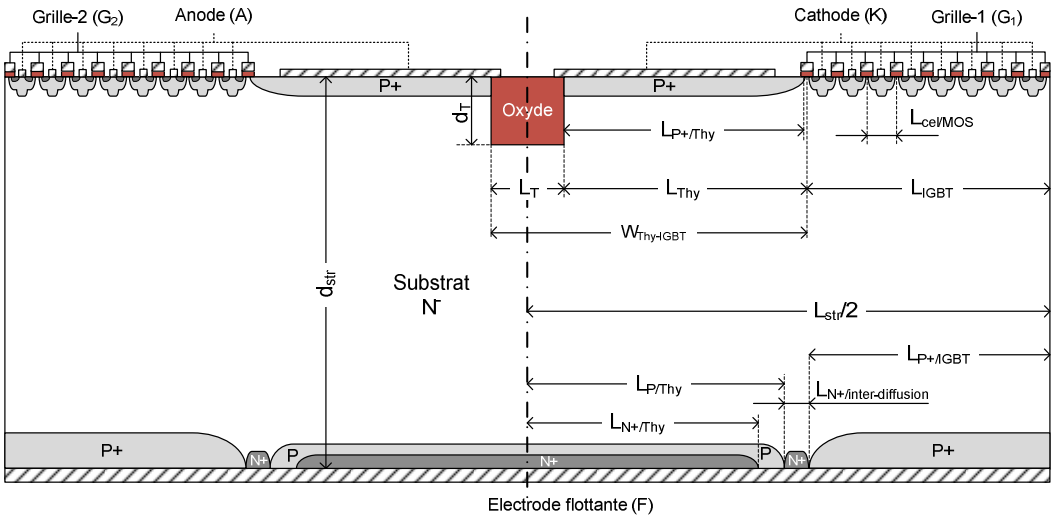


Figure 4-3. Structure IGBT bidirectionnelle à électrodes coplanaires qui contient seize cellules IGBT

Les paramètres géométriques et physiques de la structure simulée sont regroupés dans le tableau suivant (Tableau 4-1):

	Régions		Dimension (µm)	Concentration en surface (cm^{-3})	Profil de dopage	Facteur de diffusion latérale	Nombre de cellules
IGBT	Cellule MOS	SiO_2	$L_{grille} = 30$ $e_{ox} = 0.05$	-	-	-	16
		P	$L_P = 40$ $X_P = 5$	$5x10^{17}$	Gaussien	0.8	
		P^+	$L_{P+} = 26$ $X_{P+} = 7$	$5x10^{19}$	Gaussien	0.8	
		N^+	$L_{N+} = 14$ $X_{N+} = 1$	10^{20}	Gaussien	0.8	
		Canal	$L_{CH} = 3.2$	-	-	-	
		N^-	$L_{cel/MOS} = 70$ $d_{str} = 200$	10^{14}	Uniforme	-	
	P^+ face arrière		$L_{P+/IGBT} = 545$ $X_{P+/IGBT} = 7$	$5x10^{19}$	Gaussien	0.8	
	N^-		$L_{IGBT} = 8xL_{cel} = 560$ $d_{str} = 200$	10^{14}	Uniforme	-	
Thyristor	P^+		$L_{P+/Thy} = L_{P+/IGBT} = 545$ $X_{P+} = 7$	$5x10^{19}$	Gaussien	0.8	2
	N^-		$L_{Thy} = L_{IGBT} = 560$ $d_{str} = 200$	10^{14}	Uniforme	-	
	P		$L_{P/Thy} = L_{P+/Thy} + (L_T/2) = 585$ $X_P = 5$	$5x10^{19}$	Gaussien	0.8	
	N^+		$L_{N+/Thy} = L_{P/Thy} - 5 = 580$ $X_{N+} = 1$	10^{20}	Gaussien	0.8	
Tranchée	SiO_2		$L_T = 80$ µm $d_T = 20$ µm	-	-	-	1
Inter-diffusion	N^+		$L_{N+/inter-diffusion} = 19.3$ $X_{N+} = 1$	10^{20}	Gaussien	0.8	2
- La distance latérale qui sépare la section d'IGBT de la section thyristor est $W_{Thy-IGBT} = L_{Thy} + L_T = 640$µm - La largeur totale de la structure est $L_{str} = 2\ (L_{IGBT} + L_{Thy}) + L_T = 2320$µm - L'épaisseur de la structure est $d_{str} = 200$µm							

Tableau 4-1. Paramètres physiques et géométriques utilisés pour la simulation de la structure IGBT bidirectionnelle à électrodes coplanaires.

III-1. Tenue en tension

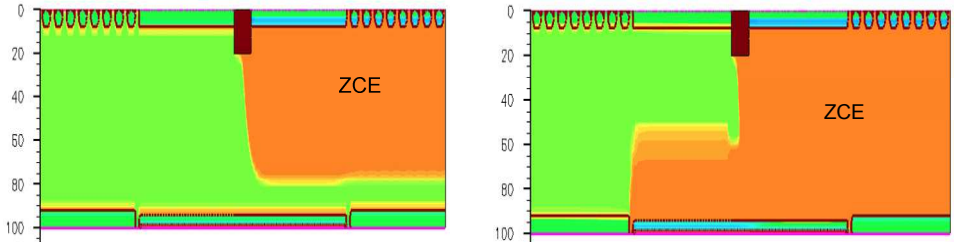
A l'état bloqué direct, la tension anode cathode est positive et les électrodes de grille-1 et de grille-2 sont reliées respectivement à la cathode et à l'anode afin d'éviter la création de canaux sous les deux grilles. La jonction P^+/N^- du côté cathode se trouve ainsi polarisée en inverse. Du fait de la tension appliquée, une zone de charge d'espace s'étale verticalement essentiellement dans le substrat N^- et sous la tranchée remplie d'oxyde. La tenue en tension de cette structure dépend par conséquent non seulement des propriétés physiques et géométriques du substrat N^-, mais également des propriétés géométriques de la tranchée remplie d'oxyde.

Nous étudierons, dans ce qui suit, par simulations, l'influence de l'épaisseur du substrat N^- ainsi que celle des paramètres géométriques de la tranchée sur la tenue en tension du composant. Nous choisirons ensuite, sur la base de nôtre connaissance des contraintes technologiques liées à la réalisation des différentes régions de la structure, un ensemble de paramètres qui permettent

d'atteindre la tension de claquage de 600 V que nous nous sommes fixée. Les paramètres choisis serviront également pour l'étude des performances de la structure à l'état passant direct et inverse.

III-1-1. Tenue en tension en fonction de l'épaisseur du substrat N^-

La structure donnée sur la Figure 4-3 est simulée à l'état bloqué pour différentes épaisseurs de substrat N^-. Nous avons toutefois maintenu les paramètres géométriques de la tranchée fixes. En effet, la tranchée est remplie d'oxyde (constante diélectrique $\varepsilon_{ox} = 3.9 * \varepsilon_0$) et a une largeur de 100µm et une profondeur de 20µm. Les paramètres géométriques de la tranchée sont choisis de sorte que la tenue en tension du composant soit uniquement limitée par les paramètres de la région N^-. Les différentes épaisseurs de substrat N^- simulées sont de 100, 70 et 50µm. Ces différentes épaisseurs ont été choisies de sorte à ce que la limite inférieure de la zone de charge d'espace (ZCE) atteigne la région P en face arrière avant que le claquage par avalanche ne se produise. L'extension de la ZCE pour chacune des différentes épaisseurs est donnée sur la Figure 4-4 avant et après perçage.



(a) (b)

Figure 4-4. Extension de charge d'espace (a) avant perçage, (b) après perçage de la structure IGBT bidirectionnelle d'une épaisseur de 100µm

On observe que l'extension de la zone de charge d'espace est plutôt verticale que latérale sous la tranchée d'oxyde et que le claquage se produit par la déplétion complète de la région drift N^-. Cette condition est nécessaire pour pouvoir étudier l'impact des paramètres géométriques et physiques du substrat N^- sur la tension de blocage du composant.

Les caractéristiques $I_A(V_{AK})$ à l'état bloqué en fonction de l'épaisseur N^- sont données sur la Figure 4-5. On constate que la tension de retournement dépend de l'épaisseur du substrat N^-. En effet, plus le substrat est épais, plus la tension de retournement est élevée. Du fait que la tension que l'on s'est fixé est de l'ordre de 600 V, une épaisseur de 100 µm permet de supporter la tension.

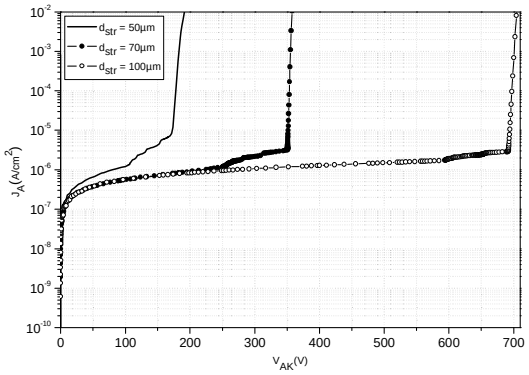


Figure 4-5. Caractéristiques $I_A(V_{AK})$ à l'état bloqué pour différentes épaisseurs de substrat N- de la structure IGBT bidirectionnelle à électrodes coplanaires

III-1-2. Impact des paramètres géométriques de la tranchée

Comme nous l'avons mentionné précédemment, l'utilisation d'une tranchée remplie d'oxyde permet de réduire l'espacement nécessaire entre les deux sections au minimum. En effet, si nous avions utilisé une terminaison de jonction de type JTE pour permettre au composant de supporter une tension de 600 V, la distance entre les deux sections serait plus grande. A titre d'exemple, nous avons donné sur la Figure 4-6 une vue 2D d'une structure qui utilise la technique de terminaison JTE afin de permettre au composant de supporter une tension de 600 V. La largeur de la région P^- est de 50 µm et la distance entre les deux régions P^- est de 60 µm.

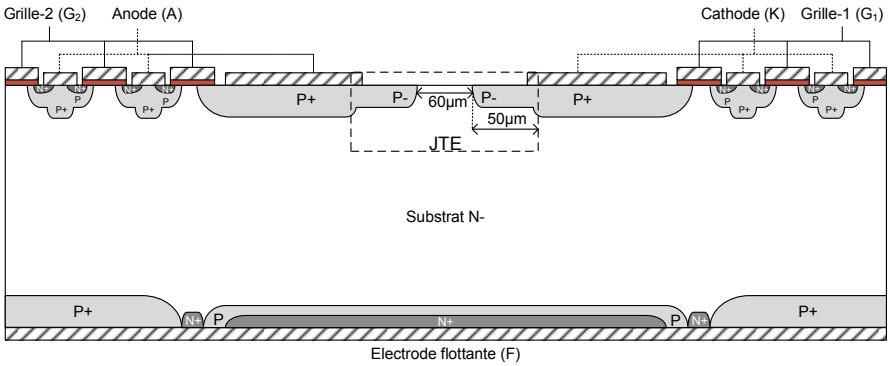
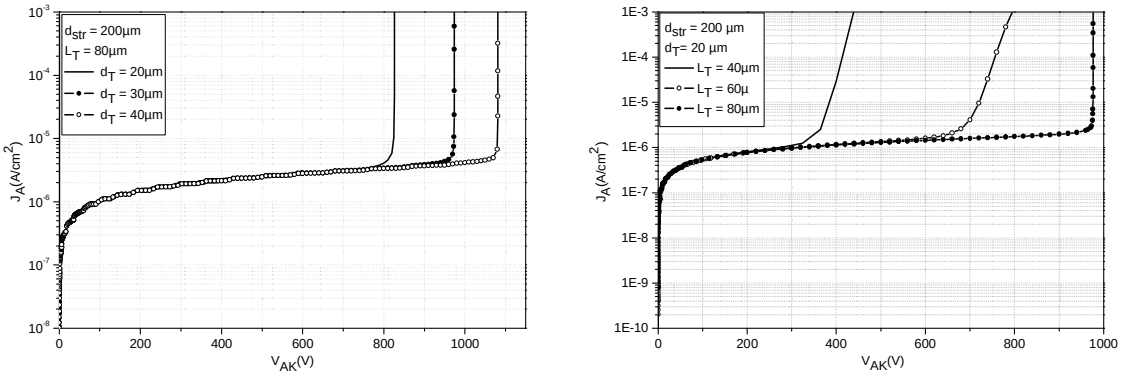


Figure 4-6. Vue en coupe de la structure IGBT bidirectionnelle utilisant la terminaison de jonction de type JTE

Afin de mettre en évidence l'impact des paramètres géométriques de la tranchée remplie d'oxyde, nous avons simulé à l'état bloqué la structure donnée sur la Figure 4-3. Pour cela, nous avons fixé l'épaisseur de la structure à 200µm et nous avons utilisé différentes largeurs et profondeurs de la tranchée.

Pour une largeur fixe L_T = 80µm, les caractéristiques $I_A(V_{AK})$ pour des profondeurs d_T = 20, d_T = 30 et d_T = 40µm sont données sur la Figure 4-7-a. Pour une profondeur de tranchée d_T = 20µm, les résultats obtenus pour des largeurs L_T = 60, L_T = 80 et L_T = 100µm sont donnés sur la Figure 4-7-b



(a) (b)

Figure 4-7. Tenue en tension en fonction de la profondeur d_T (a) et de la longueur L_T (b) de la tranchée

Nous constatons que plus la tranchée est large ou profonde, plus la tension de claquage est élevée. En effet, si la tranchée est suffisamment large et profonde, c'est l'extension verticale de la zone de déplétion dans le substrat N^- qui sera favorisée. Dans ces conditions, la tension de claquage est limitée soit par un claquage par avalanche de la jonction polarisée en inverse, soit par le perçage pour le cas où l'épaisseur de la région N^- est inférieure à l'épaisseur de la zone de charge d'espace. Par contre, si la tranchée est étroite ou moins profonde, la tenue en tension supportée sera faible. En effet, si la tranchée est étroite, la largeur de plaque de champ est insuffisante pour mieux protéger la jonction P^+/N^- (cette technique est détaillée dans le paragraphe suivant). Cela conduit à un claquage prématuré de la jonction. Si la tranchée est moins profonde, la ZCE s'étalera dans la région N^- sous la tranchée jusqu'à l'électrode d'anode.

III-1-3. Amélioration de la tenue en tension

Afin d'améliorer la tenue en tension de la structure, on exploite le principe de la plaque de champ afin de repousser la tension de claquage à un niveau élevé. Cette technique nécessite une légère modification au niveau de la conception de la structure. En effet, elle nécessite de prolonger la métallisation au dessus de l'oxyde comme c'est représenté sur la Figure 4-8.

En utilisant cette technique, les lignes de potentiel peuvent être repoussées dans la région d'oxyde le long de la largeur de la plaque de champ (W_{FP}), ce qui permet de réduire le champ électrique au point de claquage (point A) et par conséquent d'augmenter la tension de claquage [4]. Le champ électrique atteint sa valeur maximale à l'extrémité de la plaque de champ (point B), si W_{FP} est suffisante.

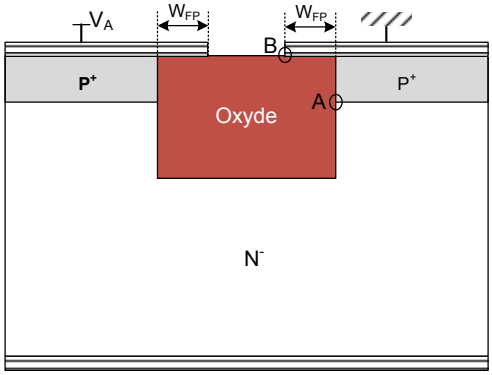
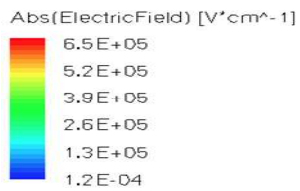


Figure 4-8. Jonction planaire avec plaque de champ

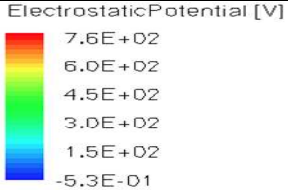
Afin de vérifier l'amélioration de la tension de claquage par cette technique de plaque de champ, nous avons simulé à l'état bloqué la structure donnée sur la Figure 4-3 d'une tranchée de L_T = 80µm de largeur et de d_T = 20µm de profondeur avec et sans plaque de champ. La largeur de plaque de champ utilisée est de W_{FP} = 20µm.

Les caractéristiques I(V) données sur la Figure 4-9 montrent que l'utilisation de la plaque de champ améliore la tension de claquage. On peut remarquer que dans le cas où la plaque de champ n'est pas utilisée les lignes équipotentielles se resserrent au niveau du point A. Cependant, en utilisant la plaque de champ, les lignes de potentiel sont éloignées du point A et s'étalent dans la région d'oxyde.

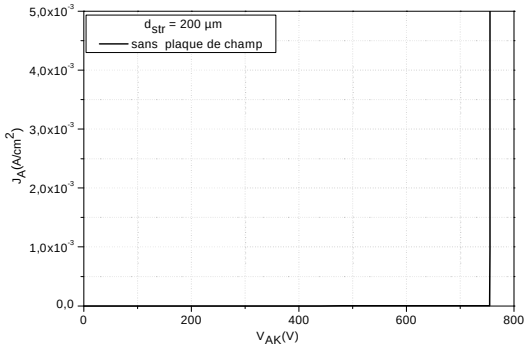
On peut observer aussi sur les figures qui montrent le champ électrique dans la structure, à la limite du claquage, que dans le cas où la plaque de champ n'est pas utilisée, le claquage se produit au point A à une tension de l'ordre de 750V alors que, dans le cas où la plaque de champ est utilisée, le claquage se produit au même point A mais à une tension plus élevée (de l'ordre de 1000V).



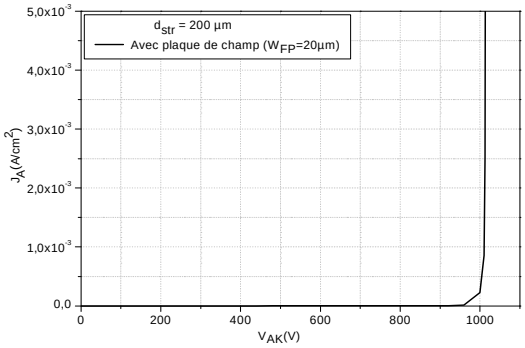
Palette de champ électrique



Palette de potentiel électrostatique



(a) : Tenue en tension sans utilisation de plaque de



(a) : Tenue en tension avec utilisation de la plaque de

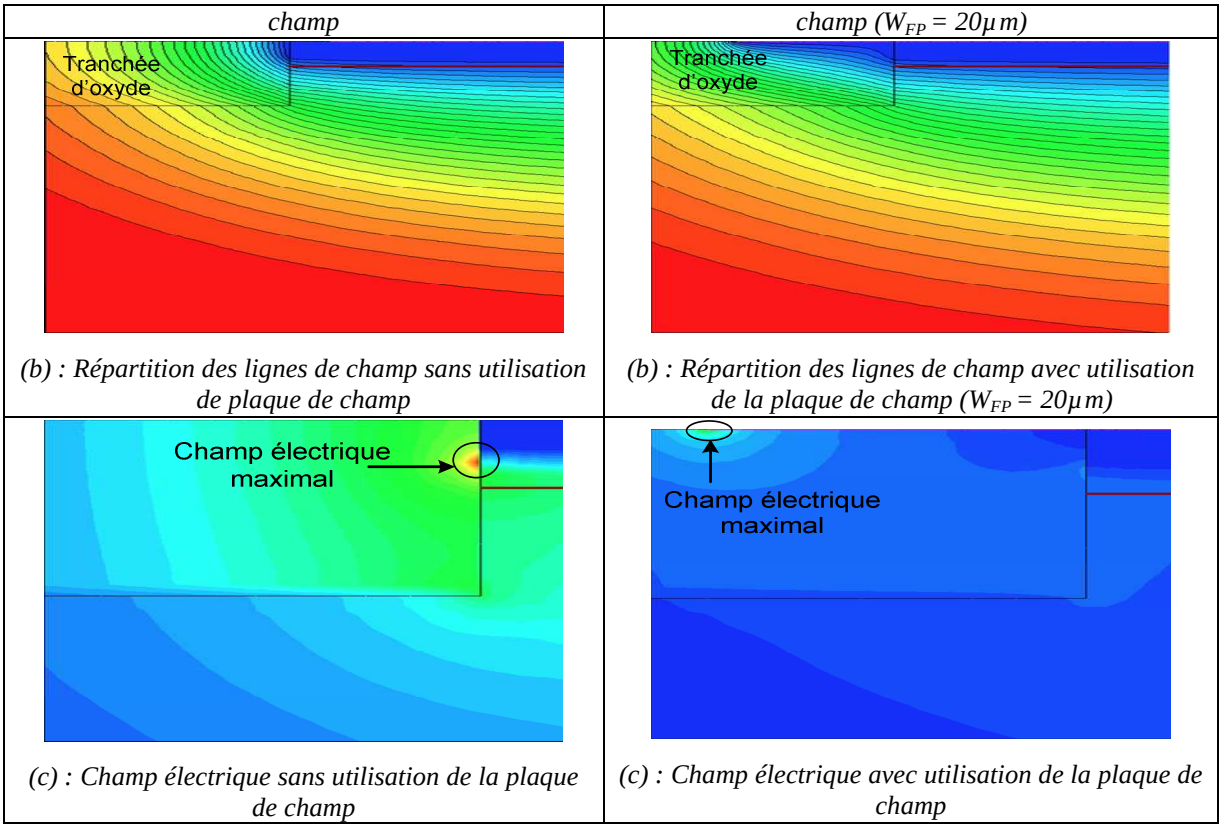


Figure 4-9. (a) Caractéristiques $I_{AK}(V_{AK})$ à l'état bloqué, (b) répartition des lignes de potentiel (c) champ électrique avec et sans la plaque de champ.

III-1-4. Impact de la largeur de la plaque de champ W_{FP} sur la tension de blocage

Après avoir vérifié l'amélioration de la tension de claquage par la technique de plaque de champ, nous nous sommes intéressés à l'étude de l'impact de la largeur (W_{FP}) de cette dernière sur la tenue en tension de la structure. Nous avons simulé la structure donnée sur la Figure 4-3 pour différentes valeurs de W_{FP}, la caractéristique de la tension de claquage en fonction de la largeur de la plaque de champ $B_V(W_{FP})$ obtenue par simulation est donnée sur la Figure 4-10. Cette caractéristique montre que plus W_{FP} est large, plus la tension de blocage est améliorée. Néanmoins, technologiquement, la séparation entre la métallisation de la jonction d'anode et celle de la cathode doit être supérieure à la séparation imposée par les règles de dessin du layout de cette structure, ce qui limite la prolongation maximale de W_{FP}.

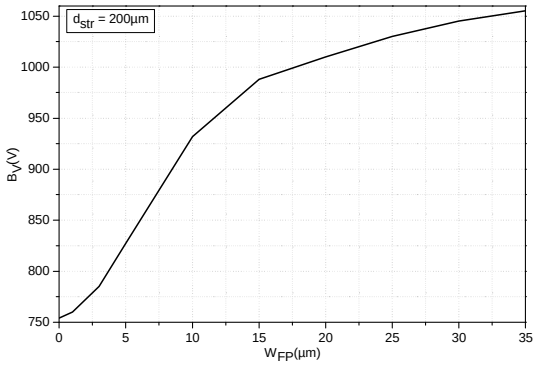


Figure 4-10. Tenue en tension en fonction de la largeur de la plaque de champ

III-2. Etat passant

Afin d'illustrer et d'analyser le fonctionnement à l'état passant de la structure IGBT bidirectionnelle à électrodes coplanaires, nous avons procédé à la simulation électrique à l'état passant de la structure de la façon suivante:

- ✓ Simulation de l'ensemble de la structure.
- ✓ Simulation de la première partie de la structure pour un fonctionnement en mode thyristor.
- ✓ Simulation de la deuxième partie de la structure pour un fonctionnement en mode DMOS/IGBT.

Cette décomposition nous permettra d'une part de vérifier la verticalité du courant traversant la structure et d'autre part de suivre l'amorçage progressif de la structure. En effet, la structure étant composée d'une part d'une structure thyristor auto-amorçable et d'autre part d'une structure DMOS/IGBT, son amorçage dépendra des paramètres géométriques et physiques utilisés pour chacun des éléments de la structure.

Nous effectuerons une comparaison entre les caractéristiques I(V) des différentes structures, nous étudierons par simulations l'impact des paramètres géométriques de la tranchée sur la chute de tension à l'état passant. Nous reviendrons ensuite sur un point que nous avons évoqué précédemment afin de montrer l'importance du nombre de cellules ainsi que de la largeur de la région P^+ d'anode sur les caractéristiques I(V) de la structure.

III-2-1. Simulation de la structure entière

Les paramètres physiques et géométriques utilisés pour la simulation de la structure présentée sur la Figure 4-3 à l'état passant sont donnés dans le Tableau 4-1. La caractéristique $I_A(V_{AK})$ obtenue est donnée sur la Figure 4-11.

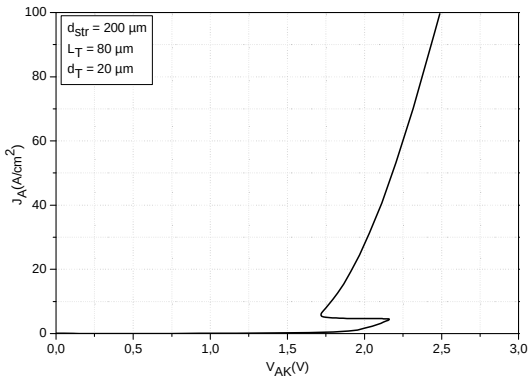


Figure 4-11. Caractéristique $I_A(V_{AK})$ à l'état passant de la structure IGBT bidirectionnelle à électrodes coplanaires

Le retournement que l'on observe sur cette caractéristique est lié au déclenchement du thyristor interne de la structure. Ce retournement se produit dès que la jonction P/N$^+$ de la face arrière devient passante. Cette jonction devient passante dès que la tension développée aux bornes de la résistance R_P de la région P atteint la tension de mise en conduction de la jonction P/N$^+$ et qui est de l'ordre de 0,7V.

Pour une tension anode-cathode positive, la répartition des lignes de courant dans la structure pour un niveau de densité de courant d'anode de l'ordre de J_A = 100 A/cm^2 est représentée sur la Figure 4-12.

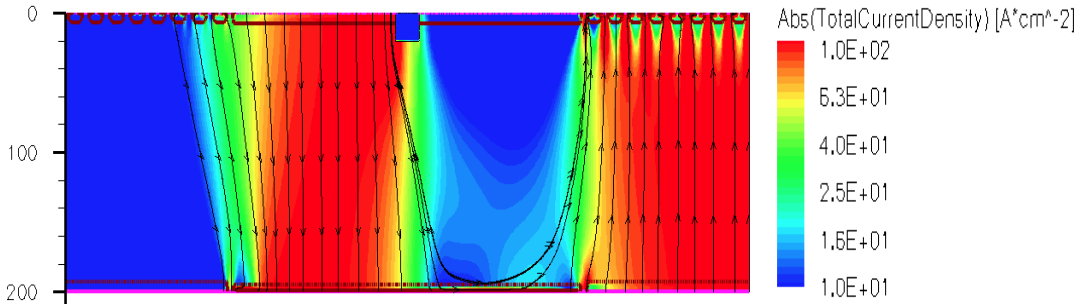


Figure 4-12. Lignes de courant dans la structure simulée à l'état passant

Le courant dans la structure circule verticalement à travers la section du thyristor dans la première partie (de l'anode vers l'électrode flottante), puis à travers l'IGBT dans la deuxième partie de cette structure (de l'électrode flottant vers la cathode). Par conséquent, la chute de tension à l'état passant correspond à la somme de celle aux bornes du thyristor et de celle aux bornes de l'IGBT. Afin de le confirmer, nous avons simulé les deux parties de la structure séparément. La première partie est simulée en fonctionnement thyristor auto-amorçable et la deuxième partie est simulée en fonctionnement DMOS/IGBT. Nous avons ensuite comparé la caractéristique $I_A(V_{AK})$ des deux parties connectées en série avec celle de la structure complète.

III-2-2. Fonctionnement de la demi-structure en mode thyristor

La structure simulée pour un fonctionnement en mode thyristor est donnée sur la Figure 4-13. Afin de pouvoir faire une comparaison, les paramètres de la structure simulée sont exactement les même que ceux utilisés pour le cas de la structure complète. La tension anode (A) - électrode flottante (F) est positive, la grille-2 est reliée à l'électrode d'anode. Pour un niveau de courant faible, le courant circule par la diode PIN (Figure 4-14). Au fur et à mesure que le niveau de courant augmente, la quantité de trous collectée par la région P côté électrode flottante augmente. Ces trous circulent latéralement au dessus de la région N^+ (côté électrode flottante) pour atteindre le contact. De ce fait, une chute de tension se développe aux bornes de la résistance de la région P. Une fois cette tension atteint 0,7 V, la jonction P/N^+ devient passante et le thyristor s'auto-amorce (Figure 4-15).

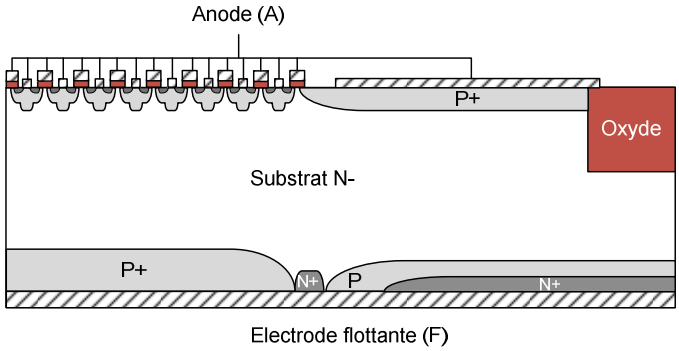


Figure 4-13. Demi-structure polarisée pour un fonctionnement en mode thyristor

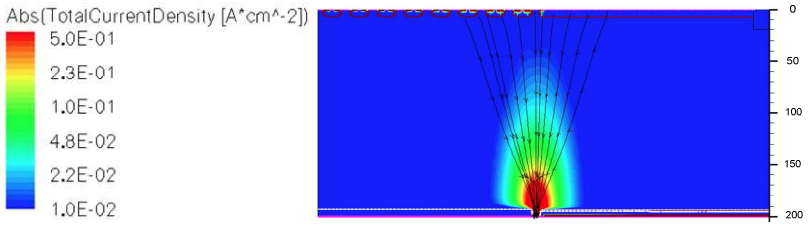


Figure 4-14. Répartition des lignes de courant pour un faible niveau de courant

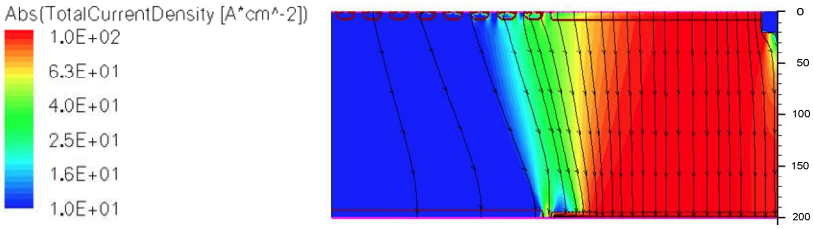


Figure 4-15. Répartition des lignes de courant pour un fort niveau de courant

La caractéristique I(V) de la structure simulée est donnée sur la Figure 4-16. Le niveau de densité de courant de retournement est de l'ordre de $J_A = 3A/cm^2$ et la chute de tension à l'état passant pour un courant de 100 A est de 1,3 V. Une expression analytique qui permet d'estimer la chute de tension aux bornes du thyristor est donnée en annexe.

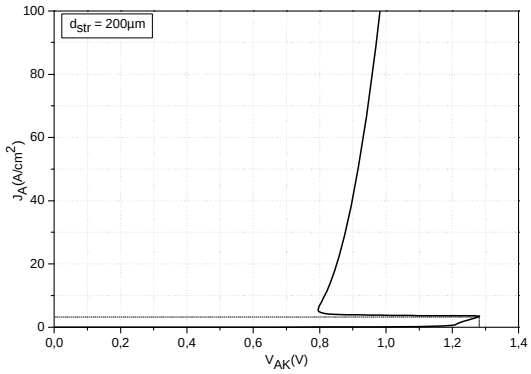


Figure 4-16. Caractéristique $I_A(V_{AF})$ à l'état passant en mode thyristor

III-2-3. Fonctionnement de la demi-structure en mode DMOS/IGBT

La structure simulée ainsi que son schéma électrique simplifié équivalent en fonctionnement DMOS/IGBT sont représentés sur la Figure 4-17.

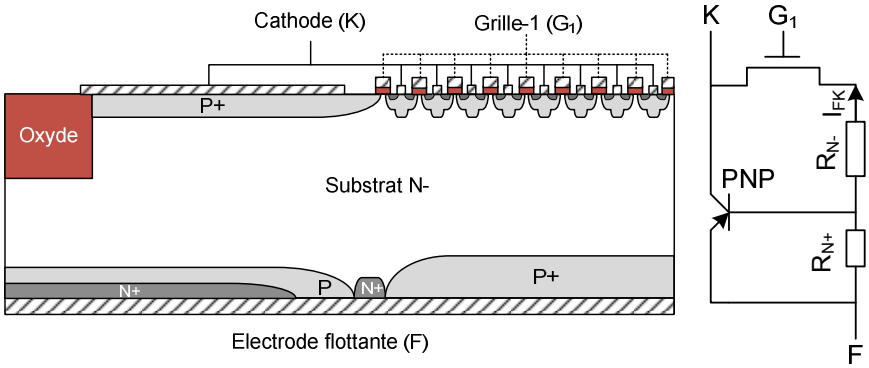


Figure 4-17. Structure simulée et schéma équivalent en mode DMOS/IGBT

Une tension positive est appliquée entre l'électrode flottante F et la cathode K. La mise en conduction de la structure se fait par application d'une tension positive et suffisante sur la grille-1 par rapport à la cathode K. Pour un niveau de courant faible, la structure fonctionne en mode DMOS et le courant circule à travers la diffusion N^+ face arrière, le substrat N^- et le canal pour atteindre la cathode. Pour des niveaux de courant plus élevés, le courant qui circule à travers la diffusion N^+ développe une chute de tension aux bornes de la résistance R_{N+}, et lorsque cette tension atteint 0,7 V, le transistor PNP devient passant. Par conséquent, la structure bascule d'un fonctionnement de type DMOS à un fonctionnement de type IGBT.

Le courant et la tension de retournement peuvent donc êtres estimés par les expressions suivantes [5]:

$$I_{FK} = \frac{0.7}{R_{N+}} \qquad (4.1)$$

$$V_{FK} = I_{FK}\left(R_{N+} + R_{N-} + R_{Canal}\right) = \frac{0.7\left(R_{N+} + R_{N-} + R_{Canal}\right)}{R_{N+}} \qquad (4.2)$$

Les paramètres de la structure simulée sont identiques à ceux des deux structures précédentes. La répartition des lignes de courant dans la structure pour un niveau de courant faible est représenté Figure 4-18. Le fonctionnement de la structure pour ce niveau de courant peut effectivement être assimilé à celui d'un DMOS. Pour un niveau de courant plus élevé (de l'ordre de 1 A/cm^2 dans ce cas) la jonction P/N$^-$ face arrière devient passante et la structure fonctionne en mode IGBT Figure 4-19. Le niveau de courant de retournement dépend des paramètres géométriques des diffusions N$^+$ et P$^+$ situées sur la face arrière. En effet, plus la région P$^+$ face arrière est large, plus faible est le niveau de courant de retournement.

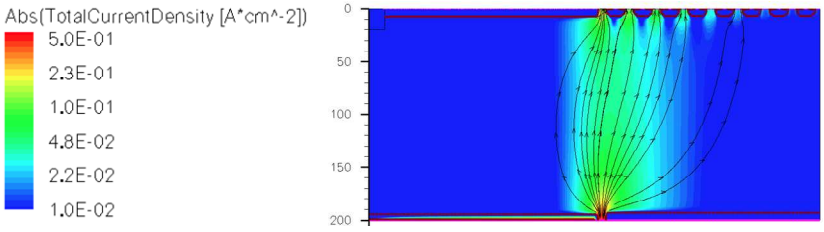


Figure 4-18. Répartition des lignes de courant dans la structure pour un mode DMOS

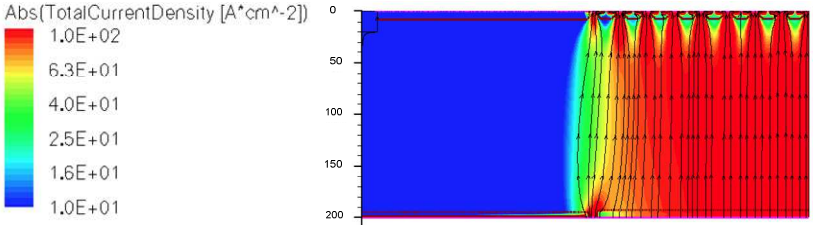


Figure 4-19. Répartition des lignes de courant dans la structure pour un mode IGBT

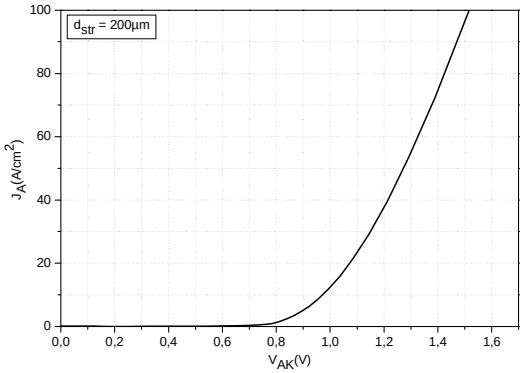


Figure 4-20. Caractéristique $I_F(V_{FK})$ à l'état passant en mode IGBT

III-2-4. Comparaison des caractéristiques I(V)

Nous avons mentionné précédemment que la conduction dans la structure est verticale. Une façon de vérifier cela par simulations est de comparer des caractéristiques I(V) des deux structures précédentes à celle de la structure complète. Pour ce faire, nous avons mis en série et simulé en mode mixte, sous Sentaurus, les deux structures précédentes. La caractéristique I(V) de l'association en série des deux structures précédentes est superposée à la caractéristique I(V) de la structure IGBT bidirectionnelle à électrodes coplanaires sur la Figure 4-21. On constate que le courant de

retournement correspondant notamment à l'amorçage du thyristor est moins élevé dans le cas de la mise en série des deux structures que pour le cas de la structure complète. Cela s'explique par le fait qu'une partie du courant de trous dans la structure complète circule latéralement sous la tranchée remplie d'oxyde pour atteindre la cathode et par conséquent elle ne contribue pas à l'auto-amorçage du thyristor. Toutefois, à des niveaux de courant élevés, les caractéristiques I(V) se confondent, ce qui confirme par conséquent que la conduction dans le cas de la structure IGBT à électrodes coplanaires est effectivement verticale et que la chute de tension à l'état passant est bien égale à la somme de la chute de tension aux bornes du thyristor auto-amorçable et de la chute de tension aux bornes de l'IGBT.

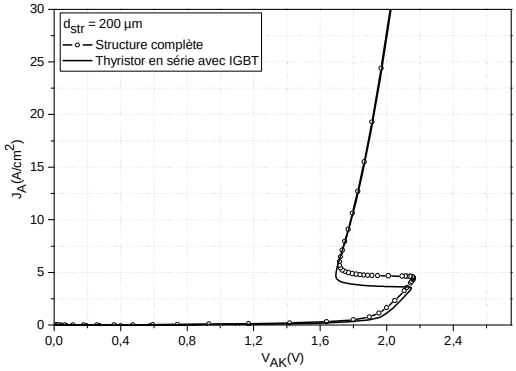


Figure 4-21. Caractéristiques $I_A(V_{AK})$ d'un IGBT à électrodes coplanaires et d'un thyristor en série avec un IGBT

III-2-5. Impact des paramètres géométriques de la tranchée sur le fonctionnement à l'état passant

L'étude précédente a démontré que le courant dans la structure circule essentiellement verticalement dans la structure. De ce fait, les paramètres géométriques de la tranchée remplie d'oxyde ne devraient avoir qu'une influence minime sur les pertes à l'état passant du composant. Différentes valeurs de profondeur ont été utilisées pour étudier son impact sur la chute de tension à l'état passant de la structure. En effet, nous avons réalisé des simulations sur la structure donnée sur la Figure 4-3. La tranchée est de largeur fixe L_T = 80 µm et de profondeur d_T variable. Les caractéristiques $I_A(V_{AK})$ obtenues sont données sur la Figure 4-22. La profondeur de la tranchée n'a aucun impact ni sur le niveau de courant de retournement ni sur la chute de tension à l'état passant. En effet, les courbes se confondent quasiment ce qui conforte de ce fait l'hypothèse de la verticalité de la conduction du courant dans la structure.

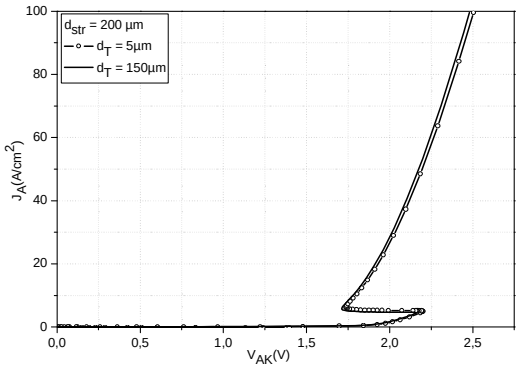


Figure 4-22. Caractéristiques $I_A(V_{AK})$ à l'état passant pour différentes profondeurs de la tranchée

III-2-6. Importance du choix du nombre de cellules IGBT pour les simulations

Le choix du nombre de cellules a une influence sur la largeur de la structure simulée et par conséquent sur le temps de simulation. En effet, l'outil de simulation Sdevice de Sentaurus est un simulateur à éléments finis qui résout les équations de transport dans le semiconducteur aux différents points du maillage. Par conséquent, il est nécessaire de réduire le nombre de points de maillage au minimum afin de réduire le temps de simulation. Habituellement, lorsque l'on simule des structures IGBT, on se limite à une cellule élémentaire et on détermine l'ensemble des caractéristiques de la structure à partir de la cellule.

Dans le cas de la structure étudiée, la mise en série d'un thyristor et d'un IGBT d'une part et la conduction du courant qui est à la fois verticale et horizontale d'autre part nécessitent que la taille de la structure se rapproche au maximum des dimensions de la structure réelle. En effet, la présence d'un thyristor impose que la longueur de la région P face arrière soit suffisamment grande pour obtenir un retournement. En outre, une distance latérale ($W_{Thy/IGBT}$) courte entre la région P^+ d'anode et les régions P de cathode favorise la conduction latérale de la structure, ce qui est en contradiction avec le cas de la structure réelle.

Pour cette étude, nous avons simulé quatre structures comportant respectivement : huit, quatre, trois et deux cellules IGBT (Figure 4-23). Afin de pouvoir mener une comparaison, la surface effective simulée est maintenue constante et égale à 1 cm^2. Les caractéristiques $I_A(V_{AK})$ ainsi obtenues sont données sur la Figure 4-24. L'augmentation du nombre de cellules et par conséquent de la largeur de la région P^+ d'anode ainsi que de la région P (base du thyristor) conduit à la diminution du niveau de courant de retournement et de la chute de tension à l'état passant. Cela s'explique d'une part par la mise en conduction du thyristor qui permet une meilleure modulation de la conductivité de la région N^- (substrat de la structure) et d'autre part par le fait que la conduction devient davantage verticale avec l'augmentation du nombre de cellules.

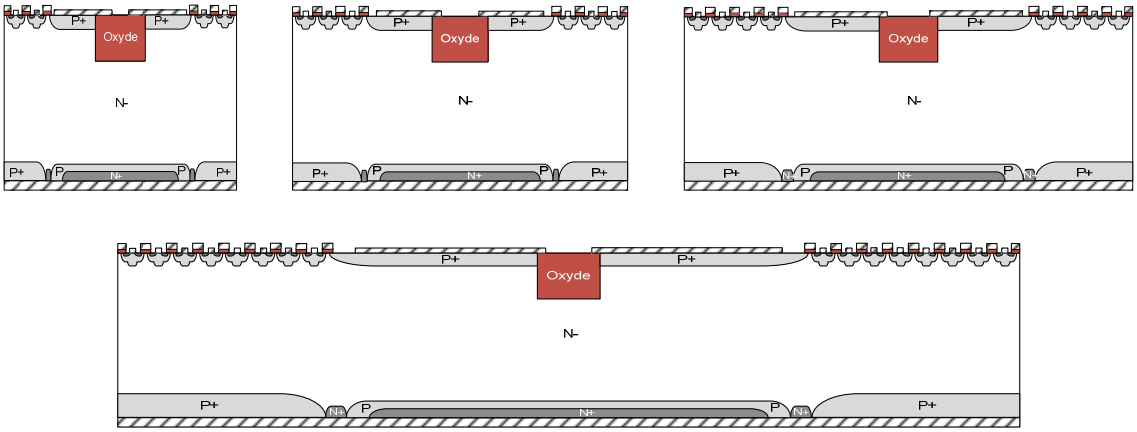


Figure 4-23. Vue en coupe des structures simulées : deux, trois, quatre, et huit cellules IGBT

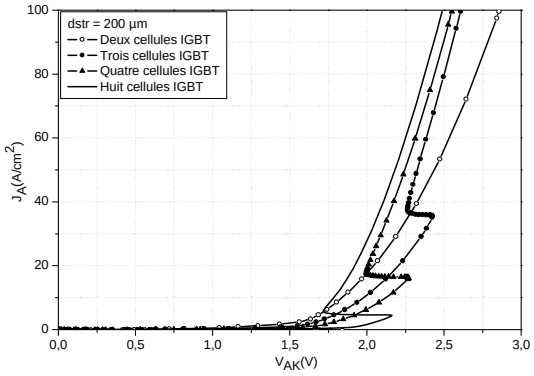
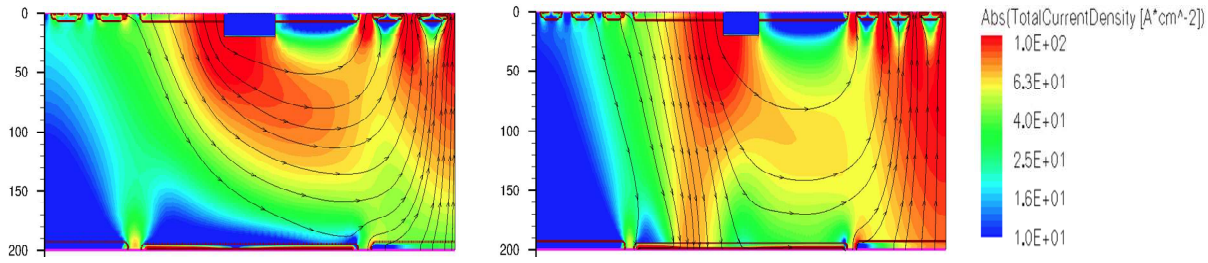
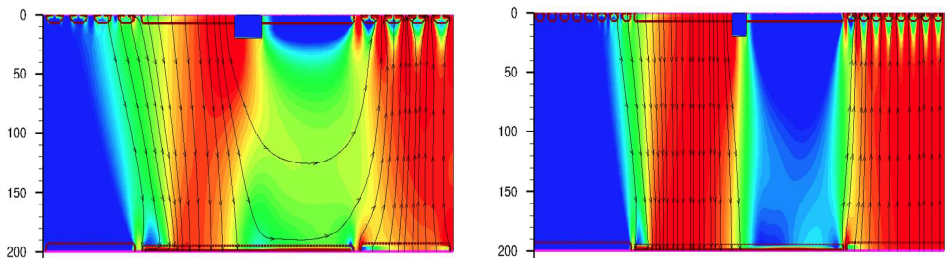


Figure 4-24. Caractéristiques $I_A(V_{AK})$ d'une structure IGBT bidirectionnelle à électrodes coplanaires contenant différents nombres de cellules IGBT unidirectionnelles

Les lignes du courant représentées sur la Figure 4-25 montrent que la circulation du courant est verticale, si la séparation latérale entre la section du thyristor et celle de l'IGBT ($W_{Thy/IGBT}$) (autrement dit le nombre de cellules IGBT) est suffisante. En revanche, si la largeur $W_{Thy/IGBT}$ est faible, la majorité du courant circule latéralement comme dans le cas d'une structure à deux cellules IGBT (Figure 4-25-a) et par conséquent le courant vertical devient insuffisant pour déclencher le thyristor.



(a) (b)



(c) (d)

Figure 4-25. Lignes de courant dans la structure IGBT bidirectionnelle simulée pour différents nombres de cellules IGBT unidirectionnel.

III-3. Etude de la structure en commutation

III-3-1. Estimation des pertes sur un cycle de commutation

Cette structure est commandable en tension à la fermeture et à l'ouverture par ses deux grilles. Pour une tension anode-cathode positive, la deuxième grille doit être connectée à l'anode pour empêcher toute création de canal. La mise en conduction de ce composant s'effectue par application d'une tension de grille-cathode positive et suffisante. La durée de l'impulsion appliquée doit être suffisamment grande afin de permettre l'amorçage du thyristor et de l'IGBT unidirectionnel constituant cette structure.

L'ouverture du composant se fait par annulation du courant dans le canal. Cela se fait par suppression de la tension grille-cathode. Le temps d'ouverture t_{off} dépend principalement du temps nécessaire pour la recombinaison des charges excédentaires dans la région N^-. Ce temps d'ouverture ne peut pas être amélioré par la deuxième grille car cette dernière n'a aucun effet sur l'injection de trous dans la région N^- de la section thyristor auto-amorçable.

Le circuit utilisé pour simuler le comportement en commutation de la structure est représenté sur la Figure 4-26-a. La durée de la largeur d'impulsion appliquée sur la grille est T/2 = 100µs et le temps de montée/descente est de 1 µs. L'allure du courant d'anode en fonction du temps est donnée sur la Figure 4-26-b. Le courant dans la structure diminue dès que la tension de grille devient inférieure à la tension de seuil du transistor MOS, conduisant à la suppression du canal.

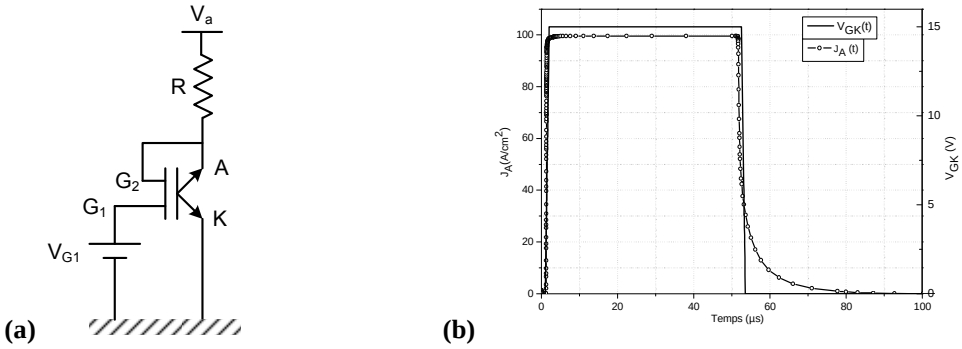


Figure 4-26. (a) Circuit de commutation sur une charge résistive, (b) allure du courant d'anode durant un cycle de commutation.

Les pertes totales sur un cycle de commutation sont calculées en utilisant l'expression suivante [6]:

$$E_T = \int_0^T V_A(t) * I_A(t) * dt \qquad (4.3)$$

Dans un but de comparaison, nous avons comparées les pertes à celles d'une structure IGBT unidirectionnelle classique. L'outil de visualisation Inspect de Sentaurus permet d'une part de visualiser l'allure des courants et des tensions en fonction du temps mais il permet également d'effectuer des calculs avec les courbes visualisées. Nous avons de ce fait simulé les deux structures sur un cycle de commutation d'une période T = 1ms et nous avons tracé, pour chaque structure, la courbe correspondant à l'intégrale du produit du courant $I_A(t)$ et de la tension $V_{AK}(t)$ sur la Figure 4-27.

Comme on pouvait s'y attendre, les pertes dans notre structure sur un cycle de commutation sont en effet supérieures à celles d'un IGBT classique. En effet, cela est du au fait que dans notre structure les pertes correspondent à des pertes au niveau du thyristor ainsi qu'au niveau de l'IGBT.

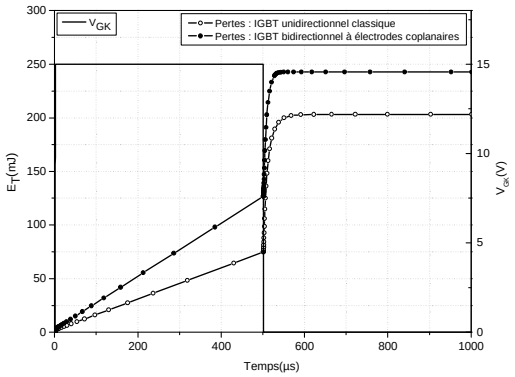


Figure 4-27. Pertes en énergie durant un cycle de commutation d'un IGBT à électrodes coplanaires et d'un IGBT unidirectionnel classique.

III-3-2. Durée et phases d'amorçage de la structure

La largeur minimale de l'impulsion de grille nécessaire pour assurer la mise en conduction de la structure correspond au temps nécessaire pour l'amorçage du thyristor et de l'IGBT. Afin d'illustrer ce point, nous avons simulé la structure donnée sur la Figure 4-3 avec les paramètres physiques et géométriques donnés dans le Tableau 4-1.

Nous allons nous intéresser dans ce qui suit aux étapes de mise en conduction de la structure. L'allure de la chute de tension aux bornes de la structure au moment de la fermeture est représentée sur la Figure 4-28. Les simulations ont été faites en mode transitoire. On fait croître la tension aux bornes du composant jusqu'à 600 V puis on fait monter la tension appliquée sur la grille de 0 à 15 V pendant 1µs. La tension aux bornes du composant au moment de la fermeture commence à décroître dès que la tension de grille atteint la tension de seuil $V_T \approx 3V$ et continue à décroître en fonction du

temps jusqu'à sa valeur minimale. Nous avons indiqué sur la Figure 4-29 les phénomènes qui se produisent à l'intérieur de la structure et qui sont responsables de la modification de l'allure de la chute de tension aux bornes du composant en fonction du temps. Nous avons également enregistré la distribution de la densité de courant dans la structure à différents instants (t_1, t_2, t_3, t_4 et t_5) correspondant aux différents changements d'allure de la caractéristique Von (t) (Figure 4-30).

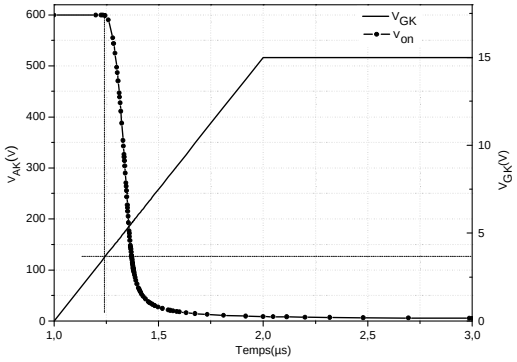


Figure 4-28. Chute de tension V_{on} aux bornes du composant en fonction du temps lors de la fermeture

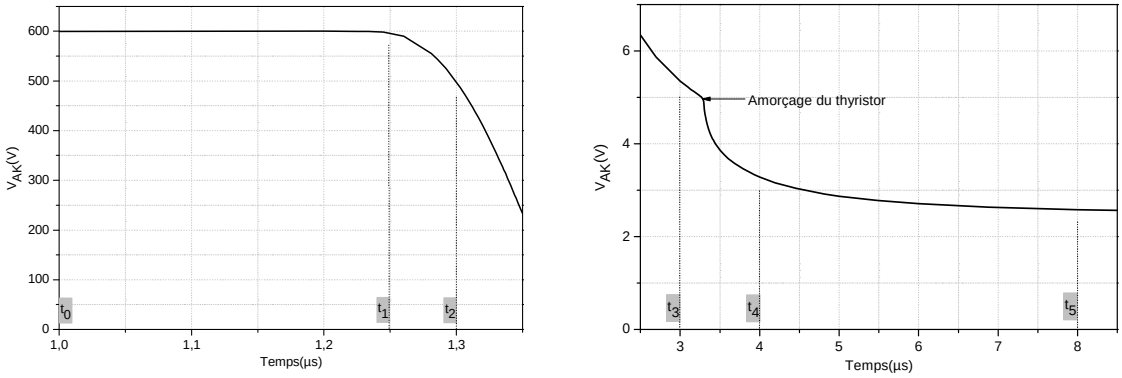
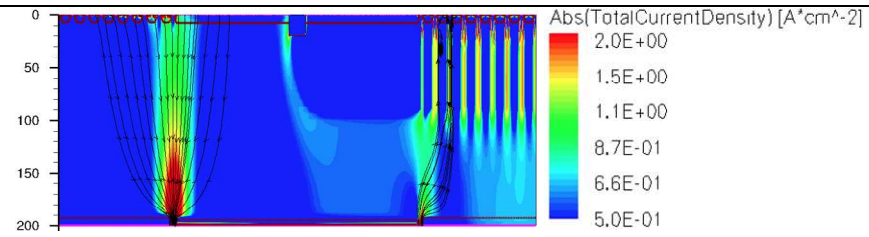
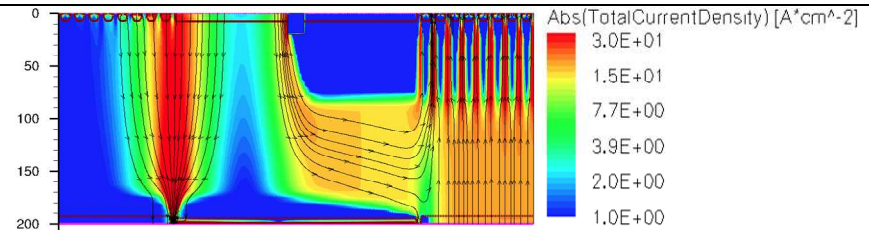


Figure 4-29. Décomposition de la chute de tension V_{on} en plusieurs intervalles

A t_1=t_0+250ns.	
A t_2=t_0+300ns.	

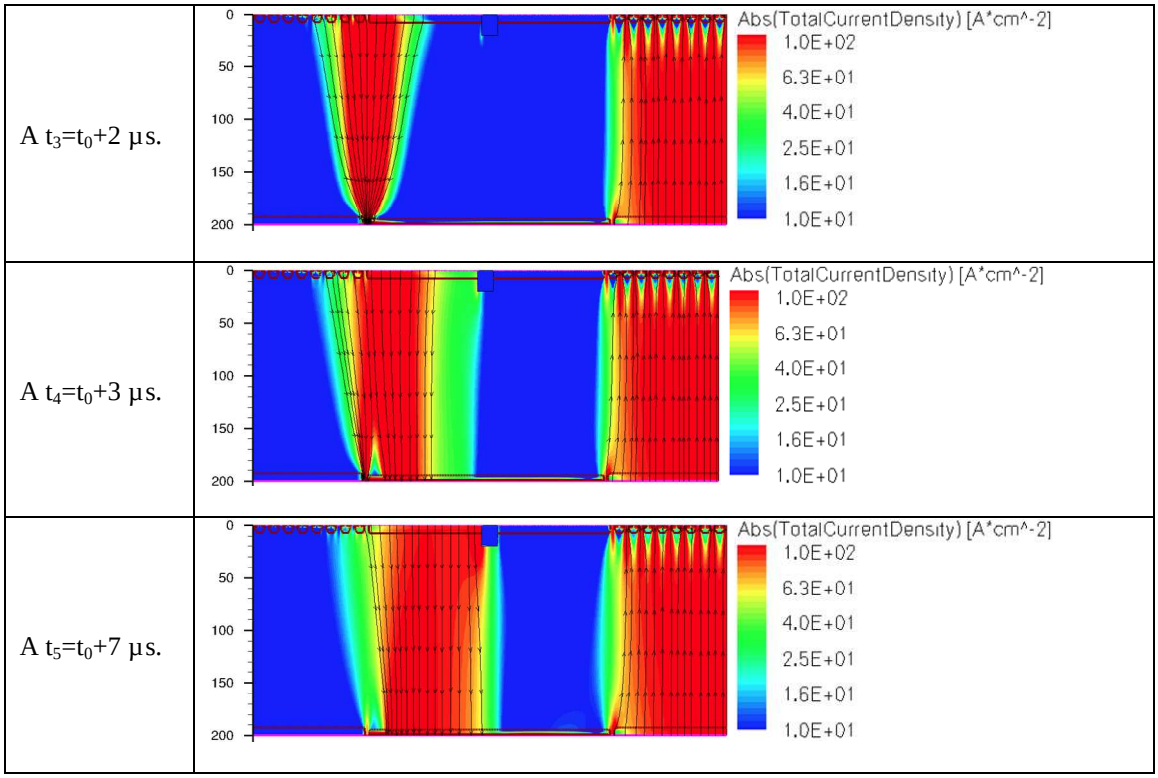


Figure 4-30. Evolution de la densité du courant lors de la fermeture

A l'instant t_1 = t_0+ 250 ns, un courant faible commence à circuler de l'anode vers la cathode en traversant la diode PIN dans la première partie puis le DMOS dans la deuxième partie de cette structure.

A l'instant t_2 = t_0 + 300 ns, on remarque que la section IGBT commence à conduire dans la deuxième partie de cette structure. A partir de cet instant, le courant circulant dans la structure augmente rapidement à travers la section PIN dans la première partie puis à travers la section IGBT dans la deuxième partie de cette structure jusqu'à l'instant t_3.

A l'instant t_3 = t_0 + 2µs, on remarque que le courant a augmenté à un certain niveau et continue à circuler à travers la diode PIN en série avec la section IGBT.

On observe sur la Figure 4-29 que la tension V_{on} change d'allure après l'instant t3, ce qui correspond au déclenchement du thyristor dans la première partie de cette structure.

A l'instant t_4 = t_0 + 3 µs, le thyristor est déclenché et le courant commence à circuler à travers la section thyristor puis celle d'IGBT.

A l'instant t_5 = t_0 + 7 µs, le courant occupe toute la section thyristor. A partir de cet instant, la majorité du courant circule de l'anode vers la cathode à travers la section thyristor dans la première partie en série avec la section IGBT dans la deuxième partie de cette structure.

Sur la base de ce que nous venons d'analyser, la durée totale pour un amorçage complet de la structure est de l'ordre de 7 µs.

IV. Etude de la faisabilité technologique de la structure

Pour des raisons de temps, nous n'avons pas réalisé la structure que nous avons présentée dans ce chapitre. Nous donnerons en revanche des éléments essentiels pour la réalisation du composant. En effet, la filière que nous avons l'habitude d'utiliser est la filière IGBT flexible du LAAS. Les briques technologiques spécifiques que nous devrions rajouter pour réaliser notamment la tranchée doivent être compatibles avec la filière optimisée existante. Nous donnerons dans un premier temps la vue de dessus du composant et puis nous donnerons l'enchaînement des étapes technologiques permettant de réaliser le composant.

IV-1. Conception des masques

Les simulations électriques réalisées sur la structure IGBT bidirectionnel à électrodes coplanaires à l'état passant et à l'état bloqué nous ont permis de déterminer le nombre de cellules IGBT unidirectionnelles nécessaire pour que la structure puisse faire transiter un courant maximal de 5A et présenter une chute de tension maximale de 2.5V. L'épaisseur du substrat N^- est de 200 µm. La tranchée a été choisie d'une largeur de L_T = 80µm et d'une profondeur de 20 µm avec une largeur de plaque de champ de W_{FP} = 20µm pour supporter une tension de l'ordre de 1000V.

Le nombre de cellules IGBT unidirectionnelles déterminé est $n \approx 400$. Ces cellules occupent une surface carrée de $s = 2mm^2$. La cellule du thyristor occupe la même surface.

Une vue de la face avant d'un exemple de jeu de masques qui permettrait la réalisation de la structure est donnée sur la Figure 4-31.

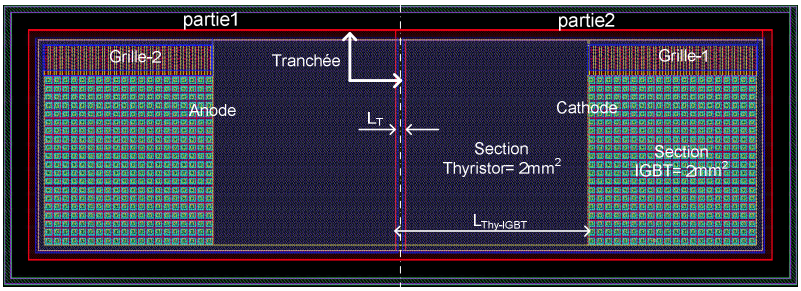


Figure 4-31. Vue de la face avant d'un jeu de masques pour la réalisation d'un IGBT bidirectionnel à électrodes coplanaires

Dans ce masque, la distance $L_{Thy-IGBT}$ correspond à un nombre de 20 cellules IGBT pour une simulation en 2D de cette structure. Cette distance est largement respectée pour que le courant circule verticalement. Afin d'isoler les deux parties et réduire la section occupée sur silicium par une puce de cette structure, la tranchée a été conçue de telle sorte qu'elle entoure toute la zone active et sépare aussi les deux parties de la structure.

La plaque de champ a été utilisée dans ce jeu de masques. La largeur W_{FP} utilisée est de 20µm (Figure 4-32). Cette largeur correspond à la largeur de la métallisation sur l'oxyde et qui sert de plaque de champ.

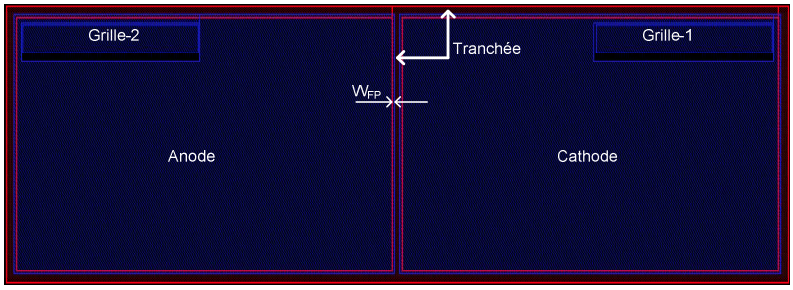


Figure 4-32. Vue d'un niveau de masque correspondant à la métallisation de la face avant

Les masques qui correspondent aux diffusions de la face arrière sont donnés sur la Figure 4-33.

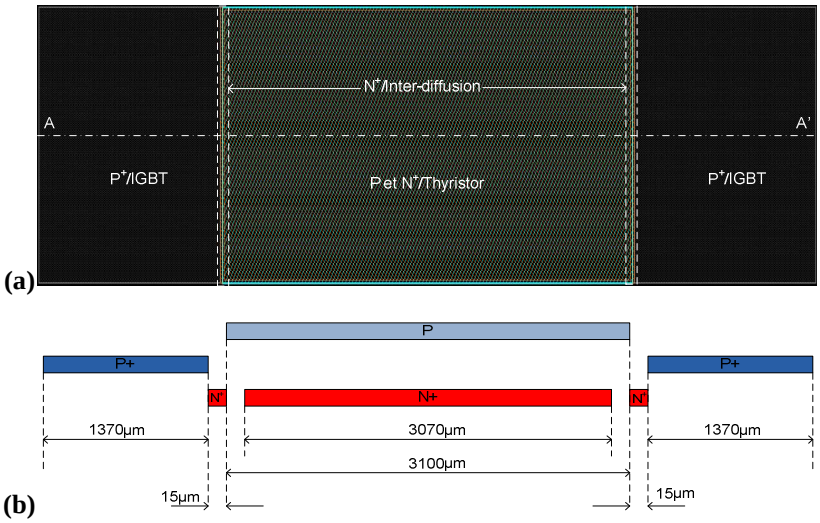


Figure 4-33. (a) Vue de la face arrière d'un masque correspondant à la réalisation des diffusions P, P^+ et N^+, (b) Vue en coupe selon l'axe AA'

La région P^+ de la face arrière de l'IGBT occupe une surface rectangulaire de (1.75 x 1.37 mm^2) et séparée de la région P du thyristor par une bande N^+ de (0.015 x 1.75 mm^2) correspondant à la région inter-diffusions. La surface occupée par la région P est responsable de l'amorçage du thyristor, plus cette surface est grande plus l'amorçage du thyristor est favorisé. Dans ce masque, elle occupe une surface de (1,75 x 3,1 mm^2).

IV-2. Etude préliminaire en vue d'une réalisation technologique

La structure IGBT bidirectionnelle à électrodes coplanaires peut être réalisée avec deux procédés technologiques différents selon la méthode de remplissage de la tranchée : le procédé 1 consiste à réaliser toutes les diffusions de la structure après avoir réalisé la tranchée, tandis que le procédé 2 consiste à réaliser toutes les diffusions de la structure dans un premier temps et puis la réalisation de la tranchée en second lieu.

Dans le procédé 1, le remplissage de la tranchée s'effectue par dépôt LPCVD (Low Presure Chemical Vapor Deposition) d'oxyde ; dans le procédé 2, le remplissage de la tranchée s'effectue par enduction (ou dépôt à la tournette) de matériaux diélectriques (Spin On Dielectric SOD) [1].

IV-2-1. Proposition de réalisation n°1

Le procédé 1 consiste à réaliser en première étape la tranchée par une gravure sèche DRIE (Dry Reactive-Ion Etching) sur un substrat de silicium vierge (Figure 4-34-étape1). La tranchée est ensuite nettoyée pour être remplie par un dépôt LPCVD d'oxyde (Figure 4-34-étape2), puis nous réalisons un polissage de la surface par CMP (chemical Mechanical Polishing) (Figure 4-34-étape3). Nous réalisons ensuite toutes les étapes technologiques d'un IGBT conventionnel (Figure 4-34-étape4).

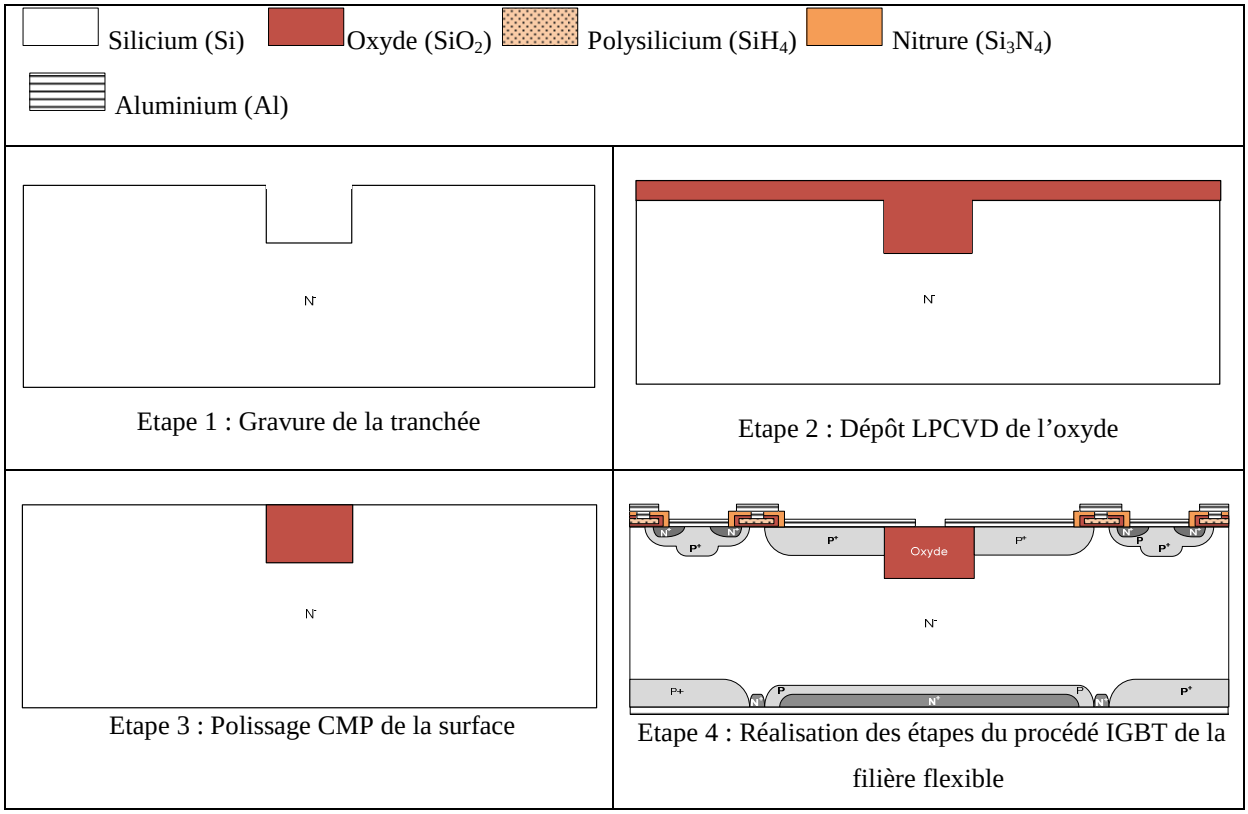


Figure 4-34. Principales étapes du procédé de fabrication de la structure IGBT bidirectionnelle à électrodes coplanaires basé sur le remplissage de la tranchée par dépôt LPCVD d'oxyde.

IV-2-2. Proposition de réalisation n°2

Ce procédé débute par la réalisation de la grille et toutes les diffusions de la face avant et de la face arrière de la structure en suivant les mêmes étapes du procédé IGBT de la filière technologique flexible jusqu'à l'étape de recuit d'arsenic (Figure 4-35-étape 1). Nous poursuivons ce procédé par un dépôt LPCVD d'oxyde pour protéger la grille et garantir un contact entre la métallisation et les diffusions P^+ et N^+ de la face avant et P^+, N^+ et P de la face arrière (Figure 4-35-étape 2). Nous réalisons ensuite la tranchée par gravure DRIE (Figure 4-35-étape 3). Nous déposons une couche de SOD afin de remplir la tranchée (Figure 4-35-étape 4). On fait un polissage (CMP) de la surface jusqu'à atteindre la couche protectrice d'oxyde autour de la grille (Figure 4-35-étape 5). Puis nous gravons l'oxyde chimiquement avec l'acide hydro fluorhydrique (HF) dilué (Figure 4-35-étape 6).

Nous terminons le procédé par une étape de passivation (Figure 4-35-étape 7) et une étape de métallisation (Figure 4-35-étape 8).

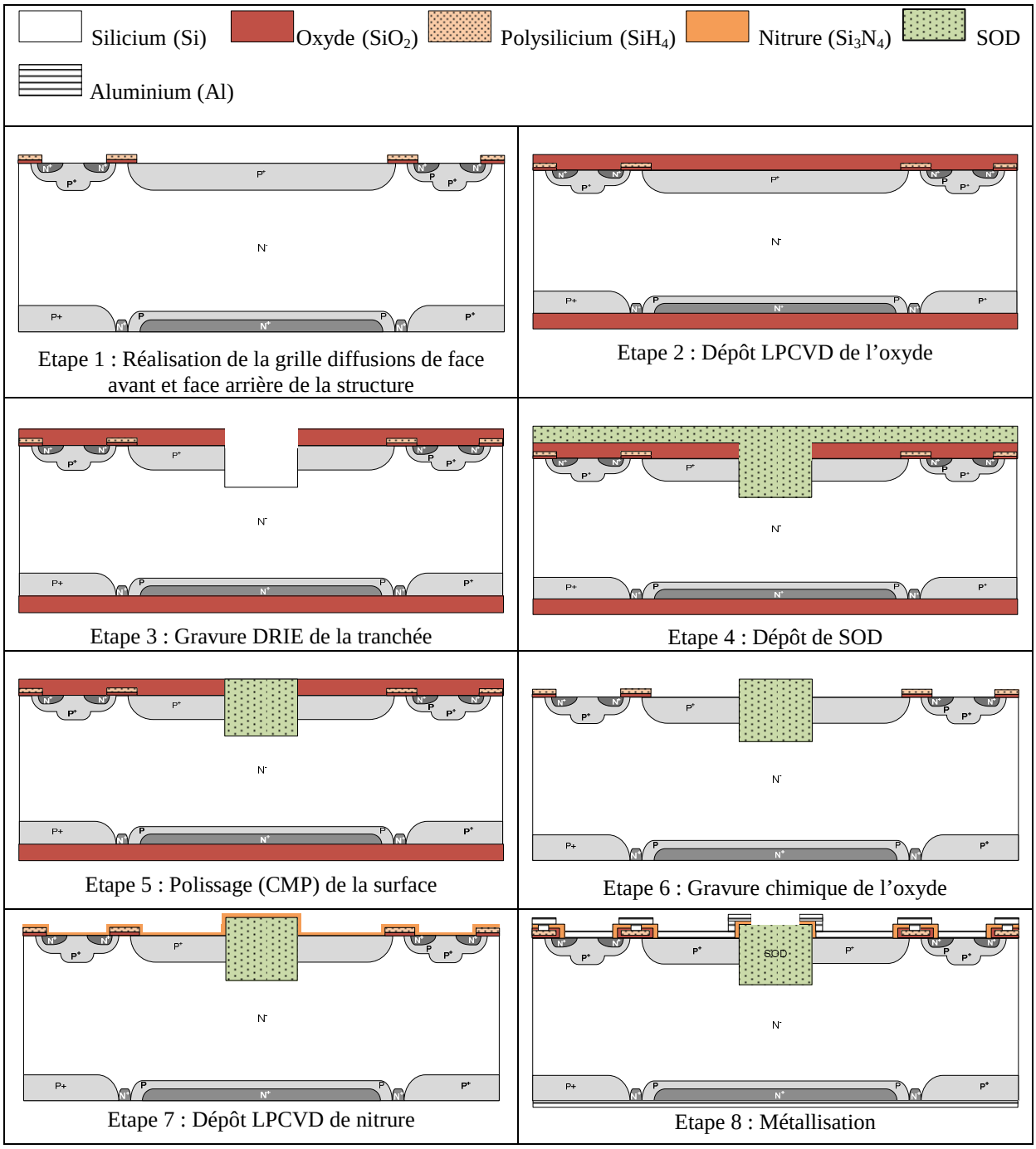


Figure 4-35. Principales étapes du procédé de fabrication de la structure IGBT bidirectionnelle à électrodes coplanaires basée sur le remplissage de la tranchée par dépôt de SOD.

IV-2-3. Avantages et inconvénients de chaque proposition de réalisation

Les deux procédés pourraient permettre la réalisation de la structure IGBT bidirectionnelle à électrodes coplanaires mais pratiquement il existe des avantages et inconvénients pour chaque procédé, ces avantages et inconvénients concernent principalement la méthode de remplissage de la tranchée.

Dans le cas où le remplissage s'effectue par dépôt de SOD (proposition n° 2), la gravure de la tranchée se fait après la réalisation de la grille et de toutes les diffusions des deux faces du composant car la température de transition vitreuse des SOD, d'une manière générale, est assez basse (inferieure à 900 °C) [1], alors que la température de certains recuits dans le procédé dépasse 1000 °C. Le dépôt de ces diélectriques doit donc se faire après tous les recuits nécessaires. Cette démarche impose de nombreuses contraintes :

- La température de recuit métal doit être compatible avec le SOD utilisé.
- Le polissage doit être arrêté avant d'atteindre la couche de polysilicium de la grille, ce qui est difficile sachant que ce polissage se fait mécaniquement.

En revanche, si le remplissage s'effectue par dépôt LPCVD de l'oxyde, nous pouvons commencer le procédé par la réalisation de la tranchée, car les propriétés physiques de l'oxyde permettent de poursuivre la réalisation sans contraintes particulières. Néanmoins, la vitesse de dépôt d'oxyde est relativement faible (13 Å/mn), ce qui nécessite au moins 10 jours pour remplir une profondeur de 20µm.

V. Conclusion

Nous avons consacré ce chapitre à l'étude d'une structure originale que l'on a appelée structure bidirectionnelle à électrodes coplanaires. Cette structure est en partie le résultat de l'étude menée sur l'IGBT bidirectionnel présenté dans les chapitres 2 et 3 et qui a révélé la complexité technologique relative à la réalisation de structures composées entre autres d'électrodes de commande et de puissance sur les deux faces du substrat. Elle est également le fruit de discussions avec nos collaborateurs du G2ELab et du LMP et qui ont mis en évidence les potentialités qu'offre une structure bidirectionnelle commandée en tension et à électrodes coplanaires dans la perspective de développer des interrupteurs bidirectionnels autonomes intégrés dans un même boîtier.

La structure bidirectionnelle à électrodes coplanaires peut être perçue comme une intégration monolithique astucieuse d'un thyristor en série avec un IGBT pour assurer la conduction durant chaque alternance. Afin de réduire l'espacement entre les deux sections qui composent la structure, nous avons utilisé une tranchée remplie de diélectrique. Nous avons validé par des simulations 2D les différents modes de fonctionnement de la structure et nous avons analysé qualitativement l'impact des différents paramètres sur les caractéristiques électriques du composant.

Nous avons ensuite proposé un jeu de masques que l'on pourrait utiliser pour réaliser la structure. Nous avons expliqué le rôle des différents niveaux de masques.

Enfin, nous avons proposé deux solutions de réalisation basées sur la filière IGBT flexible. Pour ce faire, il est nécessaire d'inclure les étapes spécifiques à la réalisation de la tranchée remplie de diélectrique dans le process flow de la filière. Il est à noter que l'étape de réalisation de la tranchée a été validée par ailleurs pour la réalisation de terminaison de jonction [16].

Références

[1] Loic THEOLIER, « Conception de transistor MOS haute tension (1200 volts) pour l'électronique de puissance ». Thèse 2008.

[2] Dragomirescu. D, Charitat. G. : Trench termination technique with vertical JTE for 6 kV devices. Bipolar/BiCMOS Circuits and Technology Meeting, 2000, Page(s): 86 – 89.

[3] Dragomirescu. D, Charitat. G, Morancho. F, Rossel. P.: Novel concepts for high voltage junction terminationtechniques using verry deep trenches. Semiconductor Conference SEMCND, CAS'99 Procedings, 1999, Page(s): 67 – 70, Vol. 1.

[4] JAYANT BALIGA. : Power semiconductor devices. 1995.

[5] Antoniou,M.;Udrea,F.;Bauer,F.;Nistor,I.: A new way to alleviate the RC IGBT snapback phenomenon: The Super Junction solution. ISPSD'10, 2010, page(s): 153-156.

[6] Vinod Kumar Khanna."IGBT Theory ande design". 2003.

CONCLUSION GENERALE

Le travail réalisé dans le cadre de cette thèse fait partie du projet MOBIDIC (MOS controlled BIDirectional power Integrated Component) dans le cadre du programme ANR blanc (2006-2009). Ce projet s'insère dans la cadre de la gestion et du conditionnement « intelligent » de l'énergie dans l'habitat pour des applications domotiques et grand public. Ce projet était composé de plusieurs thèmes et un des thèmes portait sur la réalisation technologique d'un interrupteur bidirectionnel en courant et en tension et commandé en tension. L'objectif principal du travail de thèse exposé dans ce mémoire est principalement de proposer des techniques de réalisation du composant bidirectionnel et de les valider par des réalisations en se basant sur la filière IGBT flexible du LAAS.

Dans le premier chapitre, nous nous sommes attachés à rappeler les différentes structures et les différentes techniques qui permettent de réaliser la fonction interrupteur bidirectionnel en courant et en tension et commandé en tension. Nous avons pour cela exposé la technique basée sur l'association d'éléments discrets ainsi que la technique basée sur l'utilisation d'un seul composant monolithique. Le composant de base recherché est un composant permettant la bidirectionnalité en courant, la symétrie en tenue en tension (tension > 600V), la commande en tension à la fermeture et à l'ouverture et cela par rapport à une seule référence de potentiel. Malgré l'ampleur des travaux de recherche engagés depuis quelques décennies, aucun des composants proposés ne répond à la totalité des critères cités.
Dans le deuxième chapitre, nous avons choisi comme structure d'interrupteur un IGBT commandé par deux sections MOS placées sur la face avant et sur la face arrière de la plaquette de silicium. Ce composant contient des électrodes de commande et de puissance (anode, cathode) sur les deux faces du substrat. Les travaux relatifs au développement d'un packaging adapté à ce type de composant ont été menés par nos partenaires du G2ELab (Grenoble). De ce fait, le LAAS s'est focalisé sur l'optimisation des paramètres intrinsèques de la structure ainsi que sur la réalisation technologique en utilisant la filière IGBT flexible.

Afin de pouvoir effectuer des simulations et mener une étude sur les performances de la structure IGBT bidirectionnelle, nous avons dans un premier temps identifié les différentes techniques envisageables pour la réalisation de la structure. En effet, les caractéristiques de la zone de drift N- dépendent de la technique de réalisation choisie. Nous avons identifié deux voies technologiques permettant d'aboutir à la structure IGBT bidirectionnelle recherchée :

1. La première voie est basée sur l'utilisation de la photolithographie double face. Dans ce cas, les points critiques à résoudre concernent la réalisation de grilles MOS de bonne qualité sur les deux faces.
2. La deuxième voie est basée sur la réalisation des différentes cellules de l'interrupteur sur deux plaques différentes. Celles-ci sont ensuite amincies pour atteindre l'épaisseur minimale requise avant d'être associées par collage moléculaire. Par conséquent, les principales difficultés technologiques relatives à cette deuxième technique concernent :

- La mise en place d'une procédure d'amincissement et de polissage permettant de réduire l'épaisseur du substrat final.
- La mise en place d'une technique d'alignement spécifique au "wafer bonder". En effet, nous avons proposé deux techniques d'alignement adaptées à ce type de composants.
- La réalisation d'une interface de collage présentant une bonne tenue mécanique et transparente électriquement. Cette étape a constitué une partie importante des travaux réalisés.
- La modélisation de l'interface de collage : Afin de doter le simulateur physique 2D d'un modèle d'interface fiable que l'on pourrait utiliser pour optimiser les performances de la structure par simulations, une partie importante du projet a été consacrée à la modélisation de cette dernière. Cette partie a été menée par nos partenaires du LMP (Tours).

L'étude par simulations 2D de la structure IGBT bidirectionnelle réalisable selon chacune des deux techniques (lithographie double face et par collage Si-Si) a été menée. Ce travail de simulation a permis de mettre en évidence la variation des principales caractéristiques électriques en fonction des paramètres technologiques et géométriques sensibles. Une étude plus poussée a été effectuée sur les structures basées sur le collage de plaques. La prise en compte des défauts introduits par le collage, à travers la durée de vie des porteurs, a permis de montrer leur influence sur les temps de commutation, et sur le courant de fuite à l'état bloqué lorsque la zone de charge d'espace atteint cette interface de collage. Cette interface de collage doit donc être positionnée au delà de la zone d'extension de la charge d'espace, ce qui se traduit par une augmentation de l'épaisseur de la zone N^- peu dopée. Cette contrainte à donc un impact direct sur les performances du composant en conduction. Nous avons également montré que l'intégration monolithique permet de minimiser les pertes grâce à l'action de la deuxième grille lors de la phase de blocage du composant ce qui permet de diminuer les pertes en commutation à l'ouverture. Ces travaux de conception ont permis de préciser les performances potentielles d'un interrupteur bidirectionnel commandé par MOS avec deux technologies différentes. Cette étude a également permis de dégager un ensemble de paramètres notamment géométriques qui ont servi dans le chapitre 3 pour la réalisation du composant.

Le troisième chapitre représente l'essentiel du travail technologique mené dans le cadre de la thèse. Il est consacré d'une part à la mise en place de briques technologiques spécifiques telles que l'étape de collage, le polissage et la technique d'alignement requise pour le wafer bonder et d'autre part à la validation expérimentale du fonctionnement de la structure IGBT bidirectionnelle réalisée par la technique de lithographie double face ainsi que de celui de diodes PIN réalisées par la technique de collage.

Nous avons dans un premier temps décrit la méthodologie suivie pour concevoir les masques. Nous avons pour cela mis en évidence l'impact des contraintes de packaging sur le dessin des masques. En effet, la nécessité de développer un packaging spécifique adapté aux IGBTs

bidirectionnels exige l'introduction de quelques modifications notamment au niveau du placement des électrodes de grille et de puissance (anode, cathode). La cellule IGBT élémentaire est de forme carrée et le nombre de cellules utilisé est calculé afin d'obtenir des dispositifs permettant de faire transiter des courants de l'ordre 5A.

Nous avons ensuite décrit brièvement le process flow de la filière IGBT flexible que nous avons utilisé pour réaliser les IGBTs bidirectionnels avec les techniques de lithographie double face et de collage. Nous avons analysé le process flow et proposé un emplacement pour l'étape de collage nécessaire pour la réalisation des IGBTs bidirectionnels. Cette étape de collage s'effectue avant la redistribution de l'arsenic qui permet de matérialiser les régions N^+ des IGBT. L'étape de redistribution s'effectue à une température très élevée, de l'ordre de 1150 °C afin de renforcer les liaisons atomiques Si-Si, ce qui permet d'obtenir une interface de collage sans voids (absence de contact entre les plaquettes collées). Les travaux que nous avons menés sur le collage basse température (< 800 °C) et haute température (1150 °C) nous ont permis de nous réconforter dans notre proposition de collage haute température. En effet, le collage à basse température généralement utilisé après l'étape de métallisation conduit inéluctablement à l'apparition de voids au niveau de l'interface de collage.

Il existe deux types de collage : un collage dit hydrophile et un collage dit hydrophobe.
Le collage hydrophile est plus facile à mettre en place mais conduit généralement à l'apparition d'une couche d'oxyde de faible épaisseur à l'interface de collage. Le collage hydrophobe en revanche est plus exigeant en terme de nettoyage et de temps qui sépare la fin de l'étape de nettoyage de l'étape de mise en contact des deux plaquettes à coller. En effet, ce temps ne doit pas excéder 2 mn.

Afin de mettre en évidence l'influence du collage et comparer les deux voies technologiques basées sur la lithographie double face et sur le collage, nous avons conçu différents masques permettant de réaliser avec et sans collage: des IGBTs bidirectionnels, des IGBTs unidirectionnels et des diodes. La réalisation des différents dispositifs a nécessité un temps de travail en salle blanche considérable. En effet, les différentes variantes réalisées, rajoutées aux nombres de plaquettes témoin nécessaires à la validation de chaque étape du process, conduit à un nombre de plaquettes conséquent. Ceci s'est traduit par un temps de réalisation considérable, qui s'est rajouté au temps de développement important des briques spécifiques au collage décrites précédemment.

La structure IGBT bidirectionnelle a été réalisée par la technique de photolithographie double face. Des caractérisations sous pointes ont démontré que le dispositif est en mesure de supporter des tensions de l'ordre de 400 V. Il est également capable de faire transiter le courant dans les deux sens (les moyens de caractérisations sont limités à 1A). Toutefois, nous avons constaté que les tensions de seuil des transistors MOS réalisés sur les deux faces de la plaquette n'étaient pas identiques. Nous

attribuons cela à une éventuelle différence entre les qualités d'oxyde de grille qui n'ont pas été réalisés dans des conditions identiques.

La technique de collage a été validée par des réalisations de diodes PIN. En effet, des difficultés liées au collage de plaquettes IGBT nous ont conduit à travailler en parallèle sur la réalisation de structures qui ne nécessitent pas un temps de réalisation important telles que les diodes PIN. Les plaquettes collées avaient des épaisseurs relativement importantes (300 um). Les chutes de tensions à l'état passant des diodes ainsi obtenues sont acceptables et démontrent que l'interface de collage ne conduit pas à des chutes de tensions rédhibitoire.

L'application de la technique de collage Si/Si pour la réalisation de structures IGBT bidirectionnelles a mis en évidence des exigences supplémentaires nécessaires pour la préparation des surfaces à coller. En effet, les nombreuses tentatives pour coller des plaquettes contenant des sections MOS pour obtenir l'IGBT bidirectionnel nous ont révélé que le dépôt de polysilicium sur les faces des plaquettes pour la réalisation de grille MOS devient un élément bloquant lors de l'étape de collage. En effet, pour réaliser le collage, il est nécessaire d'enlever le polysilicium sur les faces à coller. Toutefois, les techniques habituelles que nous utilisons telles que la RIE ne permettent pas d'enlever uniformément le polysilicium sur toute la plaquette et des grains de polysilicium résiduels restent sur les surfaces à coller. Ces grains, selon leur taille et leur quantité, peuvent empêcher la formation de liaisons Si-Si permettant de réaliser le collage. Par conséquent, pour obtenir des surfaces lisses et planes, il est nécessaire de réaliser une étape de polissage mécano-chimique (CMP).

Dans le cadre de cette thèse, nous avons après plusieurs tentatives, réussi à réaliser le collage sans devoir faire une étape de CMP. Nous avons en revanche rencontré des problèmes de réalisation de contacts, ce qui a rendu les caractérisations sur la seule plaquette collée restante, d'un lot de départ de plaquettes important, impossible.

Afin de réduire davantage la chute de tension à l'état passant, nous avons travaillé au LAAS sur la mise en place d'une brique technologique spécifique dédiée à l'amincissement des substrats silicium. Cette brique devrait permettre à terme de réduire l'épaisseur d'un substrat silicium au minimum nécessaire. Aujourd'hui, cette brique nous permet de réduire des épaisseurs de substrats de 500 µm à 200 µm.

Les travaux menés d'une part sur la réalisation de la puce de silicium IGBT bidirectionnelle et d'autre part sur le packaging ont mis en évidence le degré de complexité élevé pour obtenir à la fois la puce de silicium ainsi que son boîtier. Ce constat nous a conduit par conséquent à modifier notre approche de conception de composants bidirectionnels en courant et en tension commandés par MOS. En effet, nous avons mené parallèlement aux travaux précédents un travail de recherche sur les composants bidirectionnels commandés en tension à électrodes coplanaires. Ces travaux nous ont permis de proposer un composant bidirectionnel à électrodes coplanaires. Bien que toutes les

électrodes soient placées sur la surface de la plaquette, la conduction à l'intérieur de la puce de silicium est maintenue verticale, ce qui permet au dispositif de faire transiter des courants importants. L'avantage additionnel qu'apporte ce type de structures concerne la commande. En effet, des travaux de recherches menés sur les circuits de commande d'une part et sur les techniques d'interconnexion 3D d'autre part par nos partenaires du G2ELab nous ont également encouragé à continuer notre recherche sur ce type composant. Cette technique d'interconnexion devrait ouvrir des perspectives intéressantes pour l'émergence d'un nouveau type d'interrupteurs intégrés in package et autonomes. Ces différents constats ont été à la base du travail que nous avons mené dans le chapitre 4.

Le chapitre 4 a donc été consacré à l'étude d'une structure bidirectionnelle à électrodes coplanaires. Nous avons, avant tout, justifié du point de vue pratique la nécessité d'une telle structure, nous avons ensuite décrit les différents modes de fonctionnement de la structure et nous avons également donné le schéma électrique simplifié équivalent de la structure pour chaque mode de fonctionnement. Les modes de fonctionnement ont été validés par des simulations 2D et nous avons à travers. Ces simulations illustrent les différentes phases d'amorçage de la structure pendant chaque mode de fonctionnement. Une étude complète de la structure nécessite la simulation de structures de taille proche de la taille de la structure réelle. En effet, les dimensions latérales de la structure ont d'une part une influence sur la mise en conduction du thyristor auto-amorçable intégré, ainsi que sur la chute de tension à l'état passant aux bornes de ce dernier, et d'autre part sur le passage d'un mode de type DMOS à un mode de type IGBT pour la structure DMOS/IGBT placée en série avec le thyristor auto-amorçable.

Afin de réduire la surface de la puce de silicium qu'occuperait la structure réelle, nous avons utilisé une technique de garde de jonction basée sur une tranchée remplie de diélectrique. A l'état passant, la chute de tension aux bornes du composant correspond à la somme de la chute de tension aux bornes du thyristor auto-amorçable et à celle de l'IGBT/DMOS. Dans ces deux structures, la chute de tension dépend essentiellement de l'épaisseur de la zone de drift N-. De ce fait, il sera nécessaire de tirer profit de l'avancement des techniques d'amincissement de substrats silicium afin de réduire les épaisseurs au strict nécessaire. Afin de réduire davantage la chute de tension à l'état passant, il est nécessaire également d'utiliser des IGBTs à tranchée à la place des IGBTs planar. Nous avons à la fin du chapitre proposé des masques ainsi qu'un enchaînement d'étapes technologiques qui permettront de réaliser la structure. Pour cela, nous avons tiré profit des résultats de réalisation de tranchées remplies avec du SOD pour la réalisation de la tranchée remplie de diélectrique. En effet, cette partie a déjà été validée par des réalisations en salle blanche du LAAS et les caractérisations des structures tests ont montré que les dispositifs peuvent supporter des tensions de l'ordre de 1 kV.

ANNEXE

Chute de tension à l'état passant direct aux bornes d'un thyristor

Une fois que le thyristor est amorcé, un courant circule entre l'électrode d'anode et la cathode. Le passage de ce courant engendre une chute de tension aux bornes du dispositif. Pour estimer cette chute de tension, différents modèles, analytique ou numérique, ont été développés dans la littérature [1]-[5]. Généralement, on utilise les expressions développées pour les diodes PIN. Pour cela, on suppose que la densité de courant traversant le thyristor permet d'avoir un profil de porteurs tel qu'il est donné par la figure 1 où la concentration des porteurs minoritaires est supérieure aux dopages de la région P et de la zone de drift N^- (régime de forte injection).

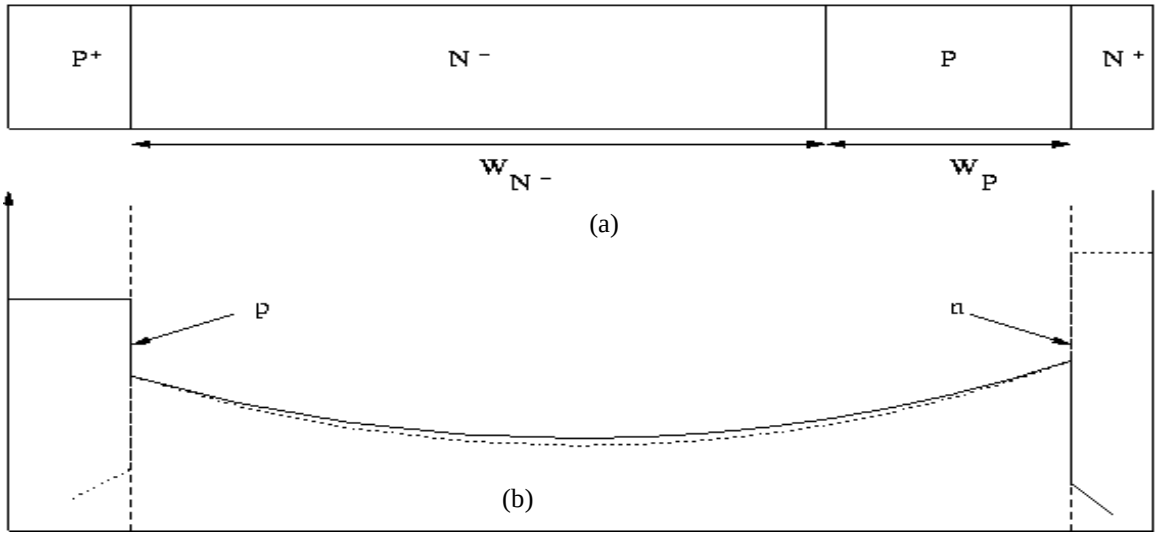


Figure 1. Une structure thyristor ainsi que les profils de concentration de porteurs à un fort niveau d'injection. (a) Structure d'un thyristor. (b) profils de porteurs.

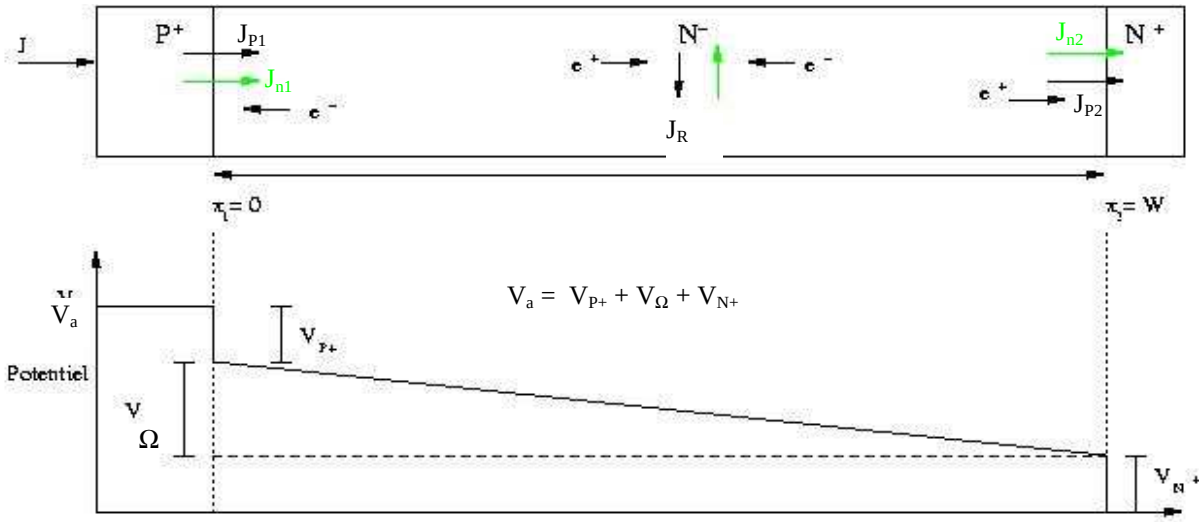


Figure 2. Diode PIN

En supposant un régime de fort niveau de polarisation, les recombinaisons dans les régions extrêmes P^+ et N^+ ne sont pas négligeables (ç-à-d les régions extrêmes ont des rapports d'injection $\alpha_1 = J_{P1}/J$ et $\alpha_2 = J_{n2}/J$ inférieurs à l'unité (cf. figure 2). Les effets de recombinaison Auger, interactions porteur-porteur n'étant pas pris en compte, la relation entre la chute de tension ohmique V_Ω à l'état passant et la densité de courant traversant la diode PIN, donnée sur la figure 2, est donnée par l'expression (4.1) [6]:

$$V_\Omega = 2U_T W \sqrt{\frac{h_p h_N}{e(D_P + D_n)}} \left(\frac{W}{L_a}\right)^{-1} sh\left(\frac{W}{L_a}\right) \frac{1}{\sqrt{PQ}} \left\{ Arc\tan\left[\sqrt{\frac{P}{Q}} \exp\left(\frac{W}{L_a}\right)\right] - Arc\tan g\left[\sqrt{\frac{P}{Q}}\right]\right\} \sqrt{J} \qquad (4.1).$$

Avec:

$$P = \sqrt{D_P h_P} - \sqrt{D_n h_N} \exp\left(-\frac{W}{L_a}\right)$$

Et $$Q = \sqrt{D_n h_N} \exp\left(\frac{W}{L_a}\right) - \sqrt{D_P h_P}$$

Où:

V_Ω étant la chute de tension ohmique (dans la région N- de la diode PIN).

$L_a = \sqrt{\tau D}$ est la longueur de diffusion ambipolaire;

τ est la durée de vie des porteurs à forts niveaux d'injection;

$D = 2\dfrac{D_n D_p}{D_n + D_p}$ est la constante de diffusion ambipolaire.

h_P et h_N sont deux paramètres qui caractérisent les émetteurs P^+ et N^+ respectivement [6].

Il est à noter qu'à ces niveaux de polarisation, la chute de tension ohmique V_Ω est dominante, par rapport à la tension de jonction et de Dember, et proportionnelle au $\sqrt{J}$ [7].

Si les concentrations de porteurs dans la zone ohmique sont telles que les mobilités et/ou la durée de vie des porteurs se trouvent affectées par les interactions porteur-porteur d'une part et la recombinaison Auger d'autre part, la chute de tension ohmique deviendrait proportionnelle à la densité de courant J.

L'équation obtenue pour le cas d'une diode PIN peut être utilisée pour le cas du thyristor représenté sur la figure 1 en remplaçant dans les équations W par ($W_{N-} + W_P$).

Avec les hypothèses précédentes, où l'on a considéré les deux bases N^- et P inondées par les porteurs, une relation simple donnant la caractéristique de la chute de la tension à l'état passant en fonction de J, V_F (J), est donnée par [8]: $V_F = V_J + \alpha \cdot J + \beta\sqrt{J}$ où α et β sont deux paramètres.

Références

[1] F.E. Gentry, R.I Scace, and J.K. Flowers :”Bidirectional Triode P-N-P-N Switches”, Proc. Of the IEEE, pp.355-369, 1964.

[2] J.D. Plummer, B.W. Scharf, "Insulated gate planar thyristors: I- Structure and Basic Operation", IEEE Transactions on Electron Devices, Vol.ED-27, NO.2, February 1980.Ref

[3] J.S.T. Huang: “The bilateral emitter switched thyristor”, IEEE IEDM, 1992.

[4] Shuming xu, Rainer Constapel, and Dieter Silber, CTC: “a CMOS Thyristor Cascode. Proceedings of the 1998 ISPSD, Kyoto, pp 159-162.

[5] Manoj Mehrotra and B.J. Baliga, "A Planar MOS-Gated AC Switch Structure", IEEE IEDM 1995, pp. 349-352.

[6] A. Laporte,“ Etudes des interfaces Silicium/Silicium obtenues par soudure directe de plaquettes”,thèse (INSA Toulouse, 1995).

[7] Philippe Leturcq: composants semiconducteurs de puissance: partie 1, techniques de l'ingénieur D3-106.

[8] J. Arnould, P. Merle: Dispositifs de l'électronique de puissance, volume 2.

Liste des publications

Conférences internationales

[1] H. Tahir, A. Bourennane, J-L. Sanchez, M. Breil, P. Austin. « A current and voltage bidirectional IGBT based on a Si/Si wafer bonding technique ». International Seminar of Power Semiconductor (ISPS'08), 27-29 Aout 2008, Prague.

[2] H. Tahir, A. Bourennane, E. Imbernon,J-L. Sanchez « Realization and characterization of a current and voltage bidirectional IGBT ». International Seminar of Power Semiconductor (ISPS'10), 1-3 September 2010, Prague.

[3] H. Tahir, A. Bourennane, J-L. Sanchez, M. Breil, J-C. Crébier « A vertical monolithically integrated bidirectional IGBT having all the electrodes on the front side». International Seminar of Power Semiconductor (ISPS'10), 1-3 September 2010, Prague.

[4] H. Tahir, A. Bourennane, J-L. Sanchez, G. Sarrabayrouse, E. Imbernon « A monolithically integrated bidirectional IGBT: effect of spatial IGBT elementary cells repartitioning and technology of realization on device performance. ». Power Electronics and Motion Control Conference (EPE/PEMC), 1-3 September 2010, Page(s): T1-29_T1-33.

[5] A. Bourennane, H. Tahir, J-L. Sanchez, E. Imbernon, G. L.Pont Sarrabayrouse « High temperature wafer bonding technique for the realization of a voltage and current bidirectional IGBT». International Symposium on Power semiconductor Devices and ICs (ISPSD'11), may 23-26, 2011. USA.

[6] H. Tahir A. Bourennane, J-L. Sanchez, L.Pont, G. Sarrabayrouse « A monolithically integrated vertical bidirectional IGBT having all the main electrodes on the front side». EPE'11. 30 August – 01 September 2011, UK.

Conférences nationales

H. TAHIR,

Etude d'une structure IGBT bidirectionnelle en courant et en tension réalisable par collage Si/Si, 12eme journées Nationales du Réseau Doctoral de Microélectronique (JNRDM'06), Lyon, 2009.

AUTEUR : Hakim TAHIR

TITRE : Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension

DIRECTEUR DE THESE : Jean-Louis SANCHEZ
CO-DIRECTEUR DE THESE : Abdelhakim BOURENNANE

LIEU ET DATE DE SOUTENANCE : LAAS-CNRS, le 12 Juillet 2011

ABSTRACT

The research work carried-out within the framework of this thesis deals with the design and realization of voltage and current bidirectional IGBT structures. These monolithic MOS controlled ac switches are intended to replace triac structures that are current controlled devices requiring moderate amount of control power compared to voltage controlled devices. We initially analyzed the main bi-directional voltage-controlled structures proposed in literature to determine their advantages and limitations. We then studied, designed and realized the current and voltage bidirectional IGBT structure. The study by 2D simulations is used to assess the influence of technological and geometrical parameters on conduction and switching performance of the bidirectional IGBT. Two techniques of the device realization have been proposed and incorporated in the LAAS flexible IGBT process flow. The first technique is based on the double side photolithography and the second technique is based on the direct Si/Si wafer bonding. A thorough analysis of both techniques allowed us to highlight the advantages and drawbacks of each technique. Finally, we proposed another current and voltage bidirectional MOS controlled switch having its power electrodes and its MOS sections on one side of the wafer. This arrangement makes it possible to overcome the packaging constraint encountered in some bidirectional devices and it makes it also easier to access the MOS control gates. Moreover, the current, in the structure, flows vertically which allows the device to carry high currents. This original architecture should facilitate, using techniques of 3D interconnection, the integration in package of the power device with its control circuit. An analysis of the operating modes of the structure is performed using 2D simulations and the technological processes for the realization of such a device are also provided and discussed.

Keywords: IGBT, bidirectional IGBT, double side photolithography, direct Si/Si wafer bonding, monolithic integration, bidirectional switches.

RESUME

Dans ce mémoire, nous proposons une structure IGBT symétrique en courant et en tension. Cet interrupteur monolithique et commandé par MOS devrait pouvoir remplacer la structure triac, actuellement le seul dispositif bidirectionnel monolithique commercialisé, dans des applications sur le réseau alternatif. En effet, le triac est un composant commandé en courant et nécessite une énergie de commande élevée par rapport aux structures commandées en tension. Nous avons dans un premier temps analysé les principales structures bidirectionnelles commandées en tension proposées dans la littérature afin de déterminer leurs avantages et leurs limitations. Nous avons ensuite étudié, conçu et réalisé la structure IGBT bidirectionnelle en courant et en tension. L'étude menée utilise des simulations 2D afin d'évaluer l'influence des paramètres technologiques et géométriques sur les performances en conduction et en commutation de l'IGBT bidirectionnel. Deux voies technologiques pour la réalisation du composant ont été proposées et intégrées dans la filière IGBT du LAAS. La première voie est basée sur l'utilisation de la technique de photolithographie double face et la

deuxième est basée sur la technique de soudure directe Si/Si. Une analyse approfondie des deux techniques nous a permis de mettre en évidence les atouts et les limites de chaque technique. Enfin, nous avons proposé une autre structure bidirectionnelle en courant et en tension, commandée par MOS et à électrodes coplanaires. En effet, cette structure originale a toutes ses électrodes de puissance et de commande sur une seule face du substrat ce qui permet de remédier à la difficulté d'encapsulation rencontrée avec la plupart des structures bidirectionnelles proposées dans la littérature. Cette architecture originale devrait en outre faciliter, en utilisant des techniques d'interconnexion 3D, l'intégration in package du dispositif de puissance avec sa commande. Une analyse du fonctionnement de cette structure est effectuée à l'aide de simulations 2D et des éléments de conception et de réalisation ont été donnés.

_ MOTS-CLES IGBT, IGBT bidirectionnel, photolithographie double face, soudure directe Si/Si, intégration monolithique, interrupteurs bidirectionnels.

DISCIPLINE ADMINISTRATIVE : Micro-nanoélectronique

INTITULE ET ADRESSE DE L'U.F.R. OU DU LABORATOIRE :

LAAS-CNRS
7, avenue du colonel Roche
31077 Toulouse Cedex 4