



HAL
open science

Méthodes et Modèles pour une Approche de Dimensionnement Géométrique et Technologique d'un Semi-conducteur de Puissance Intégré. Application à la Conception d'un MOSFET autonome.

Xuan Hoa Nguyen

► **To cite this version:**

Xuan Hoa Nguyen. Méthodes et Modèles pour une Approche de Dimensionnement Géométrique et Technologique d'un Semi-conducteur de Puissance Intégré. Application à la Conception d'un MOSFET autonome.. Energie électrique. Université de Grenoble, 2011. Français. NNT: . tel-00653551

HAL Id: tel-00653551

<https://theses.hal.science/tel-00653551>

Submitted on 19 Dec 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITÉ DE
GRENOBLE**

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

Hoa NGUYEN XUAN

Thèse dirigée par **Laurent GERBAUD** et
codirigée par **Jean-Christophe CREBIER** et **Nicolas ROUGER**

préparée au sein du **Laboratoire de Génie Electrique de Grenoble**
dans l'**École Doctorale Electronique, Electrotechnique,**
Automatique & Traitement du signal

**Méthodes et Modèles pour une
Approche de Dimensionnement
Géométrique et Technologique d'un
Semi-conducteur de Puissance Intégré.
Application à la Conception d'un
MOSFET autonome.**

Thèse soutenue publiquement le « **3 octobre 2011** »,
devant le jury composé de :

M. Bruno ALLARD

Professeur à INSA de Lyon, Rapporteur

M. Thierry MEYNARD

Directeur de Recherche au CNRS, Rapporteur

Mme. Nathalie BATUT

Maître de conférences à EPU - Polytech'Tours, Membre

M. Laurent GERBAUD

Professeur à Grenoble INP, Membre

M. Jean-Christophe CREBIER

Chargé de Recherche au CNRS, Membre

M. Nicolas ROUGER

Chargé de Recherche au CNRS, Membre



Remerciements

Je voudrais tout d'abord remercier le Ministère de l'Éducation Nationale Française qui a financé cette thèse avec laquelle j'ai eu l'occasion de faire la recherche et de trouver mes motivations pour le futur professionnel.

Ensuite, j'adresse mes remerciements à tous les membres du jury, en commençant par le Professeur **Bruno ALLARD** pour m'avoir fait l'honneur d'être rapporteur et président de jury. Je remercie également **M. Thierry MEYNARD**, Directeur de recherche CNRS, d'avoir accepté d'être un de rapporteurs de ma thèse. Je remercie **Mme. Nathalie BATUT** d'avoir examiné ma thèse.

J'ai eu beaucoup de chance d'être encadré pendant ces trois années par les encadrants dont les niveaux scientifiques et la qualité humaine sont exemplaires. **Laurent GERBAUD**, par sa ténacité, sa gentillesse, est un chef très dévoué pour moi et bien sûr pour tous ses autres thésards. Je lui remercie sincèrement du fond de mon cœur. **Jean-Christophe CREBIER**, par sa curiosité pour la science et ses exigences pour ses thésards, m'a donné des problématiques très intéressantes, très ambitieuses et aussi des connaissances physiques autour le composant d'électronique de puissance intégré sur silicium. **Nicolas ROUGER**, par son intelligence et ses gentillesse, est très compréhensible et me fait profiter ses conseils pertinents pour résoudre des problèmes difficiles. Je dédie à toutes ces personnes les résultats des trois ans de thèse avec un très grand respect que les mots ne suffisent pas à décrire.

Je remercie chaleureusement les collègues de travail de l'équipe MAGE et EP au G2ELAB avec qui les échanges de tout et de rien m'ont été bénéfiques. Un très grand merci à **M. Jean-Louis COULOMB**, qui a créer les outils performances que j'ai utilisées pendant ma thèse.

Je voudrais dire un grand merci à mes amis vietnamiens au G2ELAB avec qui j'ai des moments inoubliables. Ils sont toujours à côté de moi quand je les ai besoin.

Finalement, j'ai réserve les derniers mots en vietnamien de ce petit paragraphe pour ma famille.

Cuối cùng thì con cũng làm được điều mà cả nhà mong đợi từ lâu sau những cố gắng trong vòng bốn năm nơi đất khách quê người. Con biết là mẹ rất vui, con cũng vậy, mẹ ạ. Chỉ tiếc một điều, bố không còn để cùng vui với mẹ con mình nữa. Bố à, con biết bố vẫn luôn dõi theo gia đình bé nhỏ của chúng ta, và chắc bố vui lắm khi con đã làm được điều mà bố kì vọng. Bố hãy phù hộ cho gia đình mình có nhiều may mắn trên những chặng đường tiếp theo nhé. Kim Anh, em gái của anh, cảm ơn em vì đã cố gắng vừa học tập, vừa chăm sóc mẹ trong những năm tháng anh xa nhà.

Vợ yêu và con trai bé nhỏ của anh, anh thật may mắn vì đã có em và con bên cạnh. Không có em và con bên cạnh chắc anh cũng không vượt qua được những giai đoạn khó khăn nhất trong những năm tháng làm nghiên cứu sinh này. Hôn em và con!

SOMMAIRE

<i>Introduction générale</i>	1
<i>PARTIE I : Contexte général</i>	3
I.1. Avant propos préalable	4
I.2. Introduction de l'évolution technologique et conceptuelle en électronique de puissance	4
I.2.1. Premiers éléments de comparaison entre la conception en micro électronique et celle en électronique de puissance	4
I.2.2. Analyses de la filière technologique	6
I.2.2.a. Problématiques.....	6
I.2.2.b. Objectifs de conception	8
I.2.3. Comptabilité ELECTRO-TECHNOLOGIQUE en intégration de puissance monolithique de fonctions de coupures complètes	8
I.2.3.a. Problématiques.....	8
I.2.3.b. Objectifs de conception	12
I.2.4. Dimensionnement du composant de puissance en fonction de sa technologie et son environnement électronique	13
I.2.4.a. Problématiques.....	13
I.2.4.a.i. Problématique de couplage thermique-électrique	15
I.2.4.a.ii. Problématique des interconnexions inductives.....	16
I.2.4.a.iii. Problématique des paramètres du driver	17
I.2.4.a.iv. Synthèse des problématiques environnementales globales	19
I.2.4.b. Objectifs de conception	20
I.2.5. Conclusion	20
I.3. Démarche de conception actuelle en électronique de puissance et présentation de résultats préexistants	21
I.3.1. Filière technologique paramétrable pour l'électronique de puissance.....	21
I.3.2. Démarche de conception actuelle en électronique de puissance	22
I.3.3. Travaux préexistant au sein du G2Elab permettant une évolution de la démarche de conception.....	24

I.3.3.a. Optimisation de la géométrie et première réalisation technologique d'un VDMOS.....	24
I.3.3.b. Intégration monolithique de la commande rapprochée autour de composants de puissance à structure verticale.....	25
I.3.3.c. Intégration monolithique de l'alimentation de la commande rapprochée au sein d'un composant de puissance à structure verticale.....	26
I.3.3.d. Les limites existantes autour de ces travaux et le besoin d'outils dédiés	27
I.4. Nouvelle proposition : outil de conception et d'assistance au prototypage de systèmes intégrés de puissance sur silicium.....	28
I.4.1. Conception et assistance au prototype en électronique de puissance	28
I.4.2. Positionnement des travaux de thèse dans le projet CAPSIS ?	31
I.5. Notre démarche pour le dimensionnement et la conception	32
I.5.1. Introduction.....	32
I.5.2. Outil d'analyse de la filière technologique.....	33
I.5.3. Comptabilité électro-technologique en intégration monolithique.....	34
I.5.3.a. Objectif de dimensionnement.....	34
I.5.3.b. Démarche de dimensionnement par une approche directe.....	35
I.5.3.c. Démarche de dimensionnement par l'optimisation.....	37
I.5.3.d. Travaux à réaliser pour mettre en œuvre la deuxième démarche ...	38
I.5.4. Dimensionnement du composant de puissance en fonction de sa technologie et de son environnement électronique	38
I.6. Conclusion	39
<i>PARTIE II : Méthode et méthodologie pour la conception et l'assistance au prototypage des systèmes intégrés de puissance sur silicium.....</i>	40
II.1. Introduction.....	41
II.2. Synthèse des besoins et des difficultés rencontrées par le concepteur pour le dimensionnement optimal des systèmes en EP	41
II.3. Modélisation pour le dimensionnement en EP	43
II.3.1. Types de modèles utilisés en CAO pour le dimensionnement en EP.....	43

II.3.1.a. Modèle numérique	44
II.3.1.b. Modèle analytique.....	44
II.3.1.c. Modèle semi-analytique	44
II.3.1.d. Modèle mixte	45
II.3.2. Dérivation et calcul de sensibilité	46
II.3.3. Méthodes de modélisation adaptées aux problématiques en intégration en EP	47
II.3.3.a. Méthodes de modélisation d'une filière technologique	48
II.3.3.a.i. Méthode de modélisation de la technologie d'implantation, de diffusion, d'oxydation.....	48
II.3.3.a.ii. Méthodologie de modélisation d'une filière technologique	49
II.3.3.b. Méthodes d'identification des paramètres des modèles technologiques	50
II.3.3.b.i. Méthode Levenberg Marquardt	50
II.3.3.b.ii. Méthode utilisant des algorithmes d'optimisation	51
II.3.3.b.iii. Méthode chaînée	51
II.3.3.c. Comportements électriques statiques.....	51
II.3.3.c.i. Méthode de modélisation du phénomène d'avalanche d'une jonction PN double diffusée	51
II.3.3.c.ii. Méthode de modélisation de l'effet de substrat du High- Side NMOS	53
II.3.3.d. Comportements électriques dynamiques	54
II.3.3.d.i. Pas de calcul fixe or variable ?	55
II.3.3.d.ii. Quelle méthode efficace pour la non linéarité et la discontinuité du modèle des capacités parasites ?	58
II.3.3.e. Modélisation globale d'un composant VDMOS intégré	66
II.4. Algorithmes d'optimisation.	67
II.4.1. Définition d'un problème d'optimisation.....	67
II.4.1.a. Formulation du problème d'optimisation.....	67
II.4.1.b. Quelques définitions générales	68
II.4.2. Classification et choix des algorithmes d'optimisation.....	69

II.4.2.a. Classification des algorithmes d'optimisation.....	69
II.4.2.a.i. Algorithmes d'optimisation mono-objectif	69
II.4.2.a.ii. Algorithme d'optimisation multi-objectifs	70
II.4.2.b. Notre choix des algorithmes d'optimisation pour les problèmes de dimensionnement en EP	70
II.5. Implémentation logiciel des modèles et des méthodes	71
II.5.1. Synthèse des besoins de méthodes	72
II.5.1.a. Synthèse des besoins de méthodes et d'outils de modélisation et d'analyse de la filière technologique.....	72
II.5.1.b. Synthèse des besoins en méthodes et outils de modélisation des comportements statiques.....	72
II.5.1.c. Synthèse des besoins en méthodes et en outils de modélisation des comportements dynamiques.....	73
II.5.2. Outils choisis.....	73
II.5.2.a. Silvaco	73
II.5.2.b. CADES	75
II.5.2.c. Matlab.....	77
II.5.2.d. Fgot.....	78
II.5.3. Mise en relation entre les outils.....	78
II.6. Conclusion.....	79
<i>PARTIE III : Application de la plateforme de conception au dimensionnement d'un mosfet de puissance intégrée</i>	<i>80</i>
III.1. Introduction	81
III.2. Analyse de la filière technologique d'un MOSFET de puissance.....	81
III.2.1. Introduction des analyses de la filière technologique d'un MOSFET de puissance	81
III.2.2. Modélisation d'une filière technologique.....	82
III.2.3. Identification des paramètres des modèles technologiques	86
III.2.4. Analyses de la sensibilité de la filière technologique.....	89
III.2.4.a. Caractéristiques électriques du VDMOS liées aux dispersions technologiques	89

III.2.4.b. Dispersions technologiques prévues du procédé technologique du VDMOS.....	90
III.2.4.c. Sensibilité de la tenue en tension du VDMOS par rapport aux dispersions technologiques	91
III.2.4.d. Sensibilité de la tension de seuil du VDMOS aux dispersions technologiques	94
III.2.4.e. Sensibilité de l’amorçage du transistor parasite et du perçage par rapport des dispersions technologiques.....	96
III.2.4.f. Etapes, paramètres technologiques critiques de la filière technologique.....	99
III.2.5. Dimensionnement d’une filière technologique figée d’une cellule de VDMOS générique pour une gamme de tension nominale.	100
III.2.5.a. Plage de cahiers des charges.....	100
III.2.5.b. Spécifications du dimensionnement	100
III.2.5.b.i. Paramètres de dimensionnement.....	100
III.2.5.b.ii. Définitions des contraintes.....	102
III.2.5.c. Objectifs du dimensionnement	103
III.2.5.d. Résultats du dimensionnement par optimisation multi-objectifs	104
III.2.5.d.i. Méthode de dimensionnement.....	104
III.2.5.d.ii. Résultats de l’optimisation.....	105
III.2.6. Conclusion sur les analyses de la filière technologique de VDMOS	109

III.3. Dimensionnement du compromis électro-technologique entre le VDMOS, la commande rapprochée et l’autoalimentation110

III.3.1. Modélisation du comportement des fonctions annexes du VDMOS	111
III.3.1.a. Modélisation de la tension de sortie de la commande rapprochée sous l’effet de substrat de la structure de driver NMOS/NMOS	111
III.3.1.b. Modélisation de la tension d’autoalimentation par la structure Bipolaire/MOSFET.....	113
III.3.1.b.i. Modélisation 1D du phénomène d’avalanche d’une jonction N+/P-	114
III.3.1.b.ii. Modélisation 2D du phénomène d’avalanche d’une jonction N+/P-.....	121

III.3.2. Cahier des charges du problème de dimensionnement	124
III.3.2.a. Paramètres de dimensionnement.....	124
III.3.2.b. Contraintes de dimensionnement	126
III.3.3. Résultats du dimensionnement par l'optimisation	127
III.3.3.a. Cahier de charges	127
III.3.3.b. Algorithme d'optimisation.....	128
III.3.3.c. Résultats	128
III.3.3.d. Vérification de la précision du dimensionnement par simulation numérique	130
III.3.4. Conclusion sur le dimensionnement du compromis électro- technologique du VDMOS intégré monolithique.....	133
III.4. Dimensionnement d'un VDMOS en fonction de sa technologie et son environnement électronique.....	134
III.4.1. Modélisation des comportements dynamiques du VDMOS dans l'environnement inductif.....	134
III.4.1.a. Modèle de ' 7 phases' du VDMOS [27]	134
III.4.1.b. Modélisation des comportements dynamiques du VDMOS sous l'environnement inductif sous S-Function dans MATLAB.	136
III.4.2. Spécifications du dimensionnement environnemental	141
III.4.2.a. Spécifications du dimensionnement.....	141
III.4.2.b. Cahier des charges.....	144
III.4.3. Résultats de dimensionnement.....	144
III.4.4. Conclusion du dimensionnement d'un VDMOS en fonction de sa technologie de fabrication et son environnement.....	145
III.5. Conclusion des applications de l'outil de conception.....	146
Conclusion générale et perspectives.....	147
Bibliographie.....	151
<i>Annexes.....</i>	<i>159</i>
ANNEXE 1. Modélisation de la technologie séparée.....	160
ANNEXE 2. Identification d'un modèle de dimensionnement et de calcul de sensibilité.....	167

ANNEXE 3. Modélisation des caractéristiques importantes du VDMOS	169
ANNEXE 4. Résultats de dimensionnement de la comptabilité électrotechnologique.....	175
ANNEXE 5. Structure des composants simulés dans Silvaco-Atlas et Silvaco-Mixedmode.....	177
ANNEXE 6. Problème de calcul des dérivées de la contrainte d'intégration entre le VDMOS et ses fonctions annexes.....	178

Résumé

Dans cette thèse, nous abordons la conception des composants d'électronique de puissance, intégrés sur semi-conducteur. Dans cette large problématique, nous nous intéressons plus particulièrement aux méthodes et outils logiciels et numériques pour le dimensionnement technologique et géométrique. Ainsi, nous abordons le dimensionnement en faisant des compromis d'intégration entre la technologie du composant de puissance et les fonctions électriques de ses composants annexes, en prenant en compte la fiabilité de la réalisation technologique en salle blanche et les impacts de l'environnement électronique. Pour cela, nous avons proposé des démarches, méthodes et outils pour repousser les limites existantes de la conception, visant à offrir le support correspondant en terme de « design kit ». Finalement, nous appliquons les méthodes et les démarches choisies et développées, au dimensionnement d'un MOSFET de puissance (VDMOS), pour différents cahiers des charges.

Abstract

The thesis deals with the design of integrated power electronics components. In this large problematic, the thesis focuses on the methods and numerical and software tools for the geometrical and technological sizing. So, the thesis deals with the sizing carrying out compromises between the technology of a power component and the electrical characteristics of its auxiliary components, taking into account the reliability of the technological making and the impacts of the electronic environment. In this way, approaches, methods and tools are proposed to push away the existing design limits, to offer the corresponding elements for the design kit. Finally, the developed and chosen methods and approaches are applied to the sizing of a power MOSFET (VDMOS) according to several cases of specifications.

Introduction générale

Aujourd'hui, l'électronique de puissance joue un rôle très important dans le secteur de transport et de la conversion d'énergie à grand rendement. L'amélioration des rendements des dispositifs et de la qualité de l'énergie électrique sont un axe actuel de recherche important. Elle demande donc des efforts de conception en électronique de puissance pour premièrement fiabiliser et deuxièmement optimiser la performance ainsi que le coût des systèmes de conception. Ceci est d'autant plus vrai pour l'intégration de semi-conducteur en électronique de puissance.

En ce sens, différentes démarches de conception en électronique de puissance sont proposées et utilisées, en utilisant des outils de simulation et des données expérimentales. Cependant, la conception en électronique de puissance est encore très limitée par rapport à celle en micro-électronique en terme de fiabilité de conception. Notamment, le problème de conception devient beaucoup plus compliqué si on veut intégrer le composant de manière monolithique ou hybride. En effet, ce contexte d'intégration requiert de nouveaux compromis technologiques et électriques à assurer pendant le dimensionnement du composant intégré, en vue d'une intégration à bas coût. Ainsi, les démarches de conception actuelles doivent être améliorées afin de repousser certaines limitations actuelles.

Les travaux de ce mémoire de thèse s'inscrivent donc dans la logique de fiabilisation de la conception et convergence des systèmes intégrés en électronique de puissance. Nous proposons de travailler sur de nouveaux outils et nouvelles démarches de dimensionnement dédiés aux composants d'électronique de puissance. Dans cet objectif, nous avons défini trois grandes problématiques :

- la sensibilité des caractéristiques électriques du composant de puissance, vis-à-vis des impacts de dispersion possibles de la filière technologique, en cours de réalisation en salle blanche,
- la convergence des compromis technologiques et électriques entre l'interrupteur de puissance et les fonctions annexes intégrées monolithiquement au sein de l'interrupteur de puissance,
- la performance dynamique du composant de puissance en lien avec son environnement électronique.

Dans la première partie de ce manuscrit, nous introduisons en détail le contexte général de conception en électronique de puissance en le positionnant par rapport à la microélectronique. Ensuite, nous faisons un état de l'art des trois problématiques précédentes du point de vue bibliographique et du point de vue des études déjà réalisées au sein du laboratoire G2ELab. L'analyse qui en découle nous permet d'explicitier des limites de la conception. Nous nous proposons de soulever celles-ci et de les repousser grâce à de

nouvelles démarches de dimensionnement dans le processus de conception. Cela va requérir de nouvelles méthodes et outils pour la modélisation et l'optimisation.

Ainsi, dans la deuxième partie, nous allons commencer par présenter une vue globale des méthodes de modélisation et d'optimisation. Les méthodes les plus adaptées à notre problème seront choisies en considérant les besoins, les difficultés de calcul en électronique de puissance et les performances de chaque méthode. Les méthodes choisies seront ensuite mise en œuvre dans certains logiciels compatibles avec notre démarche de dimensionnement. Ce travail exploite les différentes possibilités de calcul, de simulation et d'optimisation de ces outils. Nous allons principalement utiliser Silvaco (éléments finis, simulation du procédé technologique, tracé des caractéristiques du semi-conducteur), Matlab et Matlab/Simulink (pour de la mise au point de modèles et de la simulation dynamique), CADES et FGOT pour l'optimisation.

Finalement, nous allons appliquer ces outils pour le dimensionnement d'un MOSFET vertical (VDMOS). Nous allons faire des analyses de sensibilité des caractéristiques de ce VDMOS en fonction des dispersions de sa filière technologique, en utilisant un modèle analytique de cette filière technologique. Nous allons ensuite appliquer une approche d'optimisation multi-objectif afin de figer cette filière pour une gamme de tension de 200V-900V de VDMOS. Dans une deuxième application, en utilisant la même filière technologique de VDMOS, nous allons converger vers des compromis technologiques et électriques entre le VDMOS, sa commande rapprochée et l'autoalimentation de cette commande par l'approche de dimensionnement optimal. Les simulations par éléments finis seront utilisées pour comparer les résultats obtenus de dimensionnement. Une troisième application montrera les apports de notre approche de dimensionnement global du VDMOS par rapport à l'approche classique, en prenant en compte les critères de fonctionnement sous des effets inductifs et des impacts de son driver,... Pour chaque application, nous allons appréhender de la modélisation, de la spécification du problème de dimensionnement par rapport au cahier des charges et discuter des résultats d'optimisation.

Ces travaux favorisent l'émergence de la performance de l'approche de dimensionnement par l'optimisation en trouvant des compromis entre la fonction objectif et des contraintes de dimensionnement. En plus, ils montrent les applications efficaces des méthodes numériques pour la modélisation et pour le calcul de la sensibilité en électronique de puissance. Les perspectives qui découlent de ces travaux, présenteront les derniers points pour arriver à établir un outil de conception assistée et un prototypage fiable en électronique de puissance.

PARTIE I :

CONTEXTE GENERAL

I.1. Avant propos préalable

Dans ce chapitre, certains aspects de modélisation sont spécifiques à l'application support à la thèse : le MOSFET de puissance (VDMOS). Pour ce composant, nous insistons sur certaines spécificités. Cependant, cette partie est avant tout méthodologique. Des points spécifiques développés pour le VDMOS, sont ici donnés car il sont requis pour la partie III applicative, et montrent certaines limites de la généralité.

I.2. Introduction de l'évolution technologique et conceptuelle en électronique de puissance

I.2.1. Premiers éléments de comparaison entre la conception en micro électronique et celle en électronique de puissance

Les travaux conduits en microélectronique depuis plusieurs décennies ont permis de fournir des méthodes, des concepts, des modèles et des outils de conception, de calcul et de simulation en lien avec, en particulier, des procédés de réalisation stabilisés et précis. Après la révolution structurelle fondamentale, petit à petit, la microélectronique s'est scindée en deux grands métiers assez indépendants et extrêmement complexes :

- les développements de cheminements technologiques stables, fiables et reproductibles
- les développements d'outils et de modèles pour la simulation et la conception des fonctions complexes s'appuyant sur les développements technologiques précités.

De fait, l'élaboration d'une fonction ou d'un dispositif en microélectronique part d'une filière technologique connue, caractérisée et reproductible. A partir de ce principe, la microélectronique a développé des outils d'assistance et de prototypage virtuel via des outils spécialisés et des bibliothèques de caractéristiques des filières technologiques et composants associés. Ces outils sont regroupés sous l'appellation 'design-kits' et permettent de configurer des outils spécialisés comme Cadence.

Les démarches de conception en électronique de puissance (EP) et en microélectronique semblent comparables, en terme du processus de conception d'un projet, comme présenté sur la Figure I.1. Cependant, il existe de grosses différences au niveau des sous étapes. Alors que la conception d'une fonction en microélectronique ne repose que sur l'utilisation des données disponibles dans un design kit, sans se plonger aucunement sur le volet technologique, il n'en est pas de même en électronique de puissance.

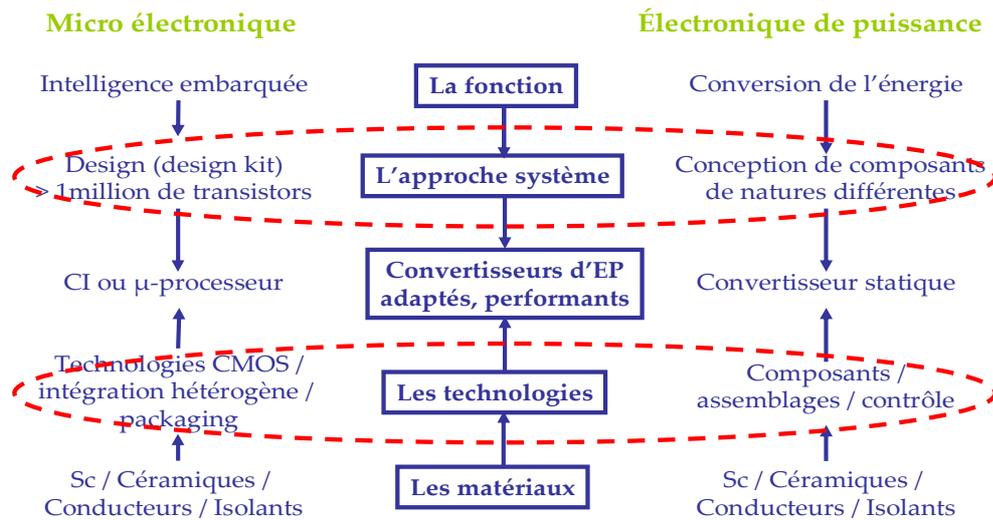


Figure I.1. Similarité des démarches de conception en électronique de puissance et en microélectronique

En électronique de puissance, pour chaque conception d'une fonction active de coupure, par exemple un composant de puissance tel qu'IGBT, MOSFET, on veut d'abord optimiser les caractéristiques intrinsèques des composants. Pour cela, on doit agir sur la structure verticale mais aussi l'empilement des couches, ce qui conduit inévitablement à adapter la technologie et les caractéristiques technologiques pour chaque composant ou chaque cahier de charges. **L'optimisation des fonctions de conversion passe habituellement par une optimisation couplée au niveau du cheminement technologique et de la conception du jeu de masques.** De fait, ce processus de dimensionnement en EP rend moins facile son assistance et moins fiable sa précision de conception et de réalisation technologique. Actuellement, les concepteurs en EP cherchent souvent des façons d'améliorer leurs conceptions en s'inspirant des idées développées en microélectronique. Reste à savoir comment s'inspirer de l'approche de la microélectronique, quelles en sont les contraintes et les conséquences qui en découlent. Quels en seraient les avantages ? Dans le cadre de l'intégration fonctionnelle au sein de composants d'électronique de puissance, comment s'appuyer sur un design kit dont le procédé technologique ne serait pas figé ?

Pour tenter de répondre à ces questions, nous avons analysé une nouvelle démarche de conception couplée de la technologie de fabrication jusqu'à la fonction du composant de puissance. Cette conception couplée comporte les trois grands sous-ensembles suivants :

- des analyses de la filière technologique du composant de puissance pour trouver une meilleure façon de fiabiliser le dimensionnement de la filière technologique et la réalisation en salle blanche
- l'intégration des composants fonctionnels au sein du composant de puissance pour trouver une démarche de co-intégration monolithique de trois modules : le composant de puissance, sa commande rapprochée et l'alimentation de la commande rapprochée

- Le dimensionnement optimal d'un composant de puissance en fonction de sa technologie et son environnement électronique pour pouvoir maîtriser le mieux possible les impacts environnementaux et les dispersions technologiques.

Face aux limites des démarches et méthodologies de conception actuelles, et en s'inspirant de la démarche de conception en microélectronique, nous avons analysé plusieurs questions de fond pour définir plus clairement l'orientation des travaux de recherche à conduire.

- *Peut-on réaliser ces objectifs sans avoir besoin des outils dédiés de conception, identiques à ceux de la microélectronique ?*
- *Sinon, à quoi servent ces outils ?*
- *A quels problèmes techniques répondent-ils ?*
- *Quel est le type d'outil qu'on doit développer, un design-kit comme en microélectronique, un outil académique (pour la recherche), ou un outil neutre qui permet d'avoir un design-kit reproductible et des analyses académiques ?*
- *Et finalement, comment réalise-t-on ces outils ?*

Ces questions vont être analysées une à une dans cette partie présentant le contexte général du travail conduit dans cette thèse. Dans la première partie, nous allons détailler les trois sous-ensembles de conception cités ci-dessus et les objectifs précis pour les problématiques associées dans les trois paragraphes I.2.2, I.2.3, I.2.4. Dans le seconde chapitre I.3, nous allons présenter les démarches actuelles de conception comme celles conduites au sein du laboratoire de génie électrique de Grenoble (G2Elab) et du laboratoire d'analyse des architectures et des systèmes (LAAS) à travers la mise en place d'une filière de fabrication flexible [1]. Ensuite, les résultats préexistants vont être présentés avec leurs atouts et leurs limites par rapport aux trois sous-ensembles de conception pour que le lecteur puisse comprendre les raisons pour lesquelles il apparaît nécessaire de proposer un outil dédié à la conception et à l'assistance au prototypage des systèmes intégrés de puissance sur Silicium. La démarche de recherche envisagée est présentée à la fin de cette première partie.

I.2.2. Analyses de la filière technologique

I.2.2.a. Problématiques

Les problèmes de fiabilité liés à la conception de la filière technologique et à la conduite du procédé technologique en salle blanche sont toujours posés au concepteur d'électronique de puissance. Comme cela fût mentionné dans l'introduction générale de la conception en électronique de puissance dans le paragraphe I.2.1, le concepteur doit souvent agir sur la structure verticale ou bien le cheminement technologique du composant de puissance pour adapter de manière optimale la structure du composant au cahier de charges. Ainsi, il doit faire un nouveau composant à chaque conception avec une nouvelle filière et de

nouveaux paramètres technologiques. En conséquence, ce changement de la filière technologique pose des questions fondamentales à résoudre à chaque conception, comme suit.

- *La filière technologique existante peut-elle être utilisée dans ce cas ? Sinon, pour quelle raison ? Finalement, quelle est la meilleure filière technologique pour réaliser le composant correspondant aux spécifications du cahier de charges ?*
- *Comment dimensionner la filière technologique choisie ? L'outil de conception technologique peut-il être suivi d'un outil de simulation électrique fiable et permettant de garantir et de fiabiliser le travail de conception globale ? Le prototypage est-il nécessaire en cours de la conception pour ajuster certains paramètres ?*
- *Peut-on figer entièrement ou partiellement une filière technologique pour une plage de cahier de charges, dans le but de faciliter, systématiser et fiabiliser la conception ? Si oui, quels sont les apports conceptuels permettant de limiter le prototypage sans perte au niveau de la qualité de dimensionnement et des performances du composant ?*
- *Dans le cadre d'un processus d'intégration fonctionnelle, comment paramétrer l'outil de conception sur la base d'un cheminement technologique variable ? Est-ce envisageable ? Un compromis est-il nécessaire ?*
- *Et finalement, comment fiabiliser la réalisation du cheminement dimensionné pour la salle blanche ?*

Il n'est pas facile de répondre à ces questions car une filière technologique peut être assez compliquée avec plus de trente étapes, avec de nombreux paramètres technologiques couplés à maîtriser comme les étapes thermiques. Les dispersions technologiques d'une étape ou d'un paramètre (par exemple : une erreur sur l'épaisseur du substrat, des erreurs sur la température de diffusion, etc) peuvent avoir des conséquences importantes sur les performances ou les caractéristiques de la structure réalisée. Ainsi, *comment peut-on estimer et quantifier ces effets de dispersion pour répondre aux questions conceptuelles ?* Les outils de simulation par la méthode des éléments finis peuvent actuellement montrer les comportements d'un cheminement technologique aux caractéristiques électriques du composant final, et d'une certaine manière répondre aux besoins de conception. Cependant, ces outils de simulation consomment beaucoup de temps de calcul et ne sont pas adaptés à la simulation électrique de systèmes "complets". Ils ne permettent pas de qualifier et de quantifier la sensibilité de la filière technologique à certains paramètres ou design. Ceci est d'autant plus vrai que l'étude poussée des performances du composant final, issu du procédé de fabrication avec ses éventuelles variations, repose sur plusieurs simulations statiques (tenue en tension, état passant, adéquation au cahier des charges) et dynamiques (dynamique de commutation, immunité aux perturbations). Ainsi, pour répondre à ces problématiques, des outils dédiés de calcul et de simulation sont nécessaires, permettant d'offrir la souplesse, la flexibilité, la fiabilité et la rapidité de conception comme on peut le voir en microélectronique.

En complément, les changements de la filière ou bien du cheminement technologique empêchent la fiabilisation de la conception et de la réalisation. On ne peut pas enrichir une filière qui évolue régulièrement en fonction des nouveaux cahiers des charges, par des expériences et des caractérisations technologiques. Par contre, si on essaie de fixer partiellement ou entièrement le procédé technologique pour répondre à une gamme de cahiers des charges la plus étendue possible (ex : une gamme de tenue en tension, une gamme de calibre du courant...), on peut la fiabiliser pour atteindre des niveaux de fiabilité élevés dans le travail de conception. C'est la raison pour laquelle, nous nous sommes posés les questions suivantes.

- *Comment peut-on déterminer et dimensionner cette filière figée ?*
- *Comment quantifie-t-on le prix qu'on doit payer par rapport à la filière technologique flexible ?*

I.2.2.b. Objectifs de conception

Selon les problématiques exposées, on peut déterminer les objectifs essentiels qu'on veut résoudre dans le travail de recherche à conduire :

- analyser les conséquences des dispersions technologiques sur la structure et les caractéristiques électriques des composants,
- rechercher et identifier la criticité des étapes et des paramètres technologiques d'une filière sur les caractéristiques électriques des composants,
- chercher à extraire la base commune de la filière technologique de tous les composants pour qu'on puisse la figer et la fiabiliser,
- identifier et capitaliser des caractéristiques des technologies (telles que le rendement d'implantation, le coefficient de diffusion des impuretés ...) dans la salle blanche par des expériences pour enrichir de plus en plus la base de données des modèles.

I.2.3. Comptabilité ELECTRO-TECHNOLOGIQUE en intégration de puissance monolithique de fonctions de coupures complètes

I.2.3.a. Problématiques

Depuis près de vingt ans, par rapport aux systèmes discrets, les développements autour de l'intégration monolithique fonctionnelle en électronique de puissance ont montré de forts apports ; par exemple : l'augmentation de la fiabilité et de la performance, l'optimisation de la connectique, la compacité, la diminution du volume global et du poids, la réduction du rayonnement et des couplages électromagnétiques du système. De son côté, l'intégration hybride, très appliquée en électronique de puissance, consiste à regrouper puis assembler tous les composants du système dans un environnement commun. Bien que les gains apportés par ce type d'intégration soient conséquents avec la simplification de mise en œuvre et

l'optimisation des performances par rapport à l'assemblage discret, les techniques d'assemblage hybride engendrent des problèmes de fiabilité et ne permettent pas d'apporter des solutions aux problèmes liés aux interconnexions entre composants.

D'un autre côté, l'intégration monolithique cherche à faire cohabiter des fonctions différentes au cœur d'un même matériau, comme le silicium [2] [3]. La cohabitation des fonctions différentes sur un même substrat pose des contraintes d'intégration à étudier. Cependant, ce type d'intégration apporte indéniablement un apport de fiabilité, de performance et un coût très intéressant si les procédés de fabrication ne sont pas ou peu modifiés par les fonctions intégrées.

Forts des premiers résultats encourageants obtenus ces dix dernières années en intégration monolithique de puissance, nous avons choisi de progresser sur la conception des systèmes de puissance dans le contexte de l'intégration monolithique sur silicium. En effet, lors des précédents travaux de recherche [4][5][6], il est clairement ressorti que l'une des barrières les plus importantes limitant le développement de l'intégration fonctionnelle monolithique reposait sur l'accès à un outil technologique mais aussi l'accès à un outil de conception associé à cet outil. Faute de filière stabilisée et faute d'outil de conception associé, les travaux conduits comportent de nombreuses approximations et limitations induites par le manque de fiabilité du processus de conception et de prototypage.

Ensuite se pose les questions suivantes.

- *Quels composants veut-on intégrer ?*
- *A quels "prix" technologiques ?*
- *Pour cela, quels problèmes technologiques et électriques doit-on considérer et résoudre pour intégrer des composants différents ?*

Au niveau de l'interrupteur de puissance, les fonctions nécessaires sont nombreuses. Certaines d'entre elles sont déjà intégrées au sein de l'interrupteur de puissance par exemple : l'intégration de *la commande rapprochée à l'interrupteur de puissance* [5][7], l'intégration de *l'alimentation pour la commande rapprochée à l'interrupteur de puissance* [4] [6], l'intégration des fonctions de protection, des capteurs (tension d'anode au LAAS, capteur de courant au LAAS) [8], des fonctions de disjonction au LAAS [9], des récepteurs optiques [6] et commandes optiques au LAAS, au G2ELAB et autres. Les travaux conduits ont souvent fait remonter deux problèmes importants à résoudre.

- *La compatibilité entre la technologie de fabrication de l'interrupteur de puissance et celle des composants fonctionnels intégrés* [10] [1] [7]. Cela signifie que, les technologies des composants fonctionnels doivent être compatibles le plus possible avec la filière technologique de l'interrupteur de puissance et limiter le plus possible les changements du cheminement technologique de l'interrupteur de

puissance. Cette comptabilité offre un processus d'intégration monolithique à bas coût et facilite la fiabilisation (d'un point de vue réalisation).

- *Le compromis électrique entre les tensions, courants d'entrées et de sorties du ou des interrupteurs de puissance et des composants fonctionnels* [3] [10]. Ce compromis électrique permet de mettre en place des connexions électriques entre les modules fonctionnels et d'assurer la correspondance et, le cas échéant, l'isolation électrique entre eux.

On peut citer aussi aisément un dernier niveau de comptabilité, celui lié à la thermique des composants intégrés [11] [12]. Ce couplage thermique est important. Il peut conduire à certains dysfonctionnements et impacte fortement la conception du composant. Une étude approfondie doit être menée en ce sens. Néanmoins dans le cadre de ce travail de thèse, nous ne considérerons cette problématique thermique que dans une moindre mesure, pour nous focaliser dans un premier temps sur des comptabilités technologiques et électriques. Les deux problèmes de comptabilité technologique et électrique sont toujours reliés mutuellement. C'est pourquoi, le concepteur doit trouver le bon compromis entre ces deux problèmes. Cela conduit à résoudre *la comptabilité électro-technologique*. Il existe actuellement des limites dans cette phase de conception en raison de la complexité des problèmes. Ceux-ci deviendront plus compliqués quand on voudra intégrer dans un seul composant les trois modules : *l'interrupteur de puissance, sa commande rapprochée et l'alimentation de la commande rapprochée*. Chaque composant a une structure propre, des caractéristiques électriques propres, et des contraintes technologiques et électriques spécifiques. De plus, il y a aussi des relations entre des caractéristiques électriques des composants comme montrés sur la Figure I.2. De fait, *comment peut-on faire converger les structures, les caractéristiques et*

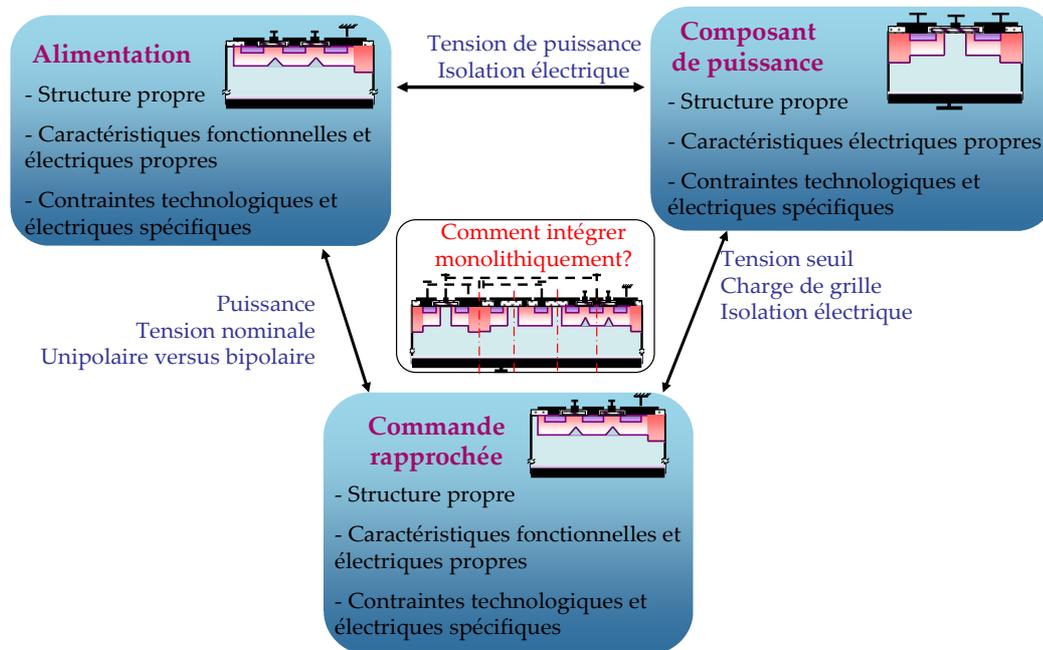


Figure I.2. Problématique de l'intégration monolithique en électronique de puissance les contraintes propres et liées de ces trois composants pour envisager leur intégration dans

un cœur technologique commun et garantir l'intégrité fonctionnelle par trois critères suivants :

- une filière technologique commune compatible permettant de réaliser les structures de chaque fonction
- un bon compromis des caractéristiques électriques entre les trois fonctions
- la satisfaction de toutes les contraintes technologiques et électriques des trois fonctions.

Pour mieux comprendre cette problématique, un exemple va être introduit. Dans le cas d'un MOSFET vertical de puissance (VDMOS), les concepteurs du G2Elab cherchent à améliorer des structures de commande rapprochée et de leur alimentation en se basant partiellement ou totalement sur la filière technologique du composant de puissance VDMOS avec pour objectifs la compatibilité technologique et le développement de la fonctionnalité. Dans les thèses de D.B. Nguyen [5] et de N. Rouger [6], une structure intégrée de commande rapprochée [5] avec deux MOSFET latéraux (NMOS) (Figure I.3) et une structure d'autoalimentation [6] utilisant deux transistors bipolaires T_z et T_b (Figure I.4) furent présentés. La technologie des composants comme les NMOS, T_z et T_b sont complètement compatibles avec la technologie de VDMOS. Il n'y a aucun changement dans le cheminement technologique de fabrication du VDMOS pour créer en même temps ces

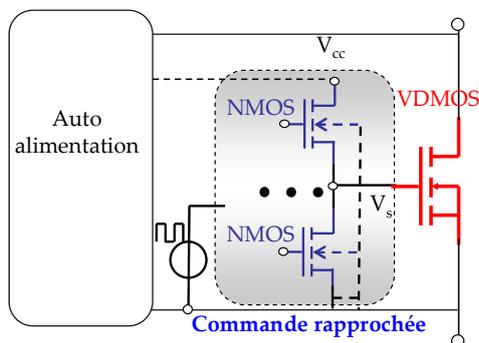


Figure I.3. Commande rapprochée par deux NMOSs

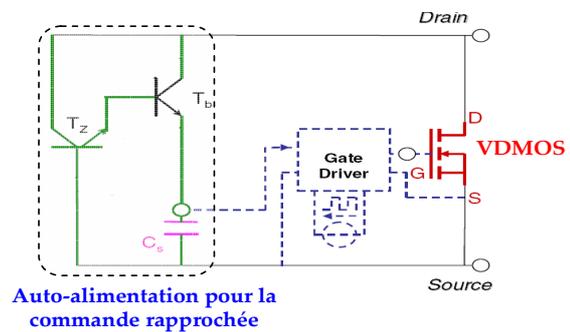


Figure I.4. Autoalimentation avec un transistor zener T_z et celui de bias T_b

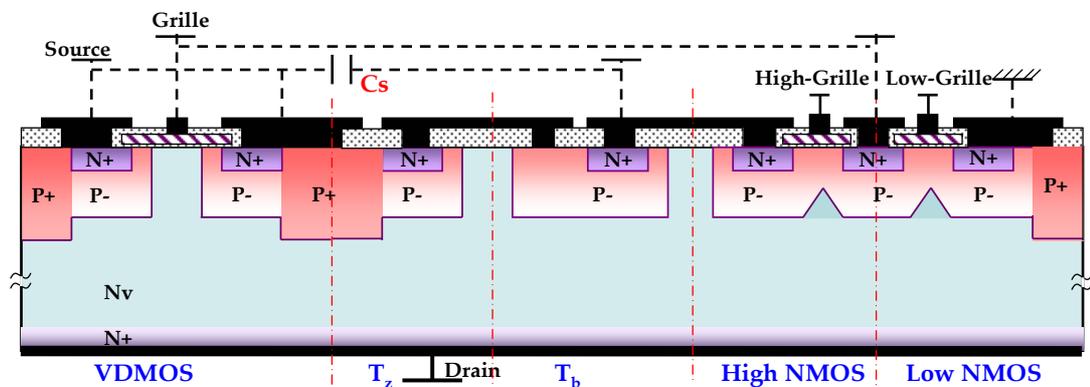


Figure I.5. Coupure verticale du VDMOS intégrant monolithiquement deux NMOS, T_z et T_b

nouvelles fonctionnalités. Alors, dans le composant VDMOS intégré (Figure I.5), tous les

composants fonctionnels ont les mêmes empilements verticaux des couches (mêmes concentrations, mêmes profondeurs) comme N+, P-, Nv et N+ que le VDMOS.

Au niveau électrique de cet exemple, l'objectif est d'assurer la bonne adaptation des tensions de commande avec les tensions de seuil des transistors, en particulier celui de puissance. Pour garantir un bon chargement du VDMOS dans la phase d'amorçage, une bonne tenue en tension du 'high-side' NMOS flottant de la commande rapprochée et une bonne alimentation de l'autoalimentation, le concepteur doit mettre en place un compromis électrique par l'équation (I.1) :

$$V_{smax} (V_{alim}, V_{th}, \dots) = coef \cdot V_{th} \quad (I.1)$$

où :

- V_{alim} : tension d'alimentation du circuit d'autoalimentation
- V_{cc} : tension fournie pour la commande rapprochée
- V_{th} : tension de seuil du VDMOS
- coef : coefficient pour une saturation suffisante du VDMOS à l'état passant.

Ce compromis électrique impose des contraintes sur les profils de dopage des couches P- et N+ (les concentrations et les profondeurs entre N+P-, P-Nv) [5]. En effet, d'une part le profil de dopage du P- au canal et l'épaisseur d'oxyde de grille du VDMOS définissent la valeur de V_{th} . D'autre part, les profils de dopage des caissons du canal P- et de source N+, associés aux effets bidimensionnels ou tridimensionnels, participent activement à la détermination du niveau de la tension d'alimentation V_{alim} [6]. Ceci sera détaillé dans les paragraphes suivants. En conséquence, ce compromis électrique joue un rôle important dans le dimensionnement optimal de la géométrie et du cheminement technologique de fabrication du composant de puissance intégré. Ceci permet de satisfaire le premier critère de convergence ouvrant la porte au prototypage virtuel en électronique de puissance : la comptabilité électro-technologique dans le cas de VDMOS.

- *Cependant comment peut-on dimensionner les structures verticales et latérales des composants intégrés pour assurer les deux derniers critères (compromis électriques et satisfactions des contraintes spécifiques de trois fonctions) ?*
- *Quelle démarche de dimensionnement est utilisable dans ce cas ?*

I.2.3.b. Objectifs de conception

Face au problème de *comptabilité électro-technologique*, le concepteur veut clairement dimensionner son composant intégré pour les trois objectifs suivants :

- *la comptabilité électro-technologique* entre les composants constituant les fonctions intégrées et le composant de puissance au sein duquel ils sont intégrés

- la satisfaction des autres contraintes électriques et technologiques de tous les composants (par exemple, éviter l'auto-amorçage du transistor parasite dans la zone sous la source, satisfaire la tenue en tension pour le composant de puissance)
- l'optimisation des performances de la fonction de coupure autonome incluant le composant de puissance et ses fonctions périphériques intégrées.

I.2.4. Dimensionnement du composant de puissance en fonction de sa technologie et son environnement électronique

I.2.4.a. Problématiques

Par rapport aux problèmes de la filière technologique et au processus d'intégration monolithique présentés précédemment, le dimensionnement de la géométrie et de la structure physique du composant de puissance, par exemple les MOSFETs de puissance, est plus aisé [13] [14] [15] [16] [17] [18] [19]. Cependant ces dimensionnements sont encore limités vis-à-vis des applications, des performances optimales et de leur précision. Précédemment, on dimensionnait un composant de puissance en optimisant principalement sa tenue en tension [16], son calibre en courant et surtout sa résistance à l'état passant [16] [18] [20] [21], par des calculs analytiques simples ou des simulations temporelles et numériques. Toutefois, les composants dimensionnés par ces méthodes ne fonctionnaient bien que pour les applications spécifiques à basses fréquences où les pertes par commutation sont négligeables par rapport à celles par conduction, et lorsque ces applications ne demandent pas des performances en commutation élevées. L'optimisation et le dimensionnement du composant pouvaient alors être faits de manière intrinsèque, c'est-à-dire en ne se concentrant que sur le composant seul et la gestion de sa thermique. De plus en plus, les nouvelles applications et la densification des puissances commutées conduisent à augmenter la fréquence de commutation jusqu'à plusieurs centaines de kHz voire quelques MHz (voir l'exemple d'un hacheur à 2-MHz dans [22]). Dans ces cas-là, les pertes par commutation sont beaucoup plus importantes et influencent fortement le rendement de l'application. De plus, l'optimisation globale du composant dépend ainsi fortement de ses conditions d'utilisation (fréquence de découpage, rapport cyclique, environnement). C'est pourquoi, depuis quelques années, des analyses précises des conditions de commutation des composants en électronique de puissance sont conduites en tenant d'avantage compte de l'environnement du composant que celui-ci soit électronique avec la commande rapprochée ou électromagnétique avec la CEM, les couplages magnétiques et les éléments parasites magnétiques et électrostatiques de la cellule de commutation [23]. On est alors passé d'un processus d'optimisation intrinsèque pour lequel chaque composant était choisi de manière optimale puis associé dans un système supposé optimal à un processus d'optimisation global et fortement couplé pour lequel l'optimisation intrinsèque des composants ne conduisait plus systématiquement à l'optimum global.

On compte aujourd'hui de nombreux modèles de commutation développés autour des composants de puissance de type MOSFET, des plus simples [19] [24], aux plus compliqués qui prennent généralement en compte les effets des capacités parasites non linéaires [25] [22]

[26] [27] [13] et les dynamiques des charges stockées dans le cas des composants bipolaires. Ces modèles peuvent être utilisés dans une démarche de dimensionnement via des simulations ou des calculs analytiques. A ce stade, les méthodes classiques de dimensionnement reposent sur l'approche directe qui assemble et utilise des modèles de composants existants, focalisant le processus de conception et d'optimisation sur l'adéquation entre les composants existants et la cible du cahier des charges. De fait, cette approche ne permet pas d'atteindre un dimensionnement satisfaisant le cahier de charges, les contraintes sur les composants et en même temps d'optimiser les caractéristiques de ceux-ci. Face à ces limites, il y a des études qui appliquent les méthodes mathématiques d'optimisation au dimensionnement en électronique de puissance [13]. Ces algorithmes d'optimisation développés depuis quelques décennies [28] [29] [30] [31] [32] [33], s'avèrent bien adaptés pour des problèmes compliqués et implicites. Ils gèrent l'espace de variation des paramètres inconnus pour trouver une meilleure solution et peuvent en même temps optimiser les performances du composant de dimensionnement tout en assurant plusieurs critères de fonctionnement. Par exemple, dans la thèse de G. Verneau [13], l'algorithme d'optimisation SQP (Sequential Quadratic Programming) [34] [30] a été utilisé pour optimiser un MOSFET vertical (VDMOS) avec neuf paramètres inconnus en assurant treize critères de performances. Ce travail a permis ensuite de résoudre des problèmes difficiles de dimensionnement, comme par exemple : le système d'intégration monolithique présenté dans le sous chapitre I.2.3 ou un cheminement technologique avec environ une trentaine de paramètres comme présenté dans le sous chapitre I.2.2. C'est la raison pour laquelle, nous nous sommes concentrés sur les algorithmes d'optimisation dans les travaux de cette thèse.

La réflexion que nous avons conduite ne s'arrête pas seulement au niveau de la méthode de résolution. En effet, les problèmes actuels en électronique de puissance deviennent plus compliqués face aux contextes de l'intégration monolithique et des interconnexions en intégration hybride comme cela est montré dans [35] [36] [37] [38] [39] [40]. Il devient alors important de coupler les méthodes et les modèles avec un maximum de finesse et de représentativité. Les concepteurs veulent mieux maîtriser les conséquences des interactions du composant de puissance avec son environnement électronique et physique (des interconnexions, les couplages électrostatiques, électromagnétiques mais aussi thermiques, ...). En conséquence, la problématique principale à laquelle nous devons faire face doit répondre aux questions suivantes.

- *Quel(s) environnement(s) électronique(s) doit-on considérer dans le dimensionnement ?*
- *Pourquoi les concepteurs doivent-ils prendre en compte ces interactions ?*
- *Comment prendre en compte les impacts environnementaux dans le dimensionnement des composants de puissance et leurs périphériques électroniques ?*
- *Au niveau méthodologique, est-il possible de travailler de manière dynamique sur le composant et son environnement ?*

Pour répondre à ces questions, nous pouvons citer plusieurs références qui donnent des analyses comportementales très intéressantes autour du composant de puissance [36] [39] [38] [37] [40].

I.2.4.a.i. Problématique de couplage thermique-électrique

Cette problématique thermique est très connue et critique en électronique de puissance en raison des fortes conséquences liées aux fonctionnements des systèmes d'électronique de puissance [41] [11] [12] [8]. La haute température au sein du composant, générée par effet Joule dans les régions générant des pertes électriques, peut engendrer un phénomène d'emballement thermique conduisant rapidement à la destruction des composants par exemple la diode [41] ou l'IGBT [8] [42]. Quelques fois, une température haute conduit à un dysfonctionnement du système (composant de puissance et composants fonctionnels) en raison d'une forte augmentation de la résistance à l'état passant [41] (voir la Figure I.6) ou des changements des paramètres de commande.

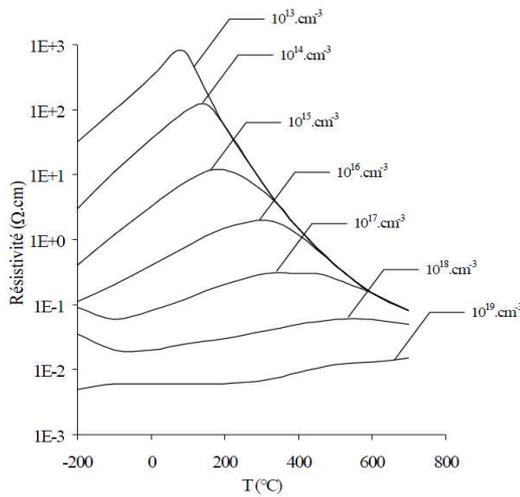


Figure I.6. Résistivité du silicium en fonction de la température [41]

Dans le contexte de l'intégration en électronique de puissance, les phénomènes de couplage thermique entre le composant de puissance et fonctionnel sont aussi critiques. La génération thermique du composant de puissance peut dégrader le fonctionnement des composants fonctionnels.

Cependant, dans ce contexte thermique, le dimensionnement d'un système est vraiment difficile en raison du couplage fort entre le domaine électrique et la thermique, comme le montre sur la **Erreur ! Source du renvoi introuvable.** Le composant de puissance fonctionnant sous de forts courants et tensions, avec des phases de commutation et de conduction, engendre naturellement des élévations de température. En conséquence, ces changements de la température vont dégrader les performances du système. De part sa nature implicite, ce couplage important n'est pas facile à maîtriser et à prendre en compte dans la phase de dimensionnement. Ce couplage devient encore plus complexe lorsque l'on considère une distribution non homogène de la température au sein du composant.

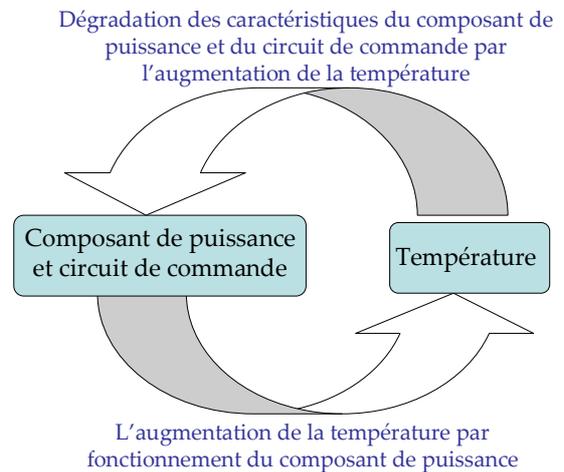


Figure I.7. Couplage thermique-électrique

I.2.4.a.ii. Problématique des interconnexions inductives

La thèse de C. Buttay effectuée au laboratoire Ampère [36], plusieurs travaux menés au G2ELab [23] et par la communauté internationale [43] [37], ont montré la présence d'inductances parasites dans les mailles de commutation. Celles-ci existent en raison des imperfections liées aux interconnexions présentes entre les différents éléments, allant même jusqu'à la mise en boîtier (package) de ceux-ci. Par exemple, des inductances parasites propres et couplées représentant l'impédance des fils de bonding, mais aussi des lires de puissance, apparaissent connectées en série avec les électrodes du composant de puissance, comme le montre sur la Figure I.8.

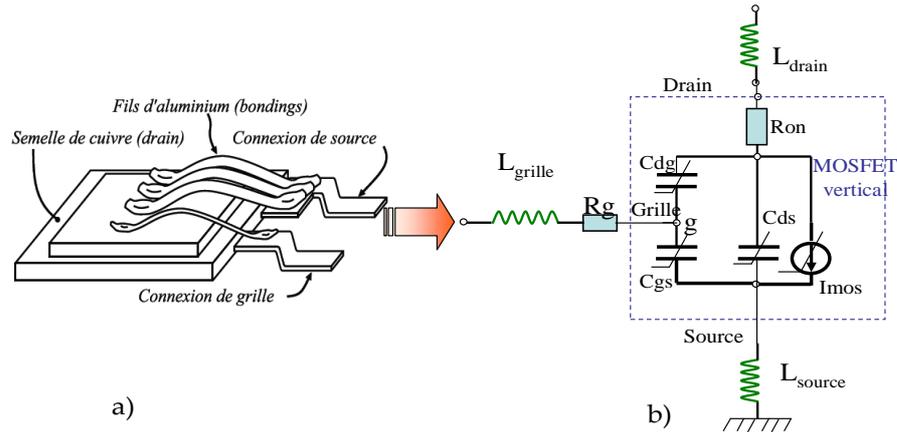


Figure I.8. Inductances et capacités parasites venues du packaging, a) Mise en évidence de la connectique interne d'un boîtier d'un MOSFET vertical [36], b) Modèle équivalent simplifié du MOSFET vertical (pas de diode body, bipolaire et JFET) avec les inductances et capacités parasites

Le câblage (Figure I.8.a) fait apparaître aussi les résistances parasites. Cependant, leur impact sur la performance du composant de puissance sont beaucoup moins critiques que ceux des inductances parasites. Par exemple, lors de la commutation du composant de puissance, les fortes vitesses de variation du courant (di/dt) de drain sont à l'origine de surtensions non négligeables sur la grille et surtout sur le drain qui peuvent dégrader les performances, amplifier le rayonnement électromagnétique voire détruire le composant. De plus, ces inductances non désirées peuvent diminuer la vitesse de commutation et augmenter significativement les pertes associées. Ces effets négatifs deviennent de plus en plus importants avec l'augmentation du niveau de courant de commutation, la valeur de cette inductance et les dynamiques imposées par la commande, comme l'illustre la Figure I.9. Les

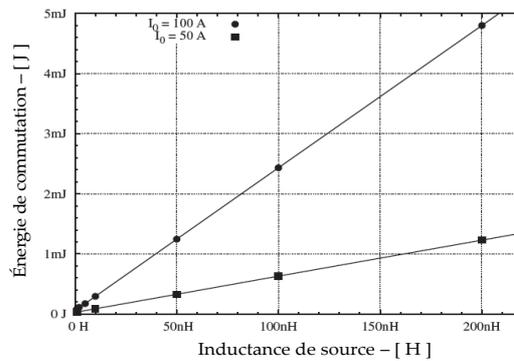


Figure I.9. Evolution des pertes en commutation en fonction de l'inductance parasite et du niveau de courant de commutation [36]

surtensions ont les mêmes comportements que des pertes en fonction du courant de commutation et la valeur de l'inductance parasites.

I.2.4.a.iii. Problématique des paramètres du driver

Une autre problématique liée à l'optimisation globale du composant de puissance dans son environnement vient des paramètres du driver du composant de puissance et de la résistance connectée en série à l'électrode de commande (ex : grille pour les MOSFETs) [40] (voir R_g sur la Figure I.8.b). Cette résistance joue un rôle important sur le comportement dynamique en fixant la quantité de charges par unité de temps, c'est-à-dire le courant de grille. Ainsi, une faible valeur de cette résistance va augmenter la vitesse du courant commuté (moins de pertes par commutation) mais créer des surtensions plus importantes ($V_{\text{surtension}}=L \cdot dI_D/dt$). A l'inverse, avec des valeurs importantes de cette résistance, la commutation est ralentie (plus de pertes par commutation), la surtension est plus faible, ce qui peut permettre de limiter le surdimensionnement du composant de puissance vis-à-vis des possibles surtensions à supporter.

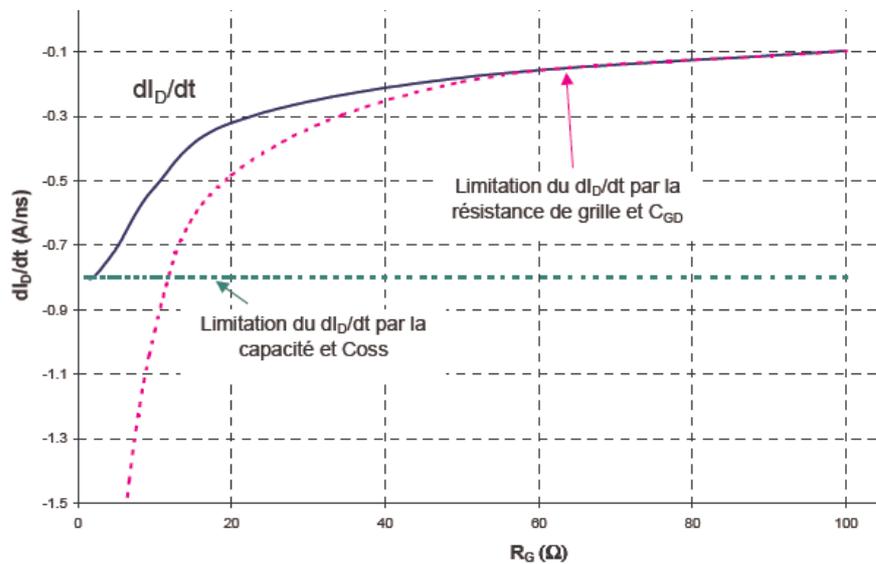


Figure I.10. Effet de la résistance R_g sur dI_D/dt [23]

Enfin, le choix de la résistance de grille est un paramètre déterminant comme cela est bien connu et sa prise en compte dans un processus global de dimensionnement et d'optimisation est déterminante. En effet, le choix de la résistance de grille peut réduire ou augmenter les effets inductifs sur le composant de puissance. Ces effets plus ou moins interactifs dépendent de nombreux paramètres comme le niveau de puissance commuté (voir la Figure I.11) et les tailles et structure du composant de puissance utilisé à travers, par exemple, la capacité parasite entre la grille et la source d'un MOSFET. Ainsi, selon les images présentées, R_g joue clairement un rôle plus important sur le rendement du composant quand le courant commuté augmente. En plus, cet effet est plus important si la capacité parasite C_{gs} du composant est plus importante (voir Figure I.12).

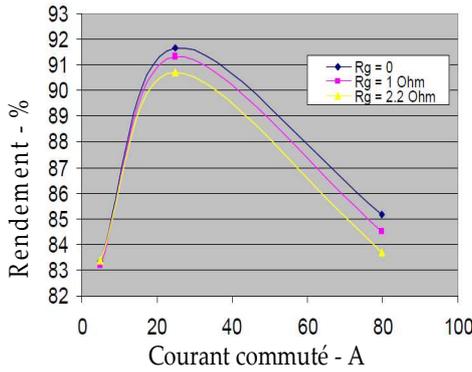


Figure I.11. Effet de la résistance R_g sur le rendement du composant [40]

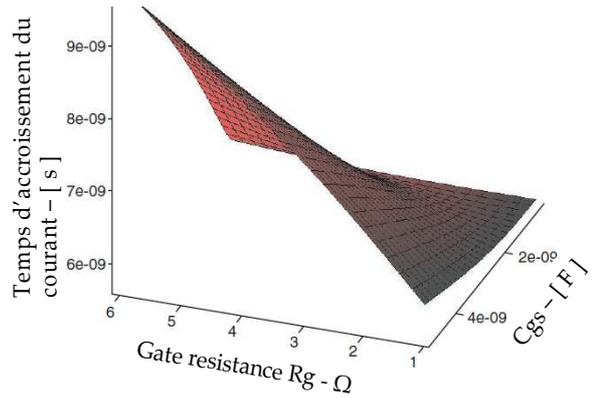


Figure I.12. Effet de la résistance R_g et de la capacité C_{gs} sur les dynamiques de courant commuté [40]

I.2.4.a.iv. Synthèse des problématiques environnementales globales

Finalement, nous pouvons synthétiser les impacts environnementaux qui influencent les performances du composant de puissance au travers de la Figure I.13. Ce sont les

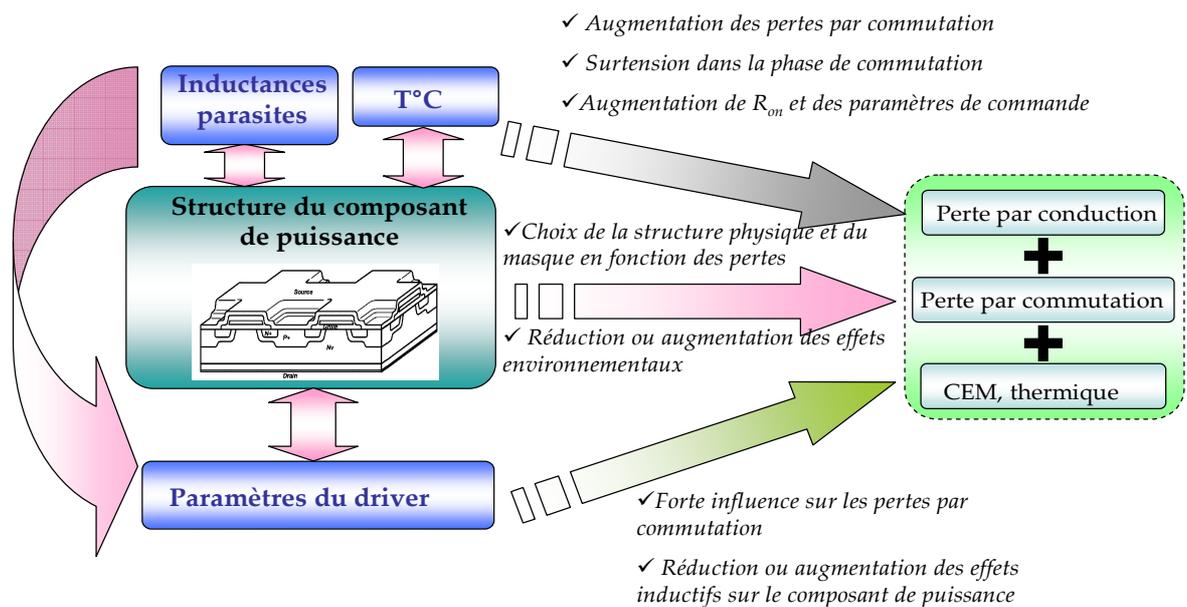


Figure I.13. Synthèse des impacts sur la performance du composant de puissance

inductances parasites, les paramètres du driver, la température et la structure du composant de puissance. Néanmoins, les impacts de la température ne sont pas actuellement pris en compte dans nos modélisations et dimensionnements. Cependant, dans les dimensionnements des composants, nous appliquerons une contrainte pour limiter l'énergie dissipée du composant par rapport à la surface du composant en respectant la capacité de refroidissement des systèmes actuels. En imaginant les comportements physiques et électriques, nous pouvons poser là des problématiques actuelles liées au dimensionnement du composant de puissance et de son environnement électronique et physique associé, selon les trois aspects suivants.

- Le masque du composant de puissance peut réduire une part des inductances parasites propres à l'intérieur du composant, bien que ces inductances soient petites et négligeables. En complément, les inductances parasites non négligeables à l'extérieur du composant doivent être prises en compte lors du dimensionnement de la structure du composant pour réduire les impacts négatifs. *Ainsi, doit-on et peut-on prendre en compte ces effets inductifs dans le dimensionnement du composant de puissance ?*
- La surface du composant et sa tension de seuil doivent être prises en compte lorsque l'on choisit les paramètres du driver. Plus précisément, la dimension et les performances du driver ont un impact sur le fonctionnement du composant de puissance. Par exemple, la surface de silicium du driver a un impact sur les performances dynamiques du composant de puissance. Il est donc important de les prendre en compte dans l'étape de dimensionnement du composant de puissance. De plus, le driver est intégré au sein du composant de puissance et ne doit pas être prépondérant face à celui-ci. Ainsi, ce couplage entre le dimensionnement du composant de puissance et celui du driver est nécessaire dans le contexte d'intégration monolithique fonctionnelle. *Enfin, doit-on et comment peut-on dimensionner en même temps le composant de puissance et son driver ?*
- Le dimensionnement de la filière technologique doit être pris en compte aussi dans ce dimensionnement global pour à la fois considérer les effets environnementaux et les dispersions technologiques. *Ainsi, doit-on et comment peut-on tenir compte dans ce processus d'optimisation global des dispersions technologiques et fonctionnelles issues du prototypage et plus tard de la production ?*

I.2.4.b. Objectifs de conception

Pour les impacts environnementaux présentés comme pouvant avoir des conséquences sur les performances de la fonction de coupure autonome, des premiers travaux ont été publiés en attaquant le problème au niveau des interconnexions pour diminuer leurs impacts [36] [44]. Ces études ont essayé d'améliorer, d'optimiser et de chercher de nouvelles façons de faire le packaging pour réduire les inductances parasites non désirées. Cependant, ces travaux montrent les limites dues aux contraintes thermiques et mécaniques du packaging. C'est pourquoi, les concepteurs devront faire, en parallèle de ces travaux, des efforts pour dimensionner des composants de puissance en lien avec les limites du packaging. Ils feront en sorte que les composants puissent fonctionner de manière optimale dans un environnement inductif avec un bon rendement et un haut niveau de fiabilité pour diminuer les contraintes imposées sur le packaging.

I.2.5. Conclusion

Dans ce chapitre I.1, nous avons montré la problématique générale de la conception en électronique de puissance par rapport à celle développée depuis plusieurs décennies en micro

électronique. Ensuite, trois problématiques de conception actuelles sont présentées : l'analyse de la filière technologique, la comptabilité électro-technologique pour l'intégration monolithique et le dimensionnement du composant de puissance en considérant les effets de l'environnement physique et électronique. Ces présentations ont montré pourquoi le concepteur en EP doit résoudre ces problèmes.

Le chapitre I.3 suivant va illustrer la démarche de conception actuelle avec les travaux préexistants au LAAS et au G2ELAB pour comprendre les limites existantes qui empêchent de résoudre les problématiques introduites dans le chapitre I.1. Ensuite, ces limites de conception actuelle vont nous entraîner à proposer une nouvelle démarche conceptuelle dans le chapitre I.4.

I.3. Démarche de conception actuelle en électronique de puissance et présentation de résultats préexistants

I.3.1. Filière technologique paramétrable pour l'électronique de puissance

Pour introduire la notion de filière technologique paramétrable, nous allons présenter la démarche de conception dénommée « la filière flexible » [1] qui a été mise en place ces dernières années au LAAS. Nous allons analyser les points forts et les limites de cette démarche, afin de mieux positionner la démarche de conception proposée dans le chapitre I.4. L'objectif principal de cette filière flexible est de pouvoir développer des fonctions complexes monolithiques de puissance à partir d'un seul et même processus technologique potentiellement adaptable. Ce processus repose sur un enchaînement d'étapes de base pour la réalisation d'une structure du composant de puissance. Ces étapes de base peuvent être adaptées et optimisées en vue de pouvoir y inclure des étapes spécifiques qui permettent de réaliser de nouvelles fonctionnalités.

Ainsi, la filière flexible adapte en permanence le procédé technologique à la problématique d'intégration en EP et au cahier des charges. La souplesse technologique permet notamment d'introduire des caissons dopés supplémentaires [9] ou des isolants [45] qui donnent de nouvelles possibilités de réalisation des fonctions au concepteur. Toutefois, l'introduction de nouveaux caissons peut modifier le bilan thermique du procédé technologique qui doit donc être systématiquement remis au point du point de vue pratique.

Par ailleurs, l'adaptation du procédé technologique par l'introduction de nouvelles étapes rend significativement plus lourde la mise en place d'un design kit associé à la filière technologique, celle-ci devenant difficile à modéliser et à caractériser après chaque modification. Or, ce qui fiabilise la production de circuits intégrés, c'est l'extrême reproductibilité du procédé technologique associé à un design kit parfaitement calé sur ce même procédé. Dans ce cas, les paramètres technologiques sont maîtrisés correctement en fonction des moyens de production, des dérives sont vite observables et peuvent donc être

corrigées. Lorsque de nombreuses adaptations du procédé technologique sont régulièrement faites, cela permet d'offrir de nouvelles possibilités de conception au concepteur. Cependant, elles présentent l'inconvénient par la suite de rendre plus risquée la réalisation. Pour illustrer ceci, *si on change le cahier de charges, par exemple la gamme de tension du composant de puissance ou des composants fonctionnels, cela peut entraîner le changement de tout le procédé technologique.* Il en découlerait que, *la fiabilité de la phase de dimensionnement du système et surtout de la réalisation du composant en salle blanche seraient diminuée.* D'autre part, il est difficile de fiabiliser un procédé technologique dont on autorise des évolutions de temps en temps.

Pour conclure, la filière flexible ouvre des perspectives avec de nouveaux degrés de liberté dans la démarche de conception mais elle limite l'utilisation d'outils de conception aux moyens de simulations numériques type Silvaco ou Sentaurus, Tcad, rendant les outils de conception et de simulation électrique type Cadence ou Mentor Graphics difficilement utilisables (hormis pour les étapes finales de conception partiellement assistées des jeux de masques). Pour compléter cette démarche qui est intéressante mais qui peut présenter certaines limitations, nous formulerons plus loin un cahier des charges visant à limiter la variabilité du procédé technologique, au prix de certaines autres limitations.

I.3.2. Démarche de conception actuelle en électronique de puissance

Une démarche de conception en électronique de puissance a été mise en place il y a une dizaine d'années au sein du G2Elab. Cette démarche est illustrée sur la Figure I.14 et a été

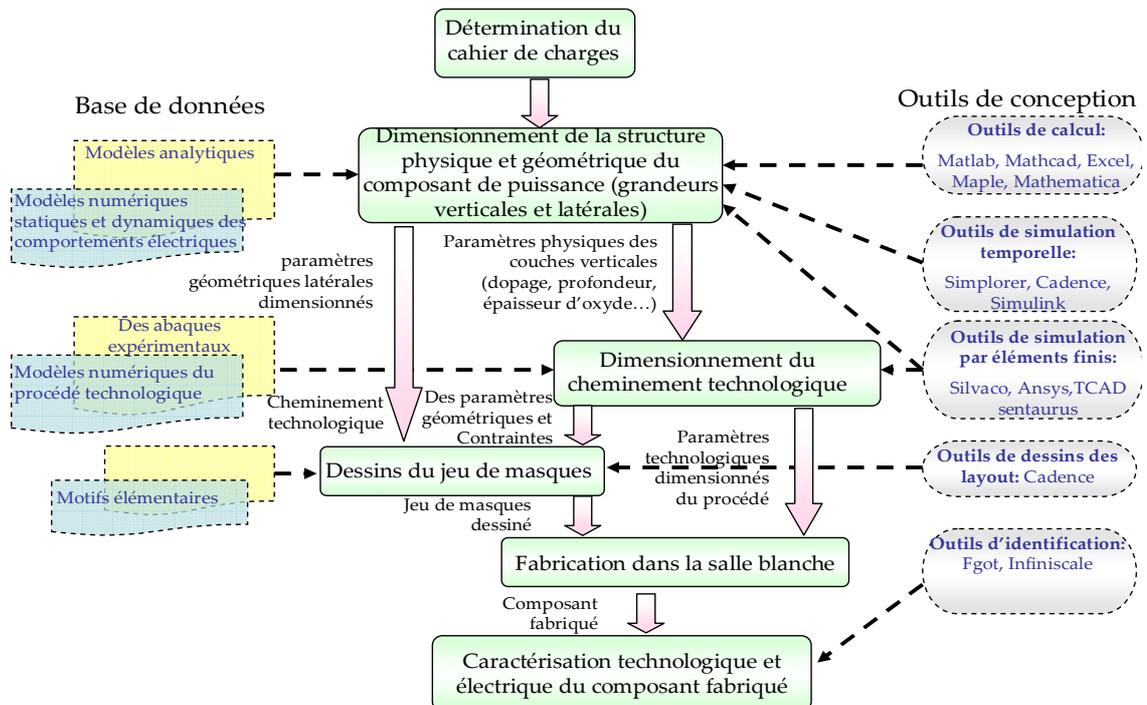


Figure I.14. Démarche initiale de conception au sein du G2Elab

présentée en détail dans l'introduction de la thèse de L. Vincent [46]. Dans ce paragraphe, nous allons la présenter brièvement en dressant le bilan des premières conceptions conduites par cette démarche.

En terme de démarche conceptuelle, la conception d'un système part de la première étape de définition du cahier de charges à l'étape finale de caractérisation du composant fabriqué. C'est une approche directe où il n'y a pas de rebouclage entre les grandes étapes. Cependant, il existe des rebouclages à l'intérieur de ces étapes et entre les sous-étapes, par exemple, sur les Figure I.15 et Figure I.16., pour vérifier les calculs réalisés et les contraintes

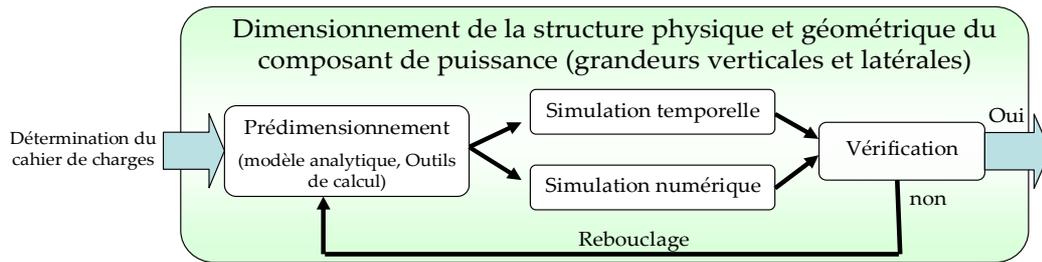


Figure I.15. Démarche initiale de dimensionnement du système du jeu de masques dessiné. Cette démarche très linéaire risque d'entraîner la propagation des mauvais choix ou dimensionnements d'une étape à l'autre. Il est donc important d'expliciter les rebouclages entre les étapes afin de corriger et de remettre en cause ces choix et dimensionnement.

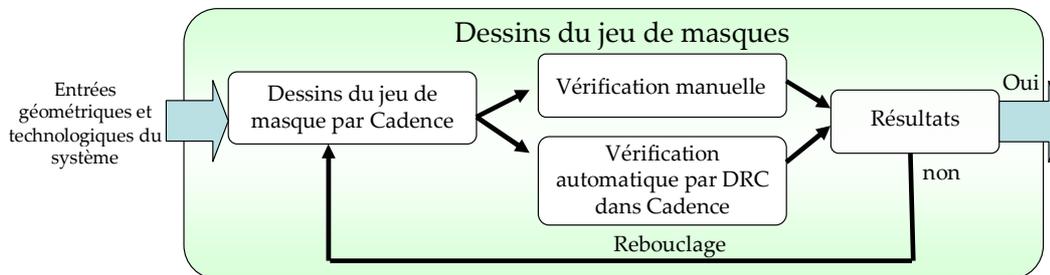


Figure I.16. Démarche initiale de dessins du jeu de masques

Du côté des outils utilisés, le concepteur utilise principalement des outils de calcul par éléments finis qui sont lourds, souvent très coûteux en temps de calculs et ne sont pas adaptés pour l'intégration fonctionnelle multi composants (limite de complexité). En conséquence, ces outils ne sont pas adaptés à une conception rapide et ne permettent que des études localisées et non globales d'un système complexe et fonctionnalisés.

En terme de modélisation, il manque des modèles qui permettent de faire des analyses rapides des comportements du système dimensionné.

Afin de soulever certaines de limites précédentes, impactant la conception, le G2ELAB a conduit des travaux que nous allons présenter maintenant.

I.3.3. Travaux préexistant au sein du G2Elab permettant une évolution de la démarche de conception

I.3.3.a. Optimisation de la géométrie et première réalisation technologique d'un VDMOS

Au G2ELAB, le MOSFET de puissance (VDMOS) a été géométriquement et physiquement dimensionné au cours de la thèse de G. Verneau [13] et technologiquement dimensionné et réalisé au cours de celle de R. Mitova [4]. Cela s'est fait à l'aide des outils d'optimisation de MATLAB, de calculs analytiques et de simulations numériques issues de Silvaco comme cela fut présenté précédemment. L'étape de caractérisation de ce VDMOS explicite des conclusions présentées dans la thèse de R. Mitova et l'habilitation à diriger des recherches de J.C. Crébier [3], et que nous rappelons maintenant :

- les composants sont fonctionnels,
- la tenue en tension des composants n'excède pas 350V (au lieu des 600V attendus dans le cahier de charges),
- la tension de seuil 1.5V est de moitié plus faible que celle attendue (3V),
- la qualité de l'état passant est en deçà des espérances,
- le rendement de fabrication (la quantité de composant fonctionnels sur le total des composants) avoisine les 30% sur les deux tranches déjà exploitées.

Des erreurs peuvent apparaître lors de la conception, du dimensionnement et de la réalisation (i.e. du procédé technologique). Il est donc important que le concepteur cherche à identifier et à caractériser ces erreurs, pour éviter qu'elles ne se reproduisent.

I.3.3.b. Intégration monolithique de la commande rapprochée autour de composants de puissance à structure verticale

Après les travaux de R. Mitova et G. Verneau sur le composant VDMOS, dans le contexte d'intégration monolithique des modules fonctionnels autour du VDMOS, D.B. Nguyen a développé quelques topologies de la commande rapprochée basées sur des MOSFETs latéraux (NMOS) [5]. Cette commande rapprochée ne contient que des NMOS (voir la Figure I.17.a), et pas de PMOS, pour simplifier les conditions d'intégration et

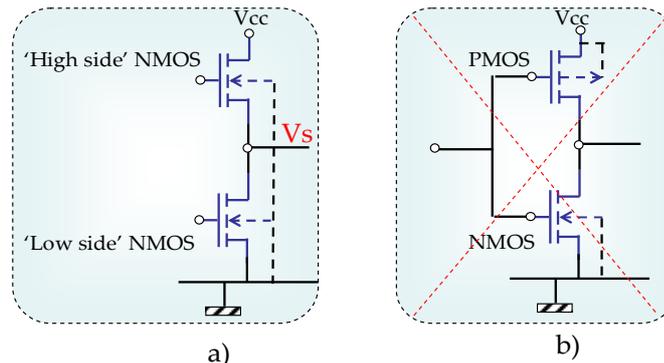


Figure I.17. Deux structures de l'état de sortie de la commande rapprochée a) NMOS-NMOS, b) PMOS-NMOS.

maintenir viable le compromis électro-technologique. Même si la structure NMOS-PMOS (Figure I.17.b) est plus performante que celle NMOS-NMOS (Figure I.17.a), son intégration au sein d'un composant de puissance reposerait sur la mise en place de moyens d'isolation spécifiques [8] lourds à mettre en oeuvre. Pour maintenir économiquement viable la réalisation de composants de puissance autonome, le choix fut fait de minimiser les efforts technologiques, pour se concentrer sur la synthèse de fonctions satisfaisantes au niveau fonctionnels mais surtout intégrables.

De nombreuses simulations temporelles analytiques et numériques par éléments finis ont été faites et analysées dans la thèse de D.B. Nguyen pour améliorer les performances statiques et dynamiques du composant NMOS, et aussi de la commande rapprochée NMOS-NMOS, en considérant ses interactions avec le composant VDMOS. Deux caractéristiques très importantes de cette structure de commande rapprochée ont été apportées dans ce travail de thèse :

- la tenue en tension du 'High side' NMOS dépend de la technologie du VDMOS (concentration de la porte canal et l'épaisseur d'oxyde), et est inférieure à la dizaine de Volts
- la diminution significative de la valeur maximale de V_s (V_{smax}) apparaît sous l'effet de substrat du 'High side' NMOS ; si cet effet est important, V_{smax} est plus petite que la tension de seuil du VDMOS, et alors la commande rapprochée ne peut pas déclencher le VDMOS.

Ces travaux peuvent être mis à profit dans notre objectif d'intégrer les trois modules fonctionnels : le VDMOS, la commande rapprochée et l'autoalimentation de la commande rapprochée, sur un seul composant intégrée de façon monolithique (voir le sous-chapitre I.2.3). Cependant, il manque encore des études plus approfondies sur les comportements de ces deux phénomènes.

En complément de ces travaux réalisés, nous avons constaté qu'il manque aussi des caractérisations des interactions entre la puissance et la commande. En effet, celles-ci permettront d'assurer le fonctionnement du composant intégré et d'optimiser la puissance et la surface dans le contexte de l'environnement électronique (voir le paragraphe I.2.4).

I.3.3.c. Intégration monolithique de l'alimentation de la commande rapprochée au sein d'un composant de puissance à structure verticale

En lien avec les études d'intégration monolithique de la commande rapprochée au sein du VDMOS présentées plus haut, le G2Elab a conduit en parallèle des travaux autour de l'intégration monolithique de l'alimentation pour cette commande rapprochée, comme l'autoalimentation [6].

Au G2ELAB, les travaux de thèse de R. Mitova, G. Verneau et N. Rouger ont permis de réduire les problèmes existants de la structure classique de l'autoalimentation (voir la Figure I.18.a) [47], par exemple : les performances très faibles, le temps de réponse élevé, et surtout l'intégration monolithique inenvisageable en raison du compromis sur la résistance de polarisation R_{bias} [6]. Ils ont donc permis de développer une structure d'alimentation pour envisager son intégration monolithique autour du VDMOS, notamment par la structure MOSFET/MOSFET (voir la Figure I.18.b) [4], Bipolaire/MOSFET (voir la Figure I.18.c) [6]. L'ajout d'une diode dans la structure MOSFET/MOSFET (voir la Figure I.18.b) a conduit à revoir la structure Bipolaire/MOSFET. La référence [6] développe ces évolutions.

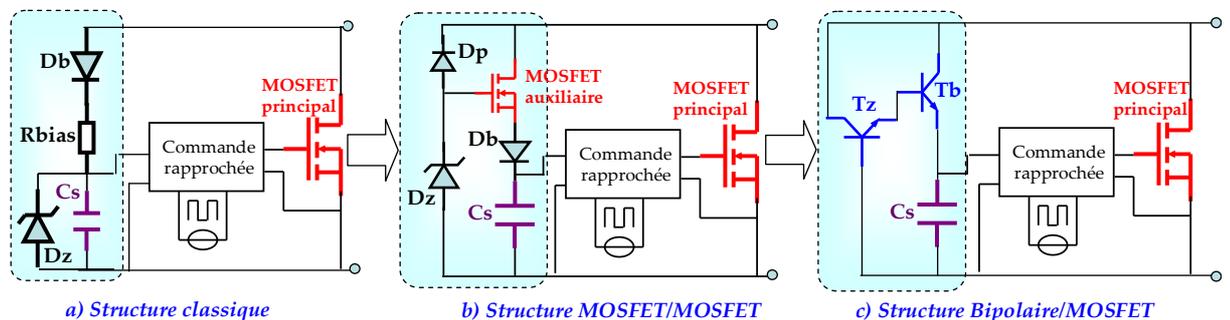


Figure I.18. Evolutions de la structure de l'autoalimentation, prenant en compte les contraintes de l'intégration monolithique et les performances

Pour introduire des diodes de blocage et d'avalanche, N. Rouger a dû modéliser le phénomène d'avalanche d'une jonction double diffusée PN, puis est passé à la conception [6]. Cette modélisation est très importante dans la démarche de dimensionnement de notre

composant à commutation autonome. Toutefois, la démarche de conception utilisée dans sa thèse présente encore des limites à résoudre. Ceci sera expliquée et détaillée dans le paragraphe I.5.3.

En conclusion sur les travaux d'intégration monolithique du module d'autoalimentation, nous pouvons noter que :

- le procédé technologique des transistors de puissance est totalement compatible avec la réalisation de la fonction d'autoalimentation
- les travaux de modélisation du phénomène d'avalanche d'une jonction double diffusée PN sont vraiment importants pour la conception globale des compromis électriques du composant intégré malgré quelques limites qui seront présentées dans le prochain paragraphe
- la démarche de conception de cette autoalimentation présente encore certaines limites.

I.3.3.d. **Les limites existantes autour de ces travaux et le besoin d'outils dédiés**

En synthétisant les travaux présentés dans les trois paragraphes ci-dessus, nous pouvons retenir des résultats très significatifs pour les travaux de conception dans les métiers d'intégration en électronique de puissance, au sein du G2ELAB :

- la mise en place d'un procédé de réalisation d'un composant de type MOSFET ou IGBT vertical dans la thèse de R. Mitova [4],
- la synthèse et l'intégration de topologies de commande rapprochée et d'autoalimentation totalement compatibles avec la filière technologique du composant de puissance de type MOSFET vertical et IGBT dans les thèses de N. Rouger et D.B. Nguyen,
- le développement de moyens de modélisation analytique et numérique des composants de puissance et des composants élémentaires.

A côté des trois points positifs ci-dessus, il est ressorti de ces travaux beaucoup de limitations au niveau des phases de dimensionnement et de synthèse, des problèmes de pris en compte des interactions au niveau de la criticité de certaines étapes technologiques, au niveau de la caractérisation des prototypes existants et au niveau de convergence des composants de puissance et fonctionnels. Ainsi, on notera les points suivants.

- La mise en oeuvre du cheminement technologique et la fiabilité de réalisation dans la salle blanche peut entraîner des problèmes critiques. En effet, l'absence d'adéquation entre le cheminement technologique envisagé et celui effectivement conduit provoque de gros écarts entre la tenue en tension, la tension de seuil du VDMOS réalisé et les attentes du cahier de charges. Ces limites sont à l'origine de

la première problématique posée dans le sous-chapitre I.2.2, notamment sur les dispersions technologiques imprévues.

- Il existe aussi des problèmes liés à la comptabilité électro-technologique entre le composant de puissance et les circuits périphériques, la prise en compte des couplages fonctionnels ou parasites entre les différentes fonctions co-intégrées.
- La structure du VDMOS n'est pas encore optimisée pour sa performance en cours de dimensionnement réalisé de la comptabilité électro-technologique (voir la problématique posée dans le paragraphe I.2.3).
- La conception de la commande rapprochée est limitée aux caractéristiques statiques, et ne prend pas en compte les interactions dynamiques avec le VDMOS et l'environnement électronique. Cet aspect se retrouve bien dans la troisième problématique posée dans le paragraphe I.2.4.

Une part importante des limites existantes dans ces pré-travaux vient de *la démarche de conception actuelle*, de l'absence d'*outils performants, flexibles, adaptés* et des *modèles utiles* pour faire les analyses et les calculs voulus. Ces conclusions répondent à la première question posée à la fin du paragraphe I.2.1 Ainsi, il est vraiment nécessaire d'avoir des outils dédiés pour réaliser les objectifs de conception attendus. C'est pourquoi, nous allons maintenant proposer une plateforme de conception assistée avec des outils de conception dédiés. Ceci devrait permettre de résoudre une part des limites actuelles rencontrées en conception.

I.4. Nouvelle proposition : outil de conception et d'assistance au prototypage de systèmes intégrés de puissance sur silicium

I.4.1. Conception et assistance au prototypage en électronique de puissance

Face aux problématiques liées au processus d'intégration sur silicium en électronique de puissance que nous venons d'exposer et aux limites de la démarche de conception initiale, nous voulons proposer un démarche de conception et d'assistance au prototypage de systèmes de puissance intégrés sur silicium qui permettrait au concepteur de fiabiliser et systématiser ses développements. Cette démarche de conception fait apparaître différentes phases :

- le choix du circuit de la nouvelle fonction,
- le choix des technologies compatibles,
- le dimensionnement de cette fonction,
- les dessins du jeu de masques,
- la réalisation (virtuelle ou en salle blanche),
- la caractérisation.

Elle est inspirée de la démarche en microélectronique [48], de celle proposée par M. Marmouget [10] et ainsi que de la démarche actuellement utilisée au G2ELab (voir le sous-chapitre I.3.2). Cela est illustré par la plateforme CAPSIS (voir la Figure I.19) initiée lors des travaux de thèse de L. Vincent [46] et de l'HDR de J.C. Crébier [3].

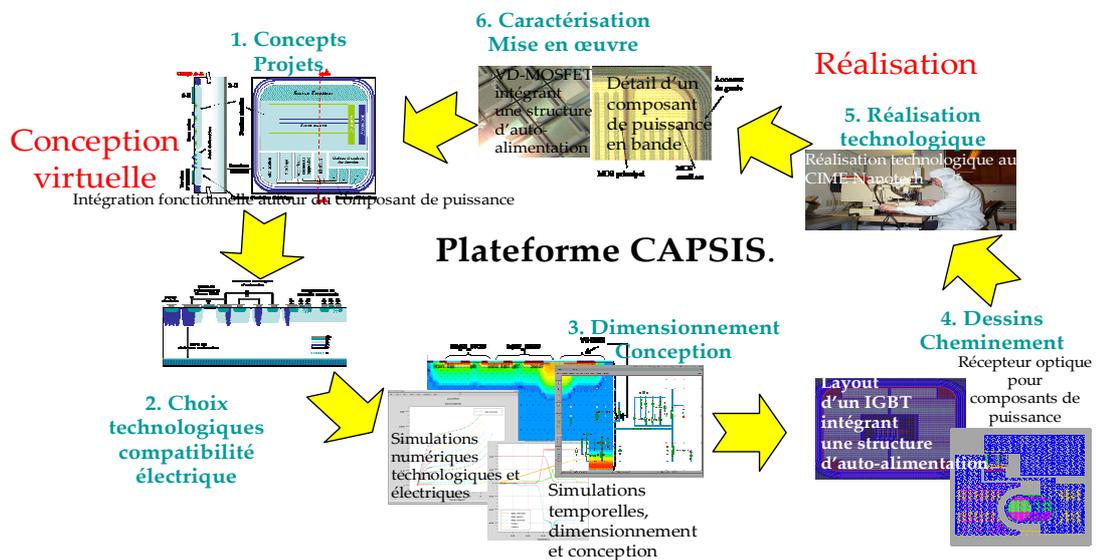


Figure I.19. Environnement de la plateforme CAPSIS

La plateforme CAPSIS présente différentes fonctionnalités que nous développons maintenant.

- *La conception assistée et automatisée* est composée de l'ensemble des outils dédiés (e.x. la simulation temporelle, la création des masques et schémas dans Cadence, et les simulations électriques, technologiques par éléments finis dans Silvaco). Cela propose la mise en place des liens et relations automatiques entre ces outils, en utilisant une base de données communes et une librairie commune de modèles (Figure I.20). Elle est surtout fortement liée à un processus technologique permettant de passer du prototypage virtuel au prototypage réel. Des fonctionnalités de base de cette plateforme sont :
 - la vérification des règles et des contraintes
 - l'extraction efficace des composants parasites
 - l'analyse de sensibilité aux dispersions technologiques
 - la génération automatique des masques du système et du cheminement technologique.

La Figure I.20 présente les grands ensembles de la plateforme telle que l'on pourrait l'imaginer.

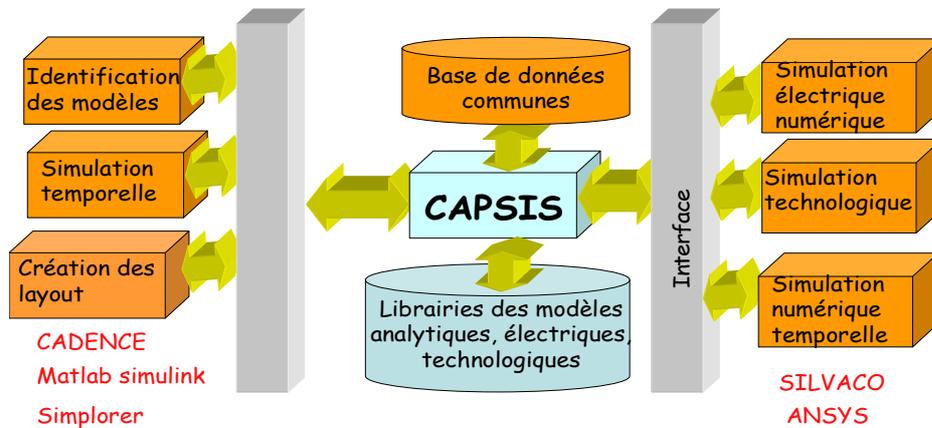


Figure I.20. Outils intégrés dans le plateforme CAPSIS

- La banque de données, commune, très riche, permet de capitaliser des symboles, des modèles, des masques, du cheminement technologique et aussi des règles de conception pour servir à la conception assistée et automatique. Cette banque de données est construite et structurée sous la forme de différents niveaux, d'appréhension, en partant des étapes technologiques de base pour finir au niveau

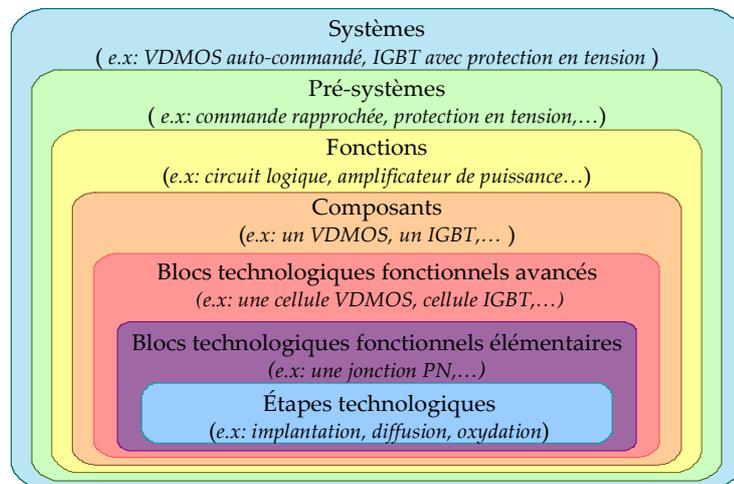


Figure I.21. Structure de la base de données dans CAPSIS [46]

du système (voir la Figure I.21). Les niveaux inférieurs permettent de construire et synthétiser les niveaux supérieurs. Les modèles peuvent être analytiques ou numériques, électriques ou technologiques. La paramétrisation peut être automatique, calée sur l'expérience des précédentes fabrications ou issue d'abaques.

- *Les outils de modélisation performants* reposent sur une démarche de modélisation par assemblage des modèles élémentaires. L'assemblage des modèles d'un système commence par l'introduction et la connexion des modèles fonctionnels élémentaires. En fonction du type de simulation, une hiérarchisation des modèles a été mise en place pour optimiser la résolution en fonction des objectifs visés. Ainsi, les modèles des composants parasites à l'intérieur des composants fonctionnels, et les modèles des composants environnementaux peuvent être exploités pour que l'on puisse voir les impacts environnementaux sur le fonctionnement du système (Figure I.22). Cette méthodologie de modélisation est supportée par le langage VHDL-AMS. Ce langage nous offre des possibilités de

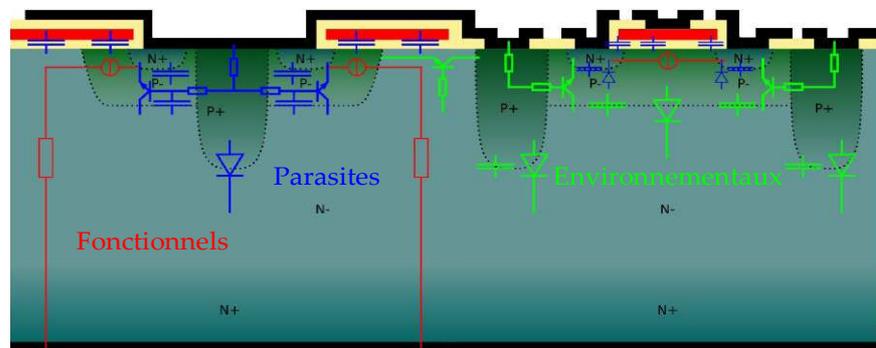


Figure I.22. Modélisation par l'assemblage des modèles élémentaires incluant la hiérarchisation des phénomènes modélisés [46]

capitalisation, par sa pérennité et sa portabilité [49].

- *Il est nécessaire d'avoir des outils de prototypage fiable.* Les trois fonctionnalités de la plateforme permettent d'avoir toutes les connaissances de la filière technologique, des outils pour faire des analyses de la sensibilité vis à vis des dispersions technologiques et des caractérisations en cours de la réalisation.

L'architecture de cette plateforme a été présentée en détail dans la thèse de L. Vincent [46]. Nous allons brièvement présenter les fonctionnalités dans cette plateforme, celles qui ont été développées, celles qui restent à conduire dont celles qui font l'objet de ce travail de thèse.

I.4.2. Positionnement des travaux de thèse dans le projet CAPSIS ?

Dans le projet de construction de la plateforme CAPSIS, L. Vincent a développé la partie « création des masques » et a structuré la base de données de la plateforme. Il a développé également quelques modèles pour le dimensionnement. Nous allons de notre côté travailler sur l'étape de dimensionnement, les choix technologiques et la compatibilité électrique de la démarche de conception (voir la Figure I.23) en réduisant voire supprimant les limites existantes de cette étape, notamment le manque d'outils performantes pour traiter les problèmes complexes, le manque de modèles. Nous allons nous concentrer sur la

recherche de méthodologies, de modèles utiles, d'outils dédiés et de nouvelles démarches pour mieux dimensionner les composants de puissance et les périphériques associés, et cela au regard : d'une filière technologique, de l'intégration monolithique et des interactions environnementales.

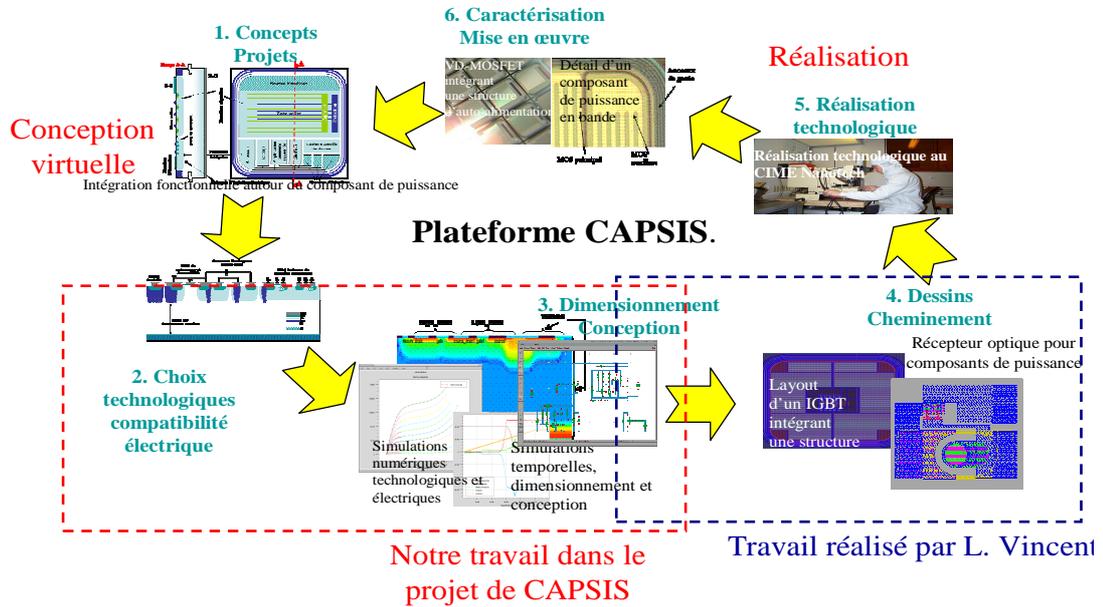


Figure I.23. Notre position dans le projet de plateforme CAPSIS

En conclusion, des chapitres I.3, I.4, nous avons montré de manière globale le contexte de notre sujet, les problématiques auxquelles nous avons fait face, les travaux réalisés par d'autres laboratoires et notre laboratoire, la proposition CAPSIS du G2ELAB pour ces problématiques et finalement les objectifs de cette thèse. Nous allons maintenant introduire notre démarche de recherche en vue d'arriver à notre objectif.

I.5. Notre démarche pour le dimensionnement et la conception

I.5.1. Introduction

On peut conclure de ce qui précède que les objectifs les plus ambitieux de nos travaux sont :

- *Comment peut-on arriver à résoudre toutes les limites encore résultantes des travaux précédents ou plus généralement les trois problématiques actuelles dans le dimensionnement en électronique de puissance ?*
- *Quels outils et quelles méthodes peuvent nous aider à répondre à nos besoins ?*

Afin de répondre à ces questions nous proposons, en premier lieu, d'introduire les démarches de recherche que nous avons suivies pour y arriver. Ces démarches sont attachées à chaque tâche ou chaque problématique posée pour qu'on puisse bien déterminer les besoins

auxquels on cherche à répondre et les grandes étapes que l'on doit faire. La problématique se situe d'abord au niveau de la filière technologique.

I.5.2. Outil d'analyse de la filière technologique

Dans cette partie, nous présentons les caractéristiques souhaitables d'un outil de modélisation et de paramétrisation des procédés technologiques auxquels nous sommes confrontés dans le cadre du prototypage des systèmes de puissance intégrés sur silicium. L'outil doit être flexible en modification, rapide en calcul et avoir des fonctions dédiées qui permettent le calcul de la sensibilité des paramètres technologiques, de la criticité de certains d'entre eux et des effets sur ces caractéristiques électriques. En plus, cet outil doit pouvoir faire l'optimisation des paramètres d'une filière en garantissant le respect des contraintes technologiques.

Il nous faut noter qu'il n'est pas nécessaire d'avoir des modèles précis dans cette problématique. Nous voulons des modèles qui décrivent bien le comportement entre les paramètres technologiques en entrée et les caractéristiques électriques en sortie, tout en rendant compte de façon suffisamment fidèle des sensibilités et des évolutions. Ces modèles doivent être structurés.

En partant de ces besoins, la première étape que nous devons faire, c'est *la modélisation analytique d'une filière technologique*. Ce type de modélisation est facile à implanter dans les outils de calcul de sensibilité et d'optimisation. Les modèles analytiques résultants doivent permettre de calculer les caractéristiques électriques (e.x : la tenue en tension, la tension de seuil, la source du courant...) en utilisant des paramètres technologiques. On peut les appeler *les modèles technologique-électriques*. Ils représentent le passage des *modèles technologique-physiques* aux *modèles physique-électriques* (Figure I.24).

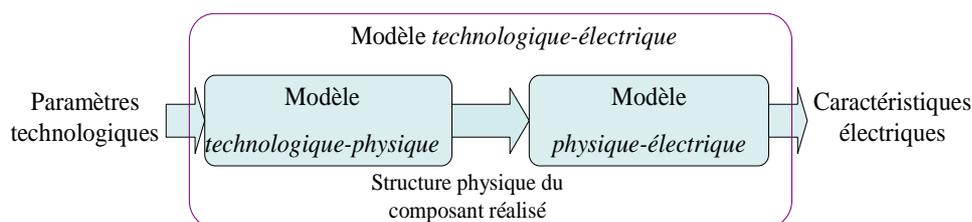


Figure I.24. Modélisation technologique-électrique

Le modèle *physique-électrique* du VDMOS étudié ici a été formalisé au laboratoire, lors des travaux de thèse de L. Aubard[27] et G. Verneau [13].

Le modèle analytique *technologique-physique* nécessite un état de l'art et une prise en main. Ainsi, on trouve principalement des modèles partiels présentant une étape technologique dans la littérature. Nous devons donc reprendre ces modèles pour construire un modèle complet d'une filière.

Après l'étape de modélisation analytique, un travail supplémentaire est nécessaire pour définir les paramètres du modèle en lien cette fois-ci avec les expérimentations et les abaques technologiques. C'est l'étape d'identification des coefficients technologiques, par exemple : les coefficients et temps de diffusion, l'énergie d'activation, les coefficients d'implantation et les autres paramètres des modèles. Certains de ces paramètres peuvent être définis à l'aide d'abaques et d'autres reposent sur des résultats expérimentaux [50]. Les abaques peuvent être difficiles à mettre en place dans le modèle analytique. Si la formule de l'abaque que l'on cherche à utiliser n'est pas disponible ou bien si l'abaque est issu de résultats expérimentaux, on a besoin de méthodes d'interpolation ou d'identification pour remplacer ces abaques par un modèle analytique implicite [51]

Ces modèles peuvent être utilisés dans différents environnements, dont Matlab, Excel, CADES, et FGOT [52] pour du calcul, des études de sensibilité et de l'optimisation. Cependant, un travail important doit être fait pour mettre en place et structurer les modèles pour ces outils. Ensuite, nous devons déterminer *les contraintes technologiques* : toutes les marges réalisables dans la technologie, les autres contraintes pour éviter les défauts.... Cette étape est très importante pour avoir des résultats fiables de dimensionnement technologique. Ces contraintes seront introduites dans l'optimisation du procédé technologique.

Les optimisations nous permettent de viser un cheminement technologique optimal. Elles peuvent être utilisées pour paramétrer toutes les étapes de la filière technologique. Plus particulièrement, plusieurs algorithmes d'optimisation multi objectifs peuvent nous donner un moyen performant afin de trouver une filière technologique fiable. Notamment, l'emploi d'optimisation multi-objectif permet un dimensionnement fiable pour une gamme de composant. Une démarche d'optimisation intéressante pour notre problématique, sera présentée dans la troisième partie de cette thèse.

I.5.3. Comptabilité électro-technologique en intégration monolithique

I.5.3.a. Objectif de dimensionnement

En début de chapitre, nous avons déterminé les objectifs de conception (voir le paragraphe I.2.3.b). Il faut pouvoir dimensionner un composant de puissance optimal (performance optimale et satisfaction de toutes les contraintes), et assurer la comptabilité électro-technologique et les autres contraintes avec les composants fonctionnels intégrés au sein de celui-ci. Le processus de dimensionnement et d'optimisation peut s'appliquer à de nombreux paramètres comme les pertes, la vitesse de commutation, la résistance à l'état passant, la tenue en tension et même le prix et le temps de fabrication... Une ou quelques caractéristiques peuvent être choisies en fonction de l'application.

Ainsi, pour notre application illustrant cette thèse (le VDMOS), nous avons simplifié le problème en choisissant les pertes (les pertes en conduction et les pertes en commutation) comme fonction objectif à optimiser par défaut dans tous les dimensionnements du

composant de puissance pour des applications où la fréquence de commutation est de l'ordre de quelques dizaines à la centaine de kHz.

Une autre fonction objective pourrait être choisie, car les contraintes jouent des rôles aussi importants que la fonction objective. Les contraintes viennent principalement des caractéristiques électriques, des contraintes thermiques, des contraintes mécaniques, des limites de la technologie de fabrication, de l'application et des interactions environnementales. Ces contraintes doivent être satisfaites lors du dimensionnement.

En complément, les compromis électro-technologiques sont normalement difficiles à trouver. On peut mettre ces compromis comme une contrainte à assurer ou une autre fonction objectif. Toutefois, pour bien formuler le problème, nous avons décidé de mettre ce compromis comme une contrainte importante à assurer impérativement.

I.5.3.b. Démarche de dimensionnement par une approche directe

Une première démarche de dimensionnement est présentée dans la Figure I.25. C'est

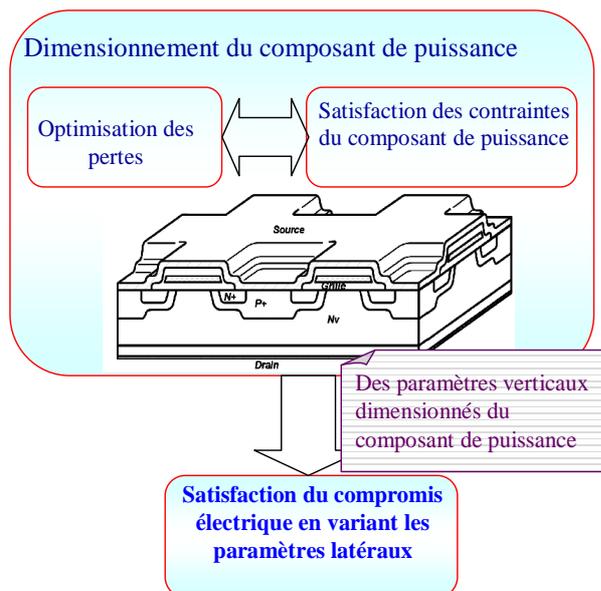


Figure I.25. Première démarche à suivre

une approche directe. Cette démarche a été utilisée dans la thèse de N. Rouger [6]. Ici, on commence par le dimensionnement du composant de puissance pour trouver sa structure globale optimale à travers l'optimisation des pertes tout en respectant les contraintes. Certains paramètres verticaux de la structure sont sélectionnés puis adaptés dans le calcul du compromis électrique. Cependant, la plupart des paramètres verticaux sont fixés par le composant de puissance. En conséquence, on peut seulement agir principalement sur les paramètres latéraux des composants fonctionnels pour assurer la contrainte de compromis électrique. Ainsi, le dimensionnement des composants annexes est limité. Par exemple, dans le dimensionnement des transistors bipolaires du circuit d'autoalimentation, N. Rouger a utilisé les paramètres dimensionnés du VDMOS et il a modifié certaines formes des masques

de ces transistors pour profiter des effets bi et tridimensionnels et faire varier le niveau de la tension d'alimentation (comme cela fût présenté dans [53]). Cependant ces effets dimensionnels restent des moyens limités pour satisfaire les objectifs du cahier des charges et maximiser la fonction objective tout en garantissant la tenue des contraintes de comptabilité électro-technologiques.

Il existe beaucoup d'études depuis une trentaine d'années qui ont montré expérimentalement les effets 2D et 3D d'une jonction sur la tension d'avalanche, citons par exemple [53] [54] [55] [56]. Une formule empirique du rapport entre la tension d'avalanche d'une jonction plane infinie idéale et celle présentant une structure 2D ou 3D a été retenue (équation (I.2) [53]).

$$\frac{BV_{2D}}{BV_{1D}} = \left(0,871 + 0,125 \cdot \ln \left(\frac{R_D}{W_B} \right) \right) \quad (I.2)$$

où :

- BV_{2D} : tension d'avalanche de la jonction de diffusion simple sous l'effet 2D
- BV_{1D} : tension d'avalanche idéale sans l'effet 2D
- R_D : rayon de courbure de la partie de diffusion latérale
- W_B : épaisseur de la zone de charge d'espace (ZCE) sans l'effet 2D.

Il faut noter que le calcul de la tension d'avalanche idéale dépend surtout du profil de dopage de la structure du semi-conducteur. On peut donc appeler cette valeur de tension, la tension d'avalanche unidimensionnelle (BV_{1D}). Le schéma descriptif de la Figure I.26 illustre les paramètres de cette équation. Ce rapport est tracé sur la Figure I.27.

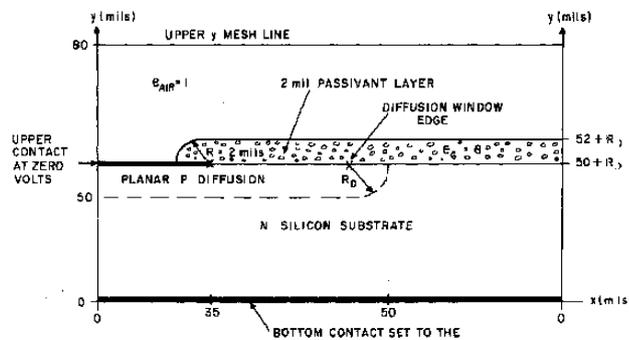


Figure I.26. Structure d'étude de l'effet bidimensionnel [53]

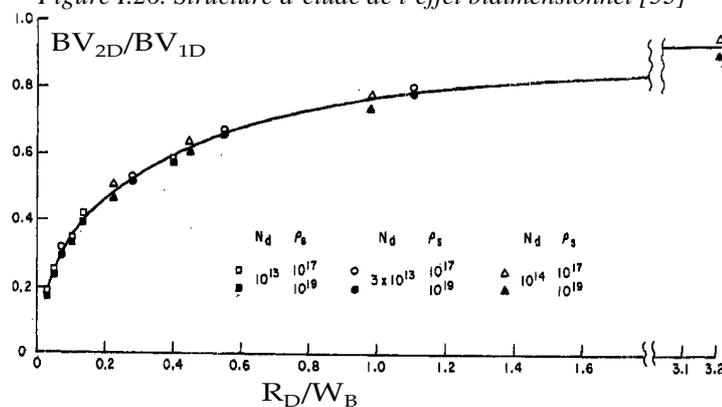


Figure I.27. Rapport de la tension d'avalanche et la tension d'avalanche idéale sous l'effet bidimensionnel en fonction du rapport entre le rayon courbure et l'épaisseur de ZCE idéale [53]

On peut très bien voir que dans ce cas d'étude, l'effet bidimensionnel provoque une tension d'avalanche beaucoup plus faible que BV_{1D} (entre $0,2 : 0,8.BV_{1D}$). Le rapport varie très vite quand R_D/W_B est inférieur à 0.5 (voir la Figure I.27).

Cependant il varie beaucoup plus lentement quand R_D/W_B est supérieur à 0.5, ce qui est souvent le cas au niveau des jonctions base-émetteurs ou encore source-porte canal, dans les structures habituellement choisies. Cela rend l'optimisation assez limitée, et conduit bien évidemment à désirer avoir la tenue en tension de la jonction plane infinie pour tenter de mieux paramétrer le problème.

I.5.3.c. Démarche de dimensionnement par l'optimisation

En modifiant la tenue en tension de différentes couches constituant le composant de puissance, on peut faire varier certaines de ces caractéristiques et modifier de façon significative les résultats de la fonction objective. Il est donc nécessaire de mettre en place une nouvelle démarche de dimensionnement itérative qui s'appuie sur un algorithme d'optimisation pour trouver en même temps la structure optimale du composant de puissance et assurer les compatibilités électro-technologiques avec les fonctions annexes qui seront intégrées dans le composant de puissance et via son procédé technologique. Comme l'on peut voir sur la Figure I.28, une structure globale verticale et latérale des composants de puissance et périphérique est entrée dans les calculs pour dégager en même temps les performances

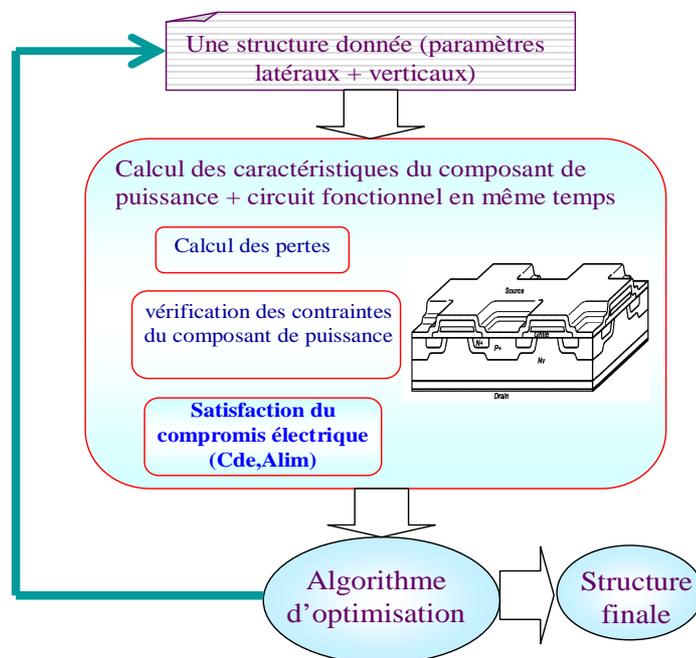


Figure I.28. Deuxième démarche à suivre

idéales de l'ensemble. L'algorithme d'optimisation vérifie les caractéristiques de sorties pour donner la structure finale optimale. Cela peut être trouvé car les fonctions périphériques ont pour objectif d'interagir avec le composant de puissance, à travers en particulier le signal de

commande de l'interrupteur, son niveau, la dynamique qui sera imposée, la réduction des parasites liées à l'intégration. De fait, le processus d'optimisation global permet de remettre en cause certains paramètres qui se retrouvent maintenant à l'intérieur du dispositif sans conséquence sur sa mise en œuvre. C'est aussi le cas de la tension nominale de grille qui n'a plus à être normalisée mais peut être modifiable en fonction des critères de satisfaction du compromis électro-technologique.

Ainsi, cette nouvelle démarche est vraiment encouragée pour répondre à notre problématique. Elle est performante malgré la complexité des systèmes. Notamment, elle est intéressante pour trouver des compromis électriques qui sont très difficiles à résoudre par l'approche directe. Cependant, cette nouvelle démarche nécessite des travaux importants de modélisation, des études des compromis électriques et de nouvelles contraintes. Nous listons maintenant brièvement ces travaux.

I.5.3.d. Travaux à réaliser pour mettre en œuvre la deuxième démarche

Pour pouvoir utiliser des algorithmes d'optimisation avec des temps de calcul acceptables, nous devons faire des modèles analytiques ou semi-analytiques. Pour le composant de puissance comme les VDMOSs, nous avons déjà des modèles statiques et dynamiques, notamment le modèle initialement développé dans la thèse de L. Aubard [27]. Du côté des modules fonctionnels, par exemple l'autoalimentation, des modèles existent et d'autres sont en cours de développement [6]. Cela concerne en particulier la démarche de modélisation de l'avalanche d'une jonction en 1D conduite par N. Rouger [6]. Ce travail sera présenté plus clairement dans les chapitres suivants. Puis, un travail de modélisation concerne l'étape de développement du modèle 1D vers une version 2D pour qu'il puisse en même temps tenir compte des impacts des paramètres verticaux (profil de dopage en profondeur) et des effets bi-dimensionnels pour le calcul du phénomène d'avalanche d'une jonction double diffusée P-N+, jonction nécessaire à l'intégration monolithique de l'autoalimentation.

Après les travaux de modélisation, c'est l'étape de formulation des contraintes des compromis électro-technologiques et l'optimisation. Dans l'étape d'optimisation, nous prévoyons des travaux supplémentaires en comparant différentes algorithmes d'optimisation et en choisissant plusieurs algorithmes d'optimisation convenable avec notre problème. Puisque la formulation du phénomène d'avalanche est complexe en terme de formulation. Il faut choisir un algorithme qui peut donner de bons résultats sans être trop gourmand en temps de calcul.

I.5.4. Dimensionnement du composant de puissance en fonction de sa technologie et de son environnement électronique

Comme précédemment, nous devons répondre à cette problématique par une étape préliminaire de modélisation. Le modèle dynamique issu de la thèse de G. Verneau [13] que nous avons utilisé pour les deux démarches précédentes, n'est pas suffisant pour résoudre ce

problème. En effet, il ne prend pas en compte les inductances parasites présentant sur les électrodes du composant. Nous devons donc commencer par une modélisation assez complète avec toutes les capacités parasites non linéaires, les inductances parasites et les paramètres du driver. Ce modèle de commutation sera intégré dans le modèle technologique pour avoir un modèle complet du composant de puissance : technologie + masque + composants parasites + composants environnementaux.

Afin de bien déterminer le problème de dimensionnement, le modèle va être utilisé pour caractériser le problème, les interactions, des compromis entre des entrées et des sorties du modèle, déterminer les autres contraintes. Ces analyses sont importantes pour les optimisations.

I.6. Conclusion

Afin d'introduire la contexte générale de nos travaux réalisés dans cette thèse, nous avons présenté dans cette partie des problématiques de plus en plus précises, pointues. Trois problématiques actuelles qui ont été étudiées depuis une dizaine d'années au sein du G2ELab et au LAAS, sont présentées en détail au travers des limites des travaux réalisés par les autres thèses et des objectifs de conception du concepteur en EP.

Par rapport à ces problématiques, nous arrivons à proposer de nouvelles approches de conception en cherchant des nouvelles méthodes, des outils de conception pour améliorer les limites existantes. Ensuite, nous précisons nos démarches de recherche qui seront utilisées pour résoudre ces trois problématiques. Selon ces démarches, des études pour trouver des méthodes performantes de modélisation et dimensionnement sont nécessaires. Ainsi, dans la prochaine partie, nous allons présenter le choix et la définition d'outils, de méthodes et de méthodologies en comparant différents types de méthode et d'outil. Finalement, nous allons présenter l'implantation de ces outils logiciels à la fin de cette deuxième partie.

PARTIE II :

METHODE ET METHODOLOGIE POUR LA CONCEPTION ET L'ASSISTANCE AU PROTOTYPAGE DES SYSTEMES INTEGREES DE PUISSANCE SUR SILICIUM

II.1. Introduction

Dans la première partie, nous avons présenté de manière générale le contexte de conception en EP, les problématiques actuelles auxquelles nous devons faire face, ainsi que nos objectifs précis dans cette thèse. Nous avons notamment répondu à cinq questions qui sont problématiques et qui ont été posées à la fin du sous chapitre I.1.1. Suite à cela, nous avons clairement confirmé la nécessité d'avoir des outils dédiés à la conception en EP. Il reste maintenant à répondre à la question finale : '*comment réalise-t-on ces outils ?*'. Dans cette deuxième partie, nous allons donc y répondre en abordant les trois points :

- la synthèse des besoins du concepteur en EP pour dimensionner leurs systèmes,
- la recherche des méthodes et des méthodologies satisfaisant aux besoins ci-dessus,
- l'implémentation logicielle des méthodes et des méthodologies définies et choisies.

Dans le chapitre suivant, nous allons commencer par synthétiser les éléments qui permettront de comprendre les choix des outils que nous utiliserons par la suite.

II.2. Synthèse des besoins et des difficultés rencontrées par le concepteur pour le dimensionnement optimal des systèmes en EP

Nous avons introduit nos démarches de recherche pour chaque problématique liée au dimensionnement en EP en fin de la première partie. Nous avons proposé celles-ci par rapport aux besoins du concepteur pour chaque problématique. En synthétisant ceux-ci, nous constatons trois aspects généraux dans ces démarches :

- *la construction des modèles*
- *la détermination du cahier de charges du composant à concevoir* : des objectifs, des paramètres de conception, et surtout des contraintes
- *des algorithmes d'optimisation* pour le dimensionnement.

Ces trois points sont fortement liés dans le processus numérique de dimensionnement optimal d'un système, comme illustré sur la Figure II.1.

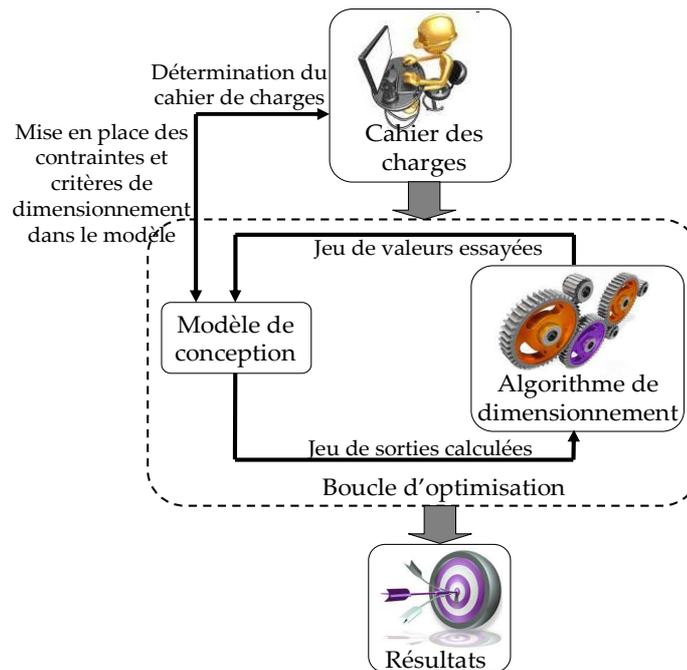


Figure II.1. Processus de dimensionnement optimal

Sur cette figure, nous montrons que le concepteur a principalement besoin de modèles de conception et d'algorithmes d'optimisation. Les modèles doivent permettre de définir des fonctions objectives sur la base des contraintes du problème, du cahier des charges ainsi que des limites de la technologie actuelle de fabrication. Dans le cas du dimensionnement en EP, cela revient souvent à considérer les problèmes technologiques et les problèmes électriques statiques et dynamiques du composant à concevoir. Plus spécifiquement, les semi-conducteurs sont non linéaires et commutent très rapidement. Ainsi, on rencontre des difficultés pour les modéliser, comme nous allons le montrer ci-dessous.

- *Peu de modèles précis.* Il est difficile de trouver des modèles qui représentent précisément les comportements des composants de puissance. De plus, même si l'on possède des modèles précis, il faut identifier leurs paramètres avec des mesures.
- *L'ampleur des caractéristiques dynamiques* [36]. Il est difficile de maîtriser le pas de discrétisation temporelle dans le calcul des caractéristiques dynamiques élevées.
- *Il est difficile d'avoir un modèle par des équations formelles* en raison des comportements non linéaires.
- *Les phénomènes physiques complexes des semi-conducteurs.* Il est difficile de prendre en compte tous les phénomènes physiques existants au sein des composants semi-conducteur. Le concepteur doit donc être capable de fixer quelques niveaux d'hypothèses pour limiter la complexité des calculs à conduire tout en maintenant une précision des résultats satisfaisante.

Avec les modèles réalisés du système, le concepteur peut faire des analyses et des calculs pour définir les grandeurs caractéristiques de son système. Une fois ces grandeurs identifiées et définies, par exemple des contraintes, elles peuvent être réintroduites dans le modèle de conception.

Ensuite, l'algorithme d'optimisation sera utilisé pour trouver une solution optimale en tenant compte du cahier des charges de l'application. Dans nos problématiques, le modèle de conception n'est pas purement formel. Il est souvent complexe en terme de formulation comme présenté précédemment. Cependant, certains algorithmes d'optimisation, comme nous le verrons plus loin, requièrent le jacobien des sorties des modèles de conception en fonction de leurs entrées. Ainsi, ce type de modèle peut poser des difficultés lors du calcul de ce jacobien et conduire à des temps de calcul trop longs [57]. Ces difficultés peuvent être des obstacles importants à l'utilisation des algorithmes d'optimisation, qu'ils soient déterministes avec jacobien ou stochastiques.

Ainsi, quels algorithmes d'optimisations et quels processus d'optimisation peuvent donner la solution optimale et éviter un temps de calcul trop élevé ?

En partant des difficultés issues de la modélisation et de l'optimisation, nous allons chercher des méthodes et des méthodologies qui sont capables de résoudre ces difficultés.

II.3. Modélisation pour le dimensionnement en EP

Pour bien réussir la modélisation d'un système en EP, il faut tenir compte des points suivants :

- les types de modèles qui sont utilisés en conception assistée par ordinateur (CAO),
- les modèles qui sont adaptés aux besoins de conception en EP,
- les grandeurs qui sont utiles pour le dimensionnement (technologiques, électriques, physiques, statiques, temporelles ou dynamiques),
- les méthodes qui peuvent être utilisées pour résoudre nos difficultés de modélisation.

II.3.1. Types de modèles utilisés en CAO pour le dimensionnement en EP

Un modèle est généralement défini par n entrées E et par m sorties S . Les entrées E sont indépendantes entre elles. Les sorties S sont calculées en fonction des valeurs des entrées E . La méthode de calcul des sorties permet de distinguer les différents types de modèles par exemple :

- modèles numériques
- modèles analytiques

- modèles semi-analytiques
- modèles mixtes.

II.3.1.a. **Modèle numérique**

Le modèle est numérique si toutes les sorties sont issues des résultats de simulations numériques par exemple la méthode des éléments finis, ce qui est le cas de Silvaco et Flux. Ce type de modèle est précis mais il prend souvent beaucoup de temps de calcul et dépend de la qualité du maillage. Pour Silvaco, la convergence du calcul et la fiabilité des résultats sont à vérifier avec un regard critique en utilisant soit un modèle analytique sur certaines caractéristiques, soit du bon sens physique. Le modèle numérique ne permet pas de faire des analyses rapides et d'avoir des temps raisonnables de dimensionnement optimal par des algorithmes d'optimisation. Ainsi, on n'utilise pas ce type de modèle pour nos dimensionnements. Cependant, ce type de modèle précis est utile pour vérifier certains comportements modélisés et certains résultats de dimensionnement. En complément, les résultats simulés par les modèles numériques peuvent être utilisés comme des données de référence pour paramétrer des modèles empiriques en remplacement de résultats expérimentaux. Par exemple, dans notre cas, les réalisations et caractérisations technologiques sont très chères et ne sont pas toujours disponibles. C'est pourquoi, nous allons utiliser des résultats de simulations numériques des procédés technologiques issus d'Athena-Silvaco pour identifier les paramètres technologiques de nos modèles analytiques.

II.3.1.b. **Modèle analytique**

Le modèle est analytique lorsqu'il est issu d'une analyse et que toutes ses sorties sont calculées en fonction de ses entrées grâce à des équations mathématiques. Le temps de calcul du modèle analytique est très rapide.

Cependant ce type de modèle n'est pas toujours possible pour modéliser des comportements physiques complexes. Le concepteur doit fixer des hypothèses simplificatrices (simplification de la géométrie, des phénomènes physiques par exemple). Ainsi, la précision du modèle analytique est généralement plus faible que celle du modèle numérique dans la plupart des applications, surtout pour modéliser un semi-conducteur dont les propriétés physiques sont complexes. Malgré cette limitation en précision, ce type de modèle correspond très bien à nos besoins de modélisation pour faire du calcul de sensibilité, de dimensionnement par l'optimisation et de prototypage virtuel rapide.

II.3.1.c. **Modèle semi-analytique**

Intermédiaire entre les modèles numériques et les modèles analytiques, les modèles semi-analytiques comportent les deux aspects. Une première partie est purement analytique. La seconde partie est quand à elle numérique. Celle-ci peut être, par exemple, un calcul

itératif : la résolution d'une équation implicite (équation (II.1)), ou le calcul numérique d'une intégrale, etc.

$$\begin{cases} S_i = f_i(E_1, E_2, \dots, E_n) & i=1..m1 \\ g_j(S_{m1+1}, S_{m1+2}, \dots, S_m, E_1, E_2, \dots, E_n) = 0 & j=1..m-m1 \end{cases} \quad (\text{II.1})$$

Ce type de modèle est un bon compromis entre le modèle analytique et le modèle numérique pour la modélisation des systèmes complexes. Ainsi, il suppose des compromis physiques et des compromis électriques, comme cela a été introduit en première partie de ce rapport. Ce type de modèle reste rapide en calcul et est utilisable avec des algorithmes d'optimisation avec des temps de calcul raisonnables.

II.3.1.d. Modèle mixte

Le dernier type de modèle dit mixte se situe entre les modèles analytique, semi-analytique et numérique. Le modèle mixte permet de modéliser des systèmes complexes et multi-physiques. Les sorties de la partie analytique et semi-analytique peuvent être prises comme les entrées pour la simulation numérique et vice-versa [58]. Ce type de modèle est souvent utilisé pour augmenter la précision du calcul des simulations numériques. La majeure partie du temps de calcul est consacrée à la simulation numérique. Cependant, dans certains cas où le calcul numérique est rapide (cas de certaines simulations avec Simulink), les temps d'échange entre les différentes couches logicielles permettant d'interfacer les aspects numériques avec les aspects analytiques, ne sont pas négligeables. La Figure II.2 illustre un

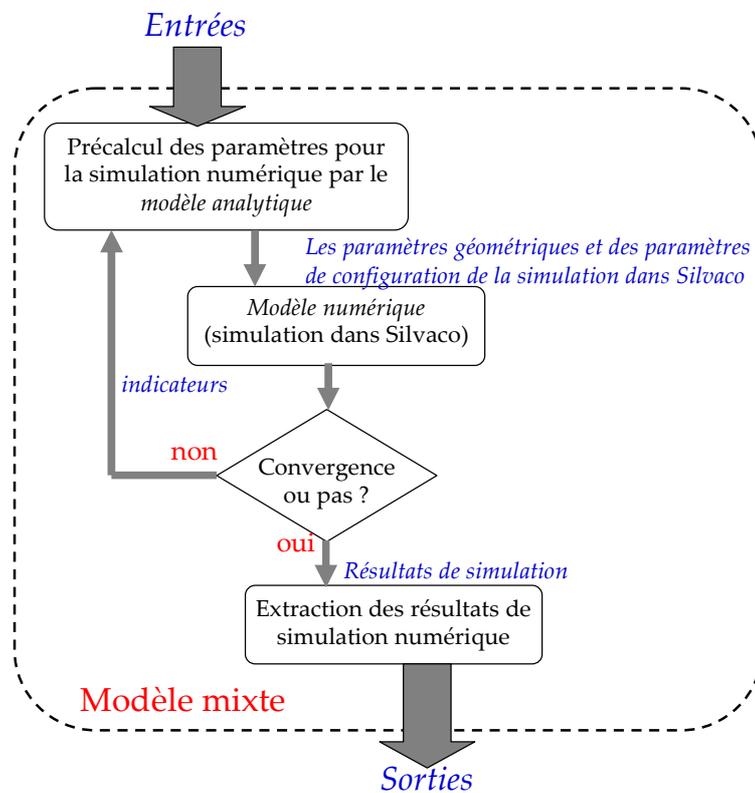


Figure II.2. Exemple d'un modèle mixte

exemple d'un tel modèle où le modèle analytique permet d'initialiser la simulation.

Dans cet exemple, le modèle mixte fait une simulation numérique par éléments finis dans Silvaco. Le modèle analytique est utilisé pour le précalcul de la géométrie du composant de simulation dans Silvaco ainsi que pour paramétrer la simulation. Le calcul de ce type de modèle peut prendre des minutes, des heures, voire des jours. Cela dépend de la taille du problème et du type de simulation (statique, dynamique, technologique). Dans le cas critique où la simulation numérique n'a pas convergée en raison d'un mauvais précalcul, on doit refaire tous les calculs pour corriger. Ainsi, ce modèle mixte est limité pour une utilisation avec des algorithmes d'optimisation, sauf si des algorithmes requièrent peu d'évaluations du modèle.

II.3.2. Dérivation et calcul de sensibilité

Lors d'un processus d'optimisation, les algorithmes d'optimisation utilisent les modèles pour calculer les valeurs des sorties (par exemple : performances, critères de conception) en fonction des valeurs des entrées (par exemple : paramètres géométriques, technologiques et physiques) (voir la Figure II.3).

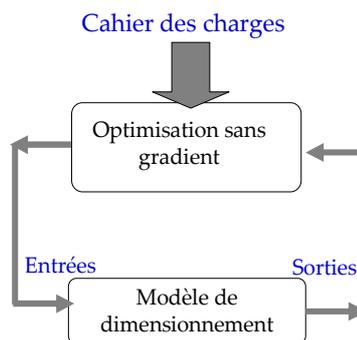


Figure II.3. exemple d'un processus d'optimisation sans gradient

Dans les cas des algorithmes d'optimisation de type gradient ou un calcul de sensibilité [30][34], ils ont besoin en plus des valeurs des dérivées partielles des sorties des modèles en fonction de leurs entrées (voir la Figure II.4).

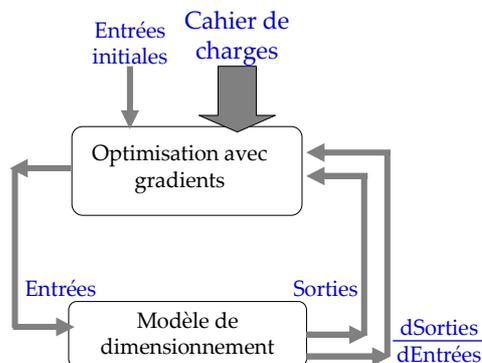


Figure II.4. Exemple d'un processus d'optimisation avec gradients

Les méthodes de calcul des dérivées partielles dépendent du type de modèle. C'est pourquoi, nous présentons ici synthétiquement les méthodes de calcul pour mieux comprendre nos choix de modèles.

Pour les modèles analytiques, la dérivée des sorties est calculée rapidement grâce au calcul formel [59]. Cette méthode de calcul formel des dérivées est exacte. Cependant, elle a une limitation majeure. Elle ne permet pas de dériver formellement un modèle ou une fonction décrite par un programme informatique, par exemple : des méthodes numériques de résolution des équations implicites. C'est la raison pour laquelle, le G2ELAB propose d'utiliser de façon transparente et automatique pour le concepteur, des méthodes de calcul de dérivation automatique de codes implémentés dans l'environnement Cades [60]. Cette approche résout une partie des limitations du calcul formel avec cependant la même précision. Principalement, cette technique réduit énormément l'effort de mise en œuvre du calcul des gradients et ne connaît pas de limitation en ce qui concerne la complexité du modèle. Cependant, un outil de dérivation automatique de code sans sélectivité (i.e. ne permettant pas de sélectionner des variables en fonction desquelles on veut calculer les dérivées) peut prendre énormément de temps dans le calcul des dérivées. Nous avons présenté un tel cas pour l'optimisation de la comptabilité électro-technologique entre le VDMOS et son alimentation de la commande rapprochée dans [57] et dans l'annexe 6.

Dans le cas des modèles numériques et mixtes, on peut aussi appliquer les calculs de dérivées en utilisant la dérivation du code [61]. Par contre, cette méthode nécessite de connaître le code informatique du logiciel numérique. Ce n'est pas le cas de Silvaco. On peut utiliser une méthode numérique plus simple pour calculer ces dérivées : les différences finies. Toutefois, cette méthode dépend fortement du pas de dérivation. Si le pas est trop grand, la précision de la dérivée peut être gravement affectée ; si le pas est trop petit, l'application de cette méthode peut être à l'origine d'instabilités numériques importantes [62]. Trouver un bon compromis du pas de dérivation n'est pas aisé.

Notons que les deux premières méthodes ont été mises en œuvre dans l'environnement d'optimisation CADES, où elles sont transparentes et automatiques pour l'utilisateur.

Ainsi, connaissant ces méthodes de calcul des dérivées et les outils dont on dispose, nous pouvons maintenant nous focaliser sur le choix des méthodes de modélisation.

II.3.3. Méthodes de modélisation adaptées aux problématiques en intégration en EP

Outre nos besoins en conception et en prototypage en EP, les besoins d'utilisation et le niveau de précision exigée des concepteurs vont aussi impacter dans les choix des types de modèles et de méthodes de modélisation que nous allons utiliser.

II.3.3.a. Méthodes de modélisation d'une filière technologique

Comme nous l'avons vu précédemment, les modèles numériques par éléments finis sont limités en optimisation. En effet, on souhaite des modèles technologiques flexibles en modification, rapides en calculs et facilement dérivables par une des techniques présentées précédemment. On n'attend pas une précision élevée pour ce modèle, mais qu'il donne juste les bons comportements entre les paramètres technologiques d'entrée et les structures finales du composant. Pour ces raisons, le modèle analytique et le modèle semi-analytique sont les meilleurs choix.

Pour commencer la modélisation, il faut noter qu'on ne considère actuellement que les étapes principales, i.e. : les étapes qui sont déterminantes dans les comportements du composant fabriqué. Ce sont par exemple des étapes d'implantation, de diffusion et d'oxydation, telles que des étapes thermiques pour créer les couches d'oxyde (oxyde de grille), les caissons P et N de la filière d'un MOSFET de puissance.

Les autres étapes moins importantes (nettoyage, photolithographie, ouverture par gravure...) ne sont pas modélisées. Pour arriver à un modèle complet d'une filière technologique, le concepteur a besoin premièrement des modèles séparés de chaque étape technologique. Ensuite, ces modèles séparés sont connectés par une méthodologie pour constituer un modèle complet décrivant le cheminement technologique de la filière complète.

II.3.3.a.i. Méthode de modélisation de la technologie d'implantation, de diffusion, d'oxydation

Ces technologies sont développées depuis plusieurs décennies en microélectronique. En parallèle du développement des outils de conception assistée en micro-électronique, on a fait beaucoup de progrès pour modéliser analytiquement et numériquement ces technologies tout en gardant possible le recours à des abaques expérimentaux [50]. Ces résultats sont profitables à la modélisation technologique en EP. Le concepteur en EP doit actuellement choisir entre deux solutions pour travailler :

- l'utilisation des abaques expérimentaux et l'interpolation d'une nouvelle valeur à partir de ces abaques.
- l'utilisation des modèles empiriques et l'identification des paramètres inconnus de ces modèles à partir des abaques.

Dans le procédé technologique actuel en salle blanche, la température et le temps impactent fortement sur les résultats de réalisation. Ce sont des paramètres technologiques incontournables pour calculer des profils de dopages et des épaisseurs d'oxyde.

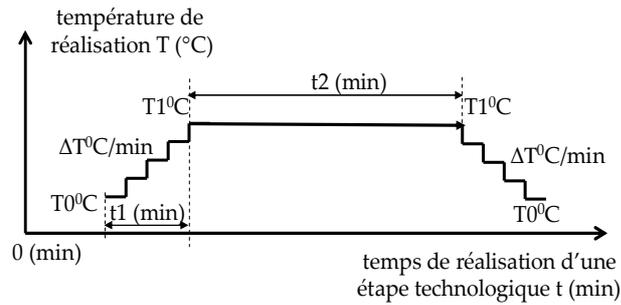


Figure II.5. Cycle thermique en salle blanche pour la diffusion et l'oxydation

$$\begin{cases} T(t) = T_0 + \frac{(T_1 - T_0)}{t_1} \cdot t \rightarrow 0 < t < t_1 \\ T(t) = T_1 \rightarrow t_1 \leq t < t_1 + t_2 \\ T(t) = T_1 - \frac{(T_1 - T_0)}{t_1} \cdot t \rightarrow t_1 + t_2 \leq t < 2 \cdot t_1 + t_2 \\ T(t) = 0 \rightarrow t \geq 2 \cdot t_1 + t_2 \end{cases} \quad (II.2)$$

Actuellement, la température est régulée dans le four où le réalisateur met le substrat. Elle suit normalement l'allure du cycle thermique présenté sur la Figure II.5 et est décrite mathématiquement par l'équation (II.2). Ce cycle thermique dynamique peut être modélisé efficacement par un modèle quasi-statique en divisant le temps par des pas. Ainsi, si le modèle de diffusion utilise la méthode d'interpolation d'un paramètre technologique à partir des abaques, le calculateur doit faire l'interpolation plusieurs fois à chaque calcul du modèle de la filière technologique. C'est la raison pour laquelle, nous choisissons d'utiliser un modèle empirique pour modéliser les comportements technologiques utilisés en salle blanche pour la réalisation des composants de puissance. Des coefficients inconnus du modèle empirique vont être identifiés pour coller aux mieux aux abaques.

II.3.3.a.ii. Méthodologie de modélisation d'une filière technologique

Nous proposons de regarder deux approches (voir la Figure II.6 et Figure II.7). Pour la première, avec les équations analytiques des modèles technologiques précédents, une filière

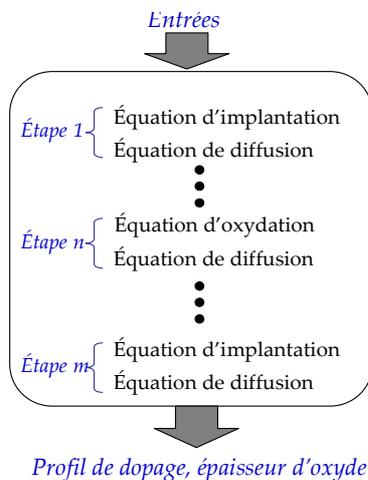


Figure II.6. Première approche de modélisation d'une filière

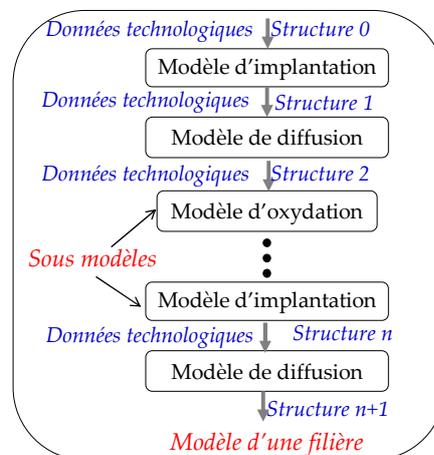


Figure II.7. Deuxième approche de modélisation d'une filière

déterminée peut être modélisée simplement en intégrant ces équations analytiques dans un modèle. Cependant, cette approche n'est pas flexible en terme de modification. Par exemple, si le concepteur veut déplacer une étape, il doit changer directement l'ordre des équations dans le modèle de la filière. Cette modification peut engendrer des risques de manipulation.

Ainsi, nous avons choisi une deuxième approche (voir la Figure II.7) où n'importe quelle filière technologique est modélisée en connectant les sous-modèles de chaque étape. Avec cette approche, les sous-modèles sont fixés. A chaque modélisation d'une filière, le concepteur appelle simplement les sous-modèles en suivant le procédé de la filière. Ainsi, les changements dans la filière peuvent aussi simplement être modélisés. Pour utiliser cette approche, nous devons définir des entrées et des sorties pour chaque sous-modèle. Pour cela, les entrées d'une étape contiennent des données technologiques spécifiques de cette étape et ainsi que celles de la structure physique précédente du substrat (les profils de dopage et l'épaisseur d'oxyde). La sortie d'une étape est une nouvelle structure (avec les changements des profils de dopage ou de l'épaisseur d'oxyde).

Ce type de modélisation peut requérir l'utilisation de fonctions, pouvant être formulées simplement par des expressions analytiques ou par une programmation algorithmique évoluée. Ceci peut impacter sur la façon de mettre en œuvre les modèles et le choix des outils qui les implémenteront, comme nous le développerons au chapitre II.5.

II.3.3.b. Méthodes d'identification des paramètres des modèles technologiques

Selon les méthodes et les modèles choisis, il y a des travaux supplémentaires que les concepteurs doivent réaliser pour achever la modélisation technologique. Ce sont des étapes d'identification des valeurs correctes des paramètres inconnus des modèles empiriques des technologies à partir des résultats de référence. Dans le cadre de cette thèse, les résultats de référence peuvent être issus de simulations technologiques numériques dans ATHENA-Silvaco pour suppléer aux manques de réalisations très coûteuses issues de la salle blanche et des caractérisations technologiques qu'il est nécessaire de leur associer. Dans ce sous-chapitre, nous allons présenter plusieurs des méthodes d'identification que nous avons retenues. Ces méthodes reposent sur de la minimisation d'erreur et s'apparente donc à des méthodes d'optimisation avec la recherche d'un optimum.

II.3.3.b.i. Méthode Levenberg Marquardt

Cette méthode utilise des dérivées partielles pour identifier les paramètres du modèle en minimisant les erreurs entre le modèle et les données de référence [63]. Cette méthode est présentée et testée dans mon rapport de M2R [64]. Elle peut rapidement donner des résultats mais ceux-ci dépendent beaucoup des valeurs initiales des paramètres inconnus [65]. C'est pourquoi, cette méthode ne fonctionne bien que pour des problèmes simples (peu de paramètres inconnus, par exemple pour le modèle d'implantation). Avec un modèle compliqué d'une filière technologique (de nombreux paramètres inconnus), il est souvent

difficile de trouver les bonnes valeurs initiales pour tous les paramètres. Cette méthode risque donc d'être piégée par une solution optimale locale. Cela signifie que le modèle identifié ne colle pas très bien aux données de référence.

II.3.3.b.ii. Méthode utilisant des algorithmes d'optimisation

Pour éliminer complètement les besoins de valeurs initiales et obtenir une solution optimale globale, nous avons utilisé des algorithmes d'optimisation de type génétique pour minimiser les erreurs entre le modèle et les données référentielles[66]. Cette solution offre l'avantage de ne pas avoir besoin du calcul des dérivées partielles du modèle empirique. Son inconvénient est le nombre d'évaluations important du modèle par rapport à la méthode de Levenberg Marquardt. Cette approche peut être moins précise que la précédente sur les paramètres à rechercher, sauf si on augmente considérablement le nombre d'itérations. Dans ce cas, le calcul du modèle de la filière technologique étant rapide, cette approche est acceptable. Ainsi, nous avons choisi cette méthode pour l'identification du modèle.

II.3.3.b.iii. Méthode chaînée

En considérant les avantages de deux approches précédentes, nous avons proposé une approche plus flexible en enchaînant les deux méthodes précédentes [65]. Cette approche peut compenser les points faibles de chacune des méthodes. La seconde approche la solution optimale puis la première l'affine afin d'avoir un résultat précis.

II.3.3.c. **Comportements électriques statiques**

Dans cette partie, nous allons présenter les méthodes utilisées pour la modélisation des comportements électriques du composant de puissance de type MOSFET et du composant fonctionnel.

Les modèles des comportements statiques du composant de puissance de type MOSFET calculent, par exemple, la tension de seuil, la résistance à l'état passant et la tenue en tension du composant, la valeur de la source du courant dans le canal, en partant des paramètres géométriques et physiques du composant (e.x. le profil de dopage et l'épaisseur d'oxyde) et des sollicitations électriques auxquelles il est soumis. Ces modèles sont déjà connus depuis longtemps dans la littérature [67] et ils fournissent une précision suffisante. Ces modèles sont analytiques, et donc faciles à décrire dans un outil de modélisation.

Dans ce paragraphe, nous ne présentons que des problèmes de modélisation des comportements statiques importants et difficiles des composants fonctionnels. Cela concerne par exemple le phénomène d'avalanche en raison de l'ionisation par impact dans la jonction PN [6], et l'effet de substrat du 'High-side' NMOS dans la commande rapprochée [5].

II.3.3.c.i. Méthode de modélisation du phénomène d'avalanche d'une jonction PN double diffusée

La modélisation unidimensionnelle de ce comportement (sans prendre en compte des impacts de la partie de diffusion latérale de la jonction PN) est présentée dans la thèse de Nicolas ROUGER [6]. Il n'est pas facile de trouver un modèle analytique pour ce phénomène puisqu'il requiert :

- une approche itérative pour déterminer les bornes de la zone de charge d'espace (ZCE) [6]
- la présence et l'utilisation de la *fonction "erreur" (erf)*. C'est une fonction spéciale au sens mathématique du terme, c'est-à-dire une fonction non élémentaire et définie à l'aide d'une intégrale [68][69].

Cependant, pour avoir un modèle de dimensionnement (c'est-à-dire, la détermination d'un profil de dopage de la jonction PN au niveau duquel on peut faire apparaître le phénomène d'avalanche avec une tension appliquée désirée), on doit transformer le modèle direct décrit dans la thèse de N. Rouger en un modèle inverse (comme illustré dans la Figure II.8). Cette transformation nous permet de décrire le compromis électro-technologique entre l'autoalimentation et le VDMOS où la valeur de la tension d'alimentation de la commande

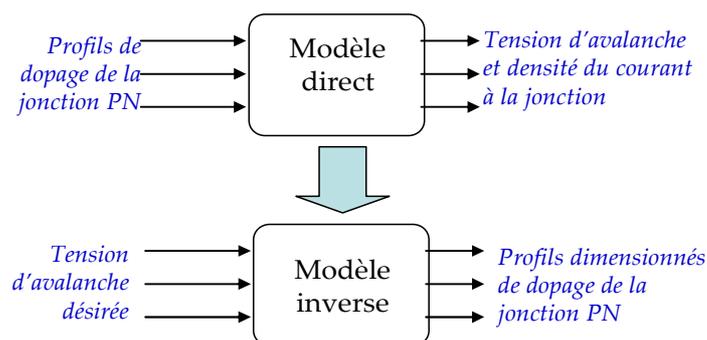


Figure II.8. Définition des types de modèle

rapprochée est imposée par celle de la tension de seuil du VDMOS. En raison de la formulation du modèle [57], on a donc besoin d'une méthode pour résoudre une équation implicite et faire le calcul de plusieurs intégrales numériques (voir [57]).

Pour résoudre les équations implicites dans un modèle semi-analytique, C. Coutel [70] a présenté deux méthodes. La première consiste à intégrer une méthode de résolution des équations implicites, par exemple Newton Raphson dans le modèle. La deuxième méthode transforme les équations implicites en des contraintes d'égalité qu'il faut ensuite satisfaire pendant l'optimisation. Nous avons retenu la première méthode pour nos applications traitées en partie III.

De plus, pour prendre en compte des paramètres dimensionnels importants pour le calcul de la valeur de la tension d'avalanche de la jonction PN, nous avons besoin de transformer ce modèle inverse 1D en un modèle 2D (voir le sous-chapitre I.4.3.d). Ce modèle 2D doit définir des variations de la tension d'avalanche en fonction de la diffusion latérale de

la jonction. Cependant, la modélisation de cette spécificité structurale n'est pas mathématiquement facile dans le cas des profils de dopage double diffusés. Nous avons essayé de fixer des hypothèses pour simplifier la modélisation, avec par exemple l'approximation des profils gaussiens par des fonctions faciles à résoudre mais dont la précision n'est finalement pas acceptable (voir la partie III). C'est la raison pour laquelle nous avons choisi de modéliser ce phénomène bidimensionnel (en 2D) par un modèle empirique qui décrit la relation entre la tension d'avalanche 2D et celle 1D, par la dépendance donnée par l'équation (II.3) (voir l'introduction de cet équation dans la partie I). Les coefficients inconnus de ce modèle empirique seront identifiés et présentés dans la partie III.

$$\frac{BV_{2D}}{BV_{1D}} = f(W_{ZCE}, X_{jn}, Y_{jn}) \quad (II.3)$$

où :

- BV_{2D} : tension d'avalanche de la jonction de diffusion simple tenant compte d'un effet bidimensionnel
- BV_{1D} : tension d'avalanche idéale d'une jonction plane infinie
- Y_{jn} : longueur de la partie de diffusion latérale de la jonction PN en surface
- X_{jn} : profondeur de la jonction PN
- W_{ZCE} : épaisseur de la zone de charge d'espace (ZCE) dans le cas d'une jonction plane infinie.

II.3.3.c.ii. Méthode de modélisation de l'effet de substrat du High-Side NMOS

L'effet de substrat du 'High-side' NMOS est introduit dans la synthèse des travaux de D.B. Nguyen [5] (voir sous-chapitre I.2.3.b). Cet effet doit être pris en compte attentivement pour le dimensionnement afin de respecter le compromis électro-technologique permettant d'intégrer monolithiquement les deux NMOS de la commande rapprochée au sein même du composant de puissance VDMOS (voir la Figure II.9). La modélisation de cet effet doit

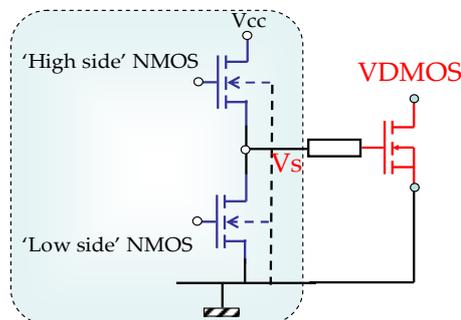


Figure II.9. Etage de sortie de la commande rapprochée comportant deux NMOS formant un push-pull connecté à la grille du VDMOS.

permettre de définir la variation de la tension maximale pouvant être présente au niveau de la source du 'High-side' NMOS V_s (V_{smax}) en fonction de la technologie de VDMOS. Les travaux de modélisation dans la thèse de D.B. Nguyen ont montré que la valeur V_{smax} est la solution de l'équation (II.4) :

$$V_{smax} = V_{cc} - V_{th}(V_{smax}) \quad (II.4)$$

$$V_{th}(V_{smax}) = V_{th0} - \Delta V_{th}(V_{smax}) \quad (II.5)$$

$$\Delta V_{th}(V_{smax}) = \gamma \left(\sqrt{2 \cdot \theta + V_{smax}} + \sqrt{2 \cdot \theta} \right) \quad (II.6)$$

où :

- V_{cc} : tension d'alimentation de la commande rapprochée
- V_{th0} : tension de seuil du 'High-side' NMOS sans effet de substrat
- γ, θ : coefficients physiques dépendants de la structure physique du NMOS (ou bien de la technologie du VDMOS, dans ce cas).

En analysant la fonction $V_{th}(V_{smax})$, on peut trouver une solution analytique de l'équation (II.4) $V_{smax} = f(V_{th0}, V_{cc}, \text{données physiques, données technologiques, ...})$.

Ainsi, pour le compromis électrique entre l'autoalimentation, la commande rapprochée et le VDMOS, nous arrivons à un système d'équation implicite à résoudre (voir l'équation (II.7) et (II.8)) en prenant en compte le compromis présenté en première partie de ce rapport (l'équation (I.1)) :

$$V_{cc} = V_{alim} \quad (II.7)$$

$$V_{smax}(V_{th0}, V_{cc}, \dots) = coef \cdot V_{th0} \quad (II.8)$$

où :

- V_{alim} : tension alimentée par l'autoalimentation.

II.3.3.d. Comportements électriques dynamiques

La modélisation et l'analyse des comportements dynamiques des composants en EP, par exemple des MOSFETs, sont aussi importants pour optimiser les pertes en commutation mais aussi la signature électromagnétique du convertisseur dans lequel ils sont utilisés. Nous avons besoin de modèles et de méthodes de calcul qui peuvent donner une précision satisfaisante pour les représenter.

Les comportements dynamiques se restreignent aux variations temporelles de la tension et du courant sur chaque électrode du composant pendant les phases d'ouverture et de fermeture. Ces comportements des composants de type MOSFET dépendent des capacités parasites non linéaires et de la source de courant du canal également non linéaire [27]. La modélisation de ces capacités a déjà été traitée dans la littérature [71], comme nous l'avons présenté dans la partie I. Pour finaliser cette modélisation, il faut trouver la solution du

système d'équations différentielles (SED) (voir l'équation (II.9)) issus de la loi des mailles, de la loi des nœuds et des lois comportementales des composants du circuit équivalent du système.

$$\begin{cases} \frac{dX}{dt} = f(X, C_i(P, t), t) \\ Y = g(X, C_i(P, t), t) \end{cases} \quad (1 \leq i \leq N_c) \quad (\text{II.9})$$

où :

- X : variable d'état (courants traversant des inductances dans le circuit et tensions aux bornes de condensateurs dans le circuit)
- C_i : sources et paramètres considérés fixes sur un pas de temps, par exemple les valeurs des capacités, pour la configuration i ($1 \leq i \leq N_c$) du système d'équations d'état (voir l'explication ci-dessous)
- P : ensemble des paramètres de dimensionnement (paramètres fixes sur toute la simulation)
- t : temps

On notera que selon les valeurs de X, les formulations de f et g peuvent changer, en raison du changement de C_i ($1 \leq i \leq N_c$). Ainsi, en cours de simulation, il faut être apte à gérer correctement et avec une très grande précision les événements associés à ces changements (voir II.3.3.d.ii). On peut donc schématiser cette modélisation par une séquence de plusieurs équations d'état à résoudre, chacune correspondant à une configuration physique du système et où le passage de l'une à l'autre se fait sur la détection précise d'un événement (voir la Figure II.10).

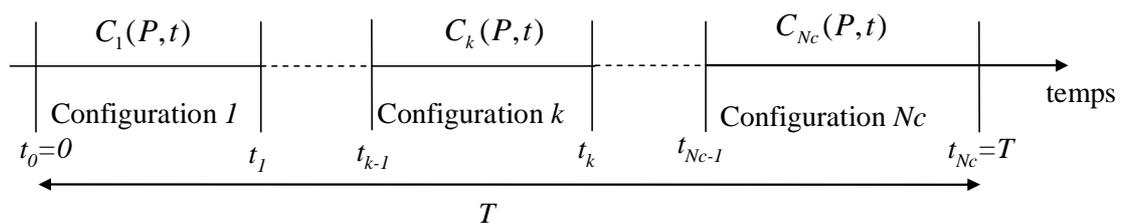


Figure II.10. Mécanisme de changement du système d'équations différentielles

II.3.3.d.i. Pas de calcul fixe or variable ?

En général, ces systèmes n'admettent pas de solution analytique en raison des modèles non linéaires des capacités (voir la Figure II.11), et ne peuvent être résolus qu'avec des algorithmes numériques. Ces derniers discrétisent l'évolution de l'état du système en

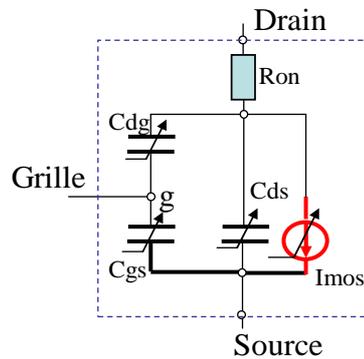


Figure II.11. Modèle équivalent simplifié d'un composant de type MOSFET

plusieurs pas de temps. Ces valeurs discrètes peuvent être échantillonnées de façon fixe ou variable [63] en fonction de la précision et du temps de calcul voulus.

Avec un pas de calcul fixe, pendant chaque pas de temps Δt , les capacités sont maintenues comme des constantes et calculées en fonction des valeurs des tensions du pas de calcul précédent. Donc, le système non linéaire devient linéaire et sa solution est analytique pendant chaque pas de temps (voir la Figure II.12) [22].

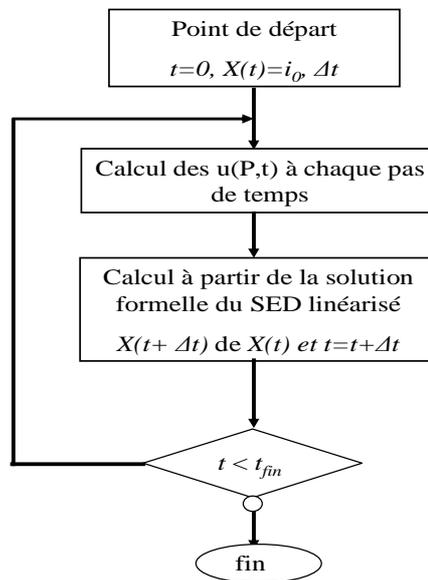


Figure II.12. Processus de discrétisation du temps par un pas de temps constants

Cependant, la précision de cette méthode dépend beaucoup de la discrétisation retenue ou sélectionnée (valeur du pas de temps) [72][63]. La précision de la solution peut être améliorée avec un pas de calcul très petit mais au détriment d'un temps de calcul long. Plus précisément, nous n'utiliserons pas cette approche à pas fixe dans notre application pour les deux raisons suivantes.

- Les caractéristiques en commutation des composants en EP ont à la fois des parties très raides [36], et des parties beaucoup moins raides, comme illustré sur la Figure II.13. Pour avoir une solution précise, il faut que le solveur discrétise

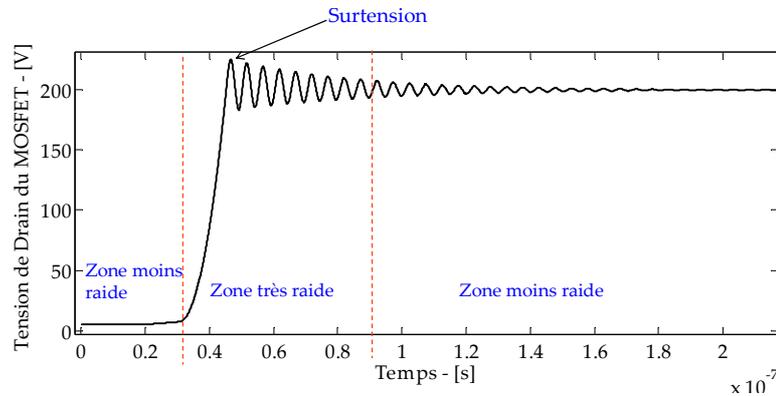


Figure II.13. Commutation au blocage de la tension de drain d'un MOSFET dans une cellule de commutation courant tension type hacheur

plus finement dans la zone raide et moins finement dans les autres zones pour économiser le temps de calcul. Si on utilise la première approche, on peut perdre en précision si le pas de calcul est grand (voir la Figure II.14).

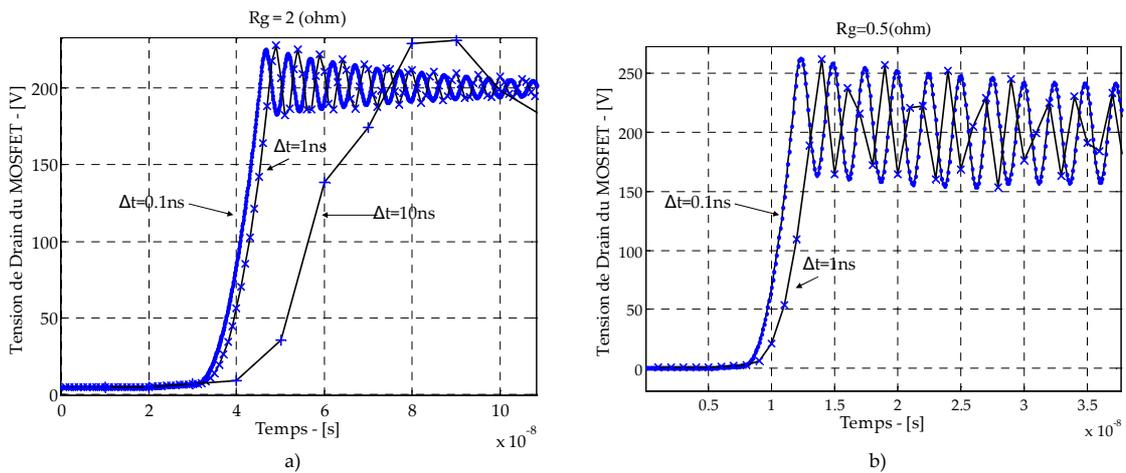


Figure II.14. Commutations au blocage de la tension de drain de MOSFET dans un hacheur avec trois pas de calcul différents : 0.1ns, 1ns, 10ns. a) $R_g=2\text{ohms}$, b) $R_g=0.5\text{ohms}$

- Dans le cas du modèle de dimensionnement par optimisation, toutes les variables inconnues (géométriques, physiques) du composant de puissance varient pendant le processus d'optimisation. En conséquence, la commutation varie implicitement, et peut être soit très rapide, soit très lente. Ainsi, il est difficile de choisir un bon pas de calcul fixe pour tous les cas.

Pour ces raisons, des méthodes qui utilisent un pas de calcul variable, sont mieux adaptées pour le modèle dynamique en EP. Ces méthodes permettent de gérer les pas de calcul en fonction de l'état du SED. Cependant, en pas variable, il est très difficile d'avoir une solution analytique. Nous devons donc utiliser un solveur numérique existant, par exemple Matlab-simulink ou Scilab pour conduire les calculs. Ces simulateurs ont le même principe de résolution. La résolution d'un SED est illustrée par l'organigramme de la Figure II.15. Dans ce diagramme, dt est le pas de calcul à l'instant t . Les nouvelles valeurs des variables d'état ($X(t+dt)$) sont calculées par l'intégration numérique des équations d'état.

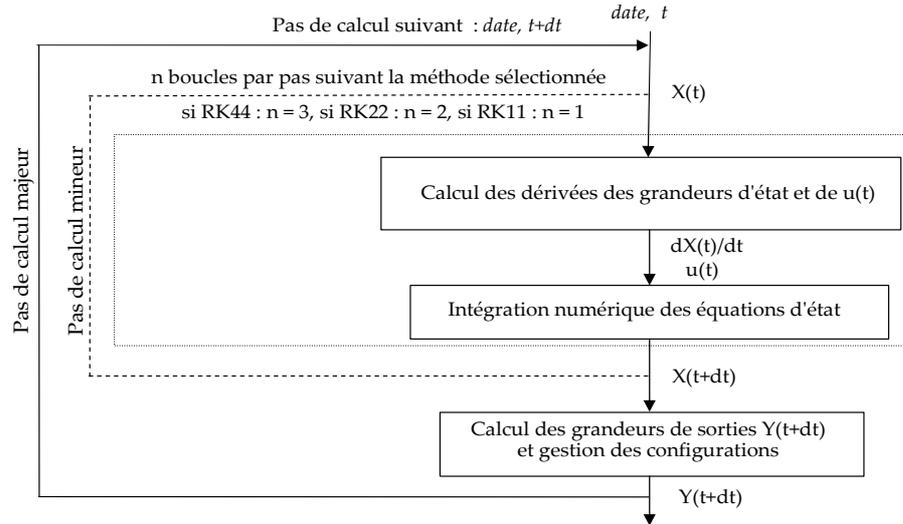


Figure II.15. Coeur de résolution d'un solveur par le pas de calcul variable

Ensuite, les grandeurs de sorties voulues sont calculées à partir des nouvelles valeurs des variables d'état. Principalement pendant cette étape, le nouveau pas de calcul (dt) est estimé par une méthode (voir [63]) considérant les changements des configurations du système des variables d'état (i.e. l'étape de « gestion des configurations » sur la Figure II.15) pour poursuivre au prochain pas de temps. Avec ce principe, le solveur peut s'adapter aux changements dynamiques des variables d'état en chaque point de calcul.

Des simulateurs de circuit à pas temporel variable, qui intègrent un formalisme de description de modèles hybrides (continu et discret), peuvent aussi être utilisés. On notera par exemple, l'utilisation des langages de modélisation comme VHDL-AMS ou Verilog-AMS, dans des simulateurs comme CADENCE, Portunus ou encore Simplorer.

II.3.3.d.ii. Quelle méthode efficace pour la non linéarité et la discontinuité du modèle des capacités parasites ?

Malgré l'utilisation d'un solveur avec le pas de calcul variable (un solveur adaptatif), une méthode qui gère mal les pas de calcul, ne peut pas donner une solution satisfaisante dans le cas d'un modèle de dimensionnement par optimisation. Par exemple, dans des simulateurs à pas adaptatif très connus (par exemple : Simplorer, Pspice), on a souvent besoin de maîtriser la valeur maximale permise du pas de calcul (voir la thèse de C. Buttay [36]).

Ainsi, pourquoi doit-on choisir un solveur performant, flexible et ouvert qui permet au concepteur d'intervenir sur le choix du pas de calcul pour cette résolution ?

Les modèles des capacités parasites et de la source de courant dans le canal des composants de type MOSFETs sont non linéaires en fonction des tensions aux bornes des électrodes (voir la Figure II.16). Pendant le blocage ou l'amorçage du MOSFET, la variation des tensions fait varier rapidement la zone de charges d'espace (ZCE) autour des jonctions et donc fait varier les capacités inter-électrodes (voir la Figure II.16) [73]. Ainsi, les modèles des capacités parasites doivent représenter physiquement les transitions très rapides des capacités en fonction des variations des tensions. Pour cela, ils prennent en compte les

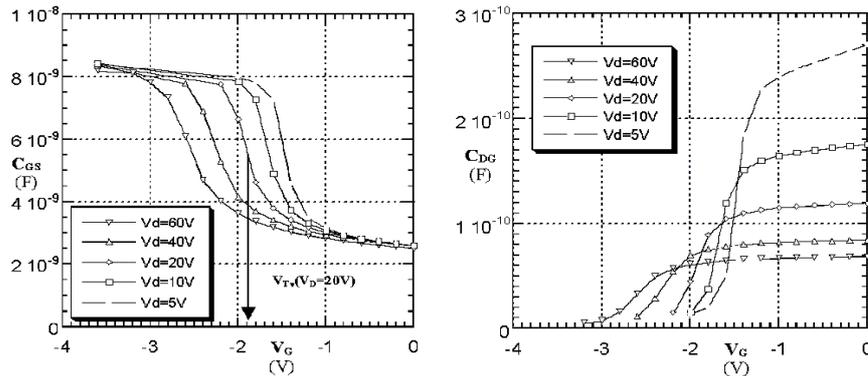


Figure II.16. Exemples de nappes 3D paramétrées en fonction de (V_{GS}, V_{DS}) pour les capacités C_{GS} et C_{DG} d'un VDMOS, d'après [25].

conditions entre les tensions et les seuils (par exemple : la tension de seuil du VDMOS) pour séparer les différentes phases de la commutation et prendre aussi les différentes formulations correspondantes des capacités [25][27] (voir la Figure II.17).

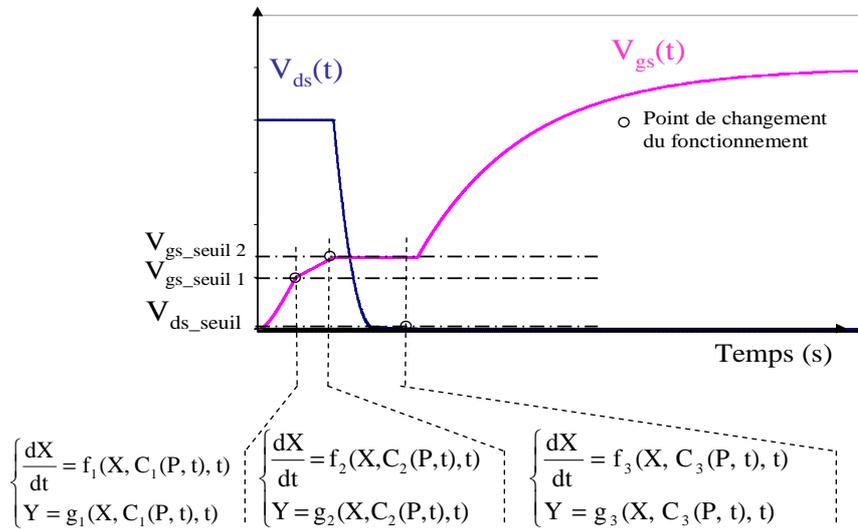


Figure II.17. Mécanisme de changement du système d'équations différentielles

C'est la raison pour laquelle, la commutation dynamique du MOSFET est souvent divisée en plusieurs intervalles de temps [37] [27], par exemple le modèle à '7 phases' de L. Aubard [27]. En conséquence, il existe toujours des structures IF/THEN/ELSE dans ces modèles. Une mauvaise modélisation et prise en compte des événements caractérisant les

changements de système d'état à résoudre peut introduire des discontinuités et des divergences dans les calculs [36]. Cela est notamment sensible pour certains courants et certaines tensions (par exemple : tension des condensateurs). Par exemple, les formes d'ondes du courant de grille ($I_{gs}(t)$) et de la tension grille-source ($V_{gs}(t)$) présentées sur la Figure II.19 sont obtenues avec le modèle '7 phases' décrit dans la thèse de L. Aubard [27].

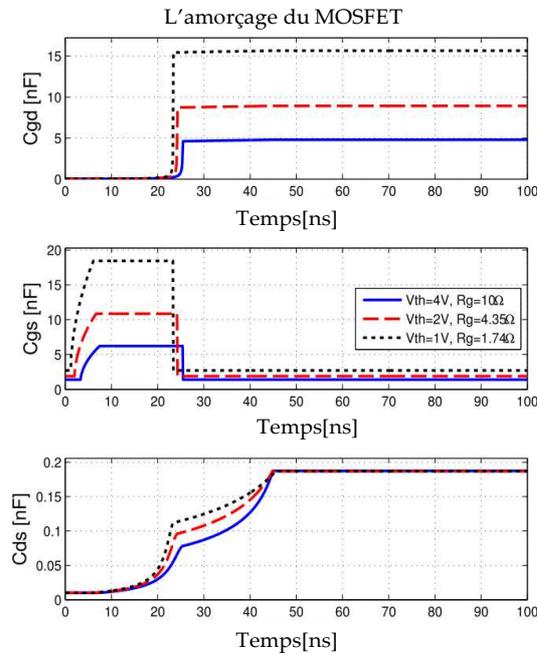


Figure II.18. $C_{gd}(t)$, $C_{gs}(t)$ et $C_{ds}(t)$ pendant l'amorçage du MOSFET avec trois valeurs de tension de seuil V_{th} et résistance du driver R_g

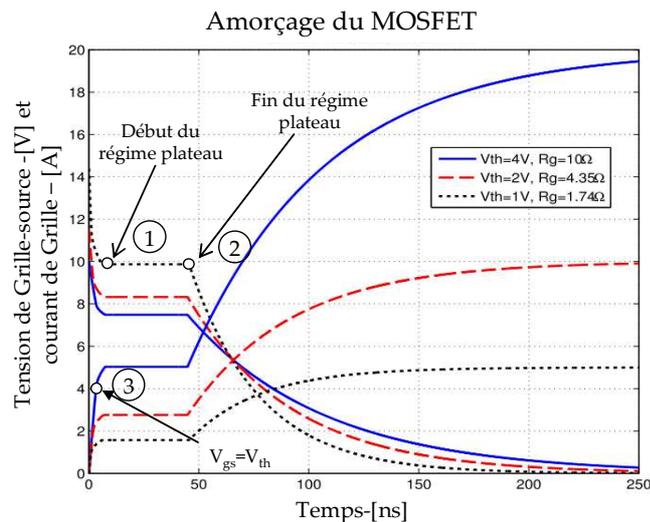


Figure II.19. Forme d'onde de $I_{gs}(t)$ et $V_{gs}(t)$ pendant l'amorçage du MOSFET avec trois valeurs de tension de seuil V_{th} et résistance du driver R_g

Dans cette variation de $V_{gs}(t)$ et $I_{gs}(t)$, il y a trois instants très importants notés par trois chiffres entourés sur la Figure II.19. C'est le début (point 1) et la fin (point 2) du régime plateau du MOSFET et $V_{gs}=V_{th}$ (point 3). Avec cette modélisation, les dérivées de V_{gs} et I_{gs}

en fonction du temps ($dV_{gs}(t)/dt$ et $dI_{gs}(t)/dt$) changent brusquement en raison des fortes discontinuités des modèles des capacités. Cependant il est bon de garder à l'esprit que d'un point de vue physique, ces variations ne peuvent pas changer de manière discontinue. Par contre, elles varient très rapidement. Ce modèle représente bien le comportement dynamique du VDMOS [27]. Finalement, nous avons deux difficultés pour cette modélisation : *la non linéarité* et *la discontinuité*. Ces deux caractéristiques spéciales du modèle du composant semi-conducteur peuvent engendrer des problèmes de divergence et de faible précision dans les solveurs à pas adaptatif [36].

Le problème de divergence peut être dû aux changements du SED au passage des points critiques, par exemple les points 1, 2, 3 sur la Figure II.19. Dans le cas du point 3 correspondant à la phase d'amorçage du VDMOS, à gauche et à droite de ce point, le composant est modélisé par deux circuits équivalents différents (avec ou sans la source de courant I_{mos}) (voir la Figure II.20). Dans ces deux circuits, la diode est considérée comme idéale. Les comportements dynamiques de ces deux circuits sont représentés par deux SED différents (voir l'équation (II.10) et (II.11)). Un changement des équations du SED peu précis peut donner de mauvais résultats. L'instant de tout changement doit donc être détecté avec précision.

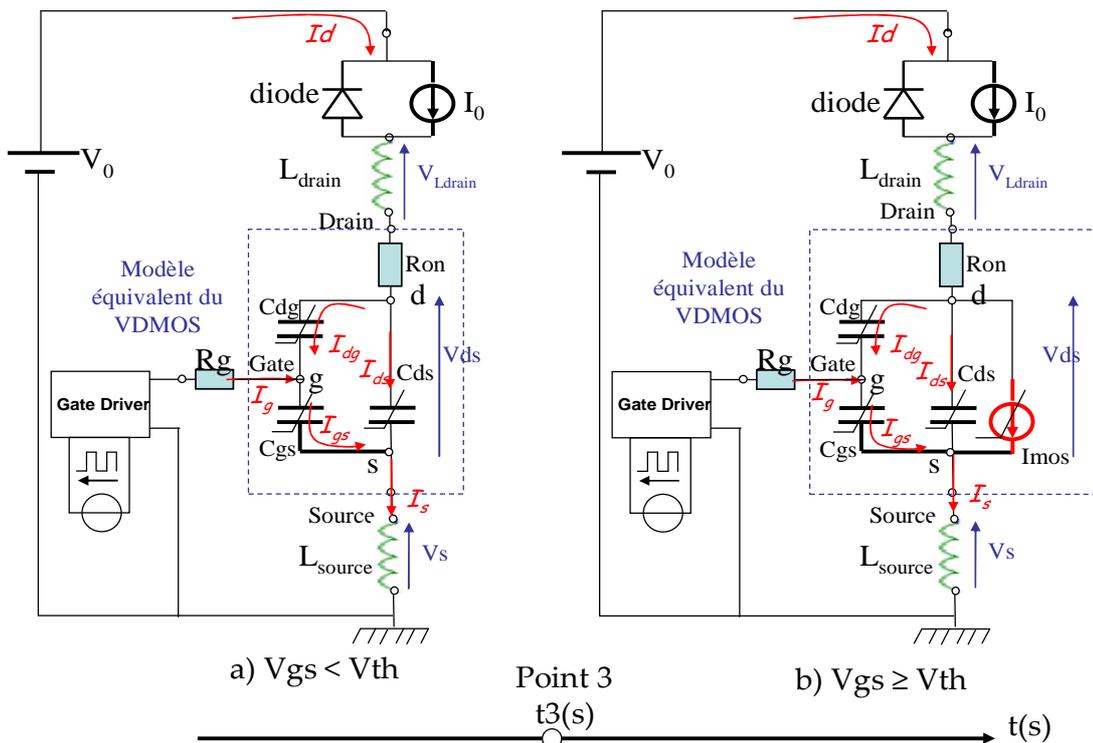


Figure II.20. Schémas équivalents d'un hacheur avec le VDMOS dans les deux états autour du point 3 : a) $V_{gs} < V_{th}$, b) $V_{gs} \geq V_{th}$

$$\text{Si } V_{gs} < V_{th} \quad \begin{cases} I_{dg} + I_{ds} - I_d = 0 \\ I_{gs} - I_g - I_{dg} = 0 \\ I_s - I_{gs} - I_{ds} = 0 \\ V_0 = V_{Ldrain} + I_d \cdot R_{on} + V_{ds} + V_s \end{cases} \quad (\text{II.10})$$

$$\text{Si } V_{gs} \geq V_{th} \quad \begin{cases} I_{dg} + I_{ds} - I_d + I_{mos} = 0 \\ I_{gs} - I_g - I_{dg} = 0 \\ I_s - I_{gs} - I_{ds} - I_{mos} = 0 \\ V_0 = V_{Ldrain} + I_d \cdot R_{on} + V_{ds} + V_s \end{cases} \quad (\text{II.11})$$

Ainsi, nous avons besoin de méthodes pour maîtriser plus précisément le pas de calcul du solveur adaptatif pour renforcer la fiabilité des calculs dynamiques. Cela permet d'éviter les résolutions divergentes et d'augmenter la précision des résultats. Pour cela, nous devons introduire dans l'étape de « gestion des configurations » (voir Figure II.15) de la résolution à pas adaptatif, des méthodes de localisation des points critiques (par exemple le point où $V_{gs} = V_{th}$). Nous présentons deux méthodes sur la Figure II.21. La première méthode est dite "méthode prochaine date importante" (PDI) [74].

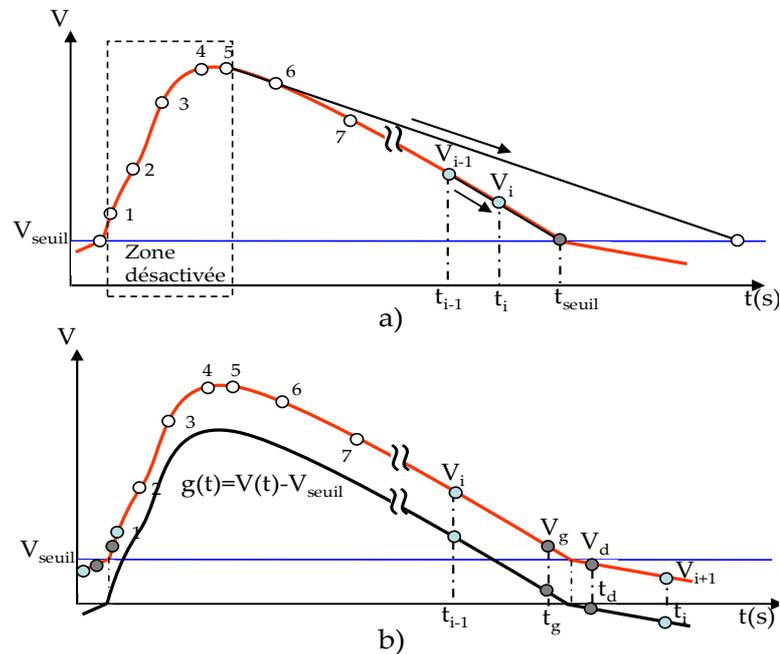


Figure II.21. Méthode de localisation des points de dépassement de seuil. a) Linéarisation, b) technique de 'zero-crossing'

La première méthode est dérivée de la procédure d'intégration de Runge-Kutta à l'ordre 1 (i.e. méthode de linéarisation) [63].

Le principe de cette méthode est de localiser l'instant t_{seuil} où $V=V_{\text{seuil}}$ par extrapolation linéaire en linéarisant $V(t)$ à partir du point présent i et du point précédent $i-1$, selon l'équation (II.12) (voir la Figure II.21.a)).

$$\frac{V_i - V_{i-1}}{t_i - t_{i-1}} = \frac{V_{\text{seuil}} - V_i}{t_{\text{seuil}} - t_i} \quad (\text{II.12})$$

t_{seuil} est l'intersection entre V_{seuil} et la fonction linéarisée de $V(t)$. Il est donc calculé par l'équation (II.13).

$$t_{\text{seuil}} = t_i + (t_i - t_{i-1}) \cdot \frac{(V_{\text{seuil}} - V_i)}{V_i - V_{i-1}} \quad (\text{II.13})$$

A chaque pas de calcul, toute date à atteindre, est envoyée au solveur dynamique, qui retiendra la date la plus urgente à atteindre. Ainsi, ce type de calcul doit être fait, tant que la date correspondante n'est pas atteinte [74].

Quand $V(t)$ dépasse le seuil, cette méthode est désactivée en raison de la valeur négative de t_{seuil} (par exemple, aux points 1, 2, 3, 4, 5 sur la Figure II.21.a)).

La deuxième méthode, appelée « zero-crossing », localise le dépassement du seuil de $V(t)$ en utilisant une fonction d'indicateur $g(t)=V(t)-V_{\text{seuil}}$. Cette technique commence par la détection du passage à zéro de la fonction $g(t)$ en vérifiant ses signes en deux points : le point présent i et le point d'essai $i+1$. Si les signes de $g(t_i)$ et $g(t_{i+1})$ sont différents, la fonction d'indicateur est mise à zéro (i.e. $V(t)$ a franchi le seuil V_{seuil}). Après cette détection, cette méthode continue à utiliser les méthodes d'approximations pour localiser la passage à zéro de $g(t)$ par un point à gauche (t_g) et un point à droite (t_d). Le solveur va recalculer les variables d'état en utilisant ces deux points. Il existe quelques méthodes pour localiser t_g et t_d . Nous ne les présentons pas dans le cadre de cette thèse. Le lecteur peut consulter ces techniques dans [75]. Cette méthode de « zero-crossing » est utilisée dans de nombreuses simulateurs ; nous avons utilisé celle de Matlab/Simulink, comme nous le présenterons dans les applications de la partie III.

Pour le comportement dynamique du SED ayant des problèmes de discontinuité, ces deux méthodes de localisation d'un franchissement de seuil permettent donc d'obtenir des solutions précises et fiables. La Figure II.22 illustre la gestion du pas de calcul en appliquant ces méthodes pour calculer l'amorçage du VDMOS. On peut voir que les points de calcul sont plus nombreux autour du changement de modèles des capacités parasites et du changement d'état de conduction de la diode que dans les autres régions (sans changement).

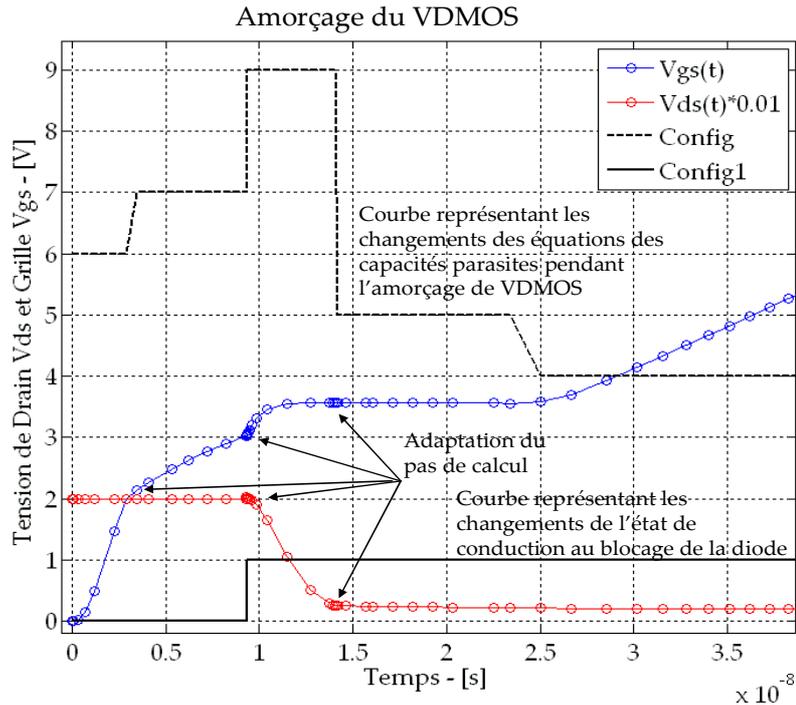


Figure II.22. Adaptation du pas de calcul en appliquant la première méthode pour le calcul d'amorçage du VDMOS (simulation sous simulink)

La précision apportée par la technique de 'zero-crossing' est illustrée par l'évolution temporelle de la tension $V_{ds}(t)$ pendant le blocage du VDMOS (voir Figure II.23). Dans cet

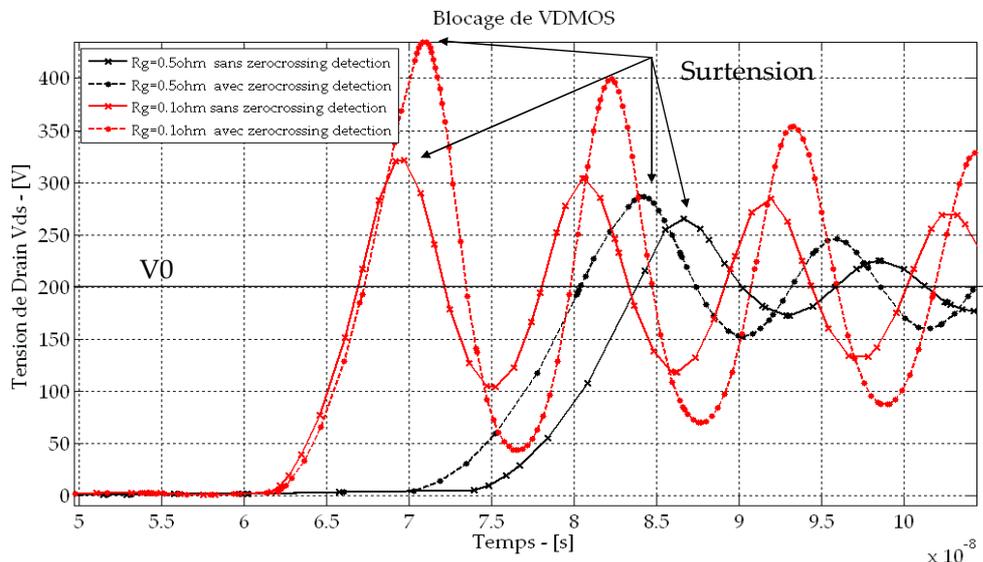


Figure II.23. Comparaison de la précision de calcul entre deux solveurs à pas variable : avec et sans la technique de zero-crossing, dans deux cas : $R_g=0.5$ et $R_g=0.1$ (simulation sous simulink)

exemple, cette technique est appliquée pour localiser le premier point où $V_{ds}+R_{on} \cdot I_d=V_0$ (voir la Figure II.20) et le deuxième point où $dV_{ds}/dt=0$. Ces deux points sont importants pour extraire la valeur précise de la surtension qui est un facteur important dans nos dimensionnements du MOSFET. Il apparaît clairement qu'il y a des écarts importants au niveau des valeurs extraites de la surtension selon les méthodes de résolution (avec et sans

technique zero-crossing). Cet écart est accentué pour la commutation dynamique plus rapide du VDMOS (i.e. le cas $R_g=0.1\Omega$). Dans ce calcul, on peut augmenter la précision sans technique de 'zero crossing' en utilisant un pas de calcul fixe très petit. Cependant, ce choix de méthode donne un calcul très long. Ce temps de calcul deviendra très important dans le processus d'optimisation car il requiert au moins une vingtaine de milliers d'évaluations du modèle de dimensionnement pour chaque optimisation.

Comment identifier les solutions divergentes du solveur ?

Grâce aux méthodes précédentes, le solveur peut améliorer la convergence et la précision de la solution. Cependant, nous ne sommes pas sûrs d'éliminer complètement le risque de divergence. En effet, par le jeu de valeurs des paramètres du modèle, le solveur peut devoir résoudre des cas critiques qui convergeront difficilement pendant le processus d'optimisation. Les mauvais résultats du solveur vont nous entraîner vers de mauvais résultats d'optimisation. En complément, l'optimisation peut faire apparaître des commutations très lentes du composant où le temps de commutation devient plus grand que la durée de simulation paramétrée dans le solveur. Dans ce cas là, nous devons refaire ces calculs avec une durée de simulation plus grande. C'est pourquoi, nous devons mettre au point des algorithmes pour identifier les solutions divergentes et donner des corrections, comme illustré dans la Figure II.24.

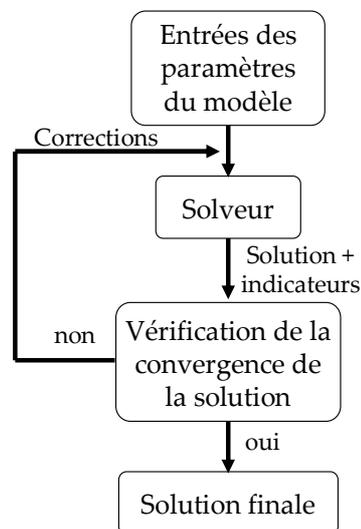


Figure II.24. Algorithme de gestion des mauvaises solutions

Pour cela, nous utilisons des indicateurs pour vérifier la solution. Nous proposons d'affecter ces indicateurs aux changements d'état du système des équations différentielles (par exemple les valeurs des courbes discrètes 'config' et 'config1' sur la Figure II.22). Ainsi, avec cette gestion, nous parvenons à éliminer les mauvaises solutions pendant le processus d'optimisation.

II.3.3.e. Modélisation globale d'un composant VDMOS intégré

Une fois les méthodes de modélisation et de résolution choisies, nous pouvons définir les modèles dont nous avons besoin. Cependant, dans le contexte de l'intégration monolithique, le concepteur a besoin d'avoir un modèle global de dimensionnement des trois fonctions qui se retrouvent intégrées. Ainsi, nous présentons cette modélisation sur la Figure II.25. Cette modélisation est composée de trois sous-modèles : le modèle du VDMOS

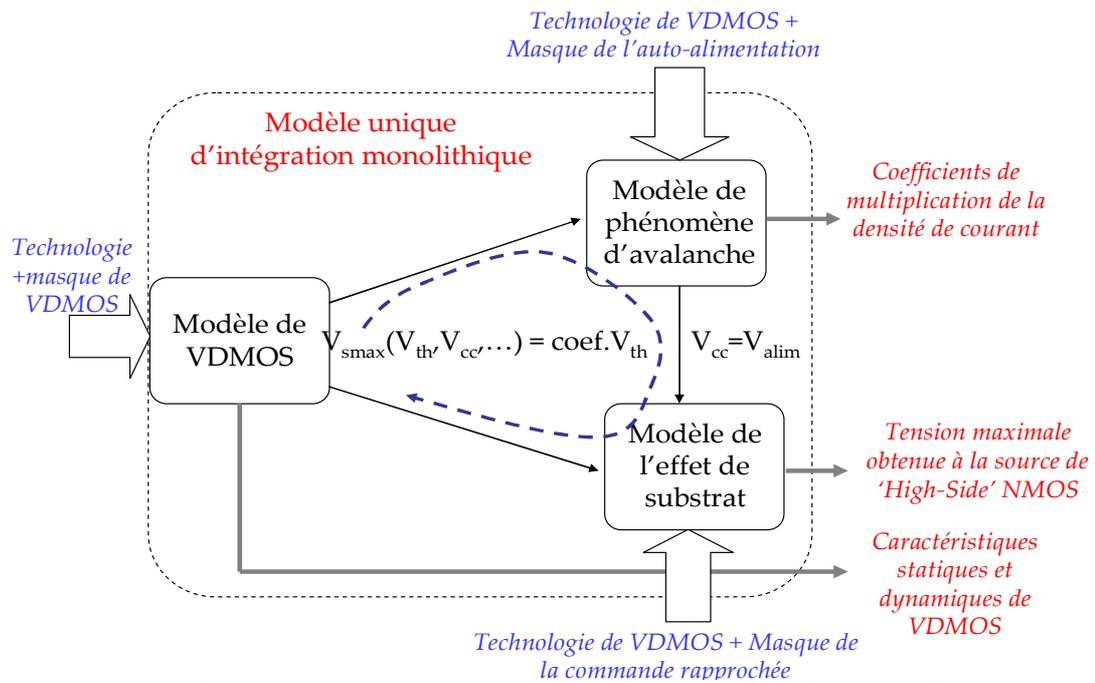


Figure II.25. Modèle unique de trois fonctions : VDMOS, phénomène d'avalanche et effet du substrat. (statique et dynamique), le modèle décrivant le phénomène d'avalanche et le modèle de l'effet de substrat. Cette modélisation globale connecte les sous-modèles au travers de leurs entrées et sorties, selon les aspects suivants.

- Les données du procédé technologique de fabrication du VDMOS sont les paramètres communs d'entrées des trois sous-modèles pour assurer la comptabilité technologique.
- La tension V_{cc} au drain de 'High-side' NMOS est la tension V_{alim} .
- la tension maximale en sortie de la commande rapprochée en fonction de la tension de seuil de VDMOS doit atteindre la valeur $coef.V_{th}$ (voir l'équation (II.8)).

Cette modélisation nous permet d'avoir un modèle complet qui met en place la comptabilité technologique tout en respectant les compromis électriques, pour répondre de manière satisfaisante aux dimensionnements du système en respect de la comptabilité électro-technologique.

Dans le chapitre II.3, nous avons choisi des méthodes nécessaires et adaptées à nos objectifs de modélisation. Dans les chapitres suivants, nous allons présenter les algorithmes

d'optimisation que nous avons choisis et les implémentations logicielles utilisées pour les méthodes de modélisation et d'optimisation.

II.4. Algorithmes d'optimisation.

Chaque problème de dimensionnement d'un système en EP peut être transformé en un problème d'optimisation en définissant :

- des objectifs de dimensionnement par des fonctions objectifs
- des compromis électriques, technologiques importants pour nos dimensionnements, par l'utilisation de contraintes
- des autres conditions de dimensionnement (pour des paramètres de dimensionnement et des caractéristiques en sortie) également par des contraintes

Cette transformation nous offre une solution performante pour dimensionner des problèmes complexes avec plusieurs paramètres, plusieurs contraintes et compromis en exploitant complètement l'espace de variation de tous les paramètres du modèle de dimensionnement [29].

Il existe un grand nombre d'algorithmes d'optimisation. Cependant, dans cette partie, nous allons restreindre notre présentation aux algorithmes que nous avons utilisés pour nos dimensionnements.

II.4.1. Définition d'un problème d'optimisation

II.4.1.a. Formulation du problème d'optimisation

Un problème d'optimisation est formulé en général par un problème de minimisation ou maximisation d'une fonction choisie (1) en respectant des contraintes d'égalité (2), d'inégalité (3) et les intervalles autorisés des paramètres inconnus (4) (voir l'équation (II.14)).

$$\begin{cases}
 \text{Min(or Max)} [f_a(\mathbf{X})] & (\mathbf{X} = (X_i)_{i=1..N}, a = 1..A) & (1) \\
 g_j(\mathbf{X}) = 0 & 1 \leq j \leq L & (2) \\
 h_k(\mathbf{X}) \geq 0 & 1 \leq k \leq M & (3) \\
 X_{imin} \leq X_i \leq X_{imax} & & (4)
 \end{cases}
 \quad (\text{II.14})$$

Avec :

- $f_a(\mathbf{X})$: fonction objectif
- $g_j(\mathbf{X}), h_k(\mathbf{X})$: fonctions de contraintes d'égalité et ou d'inégalité
- \mathbf{X} : vecteur de dimension N contenant les variables du problème

II.4.1.b. Quelques définitions générales

A partir de la formulation du problème ci-dessus, il est nécessaire d'introduire les définitions générales du problème d'optimisation en correspondance avec un problème de dimensionnement en EP pour que les lecteurs en EP puissent comprendre les termes mathématiques que l'on utilisera par la suite.

Fonction objectif : fonction à optimiser par rapport aux objectifs de dimensionnement (les pertes, la résistance à l'état passant, la tenue en tension...), fonction à minimiser ou à maximiser.

Paramètres de conception : variables du problème X qui influencent les fonctions objectifs et les contraintes comme l'épaisseur d'oxyde, la concentration en surface du canal, les paramètres du masque dans le cas des MOSFETs.

Paramètres de sortie du modèle : c'est l'ensemble des grandeurs qui dépendent des paramètres de conception, comme les caractéristiques dynamiques du composant (temps de commutation, surtension,...), la tension de seuil, la résistance à l'état passant, etc...

Espace de recherche : ensemble des valeurs possibles des paramètres de conception.

Espace réalisable : partie de l'espace de recherche où toutes les contraintes sont respectées.

Espace non réalisable : partie de l'espace de recherche où toutes les contraintes ne sont pas respectées.

Optimum local : optimum dans l'espace qui l'entoure (par exemple les points 1 et 3 sur la Figure II.26.a)

Optimum global : meilleure solution dans l'espace de recherche (par exemple, le point 2 sur Figure II.26.a)

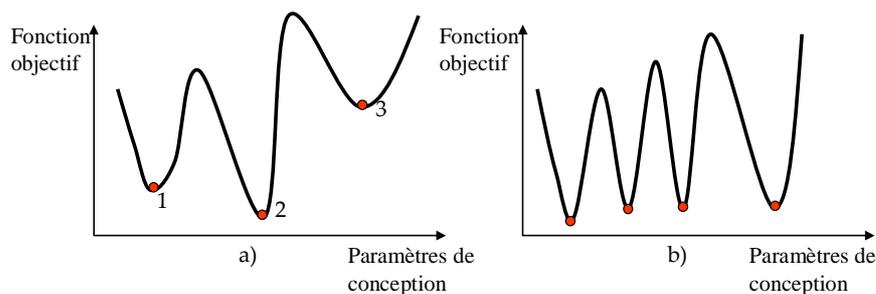


Figure II.26. Quelques formes de la fonction objectif, a) optimum local et global, b) fonction multimodale

Mono-objectif : problème d'optimisation avec une seule fonction objective.

Multi-objectifs : problème d'optimisation avec plusieurs fonctions objectives.

Multi-modales : problème d'optimisation avec une seule fonction objectif mais ayant plusieurs optimums dans l'espace de recherche (par exemple la Figure II.26.b).

II.4.2. Classification et choix des algorithmes d'optimisation

II.4.2.a. Classification des algorithmes d'optimisation

Actuellement, il existe plusieurs algorithmes d'optimisation qui peuvent être classifiés en différentes catégories [76]. La classification de ces algorithmes repose sur la façon dont ils explorent leur espace de recherche. Une classification très détaillée est faite dans [76]. Cependant, dans cette thèse, nous les classifions simplement par :

- Algorithmes d'optimisation mono-objectif (*méthodes de type gradient et méthodes stochastiques - sans gradient -*)
- Algorithmes d'optimisation multi-objectifs.

II.4.2.a.i. Algorithmes d'optimisation mono-objectif

Nous classifions simplement ces algorithmes d'optimisation en deux catégories :

Méthodes de type gradients qui utilisent la valeur du jacobien de la fonction objectif et des contraintes pour définir la direction vers laquelle se situe l'optimum dans l'espace de recherche. C'est le cas de l'algorithme SQP (Sequences Quadratic Programming) [34]. La vitesse de convergence de ces algorithmes est très rapide (i.e. après quelques itérations). Ils sont puissants pour les modèles purement analytiques [59]. Cependant il y a deux points faibles pour ces algorithmes.

- Ils ont besoin des calculs de gradients (avec une bonne précision). Des erreurs numériques des gradients peuvent entraîner une mauvaise convergence de l'optimisation [77], [78].
- De plus, les méthodes de type gradient ont besoin des valeurs initiales des paramètres de conception qui sont toujours difficiles à définir et influencent fortement les résultats.
- L'optimum obtenu par ces algorithmes dépend forcément de la qualité du calcul du gradient [79] et des valeurs initiales des paramètres de conception. Ils sont facilement piégés par des optima locaux.

Méthodes stochastiques. Elles n'utilisent pas le calcul des jacobiens. Elles explorent leur espace de recherche grâce à des mécanismes de transition aléatoire [28] [29]. C'est pourquoi, ces algorithmes ont besoin d'effectuer un grand nombre d'itérations pour converger. Ainsi, si le temps de calcul du modèle est important (par exemple modèle numérique et modèle mixte), le temps d'optimisation devient très important. En plus, il est difficile de définir un critère d'arrêt de ces algorithmes (voir en détail dans [58]). Principalement, leur convergence locale est difficile et souvent on atteint l'optimum global avec peu de précision. Cependant, ces algorithmes offrent des avantages majeurs comme :

- ils n'ont pas besoin du calcul des jacobiens des fonctions objectifs et des contraintes en fonction des paramètres de conception.
- Ils n'ont pas besoin des valeurs initiales des paramètres de conception
- Ils trouvent généralement l'optimum global, avec cependant un nombre d'appels considérable du modèle de dimensionnement.

II.4.2.a.ii. Algorithme d'optimisation multi-objectifs

Dans le dimensionnement en EP, il faut souvent satisfaire plusieurs objectifs en même temps tout en respectant des critères de performances du système à dimensionner, par exemple : la tenue en tension maximale et la résistance à l'état passant minimale du composant de puissance. Si on choisit d'améliorer un objectif, c'est souvent en dégradant les autres. Ainsi, il existe souvent un ensemble de solutions optimales qui présentent le compromis entre ces objectifs. Ce compromis peut être représenté par la frontière de Pareto [29] (un exemple est illustré sur la Figure II.27). Le concepteur peut choisir une solution

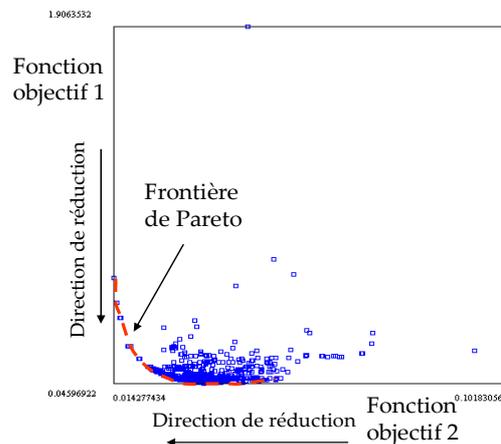


Figure II.27. Un exemple général de la frontière de Pareto

optimale sur cette frontière en analysant les autres critères (par exemple : le prix, le temps de réalisation) pour l'ensemble des solutions sur cette courbe de Pareto.

II.4.2.b. Notre choix des algorithmes d'optimisation pour les problèmes de dimensionnement en EP

Après plusieurs décennies de développement des algorithmes d'optimisation, plusieurs théorèmes sur l'ensemble de tous les problèmes d'optimisation ont été définis. On retiendra "No free Lunch Theorem" [80]. Ce théorème montre qu'il n'y a pas d'algorithme d'optimisation absolument meilleur qu'un autre. Il n'existe pas de méthode unique qui puisse résoudre tous les problèmes d'optimisation de manière optimale.

C'est pourquoi, nous avons testé plusieurs algorithmes pour nos applications (voir la troisième partie). Suite à cela, leurs résultats vont nous aider à choisir les meilleurs algorithmes pour nos problèmes de dimensionnement en EP. Ces algorithmes testés sont :

- un algorithme de type gradient : SQP (Sequential Quadratic Programming) pour une convergence rapide [81].
- deux algorithmes stochastiques : ES (Stratégie d'Evolution) [82] et RTS (Restricted Tournament Selection) [83] pour trouver l'optimum global et dans les cas où le calcul des jacobiens du modèle de dimensionnement n'est pas possible ou aisé sans différences finies.
- un algorithme chaîné : cela signifie qu'il applique de manière séquentielle les algorithmes ES ou RTS puis SQP pour améliorer les points faibles de ces algorithmes. Dans cet algorithme, l'algorithme ES ou RTS est lancé en premier, puis l'algorithme SQP est appliqué en utilisant le résultat de ES (ou RTS) comme point initial. Cette séquence peut réduire le temps d'optimisation par rapport à l'utilisation seule de l'algorithme ES (ou RTS). Il permet aussi d'améliorer la convergence locale par l'utilisation des algorithmes stochastiques. En plus, il élimine le besoin des valeurs initiales des paramètres de conception. Il permet donc d'éviter dans la plupart de cas d'atteindre un optimum local. Cependant, cet algorithme a aussi besoin de la connaissance des gradients du modèle de dimensionnement.
- un algorithme d'optimisation multi-objectif : pour des problèmes de dimensionnement multi-objectif. Nous avons appliqué ce type de méthode sur notre application de dimensionnement étudiée dans la troisième partie. Cette méthode s'appuie sur un algorithme génétique de type nichage.

Le lecteur peut consulter le principe des algorithmes SQP, ES, RTS dans [58]. Dans le prochain chapitre II.5, nous nous concentrons sur la mise en œuvre des modèles, des méthodes de modélisation choisies et des méthodes d'optimisation dans les outils. Nous les appliquerons directement sur notre applicatif d'intégration de puissance monolithique pour lequel nous avons détecté un fort besoin de méthodes et de modèles. Nos choix d'outils répondant à nos besoins et la mise en place de ces outils vont être introduits.

II.5. Implémentation logiciel des modèles et des méthodes

Par rapport aux méthodes mathématiques et aux méthodologies choisies dans les chapitres II.3 et II.4, nous devons maintenant chercher des outils qui proposent ces méthodes, ou permettent de mettre en place ces méthodes. Ainsi, dans le sous-chapitre II.5.1, nous synthétisons d'abord les méthodes dont nous avons besoin. Ensuite, nous présentons nos choix d'outils.

II.5.1. Synthèse des besoins de méthodes

II.5.1.a. Synthèse des besoins de méthodes et d'outils de modélisation et d'analyse de la filière technologique

Pour cette problématique, nous avons choisi la deuxième approche de modélisation en divisant le modèle de la filière technologique en sous-modèles représentant chacun des étapes technologiques (voir le paragraphe II.3.3.a.ii). En complément, ce modèle est semi-analytique et utilise des instructions de programmation (par exemple IF/ELSE/THEN), par exemple pour modéliser le cycle thermique réalisé en salle blanche. Nous avons donc besoin d'outils de dérivation automatique de code [60] pour pouvoir calculer la sensibilité de la filière technologique, comme présenté dans le paragraphe II.3.2. Synthétiquement, nous avons besoin des outils de modélisation qui ont des fonctions :

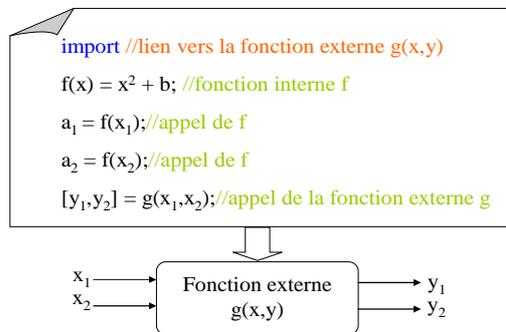


Figure II.28. Un exemple de la fonction interne et de la fonction externe

- de création des fonctions externes (voir la Figure II.28)
- de définition des fonctions internes pour définir le profil de dopage en fonction de la profondeur (voir le paragraphe II.3.3.a.ii) (voir la Figure II.28).
- d'outil de dérivation automatique de code (voir la Figure II.29).

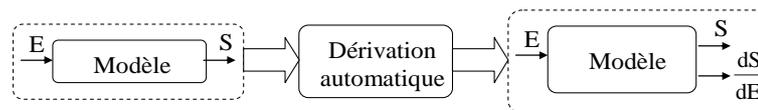


Figure II.29. Principe de la dérivation automatique d'un modèle

De plus, l'étape d'identification des paramètres du modèle a besoin des algorithmes d'optimisation.

II.5.1.b. Synthèse des besoins en méthodes et outils de modélisation des comportements statiques

Les modélisations principales et délicates des comportements statiques sont la modélisation du phénomène d'avalanche d'une jonction N+P- et la modélisation de l'effet de substrat (voir le paragraphe II.3.3.c). Pour ceux-ci, nous avons besoin d'un outil qui peut permettre :

- de calculer une fonction erreur *erf* [69]
- de calculer numériquement les intégrales [6].
- de résoudre des équations implicites
- d'aider dans la création des fonctions externes et des fonctions internes
- de faire de la dérivation de code si nous voulons utiliser l'algorithme d'optimisation SQP.

II.5.1.c. Synthèse des besoins en méthodes et en outils de modélisation des comportements dynamiques

Cette modélisation a été analysée en détail dans le cas des MOSFETs (voir le paragraphe II.3.3.d). Des solutions performantes aux problèmes importants ont aussi été proposées. Au vu de cela, nous concluons qu'un solveur numérique performant doit avoir les fonctionnalités suivantes.

- Il offre des possibilités de créer des modèles complexes qui contiennent des termes IF/ELSE/THEN.
- Il permet d'introduire de nouveaux paramètres du modèle et d'exploiter facilement les résultats (par exemple : calcul des pertes en utilisant des variations en fonction de temps, du courant et de la tension issus du solveur) pour chaque calcul du solveur.
- Pour traiter correctement des franchissements de seuil ou des événements de discontinuité, l'outil doit soit offrir des méthodes de détections (par exemple : technique « zero-crossing »), soit permettre de dialoguer avec la partie gestion du pas temporel du solveur dynamique (par exemple, en utilisant un mécanisme de prédiction de date à atteindre).

II.5.2. Outils choisis

Afin de répondre aux besoins précédents, nous nous sommes appuyés principalement sur les outils disponibles au CIME Nanotech (Centre Interuniversitaire de Microélectronique et Nanotechnologies) et au G2ELab qui offrent les fonctionnalités proposées, tout en faisant un point plus large sur l'existant [84]. Dans ce manuscrit, nous allons donc nous restreindre à ce qui nous est accessible, notre objectif étant plus méthodologique que développement d'outils généraux.

II.5.2.a. Silvaco

Silvaco est un logiciel de simulation 2D et 3D permettant de prédire les caractéristiques électriques et les comportements physiques des composants électroniques de type semi-conducteurs, le couplage avec un circuit électrique complémentaire étant envisageable. Il repose sur la méthode des éléments finis. Il utilise à la fois des modèles fins

et des modèles numériques, avec des niveaux différents d'application. Ces simulations sont fines et précises. Silvaco se compose de deux grands modules de calcul :

- ATHENA (Process Simulation Framework) :
 - il permet de simuler des procédés technologiques de fabrication des composants de puissance en semi-conducteur.
 - il permet de prévoir précisément la distribution d'un profil de dopage, les épaisseurs des couches en fonction des procédés technologiques.
- ATLAS (Physical-base Device Simulation) :
 - il permet de prévoir précisément la caractéristique électrique statique (simulation numérique électrique) et dynamique (simulation numérique temporelle) d'une structure spécifique de semi-conducteurs.
 - il donne aussi les mécanismes physiques qui se produisent à l'intérieur de la structure en fonction des contraintes appliquées sur ses électrodes (par exemple : distribution du champ électrique autour d'une jonction).

Ainsi, dans le cadre de cette thèse, nous utiliserons des résultats de simulation dans ATHENA et ATLAS pour :

- vérifier nos modélisations analytiques et nos dimensionnements
- identifier nos modèles de la filière technologique (voir le paragraphe II.3.3.b) et notre modèle du phénomène d'avalanche 2D (voir le paragraphe II.3.3.c)

II.5.2.b. CADES

L'environnement de CADES (Component Architecture for the Design of Engineering System) [85] offre différentes fonctionnalités intéressantes pour notre problématique (voir la Figure II.30). Il est dédié au dimensionnement de systèmes, surtout en génie électrique. Pour

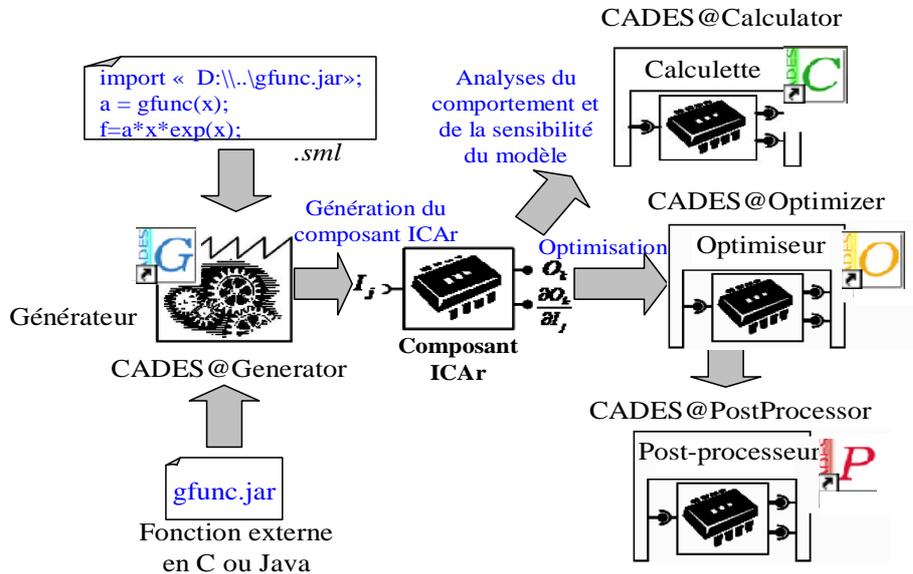


Figure II.30. Environnement de CADES

cela, il propose principalement quatre modules : CADES@Generator, CADES@Calculator, CADES@Optimizer, CADES@Post-Processor. Ceux-ci s'appuient sur une formalisation des modèles en composants logiciels normalisés ICAR [61] [86] (voir la Figure II.30), qui peuvent être générés par le générateur CADES@Generator à partir d'une description analytique des modèles. La norme ICAR est développée au G2ELAB, et permet de structurer et de formaliser des modèles sous forme de composants logiciels (boîtes noires), avec des entrées et sorties, tout en proposant différents services :

- le calcul des sorties en fonction des entrées
- le calcul du jacobien des sorties par rapport aux entrées.

Les composants logiciels ICAR sont compatibles avec tout environnement qui accepte leurs services. Actuellement, on notera les autres modules compatibles avec CADES, Matlab, Excel, FGOT [87].

Parmi les quatre modules de CADES, nous nous intéressons seulement au Générateur, à la Calcullette, et à l'Optimiseur.

Le Générateur (CADES@generator) est le module le plus important que nous voulons utiliser pour modéliser nos modèles complexes. Il a des fonctionnalités très fortes de modélisation que nous présentons ci-dessous.

- Le modèle est simplement décrit par des équations, des fonctions dans un fichier texte (fichier *.sml* sur la Figure II.31). Cette approche facilite la mise en œuvre des modèles pour le concepteur.

```

1. /*importer les fonctions externes*/
2. import "D:\..\erffunc.jar";/*fonction d'erreur*/
3. import "D:\..\impliciteSolver.jar";
4. import "D:\..\integral.jar";
5.
6. intern a = 6.626e-34; /*définition d'une Constante*/
7. intern c = 6.94e-9*pow(a,2.5);
8. sinh(x) = (exp(x)-exp(-x))/2.0; /*fonction extern*/
9. cosh(x) = (exp(x)+exp(-x))/2.0;
10. f(x) = sinh(x) *erffunc(x/a);
11. g(x,c) = f(x)+c; /*fonction extern avec plusieurs variables*/
12. solution = solve1D(g(_,c),initial, precision); /*équation implicite*/
13. surface = integral(f(_, a, c, precision); /*calcul integral*/
14. Contrainte = 0.02 - solution; /*définition des contraintes*/
    
```

Figure II.31. Exemple de fichier *.sml* édité dans le Générateur

- La possibilité d'importer des fonctions externes qui sont écrites en langage C et Java (voir les instructions *import* sur la Figure II.31). Cette fonctionnalité est très importante en terme de modélisation. Car elle permet de profiter de tous les avantages des langages de programmation pour avoir des fonctions de calcul complexes, par exemple : une fonction d'erreur, un solveur d'équations implicites, du calcul d'intégrales, comme le montre sur la Figure II.31. Une aide à la création des fonctions externes est aussi possible en C et en Java. A partir d'une description de l'algorithme de la fonction (C ou Java), le Générateur met en forme automatiquement la fonction externe correspondante et crée automatiquement le calcul du jacobien.
- En complément, ce module permet à l'utilisateur de coupler son modèle avec n'importe quel simulateur temporel numérique (voir la Figure II.32) pour calculer automatiquement des comportements difficiles à modéliser analytiquement. Ainsi, il est très utile pour nos modélisations dynamiques.

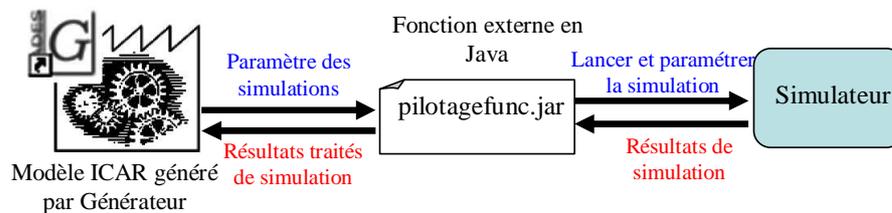


Figure II.32. Processus de pilotage des simulateurs du modèle ICAR

- On peut créer simplement des fonctions internes (par exemple la fonction $\sinh(x)$, $\cosh(x)$, $f(x)$... sur la Figure II.31). Les fonctions externes ($\text{solve1D}(g(_,c)$, initiales, precision) et $\text{integral}(f(_, a, c, \text{precision}))$) peuvent prendre ces fonctions

internes comme arguments. Cet avantage va nous donner la possibilité de réaliser l'approche choisie de modélisation de la filière technologique (voir le paragraphe II.3.3.a.ii).

- Le Générateur met en œuvre de façon automatique pour l'utilisateur des outils de dérivation automatique du modèle [60].
 - Dérivation formelle de toutes les sorties en fonction de toutes les entrées
 - Dérivation automatique des codes [61] en C [88] et en Java [89] pour calculer les dérivées partielles des fonctions externes du modèle ICAR.

La Calculette (CADES@calculator) permet de calculer la valeur ou la dérivée, et de tracer une ou plusieurs sorties à partir des valeurs des paramètres d'entrées du modèle généré (composant ICAR). Il offre la possibilité de faire des analyses de comportements statiques, dynamiques et des études de sensibilité.

L'optimiseur (CADES@optimiser) permet à l'utilisateur de faire des optimisations avec des algorithmes de type gradient (par exemple : SQP) ou non (par exemple : ES, RTS,...) [58].

Toutes ces fonctionnalités du Générateur nous permettent de mettre en place nos modèles, nos méthodes choisies et de formaliser nos besoins en calcul pour nos dimensionnements.

II.5.2.c. Matlab

Pour compléter nos modélisations, nous avons encore besoin d'un solveur de système d'équations différentielles. Celui-ci sera couplé via CADES-Générateur en utilisant la norme ICAR pour modéliser les comportements dynamiques de notre système. Parmi l'ensemble des simulateurs programmables listées dans [84][90], par exemple Matlab simulink, Simplorer, Portunus, Pspice, nous avons choisi Matlab simulink en raison de :

- la modélisation d'un système dynamique par la description d'un système d'équations différentielles dans un fichier S-Function (en langage C) [91]. Avec cette modélisation, nous pouvons facilement paramétrer la simulation par de nouveaux paramètres du modèle.
- Matlab-simulink nous offre plusieurs méthodes de résolution (par exemple, ode45, ode23, ode15) qui sont bien adaptées aux problèmes raides. Plus particulièrement, la modélisation par S-Function en C nous permet de mettre en place nos méthodes de gestion de pas de calcul présentées plus haut : la méthode « zero-crossing » et celle de gestion des dates prochaines importantes « PDI » [74].
- les résultats souhaités sont obtenus à partir des traitements et analyses des tableaux de résultats de la simulation dynamique (par Matlab Simulink). Les traitements permettent aussi de vérifier la convergence des simulations

dynamiques et si besoin, de relancer une nouvelle simulation (voir le paragraphe II.3.3.d). Ceci est mis en œuvre en utilisant le langage de Matlab, dans un fichier .m de Matlab. L'utilisation de l'espace de travail de Matlab facilite grandement l'interfaçage et le pilotage de simulink avec la partie .m de traitement des résultats.

Ainsi, nous n'avons pas pris des outils pouvant utiliser des langages de modélisation tels que VHDL-AMS, Verilog-AMS, Modélica,..., car le post processing requière des traitements importants avec fermeture, ouverture, écriture, lecture de fichier.

II.5.2.d. Fgot

Pour l'optimisation, nous pouvons utiliser l'Optimiseur proposé par l'environnement de CADES (voir le paragraphe II.5.2.b). Cependant, nous avons encore besoin d'autres algorithmes spéciaux (par exemple l'algorithme chaîné présenté dans le paragraphe II.4.2.b). En complément, nous avons aussi besoin de fonctionnalités pour analyser les résultats issus de l'optimisation que ne propose pas CADES actuellement. Ainsi, nous avons choisi FGOT (Feature Global Optimization Tool) [92] principalement pour les fonctionnalités suivantes :

- l'exploitabilité du composant ICAR généré par CADES à partir un modèle de dimensionnement,
- plusieurs algorithmes d'optimisation complémentaires de CADES,
- le chaînage automatique de différents algorithmes d'optimisation,
- l'outil d'exploitation des résultats d'optimisation, notamment avec des courbes 3D et du morphing.

II.5.3. Mise en relation entre les outils

En conclusion sur les travaux de mise en oeuvre logicielle présentée dans ce chapitre II.5, nous présentons maintenant la mise en relation entre (CADES, MATLAB, FGOT). La Figure II.33 illustre les différentes connexions entre les outils que nous avons choisis.

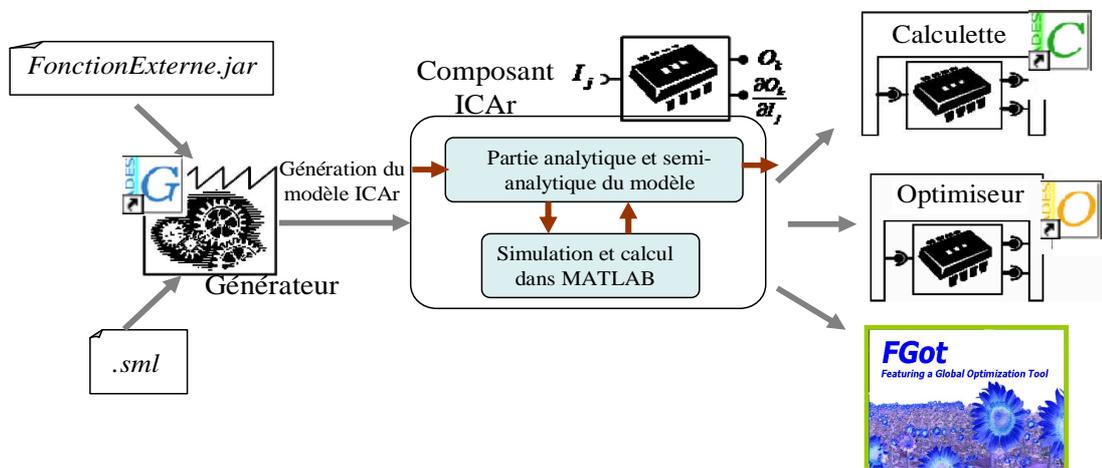


Figure II.33. Mise en place des outils

Le composant Générateur permet d'inclure des fonctions externes (la fonction de pilotage Matlab, de la résolution d'équation implicite, du calcul des intégrales...) à un modèle analytique via le composant ICAR. Ensuite, le composant ICAR généré peut être chargé dans la Calculette, l'Optimiseur et Fgot pour faire des calculs et des dimensionnements par optimisation.

II.6. Conclusion

Cette partie a abordé deux parties importantes pour le dimensionnement des composants en électronique de puissance : la modélisation et l'algorithme d'optimisation.

Les méthodes de calculs performantes, des outils, des types de modèles convenables et également des langages de modélisations sont analysés et choisis pour résoudre des limites de la modélisation des comportements dynamiques et statiques en EP que nous avons introduit dans la première partie. Nous avons présenté plusieurs de méthodes pour comparer et choisir celles les plus adaptées à nos besoins.

La présentation des algorithmes d'optimisation a abordé le problème du choix des algorithmes et de leurs configurations adaptés pour le dimensionnement optimal d'un composant d'électronique de puissance. Tous les avantages et les limites de chaque algorithme sont globalement présentés. Un algorithme adapté d'optimisation est choisi par rapport à chaque problème de dimensionnement et chaque type de modèle existant.

Cette partie est terminée par la mise en place des outils logiciels qui nous permet d'implanter nos méthodes choisies, de rédiger nos modèles et d'utiliser les algorithmes d'optimisation.

Il nous faut souligner que ces méthodes et outils informatiques sont génériques. Ainsi, ils peuvent être appliqués aux autres problèmes de dimensionnement en électronique de puissance. Dans la troisième partie de ce manuscrit, nous allons appliquer tout ceci aux applications de dimensionnement du VDMOS.

PARTIE III :

APPLICATION DE LA PLATEFORME DE CONCEPTION AU DIMENSIONNEMENT D'UN MOSFET DE PUISSANCE INTEGREE

III.1. Introduction

Comme introduit précédemment avec les problèmes de VDMOS et de ses fonctions annexes dans la partie I et II, les problématiques de dimensionnement autour de ce composant et sa technologie exigent de nouvelles approches plus efficaces et plus fiables. Ainsi, notre nouvelle démarche numérique de dimensionnement présentée dans la partie II, va être appliquée à ces problématiques pour arriver à trois objectifs :

- une filière technologique de VDMOS fiable, avec ses dispersions technologiques étudiées et maîtrisées,
- un nouveau composant « interrupteur de puissance intégré », pour lequel un procédé de puissance de compromis optimal a été trouvé et intégrant de façon monolithique un VDMOS sa commande rapprochée et l'autoalimentation de sa commande rapprochée,
- un composant VDMOS optimisé dans son environnement et ses impacts environnementaux.

Dans les sous-chapitres prochains, nous allons présenter en détail les modélisations, les calculs et les résultats pour arriver à chacun des objectifs présentés ci-dessus.

III.2. Analyse de la filière technologique d'un MOSFET de puissance

III.2.1. Introduction des analyses de la filière technologique d'un MOSFET de puissance

Dans la partie I, nous avons introduit la filière technologique de VDMOS utilisée au sein du laboratoire G2ELab [3]. Le premier dimensionnement de cette filière effectuée dans la thèse de R. Mitova [4] nous montre des gros écarts entre les caractérisations du composant VDMOS réalisé et le cahier de charges comme listé dans le paragraphe I.3.3.a, en raison des connaissances manquées de la filière technologique de VDMOS et des impacts des dispersions possibles sur le composant pendant la réalisation en salle blanche. Ces connaissances sont très importantes pour que le concepteur puisse faire un dimensionnement technologique fiable et précis par rapport à un cahier de charge. Pour cette raison, la filière technologique de VDMOS doit être analysée. Ainsi, dans ce chapitre III.2, nous allons faire des études complètes des comportements de cette filière et des impacts des dispersions technologiques par rapport aux quelques caractéristiques importantes du VDMOS (par exemple : la tension de seuil, la tenue en tension, l'amorçage du transistor bipolaire parasite dans la zone pincée) en appliquant notre nouvelle approche proposée dans la partie II. Cela consiste en :

- un travail de modélisation analytique,
- l'identification des paramètres inconnus du modèle technologique (par exemple, les coefficients physiques inconnues),
- des calculs de sensibilité des caractéristiques du VDMOS en fonction des dispersions technologiques autour d'un point de calcul issu de la thèse de R. Mitova.

A la fin de ce chapitre, nous allons appliquer une approche d'optimisation multi-objectifs afin de dimensionner une filière technologique de VDMOS figée pour une plage de tension nominale de 200V à 900V. Lors de cette étude, nous dimensionnerons à la fois le masque et la filière du VDMOS. Trois niveaux de contraintes à fixer seront présentés, comparés et discutés.

III.2.2. Modélisation d'une filière technologique

La modélisation de la filière technologique est la connexion des modèles des technologies séparées représentant les étapes de réalisation (implantation, diffusion, oxydation) (voir l'annexe 1). Cette modélisation doit fournir au concepteur un modèle qui montre le changement des profils de dopage, l'épaisseur d'oxyde en suivant le procédé technologique d'une filière. A partir de ces comportements technologique-physique, le concepteur peut relier la structure physique désirée au cheminement technologique nécessaire.

Cette filière de VDMOS et son procédé de réalisation ont déjà été présentés en détail dans la thèse de R. Mitova [4]. Cependant, dans cette modélisation, nous prenons seulement les étapes principales qui créent l'épaisseur d'oxyde et les profils de dopages, comme illustré sur la Figure III.1.

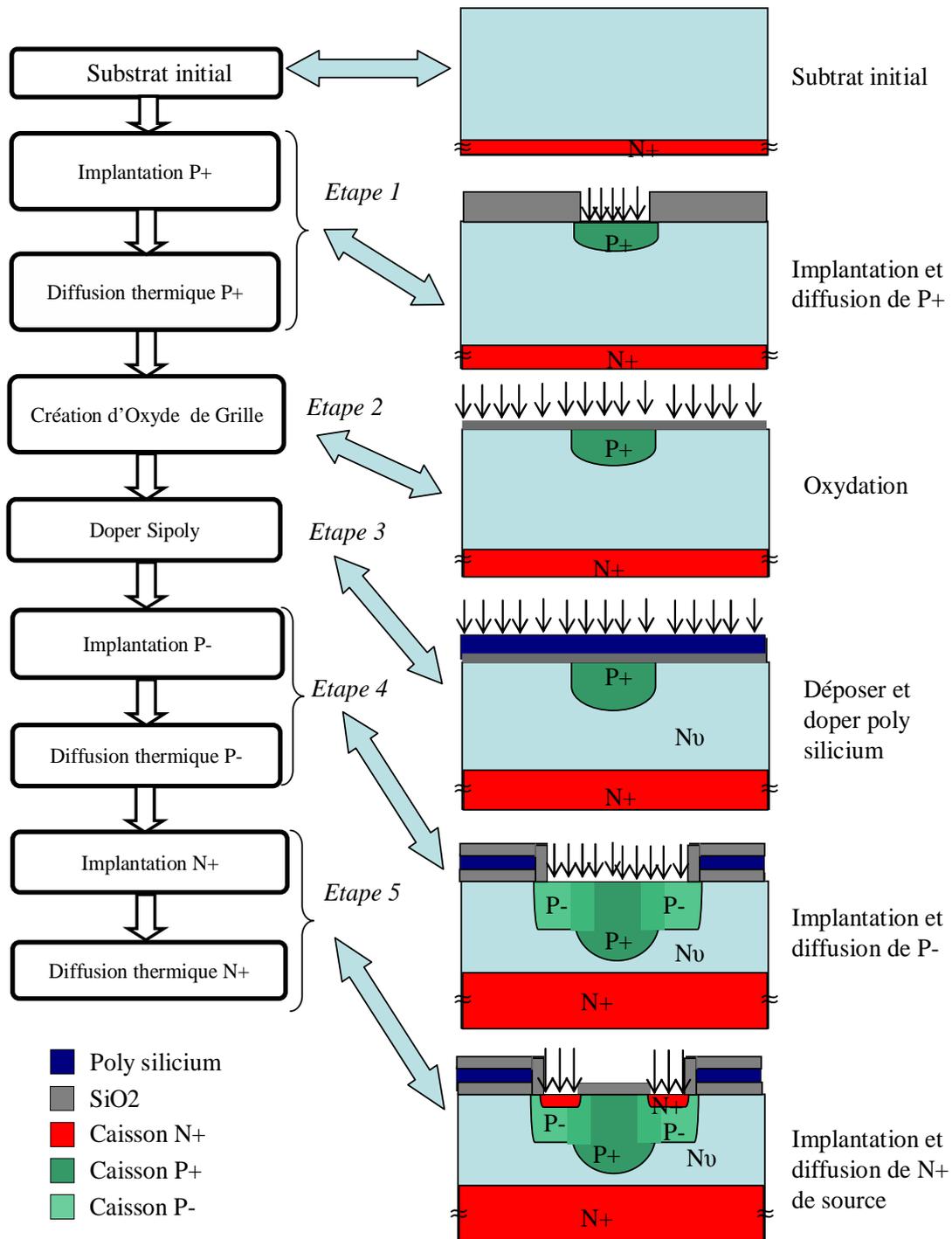


Figure III.1. Enchaînement des étapes principales de la filière technologique de VDMOS

Dans ce procédé technologique principal de la filière technologique du VDMOS, il y a trois étapes de création des caissons de dopage (P+, P-, N+) (étapes 1, 4 et 5), une étape d'oxydation principal pour créer l'oxyde de grille (étape 2) et une étape de création du poly silicium (étape 3). Pour créer les caissons de dopage, le procédé s'appuie sur une étape d'implantation des ions dans le substrat qui est représentée par l'énergie d'implantation ($Energy_x$) et la dose des ions ($Dose_x$), et une étape de diffusion qui est représentée par la

température de diffusion (T_x) et le temps de diffusion (t_x). Les cycles thermiques réalisés pendant le procédé font varier les profils de dopage à l'intérieur du substrat. Ainsi, les profils de N^+ en face arrière et P^+ sont de plus en plus profonds de l'étape 1 à l'étape 5 (voir la Figure III.1), car les diffusions se poursuivent d'une étape à l'autre. C'est pourquoi, les influences du cycle thermique de chaque étape doivent être pris en compte sur les diffusions des profils réalisés dans les étapes précédentes. Les modèles de diffusion doivent donc modéliser ces comportements de la filière technologique, comme illustré sur la Figure III.2.

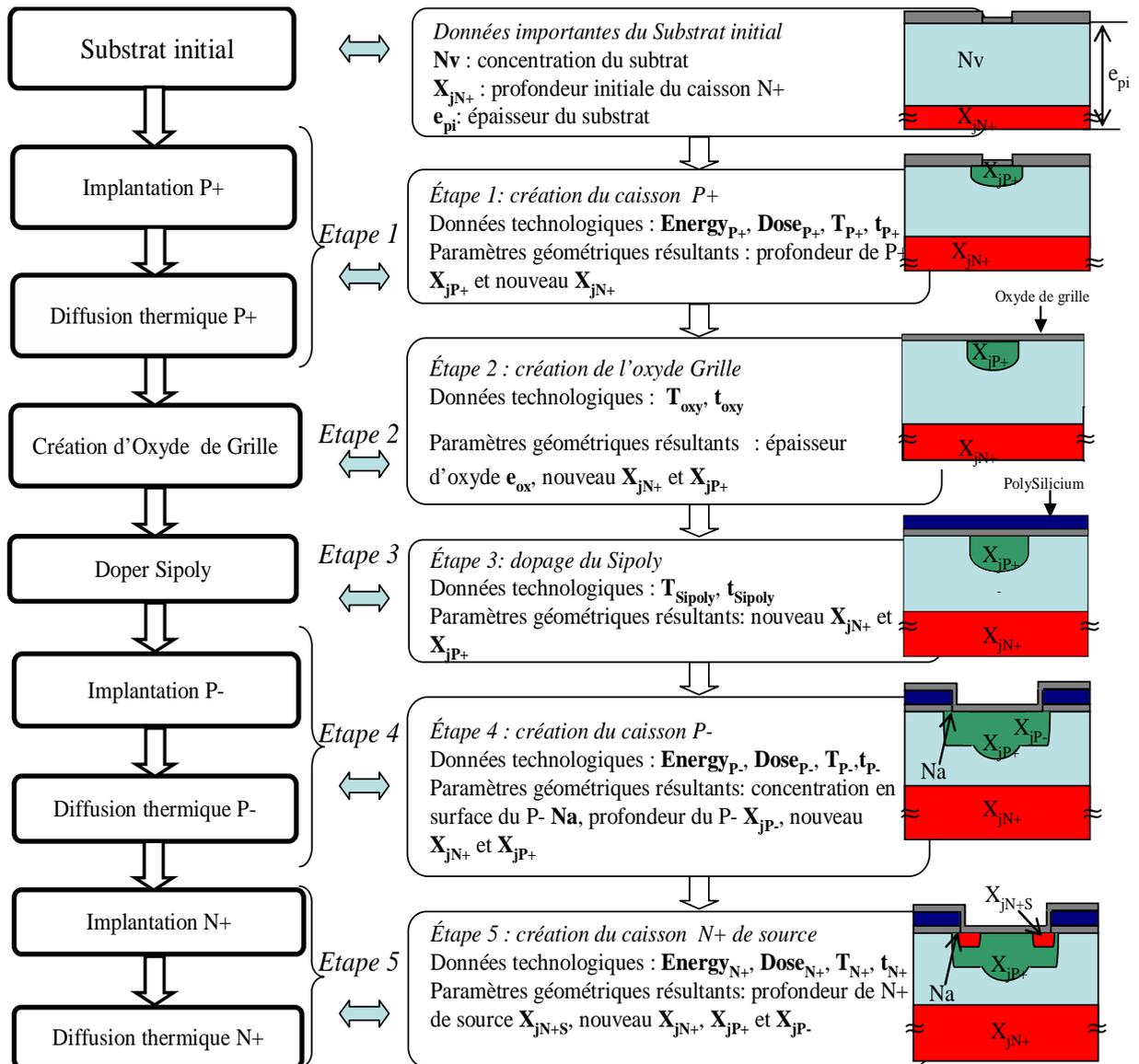


Figure III.2 Le principe de modélisation de la filière technologique.

Selon ce principe :

- Les profils du caisson P^+ et du caisson N^+ en face arrière sont recalculés à l'étape de création de l'oxyde grille, à l'étape de dopage du poly silicium, à l'étape de création des caissons P^- et N^+ de la source.
- Le profil du caisson P^- est recalculé seulement à l'étape N^+ de la source.

La structure finale du VDMOS est carrée. Elle est illustrée sur la Figure III.3 en présentant les paramètres géométriques obtenus par le procédé technologique. Ces paramètres

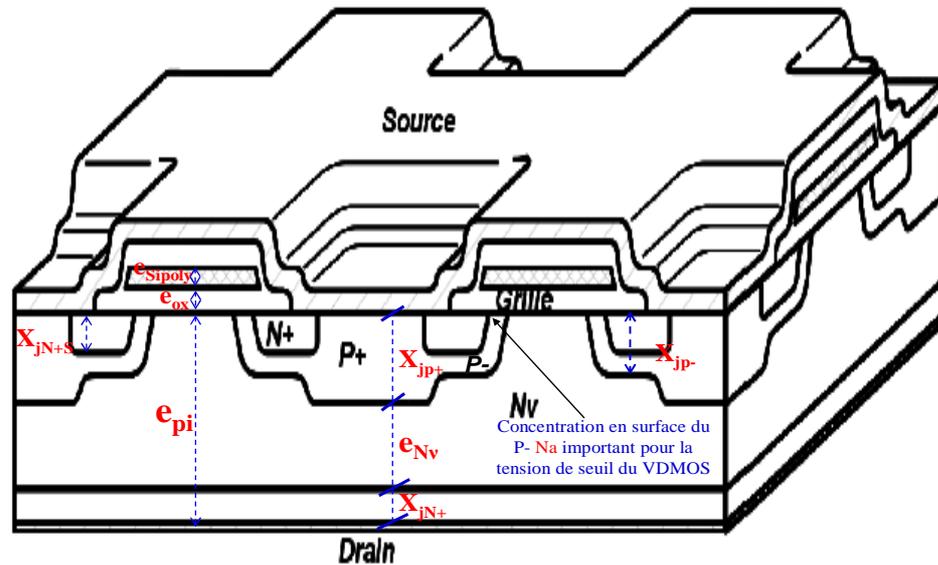


Figure III.3. Structure finale du VDMOS en 3D.

géométriques sont utilisés pour calculer les caractéristiques électriques du VDMOS, par exemple : la tenue en tension du VDMOS, la tension de seuil du VDMOS. Ainsi, on peut avoir une vue globale des comportements entre la filière technologique, la structure finale du VDMOS et les caractéristiques électriques du VDMOS.

En utilisant ce principe et la structuration des données présentées dans la partie II, nous arrivons à voir des comportements des variations des profils de dopage en suivant cette filière de VDMOS, comme montré sur la Figure III.4 et la Figure III.5. Ces figures ont

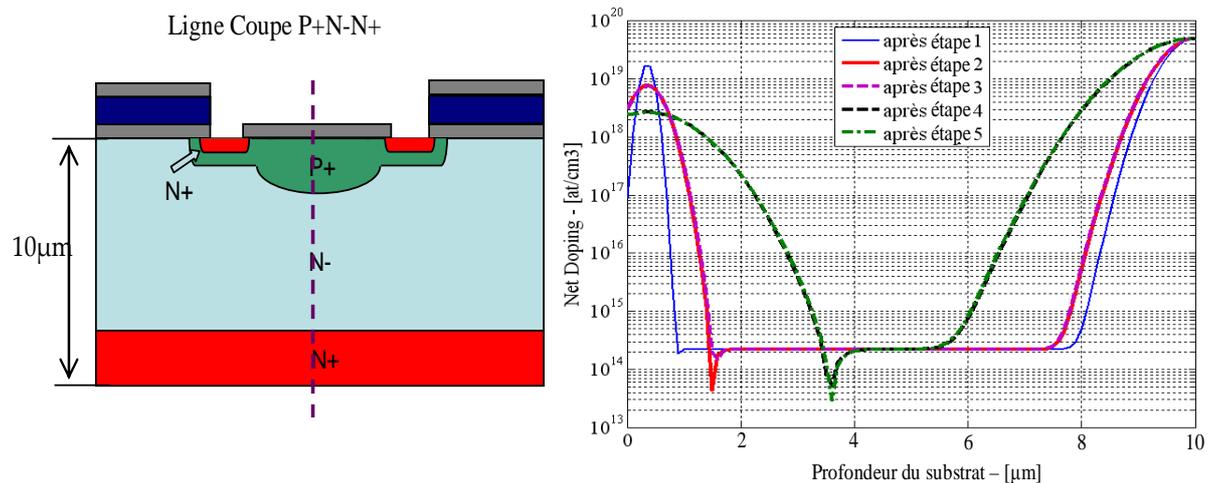


Figure III.4. Variation du profil de dopage suivant la ligne de coupe P+N-N+

montré clairement la diffusion importante des ions des couches dopées dans la zone de tenue en tension N_v . Ceci réduit l'épaisseur de cette zone de tenue en tension dans les deux directions : de la surface vers la profondeur (i.e. la diffusion du caisson P+, P- et N+ de source) et de la face arrière du substrat vers la surface (i.e. la diffusion du caisson N+ en face

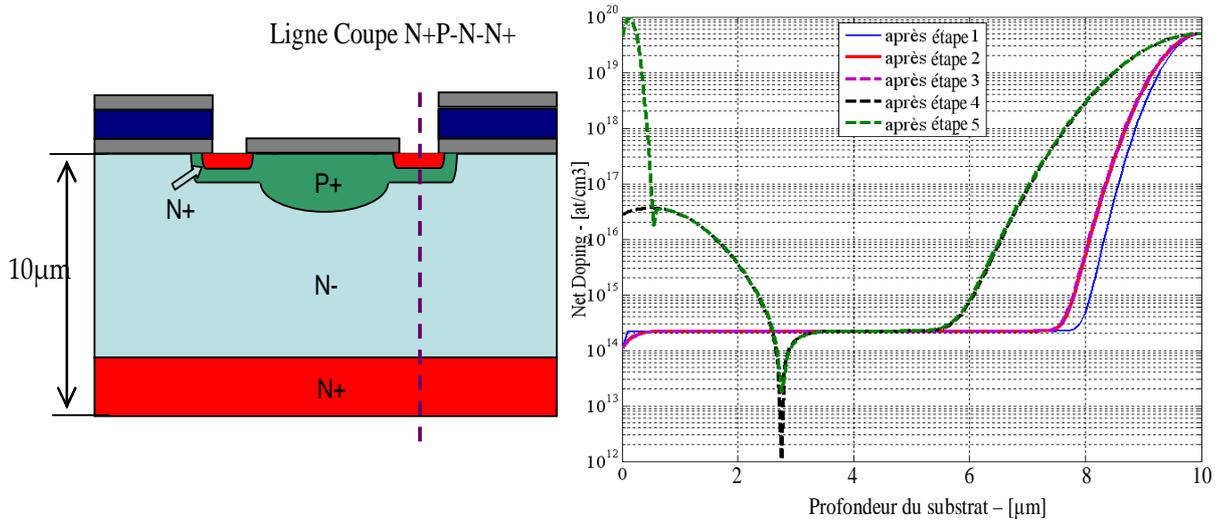


Figure III.5. Variation du profil de dopage suivant la ligne de coupe N+P-N-N+

arrière). Une profondeur de $10\mu\text{m}$ choisie dans ce cas n'est pas réelle, dans le seul souci d'avoir de la facilité de représentation, tout en respectant les effets des étapes.

III.2.3. Identification des paramètres des modèles technologiques

Des modèles ont été identifiés à partir de plusieurs résultats issus de la simulation du procédé technologique dans ATHENA-Silvaco. Ceux-ci sont utilisés ensuite pour les dimensionnements technologiques (voir l'annexe 2). En complément, dans la suite du projet CAPSIS, nous souhaitons construire des plans d'expériences sur des réalisations faites en salle blanche pour caler nos modèles technologiques de manières plus réaliste et en accord avec les caractéristiques de nos équipements. Ce travail étant très coûteux et demandant beaucoup de temps de réalisation, il n'a pas été fait dans le cadre de nos travaux de thèse. En attendant, nous nous proposons de profiter d'une réalisation issue du procédé technologique présenté dans la thèse de R. Mitova [4] et d'une autre réalisation conduite dans la thèse de N. Rouger [6] pour faire les premiers tests de notre approche d'identification des modèles technologiques. Cela se fera à partir des profils de dopage mesurés. La caractérisation technologique conduite dans la thèse de N. Rouger nous donne des profils de dopage expérimentaux. De tels profils obtenus par des mesures expérimentales sont appelés profils SRP (Spreading Resistance Profiling) [4].

Dans ce test, tous les paramètres inconnus du modèle de la filière du VDMOS (implantations et diffusions successives) sont identifiés en même temps, pour représenter de la meilleure façon possible les profils de dopage finaux par des mesures SRP. En conséquence, nous arrivons aux limites de la méthode Levenberg-Marquardt (voir le paragraphe I.3.3.b.i). Nous sommes conduits à utiliser des algorithmes d'optimisation pour cette identification (voir le paragraphe II.3.3.b.ii). Sur les Figure III.7, Figure III.8 et Figure III.9 nous présentons les premiers résultats obtenus. Globalement, le modèle identifié nous a donné des profils de dopage qui décrivent les taux de concentrations proches de ceux données par les SRPs, avec par exemple :

- une bonne précision des profondeurs des jonctions P-/Nv, P+/Nv, et P-/N-,
- un bon niveau de concentration des profils.

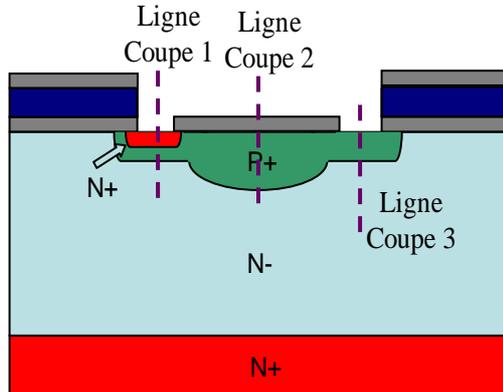


Figure III.6. Structure du VDMOS

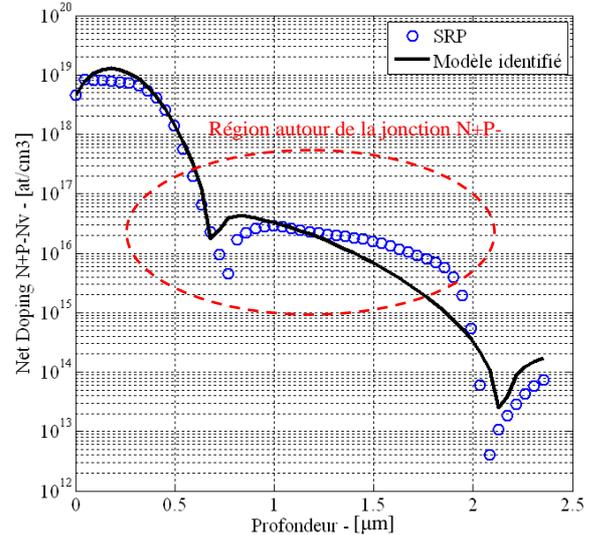


Figure III.7. Comparaison entre les SRPs et le premier modèle identifié sur la ligne coupe 1

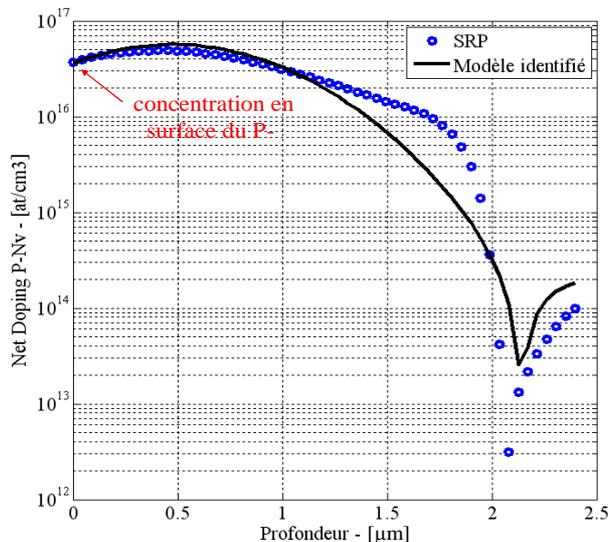


Figure III.8. Comparaison entre les SRPs et le premier modèle identifié sur la ligne coupe 3

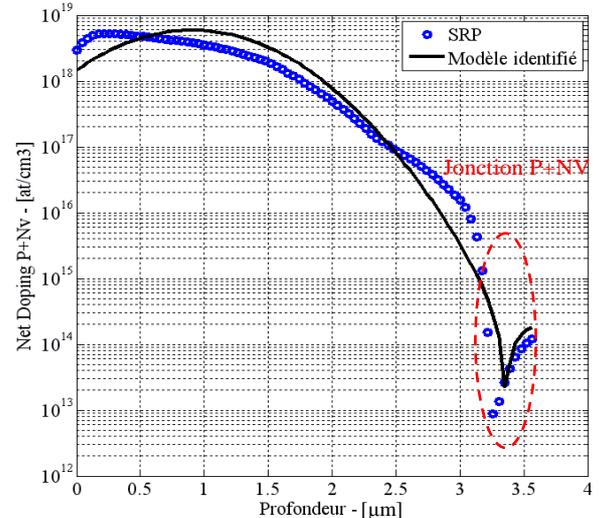


Figure III.9. Comparaison entre les SRPs et le premier modèle identifié sur la ligne coupe 2

Il faut noter ici que ces aspects sont très importants, car ils influencent directement les caractéristiques électriques du composant. On notera les points suivants.

- La concentration en surface du P- Na (voir la Figure III.8) influence la valeur de la tension de seuil du VDMOS. Pour cette concentration, le modèle identifié donne une valeur précise.
- La profondeur de la jonction P+/Nv (voir la Figure III.9) influence la tenue en tension du VDMOS. Nous allons présenter cela plus en détail dans le

paragraphe III.2.4. Le modèle identifié nous donne aussi une valeur précise de ce paramètre.

- La profondeur de la jonction N+/P- et le profil de dopage de P- et N+ autour de cette jonction (voir la Figure III.7) qui déterminent le niveau de la tension d'avalanche de cette jonction. Avec cette identification, la précision du profil de dopage de P-, donné par le modèle, n'est pas satisfaisante pour avoir une valeur précise de la tension d'avalanche.

Ainsi, pour avoir un meilleur modèle qui peut nous donner une meilleure précision du profil de dopage du P- autour la jonction N+/P-, nous avons fait une deuxième identification en éliminant les données moins importantes. Cela signifie que nous n'utilisons que les données à des profondeurs de moins de 1,8 μm pour l'identification (voir la Figure III.10)). Avec cette approche, l'identificateur ne minimise que les erreurs entre le modèle et les mesures dans la zone choisie du profil N+/P-. Ainsi, nous obtenons le résultat de la deuxième identification présenté sur les Figure III.10, Figure III.11 et Figure III.12. Nous constatons

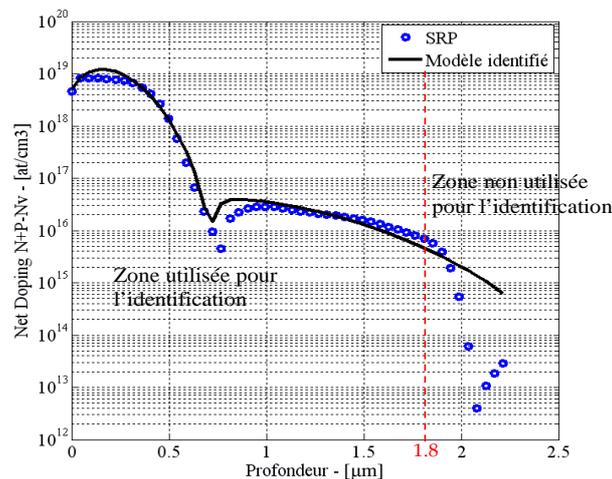


Figure III.10. Comparaison entre les SRPs et le deuxième modèle identifié sur la ligne coupe 1

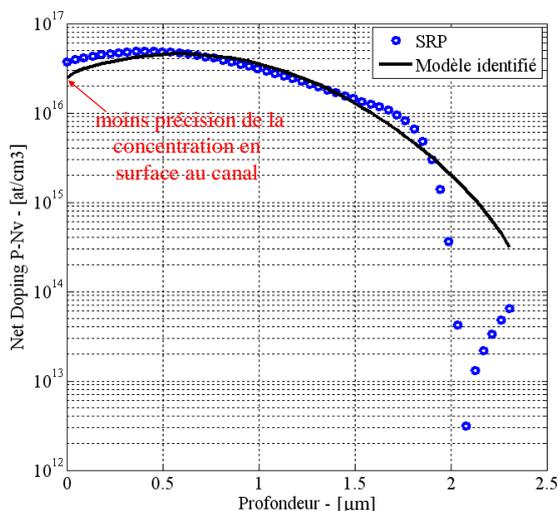


Figure III.11. Comparaison entre les SRPs et le deuxième modèle identifié sur la ligne coupe 3

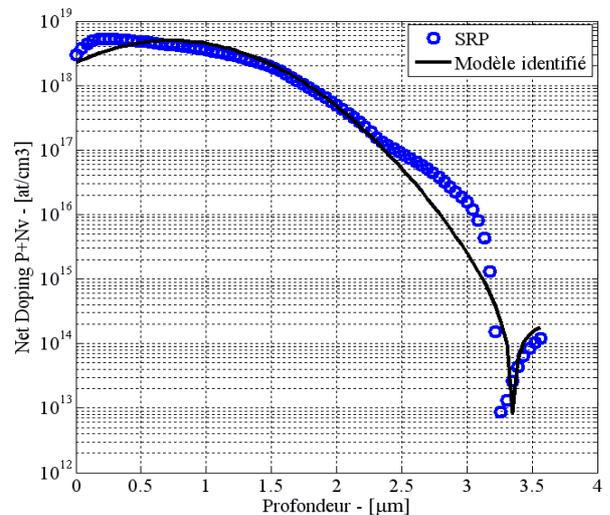


Figure III.12. Comparaison entre les SRPs et le deuxième modèle identifié sur la ligne coupe 2

que l'on obtient :

- un meilleur profil de P- autour de la jonction P-/N+,
- une profondeur précise de la jonction P+/N-,
- une concentration moins précise à la surface du P-,
- une profondeur beaucoup moins précise de la jonction P-/Nv.

Pour conclure, on peut considérer, dans ce test, que notre outil d'identification du modèle de la filière technologique de VDMOS est flexible et satisfaisant. Il nous permet de choisir des données mesurées importantes que l'on veut identifier pour différents objectifs de calcul des caractéristiques électriques du VDMOS.

III.2.4. Analyses de la sensibilité de la filière technologique

Dans ce paragraphe, nous allons utiliser le modèle de la filière de VDMOS identifié dans l'annexe 2 pour faire des analyses. Ce sont des calculs de sensibilité des caractéristiques électriques du VDMOS par rapport aux dispersions du procédé technologique afin de savoir quelles étapes ou paramètres technologiques critiques peuvent provoquer des erreurs importantes lors de la réalisation de VDMOS. Cela permettrait de fiabiliser les « designs » mais aussi de savoir sur quelles étapes technologiques il est important d'introduire des témoins ou de faire des essais préliminaires ou encore d'être très précautionneux. Ces sensibilités sont calculées en utilisant les calculs des gradients, comme cela a été introduit dans la deuxième partie de ce manuscrit. Nous avons utilisé l'outil de dérivation automatique des codes existant dans CADES [89][60] pour dériver :

- le modèle semi-analytique de la filière technologique du VDMOS,
- de nombreux modèles internes et externes écrits en Java.

Ainsi, pour commencer les analyses, nous présentons d'abord les caractéristiques électriques que nous voulons analyser. Ensuite, nous introduisons le calcul de sensibilité de chaque caractéristique présentée.

III.2.4.a. Caractéristiques électriques du VDMOS liées aux dispersions technologiques

Comme introduit dans la première partie, le concepteur en EP doit dimensionner à la fois le jeu de masques et la structure verticale du composant pour chaque cahier de charges. Dans l'application du VDMOS, le jeu de masques impacte fortement les valeurs des capacités parasites (voir la première partie), donc principalement les caractéristiques dynamiques ; tandis que, la structure verticale réalisée par le procédé technologique a des impacts importants sur des caractéristiques statiques mais aussi dynamiques, par exemple :

- la tenue en tension du VDMOS,

- la tension de seuil du VDMOS,
- l'amorçage du transistor parasite dans la zone pincée (voir la Figure III.13).

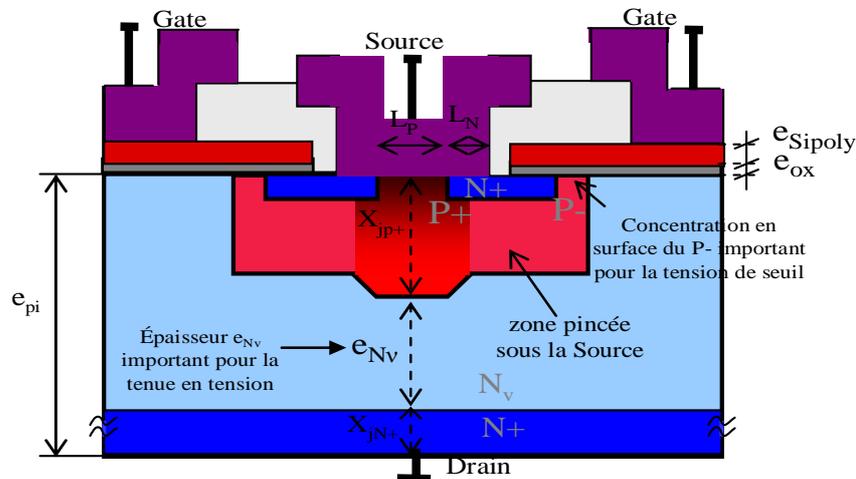


Figure III.13. Structure d'une cellule VDMOS en indiquant les paramètres importants vis-à-vis de nos caractéristiques intéressantes

Il est clair que le changement de la tenue en tension du VDMOS peut entraîner la variation de la résistance à l'état passant. Ceci a donc une influence sur le comportement dynamique du VDMOS. La tension de seuil peut également influencer les caractéristiques dynamiques du VDMOS. Cependant, dans ces analyses de la filière technologique du VDMOS, nous nous limitons justement aux trois caractéristiques listées ci-dessous afin d'éviter d'alourdir ce paragraphe. De plus, la définition et la modélisation de ces caractéristiques sont présentées dans l'annexe 3. Dans le cadre de ce rapport, nous nous concentrons à présenter les analyses de la sensibilité de ces trois caractéristiques précédentes par rapport à des dispersions technologiques.

III.2.4.b. Dispersions technologiques prévues du procédé technologique du VDMOS.

Afin d'analyser la sensibilité des caractéristiques électriques du VDMOS (présentées précédemment) par rapport à la réalisation technologique, nous allons déterminer les paramètres technologiques importants dont la dérive peut entraîner un risque important pour la viabilité du procédé ou les caractéristiques de fonctionnement au cours de la réalisation en salle blanche.

Pour simplifier ce problème, nous prenons quelques hypothèses :

- la concentration N_v du substrat donnée au début du procédé est précise, sans dispersion, par rapport à la valeur voulue,
- il n'y a pas d'erreur sur le temps de diffusion des cycles thermiques, grâce à une bonne maîtrise des machines et de l'opérateur,

- la dose et l'énergie d'implantation sont très bien maîtrisées par le réalisateur.

Ainsi, les dispersions technologiques que nous allons analyser, sont :

- l'erreur sur l'épaisseur du substrat donnée en raison de l'étape d'épitaxie,
- les températures de diffusion de tous les cycles thermiques en raison des différences entre la température donnée par le réalisateur et celle présente dans le four,
- les rendements d'implantations qui présentent le rapport entre la dose réelle implantée dans le substrat et celle spécifiée sur la machine d'implantation. Ces paramètres sont importants et peuvent impacter fortement les résultats attendus,
- les erreurs au niveau des alignements qui font varier les paramètres latéraux du composant, par exemple : la longueur du caisson N⁺ de la source et le canal P⁻.

III.2.4.c. Sensibilité de la tenue en tension du VDMOS par rapport aux dispersions technologiques

En synthétisant la définition de la tenue en tension du VDMOS dans l'annexe 3, nous listons ci-dessous des paramètres géométriques et technologiques qui sont importants pour la tenue en tension de VDMOS :

- la concentration du substrat N_v ,
- l'épaisseur du substrat e_{pi} ,
- la profondeur diffusée du caisson P⁺, X_{jp+} ,
- la profondeur diffusée de caisson N⁺ en face arrière, X_{jN+} .

Par rapport aux dispersions définies précédemment, N_v est considérée comme constante pour cette analyse. Tandis que e_{pi} , X_{jp+} et X_{jN+} sont des paramètres qui peuvent varier.

Les calculs de sensibilité de la tenue en tension en fonction de ces paramètres sont réalisés par CADES@Calculator tout comme la dérivation automatique de code du modèle [89]. Les résultats sont présentés dans le Tableau III.1. Dans ce tableau, nous présentons uniquement les paramètres qui influencent la tenue en tension du VDMOS.

Tableau III.1. Sensibilité de la tenue en tension du VDMOS aux dispersions technologiques

paramètres	valeurs	variations	ΔX_{jN+} (μm)	ΔX_{jP+} (μm)	Δe_{Nv} (μm)	ΔV_{max} (V)	ΔV_{max} (%)
e_{pi} (μm)	50	-5,0	0	0	-5,0	-42,75	-9
$N_{na0\text{max}}$ (at/cm ³)	5.10^{19}	+1.10 ¹⁹	# 0	0	# 0	# 0	
$R_{\text{doseP+}}$ (%)	50	+10	0	# 0	# 0	# 0	
T_{N+} (°C)	1000	+50	# 0	# 0	# 0	# 0	
T_{oxy} (°C)	1050	+50	+0,10	+0,14	-0,24	-2,0	-0,4
T_{P-} (°C)	1100	+50	+0,86	+1,19	-2,05	-17,5	-3,7
T_{P+} (°C)	950	+50	# 0	# 0	# 0	# 0	
T_{Sipoly} (°C)	950	+50	# 0	# 0	# 0	# 0	

où :

- $N_{na0\text{max}}$: concentration maximale du caisson N+ en face arrière
- $R_{\text{doseP+}}$: rendement d'implantation du P+
- T_{N+} , T_{P-} , T_{P+} , T_{oxy} , T_{Sipoly} : respectivement, températures de diffusion du N+, du P-, du P+, température d'oxydation et température de dopage du Polysilicium.

Les paramètres technologiques comme $N_{na0\text{max}}$, $R_{\text{doseP+}}$ influent de façon modérée sur les diffusions du N+ en face arrière et du P+ en face avant. En conséquence, cela influe sur V_{max} (ΔV_{max}), mais de façon très faibles et négligeables.

En revanche, les erreurs sur l'épaisseur initiale du substrat e_{pi} provoquent directement des dispersions importantes de l'épaisseur de la zone de tenue en tension e_{Nv} . Ainsi, la tenue en tension est très sensible à la dispersion de ce paramètre. La Figure III.14 montre la

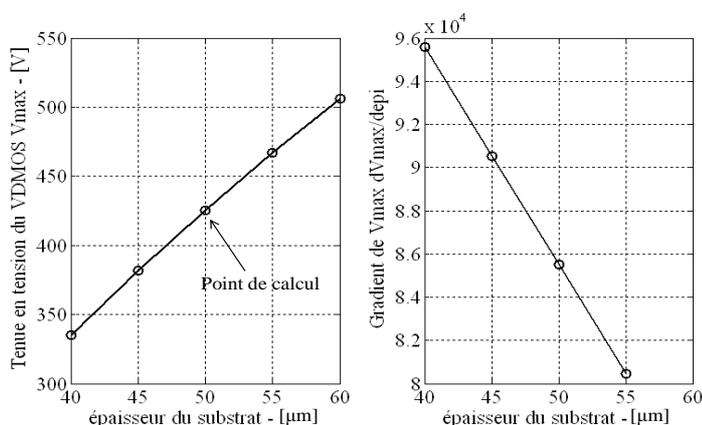


Figure III.14. Variation et sensibilité de la tenue en tension du VDMOS en fonction de l'épaisseur du substrat

variation de V_{max} et son gradient en fonction de e_{pi} autour du point de calcul. On peut constater une diminution légère de dV_{max}/de_{pi} . Malgré cette diminution de sensibilité, ce paramètre est encore très important pour la tenue en tension.

Les étapes de diffusion du procédé technologique font diffuser plus profondément les caissons dans le substrat. Les deux caissons N+ en face arrière et P+ sont existants en début du procédé. Ils subissent donc toutes les étapes de diffusion du procédé technologique. En conséquence, les dispersions des températures T_{N+} , T_{P-} , T_{P+} , T_{oxy} , T_{Sipoly} provoquent des erreurs des valeurs X_{jN+} , X_{jP+} et donc font varier la tenue en tension du composant VDMOS réalisé (voir le Tableau III.1). Parmi ces températures de diffusion, la tension V_{max} est plus sensible à la dispersion de T_{P-} en raison de la durée de cette diffusion de P- (environ une centaine de minutes). Avec les données du procédé technologique utilisées pour ces calculs, la tenue en tension initiale est $V_{max0} = 425V$ (voir la Figure III.14). Une augmentation de $50^{\circ}C$ de T_{P-} fait diminuer de $17,5V$ la valeur de V_{max} . Cette diminution est d'environ -5% , pour une augmentation relative de la température de $4,55\%$. La tenue en tension du VDMOS est donc sensible à cette température lorsque le temps de diffusion du P- ($tp-$) augmente (voir la Figure III.15).

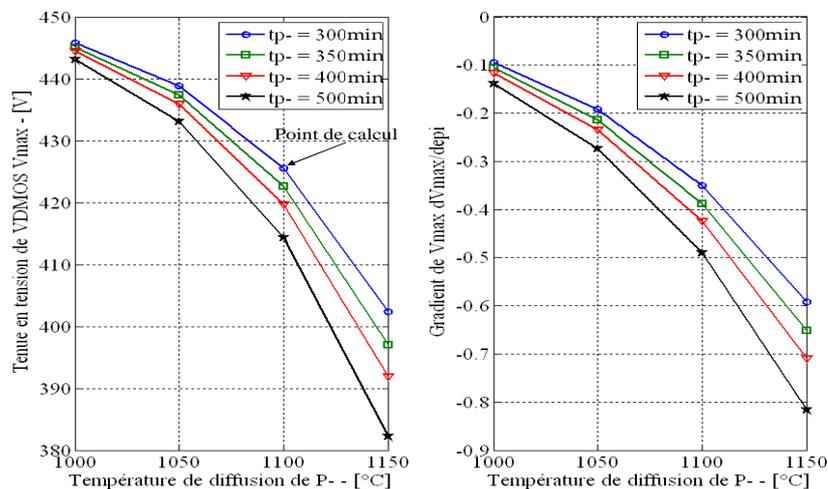


Figure III.15. Variation et sensibilité de la tenue en tension du VDMOS en fonction de la température de diffusion de P- avec différents temps de diffusion

Pour une durée de 500 minutes, une augmentation de $50^{\circ}C$ de T_{P-} (de 1100 à 1150) fait diminuer la tension d'avalanche d'environ $35V$ ($8,24\%$). Dans ces analyses, à chaque point, la tenue en tension du VDMOS est calculée en exploitant la modélisation présentée dans l'annexe 3

La grande conclusion de cette analyse est que plus la tenue en tension du composant est faible, plus l'erreur sur l'épaisseur de la couche épitaxiée doit être faible ! Pour des composants haute tension, la robustesse de la caractéristiques tenue en tension est forte par rapport au dispersion du procédé technologique, ce qui n'est pas du tout le cas des composants basses tensions. La frontière entre composants hautes tensions et composant basses tensions est à déterminer en fonction des écarts que l'on tolère sur la tenue en tension des composants de puissance lors de leur réalisation.

III.2.4.d. Sensibilité de la tension de seuil du VDMOS aux dispersions technologiques

En analysant le modèle de la tension de seuil du VDMOS (voir l'annexe 3), on peut constater la présence de deux paramètres physiques importants pour la valeur de la tension V_{th} : l'épaisseur d'oxyde e_{ox} et la concentration en surface du P- Na. Ces deux paramètres sont liés directement aux dispersions des paramètres technologiques suivants :

- R_{doseP-} : rendement d'implantation des ions Bore lors de l'étape de création du caisson P-. Sa valeur influence fortement la valeur de Na.
- T_{N+S} : température de diffusion du N+ de la source. Car le caisson P- subit également cette diffusion du N+. Elle fait donc diminuer Na.
- T_P : température de diffusion du P- de la source. Ce paramètre fait varier principalement la valeur de Na.
- T_{oxy} : température d'oxydation de la création d'oxyde sous la grille. Elle impacte donc directement l'épaisseur de cette couche d'oxyde.
- La diffusion du Bore dans l'oxyde de Grille : la redistribution du Bore dans l'oxyde durant sa diffusion fait diminuer la concentration en surface du P- et la qualité de l'oxyde. Elle influence donc la tension de seuil du VDMOS. Cependant nous ne prenons pas encore cet impact dans les calculs, car la modélisation de cette diffusion n'est pas aisée.

En conséquence, la valeur de la tension de seuil dépend directement de ces paramètres technologiques.

En nous appuyant aux données technologiques présentées dans la thèse de R. Mitova [4], ($T_{oxy}=1050^{\circ}C$, $T_P=1100^{\circ}C$, $t_{oxy} = 72$ minutes, $t_p = 300$ minutes), et supporté modèle, nous avons obtenu une tension de seuil de 2V. Des variations de ces paramètres autour de leur point théorique provoquent des variations de la tension de seuil. La valeur mesurée de la tension de seuil lors de ce procédé était de 1,25V. Les calculs de sensibilité de la tension de seuil en fonction des dispersions des paramètres précédents sont illustrés dans le Tableau III.2

Tableau III.2. Sensibilité de la tension de seuil du VDMOS aux dispersions technologiques

Paramètres	Valeurs	Variations	ΔNa (at/cm ³)	Δe_{ox} (nm)	ΔV_{th} (V)	ΔV_{th} (%)
$T_{N+S}(^{\circ}C)$	1000	+50	-1.10 ¹⁴	0	# 0	
$T_{oxy}(^{\circ}C)$	1050	+50	0	+36	+0,86	+43,0
$T_P(^{\circ}C)$	1100	+50	-6.10 ¹⁵	0	-0,25	-12,5
$R_{doseP-}(\%)$	50	-10	-4,4.10 ¹⁵	0	-0,19	-9,5

Parmi les paramètres analysés, la tension V_{th} est la moins sensible à la dispersion de T_{N+S} . Elle n'est presque pas inchangée lorsque T_{N+S} augmente de 1000°C à 1050°C (5%). Les autres paramètres ont des influences plus importantes.

Les deux paramètres de l'étape de création P- (T_p et R_{doseP-}) font diminuer de 12,5% et 9,5% la valeur de V_{th} . La sensibilité de V_{th} en fonction de T_p va diminuer lorsque la diffusion de P- est plus longue, comme illustré sur la Figure III.16.

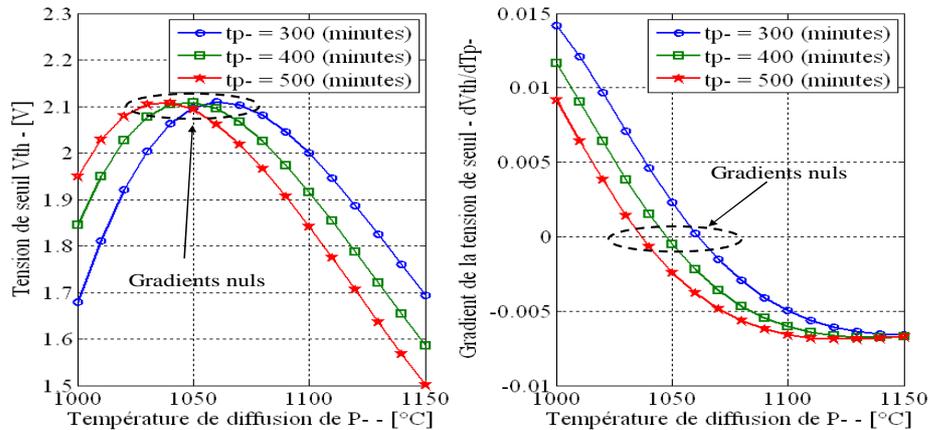


Figure III.16. Tension de seuil et son gradient en fonction de la température de diffusion avec différents temps de diffusion t_p : 300, 400, 500 minutes

Il y a un point très intéressant sur ces courbes. Il existe une température qui donne un gradient nul. Autour de cette température, la tension de seuil V_{th} est moins sensible par rapport à des variations modérées de T_p . Cette température va diminuer lorsque la diffusion dure plus longtemps.

Dans le Tableau III.2, la tension de seuil V_{th} est aussi sensible au rendement d'implantation R_{doseP-} . Lorsqu'il diminue de 10%, V_{th} diminue de 9,5%. V_{th} est plus sensible si la dose d'implantation de P- est plus importante (voir la Figure III.17). En complément, cette tension de seuil sera plus sensible en fonction de ce rendement d'implantation avec une dose d'implantation plus grande (voir la Figure III.17).

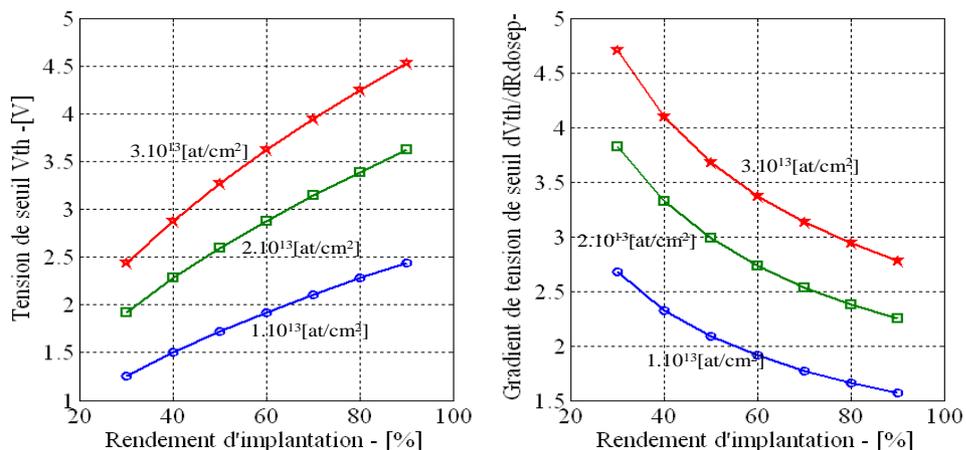


Figure III.17. Tension de seuil et son gradient en fonction du rendement d'implantation avec différentes doses initiales : $1 \cdot 10^{13}$, $2 \cdot 10^{13}$, $3 \cdot 10^{13}$ at/cm²

La dispersion de la température d'oxydation T_{oxy} est le paramètre le plus critique pour la tension de seuil. En effet, elle impacte directement l'épaisseur d'oxyde de grille e_{ox} et donc la tension de seuil. Cette sensibilité va augmenter lorsque la concentration en surface Na est

plus grande. Ainsi, ce paramètre technologique est le plus important pour la tension de seuil V_{th} . En effet, le procédé de fabrication entraîne des dispersions qui aboutissent à des écarts sur la valeur de tension de seuil V_{th} par rapport à celle dimensionnée à partir du cahier des charges, notamment en fonction de T_{oxy} . Cependant, cela peut être compensé par l'étape de création de P-. En effet, le réglage de l'étape de création du P- peut compenser la dispersion créée par l'étape précédente si un témoin de contrôle est introduit durant l'étape d'oxydation. De même, au cours du procédé, la température d'oxydation exacte dans le four est difficile à vérifier ; mais là encore, l'épaisseur de l'oxyde de Grille obtenue peut être mesurée dès la fin de cette étape. Ainsi, un réglage de P- peut être efficace pour corriger l'erreur possible de la tension V_{th} par rapport au cahier des charges à condition que les caractéristiques de ce caisson permettent être modifiées.

III.2.4.e. Sensibilité de l'amorçage du transistor parasite et du perçage par rapport aux dispersions technologiques

L'amorçage du transistor bipolaire parasite dans la zone pincée sous le caisson de la source (voir la Figure III.18) provoque un dysfonctionnement du VDMOS (mise en conduction parasite). Cet amorçage « dynamique » est défini par le passage de la tension base-émetteur V_{be} au-delà de la limite 0,4(V) (voir l'annexe 3). Par ailleurs, le perçage entre la jonction P-/Nv et la jonction N+/P- peut provoquer aussi le dysfonctionnement du VDMOS (« statique »). Ainsi, ces deux caractéristiques doivent être analysées comme des contraintes lors du dimensionnement du VDMOS.

L'amorçage du transistor parasite et le perçage dépendent fortement des paramètres de la zone pincée sous la source du VDMOS, comme présenté précédemment. L'influence peut être représentée de manière couplée avec la concentration en charges libres présente entre les deux jonctions PN ce qui peut se ramener à une dose en tenant compte de cette distance ou une résistance R_x . Par ailleurs, au niveau du comportement dynamique du bipolaire parasite,

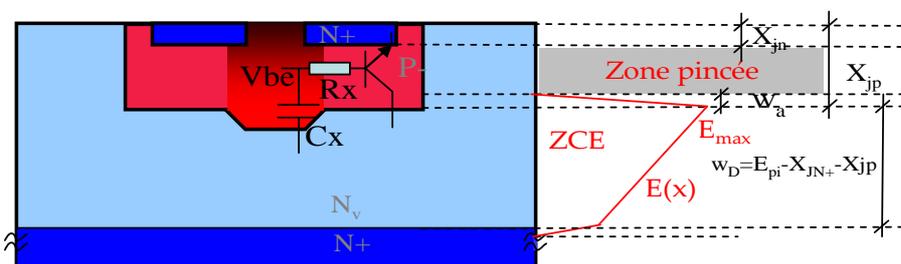


Figure III.18. Transistor bipolaire parasite entre la source, le porte-canal et le drain et définition de la zone pincée

la capacité de la zone tenue en tension C_x joue un rôle significatif (voir la Figure III.18). R_x et C_x dépendent également de paramètres géométriques et de paramètres technologiques, comme listé ci-dessous.

- Le rendement d'implantation du P-, R_{doseP-} , influence la dose de P- dans la zone pincée et donc la résistance Rx. La diminution du R_{doseP-} fait augmenter cette résistance Rx.
- La température de diffusion de P-, T_{p-} , modifie la profondeur de la jonction P-/N-. Ainsi, elle influence à la fois l'extension de la ZCE dans la région P-, la dose de la zone pincée et l'épaisseur de la zone tenue en tension e_{Nv} . En conséquence, la variation de T_{p-} fait varier Rx et Cx en deux sens inverses. Ainsi, nous avons le comportement en deuxième ordre de la tension V_{be} en fonction de T_{p-} .
- Le rendement d'implantation R_{doseN+} et la température de diffusion T_{N+S} de l'étape de création N+ de source font varier la profondeur de la jonction N+/P- (X_{jn}), et également le profil de P-. En conséquence, ils influencent la dose de la zone pincée et donc la résistance Rx. De façon plus détaillée, les augmentations du T_{N+S} et R_{doseN+} prolongent la jonction N+/P-. Ceci fait augmenter la résistance Rx.
- Les erreurs d'alignement peuvent provoquer une dispersion de la longueur du caisson de la source l_{np} . Si cette dispersion fait augmenter l_{np} , elle entraîne donc une augmentation de Rx et en conséquence une augmentation de V_{be} . Une dispersion liée à une erreur d'alignement peut être d'environ $\pm 2\mu m$.
- L'erreur de l'épaisseur du substrat fait varier la capacité Cx.
- Les autres paramètres technologiques (la température de diffusion P+, le temps d'oxydation et le temps de dopage de polysilicium) modifient les paramètres géométrique de la zone pincée, mais très faiblement, puisqu'ils impactent seulement sur l'épaisseur de la zone de tenue en tension e_{Nv} . Plus précisément, la création de la zone P- intervient après ces étapes. Ainsi, la fabrication du P- ne prend pas en compte les impacts de ces étapes.

L'objectif de ce calcul est de déterminer les deux comportements (l'amorçage du transistor parasite et le perçage) impactés par les dispersions des paramètres technologiques présentées. Nous déterminons d'abord ce point de calcul :

- la tension $V_{be} = 0,22V$,
- l'extension de ZCE dans la partie de P- par $w_a = 1,78 \mu m$, $X_{jn} = 0,5 \mu m$ et la profondeur de la jonction P-/Nv $X_{jp} = 2,8 \mu m$,
- la dose de la zone pincée $dose_{pincée} = 1,6 \cdot 10^{12} \text{ at/cm}^2$.

Le Tableau III.3 illustre la variation des paramètres physiques et géométriques influant sur la variation de V_{be} en fonction des dispersions des paramètres technologiques autour du point de calcul. Il faut noter que nous avons fixé quelques conditions de fonctionnement du VMDOS afin de faire ces calculs, par exemple :

- le $dV_{ds}/dt = 100 \text{ V/ns}$ ou kV/ps ,

- la tension V_{ds} maximale appliquée au transistor parasite est la tenue en tension, du VDMOS afin d'avoir une extension maximale de la ZCE.

Tableau III.3. Sensibilité du V_{be} du transistor bipolaire aux dispersions technologiques

paramètres	valeur	variations	ΔX_{jn} (μm)	ΔX_{jp} (μm)	Δw_a (μm)	Δe_{Nv} (μm)	$\Delta \text{dose}_{\text{Pincée}}$	ΔV_{be} (V)	ΔV_{be} (%)
e_{pi} (μm)	50	-5,0	0	0	# 0	-5	# 0	+0,014	+6,4
$R_{\text{dose}N+}$ (%)	50	+10	# 0	0	0	0	# 0	# 0	
$R_{\text{dose}P-}$ (%)	50	-10	# 0	# 0	+0,05	0	$-5 \cdot 10^{-11}$	+0,066	+30
T_{N+S} ($^{\circ}\text{C}$)	1000	+50	+0,13	# 0	# 0	#0	$-4,7 \cdot 10^{-11}$	+0,061	+27,7
T_p ($^{\circ}\text{C}$)	1100	+50	# 0	+0,88	+0,66	-2,1	# 0	+0,055	+25
l_{np} (μm)	6	+2	0	0	0	0	0	+0,097	+44,1

Ces résultats donnent une valeur maximale possible de V_{be} de $0,22+0,097 = 0,317\text{V}$ avec une dispersion de $2\mu\text{m}$ sur l'alignement du masque de la source. Le transistor parasite ne s'amorce donc pas. Cependant, si deux dispersions apparaissent en même temps dans une réalisation technologique (par exemple : l'erreur d'alignement et le rendement d'implantation du P-), le transistor parasite peut s'amorcer. En conséquence, le VDMOS ne satisferait pas les performances attendues ; tandis que le perçage du VDMOS n'apparaît pas sous des dispersions technologiques précédentes.

Parmi ces paramètres technologiques, V_{be} est moins sensible en fonction de la diminution de e_{pi} . Cependant, elle est plus sensible à la variation de ce paramètre lorsque e_{pi} est plus grand (voir la Figure III.19). On ne peut pas négliger les dispersions de ce paramètre.

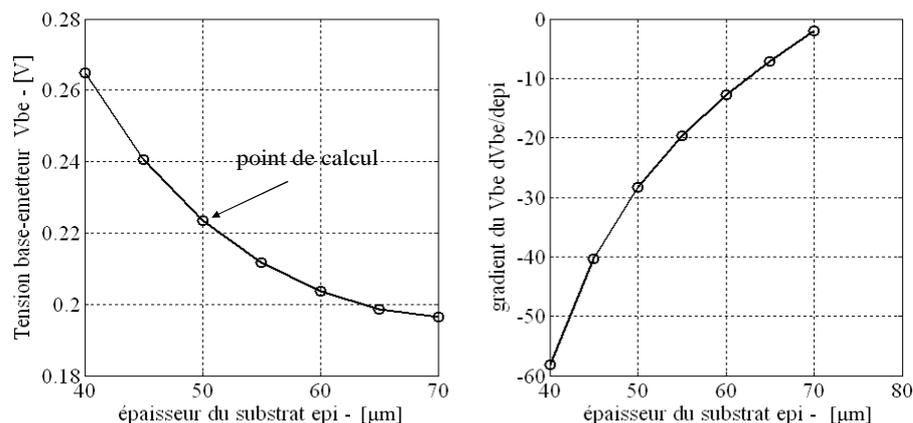


Figure III.19. Tension base-émetteur du transistor parasite en fonction de l'épaisseur du substrat

Les dispersions du $R_{\text{dose}P-}$, T_{N+} , T_p et l_{np} sont également importantes pour l'amorçage du transistor parasite. La sensibilité de V_{be} en fonction de ces paramètres va changer lorsque les autres paramètres technologiques (par exemple : temps de diffusion, dose d'implantation) changent, comme pour les analyses pour la tenue en tension (voir le paragraphe III.2.4.c) et la tension de seuil (voir le paragraphe III.2.4.d).

III.2.4.f. **Etapes, paramètres technologiques critiques de la filière technologique**

Afin de déterminer les paramètres technologiques critiques pour la réalisation technologique en salle blanche et ainsi que pour le dimensionnement technologique du VDMOS, nous synthétisons les calculs de sensibilité et les analyses précédentes dans ce paragraphe.

Premièrement, les paramètres technologiques les plus critiques viennent de **l'étape de création du P-** : la température de diffusion T_p et le rendement d'implantation R_{doseP} . En effet, les trois caractéristiques considérées sont sensibles à la variation de T_p . Avec les données du procédé technologique présentés dans la thèse de R. Mitova [4], une augmentation de 50 °C de cette température provoque une réduction de 5% de la tenue en tension, une réduction de 12,5% de la tension de seuil et une augmentation de 27,5% de la tension V_{be} . Tandis qu'une variation de 10% de R_{doseP} fait varier de 9,5% la valeur de la tension de seuil et de 33% la tension V_{be} . Plus spécifiquement, ce paramètre est très difficile à déterminer. Il dépend de la machine d'implantation, de la dose d'implantation, de l'énergie d'implantation et du type d'ion implanté. Il est donc difficile de maîtriser ce paramètre.

Deuxièmement, **les erreurs sur l'épaisseur du substrat e_{pi}** ont un grand impact sur la tenue en tension du VDMOS. Une perte de 5 μm de e_{pi} provoque une réduction de 10% sur la tenue en tension à 400V. Mais cela peut devenir particulièrement critique pour les calibres en tension plus faibles, par exemple autour de la centaine de volts. Cette réduction de la tenue en tension peut provoquer un dysfonctionnement du VDMOS dans un environnement inductif en raison d'une surtension (voir la partie I). Elle a également un faible impact sur la tension V_{be} .

Troisièmement, **la température d'oxydation** est très critique pour la tension de seuil du VDMOS réalisé. Pour le procédé utilisé dans ces calculs, une augmentation de 50°C de T_{oxy} provoque une augmentation de 43% de V_{th} . Ce changement de V_{th} est très critique pour : le comportement dynamique du VDMOS et aussi pour ses modules fonctionnels (sa commande rapprochée et l'auto-alimentation de cette commande rapprochée). En complément, V_{th} est plus sensible en fonction de T_{oxy} lorsque la concentration en surface du canal, N_a , est plus grande. Ainsi, pour un V_{th} donnée, on préfère une concentration N_a plus faible et une épaisseur e_{ox} plus épaisse. Cependant, une faible valeur de N_a provoque une augmentation de la résistance de la zone pincée. Ainsi, le dimensionnement technologique doit trouver le meilleur compromis entre la tension de seuil et la résistance de la zone pincée.

Quatrièmement, la température de diffusion du N+ de la source T_{N+S} est importante pour l'amorçage du transistor parasite.

Finalement, les **dispersions d'alignement des masques** du VDMOS peuvent également devenir un paramètre important. La tension V_{be} est très sensible à la variation de ce paramètre. Ces dispersions viennent de la difficulté d'alignement lors de la réalisation en

salle blanche. Principalement les dispersions d'alignement des masques peuvent provoquer un court circuit entre les électrodes (par exemple : entre la source et la grille (voir la thèse de D. B. Nguyen [5])). Dans le cadre de cette thèse, nous n'arrivons pas encore à modéliser l'étape de gravure et de dépôt des électrodes du VDMOS. Nous ne pouvons donc pas analyser ce problème de court circuit.

III.2.5. Dimensionnement d'une filière technologique figée d'une cellule de VDMOS générique pour une gamme de tension nominale.

Après les études de la sensibilité introduites puis développées dans la partie précédente, nous pouvons savoir quelles étapes et quels paramètres technologiques sont critiques pour cette filière technologique du VDMOS. Cependant, il n'est pas facile de maîtriser ces paramètres lors de la réalisation en salle blanche. Les technologies utilisées en salle blanche ne sont pas toujours bien caractérisées. Il y a des paramètres technologiques importants, qui ne sont pas explicites, par exemple : le rendement d'implantation. C'est pourquoi, nous avons besoin des caractérisations technologiques. Cependant, nous ne pouvons pas réaliser les caractérisations et fiabiliser une filière technologique du VDMOS, si elle change souvent de cahier de charges. Nous avons introduit cette problématique dans la première partie de ce rapport et nous avons déjà proposé une approche pour figer une filière technologique pour une plage de cahiers des charges dans cette première partie. Nous allons donc présenter maintenant un dimensionnement applicatif d'une filière technologique de VDMOS figée pour une gamme de tensions nominales du VDMOS.

III.2.5.a. Plage de cahiers des charges

Les conditions d'utilisation considérées pour le dimensionnement de VDMOS sont les suivantes :

- la plage de la tension de travail : 200V, 400V, 600V, 900V,
- une application au sein d'une structure de type hacheur série,
- une puissance de sortie du convertisseur de 500W, cette valeur étant arbitraire,
- un rapport cyclique de 0,5, cette valeur étant arbitraire,
- la fréquence de commutation de 150kHz, cette valeur étant arbitraire.

III.2.5.b. Spécifications du dimensionnement

III.2.5.b.i. Paramètres de dimensionnement

Pour cette application, nous dimensionnons un VDMOS à cellules élémentaires carrées (voir la Figure III.20) en trois parties :

- le dimensionnement du substrat du VDMOS en fonction de la tenue en tension

- le dimensionnement du jeu de masques
- le dimensionnement de la filière technologique.

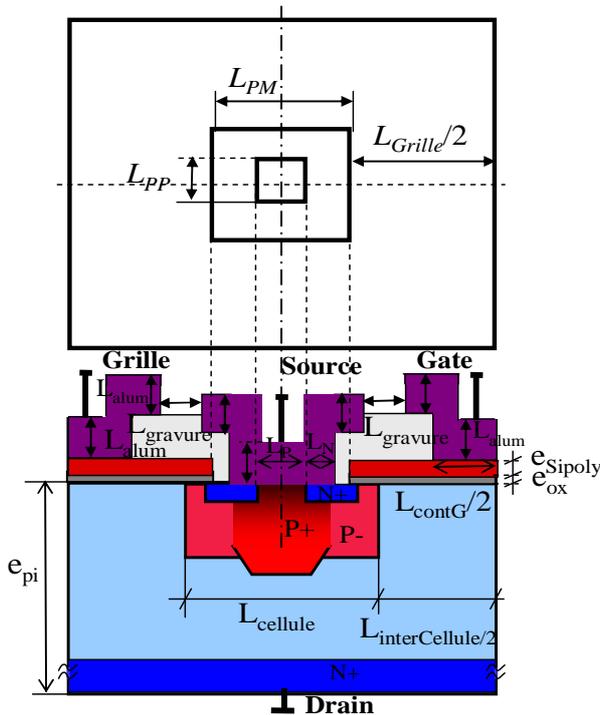


Figure III.20. la section verticale d'une cellule en carrée de VDMOS

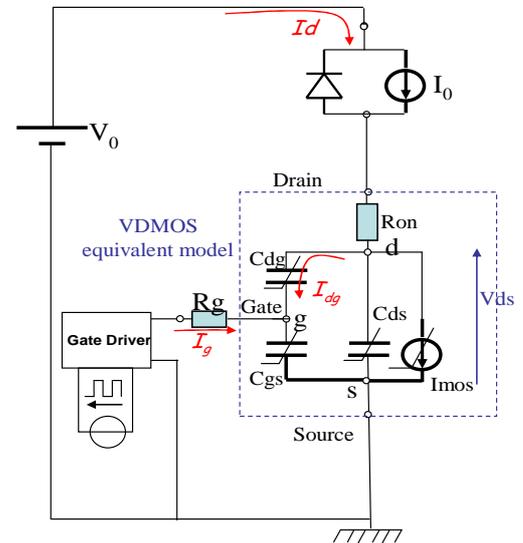


Figure III.21. schéma équivalent de la cellule de commutation du VDMOS considérée dans le dimensionnement

Ces trois tâches de dimensionnement sont calculées toutes en même temps, dans un seul modèle. Les paramètres de dimensionnement sont donc les paramètres du masque, les paramètres du substrat et les paramètres de la filière technologique choisies. Ceux-ci sont listés dans le Tableau III.4.

Tableau III.4. Paramètres de dimensionnement

		paramètres	intervalle	Définition physique
Paramètres du substrat	1	$N_v(\text{at}/\text{cm}^3)$		concentration de la zone de tenue en tension
	2	$e_{pi}(\text{cm})$		épaisseur du substrat
Paramètres de la filière technologique	3	$T_{oxy}(\text{°C})$	[950 ; 1150]	température d'oxydation d'oxyde grille
	4	$t_{oxy}(\text{minute})$		temps d'oxydation d'oxyde grille
	5	$Dose_p(\text{at}/\text{cm}^2)$	$[1.10^{13}; 1.10^{14}]$	dose d'implantation de P-
	6	$Energy_p(\text{KeV})$	[50 ; 200]	énergie d'implantation de P-
	7	$T_p(\text{°C})$	[950 ; 1150]	température de diffusion de P-
	8	$t_p(\text{minute})$		temps de diffusion de P-
	9	$Dose_{N+S}(\text{at}/\text{cm}^2)$	$[1.10^{15}; 5.10^{15}]$	dose d'implantation de N+
	10	$Energy_{N+S}(\text{KeV})$	[15 ; 150]	énergie d'implantation de N+
	11	$T_{N+S}(\text{°C})$	[950 ; 1150]	température de diffusion de N+
	12	$t_{N+S}(\text{minute})$		temps de diffusion de N+

Paramètres du masque	13	$L_{PM}(cm)$	[0,003 ;0,02]	largeur de la fenêtre d'implantation de P-
	14	$L_{Grille}(cm)$	[0,003 ;0,02]	longue d'oxyde de grille
	15	Ncell (unité)	[200 ; 3000]	Nombre de cellule du VDMOS

Nous ne présentons pas les autres paramètres qui sont moins importants pour les caractéristiques électriques du VDMOS (par exemple : les paramètres de l'étape de création du caisson P+) et qui sont très bien caractérisés et ont déjà été optimisés dans d'autres travaux (par exemple : l'étape de création du poly silicium de la grille [4]). D'autre part, les autres paramètres du masque ont pris les valeurs minimales fixées par les contraintes technologiques, par exemple :

- l'épaisseur de la grille : $e_{Si\text{poly}} = 400 \text{ nm}$,
- la largeur entre des contacts $L_{gravure}$, l'épaisseur des contacts L_{alum} , la largeur minimale du contact ohmique entre l'aluminium et le porte-canal L_p .

Les paramètres restants sont calculés à partir des ces paramètres et des paramètres dimensionnés (L_{PM} et L_{Grille}).

III.2.5.b.ii. Définitions des contraintes

En complément de la définition de la fonction objectif, nous déterminons et mettons en équation dans notre modèle de dimensionnement : tous les critères de fonctionnement et les critères technologiques pour pouvoir donner des résultats réalisables du VDMOS.

Contraintes technologiques

- La largeur minimale d'un motif de VDMOS est fixée par la limite technologique : $L_{cellule} \geq 2.L_{canal} + 20 \mu\text{m}$ [13], $L_{interCellule} \geq 25 \mu\text{m}$ où L_{canal} est la longueur du canal.
- La longueur minimale du canal : $L_{canal} \geq 3 \mu\text{m}$
- La longueur minimale du contact de la source est limitée également par la technologie : $L_N \geq 10 \mu\text{m}$, $L_P \geq 12 \mu\text{m}$.
- Les largeurs minimales des contacts de la grille et de la source sont limitées pour un bon contact ohmique : $L_{contactG} \geq 30 \mu\text{m}$, $L_{contactS} \geq 30 \mu\text{m}$.
- L'épaisseur de l'oxyde LTO entre la source et la grille est supérieure à une valeur minimale pour éviter le court-circuit entre ces deux électrodes en raison d'une surgravure. Cette épaisseur minimale est calculée en supposant un angle de gravure de 45° .
- La concentration en surface du N+ de la source doit être supérieure à $5.10^{19} \text{ at/cm}^3$ pour assurer un bon contact ohmique de la source.
- L'épaisseur de l'oxyde de grille est contrainte pour éviter d'obtenir une couche d'oxyde trop épaisse ou trop mince : $20 \text{ nm} \leq e_{ox} \leq 120 \text{ nm}$

Contraintes électriques et thermiques

- La tension de seuil du VDMOS est limitée entre 1V et 3V pour éviter une commutation intempestive (« rebonds de grille » associés avec un faible v_{th}) et un driver à tension trop élevée.
- La tension base-émetteur du transistor parasite V_{be} doit rester inférieure à 0,4V (voir l'annexe 3) pour éviter l'amorçage de ce transistor.
- La contrainte permettant d'éviter le perçage, est formulée comme nous l'avons présenté dans l'annexe 3).
- Les pertes dans le driver sont limitées à 20% des pertes globales dans le transistor de puissance du VDMOS.
- En considérant les performances actuelles de refroidissement en EP (et plus particulièrement de refroidissement par air), nous devons limiter la densité de puissance (P_{VDMOS}/S_{mos}) à une valeur maximale de $50W/cm^2$ [93].
- Le champ électrique dans l'oxyde de grille doit être inférieur au champ électrique permit dans le SiO_2 qui est de 4MV/cm. En effet, une couche d'oxyde de bonne qualité peut supporter jusqu'à 10MV/cm. Cependant, ce seuil va diminuer si le champ est appliqué longtemps dans l'oxyde. Ainsi, nous avons choisi 4MV/cm pour garantir une durée acceptable d'application de ce champ sur l'oxyde.

III.2.5.c. Objectifs du dimensionnement

Nous voulons dimensionner une filière technologique unique de VDMOS qui puisse permettre la réalisation de différents VDMOS adaptés à la plage de tension du VDMOS définie dans le paragraphe III.2.5.a (de 200V à 900V). Si nous pouvons démontrer que sur cette plage de tension, un dimensionnement commun de la cellule élémentaire est possible, cela ouvrira la possibilité d'une filière technologique figée qui pourra être stabilisée et qui permettra de travailler efficacement sur la partie intégration fonctionnelle sans se soucier du cœur de puissance adaptable en courant et en tension par simple sélection de la surface active et du bon substrat de départ.

Les composants ainsi dimensionnés vont perdre quelques pourcentages de performance par rapport à des composants dimensionnés séparément (i.e. ces derniers composants ont des filières technologiques propres et différentes pour chaque calibre de tension). Nous devons déterminer ces rapports pour conclure si ce dimensionnement est utilisable.

Ainsi, nous définissons une grandeur qui représente la performance générale du VDMOS, comme la fonction objectif pour tous les dimensionnements. Cette grandeur est un produit de la chute de tension à l'état passant V_{on} , la tenue en tension du composant V_{dsmax} , les pertes de commutation P_{com} et la surface de silicium du composant S_{mos} et la racine cubique du courant de Grille maximal (voir l'équation (III.1)).

$$\text{performance} = \frac{V_{dsmax}}{V_{on} \cdot P_{com} \cdot S_{mos} \cdot \sqrt[3]{I_{grillemax}}} \quad (\text{III.1})$$

Cette grandeur présente en même temps les performances statiques (tenue en tension, chute de tension à l'état passant représentant les pertes par conduction), et dynamiques (pertes par commutation), la surface du composant et aussi la surface du driver représentée par le courant de Grille maximal. La valeur maximale de cette grandeur nous donne le compromis optimal entre la performance statique, la performance dynamique et la surface de silicium où : V_{on} , P_{com} , S_{mos} , $\sqrt[3]{I_{grillemax}}$ sont minimisées et V_{dsmax} est maximisée.

En considérant l'objectif de ces études, l'estimation des pertes par commutation est donc simplifiée sans prendre en compte l'impact des inductances parasites de la maille de commutation (voir le circuit équivalent sur la Figure III.21). Ainsi, dans ce calcul dynamique, nous utilisons le pas de calcul fixe qui permet d'avoir une solution analytique. Le processus d'optimisation ne prend pas beaucoup de temps de calcul. En complément, il n'y a pas de surtension. La tenue en tension de chaque composant est calculée comme devant être égale à 1,25 fois la tension nominale V_0 . Des dimensionnements plus précis seront formulés et présentés dans les chapitres suivants.

III.2.5.d. Résultats du dimensionnement par optimisation multi-objectifs

III.2.5.d.i. Méthode de dimensionnement

Afin d'arriver aux objectifs présentés plus haut dans le paragraphe III.2.5.c, et de garantir les nombreuses contraintes de dimensionnement, l'algorithme d'optimisation par Nichage d'une fonction objective combinant plusieurs critères qui permet de maximiser à la fois les performances des composants 200V, 400V, 600V, 900V. De plus, afin d'arriver à quantifier les apports de performance des composants figés par rapport au composant dimensionnée, nous définissons de différents niveaux de contraintes à fixer pour les optimisations, comme listé dans le Tableau III.5 et expliqué ci-dessous :

Tableau III.5. Différents niveaux de contraintes fixes de la filière technologique

	Paramètres du Substrat	Paramètres de la filière technologique	Paramètres du masque d'une Cellule	Nombre de cellules
Niveau 1	non	Non	Non	Non
Niveau 2	non	Oui	Non	Non
Niveau 3	non	Oui	Oui	Non

Selon le Tableau III.5 :

- niveau 1 : les composants de 200V, 400V, 600V et 900V sont dimensionnés séparément, sans avoir de parties communes entre ces composants (les 'non' dans le tableau), pour définir des solutions référentielles. Ce dimensionnement

est réalisé par l'algorithme d'optimisation mono-objectif. Plus précisément, nous utiliserons l'algorithme Niching (type stochastique) dans FGOT pour éliminer les besoins des valeurs initiales et principalement pour trouver de façon sûre l'optimum global de la fonction objective. Cet optimum global est important pour quantifier les apports des niveaux suivants de contraintes.

- niveau 2 : les composants sont dimensionnés pour une même filière technologique commune (le 'oui' dans le tableau) à tous les calibres de tension, mais en utilisant des substrats différents, des masques différents et des nombres de cellules différents. Ainsi, les cellules auront les mêmes structures verticales (mêmes profils de dopage, mêmes épaisseurs des contacts,...), mais différentes structures latérales (largeurs des caissons dopés, largeurs des contacts,...) et différents substrats (voir la Figure III.22).

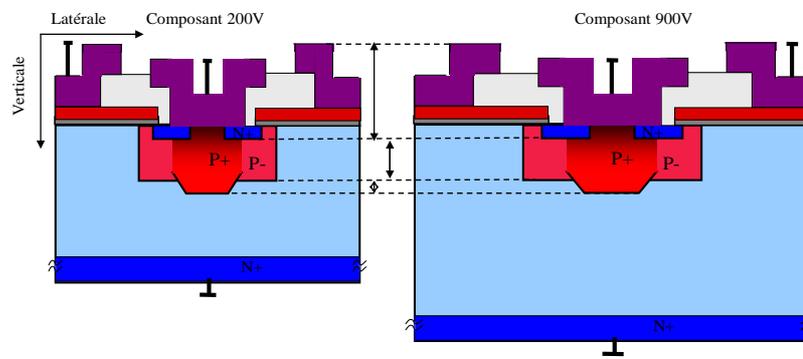


Figure III.22. Comparaison des sections verticales de la cellule de VDMOS 200V et 900V dimensionnés par le niveau 2

- niveau 3 : tous les composants sont dimensionnés pour une même filière technologique et en utilisant les mêmes masques de la cellule élémentaire, mais avec différents substrats, et différents nombres de cellules. Ainsi, les cellules auront les mêmes structures verticales et latérales, mais seulement différents substrats (voir la Figure III.23).

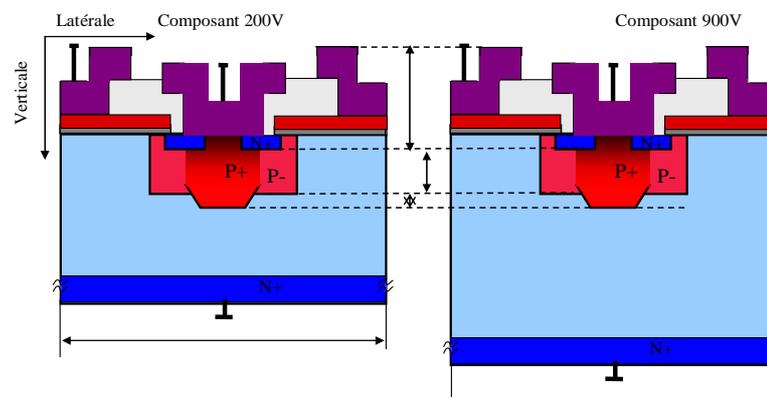


Figure III.23. Comparaison des sections verticales de la cellule de VDMOS 200V et 900V dimensionnés par le niveau 3

III.2.5.d.ii. Résultats de l'optimisation

Nous avons utilisé les méthodes de dimensionnement précédentes pour les différents niveaux de contraintes que nous avons définis pour des composants VDMOS 200V, 400V, 600V et 900V. Pour cela, nous avons fait un nombre important d'optimisations pour arriver aux bons résultats en raison de l'utilisation de l'algorithme Nichage (voir les limites de l'algorithme stochastique dans le paragraphe II.4.2.a.i). En effet, afin d'assurer la robustesse de la convergence de la solution, nous avons effectué plusieurs optimisations. L'algorithme de Nichage étant stochastique, des résultats différents sont obtenus, si les paramètres de l'algorithme sont trop faibles ; par exemple : la population n'est pas assez grande ou il n'y a pas assez de générations....

Notons qu'une optimisation mono-objectif pour un composant prend une minute avec 600 générations et 40 individus. Une optimisation pour quatre composants prend quelques minutes avec un même nombre de générations et le même nombre d'individus. Dans cette optimisation, une seule filière technologique est utilisée pour dimensionner en même temps (c'est-à-dire avec cette même filière), les quatre composants ayant différents niveaux de tension (voir la Figure III.24).

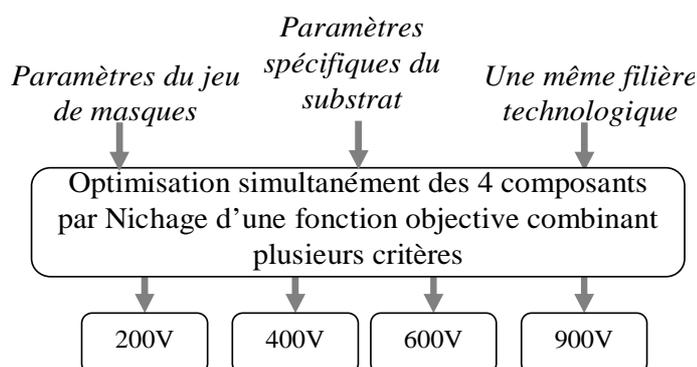


Figure III.24. Principe de dimensionnement par l'optimisation multi-objectif

La meilleure optimisation qui donne la meilleure valeur de la performance (fonction objectif) et assure toutes les contraintes présentées, est choisie comme la solution de dimensionnement. Ces solutions pour les différents cas sont présentées dans le Tableau III.6.

Tableau III.6. Comparaison des résultats entre trois niveaux de dimensionnement

Tension (V)	Niveau	$V_{on}(V)$	$V_{dsmax}(V)$	$P_{com}(W)$	$S_{mos}(cm^2)$	performance	Rapport(%)
200	1	1,47	250	0,44	0,0817	4721	100
	2	1,4	250	0,55	0,0830		83,16
	3	1,48	250	0,53	0,0838		80,68
400	1	2,94	500	0,37	0,0802	5799	100
	2	3,00	500	0,46	0,0833		75,73
	3	2,99	500	0,46	0,0841		74,22
600	1	4,65	750	0,34	0,0837	5708	100
	2	4,70	750	0,44	0,0864		74,12
	3	4,72	750	0,44	0,0867		73,55

900	1	7,46	1125	0,33	0,0887	5228	100
	2	7,58	1125	0,42	0,0919		73,79
	3	7,60	1125	0,41	0,0918		75,20

Les dimensionnements par trois niveaux de contrainte de chaque composant sont comparés dans ce Tableau III.6. Les variations des valeurs de la performance des composants sont provoquées par les variations des termes V_{on} , P_{com} et S_{mos} . L'optimiseur a choisi un bilan entre ces trois grandeurs pour maximiser la performance du VDMOS. Ce bilan dépend du niveau de la tension du VDMOS. Nous illustrons ceci par le rapport entre la performance obtenue pour chaque niveau de contraintes et la performance obtenue pour le premier niveau de contraintes (équation (III.2)).

$$\text{rapport} = \frac{Y_{\text{niveau } 2,3}}{Y_{\text{niveau } 1}} \cdot 100\% \quad (\text{III.2})$$

La comparaison des rapports des performances entre trois niveaux de tous les composants est présentée sur la Figure III.25.

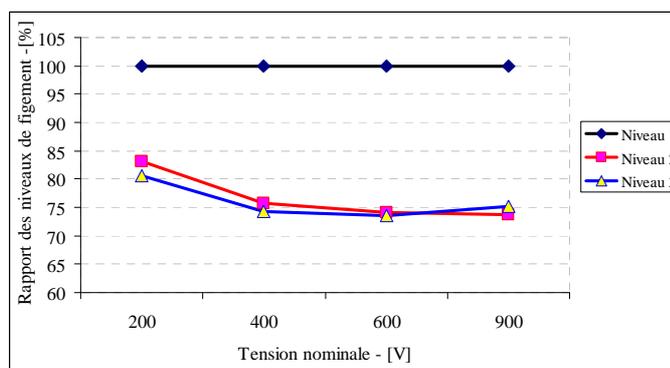


Figure III.25. Comparaison des résultats de dimensionnement entre trois niveaux de contrainte

La Figure III.25 nous illustre une dégradation de 25% de performance entre le niveau 2 et le niveau optimal (niveau 1). Cette dégradation est importante. La filière technologique figée obtenue n'est donc pas satisfaite à nos besoins. Cette dégradation considérable est provoquée par la limite de l'algorithme d'optimisation par Nichage qui converge à un optimum local. Cette limitation de Nichage vient de la complexité, le nombre de la fonction objectif, un grand nombre de paramètres inconnus et un grand nombre de contrainte à respecter. Parmi ces raisons, la complexité de la fonction objectif qui compose plusieurs facteurs à différentes normes, est la raison principale.

C'est pourquoi dans le deuxième dimensionnement, nous essayons de simplifier la fonction objectif en considérant majoritairement les pertes de puissance. Les pertes de puissance globales sont les critères les plus importants pour la plupart d'applications en électronique de puissance. La fonction objectif simplifiée est donc montré dans l'équation (III.3):

$$\text{fonctionObjectif} = (P_{\text{com}} + P_{\text{cond}} + P_{\text{driver}}) \cdot \sqrt[3]{I_{\text{grillemax}}} \quad (\text{III.3})$$

L'optimisation va minimiser cette fonction objectif en trouvant un compromis optimal entre les pertes par conduction, celles par commutation du VDMOS, celles du driver et la surface requise du driver représentant par la racine cubique du courant maximal chargé le Grille de VDMOS.

Les comparaisons entre de nouveaux résultats d'optimisations sont illustrées sur la Figure III.26. Nous faisons également les comparaisons entre les caractéristiques non optimisé par l'algorithme d'optimisation sur cette figure.

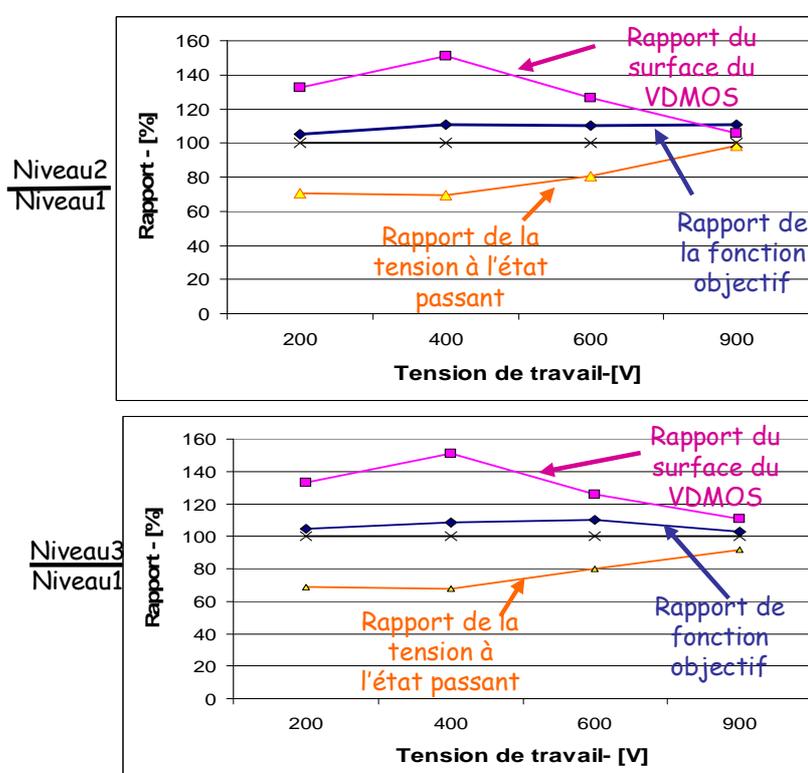


Figure III.26. Comparaison des résultats de dimensionnement entre trois niveaux de contrainte avec la fonction objectif simplifiée

Selon la Figure III.26, au niveau des pertes globales (i.e. la fonction objectif), la filière technologique figée et le jeu de masques n'ont fait augmenter que 10% au maximum par rapport aux pertes optimales des composants (i.e. le niveau 1). Cependant, cette filière technologique figée fait augmenter jusqu'à 50% la surface de silicium. Mais, cette augmentation de la surface du VDMOS fait diminuer la tension à l'état passant des quatre composants jusqu'à 30%. Ainsi, dans les applications où les pertes globales de puissance sont prises comme un critère le plus important, et en complément, l'augmentation de la surface des composant n'est pas critique, la filière technologique figée et le jeu de masques figé d'une cellule sont profitables pour la plage de VDMOS de 200V à 900V.

Lors de ces dimensionnements, nous ne prenons pas encore les effets inductifs de l'environnement comme dit précédemment. Les rapports entre ces trois niveaux peuvent bouger légèrement lorsque l'on rajoute ces effets en raison des surtensions.

III.2.6. Conclusion sur les analyses de la filière technologique de VDMOS

Dans cette partie du troisième chapitre, nous avons présenté les analyses très détaillées de la filière technologique du VDMOS utilisée au sein du G2ELab. Le modèle analytique construit nous a permis d'identifier les coefficients physiques inconnus des technologies en salle blanche à partir des profils SRPs mesurés durant la thèse de N. Rouger. Ensuite, les analyses de sensibilité de cette filière ont été réalisées en calculant des variations non désirées des trois caractéristiques importantes choisies au niveau du VDMOS en fonction des dispersions des paramètres technologiques du procédé, par exemple : des températures de diffusion, la température d'oxydation, des erreurs d'alignement des masques, les rendements d'implantation. Elles nous ont donné des connaissances très intéressantes de cette filière, surtout la liste des étapes, des paramètres importants qui doivent être suivis attentivement au cours du procédé en salle blanche et lors du dimensionnement technologique. De plus, ces analyses nous montrent encore la possibilité de compensation des erreurs mesurables pendant le procédé en salle blanche, par exemple la possibilité de compensation des erreurs d'oxydation de l'oxyde de grille par le réglage de l'étape de création de P-.

En considérant des difficultés de fiabilisation de la réalisation technologique, nous avons cherché différents niveaux de contraintes à fixer de la filière technologique pour plusieurs tensions nominales de VDMOS (de 200V à 900V) afin de choisir une filière figée à fiabiliser dans le futur travail. Les niveaux de contraintes fixes sont comparés à des dimensionnements optimaux. Les différentes fonctions objectifs sont choisies et modifiées et dimensionnées. Les résultats obtenus avec la fonction objectif simplifiée (les pertes de puissance globales) sont encourageants.

En terme d'outil de conception, dans ce chapitre, nous avons présenté un outil performant et utile de calcul analytique et de dimensionnement. Il permet d'aider le concepteur lors du dimensionnement fiable. Les modèles et les algorithmes d'optimisation sont disponibles pour arriver aux différents objectifs de dimensionnement technologique.

Les dimensionnements de la filière technologique figée dans ce paragraphe ont montré la limitation de l'algorithme d'optimisation mono-objectif lors que la fonction objectif est complexe. Cette limite nous demande d'utiliser, dans les futurs travaux, un algorithme d'optimisation multi-objectifs qui nous permet de trouver le compromis optimal pour les fonctions objectifs complexe

III.3. Dimensionnement du compromis électro-technologique entre le VDMOS, la commande rapprochée et l'autoalimentation

Nous allons maintenant élargir nos applications par le dimensionnement d'un VDMOS intégrant de façon monolithique ses fonctions annexes : la commande rapprochée et l'autoalimentation. La problématique de ce dimensionnement est de trouver une structure verticale compatible pour le VDMOS et les composants fonctionnels en assurant un compromis de fonctionnement. Le composant intégré doit assurer : d'une part les caractéristiques et les contraintes propres de chaque fonction (VDMOS, Commande rapprochée, Auto-alimentation), et d'autre part les compromis entre les fonction, comme illustré sur la Figure III.27.

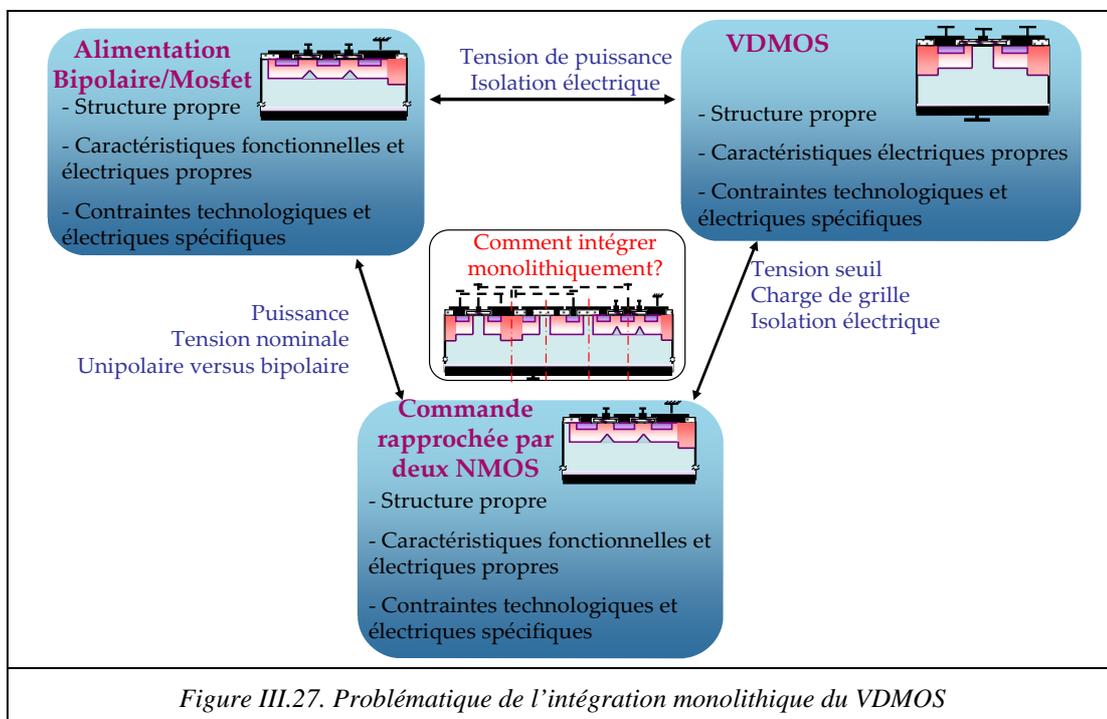


Figure III.27. Problématique de l'intégration monolithique du VDMOS

Selon la démarche proposée dans le paragraphe I.4.3.d, nous allons commencer ce chapitre par une étape de modélisation des fonctions annexes du VDMOS. Ensuite, le prochain travail va spécifier précisément le problème de dimensionnement en définissant et caractérisant les paramètres de dimensionnement, la fonction objectif et les contraintes. Les informations obtenues sur les spécifications vont nous permettre de choisir des algorithmes d'optimisation adaptés.

III.3.1. Modélisation du comportement des fonctions annexes du VDMOS

III.3.1.a. Modélisation de la tension de sortie de la commande rapprochée sous l'effet de substrat de la structure de driver NMOS/NMOS

La synthèse des travaux de D. B. Nguyen [5] dans la partie I, nous a montré deux problèmes relatifs à l'intégration monolithique des deux NMOS de la commande rapprochée sur le même substrat du VDMOS, comme illustré ci-dessous.

- La diminution de la tension en sortie de la commande rapprochée est importante en raison de l'augmentation significative de la tension de seuil du High-Side NMOS (voir les équations II.4, II.5, II.6).
- La tenue en tension du NMOS est inférieure à la dizaine de volts.

Selon les modélisations faites dans la thèse de D. B. Nguyen, la tension maximale de sortie est définie par l'équation (III.4) :

$$V_{smax} = -\Psi \cdot \left(0,5 \cdot \Psi + \frac{\sqrt{\Psi^2 + 8 \cdot \theta + 4\sqrt{2} \cdot \Psi + 4 \cdot V_{cc} - V_{th0}}}{2} \right) + \sqrt{2} \cdot \Psi \cdot \sqrt{\theta} + V_{cc} - V_{th0} \quad (III.4)$$

où :

- Ψ, θ : coefficients physiques dépendants de la structure physique (concentration en surface Na et épaisseur d'oxyde e_{ox}) du NMOS,
- V_{th0} : tension de seuil sans effet substrat du High-side NMOS,
- V_{cc} : tension d'alimentation au drain du High-side NMOS,

Ce calcul nous montre le comportement de cette tension en fonction des paramètres Na et e_{ox} , avec $V_{cc} = 9V$, comme illustré par la Figure III.28. Sous effet du substrat, on peut voir

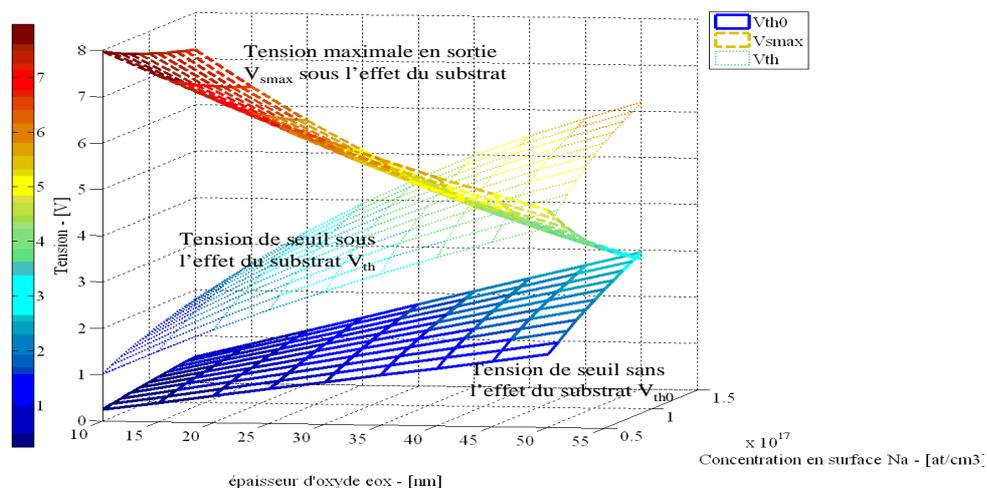


Figure III.28. Variation de la tension maximale de sortie V_{smax} , la tension de seuil sans effet de substrat V_{th0} et celle sous effet de substrat V_{th}

une augmentation importante de la tension de seuil du High-Side NMOS V_{th} de 1V à 6V en

raison de l'augmentation de l'épaisseur d'oxyde et de la concentration en surface du canal Na. En conséquence, la tension maximale de sortie V_{smax} est réduite de 8V à 3V. Le système ne fonctionnera plus lorsque V_{smax} est inférieure à la tension de seuil du VDMOS (même valeur de la tension de seuil sans effet de substrat du High-side NMOS V_{th0}), par exemple : le point $e_{ox} = 50\text{nm}$ et $Na = 1,5 \cdot 10^{17}(\text{at}/\text{cm}^3)$ sur la Figure III.28. De plus, il faut garantir un niveau de polarisation suffisamment supérieur à la tension de seuil pour inverser correctement le canal du transistor !

Pour vérifier la précision de ce modèle analytique, nous avons fait des simulations dynamiques par éléments finis dans Mixedmode-Silvaco. Le schéma de simulation est présenté sur la Figure III.29. Dans ce circuit de simulation, les trois composants à savoir le VDMOS et deux NMOS sont décrits dans Atlas-Silvaco en utilisant les mêmes paramètres verticaux (Na et e_{ox}, \dots) pour calculer leurs comportements physiques par éléments finis pendant les simulations temporelles du circuit. Ce type de simulation est précis, mais très lent. Nous avons comparé notre modèle analytique avec les résultats de simulation à deux épaisseurs d'oxyde 20 (nm) et 40 (nm), la concentration en surface étant égale à $Na = 7 \cdot 10^{16}(\text{at}/\text{cm}^3)$ (voir la Figure III.31). Ces deux modèles donnent des résultats proches pour deux valeurs de e_{ox} . Les formes temporelles de la tension V_s pour les deux épaisseurs d'oxyde et la tension d'alimentation V_{cc} sont illustrées sur Figure III.30.

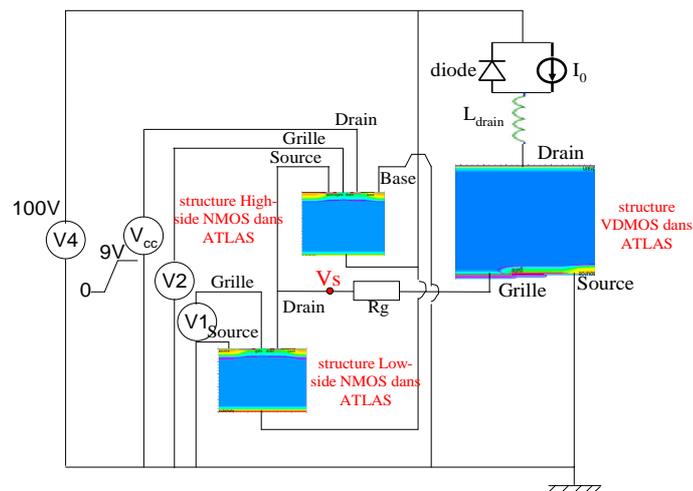


Figure III.29. Schéma de simulation dans Mixedmode-Silvaco

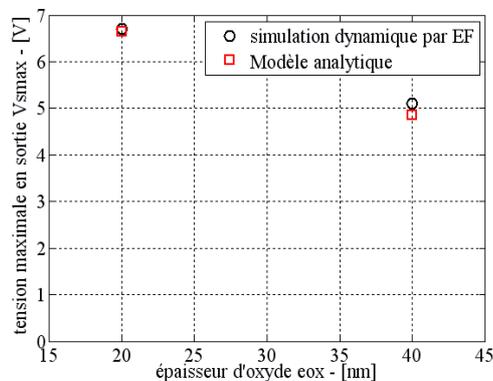


Figure III.30. Comparaison entre le modèle analytique et les simulations dynamiques par éléments finis dans Mixedmode-Silvaco

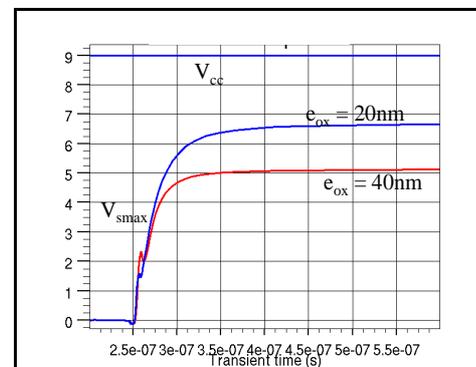


Figure III.31. commutation de la tension sortie de la commande rapprochée par la simulation dans Mixedmode-Silvaco

Nous n'arrivons pas encore à modéliser la tenue en tension du High-side NMOS latéral intégré. Cependant, la thèse de D. B. Nguyen a montré que celle-ci est d'une dizaine de volts. Ainsi, dans nos dimensionnements, nous allons limiter la tension d'alimentation de la commande rapprochée à une valeur inférieure à la dizaine de volts.

III.3.1.b. Modélisation de la tension d'autoalimentation par la structure Bipolaire/MOSFET

Pour le fonctionnement de la commande rapprochée, on a besoin de la tension d'alimentation V_{alime} fournie par l'autoalimentation [4]. Cette tension est déterminée par la tension d'avalanche de la jonction N+/P- qui est créée par la filière technologique du VDMOS dans le contexte d'intégration monolithique des fonctions annexes autour du VDMOS [6]. Nous avons introduit cette problématique dans la partie I de ce rapport. Ainsi, la modélisation de la tension d'alimentation peut se réduire à la modélisation du phénomène d'avalanche d'une jonction N+/P- comme réalisé dans la thèse de N. Rouger [6]. Nous allons

donc présenter en bref les modélisations réalisées dans sa thèse et en détail nos développements par rapport à cette modélisation pour arriver à nos objectifs de dimensionnement dans cette application.

III.3.1.b.i. Modélisation 1D du phénomène d'avalanche d'une jonction N+/P-

Le phénomène d'avalanche est représenté par l'avalanche du courant de fuite d'une jonction double diffusée N+/P- (voir la Figure III.32).

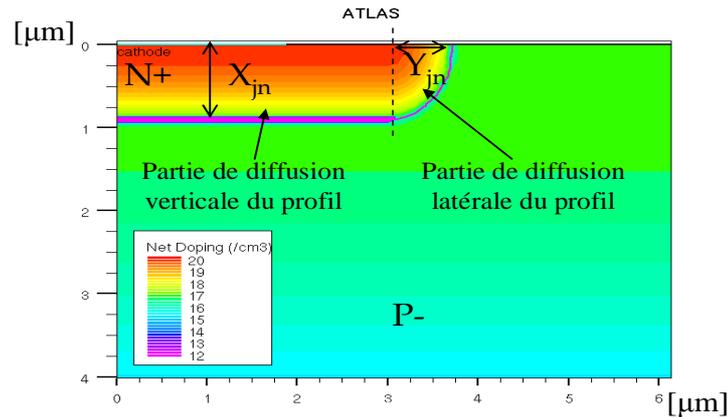


Figure III.32. Exemple d'une jonction N+/P- double diffusée

Ces profils de dopage dans une représentation 1D sont représentés par les équations (III.5) et (III.6) :

$$N_n(x) = N_{n0} \cdot e^{\left(-\frac{x^2}{L_n^2}\right)} \quad (III.5)$$

$$P_p(x) = P_{p0} \cdot e^{\left(-\frac{x^2}{L_p^2}\right)} \quad (III.6)$$

où :

- N_{n0} et P_{p0} : concentrations en surface du silicium (i.e. $x=0$)
- x : profondeur du substrat
- L_n et L_p : longueur de diffusion des profils

Dans le calcul, ces profils sont calculés par un groupe de paramètres d'entrée $a = \{X_{jn}, X_{jp}, P_{p0}, N_{n0}\}$. X_{jn} et X_{jp} sont les profondeurs des jonctions, comme introduit précédemment. Pour simplifier le problème et trouver une solution utilisable pour le dimensionnement, nous allons prendre quelques hypothèses suivantes.

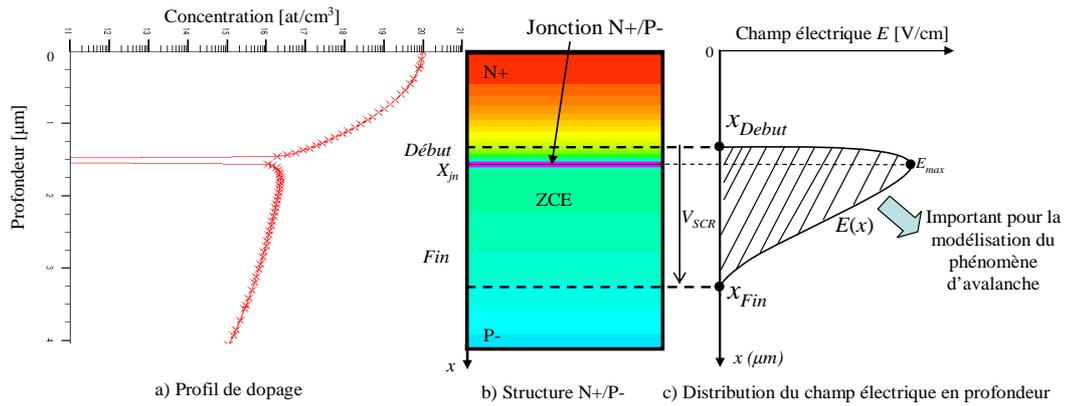


Figure III.33. Polarisation d'une jonction N+/P- double diffusée

- Le problème du profil en 2D sur la Figure III.32 est simplifié par celui en 1D (i.e la partie de diffusion verticale du profil) (voir la Figure III.33.b).
- La tension de diffusion Φ provoquée par les effets de diffusion des porteurs, est normalement beaucoup plus faible que la tension appliquée aux bornes de la jonction N+/P- [94]. Ainsi, elle n'est pas prise en compte dans cette modélisation.

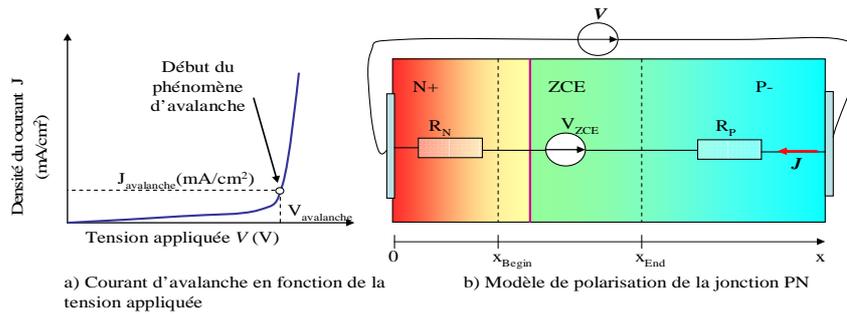


Figure III.34. Courant de fuite en fonction de la tension appliquée a) Modèle de la polarisation de la jonction N+/P-

- Pour notre objectif de dimensionnement, nous ne considérons que le début du phénomène d'avalanche où le courant d'avalanche n'est pas encore important. Ainsi, les chutes de tension sur des régions neutres sont petites (i.e sur les R_N et R_P) (voir la Figure III.34.b). Finalement, la tension entre le début (x_{Debut}) et la fin (x_{Fin}) de la ZCE est approximée par la tension appliquée V .
- Nous ne prenons pas en compte le phénomène Debye [26]. Ainsi, le champ électrique est discontinu au début et à la fin de la ZCE.

Le courant inverse est défini par la somme entre le courant dû à la génération thermique en ZCE ($J_{thermal}$) et celui dû au phénomène de diffusion ($J_{diffusion}$) (voir l'équation (III.7))

$$J_{avalanche} = J_{diffusion} + J_{Thermique} \quad (III.7)$$

Afin de calculer ces courants, il est nécessaire de déterminer le début (Debut), la fin (Fin) de la ZCE et la fonction du champ électrique (E). L'extension de la ZCE dépend de la tension appliquée et du profil de dopage de la jonction. La loi électrostatique, la continuité du champ électrique et nos hypothèses nous permettent d'établir le système d'équation (III.8) reliant les paramètres électriques et ceux géométriques (voir le détail dans la thèse de N. Rouger [6]).

$$\begin{cases} E(x, a, V) = \frac{q}{\epsilon_{Si}} \int_{x_{Debut}(a, V)}^x N(x') dx' \\ E(x_{Fin}(a, V), a, V) = 0 \\ E(x_{Debut}(a, V), a, V) = 0 \end{cases} \quad (III.8)$$

où $N(x)$ est la concentration des majoritaires (voir l'équation (III.9)).

- q est la charge de l'électron.
- ϵ_{Si} est la perméabilité du silicium.

$$N(x) = N_n(x) - P_p(x) \quad (III.9)$$

Dans cette modélisation, il n'est pas possible d'obtenir directement un modèle analytique et explicite de $x_{Debut}(a, V)$ et $x_{Fin}(a, V)$ en raison de la fonction d'erreur erf [69], comme introduit dans la thèse de N. Rouger et également dans la deuxième partie de ce rapport. Cette fonction erf vient de l'intégration du profil gaussien. C'est la raison pour laquelle, nous avons essayé d'approximer ce profil double gaussien de dopage par des fonctions exponentielles ou par le profil simple gaussien (i.e un profil gaussien et un profil homogène) qui nous permettent d'avoir des solutions analytiques pour le modèle du champ électrique. Cependant, cette approximation nous donne des erreurs inacceptables comparativement à des simulations par éléments finis dans Silvaco-Atlas.

Ainsi, afin de résoudre ce problème implicite, nous avons utilisé une constante intermédiaire E_0 . C'est une constante d'intégration du champ électrique et elle est prise comme une variable inconnue dans la modélisation suivante. Nous avons utilisé un procédé itératif avec un critère de convergence pour calculer $x_{Debut}(E_0)$, $x_{Fin}(E_0)$ et $E(x, E_0)$ (voir [[6]]) grâce à l'approximation de la fonction erreur [68]. Ce procédé itératif repose sur la propriété physique du semi-conducteur [95]. Il est décrit par les équations (III.10), (III.11), (III.12), (III.13), (III.14), (III.15), (III.16) et (III.17).

$$x_{\text{Debut}0} = X_{jn} \quad (\text{III.10})$$

$$x_{\text{Debut}i}(E_0) = \sqrt{-\frac{\pi \cdot L_n^2}{4} \cdot \ln \left(1 - \left(\frac{E_0 - E_{\text{approxP}}(x_{\text{Debut}i-1}(E_0))}{a_n} \right)^2 \right)} \quad (\text{III.11})$$

$$E_{\text{approxP}}(x) = -a_p \cdot \sqrt{1 - e^{\left(\frac{-4x^2}{\pi L_p^2} \right)}} \quad (\text{III.12})$$

$$x_{\text{Fin}0} = X_{jn} \quad (\text{III.13})$$

$$x_{\text{Fin}i}(E_0) = \sqrt{-\frac{\pi \cdot L_p^2}{4} \cdot \ln \left(1 - \left(\frac{E_0 - E_{\text{approxN}}(x_{\text{Fin}i-1}(E_0))}{a_p} \right)^2 \right)} \quad (\text{III.14})$$

$$E_{\text{approxN}}(x) = a_n \cdot \sqrt{1 - e^{\left(\frac{-4x^2}{\pi L_n^2} \right)}} \quad (\text{III.15})$$

$$a_n = \frac{q}{\epsilon} \cdot N_{n0} \cdot L_n \cdot \frac{\sqrt{\pi}}{2.0} \quad (\text{III.16})$$

$$a_p = \frac{q}{\epsilon_{\text{Si}}} \cdot P_{p0} \cdot L_p \cdot \frac{\sqrt{\pi}}{2.0} \quad (\text{III.17})$$

On utilise par la suite la loi électrostatique où l'aire de $E(x, E_0)$ entre $x_{\text{Debut}}(E_0)$ et $x_{\text{Fin}}(E_0)$ est la tension appliquée V . Ce comportement électrostatique est illustré sur la Figure III.35 et formulé par l'équation (III.18). La valeur de E_0 est déterminée par la solution de l'équation implicite (III.18).

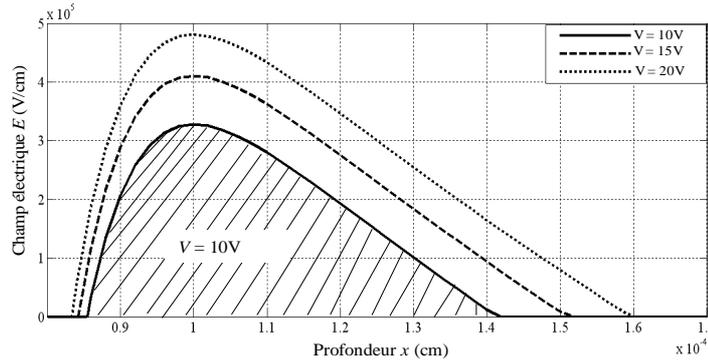


Figure III.35. Champs électriques autour de la jonction sous différentes tensions appliquées

$$V - \int_{x_{\text{Debut}}(E_0)}^{x_{\text{Fin}}(E_0)} E(x, E_0) dx = 0 \quad (\text{III.18})$$

Pour la résolution de l'équation implicite précédente, il y a un problème de formulation de $x_{\text{Fin}}(E_0)$ et $x_{\text{Debut}}(E_0)$ où il apparaît un terme dont on fait le logarithme népérien et qui doit donc être positif pour éviter des calculs indéterminés. Ainsi, il nous faut bien spécifier le domaine de valeurs de E_0 et bien choisir sa valeur initiale. De plus, nous avons constaté que si la fin de ZCE dépasse la jonction X_{jp} (i.e. : $x_{\text{Fin}}(E_0) > X_{jp}$, soit apparition du problème de perçage présenté précédemment), la concentration à la fin de ZCE $P_p(x_{\text{Fin}}(E_0))$ est très proche de zéro. En conséquence, le calcul de $x_{\text{Fin}i+1}(E_0)$ peut conduire à du logarithme de nombres négatifs. Afin d'éviter ces valeurs numériques impossibles, il faut bien déterminer les plages de variation possibles de la variable a et de la tension appliquée V .

Finalement, la fonction du champ électrique $E(x)$ est obtenue par la valeur trouvée de E_0 . Ce modèle de $E(x)$ est comparé avec les simulations par éléments finis dans Silvaco-Atlas. Trois simulations sont faites avec trois profondeurs différentes de la jonction NP ($X_{jn} =$

0,7 μm , 1,0 μm et 1,5 μm), la concentration $N_{n0}=1.10^{20}$ at/cm³, $P_{p0}=5.10^{16}$ at/cm³ et $X_{jp}=5$ μm , comme montré sur la Figure III.36. Nous avons utilisé le même modèle d'ionisation par impact Selberherr [96] pour le modèle analytique et pour la simulation.

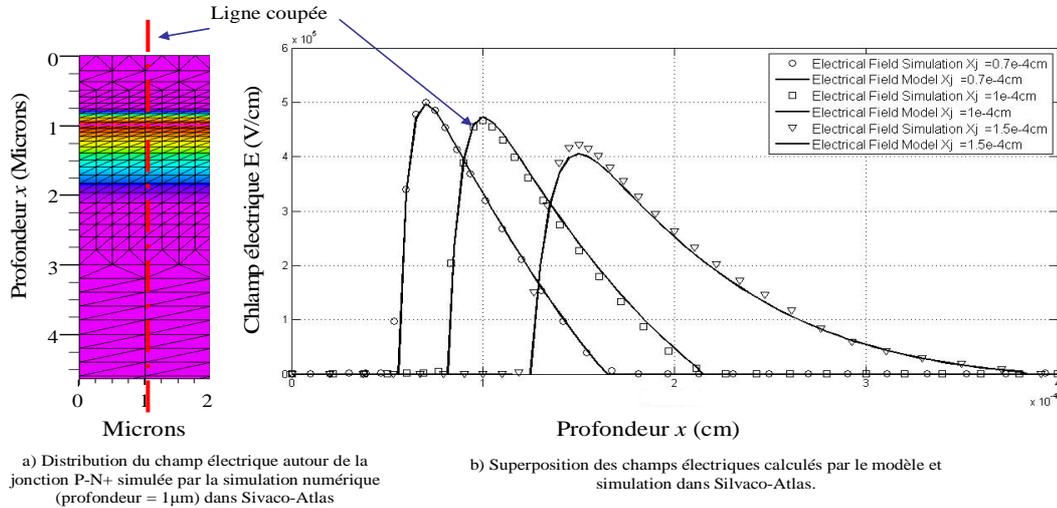


Figure III.36. Comparaison entre le modèle du champ électrique d'une jonction double diffusée et la simulation dans Atlas-Silvaco

Ces résultats de calcul par le modèle analytique du champ électrique sont très proches des résultats de simulation par éléments finis. Ce modèle analytique nous permet donc d'analyser les comportements du champ électrique en fonction des variations de la tension de polarisation et des profils de dopage.

En utilisant le modèle semi-analytique du champ électrique, les courants sont définis analytiquement par les équations (III.19) et (III.20) :

$$J_{\text{diffusion}}(a) = M_N(a) \cdot J_N(x_{\text{Fin}}(a)) + M_p(a) \cdot J_p(x_{\text{Debut}}(a)) \quad (\text{III.19})$$

$$J_{\text{Thermique}}(a) = M_g^{\text{th}}(a) \cdot J_g^{\text{th}}(a) \quad (\text{III.20})$$

où :

- $J_N(x)$, $J_p(x)$ et J_g^{th} sont les densités des courants de diffusion d'électrons, de trous et du courant due à l'effet thermique.
- M_N , M_p , M_g^{th} sont les coefficients de multiplication de la densité de courant des électrons, des trous et celle provoquée par l'effet thermique. Ils sont calculés par les équations (III.21) et (III.22). Les sous-fonctions sont calculées par les équations suivantes :

$$M_N(a) = \frac{1}{1-F(a)} \quad (\text{III.21})$$

$$M_p(a) = \frac{z(\text{Fin}(a),a)}{1-F(a)} \quad (\text{III.22})$$

où :

$$F(a) = \int_{x_{\text{Debut}}(a)}^{x_{\text{Fin}}(a)} g_2(x, a) dx \quad (\text{III.23})$$

$$g_2(x, a) = z(x, a) \cdot a_N(x, a) \quad (\text{III.24})$$

$$z(x, a) = e^{-\int_{x_{\text{Debut}}(a)}^x \alpha_N(y, a) - \alpha_P(y, a) dy} \quad (\text{III.25})$$

$$\alpha_N(x, a) = A_N \cdot e^{\left(\frac{B_N(x, a)}{|E(x, a)|} \right)} \quad (\text{III.26})$$

$$\alpha_P(x, a) = A_P \cdot e^{\left(\frac{B_P(x, a)}{|E(x, a)|} \right)} \quad (\text{III.27})$$

$$g_1(x, a) = \alpha_N(x, a) - \alpha_P(x, a) \quad (\text{III.28})$$

Les fonctions α_N et α_P suivent le modèle d'ionisation par impact de Selberherr [96]. Dans ce dimensionnement, nous nous intéressons à la valeur de la tension appliquée qui fait exister le phénomène de claquage d'avalanche.

Notons que la valeur de $J_{\text{avalanche}}$ n'est pas utilisée pour ce dimensionnement. Le critère d'existence $F(a)$ doit être contraint pour le dimensionnement : il doit être proche de l'unité (voir l'équation (III.21) et (III.22)).

En considérant le modèle semi-analytique du champ électrique $E(x, a)$, nous ne pouvons pas avoir une solution analytique pour les calculs des intégrales multiples apparaissant pour $F(a)$. C'est la raison pour laquelle nous avons besoin d'une méthode numérique pour calculer ces intégrales. En complément, la forme du champ électrique est très raide du côté du N+ (voir la Figure III.36) lorsque le rapport entre les concentrations N+ et P- est important. Plus particulièrement, pendant le processus de dimensionnement par optimisation, les paramètres du profil de dopage varient à chaque itération. En conséquence, la forme de $E(x, a)$ varie implicitement à toutes les itérations d'optimisation. Ainsi, une méthode d'intégration adaptative est requise pour une précision acceptable et un calcul performant. Nous proposons d'utiliser la Méthode Simpson Adaptative (MSA) [97] pour ce calcul.

Cependant, ce calcul de $F(a)$ dans cette application est compliqué et sensible avec la précision de l'algorithme d'intégration. Cette complexité de calcul des expressions d'intégrales multiples et de résolution de l'équation implicite est réalisée via des méthodes disponibles dans CADES. Cependant ce calcul reste sensible. La Figure III.37 montre la

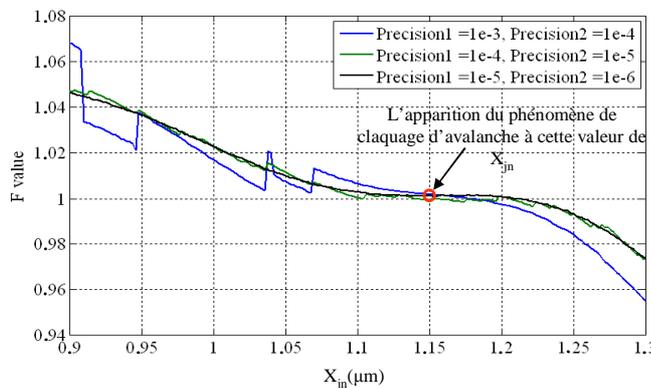


Figure III.37. Différentes variations de F en fonction des précisions de calcul des intégrales

variation de $F(a)$ en fonction de la variation du X_{jn} avec trois précisions différentes de l'algorithme d'intégration.

Sur cette figure, precision1 et precision2 sont respectivement les précisions de calcul de $g_1(x, a)$ et $g_2(x, a)$. En réalité, le claquage d'avalanche apparaît physiquement au point $X_{jn} = 1,15(\mu\text{m})$. La tension appliquée ne peut plus donc augmenter et la valeur de F ne peut plus dépasser l'unité. Cependant, pendant l'optimisation, la valeur de F peut dépasser 1 comme montré sur la Figure III.37. Ces erreurs numériques provoquent des oscillations sur la courbe de F . Elles sont amplifiées par les fonctions exponentielles utilisées dans le modèle. En conséquence, la précision de calcul de F est rapidement réduite lorsque precision1 et precision2 diminuent de $(10^{-6}$ et $10^{-5})$ à $(10^{-4}$ et $10^{-3})$ (voir la Figure III.37).

Nous obtenons finalement un modèle pour calculer la tension appliquée critique $V_{\text{avalanche}}$ et pour faire apparaître le claquage d'avalanche d'une jonction double diffusée représentée par les paramètres « a ». Dans le Tableau III.7, nous comparons les calculs de la tension appliquée critique entre les modèles ci-dessus et les simulations par éléments finis dans Silvaco-Atlas pour trois structures (trois profondeurs différentes de la jonction N+/P-). Il faut noter que les simulations dans Silvaco-Atlas ne prennent pas en compte les impacts dimensionnels. Les densités du courant obtenues par la simulation dans Silvaco-Atlas sont montrées sur la Figure III.38

- Modèle 1 : modèle d'approximation du profil double diffusé par double fonction exponentielle (les profils de N+ et P- sont approximés par deux fonctions exponentielles),
- Modèle 2 : modèle d'approximation du profil double diffusé par un profil simple Gaussien (N+ est Gaussienne et P- est homogène),
- Modèle 3 : modèle précis avec le profil double diffusé développé précédemment (les profils de N+ et P- sont approximés par deux fonctions Gaussiennes).

Tableau III.7. Comparaison des calculs du modèle avec la simulation par éléments finis

	$X_{jn} = 0,5 (\mu\text{m})$	$X_{jn} = 1,0 (\mu\text{m})$	$X_{jn} = 1,5 (\mu\text{m})$
$V_{\text{avalanche}}$ calculé par modèle 1	57,1V	29,5V	49,7V
$V_{\text{avalanche}}$ calculé par modèle 2	24,5V	29,3V	37,2V
$V_{\text{avalanche}}$ calculé par modèle 3	27,6V	31,0V	39,0V
$V_{\text{avalanche}}$ calculé par simulation	27,4V	31,14V	38,23V

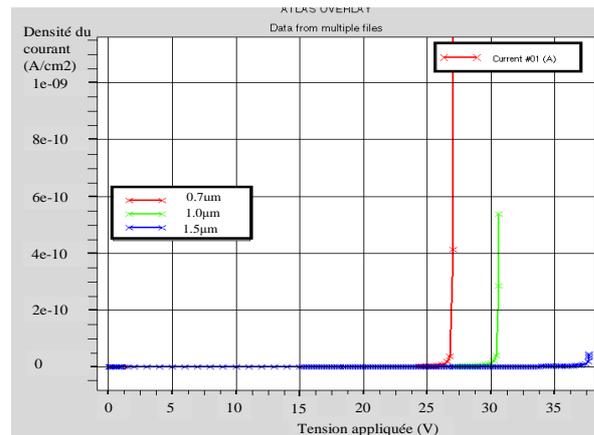


Figure III.38. Différentes variations de F en fonction des précisions de calcul des intégrales

Dans le Tableau III.7, le modèle exponentiel est très peu précis. Le modèle 2 donne un écart maximal de 3,1V par rapport aux simulations dans les trois cas considérés. Cet écart n'est pas acceptable dans notre dimensionnement où la tension d'alimentation doit être inférieure à la dizaine volts pour être compatible avec la tenue en tension du High-side NMOS. Le modèle précis qui prend en compte le profil double gaussien, donne un écart maximal de 0,77V (quand $X_{jn}=1,5 \mu\text{m}$). Par rapport à 15V ou 20V, ce dernier résultat reste acceptable au vue des dispersions propres du procédé technologique.

III.3.1.b.ii. Modélisation 2D du phénomène d'avalanche d'une jonction N+/P-

Comme présenté dans les parties I et II de ce manuscrit, l'hypothèse du phénomène d'avalanche par un problème 1D n'est pas utilisable dans ce cas en raison des impacts dimensionnels importants. Cependant, la modélisation de ce problème physique en 2D est complexe. La modélisation analytique n'est plus envisageable pour l'équation (III.8). Ainsi, nous avons décidé de prendre un modèle empirique pour ce problème qui s'appuie sur les résultats de simulation issus de Silvaco-Atlas. Ces derniers suppléent aux manques de résultats de manipulation, afin d'avoir des données de référence.

En réalité, le phénomène de claquage par avalanche existera sur la jonction dans la partie de diffusion latérale (voir la Figure III.39) en raison de la courbure de cette partie de la jonction N+/P-. Le rayon de cette courbure R_D dépend du profil de dopage (i.e les paramètres dans a).

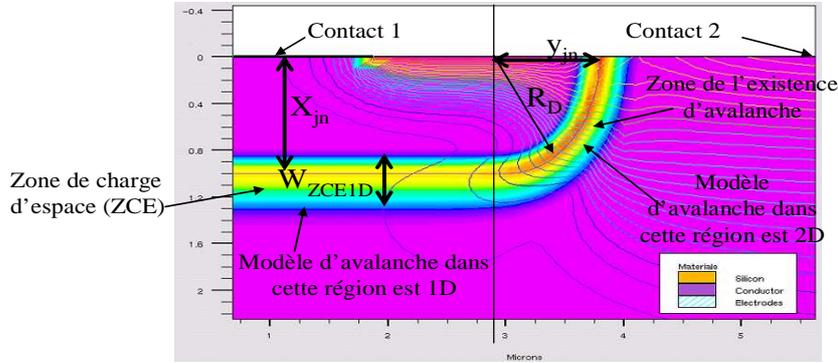


Figure III.39. application des modèles d'avalanche pour les différentes régions dans la structure

Comment peut-on donc prendre en compte les quatre paramètres du profil de dopage dans a ? Si on fait un plan d'expérience en quatre dimensions, le nombre de simulations est important. De plus, il est difficile de connaître la forme du modèle. Donc, nous nous sommes inspirés des travaux réalisés dans [53] qui traitent la même problématique que la nôtre. Leur cas d'étude ne s'applique qu'à la jonction simple diffusée. Cependant, le comportement de leur modèle est similaire à ce que nous souhaitons.

Dans ce modèle empirique de la jonction simple diffusée, la tension de claquage d'avalanche en 2D $V_{critique2D}$ est calculée à partir de celle en 1D $V_{critique1D}$, le rayon de courbure R_D , l'extension de ZCE dans la région de diffusion en profondeur W_{ZCE1D} (voir l'équation (III.29) [53]).

$$\frac{V_{critique\ 2D}}{V_{critique\ 1D}} = \left(0,871 + 0,125 \cdot \ln \left(\frac{R_D}{W_{ZCE1D}} \right) \right)^2 \quad (III.29)$$

R_D peut être calculé par une formulation de la courbure $f(x, y)$ de la jonction double diffusée. Pour l'instant, nous n'avons pas formulé ceci ici. Nous sommes partis des paramètres géométriques y_{jn} , X_{jn} et d'un coefficient de diffusion définissant cette courbure. Ainsi, nous avons remplacé cette formulation par la formule (III.30) en fixant un ratio de diffusion latérale (Ratio = 0,8) ce qui est utilisé en simulation numérique :

$$\frac{V_{critique2D}}{V_{critique1D}} = \left(f_1(X_{jn}) + f_2(X_{jn}) \cdot \ln \left(\frac{y_{jn}}{W_{ZCE1D}} \right) \right)^2 \quad (III.30)$$

Les fonctions $f_1(X_{jn})$ et $f_2(X_{jn})$ sont mises en équation pour prendre en compte les différences de la jonction double diffusée et de celle simple diffusée.

Dans la formulation (III.30), X_{jn} est défini comme un paramètre de configuration de simulation dans Silvaco-Atlas. y_{jn} est calculé en fonction de X_{jn} (voir l'équation (III.31)).

$$y_{jn} = X_{jn} \cdot \text{Ratio} \quad (\text{III.31})$$

Cependant l'extension de ZCE, W_{ZCE1D} , n'est pas paramétrable exactement dans la simulation dans Silvaco-Atlas. Elle n'est pas simplement extraite de la simulation. Principalement, cette méthodologie d'extraction de W_{ZCE1D} n'est pas possible pour le dimensionnement par optimisation. C'est la raison pour laquelle nous avons proposé une démarche de calcul dans le diagramme sur la Figure III.40 en utilisant le calcul précis du modèle semi-analytique 1D.

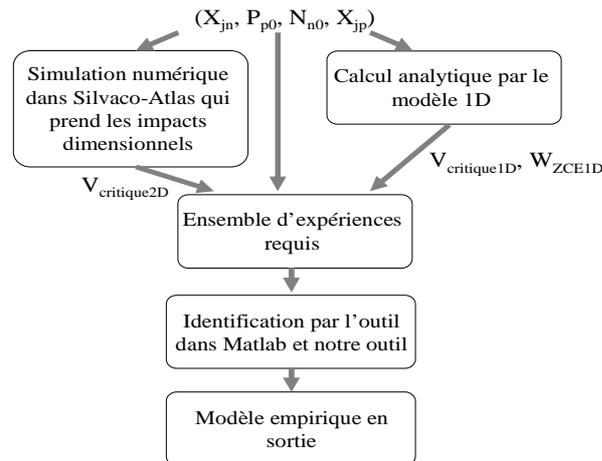


Figure III.40. Démarche d'identification du modèle empirique de la tension claquage d'avalanche en 2D

En construisant l'ensemble d'expériences qui couvrent la plage de variation possible des paramètres dans cette application : $0,5\mu\text{m} \leq X_{jn} \leq 1,5\mu\text{m}$, $5.10^{16} \text{ at/cm}^3 \leq P_{p0} \leq 15.10^{16} \text{ at/cm}^3$, $N_{n0} = 1.10^{20} \text{ at/cm}^3$, $X_{jp} = 5\mu\text{m}$. Les paramètres moins influents, N_{n0} et X_{jp} sont fixés pour diminuer le nombre de simulations requises. Dans cette démarche, l'ensemble des expériences requises est construit par :

- le modèle 1D utilisé pour calculer $V_{critique1D}$ et W_{ZCE1D}
- la simulation numérique utilisée pour extraire la valeur $V_{critique2D}$
- l'outil d'identification proposé dans Matlab et notre outil d'identification présentée précédemment.

Le modèle empirique obtenu est donné par l'équation (III.32). En complément, la vérification de ce modèle est illustrée sur la Figure III.41 en superposant les calculs de ce modèle empirique et les résultats de simulation numériques.

$$\frac{V_{critique2D}}{V_{critique1D}} = \left(0,911 + (0,0145 X_{jn} + 0,114) \cdot \ln \left(\frac{y_{jn}}{W_{ZCE1D}} \right) \right)^2 \quad (\text{III.32})$$

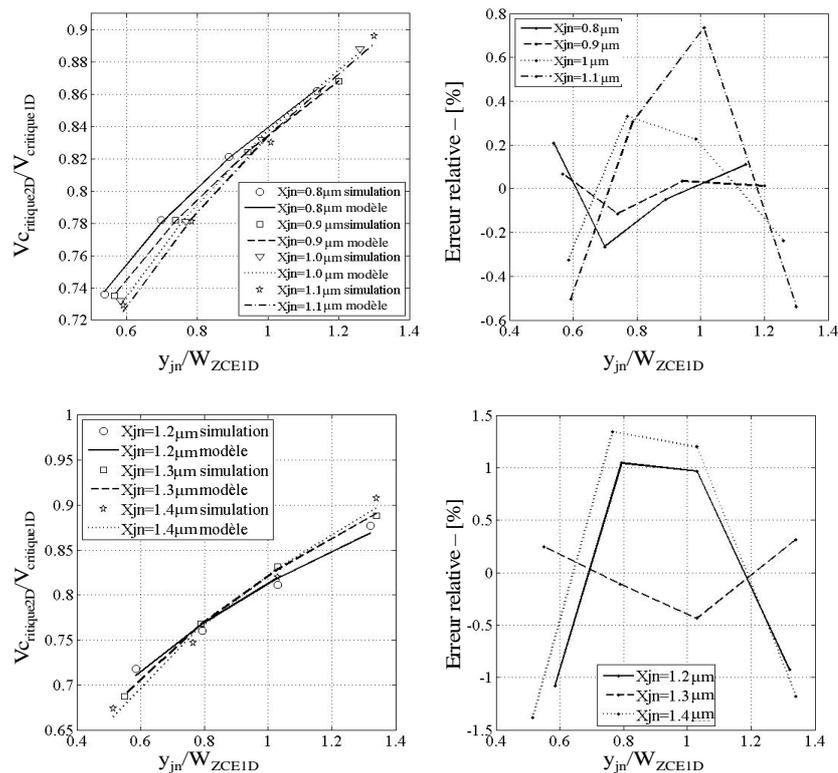


Figure III.41. Vérification des calculs du modèle 2D par rapport la simulation numérique dans Silvaco-Atlas

La vérification du modèle sur la Figure III.41 nous donne des précisions acceptables du modèle empirique en comparaison avec les résultats de simulation numérique. Malheureusement, nous ne pouvons pas faire une comparaison de ce modèle empirique avec le transistor bipolaire réalisé dans la thèse de N. Rouger [6]. En effet, nous n'avons que la mesure SRP de la partie de diffusion en profondeur (voir le paragraphe III.2.3), mais nous n'avons pas la mesure des profils de dopage de la partie de diffusion latérale.

III.3.2. Cahier des charges du problème de dimensionnement

III.3.2.a. Paramètres de dimensionnement

En combinant les modélisations précédentes, nous avons un modèle suffisamment complet pour ce dimensionnement. Afin de simplifier le problème de dimensionnement et de ne pas perturber l'objectif de ce dimensionnement, nous n'intégrons pas le modèle de la filière technologique dans le modèle de dimensionnement. Les paramètres de dimensionnement sont donc les paramètres physiques et géométriques du composant, comme le montre le Tableau III.8.

Tableau III.8. Paramètres de dimensionnement de la comptabilité électro-technologique

		paramètres	interval	Définition physique
Paramètres du substrat	1	$N_v(\text{at/cm}^3)$		concentration de la zone de tenue en tension
	2	$e_{pi}(\text{cm})$		épaisseur du substrat
Paramètres physiques et géométriques en verticale utilisés pour tous les composants intégrés	3	$N_{n0}(\text{at/cm}^3)$	$[5.10^{19} ; 1,5.10^{20}]$	Concentration en surface du N+ de la source
	4	$P_{p0}(\text{at/cm}^3)$	$[3.10^{16} ; 1,5.10^{17}]$	Concentration en surface du P- du canal
	5	$X_{jn}(\mu\text{m})$	$[0,5 ; 1,2]$	Profondeur de la jonction N+/P-
	6	$X_{jp}(\mu\text{m})$	$[4 ; 6]$	Profondeur de la jonction P-/Nv
	7	$e_{ox}(\text{nm})$	$[10 ; 50]$	Epaisseur d'oxyde sous la grille
Paramètres du masque du VDMOS	8	$L_{PM}(\text{cm})$	$[0,003;0,02]$	largeur de la fenêtre d'implantation de P-
	9	$L_{Grille}(\text{cm})$	$[0,003;0,02]$	longue d'oxyde de grille
	10	$N_{cell}(\text{unité})$	$[200 ; 3000]$	Nombre de cellules du VDMOS

Dans ce tableau, les paramètres physiques, géométriques verticaux et les paramètres du substrat sont les paramètres issus de la filière technologique du VDMOS qui est utilisée pour réaliser le VDMOS mais aussi les NMOS de la commande rapprochée et les transistors bipolaires de l'autoalimentation. Ainsi, ces paramètres sont les paramètres d'entrée pour :

- calculer les caractéristiques du VDMOS
- calculer la tension maximale en sortie de la commande rapprochée
- calculer la tension $V_{critique2D}$ de la jonction N+/P- du transistor bipolaire.

Les plages de variation des concentrations en surface N_{n0} , P_{p0} sont choisies afin d'assurer un bon contact de la source et pour répondre aux contraintes de la région pincée et de la tension de seuil du VDMOS et les NMOSs, comme introduit dans le dimensionnement de la filière technologique.

Comme présenté précédemment, le problème de résolutions d'équations implicites dans le paragraphe III.3.1.b.i, le calcul du modèle peut ne plus être utilisable lorsque la profondeur de jonction P-/Nv X_{jp} est faible et la profondeur de jonction N+/P- X_{jn} est importante en raison du perçage de la ZCE avec la jonction P-/Nv. Ainsi, les spécifications par le modèle semi-analytique déterminent les deux plages de variation de ces profondeurs dans le Tableau III.8. En complément, l'épaisseur d'oxyde e_{ox} est limitée dans l'intervalle $[10\text{nm} ; 50\text{nm}]$ pour limiter l'effet de substrat sur la tension de seuil du High-side NMOS (voir Figure III.28).

Les paramètres du masque sont mis dans le dimensionnement pour optimiser la performance et assurer les critères de fonctionnement du VDMOS.

III.3.2.b. Contraintes de dimensionnement

En plus de la spécification des paramètres de dimensionnement et de leurs plages de variation, nous introduisons un nombre de contraintes sur des critères de fonctionnement du VDMOS, comme présenté dans le paragraphe III.2.5.b.ii sans les contraintes de N_{n0} , P_{P0} et e_{ox} .

Nous allons maintenant définir les contraintes importantes pour assurer le compromis du VDMOS avec ces fonctions annexes.

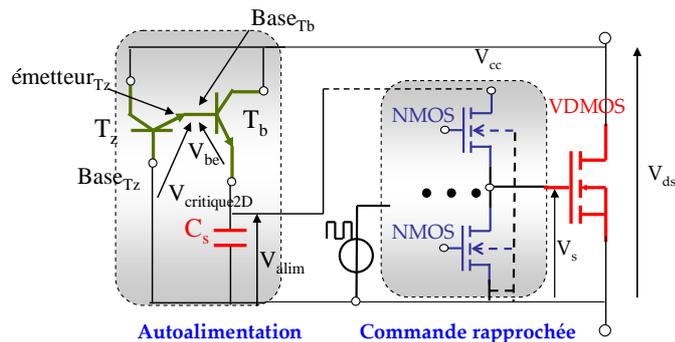


Figure III.42. Circuit du VDMOS et ses fonctions annexes

Comme introduit dans la partie I et II (voir l'équation II.8 et I.1), nous avons le premier compromis entre la tension de seuil du VDMOS V_{th0} et la tension maximale de commande V_{smax} dans l'équation (III.33). Dans cette application, nous fixons un rapport 5 entre ces deux tensions, afin de garantir une bonne saturation à l'état passant du VDMOS de puissance :

$$V_{smax} = 5 \cdot V_{th0} \quad (III.33)$$

En utilisant le modèle de la tension de seuil sous l'effet du substrat présenté précédemment (voir les équations II.4, II.5 et II.6), nous avons une formulation pour calculer V_{cc} ou bien V_{alim} en fonction de V_{th0} dans l'équation (III.34).

$$V_{alim} = V_{cc} = 5 \cdot V_{th0} + \left(V_{th0} + \gamma \cdot \left(\sqrt{2 \cdot \theta + 5 \cdot V_{th0}} - \sqrt{2 \cdot \theta} \right) \right) \quad (III.34)$$

Du côté de l'autoalimentation, la polarisation en inverse de la jonction Emetteur-Base de T_z doit permettre l'avalanche lorsqu'il y a un dV_{ds}/dt positif pour assurer le fonctionnement correct de l'autoalimentation. Le transistor bipolaire T_b conduit si on a une valeur positive de dV_{ds}/dt pendant une durée minimale. Cette conduction permet de recharger le condensateur C_s par une partie du courant de la charge qui passe normalement à travers le VDMOS. Dès que la tension de l'électrode de Base de T_b atteint le niveau de la tension de claquage $V_{critique2D}$ de la jonction Emetteur-Base de T_z , la structure d'autoalimentation va réguler la tension sortie V_{alim} durant le dV_{ds}/dt . Le principe de fonctionnement de cette structure d'autoalimentation est présenté en détail dans la thèse de N. Rouger [6]. Ainsi, nous avons une équation reliant la tension $V_{critique2D}$ et la tension de sortie de l'autoalimentation V_{alim} , dans l'équation (III.35).

$$V_{\text{critique 2D}} = V_{\text{alim}} + V_{\text{be}} \quad (\text{III.35})$$

Dans cette équation, V_{be} est normalement d'environ 0,6 V. Nous avons finalement le compromis entre le VDMOS, la commande rapprochée et l'autoalimentation par l'équation (III.36).

$$V_{\text{critique 2D}} = V_{\text{be}} + \left(5 \cdot V_{\text{th0}} + \left(V_{\text{th0}} + \gamma \cdot \left(\sqrt{2 \cdot \theta + 5 \cdot V_{\text{th0}}} - \sqrt{2 \cdot \theta} \right) \right) \right) \quad (\text{III.36})$$

A partir de cette équation, nous allons calculer $V_{\text{critique1D}}$ et la formulation du champ électrique $E(x)$ autour de la jonction N+/P- en résolvant l'équation implicite ci-dessous, et en prenant en compte les équations (III.32) et (III.18).

$$\left\{ \begin{array}{l} V_{\text{critique 1D}}(E_0) = \frac{V_{\text{critique 2D}}}{\left(0,911 + (0,0145 \cdot X_{\text{jn}} + 0,114) \cdot \ln \left(\frac{y_{\text{jn}}}{x_{\text{Fin}}(E_0) - x_{\text{Debut}}(E_0)} \right) \right)^2} \\ V_{\text{critique 1D}}(E_0) = \int_{x_{\text{Debut}}(E_0)}^{x_{\text{Fin}}(E_0)} E(x, E_0) dx \end{array} \right. \quad (\text{III.37})$$

La comptabilité électro-technologique entre le VDMOS et ses fonctions annexes (voir l'équation (III.36)) est donc transformée par la contrainte de $V_{\text{critique1D}}$ (voir l'équation (III.37)). Cette contrainte sera transformée en la contrainte de la valeur de la fonction F (voir l'équation (III.23)), comme illustré dans l'équation (III.38). En réalité, F doit être égale à 1. Cependant cette contrainte d'égalité sera très difficile à assurer. Nous avons choisi la contrainte définie par l'équation (III.38) en acceptant une erreur admissible [57].

$$-0,003 \leq 1 - F \leq 0,003 \quad (\text{III.38})$$

Elle est utilisée comme la contrainte importante pour ce dimensionnement. Nous devons ajouter une autre contrainte pour limiter la tension V_{alim} afin d'assurer la tenue en tension du High-side NMOS. En utilisant les études dans la thèse de D. B. Nguyen, nous avons utilisé une valeur limite de 13V de la tension V_{drain} . Les dimensionnements devront vérifier ce critère.

Finalement, nous avons 17 contraintes définies et 10 paramètres à dimensionner. Dans le prochain paragraphe, nous allons appliquer les algorithmes d'optimisation pour trouver les structures qui peuvent assurer la comptabilité électro-technologique et donner les meilleures performances du VDMOS et de ses fonctions intégrées.

III.3.3. Résultats du dimensionnement par l'optimisation

III.3.3.a. Cahier de charges

Avec les spécifications précédentes, nous pouvons maintenant utiliser les algorithmes d'optimisation pour atteindre notre objectif en utilisant le cahier des charges suivant :

- tension nominale : $V_0=400V$,

- puissance de sortie : 500W,
- rapport cyclique : 0,5,
- fréquence de commutation : 150kHz.

III.3.3.b. Algorithme d'optimisation

Afin de trouver un algorithme d'optimisation, bien adapté à ce problème de dimensionnement qui n'a pas beaucoup de paramètres, mais qui a des contraintes très serrées (par exemple : la contrainte d'avalanche et la limite de la tension V_{alim}), nous avons réalisé des analyses formelles et des tests spécifiques. Ceci est détaillé dans notre article accepté pour le journal IJAEM [57]. Dans cet article, le problème est plus simple que le dimensionnement présenté dans ce paragraphe, car nous n'y avons pris en compte que la comptabilité électro-technologique entre le VDMOS et son autoalimentation, sans la commande et sans l'effet de substrat du High-side NMOS. Cependant, la nature du problème entre ces deux applications est de la même nature car les difficultés viennent principalement du calcul de la contrainte d'avalanche [57], c'est-à-dire du calcul de $F(a)$. Ainsi, les résultats obtenus dans cet article restent intéressants pour choisir l'algorithme d'optimisation dans notre cas d'étude. Selon ces travaux, l'algorithme de type gradient SQP est rejeté en raison de :

- l'oscillation numérique du calcul de la fonction F provoquée par la précision des algorithmes d'intégration numérique (voir la Figure III.37),
- l'oscillation numérique du calcul de la fonction objectif provoquée par le choix du pas de temps du modèle de commutation dynamique du VDMOS,
- le calcul très compliqué, très coûteux des gradients de la contrainte d'avalanche si on n'a pas un outil de calcul sélectif des gradients,
- la difficulté de choix du point initial pour l'optimisation pour pouvoir obtenir un optimum global et assurer les contraintes.

En revanche, les algorithmes stochastiques (ES et RTS) sont efficaces pour trouver un optimum global et assurer toutes les contraintes pendant un temps raisonnable jusqu'à la cinquantaine de minutes.

Pour ces raisons, dans le cadre de ce rapport, nous ne présentons que l'application de l'algorithme de Nichage (un algorithme stochastique), qui s'avère très adapté pour cette optimisation.

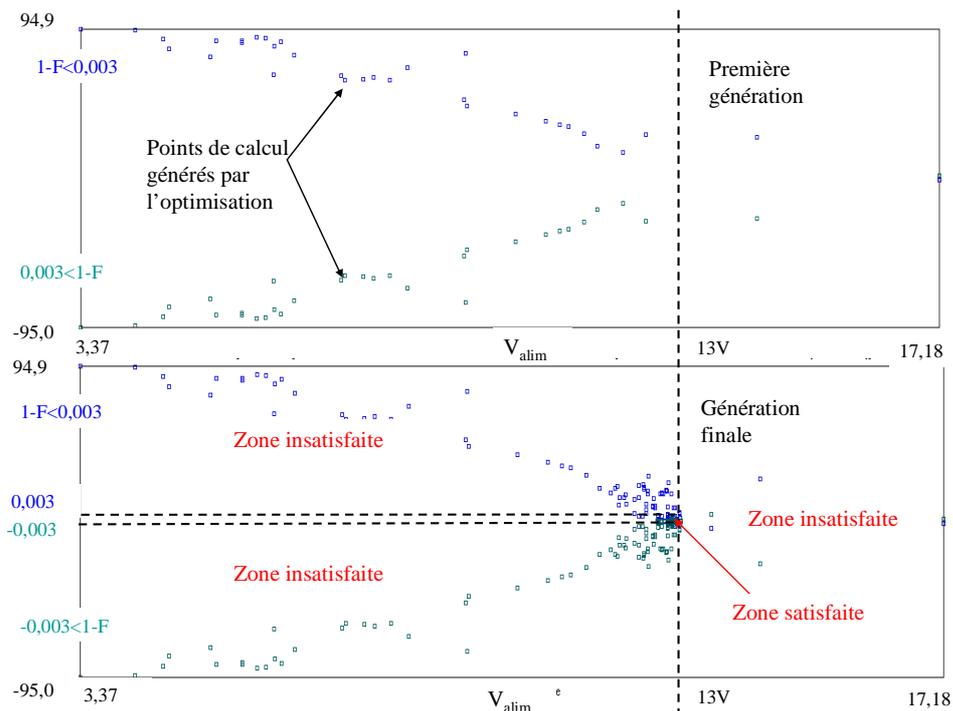
III.3.3.c. Résultats

Nous avons utilisé l'algorithme d'optimisation de Niching, avec les paramètres de l'algorithme ci-dessous :

- nombre de générations : ng ,
- nombre d'individus : ni ,
- rayon de niche : r ,
- pénalité de l'algorithme permettant de mettre un coefficient très important sur certaines contraintes par rapport à la fonction objectif, afin d'indiquer pour l'optimiseur qu'on veut mieux satisfaire les contraintes que optimiser la fonction objectif [58].

Finalement, nous avons trouvé de bons résultats de dimensionnement avec $ng=400$, $ni=40$ et $r=0,2$. Nous avons choisi de maximiser la performance du VDMOS (voir l'équation (III.1)) dans cette optimisation. Nous avons obtenu 40 meilleurs individus à la génération finale qui ont satisfait toutes les contraintes et ont donné les meilleures valeurs de la performance du composant. Les valeurs de tous les paramètres de dimensionnement des 40 individus ont convergé presque aux mêmes valeurs. Le lecteur peut consulter ces valeurs dans l'annexe.

Sur la Figure III.43, nous illustrons l'évolution des nuages d'individus pendant le processus d'optimisation stochastique. Les positions des individus à la première génération et



à la génération finale sont présentées. On obtient une zone satisfaisant la contrainte d'avalanche et la limite 13 V de la tension d'alimentation. Cette zone est très petite par rapport aux zones non satisfaisantes. De plus, cette zone s'approche de la limite de 13V de V_{alim} . En regardant sur cet espace de variation des individus, nous pouvons constater que les individus satisfaisants les deux contraintes n'existent que dans l'intervalle $12,5V < V_{alim} < 13V$.

Ainsi, si on veut élargir cette zone de satisfaction, on doit augmenter la tenue en tension du High-side NMOS ou élargir la plage de variation des paramètres comme P_{P0} et X_{jn} .

Nous avons choisi le meilleur individu parmi ces individus et nous le comparons avec le composant discret (avec même cahier des charges) dans le **Erreur ! Source du renvoi introuvable.**

Tableau III.9. Comparaison entre le dimensionnement du composant intégré et celui du composant discret

	composant intégré	composant discret
Performance du VDMOS	2523	2595
Résistance de Grille (Ω)	0,19	0,29
Surface de Silicium du VDMOS (cm^2)	0,079	0,079
Tension à l'état passant (V)	2,99	2,97
Tension de seuil (V)	1,536	1,73
Pertes par commutation (W)	0,244	0,264
Tension maximale à la sortie de la commande V_{smax} (V)	7,68	8,64
Tension d'alimentation V_{alim} (V)	12,84	

*En voyant le Tableau III.9, la satisfaction des contraintes de comptabilité électro-technologique n'est pas limitée la performance du VDMOS (2523 par rapport 2595 dans le cas sans contrainte de comptabilité électro-technologique). La performance du VDMOS intégré monolithiquement est égale **97,23%** de celle du VDMOS non intégré. Ce résultat est très important pour la suite de l'intégration monolithique en électronique de puissance.*

Pour conclure sur ce dimensionnement, nous avons conduit des simulations numériques statiques et dynamiques dans Silvaco pour vérifier la précision du dimensionnement.

III.3.3.d. Vérification de la précision du dimensionnement par simulation numérique

Premièrement, nous allons vérifier la valeur de la tension d'avalanche des structures dimensionnées par la simulation statique dans Silvaco-Atlas. La structure de simulation d'un transistor bipolaire simulé dans Atlas est illustrée sur la Figure III.44. Cette structure du transistor bipolaire est construite par la technologie du VDMOS.

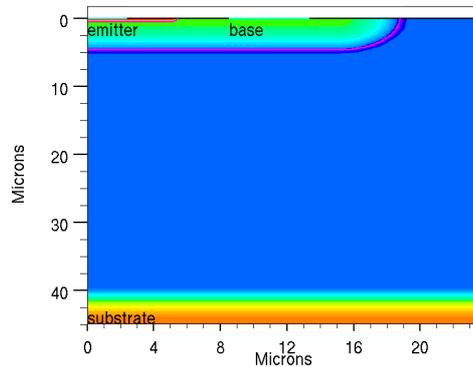


Figure III.44. Structure du transistor bipolaire simulé dans Silvaco-Atlas

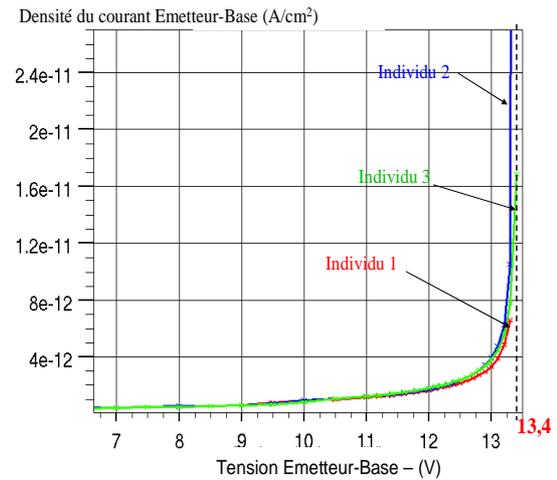


Figure III.45. Densité du courant Emetteur-Base simulé par Silvaco-Atlas des trois individus

Les densités du courant Emetteur-Base simulées des trois individus sont présentées sur la Figure III.45. Selon ces résultats de simulation, $V_{critique2D}$ est de 13,4 V pour les trois individus du **Erreur ! Source du renvoi introuvable.**, l'erreur de dimensionnement est de 0,5V ou 3,7%.

Deuxièmement, nous avons réalisé une simulation numérique dynamique dans Silvaco-Mixedmode pour vérifier la valeur de la tension de seuil du VDMOS et plus particulièrement la valeur de la tension en sortie de la commande rapprochée. Le circuit décrit pour la simulation est montré sur la Figure III.46. Dans ce circuit, le VDMOS et les NMOS sont décrits dans Silvaco-Atlas en utilisant les mêmes données technologiques. Ces structures sont ensuite importées de Silvaco-Atlas vers la simulation temporelle dans Mixedmode. La structure de ces composants est illustrée dans l'annexe 5.

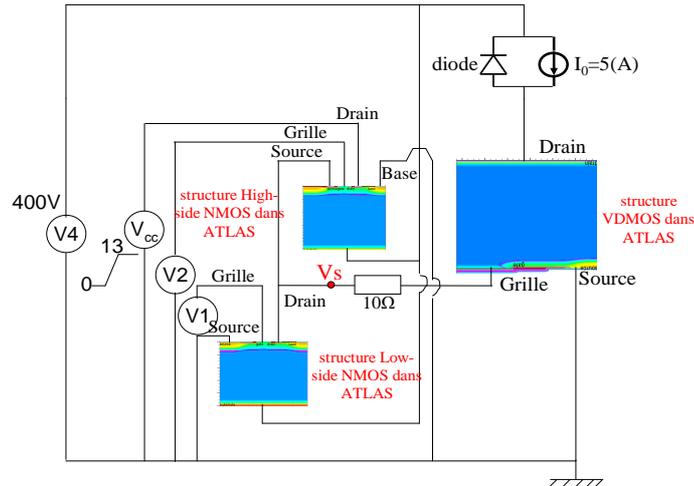


Figure III.46. Schéma de simulation dans Mixedmode-Silvaco

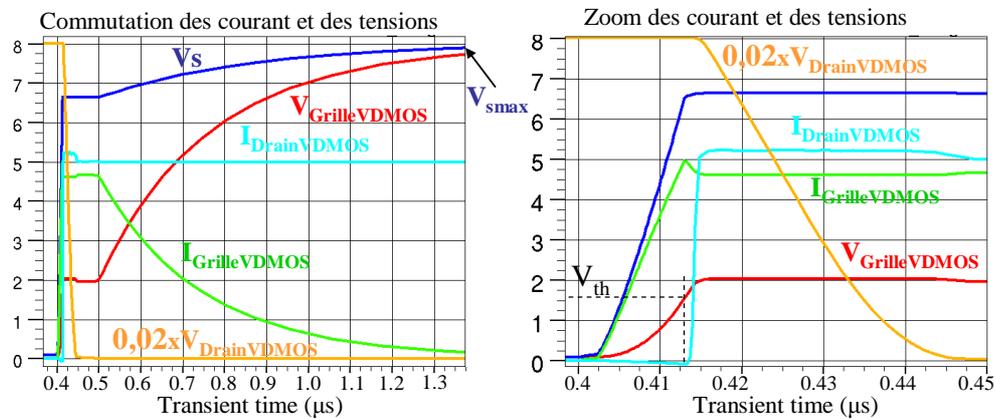


Figure III.47. Commutation des courants et des tensions autour du VDMOS

Comme on peut le voir sur les variations temporelles des tensions et des courants de grille et de drain du VDMOS, dans la phase d'amorçage, la tension maximale en sortie de la commande rapprochée V_{smax} est presque de 8 V, à comparer avec la valeur de 7,68 V issue du calcul du dimensionnement analytique. Donc la différence entre les deux calculs est de 3,8%. La valeur de la tension de seuil est proche de 1,55 V, à comparer avec la valeur 1,54V calculée par le dimensionnement.

En conclusion, le dimensionnement que l'on a réalisé dans ce paragraphe, donne des résultats proches des simulations par éléments finis dans Silvaco. La comptabilité électrotechnologique entre le VDMOS, la commande rapprochée et son autoalimentation sont respectées. Cependant, la zone de satisfaction reste très petite. Si on veut élargir cette zone, le concepteur doit relâcher des contraintes ou améliorer la tenue en tension du High-Side NMOS.

Pour les limitations que nous nous sommes données dans le cadre de cette thèse, ce dimensionnement ne prend pas en compte les performances dynamiques de la commande rapprochée et de l'autoalimentation, qui peuvent impacter les performances dynamiques du

VDMOS. Par ailleurs la sensibilité de ce compromis électro-technologique aux dispersions étudiées précédemment n'a pas encore été abordée. Cela sera certainement un critère déterminant dans les choix futurs qui seront faits et qui permettront malgré les aléas technologiques de garantir ce compromis électro-technologique. Des travaux complémentaires sont importants pour compléter le dimensionnement d'un composant VDMOS intégrant des fonctions annexes.

III.3.4. Conclusion sur le dimensionnement du compromis électro-technologique du VDMOS intégré monolithique

Dans ce dimensionnement du compromis électro-technologique entre le VDMOS et ses composants fonctionnels, nous avons obtenu de bons résultats. Nous avons trouvé par l'optimisation, des structures verticales communes pour le VDMOS, sa commande rapprochée et son autoalimentation en assurant tous les compromis de fonctionnement entre eux. Les résultats de dimensionnement sont très proches des valeurs prévues par les simulations effectuées durant la thèse de D. B. Nguyen [5]. Le composant VDMOS intégré monolithique ne perd pas sa performance par rapport au composant discret. Cependant, il n'y a pas beaucoup de structure verticale commune entre le VDMOS, la commande rapprochée et l'autoalimentation qui peut assurer le compromis électrique.

Avec les modèles réalisés, capitalisés et la méthode d'optimisation dans ce chapitre III.3, nous pouvons désormais proposer des outils performants pour trouver le compromis d'intégration monolithique entre les composants. Les autres structures peuvent être dimensionnées avec la même démarche lorsqu'on change le cahier de charges et l'on ajoute d'autres compromis de fonctionnement. Pour autant cette base est déjà très complète et devrait permettre de développer significativement les fonctionnalités compatibles en intégration fonctionnelle de puissance.

Concernant les analyses de la sensibilité de la filière technologique du VDMOS présentées dans le chapitre III.2, nous allons faire dans le futur des analyses de sensibilité du compromis dimensionné en fonction des dispersions technologiques pour fiabiliser la réalisation technologique du VDMOS intégré. Ces analyses nous permettront de connaître et de quantifier les impacts des dispersions technologiques sur le compromis entre ces trois fonctions. Finalement, à partir de ces connaissances, nous pouvons choisir le meilleur dimensionnement qui est le plus stable vis-à-vis des impacts technologiques pour la réalisation finale.

III.4. Dimensionnement d'un VDMOS en fonction de sa technologie et son environnement électronique

Nous avons présenté les contraintes très importantes liées à l'environnement du composant de puissance dans le paragraphe I.1.4. Les composants parasites autour du composant de puissance et leurs impacts sur celui-ci ont déjà fait l'objet de travaux importants présentés dans la recherche bibliographique. Cependant, il a été réalisé des dimensionnements de VDMOS qui n'ont pas pris en compte ces impacts [13]. Nous appelons ces dimensionnements "intrinsèques". Ceux-ci présentent certains inconvénients. *Ainsi, comment pouvons-nous précisément faire un dimensionnement tenant compte des impacts environnementaux (dimensionnement environnemental) dans l'application du VDMOS ? Quels sont les apports fournis par ce dimensionnement par rapport aux dimensionnements intrinsèques d'un VDMOS ?*

Comme introduit à la fin de la partie I, le dimensionnement environnemental a besoin d'une modélisation fine du comportement dynamique du VDMOS en incluant les inductances parasites dans le circuit de commutation. Cette modélisation est nécessaire pour prendre en compte précisément les impacts environnementaux sur les caractéristiques dynamiques. Ensuite, nous avons besoin de réaliser une spécification particulière de ce nouveau problème de dimensionnement, car ce dimensionnement peut faire apparaître de nouveaux paramètres et de nouvelles contraintes à assurer. C'est par exemple le cas de la marge qui fut choisie dans la partie précédente au niveau de la tenue en tension maximale du composant de puissance et fixée à 1,25 fois la tension nominale. La prise en compte de la surtension réelle que subira le composant de puissance en lien avec ses dynamiques de commutation et son environnement électromagnétique peuvent modifier significativement ce paramètre et les conséquences sur le dimensionnement et les performances de celui-ci.

III.4.1. Modélisation des comportements dynamiques du VDMOS dans l'environnement inductif

Dans cette modélisation, nous allons utiliser le modèle des capacités parasites du modèle de commutation à '7 phases' de Laurent AUBARD [27] pour le VDMOS. Les autres composants de commutations sont intégrés dans le circuit équivalent. Ainsi, nous présentons d'abord une description du modèle '7 phases'.

III.4.1.a. Modèle de '7 phases' du VDMOS [27]

Ce modèle repose sur la décomposition des commutations en 7 phases distinctes. Il permet de distinguer sur les relevés expérimentaux de commutation différentes phases, qui correspondent aux différents états physiques des structures MIS (Métal Isolant Semi-conducteur) internes du composant [13]. Ces états physiques sont délimités par les seuils de tensions sur les électrodes du MOSFET. Ils sont représentés par les variations des capacités

inter-électrodes et de la source de courant dans le canal (voir la Figure III.48.a). On a donc le schéma simplifié équivalent du VDMOS présenté sur la Figure III.48.b.

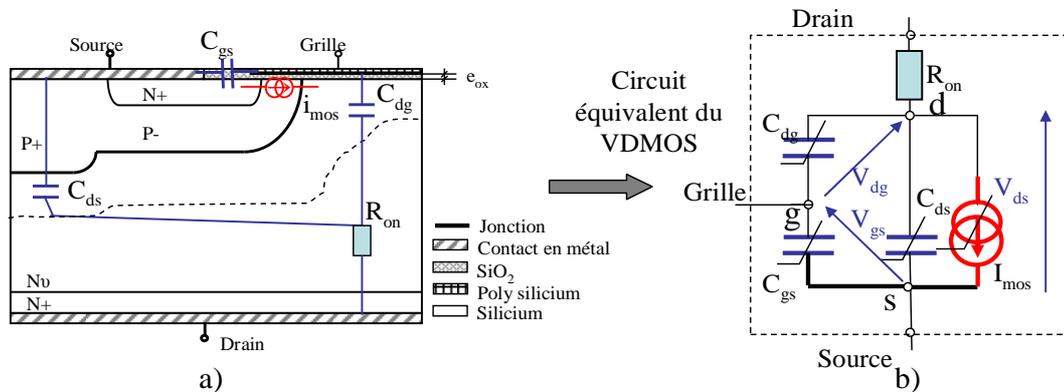


Figure III.48. Circuit équivalent simplifié du VDMOS a) géométrie d'une demi cellule de VDMOS en intégrant les composants parasites, b) circuit d'équivalent du VDMOS

Ces capacités parasites et la source de courant sont non linéaires. Elles dépendent des différences de potentiels appliquées entre les électrodes (tension drain-grille V_{dg} , tension drain-source V_{ds} , tension grille-source V_{gs}), par exemple : $C_{ds}(V_{ds})$, $C_{gs}(V_{gs})$, $C_{dg}(V_{ds}, V_{gs})$. En conséquence, les valeurs de ces composants parasites varient en fonction des variations des tensions de commutation. La formulation de ces capacités est également changée en suivant les seuils des tensions V_{ds} et V_{gs} (voir [27], [13]).

III.4.1.b. Modélisation des comportements dynamiques du VDMOS sous l'environnement inductif sous S-Function dans MATLAB.

La commutation intrinsèque du VDMOS (sans inductances parasites connectée sur les électrodes du VDMOS) peut être simplement modélisée par un pas de calcul constant en utilisant le modèle à 7 phases des capacités parasites [13]. Cependant, les comportements dynamiques du VDMOS sont plus compliqués en considérant les inductances parasites connectées aux électrodes du VDMOS et l'influence du driver (voir la Figure III.49). Il

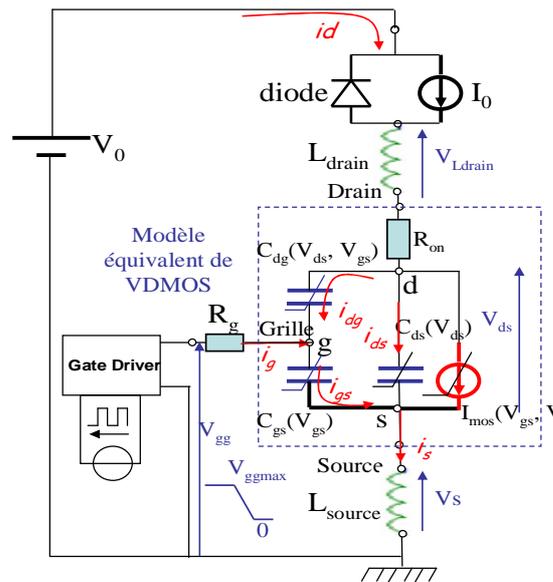


Figure III.49. Circuit de commutation de modélisation du VDMOS en connectant les inductances parasites

apparaît des surtensions importantes sur le drain du VDMOS dans la phase de blocage, comme introduit dans la première partie. En complément, nous avons besoin de calculs plus précis des pertes par commutation et des surtensions dans ce dimensionnement environnemental. Ainsi, dans la deuxième partie de ce rapport, nous avons proposé les méthodes de modélisation utilisables pour la commutation du circuit de la Figure III.49 en utilisant une S-Function en C, les solveurs adaptatifs dans Matlab et des méthodes de détections des états de discontinuité du système (méthode des dates importantes et technique de 'zero-crossing') (voir le paragraphe II.3.3.d.ii).

Le modèle décrit dans une S-Function en C est défini par la formulation des dérivées temporelles des variables d'état, par exemple, les courants passant dans les inductances (i_d , i_s) et les tensions aux bornes des condensateurs (V_{ds} , V_{gs}) : di_d/dt , di_s/dt , dV_{gs}/dt , dV_{ds}/dt . Ces dérivées viennent de la résolution du système des équations différentielles issues de la loi des mailles, de la loi des nœuds et des lois comportementales des composants du circuit équivalent du système. Dans cette modélisation, nous supposons que la diode est idéale.

Pour la phase de blocage, la condition initiale de ce circuit est présentée ci-dessous.

- La diode est bloquée, $i_{d0} = I_0$, le courant de drain ne varie pas : $di_d/dt(t=0) = 0$. Ainsi, il n'y a pas de chute de tension sur L_{drain} et $V_{L_{\text{drain}}} = 0$.
- Le courant de source est également constant : $di_s/dt(t=0) = 0$. Il n'y a donc pas de chute de tension sur L_{source} et $V_{L_{\text{source}}} = 0$.
- La tension au drain est la chute de tension à l'état passant du VDMOS $V_{\text{dson}} = I_0 \cdot R_{\text{on}}$.
- Le courant de grille est nul et la tension à la grille est égale la tension maximale fournie par le driver $V_g = V_{\text{ggmax}}$.

Lorsqu'on coupe la tension du driver V_{gg} (i.e elle est réduite de V_{ggmax} à 0), la capacité de grille du VDMOS commence à se décharger pour la phase de blocage. Ainsi, les tensions et les courants aux bornes du composant de puissance sont modifiées en fonction du temps. Afin de trouver ces variations temporelles, nous établissons le système des équations différentielles dans l'équation (III.39) et (III.40).

$$\text{Si } V_{\text{ds}} + i_d \cdot R_{\text{on}} + V_s + L_{\text{drain}} \cdot d(i_d)/dt < V_0 \quad \begin{cases} i_{\text{dg}} + i_{\text{ds}} - i_d + i_{\text{mos}} = 0 \\ i_{\text{gs}} - i_g - i_{\text{dg}} = 0 \\ i_s - i_{\text{gs}} - i_{\text{ds}} - i_{\text{mos}} = 0 \\ i_d = I_0 \end{cases} \quad (\text{III.39})$$

$$\text{Sinon} \quad \begin{cases} i_{\text{dg}} + i_{\text{ds}} - i_d + i_{\text{mos}} = 0 \\ i_{\text{gs}} - i_g - i_{\text{dg}} = 0 \\ i_s - i_{\text{gs}} - i_{\text{ds}} - i_{\text{mos}} = 0 \\ V_0 = V_{L_{\text{drain}}} + i_d \cdot R_{\text{on}} + V_{\text{ds}} + V_s \end{cases} \quad (\text{III.40})$$

Dans ce système, les courants passant dans les capacités sont calculés par les dérivées des produits des capacités et des tensions aux bornes des condensateurs (voir l'équation (III.41)). La formulation de ces courants est compliquée en raison de la non linéarité des capacités. Les tensions aux bornes des inductances sont calculées par l'équation (III.42).

$$i = \frac{dQ_x}{dt} = \frac{d}{dt}(C_x(V_x) \cdot V_x) = C_x(V_x) \cdot \frac{dV_x}{dt} + \left(\frac{\partial C_x(V_x)}{\partial V_x} \cdot \frac{\partial V_x}{\partial t} \right) \cdot V_x \quad (\text{III.41})$$

$$V_{L_x} = L_x \frac{di_{L_x}}{dt} \quad (\text{III.42})$$

En remplaçant les courants par des formulations précédentes, l'équation (III.40) devient :

$$\begin{cases} \frac{d}{dt}(C_{\text{dg}}(V_{\text{ds}}, V_{\text{gs}}) \cdot V_{\text{dg}}) + \frac{d}{dt}(C_{\text{ds}}(V_{\text{ds}}) \cdot V_{\text{ds}}) - i_d + i_{\text{mos}}(V_{\text{gs}}, V_{\text{ds}}) = 0 \\ \frac{d}{dt}(C_{\text{gs}}(V_{\text{gs}}) \cdot V_{\text{gs}}) - \frac{V_{\text{gg}} - V_{\text{gs}} - V_s}{R_g} - \frac{d}{dt}(C_{\text{dg}}(V_{\text{ds}}, V_{\text{gs}}) \cdot V_{\text{dg}}) = 0 \\ i_s - \frac{d}{dt}(C_{\text{gs}}(V_{\text{gs}}) \cdot V_{\text{gs}}) - \frac{d}{dt}(C_{\text{ds}}(V_{\text{ds}}) \cdot V_{\text{ds}}) - i_{\text{mos}}(V_{\text{gs}}, V_{\text{ds}}) = 0 \\ V_0 = L_{\text{drain}} \cdot \frac{di_d}{dt} + i_d \cdot R_{\text{on}} + V_{\text{ds}} + V_s \end{cases} \quad (\text{III.43})$$

La solution formelle de ce système d'équations en considérant les dérivés di_d/dt , di_s/dt , dV_{gs}/dt , dV_{ds}/dt comme les variables inconnues et i_d , i_s , V_{gs} , V_{ds} comme les paramètres, est

obtenue avec Maple. Finalement, les formulations de ces dérivées sont implantées dans une S-Function en C de Simulink.

Cependant, les variations des formulations des capacités (modèle à 7 phases) induisent des problèmes de discontinuité, comme introduit dans la deuxième partie. En conséquence, cela modifie les formulations de toutes ces dérivées. Ainsi, nous avons divisé ces différentes formulations du système en 9 configurations (config), en comparant les tensions $V_{ds}(t)$ et $V_{gs}(t)$ avec leurs seuils, comme pour le modèle à 7 phases. En complément, nous avons utilisé un paramètre complémentaire config1 pour diviser en deux états (conduction et blocage) le comportement de la diode. Nous avons utilisé deux paramètres (config et config1) comme des indicateurs de configuration pour détecter les instants de changement d'état pendant le blocage. La démarche de calcul du solveur en intégrant nos méthodes de gestion du pas de calcul adaptative, est présentée sur la Figure III.50.

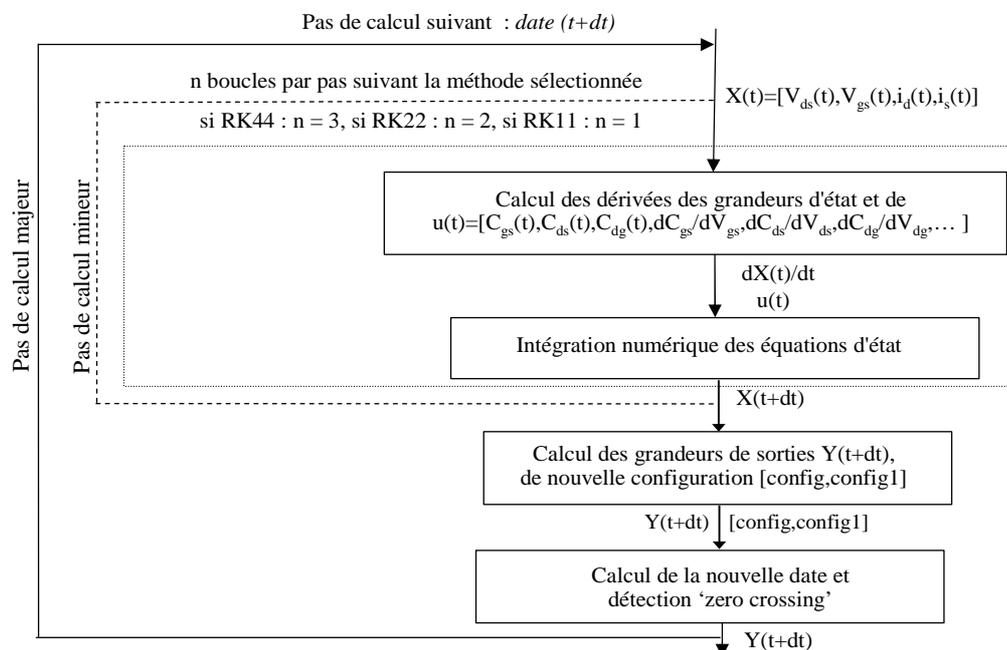


Figure III.50. Démarche de calcul du solveur en intégrant nos méthodes de détection du problème de discontinuité

A chaque étape, les paramètres config et config1 sont mis à jour et servent pour calculer la prochaine date importante (relative à un événement proche et futur) et détecter le 'zero-crossing' (voir ces deux méthodes présentées dans la partie II). Un exemple de blocage du VDMOS ($V_0=200V$, $I_0=5A$, $V_{ggmax}=15V$, $R_g=1\Omega$, $L_{source} = L_{drain} = 20nH$) calculé par Matlab-Simulink, est présenté sur la Figure III.51.

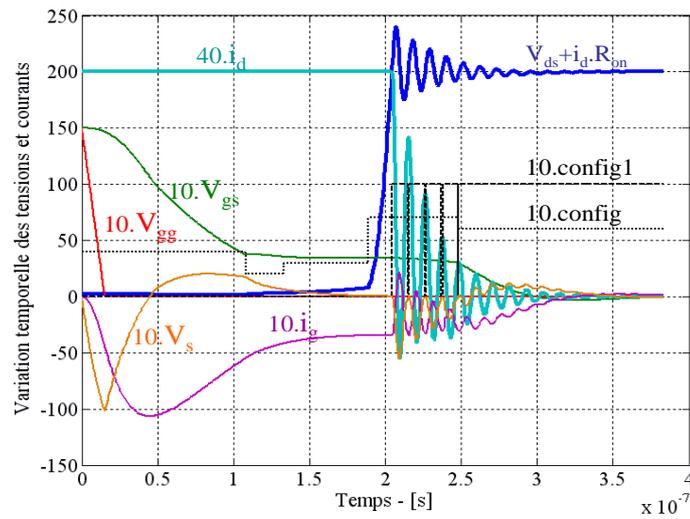


Figure III.51. Exemple d'un blocage du VDMOS

Le modèle de fermeture est défini de la même manière en inversant les conditions initiales. Les formes des variations temporelles des tensions et courants dans la phase de fermeture du VDMOS sont présentées sur la Figure III.52.

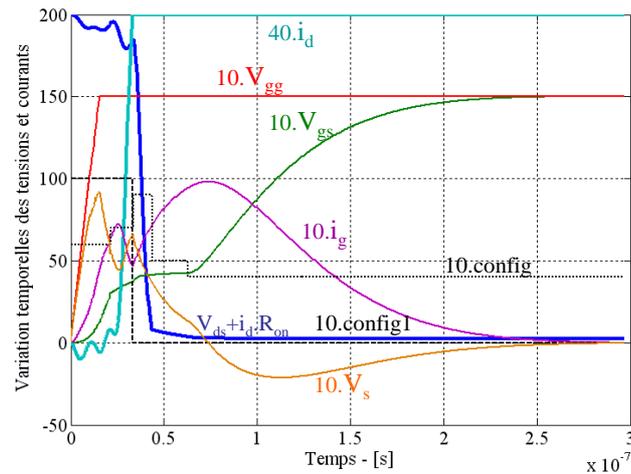


Figure III.52. Exemple d'une fermeture du VDMOS

Dans le cadre de cette thèse, nous n'arrivons pas à comparer le niveau de pertes en commutation avec la simulation numérique dans Mixedmode-Silvaco en raison des difficultés de modélisation de notre cellule carrée VDMOS dans Silvaco-Atlas (besoin d'une modélisation fine en 3D). Cependant, les comportements de commutation à l'intérieur du VDMOS pour la fermeture et le blocage (voir la Figure III.54) sont comparés avec les simulations par éléments finis (voir la Figure III.53). Ces calculs présentent les mêmes comportements, par exemple : deux niveaux de plateaux sur V_{gs} et le courant du canal (voir

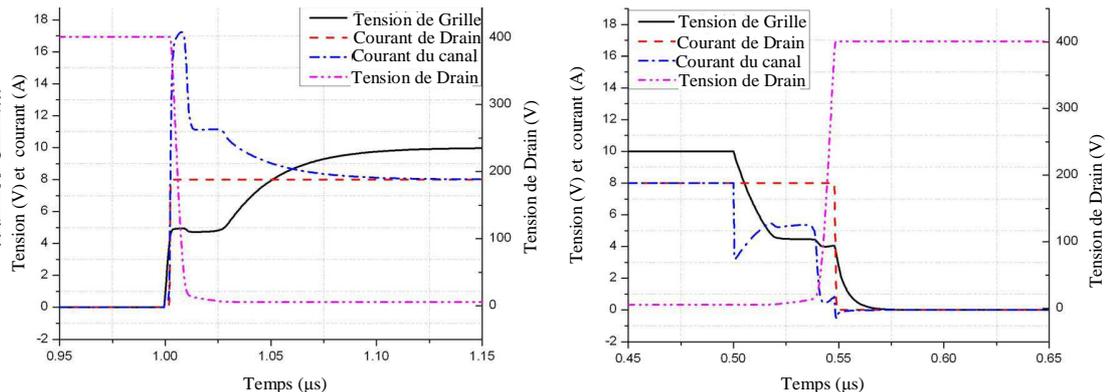


Figure III.53. Simulation par éléments finis d'une commutation d'un VDMOS, a) fermeture, b) blocage [36]

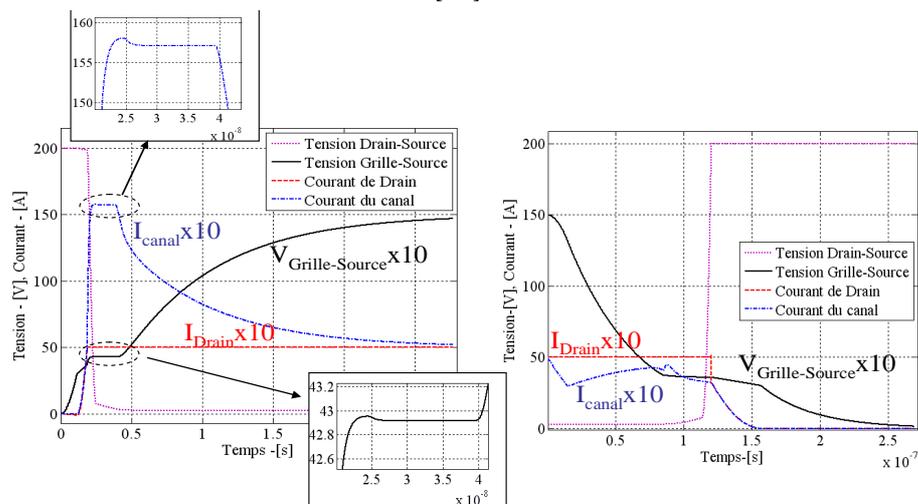


Figure III.54. Commutation d'un VDMOS dans Matlab-simulink, a) fermeture, b) blocage

les zooms sur la Figure III.54). Il faut noter que la simulation par éléments finis dans [26] ne considère pas les inductances parasites. Ainsi, les inductances L_{source} et L_{drain} sont éliminées dans les calculs du modèle implanté dans la S-Function sous Matlab-Simulink. Cette caractéristique physique n'existe pas dans le modèle à pas fixe [13].

En comparant notre modèle avec la simulation par éléments finis, on peut voir les comportements fins du modèle implanté en S-Function décrit dans Matlab-Simulink. Le modèle construit est très encourageant en vue de ce dimensionnement environnemental.

III.4.2. Spécifications du dimensionnement environnemental

III.4.2.a. Spécifications du dimensionnement

Dans cette nouvelle approche de dimensionnement, les premiers paramètres de dimensionnement sont les paramètres de dimensionnement intrinsèque présentés dans le paragraphe III.2.5.b.i. De plus, de nouveaux paramètres et de nouvelles contraintes doivent être définies et introduites dans le dimensionnement. Ces nouveaux paramètres doivent nous permettre de caractériser les interactions entre le VDMOS et son environnement.

Nous avons présenté les interactions entre la structure du VDMOS (tension de seuil, les surfaces...), les paramètres du driver (la résistance de grille R_g , surface du driver) et les inductances dans la première partie de ce rapport. Cependant, nous allons rappeler rapidement ces interactions pour que le lecteur puisse comprendre nos choix pour les paramètres de dimensionnement et les contraintes. Ces comportements sont illustrés sur la Figure III.55

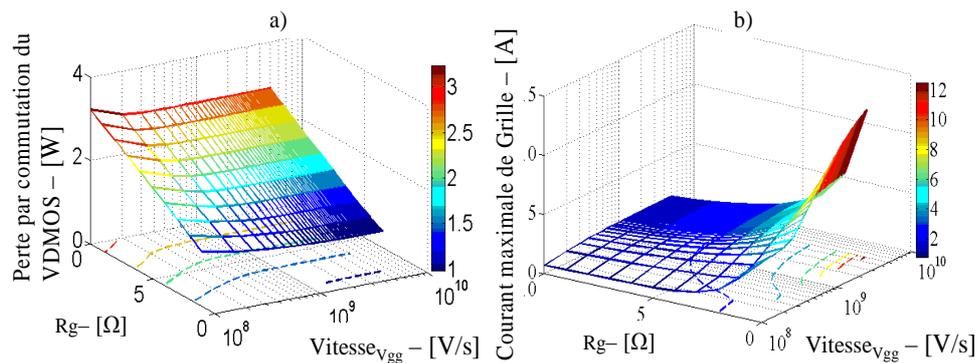


Figure III.55. Influence des paramètres du driver sur les pertes du VDMOS et le courant maximal du driver

De fait, la résistance R_g de grille et la vitesse d'augmentation de la tension fournie par le driver (Vitesse $_{V_{gg}}$) sont très importantes pour la commutation dynamique du VDMOS. Avec une Vitesse $_{V_{gg}}$ déterminée, la réduction de R_g fait diminuer le temps de commutation du VDMOS, et par conséquent diminuer les pertes par commutation du VDMOS. Cependant, elle fait augmenter le courant maximal demandé I_{gmax} et fourni par le driver pour charger le VDMOS. Une valeur plus grande de I_{gmax} demande une surface plus large pour le driver (S_{driver}). La diminution de Vitesse $_{V_{gg}}$ fait diminuer faiblement les pertes par commutation du VDMOS mais elle diminue significativement le courant I_{gmax} ou bien la surface demandée du driver S_{driver} .

Ces interactions présentées sur la Figure III.55 sont calculées en utilisant une structure du VDMOS déterminée dans un paragraphe précédent. Les impacts des paramètres du driver vont agir de manières plus ou moins importantes si la structure du VDMOS change [40], comme introduit dans la première partie. Il existe clairement un compromis optimal entre R_g ,

la surface du driver, la Vitesse v_{gg} et la structure du VDMOS. Ainsi, nous allons introduire R_g comme un paramètre d'entrée de dimensionnement ; tandis que la surface du driver doit être limitée par rapport à la surface du VDMOS dans le contexte d'intégration entre le VDMOS et son driver. Dans ce calcul, nous ne pouvons pas ajouter la commande rapprochée présentée précédemment pour commander le VDMOS en raison du manque de ses modèles dynamiques. Nous proposons donc d'utiliser un driver CMOS 'High Voltage' dans ce dimensionnement [98]. Selon la technologie définie de CMOS par les fabricants et les calculs définis dans le catalogue, nous pouvons calculer la surface du driver à partir du courant maximal I_{gmax} demandé par la commutation du VDMOS. En revanche, la Vitesse v_{gg} ne peut pas être utilisée comme un paramètre d'entrée indépendant de la surface du driver, puisque la surface du driver définit la valeur de Vitesse v_{gg} . Cependant, cette valeur est indispensable pour calculer la commutation du VDMOS. C'est pourquoi ce problème devient implicite. Nous ne pouvons pas définir cet ensemble dans le modèle. Ainsi, nous avons utilisé une valeur constante de 10^9 [V/s] pour ce paramètre en considérant son faible impact sur les pertes du VDMOS (voir la Figure III.55.a).

D'un autre côté, les paramètres du driver impactent également la tenue en tension du VDMOS. Le blocage du VDMOS dans un environnement inductif provoque une surtension au drain (voir la Figure III.56). Avec une valeur déterminée du L_{drain} et L_{source} et un VDMOS déterminé (i.e. sa structure est déterminée), cette surtension dépend fortement du driver, surtout de la résistance de grille R_g qui agit sur la dynamique de commutation en courant du composant de puissance. Comme introduit précédemment, une petite valeur du R_g donne une commutation plus rapide du VDMOS. Cependant, cette petite valeur de R_g provoque une

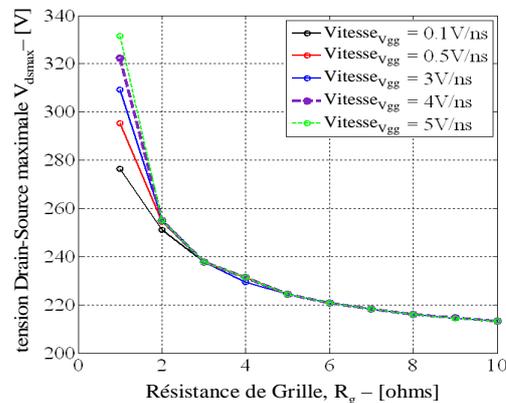


Figure III.56. Tension drain-source commutée maximale en fonction de la résistance du driver R_g à différentes vitesses de V_{gg}

surtension plus grande, ce qui entraîne un besoin de surdimensionnement de la tenue en tension du composant de puissance VDMOS, qui par extension, conduit à l'augmentation des pertes en conduction

Ainsi, *quel est le compromis entre le driver, la surtension, la tenue en tension et les pertes par conduction du VDMOS ?* Pour répondre à cette question, nous proposons d'introduire la tenue en tension V_{max} comme un paramètre à dimensionner, issu de l'optimisation. Par exemple, pour une tension nominale 200V, nous allons pouvoir faire

varier à la fois V_{max} dans l'intervalle [200V ; 350V] et R_g dans l'intervalle [1 Ω ; 10 Ω] en calculant par notre modèle les pertes par conduction, les pertes par commutation et la surtension pour comparer cela avec la tenue en tension V_{max} à chaque calcul. Ces calculs sont visualisés sur les Figure III.57, Figure III.58 et Figure III.59.

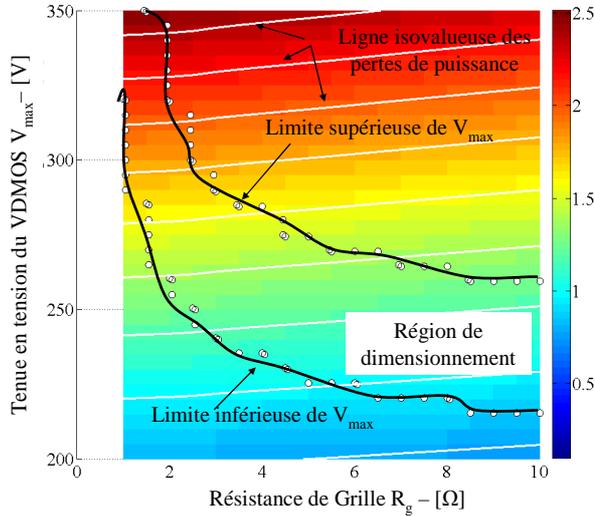


Figure III.57. Pertes de conduction en fonction de V_{max} et R_g

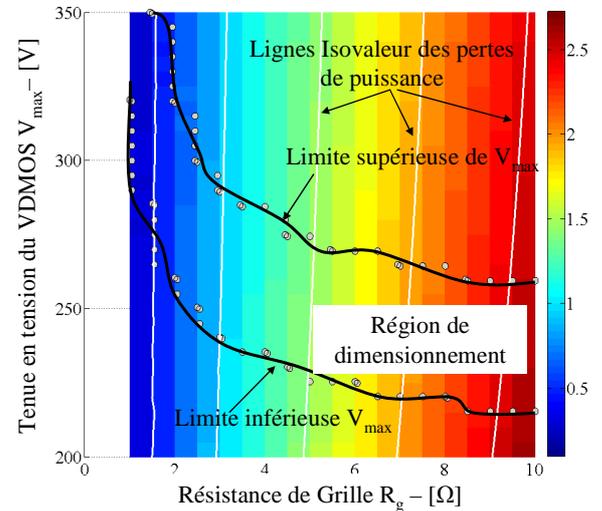


Figure III.58. Pertes par commutation en fonction de V_{max} et R_g

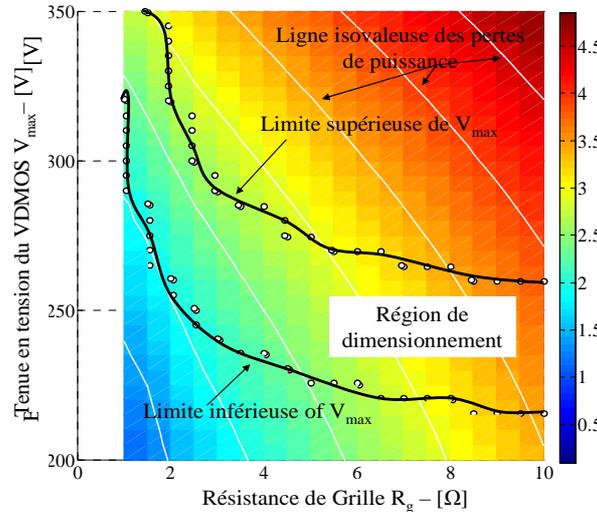


Figure III.59. Pertes totales en fonction de V_{max} et R_g

Comme le montre les figures précédentes, les pertes par conduction dépendent fortement de la tenue en tension V_{max} et faiblement de R_g . La diminution de R_g donne une commutation plus rapide du VDMOS. La conduction du VDMOS est plus longue. Ainsi, les pertes par conduction augmentent très légèrement en diminuant R_g . En inverse, les pertes par commutation dépendent fortement de R_g (comme présenté précédemment) mais moins de V_{max} . C'est pourquoi, les pertes totales sont minimales au point où V_{max} et R_g sont minimales (ie. $V_{max}=200$ $R_g=1$). Cependant, ce point optimal ne satisfait pas la contrainte de surtension. Dans ces plans de pertes, nous avons superposé la limite inférieure et celle supérieure qui sont définis par les contraintes d'inégalité dans les équations (III.44) et (III.45).

$$V_{\max} \geq 1,04 \cdot V_{\text{dsmax}} \quad (\text{III.44})$$

$$V_{\max} \leq 1,2 \cdot V_{\text{dsmax}} \quad (\text{III.45})$$

Où V_{dsmax} est la valeur maximale de V_{ds} , soit la somme : $V_0 +$ la surtension.

La limite inférieure est définie pour prévoir une diminution de la température de fonctionnement du VDMOS jusqu'à -50°C . La limite supérieure est définie pour limiter une tenue en tension pas trop grande par rapport à la tension nominale. Ces deux limites nous montrent une région valable dans le plan de R_g et V_{\max} . Cette région monte vers un V_{\max} plus haut lorsque R_g diminue. Avec ces contraintes de V_{\max} , le point qui donne les pertes totales minimales, se trouve toujours sur la limite inférieure (voir la Figure III.59). Ainsi, la limite supérieure n'est pas nécessaire pour ce dimensionnement.

En complément, nous allons utiliser les pertes totales du VDMOS comme fonction objectif à minimiser dans ce dimensionnement. Toutes les contraintes définies précédemment dans le paragraphe III.2.5.b.ii sont maintenant utilisées dans ce dimensionnement avec la contrainte sur V_{\max} .

III.4.2.b. Cahier des charges

Dans ce dimensionnement, nous allons dimensionner le VDMOS pour le cahier des charges suivant :

- la tension nominale : $V_0=400\text{V}$
- le courant de charge : $I_0 = 2,5\text{A}$
- le rapport cyclique : 0,5
- la fréquence de commutation : 150kHz
- les inductances parasites constantes : $L_{\text{drain}} = 20\text{nH}$, $L_{\text{source}} = 20\text{nH}$.

La résistance de grille R_g varie dans l'intervalle $[0,5\Omega ; 10 \Omega]$. Tandis que la tenue en tension V_{\max} varie dans l'intervalle $[400\text{V} : 600\text{V}]$.

III.4.3. Résultats de dimensionnement

A partir de toutes les spécifications définies dans le cahier des charges, nous utilisons un algorithme de Nichage de FGOT pour dimensionner par optimisation. Les algorithmes de type gradient sont rejetés car nous ne disposons pas du calcul des gradients. Quelques paramètres importants du meilleur résultat sont présentés dans le Tableau III.10.

Tableau III.10. Résultat de dimensionnement global du VDMOS

Surface du VDMOS (cm ²)	surface du driver (cm ²)	Tension de seuil (V)	R_g (Ω)	V_{\max} (V)	V_{dsmax} (V)	Champ électrique dans SiO ₂ (MV/cm)	Pertes totales (W)
0,3587	0,0015	2,79	1,41	483	464	2,79	2,64

Ce résultat de dimensionnement nous donne quelques nouveaux points par rapport au dimensionnement intrinsèque.

- Premièrement, ce VDMOS dimensionné fonctionne sûrement bien dans un environnement inductif où L_{drain} est inférieur à 20nH. Car la tension maximale V_{dsmax} est moins que 464V lorsque L_{drain} est inférieur à 20nH. Le dimensionnement intrinsèque ne peut pas prévoir la surtension supportée par le VDMOS dimensionné.
- Deuxièmement, ce VDMOS dimensionné peut donner un rendement plus haut lorsqu'il a une inductance parasite à la source L_{source} de moins de 20nH, en utilisant le même driver et R_g dimensionnés (voir le Tableau III.10).
- Troisièmement, la tenue en tension V_{max} du VDMOS dans nos dimensionnements est de 483V, donc beaucoup moins que la tenue en tension 500V du dimensionnement intrinsèque. Ainsi, la résistance à l'état passant du VDMOS dans nos dimensionnements est significativement réduite.
- Quatrièmement, notre dimensionnement environnemental a donné un driver et R_g meilleur en dynamique. La Figure III.60 montre la convergence de trois grandeurs R_g , S_{mos} et S_{driver} pendant l'optimisation. Lorsque R_g et S_{mos} convergent vers une valeur plus petite, S_{driver} converge vers une surface plus grande pour augmenter le niveau de son courant fourni. A surface donnée de silicium, il faudrait faire les calculs pour ce cas là, plutôt que de limiter le rapport entre S_{driver} et S_{mos} !

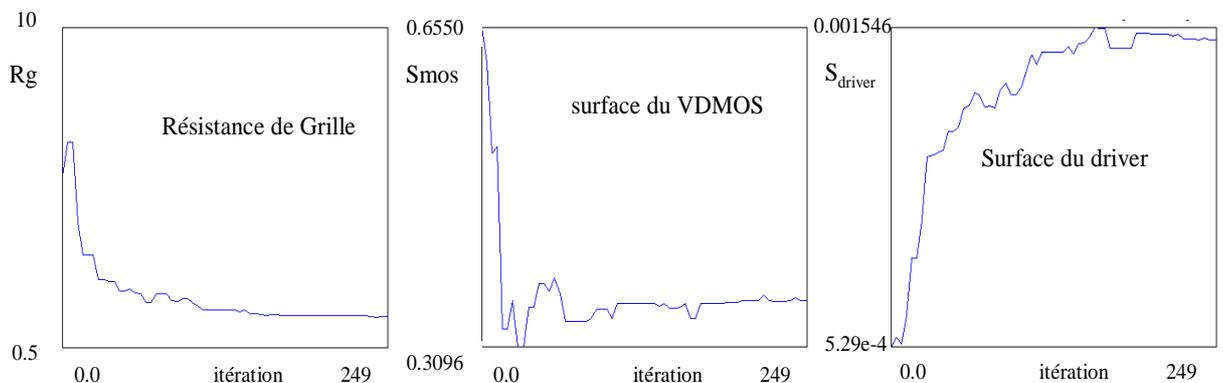


Figure III.60. Résistance de grille, le surface du VDMOS et du Driver à chaque itération

III.4.4. Conclusion du dimensionnement d'un VDMOS en fonction de sa technologie de fabrication et son environnement

Dans cette dernière application de notre outil de conception, nous avons réalisé un dimensionnement global du VDMOS en prenant compte des impacts inductifs et son driver sur ses performances dynamiques. Un nouveau résultat de dimensionnement est obtenu. Il tient compte à la fois du dimensionnement du VDMOS, de son driver, de la valeur maximale

de la tension commutée drain-source et de la tenue en tension en fonction de cette tension commutée maximale.

En terme d'outil de conception, nous avons proposé un modèle dynamique fin du VDMOS dans Matlab-Simulink et un outil d'optimisation pour faire le dimensionnement global du VDMOS.

III.5. Conclusion des applications de l'outil de conception

Dans cette partie, nous avons appliqué les méthodes définies dans la deuxième partie aux applications du VDMOS. Trois dimensionnements du VDMOS correspondant à trois problématiques présentées dans la première partie ont été traitées. Ces applications ont montré l'intérêt et les performances des outils de dimensionnement que nous avons proposés.

Nous avons modélisé complètement la filière technologique du VDMOS. Ce modèle est utilisé pour identifier des profils de dopage issus de réalisations en salle blanche. Nous avons proposé différentes approches d'identification que nous avons adaptées aux différents objectifs de calcul du modèle à identifier. Ensuite, nous avons analysé la sensibilité de trois caractéristiques importantes du VDMOS vis-à-vis des dispersions technologiques en utilisant le modèle réalisé et nos outils de calcul des gradients. Les paramètres technologiques les plus critiques sont définis et présentés. Enfin, l'algorithme d'optimisation mono-objectif est utilisée afin de dimensionner une filière technologique générique pour plusieurs VDMOS de 200V à 900V. Les apports des différents niveaux de contraintes et des différentes fonctions objectifs sont estimés et discutés.

Après les analyses de la filière technologique, nous avons développé une application dans le contexte de l'intégration monolithique en électronique de puissance. Le compromis entre le VDMOS, sa commande rapprochée et son autoalimentation a été trouvé en utilisant l'approche proposée dans la première partie. Nous avons présenté une région de l'espace des solutions satisfaisant ce compromis. Puis, nous avons discuté les rôles des contraintes dans ce dimensionnement. En complément, les résultats de dimensionnement sont comparables avec les simulations statiques et dynamiques dans Silvaco.

La dernière application concerne le dimensionnement du VDMOS couplée à sa technologie et aux impacts environnementaux. Un dimensionnement a été réalisé après les travaux de modélisation. Les nouveaux paramètres et contraintes de dimensionnement ont été identifiés et introduits dans ce dimensionnement. Les apports obtenus pour cette nouvelle approche par rapport au dimensionnement intrinsèque classique ont été discutés.

Conclusion générale et perspectives

En première partie, après nous être positionnés sur les méthodes et travaux existants, nous avons proposé des méthodes pour effectuer le dimensionnement technologique et géométrique des composants intégrés en électronique de puissance. Le cœur de notre travail repose sur les choix de méthodes adaptées et performantes et sur les outils logiciels permettant d'appliquer nos démarches de dimensionnement optimal de systèmes intégrés d'électronique de puissance.

Nous avons appréhendé trois aspects importants de la conception dans le contexte d'intégration en électronique de puissance : la réalisation technologique de la filière en salle blanche, la comptabilité électro-technologique entre le composant de puissance et ses composants fonctionnels intégrés monolithiquement pour une intégration à bas coût, et les impacts environnementaux sur le fonctionnement dynamique du composant de puissance. Ces trois points couvrent en grande partie les différentes facettes des démarches de conception en électronique de puissance.

En seconde partie, nous avons proposé des méthodes, réalisé les modèles et les outils nécessaires pour repousser au mieux les limites existantes du dimensionnement dans ce processus de conception. Les méthodes choisies pour le calcul des intégrales et la résolution des équations implicites proviennent de CADES, et nous permettent de modéliser les caractéristiques statiques des composants et des phénomènes physiques complexes. La modélisation par S-Function en C et les solveurs de Matlab-Simulink nous permettent d'exploiter des modèles dynamiques précis des composants de puissance. L'ensemble des algorithmes d'optimisation propres à FGOT et CADES, nous permettent de dimensionner des composants afin d'assurer plusieurs contraintes et critères de fonctionnement. Ces travaux s'intègrent dans le cadre plus large de la plateforme CAPSIS de conception assistée et de prototypage des systèmes intégrés sur silicium, qui a été entièrement proposée et architecturée dans les travaux de la thèse de L. Vincent et de l'HDR de J.C. Créber.

En troisième partie, nous avons appliqué ces travaux de recherche au MOSFET vertical (VDMOS) qui est étudié depuis une dizaine d'années au sein du G2ELab. Les méthodes choisies dans la deuxième partie sont appliquées à la modélisation de la filière technologique du VDMOS, à la modélisation de la comptabilité électro-technologique du VDMOS avec sa commande rapprochée et l'autoalimentation, et à la modélisation de ses comportements sous des effets inductifs et capacitifs. Nous avons exploité l'ensemble des modèles analytiques, semi-analytiques et numériques dans les environnements informatiques CADES, FGOT, MALTAB, SILVACO et au travers de codes informatiques que nous avons développés en JAVA. Ensuite, nous avons étudié différents problèmes de dimensionnement en définissant des contraintes sur les paramètres de dimensionnement ainsi que des critères de fonctionnement. Enfin, nous avons utilisé des algorithmes d'optimisation mono-objectif pour le dimensionnement optimal par rapport au cahier de charges des applications. Nous avons

évalué certains résultats de dimensionnement en faisant des simulations par éléments finis. Nous avons constaté que ces résultats sont proches de ceux des simulations.

Ces applications illustrent non seulement l'intérêt de nos méthodes, mais donnent des résultats intéressants du point de vue électronique de puissance. On retiendra principalement les résultats suivants :

- la liste des paramètres et des étapes technologiques importants et critiques pour les caractéristiques électriques du VDMOS, la filière technologique figée pour une plage de tension nominale du VDMOS,
- le compromis électro-technologique trouvé pour l'intégration monolithique entre VDMOS et ses composants annexes. Ce compromis ne fait perdre pas de la performance du VDMOS,
- les apports intéressants d'un dimensionnement global du VDMOS par rapport au dimensionnement intrinsèque classique.

Ces outils et ces nouvelles démarches peuvent être réappliqués à d'autres applications d'électronique de puissance, par exemple au cas du dimensionnement d'un IGBT, ou à celui d'un VDMOS mais avec un autre cahier de charges et d'autres contraintes de dimensionnement.

Nos travaux complètent donc ceux de la thèse de Loïc VINCENT et contribuent à mettre en place un environnement de conception assistée et lié à un moyen de prototypage fiable. Cependant, il reste encore des travaux dans la suite de ceux-ci.

Notamment, il faut appréhender l'impact de la thermique sur le dimensionnement du composant de puissance. La modélisation couplée entre les phénomènes électriques et les phénomènes thermiques du composant est fortement implicite. Pour celle-ci, on pourra, par exemple, envisager un couplage faible entre l'électricité et la thermique, que l'on peut illustrer par la figure ci-dessous.

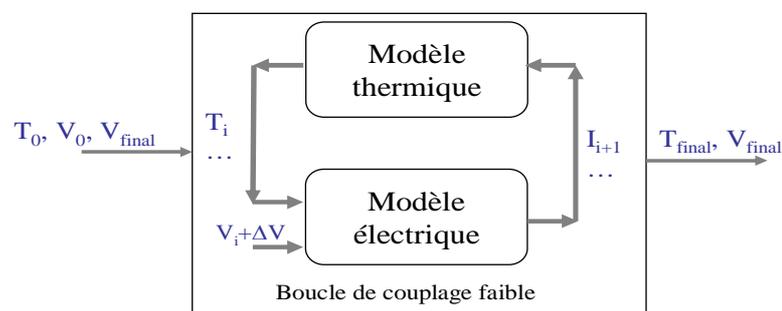


Figure 1 : Boucle imaginé de couplage faible entre le modèle thermique et modèle électrique

Afin d'affiner la modélisation, nous devons prendre en compte plus finement les interactions entre les différents composants fonctionnels du composant intégré. Par exemple, dans le cas de l'application du VDMOS traitée en troisième partie, cela consiste à développer

des modèles dynamiques du « driver », pour l'associer au modèle dynamique du composant de puissance.

Dans nos travaux, nous avons modélisé uniquement les étapes principales du procédé technologique de salle blanche (implantation, diffusion et oxydation). Il faudra compléter cette modélisation par des modèles sur les autres technologies, par exemple la gravure et les dépôts des différents contacts.

Nous avons construit des modèles uniquement pour les technologies de salle blanche requises pour la conception du VDMOS de la troisième partie de cette thèse. Cependant, afin de fiabiliser le dimensionnement technologique, nous avons montré que la simulation numérique avait des limites en caractérisation, et qu'il est donc nécessaire d'avoir aussi des caractérisations technologiques réalisées en salle blanche. Celles-ci permettent notamment d'augmenter la précision de ces modèles. Cela pourra se faire au travers de plans d'expériences pratiques. Toutefois, afin de minimiser les coûts de réalisation associée, nous devons appréhender les deux aspects suivants :

- la construction de plans d'expériences par des simulations numériques afin de déterminer la forme des modèles de caractérisation, de simulation et de dimensionnement, et définir grossièrement les domaines de validité des modèles.
- La construction de plans d'expériences pratiques afin de caler les modèles avec plus de précision, par rapport à la réalité, tout en affinant les domaines de validité et la qualité des modèles

Cette étape est importante pour économiser les expériences pratiques, coûteuses en temps et financièrement.

Q. Hoang Mai a appréhendé cette thématique dans le cadre de son stage de master de recherche que nous avons encadré [111]. Ces travaux ont défriché la problématique des plans d'expériences numériques. Il en ressort que ces plans d'expériences requièrent un pilotage précautionneux des outils de calcul par éléments finis tels que Silvaco, notamment afin de valider la qualité des résultats et la convergence des simulations numériques lors d'un pilotage automatique des simulations en processus d'optimisation.

Dans la troisième partie de cette thèse, nous avons analysé les dispersions associées à la réalisation technologique, après avoir effectué les dimensionnements du VDMOS. Cependant, il serait intéressant de prendre en compte ces dispersions, dès la phase de dimensionnement, et non a posteriori. Pour cela, il faudra :

- identifier les dispersions technologiques critiques au vu du dimensionnement et de la fabrication (aspect que nous avons appréhendé dans le cas particulier du VDMOS vertical)
- définir des modèles analytiques des dispersions technologiques, robustes, fiables et intégrables dans le dimensionnement technologique.

Ceci permettra d'enrichir les connaissances et de gagner en performances pour les prochaines réalisations.

De plus, pour fiabiliser la réalisation technologique, nous devons proposer des méthodes pour compenser les dispersions qui apparaissent au cours de ce procédé, en calant le dimensionnement de chaque étape sur leurs étapes suivantes.

Afin de finaliser la plateforme CAPSIS, nos travaux de thèse et ceux de celle de L. Vincent devront être complétés par des travaux sur la réalisation technologique et la caractérisation (voir figure ci-dessous). Cela permettra d'avoir les éléments nécessaires pour réaliser les premiers « design kits » de composants intégrés d'électronique de puissance. Notamment, il faudra enrichir les bibliothèques de modèles aux différents stades de la conception et pour différents types de semi-conducteurs.

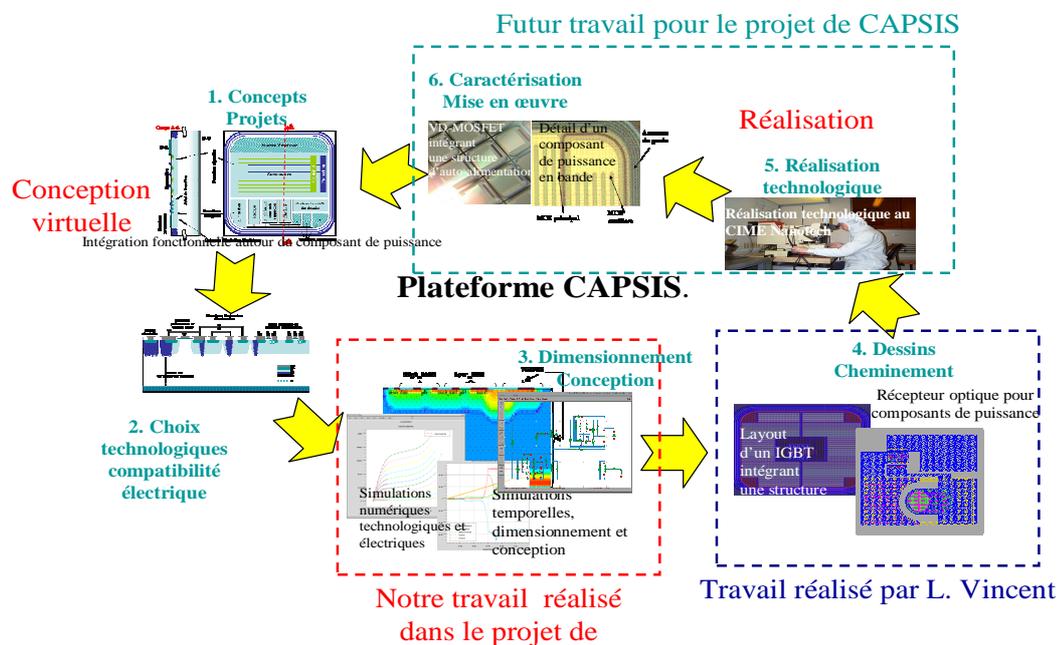


Figure 2. Les futurs travaux dans le projet CAPSIS

Cependant, cette plateforme ne sera réellement exploitable que si des développements informatiques sont mis en œuvre afin de faciliter les échanges de données entre les différents outils et les différentes étapes de conception.

A plus long terme, on intégrera les « design kits » des composants conçus à partir de cette plateforme dans un réel modèle produit, qui permet de tracer la vie de tout composant d'électronique de puissance, de sa conception à son recyclage, en incluant sa fabrication et son utilisation dans des convertisseurs statiques. Cette vision du cycle de vie du composant devrait induire de nouvelles contraintes en conception, qu'il faudra formaliser.

Bibliographie

- [1] Eric IMBERNON, « Etude et Optimisation d'une Filière Technologique Flexible Adaptée au Mode D'intégration Fonctionnelle », Rapport de thèse, LAAS - Université Paul Sabatier de Toulouse, 2002.
- [2] Jean-Louis SANCHEZ, *Intégration fonctionnelle de composants de puissance: principes et technologies*. Habilitation à Diriger la Recherche- LAAS - Université Paul Sabatier, 1995.
- [3] Jean-Christophe CREBIER, *Intégration monolithique et Composant de puissance*. G2ELAB - Institut National Polytechnique de Grenoble, 2006.
- [4] Radoslava Mitova, « Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2005.
- [5] Dac Binh NGUYEN, « Intégration fonctionnelle autour des composants quatre quadrants avec l'application à la conversion AC/AC », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2008.
- [6] Nicolas ROUGER, « Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2008.
- [7] B. Murari, C. Contiero, R. Gariboldi, S. Sueri, et A. Russo, « Smart power technologies evolution », in *Industry Applications Conference, 2000. Conference Record of the 2000 IEEE*, 2000, vol. 1, p. 10-19.
- [8] Christian CARMEL, « Nouvelles fonctions interrupteurs intégrées pour la conversion d'énergie », Rapport de thèse, LAAS - Université Paul Sabatier de Toulouse, 2007.
- [9] Florence CAPY, « Etude et conception d'un interrupteur de puissance monolithique à auto-commutation: le thyristor dual disjoncteur », Rapport de thèse, Université Toulouse III - Paul Sabatier, LAAS, 2009.
- [10] M. Marmouget, « Contribution au développement d'outils d'aide à la conception de dispositif de puissance basés sur le mode d'intégration fonctionnelle », Rapport de thèse, Institut National des Sciences Appliquées de Toulouse, 2000.
- [11] M.F. Alkayal, « Contribution à l'intégration monolithique de protection contre les surtensions: application aux convertisseurs de puissance haute tension », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2005.
- [12] P. Tounsi, « Méthodologie de la conception thermique des circuits électronique hybrides et problèmes connexes », Rapport de thèse, Institut National des Sciences Appliquées de Toulouse, 1993.
- [13] Guillaume VERNEAU, « Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2003.

- [14] B. Beydoun, H. Tranduc, F. Oms, G. Charitat, P. Rossel, et A. Peyre Lavigne, « Power MOSFET design and modelling tool for power electronics », in *Power Electronics and Applications, 1993., Fifth European Conference on*, 1993, p. 390-395 vol.2.
- [15] Jonathan Dodge, P.E., « Power MOSFET Tutorial ». Application Note - Advanced Power Technology, 2006.
- [16] Seong-Kyu Hwang, Yearn-Ik Choi, Sang-Koo Chung, K. Lee, et Choong-Ki Kim, « A power MOSFET design methodology considering epi parameter variations », *Semiconductor Manufacturing, IEEE Transactions on*, vol. 6, n^o. 4, p. 377-380, 1993.
- [17] H. Yilmaz, K. Owyang, P. O. Shafer, et C. C. Borman, « Optimization of power MOSFET body diode for speed and ruggedness », *Industry Applications, IEEE Transactions on*, vol. 26, n^o. 4, p. 793-797, 1990.
- [18] CHENMING HU, MIN-HWA CHI VIKRAM M. PATEL, « Optimum Design of Power MOSFET's », *IEEE Trans. on Electron Devices*, vol. 31, n^o. 12, p. 1693-1700, 1984.
- [19] C. S. Mitter, « Device considerations for high current, low voltage synchronous buck regulators (SBR) », in *Wescon/97. Conference Proceedings*, 1997, p. 281-288.
- [20] A. Saha et J. A. Cooper, « A 1-kV 4H-SiC Power DMOSFET Optimized for Low on-Resistance », *Electron Devices, IEEE Transactions on*, vol. 54, n^o. 10, p. 2786-2791, 2007.
- [21] F.-T. Chien, C.-N. Liao, C.-L. Wang, H.-C. Chiu, et Y.-T. Tsai, « Low on-resistance trench power MOSFETs design », *Electronics Letters*, vol. 44, n^o. 3, p. 232-234, 2008.
- [22] Yuancheng Ren, Ming Xu, Jinghai Zhou, et F. C. Lee, « Analytical loss model of power MOSFET », *Power Electronics, IEEE Transactions on*, vol. 21, n^o. 2, p. 310-319, 2006.
- [23] Pierre-Olivier JEANNIN, « Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2001.
- [24] R. Sodhi, S. Brown, et D. Kinzer, « Integrated design environment for DC/DC converter FET optimization », in *Power Semiconductor Devices and ICs, 1999. ISPSD '99. Proceedings., The 11th International Symposium on*, 1999, p. 241-244.
- [25] S. Rael et B. Davat, « A Physics-Based Modeling of Interelectrode MOS Capacitances of Power MOSFET and IGBT », *Power Electronics, IEEE Transactions on*, vol. 23, n^o. 5, p. 2585-2594, 2008.
- [26] Yali Xiong, Shan Sun, Hongwei Jia, P. Shea, et Z. J. Shen, « New Physical Insights on Power MOSFET Switching Losses », *Power Electronics, IEEE Transactions on*, vol. 24, n^o. 2, p. 525-531, 2009.
- [27] Laurent AUBARD, « Modélisation des transistors MOS pour l'électronique de commutation », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 1999.

- [28] G. J. E. Rawlins, *Foundations of genetic algorithms*. Morgan Kaufmann, 1991.
- [29] K. Deb, *Multi-objective optimization using evolutionary algorithms*. John Wiley and Sons, 2001.
- [30] J. Nocedal et S. Wright, *Numerical Optimization*. Springer, 2000.
- [31] Bruno SARENI, « Méthodes d'optimisation multimodales associées à la modélisation numérique en électromagnétisme », Rapport de thèse, Ecole Centrale de Lyon, 1992.
- [32] Jérémie REGNIER, « Conception de système hétérogènes en génie électrique par optimisation évolutionnaire multicritère », Rapport de thèse, Institut Nationale Polytechnique de Toulouse, 2003.
- [33] Omessaad HaJJI, « Contribution au développement de méthodes d'optimisation stochastiques. Application à la conception des dispositifs électrotechniques », Rapport de thèse, L2EP - Université des Sciences et Technologies de Lille, 2003.
- [34] J.-L. Hu, Z. Wu, H. McCann, L. E. Davis, et C.-G. Xie, « Sequential Quadratic Programming Method for Solution of Electromagnetic Inverse Problems », *Antennas and Propagation, IEEE Transactions on*, vol. 53, n^o. 8, p. 2680-2687, 2005.
- [35] A. Elbanhawy, « Are traditional MOSFET packages suitable for the new generation of DC-DC converters », in *Power Electronics and Motion Control Conference, 2004. IPEMC 2004. The 4th International*, 2004, vol. 1, p. 316-319 Vol.1.
- [36] Cyril BUTTAY, « Contribution à la conception par simulation en électronique de puissance: application à l'onduleur basse tension », Rapport de thèse, CEGELY - Institut National des Sciences Appliquées de Lyon, 2004.
- [37] S. Xu, X. Liu, et W. Sun, « Modelling of power metal-oxide semiconductor field-effect transistor for the analysis of switching characteristics in half-bridge converters », *Circuits, Devices & Systems, IET*, vol. 4, n^o. 4, p. 327-336, 2010.
- [38] T. Meade, D. O'Sullivan, R. Foley, C. Achimescu, M. Egan, et P. McCloskey, « Parasitic inductance effect on switching losses for a high frequency Dc-Dc converter », in *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE*, 2008, p. 3-9.
- [39] Yanqun Shen, Jian Jiang, Yan Xiong, Yan Deng, Xiangning He, et Zhaohui Zeng, « Parasitic Inductance Effects on the Switching Loss Measurement of Power Semiconductor Devices », in *Industrial Electronics, 2006 IEEE International Symposium on*, 2006, vol. 2, p. 847-852.
- [40] A. Elbanhawy, « Parasitic Gate Resistance and Switching Performance », in *Power Electronics and Motion Control Conference, 2006. IPEMC 2006. CES/IEEE 5th International*, 2006, vol. 3, p. 1-4.
- [41] Christophe COMBARET, « Comportement thermique des composant de protection contre les effets indirects de la foudre », Rapport de thèse, Institut National des Sciences Appliquées de Lyon, 2000.

- [42] J. Arnould et P. Merle, *Dispositifs de l'électronique de puissance*. Hermes Sciences Publicat., 1992.
- [43] C. Cavallaro, S. Musumeci, R. Pagano, A. Raciti, et K. Shenai, « Analysis modeling and simulation of low-voltage MOSFETs in synchronous-rectifier buck-converter applications », in *Industrial Electronics Society, 2003. IECON '03. The 29th Annual Conference of the IEEE*, 2003, vol. 2, p. 1697-1702 Vol.2.
- [44] A. Elbanhawy, « The Making of the Perfect MOSFET », in *Power Electronics Specialists Conference (PESC), 2006, 37th IEEE*, 2006, p. 1-5.
- [45] Isabelle BERTRAND, « Réalisation des structures silicium-sur-isolant partielles pour application aux circuit de puissance », Rapport de thèse, LAAS - l'Institut National des Sciences Appliquées de Toulouse, 2006.
- [46] Loïc VINCENT, « Contribution à la conception et assistance au prototypage de systèmes intégrés sur Silicium (CAPsis). Application) l'interrupteur automatique VDMOSFET », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2010.
- [47] « Power MOSFET designer manual ». international rectifier, 1993.
- [48] K. K. Das, S. G. Walker, et M. Bhushan, « An Integrated CAD Methodology for Evaluating MOSFET and Parasitic Extraction Models and Variability », *Proceedings of the IEEE*, vol. 95, n°. 3, p. 670-687, 2007.
- [49] Yannick HERVE, « Extension AMS du langage VHDL pour l'électronique de puissance », dans *Technique de l'ingénieur. Génie électrique*, vol. 4, 2005.
- [50] O. D. ; L., Larry J. Trapp, *Semiconductor Technology Handbook*. Technology Associates, 1993.
- [51] Christophe SAUVEY, « Contribution méthodologique à la modélisation pour le dimensionnement de moteurs à réluctance variables », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2000.
- [52] « <http://forge-mage.g2elab.grenoble-inp.fr/project/got> ».
- [53] V. A. K. Temple et M. S. Adler, « Calculation of the diffusion curvature related avalanche breakdown in high-voltage planar p-n junctions », *Electron Devices, IEEE Transactions on*, vol. 22, n°. 10, p. 910-916, 1975.
- [54] K. Nakamura, « Avalanche Breakdown Voltages of Selectively Diffused p-n Junction », *Japanese Journal of Applied Physics*, vol. 6, n°. 3, p. 328-338, mars. 1967.
- [55] K. Shenai et H. C. Lin, « Analytical solutions for avalanche-breakdown voltages of single-diffused gaussian junctions☆ », *Solid-State Electronics*, vol. 26, n°. 3, p. 211-216, mars. 1983.
- [56] B. J. Baliga, *Modern Power Devices*. John Wiley & Sons Inc, 1987.

- [57] H.Nguyen Xuan, L.Gerbaud, N.Rouger, and J-C Crébier, « Optimization of a power mosfet and its monolithically integrated self-powering circuit », *accepté pour publication de IJAEM*.
- [58] NGUYEN HUU Hieu, « Méthodes et Outils pour la conception de composants intégrés dans un réseau électrique embarqué », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2008.
- [59] F. Wurtz, « Une nouvelle approche pour la conception sous contraintes des machines électriques », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 1996.
- [60] P. Enciu, « Dérivation automatique pour le calcul des sensibilités appliqué au dimensionnement en génie électrique », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2009.
- [61] V. Fischer, « Composants logiciels pour le dimensionnement en génie électrique. Application à la résolution d'équation différentielles », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2004.
- [62] Kay E. Vurgrin, « On the effect of numerical noise in simulation -based optimization », Rapport de Master, Virginia polytechnic Institute and State University, 2003.
- [63] W. H. Press, B. P. Flannery, S. A. Teukolsky, et W. T. Vetterling, *Numerical Recipes in C book set: Numerical Recipes in C: The Art of Scientific Computing*, 2^e éd. Cambridge University Press, 1992.
- [64] Hoa NGUYEN XUAN, « Modélisation d'un composant de puissance : de la technologie de fabrication au dimensionnement », Rapport de Master, G2ELAB - Institut National Polytechnique de Grenoble, 2008.
- [65] H.NGUYEN XUAN, L.GERBAUD, N. ROUGER and J-C.CREBIER, « Flexible parameter identification tool for semiconductor device design », presented at the XI-th International Workshop on Optimization and Inverse Problems in Electromagnetism, Sofia, Bulgari, 2010.
- [66] Yiming Li et Yen-Yu Cho, « Parallel genetic algorithm for SPICE model parameter extraction », in *Parallel and Distributed Processing Symposium, 2006. IPDPS 2006. 20th International*, 2006, p. 8 pp.
- [67] S. Lefebvre et F. Miserey, *Composants à semi-conducteur pour l'électronique de puissance*. Tec & Doc Lavoisier, 2004.
- [68] J. T. Chu, « Errors in Normal Approximations to the t , τ , and Similar Types of Distribution », *The Annals of Mathematical Statistics*, vol. 27, n^o. 3, p. 780-789, 1956.
- [69] E. W. Weisstein, « Erf -- from Wolfram MathWorld ». [Online]. Available: <http://mathworld.wolfram.com/Erf.html>. [Accessed: 21-avr-2011].
- [70] Coralie COUTEL, « Contribution méthodologique à la conception sous contraintes de dispositifs électromagnétiques », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 1999.

- [71] B. J. Baliga, *Modern Power Devices*. Krieger Pub Co, 1992.
- [72] G. Söderlind et L. Wang, « Adaptive time-stepping and computational stability », *Journal of Computational and Applied Mathematics*, vol. 185, n^o. 2, p. 225-243, janv. 2006.
- [73] T. Simonot et al., « Towards reduced threshold voltages for vertical power Mosfet transistors », presented at the ISIE 2011, 2011.
- [74] O. Normand, S. Catellani, et G. Champenois, « Use of simulation in failure detection on diagnosis of an electromechanical system », presented at the EPE'91, Firenze, 1991, p. pp 4.301-4.305.
- [75] Z. Fu, « Zero-Crossing Location and Detection Algorithms for Hybrid System Simulation », presented at the World Congress, 2008, p. 7967-7972.
- [76] Bruno SARENI, *Conception simultanée par optimisation des systèmes d'énergie électrique*. Institut National Polytechnique de Toulouse.
- [77] P. Armand et J. C. Gilbert, « A Piecewise Line-Search Technique for Maintaining the Positive Definiteness of the Matrices in the SQP Method », *Computational Optimization and Applications*, vol. 16, p. 121–158, juill. 2000.
- [78] L. T. Watson et al., « Polynomial response surface approximations for the multidisciplinary design optimization of a high speed civil transport », *Optim. Engrg.*, vol. 2, p. 431–452, 2001.
- [79] C. Singh et D. Sarkar, « Practical considerations in the optimisation of induction motor design », *Electric Power Applications, IEE Proceedings B*, vol. 139, n^o. 4, p. 365-373, 1992.
- [80] D. H. Wolpert et W. G. Macready, « No free lunch theorems for optimization », *Evolutionary Computation, IEEE Transactions on*, vol. 1, n^o. 1, p. 67-82, 1997.
- [81] <http://www.hsl.rl.ac.uk/index.html>, VF13. .
- [82] T. Bäck, *Evolutionary Algorithms in Theory and Practice: Evolution Strategies, Evolutionary Programming, Genetic Algorithms*, 1^{er} éd. Oxford University Press, USA, 1996.
- [83] G. Harik, « Finding Multimodal Solutions Using Restricted Tournament Selection », *Proceedings of the Sixth International Conference on Genetic Algorithms*, p. 24-31, 1995.
- [84] Franck BARRUEL, « Analyse et conception des systèmes électriques embarqués. Application aux réseaux de bord d'avion », Rapport de thèse, Université Joseph Fourier, 2005.
- [85] B. Delinchant et al., « An optimizer using the software component paradigm for the optimization of engineering systems », *COMPEL: The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, vol. 26, n^o. 2, p. 368-379, 2007.

- [86] Bertrant du Peloux de Saint Romain, « Modélisation des actionneurs électromagnétiques par réseaux des réductances. création d'un outil métier dédié au prédimensionnement par optimisation », Rapport de thèse, Université Joseph Fourier de Grenoble, 2006.
- [87] Thai Phuong DO, « Simulation dynamique des actionneurs et capteurs électromagnétiques par réseaux de réductances: modèles, méthodes et outils », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2010.
- [88] P. Enciu, F. Wurtz, L. Gerbaud, et B. Delinchant, « Automatic differentiation for electromagnetic models used in optimization », *COMPEL: The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, vol. 28, n°. 5, p. 1313-1326, 2009.
- [89] Phuong PHAM QUANG, « Modélisation magnéto-mécanique d'un nano commutateur. Optimisation sous contraintes de fiabilité par dérivation automatique des programmes en Java », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, soutenance prévue à 11/10/2011.
- [90] LAI Dac Kien, « Contribution à l'Optimisation du Dimensionnement de Composants Passifs Intégrés pour l'Electronique de Puissance », Rapport de thèse, G2ELAB - Institut National Polytechnique de Grenoble, 2010.
- [91] « <http://www.mathworks.com/help/toolbox/simulink/sfg/f6-21998.html> ».
- [92] « <http://forge-mage.g2elab.grenoble-inp.fr/project/got> ».
- [93] Yvan AVENAS, *Gestion thermique des composants actifs de puissance: vers une intégration du système de refroidissement au sein du module*. G2ELAB - Institut National Polytechnique de Grenoble, 2010.
- [94] S. M. Sze et K. K. Ng, *Physics of Semiconductor Devices*, 3^e éd. Wiley-Interscience, 2006.
- [95] N. Rouger, J.-C. Crebier, H. Tran Manh, et C. Schaeffer, « Toward integrated gate driver supplies: Practical and analytical studies of high-voltage capabilities », in *IEEE Power Electronics Specialists Conference, 2008. PESC 2008*, 2008, p. 873-879.
- [96] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*, 1^{er} éd. Springer, 1984.
- [97] W. M. McKeeman, « Algorithm 145: Adaptive numerical integration by Simpson's rule », *Commun. ACM*, vol. 5, n°. 12, p. 604–, déc. 1962.
- [98] T.V. Nguyen, P-O. Jeannin, J-C. Crebier, et J-L. Schannen, « A new compact, isolated and integrated gate driver using high frequency transformer for interleaved Boost converter », presented at the IEEE Energy Conversion Congress and Exposition, 2011. ECCE 2011, Phoenix, Arizona, United States, 2011.
- [99] K. Suzuki, R. Tanabe, et S. Kojima, « Analytical Model for Two-Dimensional Ion Implantation Profile in MOS-Structure Substrate », *Electron Devices, IEEE Transactions on*, vol. 56, n°. 12, p. 3083-3089, 2009.

- [100] S. N. Chattopadhyay et B. B. Pal, « Analytical modeling of an ion-implanted silicon MESFET in post-anneal condition », *Electron Devices, IEEE Transactions on*, vol. 36, n° 1, p. 81-87, 1989.
- [101] K. Tabatabaie-Alavi et I. W. Smith, « Channeling, exponential tails, and analytical modeling of Si implants into GaAs », *Electron Devices, IEEE Transactions on*, vol. 37, n° 1, p. 96-106, 1990.
- [102] C. Park, K. M. Klein, et A. F. Tasch, « Efficient modeling parameter extraction for dual pearson approach to simulation of implanted impurity profiles in silicon », *Solid-State Electronics*, vol. 33, n° 6, p. 645-650, juin. 1990.
- [103] D. G. Ashworth, R. Oven, et B. Munding, « Representation of ion implantation profiles by Pearson frequency distribution curves », *Journal of Physics D: Applied Physics*, vol. 23, n° 7, p. 870-876, juill. 1990.
- [104] E. N. Bormontov, Y. I. Bryazgunov, et V. P. Lezhenin, « An analytical model of the diffusion redistribution of ion-implanted impurity in the gate region of a MOS transistor », *Technical Physics Letters*, vol. 29, n° 1, p. 47-50, janv. 2003.
- [105] A. N. Tikhonov et A. A. Samarskii, *Equations of Mathematical Physics*, Reprint. Dover Publications, 1990.
- [106] Silvaco International, *ATHENA User's Manual, 2D Process Simulation Software*. SILVACO International, 2005.
- [107] CHRISTIAN HOLLAUER, « Modeling of Thermal Oxidation and Stress Effects », Rapport de thèse, Université technique de Vienne, 2007.
- [108] H. Z. Massoud, J. D. Plummer, et E. A. Irene, « Thermal Oxidation of Silicon in Dry Oxygen: Growth-Rate Enhancement in the Thin Regime », *Journal of The Electrochemical Society*, vol. 132, n° 11, p. 2693-2700, nov. 1985.
- [109] H. Z. Massoud, J. D. Plummer, E. A. Irene, « Thermal oxidation of silicon in dry oxygen: accurate determination of the kinetic rate constants », *Journal of the Electrochemical Society*, vol. 132, n. 7, pp. 1745-1753, 1985 .
- [110] H. Mathieu, *Physique des semiconducteurs et des composants électroniques*, 5^e éd. Dunod, 2004.
- [111] Quyen HOANG MAI, « Dimensionnement technologique d'un semi-conducteur de puissance: plan d'expériences numérique », Rapport de Master, G2ELAB - Institut National Polytechnique de Grenoble, 2011.

ANNEXES

ANNEXE 1. Modélisation de la technologie séparée

Cette modélisation doit donner les expressions mathématiques des relations entre les paramètres technologiques d'une étape (les paramètres entrées) et les structures physiques du substrat (le profil de dopage et l'épaisseur d'oxyde). Dans la filière technologique du VDMOS [4] que nous voulons analyser, il y a trois technologies principales : l'implantation, la diffusion, l'oxydation.

1. Modèle d'implantation

Pour l'implantation, il y a beaucoup de modèles développés avec différents niveaux de précision [99][100][101][102], du modèle 1D au modèle 2D [99]. Parmi eux, on peut retenir deux modèles intéressants :

- le profil de distribution Gaussienne (appelé par la suite, « le modèle Gaussien ») [99]
- le profil de distribution double Pearson (appelé par la suite, « le modèle Pearson ») [101] [103].

Comme le montre la Figure A1.1, le modèle Pearson permet de représenter de façon plus précise un profil de dopage simulé numériquement, par rapport au modèle Gaussien.

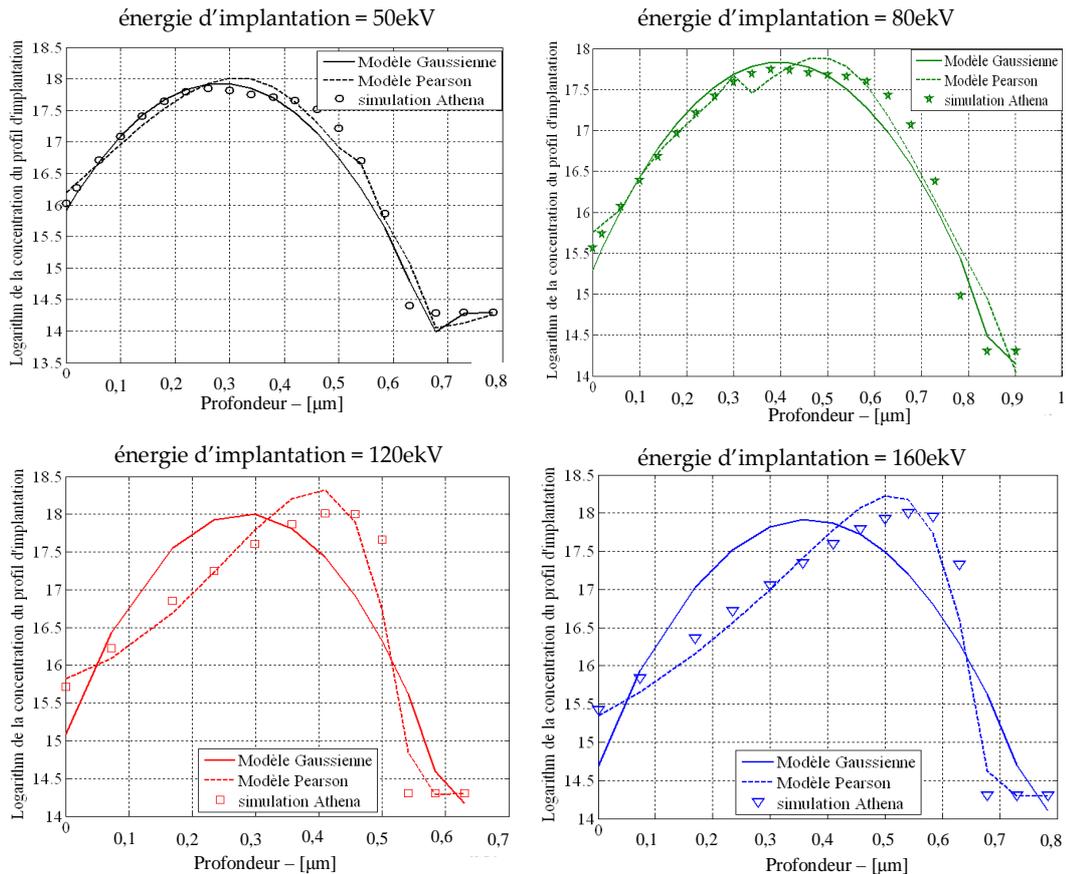


Figure A1.1. Comparaison de deux modèles d'implantation et les profils de simulation de process technologique par ATHENA-SILVACO avec l'énergie d'implantation 50 keV, 80 keV, 120 keV, 160 keV et la dose 2.10^{13} at/cm² de Bore

Cependant, le modèle Pearson est mathématiquement plus compliqué que le modèle Gaussien. Notamment, il a huit paramètres à identifier par rapport à trois paramètres pour le

modèle Gaussien. De plus, la raison principale nous incite à rejeter ce modèle Pearson, est qu'il ne peut pas nous donner une solution pour la suite de la modélisation (par exemple : la modélisation d'un processus d'implantation et de diffusion (voir la Figure A1.2)).

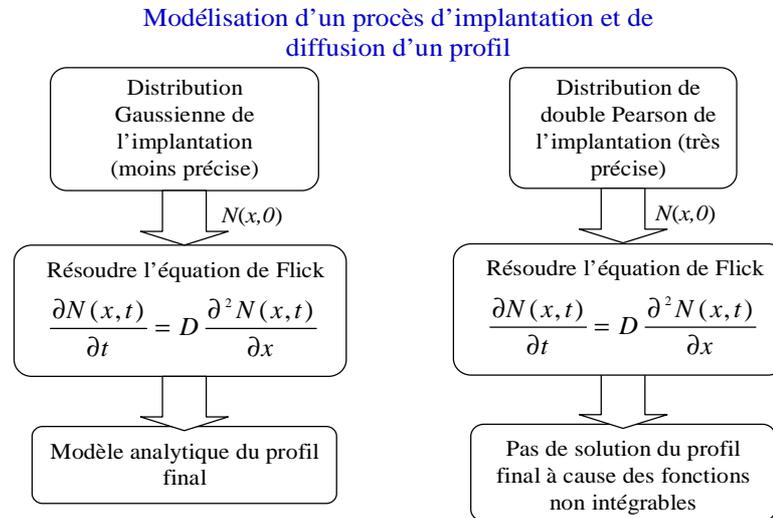


Figure A1.2. Comparaison deux modèles d'implantation dans la modélisation d'un procès d'implantation + de diffusion d'un profil

En comparaison, le modèle Gaussien est plus simple et peut nous donner une solution symbolique du profil de dopage final, en fonction des paramètres technologiques [104]. En complément, ce modèle Gaussien est moins précis que celui de Pearson, mais il peut donner une précision satisfaisante pour des analyses sur la technologie et les caractéristiques électriques [99] [100] [104]. Ainsi, nous avons choisi le modèle Gaussien (voir l'équation (A1.1)) pour modéliser la technologie d'implantation.

$$N_0(x) = \frac{\text{dose} \cdot \eta}{\sqrt{2\pi} \Delta R_p} e^{-\left[\frac{(x-R_p)^2}{2\Delta R_p^2}\right]} - N_v \quad (\text{A1.1})$$

où :

- *dose* : dose d'implantation (at/cm³),
- R_p et ΔR_p : paramètres représentant la forme géométrique du profil (cm) ; ils dépendent de l'énergie d'implantation des ions (E (keV)),
- N_v : concentration du substrat pour l'étape d'épitaxie (at/cm³).
- η : rendement d'implantation

Dans ce modèle d'implantation, les paramètres d'entrée sont la dose d'implantation (la densité d'ion par cm² de surface de silicium) et l'énergie d'implantation (l'énergie activée des ions pour bombarder le silicium). Les différentes valeurs de ces deux paramètres nous donnent différentes formes de profils de dopages [50] (voir la Figure A1.3).

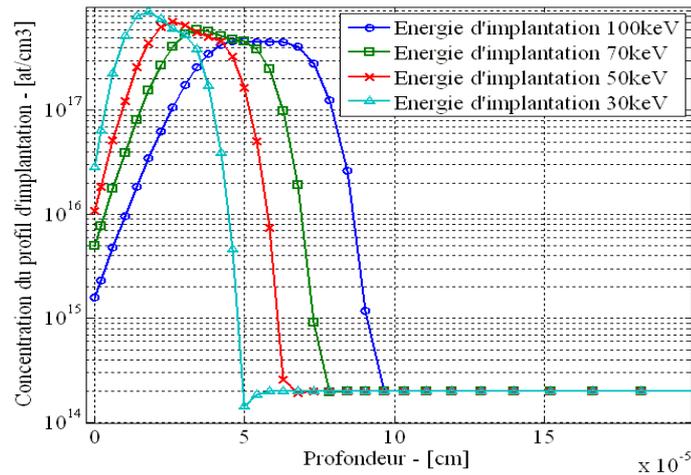


Figure A1.3. Différents profils d'implantation de Bore obtenus par la simulation dans ATHENA-SILVACO avec différentes énergies d'implantation, pour une même dose de 2.10^{13} at/cm³

Les dépendances de ces deux paramètres R_p et ΔR_p en fonction de l'énergie d'implantation (E (keV)) peuvent être extraits en identifiant le modèle Gaussien sur des simulations du processus technologique dans ATHENA-SILVACO. Ceci est illustré sur la Figure annexe 1.4. Le lecteur peut trouver le même comportement dans des abaques expérimentaux [50]. Ces comportements peuvent être modélisés simplement par des fonctions quadratiques.

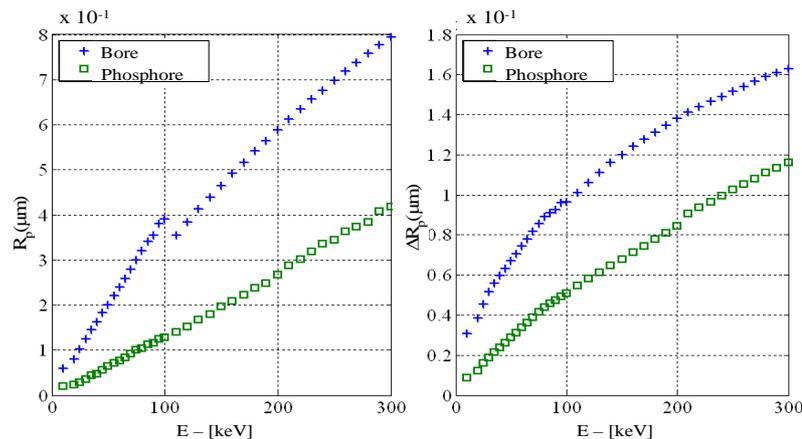


Figure A1.4. Données de R_p et ΔR_p extraites des simulations par ATHENA-SILVACO pour Bore et Phosphore

En complément, en réalité, la dose d'implantation dans l'équation (A1.1) (i.e le paramètre dose) est toujours plus petite que la dose implantée réelle par la machine d'implantation en raison de la perte d'ions. Cette perte est représentée par le rendement d'implantation. Dans les calculs suivants, la dose est donc effectivement calculée par le produit : Rendement \cdot dose_{réelle}.

2. Modèle de diffusion

Le modèle de diffusion doit représenter la redistribution des ions implantés dans le substrat par l'étape d'implantation, sous l'effet de la température et du temps de diffusion. Cette diffusion nous donne un nouveau profil de dopage dans le substrat. La fonction qui

décrit ce profil diffusé, est la résolution de l'équation de Flick (équation (A1.2)) en prenant le profil de dopage implanté (équation (A1.1)) comme condition initiale. Avec le choix du modèle d'implantation de type Gaussien, la solution de cette équation est obtenue par la méthode *Fonction de source* [105] [104] avec la condition $x > 0$ et est donnée dans l'équation (A1.3). La résolution symbolique par Maple de cette équation peut nous donner un modèle du profil diffusé de dopage (équation (A1.4)).

$$\frac{\partial N(x, t)}{\partial t} = D \frac{\partial^2 N(x, t)}{\partial x^2} \quad (\text{A1.2})$$

$$N(x, t) = \frac{1}{2\sqrt{\pi \cdot D \cdot t}} \cdot \int_0^{\infty} N_0(\xi) \cdot e^{\left[-\frac{(x-\xi)^2}{4D \cdot t}\right]} d\xi \quad (\text{A1.3})$$

$$N(x, t) = -\frac{Nv}{2} \left[1 + \operatorname{erf}\left(\frac{x}{2\sqrt{D \cdot t}}\right) \right] + \frac{\text{dose} \cdot \eta}{2\sqrt{2\pi} \cdot \sigma} e^{\left(-\frac{(x-R_p)^2}{2\sigma^2}\right)} \left[1 + \operatorname{erf}\left(\frac{\frac{R_p}{\Delta R_p^2} + \frac{x}{2D \cdot t}}{\sqrt{\frac{2}{\Delta R_p^2} + \frac{1}{D \cdot t}}}\right) \right] \quad (\text{A1.4})$$

où :

- D : coefficient de diffusion ($\text{cm}^2/\text{minute}$). Il dépend de la température de diffusion [50] et de la nature des dopants,
- t : temps de diffusion en minutes,
- $\sigma = \sqrt{\Delta R_p^2 + 2D \cdot t}$: longueur de diffusion (cm).

Dans la formule de $N(x, t)$, il y a deux points importants.

Premier point, la fonction spécifique $\operatorname{erf}(x)$ (*fonction d'erreur*) [69] nous empêche de faire purement des calculs analytiques puisqu'on ne peut seulement la calculer par une méthode numérique implantée dans Matlab, Maple, Java. Plus précisément, pour les prochaines diffusions du procédé, la solution de l'équation Flick n'est pas facile à trouver en utilisant le résultat de ce modèle complet en condition initiale. Ainsi, nous allons approximer ce modèle complet par deux fonctions données par les équations (A1.5) et (A1.6) en considérant une variation spécifique de la fonction erf [69].

$$N_{\text{appro 1}}(x, t) = -\frac{Nv}{2} \left[1 + \operatorname{erf}\left(\frac{x}{2\sqrt{D \cdot t}}\right) \right] + \frac{\text{dose} \cdot \eta}{2\sqrt{2\pi} \cdot \sigma} e^{\left(-\frac{(x-R_p)^2}{2\sigma^2}\right)} [1 + 1] \quad (\text{A1.5})$$

$$N_{\text{appro 2}}(x, t) = -\frac{Nv}{2} \cdot [1 + 1] + \frac{\text{dose} \cdot \eta}{2\sqrt{2\pi} \cdot \sigma} e^{\left(-\frac{(x-R_p)^2}{2\sigma^2}\right)} [1 + 1] \quad (\text{A1.6})$$

La comparaison de ces modèles approximatifs avec le modèle complet dans trois cas de diffusion, et est présentée sur la Figure A1.5. Nous constatons que ces deux modèles

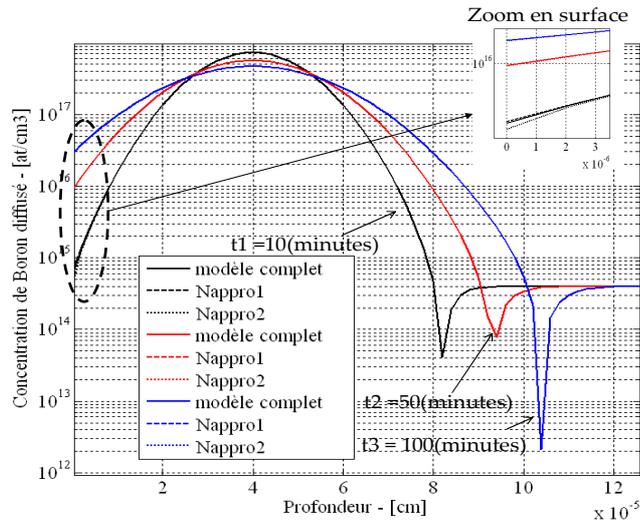


Figure A1.5. Comparaison des modèles de diffusion dans trois temps de diffusion : 10 minutes, 50 minutes, 100 minutes à 1000°C

approximatifs sont presque identiques au modèle complet. Il y a seulement une erreur au niveau de la concentration en surface entre le N_{appro2} et le modèle complet dans le cas $t_1=10$ minutes (voir le zoom en surface sur la Figure A1.5). Cette erreur pouvant provoquer des erreurs dans les calculs de la tension de seuil de VDMOS, nous avons choisi le modèle approché N_{appro1} pour le modèle de diffusion. Avec ce modèle approché, les modèles des prochaines étapes de diffusion dans la filière peuvent être identifiés de la même manière.

Le deuxième point concerne la modélisation de la dépendance du coefficient de diffusion à la température. Ce coefficient est modélisé par des abaques expérimentaux [50] ou par l'équation (A1.7) [106] dans laquelle il est exprimé en fonction de la température.

$$D(t) = D_0 \cdot e^{\left(-\frac{E_a}{K \cdot T(t)}\right)} \quad (\text{A1.7})$$

où :

- D_0 : coefficient de diffusion à 273K ($\text{cm}^2/\text{minutes}$),
- E_a : énergie d'activation (J),
- K : coefficient de Boltzmann (J/K),
- T : température de diffusion qui varie en fonction de temps en suivant le cycle thermique de la four, comme le montre sur la Figure II.5.

De façon complémentaire, la température de diffusion est souvent modifiée en fonction du temps, selon le cycle thermique (voir le paragraphe II.2.3.a.i). Les coefficients D_0 et E_a de l'équation A.1.7 seront identifiés pour représenter au mieux les abaques technologiques disponibles.

3. Modèle d'oxydation

Pour l'oxydation, le problème physique est très complexe. L'oxydation du silicium dépend de plusieurs facteurs, comme par exemple : la concentration du substrat, l'ambiance (O_2 sèche ou O_2 humide, N_2 , Cl ,...), la pression, et surtout la température dans le four et le temps d'oxydation pendant lequel le substrat est plongé dans un environnement oxydant comme dans un four [107]. Parmi ces facteurs, la pression du milieu et la concentration du substrat sont moins critiques ou normalement inchangées pour les différentes réalisations en salle blanche. En revanche, la température et le temps d'oxydation sont toujours modifiés en fonction du dimensionnement du cheminement technologique. Ainsi, nous utilisons le modèle de Massoud [108] qui permet de calculer l'épaisseur de la couche d'oxyde en fonction de deux paramètres technologiques importants : la température et le temps d'oxydation. En effet, ce modèle peut calculer les couches d'oxydes très fines (environ une vingtaine de nanomètres) [107] qui convient pour l'application de VDMOS. Les autres paramètres sont considérés comme des paramètres inchangés.

Le modèle de Massoud présente la croissance de l'oxyde SiO_2 x_0 en fonction du temps t et la température T par l'équation (annexe 1.8). Ses coefficients qui dépendent de la température et l'épaisseur initiale d'oxyde x_i , sont définis par les équations suivantes.

$$x_0 = \sqrt{\left(\frac{A}{2}\right)^2 + Bt + M_1 \left[1 - e^{\left(-\frac{t}{\tau_1}\right)}\right] + M_2 \left[1 - e^{\left(-\frac{t}{\tau_2}\right)}\right] + M_0} - \frac{A}{2} \quad (A1.8)$$

$$M_0 = (x_i^2 + Ax_i) \quad (A1.9)$$

$$M_1 = K_1 \tau_1 \quad (A1.10)$$

$$M_2 = K_2 \tau_2 \quad (A1.11)$$

$$K_1 = K_{10} e^{\left(-\frac{E_{k1}}{KT}\right)} \quad (A1.12)$$

$$K_2 = K_{20} e^{\left(-\frac{E_{k2}}{KT}\right)} \quad (A1.13)$$

$$\tau_1 = \tau_{10} e^{\left(-\frac{E_{t1}}{KT}\right)} \quad (A1.14)$$

$$\tau_2 = \tau_{20} e^{\left(-\frac{E_{t2}}{KT}\right)} \quad (A1.15)$$

$$B = C_B e^{\left(-\frac{E_B}{KT}\right)} \quad (A1.16)$$

$$\frac{B}{A} = C_{B/A} e^{\left(-\frac{E_{B/A}}{KT}\right)} \quad (A1.17)$$

où :

- x_0 : épaisseur d'oxyde après t minute sous $T^\circ K$ (nm),
- x_i : épaisseur d'oxyde initial (nm),
- K : coefficient Boltzmann (J/K),
- T : température en $^\circ K$,
- t : temps d'oxydation en minutes.

Dans le cadre de cette thèse, nous ne présentons pas les comportements physiques de ce modèle. Le lecteur peut consulter en détail ces comportements physiques dans [107] [108] [109].

Une fois que les modèles descriptifs ont été associés aux principales étapes technologiques nécessaire à la représentation physique puis électrique du composant de puissance, nous devons identifier ses paramètres inconnus, ce que nous développons dans l'annexe 2

ANNEXE 2. Identification d'un modèle de dimensionnement et de calcul de sensibilité

Après la modélisation technologique présentée en annexe 1, nous avons besoin d'identifier des paramètres encore inconnus pour avoir un modèle de dimensionnement utilisable et faire des analyses de sensibilité de la filière technologique. Les paramètres inconnus dans ce modèle sont :

- les fonctions empiriques en fonction des énergies d'implantation des deux paramètres R_p et ΔR_p ,
- le rendement d'implantation qui présente le pourcentage des ions entrés dans le substrat par rapport au total des ions bombardés en surface du substrat,
- les paramètres D_0 et E_a de la fonction du coefficient de diffusion $D(T)$,
- les paramètres du modèle d'oxydation du Silicium.

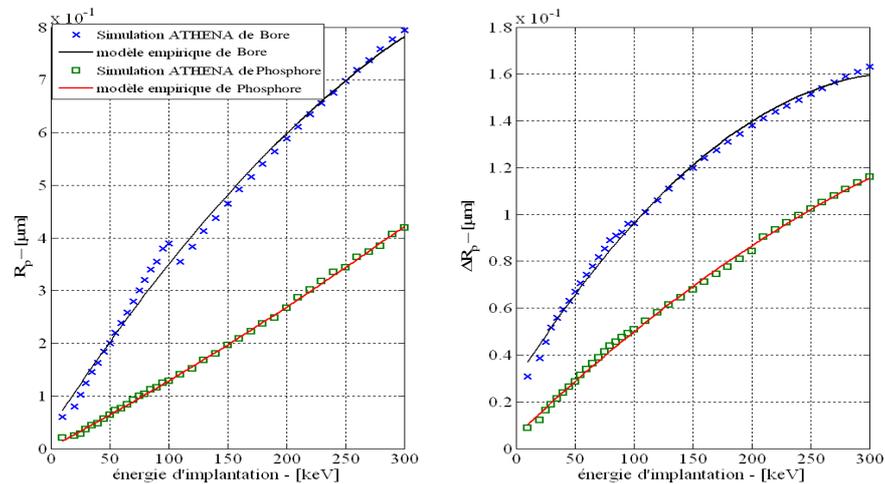


Figure A2.1. Comparaison des modèles empiriques d'implantation et des résultats issus de la simulation par ATHENA

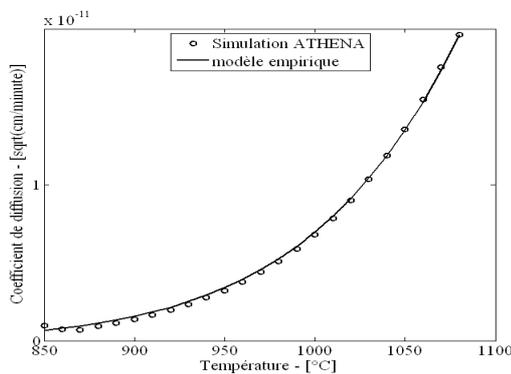


Figure A2.2. Comparaison du modèle empirique de coefficient de diffusion et des résultats extraits de la simulation par ATHENA

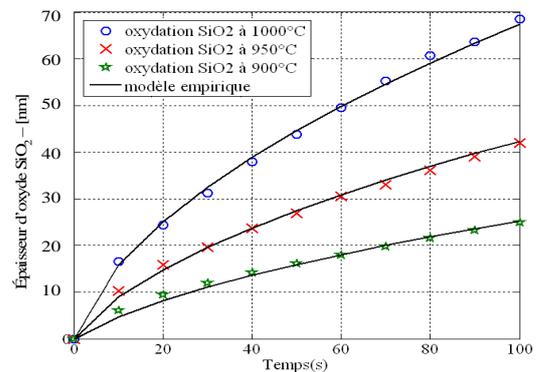


Figure A2.3. Comparaison du modèle empirique du coefficient d'oxydation et des résultats extraits de la simulation par ATHENA

Pour cela, nous pouvons utiliser les valeurs identifiées dans différentes références telles que [50] [107]. Cependant, nous voulons ici valider notre démarche de modélisation technologique. Ainsi, nous allons d'abord identifier notre modèle à partir des données

extraites de la simulation numérique d'ATHENA-Silvaco. Nous présentons ci-dessous les comparaisons entre nos modèles identifiés avec les résultats de simulations obtenus par ATHENA sur les Figures A2.1, A2.2 et A2.3.

Les modèles identifiés sont les modèles disjoints du procédé technologique complet. Ils n'ont donc pas beaucoup de paramètres. Ainsi, la méthode Levenberg Marquardt (voir le paragraphe II.3.3.b.i) peut donner des solutions satisfaisantes comme ci-dessus. Ces modèles empiriques contiennent les équations suivantes :

$$R_{p\text{Boron}} = -3,2 \cdot 10^{-10} \cdot x^2 + 3,4 \cdot 10^{-7} x + 3,8 \cdot 10^{-6} \text{ (cm)} \quad (\text{A2.1})$$

$$\Delta R_{p\text{Boron}} = -1,2 \cdot 10^{-10} \cdot x^2 + 7,9 \cdot 10^{-8} x + 2,9 \cdot 10^{-6} \text{ (cm)} \quad (\text{A2.2})$$

$$R_{p\text{Photphor}} = 6,9 \cdot 10^{-11} \cdot x^2 + 1,2 \cdot 10^{-7} x + 2,1 \cdot 10^{-7} \text{ (cm)} \quad (\text{A2.3})$$

$$\Delta R_{p\text{Photphor}} = -3,9 \cdot 10^{-11} \cdot x^2 + 4,8 \cdot 10^{-8} x + 5,4 \cdot 10^{-7} \text{ (cm)} \quad (\text{A2.4})$$

où :

- x : énergie d'implantation des ions bores et photphores

$$D(T) = 0,52959 \cdot e^{\left(\frac{-2,9549 \cdot \text{eV}}{KT}\right)} \quad (\text{A2.5})$$

où :

- T : température de diffusion en Kelvin
- D : coefficient de diffusion des ions ($\text{cm}^2/\text{minutes}$)
- K : coefficient de Boltzmann (J/K)

ANNEXE 3. Modélisation des caractéristiques importantes du VDMOS

1. Tenue en tension du VDMOS

La tenue en tension d'une cellule VDMOS (voir la Figure A3.1) dépend des

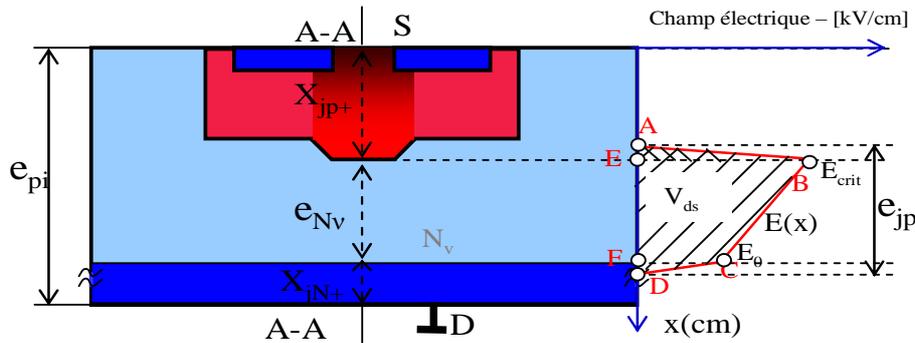


Figure annexe 3.1. Distribution du champ électrique sur la coupe A-A

caractéristiques de la zone de tenue en tension (zone N-) entre le caisson P+ face avant et le caisson N+ en face arrière (i.e. la concentration N_v et l'épaisseur e_{Nv}). Lorsque la différence de potentiel appliquée entre les bornes drain et source est positive et que le potentiel appliqué à la grille du VDMOS par rapport au potentiel de source est inférieur à V_{th} , il existe une zone de charge d'espace (ZCE) qui est représentée par la distribution du champ électrique $E(x)$ (voir la Figure annexe 3.1) selon l'axe vertical. Avec une tension V_{ds} élevée, la ZCE occupe complètement la région N_v , et c'est donc une jonction abrupte tronquée qui assure la tenue en tension. Cette troncature est représentée par un coefficient de troncature α calculé par l'équation (annexe 3.1).

$$\alpha = \frac{e_{Nv}}{e_{jp}} \quad (\text{annexe 3.1})$$

où :

- α : coefficient de troncature qui est contraint à une valeur inférieure à un
- e_{jp} : extension de la ZCE sans troncature

Le régime de claquage du VDMOS est atteint lorsque le champ électrique sur la jonction P+/Nv atteint sa valeur critique (E_{crit}). Cette valeur critique dépend de la concentration N_v de la zone tenue en tension, en lien avec le phénomène d'avalanche [67] [42] [111]. Lors de l'apparition du régime de claquage, la tension maximale appliquée entre drain et source du VDMOS est représentée par l'aire de la ZCE selon la loi électrostatique ($E = -\text{grad } V$). Ainsi, la tenue en tension du VDMOS dépend sur la concentration N_v et de l'épaisseur e_{Nv} . Pour dimensionner cette tenue en tension, nous avons utilisé le modèle implicite qui représente cette dépendance, et qui est présenté dans [42]. En respectant $0.5 \leq \alpha$

≤ 1.0 afin d'avoir une résistance à l'état passant raisonnable, nous obtenons le comportement présenté sur la Figure A3.2.

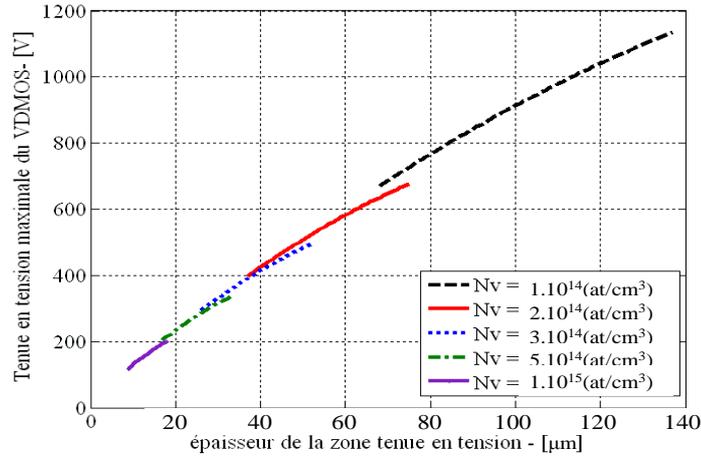


Figure A3.2. Tenu en tension du VDMOS en fonction de l'épaisseur et de la concentration de la zone tenue en tension.

Cette relation exprime très clairement la tension maximale tenue par la couche N- où e_{Nv} est calculé par l'équation (annexe 3.2) (voir la Figure annexe 3.1) et Nv issue de l'étape d'épitaxie lors de la fabrication du substrat.

$$e_{Nv} = e_{pi} - X_{jp+} - X_{jn+} \quad (A3.2)$$

où :

- X_{jp+} : profondeur du P+ qui dépend du procédé technologique du VDMOS
- X_{jn+} : profondeur du N+ en face arrière qui dépend du procédé technologique du VDMOS

En regardant l'équation (A3.2) et la Figure annexe 3.2, on peut connaître la dépendance de la tenue en tension du VDMOS par rapport au procédé technologique et à la dimension du substrat du VDMOS.

2. Tension de seuil du VDMOS

La tension de seuil du VDMOS est une grandeur électrique importante. Elle est déterminante pour le passage de l'état de blocage à l'état de conduction du VDMOS. Ainsi, elle influence fortement les caractéristiques fonctionnelles du VDMOS [73]. Elle est théoriquement calculée par l'équation (annexe 3.3) [67].

$$V_{th} = \frac{e_{ox} \cdot \sqrt{2 \cdot q \cdot Na \cdot \epsilon_{Si} \cdot \epsilon_0 \cdot \left(2 \cdot \frac{k \cdot T}{q} \ln \left(\frac{Na}{ni} \right) \right)}}{\epsilon_{SiO_2} \cdot \epsilon_0} + V_{fb} + 2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{Na}{ni} \right) \quad (A3.3)$$

où :

- e_{ox} : épaisseur d'oxyde sous la grille du VDMOS
- Na : concentration maximale en surface au canal du P-

- V_{fb} : potentiel de bande plate [73]. Ce terme est défini par :

$$V_{fb} = -\left(\frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right) + \frac{E_g}{2 \cdot q}\right) \quad (A3.4)$$

- E_g : énergie de bandgap
- q : charge d'électron
- $\epsilon_0, \epsilon_{Si}, \epsilon_{SiO_2}$: respectivement, permittivité du vide, permittivité relative du silicium, permittivité relative de l'oxyde silicium
- k : constante de Boltzmann
- T : température de l'environnement en K
- n_i : concentration intrinsèque du Silicium à l'équilibre

Cette expression de la tension de seuil nous permet d'avoir sa dépendance au procédé technologique à travers les deux paramètres que sont l'épaisseur d'oxyde de grille e_{ox} et la concentration en surface N_a au niveau du canal (voir la Figure A3.3). La température est considérée comme constante dans nos analyses.

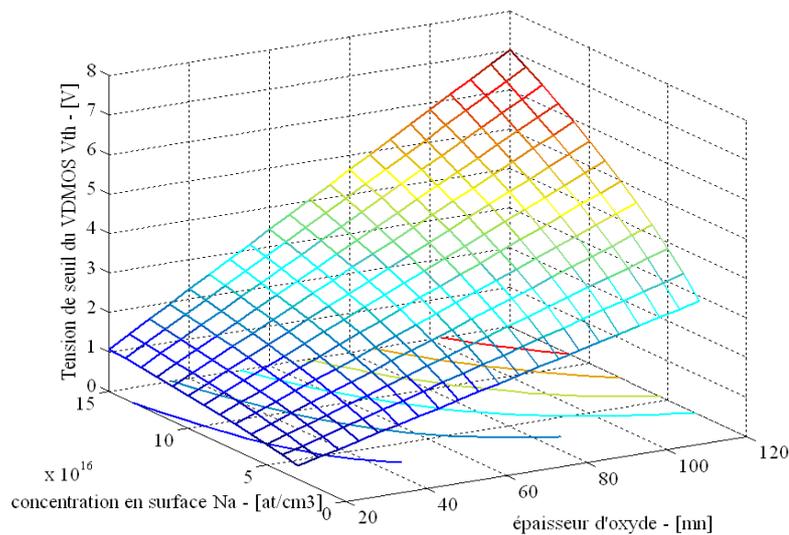


Figure A3.3. Tension de seuil du VDMOS en fonction de l'épaisseur d'oxyde et de la concentration en surface du canal.

3. Transistor parasite dans la zone pincée sous la source du VDMOS

Concernant le profil de dopage de la zone du porte-canal P-, nous avons plusieurs contraintes. Comme on peut le voir sur la Figure annexe 3.4, dans la structure de MOSFET, il existe un transistor bipolaire parasite entre la source, le porte-canal et le drain qui peut

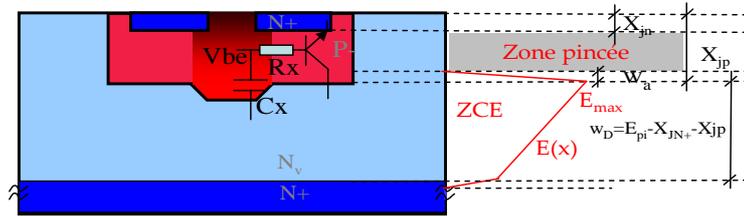


Figure A3.4. Transistor bipolaire parasite entre la source, le porte-canal et le drain et définition de la zone pincée

provoquer les dysfonctionnements du VDMOS. Par ailleurs, cette couche est critique au niveau de la tenue en tension de la jonction PN. Nous définissons donc deux causes critiques engendrant ce dysfonctionnement [4] :

- Le perçage entre la ZCE de la jonction P-/Nv et la jonction source/porte-canal (i.e $w_a \geq X_{jp} - X_{jn}$) (voir la Figure A3.4), lorsqu'une tension positive élevée est appliquée entre le drain et la source du VDMOS
- L'amorçage du transistor bipolaire parasite. Ce principe est lié à la résistance de la zone pincée Rx et la capacité parasite Cx qui font monter, sous l'effet d'un dV_{ds}/dt important, la tension Base-Emetteur Vbe du transistor bipolaire parasite au-delà de la valeur d'amorçage du transistor bipolaire parasite. La définition de l'amorçage du transistor bipolaire repose sur le calcul de la densité de courant passant dans la jonction base-émetteur. Cependant, pour cette problématique de conception, nous simplifions ceci par une limite sur la tension $V_{be_{max}} = 0,4V$.

Afin d'éviter ces dysfonctionnements, la profondeur de la jonction P-/Nv doit être suffisante pour éviter le perçage et diminuer la résistance Rx. L'extension w_a de la ZCE à côté du P- est une grandeur importante. Elle est calculée par la solution de l'équation (A3.5).

$$E_{max} = \frac{q}{\epsilon_0 \cdot \epsilon_{Si}} \cdot \int_{X_{jp} - w_a}^{X_{jp}} P_m(x) \, dx \quad (A3.5)$$

où :

- $P_m(x)$: profil gaussien de dopage en fonction de la profondeur (voir l'équation (A3.6).)

$$P_m(x) = P_{p0} \cdot e^{-\left(\frac{(x - R_{pm})^2}{2 \cdot \sigma^2}\right)} \quad (A3.6)$$

- X_{jp} : profondeur de la jonction P-/N-
- E_{max} : champ électrique maximal à la jonction P-/N-. il est calculé par l'équation (A3.7)..

$$E_{\max 2} = \frac{V_{ds} + \frac{q \cdot N_v \cdot w_v^2}{\epsilon_0 \cdot \epsilon_{\text{Si}}}}{w_v} \quad (\text{A3.7})$$

- V_{ds} : tension appliquée au drain et à la source
- w_v : épaisseur de la zone N- sous P- (voir la Figure A3.4).

$$E_{\max 1} = E_{\max 2} \quad (\text{A3.8}).$$

Le calcul de l'intégrale dans l'équation (A3.5), du profil de dopage gaussien (voir l'équation (A3.6)) donne la fonction d'erreur *erf*, comme introduit précédemment. Il est donc difficile d'obtenir une solution analytique de w_a . Nous proposons trois modèles suivants pour résoudre l'équation (annexe 3.8).

- Premier modèle : on utilise le calcul exact de la fonction *erf* pour avoir une solution précise, on doit résoudre une équation implicite.
- Deuxième modèle : le profil de P- est simplifié par un profil homogène.
- Troisième modèle : le calcul de la fonction *erf* est approximé par une fonction analytique [68] qui permet d'avoir directement une solution analytique de l'équation.

La comparaison entre ces trois méthodes de calcul de w_a est illustrée sur la Figure A3.5.

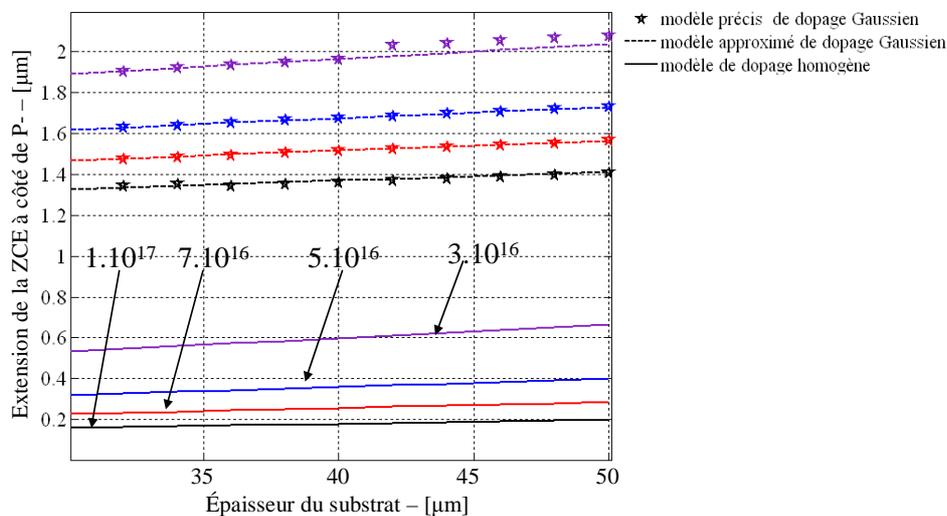


Figure A3.5. Comparaison entre trois méthodes de calcul de l'extension de ZCE dans la zone de P-

- la deuxième méthode est inutilisable en raison de sa faible précision
- la troisième méthode est simple et très précise ; nous avons donc choisi cette méthode pour calculer w_a .

Ensuite, avec la valeur de w_a , nous pouvons calculer les impédances R_x et C_x afin d'identifier pour quelle valeur maximale de dV_{ds}/dt on obtient une tension d'amorçage au

niveau base-emetteur du transistor bipolaire parasite. Le modèle final nous permet d'avoir le comportement de cette tension en fonction du profil de dopage P-.

ANNEXE 4. Résultats de dimensionnement de la comptabilité électro-technologique

Nous présentons les résultats de dimensionnement de la comptabilité électro-technologique entre le VDMOS, sa commande rapprochée et son autoalimentation dans la Tableau A4.1. Ces résultats sont obtenus par l'algorithme de nichage proposé dans Fgot, avec 400 générations et 40 individus.

Tableau A4.1. Résultats de dimensionnement de la comptabilité électro-technologique

index	$L_{PM}(\mu\text{m})$	$L_{Grille}(\mu\text{m})$	Ncell (unité)	$N_{n0}(\text{at}/\text{cm}^3)$	$P_{p0}(\text{at}/\text{cm}^3)$	$X_{jn}(\mu\text{m})$	$X_{jp}(\mu\text{m})$	$e_{ox}(\text{nm})$
0	32	39	2449	1,5.1020	1,5.1017	0,5	4,32	28E-6
1	33	48	1860	1,5.1020	1,5.1017	0,5	4,32	28E-6
2	33	51	1748	1,41.1020	1,5.1017	0,5	4,68	28E-6
3	33	52	1720	1,22.1020	1,5.1017	0,5	4,83	28E-6
4	33	78	1000	1,5.1020	1,5.1017	0,5	4,3	28E-6
5	33	43	2189	1,33.1020	1,5.1017	0,5	4,94	28E-6
6	33	59	1479	1,5.1020	1,48.1017	0,5	5,0	28E-6
7	33	36	2714	1,42.1020	1,5.1017	0,5	4,66	28E-6
8	33	70	1185	1,3.1020	1,5.1017	0,5	4,7	28E-6
9	34	49	1851	1,5.1020	1,41.1017	0,5	5,26	29E-6
10	34	45	2094	1,31.1020	1,42.1017	0,5	5,33	29E-6
11	34	59	1476	1,28.1020	1,49.1017	0,5	5,31	28E-6
12	34	41	2342	1,5.1020	1,41.1017	0,5	5,52	29E-6
13	35	49	1857	1,24.1020	1,42.1017	0,5	5,72	29E-6
14	33	97	759	1,44.1020	1,5.1017	0,5	4,63	28E-6
15	34	35	2828	1,28.1020	1,49.1017	0,5	5,32	28E-6
16	35	36	2811	1,46.1020	1,41.1017	0,5	5,72	29E-6
17	34	96	775	1,5.1020	1,41.1017	0,5	5,19	29E-6
18	33	52	2691	1,25.1020	1,5.1017	0,5	4,82	28E-6
19	36	108	659	1,5.1020	1,41.1017	0,5	5,61	29E-6
20	34	89	1183	1,24.1020	1,42.1017	0,5	5,53	29E-6
21	33	63	2344	1,5.1020	1,49.1017	0,5	4,99	28E-6
22	33	82	1700	1,49.1020	1,46.1017	0,5	4,66	28E-6
23	33	72	2307	1,5.1020	1,5.1017	0,5	4,33	28E-6
24	34	89	1837	1,43.1020	1,42.1017	0,5	5,2	29E-6
25	33	85	2145	1,34.1020	1,5.1017	0,5	4,9	28E-6
26	34	79	2303	1,31.1020	1,42.1017	0,5	5,32	29E-6
27	35	99	1486	1,46.1020	1,41.1017	0,5	5,69	29E-6
28	34	117	1451	1,26.1020	1,49E+17	0,5	5,42	28E-6
29	34	116	1748	1,41.1020	1,5.1017	0,5	4,67	28E-6
30	34	86	2898	1,43.1020	1,41.1017	0,5	5,2	29E-6
31	35	85	2957	1,43.1020	1,41.1017	0,5	5,71	29E-6
32	33	0.0137	1499	1,5.1020	1,48.1017	0,5	4,99	28E-6
33	33	0.0117	2463	1,42.1020	1,5.1017	0,5	4,67	28E-6

Annexe

34	35	49	2957	1,44.1020	1,42.1017	0,5	5,2	29E-6
35	0,02	36	2811	1,48.1020	1,41.1017	0,5	5,72	29E-6
36	35	88	2811	1,25.1020	1,41.1017	0,5	5,53	29E-6
37	34	87	1857	1,24.1020	1,41.1017	0,5	5,72	29E-6
38	33	137	2449	1,5.1020	1,5.1017	0,5	5,0	28E-6
39	33	131	2330	1,42.1020	1,5.1017	0,5	4,0	28E-6

ANNEXE 5. Structure des composants simulés dans Silvaco-Atlas et Silvaco-Mixedmode

Dans cette annexe, nous présentons les structures décrites dans Silvaco-Atlas de trois composants :

- le NMOS inférieur (voir la Figure A5.1)
- le NMOS supérieur (voir la Figure A5.2)
- le VDMOS (voir la Figure A5.3).

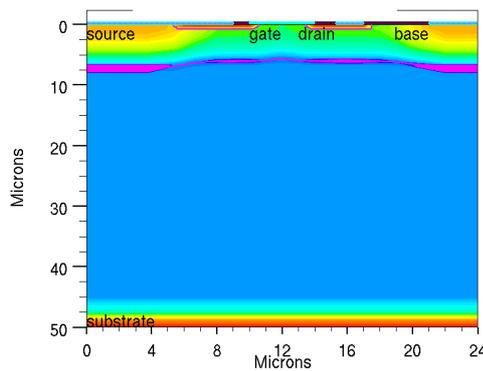


Figure A5.1. Structure du 'Low-Side' NMOS simulé dans Silvaco -Atlas

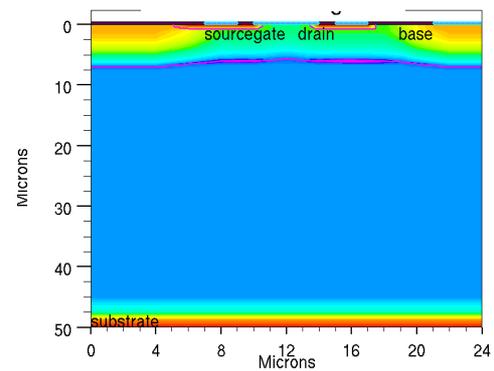


Figure A5.2. Structure du 'High-Side' NMOS simulé dans Silvaco -Atlas

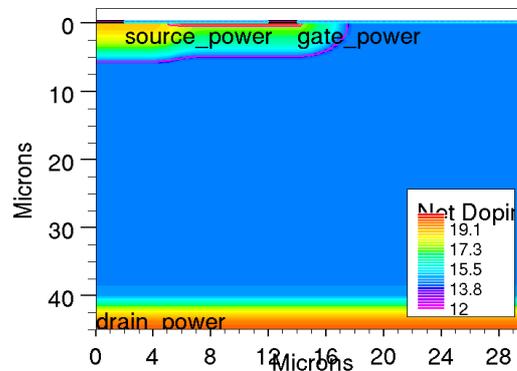


Figure A5.3. Structure du VDMOS simulé dans Silvaco -Atlas

ANNEXE 6. Problème de calcul des dérivées de la contrainte d'intégration entre le VDMOS et ses fonctions annexes

La contrainte d'intégration entre le VDMOS et ses fonctions annexes est définie par l'équation A6.1 :

$$-0,003 \leq 1 - F(a) \leq 0,003 \quad \text{A6.1}$$

Le terme $F(a)$ est défini par les équations suivantes :

$$F(a) = \int_{x_{\text{Debut}}(a)}^{x_{\text{Fin}}(a)} g_2(x, a) dx \quad \text{A6.2}$$

$$g_2(x, a) = z(x, a) \cdot \alpha_N(x, a) \quad \text{A6.3}$$

$$z(x, a) = e^{-\int_{x_{\text{Debut}}(a)}^x \alpha_N(y, a) - \alpha_P(y, a) dy} \quad \text{A6.4}$$

$$\alpha_N(x, a) = A_N \cdot e^{\left(\frac{B_N(x, a)}{|E(x, a)|} \right)} \quad \text{A6.5}$$

$$\alpha_P(x, a) = A_P \cdot e^{\left(\frac{B_P(x, a)}{|E(x, a)|} \right)} \quad \text{A6.6}$$

$$g_1(x, a) = \alpha_N(x, a) - \alpha_P(x, a) \quad \text{A6.7}$$

où les fonctions α_N et α_P suivent le modèle d'ionisation par impact Selberherr.

Avec cette formulation d'intégrales multiples, les gradients de $F(a)$ en fonction des paramètres dans « a » ont une expression complexe, qui exploite la théorème des fonctions implicites.

$$\frac{\partial F(a)}{\partial x_{\text{Fin}}(a)} = g_2(x_{\text{Fin}}(a), a) \quad \text{A6.7}$$

$$\frac{\partial F(a)}{\partial x_{\text{Debut}}(a)} = -g_2(x_{\text{Debut}}(a), a) \quad \text{A6.8}$$

$$\frac{\partial F(a)}{\partial a_i} = \int_{x_{\text{Debut}}(a)}^{x_{\text{Fin}}(a)} \frac{\partial g_2(x, a)}{\partial a_i} dx + \frac{\partial x_{\text{Fin}}(a)}{\partial a_i} \cdot g_2(x_{\text{Fin}}(a), a) - \frac{\partial x_{\text{Debut}}(a)}{\partial a_i} \cdot g_2(x_{\text{Debut}}(a), a) \quad \text{A6.9}$$

$$\frac{\partial g_2(x, a)}{\partial a_i} = \left[\begin{array}{l} \left(\frac{\partial \alpha_N(x, a)}{\partial a_i} + \alpha_N(x, a) \cdot \right. \\ \left. - \left(\int_{x_{\text{Debut}}(a)}^x \frac{\partial g_1(y, a)}{\partial a_i} dy \right) + g_1(x_{\text{Debut}}(a), a) \cdot \frac{\partial x_{\text{Debut}}(a)}{\partial a_i} \right] \cdot e^{-\int_{x_{\text{Debut}}(a)}^x g_1(y, a) dy} \quad \text{A6.10} \end{array} \right.$$

$$\begin{aligned}
\frac{\partial F(\mathbf{a})}{\partial a_i} = & \int_{x_{\text{Debut}}(\mathbf{a})}^{x_{\text{Fin}}(\mathbf{a})} \frac{\partial \alpha_N(x, \mathbf{a})}{\partial a_i} \cdot e^{-\int_{x_{\text{Debut}}(\mathbf{a})}^x g_1(y, \mathbf{a}) dy} dx \\
& - \int_{x_{\text{Debut}}(\mathbf{a})}^{x_{\text{Fin}}(\mathbf{a})} \alpha_N(x, \mathbf{a}) \cdot \int_{x_{\text{Debut}}(\mathbf{a})}^x \frac{\partial g_1(y, \mathbf{a})}{\partial a_i} dy \cdot e^{-\int_{x_{\text{Debut}}(\mathbf{a})}^x g_1(y, \mathbf{a}) dy} dx \\
& + \int_{x_{\text{Debut}}(\mathbf{a})}^{x_{\text{Fin}}(\mathbf{a})} \alpha_N(x, \mathbf{a}) \cdot g_1(x_{\text{Debut}}(\mathbf{a}), \mathbf{a}) \cdot \frac{\partial x_{\text{Debut}}(\mathbf{a})}{\partial a_i} \cdot e^{-\int_{x_{\text{Debut}}(\mathbf{a})}^x g_1(y, \mathbf{a}) dy} dx \\
& + \frac{\partial x_{\text{Fin}}(\mathbf{a})}{\partial a_i} \cdot g_2(x_{\text{Fin}}(\mathbf{a}), \mathbf{a}) - \frac{\partial x_{\text{Debut}}(\mathbf{a})}{\partial a_i} \cdot g_2(x_{\text{Debut}}(\mathbf{a}), \mathbf{a})
\end{aligned} \tag{A6.11}$$

$\sqrt[3]{I_{\text{grillemax}}} \quad \sqrt[3]{I_{\text{grillemax}}}$

Les intégrales multiples dans ces formules sont calculées par la méthode Simpson adaptative. Le calcul est très coûteux si on n'a pas un outil de calcul sélectif des dérivées. De plus, la précision du calcul des dérivées est sensible à la précision de l'algorithme Simpson adaptative.