



HAL
open science

Solution de filtrage reconfigurable en CMOS65nm pour les architectures d'émission " tout numérique "

Fabien Robert

► **To cite this version:**

Fabien Robert. Solution de filtrage reconfigurable en CMOS65nm pour les architectures d'émission " tout numérique ". Electronique. Université de Marne la Vallée, 2011. Français. NNT: . tel-00659313

HAL Id: tel-00659313

<https://theses.hal.science/tel-00659313v1>

Submitted on 12 Jan 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



ÉCOLE DOCTORALE ICMS

Thèse de doctorat

Spécialité : Electronique, Optronique et Systèmes (CNU 63)

Présentée et soutenue publiquement par

Fabien ROBERT

Le 05 Décembre 2011

**Solution de filtrage reconfigurable en
CMOS65nm pour les architectures d'émission
« tout numérique »**

Thèse dirigée par :

Prof. Martine VILLEGAS (ESYCOM/ ESIEE Paris).
Dr. Antoine DIET (L2S-DRE/ Université Paris Sud-11).

Composition du jury :

Rapporteurs : Prof. Andreas KAISER (IEMN-ISEN)
Prof. Patrick LOUMEAU (Telecom ParisTech ENST)

Examineurs : Prof. Eric KERHERVE (IMS)
Dr. Dominique MORCHE (CEA-LETI)
Mr. Philippe CATHELIN (ST-Ericsson)
Prof. Geneviève BAUDOIN (ESYCOM/ ESIEE Paris)

Remerciements

Je tiens à remercier toutes les personnes qui m'ont accompagné durant ces trois dernières années et qui ont su me soutenir et m'encourager dans les bons moments mais surtout dans les moments de doute. Je tiens tout particulièrement à remercier Martine Villegas et Antoine Diet, de m'avoir proposé cette thèse et de m'avoir fait confiance durant ces trois années. Je tiens aussi à les remercier ainsi que Geneviève Baudoin, pour leur très grande disponibilité, leur qualité d'écoute et de conseil. En dehors d'assurer parfaitement votre rôle d'encadrant de thèse, votre côté humain et la liberté que vous m'avez laissé m'ont permis de m'épanouir dans mon travail mais aussi personnellement. Merci d'avoir su renouveler votre confiance chaque jour.

Je tiens à remercier mes encadrants et collègues de ST-Ericsson. Tout particulièrement Pascal Triaire, Philippe Cathelin et Fabio Epifano. Merci de m'avoir proposé ce sujet à la fois vaste mais avec de nombreux défis à relever. Merci de l'accueil que vous m'avez réservé et d'avoir pris le temps d'échanger avec moi et de me conseiller même lorsque vos agendas étaient pleins à craquer. Pascal je tiens à te remercier pour l'organisation sans faille lors de mon arrivée à ST-Ericsson et pour ton intérêt constant à propos de mes travaux. Philippe je te remercie énormément, pour tout le temps que tu as passé à m'apprendre, à me montrer, à me transmettre tes connaissances de design et de layout et à te plier en quatre pour me trouver une place sur un run ou un socket de test à la dernière minute.

Mes remerciements vont aussi à Andreas Kaiser et Patrick Loumeau pour avoir accepté d'être les rapporteurs de ma thèse, mais aussi à Dominique Morche et Eric Kerhervé pour avoir accepté de faire partie de mon jury d'examineurs.

Je veux surtout remercier mes amis doctorants du laboratoire qui ont toujours été présents. Je pense à vous, la vieille équipe maintenant éparpillée aux quatre coins du monde. Martha, toi l'ainée des thésards, je ne me lasse pas de la bonne humeur et de la motivation que tu as su nous insuffler à nous tous. Vaclav, notre Tchèque préféré, avec tes idées plus farfelues les unes que les autres, merci de m'avoir fait découvrir les secrets de la pomme de terre et de la Becherovska. Luis et Toufic toujours partants pour une petite virée parisienne histoire de se détendre après une dure semaine de simulations et d'écriture de thèse. Malgré la distance, entre Varsovie, Ulm ou Singapour, je pense souvent à vous avec qui j'ai partagé mes premières années de thèse et avec qui j'espère encore passer de nombreux bons moments. J'en viens maintenant à la nouvelle génération même si je ne vous précède que d'une année ou deux. Merci à toi Rahma pour la fraîcheur et la spontanéité que tu as su apporter à cette équipe mais surtout pour tes coups de pied aux fesses et tes mots justes pendant la rédaction. Merci à

mes deux compères de bureau, Ajib et Charles, jamais avares d'une bonne blague. Bientôt ce sera votre tour de tourner la page de la thèse, alors jusque là je vous souhaite le meilleur et tout le courage dont vous aurez besoin. Et puis merci à Oscar, Carlos, Julien et Marc, à un de ces quatre pour un petit café matinal.

Je veux aussi remercier Gaëlle, Julie et Cédric, mes colocataires de Bernin. Pendant plusieurs mois, vous avez été une seconde famille pour moi. Vous m'avez accueilli parmi vous comme si nous nous étions toujours connu. C'est souvent dans la simplicité et l'authenticité des choses, autour d'un thé que vous m'avez offert votre humanité. Je n'oublie pas bien entendu Pierre et « Nemoz ».

Enfin je veux remercier ma famille, mon épouse et mes amis les plus proches. Merci à ma famille pour m'avoir toujours appris les valeurs de la vie, le courage, la ténacité et l'abnégation. Merci à mon épouse d'avoir supporté ces trois longues années. Merci à toi Daniel, toi aussi devenu docteur, que de temps parcouru depuis les bancs du collège. Merci à toi Paga qui soutient aussi bientôt. Pendant près de 9 ans, tu as été un binôme hors pair puis un témoin exemplaire. Enfin merci à mes amis, Bilou, Renaud et Pistrouille ; vous êtes et serez à jamais dans mon cœur parmi les « copains d'abord ».

Résumé

Cette thèse porte sur les défis techniques et technologiques dans la conception des architectures mobiles d'émission « tout numérique » reconfigurables fonctionnant dans les bandes cellulaires pour les standards GSM, W-CDMA, HSUPA et LTE. Avec l'évolution constante des besoins en communication, les terminaux mobiles doivent être en mesure de couvrir différents standards à partir d'une même architecture, en fonction des bandes de fréquences libres, du débit et des contraintes spectrales. Dans un but de réduction des coûts, de consommation et d'une plus grande intégration, de nouvelles architectures dites multistandards se sont développées permettant à un seul émetteur d'adresser chaque standard au lieu de paralléliser plusieurs architectures radio chacune dédiée à un standard particulier. Depuis plusieurs années ont émergé des technologies nanométriques telles que le CMOS 90nm ou 65nm, ouvrant la voie à une plus grande numérisation des blocs fonctionnels des architectures jusqu'alors analogiques. Dans cette étude, nous identifions les évolutions possibles entre « monde analogique » et « monde numérique » permettant de déplacer la limite de la bande de base jusqu'à l'amplificateur de puissance. Plusieurs architectures ont été étudiées avec des degrés de numérisation progressifs jusqu'à atteindre l'architecture « tout numérique » englobant une partie de l'amplification de puissance. Un travail approfondi sur l'étude des différents standards cellulaires mené conjointement avec l'implémentation et la simulation de ces architectures, a permis d'identifier les différents verrous technologiques et fonctionnels dans le développement d'architectures « tout numérique ». Les contraintes de pollution spectrale des raies de sur-échantillonnage sont apparues comme dimensionnantes. Pour chaque bande de chaque standard, ces contraintes ont été évaluées, afin de définir une méthode d'optimisation des fréquences de sur-échantillonnage. Cependant un filtrage externe reste nécessaire. Une deuxième étape nous a amené à identifier et concevoir une technique de filtrage passe bande reconfigurable pour les bandes cellulaires de 1710 à 1980MHz avec au moins 60MHz de largeur de bande afin d'adresser le standard LTE, et 23dB d'atténuation à 390MHz du centre de la bande pour adresser le pire cas de filtrage (bandes 1, 3 et 10 en W-CDMA). Nous avons alors conçu et implémenté un filtre reconfigurable à inductances actives, afin de garantir reconfigurabilité et très faibles pertes d'insertion. Cette thèse a donc permis à partir d'une problématique actuelle et au travers d'une démarche d'identification des limites des architectures « tout numérique », de proposer un prototype de filtre adapté. Ce filtre a été conçu en CMOS 65nm, réalisé et mesuré, les performances sont conformes aux exigences requises.

Mots clés : CMOS65nm, Inductance Active, Emetteur, Reconfigurable, Filtre

Abstract

Reconfigurable Filtering Solution in CMOS65nm for « Fully digital » Transmitters

This thesis addresses the technical and technological challenges in the design of “all digital” reconfigurable mobile architectures operating cellular standard bands (GSM, WCDMA, HSUPA and LTE). With the ever-changing communication needs, mobile devices must be able to address different standards from a common architecture depending on free frequency bands, data rate and spectral constraints. In order to reduce costs, consumption and to obtain a greater integration, new architectures were developed and called multi-standard allowing a single transmitter to transmit each standard instead of parallelizing several radio architectures each dedicated to a particular standard. For several years nanoscale technologies such as 90nm or 65nm CMOS have emerged, clearing the way to replace analog functional blocks by greater digital functional blocks. In this study, we identify possible changes between "analog world" and "digital world" to move the digital boundary from the baseband to power amplifier. Several architectures have been studied with progressive digitization degrees to meet "all digital" architecture, comprising part of the power amplifier. Extensive work on the study of different cellular standards conducted jointly with the implementation and simulation of these architectures, let us identified the different technological and functional locks in the development of "all digital" architectures. Oversampling spurious constraints have emerged as dimensioning. For each band of each standard, these constraints were evaluated to define an optimization method of over-sampling frequency. However an external filter is required. A second step led us to identify and design a reconfigurable bandpass filtering technique for cellular bands from 1710 to 1980MHz with at least 60MHz of bandwidth in order to address the LTE, and 23dB attenuation at 390MHz from the center of the filter to address the most constringent filtering cases (bands 1, 3 and 10 in W-CDMA). We then designed and implemented a reconfigurable filter based on active inductors to ensure reconfigurability and very low insertion loss. This thesis permit from an actual architecture system issue and through a process to identify limitations of “all digital” architectures, to propose an adapted filtering solution. This filter was designed in 65nm CMOS, implemented. Measured performance is consistent with requirements.

Keywords : CMOS65nm, Active Inductors, Transmitter, Reconfigurable, Filter

Liste des acronymes

Acronymes anglo-saxons

3G	Third Generation
ADC	Analog-Digital Converter
ACLR	Adjacent Chanel Leakage Ratio
ACPR	Adjacent Chanel Power ratio
ADPLL	All Digital Phase Locked Loop
BAW	Bulk Acoustic Wave
BER	Bit Error Rate
BiCMOS	Bipolar CMOS
BPSK	Binary Phase Shift Keying
CDMA	Code Division Multiple Access
CMOS	Complementary Metal Oxyde Semiconductor
CORDIC	Coordinate Rotation Digital Computer
DAC	Digital Analog Converter
DC-HSUPA	Dual Carrier HSUPA
DCO	Digitaly Controled Oscillator
DFE	Digital Front End
DPA	Digital Power Amplifier
DQRM	Digital Quadrature RF Modulator
DRC	Design Rules Check
DCS	Digital Cellular Service
DSP	Digital Signal Processor
DVB	Digital Video Broadcasting
ECC	European Communications Committee
EDGE	Enhanced Data rate for GSM Evolution
E-EDGE	Evolved EDGE
EER	Envelop Elimination Restoration
EVM	Error Vector Magnitude
FDD	Frequency Division Duplexing
FDMA	Frequency Division Multiple Access
FIR	Finite Impulse Response
GMSK	Gaussian Minimum Shift Keying
GPS	Global Positioning System
GSM	Global System for Mobile communication
HPA	High Performance Analog
HSDPA	High Speed Downlink Packet Access
HSUPA	High Speed Uplink Packet Access
IEEE	Institute of Electrical and Electronics Engineers
IIR	Infinite Impulse Response
ISM	Industry Services Medical
LSB	Least Significant Bit
LSSP	Large Signal S-parameter Simulation

LTCC	Low Temperature Co-fired Ceramic
LTE	Long term Evolution
LUT	Look Up table
MIM	Metal Insulator Metal
MIMO	Multiple Input Multiple Output
MOM	Metal Oxyde Metal
MOSFET	Metal Oxyde Semiconductor Field Effect Transistor
MSB	Most Significant Bit
NRZ	Non Return Zero
NTF	Noise Transfer Function
QPSK	Quadrature Phase Shift Keying
OFDM	Orthogonal frequency Division Multiplexing
OFDMA	OFDM Access
PAE	Power Added Efficiency
PAN	Personal Area Network
PAPR	Peak to Average Power ratio
PCS	Personal Communication System
PLL	Phase Locked Loop
PNA	Power Network Analyzer
PPA	Pre Power Amplifier
PWM	Pulse Width Modulation
QAM	Quadrature Amplitude Modulation
QFN	Quad Flat No lead package
RFDAC	Radio Frequency Digital to Analog Converter
RFFE	Radio Frequency Front End
SC-FDMA	Single Carrier FDMA
SMA	Sub Miniature version A connectors
SNR	Signal to Noise Ratio
SoC	System on Chip
STF	Signal Transfer Function
TDC	Time to Delay Converter
TDD	Time Division Duplexing
TDMA	Time Division Multiple Access
T-DMB	Terrestrial Digital Multimedia Broadcasting
UF	Upsampling Frequency
UMTS	Universal Mobile Telecommunications System
UWB	Ultra Wide Band
VCO	Voltage Controlled Oscillator
VNA	Vector Network Analyzer
W-CDMA	Wideband CDMA
WiFi	Wireless Fidelity
WiMAX	Worldwide Interoperability for Microwave Access
WMAN	Wireless Metropolitan Area Network

Acronymes francophones

ANFR	Agence Nationale des Fréquences
CEPT	Conférence Européenne des administrations des Postes et Télécommunications
DSP	Densité Spectrale de Puissance
E/S	Entrée / Sortie
OL	Oscillateur Local
RF	Radio-Fréquence
TNT	Television Numérique Terrestre
TPG	Temps de Propagation de Groupe
UHF	Ultra Haute Fréquence

Table de Matières

Remerciements	i
Résumé	iii
Abstract	iv
Liste des acronymes	v
Table de Matières	ix
Liste des Figures.....	xi
Introduction	15
Chapitre I. Spécifications des émetteurs cellulaires dans le contexte de la radio reconfigurable.....	17
I.1. Concept de la radio cognitive	17
I.2. Intérêt de la multi-radio	18
I.3. Principaux standards de communication visés	19
I.3.1. Critères génériques de qualification des standards	20
I.3.2. GSM, EDGE et e-EDGE.....	23
I.3.3. UTRA FDD : W-CDMA, HSUPA et HSDPA.....	26
I.3.4. LTE FDD et TDD	30
I.4. Coexistences à prendre en compte dans la conception.....	34
I.5. Conclusion	41
Chapitre II. Architectures d'émission pour les applications multi-radio.....	43
II.1. Critères d'évaluation d'une architecture d'émission	43
II.1.1. Critères liés au standard	43
II.1.2. Critères liés à l'implémentation	45
II.2. Blocs dimensionnant une architecture d'émission.....	47
II.2.1. Conversion Numérique-Analogique	48
II.2.2. Modulateur IQ et transposition	49
II.2.3. Synthèse de fréquence.....	51
II.2.4. Filtrage RF.....	54
II.2.5. Amplification	55
II.3. Etude des architectures d'émission.....	57
II.3.1. Architectures d'émetteurs classiques	57
II.3.2. Architectures à techniques de linéarisation.....	60
II.4. Conclusion	69
Chapitre III. Dimensionnement d'émetteurs « tout numérique » pour des applications cellulaires	71
III.1. Des architectures analogiques aux architectures « tout numérique »	71
III.1.1. Evolution des blocs de mélange et de synthèse.....	71
III.1.2. Intégration de la transposition et de la pré-amplification.....	78
III.2. Contraintes liées à l'utilisation d'architectures « tout numérique »	88
III.2.1. Identification des contraintes.....	88
III.2.2. Identification des besoins en filtrage TX et des solutions possibles.....	92
III.2.3. Solution proposée et dimensionnement de l'architecture.....	104
Chapitre IV. Conception et réalisation d'un filtre RF passe bande reconfigurable à inductances actives en technologie CMOS 65nm	107
IV.1. Définition de la topologie du filtre.....	107

IV.1.1.	Conception du filtre passe bande RF non reconfigurable à 1.95GHz	107
IV.1.2.	Simplification de la structure.....	111
IV.1.3.	Définition d'une loi de reconfigurabilité du filtre	113
IV.2.	Conception d'une inductance active en technologie CMOS avancée	115
IV.2.1.	Principe de fonctionnement d'une inductance active	115
IV.2.2.	Choix de la topologie d'inductance active	122
IV.2.3.	Conception et simulation de deux inductances actives	128
IV.2.4.	Amélioration de la linéarité	136
Chapitre V.	Implémentation et caractérisation du filtre à inductances actives en technologie CMOS 65nm.....	141
V.1.	Implémentation du filtre à inductances actives.....	141
V.1.1.	Plateforme technologique CMOS 65nm	141
V.1.2.	Layout des inductances actives	143
V.1.3.	Layout du filtre passe bande à inductances actives.....	151
V.2.	Caractérisation des inductances actives sous pointes	155
V.2.1.	Méthode de mesure	155
V.2.2.	Performances mesurées de l'inductance active	156
V.2.3.	Comportement en reconfigurabilité	156
V.3.	Caractérisation du filtre passe bande	158
V.3.1.	Mesure en socket de test.....	158
V.3.2.	Extraction des phénomènes parasites	160
V.4.	Comparaison à l'état de l'art et conclusion.....	162
Conclusion et perspectives		165
Bibliographie.....		167
Annexe 1 :		177
Annexe 2 :		179
Annexe 3 :		182

Liste des Figures

Fig. 1. Mesures d'occupation spectrale des bandes GSM900 en fonction de l'heure.....	19
Fig. 2. Illustration de l'ACPR	22
Fig. 3. Illustration de l'EVM.....	22
Fig. 4. Répartition des différentes bandes GSM	24
Fig. 5. Masque d'émission en GSM900.....	24
Fig. 6. Bandes allouées en UTRA FDD	27
Fig. 7. Masque d'émission en UTRA FDD.....	27
Fig. 8. Bruit hors bande en UTRA FDD	28
Fig. 9. Architecture à conversion directe pour A-LTE	29
Fig. 10. Répartition des blocs de ressource.....	30
Fig. 11. Bandes allouées en LTE.....	31
Fig. 12. Masques d'émission LTE en fonction de la largeur de canal normalisé par rapport au niveau de la porteuse	32
Fig. 13. Répartition des ACLR en fonction de la bande passante.....	32
Fig. 14. Répartition des standards de communications cellulaires et de connectivité	34
Fig. 15. Répartition des standards de communications mobiles	34
Fig. 16. Répartition des standards de localisation.....	36
Fig. 17. Bandes allouées pour le Bluetooth.....	37
Fig. 18. Bandes TV DVB-H et T-DMB	39
Fig. 19. Coexistence entre bandes cellulaires et bandes WiFi	40
Fig. 20. Répartition des bandes cellulaire et WiMAX	41
Fig. 21. Architecture à conversion directe	48
Fig. 22. Modulateur IQ.....	50
Fig. 23. Illustration d'une PLL.....	51
Fig. 24. Impact de la synthèse sur le spectre.....	52
Fig. 25. PLL Hybride proposée par [Valenta, 2011].....	53
Fig. 26. Effet non linéaires dans un amplificateur de puissance	55
Fig. 27. Illustration du point de compression 1dB et de l'IP3	55
Fig. 28. Les différentes classes d'amplification.....	56
Fig. 29. Architecture de type homodyne ou à conversion directe.....	57
Fig. 30. Solution à double VCO pour diminuer le couplage d'OL [Brenna, 2004].....	58
Fig. 31. Architecture RFIC [Masse, 2006].....	58
Fig. 32. Architecture de type hétérodyne	59
Fig. 33. Technique de linéarisation par contre réaction	61
Fig. 34. Technique de linéarisation par anticipation ou feed forward.....	61
Fig. 35. Technique de la prédistorsion	62
Fig. 36. Architecture utilisant la pré distorsion adaptative	62
Fig. 37. Principe du LINC.....	63
Fig. 38. Architecture Callum.....	64
Fig. 39. Architecture EER	65
Fig. 40. Architecture EER à boucle de contre réaction en amplitude	66
Fig. 41. Architecture EER à boucle de contre réaction en phase	67
Fig. 42. Architecture polaire associée à un amplificateur classe E.....	68

Fig. 43. Architecture à conversion directe	71
Fig. 44. Architecture DDRM [Eloranta, 2008]	72
Fig. 45. Principe de fonctionnement du RFDAC	72
Fig. 46. RFDAC adapté aux signaux à fort PAPR	73
Fig. 47. Architecture DDRM à création de « notches »	74
Fig. 48. Spectre en sortie de l'architecture DDRM à création de « notches »	75
Fig. 49. Evolution d'une PLL analogique vers un PLL numérique	76
Fig. 50. Principe de fonctionnement du Time to Digital Converter	76
Fig. 51. Exemple d'un DCO 4bits	76
Fig. 52. Evolution d'une architecture à mélange analogique vers une architecture à mélange numérique	77
Fig. 53. Evolution vers une architecture « tout numérique »	78
Fig. 54. Principe du Digital Power Amplifier (DPA)	79
Fig. 55. Architecture « tout numérique » à amélioration du bruit [Waheed, 2008]	80
Fig. 56. Architecture DQRM	82
Fig. 57. Etage DPA de l'architecture DQRM	83
Fig. 58. Exemple d'une séquence de mélange dans l'architecture DQRM	85
Fig. 59. Répartition des niveaux d'amplitude entre signal I et signal « abs(I+Q) »	85
Fig. 60. Répartition des probabilité de niveau des signaux I Q vs Abs(I+Q) et Abs(I-Q)	86
Fig. 61. Spectre simulé de l'architecture DQRM avec une erreur de déphasage de 2° entre les 4 horloges	87
Fig. 62. Schéma de simulation de l'architecture DQRM sous Agilent ADS	88
Fig. 63. Simulation du spectre d'un signal GSM codé sur 15 bits en sortie de l'architecture pour un coefficient de sur-échantillonnage de 20.	89
Fig. 64. Simulation du spectre d'un LTE20MHz codé sur 15bits en sortie de l'architecture pour un coefficient de sur-échantillonnage de 10	89
Fig. 65. Niveau des répliques en fonction de la largeur de bande du signal	90
Fig. 66. Impact du facteur de sur-échantillonnage sur le niveau des répliques	90
Fig. 67. Spectre en sortie de l'architecture pour une fréquence de sur-échantillonnage de 200MHz	91
Fig. 68. Evolution du niveau de bruit en fonction du nombre de bits et de la largeur de bande	92
Fig. 69. Tableau de répartition des besoin en filtrage des répliques en fonction de la bande cellulaire	93
Fig. 70. Identification des différents leviers de filtrage	94
Fig. 71. Solution de filtrage numérique par cascade de FIR et IIR [Eloranta, 2007]	96
Fig. 72. Structure Radix 8 à 26 coefficients [Galezzi, 2007]	97
Fig. 73. Solution de RFDAC avec filtre FIR intégré [Taleie, 2006]	98
Fig. 74. Illustration de la fonction de filtrage RFDAC Sigma Delta avec FIR Intégré [Taleie, 2006] [Jerng, 2007]	99
Fig. 75. Architecture DQRM avec méthode de dithering par modulateur SD	99
Fig. 76. Illustration des performances de l'architectures [Parikh, 2009b]	100
Fig. 77. Spectre en sortie du modulateur Sigma Delta Complexe [Nzeza, 2008]	101
Fig. 78. Filtre LC reconfigurable pour les applications multi-standards [Nakaska, 2007] ...	102
Fig. 79. Topologies d'un filtre en échelle (a) ou en treillis (b)	104
Fig. 80. Spectre simulé de la bande 1 LTE 5MHz en sortie de l'architecture DQRM VS bandes de coexistence	105
Fig. 81. Illustration du filtrage nécessaire (avant dernière colonne) pour chaque bande après gestion des répliques	106

Fig. 82. Filtre « Elliptic » d'ordre 4	108
Fig. 83. Filtre « Elliptic » d'ordre 7	108
Fig. 84. Filtre « Biquadratique » d'ordre 6	109
Fig. 85. Topologie du filtre RF passe bande	109
Fig. 86. Impact de C_1 sur le comportement du filtre	110
Fig. 87. Amélioration de la sélectivité du filtre par optimisation de L_1 et C_1	110
Fig. 88. Impact des variations de C_3 sur le comportement du filtre	111
Fig. 89. Topologie et fonction de transfert du filtre	112
Fig. 90. Impact de L_2 sur le comportement du filtre	112
Fig. 91. Loi de reconfigurabilité du filtre passe bande.....	113
Fig. 92. Réponse (S_{21}) du filtre reconfigurable en fréquence centrale	113
Fig. 93. Topologie différentielle du filtre passe bande	114
Fig. 94. Sensibilité du filtre aux déviations des éléments capacitifs.....	114
Fig. 95. Schéma de principe d'un gyrateur sans pertes.....	116
Fig. 96. Schéma de principe et équations d'un gyrateur avec pertes	117
Fig. 97. Schéma équivalent d'une inductance active non flottante.....	117
Fig. 98. Diagramme de Bode d'une inductance active simple.....	119
Fig. 99. Influence de la résistance série sur le facteur de qualité.....	120
Fig. 100. Inductance active dite de Hara	122
Fig. 101. Inductance active reconfigurable dite de Karsilayan-Schaumann	123
Fig. 102. Inductance cascodée de Thanachayanont-Payne	124
Fig. 103. Schéma équivalent de l'inductance cascodée à résistance de contre-réaction.....	125
Fig. 104. Simulation de l'inductance active 1.1nH en fonction de la fréquence	129
Fig. 105. Loi de reconfigurabilité du facteur de qualité en fonction de la fréquence d'accord du filtre	130
Fig. 106. Optimisation du facteur de qualité en fonction de la fréquence d'accord du filtre.	130
Fig. 107. Schéma du filtre « single » à inductances actives (1.8GHz).....	131
Fig. 108. Réponse (S_{21}) du filtre single 1.8GHz à base d'inductances actives	132
Fig. 109. Schéma du filtre « Différentiel » à inductances actives (1.95GHz)	132
Fig. 110. Loi de reconfigurabilité du filtre différentiel à inductances actives cascodées différentielles.....	133
Fig. 111. Réponse du filtre différentiel à inductances actives (S_{21}) dans le cadre d'une reconfiguration en fréquence.....	133
Fig. 112. Influence de la puissance d'entrée sur le S_{21} du filtre entre -40 et -10dBm.....	134
Fig. 113. Evolution de la valeur de l'inductance (1.1nH) et du facteur de qualité en fonction de la puissance.....	135
Fig. 114. Schéma de l'inductance active avec les sources limitant le courant.....	136
Fig. 115. Schéma de l'inductance « single » avec circuit de linéarisation.....	137
Fig. 116. Recalage du facteur de qualité en fonction du courant I_{bias1}	138
Fig. 117. Schéma de l'inductance différentielle avec circuit de linéarisation.....	138
Fig. 118. Impact de la linéarisation sur les performances des inductances différentielles	139
Fig. 119. Pertes d'insertion de deux filtres après linéarisation des inductances actives	139
Fig. 120. Consommation de l'inductance différentielle en fonction de la marge de déviation de L	140
Fig. 121. Flot de conception pour la technologie ST CMOS65nm.....	142
Fig. 122. Schéma Virtuoso de l'inductance différentielle 1.1nH.....	144
Fig. 123. Exemple du layout d'un transistor MOS à huit doigts de grille	144
Fig. 124. Transistor PMOS cascadé issue d'une source de courant de contrôle de l'inductance	145

Fig. 125. Organisation des accès vers les plots de test.....	146
Fig. 126. Layout de l'inductance différentielle de 1.1nH avec circuit de linéarisation	147
Fig. 127. Impact des éléments parasites du layout sur le comportement de l'inductance active	148
Fig. 128. Illustration des capacités « frange » dans un transistor CMOS.....	149
Fig. 129. Couplage entre même niveaux de métallisation	149
Fig. 130. Correction du layout pour diminuer les éléments parasites	150
Fig. 131. Inductance active différentielle 1.1nH avec la couronne de plots de test.....	151
Fig. 132. Layout initial du filtre passe bande 1.95GHz à inductance actives	152
Fig. 133. Réponse du filtre avec le modèle complet des inductances actives.....	152
Fig. 134. Réponse du filtre avec extraction de tous les parasites.....	153
Fig. 135. Identification des contributions aux pertes d'insertion des résistances parasites dans le filtre	154
Fig. 136. Layout du filtre différentiel (0.13mm ²) avec amélioration des interconnexions	154
Fig. 137. Layout final du filtre avec plots (0.7mm ²) et réponse en transmission S_{21} (dB).....	155
Fig. 138. Dispositif de mesure de l'inductance active différentielle.....	155
Fig. 139. Comportement mesuré de l'inductance active 1.1nH en fonction de la puissance d'entrée.....	156
Fig. 140. Illustration de l'impact des différents courants de contrôle sur le comportement de l'inductance	156
Fig. 141. Impact du contrôle de la tension de l'étage cascode sur les performances de l'inductance	157
Fig. 142. Photographie du filtre 1.95GHz avec les fils d'interconnexion.....	158
Fig. 143. Carte de test avec « socket » pour la mesure du filtre en package QFN 4x4mm ...	158
Fig. 144. Comparaison de la réponse du filtre 1.95GHz entre mesure et simulation post-layout	159
Fig. 145. Illustration des parasites dus au « socket » et aux fils d'interconnexion.....	160
Fig. 146. Réponse du filtre S_{21} (dB) (Jaune) après ajout des parasites externes.....	161
Le levier suivant qu'il nous faut analyser est celui de la température ambiante de mesure et de simulation qui peut modifier le comportement des transistors du circuit	161
Fig. 147. Simulation du filtre avec modèle de « socket » et élévation de la température à 45°C	161
Fig. 148. Filtre soudé directement sur la carte de test.....	162
Fig. 149. Etat de l'art des filtres passe bande à inductances actives CMOS.....	163
Fig. 150. Topologie et fonction de transfert du filtre	182
Fig. 151. Approximation de la fonction de transfert du filtre biquadratique simplifiée	182

Introduction

Cette thèse s'inscrit dans le contexte d'études sur l'évolution des architectures d'émission pour les applications mobiles. Ces dernières années, de nombreux travaux ont été menés à la fois au niveau académique et industriel, permettant d'envisager l'utilisation d'architectures d'émission multistandards. Dans un second temps, afin d'éviter la mise en parallèle de plusieurs architectures, chacune dédiée à un standard, la communauté scientifique s'est orienté vers le développement d'architectures radio reconfigurables. Ceci introduit alors le cadre de notre étude. En effet, afin de rendre une architecture reconfigurable il est nécessaire, soit de rendre chaque bloc reconfigurable, soit de revoir la structure même de l'architecture. Dans cette thèse, nous avons décidé de nous intéresser à la seconde option. De plus, les nouvelles technologies CMOS sub-microniques ouvrent de nombreuses possibilités dans le domaine de la numérisation des architectures, tout en garantissant un bon compromis entre consommation et reconfigurabilité. Nous montrons dans cette thèse qu'il est possible de tendre vers des architectures d'émission dites « tout numérique » à travers un nouveau type de topologies basées sur une approche échantillonnée du signal à émettre.

Le rapport de thèse est structuré en cinq chapitres, en partant des contraintes des standards cellulaires actuels puis au travers du dimensionnement des architectures d'émission « tout numérique », l'identification de leurs limitations spectrales, de la proposition d'une méthode d'optimisation du sur-échantillonnage en concluant par la proposition d'une solution complète de filtrage reconfigurable.

Le premier chapitre permet de situer le contexte radio de l'étude, au travers de la définition de l'intérêt et des défis de la multiradio par des mesures d'occupation spectrale entre 400 MHz et 6GHz. Ce chapitre détaille ensuite les particularités de chaque standard cellulaire à l'émission et les cas de coexistence les plus critiques. Cette étape nous permettra ensuite d'avoir un dimensionnement optimal des architectures, notamment au niveau des contraintes spectrales.

Le second chapitre présente un état de l'art des architectures d'émission pour les applications multiradio. Ceci permet de poser les bases des architectures d'émission analogiques, d'identifier les critères d'évaluation d'une architecture et d'en extraire quelques architectures à la fois flexibles et capable d'émettre les différentes formes d'ondes des standards cellulaires actuels, tout en assurant un rendement optimal.

Le troisième chapitre montre l'évolution progressive des architectures analogiques vers des architectures « tout numériques ». Pour cela, nous montrons comment sont numérisés chaque bloc d'une architecture analogique, tout en identifiant les nouvelles contraintes que cela implique. Enfin

nous présentons une architecture « tout numérique » incluant une partie de l'amplification de puissance. Cette nouvelle topologie d'architecture est à la base du dimensionnement des contraintes de conception (fréquence de sur-échantillonnage, nombre de bits de quantification) pour chacune des bandes cellulaires. Compte tenu des contraintes de coexistence dans le spectre et de la présence de raies de sur-échantillonnage, nous proposons une solution de gestion des fréquences de sur-échantillonnage en fonction de la bande émise. Cependant un filtrage externe reste nécessaire pour atténuer ces raies dues à la nature numérique des architectures. Pour chacune des bandes cellulaires, sont alors estimés les besoins en filtrage.

Le quatrième chapitre détaille la conception d'un filtre passe bande reconfigurable de 1710MHz à 1980MHz basé sur l'utilisation de cellules LC. Cependant, afin de minimiser les pertes d'insertion dans le filtre et d'augmenter les possibilités de reconfigurabilité, nous avons remplacé les inductances passives par des inductances actives hautement linéaires en technologies CMOS 65nm. Nous détaillons alors la méthode de conception de ces inductances ainsi que les critères de reconfigurabilité. Chaque partie de cette étude est illustrée par des simulations, jusqu'à la simulation globale du filtre utilisant ces inductances.

Enfin, le cinquième chapitre montre les étapes de « layout » et de mesure d'un filtre passe bande centré à 1.95GHz et basé sur l'utilisation d'inductances actives. Nous avons alors mesuré un filtre ayant 0.1dB de pertes d'insertion, une bande passante de 135MHz et au moins 24dB d'atténuation à 400MHz du centre de bande.

En conclusion et perspectives, nous illustrons la capacité à utiliser ce type de filtre dans les architectures multiradio « tout numérique » en lieu et place par exemple d'autres techniques de filtrage présentant des pertes d'insertion supérieures à 2-3dB et reportant ainsi la nécessité d'un gain supérieur au niveau de l'étage d'amplification.

Cette thèse a fait l'objet de 5 publications dans des conférences internationales, 2 publications en conférence nationale, de la présentation d'un short course et de 2 chapitres d'ouvrages.

Chapitre I. Spécifications des émetteurs cellulaires dans le contexte de la radio reconfigurable

Dans ce chapitre, nous abordons le contexte radio dans lequel nous avons mené notre étude. En amont d'une étude système détaillée sur les architectures d'émission cellulaires « tout numérique », il convient de comprendre dans un premier temps le concept de la multi radio, et de présenter les contraintes spectrales liées. Dans un second temps, l'étude des contraintes spectrales se fera par l'analyse des différentes caractéristiques et spécifications de chaque standard cellulaire ou de connectivité. Enfin, nous identifierons les cas de coexistence potentiels, que ce soit dans les modes cellulaires Frequency Division Duplex (FDD) mais aussi avec les autres standards de connectivité tels que le WiFi, ou bien encore le GPS.

I.1. Concept de la radio cognitive

La radio cognitive peut être vue comme une association intelligente entre la radio conventionnelle (nombre fixe de systèmes et de services) tel qu'un terminal GSM, et la radio logicielle (variation dynamique des systèmes et services). En résumé, c'est un système radio mobile capable de s'adapter dynamiquement à son environnement en fonction de la demande (débit, puissance, nombre d'utilisateurs) et par rapport à l'occupation spectrale à un moment donné [Jondral, 2008]. Sonder son environnement spectral permet ainsi de garantir à l'utilisateur un débit optimum pour un taux d'erreur bit (BER) et un temps de latence minimum. Ainsi le concept de radio cognitive induit la coopération entre terminaux afin d'optimiser au mieux le partage du spectre.

De nos jours, les débits de données sont de plus en plus importants avec le développement de nouveaux services tels que la vidéo en *streaming* ou la visiophonie. Dans ces cas précis, c'est le partage du spectre qui est le plus limitant. L'émetteur ne profite pas des bandes adjacentes qui sont potentiellement libre et qui pourrait lui permettre d'étendre sa bande utile. Une étude menée en 2009 en collaboration avec Vaclav Valenta et Martha Suarez dans le laboratoire ESYCOM [Valenta, 2009a] et présenté à [ShC, 2010] met en avant ce phénomène de sous occupation de certaines bandes radio. Ce point sera développé dans la seconde partie de ce chapitre.

Notre problématique est alors d'étudier la faisabilité d'un système d'émission reconfigurable de façon opportuniste. Cependant, les architectures actuelles sont principalement basées sur l'utilisation de

bloc analogique optimisés en performances pour un standard mais à faible potentiel de reconfigurabilité [Dellsperger, 2006].

Tenant compte de ces limitations, on voit néanmoins apparaître dès 1999 [Mittola, 1999] la théorie de la Software Defined Radio (SDR). Le principe est de numériser au maximum les éléments de la chaîne d'émission afin d'intervenir de façon logicielle dans la reconfiguration fréquentielle de l'architecture. Cet ensemble de blocs numériques se regroupe sous l'appellation Digital Front End (DFE). D'après cette théorie, le but est de ne conserver analogique dans la chaîne d'émission, qu'une partie de l'amplification et le filtrage d'antenne. Cependant, nous verrons dans le second chapitre que le dimensionnement de ces blocs est très contraignant et limité par les verrous technologiques, pour les fréquences porteuses au-delà du GHz.

Pour le moment, il est difficile à un système d'être hautement reconfigurable à la fois en fréquence, en largeur de bande et en puissance de façon opportuniste en fonction de l'état du spectre.

Ce qui définit le principe de la multiradio, est la capacité de reconfigurer les blocs tout en connaissant à l'avance les plages de variation des paramètres, définis par le nombre de bandes cellulaires ou de connectivité existantes. Cela se fait en intervenant directement dans la couche physique sur les blocs analogiques et numériques par commandes discrètes.

I.2. Intérêt de la multi-radio

Comme expliqué ci-dessus, la multiradio ne considère qu'un nombre fini de bandes et de standards prédéfinis lors de la conception. Ce système ne pourra utiliser que les bandes de ces différents standards même si d'autres espaces sont libres dans le spectre. Leur utilisation doit de plus être respectueuse des standards voisins. En ce qui concerne les émetteurs actuels, la plage de travail se situe entre 700MHz et 6GHz selon les standards.

L'étude menée en 2009 [Valenta, 2009a, 2009b] a permis d'établir que même sur un nombre de bandes fixes prédéfinies et allouées, il existe des taux d'occupation très différents en fonction de la région et de l'heure de la journée. Pour identifier les possibilités d'utilisation de bandes à faible taux d'occupation, nous les avons identifiées en utilisant une antenne logarithmo-périodique avec 30° d'ouverture sur la bande 400MHz – 6GHz (330 sous bandes de 20MHz avec 55KHz de résolution). Les mesures ont été effectuées sur le toit de l'ESIEE Paris, selon 12 segments de 30° chacun observés sur 24 heures. Au bout de 12 jours, les spectres journaliers ont été concaténés. Dans cette étude, on considère qu'une bande est dite occupée si le niveau de puissance moyenne est supérieur de 7dB par rapport à la moyenne du bruit mesuré.

Par exemple sur la figure 1 on peut observer la mesure d'occupation spectrale des bandes GSM900 sur trois jours différents. On voit que le premier jour le réseau est particulièrement sollicité.

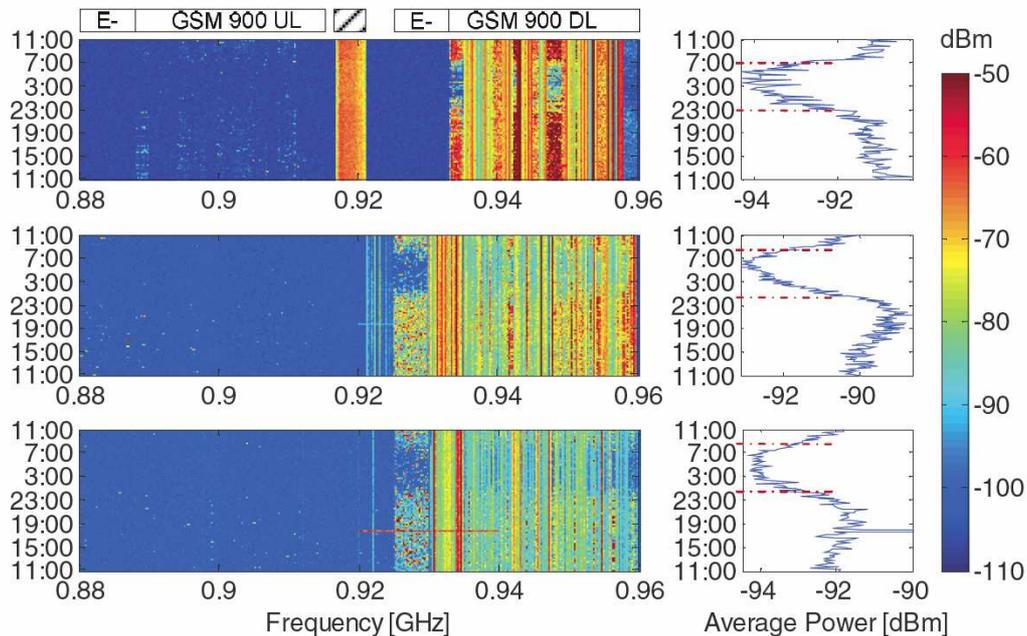


Fig. 1. Mesures d'occupation spectrale des bandes GSM900 en fonction de l'heure

Nous avons donc identifié que le taux d'occupation moyen des bandes GSM 900 était de 48%, quand à celui des bandes UMTS (1900-1980, 2010-2025, et 2110-2170), il est seulement de 17%. Certaines bandes ne sont donc utilisées que très peu et permettraient d'accueillir le trafic d'autres standards. Il est donc de l'intérêt de tous les fabricants de terminaux mobile de concevoir des systèmes d'émission reconfigurables, en accord avec les principaux organismes de régulation internationaux (UIT), européens (ECC, CEPT) et nationaux (ANFR).

I.3. Principaux standards de communication visés

Le but de cette partie est de définir un ensemble de critères de comparaison dans la spécification des différents standards cellulaires visés. Cela permet d'appréhender les défis qu'introduisent ces standards dans la conception d'architecture d'émetteurs pour des téléphones portables.

Chaque standard requiert une occupation spectrale, une puissance à l'antenne et des caractéristiques de modulation qui lui sont propres, par exemple telles que l'Error Vector Magnitude(EVM) ou l'Adjacent Chanel Leakage Ratio (ACLR). Le dimensionnement d'une chaîne d'émission nécessite une parfaite connaissance de ces grandeurs. Celles-ci donnent une information sur les capacités de chaque standard à pouvoir cohabiter avec les autres. Bien entendu, les standards sont déployés de façon différente à travers le monde et les cas d'étude de cohabitation varient en fonction de cela. Les standards qui ont été choisis sont ceux dont l'intégration dans un même système est la plus probable pour les années

futures. Outre les standards actuellement déployés de 2G (GSM EDGE) et de 3G (HSUPA), il semble que le LTE ait pris le dessus par rapport au WiMAX du point de vue des constructeurs et des opérateurs dans le déploiement de WMAN (Wireless Metropolitan Area Networks). Dans la partie suivante nous allons présenter les différents critères de qualification des standards, tels que la méthode d'accès, la modulation, les critères spectraux et de puissance.

I.3.1. Critères génériques de qualification des standards

I.3.1.1. Méthodes d'accès

On peut différencier principalement, trois méthodes d'accès : FDMA, TDMA , CDMA et OFDMA.

Le TDMA (Time Division Multiple Access) est un mode de multiplexage temporel permettant d'avoir plusieurs utilisateurs dans une même bande de fréquences. Cette méthode d'accès est particulièrement utilisée dans la norme GSM dans laquelle chaque canal accepte jusqu'à huit utilisateurs simultanés. Cette méthode requiert une très bonne synchronisation.

Le FDMA (Frequency Division Multiple Access) est un mode de multiplexage fréquentiel destiné à la téléphonie mobile. Il s'agit d'un découpage en sous bandes de fréquence de manière à attribuer une partie du spectre à un utilisateur. Chaque utilisateur se voit attribuer une bande de fréquence, précise de largeur dépendante du standard appliqué. Les bandes de fréquences pour chacun des utilisateurs peuvent être également allouées de façon dynamique, en fonction du nombre d'utilisateurs et du débit nécessaire à chacun d'eux.

Le CDMA (Code Division Multiple Access) est une méthode d'accès par répartition en code, basée sur une technique d'étalement du spectre. Ainsi plusieurs liaisons peuvent utiliser simultanément la même fréquence porteuse. Cette méthode est principalement utilisée dans les réseaux de téléphonie mobile au travers du CDMA2000 en 3G et du W-CDMA. Mais cette méthode est également utilisée dans des applications satellitaires au travers du GPS, de Glonass et Galileo.

L'OFDMA (Orthogonal Frequency Division Multiple Access) peut être vue comme une méthode d'accès alliant CDMA et OFDM. Chaque utilisateur se voit attribuer un code d'étalement spectral et un ensemble de sous porteuses en fonction du débit dont il a besoin. L'OFDMA est plus particulièrement utilisé avec le standard WiMAX.

On peut aussi introduire le SC-FDMA (Single Carrier FDMA), qui est une FDMA, concentrant l'étalement dans une bande autour d'une porteuse afin de limiter le PAPR (Peak to Average Power Ratio). Cette méthode d'accès sera plus précisément détaillée lors de l'étude du standard LTE.

I.3.1.2. Modulations

La modulation utilisée a un impact direct dans la conception des architectures d'émission. En effet si on prend le cas du GSM qui utilise une modulation GMSK, alors on aura une dynamique de l'enveloppe de 0dB si l'on ne prend pas en compte le filtre de mise en forme qui introduit presque 3dB de variation. Par contre si l'on étudie le WiMAX on aura une dynamique d'enveloppe allant jusqu'à 29dB max (moins de 20dB 90% du temps) si on utilise une modulation 64QAM. D'autres schémas peuvent être utilisés en WiMAX tels que QPSK ou 16-QAM car le 64-QAM est considéré comme optionnel pour le moment. De plus le choix du schéma de modulation aura un impact direct sur le débit « données » du standard. Dans ces deux cas de figure, chacun des éléments de la chaîne d'émission et en particulier l'amplificateur de puissance, doivent être conçus en utilisant deux approches différentes, la première avec un amplificateur linéaire, la seconde avec une technique de réduction du « back off ». Le but est d'éviter les distorsions du signal, dues aux non linéarités des blocs de la chaîne d'émission. Pour un seul standard il existe plusieurs schémas de modulation, comme nous pourrions le voir dans le cas du WiMAX.

I.3.1.3. Critères spectraux et de puissance

- Bandes allouées pour l'émission :

Les bandes allouées pour les standards sont définies par des organismes nationaux et internationaux. Compte tenu des bandes allouées dans chacune des régions du monde, les caractéristiques d'émission et de réception (spectre, puissance, débits...) sont définies par des organismes tels que l'ETSI, le 3GPP ou IEEE en fonction du standard et de l'application visée. Ainsi selon la région de déploiement les bandes utilisées ne sont également pas les mêmes. Par exemple dans le cas du WiFi, le standard utilise les bandes ISM et est donc soumis à des restrictions différentes selon la région d'utilisation.

- Bruit d'intermodulation :

Le bruit d'intermodulation, exprimé en dBc décrit le niveau maximum des produits d'intermodulation créés par la proximité de deux canaux utilisés par deux utilisateurs. C'est donc un critère qui impose une forte contrainte d'immunité pour l'émetteur.

- L'ACPR (Adjacent Channel Power Ratio) :

L'ACPR illustré à la figure 2, décrit le niveau de puissance des émissions du standard dans les bandes adjacentes. Il est exprimé comme le rapport (en dB) entre la puissance dans le canal adjacent par rapport à la puissance dans le canal principal. Ce critère est révélateur de la linéarité de l'émetteur.

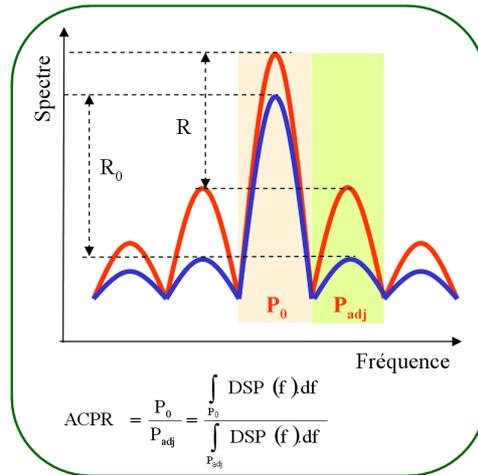


Fig. 2. Illustration de l'ACPR

- Bruit hors bande :

Le bruit hors bande caractérise les niveaux de puissances acceptés hors bande afin de garantir la coexistence avec d'autres standards. Ce bruit peut être causé par des phénomènes de fuite (OL, « cross talk ») ou de pollution du spectre par des harmoniques ou des produits d'intermodulation. Un filtrage est souvent nécessaire pour tenir la limite imposée.

- Puissance minimale et maximale d'émission :

C'est la puissance minimum nécessaire à l'émission afin de garantir la bonne réception du signal par la station de base ou du concentrateur dans le cadre du WiFi. Comme précédemment la puissance maximum est la puissance limite à l'émission.

- EVM (Error Vector Magnitude) :

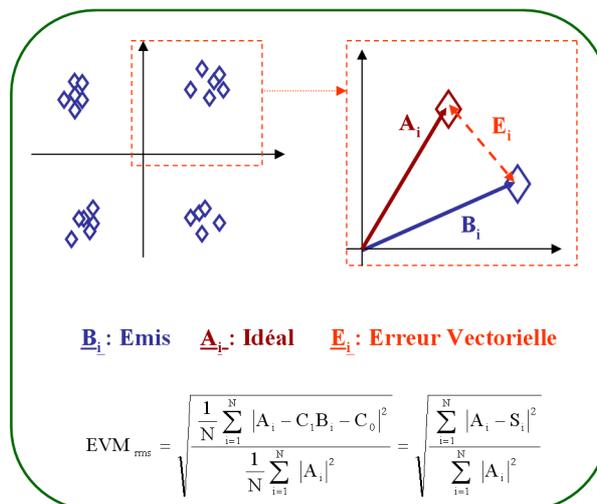


Fig. 3. Illustration de l'EVM

L'EVM illustré à la figure 3, est exprimée en degrés en GSM et en pourcents (dans le cadre du WiMAX notamment, exprimée en dB) elle est une mesure utilisée pour quantifier les performances d'un émetteur de radio numérique ou récepteur. Un signal envoyé par un émetteur idéal ou reçu par un récepteur aurait précisément tous les points de la constellation à l'emplacement idéal. Toutefois diverses imperfections dans la mise en œuvre, comme les fuites d'oscillateur local (OL), le faible taux de rejection d'image, le bruit de phase, la limite de bande passante ou le bruit, tendent à écarter les points de la constellation de leur emplacement idéal. L'EVM caractérise la façon dont les points ont déviés par rapport à la position idéale.

I.3.2. GSM, EDGE et e-EDGE

- Méthode d'accès multiple :

En GSM, on utilise deux types de méthode d'accès. On peut utiliser le TDMA sur 8 « timeslot » et donc avoir 8 utilisateurs par canal lorsque l'on fait du multiplexage fréquentiel. On peut également utiliser du FDMA.

- Modulation :

La modulation utilisée en GSM est la modulation GMSK avec un BT (Bande/temps) de 0.3. Dans le cas de l'évolution EDGE du GSM, la modulation utilisée est une 8-PSK. Une évolution de EDGE utilise une modulation 16-QAM. Actuellement EDGE utilise une 8-PSK une 16-QAM permettra de passer à 4bits au lieu de trois.

- Type de duplexage :

C'est un duplexage FDD dans le cas du GSM, associé à une méthode d'accès TDMA. Cela permet une multiplication du nombre d'utilisateurs en fonction du nombre de canaux utilisables dans une même bande. Par exemple, en DCS1800 la bande allouée à l'émission (1710 – 1785 MHz) dispose de 375 canaux, soit 3000 utilisateurs potentiels au maximum.

- Séparation entre les canaux :

La séparation entre chaque canal est de 200KHz. On peut donc connaître la répartition du nombre de canaux dans chacune des bandes, ainsi pour le DCS1800 nous aurons 375 canaux.

- Largeur de bande du signal :

En GSM, les différents canaux sont très proches les uns des autres puisque la largeur de bande du signal est égale à 200KHz soit la même valeur que l'espacement entre les canaux.

- Débits :

Le débit théorique est de 270.833 Ks/s par canal, sachant que dans chaque canal apparaissent 8 utilisateurs maximum. Le débit maximal par utilisateur est de 171 kbit/s en GSM (GMSK) et de 495 kbit/s en EDGE (8-PSK) avec un débit parole de 13 kbit/s par utilisateur dans les deux cas. Le E-EDGE introduit l'utilisation de plusieurs porteuses en voie descendante afin d'augmenter le débit.

- Efficacité spectrale :

En GSM, l'efficacité spectrale est de 0,85 bit/s/Hz, alors qu'en EDGE elle est de 2,47bits/s/Hz soit presque trois fois supérieure au prix cependant d'un PAPR plus élevé.

- Bandes allouées pour l'émission :

Ici, nous n'observons que les bandes GSM en émission :

Bande GSM850	824 MHz à 849 MHz
Bande GSM900P	890 MHz à 915 MHz
Bande GSM900E	880 MHz à 915 MHz
Bande GSM900T	870.4 MHz à 876 MHz
Bande DCS1800	1 710 MHz à 1 785 MHz
Bande PCS1900	1 850 MHz à 1 910 MHz

Fig. 4. Répartition des différentes bandes GSM

- Bruit hors bande :

Dans un premier temps, nous nous intéressons aux émissions dues à la modulation et au bruit large bande. Nous prenons l'exemple de celle du GSM900 avec la modulation GMSK pour des puissances de sortie comprises entre 33 et 39 dBm, qui sont les puissances requises pour une station mobile. Dans ce cas, la classe de puissance utilisée sera une classe 4 (33dBm). Pour le DCS 1800 (en GMSK) la classe de puissance utilisée sera une classe 1 (30dBm). Aussi, par exemple pour le GSM900, on peut définir le masque pire cas à respecter dans le cadre d'une modulation GMSK:

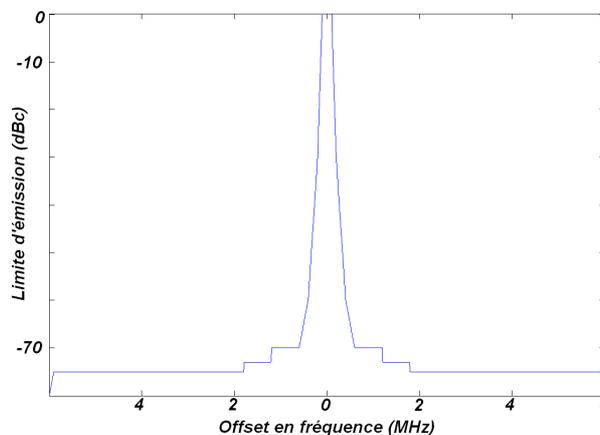


Fig. 5. Masque d'émission en GSM900

Pour le DCS, le masque est plus sévère de 2dB au-delà de 6MHz de la porteuse. Si l'on n'utilise pas une GMSK alors les niveaux de puissance tombent à 27dBm pour le GSM900 et à 26dBm pour le GSM1800.

Pour le GSM900 et le DCS1800, les émissions parasites ne doivent en aucun cas dépasser : -36 dBm dans la bande 9 kHz à 1 GHz; -30 dBm dans la bande 1 GHz à 12,75 GHz.

La puissance mesurée dans une bande de 100 kHz, lorsque le téléphone est en mode veille, ne doit pas dépasser: -57 dBm dans la bande 9 kHz à 1 000 MHz; -47 dBm dans la bande 1 - 12.75 GHz.

Cependant, il existe des exceptions que nous définissons en Annexe 1.

- Bruit d'intermodulation :

Il ne doit pas dépasser -70dBc, ou -36dBm (prendre le pire cas), sur un « timeslot ». Cela doit être vérifié pour des fréquences comprises entre 6MHz et la limite de la bande suivante.

- Puissance maximale et minimale d'émission :

Les puissances maximales d'émission (en dBm) sont les suivantes en GMSK

Pour GSM 900 : GMSK : 33dBm (± 2 dB) QAMs : 27dBm (-4 à +3dB)

Pour DCS 1800 : GMSK : 30dBm (± 2 dB) QAMs : 27dBm (-4 à +3dB)

Les puissances minimales d'émission sont de 5dBm en GSM et de 0dBm en DCS.

- EVM :

Lorsque l'on travaille en GMSK, l'EVM est uniquement liée à l'erreur de phase :

5° RMS et maximum 20° en valeur pic.

Lorsque l'on travaille dans une autre modulation QAM (pour le EDGE), nous devons avoir :

9% d'EVM en conditions normales.

10% d'EVM RMS en conditions extrêmes.

30% d'EVM pic en conditions extrêmes.

I.3.3. UTRA FDD : W-CDMA, HSUPA et HSDPA

Les standards présentés dans cette partie sont définis comme étant des standards 3G permettant d'atteindre des débits de données supérieurs à ceux de l'EDGE tout en permettant le transfert de données vocales. Ces standards ont été développés dans le but de répondre à une demande croissante en termes de trafic de données (type mail, navigation internet).

- Méthode d'accès multiple :

La méthode d'accès multiple utilisée est le CDMA (Code Division Multiple Accès).

- Modulation :

Initialement, la modulation utilisée est la QPSK. Cependant l'évolution du standard vers le HSDPA a amené à utiliser une modulation 16-QAM pour augmenter le débit, avec une bande 3.84MHz.

- Type de duplexage :

Le duplexage utilisé est le FDD, permettant de répartir chaque utilisateur en fréquence à un instant donné. Un utilisateur peut prendre plusieurs fréquences en même temps en fonction de leur nombre, du débit demandé par chacun et du gabarit à l'émission.

- Séparation entre les canaux :

La séparation entre les canaux est de 5MHz entre les fréquences centrales des canaux. La marge de 1.16MHz entre canaux, permet d'avoir un masque certainement moins sévère qu'en GSM.

- Débits :

Le débit symbole par canal est de 3,84Mcps, et le débit parole par utilisateur est de 12,2Kbit/s. Si l'on s'intéresse à la voie montante on peut atteindre des débits de l'ordre de 200Kbit/s en QPSK, jusqu'à 42Mbits/s dans l'évolution HSDPA associée à une technologie MIMO.

- Bandes allouées pour l'émission :

Il existe 15 bandes de fréquences (UL et DL) réparties dans le spectre. Nous détaillons ici les 15 bandes en émission ainsi que l'espacement avec les bandes de réception.

Bandes	Bandes UL allouées	Espacement UL-DL
1	1920 - 1980 MHz	190 MHz
2	1850 - 1910 MHz	80 MHz.
3	1710 - 1785 MHz	95 MHz.

4	1710 - 1755 MHz	400 MHz
5	824 - 849 MHz	45 MHz
6	830 - 840 MHz	45 MHz
7	2500 - 2570 MHz	120 MHz
8	880 - 915 MHz	45 MHz
9	1749.9 - 1784.9 MHz	95 MHz
10	1710 - 1770 MHz	400 MHz
11	1427.9 - 1452.9 MHz	48 MHz
12	698 - 716 MHz	30 MHz
13	777 - 787 MHz	31 MHz
14	788 - 798 MHz	30 MHz
17	704 - 716 MHz	30 MHz

Fig. 6. Bandes allouées en UTRA FDD

Les bandes 12 13 14 et 17 sont très sévères en termes de sélectivité des bandes d'émission (Tx) et de réception (Rx). La bande 10 se trouve très proche des fréquences GPS. Nous détaillerons les critères de conception lors de l'étude sur la cohabitation entre les standards.

- Bruit hors bande :

A partir du détail du standard (voir Annexe 2), on définit le masque en relatif (dBc) par rapport à la puissance de la porteuse ou en absolu (dBm/ X MHz). Ainsi, on peut définir le masque à respecter :

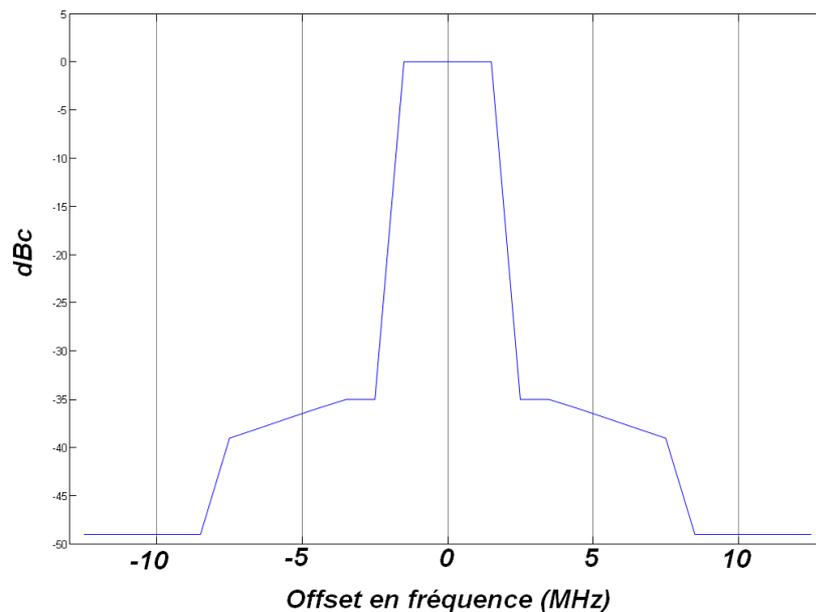


Fig. 7. Masque d'émission en UTRA FDD

Les valeurs d'ACLR sont de 33dB à 5MHz de la porteuse et de 43dB à 10MHz de la porteuse. On doit également minimiser les émissions parasites au-delà des 12.5MHz de la porteuse, en suivant le tableau de la figure 8.

Offset de la porteuse	Bande de mesure	Minimum requis
$9 \text{ kHz} \leq f < 150 \text{ kHz}$	1 kHz	-36 dBm
$150 \text{ kHz} \leq f < 30 \text{ MHz}$	10 kHz	-36 dBm
$30 \text{ MHz} \leq f < 1000 \text{ MHz}$	100 kHz	-36 dBm
$1 \text{ GHz} \leq f < 12.75 \text{ GHz}$	1 MHz	-30 dBm

Fig. 8. Bruit hors bande en UTRA FDD

Ces parasites sont essentiellement dus aux émissions d'harmoniques, de produits d'intermodulation, et aux produits de conversion en fréquence, mais excluent les émissions hors bande. Ces données correspondent aux valeurs minimales à respecter, cependant pour chacune des 14 bandes il existe des particularités. En général, le niveau limite se situe à -60dBm mesuré dans une bande de 3,84MHz. Le détail pour chacune des bandes est défini en Annexe 2.

- Bruit en bande de réception :

Il est nécessaire de quantifier le bruit dans la bande de réception afin que l'émetteur ne désensibilise le récepteur. Pour chacune des bandes, celui-ci est de -36dBm, mesuré dans une bande de 100kHz.

- Bruit d'intermodulation :

La valeur autorisée pour les raies d'intermodulation dans le cadre d'un espacement entre les canaux de 5 MHz, est de -31dBc à 5MHz et de -41dBc à 10MHz du bord de canal.

- Adjacent Channel Power Ratio :

Quelle que soit la classe de puissance à l'émission, les ACPR doivent être de 33dB à 5MHz de la porteuse et de 43dB à 10MHz de la porteuse.

- Puissance maximale d'émission :

Il existe 5 classes de puissances maximales. Dans le cadre des applications de téléphonie portable, on se concentrera sur la classe 3, soit une puissance d'émission comprise entre 21 et 25dBm en fonction de la tolérance du standard, pour une puissance visée de 24dBm. Quelle que soit la bande d'émission étudiée, la puissance minimale qui doit être fournie à l'antenne (en conduit) doit être de -50 dBm.

- EVM :

Lorsque le schéma de modulation est celui de la 16-QAM la valeur maximale d'EVM est de 14% (mesurée à une puissance de sortie de 20dBm) sinon en QPSK ce sera 17.5%.

- Evolution : DC-HSUPA (Dual Carrier Uplink)

Il s'agit de l'évolution du HSPA par mise en place de plusieurs porteuses. La structure actuelle des bandes UMTS (par paires de 10 ou 15MHz) encourage cette évolution. L'idée principale est d'optimiser l'utilisation de la ressource spectrale pour garantir une meilleure efficacité en distribuant l'information autour d'une ou deux porteuses, suivant le débit voulu et le taux d'occupation. Sans MIMO (Multiple Input Multiple Output) avec une 64-QAM, le débit est de 43.2Mbits/s, contre 42Mbits/s en HSDPA MIMO. Cette standardisation, apparaîtra dans la release 9 de 3GPP (3G Partnership Project). Pour le moment les informations disponibles sont les suivantes :

- Le mode « Dual » permet de concaténer deux bandes (voir figure 8)
- Les ACLR et émissions parasites seront proches du LTE 10MHz
- Maximum 10dB de différence entre les deux porteuses
- La puissance maximale est la même qu'en « Single » mais étalée sur deux porteuses.

Mais cette amélioration risque d'avoir un impact sur la conception de l'émetteur et le dimensionnement des éléments du RFFE (RF Front End) :

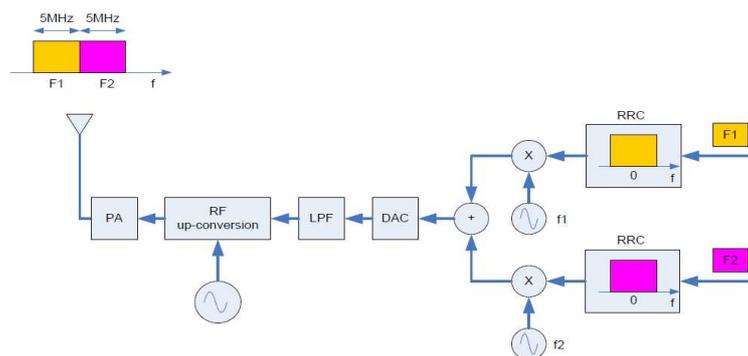


Fig. 9. Architecture à conversion directe pour A-LTE

On peut citer par exemple:

- Des remontées spectrales plus importantes à cause de la bande plus large.
- Le risque d'une différence de niveau des deux porteuses, l'image d'une porteuse peut venir perturber la deuxième porteuse et augmenter l'EVM
- Les difficultés à gérer le SNR (Signal Noise Ratio) pour deux porteuses de puissance différente.

I.3.4. LTE FDD et TDD

Le LTE (Long Term Evolution) se présente comme le standard cellulaire de quatrième génération permettant d'attendre les débits de données suffisants pour des applications telles que la visio-conférence ou la navigation internet rapide. Pour atteindre ce débit nous allons voir qu'un schéma de modulation particulier a été adopté, ainsi qu'un net élargissement des canaux jusqu'à 20MHz dans certaines bandes.

- Méthode d'accès multiple :

Il y a deux méthodes d'accès, selon que l'on considère la voie montante ou la voie descendante. En voie descendante la méthode d'accès utilisée est l'OFDMA. L'OFDMA est utilisé sur la voie descendante car il présente de nombreux avantages tels que la résistance aux multi-trajets et une forte efficacité spectrale. L'OFDMA permet également une flexibilité de l'allocation des ressources en temps et en fréquence. L'utilisation potentielle du MIMO est un atout du LTE. Par contre en voie montante le SC-FDMA est utilisé. Ainsi en émettant sur une seule porteuse on tend à diminuer le PAPR.

- Modulation :

Le standard utilise 3 schémas de modulation : la QPSK, la 16-QAM et la 64-QAM. Il faut préciser que la modulation 64 QAM est pour le moment optionnelle en voie montante.

- Type de duplexage :

Les deux types de duplexage (TDD et FDD) sont utilisables en LTE. Il y a 14 bandes de fréquences (bandes 1 à 14) qui utilisent le FDD et 8 bandes (33 à 40) qui utilisent le duplexage TDD. Ainsi le standard permet de s'adapter aux anciens standards existant dans les zones où la couverture LTE n'existe pas. La transition est donc possible avec l'UMTS FDD (W-CDMA), l'UMTS TDD (LCR ou HCR) et le GSM/EDGE.

- Largeur de bande du signal :

Les différentes bandes allouées contiennent, en fonction du débit choisi, six largeurs de canaux différentes. Sur la figure 10, on peut voir les tailles de canaux supportées par chacune des bandes.

Largeur de canal	1.4 MHz	3MHz	5MHz	10MHz	15MHz	20MHz
Bandes	2,3,4,5 8,35,36	2,3,4,5,8 35,36	1-11,33-39	1,2,3,4,7 9,10,33-40	1,4,10,33-40	1,4,10,33,35 36,37,39,40

Fig. 10. Répartition des blocs de ressource

- Débits :

Les débits sont très variables en fonction de la bande utilisée (1.4 – 20MHz). Pour le cas (20MHz) offrant le plus de débit le choix des modulations en fonction du rapport E_s/N_0 impact le débit :

En voie montante la modulation QPSK est la plus avantageuse pour des valeurs de E_s/N_0 inférieures 7 dB. Au-delà c'est la modulation 16QAM qui permet d'atteindre un débit de 50 Mbit/s pour un E_s/N_0 supérieur à 23 dB. En voie descendante la modulation QPSK est la plus avantageuse pour des valeurs de E_s/N_0 variant de 0 à 11 dB. Pour des valeurs de E_s/N_0 de 11 à 20 dB, c'est la modulation 16QAM qui donne le meilleur débit. Pour un E_s/N_0 supérieur à 20 dB, la modulation 64QAM est préférable (100 Mbit/s).

- Bandes allouées pour l'émission :

Il existe 22 bandes pour l'émission, dont une bonne partie est issue de la norme UTRA TDD et UTRA FDD. En effet le LTE est une évolution de ces deux standards.

1	1920 MHz	–	1980 MHz
2	1850 MHz	–	1910 MHz
3	1710 MHz	–	1785 MHz
4	1710 MHz	–	1755 MHz
5	824 MHz	–	849 MHz
6	830 MHz	–	840 MHz
7	2500 MHz	–	2570 MHz
8	880 MHz	–	915 MHz
9	1749.9 MHz	–	1784.9 MHz
10	1710 MHz	–	1770 MHz
11	1427.9 MHz	–	1452.9 MHz
12	698 MHz	–	715.9 MHz
13	777 MHz	–	787 MHz
14	788 MHz	–	798 MHz
17	704 MHz	–	715.9 MHz
...			
33	1900 MHz	–	1920 MHz
34	2010 MHz	–	2025 MHz
35	1850 MHz	–	1910 MHz
36	1930 MHz	–	1990 MHz
37	1910 MHz	–	1930 MHz
38	2570 MHz	–	2620 MHz
39	1880 MHz	–	1920 MHz
40	2300 MHz	–	2400 MHz

Fig. 11. Bandes allouées en LTE

- Bruit hors bande :

A partir de la norme nous pouvons extraire les masques d'émission normalisé par rapport à la puissance de la porteuse pour chaque type de canal. Le calcul pour chaque bande est également normalisé en fonction de la résolution.

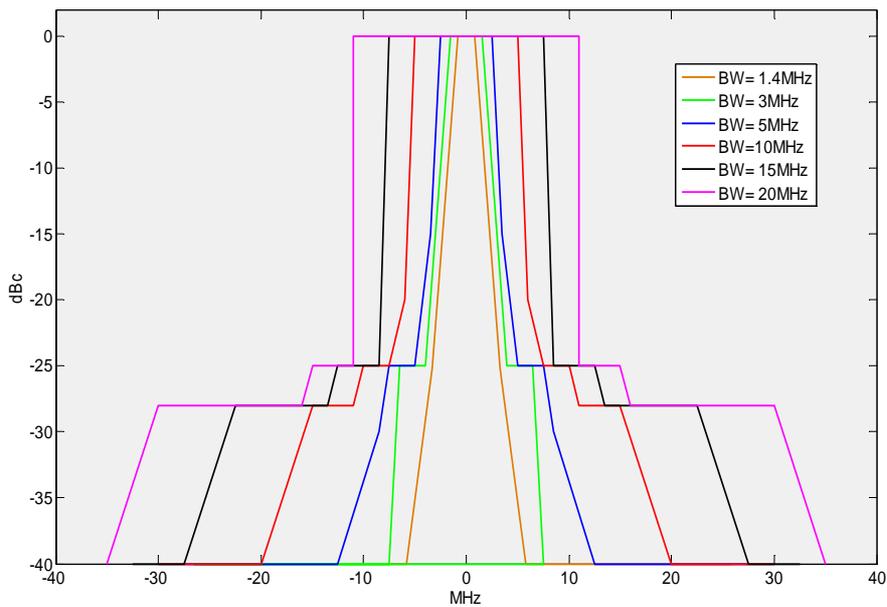


Fig. 12. Masques d'émission LTE en fonction de la largeur de canal normalisé par rapport au niveau de la porteuse

- Parasites dus au I/Q « crosstalk » :

Ces parasites sont dus aux interférences provoquées par un « crosstalk » ou par un « DC offset ». Cette interférence apparaît comme une sinusoïde non modulée avec la fréquence porteuse mais avec un léger offset. Cette interférence DC est ensuite mélangée autour de la porteuse et vient perturber le signal, autour de sa porteuse avec un léger offset. On peut aussi la nommer fuite de l'oscillateur local. Le niveau à ne pas dépasser est de -25dBc lorsque la puissance d'émission est supérieure à 0dBm.

- Adjacent Channel Power Ratio :

Les ACPR sont divisés en trois zones : UTRA-ACLR1, UTRA-ACLR2 et E-UTRA-ACLR.

Largeur de canal	1.4MHz	3MHz	5MHz	10MHz	15MHz	20 MHz
UTRA ACLR1	33dB	33dB	33dB	33dB	33dB	33dB
UTRA ACLR2	-	-	36dB	36dB	36dB	36dB
E-UTRA ACLR	30dB	30dB	30dB	30dB	30dB	30dB

Fig. 13. Répartition des ACLR en fonction de la bande passante

- Puissance minimale et maximale d'émission :

La puissance d'émission minimale n'a pas encore été définie par la normalisation. Cependant d'après la norme du standard, elle sera inférieure à -40dBm. La puissance maximale à l'émission est de 23dBm avec une marge de +/- 2dB.

- EVM :

L'EVM doit être mesurée pour une puissance à l'émission qui est supérieure à -40dBm. En fonction du schéma de modulation utilisé, la valeur varie :

QPSK → 17.5% 16-QAM → 12.5% 64-QAM → Pas encore défini

I.4. Coexistences à prendre en compte dans la conception

Dans les paragraphes précédents, nous avons pu détailler chacun des standards cellulaires à l'émission. Cependant il existe des standards de connectivité qui utilisent les mêmes bandes :

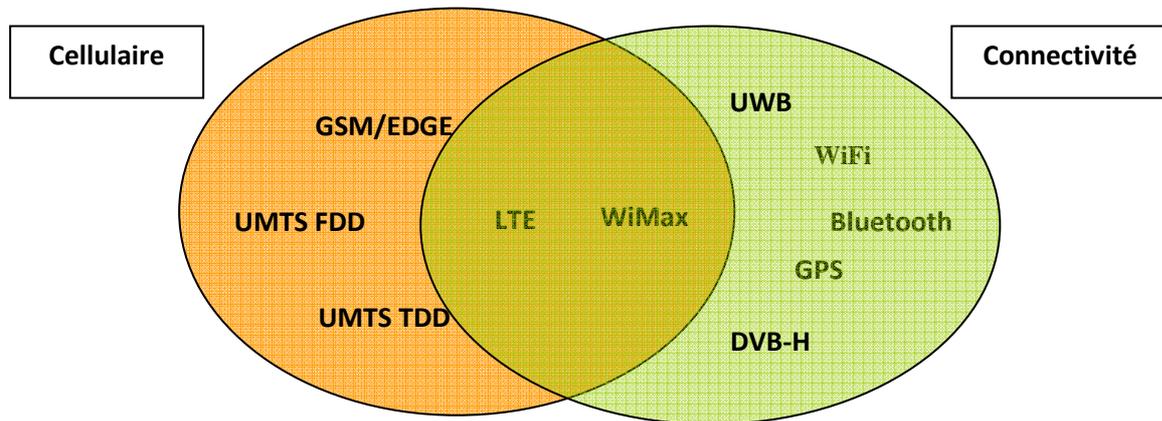


Fig. 14. Répartition des standards de communications cellulaires et de connectivité

Un utilisateur, utilise à la fois des standards de connectivité et un standard cellulaire. Les PANs permettent des communications efficaces à courte portée, par exemple le Bluetooth. Le système de positionnement global (GPS) offre aussi des perspectives de localisation très importantes et doit être intégré aux architectures mobiles actuelles. Il faut désormais considérer les standards de diffusion multimédias tels que le DVB-H ou le T-DMB. Enfin WiFi et WiMAX présentent de fortes interactions avec les bandes cellulaires.

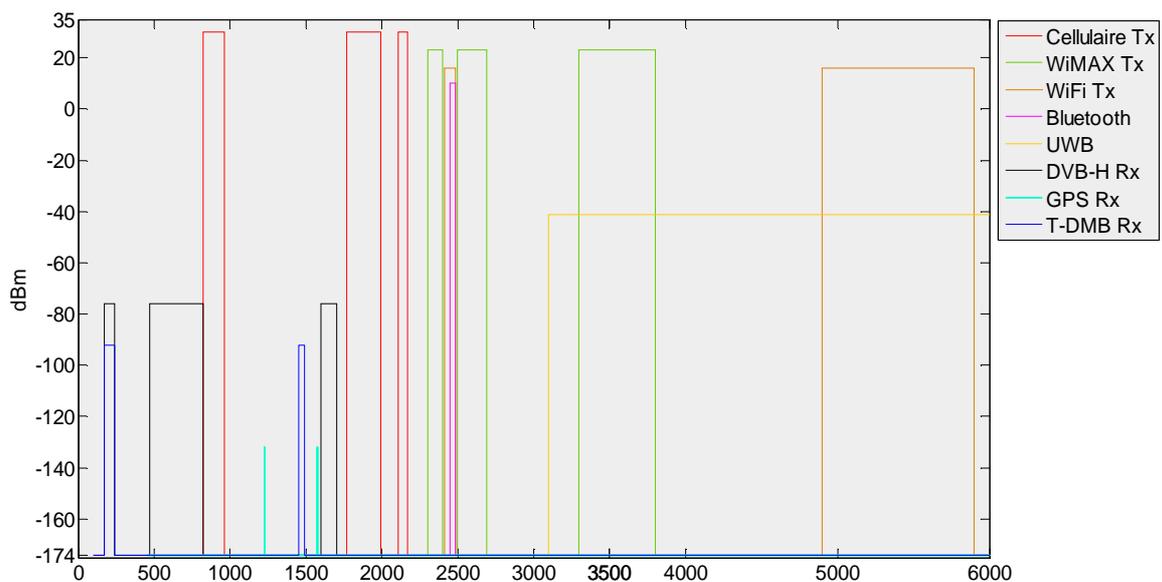


Fig. 15. Répartition des standards de communications mobiles

Afin de bien évaluer la perturbation apportée par les standards ou la désensibilisation que ceux-ci subissent, il faut définir des critères d'évaluation précis.

Pour chacun de ces standards, il faudra définir :

- La bande allouée.
- La sensibilité à la réception.
- La puissance à l'émission
- Le type de perturbation introduite.

On distinguera principalement, trois types de perturbation dans un mobile :

D'une manière générale, les perturbations sont :

- l'émetteur de connectivité qui dégrade la réception du récepteur cellulaire.
- l'émetteur cellulaire qui dégrade la réception du récepteur de connectivité avec deux contributions :
 - le signal utile de l'émetteur cellulaire qui doit être pris en charge par le récepteur de connectivité grâce à un filtrage (ceci intervient surtout dans la conception du « front-end »).
 - le signal hors bande (large bande) de l'émetteur cellulaire qui peut être placé dans la bande de réception du récepteur de connectivité. C'est le point de perturbation le plus important à prévoir dans la conception de l'émetteur récepteur.

I.4.1.1. GPS

Même si le GPS a été créé par l'armée américaine, il est utilisé dans le monde entier. Dans cette étude nous ne détaillerons pas les standards Galiléo (Europe) ou Glonass (Russie), car ils ne sont pas ou peu utilisés pour le moment. La méthode d'accès utilisée est le CDMA. Un étalement du spectre par codage est mis en place au travers d'une modulation BPSK. La largeur de bande du signal est 10,23MHz en codage P(Y) et de 1,023MHz en code C/A. Les débits symboles sont également soumis au codage utilisé. En P(Y) on aura un débit « symbole » de 10,23Ms/s et de 1,023Ms/s en codage C/A. Dans tous les cas, le débit maximum par utilisateur est seulement de 50bit/s. Cependant un tel débit est suffisant pour un positionnement dans l'espace. On peut tout de même préciser que Glonass arrive à des débits de près de 500bit/s. Concernant les bandes allouées, Il existe deux bandes de 10,23MHz, centrées sur deux porteuses. La première porteuse se trouve à 1575,42MHz et la seconde se trouve à 1227,6MHz. Il est à noter que la bande 1575 se trouve proche de la bande 11 RX du WCDMA (1475.9

- 1500.9 MHz). De plus il peut aussi y avoir des interférences avec la bande de réception DVB-H (1600 1700) aux Etats-Unis.

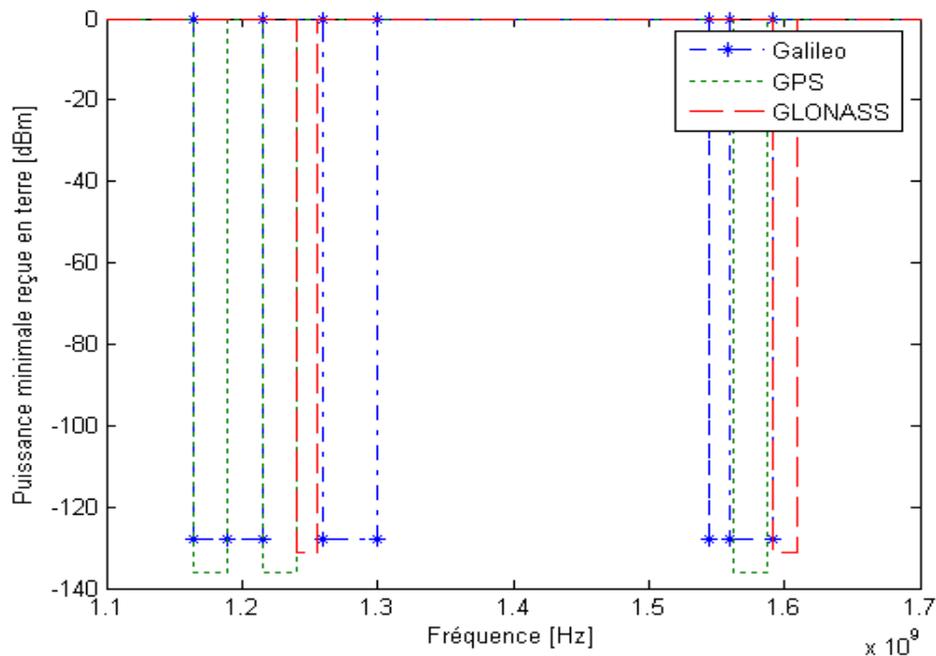


Fig. 16. Répartition des standards de localisation

Maintenant que nous avons vu la façon dont le GPS interagissait avec deux autres standards, il faut regarder à quel niveau de perturbation, le signal GPS est capable de résister. D'après la spécification du standard, le niveau minimum d'un signal GPS reçu doit être de -132dBm. Il faut donc veiller à ce que la réception de signaux W-CDMA ou de signaux DVB-H ne désensibilise pas le récepteur au risque de ne pas pouvoir recevoir le signal GPS.

I.4.1.2. Bluetooth

Le Bluetooth est déployé partout dans le monde. C'est un standard dit global. La méthode d'accès multiple du standard est le FHSS. C'est une méthode qui utilise plusieurs canaux répartis sur une large bande de fréquence. Ce sont des sauts qui suivent une séquence pseudo aléatoire connue de l'émetteur et du récepteur. La modulation utilisée est une GFSK, qui est une FSK associée à un filtre gaussien (1 ou 0 binaire). Le mode de duplexage est le TDD. La séparation entre les canaux est de 1MHz. La largeur du signal est également de 1MHz. Le débit symbole maximal par canal est de 1Ms/s. Le débit parole maximum est de 64Kbit/s. Concernant le débit maximum par utilisateur, il est variable selon la communication. En communication asymétrique le débit peut atteindre 723kbit/s, par contre en communication dite « symétrique », celui-ci tombe à 433kbit/s et 57kbit/s en communication « Forward ». Concernant les bandes allouées, comme le Wifi, le Bluetooth est basé sur l'utilisation des bandes ISM. Cette bande peut donc varier d'un pays à l'autre. D'un point de vue global, la bande

utilisée est : 2400-2483,5 MHz. Mais en France, cette bande est réduite à 2446,5 - 2483,5MHz ; soit une bande de 37MHz allouée. La très faible portée de ce standard permet une utilisation quasi infinie des canaux, car il y a peu de chance de saturation du réseau. De par la bande allouée qui se trouve dans la bande ISM 2.4GHz, ce standard se trouve en présence du WiFi et du WiMAX. Nous pouvons imaginer qu'un utilisateur téléphone via WiMAX en utilisant une oreillette. Dans ce cas nous nous trouvons confrontés à une perturbation entre deux standards dans le même mobile. On peut imaginer avoir aussi la réception Bluetooth, brouillée par une borne WiFi ou une station de base WiMAX se trouvant à proximité de l'utilisateur. C'est alors une perturbation externe qui est induite. On peut aussi imaginer une perturbation induite par l'harmonique 3 d'une porteuse dans la bande d'émission GSM (824-827MHz) ; jusque dans la bande (2470-2480MHz) du Bluetooth.

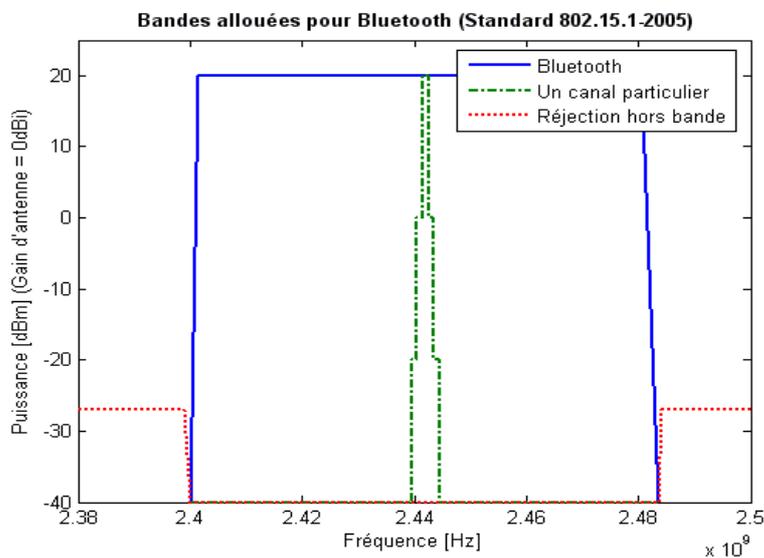


Fig. 17. Bandes allouées pour le Bluetooth

Si nous avons une sensibilité au niveau du récepteur Bluetooth de -77dBm, alors le niveau maximum autorisé pour le GSM Tx est de -78dBm. Ainsi, dans un émetteur où la rejection de l'antenne à la bande Bluetooth est de 10dB, il faudra que le niveau de l'harmonique 3 du GSM soit au maximum de -68dBm.

I.4.1.3. TV et radio mobile DVB-H et T-DMB

Depuis l'explosion d'internet ces 10 dernières années et le développement de l'allocation de fréquences pour l'UMTS, la demande d'applications de « streaming » est de plus en plus forte. Ce genre d'application nécessite cependant des débits importants que l'UMTS ne peut pas fournir dans les applications mobiles. Cela signifie qu'à l'exception d'une utilisation point à point, il existe une demande pour des applications mobiles. Ainsi, les systèmes de radiodiffusion terrestres se sont récemment positionnés en tant que moyen de diffusion de streaming de contenu multimédia vers les

mobiles, voir même vers des récepteurs de poche uniquement dédiés à cette application. Il existe trois solutions qui pourraient répondre à ces exigences :

- Le DVB-H principalement déployé en Corée mais aussi qui arrive en Allemagne.
- Le T-DMB issu du DAB, déployé en Corée et qui sera déployé en France.
- L'ISDB-T principalement déployé au Japon et qui ne sera pas déployé en Europe.

Le DVB-H

Le DVB-H est un standard de transmission vidéo élaboré par le projet DVB et édités par l'ETSI. Le DVB-H est une adaptation du DVB-T, le système pour la télévision terrestre numérique (TNT). Il est adapté aux exigences des récepteurs de poche, tels que des mobiles ou des PDA. La technique de multiplexage par intervalle de temps permet de réduire la consommation électrique pour les petits terminaux, la partie réception radio n'ayant à fonctionner que pendant l'intervalle de temps dévolu au programme sélectionné. Chaque intervalle de temps peut contenir jusqu'à 2 Mbits de données. Le système DVB-H a été validé par l'ETSI (Rapport Technique TR 102401). Bien que spécifié pour des récepteurs fixes ou lents (piétons), le DVB-H fonctionnerait correctement dans des véhicules jusqu'à 70 km/h. La méthode d'accès utilisée est l'OFDM en QPSK, 16QAM et 64QAM. La largeur de bande du signal est de 8MHz avec un espacement entre les canaux de 8MHz également. Comme le débit symbole maximum est de 6.75Ms/s alors le débit maximum par utilisateur dépend de la modulation utilisée : de 10.56Mbits/s (QPSK) à 31.7Mbits/s (64QAM). Il existe principalement 4 bandes.

- 47 – 68 MHz (VHF Bande 1)
- 174 – 230 MHz (VHF Bande 3)
- 470 – 698 MHz (UHF Bande 4)
- 698 – 862 MHz (UHF Bande 5)

En France, par exemple, les bandes utilisées seront plutôt les bandes 3 et 4. La sensibilité à la réception dépend elle aussi de la modulation utilisée. Si l'on utilise une 16QAM la sensibilité sera de -76.2dBm pour garantir un C/N de 22dB alors qu'avec la QPSK la sensibilité est de -83dBm car on ne doit garantir que 15dB de C/N.

Le T-DMB

Ce standard est conçu pour transmettre des services de radio ou de télévision. Il permet également de diffuser des applications interactives, c'est la seule norme de radio numérique à le permettre. Le T-DMB en Europe est issu du DAB au travers du projet Eureka. On retrouve donc beaucoup de

similitudes avec ce standard. La méthode d'accès est donc l'OFDM et la modulation est une D-QPSK. La largeur de bande du signal est de 1.54MHz pour une séparation entre les canaux de 1.71MHz. Le débit symbole maximum par utilisateur est dimensionné pour des applications audio type radio mais aussi pour de la vidéo avec un débit de 1.22Ms/s, soit un débit maximum de 2.43Mbit/s. Un avantage du T-DMB est que l'on peut choisir la couverture possible de 12 à 96Km en fonction de 4 modes. Cela influence directement la fréquence utilisée et donc les bandes allouées. Le mode 1 permet une couverture de l'ordre de 96Km, pour cela il faut que la bande de fréquence utilisée se situe en dessous de 375MHz. Il existe principalement 2 bandes utiles : la bande 1 (48-67MHz) et la bande 3 (175-239MHz). En Europe, la bande utilisée, compte tenu de l'occupation du spectre sera la bande 3. La sensibilité du récepteur est de -98dBm pour garantir un C/N de 15dB.

Contraintes spectrales et coexistence

Dans les deux cas (T-DMB et DVB-H) les deux mêmes bandes de fréquence sont utilisées. La plus contraignante est la bande 175-239MHz. Si l'on regarde seulement le DVB-H, alors la contrainte la plus forte est pour la bande 462-698MHz car on peut avoir une désensibilisation du récepteur de la part d'un émetteur GSM 900 ou 850 par exemple.

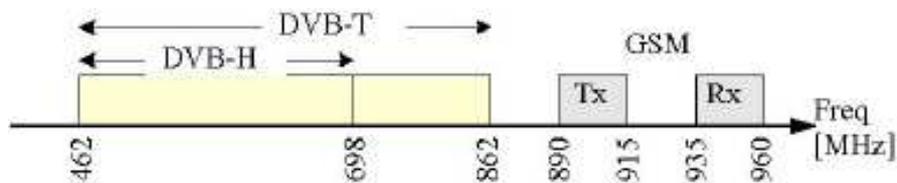


Fig. 18. Bandes TV DVB-H et T-DMB

Comme le montre le plan de fréquence présenté, la bande de transmission GSM est très proche de la bande UHF du récepteur TV. En raison de cette proximité, le signal TV reçu peut être considérablement dégradé si les interférences du signal GSM ne sont pas rejetées. Une des solutions peut être un blocage de ces parasites grâce à un filtre passe bas à forte réjection, au-delà des 698MHz de la bande de réception.

I.4.1.4. WiFi

En tant que récepteur de connectivité, le WiFi peut être également exposé aux perturbations induites par les standards cellulaires dans ses bandes de réception, de par sa proximité avec les bandes d'émission 3G (W-CDMA / HSDPA) et 4G (LTE).

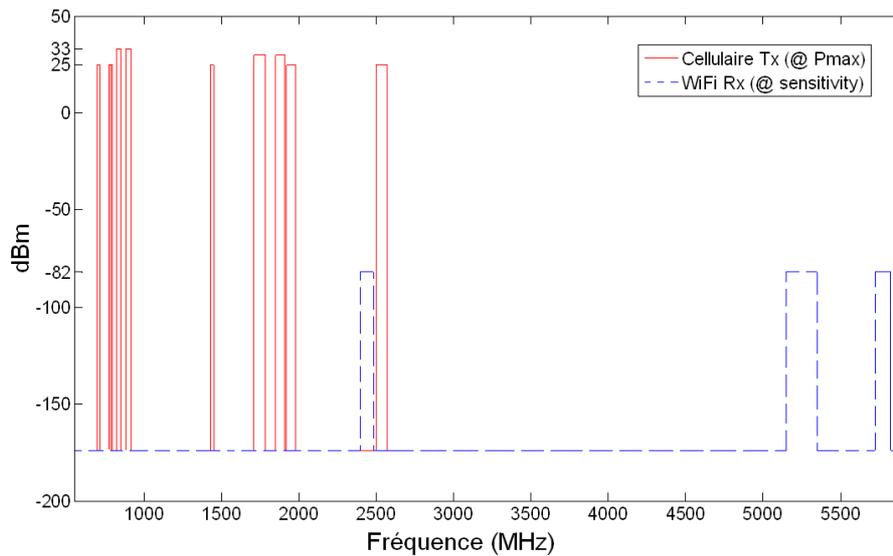


Fig. 19. Coexistence entre bandes cellulaires et bandes WiFi

Nous voyons sur le spectre de la figure 19, la coexistence entre les bandes d'émission « cellulaires » et les bande de réception WiFi (a/b/g/n). On peut voir la proximité entre les bandes 7 et 1 de la 3G avec la première bande WiFi (b/g) allant de 2400 à 2483.5 MHz. Afin de bien comparer les bandes, les niveaux de puissance à l'émission ont été pris pour les cas de puissance maximale (33dBm pour GSM850 et 900 / 30dBm pour DCS et PCS / 25dBm pour W-CDMA). Dans la cas de la réception nous fixons le niveau de sensibilité à -82dBm qui est le pire cas (pour BPSK) sachant que le meilleur cas est à -64dBm (64QAM 5/6). D'après la norme WiFi il y a un niveau de bruit externe à ne pas dépasser dans la bande de réception qui est dans le pire cas 32dB en dessous de la sensibilité, soit -114dBm. En imaginant que nous ayons une antenne avec 10 dB d'isolation alors nous pourrions relâcher cette contrainte à -104dBm.

I.4.1.5. WiMAX

Concernant le WiMAX, nous nous trouvons dans un cas de perturbation possible de l'émetteur sur le récepteur de connectivité (ici WiMAX). Le spectre de la figure 20, illustre bien le souci de coexistence. On différencie les bandes de réception US et Européenne, tout en conservant, quelle que soit la bande, une référence en sensibilité de -74dbm. Cette sensibilité est celle que l'on a avec une modulation 64QAM pour une vitesse de 3km/h (piéton).

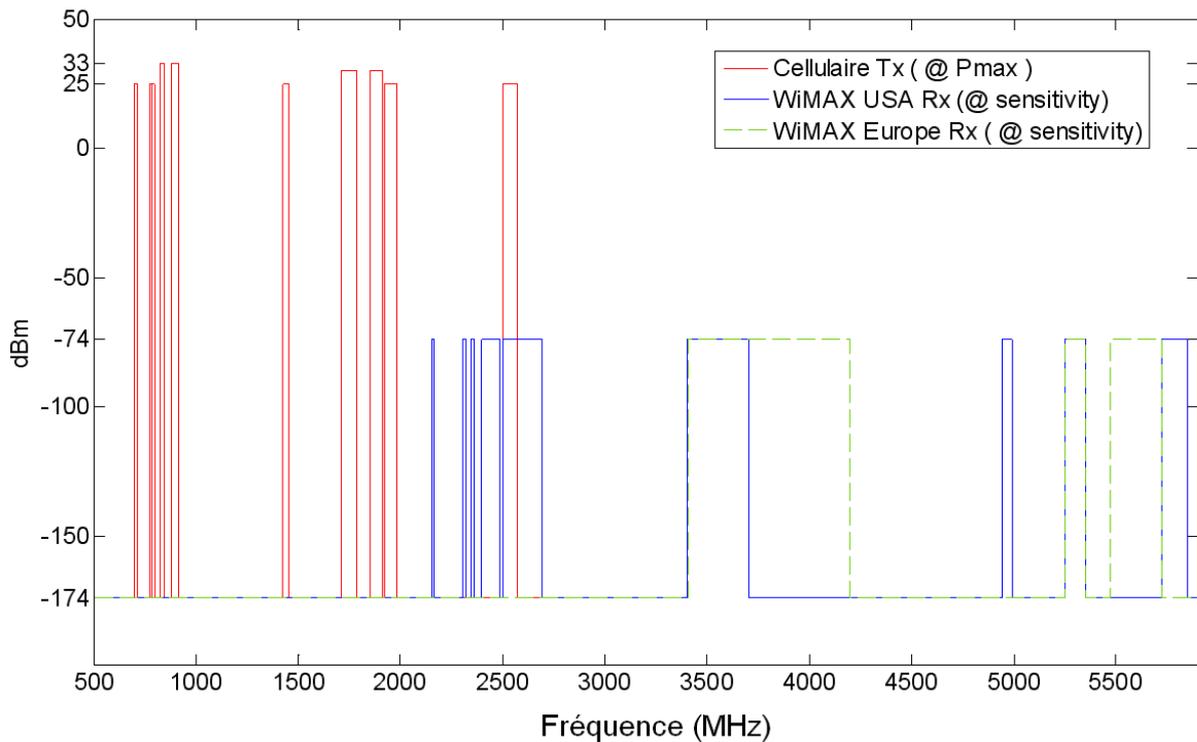


Fig. 20. Répartition des bandes cellulaire et WiMAX

On voit bien sur le graphe que de nombreuses bandes WiMAX US (bandes 3, 5, 2 et 1) sont proches de la bande cellulaire PCS 1900, également utilisée aux USA. Si l'on se penche sur les bandes européennes, on constate qu'elles sont beaucoup plus éloignées des bandes cellulaires. En effet la première bande WiMAX européenne (bande 10) se situe à 3410MHz soit à de 790 MHz de la dernière bande d'émission LTE. Concernant la sensibilité et le bruit maximum dans la bande à la réception du WiMAX, ceux-ci dépendent de plusieurs paramètres, tel que la largeur de bande du signal, le nombre d'antenne, le schéma de modulation et la vitesse d'utilisation (piéton, voiture ou fixe). Globalement la sensibilité du récepteur WiMAX est de -85dBm ce qui limite le signal interférant à -105dBm dans la bande de réception dans le cadre d'une 64QAM.

I.5. Conclusion

En conclusion de ce chapitre nous pouvons voir que la conception d'un émetteur multistandards et très complexe tant les critères de coexistence entre les standards sont élevés. Cette première étude nous a permis de dresser l'ensemble des gabarits d'émission à respecter pour les différents standards cellulaires. Lorsque nous aurons identifié une architecture d'émission « tout numérique » candidate, alors celle-ci devra respecter chacun des cas de coexistence et de limites spectrales à l'émission. Compte tenu des fortes contraintes de rejection des pollutions spectrales nous entrevoyons déjà la nécessité de solutions de filtrage tout au long de l'a chaine d'émission.

Chapitre II. Architectures d'émission pour les applications multi-radio

II.1. Critères d'évaluation d'une architecture d'émission

Notre travail s'inscrit dans le domaine des architectures reconfigurables pour l'émission de standards cellulaires. Afin de pouvoir comparer différentes solutions pour la conception d'une architecture multi-radio, nous allons nous intéresser à deux grandes catégories de critères de jugements : celle liée au standard et à la qualité du signal généré (performance électriques incluses), et celle liée à l'implantation (limites technologiques). La prise en compte des avantages et des inconvénients sur ces différents critères et figures de mérite de chacune de ces catégories nous permettra d'appréhender une difficile sélection des architectures candidates (sélection partielle éventuellement).. En fonction du standard, des capacités d'implémentation liées à la technologie et des performances visées, chaque type d'architecture présente un intérêt.

II.1.1. Critères liés au standard

- [Dynamique de contrôle en puissance](#)

Le contrôle de la puissance d'émission permet de gérer les émetteurs mobiles dans une cellule afin d'éviter des phénomènes de masquage et de saturation à la réception. Les différents standards à émettre ont chacun leurs spécifications (gamme de puissance et pas) pour le contrôle de puissance. Dans un système multistandards, en fonction du standard à émettre, l'architecture doit être capable de contrôler la dynamique du signal. Cette dynamique peut atteindre en valeur pic les 90dB lorsque l'on émet des signaux de type W-CDMA.

- [Gestion du PAPR \(Peak to Average Power Ratio\)](#)

Ce paramètre caractérise la façon dont l'architecture gère l'émission en puissance des signaux à forte dynamique d'enveloppe et les problèmes de linéarité et de rendement qui lui sont associés. Il traduit la capacité de l'architecture à générer, et le plus souvent amplifier en puissance jusqu'à l'antenne, la forme temporelle du signal, tout en limitant les effets de non linéarités introduits (par exemple lors de l'amplification). Pour un standard tel que le LTE, on peut avoir des valeurs de PAPR moyen de l'ordre de 9 dB. En effet celui-ci est lié à la statistique du signal.

- **Bruit et émissions parasites**

Le bruit est un critère très contraignant dans la conception d'une architecture. Il est essentiellement issu de la synthèse de fréquence mais à la méthode de quantification du signal (bruit de quantification), au bruit thermique et au bruit des composants actifs. Plus haut en fréquence on parlera d'émissions parasites, qui elles sont plus dues à des phénomènes tels que les raies de sur-échantillonnage ou la fuite OL.

- **Largeur de bande**

Elle caractérise la capacité de l'architecture à émettre des signaux « large bande ». Les standards récents, qu'ils soient de connectivité (WiMAX) ou cellulaires (LTE), ont des largeurs de bande pouvant atteindre les 20 MHz. Chaque élément de l'architecture doit donc être en mesure de travailler avec une telle largeur de bande. C'est un des paramètres les plus contraignants car il demande une conception plus complexe des blocs fonctionnels (optimisation de l'adaptation en fréquence) et est souvent la cause d'une augmentation de la consommation de la partie « numérique / bande de base ».

- **Fréquence d'étude du système**

Ce paramètre définit la fréquence centrale pour laquelle l'architecture a été conçue. Une montée en fréquence complique fortement la conception d'une architecture et impose une prise en compte précise des défauts liés à la technologie d'implantation. La conception d'un DAC peut être fortement impactée par la fréquence de travail (ex .Sigma Delta). Des performances optimales de l'architecture sont alors attendues aux différentes fréquences de fonctionnement, dans le cadre de la multi-radio.

- **Gestion du Multi-standards**

L'émetteur multi-radio doit pouvoir s'adapter dynamiquement à l'environnement radio, et donc gérer un changement de standard d'émission. Cette gestion implique une reconfiguration/compatibilité « software » amont que nous ne développerons pas par la suite car nous nous concentrerons, dans cette thèse, sur les difficultés de la reconfigurabilité/compatibilité « hardware ». Pour être multi-standards, ce dernier doit couvrir des fréquences allant de 824 MHz (GSM850) à 2.62 GHz (LTE). Il faut limiter au maximum la parallélisations des architectures, ce qui reviendrait en fait à commander plusieurs émetteurs-recepteurs. L'intérêt d'un paramétrage des blocs fonctionnels est alors évident (selon ce critère). Les architectures basées sur une approche « tout numérique » se positionnent alors en favoris d'après ce point de vue, comme nous le développerons par la suite.

- **Reconfigurabilité en bande**

La reconfigurabilité en bande caractérise l'agilité de l'architecture à adresser le signal en fréquence, dans les différentes sous bandes d'un standard. Ce critère est particulièrement lié aux éléments de

synthèse de fréquence, de mélange mais aussi de filtrage. La sélectivité, la sensibilité et les pertes de ces différents éléments sont alors des considérations omniprésentes car fortement liées à la fréquence des différentes gammes voulues.

II.1.2. Critères liés à l'implémentation

- **Linéarité**

Ce paramètre est essentiellement lié aux éléments non linéaires d'une chaîne d'émission, que sont principalement les mélangeurs et les amplificateurs. Il est donc nécessaire de quantifier la distorsion du signal induite par les différents éléments de l'architecture. On peut définir deux types de distorsion ; une distorsion en phase ou conversion (AM / PM) qui entraîne une rotation de la constellation et une distorsion en amplitude (AM / AM) qui entraîne une compression de la constellation. Une distorsion du signal à l'émission entraîne une augmentation de l'EVM (Error Vector Magnitude), donc une mauvaise démodulation à la réception et donc un risque accru d'erreurs symboles et binaire (risque de perte de données). Il existe par exemple des techniques extérieures de linéarisation numériques DPD (Digital Predistorsion), mais on peut également concevoir l'architecture de façon à limiter les effets non linéaires plutôt que de les corriger.

- **Imperfections**

Le terme imperfection désigne ici les effets de non-idéalité de traitement du signal à émettre (gain, déphasage, retard...), dus à de multiples causes technologiques : sensibilité dans la réalisation des éléments, désappariement, erreur de phase, coefficient de qualité.... Par exemple, un déséquilibre entre les voies des composantes I et Q du signal bande de base ou bien une désynchronisation des voies de phase et d'enveloppe dans le cas d'une architecture polaire (EER) entraîne une modification du signal à émettre que l'on peut difficilement corriger car due à l'information elle-même (signal image par exemple ou présence du signal OL dans la bande utile). Là encore l'effet est vite perceptible sur le signal et entraîne des remontées spectrales et un bruitage des points de la constellation. Une procédure de calibration spécifique est souvent nécessaire pour minimiser ces effets.

- **Complexité de la conversion D/A**

Elle caractérise la facilité d'implémentation et l'intégration des étages de conversion numérique-analogique. Certaines architectures sont amenées à utiliser plusieurs DAC dans un but de traitement du signal (création de notches en décalant deux DACs) là où certaines n'en utilisent qu'un seul. Il faut également prendre en compte la vitesse d'horloge nécessaire à chacun des DACs. Il est difficile d'avoir des vitesses d'horloge de l'ordre de plusieurs centaines de MHz (du GHz) avec un bruit de phase ne détériorant pas l'EVM. Il faut aussi garantir une homogénéité dans le plan des fréquences

utilisées (on préfère des multiples de la porteuse par exemple). Le but étant de disposer de plusieurs horloges différentes dans le circuit à partir d'une seule fréquence de référence.

- **Puissance maximum obtenue en sortie**

Ce paramètre peut être lié également aux critères du standard, puisque chaque standard définit une puissance maximale à ne pas dépasser à l'émission. En LTE, la puissance maximum à respecter est de 25dBm à titre d'exemple. Ce critère est également lié à l'implémentation de l'étage d'amplification dans ou hors de l'architecture. Quelle puissance l'architecture est-elle capable de générer à sa sortie ? Quel sera alors l'étage d'amplification qui devra être associé ? Ce critère est souvent lié à la technologie utilisée et donc à la façon d'intégrer l'amplificateur dans l'architecture. Dans le cadre des architectures « tout numérique » on aura une intégration maximale du système si même l'étage d'amplification est conçu en technologie CMOS. Les performances de cette technologie ne sont pas orientées vers la génération de signaux de puissance pourtant nous verrons des exemples de réalisation et d'intégration d'amplificateurs en CMOS fournissant des puissances de l'ordre de 26dBm.

- **Consommation**

La consommation peut être rédhibitoire lors de la conception d'un circuit. Certains éléments de l'architecture, pour fonctionner, doivent avoir une tension de polarisation et drainent un courant qui va directement impacter la consommation du circuit. Dans l'hypothèse où l'étage d'amplification est compris dans la conception de l'architecture, il faut également prendre en compte le rendement de l'amplificateur, fonction de la classe d'amplification, car la part de puissance consommée par cet élément est non-négligeable dans le bilan global. Il y a souvent un compromis multi-critères lié à la puissance de sortie, la linéarité et la consommation du PA.

- **Dimension du circuit**

Les dimensions du circuit dépendent de deux facteurs. Le premier est la taille de gravure utilisée (130nm, 90nm, 65nm) en technologie CMOS. Le second est le nombre d'éléments actifs ou passifs que contient l'architecture. Si l'on prend l'exemple d'un étage de filtrage, il se peut que l'intégration des inductances pose problème. De même une architecture qui utiliserait trop d'éléments malgré une faible taille de gravure, verrait son avantage réduit, en raison de la place occupée et du faible coefficient de qualité.

- **Nombre d'éléments externes à rapporter**

Ce critère permet de voir si l'intégration n'est pas obtenue au détriment de l'ajout d'éléments extérieurs tels que des amplificateurs, ou des bancs de filtre. Par exemple si un système a un étage de

filtrage peu reconfigurable, alors il faudra plusieurs filtres à des fréquences différentes. Suivant l'architecture utilisée, on peut être amené à utiliser différentes topologies d'étage d'amplification.

- **Mise en forme du bruit et contraintes sur le filtrage**

La limitation des émissions de bruit parasite hors bande afin de respecter les caractéristiques imposées par le standard, conduit à utiliser un ou plusieurs étages de filtrage. La contrainte imposée sur le ou les étages de filtrage dépend essentiellement du niveau de bruit mais également de la façon dont il est mis en forme par l'architecture (bruit proche et bruit lointain). Les DACs entraînent des remontées spectrales du fait du bruit de quantification. On peut donner l'exemple du modulateur Sigma Delta qui suivant la façon dont il est conçu, rejette plus ou moins loin ce bruit de quantification loin de la bande utile (noise shaping) [Stew, 1998]. Les caractéristiques du filtrage, essentiellement la sélectivité, s'en trouvent alors fortement modifiées. Les considérations des différentes technologies de filtrage possibles sont alors liées à cette mise en forme du bruit par l'architecture d'émetteur (rejection, pertes, compromis sensibilité/sélectivité). Le besoin de reconfigurabilité, lié au contexte de la multi-radio, vient alors complexifier le problème et définir un verrou technologique.

- **Méthode de calibration**

Il est important de connaître la méthode de calibration de l'architecture. En fonction de la fréquence, de la puissance, voire même de la température, l'architecture a besoin d'être calibrée. D'un point de vue industriel il vaut mieux éviter d'avoir à faire une calibration en usine à la fois coûteuse et systématique, ne permettant pas d'adapter la calibration à chaque circuit. Cependant une auto-calibration du système entraîne l'ajout d'éléments supplémentaires dans l'architecture tels que des comparateurs ou des boucles de contre réaction apportant une complexité supplémentaire. Il y a un compromis à faire entre performances, coût et intégration.

II.2. Blocs dimensionnant une architecture d'émission

Quelque soit l'architecture d'émission employée, on retrouve tout au long de la chaîne, six blocs principaux que sont la conversion numérique-analogique, la transposition des symboles, la synthèse de fréquence, le filtrage RF, l'amplification et enfin l'antenne. Le juste dimensionnement de chacun de ces blocs, déterminera les performances de l'architecture. Par exemple il ne faut pas sur-dimensionner les blocs actifs, au risque de s'exposer à une surconsommation. Un sous dimensionnement entrainerait le non respect des contraintes spectrales (DAC, synthèse) ou de puissance émise (amplification). Il nous faut aussi identifier les blocs qui présentent un profil faiblement ou non reconfigurable, et qui pourrait devenir des verrous dans la conception d'architectures multistandards. Le but de cette partie est de définir les contraintes de dimensionnement sur chacun de ces sous blocs, afin de pouvoir

ultérieurement définir un bloc sur lequel les contraintes sont très fortes et de définir des leviers d'optimisation.

II.2.1. Conversion Numérique-Analogique

Dans tous les systèmes de communication, le signal est traité de façon numérique par des DSP. Cependant, la transmission se fait elle, toujours de façon analogique. La conversion numérique-analogique est donc un bloc incontournable dans la conception d'une chaîne d'émission. Ici, nous le présentons comme le premier bloc, car dans la majorité des architectures actuelles que nous détaillerons plus loin, il se place derrière les blocs de filtrage numérique et de sur-échantillonnage (voir figure 21).

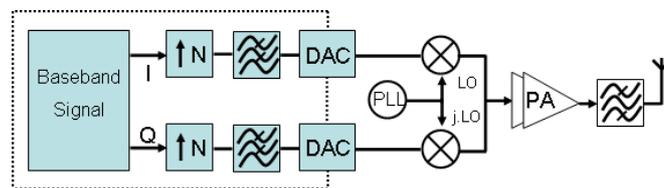


Fig. 21. Architecture à conversion directe

Le DAC marque la frontière entre le monde numérique et le monde analogique. Nous verrons dans le chapitre 3 que de plus en plus de solutions tendent à repousser cette limite le plus proche possible de l'étage d'amplification, dans le but d'augmenter l'intégration et la flexibilité. Dans une approche multistandards, le DAC se caractérise par sa résolution (nombre de bits), sa capacité à convertir des signaux larges bandes (fréquence), et sa flexibilité sur les deux précédentes caractéristiques.

L'évolution des standards amène la conversion de signaux avec des bandes passantes de plus en plus importantes jusqu'à 40MHz en LTE, avec des résolutions supérieures à la dizaine de bits afin de garantir un bon rapport signal à bruit (de quantification). Par exemple en WCDMA il faudra garantir au moins 90dB de SNR. De nombreux travaux menés par les laboratoires et les industriels ont permis d'étendre considérablement les performances des DACs ces dernières années. Il est possible d'avoir des DAC avec 24Bits de résolution [Fujimori, 2000], des DAC allant jusqu'à 32GS/s [Nagatani, 2009]. Toutes ces performances ne sont cependant pas acquises en même temps. La réalité actuelle se situe plus sur des circuits entre 10 et 14 bits fonctionnant autour de 3GS/s [Linl, 2009][Virtanen, 2007]. Pour notre application, les performances des DACs peuvent être quantifiées par une figure de mérite telle que :

$$FDM = N_{bits} \cdot F_{\text{echantillon}} / \text{Consommation}$$

La majorité des structures de DAC rencontrées sont basées sur l'utilisation de convertisseurs $\Sigma\Delta$. En effet ceux-ci permettent de mettre en forme le bruit de quantification en le repoussant hors de la bande, revenant à localement augmenter le SNR et donc le nombre de bits équivalents.

Un signal qui est échantillonné sur n bits à deux fois sa fréquence présentera un SNR (en dB) d'environ 6 fois le nombre de bits. Ainsi un signal 20 MHz de bande sur-échantillonné à 40 MHz sur 10bits présentera un SNR d'environ 60dB. Comme l'on ne peut pas augmenter le nombre de bits facilement, il faut alors augmenter le rapport OSR (Over Sampling Rate) entre fréquence de sur-échantillonnage et fréquence de Nyquist ($2*f_0$) afin d'étaler le bruit dans le spectre. A chaque fois que l'on double la fréquence de sur-échantillonnage on augmente de 3dB le SNR. De même cette fréquence de sur-échantillonnage est limitée et dépend directement de la technologie utilisée. Les nouvelles technologies sub-nanométriques en CMOS permettent de repousser à chaque fois cette limite (de l'ordre de la dizaine de GHz). Ainsi doubler la fréquence de sur-échantillonnage reviendra à rajouter un demi-bit équivalent au DAC. On voit qu'il est toutefois difficile d'atteindre des SNR de l'ordre de la centaine de dB pour les signaux large bande (LTE). Aussi la mise en forme du bruit de quantification permet de résoudre ce problème.

Il existe de nombreuses réalisations basées sur la technique $\Sigma\Delta$ qui ne seront pas détaillées ici mais sur lesquelles on peut trouver une vaste étude menée par A.Frappé de l'IEMN [Frappé, 2009]. Un point qui nous intéresse ici tout particulièrement est la possibilité de reconfigurer ce type de convertisseur dans une application multistandards. Des standards à faible bande passante (GSM) permettent de choisir des OSR très élevés et donc d'obtenir un bon SNR. Cependant, pour les signaux larges bandes (LTE), pour le même SNR il faudra soit plus de bits, soit une fréquence de sur-échantillonnage plus élevée si l'on veut garantir le même SNR. Il existe des solutions de reconfigurabilité [Frappé, 2009] par la variation adaptative des différents coefficients de la NTF (Noise Transfert Function) du modulateur $\Sigma\Delta$. Cela permet d'adresser des signaux de largeur de bande 30MHz avec une résolution équivalente de 12bits ou des signaux de largeur de bande de l'ordre de 2MHz avec une résolution de 14bits.

Les DACs intégrés à des architectures d'émission multistandards sont d'importants leviers dans l'amélioration de la linéarité et de la flexibilité. Il faut toutefois faire attention au bruit de quantification généré, et au filtrage qu'il faudra effectuer. Du fait de la réduction de la taille des technologies intégrées et de la réduction de la tension disponible pour alimenter les DACs, la puissance délivrée est en diminution.

II.2.2. Modulateur IQ et transposition

Dans une chaîne d'émission, le modulateur IQ permet de transposer l'information représentée sous formes de symboles en bande de base, autour d'une fréquence porteuse. Les symboles IQ renferment des informations à la fois d'amplitude et de phase. La fréquence porteuse est quand à elle fournie par le bloc de synthèse de fréquence qui sera détailler dans le paragraphe suivant. Actuellement le mélange se fait généralement à l'aide de circuits actifs tels que les cellules de Gilbert. Du fait du

caractère actif de la fonction de mélange, il convient de dimensionner les cellules de Gilbert de façon à limiter la consommation, le bruit et les déséquilibres entre voies I et Q. En effet, une des plus grandes difficultés est de garantir un parfait alignement des symboles I et Q. Le moindre retard sur l'une des voies peut entraîner une erreur de phase, de même un déséquilibre de taille des cellules peut entraîner un déséquilibre d'amplitude. Comme identifié sur la figure 22, ces deux sources de déséquilibre entraînent l'apparition de fréquence et d'information transposée « image » (au sens émetteur et pas récepteur) donc non-filtrables car présentes dans la bande d'émission.

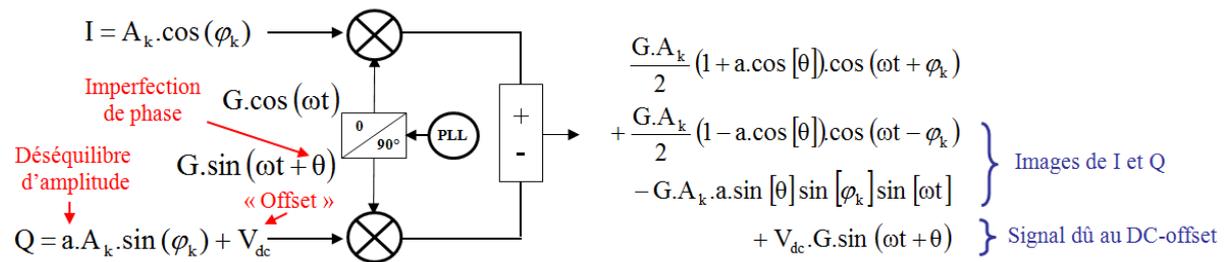


Fig. 22. Modulateur IQ

L'étage de mélange est également sensible au phénomène de « DC-offset ». Si lors de la polarisation des cellules de mélange une tension DC vient à fuir, alors celle-ci fera apparaître la fréquence de synthèse elle-même, proche de la bande utile. Celle-ci est considérée comme une émission parasite. Il peut également arriver que lors de la conversion, des harmoniques de la fréquence porteuse soient créées et se re-mélagent autour de la porteuse elle-même en passant par les lignes d'alimentation. Par exemple, si l'harmonique 3 et l'harmonique 2 se soustraient, elles peuvent faire apparaître la fréquence porteuse proche de la bande utile. Enfin un problème concerne tout particulièrement les signaux large bande, car il est difficile de garantir le même gain de conversion sur plusieurs dizaines de MHz. Aussi on peut avoir une distorsion d'amplitude entre le signal bande de base et le signal transposé ce qui génère une augmentation de l'EVM.

Toutes ces distorsions sont réductibles grâce à la rigueur lors de la conception de l'étage de mélange et à la pureté de la fréquence porteuse.

Des indicateurs permettent d'estimer la robustesse de ce bloc face aux imperfections. Ils sont définis dans les équations suivantes à partir du schéma de la figure précédente et correspondent à des rapports de puissance dans la bande utile:

$$IRR = 10 \cdot \log_{10} \left(\frac{(1 - a \cdot \cos[\theta])^2 + (2 \cdot a \cdot \sin[\theta])^2}{(1 + a \cdot \cos[\theta])^2} \right)$$

$$\text{LOR} = 10 \cdot \log_{10} \left(\frac{2 \cdot V_{\text{DC}}}{A_k [1 + a \cdot \cos(\theta)]} \right)^2$$

Ainsi, un déséquilibre en gain sur la voie Q de 20% et un déphasage de 5° entraînent un IRR de -17.6dB. Les performances actuelles des mélangeurs sont autour des -50dB. Nous verrons dans la partie dédiée aux architecture numériques qu'il existe des solutions permettant de réaliser la conversion numérique-analogique et la transposition dans un même sous bloc.

II.2.3. Synthèse de fréquence

Dans tout étage de transposition il est nécessaire d'avoir une fréquence porteuse stable et précise avec un minimum de bruit. Il alors est impératif de concevoir un étage de synthèse de fréquence stable et flexible pour garantir la reconfigurabilité et les performances spectrales. C'est un des blocs les plus sensibles lors de la prise en compte des contraintes spectrales du fait qu'il se trouve en amont de l'amplification et que le bruit de phase multiplie directement l'information émise. La structure de base est une boucle à verrouillage de phase (PLL), comme illustré sur la figure ci après.

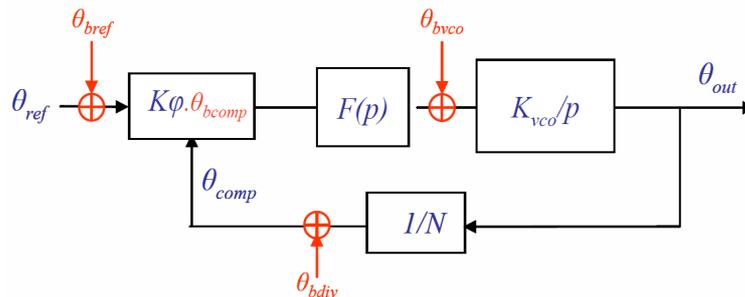


Fig. 23. Illustration d'une PLL

Pour réaliser la transposition de fréquence, le synthétiseur de fréquence doit fournir tous les signaux de porteuse (f_c) nécessaires dans une gamme de fréquences définie par le standard avec un espacement des canaux appropriés. La synthèse de fréquence sera principalement contrainte par la pureté spectrale du signal (blocage des signaux interférants, bruit de phase, fréquences parasites), par la rapidité d'établissement d'une porteuse à l'autre et enfin par la plage d'accord en fréquence porteuse et en largeur de bande. La qualité d'un signal généré par un synthétiseur de fréquence détermine souvent la performance globale d'un système de communication sans fil car il peut dégrader considérablement le BER et augmenter l'interférence entre les canaux adjacents. La pureté spectrale est généralement évaluée par des mesures de bruit de phase et de niveau de remontés spectrales « spurs ». Une pureté du signal très élevée et un faible bruit de phase sont nécessaires dans les systèmes basés sur l'OFDM, avec le risque de perdre la caractéristique d'orthogonalité des fréquences.

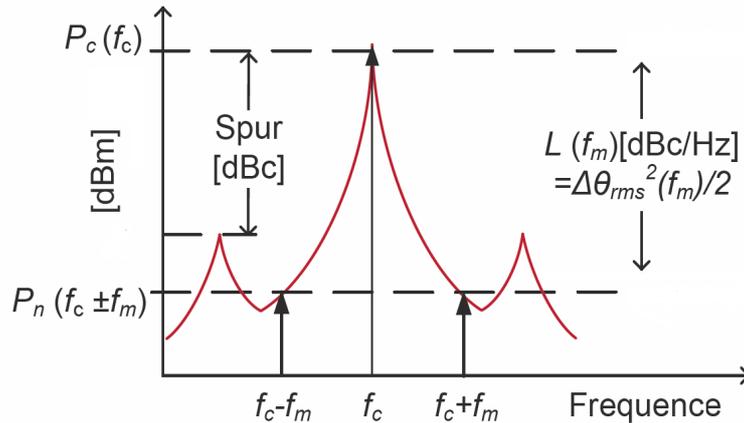


Fig. 24. Impact de la synthèse sur le spectre

Le bruit de phase est dû au bruit en $1/f$, au bruit thermique et au bruit de grenaille. C'est un bruit basse fréquence qui se mélange autour de la porteuse. De même un léger décalage de la phase dans la boucle peut faire apparaître une augmentation du plancher de bruit par la création d'une fréquence parasite (f_m) basse fréquence qui se mélange et se trouve proche de la porteuse. Des tons parasites peuvent aussi se former si l'on ne choisit pas de façon optimale le rapport entre fréquence de référence et fréquence de comparaison, la largeur de bande et l'ordre de la boucle (voir figure 24).

Ces contraintes spectrales sont considérées comme statiques mais il existe des contraintes dynamiques comme le temps d'établissement d'un canal à un autre, ou d'un standard à un autre. Pour cela, il faut garantir une résolution minimum qui correspond au pas entre deux canaux (pire cas GSM). A titre d'exemple, dans le cas du GSM il faut adresser deux grandes plage d'accord (880-960 MHz et 1710-1880MHz) avec une résolution de 200kHz une bande de 200kHz, et un temps d'établissement de 577 μ s ou 150 μ s pour le GPRS et cela en garantissant au moins -121dBc/Hz de bruit de phase à 600kHz de la porteuse.

Pour cela il existe principalement quatre techniques de synthèse :

- [PLL à boucle entière](#)

La PLL à boucle entière est composée d'un détecteur de phase, d'un filtre de boucle, d'un VCO et d'un diviseur entier. La fréquence de sortie f_{out} est déterminée par une fréquence de comparaison et un facteur de division N entier. Cette Elle présente pour avantage d'être simple à implémenter. Cependant elle présente de nombreux inconvénients tels qu'un temps d'établissement important du fait que la bande passante de la boucle ne dépasse pas 10% de la fréquence de comparaison, un bruit de phase élevé [Valenta, 2008] ainsi qu'une résolution limitée par la division entière.

- PLL à boucle fractionnaire

La PLL à boucle fractionnaire introduite par [Brevet 3928813, 1974] est composée d'une estimation de la phase par un DAC [Keliu, 2005], d'une mise en forme du bruit par modulateur Sigma-Delta et d'un diviseur fractionnel. La boucle fractionnaire présente l'avantage d'avoir un temps d'établissement plus court que la boucle entière, un bruit de phase plus faible, une résolution plus importante ainsi qu'une flexibilité en fréquence [Roger, 2005]. Par contre cela entraîne une implémentation assez complexe et consommante. Le bruit de quantification du Sigma-Delta devra en outre être filtré ainsi que les fréquences parasites fractionnaires par un filtre externe.

- PLL en mode Hybride

Il existe aussi des solutions hybrides [Valenta, 2010,2011] qui tirent avantage des deux boucles précédentes. Le principe est d'utiliser dans la phase rapide d'établissement la boucle fractionnaire pour ensuite commuter sur une boucle entière. Ainsi on optimise la vitesse d'établissement et la résolution, puis on passe sur la boucle entière pour optimiser la consommation et les fréquences parasites.

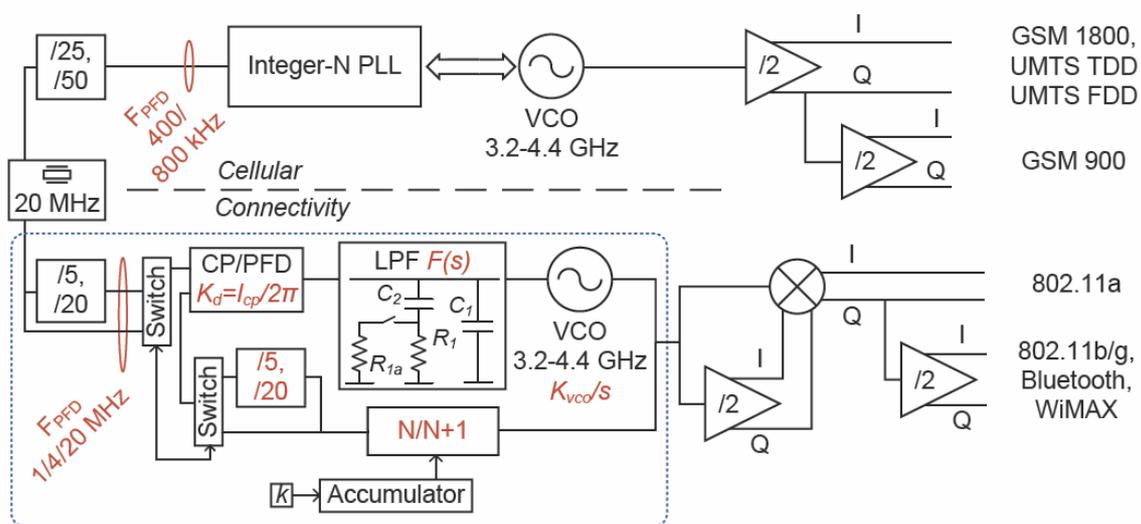


Fig. 25. PLL Hybride proposée par [Valenta, 2011]

- PLL toute numérique

Enfin la PLL toute numérique ou « ADPLL » se compose d'un convertisseur TDC (Time to Digital Converter) qui contrôle un DCO (VCO numérique). L'intérêt est un fort degré d'intégration dans les architectures CMOS numérique actuelles [Syllaios, 2007][Staszewski, 2005], une reconfigurabilité très forte et une faible consommation aux basses fréquences. Cependant il existe un bruit de quantification dû au TDC ainsi qu'un fort compromis entre la résolution du TDC et les parasites proche de la porteuse. Nous développerons par la suite dans le chapitre 3 la PLL numérique.

II.2.4. Filtrage RF

Dans toutes architectures d'émission, le filtrage RF est un bloc essentiel si l'on veut garantir les contraintes spectrales imposées par chaque standard. Il a été vu dans les parties précédentes que chaque sous bloc génère des émissions parasites sous forme de bruit de phase ou de remontées spectrales proches. Pour respecter les contraintes d'ACPR et d'ACLR nous utilisons des filtres passe bande, centré sur la fréquence porteuse et dont les paramètres dépendent du standard. Les deux principaux paramètres sont la largeur de bande du filtre qui doit tenir celle du standard (tend vers 40MHz en LTE). Si l'on considère que l'on veut les mêmes pertes d'insertion sur toute la bande il faut alors garantir une bande à 3dB d'au moins le double de la bande passante maximale du standard soit 80MHz en LTE. De plus selon la fonction de transfert du filtre, il peut apparaître des ondulations dans la bande. Aussi on privilégiera des fonctions du type Butterworth ou Caer. Le deuxième paramètre important est la réjection et la symétrie du filtre. Dans la suite de l'étude nous définirons la sélectivité nécessaire pour les différentes bandes cellulaires. Les pertes d'insertion dans la bande doivent être les plus faibles possibles dans le but de relâcher le gain nécessaire au niveau de l'amplificateur (dimensionnement en puissance). Ces pertes d'insertion dépendront du type de filtre utilisé. Un filtre SAW aura des pertes d'insertion entre 1 et 3dB alors qu'un filtre LC aura des pertes d'insertion dépendant principalement du facteur de qualité des inductances utilisées. Cependant avec un filtrage LC il faut faire attention à la sensibilité des composants lorsque l'ordre est trop élevé.

Il y a un compromis entre ordre (sélectivité) et sensibilité du filtre aux défauts de procédé. Pour une plus grande sélectivité, une bonne reconfigurabilité, et une bonne intégration, les filtres actifs ou les filtres numériques peuvent être utilisés, mais ils ont souvent exposés aux limitations du taux d'échantillonnage. De plus ces filtres, consomment de la puissance supplémentaire et ajoutent du bruit ce qui en émission n'est pas limitant mais peut le devenir en réception. Enfin le temps de retard de groupe (TPG) du filtre doit être constant afin de garantir un déphasage linéaire et limiter les distorsions du signal dues au filtre. Ce sera contraignant pour les signaux de type large bande. De plus si l'on se place dans un contexte multistandards et multi bandes, il faut que le filtre soit reconfigurable en fréquence en largeur de bande et en sélectivité tout en conservant ses caractéristiques optimales de pertes d'insertion. A l'heure actuelle les fabricants de terminaux mobiles parallélisent un grand nombre de filtre SAW, chacun attribué au filtrage d'une bande spécifique. C'est donc un coût importants, tant sur le plan financier que sur le plan de la taille du terminal. Il y a alors un enjeu très important et une limitation technologique liée à cette opération de filtrage dans les architectures multi-standards.

II.2.5. Amplification

L'amplificateur de puissance doit amener le signal analogique mélangé autour d'une porteuse, jusqu'à un niveau de puissance défini par le standard (de l'ordre de 30dBm). L'amplificateur est conçu pour être le plus linéaire possible afin de ne pas ajouter de distorsion sur le signal. Cela aurait pour effet d'augmenter considérablement l'EVM et les ACPRs et donc de ne plus suivre les spécifications spectrales du standard. De même il faut garantir un rendement le plus haut possible afin de limiter la puissance dissipée. Actuellement le bloc d'amplification de puissance peut représenter dans certains terminaux mobiles jusqu'à 45% de la consommation. Cela a un impact direct sur l'autonomie de la batterie. Pour augmenter le rendement il faut donc travailler à forte puissance (fort gain) mais cela entraîne l'apparition de phénomènes de compression, de conversion et d'effets mémoire.

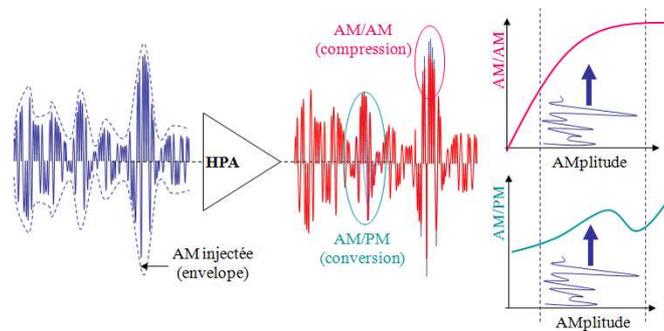


Fig. 26. Effet non linéaires dans un amplificateur de puissance

La première classe d'amplificateur est celle des amplificateurs linéaires classe A. Ci-dessous on peut voir la caractéristique en puissance d'un amplificateur en classe linéaire. On caractérise les non-linéarités d'amplitude (AM/AM) par le point de compression à 1dB (impact sur EVM). À partir d'une certaine puissance d'entrée P_{in1dB} l'amplificateur fournit un gain inférieur de 1dB. Aussi lorsque l'on aura des signaux à forte variation d'amplitude les niveaux élevés ne seront pas amplifiés avec le même gain que les signaux de faible amplitude. Cela entraîne un phénomène de compression de l'information d'amplitude et une déformation de la constellation (augmentation de l'EVM).

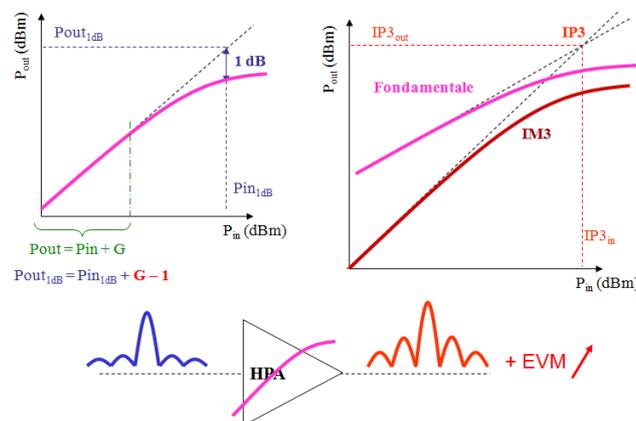


Fig. 27. Illustration du point de compression 1dB et de l'IP3

L'apparition de standards large bande tel que le LTE, amène à une forte augmentation de la bande passante et de la dynamique d'amplitude d'enveloppe (PAPR de 6-9dB). Pour éviter ce phénomène, il faut alors prendre un point de recul (back-off), et donc travailler en moyenne bien en dessous de la saturation, ce qui entraîne une chute importante du rendement. Le pourcentage de temps passé autour de la moyenne par rapport à l'amplitude pic dépend de la distribution statistique du signal. Cela entraîne donc une forte chute du rendement PAE de l'amplificateur (environ 10% pour du LTE en classe A). De même il existe de point d'interception IP3 qui correspond au croisement des composantes linéaires de la fondamentale et de la raie d'intermodulation d'ordre 3. Plus ce point est élevé est plus bas seront les ACPR. Le point clé dans la conception d'amplificateurs réside dans l'optimisation du compromis linéarité / rendement. De façon à améliorer la linéarité des classes linéaires il existe des techniques d'amélioration analogique comme le montage Doherty. Il existe aussi des méthodes numériques adaptatives telles que la prédistorsion qui sera développée dans la prochaine partie. Il existe d'autres classes linéaires (B, AB et C) qui peuvent permettre d'augmenter le rendement en diminuant la puissance dissipée. La puissance dissipée est dû au recouvrement des tensions et courants de drain. La figure 28 représente les différentes classes d'amplification avec leurs droites de charge respectives.

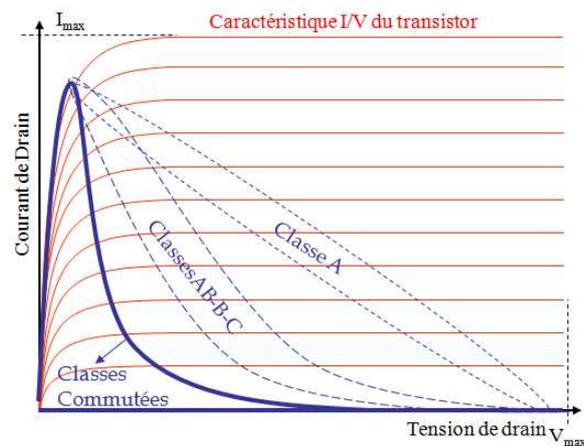


Fig. 28. Les différentes classes d'amplification

On comprend que pour maximiser le rendement il ne faut aucun recouvrement entre tension et courant de drain. C'est ce que propose théoriquement les amplificateur en classe commutée (classes D, E et F) avec des rendement de drain théorique de 100% [sokal, 1975][raab, 2003][Diet, 2008]. Nous avons par exemple conçu un amplificateur classe E avec 86% de rendement [Robert, 2009] avec un transistor E-pHemt. Cependant ce type d'amplificateur n'est pas conçu pour reproduire des amplitudes variables car il leur faut un signal à amplitude constante et de nature à faire commuter (signal carré). Aussi il est nécessaire lorsque l'on veut utiliser ce type d'amplificateur, de co-concevoir l'architecture adaptée fournissant le signal adapté. Par exemple dans le cadre du test de l'amplificateur classe E nous avons travaillé sur une architecture polaire à modulateur sigma delta [Suarez, 2008] [Robert, 2009]. Nous

allons montrer ci-après l'importance du choix de l'architecture afin de maximiser les performances en linéarité et en rendement.

II.3. Etude des architectures d'émission

Chacun des blocs présentés ci-dessus est utilisé dans une architecture d'émission. Nous avons choisi de découper l'étude des architectures selon deux familles. Tout d'abord, les architectures conventionnelles plus orientées vers les amplificateurs linéaires. Nous allons voir que celles-ci souffrent de problèmes de linéarité lors de l'émission de standards large bande. Cependant elles présentent d'intéressantes possibilités de reconfigurabilité. Ensuite nous présentons les architectures à techniques d'amélioration de la linéarité permettant ainsi d'optimiser le compromis gain-rendement. Nous verrons toutefois que ces architectures faiblement reconfigurable car le plus souvent associées à des amplificateurs en classes commutées.

II.3.1. Architectures d'émetteurs classiques

La première famille d'architectures est la famille des architectures cartésiennes, ou encore architectures à modulateur en quadrature. On distingue principalement deux grandes familles :

- Architectures homodynes ou à conversion directe (architectures ZIF).
- Architectures hétérodynes ou architecture à double conversion.

Ces deux types d'architectures sont compatibles avec des signaux à enveloppe constante (GSM) ou non constante (W-CDMA, LTE). Ces deux architectures peuvent être une solution pour des applications multi-standards.

II.3.1.1. Homodyne

Les émetteurs à conversion directe sont utilisés dans de nombreuses applications sans fil du fait de leur haut niveau d'intégration. En effet, ils ne nécessitent que très peu d'éléments puisqu'il ne comprend qu'un seul étage de conversion.

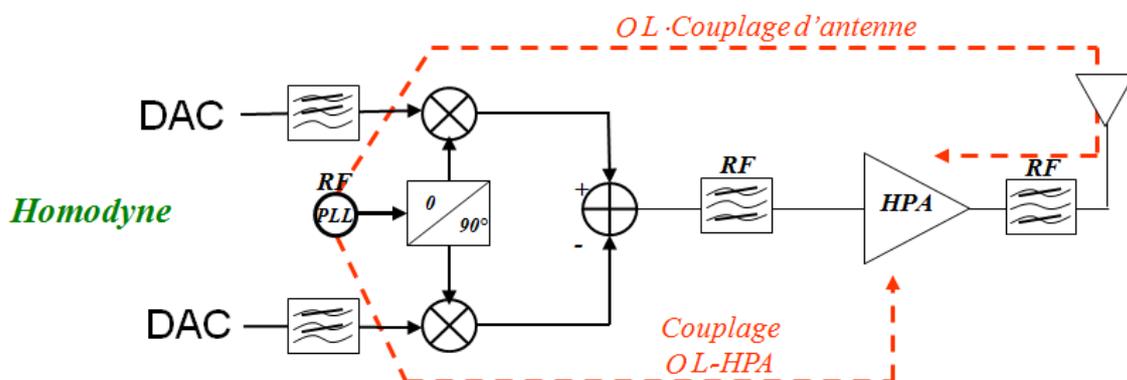


Fig. 29. Architecture de type homodyne ou à conversion directe

Cependant, cette architecture a aussi des défauts, tels que le « LO pulling » sur la synthèse de fréquence via l'amplificateur, ou la fuite de porteuse au niveau de l'antenne qui nécessite alors une conception contraignante du filtre d'antenne. Le « LO pulling », est dû au signal de sortie de l'amplificateur de puissance. Un signal de bruit amplifié est alors ré-injecté au niveau du VCO via l'alimentation par exemple. Lorsque le niveau de ce bruit augmente, le VCO risque de se fixer sur la mauvaise fréquence et donc génèrera un décalage de la fréquence de l'OL. Une solution peut être d'utiliser deux VCO et un mélangeur afin d'obtenir la fréquence OL. Cette technique est appelée « OL offset ». Ainsi la composante fréquentielle du bruit se trouve suffisamment loin de chacune des sous fréquences obtenues dans les deux VCO (voir figure 30).

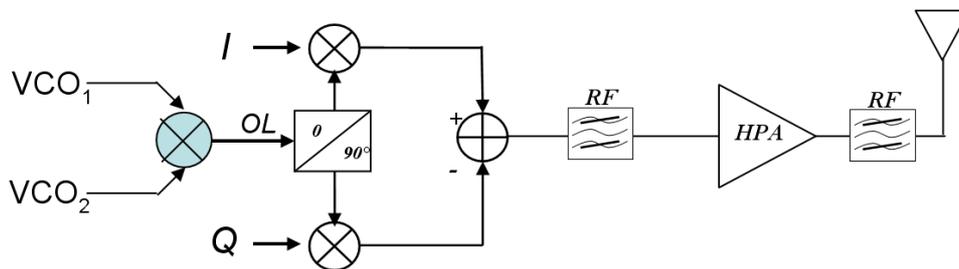


Fig. 30. Solution à double VCO pour diminuer le couplage d'OL [Brenna, 2004]

Concernant la fuite de la porteuse elle est principalement imputable, à la conception du mélangeur. Il existe des solutions [Brenna, 2004] permettant de réduire l'impact du couplage en formant la porteuse à partir de deux VCO distincts.

Pour illustrer les architectures homodynes on peut analyser les deux exemples suivants. Dans [Masse, 2006] développée par Analog Devices en 2006 pour des applications WiMAX (10MHz de bande), l'architecture, n'intègre pas l'amplificateur de puissance :

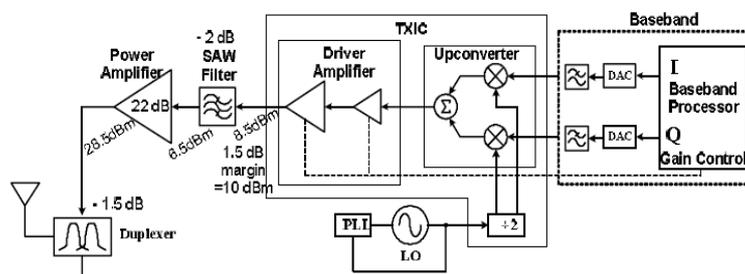


Fig. 31. Architecture RFIC [Masse, 2006]

Cette architecture utilise deux DAC 14bits (70dB SNR), un filtrage des répliques de l'horloge des DACs, un mélange en quadrature et un amplificateur à gain variable (50dB de contrôle).

Le second exemple [Yang, 2007] est une architecture homodyne qui comprend un étage de pré-amplification (classe AB). Cette architecture en CMOS 90nm, destinée au standard WCDMA a été développée par une équipe de l'université de Caroline du Nord avec IBM et Qualcomm. En comparaison avec l'architecture [Masse, 2006], une partie de l'amplification est effectuée dans le circuit intégré d'émission, permettant d'obtenir une puissance de 9.6dBm tout en en garantissant -43.2dBc d'ACLR à 5MHz. Cette solution réduit ainsi les performances nécessaires de l'amplificateur de puissance externe. Cependant le rendement de l'architecture globale avant l'amplificateur de puissance externe est de 10% à 1.9Ghz à cause du back-off sur l'amplificateur pour garantir la linéarité.

II.3.1.2. Hétérodyne

Une seconde approche possible pour les architectures à conversion haute est l'architecture hétérodyne. Les signaux bande de base I et Q sont dans un premier temps modulés en quadrature, autour d'une fréquence intermédiaire. Le signal résultant subit ensuite une conversion haute, vers la fréquence porteuse RF désirée (voir figure 32).

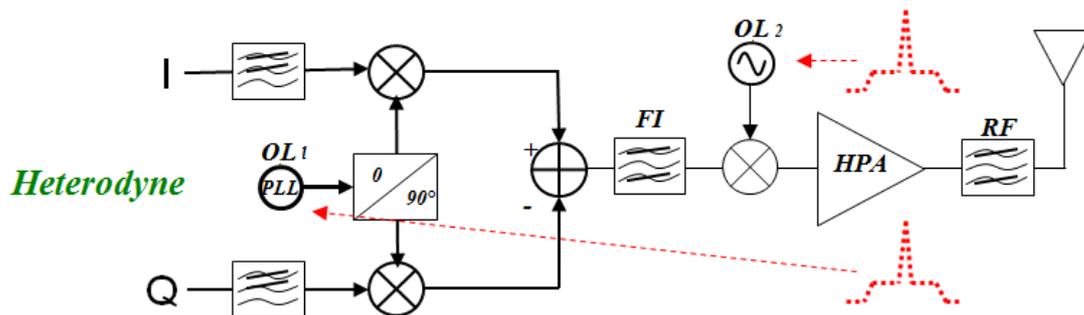


Fig. 32. Architecture de type hétérodyne

Comme le montre le schéma, cette architecture est plus complexe qu'une architecture homodyne. Elle contient une étape de mélange supplémentaire, susceptible d'augmenter la capacité d'intégration du système. Cependant, compte tenu du fait que dans de nombreux cas la fréquence intermédiaire est de l'ordre de la dizaine, voire de la centaine de MHz, la première étape de mélange peut être opérée numériquement à l'aide d'un DSP. Cependant il faut tenir compte de la largeur de bande du signal à émettre. Pour un signal de bande 20MHz, il faudra une fréquence intermédiaire supérieure à 40MHz et un DAC de largeur de bande 40MHz. Un inconvénient des architectures hétérodyne, est l'apparition d'une image du signal à $(F_{RF} - F_{IF})$ lors de la seconde étape de mélange. Cela risque de perturber les canaux adjacents, et donc nécessite une conception (lorsque cela est possible) très contraignante du dernier étage de filtrage. Une solution peut être d'utiliser une fréquence intermédiaire plus élevée.

Il est possible alors de se tourner vers des architectures dont le premier étage de mélange est numérique. Du fait du traitement et du mélange numérique des signaux bande de base dans un premier temps, on diminue les risques problèmes d'erreur de phase et d'erreur de gain en sortie des mélangeurs car on parallélise plusieurs cellules de Gilbert. Cependant ce type d'architecture nécessite ensuite des DACs large bande qui sont plus susceptibles à des erreurs de distorsion d'harmoniques par exemple. Les étapes de filtrage et de mélange successives amènent à une circuiterie complexe et à une difficulté de réaliser le multistandard (difficultés de reconfigurabilité) [Larson, 2003]. C'est pourquoi une grande majorité des architectures cartésiennes publiées utilisent le principe des architectures à conversion directe (ZIF).

II.3.2. Architectures à techniques de linéarisation

Les architectures classiques présentées ci-dessus, sont utilisées pour des signaux à faible largeur de bande et à faible PAPR. Dans ce cas, le compromis entre rendement et linéarité est faible. Cependant dans un système multistandards, l'architecture doit permettre une grande reconfigurabilité tout en émettant des signaux à bande plus large (LTE) et à PAPR élevé (6dB). Ce type d'architecture ne convient alors plus ; car pour garantir la linéarité par exemple, il faudra faire fonctionner l'amplificateur en moyenne autour d'un certain point de recul (back-off), affectant ainsi fortement le rendement global de l'architecture. Il existe donc des techniques permettant d'augmenter la linéarité à une puissance donnée et de ce fait le rendement à cette même puissance. De même, nous pouvons associer certaines architectures, non plus à un amplificateur linéaire mais à un amplificateur en classe commutée qui donnera potentiellement de meilleures performances de rendement PAE. Il existe différentes techniques de linéarisation en fonction du PAPR du signal mais aussi en fonction de la complexité et de la consommation supplémentaire engendrée que le concepteur est prêt à accorder [Villegas, 2007]. Ci-dessous nous détaillons brièvement deux grandes familles de techniques de linéarisation et de réduction du PAPR. Ce sont les techniques de correction et prédistorsion ainsi que les techniques de décomposition vectorielle du signal.

II.3.2.1. Techniques de correction et pré-distorsion

Afin d'appliquer ces corrections il faut d'abord connaître le comportement non linéaire de l'amplificateur ainsi que les effets mémoire sur toute la gamme de puissance. Il peut être modélisé sous forme de séries de Volterra par exemple.

- Correction par contre réaction et anticipation

Cette technique peut être appliquée sur l'amplitude (méthode polaire) ou directement sur les symboles I et Q du signal (méthode cartésienne).

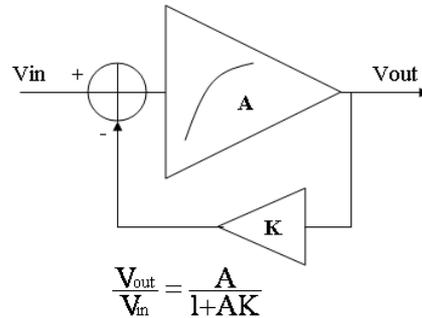


Fig. 33. Technique de linéarisation par contre réaction

Cependant, cette technique réduit le gain et introduit une réduction de la bande passante de l'amplification. On ne peut donc pas envisager une telle technique pour les signaux large bande qui concerne cette étude. Un autre problème est également celui de la stabilité lié à la boucle fermée.

La méthode par anticipation présente l'avantage de pouvoir garantir une bonne stabilité tout en traitant des signaux large bande.

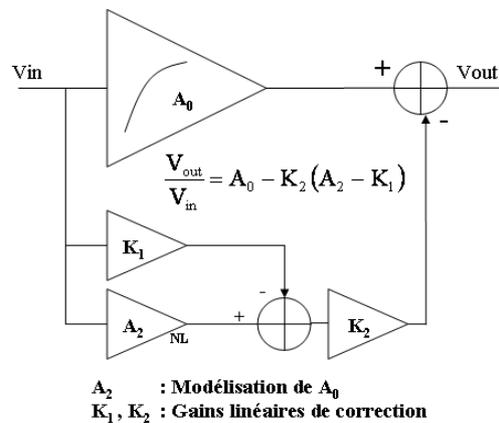


Fig. 34. Technique de linéarisation par anticipation ou feed forward

Cependant, elle demande un parfait alignement entre la voie principale et la voie de correction. Comme l'action se fait en avance à chaque V_{in} correspondent des facteurs de correction K_1 et K_2 . Si l'on a un signal à forte dynamique alors il faut que la modélisation des effets non linéaire et la plage de correction soient suffisamment précises. Cela implique une grande complexité de traitement et de gestion des facteurs de correction.

- Correction par pré-distorsion

Dans le cadre des applications multistandards, nous avons besoin d'une solution qui soit rapide, la plus économique en énergie et la plus flexible possible sans problèmes de stabilité.

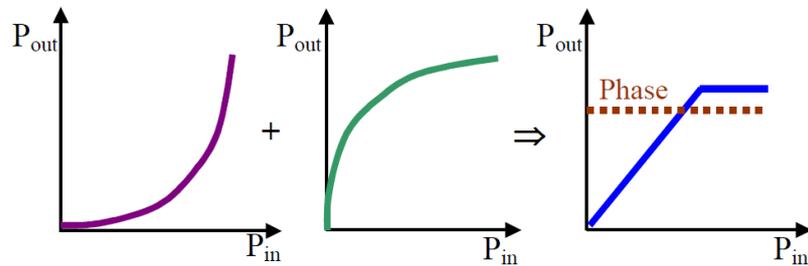


Fig. 35. Technique de la prédistorsion

La pré-distorsion propose ces atouts du fait qu'elle fonctionne dans le domaine numérique en amont de l'amplification. Le modèle non linéaire de l'amplificateur est mis en mémoire dans une table LUT (via un DSP) et pour chaque mode de fonctionnement, ou point de puissance, on vient pré-distordre le signal pour que la correction associée au phénomène non linéaire donne un comportement linéaire.

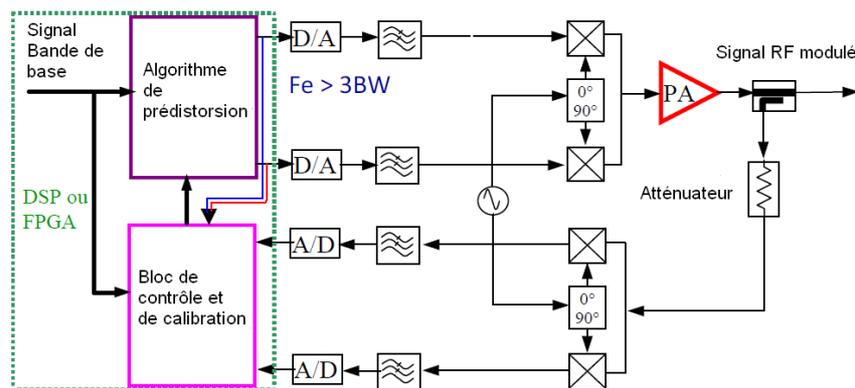


Fig. 36. Architecture utilisant la pré distorsion adaptative

Cependant tout ce traitement a tendance à augmenter la largeur de bande du signal jusqu'à trois fois [Baudoin, 2007]. En distordant le signal, c'est comme si l'on venait appliquer des non linéarités inverses et donc augmenter la largeur de bande du signal. De ce fait même les blocs en bande de base devront accepter des signaux large bande.

II.3.2.2. Technique de décomposition vectorielles du signal

II.3.2.2.i. LINC-Callum

La deuxième technique est la technique LINC. Le principe de l'architecture LINC est de diviser un signal à enveloppe non constante, en deux signaux de phase complémentaires mais avec une enveloppe constante :

$$S(t) = V(t) \cos(\omega t + \varphi(t))$$

$$S_1(t) = A \cos(\omega t + \varphi(t) + \alpha(t))$$

$$S_2(t) = A \cos(\omega t + \varphi(t) - \alpha(t))$$

avec $A = V_{max} \cos(\alpha(t))$ et $\alpha(t) = \cos^{-1}(V(t) / V_{max})$

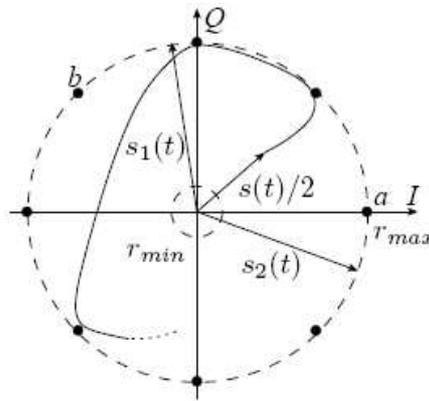


Fig. 37. Principe du LINC

Il y a donc deux signaux à enveloppe constante ce qui est plus facile à amplifier avec des amplificateurs non linéaires à fort rendement, tels que les amplificateurs classe E et D. Sur chacun des signaux nous avons la même amplitude et la même information sur la phase. La combinaison des deux signaux, fournis un signal contenant l'information initiale en amplitude et en phase. Le souci de cette architecture est qu'elle utilise un combineur qui a d'importantes pertes, qui font chuter la rendement global de l'architecture. De plus l'architecture LINC est très sensible aux variations de phase et d'amplitude entre les deux voies complémentaires. Au-delà de 0.5dB de variation d'amplitude et 2° de variation de phase entre les deux voies, les performances chutent. C'est pourquoi une boucle de correction est nécessaire pour contrôler ces déviations. On retrouve ces structures plus facilement dans les stations de base des terminaux car le critère de consommation y est moins critique que pour les mobiles.

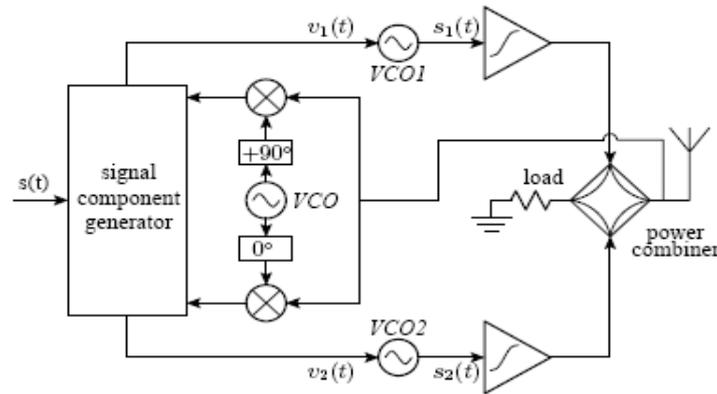


Fig. 38. Architecture Callum

L'architecture Callum propose une topologie incluant un retour du signal de sortie vers l'entrée. Ce signal de retour est mesuré et converti en bande de base. Le but est qu'une fois converti en bande de base, il est comparé au signal initial pour former un signal d'erreur. Le rôle de ce signal d'erreur est de contrôler deux VCO (via $V_1(t)$ et $V_2(t)$), qui vont fournir à l'amplificateur un signal corrigé en amplitude et en phase ($S_1(t)$ et $S_2(t)$). La principale difficulté [Strandberg, 2002] à la fois complexe et coûteuse à l'architecture est de calculer rapidement la bonne valeur de tension de contrôle des VCO avec des algorithmes très puissants et rapides. D'un point de vue fréquentiel, il faut faire attention à la façon dont les deux signaux complémentaires sont séparés car $S_1(t)$ et $S_2(t)$ vont avoir une bande plus large que $S(t)$. Une étude montre [Strandberg, 2002] que la bande du signal à enveloppe constante dans la boucle est apparemment dépendante de la modulation du signal initial et que le signal de contrôle du VCO est plus large que le signal à enveloppe constante $S_1(t)$. Le problème est que lorsque la fréquence augmente trop, la capacité de correction de la boucle diminue.

II.3.2.2.ii. EER

La technique abordée est la technique EER (Envelope Elimination and Restoration) qui comme son nom l'indique est une technique qui consiste à éliminer la dynamique de l'enveloppe pour la reconstruire après amplification du signal. Cette technique se nomme aussi « technique Kahn ». La figure 39 illustre un schéma de cette architecture. L'idée principale est d'obtenir une enveloppe et un signal de phase, d'amplitudes constantes à partir d'un signal RF à forte dynamique d'enveloppe [Diet, 2004] dans le cas d'un signal analogique.

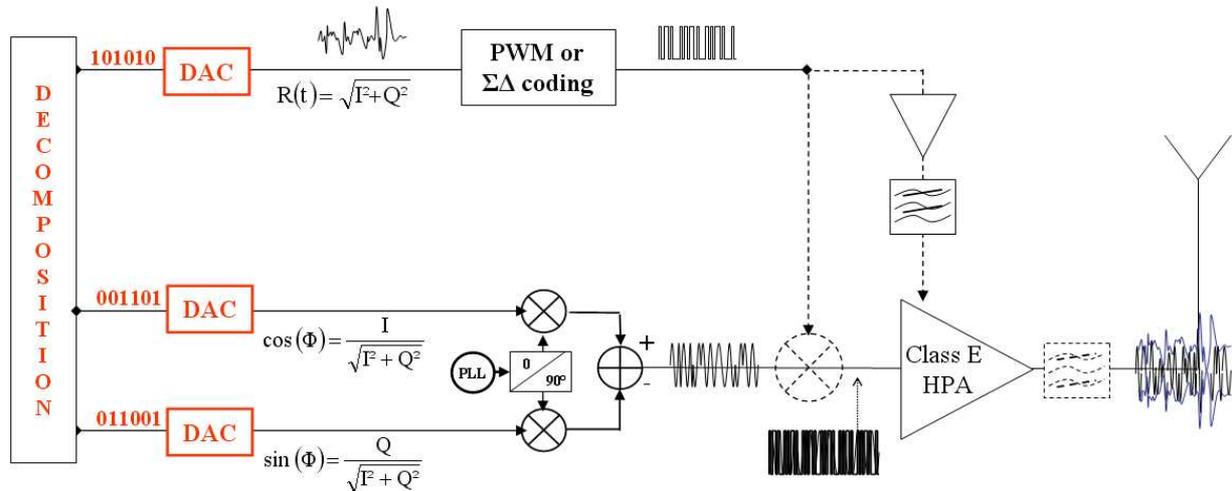


Fig. 39. Architecture EER

- Le signal RF est divisé en deux signaux différents. Le premier est déterminé grâce à un détecteur d'enveloppe, le second signal (phase) est extrait grâce à un limiteur.
- Le signal d'enveloppe est alors modulé en un signal carré à l'aide d'un modulateur Sigma-Delta ou d'un modulateur PWM (Pulse Width Modulation).
- L'enveloppe constante est amplifiée par un amplificateur, haut rendement puis le signal amplifié est filtré pour obtenir une image amplifiée de l'enveloppe initiale.
- Grâce au limiteur le signal de phase a une enveloppe constante et peut donc être amplifié par un amplificateur à fort rendement de type classe E. Ensuite après l'amplification, on utilise un dernier amplificateur pour moduler le signal de phase et pour lui redonner son enveloppe. Pour cela, on effectue une modulation de drain avec le signal d'enveloppe amplifié.

Dans les applications EER, l'un des défis principal est la capacité de modulation de la tension et du courant DC de polarisation. Une configuration de circuit [Grebennikov, 2002] [Robert, 2009] d'amplification à amplificateur classe E utilisant un réseau de sortie composé d'une capacité parallèle, d'une inductance parallèle et d'un circuit résonnant à la fréquence porteuse du signal, montre des possibilités d'amplification de signaux dont la largeur de bande est de l'ordre du MHz. Cela permet à l'amplificateur de fonctionner à un rendement proche de 100%. Le classe D et le classe E ont les mêmes performances mais le classe E peut facilement travailler à des fréquences de fonctionnement dans la bande K alors que le classe D est limité à des fréquences de l'ordre de la centaine de MHz voir au mieux à 1GHz. Ce qui est primordial pour l'amplificateur, c'est d'avoir la tension de drain la mieux adaptée à la dynamique de l'enveloppe, sinon il sera difficile de moduler correctement les forts niveaux d'enveloppe avec un phénomène d'écrêtage. Pour travailler avec un amplificateur classe E il

faut faire un compromis [Diet, 2003] entre le contrôle en amplitude du drain et le contrôle de la phase. Si la tension de drain de l'amplificateur est trop faible (lors de la modulation de drain de niveaux d'enveloppe bas) alors la réponse de la phase va avoir une réponse très sensible avec une forte dynamique et l'amplitude sera très non linéaire. Dans le cas inverse, l'amplitude sera non linéaire mais la phase variera trop lentement. La technique EER telle qu'elle a été présentée ci-dessus peut être considérée comme un modèle idéal. En réalité il apparaît des distorsions du signal pour deux raisons principales. La première est causée par le modulateur d'enveloppe (PWM ou Sigma-Delta) et le détecteur d'enveloppe qui n'est pas idéal. En fait, lorsque l'enveloppe est échantillonnée, si les pas sont trop faibles, il apparaît le phénomène d'écrtage « clipping » qui va avoir pour cause de déformer l'allure de l'enveloppe et d'augmenter l'EVM (Error Vector Magnitude). La seconde distorsion est due au délai entre la voie de phase et la voie d'enveloppe. S'il y a une désynchronisation entre les deux voies alors l'EVM augmente et la constellation opère une rotation liée à l'écart de fréquence des sous-porteuses (cas du signal OFDM). Si le « mapping » n'est pas assez espacé, alors on va augmenter la BER (Bit Error Rate). La difficulté principale en EER est de minimiser l'EVM. Pour éviter ces distorsions il existe plusieurs techniques.

- EER avec « envelope feedback » ou « phase feedback »

Le principe de cette architecture est d'obtenir un meilleur EVM et de meilleurs ACPR (Adjacent Channel Power Ratio) qu'avec l'architecture EER classique de Kahn en utilisant une boucle de retour, qui calcule l'erreur d'amplitude comme montré dans [Nesimoglu, 2006]. Dans ce cas, il faut faire attention aux détecteurs d'enveloppe, en effet ils doivent travailler au même niveau de puissance pour ne pas mesurer un niveau d'enveloppe erroné. Par cette méthode, on obtient de meilleures performances en ACPR de l'ordre de 7dB mais cela dépend aussi de l'application et de la modulation présentée à l'architecture. En WLAN cette méthode ne montre pas de résultats convaincants.

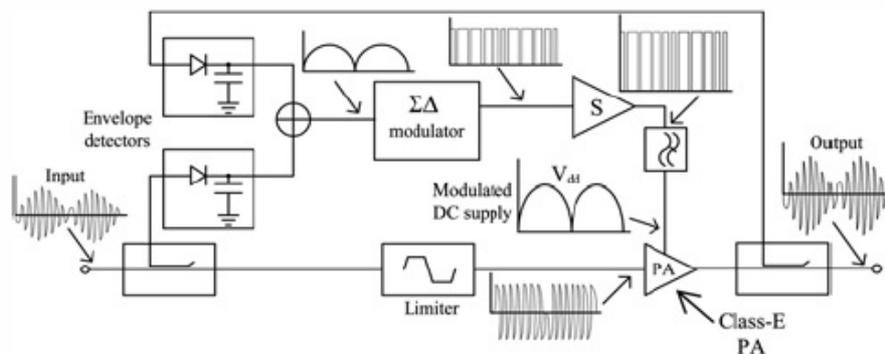


Fig. 40. Architecture EER à boucle de contre réaction en amplitude

En « phase feedback » le principe est aussi d'avoir de meilleures performances en ACPR. Dans le d'une modulation à plusieurs porteuses, de type OFDM, la phase contient énormément d'informations,

donc il est très important de se prémunir contre des erreurs de phase. Une méthode proposée [Nesimoglu, 2008] est d'utiliser une boucle de contrôle de phase. Une image de la phase en sortie de l'architecture est recopiée en utilisant un limiteur et est comparée à la phase en entrée de l'architecture, avec un mélangeur utilisé comme un comparateur de phase. L'erreur résultante donne une tension qui sert à contrôler un déphaseur. Cette fois ci, dans le cas du WLAN cela apporte une amélioration du rendement de près de 6% [Nesimoglu, 2008]. A tout niveau cette technique est meilleure que celle de Kahn mais au prix de la complexité d'intégration.

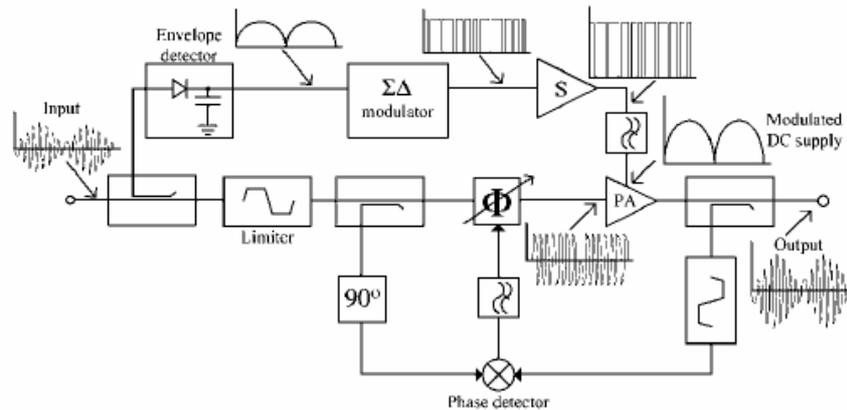


Fig. 41. Architecture EER à boucle de contre réaction en phase

- [EER avec correction de délai](#)

Dans une architecture EER, on revient au fait que le problème principal à résoudre est le délai qui peut exister entre la voie de phase et la voie d'amplification de l'enveloppe. Ce problème temporel est directement une conséquence de la désynchronisation entre le signal d'enveloppe et le signal de phase. Le signal d'enveloppe est retardé de son côté, par son passage dans le modulateur (PWM ou Sigma-Delta). Cette erreur temporelle génère une rotation de la constellation émise, proportionnelle au délai et va donc augmenter l'EVM [Baudoin, 2003]. Une solution est proposée [Zhi, 2006] en utilisant un détecteur de phase, et des registres. Comme dans une architecture classique de type Kahn le signal RF est divisé en deux signaux. Cette fois ci la séparation entre phase et enveloppe est faite de façon numérique. Après la modulation de drain la différence est que l'enveloppe d'entrée et l'enveloppe de sortie sont quantifiées de façon digitale et comparées avec un comparateur de phase. Ensuite l'erreur de phase est envoyée à un compteur qui va compter le délai et comparer dans une table des délais pour corriger le retard.

II.3.2.2.iii. Architecture Polaire

Cette architecture est basée sur l'amplification d'un signal à enveloppe constante autour d'une porteuse RF. Dans ce but, on utilise les coordonnées IQ à travers un DSP pour calculer le signal d'enveloppe et deux signaux de phase ($\frac{I}{\sqrt{I^2+Q^2}}$ et $\frac{Q}{\sqrt{I^2+Q^2}}$):

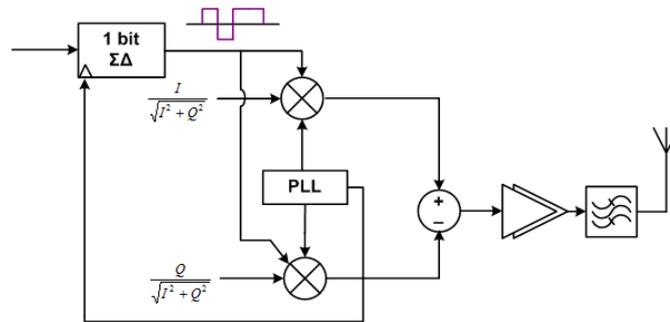


Fig. 42. Architecture polaire associée à un amplificateur classe E

Les deux signaux de phase sont alors mélangés autour d'une porteuse avec un déphasage de 90° . Ainsi en additionnant ces deux voies, on pourra obtenir des sauts de phase de 180° (Modulation BPSK), équivalent d'un point de vue forme d'onde au passage d'un niveau (+a) à un niveau inverse (-a). Le signal d'enveloppe est quand à lui modulé en un signal à enveloppe constante, au travers d'un modulateur de type sigma-delta ou PWM. Ce signal d'enveloppe est alors mélangé avec chacun des deux signaux de phase contenant l'information. Ensuite ces deux signaux sont additionnés pour former un signal à enveloppe constante à information de phase. On peut détailler le calcul ci-dessous en partant de l'hypothèse que le signal issu du codage PWM ou sigma-delta est compris entre (+/-)a.

$$\left(\frac{I}{\sqrt{I^2+Q^2}}(\pm a) + \frac{Q}{\sqrt{I^2+Q^2}}(\pm a) \right) = \sqrt{\left(\frac{I}{\sqrt{I^2+Q^2}}(\pm a) \right)^2 + \left(\frac{Q}{\sqrt{I^2+Q^2}}(\pm a) \right)^2} = \sqrt{\left(\frac{I^2}{I^2+Q^2} + \frac{Q^2}{I^2+Q^2} \right) (\pm a)^2} = (\pm a)$$

On obtient bien en sortie de l'architecture un signal à enveloppe constante. Le signal peut alors être amplifié un amplificateur à fort rendement. Enfin un filtre de reconstruction passe bande permettra de recouvrer l'information initiale en éliminant le bruit de quantification (présenté dans la partie suivante) du modulateur d'enveloppe (PWM ou sigma-delta).

Depuis que les transistors peuvent atteindre des fréquences de commutation élevées, et depuis que des modulateurs tels que le sigma delta sont capables de travailler à des fréquences allant au-delà de quelques GHz, deux types d'architecture ont été développées, la première utilisant un modulateur PWM et la seconde utilisant un modulateur sigma-delta. Si l'on utilise l'architecture polaire à

modulateur Sigma-Delta, alors la mise en forme du bruit de quantification qui lui est propre, devient un avantage tout particulier. En effet le délai admissible entre la phase et l'enveloppe avant qu'ils ne soient multipliés et supérieur au délai de modulation. Grâce à cela, nous pouvons alors utiliser un modulateur d'ordre plus élevé pour améliorer la qualité de la modulation et donc diminuer l'EVM. La bande du signal de phase est déterminante dans le choix de la fréquence d'échantillonnage du convertisseur numérique-analogique. Un compromis doit être fait entre la bande du signal de phase et le taux de sur-échantillonnage. Le risque est donc d'avoir un bruit plus conséquent dans la quantification. La modulation PWM doit utiliser des comparateurs très rapides si l'on travaille aux fréquences RF. Actuellement il existe de tels modulateur capable de travailler à des fréquences jusqu'à 16GHz. L'atout du sigma delta vis-à-vis du PWM réside dans sa capacité à mettre en forme le bruit de quantification et à conserver toute l'information dans la bande utile. Suite aux explications précédentes, il apparait que l'architecture polaire à modulateur Sigma-Delta bénéficie de nombreux avantages. Un de ces principaux avantages est certainement, la possibilité d'utiliser des amplificateurs en classes commutées sans avoir besoin de boucles de correction coûteuses en ressources et en traitements. En théorie un rendement de drain de 100% est possible compte tenu des caractéristiques de commutations permettant un non recouvrement entre tension et courant de drain. Cette hypothèse est valable dans le cas où le signal à amplifier est un signal 1-Ton et donc de faible largeur de bande avec un rapport cyclique constant. Dans [Robert, 2009a] nous avons montré un amplificateur classe E avec 86% de rendement drain sur 1 ton. Cependant en associant cet amplificateur avec une architecture polaire pour des signaux WiMAX, le rendement global de l'architecture chute à 42% du fait que le circuit de commutation de l'amplificateur filtre le bruit de mise en forme hors bande du sigma delta qui a été en partie amplifié par l'amplificateur. On peut alors travailler sur la mise en forme du signal et optimiser la fonction de mise en forme du bruit du modulateur sigma delta afin de diminuer la part de puissance potentiellement filtrée. Dans cet optique nous avons également observé l'importance du codage d'enveloppe sur les performances de l'amplificateur [Robert, 2009b].

II.4. Conclusion

Au travers de cette étude il apparait clairement qu'une architecture conventionnelle telle que l'architecture à conversion directe présente de nombreux avantages en termes d'intégration et de reconfigurabilité et de robustesse. De plus chaque fonction est bien délimitée permettant une transition progressive des blocs, du domaine analogique vers le domaine numérique. Etant donné que nous recherchons avant tout l'intégration et la reconfigurabilité, les architectures à amélioration de la linéarité associées à des amplificateurs commutés ne permettent pas de répondre à notre problématique. Aussi nous allons partir d'une architecture à conversion directe pour progressivement arriver à une architecture toute numérique.

Chapitre III. Dimensionnement d'émetteurs « tout numérique » pour des applications cellulaires

III.1. Des architectures analogiques aux architectures « tout numérique »

Les performances des processeurs actuels et les avancées dans le domaine de la recherche sur les « DAC » hautes fréquences amènent à intégrer de plus en plus de fonctions analogiques dans le domaine de l'électronique numérique. Dans cette partie, nous allons montrer que la frontière entre domaine analogique et numérique dans une chaîne de transmission se voit progressivement repoussée jusqu'à la fonction « amplification de puissance » en passant par le mélange, la synthèse et la pré-amplification des signaux à l'émission.

III.1.1. Evolution des blocs de mélange et de synthèse

La transition du monde analogique vers le monde numérique s'est dans un premier temps, basée sur la transformation d'architectures existantes, principalement celles d'architectures à conversion directe, dont on représente le schéma (figure 43).

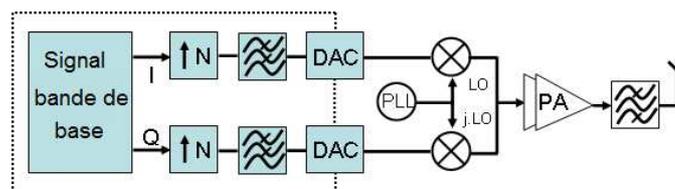


Fig. 43. Architecture à conversion directe

III.1.1.1. Du mélange analogique au mélange numérique

Le premier bloc qu'il apparait intéressant de numériser est la fonction « mélange ». Des exemples récents démontrent les capacités et les possibilités qu'apportent ces mélangeurs. Dans la partie suivante, nous détaillerons les avantages et inconvénients de cette technique par rapport à la méthode de mélange analogique.

Ces architectures [Eloranta, 2008] peuvent se regrouper sous le nom architecture DDRM pour « Direct Digital to RF Modulator » (voir figure 44). Ces derniers sont issues des recherches de deux industriels (Nokia - STMicroelectronic) et sont basées sur une architecture à conversion directe. Ici, l'architecture

numérique s'arrête aux limites de l'amplificateur de puissance et comporte une synthèse de fréquence analogique externe.

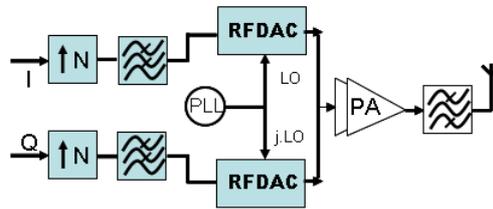


Fig. 44. Architecture DDRM [Eloranta, 2008]

L'avantage de la numérisation par rapport à l'architecture analogique est la limitation des imperfections qui pourraient être dues aux variations de « process ». En effet, dans l'architecture précédente, le bloc de filtrage en bande de base peut voir ses caractéristiques changer. Il en est de même pour le bloc de modulation, ce qui entraîne l'utilisation d'une boucle de calibration (d'où une plus grande place occupée). La numérisation peut être une source d'optimisation de la surface occupée tout en garantissant une bonne stabilité des caractéristiques du circuit.

Le premier étage est un étage de sur échantillonnage. Il n'y a donc pas de signal bande de base à traiter directement, ce qui permet de ne pas utiliser de filtre de reconstruction entre la conversion N/A et le mélange.

Dans ces architectures, l'étape de mélange et de conversion N/A est effectuée par un même et unique bloc qui est appelé le RFDAC. Des cellules de Gilbert de poids différents sont placées en parallèle (voir figure 45).

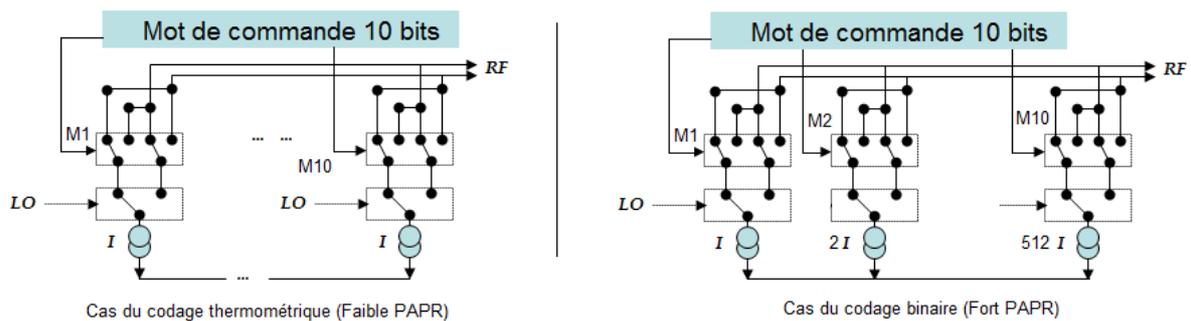


Fig. 45. Principe de fonctionnement du RFDAC

En fonction de la nature du signal, il convient de bien choisir la topologie du RFDAC et la distribution des valeurs de source de courant. Dans le cas d'un signal à faible PAPR, on utilisera un codage thermométrique dans lequel chaque bit active une source de courant unitaire. Pour les signaux à très fort PAPR, supérieur à 10dB il convient d'utiliser un codage binaire dans lequel chaque bit correspond à une source de courant deux fois plus importante que le bit précédent. D'après le schéma de la figure

ci-dessous, le principe est que la donnée sur échantillonnée est cadencée à la fréquence OL par des commutateurs (*switches*). En fonction du bit codé, on obtient un courant de sortie plus ou moins important (on parle alors de poids différents des cellules de Gilbert). On reconstruit l'information finale par l'association de tous les courants issus des cellules de conversion. Plus on parallélise les cellules, meilleure est la résolution. Du fait de la parallélisation des cellules de conversion, le déséquilibre entre les voies I et Q est limité. En effet, si un déséquilibre « I-Q » apparaît, il résultera de la moyenne des déséquilibres des cellules. Lorsque le signal présente un fort PAPR, mais avec une probabilité faible de forts niveaux de puissances, il est préférable d'utiliser une solution basé sur deux types de sources en fonction des LSB (*Least Significant Bit*) et MSB (*Most Significant Bit*) (voir figure 46).

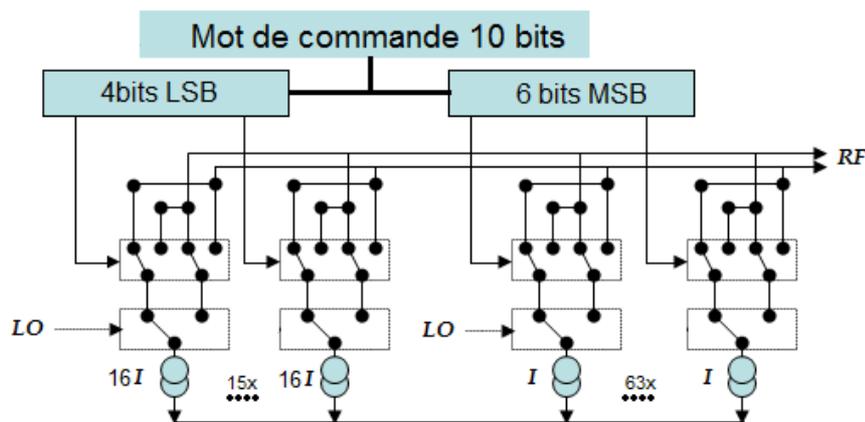


Fig. 46. RFDAC adapté aux signaux à fort PAPR

Partant de ces observations, le contrôle de puissance peut se faire par modification de la polarisation en courant de chacune des cellules, afin de baisser le courant unitaire extrait de chacune d'elle. Aucun filtre n'est utilisé, ce qui implique que le choix de la fréquence du convertisseur est déterminante. En effet, le seul filtrage opéré est celui du bloqueur d'ordre zéro (mise en forme équivalente à un sinus cardinal). Issues de ces opérations sur le signal, les raies de sur-échantillonnage représentent l'un des problèmes majeurs de ce type d'architecture, la bande de base étant répétée autour de la porteuse (OL) espacée de la valeur de la fréquence de conversion. Pour répondre à cette problématique il existe des exemples que nous ne détaillons pas ici [Jerng, 2007].

III.1.1.2. Intégration de la synthèse et mélange numérique

La deuxième architecture étudiée [Poszgay, 2008] est une architecture basée sur [Eloranta, 2008]. Cette architecture a été développée par une équipe de STMicroelectronics pour des signaux à 2.4 GHz. Par rapport à l'architecture DDRM, de multiples améliorations sont apportées, dont un meilleur filtrage des émissions parasites, une synthèse numérique et un contrôle du gain tout au long de la chaîne d'émission (qui ne joue pas uniquement sur la polarisation des sources de courant du RFDAC)..

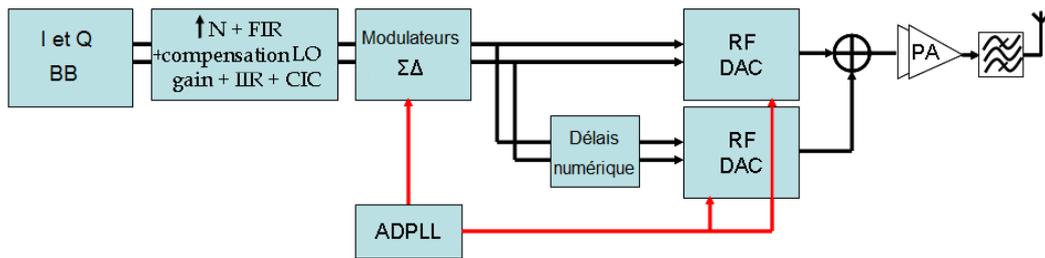


Fig. 47. Architecture DDRM à création de « notches »

Dans un premier temps, les signaux en bande de base sont sur échantillonnés de 20 MHz à 160 MHz. Tout au long de la chaîne d'émission, on observe plusieurs étages de filtrage, principalement sur la partie interpolation du signal en bande de base. Le problème majeur lié à l'interpolation d'un signal bande de base vers une fréquence proche de l'OL est l'apparition rapide de répliques aux multiples de la fréquence de sur-échantillonnage. Ces répliques sont le premier phénomène qu'il est obligatoire de filtrer sous peine de les retrouver tout au long de la chaîne. Pour ce faire, l'interpolation est effectuée par un ensemble de « FIR » et « IIR ».

Le contrôle du gain s'effectue tout au long de la chaîne d'émission. Le premier contrôle de puissance apparaît juste après le sur échantillonnage. On a alors un contrôle de la dynamique « low speed » allant jusqu'à 12dB par multiplication des signaux IQ par un mot de 10bits. Ensuite, un deuxième étage de contrôle apparaît avec cette fois ci une plage supplémentaire de 18dB (par pas de 6dB). Cela est possible par suppression successive du « LSB ».

Souvent, le rapport signal à bruit est un facteur technologiquement limité puisque directement lié à la résolution et au nombre de bits effectifs. Afin de diminuer la résolution, et donc d'augmenter le SNR proche de la bande, quatre modulateurs sigma delta sont utilisés. Deux modulateurs sont utilisés sur chacune des voies I et Q afin de permettre une troisième étape de filtrage, qui consiste à protéger des émissions parasites les bandes de réception d'autres standards (qui pourrait être actif au même instant). Cette étape est réalisée par l'implémentation d'un délai/retard entre les deux signaux sur-échantillonnés à l'entrée des DAC RF. Il en résulte, lors de la recombinaison des signaux mélangés

autour de la porteuse, l'apparition de trous dans les bandes désirées, par exemple les bandes RX W-CDMA. L'exemple illustré à la figure 48 est tiré de [Poszgay, 2008].

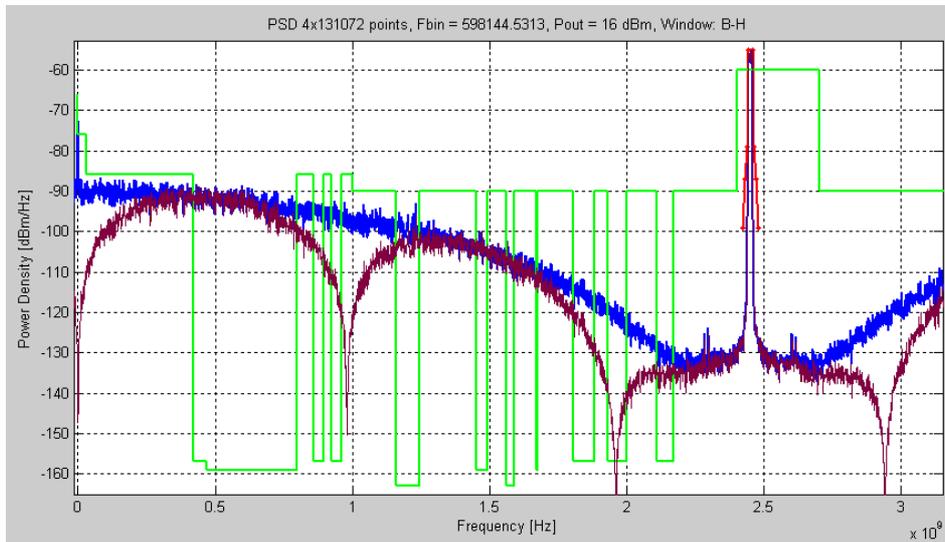


Fig. 48. Spectre en sortie de l'architecture DDRM à création de « notches »

A la sortie de ces deux DAC RF, plusieurs signaux à filtrer peuvent apparaître. Le premier est directement lié à la conception des RFDAC. En effet, une fuite OL peut apparaître si les transistors du RFDAC ne sont pas parfaitement identiques. Si les horloges des RFDAC ne sont pas parfaitement synchronisées, on peut voir apparaître une remontée du bruit proche de la bande. Il faut également tenir compte des remontées dues au bruit de quantification des Sigma Delta. En sortie de l'architecture, un dispositif de filtrage supplémentaire est alors nécessaire.

Concernant le contrôle de la dynamique, un pas de 6 dB peut être effectué en coupant le RFDAC correspondant aux signaux I' et Q' : les signaux I et Q ayant subi un retard à l'entrée du second RFDAC. L'inconvénient est que l'on perd de ce fait l'avantage des creux ou « notches » qui relâchaient les contraintes de filtrage dans les bandes de réception. Les RFDAC permettent également le mélange et le contrôle de la dynamique final. Le mélange s'effectue alors à partir d'une synthèse de fréquence « toute numérique », interne au circuit, et non plus grâce à une synthèse externe analogique. Cette synthèse est appelée ADPLL pour (All Digital PLL).

Les technologies sub-nanométriques permettent non seulement une plus grande intégration des systèmes, mais aussi d'avoir une résolution temporelle des fronts de signaux numériques supérieure à celle des tensions de contrôle de la PLL dans le domaine analogique [Perott, 2007]. Les solutions d'ADPLL permettent de tirer profit de meilleures résolutions temporelles tout en garantissant une meilleure fidélité des signaux de contrôle de la synthèse [Syllaios, 2007][Statewski, 2005]. Ceci est dû au fait de ne plus utiliser de tension de réglage analogique mais des signaux numériques rapides (et une technique de *dithering*).

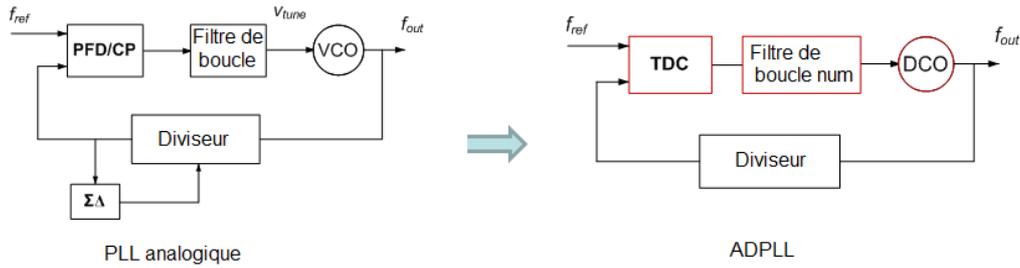


Fig. 49. Evolution d'une PLL analogique vers un PLL numérique

En comparant une PLL analogique et une ADPLL (figure 49), on note le remplacement du filtre de boucle analogique par un filtre de boucle numérique, et aussi du détecteur de phase et la pompe de charge (PFD/CP) par un convertisseur TDC (Time to Digital Converter). L'erreur de phase est quantifiée selon le nombre de fronts de retards numériques. Le TDC convertit ce retard en un signal de contrôle pour piloter numériquement un oscillateur (DCO) en lieu et place d'un VCO. Le principe de fonctionnement du TDC est expliqué sur la figure 50.

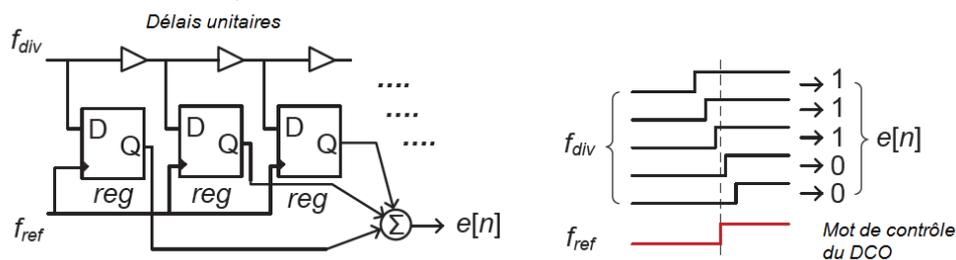


Fig. 50. Principe de fonctionnement du Time to Digital Converter

La différence de phase est mesurée via un compteur, comme le délai entre le front du signal de référence F_{ref} et du signal venant du diviseur F_{div} . La résolution du TDC dépend donc de la valeur du délai unitaire du compteur. Le signal numérique en sortie du TDC est proportionnel au délai mesuré. Le DCO est contrôlé par une commande numérique. C'est un oscillateur LC donc le contrôle se fait en commutant, à partir du signal numérique, un ensemble de capacités en parallèle de l'oscillateur comme illustré sur la figure 51.

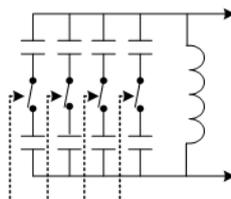


Fig. 51. Exemple d'un DCO 4bits

Les ADPLL offrent une très bonne intégration (tailles de capacités du DCO petites), et une très bonne flexibilité en fréquence. Par rapport aux PLL analogique, elles ne présentent pas les inconvénients

relatifs aux problèmes de pompe de charge (CP) et de fuite de courant. Toutefois, ces PLL consomment plus, à cause du bloc TDC. De plus, à hautes fréquences (supérieure à quelques GHz) le TDC peut introduire du bruit de phase et une erreur de quantification liée à sa résolution temporelle limitée aux délais unitaires. Ceci implique un contrôle moins précis du DCO (*dithering*) et donc l'apparition d'une pollution spectrale. Dans le cadre d'applications cellulaires, ce phénomène est à quantifier mais n'est pas important du fait de fréquences d'utilisation inférieures à 2.4 GHz.

Nous avons vu, à partir des exemples précédents, que l'utilisation d'un mélange numérique présente des avantages face à l'utilisation de solutions de mélange analogique classiques, qu'il nous faut ici détailler.

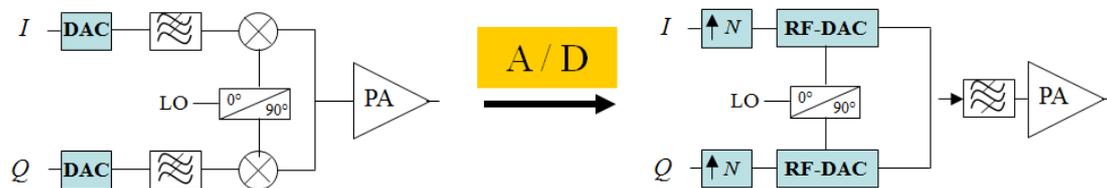


Fig. 52. Evolution d'une architecture à mélange analogique vers une architecture à mélange numérique

Dans un premier temps, si l'on se penche sur une architecture à conversion directe utilisant un mélange analogique, on peut observer l'utilisation d'un filtrage analogique bande de base après le sur-échantillonnage qui va amener une occupation plus importante sur le silicium, un coût supplémentaire et donc une moins bonne intégration. De plus, cette solution peut induire des défauts d'alignement en phase et en amplitude des signaux I et Q, si des défauts de « process » apparaissent entre les deux voies. Le mélange analogique est une solution non linéaire par nature qui peut détériorer le spectre de sortie. En fonction de la structure du mélangeur, le problème de fuite de la composante LO apparaît, par le mélange de signaux DC. En tirant profit des technologies sub nanométriques, les solutions de mélange numérique permettent de lever ces différents verrous technologiques. En lieu et place de filtres bande de base analogique, on utilise dans l'architecture des filtres numériques IIR et FIR [Poszgay, 2008] associés aux différents étages de sur-échantillonnage, bénéficiant donc d'une meilleure intégration. Du fait de la parallélisation des nombreuses cellules lors du mélange, on « dilue » les non linéarités et les problèmes de fuite LO sur chacune des sous cellules. Les défauts de *process* sont distribués sur chacune des sous cellules de mélange unitaire. De plus, les signaux arrivant à l'étage de mélange étant numériques, on limite le risque de désalignement des signaux I et Q. Un autre avantage du mélange numérique est qu'il permet une gestion du contrôle de dynamique du signal à émettre, comme expliqué dans la partie précédente. Cependant, cette technique ne répond pas encore à certains autres problèmes liés au mélange tels que les problèmes de consommation, d'émission d'harmoniques et de bruit de phase. Là où le mélange analogique pâti du bruit de

fonctionnement, le mélange numérique est exposé au bruit de quantification, lié au nombre de bits utilisés, ainsi que de la création de répliques de la bande de base autour de la porteuse, en fonction de la fréquence d'échantillonnage. Dans tous les cas, une solution de filtrage sera à appliquer du fait des impuretés de mélange. Cet aspect sera abordé et détaillé dans la partie III.2.

III.1.2. Intégration de la transposition et de la pré-amplification

Dans une architecture d'émission, l'amplificateur de puissance consomme une grande partie de la puissance à lui seul, et est la source majeure des non linéarités. Même en utilisant une architecture à mélange numérique, il faudra utiliser un amplificateur de puissance. Les architectures à mélange numérique peuvent délivrer en sortie des RFDAC des puissances autour de 0 dBm (entre -8dBm et 6dBm) [Eloranta, 2008][Pozsgay, 2008][Jerng, 2007][Taleie, 2008]. Afin de relâcher les contraintes de gain sur l'amplificateur de puissance on peut imaginer une solution d'amplification utilisant des signaux dans le domaine numérique pour les amplifier autour des 10 dBm en entrée d'un étage d'amplification final. C'est là qu'intervient le principe de DPA pour Digital Power Amplifier. Bien souvent ce type d'amplificateur est aussi appelé CMOS amplifier.

III.1.2.1. Principe de « Digital Power Amplifier »

Le principe du DPA est d'effectuer les mêmes opérations qu'un RFDAC (conversion numérique analogique et transposition) mais en fournissant une puissance plus élevée. Il existe dans la littérature plusieurs exemples d'architectures utilisant des DPA [Nagle, 2004] [Ahmed, 2008][Parikh, 2008]. Cependant, cet amplificateur est supposé réaliser également le mélange en transposition directe, ce qui implique de ne pas lui injecter de signaux IQ modulés autour d'une porteuse. Il faut donc réfléchir en termes d'enveloppe et de phases codées de façon numérique.

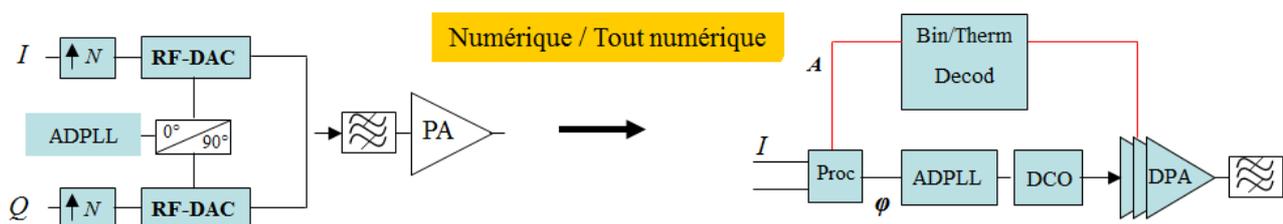


Fig. 53. Evolution vers une architecture « tout numérique »

Les exemples utilisant des DPA sont liés à des architectures du type EER. Pour illustrer ceci la figure 53 montre la comparaison d'une architecture à utilisation de RFDAC et une architecture à utilisation de DPA.

Dans un premier temps, les signaux d'amplitude et de phase sont dissociés (utilisation d'un CORDIC par exemple). Toujours dans la partie numérique, le signal de phase permet de moduler une ADPLL autour de la fréquence porteuse choisie. La porteuse numérique, sous forme de signaux carrés, porte désormais l'information de phase. Le signal d'enveloppe quant à lui est codé selon un format binaire.

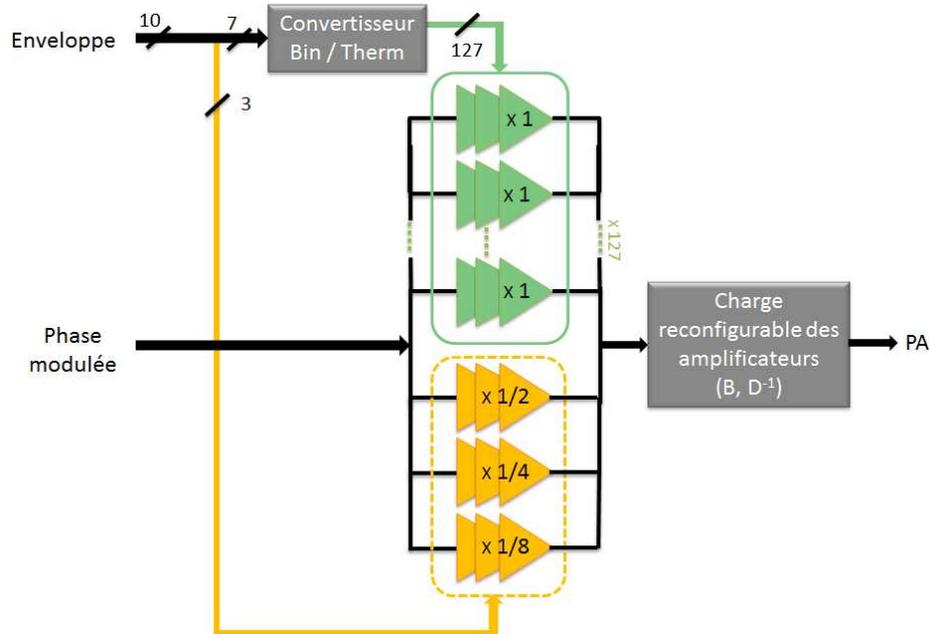


Fig. 54. Principe du Digital Power Amplifier (DPA)

Sur la figure 54, nous détaillons le fonctionnement du DPA. Nous prenons l'exemple d'un signal dont l'enveloppe est représentée en codage binaire sur 10 bits. Le DPA se décompose alors selon 127 PPA de même taille unitaire, calculés en fonction des puissances désirées en sortie du DPA. Chaque PPA est alors polarisé pour fonctionner en classe D en mode courant (ou D^{-1}), et est associé à un circuit de commutation adapté que nous appelons ici charge. Nous disposons également de 3 PPA de taille plus faible activés par les 3 LSB du mot binaire de l'enveloppe. Ce dispositif est nécessaire du fait de l'effet « loadpull » sur les PPA en fonction du nombre de PPA que l'on commute.

Ce phénomène est identifié dans [Pornpromlikit, 2009] [Presti, 2009]. Lorsque l'amplitude est faible, peu de PPA sont activés. Le courant total fourni à la charge est donc proportionnel au nombre de PPA activés. Au vu du nombre importants de PPA (codage thermométrique) et lorsque le nombre de PPA activés est proche du maximum, chaque PPA se trouve désadapté par les autres et ne fournit donc plus son courant maximum. Le courant total récolté n'est plus proportionnel au nombre de PPA activés. On utilise alors les 3 LSBs pour activer des sources de courant plus faibles, en même temps que l'ensemble des PPA activés, pour compenser la proportion de courant manquant. Mais cette technique a ses limites si le PAPR est trop grand et que le nombre de PPA à paralléliser est trop important. Il faut donc prévoir un circuit d'adaptation des PPA qui soit reconfigurable par pas d'amplitude. De plus, si

l'on veut pouvoir utiliser le DPA sur plusieurs fréquences de standard cellulaire, le circuit d'adaptation classe D doit être centré sur cette fréquence et donc reconfigurable au niveau de ses éléments réactifs. De même que pour les RFDAC, le contrôle de gain peut se faire par la polarisation des cellules unitaires, avec en plus la possibilité de jouer sur l'amplitude du signal de phase. Dans le cas d'un signal GSM, on aura un mot de contrôle d'amplitude fixe. Tous les PPA sont activés et un atténuateur permet le contrôle en puissance.

Ainsi les DPA peuvent atteindre des puissances de l'ordre de 25dBm [Nagle, 2004] [Ahmed, 2008] [Pornpromlikit, 2009] [Carey, 2007], permettant de se passer dans certaines conditions du dernier étage d'amplification. On peut donc, pour les faibles niveaux d'émission, économiser sur l'activation ou non du dernier étage d'amplification. Lorsque la puissance demandée sera de 33 dBm en sortie, il faudra ajouter un dernier étage d'amplification conventionnel.

La majorité des architectures utilisant des DPAs sont basées sur des architectures EER et ont donc les mêmes problèmes d'alignement entre phase et enveloppe, et aussi d'augmentation de la largeur de bande du signal (problème sur la bande disponible au niveau des PPA) [Waheed, 2008] [Elliott, 2004]. Dans le but d'améliorer le contrôle d'amplitude et le bruit de quantification, il existe des solutions permettant de diviser l'information d'enveloppe en une information entière commandant les cellules unitaire (I_A) et une information d'amplitude fractionnaire (F_A) à partir d'un modulateur Sigma Delta commandant des cellules fractionnaires.

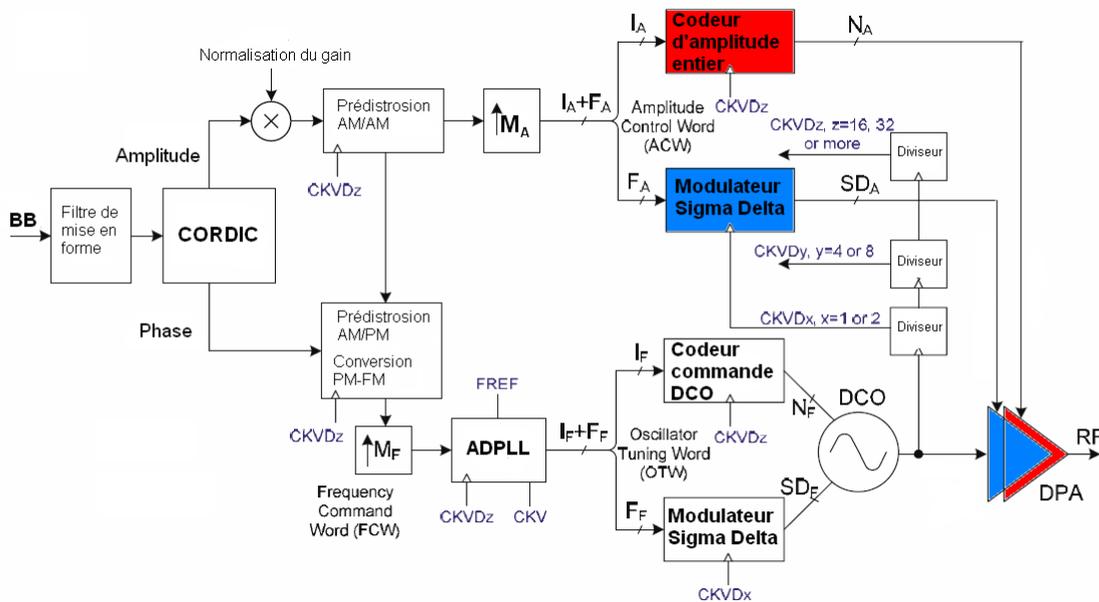


Fig. 55. Architecture « tout numérique » à amélioration du bruit [Waheed, 2008]

En fonction de la résolution du signal modulé en fréquence, on crée deux mots de contrôle de fréquence pour le DCO : l'un est dit mot entier I_F , l'autre est fractionnel F_F . I_F va ensuite permettre de contrôler la fréquence d'accord du DCO. F_F augmente la précision du DCO et limite ainsi le bruit après un « dithering » grâce à un Sigma Delta. On augmente ainsi la pureté fréquentielle lors de la modulation en fréquence. On améliore donc sensiblement la linéarité globale du système. Comme montré dans [Waheed, 2008], la désynchronisation amplitude phase dans ces architectures EER numérique est très limitante, mais également la désynchronisation des signaux entier et fractionnaires d'amplitude et de phase entre eux. L'EVM ne semble pas trop être impactée par le décalage entre les mots d'amplitude (à peine 0.07% d'EVM en plus pour 5ns), cependant les remontées spectrales proches et lointaines augmentent rapidement (+15dB pour les lointaines et +6dB pour les proches). Ce sont les effets sur la voie de phase (I_F et F_F) qui sont les plus notables, avec une augmentation de l'EVM de 3.4% à 5ns de décalage. Les remontées spectrales dépassent les 30dB ce qui rend compliqué la conception du filtre. C'est pourquoi il est impératif d'avoir une calibration régulière des voies de contrôle de phase. Il faut donc se tourner vers un autre type d'architecture différente de l'architecture à conversion directe et l'architecture EER.

III.1.2.2. Vers un nouveau type d'architectures : Co intégration transposition et pré-amplification numérique

L'architecture [Parikh, 2008] que nous allons développer ici n'est pas une transformation de blocs analogiques en blocs numériques à partir d'une architecture classique à conversion directe. Cette architecture donne une nouvelle orientation de la gestion des fonctions numériques de façon à optimiser la reconfigurabilité et la complexité de calcul. Cela se fait en décomposant le signal de façon mathématique, à partir d'opérations simples à réaliser dans le domaine numérique. Tout d'abord, les signaux I Q sont sur-échantillonnés et filtrés, dans le but de placer les répliques spectrales assez loin de la porteuse. Ces répliques sont essentiellement dues au phénomène de blocage d'ordre zéro, lors du sur-échantillonnage. La bande du signal à traiter est répétée autour des fréquences $LO+x.F_{ech}$, où F_{ech} est la fréquence de sur-échantillonnage. Le blocage d'ordre zéro, vient créer des « notches » dans ces bandes, fonction d'une réponse en $Sinc^2$. Nous verrons par la suite qu'en fonction de la fréquence d'échantillonnage du signal et de la largeur de bande de celui-ci, on peut estimer la valeur des répliques spectrales.

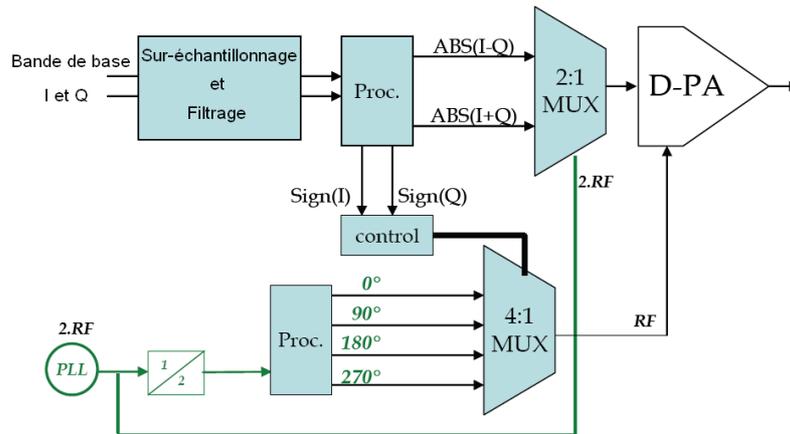


Fig. 56. Architecture DQRM

La fonction de sur-échantillonnage est effectuée par un ensemble de FIR et IIR. Une fois le signal sur-échantillonné et filtré, les composantes réelles et imaginaires sont injectées dans l'architecture DQRM (*Digital to RF Quadrature Modulator*). A partir de ces composantes, nous créons deux signaux correspondants aux associations des amplitudes des signaux I et Q. Les signaux obtenus sont alors « abs(I+Q) » et « abs(I-Q) ». Parallèlement, nous déterminons deux signaux correspondant aux valeurs des signes respectifs des signaux « (I+Q) » et « (I-Q) ». Grâce aux deux signaux de signe, on obtient un contrôle de la phase avec un mot de 2 bits.

A partir de cette décomposition du signal, on voit que l'on ne peut pas complètement qualifier cette architecture de « EER ». En effet, si les signaux « abs(I+Q) » et « abs(I-Q) » contiennent une information d'amplitude, les signaux « sign(I+Q) » et « sign(I-Q) » contiennent une information de phase, mais aussi d'amplitude (dans le quadrant). Pour mieux comprendre la décomposition du signal, il faut se pencher sur l'allure des signaux obtenus en comparaison avec le signal initial.

Les signaux d'amplitude codés au travers d'un codeur thermométrique sous forme d'un mot de N bits en fonction de la résolution désirée, « abs(I+Q) » et « abs(I-Q) » codés, sont ensuite envoyés, alternativement à deux fois la fréquence de l'OL vers N cellules d'un DPA.

A partir des signaux « sign(I+Q) » et « sign(I-Q) », on obtient l'information de phase du symbole IQ traité. Un mot de 2 bits permet de choisir la phase à appliquer à l'OL. Dans cette architecture il faudra donc générer en amont, quatre horloges déphasées chacune de 90°. Une succession de symboles IQ donnera une horloge globale modulée en phase en fonction de la phase de chacun des symboles.

Dans le DPA, cette horloge est mélangée alternativement avec « abs(I-Q) » puis « abs(I+Q) », lors de son état haut, puis avec « -abs(I-Q) » et « -abs(I+Q) » lorsque son état est bas. Ainsi, par exemple,

pour une résolution de 7 bits, on aura 128 paires de transistors de même poids individuel. 128 transistors pour la partie positive ($\frac{T_{OL}}{2}$) de l'horloge et 128 pour la partie négative de l'horloge.

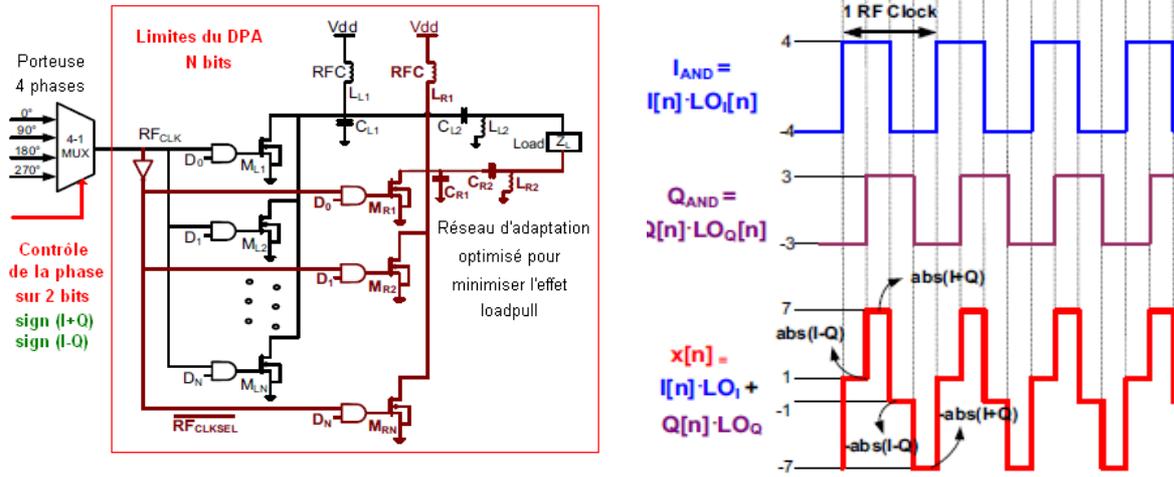


Fig. 57. Etage DPA de l'architecture DQRM

Dans la partie droite de la figure 57, nous illustrons le chronogramme de l'architecture pour un symbole IQ avec $I=4$ et $Q=3$. On note le décalage de 90° entre les voies I et Q. Essayons de comprendre l'intérêt d'une telle mise en forme du signal, en regardant l'équation du signal généré par une architecture polaire :

- **Pour IQ(4,3)**

Polaire $xp(t) = [\sqrt{4^2 + 3^2}] \times \cos[\omega_0 t + \text{Arctg}(\frac{3}{4})]$
 $xp(t) = 5 \cos[\omega_0 t + \text{Arctg}(\frac{3}{4})]$

- **Pour IQ(-4,-3)**

Polaire $yp(t) = 5 \cos[\omega_0 t - (\pi + \text{Arctg}(\frac{3}{4}))]$
 $yp(t) = -xp(t)$

Il est clair que le signal initial est le même mais dans le cas de l'architecture polaire, il n'est nécessaire que d'inverser la phase de l'OL, la composante d'amplitude reste la même. Il faut donc utiliser la comparaison des signes pour la phase et juste prendre l'information contenue dans « abs(I) » et « abs(Q) » pour l'amplitude. Partons du principe que pour un symbole donné, on prend 4 échantillons par période d'horloge avec un déphasage initiale de θ .

$$x(t) = I \cdot \cos(\frac{nTs}{4} + \theta) + Q \cdot \sin(\frac{nTs}{4} + \theta)$$

$$x(t) = I \cdot \cos(\frac{n\pi}{2} + \theta) + Q \cdot \sin(\frac{n\pi}{2} + \theta)$$

$$\begin{aligned}
 n=0 & \quad x(t) = I \cdot \cos(\theta) - Q \cdot \sin(\theta) \\
 n=1 & \quad x(t) = I \cdot \cos\left(\frac{\pi}{2} + \theta\right) - Q \cdot \sin\left(\frac{\pi}{2} + \theta\right) \\
 n=2 & \quad x(t) = I \cdot \cos(\pi + \theta) - Q \cdot \sin(\pi + \theta) \\
 n=3 & \quad x(t) = I \cdot \cos\left(\frac{3\pi}{2} + \theta\right) - Q \cdot \sin\left(\frac{3\pi}{2} + \theta\right)
 \end{aligned}$$

Avec $\theta = \frac{\pi}{4}$:

$$\begin{aligned}
 n=0 & \quad x = I \times \frac{1}{\sqrt{2}} - Q \times \frac{1}{\sqrt{2}} \\
 n=1 & \quad x = -I \times \frac{1}{\sqrt{2}} - Q \times \frac{1}{\sqrt{2}} \\
 n=2 & \quad x = -I \times \frac{1}{\sqrt{2}} + Q \times \frac{1}{\sqrt{2}} \\
 n=3 & \quad x = I \times \frac{1}{\sqrt{2}} + Q \times \frac{1}{\sqrt{2}}
 \end{aligned}$$

On a donc : (I-Q) (-I-Q) (-I+Q) (I+Q)

Ce qui revient à : abs(I-Q) -abs(I+Q) -abs(I-Q) abs(I+Q)

En alternant les signaux « abs(I-Q) » et les signaux « abs(I+Q) », il est possible d'estimer l'amplitude. C'est le calcul de phase qui, à travers le mélange, détermine l'ordre de l'alternance en fonction du signe de (I+Q) et (I-Q). Lorsque l'horloge est positive, on utilise les signaux « abs(I+Q) » et les signaux « abs(I-Q) » (Paire positive du DPA) alors que, quand l'horloge est à l'état bas, on utilise les signaux « -abs(I+Q) » et « -abs(I-Q) ». L'avantage est que, pour un symbole, il n'y a que deux valeurs d'amplitude à coder au lieu de quatre, réduisant ainsi la complexité du circuit.

Une fois le signal mélangé autour de l'OL à travers le DDPA, on doit filtrer celui-ci, si l'on veut récupérer l'allure initiale du signal. Il ne faut pas oublier que l'amplitude du signal a été estimée. Aussi il faut « adapter » le réseau d'adaptation du DDPA de façon à ce qu'il restaure l'allure réelle du signal.

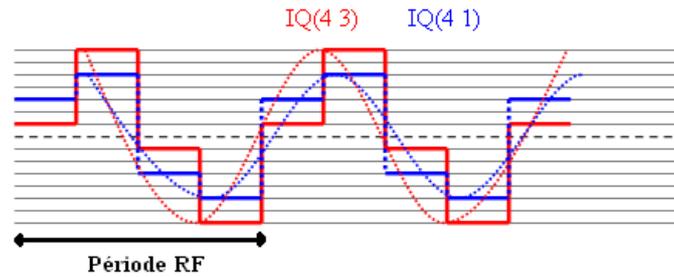


Fig. 58. Exemple d'une séquence de mélange dans l'architecture DQRM

Sur la figure 58, nous montrons que l'information de phase se trouve également dans le calcul de « $\text{abs}(I+Q)$ » et « $\text{abs}(I-Q)$ » et non pas seulement dans le signe de « $I+Q$ » et « $I-Q$ ». Pour cela, nous avons simulé l'architecture en prenant deux symboles tels que « $I+Q > 0$ » et « $I-Q > 0$ », représentant une phase de départ de 0° . Cette indication donne le quadrant de phase approximatif. Pour reconstruire l'information de phase précise, nous avons besoin de connaître les amplitudes de codage des signaux « $\text{abs}(I+Q) = (7 \text{ et } 5)$ » ainsi que des signaux « $\text{abs}(I-Q) = (1 \text{ et } 3)$ ». Nous voyons sur la figure que les deux signaux ont une phase légèrement décalée. On peut voir plusieurs avantages mais aussi inconvénients à mettre en forme le signal de la sorte :

Le premier avantage a été expliqué au dessus par le fait de n'avoir que deux niveaux d'amplitude à coder : « $\text{abs}(I+Q)$ » et « $\text{abs}(I-Q)$ » au lieu de quatre dans une architecture conventionnelle IQ, où l'on devrait coder I , Q , $-I$ et $-Q$. Nous réduisons ainsi le nombre de codeurs nécessaires. De plus, lorsque nous avons simulé l'architecture, nous avons observé la répartition des niveaux d'amplitude pour des signaux IQ et des signaux « $\text{abs}(I+Q)$ » et « $\text{abs}(I-Q)$ » :

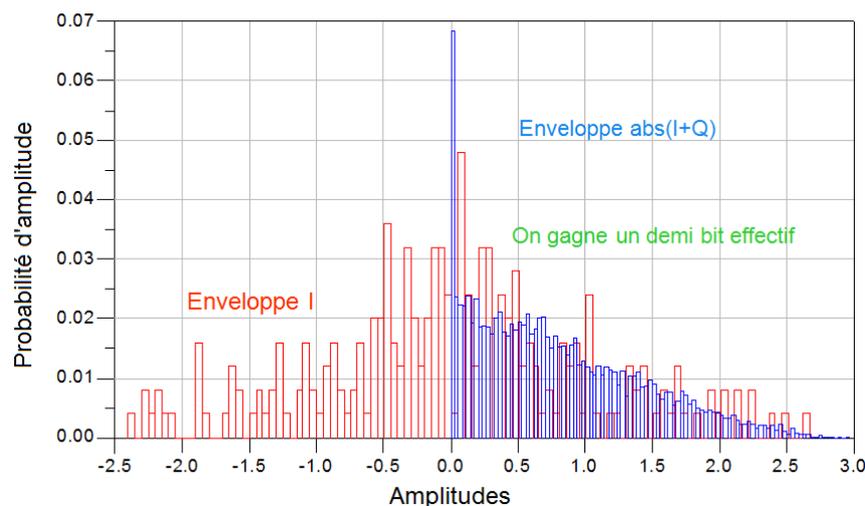


Fig. 59. Répartition des niveaux d'amplitude entre signal I et signal « $\text{abs}(I+Q)$ »

Cette répartition nous indique que de part la nature du signal en valeur absolue, le bit de signe n'est pas nécessaire. Cependant il y a plus d'amplitudes différentes. Tout ceci permet de gagner un demi bit effectif.

Sur la figure 60, au regard du PAPR il n'y a pas de grande différence, pour les cas de probabilité de supérieures à 10^{-3} .

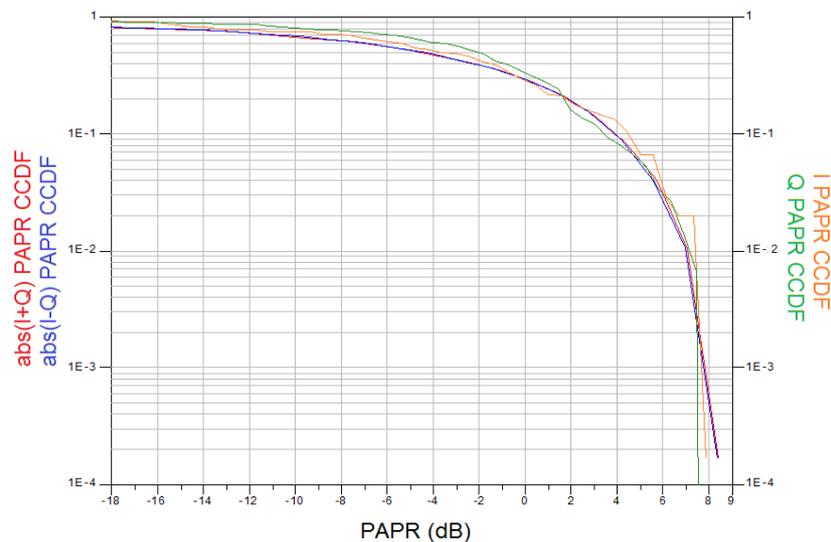


Fig. 60. Répartition des probabilité de niveau des signaux I Q vs Abs(I+Q) et Abs(I-Q)

Un second avantage potentiel est, qu'au lieu de travailler sur I , Q , $-I$, $-Q$, on utilise les signaux « $\text{abs}(I-Q)$ », « $-\text{abs}(I+Q)$ », « $-\text{abs}(I-Q)$ », « $\text{abs}(I+Q)$ ». Aussi, on aurait un signal NRZ même si I ou Q étaient égaux à 0 (si l'on raisonne en termes de trajectoires). Cela aurait un impact sur l'allure fréquentielle du signal et donc sur le filtrage. Cependant, l'avantage n'existe pas lorsque $I = Q$. On ne peut donc pas conclure sur ce point de l'avantage d'une architecture IQ par rapport à l'architecture DQRM.

Un troisième avantage, est l'utilisation d'une seule horloge initiale (à $2.O_L$), permettant de contrôler les multiplexeurs de choix d'amplitude, et de générer les quatre horloges déphasées à la fréquence O_L . Ceci est un élément important, si l'on envisage un émetteur reconfigurable en fréquence afin d'adresser plusieurs standards.

Ensuite, par rapport à une architecture polaire classique où l'on vient séparer amplitude et phase, nous n'utilisons pas de CORDIC. Ces derniers sont très sensibles au nombre de bits des signaux qu'ils traitent et impactent significativement l'EVM (erreurs de quantification). Lors de la simulation de l'architecture, nous n'avons pas observé d'élargissement de la bande, contrairement aux architectures EER. Enfin, un avantage par rapport à une architecture polaire est que l'architecture DQRM semble moins sensible au désalignement temporel lors de la recombinaison enveloppe phase. En effet, dans

l'architecture DQRM, une partie de l'information de phase est comprise dans « $\text{abs}(I+Q)$ » et « $\text{abs}(I-Q)$ », de même qu'une partie de l'information d'amplitude influe sur le choix de la phase de l'horloge.

Détaillons maintenant les inconvénients :

Le premier inconvénient est celui que l'on rencontre également dans les architectures cartésiennes, c'est-à-dire la désynchronisation des signaux I et Q. En effet, si lors du sur échantillonnage et du filtrage, les symboles I et Q sont désynchronisés, alors l'erreur risque de se propager sur toute la chaîne, aussi bien sur le contrôle de la phase que sur le calcul de l'estimation de l'amplitude. On peut cependant imaginer des mécanismes de synchronisation des symboles I et Q à partir de l'horloge, si l'on connaît parfaitement le rapport entre la fréquence OL et la fréquence des symboles.

La seconde faiblesse de cette architecture est qu'il faut garantir un déphasage parfait entre les quatre horloges. En effet, il suffit qu'une seule des quatre horloges soit déphasée de 1 ou 2° pour faire apparaître de fortes remontées spectrales. Ceci s'explique par la création d'une fréquence image. On a pu simuler la réjection de l'image en fonction du déphasage induit sur les horloges.

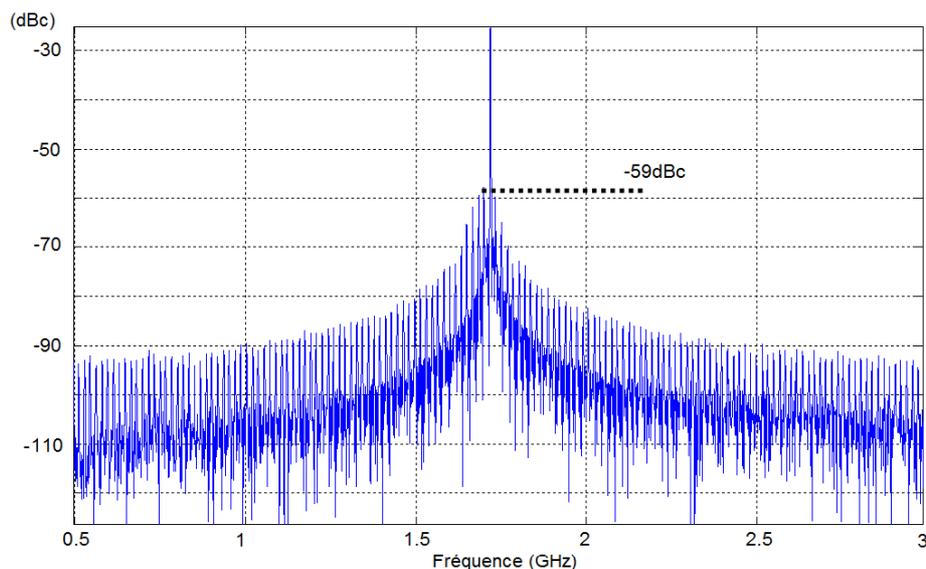


Fig. 61. Spectre simulé de l'architecture DQRM avec une erreur de déphasage de 2° entre les 4 horloges

A la figure 61 nous avons simulé l'architecture avec une modulation 64QAM, pour une série de symboles impliquant un changement de quadrant et donc de phase de 92° entre deux phases consécutives au lieu de 90°. Nous voyons donc apparaître des raies parasites de l'ordre -59dBc.

Enfin, comme toute architecture numérique, elle est sensible aux remontées spectrales engendrées par la fréquence de sur-échantillonnage des symboles IQ et par le nombre de bits de quantification choisis. Dans la partie suivante nous travaillerons sur de cette architecture pour définir les contraintes sur le

dimensionnement de l'architecture en termes d'émissions spectrales hors bande et de bruit de quantification.

III.2. Contraintes liées à l'utilisation d'architectures « tout numérique »

III.2.1. Identification des contraintes

Comme nous l'avons vu dans les parties précédentes, les architectures numériques présentent des particularités spectrales qui ne sont pas en accord avec les limites d'émission autorisées pour chaque standard. Il faut alors identifier plus clairement les sources d'émission parasites et voir si elles peuvent être minimisées ou supprimées par des techniques internes à l'architecture (amélioration des propriétés du signal) ou par des dispositifs externes à l'architecture (filtrage RF,...). Pour cela nous nous sommes basé sur l'architecture présentée dans la partie précédente, l'architecture DQRM, qui nous est apparue comme la seule architecture « tout numérique ». Cette architecture a été simulée pour plusieurs cas de signaux cellulaires (LTE, WCDMA GSM) sous Agilent-ADS.

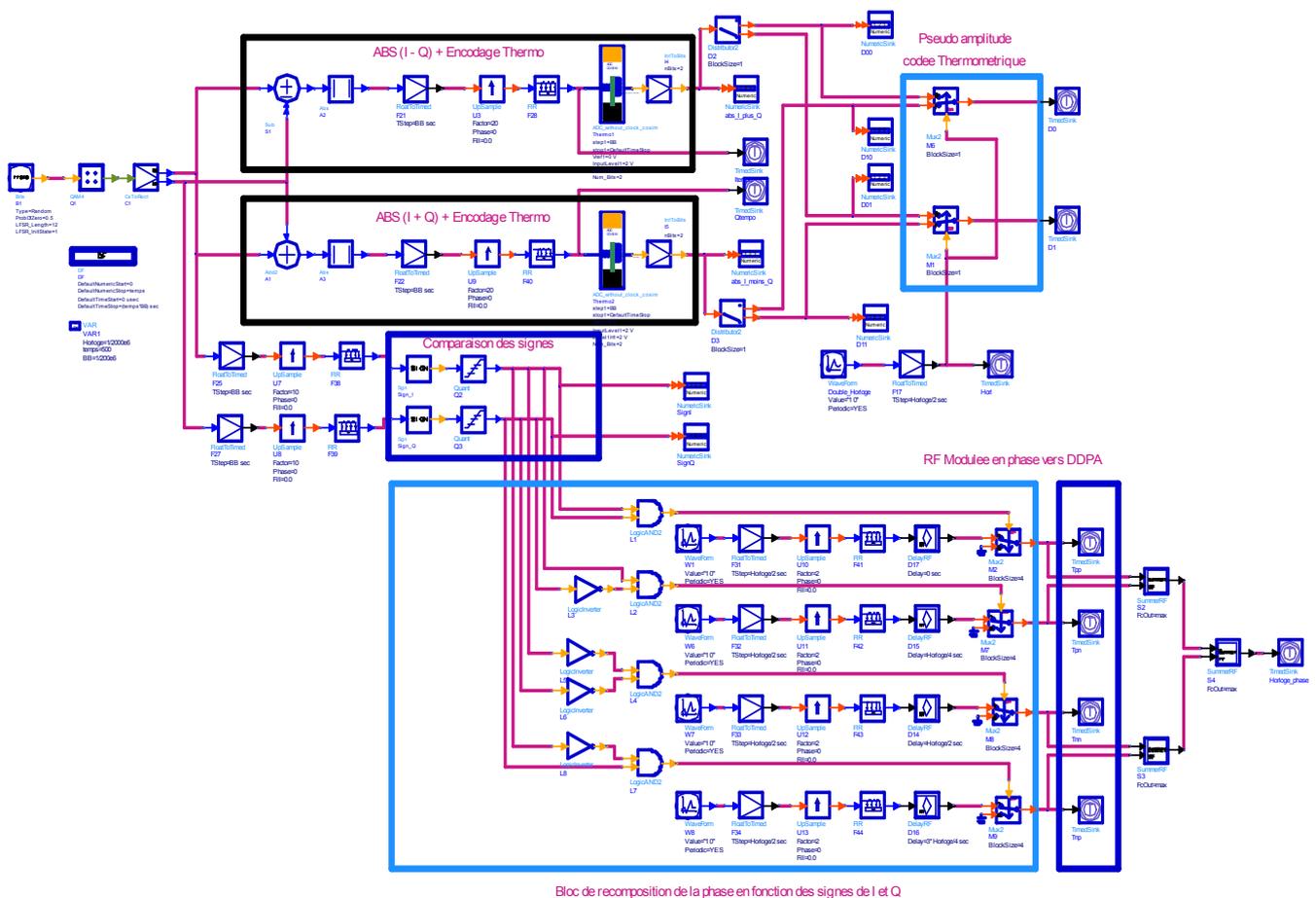


Fig. 62. Schéma de simulation de l'architecture DQRM sous Agilent ADS

III.2.1.1. Impact de la fréquence de sur-échantillonnage

Le troisième inconvénient est principalement dû à la façon d'effectuer le sur échantillonnage des signaux en bande de base. En effet, le choix de la méthode d'interpolation est primordial. Dans un premier temps l'architecture DQRM a été étudiée en utilisant une interpolation par bloqueur d'ordre zéro dont la réponse fréquentielle est en Sinc^2 . Aussi, il apparait des répliques de sur-échantillonnage aux fréquences multiples $F_{OL} + x.F_{ECH}$.

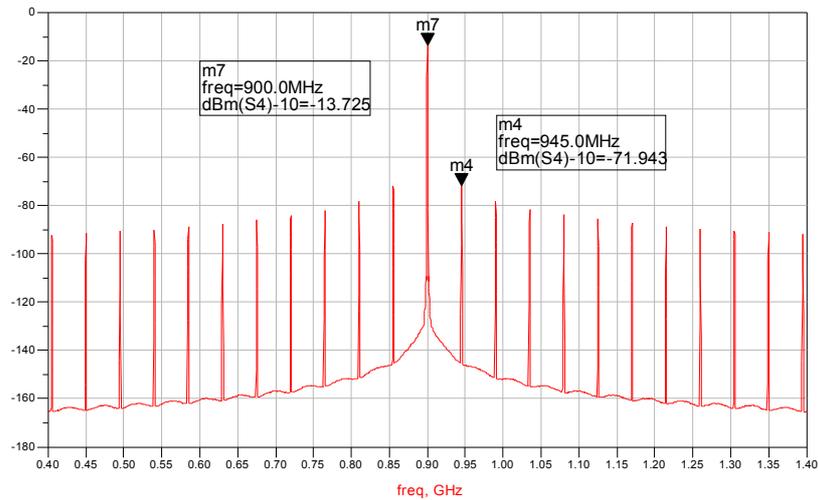


Fig. 63. Simulation du spectre d'un signal GSM codé sur 15 bits en sortie de l'architecture pour un coefficient de sur-échantillonnage de 20.

Plusieurs paramètres liés à l'architecture ou à la nature du signal influent sur le niveau des répliques. On citera principalement la largeur de bande du signal, la fréquence d'échantillonnage et le nombre de bits de codage effectifs des composantes I et Q. Afin d'illustrer ce phénomène voici le spectre obtenu pour un signal LTE 20 MHz de bande codé par 15 bits effectifs à la fréquence porteuse de 2 GHz :

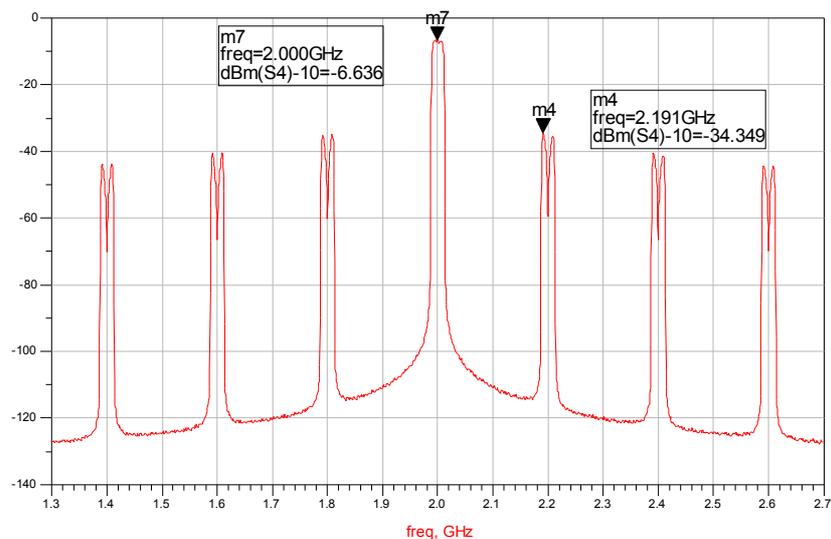


Fig. 64. Simulation du spectre d'un LTE20MHz codé sur 15 bits en sortie de l'architecture pour un coefficient de sur-échantillonnage de 10

On observe bien sur cette figure les répliques et les « notches » creusés dans celles-ci du fait de la convolution avec le Sinc^2 . En théorie, plus la largeur de bande est faible et plus ces « notches » atténuent les répliques. C'est ce que nous avons vérifié.

La figure 65 résume les observations à ce propos dans un pire cas (xMHz de canal, 64QAM, à la fréquence porteuse 2GHz) à savoir, proche du LTE : la largeur de canal influe directement sur le niveau des répliques

Largeur de canal	Réplique 1(dBc)	Réplique 2 (dBc)
20MHz	33,71	39,79
10MHz	40,39	46,41
5MHz	47,66	53,42

Fig. 65. Niveau des répliques en fonction de la largeur de bande du signal

De même, lorsque la largeur de bande est très faible, l'influence des raies diminue mais est toujours présente et à ce moment-là c'est le choix du rapport de sur-échantillonnage UF qui devient primordial (UF : *Upsampling Factor*, tel que $UF = F_{OL}/F_{ech}$ entre fréquence OL et fréquence de sur-échantillonnage). Plus le rapport UF est faible, plus les répliques seront éloignées de la bande utile. Ci-dessous, à la figure 66, on observe ce phénomène dans le cadre d'un signal GSM 200kHz à 900MHz [Robert, 2010].

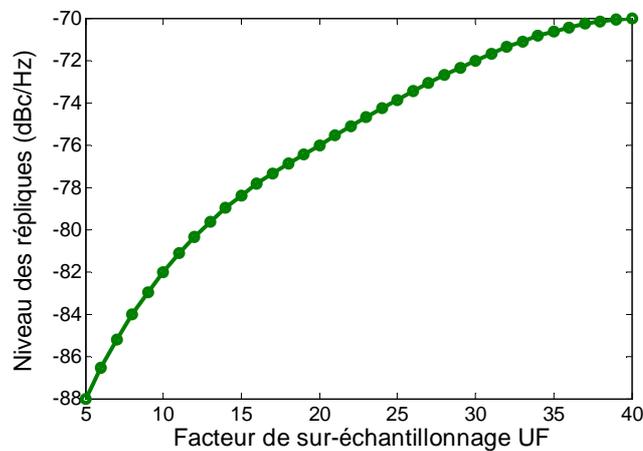


Fig. 66. Impact du facteur de sur-échantillonnage sur le niveau des répliques

Dans le cas du GSM900, la limite de niveau des répliques est fixée à 69 dBc. Si l'on regarde chaque bande T_x , nous devons faire attention au niveau des répliques pour ne pas désensibiliser les propres bandes R_x et aussi les bandes R_x d'autres standards tel que le GPS. Le cas de coexistence le plus contraignant, est la bande GPS qui limite le niveau d'émission des autres standards à -168 dBm/Hz. Après avoir effectué des simulations de toutes les bandes d'émission cellulaires avec $UF=10$, il apparaît que le pire cas obtenu est la bande 4 en WCDMA. Pour respecter la bande GPS, il faut filtrer de 76 dB la réplique se trouvant à 129 MHz.

III.2.1.2. Impact du nombre de bits de quantification

Le nombre de bit de codage influe sur le niveau de bruit proche du canal, et lointain. En effet, plus le nombre de bit est important et plus le bruit proche de la bande sera faible. Cela a un impact direct sur le niveau de la première réplique. Les répliques suivent en effet la pente imposée par le bruit proche de la bande. Nous avons alors simulé l'architecture et regardé le niveau de bruit proche de la bande (Bruit @ BW) ainsi que le bruit plus éloigné à $5x$ BW en fonction de la largeur de bande du signal.

D'une manière générale, lorsque l'on augmente le nombre de bits de codage, le bruit introduit et lié à la quantification, diminue. On peut nettement l'observer sur les spectres ci-dessous (figure 67). Nous avons simulée l'architecture avec un signal LTE (64QAM) de largeur de bande 20MHz autour d'une porteuse à 2GHz et une fréquence $F_{ech}=200$ MHz. Nous observons donc deux répliques à 1.8GHz et 2.2GHz [Robert, 2010] :

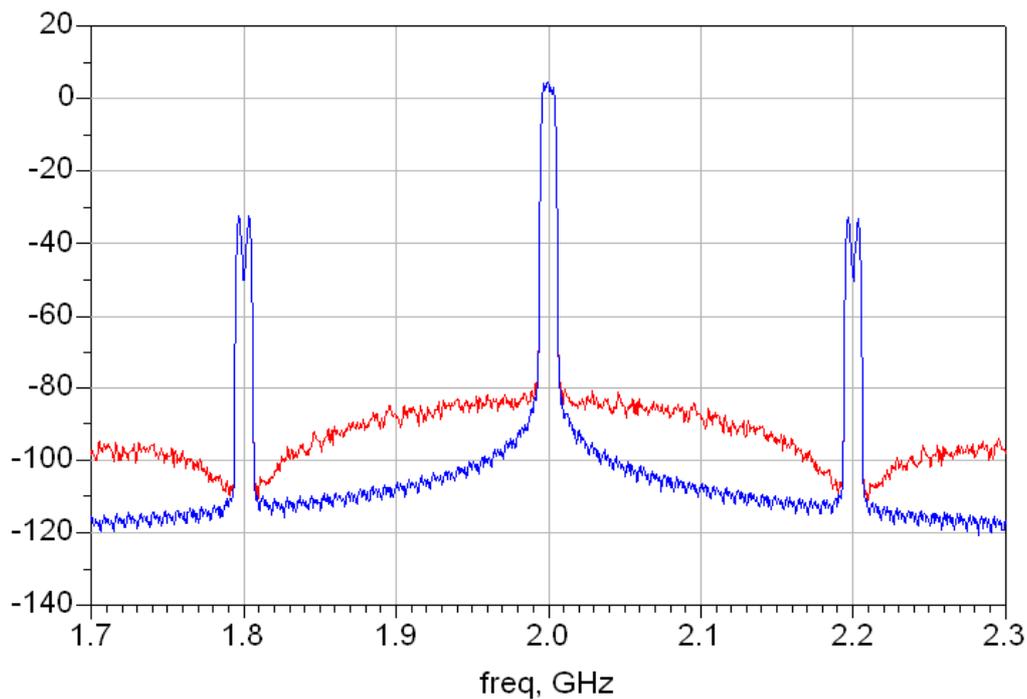


Fig. 67. Spectre en sortie de l'architecture pour une fréquence de sur-échantillonnage de 200MHz

On voit que les remontées spectrales proches de la bande d'émission sont principalement dues au nombre de bits de quantification qu'il faut majorer sachant que cela peut entraîner une plus grande complexité de conception et une plus grande consommation. La courbe bleue représente une quantification sur 15 bits tandis que la rouge, une quantification sur 7 bits. Pour 5 bits, le niveau de bruit proche de la bande est de -82 dBc/Hz et descend à -96 dBc/Hz pour 8bits

Nb bits	20MHz BW		10MHz BW		5MHz BW	
	Bruit @ BW (dBc/Hz)	Bruit @ 5xBW (dBc/Hz)	Bruit @ BW	Bruit @ 5xBW	Bruit @ BW	Bruit @ 5xBW
5	-82,12	-85,72	-82,32	-86,27	-81,84	-86,85
6	-88,26	-91,23	-87,64	-91,71	-87,57	-92,50
7	-92,87	-97,83	-93,10	-97,97	-92,40	-98,50
8	-96,98	-103,57	-96,13	-104,02	-95,01	-104,33
9	-99,11	-110,07	-97,58	-110,08	-96,42	-110,16
10	-99,38	-113,87	-98,37	-115,03	-96,87	-116,30
11	-99,54	-116,27	-98,44	-119,58	-97,12	-121,36
12	-99,75	-117,11	-98,52	-122,32	-97,04	-125,32
13	-99,92	-117,15	-98,52	-123,29	-97,07	-127,69
14	-99,94	-117,43	-98,52	-123,67	-97,08	-128,41
15	-99,95	-117,46	-98,52	-123,68	-97,07	-128,66

Fig. 68. Evolution du niveau de bruit en fonction du nombre de bits et de la largeur de bande

III.2.2. Identification des besoins en filtrage TX et des solutions possibles.

Compte tenu du fait que l'architecture visée doit fonctionner pour les standards GSM, EDGE, E-EDGE et HSUPA, nous avons décidé de quantifier, pour chacun de ces standards, le filtrage nécessaire pour atteindre les performances demandées. Nous en avons profité pour comparer les performances obtenues avec une architecture cartésienne numérique. Spectralement, les deux inconvénients des émetteurs « tout numérique » sont le bruit de quantification et le niveau des répliques. Si, à partir de la porteuse, le point d'observation se trouve à moins de F_{ech} , alors c'est le bruit de quantification qui prédomine. D'après nos simulations avec l'architecture [Robert, 2010], 7 bits suffisent pour garantir au moins -90 dBc. Au-delà de F_{ups} , ce sont les répliques qui prédominent. Nous devons évaluer, pour chacune des bandes d'émission cellulaire, le niveau de filtrage nécessaire lorsque le signal est quantifié sur 7 bits pour une puissance de sortie de 10 dBm CW, caractéristique du niveau de puissance de ce type d'émetteur avant amplification en puissance.

Bande	Standard	DF/F (%) filtre de bande	PSD Target (dBm/Hz)	Distance bord bande (MHz)	Limitation la plus proche	Atténuation nécessaire des répliques (dB)		Flo
						Flo/Fi=10	Flo/Fi=5	
1	WCDMA	2,98	-125,8	40		28,9	21,7	1950
1	LTE	2,98	-110	10	Bande 33TDD	13,1	5,9	
2	WCDMA	3,19	-125,8	20	Bande Rx	31,9	21,8	1900
2	LTE	3,19	-110	20	Bande Rx	16,1	6	
3	WCDMA	4,29	-125,8	20	Bande Rx	33,1	23	1750
3	LTE	4,29	-110	20	Bande Rx	17,3	7,2	
3	GSM 1800	4,29	-121	20	Bande Rx	28,3	18,2	
4	WCDMA	2,59	-132	129	Rx GPS	39,3	29,2	1750
4	LTE	2,59	-132	129	Rx GPS	39,3	29,2	
5	WCDMA	2,99	-125,8	20	Bande Rx	37	32,2	840
5	LTE	2,99	-110	20	Bande Rx	21,3	16,4	
6	WCDMA	1,19	-97	20				
			-125,8	35				
7	WCDMA	2,76	-115,8	20				2650
			-125,8	50	Bande RX	26	18,2	
7	LTE	2,76	-110	10	Bande 38TDD	10,2	3	
8	GSM900	3,89	-129	20	Bande Rx	40	34	900
8	WCDMA	3,89	-129	20	Bande Rx	40	34	
8	LTE	3,89	-110	10	Bande Rx	21	15	
9	WCDMA	0,99	-125,8	60	Bande Rx	32,8	22,7	1760
9	LTE	0,99	-110	60	Bande Rx	17	6,9	
10	WCDMA	3,44	-132	129	Rx GPS	39,3	29,2	1750
10	LTE	3,44	-132	129	Rx GPS	39,3	29,2	
11	WCDMA	1,73	-125,8	23	Bande Rx	34,7	25,12	1440
11	LTE	1,73	-110	23	Bande Rx	18,9	9,32	
12	WCDMA	2,54	-125,8	12	Bande Rx	38,9	31,24	700
12	LTE	2,54	-110	12	Bande Rx	23,1	15,44	
13	WCDMA	1,27	-125,8	9	Bande RX14	37,9	32,7	780
13	LTE	1,27	-110	9	Bande RX14	22,1	17,9	
14	WCDMA	1,26	-125,8	20	Bande Rx	37,2	32,6	798
14	LTE	1,26	-110	20	Bande Rx	21,4	17,8	
17	LTE	1,69	-110	12	Bande RX12	22,9	15,2	820
18	LTE	1,82	-100	30	Bande Rx	11,4	6,4	
19	WCDMA	1,79	-97	15	Bande Rx18	8,3	3,4	840
19			-125,8	30	BandeRx	37	32,2	
19	LTE	1,79	-100	15	Bande Rx18	11,3	6,4	
19			-110	30	Bande Rx	21,3	16,4	
33	LTE TDD	1,05	-110	20	Bande Rx3,9	14,4	5,9	1910
34	LTE TDD	0,75	-110	85	Bande Rx1,33	10,7	4,2	2015
38	LTE TDD	1,92	-110	170	Bande Rx40	10,2	3	2600
39	LTE TDD	2,1	-110	10	Bande Rx3,9	16,1	6	1890
40	LTE TDD	4,25	-110	130	Bande Rx1	11,1	3,6	2360

Fig. 69. Tableau de répartition des besoin en filtrage des répliques en fonction de la bande cellulaire

A partir des masques d'émission de chacun des standards, nous avons pu établir un relevé du filtrage nécessaire pour garantir l'émission de chaque bande de chaque standard cellulaire, représenté ci-dessus (figure 69) dans le tableau de mesure. Dans la première colonne nous faisons apparaître le numéro de la bande, dans la seconde le standard visé et dans la troisième le $\frac{\Delta f}{f}$ du filtre passe bande.

Afin de garantir que, quelque soit l'endroit où se trouve les répliques, le masque soit tenu, nous avons fixé dans la quatrième colonne le niveau de puissance « pire cas » que peuvent atteindre les répliques après le filtrage. Les niveaux limites des raies sont souvent identifiés par une bande de réception (propre ou d'une autre bande) détaillé dans une sixième colonne, en précisant la distance de cette bande « limitante » par rapport au bord de bande d'émission. Ainsi, nous aurons une indication de la raideur du filtre à atteindre en fonction du niveau de la réplique.

Nous avons simulé l'architecture à 2 GHz avec une bande de 10 MHz en faisant varier le rapport de sur-échantillonnage à 10 et 5, tel que dans le premier cas la première réplique se trouve à 200 MHz, et à 400 MHz dans le second cas.

Nous voyons une grande disparité sur les niveaux de filtrage nécessaires pour chacune des bandes d'émission. Deux pires cas se détachent : la bande 4 en WCDMA et la bande 8 en GSM et WCDMA. Par exemple, pour la bande 8, afin de garantir un niveau d'émission maximum de -129 dBm/Hz dans sa propre bande de réception, il faut un filtrage de 40dB à 20MHz de la bande émise lorsque la fréquence de sur-échantillonnage est de 200 MHz et 34dB lorsque la fréquence de sur-échantillonnage est de 400 MHz. De même pour la bande 4, il faut un filtrage de 39.3 dB à 129MHz de la bande émise pour garantir l'intégrité de la bande de réception GPS.

Les performances de filtrage attendues sont très élevées. Ce problème ne concerne pas seulement l'architecture simulée. Dans la majorité des architectures étudiées, le problème de la suppression des émissions spectrales parasites est prédominant. Trois leviers d'action ont pu être observés pour y remédier, comme illustré ci-dessous à la figure 70.

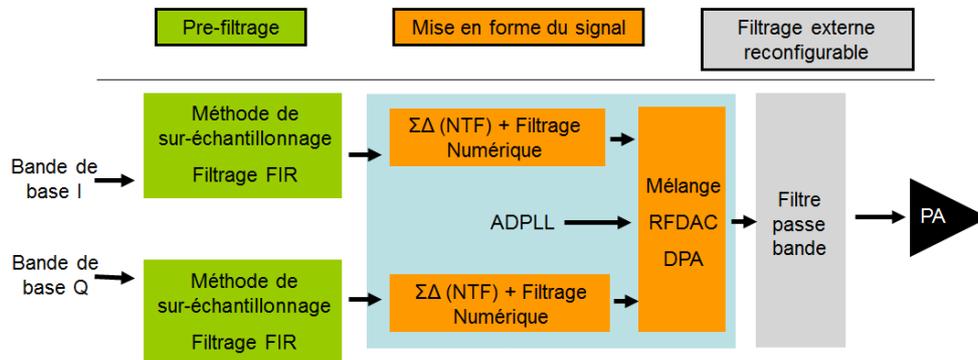


Fig. 70. Identification des différents leviers de filtrage

Le premier consiste en un choix d'interpolation du signal, limitant les répliques, par l'adjonction d'interpolateurs linéaires (FIR et IIR cascades) au lieu d'interpolateurs non linéaires tels que les bloqueurs d'ordre zéro (BOZ). Le second levier consiste en l'application au sein de l'architecture d'une technique de mise en forme du signal afin de limiter les remontées spectrales et le bruit proche de la bande (augmentation de la résolution). Le problème est qu'il existe souvent des limitations techniques (nombre de bits implémentables des DAC). Une technique proposée peut être le traitement du signal par un modulateur Sigma Delta afin d'augmenter artificiellement la résolution. Cela revient à augmenter le nombre de bits effectifs sans augmenter le nombre de bits réels.

Le troisième levier, certainement celui qui regroupe le plus de contraintes, est le filtrage en sortie de l'émetteur, après l'étage de mélange voir d'amplification. Une contrainte majeure de ce filtrage est qu'il doit permettre des atténuations allant jusqu'à plusieurs dizaines de dB, en fonction des performances de l'architecture choisie. De plus dans le cadre d'une utilisation multistandards, l'étage de filtrage doit proposer une large gamme d'accord en fréquence et une largeur de bande passante jusqu'à plusieurs MHz. La prochaine étape va donc concerner l'étude plus approfondie sur les

techniques de filtrages applicables à des architectures numériques, garantissant le meilleur compromis performance-coût et accord en fréquence.

III.2.2.1. Levier de pré-filtrage : interpolation et filtrage numérique

La quasi-totalité des architectures numériques utilisent un étage d'interpolation du signal en bande de base, afin de pouvoir effectuer les opérations inhérentes à la modulation. Le fait d'utiliser des interpolateurs non linéaires tels les « BOZ », ajoute des répliques du signal aux multiples de la fréquence de sur-échantillonnage. Il a été démontré (ex : architecture DQRM) qu'en fonction du rapport entre la fréquence de l'OL et la fréquence de sur-échantillonnage, le niveau de ces répliques vient plus ou moins perturber les masques d'émission des différents standards (c'est surtout le cas pour les standards large bande). L'explication a été détaillée dans la partie précédente.

Une des techniques limitant cet effet parasite est d'utiliser des interpolateurs linéaires du type FIR (Finite Impulse Response) ou des interpolateurs IIR (Infinite Impulse Response). Nous allons, dans cette partie, détailler quelques solutions récentes afin d'analyser l'influence sur les émissions parasites, les performances obtenues et les compromis que cela entraîne dans la conception de l'émetteur.

Dans [Eloranta, 2007], l'utilisation des FIR et IIR dans une chaîne d'émission numérique multistandards est introduite. Compte tenu des hautes fréquences d'échantillonnage (de l'ordre de la centaine de MHz) pour les signaux en bande de base (3.84MHz pour WCDMA), on introduit une forte complexité sur les filtres numériques ainsi qu'une plus forte consommation et une plus grande place occupée. Afin de réduire ces désagréments, il est préférable de cascader les interpolateurs. Par exemple il vaut mieux faire trois interpolations (x2,x2,x2) qu'une seule interpolation par x8. Cette solution est basée sur la mise en cascade de plusieurs filtres FIR et IIR de base, qui ont des structures simples.

La fonction des FIR est de créer des creux dans le spectre, aux multiples de la fréquence d'échantillonnage. Chaque bloc FIR dispose dans sa structure d'un chemin de délai réglable en fonction de la réplique à atténuer. Ainsi en cascader deux FIR et en appliquant un délai différents à chacun, on pourra atténuer les trois premières répliques. Les filtres IIR permettent d'atténuer le bruit de quantification ainsi que les potentielles fréquences images. Ci-dessous (figure 71) on peut voir la réponse globale de la chaîne.

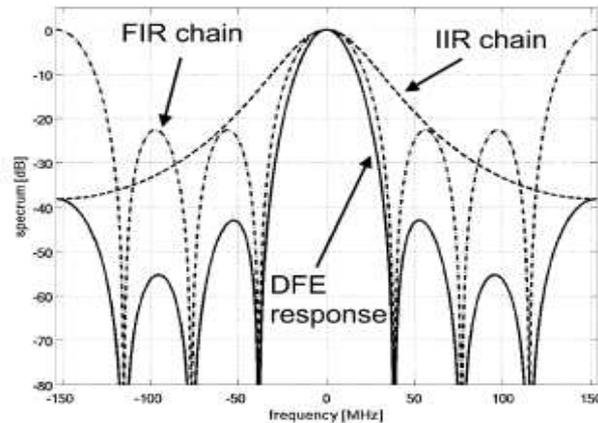


Fig. 71. Solution de filtrage numérique par cascade de FIR et IIR [Eloranta, 2007]

Dans le cas d'une utilisation avec des standards large bande, il faut faire attention à ce que la réponse des IIR (passe bas) ne soit pas trop filtrante dans la bande. En effet, les filtres présentés ici ont une bande passante -3 dB de 9.6 MHz. Aussi, on risque d'avoir des distorsions dans le canal utile, ceci pour des signaux type LTE 10 MHz et au-delà. Il faut donc optimiser les calculs des coefficients pour ajuster le filtrage au masque et au signal émis. De plus, cette méthode entraîne une consommation supplémentaire dans la chaîne numérique de l'ordre de 65mW.

Dans [Parikh, 2007], l'impact sur les répliques et le mode d'interpolation utilisé sont étudiés: bloqueurs d'ordre zéro et interpolateurs linéaires mis en cascade. Il apparaît qu'il est préférable d'utiliser les interpolateurs linéaires qui permettent d'avoir de meilleures atténuations des répliques (de l'ordre de 10 dB à quelques MHz de la bande de base) avec des signaux de largeur de bande de l'ordre du MHz.

La solution proposée est là aussi de mettre en cascade des FIR et des IIR pour les mêmes raisons exposées dans [Eloranta, 2007]. Une structure cascadée (3 étages) occupera 83% moins de place qu'un seul étage. La solution repose sur un algorithme génétique dont le but est d'optimiser l'atténuation, la consommation, l'encombrement et le facteur de sur-échantillonnage. Cet algorithme dépend de plusieurs paramètres. Tout d'abord le nombre de bits en sortie de l'étage d'interpolation-filtrage. Ensuite, l'atténuation nécessaire pour respecter au plus près le masque d'émission du standard. Enfin le facteur d'interpolation utilisé. Ces deux derniers paramètres vont d'ailleurs définir le nombre et la nature des coefficients utilisés dans la structure des FIR. Ainsi on peut, en fonction de ces paramètres, ajuster le compromis entre encombrement et complexité, et aussi consommation. Il est alors possible de connaître le meilleur compromis entre encombrement et respect du masque de chaque standard.

Enfin une troisième solution [Galezzi, 2007] apporte, par rapport aux précédentes, sa structure même puisqu'elle présente un FIR à 26 coefficients d'un seul bloc et non une cascade de filtres. On peut à

priori imaginer une limitation de cette solution du fait de l'encombrement. De même que la solution de Nokia, celle-ci est présentée en CMOS 0,13 μ m (1.2V). Ce filtre numérique est attaqué par un signal sur 9 bits et délivre un signal sur 8 bits. La reconfigurabilité est assurée par le chargement de différents jeux de coefficients des multiplicateurs, en gardant la contrainte d'avoir 26 coefficients. Pour les FIR, il y a principalement deux topologies utilisables que sont les structures TDF (Transposed Direct Form) et DF (Direct Form). Cette solution est basée sur la topologie TDF qui permet de minimiser les défauts temporels du fait de l'agencement des additionneurs avec les multiplicateurs. Cette structure permet également de mieux contrôler le bruit de quantification introduit par les coefficients des multiplicateurs et donc de réduire leur complexité.

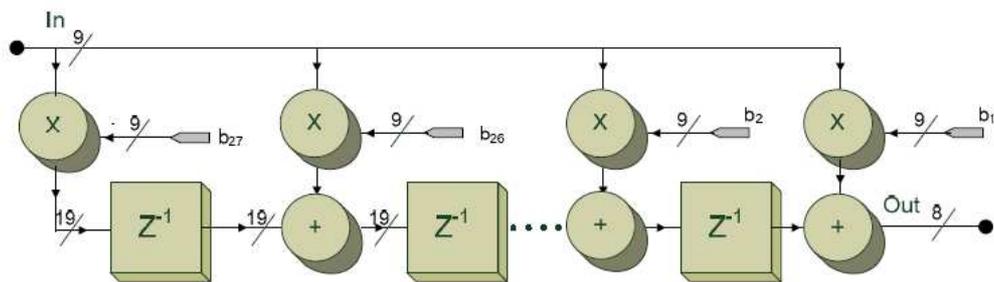


Fig. 72. Structure Radix 8 à 26 coefficients [Galezzi, 2007]

Dans le but de minimiser au maximum la consommation et la place occupée, la structure utilisée pour les multiplicateurs est une structure « Radix 8 » qui présente le meilleur compromis entre complexité des calculs et nombre de branches parallèles arrivant sur le dernier étage d'addition du multiplicateur. Sa consommation est de 1mW en UMTS. Il est à noter que dans le cadre d'une utilisation sur un seul standard, il n'y a pas besoin de modifier les coefficients de multiplication. Ainsi on s'affranchit des décodeurs et multiplexeurs dans la structure Radix 8 ce qui entraîne une diminution de 20% de la consommation. Concernant l'encombrement, la puce totale occupe une place de 0.91mm², soit quatre fois plus petit que l'exemple Nokia. Il est toutefois important de préciser que l'interpolation ici menée n'est seulement que de 4, les répliques sont donc très proches de la bande.

III.2.2.2. Levier de mise en forme et transformation du signal

Dans l'étude des architectures numériques, nous avons vu qu'il était possible de traiter numériquement le signal dans l'architecture, afin de diminuer le bruit proche de la bande utile. Cela a été montré par l'utilisation de modulateurs Sigma Delta qui semble à l'heure actuelle une solution prouvée comme efficace pour peu que l'on ne regarde le spectre qu'à proximité de la bande utile. Il faut cependant se poser la question des remontées spectrales lointaines, et de la puissance contenue dans ces remontées (baisse du rendement global de l'architecture). La prise en charge de ce problème est souvent reportée

au dernier étage de filtrage. Essayons de voir si des méthodes de limitation de ces remontées, ou bien d'autres méthodes, existent.

La première solution [Taleie, 2006] est un RFDAC à modulateur Sigma Delta à filtres de reconstruction FIR intégrés. Dans un émetteur numérique classique, un DAC est suivi d'un étage de transimpédance, d'un filtre de reconstruction et d'un mélangeur. Le problème est que l'ajout de chacun de ces éléments augmente fortement les non linéarités, les déséquilibres IQ donc l'EVM et le niveau de bruit proche de la bande (SFDR).

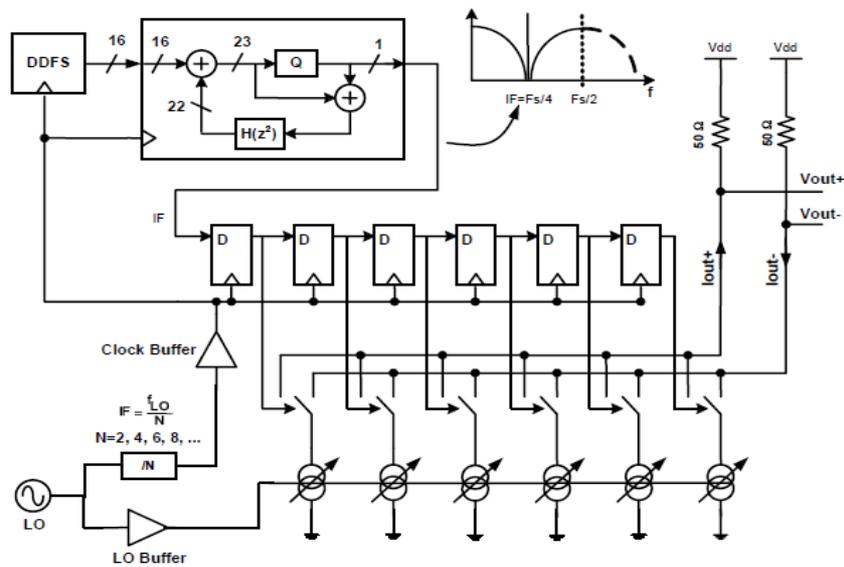


Fig. 73. Solution de RFDAC avec filtre FIR intégré [Taleie, 2006]

Le signal est injecté dans un modulateur Sigma Delta 1 bit du second ordre, avec $F_{sd} = 0.25.F_{ech}$. Le signal issu du modulateur est ensuite ré-échantillonné à F_{sd} afin d'éviter que le bruit de phase du signal issu du DDFS, convolué avec le bruit de quantification du Sigma Delta, ne gêne lors de la montée en fréquence autour de la porteuse, comme expliqué dans [Jerng, 2007]. L'OL et le signal bande de base issu du Sigma Delta viennent ensuite contrôler un FIR semi-numérique à base de 6 lignes de retard numériques pour placer les notches. La valeur des zéros du filtre FIR peut être programmée en modifiant le rapport N de division entre fréquence OL et F_{sd} . Ainsi, on obtient le spectre suivant, dans lequel les remontées sont limitées dans les canaux adjacents. Il est possible de placer les notches à des fréquences précises (bande de réception adjacente par exemple). Cette solution est proche de celle proposée dans [Poszgay, 2008].

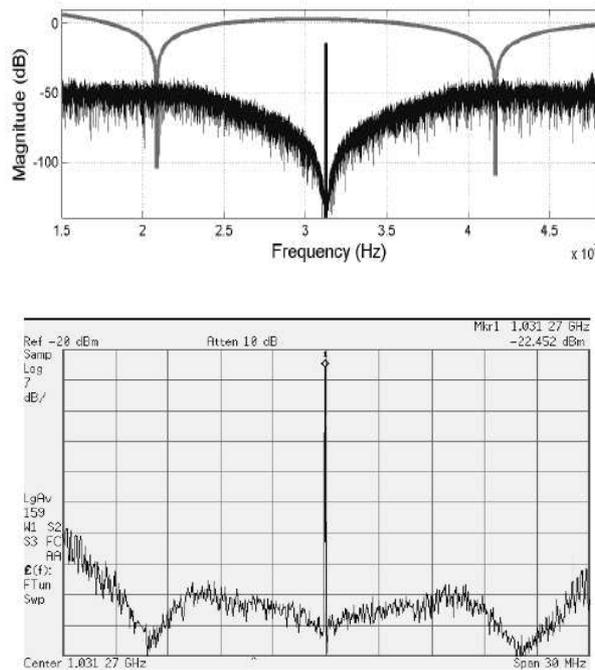


Fig. 74. Illustration de la fonction de filtrage RFDAC Sigma Delta avec FIR Intégré [Taleie, 2006] [Jerng, 2007]

L'atout majeur de cette technique est la relaxation des contraintes sur le filtre passe bande en sortie du RFDAC. Cependant il reste tout de même des remontées spectrales en dehors des limites définies sur le spectre par les *notches*. Cette solution a été élaborée en 2006 (d'où les performances médiocres) en CMOS 0.25um et consomme 122mw sous 2.5V à une fréquence porteuse de 1 GHz et une fréquence SD de 125MHz. C'est principalement la méthode qui est intéressante.

Une autre solution [Parikh, 2009b], publiée en 2009, s'applique à l'architecture DQRM que nous avons choisie d'étudier pour quantifier les besoins en filtrage.

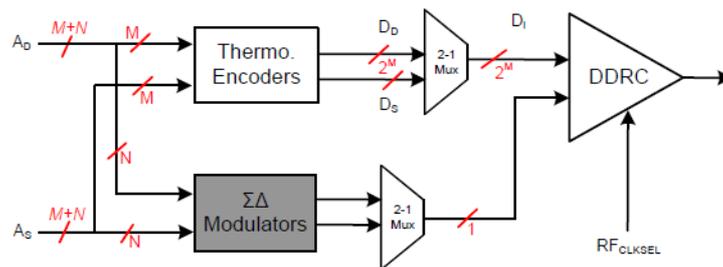


Fig. 75. Architecture DQRM avec méthode de dithering par modulateur SD.

Le principe est de placer un modulateur Sigma Delta 1 bit à haute fréquence (à la même fréquence que la porteuse). Les bits de poids fort des signaux « abs(I+Q) » et « abs(I-Q) » sont traités par le codeur thermométrique et les bits de poids faible par le Sigma Delta, et directement réinjectés au moment du mélange. Ainsi, on obtient les mêmes performances en utilisant un DPA 7 bits (128 paires de transistors) qu'un DPA 13 bits sans ce système de « dithering ».

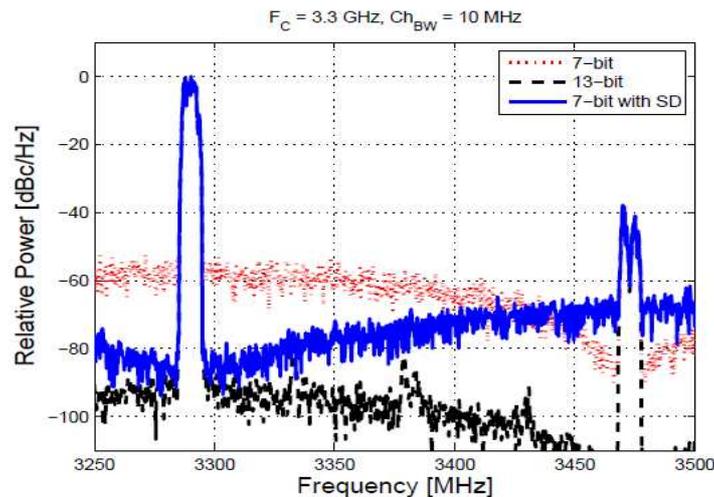


Fig. 76. Illustration des performances de l'architectures [Parikh, 2009b]

Cela permet d'augmenter sensiblement le nombre de bit effectifs, et donc de réduire le bruit à filtrer entre la bande utile et la première réplique. Cela relâche donc les contraintes de filtrage externe passe bande proche de la bande. Cependant, comme nous pouvons l'observer sur ce spectre, il subsiste tout de même des répliques ainsi que des remontées spectrales qu'il faudra filtrer par un dispositif après le DPA. Les répliques sont présentes à un niveau de -45dBc/Hz à 61MHz de la porteuse. A titre indicatif, la réalisation est en CMOS 65nm sous 1.2V

La critique des méthodes précédentes est liée au problème des remontées spectrales, une fois éloigné du canal d'émission. La méthode [Nzeza, 2008] issue d'une collaboration entre le laboratoire IEMN et STMicroelectronics propose un modulateur Sigma Delta du 5^{ème} ordre optimisé (fonction de transfert complexe) afin de respecter toutes les émissions hors bande qui pourraient gêner les bandes de réception du standard (UMTS et GSM1800). L'intérêt d'un modulateur Sigma Delta complexe est que l'on peut avoir des NTF (Noise Transfert Function) qui ne sont pas forcément symétriques. Pour cela il faut que les pôles et les zéros ne soient pas conjugués. Le concept clé de cette solution est d'optimiser le placement des zéros non conjugués de la NTF en respectant les émissions limites de plusieurs standards (UMTS/GSM1800) tout en ayant une STF (Signal Transfert Function) bien « plate » dans la bande. L'objectif est que cette solution soit facilement implémentable dans un système multistandards. Il faut alors veiller à ce que le nombre de coefficients à changer afin de respecter les masques d'émission d'un standard à un autre soit le plus petit possible. Dans cette l'application UMTS (5MHz) / GSM1800 (200KHz), il y a trois coefficients qui changent.

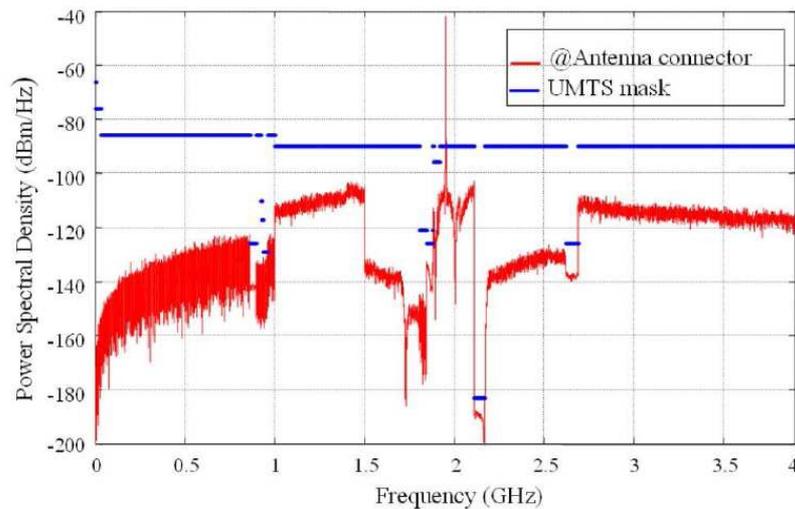


Fig. 77. Spectre en sortie du modulateur Sigma Delta Complexe [Nzeza, 2008]

Ci-dessus (figure 77) l'exemple de ce qui a été obtenu pour le cas UMTS avec un canal de 5MHz. Nous observons bien les creux, obtenus à partir du calcul des coefficients à appliquer aux formules des zéros en fonction de la fréquence de sur-échantillonnage utilisée. Bien que la fréquence du modulateur soit assez élevée (7.8GHz pour UMTS et 6.99GHz pour GSM1800), l'équipe a pu le concevoir. La technologie utilisée est le CMOS 65nm.

III.2.2.3. Leviers de filtrage externe

Dans cette partie nous détaillons les techniques de filtrage externe existantes pour en étudier les performances et voir si nous pouvons les utiliser pour des architectures multi-standard. Pour chacune des techniques, nous veillerons à identifier :

- La fréquence maximale
- Les possibilités de reconfigurabilité
- Les pertes d'insertion
- La rejection
- La tenue en puissance
- L'intégration
- Le coût

Aussi nous avons identifié plusieurs technologies de filtrage appropriées à la conception de filtres passe bande RF. On trouvera les filtres LC, les filtres céramiques, les filtre LTCC (*Low Temperature Co-fired Ceramic*), les filtres SAW (*Surface Acoustic Wave*) et les filtres BAW (*Bulk Acoustic Wave*).

III.2.2.3.i. Les filtres LC

Les filtres LC sont conçus pour travailler à des fréquences comprises entre une centaine de KHz et 3GHz. Ils peuvent être synthétisés suivant différentes fonction de filtrage. (Cauer, Butterworth, Tchebychev...) qui présentent toutes des particularités en termes de réjection ou d'ondulation dans la bande par exemple. Ces filtres peuvent être intégrés en technologie SoC (*System on Chip*), leur tenue en puissance dépend principalement des caractéristiques physiques des composants utilisés. Cependant l'utilisation de capacités et d'inductances passives entraîne plusieurs inconvénients. Le premier d'entre eux est l'encombrement. Celui-ci dépendra principalement de la technologie utilisée pour concevoir les inductances spirales et les capacités (quelques fF/ μm^2 en CMOS65) et des valeurs de composants. De plus cet encombrement augmentera en fonction du nombre de composants (lié à l'ordre du filtre) et donc en fonction de la réjection demandée. Le second inconvénient sont les pertes d'insertion élevées dû au faible facteur de qualité des inductance spirales (de l'ordre de 10 en CMOS65) même si les nouvelles technologies CMOS-SOI repoussent cette limite à un facteur de qualité de l'ordre de 20. D'un point de vue de la reconfigurabilité, ce type de filtre offre une grande flexibilité. En effet il est possible de concevoir des filtres reconfigurables en utilisant des varactors ou des bancs de capacités « switchées ». Une équipe de l'université de Calgary [Nakaska, 2007] propose un filtre centré sur 2GHz, accordable en fréquence et en coefficient de qualité. Ce filtre est réalisé en CMOS 0.18um (2.8mm²). Le principal problème est de réussir à obtenir un fort coefficient de qualité tout en ayant une bande passante suffisamment large pour adresser des standards tels que l'UMTS ou le LTE à des fréquences de l'ordre du GHz.

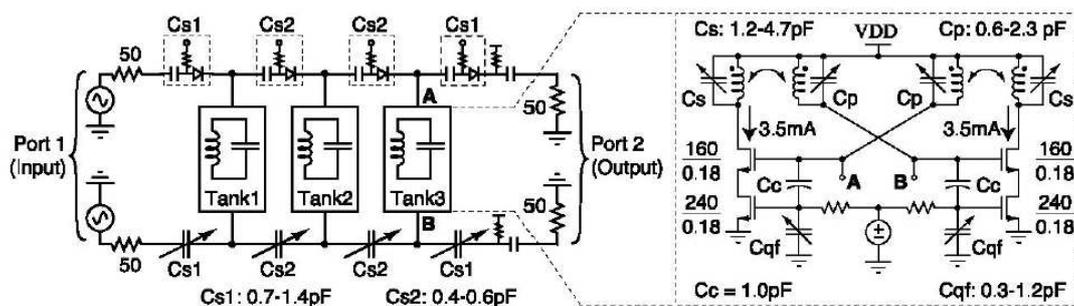


Fig. 78. Filtre LC reconfigurable pour les applications multi-standards [Nakaska, 2007]

Le circuit de la figure 78, illustre la solution qui a été adoptée pour répondre à la problématique. On peut voir la parallélisations de trois résonateurs LC. Chaque étage résonateur a été optimisé pour avoir un très fort coefficient de qualité quelle que soit la fréquence de résonance choisie (tension de commande). Si l'on regarde précisément une cellule LC, on voit que des varactors ont été utilisés pour modifier la fréquence de résonance (C_p et C_s) et pour modifier discrètement la valeur du facteur de qualité (C_{qf}). Si on réduit C_s alors on a une forte variation vers une fréquence de résonance supérieure, par contre avec C_p on a une variation plus précise. On peut assimiler cela à différents pas

de réglage en fréquence. La plage de variation en fréquence est 1.8-2.5GHz. Mais l'intérêt de cette solution réside surtout dans sa capacité à maximiser le facteur de qualité de chaque résonateur de façon à avoir des pertes d'insertion les plus faibles possibles. Cela est très intéressant par exemple pour tout les dispositifs type RFDAC ou DPA compte tenu que la puissance de sortie n'est pas très élevé. Il faudra tout de fois s'interroger sur les problèmes de linéarités engendrés par l'utilisation de transistors MOS dans chaque cellule oscillante. Nous aborderons ce problème dans la conception de notre solution.

III.2.2.3.ii. Les filtres céramique

Les filtres céramiques peuvent monter plus haut en fréquence, jusqu'à 6GHz environs. Ceux-ci ont des pertes d'insertion comprises entre 1.5 et 2.5dB ainsi que des performances en réjection supérieures à 35dB pour un faible coût et une très bonne tenue ne puissance (autour de 5W). Cependant ces filtres présentent dans notre cas de nombreux inconvénient. Le premier est qu'ils ne sont pas reconfigurables. Ils sont difficilement intégrables du fait de leur taille [Anatech, 2009]. Ensuite leurs performances dépendent énormément du matériau utilisé. En fonction de la valeur de la constante diélectrique, ce type de filtre peut devenir instable en fonction de la température.

III.2.2.3.iii. Les filtres LTCC

Cette technologie permet d'avoir des filtres qui montent très haut en fréquence (jusqu'à 10GHz). La technologie LTCC est une technologie multicouches qui permet dans le cas des filtres, d'intégrer des composants passifs dans les trois dimensions, ils seront donc moins encombrants que des filtre LC. D'un point de vue intégration, ils sont compatibles avec de nombreuses techniques d'assemblage (« flip chip », « wire bonding »). Cependant les filtres LTCC souffrent pour le moment de la précision des éléments passifs réalisés, ce qui rend le filtre difficilement reproductibles. De plus ils ne sont reconfigurables quand dans l'hypothèse d'une intégration dans la structure LTCC, de varactors ou de bancs de capacités « switchées ». Il existe de nombreuses réalisations de filtres LTCC, notamment pour des applications multi-radio WiFi/WiMAX [Kim, 2008][Heyen, 2008]. Ces exemples présentent des pertes d'insertion autour de 3dB pour des rejections de l'ordre de 30dB.

III.2.2.3.iv. Les filtres SAW

Les filtres SAW sont basés sur le principe de transformation des ondes électromagnétiques en ondes acoustiques, guidée à faible vitesse par la surface d'un matériau piézoélectrique avant la transformation inverse. Les filtres SAW présentent une fréquence d'utilisation maximale de l'ordre de 3GHz et présentent de fortes réjections (>50dB). L'intérêt essentiel des SAW est lié à leur petite dimension et à leur reproductibilité aisée en série. Cependant les filtre SAW ont une tenue en puissance limitée (1W) et présentent de fortes pertes d'insertion comprises entre 2.5 et 6dB. Ils ne sont pas reconfigurables et ne sont pas compatibles avec les technologies silicium CMOS et BiCMOS. [Anatech, 2009] [Villegas, 2007].

III.2.2.3.v. Les filtres BAW

Les filtres BAW sont basés sur le principe de propagation d'une onde électromagnétique dans un matériau piézoélectrique placé entre deux couches métallique. L'onde acoustique se propage alors dans ce volume. Les propriétés des résonateurs BAW sont choisies de façon à stocker un maximum d'énergie acoustique à l'intérieur de la structure afin de donner un coefficient de qualité électrique important. La conception du filtre passe bande se fait par l'association de résonateurs dont les fréquences de résonance sont décalées. Chaque paire de résonateur série et parallèle constitue une cellule augmentant l'ordre de la fonction de transfert du filtre. Le nombre de cellule va directement influencer la réjection du filtre.

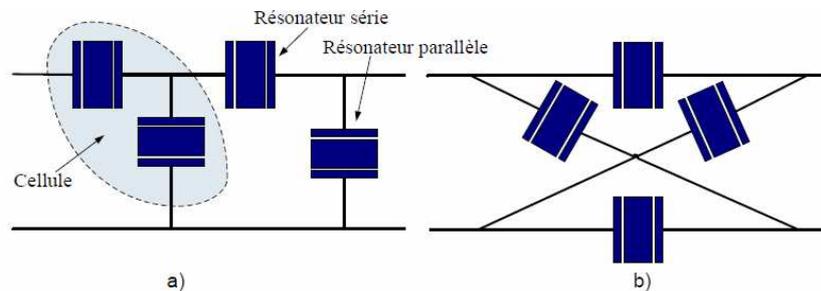


Fig. 79. Topologies d'un filtre en échelle (a) ou en treillis (b)

Les filtres BAW peuvent monter à des fréquences de l'ordre de 12GHz. Ils présentent des pertes d'insertions entre 1.5 et 2.5dB [Razafimandimby, 2007] [El Hassan, 2007] et des rejections hors bande d'au moins 40dB, tout en supportant des puissances allant jusqu'à 3W. L'avantage par rapport aux filtres SAW, est qu'ils sont compatibles avec la technologie CMOS et peuvent être intégrés par méthode de report («above IC»). L'inconvénient principal des filtres BAW (tout comme les filtres SAW) est lié aux performances de reconfigurabilité en fréquence. Il est possible de les reconfigurer en utilisant des varactors, les fréquences de résonance série ou parallèle des cellules. Cependant ce type de reconfigurabilité est limité à quelques pourcents de la largeur de bande relative. Il existe pourtant des exemples de filtres passe bande reconfigurables. On peut citer [Razafimandimby, 2007] qui présente un filtre pour des applications à 2.14GHz avec une reconfigurabilité de 7MHz soit 0,3% de la fréquence centrale. Ces derniers mois de nouvelles réalisations [Baraka, 2011] présentent des performances bien meilleures.

III.2.3. Solution proposée et dimensionnement de l'architecture

Après les exemples montrés dans la partie précédente et les besoins en filtrage que nous avons identifiés pour certaines bandes à 40 dB d'atténuation à 20 MHz de la porteuse, nous voyons bien qu'il est impossible de trouver une solution idéale en garantissant le masque quelque soit la place des

répliques. Si l'on regarde de plus près les masques d'émission, nous pouvons faire en sorte de placer de façon réfléchie les répliques selon la bande d'émission.

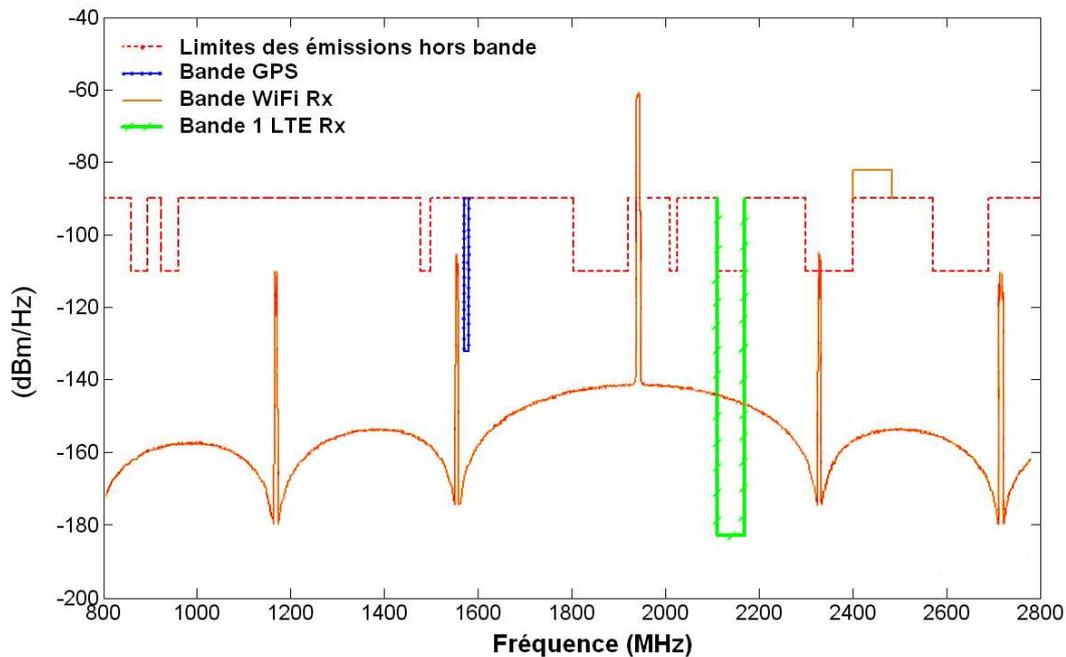


Fig. 80. Spectre simulé de la bande 1 LTE 5MHz en sortie de l'architecture DQRM VS bandes de coexistence

Ci-dessus (figure 80) nous avons pris l'exemple de la bande d'émission 1 pour le standard LTE. Si l'on se ramène à une fréquence de sur échantillonnage de 200 MHz, on voit que la réplique de gauche tombe dans la bande RX de la bande 33. La réplique de droite tombe dans sa propre bande RX. Dans la solution que nous proposons [Robert, 2010][Robert, 2011b], la règle est de placer la première réplique au-delà de la bande la plus « limitante », ici la bande GPS, tout en ayant la fréquence de sur-échantillonnage la plus faible possible, et ce pour chaque bande TX. Aussi, sur la figure 80, dans le cas de la bande 1, la réplique gauche se retrouve juste à gauche de la bande GPS et avant une autre bande RX qu'il ne faut pas polluer. Nous avons donc à atténuer le niveau de la réplique droite pour garantir le masque d'émission. Les besoins en filtrage externe sont considérablement réduits : 4.5 dB à 390 MHz de la porteuse. Nous avons alors appliqué ce principe à chacune des sous bandes de chaque standard d'émission cellulaire et voici à la figure 81, les résultats que nous avons obtenus.

Bande	Standard	DF/F (%) filtre de bande	PSD Target (dBm/Hz)	Distance bord bande (MHz)	Atténuation (dB)	Flo
1	WCDMA	2,98	-125,8	390	20,3	1950
1	LTE	2,98	-110	390	4,5	
2	WCDMA	3,19	-125,8	1140	12,5	1900
2	LTE	3,19	-110		Pas nécessaire	
3	WCDMA	4,29	-125,8	360	22,8	1750
3	LTE	4,29	-110	360	7	
3	GSM 1800	4,29	-116	360	13	
4	WCDMA	2,59	-125,8	360	22,8	1750
4	LTE	2,59	-110	360	7	
5	WCDMA	2,99	-125,8	1270	15,2	840
5	LTE	2,99	-110		Pas nécessaire	
5	WCDMA	1,19	-97			
			-125,8			
7	WCDMA	2,76	-115,8		Pas nécessaire	2550
			-125,8		Pas nécessaire	
7	LTE	2,76	-110		Pas nécessaire	
8	GSM900	3,89	-129		Pas nécessaire	900
8	WCDMA	3,89	-125,8	905	17,2	
8	LTE	3,89	-110	905	1,4	
9	WCDMA	0,99	-125,8	865	13,8	1760
9	LTE	0,99	-110		Pas nécessaire	
10	WCDMA	3,44	-125,8	360	22,8	1750
10	LTE	3,44	-110	360	7	
11	WCDMA	1,73	-125,8	670	16,6	1440
11	LTE	1,73	-110	670	0,8	
12	WCDMA	2,54	-125,8	1410	20,1	700
12	LTE	2,54	-110	1410	4,3	
13	WCDMA	1,27	-125,8		19,8	780
13	LTE	1,27	-110		4	
14	WCDMA	1,26	-125,8	1187	19,7	798
14	LTE	1,26	-110	1187	3,9	
17	LTE	1,69	-110	1230	3,2	820
18	LTE	1,82	-100			
19	WCDMA	1,79	-125,8	1270	15,2	840
19	LTE	1,79	-100		Pas nécessaire	

Fig. 81. Illustration du filtrage nécessaire (avant dernière colonne) pour chaque bande après gestion des répliques

Nous observons une forte réduction des contraintes de filtrage, notamment sur la bande 4, 23dB d'atténuation à 360MHz au lieu de 40 dB à 20MHz de la porteuse. Désormais les bandes les plus contraignante en terme de filtrage sont les bandes 1 (WCDMA), 3 (WCDMA), 10 (WCDMA) avec une vingtaine de dB d'atténuation entre 360 et 390MHz de la porteuse. Ces performances sont tout à fait possible à atteindre dans le cadre d'un filtrage externe reconfigurable. Du fait de l'aspect multistandards et pour n'avoir qu'un seul type de filtre reconfigurable en fréquence centrale nous détaillons ci-dessous les contraintes de conception que nous allons appliquer à notre solution de filtrage :

- Conception de deux filtres identiques, utilisables selon la plage de fréquence utilisée. Un filtre pour les bandes 698-915MHz (bandes 5,8,12,13,14,18,19) et un filtre pour les bandes 1710 – 1980MHz (bandes 1,2,3,4,9,10).
- 23dB atténuation à 390MHz de la porteuse
- 60MHz de largeur de bande 3dB
- 0.5 dB de perte d'insertion maximum
- 270 MHz de plage de reconfigurabilité

Chapitre IV. Conception et réalisation d'un filtre RF passe bande reconfigurable à inductances actives en technologie CMOS 65nm

IV.1. Définition de la topologie du filtre

Nous avons identifié les besoins en filtrage des architectures toutes numériques, ainsi qu'une solution de filtrage reconfigurable. Nous expliquons, dans cette partie, la démarche que nous avons adoptée pour concevoir ce filtre. Nous rappelons que nous cherchons à concevoir un filtre passe bande (60MHz de bande) autour de 2 GHz avec au moins 23dB d'atténuation à 390MHz de la porteuse et le minimum de pertes d'insertions (inférieures à 0.5dB).

IV.1.1. Conception du filtre passe bande RF non reconfigurable à 1.95GHz

Nous avons identifié la bande 1 en WCDMA comme la plus contraignante et la plus restrictive en matière de filtrage. Aussi, dans un premier temps il nous est apparu nécessaire de développer un filtre centré à la fréquence de 1.95GHz. Une fois les caractéristiques électriques de ce filtre identifiées et dimensionnées, nous pourrions aborder la phase d'étude de reconfigurabilité pour les autres bandes des standards WCDMA et LTE.

Dans le chapitre précédent nous avons identifié plusieurs technologies de filtrage, mais toutes ne présentaient pas de bonnes performances à la fois en intégration, en pertes dans la bande, en réjection, en coût et surtout en reconfigurabilité. Nous nous sommes alors tournés vers une solution de filtrage LC, qui présente l'avantage d'un faible coût d'implémentation et d'une bonne réjection, si l'on optimise la structure du filtre. Cependant, il faut travailler sur deux points importants que sont l'encombrement et la reconfigurabilité en fréquence du filtre, sans modifier les caractéristiques de largeur de bande, de réjection et de pertes d'insertion.

Dans cette partie nous analysons le choix d'une topologie de filtre garantissant un compromis entre encombrement, largeur de bande et réjection. En ce qui concerne l'encombrement, on cherchera à limiter le nombre d'inductances et de capacités ainsi que leurs valeurs. Cela aura cependant un impact direct sur l'ordre du filtre et donc sur sa sélectivité.

Afin de choisir la topologie garantissant le meilleur compromis, nous avons simulé sous Agilent ADS avec des composants idéaux. Ainsi on ne se focalise que sur le nombre et la valeur des composants, puis on introduit les imperfections (Q).

La première phase de l'étude consiste à partir de fonction de synthèse de filtrage « classique », de fixer les paramètres électriques du filtre et après synthèse de choisir le filtre réalisant la fonction avec la topologie la plus simple à réaliser et la moins coûteuse en surface. Ainsi, nous privilégions la topologie qui aura les valeurs de capacité les plus faibles ainsi que le plus faible nombre d'inductances. En effet, comme nous voulons synthétiser la fonction d'inductance à l'aide d'inductances actives ; en réduisant leur nombre on réduit la consommation et l'impact des effets non linéaires sur le filtre.

Nous donnons l'exemple de trois topologies qui ont été synthétisées et simulées afin de répondre au gabarit de filtrage que nous avons fixé (60 MHz de bande et 23dB de réjection à $F_0 \pm 390\text{MHz}$). Pour synthétiser les fonctions de filtrage, nous avons décidé de restreindre les plages de valeurs possibles pour les composants à 50pF pour les capacités et 2nH pour les inductances. Cette plage de valeur permet déjà de limiter les dimensions du circuit. Les deux premières fonctions de filtrage que nous avons synthétisées était des filtres « Elliptic » ou de « Tchebychev ».

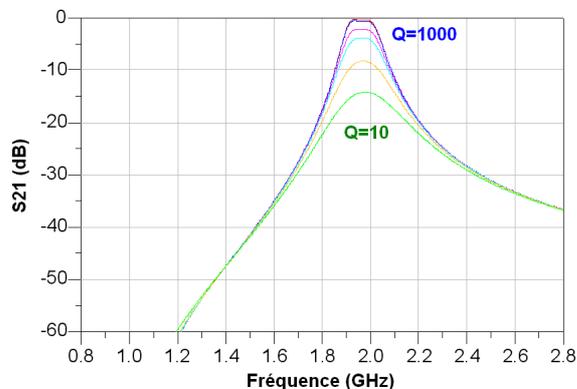


Fig. 82. Filtre « Elliptic » d'ordre 4

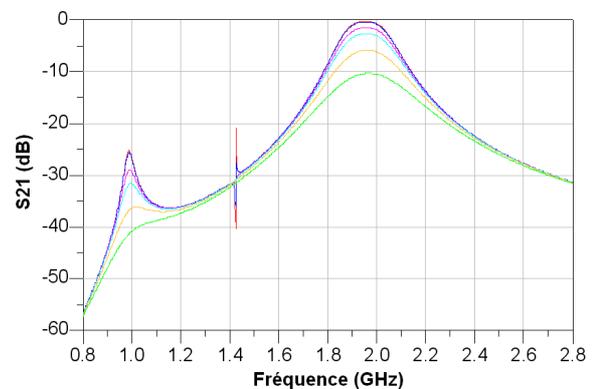


Fig. 83. Filtre « Elliptic » d'ordre 7

Les inductances utilisées lors de la synthèse étaient des inductances idéales dont les deux seuls paramètres réglables étaient la valeur même de l'inductance ainsi que la valeur du facteur de qualité. Les deux filtres elliptics ont d'abord été simulés avec des inductances idéales (Q infini) puis nous avons progressivement diminuée la valeur du Q des inductances. Ceci est fait dans le but d'identifier la valeur du Q minimum lors de la conception des inductances afin de garantir des pertes d'insertion maximales de 0.5dB en milieu de bande (ici 1.95GHz). Par exemple sur le filtre « Elliptic » d'ordre 4 nous voyons l'influence du facteur de qualité sur le S21 en bande. Un Q de 1000 garantit des pertes d'insertion de 0.2dB alors qu'un Q de 10 fait chuter les pertes d'insertion à plus de 15dB. Un Q de 850 permet d'atteindre les 0.5dB de pertes d'insertion et un Q de 100 amène à des performances

comparable aux SAW en termes de pertes d'insertion (1dB). Le filtre d'ordre 7 est moins sensible aux variations de facteur de qualité ; un Q de 700 au lieu de 850 est nécessaire pour garantir les 0.5dB de pertes mais en utilisant une structure plus complexe (doublement de la surface des capacités). Bien que d'un point de vue filtrage les deux filtres respectent le masque identifié dans le chapitre III, à savoir 23dB d'atténuation à 390MHz de la porteuse et au moins 60MHz de bande, ils présentent une ondulation dans la bande pour l'ordre 4 et plusieurs résonance en fréquences basses (1 et 1.4GHz) pour le filtre d'ordre 7. De plus la valeur des capacités est souvent proche de la limite des 50pF ce qui a un impact direct sur la surface occupée. Nous avons alors cherché une solution moins sensible au facteur de qualité (réduction du nombre d'inductances) et avec des valeurs de composant plus faibles.

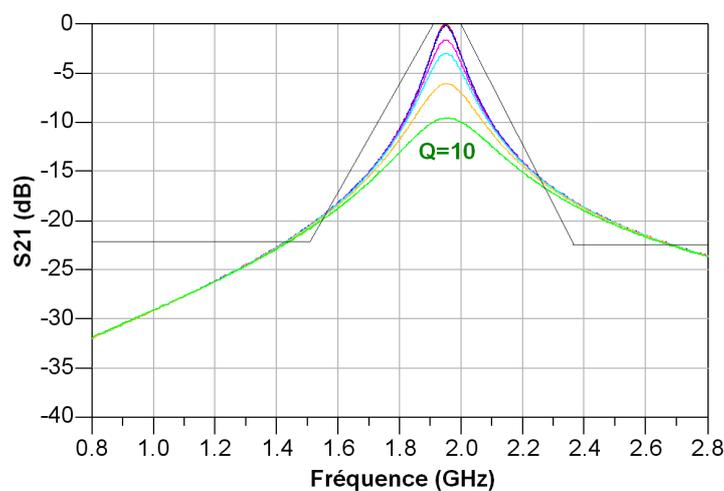


Fig. 84. Filtre « Biquadratique » d'ordre 6

Le filtre Biquadratique d'ordre 6, sur la figure 84, illustre bien l'amélioration des pertes d'insertion par rapport aux structures « Eiptic » aux mêmes valeurs de facteur de qualité. Avec un facteur de qualité de 500 on obtient les 0.5dB de perte ainsi que les 60MHz de largeur de bande (72MHz). De plus le filtre ne présente pas de résonance positive (remonté de S_{21}) aux fréquences basses. Cependant on identifie clairement un manque de réjection à 390MHz de la porteuse. D'après le gabarit il manque 3dB d'atténuation à 1.56GHz et 5dB à 2.34GHz. La topologie (voir figure 85) n'est composée que de trois inductances de faible valeur (230pH à 1.3nH) et 4 capacités.

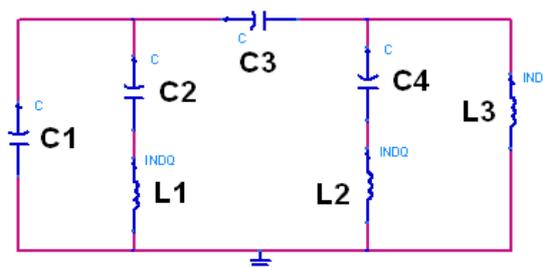


Fig. 85. Topologie du filtre RF passe bande

Nous avons identifié que le couple $C_1 L_1$ joue un rôle majeur dans la détermination de la fréquence centrale du filtre et la raideur. Comme nous allons le voir sur la figure 86, la capacité C_1 permet principalement d'avoir une influence sur la fréquence d'accord du filtre.

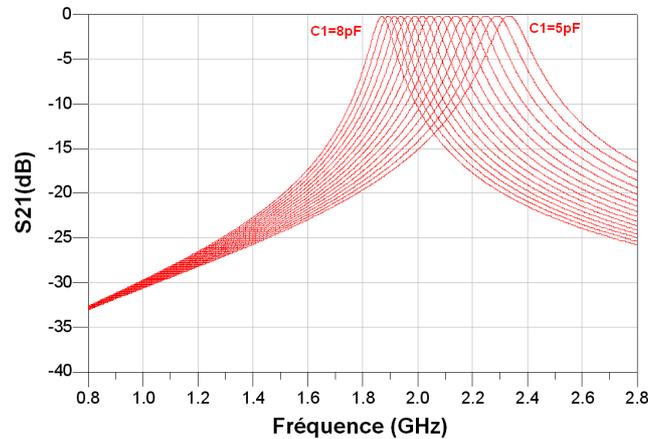


Fig. 86. Impact de C_1 sur le comportement du filtre

En diminuant la capacité C_1 , on augmente la fréquence de résonance du filtre mais on vient en même temps augmenter la largeur de bande, et ainsi diminuer la raideur du filtre. De même, nous avons identifié que lorsque l'on diminue L_1 on augmente la fréquence de résonance mais on diminue la largeur de bande et donc on augmente la raideur. A partir de ce constat, nous avons optimisé les valeurs de L_1 et C_1 de façon à augmenter la raideur sans modifier la fréquence d'accord du filtre.

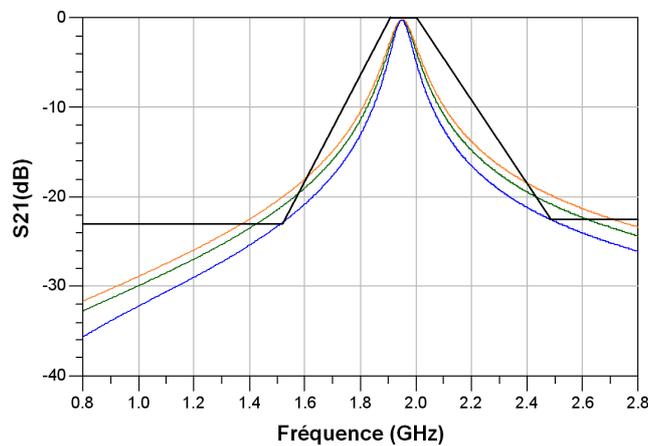


Fig. 87. Amélioration de la sélectivité du filtre par optimisation de L_1 et C_1

Pour cela, on diminue la valeur de l'inductance et on augmente la valeur de C_1 pour compenser la déviation vers les fréquences hautes tout en augmentant la raideur. Ainsi nous avons pu faire correspondre le gabarit et la réponse du filtre. Toutefois la bande 3dB a été quelque peu réduite de 72 à 62MHz, comme illustré sur la figure 87.

IV.1.2. Simplification de la structure

Maintenant que nous avons une topologie répondant à nos besoins en filtrage à une fréquence donnée, nous analysons la façon de simplifier la structure en identifiant le rôle de chacun des composants dans la topologie. Nous avons déjà observé le rôle de L_1 et C_1 jouant principalement sur la fréquence d'accord du filtre et dont le rapport des valeurs impacte directement la raideur.

Il nous reste alors à identifier le rôle des autres éléments au travers de simulations paramétriques. Ceci nous a permis d'identifier les éléments non dimensionnants pour l'architecture et les éléments indispensables à la reconfigurabilité du filtre.

Dans un premier temps nous avons regardé l'impact de la capacité série C_3 , variant de 10 à 50pF.

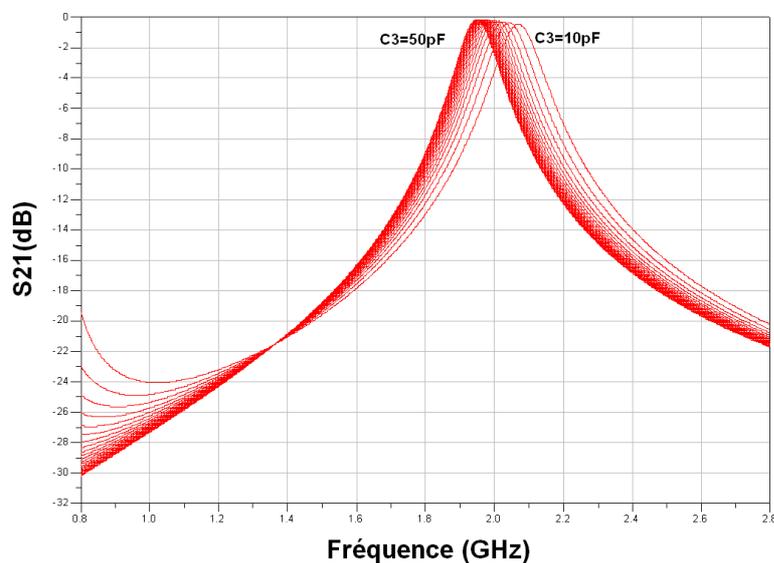
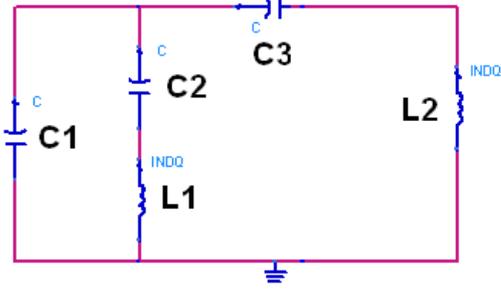


Fig. 88. Impact des variations de C_3 sur le comportement du filtre

Il apparait clairement que la capacité série C_3 a un impact assez réduit sur la fréquence d'accord du filtre. On pourra donc utiliser cette capacité comme élément de réglage fin pour la fréquence d'accord là où C_1 servira de pas plus important. Toutefois on voit apparaître une résonance aux fréquences basses (autour de 800MHz). Il nous faut alors trouver un moyen de contrebalancer cette résonance voir de l'inverser afin d'en obtenir un « notch » que l'on puisse « régler » sur la réplique de sur-échantillonne $F_0-390\text{MHz}$ gauche, amenant ainsi un filtrage additionnel.

Pour cela, nous avons simulé l'impact de C_4 et L_2 , mais, malgré une variation importante des valeurs des composants nous n'avons observé qu'un impact mineur. Aussi nous avons donc choisi de supprimer ces deux composants.

Nous avons alors obtenu une nouvelle topologie (figure 89) avec la fonction de transfert correspondant.



La fonction de transfert du filtre est :

$$\frac{\alpha_4 \cdot p^4 + \alpha_2 \cdot p^2}{\beta_5 \cdot p^5 + \beta_4 \cdot p^4 + \beta_3 \cdot p^3 + \beta_2 \cdot p^2 + \beta_1 \cdot p + Z_0}$$

En prenant les variables suivantes :

$$\alpha_2 = 2 \cdot C_3 \cdot L_2 \cdot Z_0 \quad \alpha_4 = C_2 \cdot C_3 \cdot L_1 \cdot L_2 \cdot Z_0$$

$$\beta_1 = (C_1 + C_2 + C_3) \cdot Z_0^2 + L_2$$

$$\beta_2 = (C_2 \cdot (L_2 + L_1) + L_2 \cdot (C_1 + 2 \cdot C_3)) \cdot Z_0$$

$$\beta_3 = (C_1 \cdot (C_2 \cdot L_1 + C_3 \cdot L_2) + C_2 \cdot C_3 \cdot L_1) \cdot Z_0^2 + C_2 \cdot L_1 \cdot L_2$$

$$\beta_4 = (C_1 \cdot C_2 \cdot L_1 \cdot L_2 + 2 \cdot C_2 \cdot C_3 \cdot L_1 \cdot L_2) \cdot Z_0$$

$$\beta_5 = C_1 \cdot C_2 \cdot C_3 \cdot L_1 \cdot L_2 \cdot Z_0^2$$

Fig. 89. Topologie et fonction de transfert du filtre

Etant donné que nous avons enlevé certains éléments, nous ne pouvons plus parler de filtre biquadrique d'ordre 6. La réponse du filtre a été identifiée en terme de paramètre S et de temps de propagation de groupe (*TPG*) à la réponse d'un filtre de Bessel d'ordre 5 (voir Annexe 3). A partir de cette fonction de transfert nous avons pu identifier deux couples LC important : $L_1 C_1$, déjà évoqué au début de cette partie et $L_2 C_3$. Ci-dessous (figure 90) nous montrons la réponse du filtre suite à des simulations paramétriques sur L_2 et C_3 . Nous savons déjà que C_3 a un impact sur la résonance en basse fréquence.

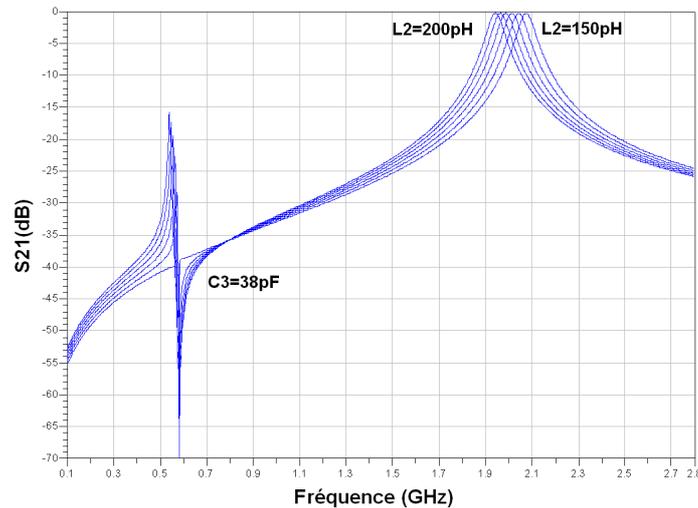


Fig. 90. Impact de L_2 sur le comportement du filtre

Nous observons sur cette figure que l'on peut limiter l'amplitude de la résonance en choisissant le bon couple $L_2 C_3$ (ici 150pH et 38pF). Ainsi on obtient un filtre centré sur 1.95GHz avec 72MHz de largeur de bande et un « notch » de -60dB autour de 600MHz. Nous savons donc maintenant que nous

avons trois leviers (L_1 , C_1 et L_2) pour reconfigurer le filtre en fréquence, tout en gardant une largeur de bande, une réjection, et des pertes d'insertion constantes.

IV.1.3. Définition d'une loi de reconfigurabilité du filtre

A partir des observations faites dans la partie précédente, nous avons pu dresser une loi de reconfigurabilité des éléments en partant de l'hypothèse que le facteur de qualité des inductances est de 1000. Ici nous donnons l'exemple d'une loi de reconfigurabilité pour un filtre allant de 1.8GHz à 2.2GHz. Cette loi est donc basée sur le fait que L_1 et L_2 modifient la fréquence d'accord et que C_1 compense la modification de la raideur lors de l'accord en fréquence. C_2 et C_3 étant fixées.

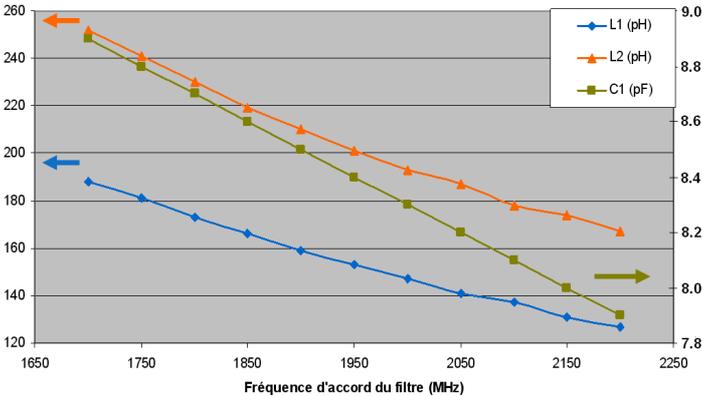


Fig. 91. Loi de reconfigurabilité du filtre passe bande

Cette loi de reconfigurabilité est quasiment linéaire. Cela nous a permis alors de la tester par extrapolation autour de 900MHz et de 6GHz. La loi est toujours valable autour de ces fréquences mais autour de 6GHz la largeur de bande diminue jusqu'à 42MHz. Ci-dessous (figure 92) nous pouvons valider la reconfigurabilité du filtre.

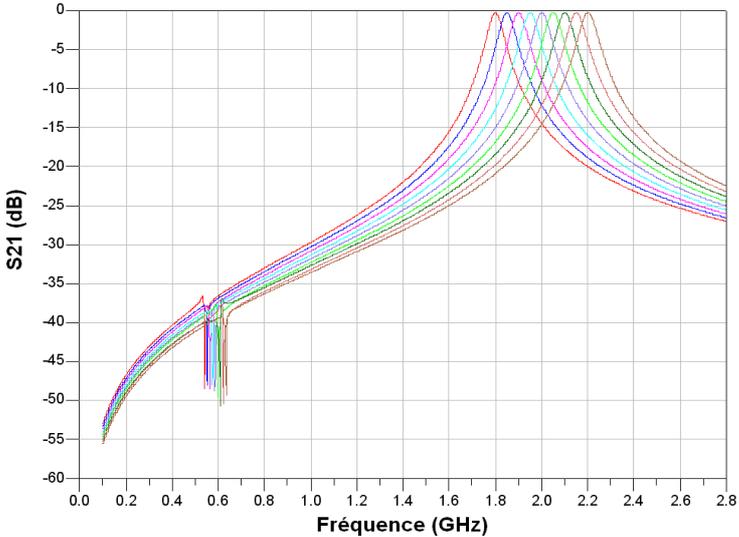


Fig. 92. Réponse (S_{21}) du filtre reconfigurable en fréquence centrale

Nous obtenons bien un filtre reconfigurable de 1.8GHz à 2.2GHz qui, tout le long de la plage de fréquences, conserve ses caractéristiques de filtrage : 72MHz de largeur de bande, au moins 23dB d'atténuation à 390MHz de la porteuse et 0.22dB de pertes d'insertion.

Cependant si l'on veut pouvoir intégrer le filtre dans les émetteurs actuels, la topologie est souvent en mode différentiel. Aussi il a fallu adapter la topologie de filtre « single-single » en filtre « différentiel-différentiel ». De plus dans le but de réduire la taille des capacités, nous en avons profité pour augmenter la taille des deux inductances. En effet, celles-ci seront synthétisées par des inductances actives dont nous verrons qu'il est difficile d'obtenir des valeurs en dessous des 500pH. Or pour le moment les valeurs des inductances sont de 150 et 200pH (pour un filtre à 1950MHz).

A la figure 93, nous présentons la nouvelle topologie nous permettant d'obtenir les mêmes caractéristiques de filtrage que la version « single-single ».

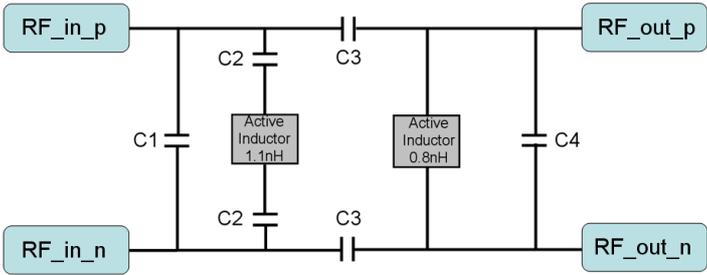


Fig. 93. Topologie différentielle du filtre passe bande

Pour un filtre à 1.95GHz par exemple nous obtenons les valeurs suivantes :

$$L_1=1.1nH / L_2=0.8nH / C_1=10.2pF / C_2=9.8pF / C_3=1.6pF \text{ et } C_4=3pF$$

Ainsi, pour des inductances proches du nH, nous avons réussi à réduire la valeur des capacités, notamment la valeur de C₃. Il a fallu toutefois ajouter une quatrième capacité afin d'augmenter la raideur du filtre. Ce filtre étant destiné à être implémenté sur silicium (technologie CMOS 65nm), nous avons effectué une analyse de sensibilité des valeurs des éléments. En effet, les dispersions de valeur de composant et notamment des valeurs de capacités peuvent atteindre 10% à 20%. Sur la figure 94, nous illustrons l'impact de telles déviations sur les performances du filtre.

Capacité	FD (MHz)	BW (MHz)	dB(S21) @ FD
-10% à +10%			
C1	1999 à 1991	110 à 80	-1,2 à 0,3
C2	2000 à 1991	90 à 110	-1,4 à 0,3
C3	1950 à 1952	90 à 105	-0,5 à 0,1
C4	1955 à 1945	80 à 112	-1,5 à -0,2

Fig. 94. Sensibilité du filtre aux déviations des éléments capacitifs

Nous observons que les déviations de C_3 et C_4 ont un faible impact sur la déviation de la fréquence centrale, cependant une déviation de 10% de ces deux capacités entrainera une augmentation de la largeur de bande et donc une diminution de la sélectivité du filtre. Quant à C_1 et C_2 , elles se compensent entre elles d'un point de vue largeur de bande. Ces deux capacités amènent un risque de déviation de la fréquence centrale de près de 40MHz pour une déviation de 10%.

Nous avons donc montré la possibilité de concevoir un filtre reconfigurable répondant aux besoins des architectures toutes numériques à la condition de disposer d'inductances reconfigurables, de facteur de qualité supérieur à 500. C'est donc cette topologie que nous implémenterons en utilisant deux inductances actives flottantes (non connectées à la masse) qu'il nous faut alors concevoir.

IV.2. Conception d'une inductance active en technologie CMOS avancée

IV.2.1. Principe de fonctionnement d'une inductance active

Dans la partie précédente nous avons vu l'impact non négligeable de la valeur du facteur de qualité de l'inductance sur les pertes d'insertion. Dans notre cas nous cherchons à obtenir des pertes d'insertion inférieures à 0.5dB, ce qui nous amène à implanter des inductances avec un facteur de qualité minimum de 500. Or les inductances spirales actuelles, aux fréquences qui nous intéressent (de l'ordre du GHz) ne peuvent fournir un facteur de qualité supérieur à 10 en CMOS et de 20 en CMOS SOI. Une des solutions qui se propose à nous est l'utilisation d'inductances actives en lieu et place des inductances en spirale. Outre le fort facteur de qualité celles-ci présentent de nombreux avantages que nous détaillerons mais aussi quelques inconvénients qu'il faudra maîtriser, tels que la linéarité, le bruit et la consommation [Li, 2010].

IV.2.1.1. Avantages et possibilités

Dans cette partie nous détaillons les différents intérêts d'utiliser des inductances actives à la place des inductances classiques en spirale. Comme nous allons le voir, l'intérêt majeur réside dans l'utilisation de transistors MOS permettant une meilleure intégration et proposant des caractéristiques de reconfigurabilité dynamique.

Faible encombrement : Comme nous le verrons dans la partie IV.2.2, les inductances actives n'utilisent dans notre application que des transistors MOS et quelques résistances pour en améliorer les performances. La valeur de l'inductance est, de plus, inversement proportionnelle à la

transconductance des transistors. Si l'on prend la structure simple d'une inductance active comme montrée dans la partie V.2.1.1 alors la place occupée par une inductance active par rapport à une inductance spirale équivalente est plus petite.

Intégration : Contrairement aux inductances en spirale qui ne peuvent être conçues qu'en technologie CMOS mixte nécessitant des option technologiques telles que des métaux épais, les inductances actives peuvent être conçues avec des technologies CMOS de base et peuvent ainsi profiter d'une meilleure intégration avec les blocs numériques d'architectures, telles que nous avons pu les détailler dans le chapitre 3.

Reconfigurabilité de la valeur de l'inductance : Comme nous l'avons déjà mentionné, la valeur de l'inductance est inversement proportionnelle à la valeur de la transconductance. Il est donc possible de reconfigurer la valeur de l'inductance, ce qui n'est pas le cas pour une inductance passive.

IV.2.1.2. Schéma de principe

Le principe de l'inductance active est basée sur la mise « tête bêche » de deux transconductances. Cet ensemble est appelé aussi gyrateur. Afin d'avoir un effet inductif, on connecte une capacité sur l'un des deux ports. On appelle alors cela un gyrateur-C ou Gm -C. Afin de démontrer le principe inductif nous définissons sur la figure 95, le schéma de principe ainsi que l'équation du gyrateur sans perte :

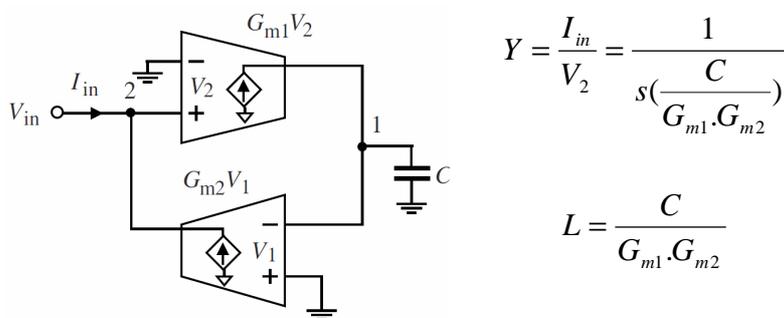


Fig. 95. Schéma de principe d'un gyrateur sans pertes

Nous voyons donc ici que dans un cas idéal, sans perte, on peut obtenir un comportement inductif en dimensionnant un triptyque de deux transconductances et une capacité. On peut alors imaginer obtenir une inductance à partir de deux transistors MOS et d'une capacité. Cependant, il n'existe pas de modèle de transistor se comportant comme de pures transconductances et présentant aux nœuds 1 et 2 des impédances infinies. Dans un cas réel, les nœuds 1 et 2 présentent des impédances finies du fait des conductances (G_{DS1} et G_{DS2}) dépendant directement des caractéristiques intrinsèques des deux transistors du gyrateur-C. Nous avons alors les équations suivantes :

$$\begin{cases} s(C_1 + G_{DS1})V_1 - G_{m1}V_2 = 0 \\ -I_{in} + V_2(s.C_2 + G_{DS2}) + V_1.G_{m2} = 0 \end{cases}$$

On peut alors écrire de la même façon que dans le cas de l'inductance sans pertes :

$$Y = s.C_2 + G_{DS2} + \frac{1}{s.\left(\frac{C1}{G_{m1}.G_{m2}}\right) + \left(\frac{G_{DS1}}{G_{m1}.G_{m2}}\right)}$$

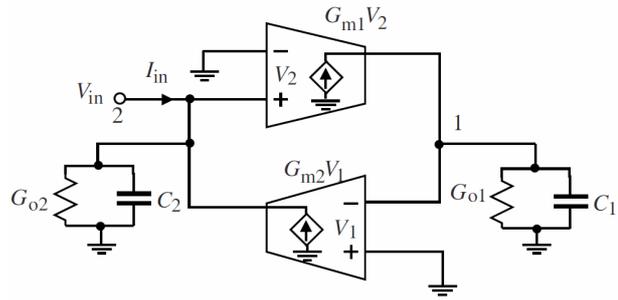


Fig. 96. Schéma de principe et équations d'un gyrateur avec pertes

A partir de ces dernières équations, nous pouvons alors définir un modèle équivalent de l'inductance avec tous ses éléments parasites, qu'ils soient passifs ou réactifs.

$$L = \frac{C_1}{G_{m1}.G_{m2}}$$

$$R_{para} = \frac{1}{G_{DS2}}$$

$$R_{série} = \frac{G_{DS1}}{G_{m1}.G_{m2}}$$

$$C_{para} = C_2$$

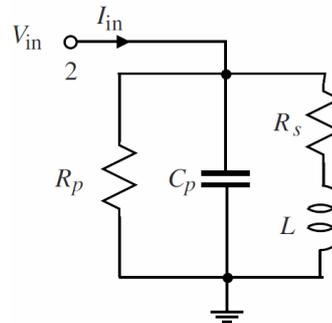


Fig. 97. Schéma équivalent d'une inductance active non flottante

On voit apparaître deux termes résistifs $R_{série}$ et R_{para} . L'une des grandeurs caractéristiques que nous allons développer dans la prochaine partie est le facteur de qualité équivalent de l'inductance active, Q . Dans le modèle avec perte, on voit que $R_{série}$ est une résistance en série avec la self. De ce fait nous n'auront pas un facteur de qualité idéal (infini), mais inversement proportionnel à la valeur de la résistance série. Nous cherchons le facteur de qualité le plus élevé possible de façon à minimiser les pertes d'insertion du filtre. Nous chercherons alors lors de la conception et du « layout », à minimiser cette résistance série.

Si l'on examine en détail les équations donnant la valeur des éléments du modèle, nous voyons que les valeurs de L et $R_{série}$ sont directement liées au choix d'un couple $G_{m1}.G_{m2}$. De plus, ce modèle RLC présente une fréquence de résonance particulière ω_0 qui est la fréquence maximum à laquelle l'inductance active fonctionne.

$$\omega_0 = \frac{1}{L.C_{para}} = \sqrt{\frac{G_{m1}.G_{m2}}{C_1.C_2}}$$

Il y aura donc un compromis à faire entre valeur d'inductance et fréquence de fonctionnement. En effet, on obtiendra une fréquence de fonctionnement haute pour des valeurs d'inductance faibles.

IV.2.1.3. Grandeurs caractéristiques

Dans cette partie nous détaillons les différentes grandeurs caractéristiques d'une inductance active. Après explication de ces paramètres de dimensionnement, ceux-ci vont nous permettre de définir un cahier des charges précis, de conception d'une inductance active.

Plage de fréquence: Nous avons vu dans la partie 2.1.1 qu'une inductance active basée sur un modèle avec pertes ne présente pas une caractéristique inductive sur toute la bande mais uniquement sur une partie en raison d'une fréquence de coupure induite par le circuit RLC équivalent. C'est d'ailleurs aussi le cas avec une inductance spirale.

Aussi une inductance active avec pertes présentera une zone résistive, une zone inductive et enfin une zone capacitive.

Si l'on repart de l'exemple de d'inductance active à pertes alors on peut écrire l'équation de l'impédance caractéristique:

$$Z = \frac{s.L.R_{para} + R_{série}.R_{para}}{s^2(L.R_{para}.C_{para}) + s(R_{série}.R_{para}.C_{para} + L) + (R_{para} + R_{série})}$$

Nous en déduisons alors deux fréquences de transition à partir des pôles et des zéros.

$$\omega_{pôle} = \sqrt{\frac{R_{para} + R_{série}}{R_{para}.L.C_{para}}} \text{ et } \omega_{zéro} = \frac{R_{série}}{L}$$

Dans notre application nous cherchons à minimiser au maximum la résistance série, et de plus d'après les équations de 2.1.1, il apparaît que R_{para} est nettement supérieur à $R_{série}$, aussi il conviendra d'écrire :

$$\omega_{pôle} = \sqrt{\frac{R_{para} + R_{série}}{R_{para}.L.C_{para}}} \approx \sqrt{\frac{1}{L.C_{para}}}$$

A partir de ces valeurs nous pouvons alors définir le diagramme de Bode qui délimite les zones résistives, inductives et capacitives.

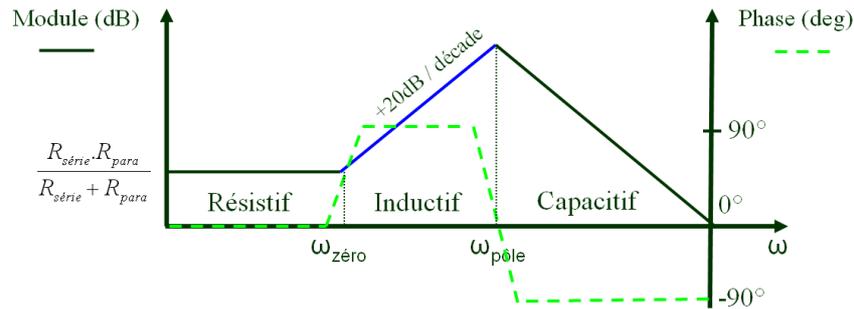


Fig. 98. Diagramme de Bode d'une inductance active simple

A partir de ce graphique et des équations précédentes, nous observons que la plage fréquentielle basse ne dépend pas de la résistance parasite parallèle, mais de la résistance série parasite. Dans l'intérêt d'une inductance fonctionnant à hautes fréquences, sur une large plage et à très fort Q , il faudra alors veiller à concevoir une inductance avec le $R_{série}$ la plus petite possible et en minimisant le couple ($L.C_{para}$). Dans notre cas, nous privilégions de travailler avec une faible valeur d'inductance de l'ordre du nH ou de la centaine de pH compte tenu de la valeur possible de C_{para} (Cgs) en technologie CMOS65 pour garantir un fonctionnement jusqu'à la dizaine de GHz. En ce qui concerne la fréquence basse, nous souhaitons placer la limite autour du MHz. Nous devons alors pour une inductance de 1nH viser une résistance série de l'ordre du mOhm.

Facteur de qualité: Une fois le comportement inductif du circuit validé sur la bonne plage de fréquence, le paramètre le plus important est le facteur de qualité de l'inductance. Dans le cas de notre filtre, plus le facteur de qualité sera important et plus faibles seront les pertes d'insertion dans la bande passante. D'un point de vue mathématique, le facteur de qualité s'écrit comme :

$$Q = \frac{\text{Im}[Z]}{\text{Re}[Z]}$$

Or nous avons vu dans la partie précédente que l'impédance d'une inductance active à pertes s'écrit :

$$Z = \frac{j.\omega.L.R_{para} + R_{série}.R_{para}}{(j.\omega)^2(L.R_{para}.C_{para}) + j\omega.(R_{série}.R_{para}.C_{para} + L) + (R_{para} + R_{série})}$$

On peut alors définir le facteur de qualité en fonction des éléments du circuit équivalent :

$$Q = \frac{\omega.L.R_{para} - \omega.R_{para}.R_{série}^2.C_{para} + \omega^3.L^2.R_{para}.C_{para}}{R_{para}.R_{série} + R_{série}^2 + (\omega^2.L^2)}$$

$$Q = \left(\frac{\omega.L}{R_{série}} \right) \cdot \frac{R_{para} - \frac{R_{para} \cdot R_{série}^2}{L} - \omega^2 \cdot R_{para} \cdot C_{para} \cdot L}{R_{para} + R_{série} + \left(\frac{\omega^2 \cdot L^2}{R_{série}} \right)}$$

$$Q = \left(\frac{\omega.L}{R_{série}} \right) \cdot \frac{R_{para} - \frac{R_{para} \cdot R_{série}^2}{L} - \omega^2 \cdot R_{para} \cdot C_{para} \cdot L}{R_{para} + R_{série} \cdot \left(1 + \left[\frac{\omega.L}{R_{série}} \right]^2 \right)}$$

D'après les équations ci-dessus nous observons la forte dépendance du facteur de qualité par rapport à la fréquence de travail de l'inductance. Ainsi en fonction de la fréquence, l'inductance présentera un coefficient de qualité différent. Si l'on prend pour valeur de test $R_{para}=1K\Omega$, $R_{série}=1\Omega$ et $C_{para}=100fF$ pour une inductance visée de 1nH, nous pouvons tracer le comportement du facteur de qualité en fonction de la fréquence. Nous obtenons alors un facteur de qualité maximum de 16 à une fréquence de 4.64GHz. Afin de montrer l'influence de la résistance série sur les performances du facteur de qualité nous avons effectué la même simulation avec une résistance série $R_{série}=0.1\Omega$ (courbe bleue).

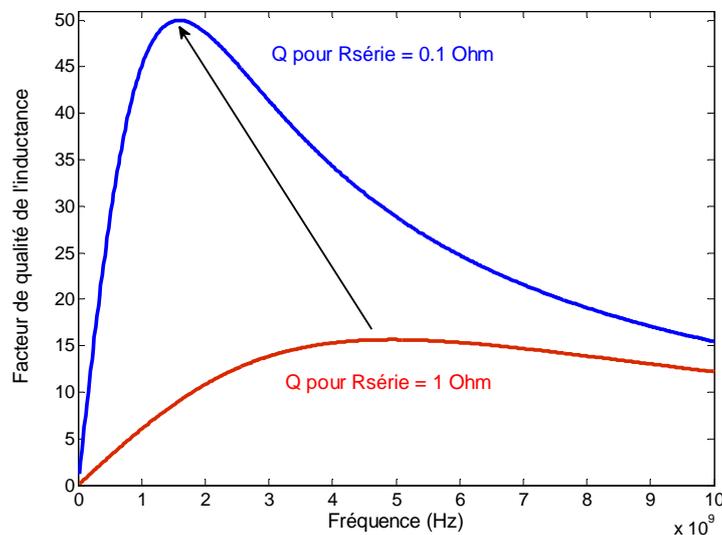


Fig. 99. Influence de la résistance série sur le facteur de qualité

On observe (figure 99), la nette amélioration du facteur de qualité lorsque la résistance série est réduite. On observe en plus que le facteur de qualité maximum (ici 50) est descendu autour des 2GHz. Lors de la conception de l'inductance, il faudra veiller à optimiser les valeurs des éléments équivalents afin de placer le facteur de qualité maximum au niveau de la fréquence centrale du filtre.

D'après les équations de la partie 2.1.1, il existe plusieurs façons de réduire la valeur de $R_{série}$.

La première méthode consiste à réduire la valeur du G_{DSI} . Pour cela, on peut utiliser des transconducteurs en paires différentielles afin de réduire l'impédance équivalente en sortie. On peut également utiliser une structure cascode. Nous verrons plus tard que c'est la solution que nous avons adoptée. La seconde approche consiste à augmenter les valeurs des G_{m1} et G_{m2} . Pour cela, on peut soit jouer sur la largeur des transistors mais aussi sur le courant de polarisation. Le point négatif de cette solution est que lorsque l'on va reconfigurer le facteur de qualité, on va alors modifier la valeur de l'inductance qui dépend aussi de ces deux paramètres.

Reconfigurabilité de l'inductance: Avec le diagramme de Bode et les équations ci dessus nous comprenons ici la difficulté de concevoir une inductance active dont la valeur et le facteur de qualité sont stables sur une large plage de fréquence. Aussi, une fois la topologie d'inductance choisie, nous verrons que nous devons modifier la loi de contrôle des éléments du filtre pour sa reconfigurabilité. Comme la valeur de l'inductance et du facteur de qualité seront modifiées en fonction de la fréquence centrale du filtre il faudra jouer sur la polarisation de celle-ci afin de garantir un bon compromis entre la valeur de l'inductance nécessaire pour le filtre et le facteur de qualité minimum à garantir.

Linéarité: Dans le cas de notre application à l'émission, la linéarité de l'inductance active est certainement la caractéristique la plus importante. En effet, du fait que nous travaillons à l'émission avec des puissances allant jusqu'à 0dBm en sortie du DPA, il nous faut garantir une bonne linéarité et un bon filtrage quelle que soit l'excursion en puissance aux bornes du filtre. Les non linéarités entraînent, en fonction de la puissance aux bornes d'une inductance, une déviation rapide de la valeur de l'inductance et du facteur de qualité à une fréquence donnée.

Bruit : En comparaison avec les inductances spirales, les inductances actives sont génératrices de bruit additionnel. Ceci est dû aux transistors MOSFET et à leur comportement en bruit : principalement le bruit thermique généré dans le canal d'un transistor additionné au bruit thermique généré au niveau de la résistance de grille série du transistor. Dans notre application, nous souhaitons utiliser les inductances dans un filtre à l'émission ; aussi c'est un paramètre que nous identifierons plus tard comme non limitant.

Consommation : Enfin il nous faut choisir la solution la moins de consommante tout en garantissant les exigences des performances définies ci-dessus. Nous verrons, que dans une inductance active, c'est principalement le circuit de linéarisation qui amène une consommation supplémentaire. Compte tenu des pertes évitées par l'utilisation d'une inductance active, il existe un compromis entre la consommation induite par l'inductance et le gain en pertes d'insertions du filtre.

IV.2.2. Choix de la topologie d'inductance active

Au cours de notre étude, nous avons investigué différentes topologies d'inductances actives, qui chacune répondent à une problématique précise de reconfigurabilité, de facteur de qualité ou de linéarité. Dans cette partie nous allons détailler certains exemples d'inductances actives en CMOS au travers d'un cahier des charges, afin de justifier du choix d'une topologie particulière d'inductance active cascodée, à résistance de contre réaction.

IV.2.2.1. Cahier des charges de l'inductance et choix d'une solution

D'après les simulations effectuées sur le filtre LC, il apparaît qu'un facteur de qualité d'une valeur minimum de 500 est nécessaire afin de garantir moins de 0.5dB de pertes d'insertion dans la bande passante. De plus, nous avons vu qu'une inductance active présente un facteur de qualité maximum sur une plage de fréquence définie et assez étroite. Afin de garantir un facteur de qualité minimum de 500 sur une plage de fréquence allant de 1.7GHz à 1.98GHz par exemple, il faudra que l'inductance active soit reconfigurable en Q en fonction de la fréquence d'accord du filtre. De plus, bien que le filtre soit calculé pour des valeurs précises d'inductances (1.1nH et 800pH), l'asservissement en facteur de qualité peut amener une déviation de la valeur de l'inductance et il faudra donc corriger légèrement la valeur de l'inductance. Nous cherchons donc dans un premier temps une topologie à fort Q , reconfigurable en Q et en L .

Au cours d'une étude sur les différentes solutions d'inductances actives nous avons pu différencier deux familles : les inductances actives à structure non cascodée et les inductances actives à structure cascodée. Les inductances actives à structure non cascodée sont les moins complexes à réaliser puisqu'elles sont généralement basées sur l'utilisation de deux transistors mais elles ne présentent pas de facteurs de qualité suffisant (tel que $Q > 1000$). De plus, ces inductances sont souvent faiblement reconfigurables en facteur de qualité et en valeur d'inductance. On peut citer par exemples les inductances de Wu [Wu, 2001a] [Wu, 2001b] [Wu, 2003], les inductances de Lin-Payne [Lin, 2000] [Ngow, 2003] ou de Hara qui est une des plus utilisée au vu de la littérature et du fait de sa simplicité d'implémentation [Sackinger, 2000] [Song, 2003] [Wang, 2005].

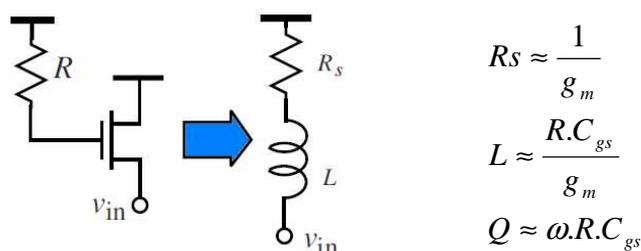


Fig. 100. Inductance active dite de Hara

En effet, cette inductance active n'utilise qu'un transistor MOSFET et une résistance. D'après les équations, la résistance permet de régler la valeur de l'inductance sans modifier le facteur de qualité. L'inconvénient de cette inductance est que le facteur de qualité dépend d'un seul g_m fixé par la taille du transistor qui est imposé par la valeur de l'inductance. Une fois la valeur de l'inductance définie, le facteur de qualité ne peut être augmenté sans modifier L car les deux dépendent directement de R .

Il existe de nombreuses autres réalisations d'inductance actives que nous ne détaillons pas ici car elles ne présentent pas la possibilité d'obtenir des facteurs de qualité suffisants et n'ont pas de leviers de reconfigurabilité indépendants. Par exemple dans [Wu, 2004], un facteur de qualité de 400 est obtenu mais pour une inductance de 600nH en CMOS 0.5um. Un autre réalisation [Karsilayan, 2000] avec un facteur de qualité maximum de 106 en technologie TSMC 0.18um, introduit une possibilité de reconfigurabilité du facteur de qualité et de la valeur de l'inductance mais à l'aide de varactors C_Q et C_L ci-dessous (figure 101).

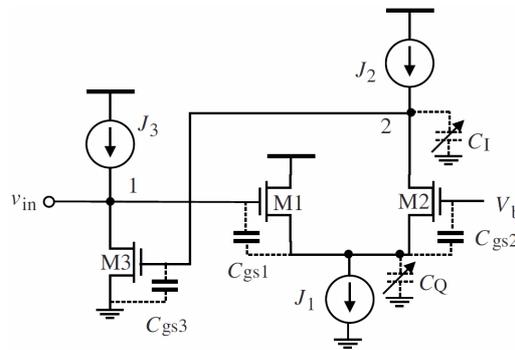


Fig. 101. Inductance active reconfigurable dite de Karsilayan-Schaumann

Dans le but d'augmenter le facteur de qualité, nous allons voir qu'il existe des topologies d'inductances actives basées sur l'utilisation d'étages cascodes. Comme expliqué dans l'exemple d'inductance cascodée de Thanachayanont-Payne [Thanachayanont, 1996] [Thanachayanont, 2002a] [Thanachayanont, 2002b], le principe de l'étage cascode est dans un premier temps d'augmenter la valeur du facteur de qualité sans modifier la valeur de l'inductance comme illustré dans la figure 102.

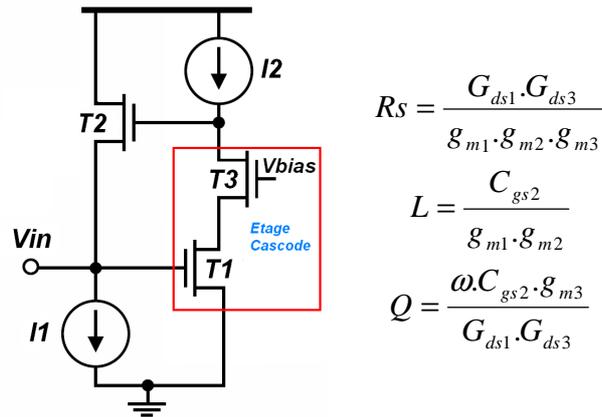


Fig. 102. Inductance cascodée de Thanachayanont-Payne

Nous voyons à partir des équations que seule la résistance série, et donc Q , ne dépendent pas de la valeur de g_m du transistor de l'étage cascode, ici T_3 . Ainsi, en modifiant la tension de grille V_{bias} de ce transistor on pourra régler la valeur du facteur de qualité. Cependant, on ne peut pas régler l'inductance via la source de courant I_2 sans modifier la valeur du facteur de qualité, car g_{m3} et g_{m1} en dépendent. Pour contrer cela, il est apparu une solution [Weng, 2007] qui utilise l'inductance active cascodée de Weng-Kuo. Celle-ci fait appel à une troisième source de courant, dont seul g_{m3} dépend. Le second intérêt se trouve dans l'augmentation des limites fréquentielles du comportement inductif du dispositif. En effet, sans l'étage cascode la limite basse fréquentielle s'écrivait :

$$\omega_z = \frac{G_{ds1}}{C_{gs2}}$$

Or désormais avec l'étage cascode on peut écrire la limite basse fréquentielle telle que :

$$\omega_z = \frac{G_{ds1}}{C_{gs2}} \cdot \frac{G_{ds3}}{g_{m3}}$$

Enfin nous présentons la solution qui nous est apparue la plus aboutie et la plus facile à reconfigurer. C'est l'inductance active cascodée à résistance de contre réaction de Hsiao [Hsiao, 2002] [Wie, 2005] [Mukhopadhyay, 2005]. En effet cette solution basée sur la précédente topologie de Thanachayanont-Payne, ajoute l'utilisation d'une résistance de contre réaction entre la grille d'un des deux éléments du gyrateur et le drain de l'étage cascode. Le schéma du circuit est présenté dans la partie suivante. L'intérêt est que cette résistance permet de diminuer la valeur de R_s , tout en augmentant la valeur de L , et donc d'augmenter simultanément le facteur de qualité. On peut donc imaginer un mécanisme de reconfiguration de l'inductance telle que, dans un premier temps, on choisit la taille des transistors de façon à avoir la bonne valeur d'inductance puis on utilise la tension V_{bias} de l'étage cascode pour régler le facteur de qualité au travers de g_{m3} . En augmentant g_{m3} , nous allons diminuer L et R_s , quasiment du même facteur. Nous aurons donc diminué L et R_s dans les mêmes proportions et donc sans modifier

fortement Q . Ensuite en augmentant R_f on peut augmenter L et diminuer R_s et donc augmenter Q . On peut donc modifier L sans modifier Q à partir de V_{bias} ou alors modifier Q à partir de R_f . Dans la partie suivante nous détaillons les équations qui régissent cette topologie d'inductance.

IV.2.2.2. Etude théorique du comportement de l'inductance active cascodée à résistance de contre-réaction

Ci-dessous à la figure 103, une représentation schématique de l'inductance :

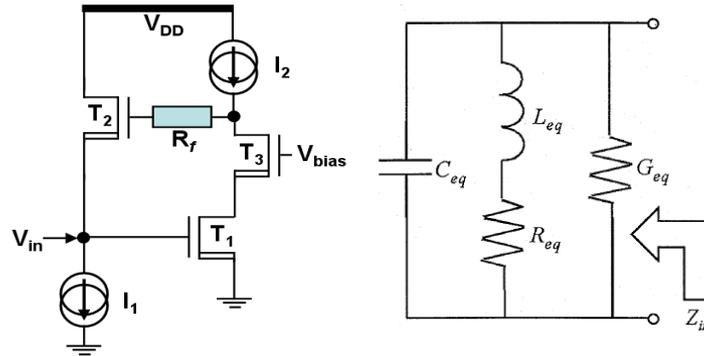


Fig. 103. Schéma équivalent de l'inductance cascodée à résistance de contre-réaction

Dans [Hsiao, 2002] l'auteur propose un schéma équivalent de l'inductance active à partir d'éléments dépendants de la fréquence. Dans cette étude nous partirons des équations suivantes :

$$C_{eq} = C_{gs1}$$

$$G_{eq} = \frac{R_f \cdot G_{ds3}^2 + 2 \cdot G_{ds3}}{G_{ds3} \cdot R_f + 1}$$

$$R_{eq} = \frac{(C_{gs2}^2 \cdot g_{m3} - C_{gs2} \cdot C_{gs3} \cdot g_{m2} \cdot (G_{ds3} \cdot R_f + 1)) \cdot \omega^2 + G_{ds1} \cdot G_{ds3} \cdot g_{m2}}{g_{m1} \cdot g_{m3} \cdot C_{gs2}^2 \cdot \omega^2 + g_{m1} \cdot g_{m2}^2 \cdot g_{m3}}$$

$$L_{eq} = \frac{C_{gs2}^2 \cdot C_{gs3} \cdot (G_{ds3} \cdot R_f + 1) \cdot \omega^2 + g_{m2} \cdot g_{m3} \cdot C_{gs2}}{g_{m1} \cdot g_{m3} \cdot C_{gs2}^2 \cdot \omega^2 + g_{m1} \cdot g_{m2}^2 \cdot g_{m3}}$$

Compte tenu de la valeur d'un C_{gs} (de l'ordre de quelques fF/ μ^2 en 65nm), lorsque l'on travaillera avec des fréquences de l'ordre du GHz alors on pourra négliger le terme :

$$\omega^2 \cdot C_{gs2}^2 \cdot g_{m1} \cdot g_{m3} \text{ par rapport à } g_{m1} \cdot g_{m2}^2 \cdot g_{m3} \text{ car ici } \omega^2 \cdot C_{gs2}^2 \ll g_{m2}^2$$

On pourra alors écrire :

$$R_{eq} = \frac{(C_{gs2}^2 \cdot g_{m3} - C_{gs2} \cdot C_{gs3} \cdot g_{m2} \cdot (G_{ds3} \cdot R_f + 1)) \cdot \omega^2 + G_{ds1} \cdot G_{ds3} \cdot g_{m2}}{g_{m1} \cdot g_{m2}^2 \cdot g_{m3}}$$

$$L_{eq} = \frac{C_{gs2}^2 \cdot C_{gs3} \cdot (G_{ds3} \cdot R_f + 1) \cdot \omega^2 + g_{m2} \cdot g_{m3} \cdot C_{gs2}}{g_{m1} \cdot g_{m2}^2 \cdot g_{m3}}$$

Or Z_{in} peut s'exprimer de la façon suivante :

$$Z_{in} = \frac{R_{eq} + \omega L_{eq} \cdot j}{-L_{eq} \cdot C_{eq} \cdot \omega^2 + j \cdot (G_{eq} \cdot L_{eq} + C_{eq} \cdot R_{eq}) \cdot \omega + G_{eq} \cdot R_{eq} + 1}$$

En isolant la partie réelle et la partie imaginaire, nous pouvons alors écrire l'équation du facteur de qualité en fonction de la fréquence et des éléments équivalents du circuit :

$$Q = \frac{\omega L_{eq} \cdot \left(\frac{C_{eq} \cdot R_{eq}^2}{L_{eq}} + \omega^2 \cdot C_{eq} \cdot L_{eq} - 1 \right)}{R_{eq} \cdot \left(G_{eq} \cdot R_{eq} \cdot \left(\frac{\omega^2 \cdot L_{eq}^2}{R_{eq}^2} + 1 \right) \right) + 1}$$

Sachant que nous souhaitons avoir un facteur de qualité $Q > 1000$ aux fréquences de l'ordre du GHz il faut alors, d'après l'équation ci-dessus, que :

$$L_{eq} \sim 10^{-9}$$

$$R_{eq} \sim 10^{-3}$$

$$C_{eq} \sim 10^{-12}$$

$$G_{eq} \sim 10^{-3}$$

Si l'on prend les termes ci-dessus, l'équation de Q se simplifie à :

$$Q = \frac{\omega L_{eq}}{R_{eq}}$$

Nous savons désormais que :

$$L_{eq} = \frac{C_{gs2}^2 \cdot C_{gs3} \cdot (G_{ds3} \cdot R_f + 1) \cdot \omega^2 + g_{m2} \cdot g_{m3} \cdot C_{gs2}}{g_{m1} \cdot g_{m2}^2 \cdot g_{m3}}$$

On peut alors vérifier le type d'inductance que l'on peut avoir à une fréquence de 2 GHz si l'on prend une résistance de contre réaction de 100 Ohms.

Les ordres de grandeur pour du CMOS65 sont tels que l'on prendra des C_{gs} de l'ordre de quelques fF/ μm^2 , des g_m proportionnels à I_{ds} par un rapport 10 et des G_{ds} de l'ordre de 10^{-2} et 10^{-3} .

Nous obtenons alors une inductance de 2.76nH. De plus si l'on double la valeur de la résistance de contre réaction alors nous obtenons une inductance de 2.92nH. On voit bien par cet exemple la

dépendance de l'inductance par rapport à R_f . Le même calcul, mais à 1GHz, nous donne des valeurs respectives de 1.4nH et 1.9nH.

Il faut maintenant calculer les paramètres du circuit de façon à obtenir un facteur de qualité supérieur à 1000 quelle que soit la fréquence.

Tout d'abord, partons de l'expression du facteur de qualité Q :

$$Q = \frac{\omega L_{eq}}{R_{eq}}$$

Si l'on veut un facteur $Q > 1000$ alors il faudra que :

$$R_{eq} \leq \frac{\omega L_{eq}}{1000}$$

Partons ensuite de l'équation initiale du R_{eq} :

$$R_{eq} = \frac{(C_{gs2}^2 \cdot g_{m3} - C_{gs2} \cdot C_{gs3} \cdot g_{m2} \cdot (G_{ds3} \cdot R_f + 1)) \cdot \omega^2 + G_{ds1} \cdot G_{ds3} \cdot g_{m2}}{g_{m1} \cdot g_{m2}^2 \cdot g_{m3}}$$

Dans un premier temps il faut veiller à ce que $R_{eq} > 0$, ce qui revient à poser la première condition :

$$\omega^2 \cdot C_{gs2} \cdot C_{gs3} \cdot g_{m2} \cdot (G_{ds3} \cdot R_f + 1) < g_{m3} \cdot C_{gs2} \cdot \omega^2 + G_{ds1} \cdot G_{ds3} \cdot g_{m2}$$

Ensuite à partir de l'inéquation de R_{eq} on pose la seconde condition:

$$(C_{gs2} \cdot g_{m3} - C_{gs2} \cdot C_{gs3} \cdot g_{m2} \cdot (G_{ds3} \cdot R_f + 1)) \omega^2 + G_{ds1} \cdot G_{ds3} \cdot g_{m2} < \frac{\omega (C_{gs3} \cdot (G_{ds3} \cdot R_f + 1) \cdot \omega^2 \cdot C_{gs2}^2 + g_{m2} \cdot g_{m3} \cdot C_{gs2})}{1000}$$

Il faut maintenant étudier la dépendance de Q en fonction de la fréquence. Ceci va ajouter une troisième condition au système de résolution de Q .

Partons de l'équation de Q :

Nous cherchons à dimensionner les éléments de la topologie de façon à ce que pour un Q donné à une fréquence donnée, si cette fréquence augmente alors le Q croît ou reste stable.

Cela revient donc à calculer la dérivée de l'expression de Q en fonction de la fréquence et donc ici en fonction de ω à un facteur 2π près. D'après ce qui a été montré dans la première partie, nous disposons des expressions de L_{eq} et R_{eq} . Nous pouvons ainsi réécrire l'expression de Q comme tel :

$$Q = \frac{\omega (C_{gs3} \cdot (G_{ds3} \cdot R_f + 1) \cdot \omega^2 \cdot C_{gs2}^2 + g_{m2} \cdot g_{m3} \cdot C_{gs2})}{(C_{gs2}^2 \cdot g_{m3} - C_{gs2} \cdot C_{gs3} \cdot g_{m2} \cdot (G_{ds3} \cdot R_f + 1)) \omega^2 + G_{ds1} \cdot G_{ds3} \cdot g_{m2}}$$

On voit bien ici que la valeur du coefficient de qualité dépend grandement de la fréquence de travail. Nous décidons ensuite de faire la dérivée de Q en fonction de la fréquence

$$\frac{\delta_2}{\delta_1} - \frac{2 \cdot \omega^2 \cdot (C_{gs2}^2 \cdot g_{m3} - C_{gs2} \cdot C_{gs3} \cdot g_{m2} \cdot (G_{ds3} \cdot R_f + 1)) \cdot \delta_2}{\delta_1^2} + \frac{2 \cdot \omega^2 \cdot C_{gs2}^2 \cdot C_{gs3} \cdot (G_{ds3} \cdot R_f + 1)}{\delta_1}$$

En prenant :

$$\delta_1 = \omega^2 \cdot (C_{gs2}^2 \cdot g_{m3} - C_{gs2} \cdot C_{gs3} \cdot g_{m2} \cdot (G_{ds3} \cdot R_f + 1)) + G_{ds1} \cdot G_{ds3} \cdot g_{m2}$$

$$\delta_2 = \omega^2 \cdot C_{gs3} \cdot C_{gs2}^2 \cdot (G_{ds3} \cdot R_f + 1) + g_{m2} \cdot g_{m3} \cdot C_{gs2}$$

Il faut optimiser les caractéristiques des transistors de façon à ce que cette dérivée soit nulle ou très proche de 0 sur une plage de fréquence la plus large possible.

Si l'on prend les paramètres des éléments identiques au paragraphe 2 (des C_{gs} de l'ordre de $10e-14$, des gm de l'ordre de $10e-2$ et des G_{ds} de l'ordre de $10e-3$) on obtient alors la dérivée nulle à 1.77GHz. On aura alors atteint le maximum de Q à cette fréquence.

Cependant si l'on veut maintenir le facteur de qualité stable sur une plage de fréquence. Si l'on veut maintenir le facteur de qualité à son optimum en fonction de la fréquence il faut faire varier dynamiquement une des variables du circuit.

Il existe deux variables d'ajustement qui sont la tension de grille de l'étage cascode (qui fera varier g_{m3}) et la résistance de contre réaction R_f . On voit bien de par les équations que la variation de la polarisation de l'étage cascode permettra un réglage rapide de l'inductance et du facteur de qualité alors que R_f servira de réglage plus fin.

IV.2.3. Conception et simulation de deux inductances actives

Dans cette partie nous étudions la conception des deux inductances actives dédiées au filtre passe bande, à partir des équations précédentes. Nous cherchons donc à concevoir deux inductances non flottantes dans un premier temps afin de valider le fonctionnement du circuit puis nous implémenterons deux inductances flottantes afin de les intégrer dans le filtre différentiel.

IV.2.3.1. Conception et performances obtenues

Tout d'abord pour concevoir chacune des inductances, il nous a fallu partir des équations détaillées dans la partie précédente et déterminer à quelle fréquence nous souhaitons concevoir notre inductance. En effet nous avons vu que la valeur du facteur de qualité varie très rapidement par rapport à la fréquence. Aussi une inductance active aura une valeur L et un Q autour d'une fréquence précise. Toujours dans l'optique de valider le fonctionnement de la théorie et du filtre nous avons dans un premier temps conçu les deux inductances à 1.95GHz.

Pour cela nous sommes partis des équations de la partie précédente en calculant les paramètres en fonction des tailles des transistors que nous avons appelés (W_1 , W_2 et W_3) et des valeurs des polarisations, notamment pour la polarisation de grille de l'étage cascode avec la tension de reconfiguration du g_{m3} .

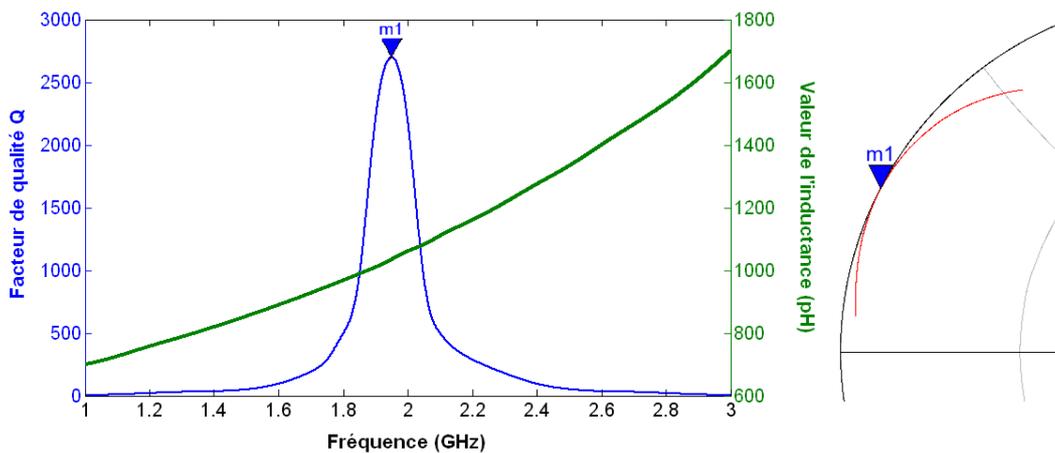


Fig. 104. Simulation de l'inductance active 1.1nH en fonction de la fréquence

Nous avons alors ensuite pu simuler le fonctionnement de l'inductance active en implémentant le circuit sous HP-ADS. La tension d'alimentation du circuit (V_{dd}) est de 2.1V et les sources de courant de $200\mu\text{A}$. De façon à garantir un facteur de qualité optimal à cette fréquence, nous avons dû régler la bonne valeur de tension de polarisation de l'étage cascode (V_{bias}), ici à 0.54V. Nous verrons plus tard que les sources de courant servent également à optimiser le facteur de qualité. Pour le moment les sources de courant sont matérialisées par des sources de courant idéales. Lors de la phase d'optimisation de la conception et du « layout », ces sources de courant seront implémentées à l'aide de transistors. Ainsi, sur la figure 105, nous observons les résultats obtenus en petit signal. Le facteur de qualité obtenu à 1.95GHz est supérieur à 2700 en valeur pic et est supérieur à 1000 sur une plage de fréquence allant de 1.876GHz à 2.024GHz. La valeur de l'inductance est quant à elle de 1.08nH à 1.95GHz. Nous observons également la très grande sélectivité du facteur de qualité ainsi que la déviation de la valeur de l'inductance en fonction de la fréquence (760pH à 1GHz et 1.7nH à 3GHz).

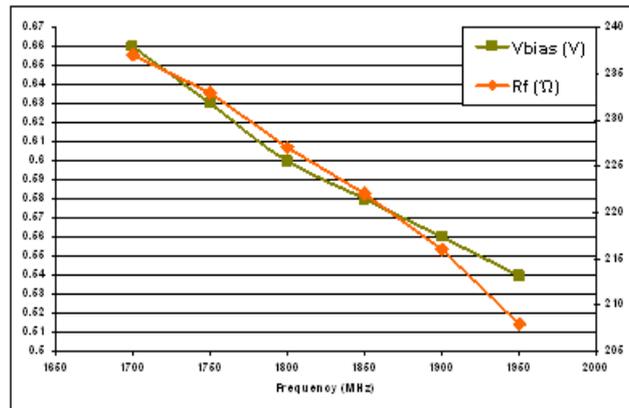


Fig. 105. Loi de reconfigurabilité du facteur de qualité en fonction de la fréquence d'accord du filtre

Maintenant, que nous avons validé le bon fonctionnement de l'inductance, nous souhaitons présenter une loi de reconfigurabilité qui permettrait d'optimiser le facteur de qualité en fonction de la fréquence de travail de l'inductance. En effet, lorsque le filtre aura pour fréquence centrale 1.95GHz, les inductances qui le composent présenteront un fort facteur de qualité. Lorsque la fréquence centrale du filtre sera de 1.7GHz alors les inductances présenteront un Q maximum de 220, impactant directement les pertes d'insertion du filtre. Afin de garantir un facteur de qualité maximum sur toute la plage de reconfigurabilité du filtre, il faut alors accorder le facteur de qualité en conséquence. Pour cela il existe deux leviers de correction. Un levier dit « grossier » au travers de la tension de polarisation de l'étage cascode (V_{bias}) et un second dit « précis » au travers de la reconfiguration de la valeur de la résistance de contre réaction (R_f). Cela peut se faire aisément en plaçant un transistor PMOS en parallèle de la résistance R_f et en commandant la tension de grille. Lors du « layout » du circuit, c'est la solution que nous choisirons. De plus cette technique de pas « précis » permettra de compenser la légère déviation de Q due aux déviations de process. Ainsi, comme on peut le voir sur la figure 105, nous avons défini une loi d'optimisation du facteur de qualité de façon linéaire. De 1.7Ghz à 1.95GHz la tension V_{bias} varie de 0.66 à 0.54V par pas de 0.25mV.

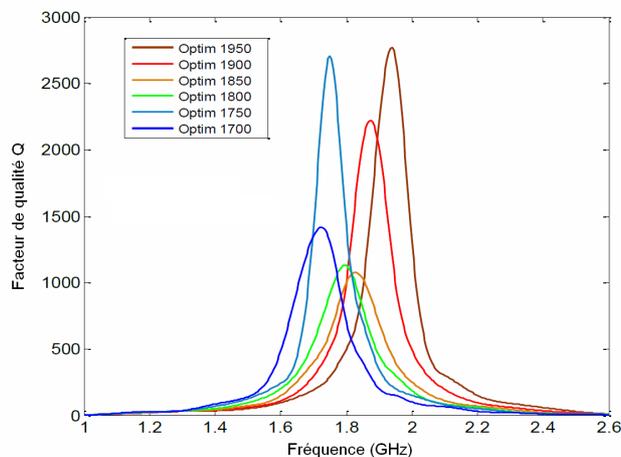


Fig. 106. Optimisation du facteur de qualité en fonction de la fréquence d'accord du filtre

Nous avons alors obtenu à partir de cette loi, le comportement en facteur de qualité illustré sur la figure 106. Nous observons que cette méthode permet de garantir un facteur de qualité global, supérieur à 1000 sur une bande allant de 1.62GHz à 2.02 GHz par juxtaposition des zones où $Q > 1000$.

IV.2.3.2. Première intégration dans le filtre passe bande

L'étape suivante consiste alors à utiliser les inductances actives dans la conception d'un filtre single dans un premier temps. Nous remplaçons les inductances idéales à facteur de qualité de 1000 par les inductances actives cascodées à résistance de contre réaction (1.1nH et 0.8nH), comme illustré ci-dessous (figure 107). Le facteur de qualité des inductances actives à 1.8GHz étant légèrement supérieur à 1000 (1132), nous devons observer légèrement moins de pertes d'insertion dans le filtre que lors des simulations (Q fixé à 1000).

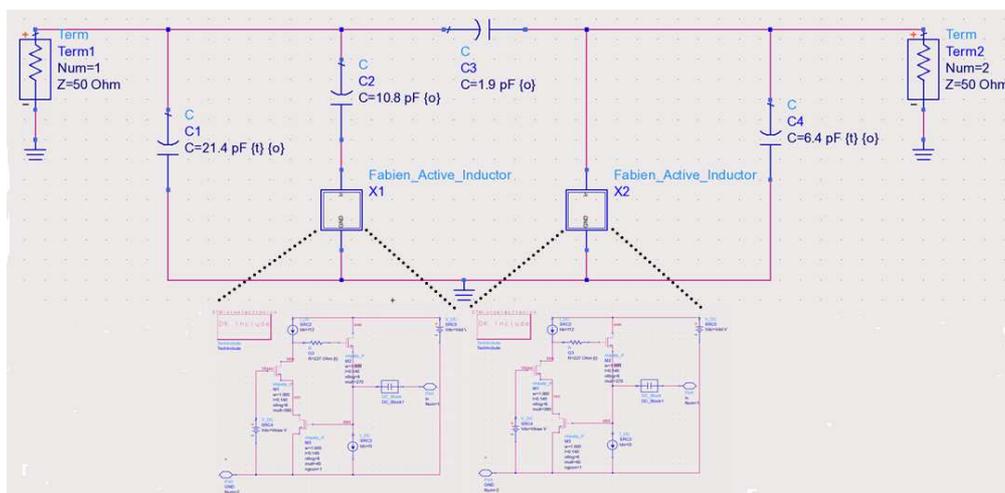


Fig. 107. Schéma du filtre « single » à inductances actives (1.8GHz)

Le comportement obtenu correspondant aux premières simulations utilisant des éléments idéaux. Comme nous l'attendions l'impact sur les pertes d'insertion est moindre, passant de 0.22dB à 0.19dB. L'atténuation à 390MHz de la porteuse montre des résultats proches des contraintes demandées (21dB au lieu de 23) à 2.19GHz voire même bien au-delà (34.7dB au lieu de 23) à 1.410MHz. De même nous observons la présence d'un « notch » d'atténuation proche de la raie parasite basse.

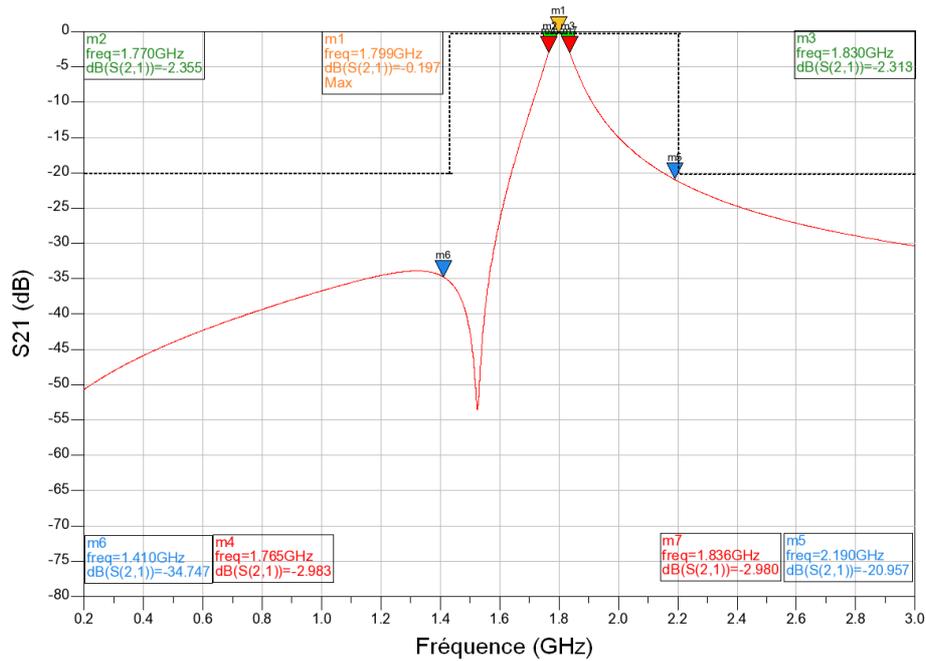


Fig. 108. Réponse (S_{21}) du filtre single 1.8GHz à base d'inductances actives

Nous avons alors repris la structure du filtre différentiel en plaçant deux inductances actives flottantes basées sur la concaténation de deux inductances à la masse. Nous détaillerons le schéma global d'une inductance différentielle dans la partie suivante. En optimisant la valeur des deux capacités C_3 dans le filtre différentiel, nous tentons de placer ce notch à la même fréquence que la raie parasite basse se trouvant à $F_0-390\text{MHz}$

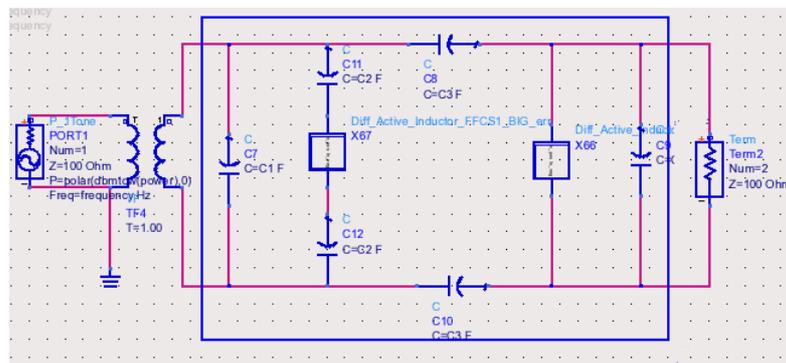


Fig. 109. Schéma du filtre « Différentiel » à inductances actives (1.95GHz)

Au travers de simulations en paramètre S (petit signal), nous avons simulé chacun des filtres passe bande entre 1.7GHz et 1.95GHz. Tout d'abord, il nous a fallu ré-optimiser la valeur des deux capacités C_3 dans chaque cas d'application de la loi de reconfigurabilité de façon à rapprocher au maximum le « notch » de la raie parasite basse. Ensuite, il nous a fallu prendre en compte le changement de polarisation de l'étage cascode et de la résistance de contre réaction dans la reconfigurabilité des filtres. La question de l'optimisation du facteur de qualité et du « notch » étant prioritaires nous avons dû adapter la loi de reconfigurabilité au travers de l'optimisation des composants C_1 , C_2 et C_4 .

Aussi, nous avons obtenu une nouvelle loi de reconfigurabilité du filtre passe bande tenant compte des contraintes de polarisation des deux inductances.

Fréquence (MHz)	C1 (pF)	C2 (pF)	C3 (pF)	C4 (pF)	Rf (Ω)	Vbias (V)
1700	11.4	11.8	1.6	3.3	237	0.66
1750	10.7	11.4	1.6	3.2	233	0.63
1800	10.5	10.8	1.6	3.2	227	0.6
1850	10.3	10.2	1.9	3.1	222	0.58
1900	10.2	10	1.9	3	216	0.56

Fig. 110. Loi de reconfigurabilité du filtre différentiel à inductances actives cascodées différentielles

Si l'on compare la variation des éléments du filtre en fonction de la fréquence d'accord du filtre, on ne peut plus réellement parler de lois « linéaires ». En effet, on voit par exemple que la capacité C3 est réglée suivant deux paliers (1.6 et 1.9pF). La première solution envisagée pour régler la valeur des capacités était l'utilisation de varactors. Cependant, la mise en place d'un tel système serait difficile à contrôler car l'utilisation de varicaps sur des nœuds où la tension varie de façon significative va entraîner des problèmes de linéarité et a donc été rejetée.

La seconde solution que nous retenons est l'utilisation de capacités unitaires que l'on vient commuter en fonction d'un mot de contrôle propre à chaque cas de filtre.

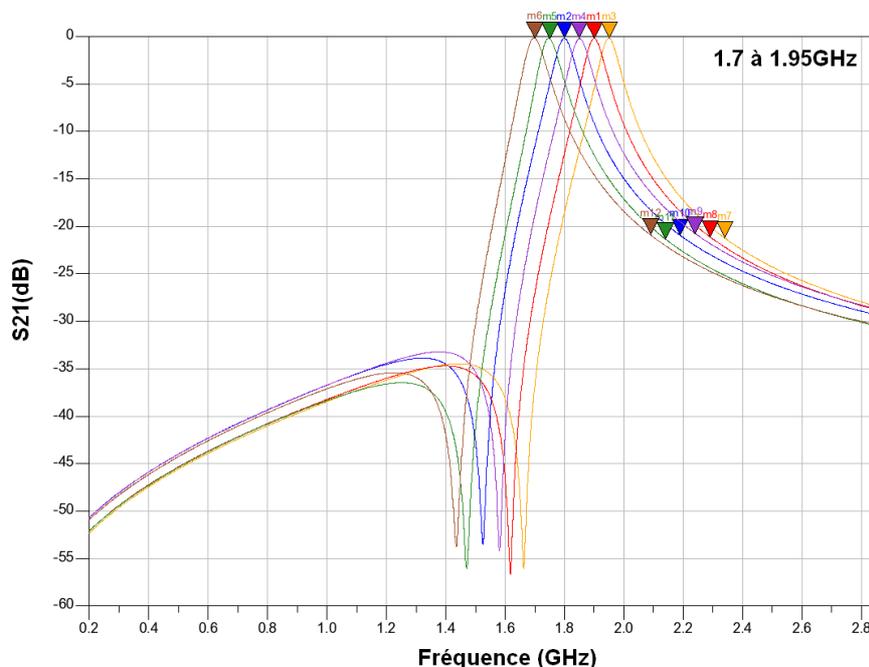


Fig. 111. Réponse du filtre différentiel à inductances actives (S_{21}) dans le cadre d'une reconfiguration en fréquence

A la figure 111, nous observons le nouveau comportement du filtre différentiel utilisant les deux inductances actives flottantes. On peut déjà noter que quelque soit la fréquence centrale du filtre, les paramètres d'atténuation, de largeur de bande et de pertes d'insertion sont conservés. On note une légère amélioration de l'atténuation de la raie haute (22dB) et une augmentation de la bande à 140MHz et le placement des notches à $F_0-390\text{MHz}$ de la fréquence centrale. Nous avons donc montré dans cette partie la possibilité d'utiliser des inductances actives reconfigurables associées à des bancs de capacité commutée, pour synthétiser un filtre reconfigurable qui conserve les mêmes caractéristiques tout au long des différents cas d'utilisation dans le spectre. Il nous faut cependant nous pencher sur le comportement de ce filtre dans son principal cas d'application, c'est-à-dire avec des puissances d'entrée de l'ordre du dBm (puissance de sortie des architectures toutes numériques).

IV.2.3.3. Identification d'un problème de linéarité

Après avoir validé le fonctionnement du filtre en petit signal, nous nous penchons sur son comportement face à des signaux de plus grande puissance. En effet lorsque le filtre sera intégré avec une architecture d'émission de type « tout numérique » il devra supporter des puissances de l'ordre de 0dBm voir quelques dBm avant de filtrer les répliques et de laisser le signal filtré au dernier étage d'amplification. Nous décidons de limiter l'étude de la linéarité à 0dBm qui nous apparait comme une valeur charnière de dimensionnement entre architecture classique et architecture « tout numérique ».

Ci-dessous à la figure 112, nous avons repris l'exemple du filtre différentiel à 1.95GHz afin d'illustrer le comportement du filtre entre -40dBm et -10dBm.

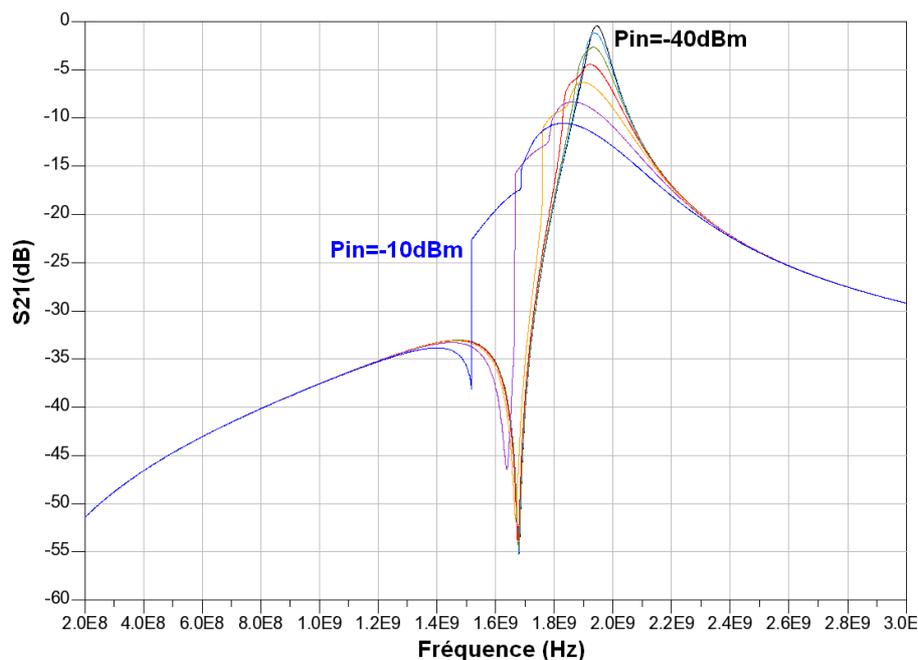


Fig. 112. Influence de la puissance d'entrée sur le S21 du filtre entre -40 et -10dBm

Il apparait clairement que le filtre ne supporte pas des puissances supérieures à -30dBm. En effet au-delà de cette puissance aux bornes du filtre, on observe une nette déviation de la fréquence centrale ainsi qu'une forte augmentation des pertes d'insertion. Entre -40 et -10dBm la déviation en fréquence est de 116MHz et l'augmentation des pertes de 10dB.

Etant donné que le seul dispositif actif dans le filtre est l'inductance active, il apparait comme principale hypothèse. Une déviation de la valeur des inductances ainsi que du facteur de qualité en fonction de la puissance. L'étape suivante consiste donc à identifier les sources potentielles de non linéarité. Pour cela nous avons alors simulé les caractéristiques en L et en Q d'une inductance active en fonction de la puissance à une fréquence donnée.

Ci-dessous à la figure 113, nous pouvons observer le comportement de l'inductance et du facteur de qualité.

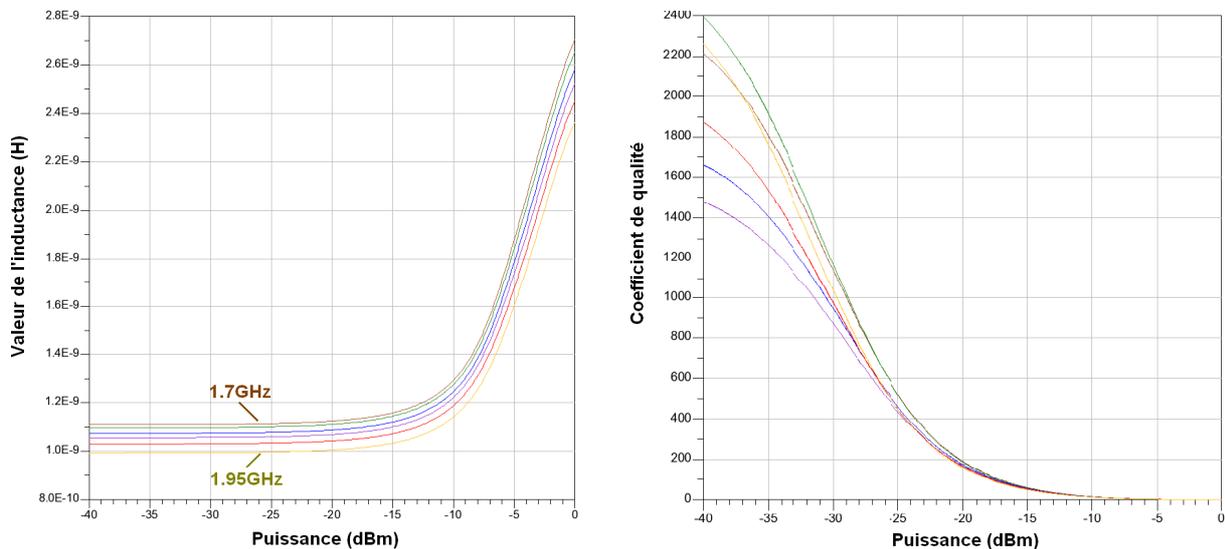


Fig. 113. Evolution de la valeur de l'inductance (1.1nH) et du facteur de qualité en fonction de la puissance

Entre -40dB et 0dBm la variation de la valeur de l'inductance est de près de 140%. On note toutefois que la zone de décrochage se situe autour de -20dBm. En ce qui concerne le facteur de qualité, il passe sous les 1000 à partir de -28dBm. Au-delà de -28dBm, le filtre augmentera donc ses pertes d'insertion et progressivement à partir de -20dBm la fréquence centrale du filtre va dévier vers les fréquences plus basses à cause de la rapide augmentation de la valeur des deux inductances. Ainsi, nous avons la certitude que le comportement du filtre est directement lié au comportement fortement non linéaire des deux inductances actives. D'après les équations de l'inductance cascodée à résistance de contre réaction, la seule façon de modifier à la fois le facteur de qualité et la valeur de l'inductance est de modifier la valeur des g_{m1} , g_{m2} et g_{m3} . En effet, une diminution des g_m implique directement une augmentation de la valeur de R_s et donc une diminution du facteur de qualité, ainsi qu'une

augmentation de la valeur de L . Il nous faut alors trouver d'où vient cette variation des transconductances et comment la traiter par une technique de linéarisation.

IV.2.4. Amélioration de la linéarité

IV.2.4.1. Identification de la source de non linéarité

Pour comprendre les causes de la modification de la valeur des g_m , il faut tout d'abord nous pencher sur le comportement d'un transistor polarisé par une source de courant dont la valeur est limitée. C'est le cas dans notre circuit d'inductance active où le courant qui circule dans T_2 est limité par la source I_1 et le courant qui circule dans T_1 et T_3 est limité par la source de courant I_2 .

D'après [Ler, 2009], le comportement d'un transistor limité en courant peut s'écrire :

Lorsque la tension V_{in} sur la grille est nulle alors

$$\begin{aligned} V_g &= V_{gs} \\ I_c &= I_{ds} = 0.5 \times \beta (V_{gs} - V_{th})^2 \\ g_m &= \beta (V_{gs} - V_{th}) \end{aligned}$$

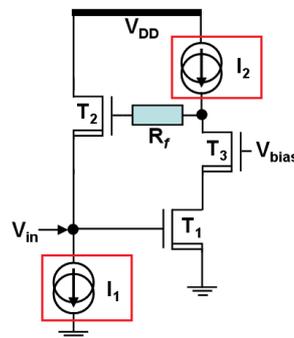


Fig. 114. Schéma de l'inductance active avec les sources limitant le courant

Cependant lorsque V_{in} augmente (comme lorsque P_{in} augmente) d'une amplitude A , il apparaît au niveau du drain de T_2 un courant non linéaire du second ordre I_{nl} tel que :

$$\begin{aligned} V_g &= V_{gs} + V_{in} \\ I_{nl} &= \frac{k \cdot A^2}{2} \\ I_{ds} &= 0.5 \times \beta (V_{gs} - V_{th})^2 + I_{nl} \\ g_m &= 2 \cdot \beta \sqrt{I_{ds} - I_{nl}} \end{aligned}$$

courant I_2 est ici remplacée par un miroir de courant commandé par un courant de contrôle externe I_{bias1} . Nous avons décidé de rajouter cet élément de contrôle externe afin d'optimiser la valeur du facteur de qualité vis-à-vis d'éventuels défaut de « process ». Le courant I_{bias1} est réglé dans notre circuit à 200uA. Cependant, si l'on s'aperçoit que le facteur de qualité est en dessous de nos exigences, on peut alors augmenter ou diminuer ce courant sans toucher à la tension de grille de l'étage cascode ou à la tension de commande de la résistance de contre réaction. Ainsi on recentre le facteur de qualité sans impacter la loi de reconfigurabilité

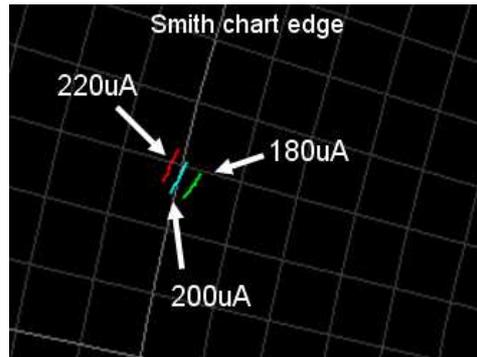


Fig. 116. Recalage du facteur de qualité en fonction du courant I_{bias1}

La source de courant I_1 est remplacée par une succession de miroirs de courant (T_7 à T_{13}). Nous rappelons qu'initialement si cette source de courant est limitée alors la tension de grille de T_2 risque de chuter lorsque la puissance P_{in} au port RF_P augmentera entraînant une chute du g_{m2} . Les non linéarités vont créer une déformation de l'allure de la tension faisant apparaître une composante DC. A l'image des non linéarité une image de cette tension DC augmente avec les non linéarités. Une image de celle-ci est alors réinjectée aux grilles de T_8 et T_9 augmentant directement la valeur de la source de courant équivalente I_1 . Si la limite de courant est suffisante alors la composante DC est nulle annulant les non linéarités.

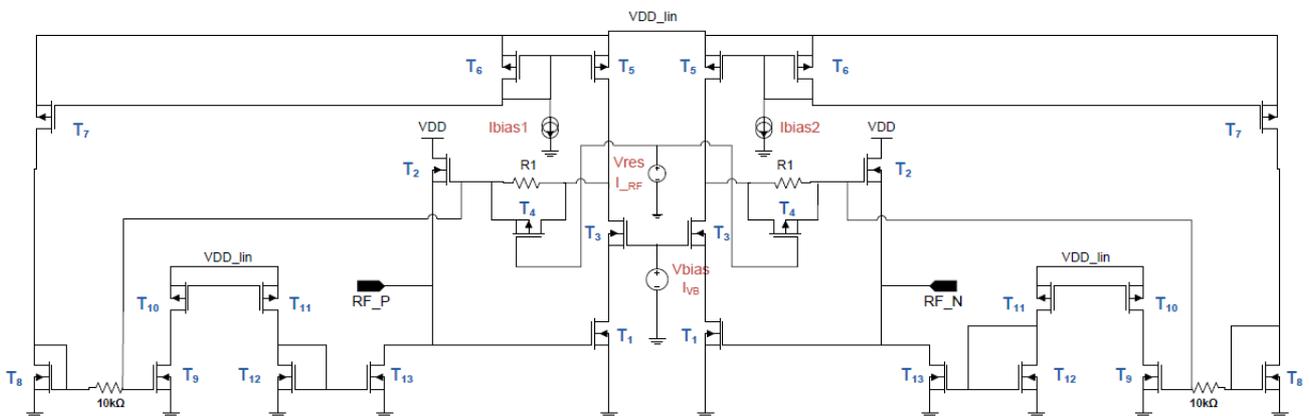


Fig. 117. Schéma de l'inductance différentielle avec circuit de linéarisation

Nous montrons sur la figure 117, le schéma de l'inductance différentielle linéarisée. Elle est basée sur le circuit de l'inductance « single » symétrisé. Grâce à cette technique nous avons pu nettement améliorer la linéarité. Nous avons alors simulé les deux inductances linéarisées à une fréquence de 1.95GHz, pour pouvoir comparer avec les performances du circuit non linéarisé. Nous avons noté une nette amélioration des performances en facteur de qualité et en déviation des valeurs d'inductances, comme illustré dans le tableau ci-dessous.

	Non linéarisée	Linéarisée	Linéarisée
Valeur de L	1.1nH	0.8nH	1.1nH
Déviatiion de Q	2700 to 5	3000 to 1580	3200 to 1610
Déviatiion de L	+138%	+3%	+2.8%

Fig. 118. Impact de la linéarisation sur les performances des inductances différentielles

Nous observons qu'après linéarisation le comportement des inductances laisse apparaître jusqu'à 0dBm des facteurs de qualité toujours supérieurs à 1000, mais une légère déviation de la valeur des inductances de l'ordre de 3%. Cette légère déviation peut avoir un impact direct sur le filtre.

Afin de directement observer la linéarité des inductances dans le contexte du filtre, nous avons simulé les deux filtres « single » et « différentiel » en remplaçant les deux inductances actives initiales par deux inductances actives linéarisées.

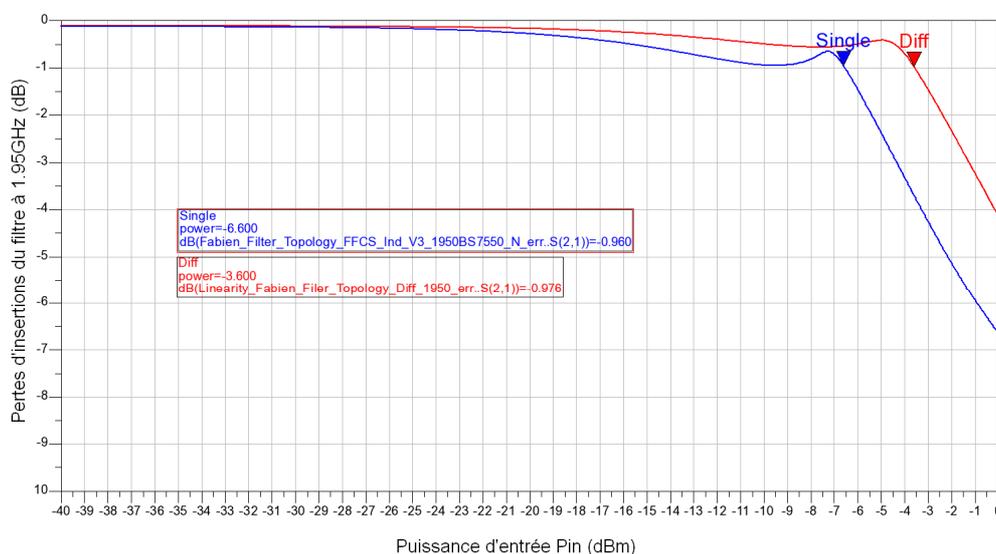


Fig. 119. Pertes d'insertion de deux filtres après linéarisation des inductances actives

Pour observer la linéarité du filtre nous simulons les deux filtres à 1.95GHz et nous mesurons à quelle puissance d'entrée les pertes d'insertion atteignent 1dB. Ce point ne correspond pas à une augmentation de 1dB des pertes mais à une limite de perte que nous nous sommes fixé pour juger à partir de quelle puissance l'utilisation de ce genre de filtre est réaliste. A partir de la figure 119

nous observons une nette amélioration de la linéarité du filtre. Par exemple sur le filtre différentiel nous observons 1dB de pertes à -32dBm alors qu'ici cette limite est atteinte pour -3.6dBm. De plus nous observons bien la différence de 3dB entre la limite de linéarité du filtre single (-6.6dBm) et celle du filtre différentiel.

Cependant si l'on se penche sur la forme de la courbe des pertes d'insertion, on peut observer un minimum local des pertes. En différentiel, ce minimum local apparaît pour une puissance d'entrée de -7dBm environ. Cette allure des pertes peut provenir d'un décalage en fréquence du filtre alors que la bande de celui-ci n'est pas plate. Ainsi le point de mesure étant toujours à 1.95GHz, le comportement des pertes suit la forme du filtre dans la bande et affiche un minimum local.

Un dernier point mais non des moindre qu'il reste à observer est la consommation globale engendrée par ce système de linéarisation. Dans notre cas nous avons une déviation de l'inductance admise de 3%. Mais il se peut que dans certaines applications il faille diminuer ce pourcentage ou bien s'autoriser à l'augmenter si l'on n'a pas une grande sensibilité aux inductances. Nous avons observé la corrélation entre puissance consommée par une inductance linéarisée par rapport à la déviation de l'inductance que l'on s'autorise à 0dBm.

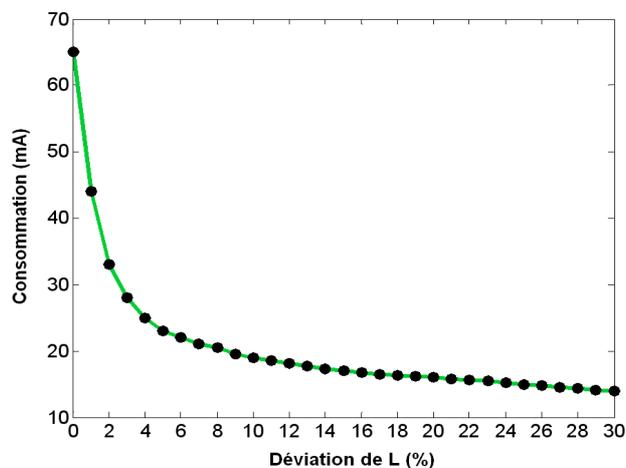


Fig. 120. Consommation de l'inductance différentielle en fonction de la marge de déviation de L

On voit que la marge que l'on autorise aura un impact très important sur la consommation du circuit. En effet, si l'on s'autorise une marge de 7% de variation de l'inductance la consommation est quasiment la même que pour 15% de variation. Par contre, les derniers pourcents font très vite augmenter la consommation à 28mA pour 3% de déviation et 44mA pour 1%.

En conclusion nous avons montré la possibilité de concevoir des inductances actives avec de très bonnes performances en linéarité, à partir de la technologie CMOS65. Les performances en facteur de qualité et en linéarité de ces inductances sont encourageantes pour les performances mesurées du filtre après layout.

Chapitre V. Implémentation et caractérisation du filtre à inductances actives en technologie CMOS 65nm

V.1. Implémentation du filtre à inductances actives

Comme nous l'avons présenté dans les précédents chapitres, le but de notre étude est de concevoir un filtre qui s'intègre le mieux possible avec l'architecture qui le précède. Aussi le layout de la solution de filtrage a été réalisé avec la plateforme technologique CMOS65.

V.1.1. Plateforme technologique CMOS 65nm

V.1.1.1. Présentation de l'offre ST CMOS 65nm

Cette plateforme technologique a été développée dans le cadre de l'alliance Crolles2 en partenariat avec d'autres industriels tels que NXP et Freescale Semiconductors. La technologie CMOS 65nm comprend plusieurs modes et procédés de fabrication en fonction de l'utilisation future des transistors et du système dans lequel ils seront intégrés. Le premier procédé est conçu pour les applications dites « front end », de faible consommation. C'est le procédé *LP* pour « Low-Power » ($V_{DD}=1.2V$, $T_{OX}=1.8nm$, $L_{min}=65nm$). Le second procédé « front end » est dit *GP* pour « General Purpose », il couvre les cas d'application courants ($V_{DD}=1V$, $T_{OX}=1.2nm$, $L_{min}=45nm$). On voit que pour ces procédés *front end* (composants) il existe une différence de la tension V_{DD} ou de l'épaisseur d'oxyde. En effet selon l'application visée, pour chaque procédé il existe plusieurs épaisseur d'oxyde de grille et plusieurs tensions de seuil des transistors afin d'optimiser le compromis consommation-vitesse ou de pouvoir travailler à des tensions V_{DD} bien supérieures à 1.2V par exemple dans le cas de développement RF. Dans le cas de notre application nous sommes plutôt orientés vers une conception RF/Analogique, aussi nous avons choisi de travailler avec une option de transistor dédié à la conception analogique.

En ce qui concerne la partie *back end* (interconnexions), il existe plusieurs niveaux de métallisation allant de 6 à 10 selon l'option. D'un point de vue fabrication, cela implique entre 30 et 37 masques selon l'option [Tavel, 2005]. Etant donné que nous concevons un filtre nous avons également besoin de composants passifs et en particulier de capacités [Yue, 2005]. Dans notre cas, pour reconfigurer le filtre nous avons opté pour une solution future, basée sur la commutation de banc de capacités. Il est toutefois possible avec la plateforme ST65nm d'intégrer des varactors de type MOS ou P+/Nwell. Ici nous sommes plus intéressés par des capacités de type MOM (*Metal Oxyde Metal*) ou MIM (*Metal Insulator Metal*) en option. La capacité MOM permet d'obtenir 2fF/um², la capacité MIM en option

permet elle d'atteindre $5\text{fF}/\mu\text{m}^2$. Bien entendu nous n'utiliserons pas d'inductances passives bien qu'elles soient dans le « design kit ». Celles-ci présentent des facteurs de qualité compris entre 10 en *bulk* et 20 en SOI [Martineau, 2008]. Enfin toute une gamme de résistances caractérisées est disponible. De manière générale la technologie ST CMOS 65nm du fait d'un grand nombre de niveaux de métallisation et d'un dernier niveau de métal épais et de cuivre ($M_7\text{-Alucap}$), est favorable au développement de composants passifs (augmentation du facteur de qualité et de la fréquence de résonance) et permet de réduire les pertes (résistance série) dans les lignes d'accès. La diminution des épaisseurs de métal et la finesse de gravure permettent d'avoir des capacités MOM plus précises. Cependant cela réduit la distance entre les niveaux de métallisation et le substrat. Il faut alors n'utiliser que les niveaux de métallisation les plus élevés pour éviter le couplage avec le substrat.

V.1.1.2. Caractéristiques des transistors employés

Au niveau front end, outre les procédés LP et GP, il existe un troisième procédé qui est l'option *HPA*, pour « High Performance Analog ». Un avantage primordial de cette option est d'accepter des tensions plus élevées, par exemple 1.8V au lieu de 1.2V ce qui correspond mieux à notre cas d'utilisation. L'avantage de cette option est de proposer un V_T bas de l'ordre de 0.5V, une impédance de sortie plus élevée en saturation ainsi qu'un grand g_m/G_{ds} . Dans notre application nous avons besoin par exemple de sources de courant robustes et précises, ce qui est alors possible avec ce genre de transistors. A côté de cela on note une augmentation du L_{min} , de 65nm à 140nm.

V.1.1.3. Flot de conception

Nous présentons ici le flot de conception que nous avons utilisé. Le flot de conception représente la méthode logicielle de conception de nos circuits dans la technologie CMOS65. Ce type de flot de conception peut tout à fait se décliner pour les autres plateformes technologiques (CMOS130, 90 et 45nm). Dans le cadre de notre étude, le flot 65nm est intégré dans un environnement Cadence qui associe aussi un environnement de conception d'Agilent nommé Goldengate. A la figure 121, on peut observer les différentes phases du flot de conception.

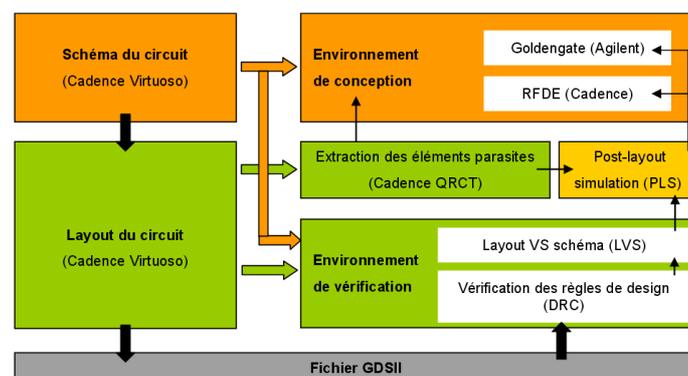


Fig. 121. Flot de conception pour la technologie ST CMOS65nm

La première phase du flot consiste en la création du schéma électrique dans l'environnement cadence en utilisant les composants passifs et actifs de la librairie CMOS65. Dans notre cas, nous avons recréé sous Cadence le schéma préalablement simulé sous Agilent-ADS et présenté dans le chapitre précédent. Les transistors que nous avons utilisés étaient alors des HPA. Une fois le schéma créé sous cadence nous pouvons alors faire les mêmes simulations petit et grand signal sur la plateforme « Goldengate » au travers des moteurs de simulation *SParam* et *LSSP*. Une fois le schéma validé, lorsque la réponse du filtre est conforme à nos attentes nous pouvons alors passer à la phase de layout. Une fois le layout terminé on utilise alors l'outil DRC pour « *Design Rules Check* » qui va vérifier que le layout respecte bien les contraintes imposées par les technologues, par exemple la distance entre deux lignes ou deux vias. Une fois le DRC validé, on doit alors contrôler que le layout correspond exactement au schéma, principalement en termes de routage des éléments actifs et passifs entre eux. Cette étape est nommée LVS. Enfin, on peut extraire les éléments parasites du circuit qui seront ajoutés sur un schéma électrique équivalent. Par exemple deux lignes se croisant sur deux niveaux de métallisation différents peuvent créer une capacité parasite qui sera prise en compte dans la simulation du layout. Nous verrons plus loin que cette phase est primordiale si l'on veut optimiser le fonctionnement du circuit. Le schéma équivalent obtenu, contenant les éléments du circuit ainsi que les éléments parasites dû au routage, peut être alors simulé pour obtenir un résultat de simulation après layout ou « PLS ». En fonction des résultats de la PLS, il est possible de retoucher le layout pour un meilleur accord avec les performances attendues

V.1.2. Layout des inductances actives

La première étape de conception concerne l'implémentation d'un layout des deux inductances actives différentielles cascodées à résistance de contre réaction avec leur circuit de linéarisation principalement composé de miroirs de courants. Cette phase de layout a nécessité quelques optimisations du placement des composant, du choix des niveaux de métallisation et des interconnexions de façon à réduire au maximum les éléments parasites et s'approcher au plus près des performances mesurées à partir du schéma électrique sous ADS ou Virtuoso.

V.1.2.1. Implémentation des inductances actives

La première phase a consisté à transposer le schéma électrique simulé sous Agilent ADS dans l'environnement CADENCE au travers de l'outil de simulation Virtuoso. Les simulations électriques, petit et grand signal nous donnant les mêmes résultats que sur ADS nous avons pu utiliser ce schéma électrique (voir figure 122) pour définir les éléments du layout.

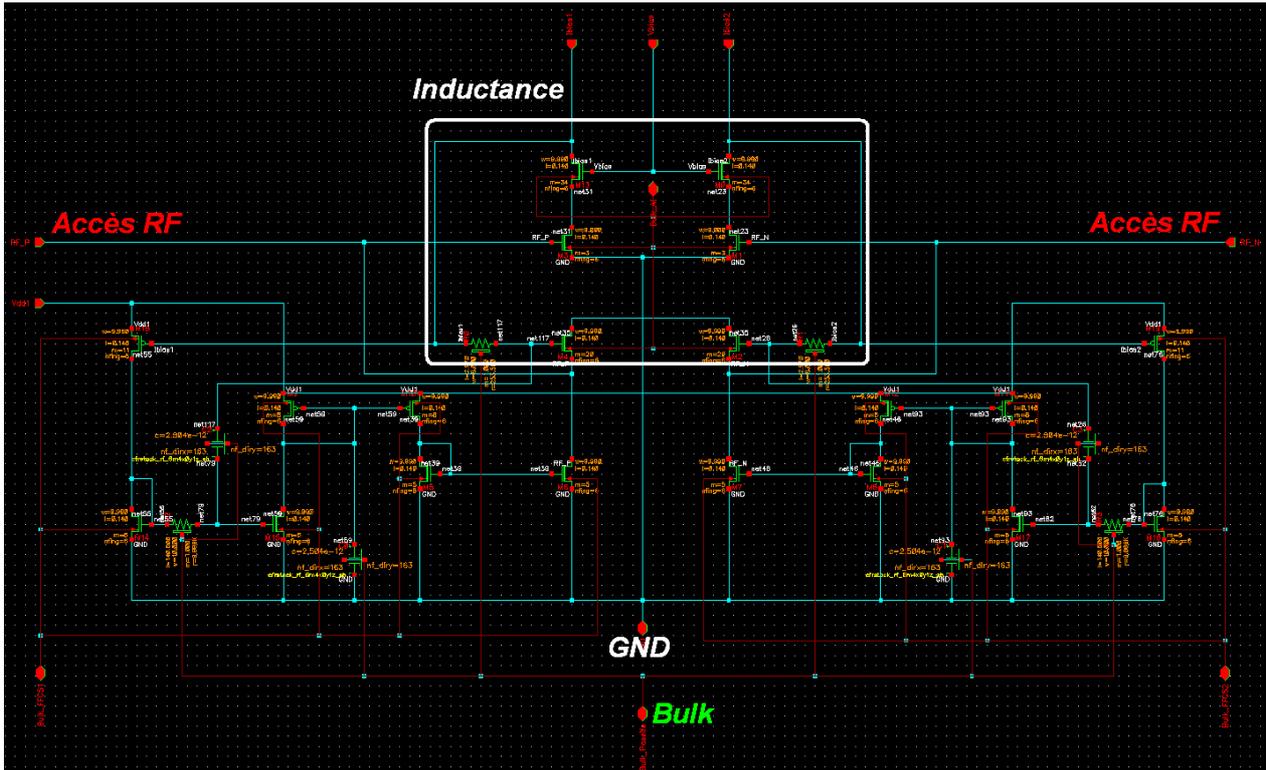


Fig. 122. Schéma Virtuoso de l'inductance différentielle 1.1nH

Sur la figure on distingue dans la zone encadrée, l'inductance cascodée à résistance de contre réaction. Les autres transistors représentent le circuit de linéarisation. On distingue également les deux accès RF et la masse commune de l'inductance différentielle. Ainsi, on aura un accès RF-GND-RF à l'inductance. Chaque transistor est défini selon sa longueur de grille ($L=0.14\mu\text{m}$ pour tous les transistors), sa largeur de grille W et son nombre de doigts de grille.

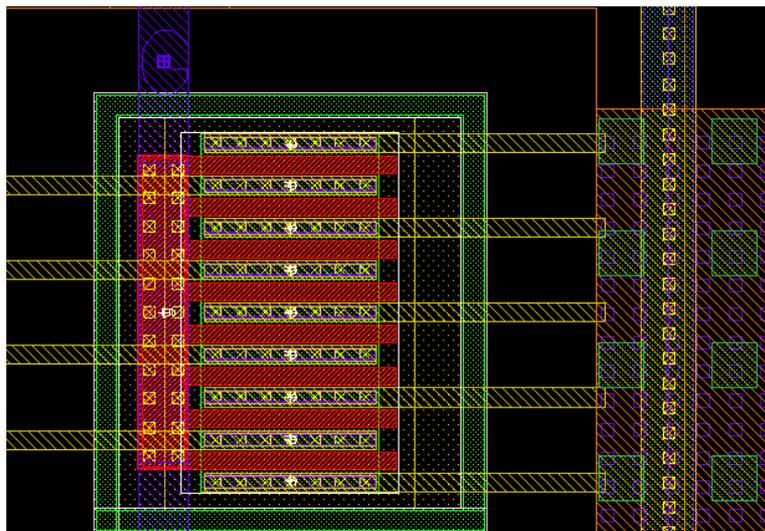


Fig. 123. Exemple du layout d'un transistor MOS à huit doigts de grille

On peut voir sur la figure 123, un transistor NMOS ayant huit doigts de grille. On peut également voir les doigts de source et de drain représentés ici en jaune (métal 3). Compte tenu des règles de réalisation, il y a des densités de courant à ne pas dépasser pour chaque niveau de métallisation. Dans certain cas, le courant devant circuler dans les doigts de drain étant trop important nous avons plusieurs solutions pour implémenter le transistor. La première est d'augmenter le nombre de doigts de grille. Ainsi on augmente le nombre de doigts de source et de drain mais on réduit la largeur de grille. La seconde méthode est de superposer sur les doigts de drain et de source plusieurs niveaux de métaux avec des vias afin de distribuer la densité de courant sur plusieurs niveaux. Enfin la troisième méthode est de paralléliser plusieurs transistors de taille plus petite. Nous avons opté pour une combinaison des deux dernières solutions comme illustré sur la figure 124.

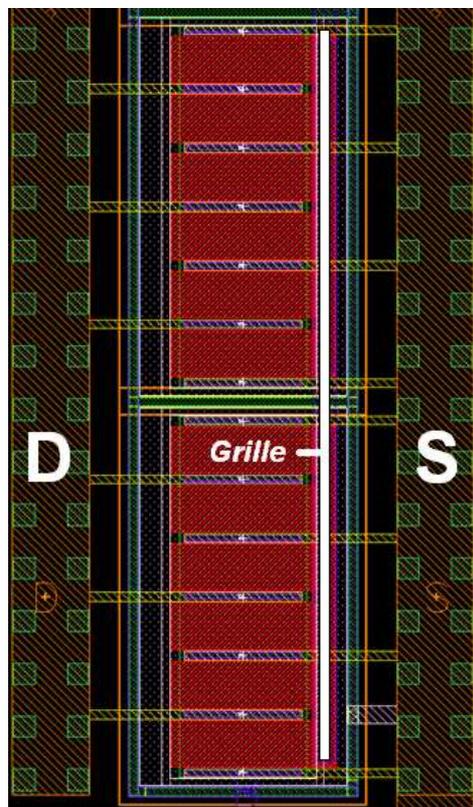


Fig. 124. Transistor PMOS cascadié issue d'une source de courant de contrôle de l'inductance

Dans ce cas précis, nous avons sur chaque doigt de drain et de source superposé 3 niveaux de métallisation, c'est le niveau 3 qui est le plus au-dessus qui apparaît ici en jaune. Ensuite tous les doigts de drain ou de source sont regroupés le long d'une ligne comprenant 6 niveaux de métallisation et suffisamment large pour accepter toute la densité de courant.

Lors de la phase de layout, le placement des composants est primordiale afin d'optimiser la place occupée sur le silicium, de limiter les couplages entre RF et DC mais également de faciliter les connexions entre les plots d'accès et les transistors reliés vers l'extérieur. Dans notre cas, il a fallu

définir tous les accès extérieurs (tensions de polarisation, courants de contrôle, accès RF, masse). Le choix pris dans cette étude a été de rendre la structure du circuit au maximum contrôlable depuis des sources de courant extérieures dans le but de comprendre l'impact de chaque point de polarisation du circuit. Ci-après nous détaillons tous les points d'accès et leur rôle dans le contrôle de la structure.

Cette organisation des accès externe nous a alors permis de mettre en place une topologie d'inductance optimale d'un point de vue occupation et proximité des accès externe. En effet il est de notre intérêt de limiter la longueur et la complexité des lignes d'accès aux transistors et plus particulièrement les lignes d'alimentation en tension et les lignes RF.

Nom	Polarisation à 1.95GHz	Rôle
VDD	2.1V	Alimentation de l'inductance active différentielle 1.1nH
VDD_FFCS	2.1V	Alimentation du circuit de linéarisation
BDAI_Irfeedck	200uA	Courant de contrôle de la valeur de la résistance de contre réaction
BDAI_IVbias	60uA	Courant de contrôlant la source de tension de l'étage cascode
BDAI_Ibias1	210uA	Courant de polarisation du gyrateur
BDAI_Ibias2	210uA	Courant de polarisation du gyrateur
RF_P	-40 à 0dBm	Premier accès RF de l'inductance différentielle
RF_N	-40 à 0dBm	Second accès RF de l'inductance différentielle
GND	-	Masse centrale

Fig. 125. Organisation des accès vers les plots de test

C'est aussi pour cela que toutes les sources de contrôle des éléments de l'inductance sont des sources de courant suivies de miroirs de courant (I_{bias1} et I_{bias2}) auxquels on a associé une résistance dans le cas de source de tension (V_{bias} et $V_{rfeedck}$). Il est primordial par exemple sur les accès RF de minimiser la résistance série équivalente de la ligne d'accès et donc les pertes de la ligne, au risque de fortement impacter le facteur de qualité mesuré lors de la mesure sous pointes de l'inductance.

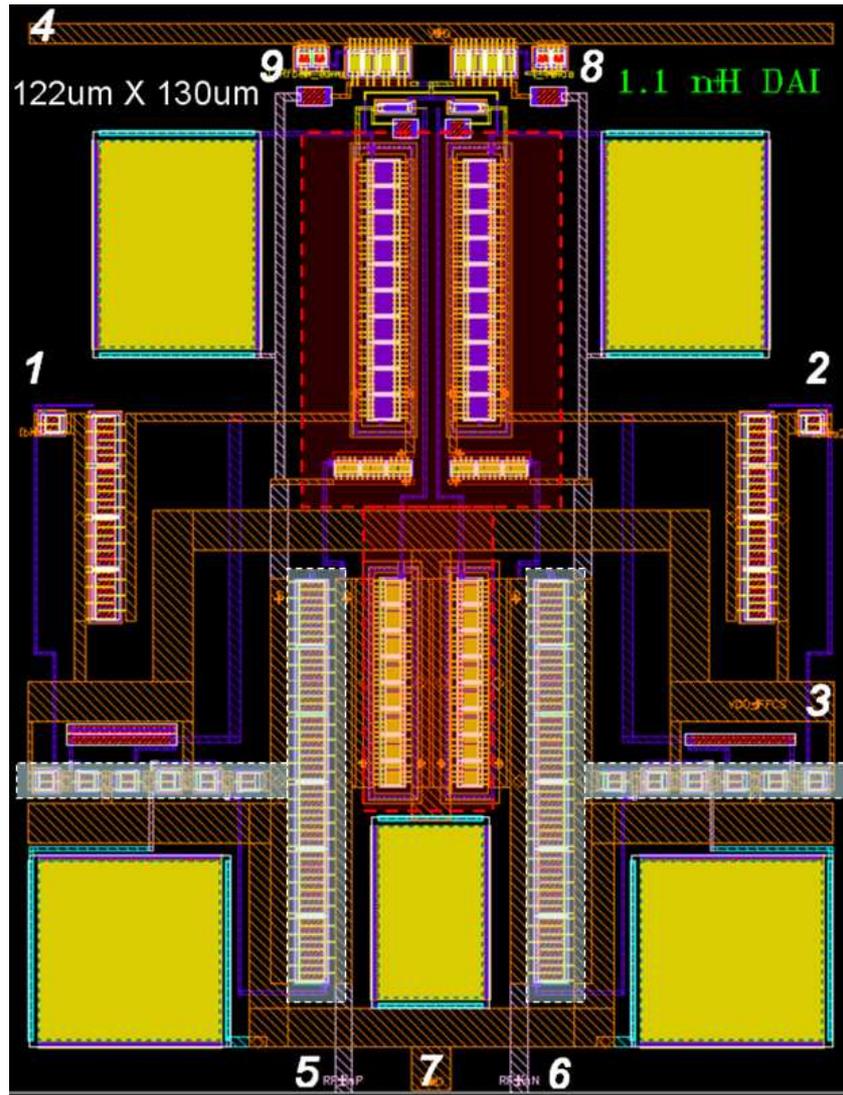


Fig. 126. Layout de l'inductance différentielle de 1.1nH avec circuit de linéarisation

La figure 126, illustre le layout de l'inductance différentielle. Nous avons numéroté les accès et découpé en deux zones les transistors afin de mieux comprendre la disposition des composants. La zone entre pointillés rouge définit l'inductance active sans son circuit de linéarisation. Enfin le circuit de linéarisation est représenté par la zone bleuté entre pointillés blancs. Le reste des composants forment les différentes sources de courant (miroirs) ainsi que les capacités du circuit (en jaune). Les accès numérotés 1 et 2 représentent les courants de polarisation du gyrateur I_{bias1} et I_{bias2} . Les accès 3 et 4 représentent respectivement V_{DD} et V_{DD_FFCS} . Nous nous sommes efforcé de dessiner les accès en tension en métal épais (métal 6) et en superposé aux métaux 5,4 et 3 de façon à diminuer la résistance parasite. Nous avons effectué la même technique en superposant les couches 5, 4 et 3 avec les accès RF (indices 5 et 6) qui encadrent le point de masse à l'indice 7. Enfin l'accès 8 est dédié au contrôle de la tension de cascode via I_{Vbias} et le point 9 dédié au contrôle de la valeur de la résistance de contre réaction via $I_{RFfeedback}$. A cette étape de la conception le circuit mesure 122um par 130um soit 0.016mm² sans plot de connexion.

V.1.2.2. Simulation post-layout et optimisations

Une fois les vérifications DRC et LVS effectuées nous faisons une extraction progressive des éléments parasites afin de déterminer l'influence de chaque composante sur le comportement de l'inductance active. Pour chaque cas nous optons pour une simulation « grand signal » *LSSP* sous Goldengate. Comme lors des simulations sous ADS nous avons observé le S_{11} de l'inductance active en fonction d'une puissance d'entrée variant de -40 à 0dBm. Etant donné que nous travaillons en différentiel nous avons dû ajouter dans le simulateur un Balun 50-100 Ohms. Les simulations ont été effectuées avec les polarisations montrées dans le tableau précédent, correspondant à la polarisation de l'inductance optimale à 1.95GHz.

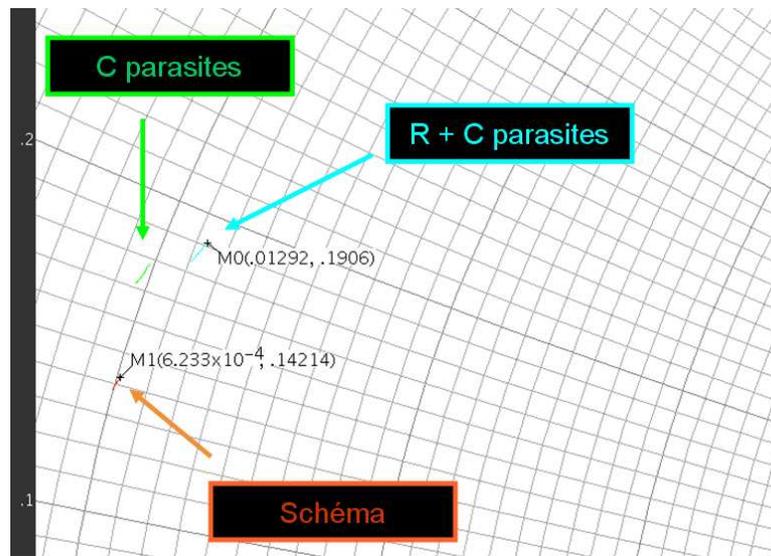


Fig. 127. Impact des éléments parasites du layout sur le comportement de l'inductance active

Dans un premier temps nous avons simulé le layout sans extraction des éléments parasites. Nous avons alors obtenu la courbe bleue illustrée sur l'abaque de Smith (figure 127). L'inductance simulée est de varie entre 1.12 et 1.17nH entre -40 et 0dBm soit 3.3% de déviation. Nous voyons bien que la courbe se trouve très proche du bord de l'abaque, synonyme d'un facteur de qualité élevé qui varie entre 9000 et 500 sur la plage de puissance. Dans un second temps, nous avons ajouté les capacités parasites. Nous voyons que celles-ci ont un très fort impact de déviation de la valeur de l'inductance qui varie entre 1.39 et 1.45nH soit 4.3% de déviation et un effet néfaste sur le facteur de qualité qui varie entre 130 et 50 en absolu. De plus nous voyons que cette fois ci nous sortons de l'abaque de Smith. Lorsque l'on ajoute en plus les résistances parasites alors on dégrade très nettement le fonctionnement de l'inductance et surtout du facteur de qualité. L'inductance varie alors entre 1.49 et 1.55nH (4% de déviation) et le facteur de qualité varie entre 48 et 20 sur la plage de puissance -40 à 0dBm. Nous remarquons toutefois que ces parasites n'affectent en rien le fonctionnement du circuit de linéarisation puisque la déviation de la valeur de l'inductance dans les trois cas reste comprise entre 3.3 et 4.3%.

Nous avons pu identifier que les capacités parasites sont principalement dues à deux facteurs. La première source de parasite est liée aux capacités dite de « fringe » créés entre les doigts de drain et de source des différents transistors du circuit comme illustré sur la figure 128.

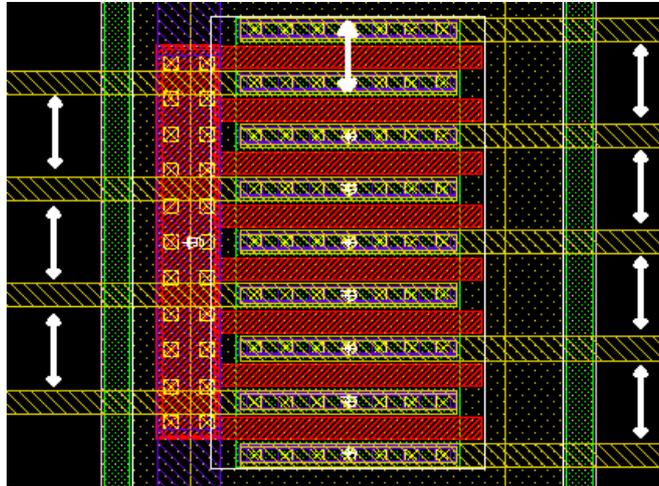


Fig. 128. Illustration des capacités « fringe » dans un transistor CMOS

Afin de réduire cet effet, la solution que nous avons adoptée a été d'espacer au maximum les doigts de drain et de source ainsi que les doigts de grille et de drain entre eux en diminuant le nombre de doigts de grille et en augmentant leur largeur. Comme le nombre de doigts de drain et de source ont été réduits également alors il a fallu superposer une quatrième couche de métal afin d'augmenter les limites acceptées en densité de courant.

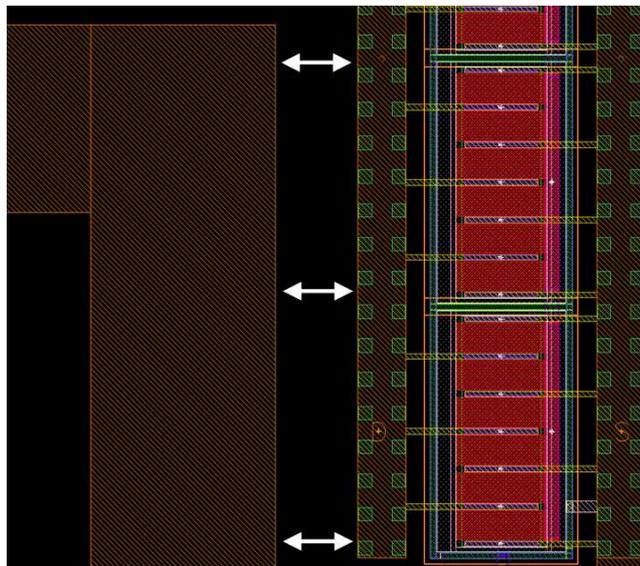


Fig. 129. Couplage entre même niveaux de métallisation

La deuxième source de capacité parasite que nous avons pu identifier est la proximité de métaux de même nature. Ce phénomène est particulièrement à éviter avec les lignes RF et la masse. Sur la figure

129, nous montrons l'exemple d'une ligne de drain d'un des transistors du cœur de l'inductance active et la ligne de masse principale. La ligne de masse à gauche est en métal 6 et la ligne de drain est en métaux 3,4,5 et 6. C'est donc au niveau du métal 6 que va s'opérer le couplage. Pour éviter cela on modifiera par exemple le niveau de métallisation de la ligne de masse au voisinage des lignes RF.

Nous avons ensuite identifié la source principale des résistances parasites comme étant liée à la façon de concevoir les lignes d'interconnexion et d'accès RF. La première action a été de d'augmenter la largeur des accès RF de façon à avoir un rapport Largeur/Longueur plus important et d'y ajouter une couche de métal 6. Ainsi, on tend à réduire la résistance série équivalente d'accès. Ainsi après simulation, nous avons retrouvé les performances en termes de facteur de qualité, du modèle simulé avec les capacités parasites seules.

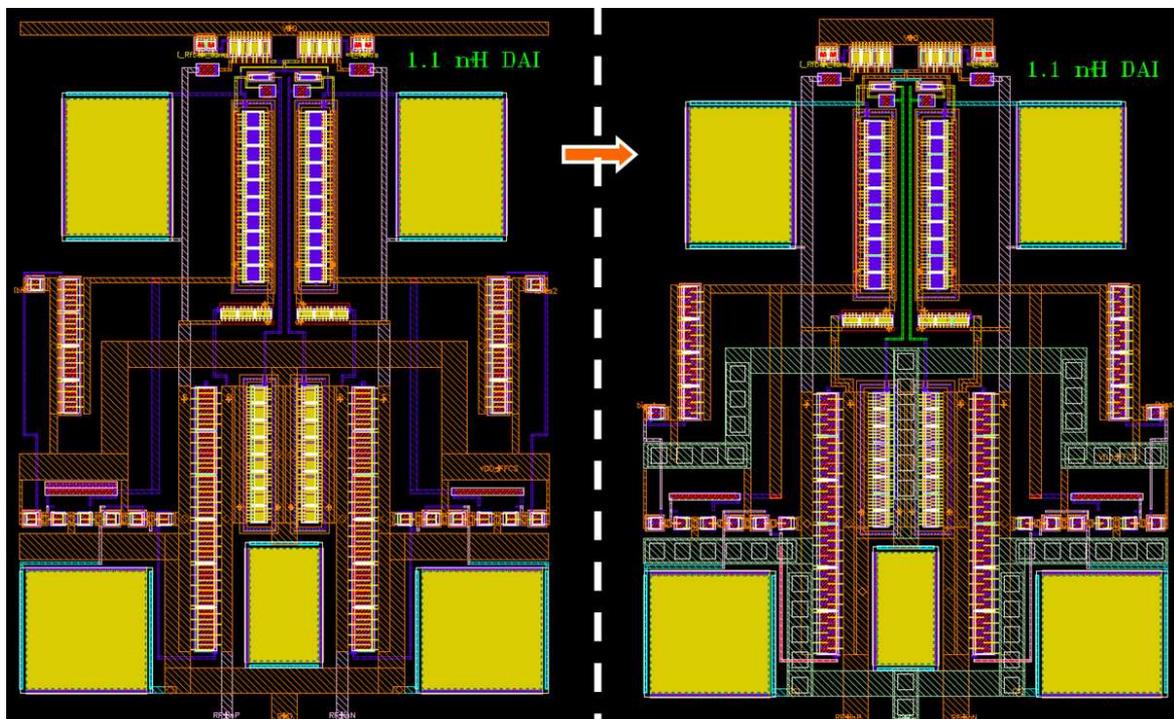


Fig. 130. Correction du layout pour diminuer les éléments parasites

La seconde piste d'investigation a été de diminuer les résistances parasites des accès de polarisation en tension. En effet si la résistance est trop élevée sur les accès en tension, on risque une légère chute de tension et donc une légère déviation dans la polarisation de l'inductance. De manière générale nous avons essayé de réduire au maximum les résistances parasites en ayant des lignes plus larges et en superposant lorsque cela est possible plusieurs couches de métallisation. On peut voir à la figure 130 que nous avons augmenté la largeur de bon nombre de pistes en rajoutant le maximum de métal 6 (orange) voir même d'Alucap (en vert clair) si l'on regarde le ligne de V_{DD_FFCS} .

Grâce à ces corrections, nous avons pu s'approcher de la simulation schématique. Ce même travail a été réalisé pour l'inductance de 800pH dont le layout est quasiment identique à celui de l'inductance

1.1nH. Seule les dimensions des transistors de la cellule d'inductance élémentaire ont été modifiées ce qui n'a que très peu d'impact sur le layout. Dans le but de valider le fonctionnement de l'inductance active en mesure nous avons ajouté une couronne de plots autour de l'inductance pour favoriser les tests sous pointe de la structure.

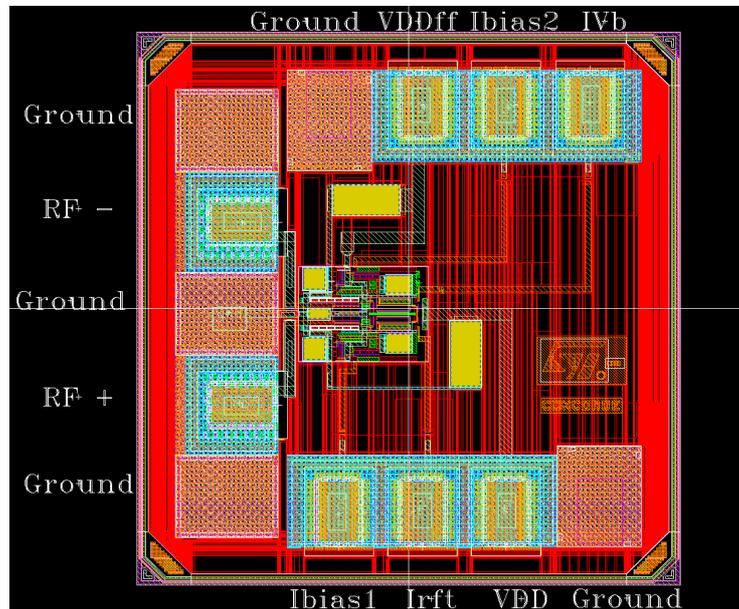


Fig. 131. Inductance active différentielle 1.1nH avec la couronne de plots de test

Sur figure 131, nous observons l'inductance active entourée d'une couronne de plots qui permettra de la mesurer ainsi que les capacités de découplage des alimentations en tension. C'est l'inductance de 1.1nH qui a été choisie ici. En mesure, on ne vérifiera que cette inductance étant donné que la seconde est basée sur un layout quasi-similaire.

V.1.3. Layout du filtre passe bande à inductances actives

V.1.3.1. Implémentation du filtre passe bande à 1.95GHz

Maintenant, que nous avons validé le fonctionnement des inductances actives en vue layout avec les parasites de conception, nous pouvons alors passer au layout du filtre entier. Compte tenu des contraintes de temps et afin de valider le fonctionnement du filtre, nous avons pris la décision de concevoir le filtre passe bande centré à 1.95GHz. Aussi, nous pouvons rapidement intégrer au layout du filtre les layouts des deux inductances actives dont le fonctionnement a été validé à 1.95GHz avec succès. A partir des valeurs de capacités identifiées dans la loi de variation du filtre nous pouvons alors facilement concevoir le filtre. Comme la taille des capacités MOM est limitée par le design mais aussi de façon à optimiser le placement, nous avons préféré paralléliser plusieurs petites capacités.

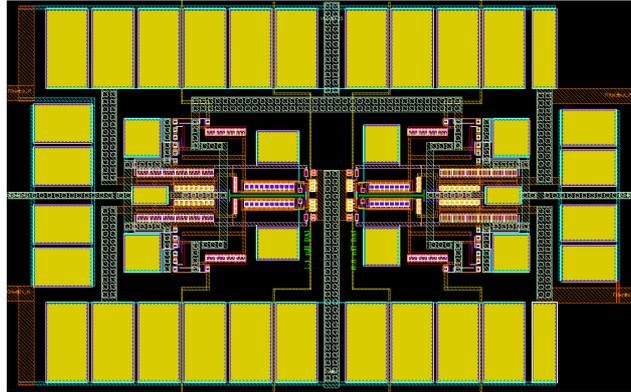


Fig. 132. Layout initial du filtre passe bande 1.95GHz à inductances actives

Nous reconnaissons sur la figure 132 les deux inductances actives de 1.1nH à gauche et 800pH à droite, entourées par les différentes capacités du filtre passe bande. On notera également que les accès du filtre sont également différentiels. Les connexions entre les inductances et les capacités ont d'ors et déjà été optimisées grâce à l'ajout de larges pistes composées de métaux 3, 4, 5, 6 et d'Alucap. On minimise ainsi les risques de résistance parasite au niveau de ces interconnexions.

V.1.3.2. Post simulation globale et optimisation

Nous avons alors pu après vérification DRC, LVS et extractions des éléments parasites, faire une simulation « post layout » de la structure. La première simulation est effectuée en prenant le modèle avec parasites pour les inductances et en prenant le modèle du design kit (sans parasites) pour les interconnexions et les capacités. Ceci a été simulé à partir du moteur SParam sous Goldengate afin de déterminer la réponse du filtre en S21 entre 500MHz et 3.5GHz.

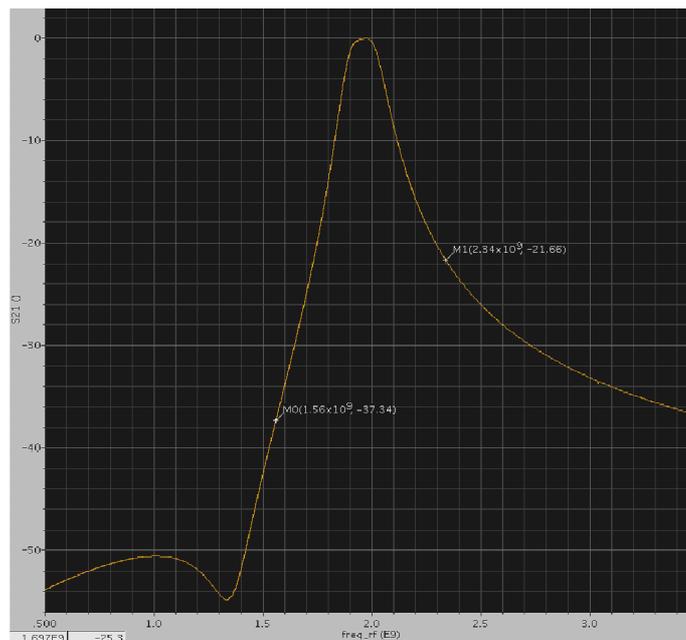


Fig. 133. Réponse du filtre avec le modèle complet des inductances actives

La réponse du filtre est alors parfaitement en accord avec nos exigences puisque nous obtenons 0.16dB de pertes d'insertion, 160MHz de largeur de bande, 21.6dB d'atténuation à +390MHz de la porteuse et 37dB d'atténuation à -390MHz de la porteuse.

Le fonctionnement du filtre avec les layout des inductances active est validé, cependant cette simulation ne prend pas en compte les éventuelles parasites ajoutés par les interconnexions entre capacités et inductances et entre les capacités elles même. C'est ce que nous avons fait dans une seconde étape. Cette fois ci, les résultats sont beaucoup moins bons que précédemment.

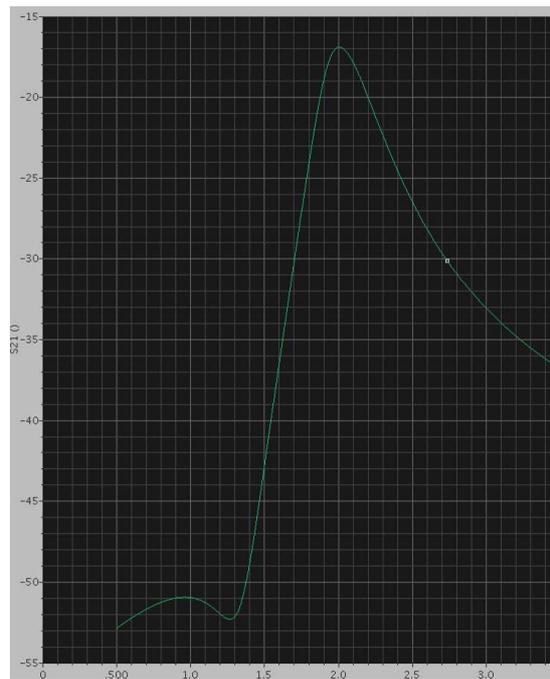


Fig. 134. Réponse du filtre avec extraction de tous les parasites

Désormais les pertes d'insertion du filtre sont très élevées, de l'ordre de 17dB, ce qui rend le filtre inutilisable dans quelque architecture d'émission que ce soit. Cependant nous n'observons pas de déviation en fréquence et l'atténuation relative à la bande passante reste de l'ordre de 22dB à 390MHz de la porteuse. Ceci nous indique donc que seules des résistances parasites sont à l'origine des pertes d'insertion. Nous avons alors isolé chacune des sources de parasite dans le filtre comme illustré à la figure 135. Nous avons simulé le filtre en remplaçant toutes les interconnexions par une résistance série.

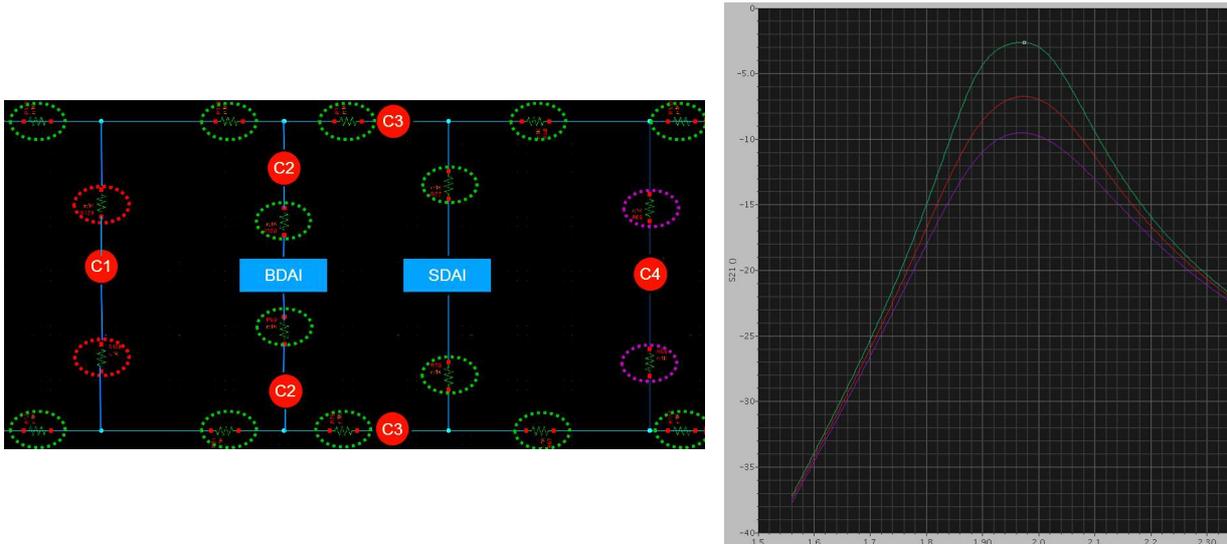


Fig. 135. Identification des contributions aux pertes d'insertion des résistances parasites dans le filtre

Tout d'abord nous avons ajouté les interconnexions les plus critiques (celles au borne des inductances) représentées en vert, puis les interconnexions de la première capacité parallèle et enfin celle de la dernière capacité parallèle. On peut voir que l'on tend vers les -17dB de pertes d'insertion.

Nous avons donc retravaillé la structure du layout du filtre en minimisant au maximum la résistivité des accès entre capacité C_2 et inductance $BDAI$ (1.1nH) et entre les capacités C_3 et C_4 et l'inductance $SDAI$ (0.8nH). Pour cela une fois encore nous avons essayé au maximum d'augmenter la largeur des lignes tout en superposant plusieurs niveaux de métallisation.

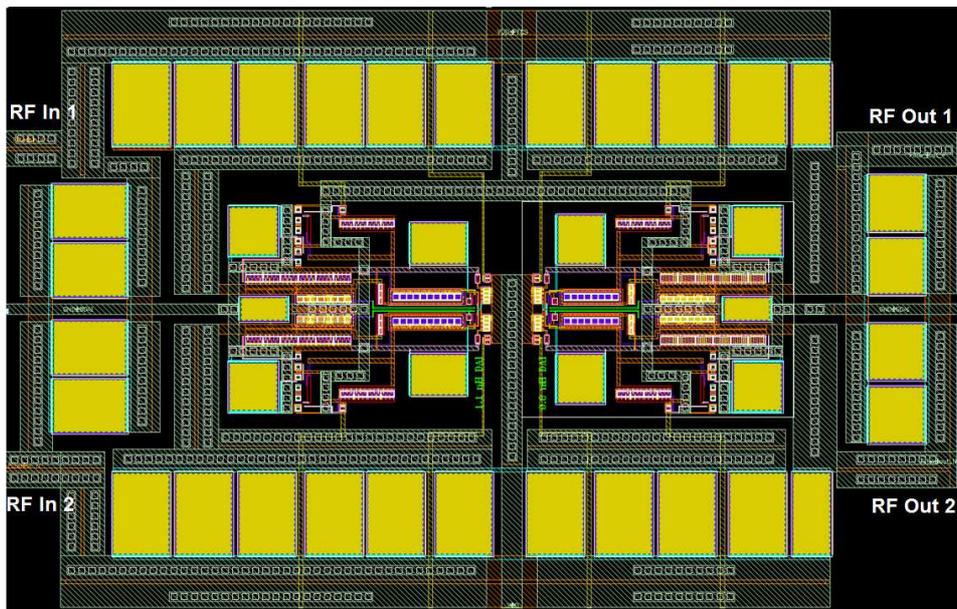


Fig. 136. Layout du filtre différentiel (0.13mm²) avec amélioration des interconnexions

Enfin nous avons rajouté la couronne de plot et simulé le filtre après mise en place des « *dummies* » et extraction des éléments parasites. Ci-dessous (figure 137), nous montrons le layout final ainsi que la réponse du filtre en S_{21} (dB).

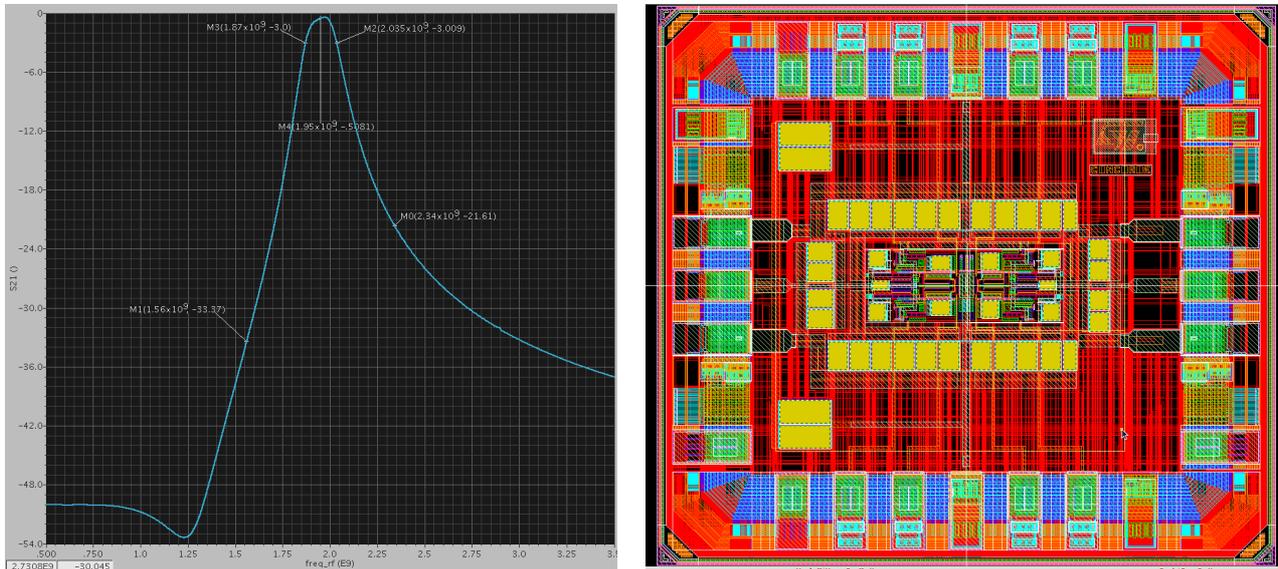


Fig. 137. Layout final du filtre avec plots (0.7mm²) et réponse en transmission S_{21} (dB)

Les performances du filtre simulé [Robert, 2011b] sont très bonnes puisque l'on obtient 0.4dB de pertes d'insertion 145MHz de largeur de bande et 21.6dB d'atténuation à +390MHz de la porteuse. D'un point de vue linéarité, le point de compression 1dB est atteint pour $P_{in} = -4$ dBm.

V.2. Caractérisation des inductances actives sous pointes

V.2.1. Méthode de mesure

Afin de mesurer les performances de l'inductance différentielle 1.1nH nous avons utilisé une station de test sous pointe associée à un balun 100Ohms et un PNA deux ports. Les différents courants et tensions de contrôle sont injectés via huit pointes DC.

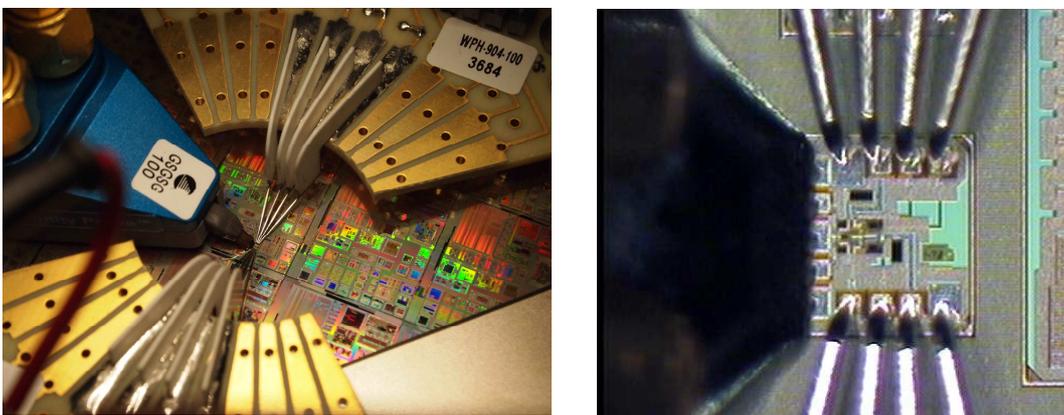


Fig. 138. Dispositif de mesure de l'inductance active différentielle

V.2.2. Performances mesurées de l'inductance active

Nous avons alors mesuré les performances de l'inductance active en mesurant sur le VNA la réponse en S11 en fonction du niveau de puissance injectée à l'inductance, tout comme lors des simulations circuit et post layout.

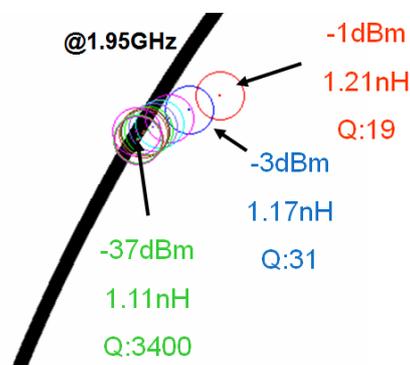


Fig. 139. Comportement mesuré de l'inductance active 1.1nH en fonction de la puissance d'entrée

Lorsque nous travaillons en petit signal, les performances mesurées sont très proches des performances attendues. On mesure par exemple à -40dBm, une inductance de 1.11nH avec un facteur de qualité de 3400. Cependant lorsque l'on augmente la puissance d'entrée on voit que la limite de $Q < 1000$ est atteinte autour des -9dBm au lieu de -4dBm ce qui montre une linéarité un peu moins bonne. Il faudra par ailleurs voir cet impact sur le comportement du filtre. En effet on mesure à -3dBm une inductance de 1.17nH au lieu de 1.1nH et l'on risque d'avoir une déviation de la bande passante du filtre. De plus le facteur de qualité chute à 31 ce qui amènera des pertes d'insertion importantes.

V.2.3. Comportement en reconfigurabilité

Dans cette partie, nous avons cherché à observer l'impact de chacun des courants de contrôle sur le comportement de l'inductance en valeur mais aussi en facteur de qualité [Robert, 2011c].

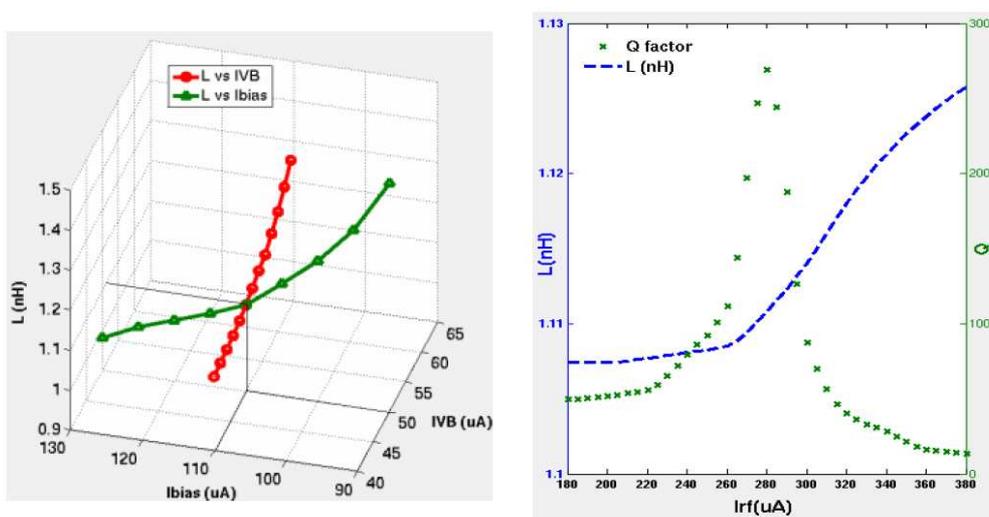


Fig. 140. Illustration de l'impact des différents courants de contrôle sur le comportement de l'inductance

Si l'on regarde la figure 140, il apparait nettement que la valeur de l'inductance dépend fortement du courant de contrôle de la tension de l'étage cascode. Lorsque l'on augmente la tension de l'étage cascode alors la valeur de l'inductance augmente. A l'inverse la valeur de l'inductance diminue lorsque l'on augmente le courant de polarisation du gyrateur. Concernant le facteur de qualité nous pouvons observer ci-dessus qu'il est comme prévu, fortement impacté par la valeur de la résistance de contre réaction contrôlée par le courant I_{rf} . Celui-ci est également impacté par la variation de la tension de l'étage cascode comme illustré à la figure 141, ci-dessous

@ -37dBm / All Vdd=2.1V / Irf=200uA / Ibias1&2=110uA				
Ib(uA)	L(nH) @1.95GHz	Q @ 1.95GHz	Q_opt	freq Q_opt (GHz)
64	1.267	16	19	1.71
62	1.230	23	31	1.72
60	1.198	35	45	1.73
58	1.173	56	67	1.87
56	1.150	101	105	1.90
54	1.140	208	464	1.92
52	1.126	919	15000	1.93
50	1.114	524	17500	1.97
48	1.104	307	4696	1.99
46	1.097	280	6800	2
44	1.092	418	8500	1.99
42	1.088	416	7800	1.97
40	1.084	415	4350	1.93

Fig. 141. Impact du contrôle de la tension de l'étage cascode sur les performances de l'inductance

V.3. Caractérisation du filtre passe bande

Dès lors que nous avons mesuré les performances de l'inductance, en accord avec nos attentes sauf pour la linéarité en recul par rapport aux simulations, nous pouvons nous intéresser à la validation du filtre.

V.3.1. Mesure en socket de test

V.3.1.1. Carte de test

Le filtre après fabrication a été intégré dans un boîtier QFN 4x4mm. Aussi cela nous a amené à concevoir une carte de test adaptée au « socket » de test correspondant et disposant de toutes les connectiques de contrôle en courant et en tension ainsi que les accès RF en entrée et en sortie.

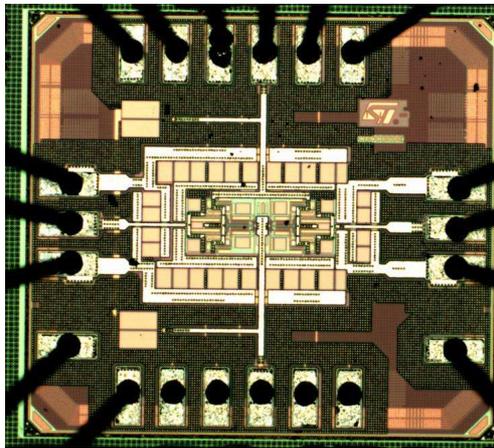


Fig. 142. Photographie du filtre 1.95GHz avec les fils d'interconnexion

Tout comme pour l'inductance, nous avons décidé de placer sur la carte de test toute la connectique permettant d'accéder aux tensions et courant de contrôle des deux inductances. Cela dans le but de recalibrer le filtre en cas de déviations de procédé.

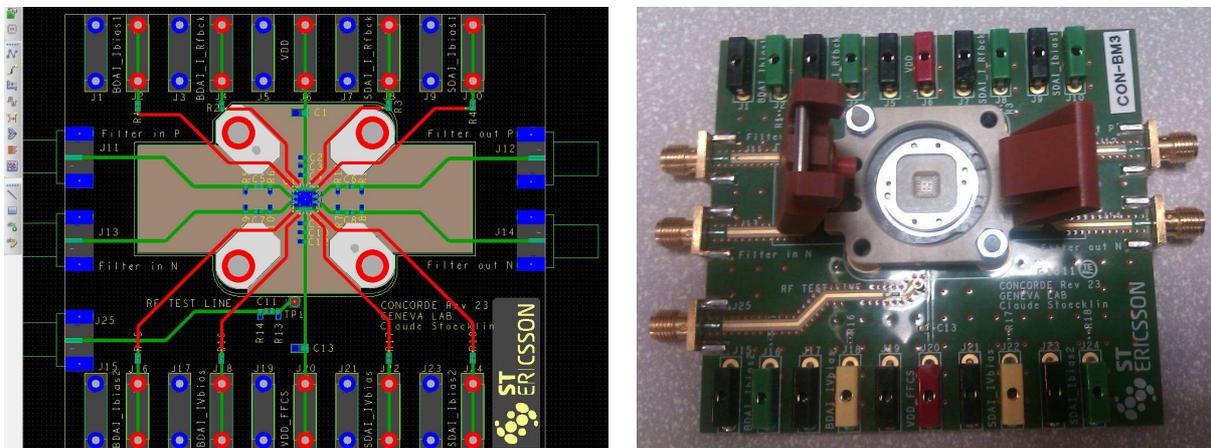


Fig. 143. Carte de test avec « socket » pour la mesure du filtre en package QFN 4x4mm

Les lignes d'accès RF sont au nombre de cinq. Il y a quatre lignes d'accès au filtre différentiel qui sont des lignes 50 Ohms puis il y a une cinquième ligne qui nous a servi de ligne de « de-embedding » lors des mesures. Les connecteurs SMA aux extrémités des lignes permettent de se connecter directement à un PNA 4ports ou bien à un PNA 2 port via deux baluns.

V.3.1.2. Mesure des performances du filtre

Dans un premier temps, nous avons mesuré [Robert, 2011c] les performances du filtre en petit signal et nous les avons comparées avec celles obtenues lors des simulations post layout.

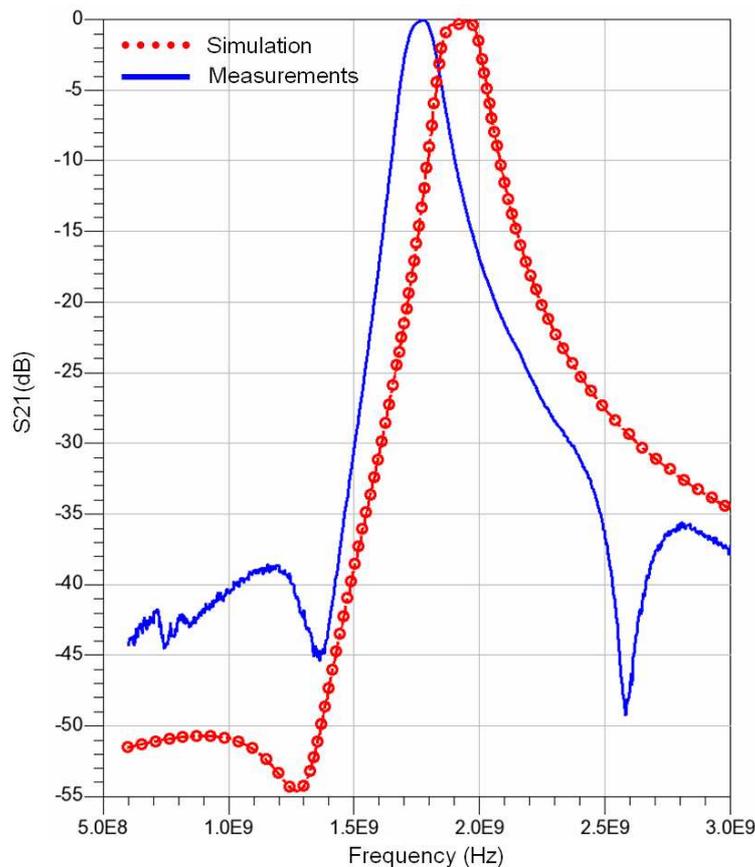


Fig. 144. Comparaison de la réponse du filtre 1.95GHz entre mesure et simulation post-layout

Sur cette figure, nous observons que le filtre est décalé autour de 1.71GHz au lieu de 1.95GHz. Nous observons également que les caractéristiques du filtre sont très proches de celles obtenues en simulation. La bande passante mesurée est plus faible puisque de 135MHz, par contre les pertes d'insertion sont-elles de moins de 0.1dB au lieu de 0.4dB en simulation. C'est un point très positif de notre circuit puisque c'est la caractéristique principale que nous cherchions à obtenir. Quant à la réjection elle est de 24dB au lieu de 21.6dB en simulation. Nous avons donc un filtre plus raide et avec moins de pertes d'insertion mais qui semble être décalé en fréquences. Nous avons ensuite mesuré les performances en grand signal mais là encore nous sommes en dessous des performances visées en simulation. Nous avons mesuré un 1dB d'augmentation des pertes d'insertion à une

puissance de -12dBm. Dans la partie suivante nous allons essayer de comprendre quelles peuvent être les sources de perturbation qui entraînent à la fois une déviation de la fréquence centrale du filtre et une diminution de la limite de linéarité du filtre.

V.3.2. Extraction des phénomènes parasites

Compte tenu de la déviation en fréquence alors, dans un premier temps nous avons pensé à une déviation des valeurs des capacités. Après de nombreuses simulations à partir du modèle extrait en post layout nous n'avons pas réussi à retrouver la réponse du filtre mesuré. Nous avons alors émis l'hypothèse que ces perturbations pourraient éventuellement venir des parasites des éléments de connectique (socket, boîtier, fil d'interconnexion entre le filtre et les plots du boîtier), mais également de la température de fonctionnement du filtre. En effet le filtre est ici un dispositif actif et est confiné dans le socket, ce qui peut provoquer une légère élévation localisée de la température du circuit.

V.3.2.1. Parasites du socket, du boîtier et des fils d'interconnexion

Les deux principales sources de parasitage ont été ajoutées aux accès du filtre dans le modèle post-layout pour simuler leur impact. La première source de parasitage peut être liée au grand nombre de micro connecteur du socket que nous appelons ici « pogo pins ». La seconde source de parasitage qui est plus connue est liée aux fils d'interconnexion dans le boîtier modélisés par une inductance et une résistance série ici.

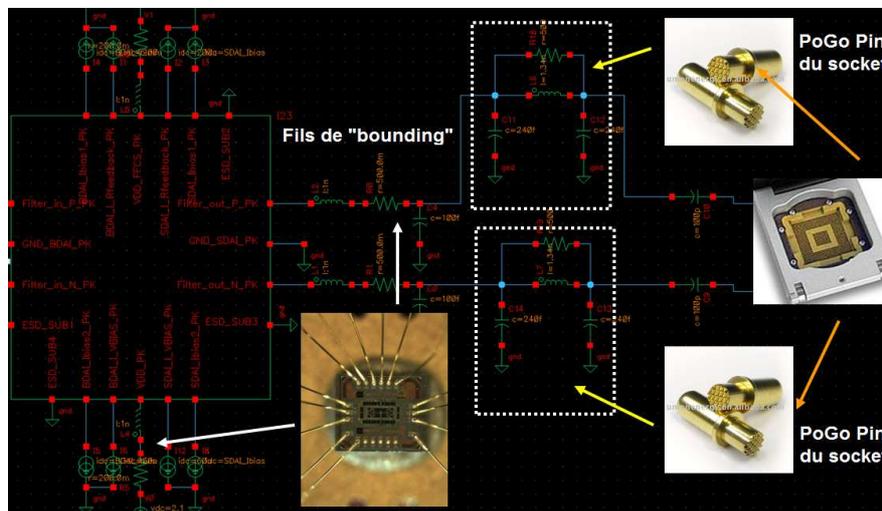


Fig. 145. Illustration des parasites dus au « socket » et aux fils d'interconnexion

Nous avons alors re-simulé le filtre avec ces parasites supplémentaires et nous avons obtenu la réponse illustré sur la figure 146. Nous observons qu'en ajoutant ces parasites, le filtre simulé se situe dans la même bande de fréquences que le filtre mesuré mais avec près de 4 dB de perte d'insertion. Etant donné qu'il ne peut y avoir de résistances parasites supplémentaires en série avec les accès du filtre, il

semble donc que le facteur de qualité des inductances est impacté par une modification du gm de certains transistors.

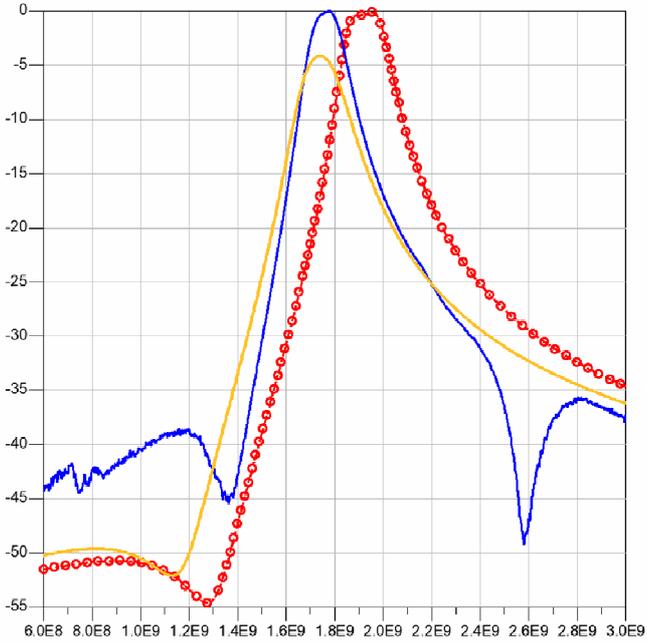


Fig. 146. Réponse du filtre S_{21} (dB) (Jaune) après ajout des parasites externes

V.3.2.2. Influence de la température ambiante

Le levier suivant qu’il nous faut analyser est celui de la température ambiante de mesure et de simulation qui peut modifier le comportement des transistors du circuit

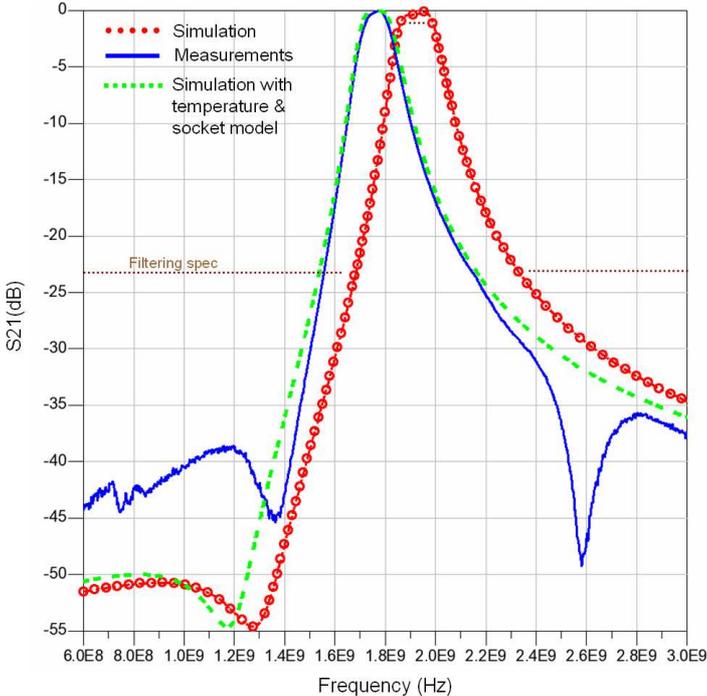


Fig. 147. Simulation du filtre avec modèle de « socket » et élévation de la température à 45°C

Nous observons sur la figure [Robert, 2011c] 147 qu'en augmentant la température de simulation à 45°C et en ajoutant les parasites de boîtier et de « socket », nous obtenons la réponse du filtre mesurée. Nous pouvons alors en conclure que le comportement du filtre est directement lié et sensible à la température ambiante de fonctionnement du circuit. Aussi nous pouvons en déduire que la linéarité du filtre peut être également impactée par la température de mesure au travers de la modification des caractéristiques des transistors du circuit de linéarisation.

Nous avons alors envisagé de mesurer une nouvelle fois le filtre mais cette fois ci en soudant le boîtier directement sur la carte de test, sans passer par un socket qui confine la chaleur.

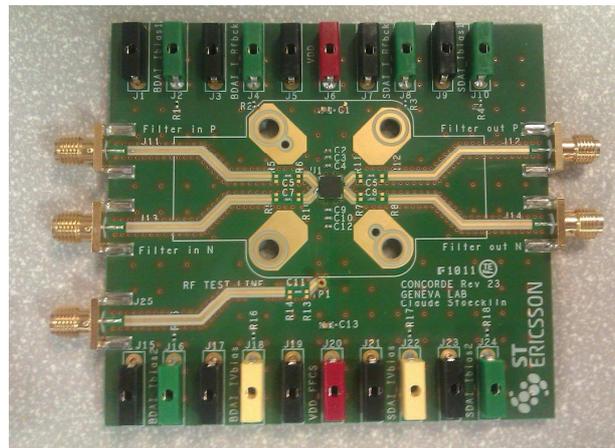


Fig. 148. Filtre soudé directement sur la carte de test

Cependant nous n'avons pas encore eu le temps d'effectuer ces mesures mais nous envisageons une nette amélioration des performances en linéarité du fait d'une meilleure dissipation par la carte de test. Lors de simulations de notre circuit à 45°C nous avons pu retrouver les performances en linéarité.

V.4. Comparaison à l'état de l'art et conclusion

Dans cette étude nous nous sommes proposé de concevoir un filtre fixe en technologie CMOS 65nm, basé sur l'utilisation d'inductances actives. Nous avons alors conçu et mesuré un filtre centré à 1.95GHz avec 135MHz de largeur de bande sans oscillation dans la bande, pour un objectif d'au moins 60 MHz. L'atténuation visée était d'au moins 23dB à 390MHz de la porteuse et nous avons obtenu 24dB au minimum. Quant aux pertes d'insertion fixées à 0.5dB maximum nous avons mesuré des performances bien au-delà puisqu'elles sont de 0.1dB.

Ci-dessous nous comparons nos résultats avec d'autres résultats de filtres à inductances active de l'état de l'art. Nous observons que nous obtenons de bons résultats en mesure et que nous obtenons d'après les simulations des résultats bien au-delà de la concurrence, essentiellement au regard de la linéarité (-3.6dBm de P_{1dB}).

Ref	[Darfeuille, 2005]	[Georgescu, 20006]	[Gao, 2008]	[Xiao, 2007]	[Robert, 2011c]
Procédé	0,25um BiCMOS	0,18um CMOS	0,18um CMOS	0,18um CMOS	65nm CMOS
taille	1,57mm ²	0.81mm ²	0,53mm ²	0.09mm ²	0,7mm ²
F ₀	2GHz	2,03GHz	2,44GHz	5,4GHz	1,95GHz
Plage d'accord	-	60.9MHz	1.9GHz	150MHz	250MHz
3dB BW	50MHz	130MHz	60MHz	-	135MHz
Gain en bande	20dB	0dB	6dB	4.7dB	-0,1dB
P _{1dB}	-35dBm	-	-15dBm	-14dBm	-12dBm
Alimentation	2,7V	1,8V	1,8V	1.8V	2,1V

Fig. 149. Etat de l'art des filtres passe bande à inductances actives CMOS

Nous voyons que nous obtenons le meilleur résultat en termes de linéarité malgré l'impact de la température sur la dégradation de la linéarité. Si l'on arrive à s'affranchir de ce phénomène thermique alors nous sommes en mesure d'apporter une solution assez performante et novatrice. De plus nous avons une bande suffisamment large pour accepter tous les standards cellulaire et de faible pertes d'insertion là où les autres exemples eux ont du gain. Nous n'avons pas cherché ici à avoir un filtre actif, mais un filtre à inductance active. Bien que nous n'ayons mesuré qu'un filtre fixe à 1.95GHz nous avons tout de même implémenté et simulé un filtre reconfigurable sur une plage de 250MHz.

C'est d'ailleurs une des perspectives de la thèse que de concevoir le filtre reconfigurable maintenant que nous avons validé le fonctionnement du filtre à 1.95GHz et la possibilité de régler les inductances à partir de courant de contrôle définis dans la loi de variation du filtre. Faire un filtre reconfigurable ici consisterai en l'utilisation de bancs de capacités switchées. Cela ne pose pas de problèmes de linéarité ni de dégradation du facteur de qualité des inductances.

Il reste à traiter le problème de sensibilité en procédé et en température, qui introduit une baisse de nos performances en linéarité entre mesure et simulation. Mais cela doit faire l'objet d'une étude complète et approfondie sur la sensibilité global du circuit en fonction de la technologie.

Conclusion et perspectives

Ce travail de thèse est débuté par une analyse de l'état de l'art, une étude des défis et contraintes dans l'évolution vers des architectures « tout numériques », puis les travaux se sont orientés vers le dimensionnement d'un filtre reconfigurable comprenant conception et mesures.

Dans le développement actuel des radiocommunications, les émetteurs doivent prendre en compte des critères de flexibilité et d'intégration. Les nouvelles technologies CMOS sub-microniques, permettent de remplacer progressivement les architectures analogiques par des architectures numériques, ou du moins dans un premier temps de remplacer les blocs analogiques de mélange, de synthèse ou d'amplification par des fonctions numériques.

Dans un premier temps, nous nous sommes attachés à détailler les contraintes de chaque standard pour ensuite mieux dimensionner les architectures étudiées et détailler les verrous techniques ou technologiques actuels. Ensuite, nous avons détaillé les architectures analogiques d'émission dans le but de trouver les architectures candidates à la transformation numérique. Ce sont les architectures à conversion directe qui sont apparus comme les plus facilement numérisable. L'avantage de ces architectures est que l'on peut les découper en blocs successifs de fonctions et envisager une numérisation bloc par bloc (sur-échantillonnage, mélange, synthèse, pré amplification).

Dans une seconde partie nous avons montré les défis que la numérisation de ce type d'architectures imposent, tel que le choix du nombre de bits de quantification ou de la fréquence de sur-échantillonnage.

Nous avons identifié que chacune de ces architectures « tout numériques » présente dans leur spectre de sortie (à l'entrée de l'étage d'amplification) des raies parasites proportionnellement éloignées de la bande utile en fonction de la fréquence de sur-échantillonnage. Nous avons alors proposé une méthode de gestion des fréquences de sur échantillonnage pour chacune des bandes d'émission, en fonction de leur propre masque d'émission à respecter. Malgré cela, il est apparu qu'un filtrage externe de l'ordre de 20dB à 400MHz de la porteuse était toujours nécessaire.

Comme nous nous plaçons dans le contexte de la multiradio, il fallait que ce filtre soit reconfigurable de 1710 à 1980MHz de façon à couvrir les bandes cellulaires. Dans un but supplémentaire d'intégration, c'est vers la technologie CMOS65nm que nous nous sommes tournés, car utilisée pour la conception des architectures « tout numériques ».

Nous avons alors proposé une solution de filtrage basée sur l'utilisation d'inductances actives en CMOS65nm. Cette solution a été conçue, implémentée et mesurée. Elle présente toutes les caractéristiques que nous attendions pour ce filtre et principalement de très faibles pertes d'insertion (<0.1dB). Cependant la linéarisation du filtre entraîne une consommation supplémentaire là où

d'habitude les filtres ne consomment pas de puissance. Cependant lorsque l'on conçoit une chaîne d'émission « tout numérique » il faudra désormais faire le bilan des consommations pour mieux les étaler dans la chaîne. Certes le filtre consomme, mais de part ses très faibles pertes d'insertion, il relâche la contrainte de gain au niveau du dernier étage d'amplification.

Ce travail de thèse effectué à la fois au sein d'un laboratoire académique et dans un centre de design industriel m'a permis d'apporter une contribution de « bout en bout » dans le cadre du dimensionnement des problématiques de filtrage imposées par les architectures « tout numériques ». Cette thèse n'a pas pour but de fournir une solution utilisable tout de suite mais d'entrevoir les possibilités d'implémenter des architectures « tout numériques » à la condition de faire conjointement le dimensionnement de l'architecture et de la solution de filtrage correspondante.

.

Bibliographie

- [Ahmed, 2008]: Ahmed et Al Digital Polar Transmitter US Patent 2008/0225984 A1 Sept18,2008
- [Baraka, 2011]: Baraka, K.; Kerherve, E.; Pham, J.M.; El Hassan, M; « Co- design for Tunability of a Bulk Acoustic Wave Filterwith 65nm CMOS switch ». New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International: 26-29 June 2011 On page(s): 526 - 529 ISBN: 978-1-61284-135-9
- [Baudoin, 2003]: G.Baudoin, C Berland, M Villegas and A Diet “Influence of time and processing mismatches between phase and envelope signals in linearization systems using EER, application to hiperlan2” Microwave Symposium Digest, 2003 IEEE MTT-S International ,June 2003,page: 2149 - 2152 vol.3
- [Baudoin, 2007]: Baudoin, G. et al. Radiocommunications Numériques : Principes, Modélisation et Simulation. Dunod, EEA/Electronique, 672 pages, 2ème édition 2007.
- [Brenna, 2004]: Brenna, G.; Tschopp, D.; Rogin, J.; Kouchev, I.; Qiuting Huang; « A 2-GHz carrier leakage calibrated direct-conversion WCDMA transmitter in 0.13- μ m CMOS ». Solid-State Circuits, IEEE Journal Volume 39, Issue 8, Aug. 2004 Page(s):1253 - 1262
- [Brevet, 1974]: United States Patent US3928813, Device for synthesizing frequencies which are rational multiples of a fundamental frequency.
- [Carey, 2007]: Carey et Al, Appartus, system, and method for digital base modulator of power amplifier in polar transmitter, US Patent 2007/0146090 A1 Jun. 28,2007.
- [Darfeuille, 2005]: Z. Darfeuille et al., “Integrated differential 2GHz 2.7V low-noise active bandpass filters on silicon”, IEEE RFIC Symposium,pp 569, Aug 2005.
- [Dellsperger, 2006]: T. Dellsperger, T. Burger, L. Maurer, T. Christen. “Reconfigurable RF Transceivers for Multi-Standard Terminals – An E2R View“.
- [Diet, 2003]: Diet A, C. Berland, M. Villegas, and G. Baudoin “EER Architecture Specifications for OFDM Transmitter Using a Class E Amplifier”. IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 14, NO. 8, AUGUST 2004.
- [Diet, 2004]: A. Diet, C. Berland, M. Villegas, G. Baudoin, "PWM coding and filtering of an OFDM envelope signal in an EER transmitter architecture", 15th inter-national symposium on Personal, Indoor and Mobile Radio- communications PIRMC, 5-8 September 2004, Barcelone, Spain.
- [Diet, 2008]: Diet, A. et al. Flexibility of Class E HPA for Cognitive Radio. IEEE 19th symposium on Personal Indoor and Mobile Radio Communications, PIMRC 2008, 15-18 september, Cannes, France. CD-ROM ISBN 978-1-4244-2644-7.
- [El Hassan, 2007]: El Hassan, M. Kerherve, E. Deval, Y. Belot, D. “A New Method to Reconfigure BAW-SMR Filters Using CMOS Transistors”. Microwave Symposium, 2007.

- IEEE/MTT-S International 3-8 June 2007 ,On page(s): 1603 - 1606 ISSN: 0149-645X
ISBN: 1-4244-0688-9
- [Elliot, 2004]: Elliott, M.R.; Montalvo, T.; Jeffries, B.P.; Murden, F.; Strange, J.; Hill, A.; Nandipaku, S.; Harrebek, J.; A polar modulator transmitter for GSM/EDGE, Solid-State Circuits, IEEE Journal Volume 39, Issue 12, Dec. 2004 Page(s):2190 – 2199
- [Eloranta, 2007]: Eloranta, P.; Seppinen, P.; Kallioinen, S.; Saarela, T.; Parssinen, A.; A Multimode Transmitter in 0.13 μm CMOS Using Direct-Digital RF Modulator , IEEE Journal of Solid-State Circuits Volume: 42 , Issue: 12 , 2007 ,Page: 2774 - 2784
- [Eloranta, 2008]: Eloranta, P.; Seppinen, P.; Parssinen, A.; Direct-digital RF-modulator: a multi-function architecture for a system-independent radio transmitter, Communications Magazine, IEEE Volume 46, Issue 4, April 2008 Page(s):144 – 151.
- [Frappe, 2009]: A. Frappe, A. Kaiser, A. Flament, and B. Stefanelli ; “Multimode Transmitters with Sigma Delta Based All-Digital RF Signal Generation”. In book Analog Circuit Design : smart data converters. Chapter 17, september 2009
- [Fujimori, 2000]: I.Fujimori, A.Nogi, T.Sugimoto, “A multibit delta-sigma audio DAC with 120-dB dynamic range,” IEEE Journal of Solid-State Circuits, Issue 8, Volume 35, pp.1066 – 1073, August 2000.
- [Gallezzi, 2007]: Gallazzi, F.; Torelli, G.; Malcovati, P.; Ferragina, V.; A digital multistandard reconfigurable FIR filter for wireless applications, Electronics, Circuits and Systems, 2007. ICECS 2007 , 2007 , Page: 808 - 811
- [Gao, 2008]: Z. Gao, J. Ma, M. Yu, and Y. Ye, “A fully integrated CMOS active bandpass filter for multiband RF front-ends,” IEEE Transactions on Circuits and Systems II, vol. 55, no. 8, pp. 718–722, 2008.
- [Georgescu, 2006]: B. Georgescu, I. G. Finvers, and F. Ghannouchi, “2-GHz Q-enhanced active filter with low passband distortion and high dynamic range,” IEEE J. Solid-State Circuits, vol. 41, no. 9, pp. 2029–2039, Sep. 2006.
- [Grebennikov, 2002]: Grebennikov, A.V.; Jaeger, H.; “Class E with parallel circuit - a new challenge for high-efficiency RF and microwave power amplifiers” Microwave Symposium Digest, 2002 IEEE MTT-S International Volume 3, 2-7 June 2002 Page(s):1627 – 1630.
- [Hsiao, 2002]: C. Hsiao, C.Kuo, C. Ho, and Y. Chan. “Improved quality factor of 0.18 μm CMOS active inductor by a feedback resistance design”. IEEE Microwave and Wireless Components Letters, 12(2):467–469, Dec. 2002.
- [Jerng, 2007]: Albert Jerng, , and Charles G. Sodini; A Wideband Sigma Delta Digital-RF Modulator for High Data Rate Transmitters IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, NO. 8, AUGUST 2007
- [Jondral, 2008]: Jondral, F. K. From Maxwell’s equations to cognitive radio. 3rd Int. Conference on Cognitive Radio Wireless Networks and Communications. Singapore, 2008.
- [Karsilayan, 2000]: A. Karsilayan and R. Schaumann. “A high-frequency high-Q CMOS active inductor with DC bias control”. In Proc. IEEE Mid-West Symp. Circuits Syst., pages 486–489, Lansing, Aug. 2000.

- [Keliu, 2005]: Keliu Shu and Edgar Sánchez-Sinencio. CMOS PLL synthesizers: analysis and design, Kluwer international series in engineering and computer science, Springer, 2005, ISBN0387236686
- [Larson, 2003]: L.Larson et al, "An Improved Digital-IF Transmitter Architecture for Highly-Integrated W-CDMA Mobile Terminals", Vehicular Technology Conference, 2003. VTC 2003-Spring. The 57th IEEE Semiannual Volume 2, 22-25 April 2003 Page(s):1335 - 1339 vol.2
- [Ler, 2009]: C. Ler et al., "CMOS Active inductor linearity improvement using FFCS technique", IEEE Transaction on Microwave Theory and Techniques, 57(8):1915-1924, August 2009
- [Li, 2010]: Li, C.; Gong, F.; Wang, P.; Analysis and design of a high-Q differential active inductor with wide tuning range Circuits, Devices & Systems, IET Volume: 4 , Issue: 6 Publication Year: 2010 , Page(s): 486 - 495
- [Lin, 2000]: T. Lin and A. Payne. "Design of a low-voltage, low-power, wide-tuning integrated oscillator". In Proc. IEEE Int'l Symp. Circuits Syst., volume 5, pages 629–632, Geneva, Switzerland, May 2000.
- [Linl, 2009]: Linl et al. "A 12b 2.9GS/s DAC with IM3 <-60dBc Beyond 1GHz in 65nm CMOS," IEEE International Solid-State Circuits Conference, SESSION 4 / HIGH-SPEED DATA CONVERTERS / 4.1, February 9, 2009.
- [Martineau, 2008]: B. Martineau : Potentialités de la technologie CMOS 65nm SOI pour des applications sans fils en bande millimétrique. Manuscrit de thèse, soutenue le 16 mai 2008.
- [Masse, 2006]: Masse, C.;"A 2.4 GHz direct conversion transmitter for Wimax applications" Radio Frequency Integrated Circuits (RFIC) Symposium, 2006 IEEE 11-13 June 2006 Page(s):4 pp. - 404
- [Mittola, 1999]: Mitola, J. et al. Cognitive radios: making software radios more personal, IEEE Personal Communications. August 1999 vol. 6, no. 4.
- [Mukho, 2005]: R. Mukhopadhyay, Y. Park, P. Sen, N. Srirattana, J. Lee, C. Lee, S. Nuttinck, A. Joseph, J. Cressler, and J. Laskar. "Reconfigurable RFICs in Si-based technologies for a compact intelligent RF front-end". IEEE Trans. Microwave Theory and Technology, 53(1):81–93, Jan. 2005.
- [Nagatani, 2009]: M.Nagatani, H.Nosaka, S.Yamanaka, K.Sano, K.Murata, "A 32-GS/s 6-Bit Double-Sampling DAC in InP HBT Technology," Annual IEEE Compound Semiconductor Integrated Circuit Symposium, pp.1 – 4, 2009.
- [Nagle, 2004]: Nagle, P.; Husseini, R.M.; Grebennikov, A.; Ahmed, W.K.M.; McGrath, F.; A novel wideband digital power amplifier and transmitter architecture for multimode handsets. Radio and Wireless Conference, 2004 IEEE
- [Nakaska, 2007]: Nakaska, J.K.; Haslett, J.W, 2 GHz Automatically Tuned Q-Enhanced CMOS Bandpass Filter .International Microwave Symposium; 2007, Page(s): 1599 - 1602

- [Nesimoglu, 2006]: Nesimoglu, T.; Morris, K.A.; Parker, S.C.; McGeehan, J.P. “Improved EER transmitters for WLAN”. Centre for communication research , Bristol University / Toshiba research Europe 16-19 Jan 2006
- [Nesimoglu, 2008]: Nesimoglu, T.; Parker, S.C.J.; Morris, K.A.; McGeehan, J.P.; The performance and efficiency of envelope elimination and restoration transmitters for future multiple-input multiple-output wireless local area networks, *Communications, IET* Volume: 2 , Issue: 3 , Publication Year: 2008 , Page(s): 473 - 483 .
- [Ngow, 2003]: S. Ngow and A. Thanachayanont. “A low-voltage wide dynamic range CMOS floating active inductor”. In *Proc. Conf. Convergent Technologies for Asia-Pacific Region*, volume 4, pages 1640–1643, Oct. 2003.
- [Nzeza, 2008]: Nzeza, C.N.; Flament, A.; Frappe, A.; Kaiser, A.; Cathelin, A.; Muller, J.; Reconfigurable complex digital Delta-Sigma modulator synthesis for digital wireless transmitters *Circuits and Systems for Communications*, 2008. ECCSC 2008. Pages: 320 - 325
- [Parikh, 2007]: Parikh, Viral K.; Modi, Sankalp S.; Balsara, Poras T.; Optimum Design of Cascaded Digital Filters in Wideband Wireless Transmitters using Genetic Algorithms ,*System-on-Chip*, 2007. DCAS 2007. 6th IEEE Dallas Workshop on Circuits and Systems ,2007 , Page 1 - 4
- [Parikh, 2008]: Parikh, V.K.; Balsara, P.T.; Eliezer, O.E.; A fully digital architecture for wideband wireless transmitters *Radio and Wireless Symposium*, 2008 IEEE
- [Parikh, 2009b]: Parikh, V.K.; Balsara, P.T.; Eliezer, O.E.; All Digital-Quadrature-Modulator Based Wideband Wireless Transmitters , *Transactions on Circuits and Systems I: Regular Papers*, IEEE Volume: 56 , Issue: 11 , 2009 , Page: 2487 - 2497
- [Perott, 2007]: M. H. Perrott. Making Better Use of Time in Mixed Signal Circuits. In *proceedings of 6th IEEE Dallas Circuits and Systems Workshop*.
- [Pornpromlikit, 2009]: Pornpromlikit, S.; Jinho Jeong; Presti, C.D.; Scuderi, A.; Asbeck, P.M.; A 25-dBm high-efficiency digitally-modulated SOI CMOS power amplifier for multi-standard RF polar transmitters , *Radio Frequency Integrated Circuits Symposium*, 2009. RFIC 2009. IEEE ,June 2009, page: 157 - 160
- [Pozsgay, 2008]: Pozsgay, A.; Zounes, T.; Hossain, R.; Boulemlakher, M.; Knopik, V.; Grange, S.”A Fully Digital 65nm CMOS Transmitter for the 2.4-to-2.7GHz WiFi/WiMAX Bands using 5.4GHz $\Delta\Sigma$ RF DACs”. Page(s): 360-619 *ISSCC.2008*
- [Presti, 2009]: Presti, C.D.; Carrara, F.; Scuderi, A.; Asbeck, P.M.; Palmisano, G.; “A 25 dBm Digitally Modulated CMOS Power Amplifier for WCDMA/EDGE/OFDM With Adaptive Digital Predistortion and Efficient Power Control”; *IEEE Journal of Solid-State Circuits* , July 2009 Volume: 44 Issue:7 page: 1883 – 1896
- [Raab, 2003]: Raab, F. et al. RF and Microwave PA and Transmitter Technologies. *High Frequency Electronics*, May-November 2003, pp 22-49.

- [Raza, 2007]: Razafimandimby S., Accord en fréquence de résonateurs BAW appliqué au filtrage et à la synthèse de fréquence RF. Thèse en microondes et microtechnologies à l'université des sciences et technologies de Lille. Décembre 2007.
- [Robert, 2009]: Robert, F. et al. Study of a polar $\Delta\Sigma$ transmitter associated to a high efficiency switched mode amplifier for mobile Wimax. 10th annual IEEE Wireless and Microwave Technology Conference, WAMICON, april 2009, Clearwater, FL, USA.
- [Robert, 2009b]: Robert, F et.al « Analyse de l'influence du codage d'enveloppe sur les performances de l'amplificateur classe E d'une architecture polaire ». Submitted and presented in 16emes Journées Nationales Microondes 2009, Grenoble, France
- [Robert, 2010]: Robert, F et al. "Architecture and Filtering Requirements for Fully Digital Multi-radio Transmitters". Personal, Indoor and Mobile Radio Communications PIMRC 2010. IEEE 21th International Symposium, Istanbul, Turkey.
- [Robert, 2011a]: F. Robert, P. Cathelin, A. Diet, M. Villegas, F. Epifano, P. Triaire, G. Baudoin. A Highly Linear and Tunable Feed Forward Current Source Active Inductor in 65nm CMOS Technology for Mobile Applications. IEEE Wireless and Microwaves Conference, WAMICON 2011, april 2011, Clearwater, FL, USA.
- [Robert, 2011b]: Robert,F et al "Low Insertion Losses Reconfigurable Bandpass Filter Based on Highly Linear 65nm CMOS Active Inductors for Cellular Applications". Published to IEEE conference NEWCAS 2011, Bordeaux, France.
- [Robert, 2011c]: Robert.F et al " A 0.1dB Insertion Losses Tx Bandpass Filter Based on 65nm CMOS Active inductors for mobile communications". Published to IEEE conference SiRF 2012, Santa Clara, CA, USA.
- [Robert, 2011d]: F. Robert, Ph. Cathelin, A. Diet, M. Villegas, P. Triaire, F. Epifano, G. Baudoin. Conception et réalisation d'une inductance active à fort coefficient de qualité et forte linéarité en technologie CMOS 65nm. 17èmes Journées Nationales Micro-ondes, JNM, mai 2011, Brest, France.
- [Robert, 2011e]: F. Robert, A. Diet, M. Villegas, F. Epifano, Ph. Cathelin, P. Triaire, G. Baudoin. Dimensionnement des besoins en filtrage dans les architectures d'émission multi-radio "tout numérique". 17èmes Journées Nationales Micro-ondes, JNM, mai 2011, Brest, France.
- [Roger, 2005]: John W.M. Rogers, Foster F. Dai, Mark S. Cavin, and Dave G. Rahn. A Multi-Band Delta-Sigma Fractional-N Frequency Synthesizer for a MIMO WLAN Transceiver RFIC. IEEE Journal of Solid State Circuits, vol. 40, March 2005.
- [Sackinger, 2000]: E. Sackinger and W. Fischer. "A 3-GHz 32-dB CMOS limiting amplifier for SONET OC-48 receivers". IEEE J. Solid-State Circuits, 35(12):1884–1888, Dec. 2000.
- [Sander, 2003]: Sander, W.B.; Schell, S.V.; Sander, B.L.; "Polar modulator for multi-mode cell phones" Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003 21-24 Sept. 2003 Page(s):439 – 445

- [ShC, 2010]: F. Robert (speaker), F. Epifano, P. Cathelin, P. Triaire, G. Baudoin, V. Valenta. Towards all-digital architectures, analysis of technical and technological locks. European Microwave Week EuMW 2010, Short Course SHS01 EuMC-EuWiT, Paris CNIT, September 26th.
- [Sokal, 1975]: Sokal, N., Sokal, A. Class E, A new Class of high efficiency Tuned single ended switching PAs. IEEE journal of Solid State Circuits, Vol. 10, No. 3, Juin 1975, pp 168-176.
- [Song, 2003]: S. Song, S. Park, and H. Yoo. "A 4-Gb/s CMOS clock and data recovery circuit using 1/8-rate clock technique". IEEE J. Solid-State Circuits, 38(7):1213–1219, Jul. 2003.
- [Sowlati, 2004]: Sowlati, T.; Rozenblit, D.; Pulella, R.; Damgaard, M.; McCarthy, E.; Dongsoo Koh; Ripley, D.; Balteanu, F.; Gheorghe, I. "Quad-band GSM/GPRS/EDGE polar loop transmitter" IEEE Journal of Solid States Circuit Volume 39, Issue 12, Dec. 2004 Page(s): 2179 – 2189.
- [Staszewski , 2005]: R. B. Staszewski et al. All-digital PLL and Transmitter for Mobile Phones. IEEE Journal of Solid-State Circuits, vol.40, No.12, December 2005.
- [Stewart, 1998]: R.W. Stewart et al. « Overqampling and sigma-delta strategies for data conversion », Electronics & Communication Engineering Journal, p. 37-47, February 1998
- [Strandberg, 2002]: Strandberg, R.; Andreani, P.; Sundstrom, L.; Ericsson Mobile Platforms AB / Lund "Bandwidthconsiderations for a CALLUM transmitter architecture" Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium Volume 4, 26-29 May 2002 Page(s):IV-25 - IV-28 vol.4.
- [Suarez, 2008]: Suarez Penaloza, M. et al. "Study of a Modified Polar Sigma-Delta Transmitter Architecture for Multi-Radio Applications", EuMW, 27-31 Octobre 2008, Amsterdam.
- [Syllaios, 2007]: I.L. Syllaios, P.T. Balsara, R.B. Staszewski, On the reconfigurability of alldigital phase-locked loops for software defined radios. Personal, Indoor and Mobile Radio Communications, PIMRC 2007.
- [Taleie, 2006]: Taleie, S.M.; Copani, T.; Bakkaloglu, B.; Kiaei, S.; A Bandpass Delta-Sigma RF-DAC with Embedded FIR Reconstruction Filter , Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International , 2006 , Page: 2370 – 2379
- [Taleie, 2008]: Taleie, S.M.; Yongping Han; Copani, T.; Bakkaloglu, B.; Kiaei, S.; A 0.18 μ m CMOS fully integrated RFDAC and VGA for WCDMA transmitters, Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE, Page(s): 157 - 160
- [Tavel, 2005]: B.Tavel et.al : 65nm LP/GP Mix Low Cost Platform for Multi-Media Wireless and Consumer Applications. In Solid State Device Research Conference, 2005. ESSDERC 2005. Proceeding of 35th European, pages 423-426,2005.
- [Thanachaya, 1996]: A. Thanachayanont and A. Payne. "VHF CMOS integrated active inductor". IEE Electronics Letters, 32(11):999–1000, May 1996

- [Thanachaya, 2002a]: A. Thanachayanont and S. Ngow. "Class AB VHF CMOS active Inductor". In Proc. IEEE Mid-West Symp. Circuits Syst., volume 1, pages 64–67, Aug. 2002
- [Thanachaya, 2002b]: A. Thanachayanont. "CMOS transistor-only active inductor or IF/RF applications". In Proc. IEEE Int'l Industrial Tech. Conf., volume 2, pages 1209–1212, Bangkok, 2002
- [Valenta 2010]: V. Valenta, G. Baudoin, M. Villegas, R. Maršálek. On Reconfigurability of Hybrid Dual Mode PLL Based Frequency Synthesizer for Cognitive Multi-radio Applications. In proceedings of the 13th international symposium on wireless personal multimedia communications (WPMC). Recife, Brazil, 2010.
- [Valenta, 2008]: V. Valenta, G. Baudoin, R., M. Villegas. Phase Noise Analysis of PLL Based Frequency Synthesizers for Multi-Radio Mobile Terminals. Conference on Cognitive Radio Oriented Wireless Networks and Comm. Singapore: 2008.
- [Valenta, 2009a]: Valenta, V., Fedra, Z., Marsalek, R., Baudoin, G., Villegas, M. Towards cognitive radio networks: spectrum utilization measurements in suburb environment. Radio Wireless Symposium '09, January 2009.
- [Valenta, 2009b]: Valenta V., Robert F., Suarez ML., Maršálek R., Villegas M., Baudoin G. Mesures et analyse de l'occupation spectrale et du taux d'utilisation dans la bande 400 MHz - 6 GHz en vue de la mise en place d'un système de radio cognitive. 16èmes Journées Nationales Microondes. Grenoble 27-29 Mai 2009.
- [Valenta, 2011]: V. Valenta, G. Baudoin, M. Villegas, R. Maršálek. Hybrid dual-mode frequency synthesis for cognitive multi-radio front-ends. Special Issue of the Wireless Personal Communications Journal, Springer Verlag, 2011.
- [Villegas 2007]: Villegas, M. et al. Radiocommunications Numériques : Conception de circuits intégrés RF et micro-ondes. Dunod, EEA/Electronique, 464 pages, 2ème édition 2007.
- [Virtanen, 2007]: K.Virtanen, J.Maunu, J.Poikonen, A.Paasio, "A 12-bit Current-Steering DAC with Calibration by Combination Selection," IEEE International Symposium on Circuits and Systems, pp.1469 – 1472,27-30 May 2007.
- [Waheed, 2008]: Waheed, K.; Staszewski, R.B.; Rezeq, S.; Curse of digital polar transmission: Precise delay alignment in amplitude and phase modulation paths Circuits and Systems, 2008. ISCAS 2008.
- [Wang, 2005]: Y. Wang, M. Khan, S. Ali, and R. Raut. "A fully differential CMOS limiting amplifier with active inductor for optical receiver". In Proc. IEEE Canadian Conf. Elec. Comp. Eng., pages 1751–1754, 2005.
- [Weng, 2007]: R.Weng and R. Kuo. "An ∞ -Q tunable CMOS active inductor for RF bandpass filters". In Proc. Int'l Symp. Signals, Systems, and Electronics, pages 571–574, Aug. 2007.
- [Wie, 2005]: Wei, H. Chiu, and W. Fend. "An ultra-wideband CMOS VCO with 3-5 GHz tuning range". In Proc. IEEE Int'l Workshop Radio-Frequency Integration Tech., pages 87–90, Singapore, Nov. 2005.
- [Wu, 2001a]: Y. Wu, M. Ismail, and H. Olsson. "CMOS VHF/RF CCO based on active inductors". IEE Electronics Letters, 37(8):472–473, Apr. 2001.

- [Wu, 2001b]: Y. Wu, X. Ding, M. Ismail, and H. Olsson. "Inductor-less CMOS RF band-pass filter". IEE Electronics Letters, 37(16):1027–1028, Aug. 2001.
- [Wu, 2003]: Y.Wu, X. Ding, M. Ismail, and H. Olsson. "RF band-pass filter design based on CMOS active inductors". IEEE Trans. Circuits and Systems II, 50(12):942–949, Dec. 2003.
- [Wu, 2004]: C. Wu, H. Liao, and S. Liu. "A 1 V 4.2 mW fully integrated 2.5 Gb/s CMOS limiting amplifier using folded active inductors". In Proc. International Symp. Circuits Syst., volume 1, pages 1044–1047, May 2004.
- [Xiao, 2007]: H. Xiao and R. Schaumann, "A 5.4 GHz high-Q tunable active-inductor bandpass filter in standard digital CMOS technology," Analog Integrated Circuits and Signal Processing, vol. 51, no. 1, pp. 1–9, 2007.
- [Yang, 2007]: Xuemin Yang; Davierwalla, A.; Mann, D.; Gard, K.G."A 90nm CMOS Direct Conversion Transmitter for WCDMA" Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE / 3-5 June 2007 Page(s):17 - 20
- [Yue, 2005]: C.P. Yue et.al. Scalability of RF CMOS. In RFIC symposium, 2005. Digest of Papers. 2005 IEEE, pages 53-56, June 2005.
- [Zhi, 2006]: Chuande Zhi, , and Huazhong Yang, "A New Adaptive Delay Method for Wideband Kahn's RF Power Amplifiers" Tsinghua University, China , IEEE Transactions on Consumer Electronics, 2006, Volume: 52 Issue: 3 page: 962 – 965.

Production scientifique sur la période 2009-2011

Chapitres d'ouvrages (2)

- [Cha-1] V. Valenta, G. Baudoin, A. Diet, R. Marsalek, **F. Robert**, M. Suarez, M. Villegas. Mobile WiMAX handset front-end: design aspects and challenges. pp 47-80, Chapter n°3 of "WiMAX, new developments" edited by U. Dalal, Y. Kosta, ISBN 978-953-7619-53-4, IN-TECH (SCIYO), 442 pages, December 2009. <http://www.intechweb.org/books>.
- [Cha-2] A. Diet, M. Villegas, G. Baudoin, **F. Robert**. Radio-Communications Architectures. pp. 1-35, Chapter n°1 of "Radio-Communications" edited by Alessandro Bazzi, ISBN 978-953-307-091-9, IN-TECH (SCIYO), 712 pages, April 2010. <http://www.intechweb.org/books>.

Articles de revues internationales (2)

- [RI-1] G. Baudoin, M. Villegas, M. Suarez, A. Diet, **F. Robert**. Performance Analysis of Multi-radio Transmitter with Polar or Cartesian Architectures associated with High Efficiency Switched-Mode Power Amplifiers. *Radioengineering, proceedings of Czech and Slovak Technical Universities and URSI Committees, Vol. 19, n°4, pp.470-478, December 2010. ISSN 1210-2512.*
- [RI-2] A. Diet, M. Suarez, **F. Robert**, M. Villegas, G. Baudoin. Simulation of a Multi-band Class E PA with a PWM Envelope-coded Signal, for a Multi-radio Transmitter. *International Journal on Communications Antennas and Propagation, IRECAP, Praise Worthy Prize, ISSN 2039-5086, June, Vol. 1, N°3, 2011, pp 290 - 295.*

Communications lors de conférences internationales (11)

- [CI-1] A. Diet, **F. Robert**, M. Suárez, V. Valenta, L. Andia Montes, C. Ripoll, M. Villegas, G. Baudoin. Flexibility of Class E HPA for Cognitive Radio. *IEEE 19th symposium on Personal Indoor and Mobile Radio Communications, PIMRC 2008, 15-18 september, Cannes, France. CD-ROM ISBN 978-1-4244-2644-7.*
- [CI-2] A. Diet, **F. Robert**, N. Ribière-Tharaud, M. Villegas, G. Baudoin. Front end accordability for cognitive multi-radio, using a class E HPA and a multi-band antenna. *Asia Pacific Microwave Conference, APMC 2008, 16-19 december, Hong Kong, China.*
- [CI-3] **F. Robert**, M. Suarez, A. Diet, M. Villegas, G. Baudoin. Study of a polar $\Delta\Sigma$ transmitter associated to a high efficiency switched mode amplifier for mobile Wimax. *T#2, 10th annual IEEE Wireless and Microwave Technology Conference, WAMICON, april 2009, Clearwater, FL, USA. (BEST PAPER AWARD)*
- [CI-4] M. Suarez, **F. Robert**, M. Villegas, G. Baudoin, A. Diet. Influence of the Envelope coding on a Class E Amplifier Efficiency in Polar Architecture. *EuWit04-4, European Microwave Week, European conference on Wireless Technology, EuMW/EuWIT, 28th September - 2nd October 2009, Roma, Italia.*
- [CI-5] A. Diet, M. Villegas, G. Baudoin, **F. Robert**. A Methodology for multi-band class E RF PA design. *P. n°7, IEEE International Microwaves Workshops Series on "RF front ends for Software Defined and Cognitive Radio Solutions" IMWS 2010, 22-23 february 2010, Aveiro, Portugal.*
- [CI-6] **F. Robert**, A. Diet, M. Villegas, F. Epifano, P. Cathelin, P. Triaire, G. Baudoin. Architecture and Filtering Requirements for Fully Digital Multi-radio Transmitters. *IEEE 21st symposium on Personal Indoor and Mobile Radio Communications, IEEE PIMRC 2010, Track n°1, Istanbul, Turkey.*
- [CI-7] V. Valenta, R. Marsalek, G. Baudoin, M. Villegas, M. Suarez, **F. Robert**. Survey on Spectrum utilisation in Europe: Measurements, analysis and observations. *Proceedings of the 5th international conference on Cognitive Radio Oriented Wireless Networks and Communications. Cannes, 2010.*
- [CI-8] **F. Robert**, P. Cathelin, A. Diet, M. Villegas, F. Epifano, P. Triaire, G. Baudoin. A Highly Linear and Tunable Feed Forward Current Source Active Inductor in 65nm CMOS Technology for Mobile Applications. *IEEE Wireless and Microwaves Conference, WAMICON 2011, april 2011, Clearwater, FL, USA.*

- [CI-9] **F. Robert**, P. Cathelin, A. Diet, M. Villegas, F. Epifano, P. Triaire, G. Baudoin. A Low Insertion Losses Reconfigurable Bandpass Filter Based on Highly Linear 65nm CMOS Active Inductors for Cellular Applications. *9th IEEE NEWCAS conference, June 26-29 2011, Bordeaux, France.*
- [CI-10] **F. Robert**, P. Cathelin, A. Diet,, M. Villegas, F. Epifano, P. Triaire, G. Baudoin. Performances of a High Q 65-nm CMOS Active Inductor for Mobile Applications Transceivers. *7th Conference on PhD Research in Microelectronics and Electronics, PRIME 2011, 3rd-7th July 2011, Trento, Italy.*
- [CI-11] **F. Robert**, P. Cathelin, A. Diet, P. Triaire, F. Epifano, M. Villegas G. Baudoin. A Tx RF 0.1dB IL Bandpass Filter for Fully Digital Cellular Transmitters in 65-nm CMOS. *IEEE Radio Wireless Week 2012 - 12th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, RWW-SiRF. 16-18 January 2012, Santa Clara, CA, USA. To be presented.*

Communications lors de conférences nationales (5)

- [CN-1] **F. Robert**, M. Suarez, M. Villegas, G. Baudoin, A. Diet. Analyse de l'influence du codage d'enveloppe sur les performances de l'amplificateur classe E d'une architecture polaire. *2F-16, XVI Journées Nationales Micro-ondes, JNM, mai 2009, Grenoble, France.*
- [CN-2] ML. Suarez Penaloza, **F. Robert**, G. Baudoin, M. Villegas, Architectures d'émetteur à enveloppe constante : analyse qualitative de l'influence du signal de sortie sur le rendement de l'amplificateur", *JNM'2009 - 16èmes Journées Nationales Microondes, Grenoble, France. du 27 au 29 Mai 2009.*
- [CN-3] V. Valenta, **F. Robert**, ML. Suarez Penaloza, R. Marsalek, M. Villegas, G. Baudoin, Mesures et analyse de l'occupation spectrale et du taux d'utilisation dans la bande 400 MHz-6 GHz en vue de la mise en place d'un système de radio cognitive", *JNM'2009 - 16èmes Journées Nationales Microondes, Grenoble, France. du 27 au 29 Mai 2009.*
- [CN-4] **F. Robert**, A. Diet, M. Villegas, F. Epifano, Ph. Cathelin, P. Triaire, G. Baudoin. Dimensionnement des besoins en filtrage dans les architectures d'émission multi-radio "tout numérique". *17^{èmes} Journées Nationales Micro-ondes, JNM, mai 2011, Brest, France.*
- [CN-5] **F. Robert**, Ph. Cathelin, A. Diet, M. Villegas, P. Triaire, F. Epifano, G. Baudoin. Conception et réalisation d'une inductance active à fort coefficient de qualité et forte linéarité en technologie CMOS 65nm. *17^{èmes} Journées Nationales Micro-ondes, JNM, mai 2011, Brest, France.*

Rayonnement scientifique

Participation à des Workshops/Short Courses (2)

- [SC-1] M. Villegas (*speaker*), A. Diet, L. Andia, **F. Robert**. High efficiency amplifier. *European Microwave Week EuMW 2010, Short Course SHS01 EuMC-EuWiT, Paris CNIT, September 26th.*
- [SC-2] **F. Robert (speaker)**, F. Epifano, P. Cathelin, P. Triaire, G. Baudoin, V. Valenta. Towards all-digital architectures, analysis of technical and technological locks. *European Microwave Week EuMW 2010, Short Course SHS01 EuMC-EuWiT, Paris CNIT, September 26th.*

Conférences invitées (1)

- [Inv-1] G. Baudoin, A. Diet, **F. Robert**, Y. Louet, F. Epifano, P. Cathelin, M. Villegas. Numérisation des architectures d'émission RF en communications numériques : enjeux et défis. *Conférence plénière invitée au 17^{èmes} Journées Nationales Micro-ondes, JNM, 18-20 mai 2011, Brest, France.*

Annexe 1 :

Cas particuliers dans la définition du bruit hors bande en GSM

Pour le **GSM900** et le **DCS1800** les émissions parasites ne doivent en aucun cas dépasser :

- 250 nW (-36 dBm) dans la bande 9 kHz à 1 GHz;
- 1 μ W (-30 dBm) dans la bande 1 GHz à 12,75 GHz.

La puissance mesurée dans une bande de 100 kHz, lorsque le téléphone est en mode "idle", ne doit pas dépasser:

- 2 nW (-57 dBm) dans la bande 9 kHz à 1 000 MHz;
- 20 nW (-47 dBm) dans la bande 1 - 12.75 GHz,

Cependant il existe des exceptions:

- 1.25 nW (-59 dBm) dans la bande 880 MHz à 915 MHz;
- 1.25 nW (-59 dBm) dans la bande 870 MHz à 915 MHz pour le GSM900T;
- 5 nW (-53 dBm) dans la bande 1,71 GHz à 1,785 GHz;
- -76 dBm dans les bandes 1900 – 1920 MHz, 1920 – 1980 MHz, 2010 – 2025 MHz, et 2110 - 2170 MHz;
- -76 dBm dans les bandes 2500-2570 MHz, 2570-2620 MHz et 2620-2690 MHz.

Cependant si on la fait la moyenne après 50 bursts , de la puissance à des multiples de 200KHz au delà de la porteuse dans une bande de 100KHz, alors on doit avoir au maximum :

- -62 dBm dans la bande 917 - 925 MHz. GSM900T seulement;
- -60 dBm dans la bande 921 - 925 MHz. GSM900R seulement;
- -67 dBm dans la bande 925 - 935 MHz.
- -79 dBm dans la bande 935 –960 MHz.
- -71 dBm dans la bande 1805 - 1880 MHz.
- -66 dBm dans les bandes 1900 - 1920 MHz, 1920 - 1980 MHz, 2010 - 2025 MHz, et 2110 - 2170 MHz.

Une puissance de -36dBm est par contre permise dans les bandes:

- 925 – 960 MHz
- 1805 – 1880 MHz
- 1900 – 1920 MHz
- 1920 – 1980 MHz
- 2010 – 2025 MHz
- 2110 – 2170 MHz

Cette fois ci, nous étudions le cas du **PCS1900** et du **GSM850** surtout utilisé au Etats-Unis.

Les émissions parasites ne doivent pas dépasser :

- -36 dBm dans la bande 9 kHz à 1 GHz.
- -30 dBm dans toutes les autres bandes, de 1 GHz à 12,75 GHz.

La puissance mesurée dans une bande de 100 kHz, lorsque le téléphone est en mode "idle", ne doit pas dépasser:

- -57 dBm dans la bande 9 kHz à 1000 MHz.
- -53 dBm dans la bande 1 850 MHz à 1 910 MHz.
- -47 dBm dans toutes les autres bandes de 1 GHz à 12,75 GHz.

Si l'on mesure la puissance dans une bande de 100 kHz

- -73 dBm dans la bande 728 MHz à 736 MHz
- -79 dBm dans la bande 736 MHz à 746 MHz
- -79 dBm dans la bande 747 MHz à 757 MHz
- -73 dBm dans la bande 757 MHz à 763 MHz
- -79 dBm dans la bande 869 MHz à 894 MHz;
- -71 dBm dans la bande 1 930 MHz à 1 990 MHz.

De même que pour le 900 et le 1800, il existe des exceptions où un niveau de -36dBm est possible dans les bandes :

- 728 à 746 MHz
- 747 à 763 MHz
- 869 à 894 MHz
- 1930 à 1990 MHz.

Annexe 2 :

Définition des limites de bruit hors bande en UTRA-FDD

Il est important de connaître les paramètres du masque d'émission limite vu à l'antenne. Pour cela il faut prendre en compte les parasites qui peuvent apparaître dans le spectre, plus ou moins proches de la porteuse. On s'intéresse tout particulièrement aux ACLR (Adjacent Channel Leakage Ratio).

Le masque d'émission s'applique pour toutes fréquences comprises entre 2.5 et 12.5 MHz de la porteuse considérée. On définit un niveau de puissance à ne pas dépasser en fonction de la fréquence, mais également en fonction de la bande (1 à 14). On peut définir le masque en relatif (dBc) ou en absolu (dBm/ X MHz).

Δf en MHz	Minimum requis		Bande de mesure
	Niveau relatif à la bande	Niveau min	
2.5 - 3.5	$\left\{ -35 - 15 \cdot \left(\frac{\Delta f}{MHz} - 2.5 \right) \right\} dBc$	-71.1 dBm	30 kHz
3.5 - 7.5	$\left\{ -35 - 1 \cdot \left(\frac{\Delta f}{MHz} - 3.5 \right) \right\} dBc$	-55.8 dBm	1 MHz
7.5 - 8.5	$\left\{ -39 - 10 \cdot \left(\frac{\Delta f}{MHz} - 7.5 \right) \right\} dBc$	-55.8 dBm	1 MHz
8.5 - 12.5 MHz	-49 dBc	-55.8 dBm	1 MHz

Les valeurs d'ACLR sont de 33dB à 5MHz de la porteuse et de 43dB à 10MHz de la porteuse.

On doit également minimiser les émissions parasites au-delà des 12.5MHz de la porteuse, en suivant le tableau ci-contre. Par exemple entre à 12.509 MHz et 12.649MHz on doit avoir un niveau de parasite de -36dBm par bande de 1KHz.

Bande de fréquence	Bande de mesure	Minimum requis
$9 \text{ kHz} \leq f < 150 \text{ kHz}$	1 kHz	-36 dBm
$150 \text{ kHz} \leq f < 30 \text{ MHz}$	10 kHz	-36 dBm
$30 \text{ MHz} \leq f < 1000 \text{ MHz}$	100 kHz	-36 dBm
$1 \text{ GHz} \leq f < 12.75 \text{ GHz}$	1 MHz	-30 dBm

Ces parasites sont essentiellement dû aux émissions d'harmoniques, de produits d'intermodulation, et aux produits de conversion en fréquence, mais excluent les émissions hors bande. Ces données correspondent aux valeurs minimum à respecter, cependant pour chacune des 14 bandes il existe des particularités (voir tableau ci après).

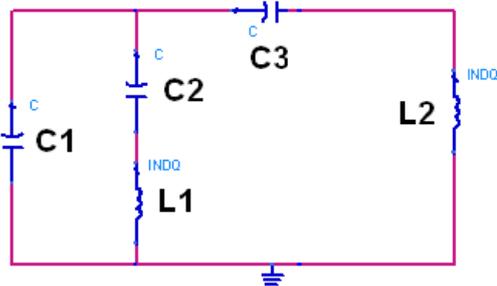
Bande	Bande de Fréquence	Bande de Mesure	Minimum requis
I	860 MHz ≤ f ≤ 895 MHz	3.84 MHz	-60 dBm
	921 MHz ≤ f < 925 MHz	100 kHz	-60 dBm
	925 MHz ≤ f ≤ 935 MHz	100 kHz	-67 dBm
		3.84 MHz	-60 dBm
	935 MHz < f ≤ 960 MHz	100 kHz	-79 dBm
	1475.9 MHz ≤ f ≤ 1500.9 MHz	3.84 MHz	-60 dBm
	1805 MHz ≤ f ≤ 1880 MHz	100 kHz	-71 dBm
	1844.9 MHz ≤ f ≤ 1879.9 MHz	3.84 MHz	-60 dBm
	1884.5 MHz < f < 1919.6 MHz	300 kHz	-41 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
II	2620 MHz ≤ f ≤ 2690 MHz	3.84 MHz	-60 dBm
	728 MHz ≤ f ≤ 746 MHz	3.84 MHz	-60 dBm
	746 MHz ≤ f ≤ 758 MHz	3.84 MHz	-60 dBm
	758 MHz ≤ f ≤ 768 MHz	3.84 MHz	-60 dBm
	869 MHz ≤ f ≤ 894 MHz	3.84 MHz	-60 dBm
	1930 MHz ≤ f ≤ 1990 MHz	3.84 MHz	-60 dBm
III	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
	921 MHz ≤ f < 925 MHz	100 kHz	-60 dBm
	925 MHz ≤ f ≤ 935 MHz	100 kHz	-67 dBm
		3.84 MHz	-60 dBm
	935 MHz < f ≤ 960 MHz	100 kHz	-79 dBm
	1805 MHz ≤ f ≤ 1880 MHz	3.84 MHz	-60 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
IV	2620 MHz ≤ f ≤ 2690 MHz	3.84 MHz	-60 dBm
	728 MHz ≤ f ≤ 746 MHz	3.84 MHz	-60 dBm
	746 MHz ≤ f ≤ 756 MHz	3.84 MHz	-60 dBm
	758 MHz ≤ f ≤ 768 MHz	3.84 MHz	-60 dBm
	869 MHz ≤ f ≤ 894 MHz	3.84 MHz	-60 dBm
	1930 MHz ≤ f ≤ 1990 MHz	3.84 MHz	-60 dBm
V	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
	728 MHz ≤ f ≤ 746 MHz	3.84 MHz	-60 dBm
	746 MHz ≤ f ≤ 756 MHz	3.84 MHz	-60 dBm
	758 MHz ≤ f ≤ 768 MHz	3.84 MHz	-60 dBm
	869 MHz ≤ f ≤ 894 MHz	3.84 MHz	-60 dBm
	1930 MHz ≤ f ≤ 1990 MHz	3.84 MHz	-60 dBm
VI	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
	860 MHz ≤ f < 875 MHz	1 MHz	-37 dBm
	875 MHz ≤ f ≤ 895 MHz	3.84 MHz	-60 dBm
	1475.9 MHz ≤ f ≤ 1500.9 MHz	3.84 MHz	-60 dBm
	1844.9 MHz ≤ f ≤ 1879.9 MHz	3.84 MHz	-60 dBm
	1884.5 MHz ≤ f ≤ 1919.6 MHz	300 kHz	-41 dBm
VII	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
	921 MHz ≤ f < 925 MHz	100 kHz	-60 dBm
	925 MHz ≤ f ≤ 935 MHz	100 kHz	-67 dBm
		3.84 MHz	-60 dBm
	935 MHz < f ≤ 960 MHz	100 kHz	-79 dBm
	1805 MHz ≤ f ≤ 1880 MHz	100 kHz	-71 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
VIII	2620 MHz ≤ f ≤ 2690 MHz	3.84 MHz	-60 dBm
	2590 MHz ≤ f ≤ 2620 MHz	3.84 MHz	-50 dBm
	925 MHz ≤ f ≤ 935 MHz	100 kHz	-67 dBm
		3.84 MHz	-60 dBm
	935 MHz < f ≤ 960 MHz	100 kHz	-79 dBm
		3.84 MHz	-60 dBm
VIII	1805 MHz < f ≤ 1830 MHz	100 kHz	-71 dBm
		3.84 MHz	-60 dBm
	1830 MHz < f ≤ 1880 MHz	100 kHz	-71 dBm *
		3.84 MHz	-60 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
	2620 MHz ≤ f ≤ 2640 MHz	3.84 MHz	-60 dBm

	2640 MHz < f ≤ 2690 MHz	3.84 MHz	-60 dBm
IX	860 MHz ≤ f ≤ 895 MHz	3.84 MHz	-60 dBm
	1475.9 MHz ≤ f ≤ 1500.9 MHz	3.84 MHz	-60 dBm
	1844.9 MHz ≤ f ≤ 1879.9 MHz	3.84 MHz	-60 dBm
	1884.5 MHz ≤ f ≤ 1919.6 MHz	300 kHz	-41 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
X	728 MHz ≤ f ≤ 746 MHz	3.84 MHz	-60 dBm
	746 MHz ≤ f ≤ 756 MHz	3.84 MHz	-60 dBm
	758 MHz ≤ f ≤ 768 MHz	3.84 MHz	-60 dBm
	869 MHz ≤ f ≤ 894 MHz	3.84 MHz	-60 dBm
	1930 MHz ≤ f ≤ 1990 MHz	3.84 MHz	-60 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
XI	860 MHz ≤ f ≤ 895 MHz	3.84 MHz	-60 dBm
	1475.9 MHz ≤ f ≤ 1500.9 MHz	3.84 MHz	-60 dBm
	1844.9 MHz ≤ f ≤ 1879.9 MHz	3.84 MHz	-60 dBm
	1884.5 MHz ≤ f ≤ 1919.6 MHz	300 kHz	-41 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
XII	728 MHz ≤ f ≤ 746 MHz	3.84 MHz	-60 dBm
	746 MHz ≤ f ≤ 756 MHz	3.84 MHz	-60 dBm
	758 MHz ≤ f ≤ 768 MHz	3.84 MHz	-60 dBm
	869 MHz ≤ f ≤ 894 MHz	3.84 MHz	-60 dBm
	1930 MHz ≤ f ≤ 1990 MHz	3.84 MHz	-60 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
XIII	728 MHz ≤ f ≤ 746 MHz	3.84 MHz	-60 dBm
	746 MHz ≤ f ≤ 756 MHz	3.84 MHz	-60 dBm
	758 MHz ≤ f ≤ 768 MHz	3.84 MHz	-60 dBm
	763 MHz ≤ f ≤ 775 MHz	6.25 kHz	Non défini
	793 MHz ≤ f ≤ 805 MHz	6.25 kHz	Non défini
	869 MHz ≤ f ≤ 894 MHz	3.84 MHz	-60 dBm
	1930 MHz ≤ f ≤ 1990 MHz	3.84 MHz	-60 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm
XIV	728 MHz ≤ f ≤ 746 MHz	3.84 MHz	-60 dBm
	746 MHz ≤ f ≤ 756 MHz	3.84 MHz	-60 dBm
	758 MHz ≤ f ≤ 768 MHz	3.84 MHz	-60 dBm
	769 MHz ≤ f ≤ 775 MHz	6.25 kHz	Non défini
	799 MHz ≤ f ≤ 805 MHz	6.25 kHz	Non défini
	869 MHz ≤ f ≤ 894 MHz	3.84 MHz	-60 dBm
	1930 MHz ≤ f ≤ 1990 MHz	3.84 MHz	-60 dBm
	2110 MHz ≤ f ≤ 2170 MHz	3.84 MHz	-60 dBm

Annexe 3 :

Identification d'un modèle comportementale de la fonction de transfert du filtre après simplification de sa structure biquadratique

Voici la topologie du filtre « single » avec la fonction de transfert correspondant. Ce filtre est issu d'un filtre biquadratique d'ordre 6 que nous avons simplifié après identification des composants ayant une influence mineur sur les performances en filtrage et en reconfigurabilité du filtre.



$$\alpha_2 = 2.C_3.L_2.Z_0 \quad \alpha_4 = C_2.C_3.L_1.L_2.Z_0$$

$$\beta_1 = (C_1 + C_2 + C_3).Z_0^2 + L_2$$

$$\beta_2 = (C_2.(L_2 + L_1) + L_2.(C_1 + 2.C_3)).Z_0$$

$$\beta_3 = (C_1(C_2L_1 + C_3L_2) + C_2C_3L_1).Z_0^2 + C_2L_1L_2$$

$$\beta_4 = (C_1.C_2.L_1.L_2 + 2.C_2.C_3.L_1.L_2).Z_0$$

$$\beta_5 = C_1.C_2.C_3.L_1.L_2.Z_0^2$$

La fonction de transfert du filtre est :

$$\frac{\alpha_4.p^4 + \alpha_2.p^2}{\beta_5.p^5 + \beta_4.p^4 + \beta_3.p^3 + \beta_2.p^2 + \beta_1.p + Z_0}$$

Fig. 150. Topologie et fonction de transfert du filtre

Etant donné que nous avons enlevé certains éléments, nous ne pouvons plus parler de filtre biquadratique d'ordre 6. La réponse du filtre a été identifiée en termes de paramètre S et de temps de propagation de groupe (TPG) à la réponse d'un filtre de Bessel d'ordre 5, comme illustré ci-dessous.

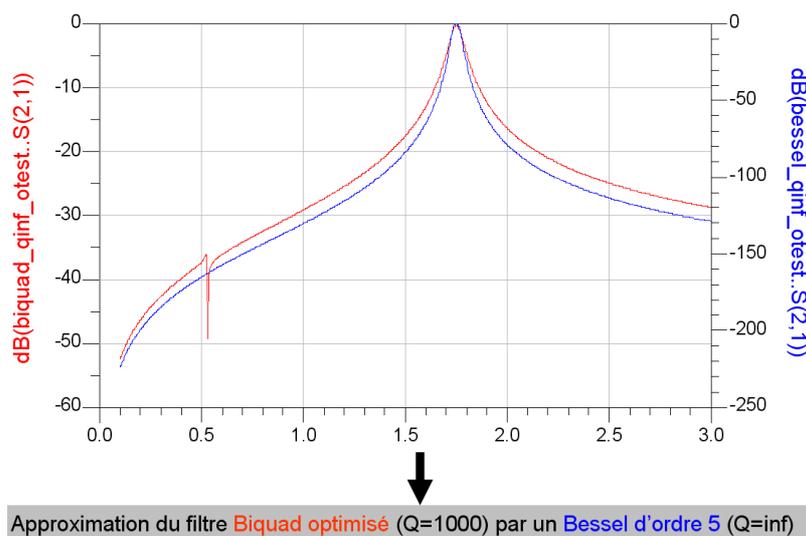


Fig. 151. Approximation de la fonction de transfert du filtre biquadratique simplifiée

Résumé

Cette thèse porte sur les défis techniques et technologiques dans la conception des architectures mobiles d'émission « tout numérique » reconfigurables fonctionnant dans les bandes cellulaires pour les standards GSM, W-CDMA, HSUPA et LTE. Avec l'évolution constante des besoins en communication, les terminaux mobiles doivent être en mesure de couvrir différents standards à partir d'une même architecture, en fonction des bandes de fréquences libres, du débit et des contraintes spectrales. Dans un but de réduction des coûts, de consommation et d'une plus grande intégration, de nouvelles architectures dites multistandards se sont développées permettant à un seul émetteur d'adresser chaque standard au lieu de paralléliser plusieurs architectures radio chacune dédiée à un standard particulier. Depuis plusieurs années ont émergé des technologies nanométriques telles que le CMOS 90nm ou 65nm, ouvrant la voie à une plus grande numérisation des blocs fonctionnels des architectures jusqu'alors analogiques. Dans cette étude, nous identifions les évolutions possibles entre « monde analogique » et « monde numérique » permettant de déplacer la limite de la bande de base jusqu'à l'amplificateur de puissance. Plusieurs architectures ont été étudiées avec des degrés de numérisation progressifs jusqu'à atteindre l'architecture « tout numérique » englobant une partie de l'amplification de puissance. Un travail approfondi sur l'étude des différents standards cellulaires mené conjointement avec l'implémentation et la simulation de ces architectures, a permis d'identifier les différents verrous technologiques et fonctionnels dans le développement d'architectures « tout numérique ». Les contraintes de pollution spectrale des raies de sur-échantillonnage sont apparues comme dimensionnantes. Pour chaque bande de chaque standard, ces contraintes ont été évaluées, afin de définir une méthode d'optimisation des fréquences de sur-échantillonnage. Cependant un filtrage externe reste nécessaire. Une deuxième étape nous a amené à identifier et concevoir une technique de filtrage passe bande reconfigurable pour les bandes cellulaires de 1710 à 1980MHz avec au moins 60MHz de largeur de bande afin d'adresser le standard LTE, et 23dB d'atténuation à 390MHz du centre de la bande pour adresser le pire cas de filtrage (bandes 1, 3 et 10 en W-CDMA). Nous avons alors conçu et implémenté un filtre reconfigurable à inductances actives, afin de garantir reconfigurabilité et très faibles pertes d'insertion. Cette thèse a donc permis à partir d'une problématique actuelle et au travers d'une démarche d'identification des limites des architectures « tout numérique », de proposer un prototype de filtre adapté. Ce filtre a été conçu en CMOS 65nm, réalisé et mesuré, les performances sont conformes aux exigences requises.

Mots clés : CMOS65nm, Inductance Active, Emetteur, Reconfigurable, Filtre

Abstract

This thesis addresses the technical and technological challenges in the design of "all digital" reconfigurable mobile architectures operating cellular standard bands (GSM, WCDMA, HSUPA and LTE). With the ever-changing communication needs, mobile devices must be able to address different standards from a common architecture depending on free frequency bands, data rate and spectral constraints. In order to reduce costs, consumption and to obtain a greater integration, new architectures were developed and called multi-standard allowing a single transmitter to transmit each standard instead of parallelizing several radio architectures each dedicated to a particular standard. For several years nanoscale technologies such as 90nm or 65nm CMOS have emerged, clearing the way to replace analog functional blocks by greater digital functional blocks. In this study, we identify possible changes between "analog world" and "digital world" to move the digital boundary from the baseband to power amplifier. Several architectures have been studied with progressive digitization degrees to meet "all digital" architecture, comprising part of the power amplifier. Extensive work on the study of different cellular standards conducted jointly with the implementation and simulation of these architectures, let us identified the different technological and functional locks in the development of "all digital" architectures. Oversampling spurious constraints have emerged as dimensioning. For each band of each standard, these constraints were evaluated to define an optimization method of oversampling frequency. However an external filter is required. A second step led us to identify and design a reconfigurable bandpass filtering technique for cellular bands from 1710 to 1980MHz with at least 60MHz of bandwidth in order to address the LTE, and 23dB attenuation at 390MHz from the center of the filter to address the most constringent filtering cases (bands 1, 3 and 10 in W-CDMA). We then designed and implemented a reconfigurable filter based on active inductors to ensure reconfigurability and very low insertion loss. This thesis permit from an actual architecture system issue and through a process to identify limitations of "all digital" architectures, to propose an adapted filtering solution. This filter was designed in 65nm CMOS, implemented. Measured performance is consistent with requirements.

Keywords : CMOS65nm, Active Inductors, Transmitter, Reconfigurable, Filter