



**HAL**  
open science

# Caractérisation et modélisation du transistor JFET en SiC à haute température

Youness Hamieh

► **To cite this version:**

Youness Hamieh. Caractérisation et modélisation du transistor JFET en SiC à haute température. Autre. INSA de Lyon, 2011. Français. NNT : 2011ISAL0038 . tel-00665817

**HAL Id: tel-00665817**

**<https://theses.hal.science/tel-00665817v1>**

Submitted on 2 Feb 2012

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THESE

Présentée devant

L'Institut National des sciences Appliquées de Lyon

Pour obtenir

## LE GRADE DE DOCTEUR

Ecole doctorale : Electronique Electrotechnique Automatique (E.E.A)  
Spécialité: Génie Electrique

Par

**Youness HAMIEH**

## **Caractérisation et modélisation du transistor JFET en SiC à haute température**

Soutenue publiquement le 11 mai 2011 devant la Commission d'examen

### Jury

---

M.Frédéric MORANCHO	Professeur (LAAS-CNRS)	Rapporteur
M.Stéphane RAEL	Professeur (GREEN-INPL)	Rapporteur
M.Stéphane LEFEBVRE	Professeur (CNAM de Cachan)	Examineur
M.Farid-MEIBODY TABAR	Professeur (GREEN-INPL)	Invité
M.Olivier BERRY	Ingénieur (Hispano-Suiza)	Invité
M.Hervé MOREL	Directeur de recherche CNRS	Directeur
M.Dominique BERGOGNE	Maître de conférences (UCBL)	codirecteur

*Cette thèse a été préparée au Laboratoire Ampère de l'INSA de Lyon*



*INSA Direction de la Recherche – Ecoles Doctorales – Quadriennal 2007-2010*

<b>SIGLE</b>	<b>ECOLE DOCTORALE</b>	<b>NOM ET COORDONNEES DU RESPONSABLE</b>
<b>CHIMIE</b>	<u>CHIMIE DE LYON</u> <a href="http://sakura.cpe.fr/ED206">http://sakura.cpe.fr/ED206</a>  M. Jean Marc LANCELIN  Insa : R. GOURDON	M. Jean Marc LANCELIN Université Claude Bernard Lyon 1 Bât CPE 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72.43 13 95 Fax : lancelin@hikari.cpe.fr
<b>E.E.A.</b>	<u>ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE</u> <a href="http://www.insa-lyon.fr/eea">http://www.insa-lyon.fr/eea</a> M. Alain NICOLAS Insa : C. PLOSSU ede2a@insa-lyon.fr Secrétariat : M. LABOUNE AM. 64.43 – Fax : 64.54	M. Alain NICOLAS Ecole Centrale de Lyon Bâtiment H9 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 60 97 Fax : 04 78 43 37 17 eea@ec-lyon.fr Secrétariat : M.C. HAVGOUDOUKIAN
<b>E2M2</b>	<u>EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION</u> <a href="http://biomserv.univ-lyon1.fr/E2M2">http://biomserv.univ-lyon1.fr/E2M2</a>  M. Jean-Pierre FLANDROIS Insa : H. CHARLES	M. Jean-Pierre FLANDROIS CNRS UMR 5558 Université Claude Bernard Lyon 1 Bât G. Mendel 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cédex Tél : 04.26 23 59 50 Fax 04 26 23 59 49 06 07 53 89 13 e2m2@biomserv.univ-lyon1.fr
<b>EDISS</b>	<u>INTERDISCIPLINAIRE SCIENCES-SANTE</u>  Sec : Safia Boudjema M. Didier REVEL Insa : M. LAGARDE	M. Didier REVEL Hôpital Cardiologique de Lyon Bâtiment Central 28 Avenue Doyen Lépine 69500 BRON Tél : 04.72.68 49 09 Fax :04 72 35 49 16 Didier.revel@creatis.uni-lyon1.fr
<b>INFOMATHS</b>	<u>INFORMATIQUE ET MATHEMATIQUES</u> <a href="http://infomaths.univ-lyon1.fr">http://infomaths.univ-lyon1.fr</a> M. Alain MILLE	M. Alain MILLE Université Claude Bernard Lyon 1 LIRIS - INFOMATHS Bâtiment Nautibus 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72. 44 82 94 Fax 04 72 43 13 10 <a href="mailto:infomaths@bat710.univ-lyon1.fr">infomaths@bat710.univ-lyon1.fr</a> - <a href="mailto:alain.mille@liris.cnrs.fr">alain.mille@liris.cnrs.fr</a>
<b>Matériaux</b>	<u>MATERIAUX DE LYON</u>  M. Jean Marc PELLETIER  Secrétariat : C. BERNAVON 83.85	M. Jean Marc PELLETIER INSA de Lyon MATEIS Bâtiment Blaise Pascal 7 avenue Jean Capelle 69621 VILLEURBANNE Cédex Tél : 04.72.43 83 18 Fax 04 72 43 85 28 <a href="mailto:Jean-marc.Pelletier@insa-lyon.fr">Jean-marc.Pelletier@insa-lyon.fr</a>
<b>MEGA</b>	<u>MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE</u>  M. Jean Louis GUYADER  Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12	M. Jean Louis GUYADER INSA de Lyon Laboratoire de Vibrations et Acoustique Bâtiment Antoine de Saint Exupéry 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél :04.72.18.71.70 Fax : 04 72 43 72 37 <a href="mailto:mega@lva.insa-lyon.fr">mega@lva.insa-lyon.fr</a>
<b>ScSo</b>	<u>ScSo*</u>  M. OBADIA Lionel  Insa : J.Y. TOUSSAINT	M. OBADIA Lionel Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Tél : 04.78.77.23.88 Fax : 04.37.28.04.48 <a href="mailto:Lionel.Obadia@univ-lyon2.fr">Lionel.Obadia@univ-lyon2.fr</a>

\*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie



*Mot*

- *Et je vous dis que la vie est en effet obscure sauf là où il y a élan,*
- *Et tout élan est aveugle sauf là où il y a la connaissance.*
- *Et toute connaissance est vaine sauf là où il y a le travail,*
- *Et tout travail est futile sauf là où il y a l'amour.*

*Gibran Khalil GIBRAN*

---

*A mon pays natal LIBAN*

*A mes parents*

*A tous ceux qui me sont chers*



## **Remerciements**

*Ces trois années de thèse à l'Institut National des Sciences Appliquées de Lyon (INSA) en France sont maintenant derrière moi. Me voici aujourd'hui confronté à l'ultime épreuve et non des moindres jalonnant la rédaction de ce manuscrit, celle des remerciements. J'ai eu l'immense privilège de mener cette thèse sous la direction de M. Hervé MOREL, sa culture scientifique exceptionnelle, son ouverture d'esprit, son intuition immédiate du comportement dont, l'analyse rigoureuse me prenait des journées pour, finalement confirmer ses prédictions initiales ne sont que quelques-unes des qualités qui ont rendu passionnant chacune de nos entrevues. En m'accordant, avec simplicité son attention et sa confiance tout au long de ces trois ans de travail, je voudrais particulièrement le remercier pour la disponibilité dont il a fait preuve, son investissement dans un parcours de recherche dont les méandres m'auraient découragé sans son assistance. Ses conseils éclairés vont sincèrement me manquer, surtout sur le plan scientifique.*

*Toute ma gratitude va également à M. Dominique BERGOGNE, qui a codirigé mon travail au quotidien avec une gentillesse, une compétence et un enthousiasme sans limite.*

*Je remercie cordialement les différents membres de mon jury de thèse, qui m'ont fait l'honneur de valider le dernier « examen de passage » de ma vie d'étudiant. De prime d'abord mes deux rapporteurs M. Frédéric MORANCHO et M. Stéphane RAEL qui se sont montrés d'une disponibilité exemplaire. Mes remerciements vont également à l'endroit de M. Farid MEIBODY-TABAR et M. Olivier BERRY pour leur participation au Jury.*

*Un merci particulier au dirigeants de la compagnie Hispano-Suiza notamment M. Régis MEURET et Mme. Sonia DOKHAR qui par le biais du projet SEFORA ont rendue cette thèse possible. Que toutes les personnes qui m'ont soutenu sous quelques formes que se soit durant mes différents séjours de travail sur le site de Réau trouvent ici l'expression de ma profonde reconnaissance.*

*Un grand merci à tous les membres du Laboratoire AMPERE que j'ai côtoyé durant les années de cette thèse et qui de près ou de loin ont contribué et facilité la réalisation de ces travaux.*

*Enfin, pour ces trois années et globalement pour les vingt-six années de ma vie, je saisis l'occasion qui m'est donnée pour exprimer toute ma gratitude envers ma famille, en particulier mes chers parents, mon père Mohamed, ma mère Iman dont le soutien constant depuis mon Liban natal agissait à distance comme le meilleur des catalyseurs. Pour rester dans ce domaine familial, de tout mon cœur, un grand merci à mon cher frère aîné le Dr. Moustafa ainsi qu'à mes chères sœurs Badria, Nissrine, Mayssaa, Najlaa et Rim.*

*Je ne saurai terminer sans adresser mes vifs et chaleureux remerciements à ma "sœur du cœur" Faten OBEID et son fils Arwad, à Vanessa EL- KHOURY, Elias AL ALAM, Adnan HNEINE, Emil OBEID, Bassem MOUAWAD et Dr. Siméon DIAMPENI.*

*Que toutes les personnes qui se reconnaîtront trouvent ici l'expression de ma profonde gratitude.*

## RESUME

Dans le domaine de l'électronique de puissance, les dispositifs en carbure de silicium (SiC) sont bien adaptés pour fonctionner dans des environnements à haute température, haute puissance, haute tension et haute radiation. Le carbure de silicium (SiC) est un matériau semi-conducteur à large bande d'énergie interdite. Ce matériau possède des caractéristiques en température et une tenue aux champs électriques bien supérieures à celles du silicium. Ces caractéristiques permettent des améliorations significatives dans une grande variété d'applications et de systèmes. Parmi les interrupteurs existants, le JFET en SiC est l'interrupteur le plus avancé dans son développement technologique, et il est au stade de la pré-commercialisation. Le travail réalisé au cours de cette thèse consiste à caractériser électriquement des JFET en SiC de SiCED en fonction de la température (25 °C-300 °C). Des mesures ont été réalisées en statique (courant-tension), en dynamique (capacité-tension) et en commutation sur charge R-L (résistance-inductance) et dans un bras d'onduleur. Un modèle multi-physique du transistor JFET de SiCED à un canal latéral a été présenté. Le modèle a été développé en langage MAST et validé aussi bien en mode de fonctionnement statique que dynamique en utilisant le simulateur SABER. Ce modèle inclut une représentation asymétrique du canal latéral et les capacités de jonction de la structure. La validation du modèle montre une bonne concordance entre les mesures et la simulation.

**MOTS-CLES :** carbure de silicium (SiC), JFET, composant de puissance, haute température, caractérisations électriques, modélisation analytique.

## **ABSTRACT**

In the field of power of electronics, silicon carbide (SiC) devices are well suited to operate in environments at high temperature, high power, high voltage and high radiation. The silicon carbide belongs to the class of wide band gap semiconductor material. Indeed, this material has higher values than the silicon ones for the temperature breakdown and a high electric field breakdown. These characteristics enable significant improvements in wide varieties of applications and systems. Among the existing switches, SiC JFET is the most advanced one in its technological development because it is at the stage of pre-marketing. The study realized during this thesis was to electrically characterize SiC JFETs from SiCED versus the temperature (25°C-300°C). The characteristics are based on static measurements (current-voltage), capacitive measurements (capacitive-voltage) and switching measurements in an R-L (resistor-inductor) load circuit and an inverter leg. A multi-physical model of the VJFET with a lateral channel is presented. The model was developed and validated in MAST language both in static and dynamic modes using the SABER simulator. The model includes an asymmetric representation of the lateral channel and the junction capacitances of the structure. The validation of the model shows a good agreement between measurements and simulation.

**Keywords:** Silicon carbide (SiC), Power Devices, JFET, high temperature, electrical characterization, analytic modeling.

## Tables des matières

<b>Tables des matières.....</b>	<b>1</b>
<b>Introduction générale.....</b>	<b>4</b>
<b>Sommaire.....</b>	<b>6</b>
<b>Chapitre1: Le SiC pour l'électronique de puissance.....</b>	<b>7</b>
1 Introduction.....	7
2 Pourquoi le SiC? .....	7
2.1 Un peu d'histoire.....	7
2.2 Propriétés du SiC.....	8
2.2.1 Aspect cristallographie.....	8
2.2.2 Propriétés électriques.....	10
3 Les composants de puissance en SiC.....	14
3.1 Les JFET en SiC.....	16
3.1.1 Principe de fonctionnement.....	15
3.1.2 JFET-SiC de SiCED.....	16
3.1.3 JFET-SiC de SemiSouth.....	20
3.2 Systèmes à base de JFET en SiC.....	21
4 Etat de l'art sur la caractérisation et sur la modélisation de JFET-SiC.....	27
4.1 Caractérisation électrique de JFET-SiC.....	27
4.1.1 Caractérisation électrique statique.....	27
4.1.2 Mesure capacitive C (V).....	29
4.1.3 Caractérisation dynamique en commutation.....	34
4.2 Modélisation de transistors JFET-SiC.....	37
4.2.1 Modèle SPICE du JFET-SiC.....	37
4.2.1.1 Equation du modèle du JFET en statique.....	39
4.2.1.2 Equation du modèle du JFET en dynamique.....	40
4.2.2 Modèle VHDL-AMS du JFET-SiC.....	41
4.2.2.1 Equation du modèle du JFET en statique.....	43
4.2.2.2 Equation du modèle du JFET en dynamique.....	44
<b>Sommaire .....</b>	<b>46</b>
<b>Chapitre2 : Caractérisation électrique du transistor JFET en SiC .....</b>	<b>47</b>
1 Introduction.....	47
2 Caractérisation électrique de transistors JFET-SiC de SiCED.....	47
2.1 Caractérisation électrique statique en mode de polarisation directe.....	48

2.1.1	Différents régimes de fonctionnement.....	51
2.1.2	Caractéristique de transfert en régime de saturation.....	52
2.1.3	Rôle de la température.....	53
2.2	Caractérisation électrique statique en mode de polarisation inverse.....	55
2.3	Caractérisation électrique statique en mode de fonctionnement direct bloqué.....	59
2.4	Caractérisation électrique statique de la jonction grille source.....	61
2.4.1	Caractérisation électrique en mode de polarisation directe.....	62
2.4.2	Caractérisation électrique en mode de polarisation inverse.....	63
2.5	Mesure C(V) sur le transistor JFET de SiCED.....	65
2.6	Caractérisation du JFET-SiC en commutation .....	71
2.6.1	Caractérisation en commutation sur charge RL.....	72
2.6.2	Caractérisation en commutation sur un bras d'onduleur.....	77
2.7	Mécanisme de dégradation dans le transistor JFET en SiC.....	84
2.7.1	Principe de l'expérience.....	84
3	Conclusion.....	91
	<b>Sommaire.....</b>	<b>93</b>
	<b>Chapitre3 : Modélisation du transistor JFET en SiC.....</b>	<b>94</b>
1	Introduction.....	94
2	Rappel sur le modèle du canal symétrique du JFET.....	95
2.1	Rappel sur les équations du modèle du canal symétrique du JFET.....	95
2.1.1	Equations du modèle du canal symétrique.....	96
3	Structure verticale du JFET SiCED.....	97
3.1	Modélisation du canal asymétrique du JFET SiCED.....	99
3.1.1	Equations du modèle du canal asymétrique.....	100
3.1.2	Relations entre les tensions grilles $u_{G1S}$ et $u_{G2S}$ et les extensions de ZCE $W1$ et $W2$ .....	103
3.1.3	Calcul du courant dans le canal dans les différents régimes de fonctionnements.....	105
3.1.3.1	Régime linéaire.....	105
3.1.3.2	Régime de pincement.....	107
3.1.3.3	Condition du blocage du canal asymétrique du JFET.....	109
3.1.4	Calcul des grandeurs électrique du VJFET (INFINEON) $R_{DS}^{ON}$ .et $i_{CH}^{SS}$ .....	113
3.1.4.1	Calcul du courant de saturation dans le canal latéral $i_{CH}^{SS}$ .....	113
3.1.4.2	Calcul de la résistance à l'état passant $R_{DS}^{ON}$ .....	114
3.1.5	Cas du blocage du VJFET.....	115

3.1.6	Capacité de jonction du VJFET.....	117
3.2	Extraction des paramètres du modèle du canal du JFET.....	118
3.2.1	Estimation de Z, a, VP.....	121
3.3	Validation du modèle.....	121
3.3.1	Validation des caractéristiques statiques.....	122
3.3.2	Validation de la caractéristique de transfert en saturation.....	123
3.3.3	Validation des caractéristiques dynamique en commutation sur charge R-L.....	125
3.3.4	Validation des caractéristiques en C(V) .....	128
4	Conclusion.....	133
	<b>Conclusion générale .....</b>	<b>134</b>
	<b>Références bibliographiques.....</b>	<b>136</b>
	<b>Annexe1.....</b>	<b>143</b>
1	Calcul de la tension de pincement $V_{CH}^P$ dans le canal asymétrique du JFET.....	143
2	Calcul du courant de pincement normalisé $\Delta$ du canal asymétrique du JFET .....	143
3	Calcul de la fonction $\omega$ .....	144
	<b>Annexe2.....</b>	<b>147</b>
1	Le simulateur SABER.....	147
2	Le langage MAST.....	147
2.1	Structure du programme.....	148
	<b>Annexe3.....</b>	<b>151</b>
1	Modèle du VJFET SiCED en langage MAST.....	151
2	Paramètres technologiques du VJFET SiCED.....	157

# Introduction générale

Dans le domaine de l'électronique de puissance les dispositifs en carbure de silicium, sont bien adaptés pour fonctionner dans des environnements à haute température, haute puissance, haute tension et haute radiation car le matériau semi-conducteur en silicium est moins performant. Le carbure de silicium possède en effet des caractéristiques en température et en tenue aux champs électriques bien supérieure au silicium, ces caractéristiques permettent le développement des améliorations significatives dans une grande variété d'application et des systèmes.

Depuis le début des années 90, le laboratoire Ampère s'est investi dans le développement de composants de puissance en carbure de silicium. Grâce à ses propriétés physiques telles que la largeur de bande d'énergie interdite, la mobilité, la conductivité thermique et le faible du niveau de dopage intrinsèque. Les bonnes performances en tenue en tension peuvent notamment permettre le développement des commutateurs à haute tension pour les applications de distribution d'électricité. Les capacités de fonctionnement à haute température peuvent permettre de développer des convertisseurs fortement intégrés et dans des environnements à haute température comme dans l'aéronautique et l'automobile.

Aujourd'hui des commandes hydrauliques sont utilisées car les convertisseurs statiques classiques en silicium ne fonctionnent pas à cette température.

Le grand gap du SiC permet la fabrication des composants ayant des courants de fuite plus faibles et de fonctionner à haute température. Ceci permet de réduire aussi le volume du système de refroidissement et pour une tenue en tension donné, le SiC permet de réaliser des composants avec une épaisseur de la région de dérive plus faible par rapport au silicium. Ainsi, la résistance à l'état passant et la charge stockée sont réduites, et par conséquent, les pertes en conduction et en commutation sont plus faibles.

Actuellement seules des diodes Schottky-SiC sont commercialisées. De nombreux autres composants prototypes ont été réalisés : des MOSFET, des JFET, des IGBT, des transistors bipolaires, des diodes bipolaires et des thyristors. Parmi les interrupteurs réalisés, le transistor JFET-SiC est le plus avancé dans son développement car il est au stade de la pré-commercialisation, et déjà échantillonné en nombre important.

Ce travail a pour objectif d'étudier la modélisation du JFET avec prise en compte de la température et de la dynamique.

La caractérisation et l'analyse de la dégradation d'un JFET soumis à un courant inverse sera aussi une problématique à suivre. Enfin l'application à l'analyse fine de l'interaction driver/JFET, notamment dans les phases d'amorçages de l'auto-alimentation est un objectif .

Dans ce mémoire, nous présentons, dans le premier chapitre un état de l'art sur le carbure de silicium qui décrit ses propriétés physiques et électriques comparées avec celles d'autres matériaux semi-conducteur. Nous présentons ensuite un état de l'art sur le JFET en SiC et les systèmes à base de SiC. Enfin nous aborderons un état de l'art sur la modélisation et la caractérisation électrique et du JFET en SiC.

Nous introduisons dans le deuxième chapitre les résultats de mesures expérimentales que nous avons réalisé sur des transistors JFET-SiC fabriqués par SiCED.

Dans le troisième chapitre, nous allons présenter notre travail sur le développement d'un modèle multi-physique non empirique du transistor VJFET du SiCED. Ce modèle inclut une représentation asymétrique du canal latéral et les capacités de jonction de la structure et qui tient compte de la température. Une validation du modèle en statique et en dynamique sera également présentée.

<b>Sommaire.....</b>	<b>6</b>
<b>Chapitre1: Le SiC pour l'électronique de puissance.....</b>	<b>7</b>
1 Introduction .....	7
2 Pourquoi le SiC ?.....	7
2.1 Un peu d'historique .....	7
2.2 Propriétés du SiC.....	8
2.2.1 Aspect cristallographie .....	8
2.2.2 Propriétés électriques.....	10
3 Les composants de puissance en SiC .....	14
3.1 Les JFET en SiC.....	15
3.1.1 Principe de fonctionnement.....	15
3.1.2 JFET-SiC de SiCED .....	16
3.1.3 JFET-SiC de SemiSouth.....	19
3.2 Systèmes à base de JFET en SiC.....	21
4 Etat de l'art sur la caractérisation et sur la modélisation de JFET-SiC .....	27
4.1 Caractérisation électrique de JFET-SiC .....	27
4.1.1 Caractérisation électrique statique.....	27
4.1.2 Mesure capacitive C (V).....	29
4.1.3 Caractérisation dynamique en commutation .....	34
4.2 Modélisation de transistors JFET-SiC.....	37
4.2.1 Modèle SPICE du JFET-SiC .....	37
4.2.1.1 Equation du modèle du JFET en statique .....	39
4.2.1.2 Equation du modèle du JFET en dynamique.....	40
4.2.2 Modèle VHDL-AMS du JFET-SiC.....	41
4.2.2.1 Equation du modèle du JFET en statique .....	43
4.2.2.2 Equation du modèle du JFET en dynamique.....	44

# Chapitre 1

## Le SiC pour L'électronique de puissance

### 1 Introduction

La majorité des composants microélectroniques est réalisée à partir de silicium (Si) à bande interdite normale. Le silicium n'est plus fiable de point de vue électrique dès 200 °C à 1200 V. De plus, ses propriétés physiques montrent qu'il n'est pas possible de maintenir une forte tenue en tension avec une faible chute de tension et une commutation rapide notamment dans les conditions extrêmes. Une solution est d'employer un semi-conducteur à large bande interdite. Depuis quelques années, la recherche s'est portée sur l'utilisation des matériaux suivant: AlN, BN, GaN, GaP, SiC et le diamant. Parmi ces matériaux le carbure de silicium (SiC) a fait l'objet d'une attention particulière de la part de la communauté scientifique.

L'appartenance à cette famille lui confère des potentialités très convoitées dans l'électronique à haute puissance, haute température et haute fréquence. Les propriétés physiques de ce matériau (champ électrique critique, conductivité thermique élevée, vitesse de saturation des porteurs importante) en font un matériau bien adapté pour l'électronique de puissance. La théorie et l'expérience montrent que les dispositifs en carbure de silicium (SiC) ont apporté des améliorations exceptionnelles par leur rapidité de commutation avec un minimum de perte surtout à des températures supérieures à 200 °C alors que le silicium n'est plus utilisable.

### 2 Pourquoi le SiC ?

#### 2.1 Un peu d'histoire

Les premières mentions du SiC remontent à 1824, cette découverte est attribuée à Berzelius [Brezelius 1824]. Sur terre, ce matériau n'existe pas sous forme naturelle, la plupart des échantillons naturels sont d'origine extra-terrestre, apportés par des météorites. En 1905, Moisson identifia du SiC dans une météorite trouvée dans le célèbre « Meteor Crater » en

Arizona [Moisson 1905]. Le premier procédé de fabrication industrielle du SiC date de 1891, celui-ci a été mis au point par Acheson [Acheson 1891]. Au début du siècle dernier, en 1907 Round [Round 1907] découvre des propriétés électroluminescentes du SiC, ce qui en fait l'un des premiers semi-conducteurs connus, mais son utilisation en tant que telle ne s'est pas développée, la raison étant la qualité médiocre du matériau de base obtenu (obstacle technologique). Il faut attendre les années 1950 pour retrouver une nouvelle période d'investigations. Ce sont les secteurs du militaire et de l'aérospatiale qui ont à nouveau porté un intérêt sur le SiC.

L'objectif était de développer des composants fonctionnant à haute température, haute fréquence, et forte puissance en milieu hostile (température élevée, radiations...) et à haute tension. En 1955, tout d'abord, Lely [Lely 1955] a mis au point une méthode de fabrication de substrats relativement purs et présentant une faible densité de défauts. De nombreuses équipes de recherche aux États-Unis, en Russie, en Allemagne et au Japon se lancent alors sur l'étude du SiC. Puis cet engouement a été freiné par l'impossibilité d'accroître la taille des substrats qui a conduit, lors des années suivantes, à une baisse de l'intérêt porté au SiC et à l'abandon de l'activité, sauf en Russie.

1978 est une année majeure dans le SiC avec l'arrivée de la technique de croissance par sublimation, en fait une méthode dérivée de celle de Lely [Tariov 1978]. Au début des années 1980 les substrats deviennent plus grands, et ceci relance les études sur le SiC dans de nombreux pays : aux États-Unis, au Japon et en Europe. En 1979, les premières diodes électroluminescentes ont été fabriquées, et en 1987 la société Cree Research Inc a été créée puis elle a commencé à commercialiser les premiers substrats de SiC en 1991 [Cree 2008].

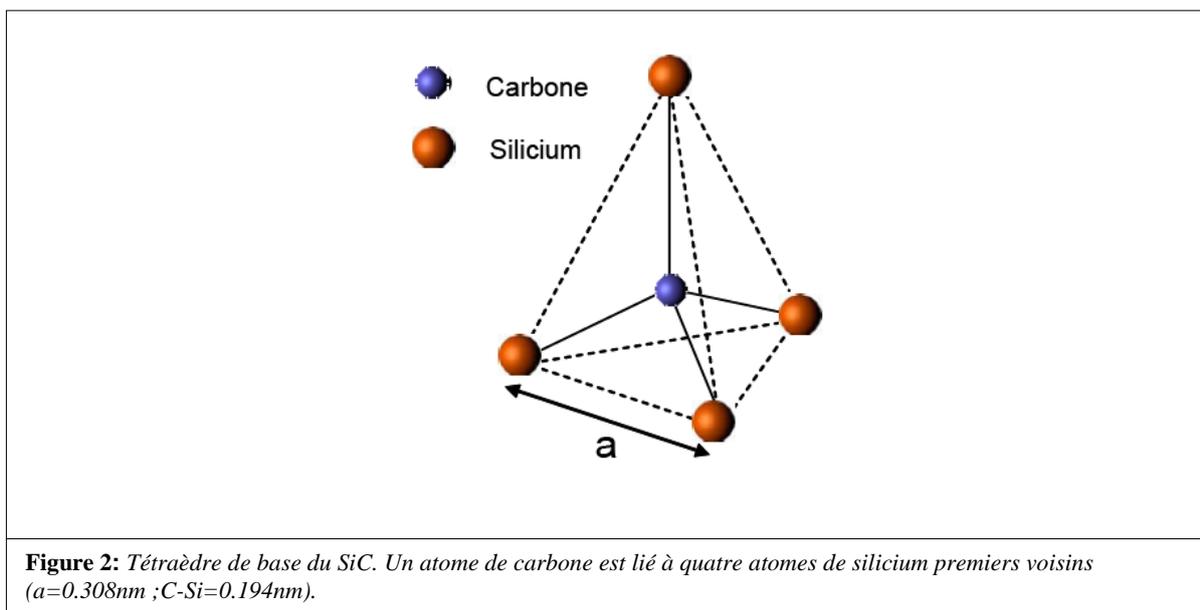
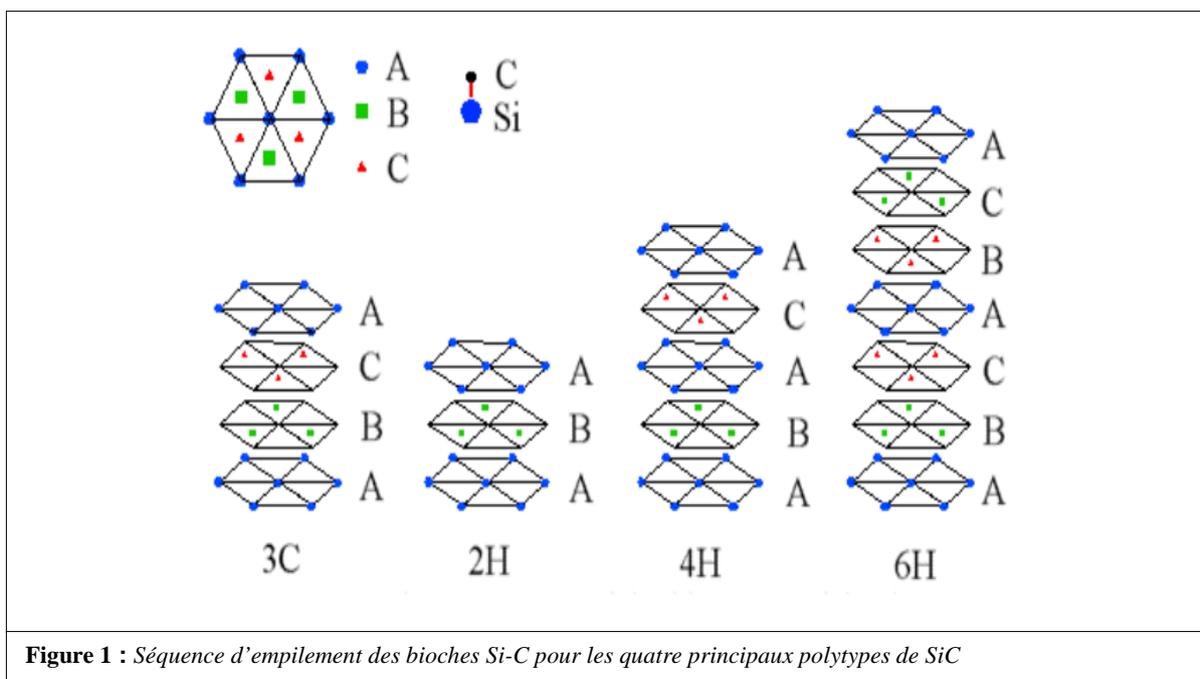
## **2.2 Propriétés du SiC**

### **2.2.1 Aspect cristallographie**

Le carbure de silicium résulte d'une synthèse d'atome de carbone et de silicium. Il n'existe pas qu'une seule structure cristalline mais plusieurs qui se différencient les unes des autres par l'agencement des couches carbone et silicium (bicouche) appelées polytypes et qui sont approximativement répertoriées au nombre de 200. Les plus utilisés en électronique de puissance sont le 6H, 4H (H pour hexagonal), le 3C (C pour cubique) et le 15R (R pour rhomboédrique). Cette nomenclature proposée par Ramsdell [Ramsdell 1947] identifie chaque polytype en juxtaposant le nombre de plans cristallins compacts contenus dans une séquence et le type cristallographique. Chaque composé cristallographique, ou polytype, est caractérisé

par une séquence unique d'empilement de bicouches Si-C. Une bicouche est la superposition d'un empilement compact d'atomes de silicium et d'un empilement compact d'atomes de carbone. Chaque bicouche s'empile selon trois positions distinctes nommées A, B, C (Figure 1).

Chaque atome d'une espèce chimique se trouve au centre d'un tétraèdre formé de quatre atomes de l'autre espèce en position de premiers voisins (Figure 2) [Botsoa 2008].



Aujourd'hui l'essentiel des composants de puissance est fabriqué avec de SiC-4H.

## 2.2.2 Propriétés électriques

Les caractéristiques électriques du carbure de silicium diffèrent suivant le prototype. Le carbure de silicium SiC est classé dans les semi-conducteurs à large bande interdite. Ceci signifie que l'espace d'énergie, dit interdit (ou Gap) entre la bande de valence et la bande de conduction est plus grande que pour le silicium.

Cela implique par exemple, qu'il est moins probable que les électrons thermiquement excités franchissent le Gap. Et par conséquent, les composants en SiC peuvent travailler à des températures supérieures à celles du Si et notamment à 500 °C.

Parmi les nombreux polytypes de SiC, le 4H-SiC est le plus attrayant du à la mobilité de porteurs plus élevée. Certaines des propriétés électriques des polytypes SiC comparées à quelques autres semi-conducteurs sont énumérées dans le Tableau 1 [Rodriguez 2005]. Nous citons également le Silicium (Si), l'Arsenic de gallium (GaAs), le Nitrure de gallium (GaN) et le diamant (C) comme références.

<i>Propriété à T = 300 K</i>	<i>Si</i>	<i>GaAs</i>	<i>3C-SiC</i>	<i>6H-SiC</i>	<i>4H-SiC</i>	<i>GaN</i>	<i>C</i>
$E_g$ (eV)	1.12	1.42	2.3	2.96	3.26	3.4	5.45
$n_i$ (cm <sup>-3</sup> )	$1.5 \times 10^{10}$	$2.1 \times 10^6$	6.9	$2.3 \times 10^{-6}$	$8.2 \times 10^{-9}$	$1.6 \times 10^{-10}$	$1.6 \times 10^{-27}$
$\mu_n$ (cm <sup>2</sup> /V.s)*	1200	6500	750	// C : 85 ⊥ C : 400	// C : 950 ⊥ C : 800	1000	1900
$\mu_p$ (cm <sup>2</sup> /V.s)*	420	320	40	90	115	30	1600
$V_{sat}$ (cm/s)	$1 \times 10^7$	$2 \times 10^7$	$2.5 \times 10^7$	$2 \times 10^7$	$2 \times 10^7$	$2.5 \times 10^7$	$2.7 \times 10^7$
$E_c$ (MV/cm)**	0.2	0.4	2	2.4	2.5	3.3	5.6
$\lambda$ (W/cm.K)	1.5	0.5	4.9	4.9	4.9	1.3	20
$\epsilon_r$	11.8	12.8	9.6	9.7	10	8.9	5.5

**Tableau 1 :** Comparaison des propriétés électriques des matériaux semi-conducteurs de puissance (Si et GaAs) et les matériaux semi-conducteurs à grand gap (SiC, GaN et diamant).

La Figure 3 reprend quelques-unes des propriétés sous forme graphique, permettant une comparaison plus aisée [Meyer 2005].

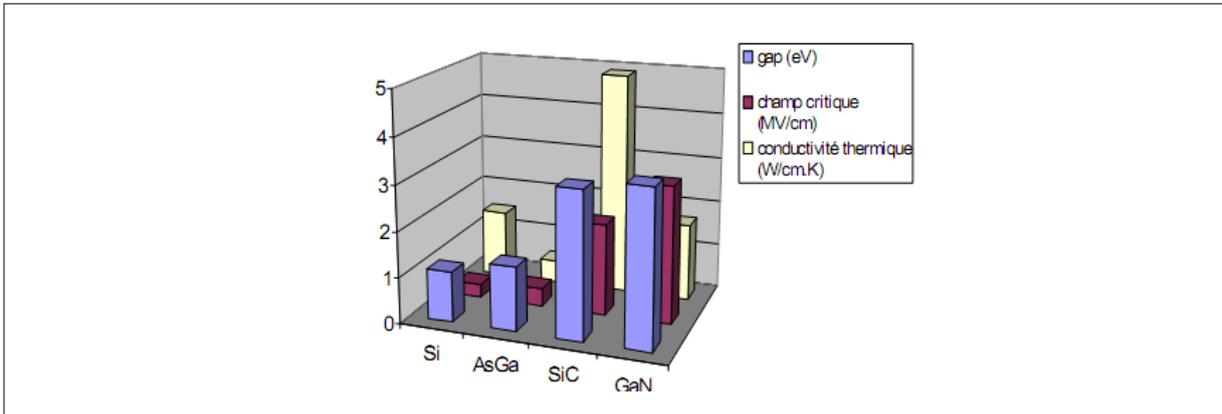


Figure 3 : Comparaison de quelques propriétés physiques de différents semi-conducteurs [Meyer'05].

La concentration en porteurs intrinsèques  $n_i$  est déterminée par l'énergie de la bande interdite  $E_g$ , ainsi que la densité effective de la bande de conduction  $N_C$  et de valence  $N_V$ . La concentration en porteur intrinsèque est définie comme:

$$n_i(T) = \sqrt{N_C N_V} e^{\left(-\frac{E_g}{2KT}\right)} \quad (1)$$

La concentration intrinsèque augmente avec la température, lorsqu'elle dépasse le dopage de la région faiblement dopée le composant ne peut plus fonctionner. La très petite concentration intrinsèque du SiC lui confère un faible courant de fuite même à température élevée. La Figure 4 montre l'évolution de la concentration de porteurs intrinsèques en fonction de la température en tenant compte de la variation de  $E_g$  avec la température pour les polytypes SiC-4H, SiC-6H et SiC-3C [Raynaud 2007].

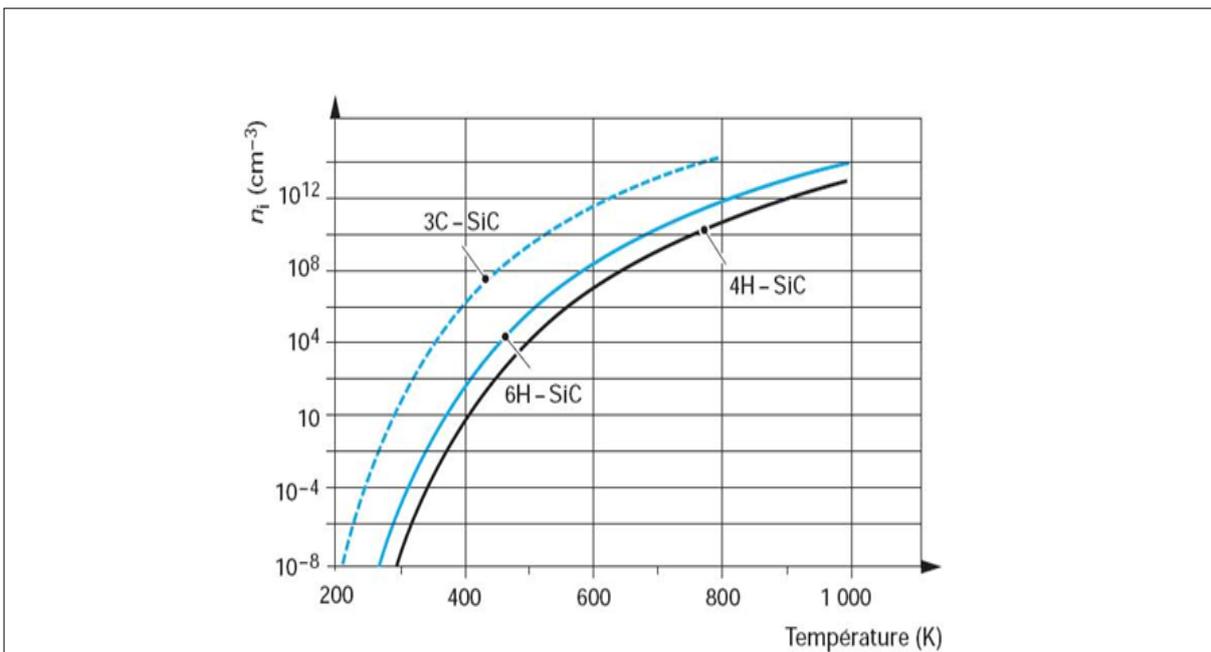


Figure 4 : Evolution de la concentration de porteurs intrinsèques en fonction de la température en tenant compte de la variation de  $E_g$  avec la température pour le poly types SiC-4H, SiC-6H et SiC-3C [Raynaud 2007].

D'après la Figure 4 on voit clairement que pour le 6H et le 4H, la concentration intrinsèque reste inférieure aux dopages généralement utilisés pour le SiC ( $>10^{14} \text{ cm}^{-3}$ ) et par conséquent le SiC fonctionne en régime extrinsèque jusqu'à 1000 K au minimum [Raynaud 2007].

Le carbure de silicium a un champ électrique critique  $E_C$  environ dix fois plus grand que celui du silicium. La tension de claquage pour une diode plane NPT (Non Punch Through) de largeur infinie est donnée par:

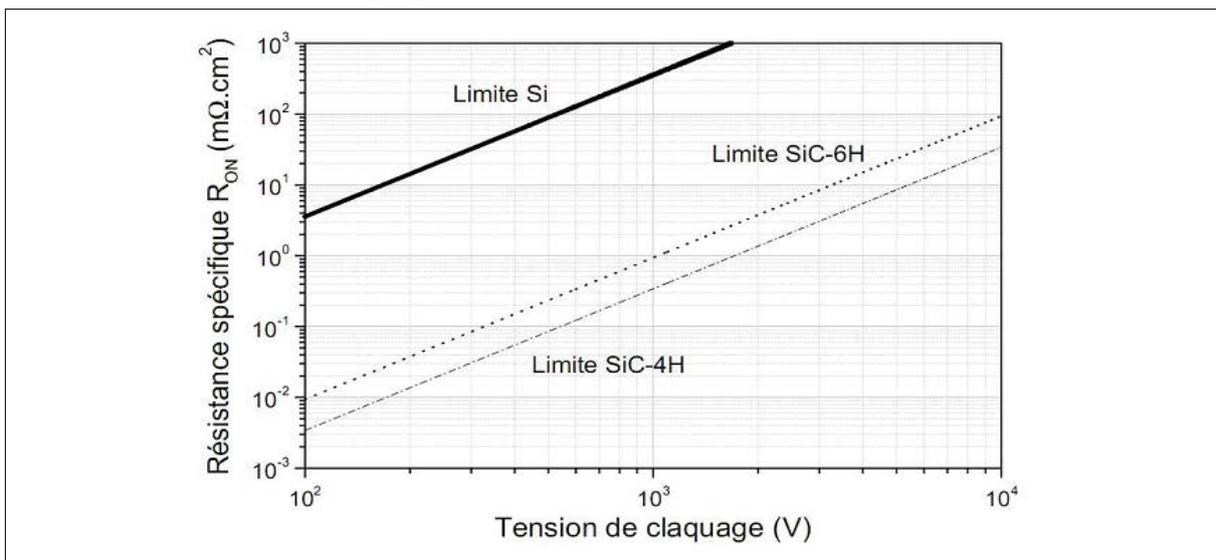
$$V_B = \frac{E_C W_B}{2} = \frac{qN_D}{2\epsilon} W_B^2 \quad (2)$$

Pour la même tension de claquage, l'épaisseur de la zone de charge d'espace  $W_B$  sera environ 10 fois plus mince que pour le silicium, et le dopage  $N_D$  sera environ 100 fois plus élevé. Ces améliorations permettront la réalisation de composants unipolaires avec une résistance plus faible.

L'équation 3 permet de déterminer la résistance spécifique à l'état passant d'un composant unipolaire de type n [Raynaud 2010] :

$$R_{on,sp} = \frac{4 V_B^2}{\epsilon \mu_n E_C^3} = \frac{W_B}{q \mu_n N_D} \quad (3)$$

Il est ainsi possible de tracer la courbe de la résistance spécifique en fonction de la tenue en tension. La Figure 5 représente la résistance théorique de la couche épitaxiale en fonction de la tension de claquage à 25 °C



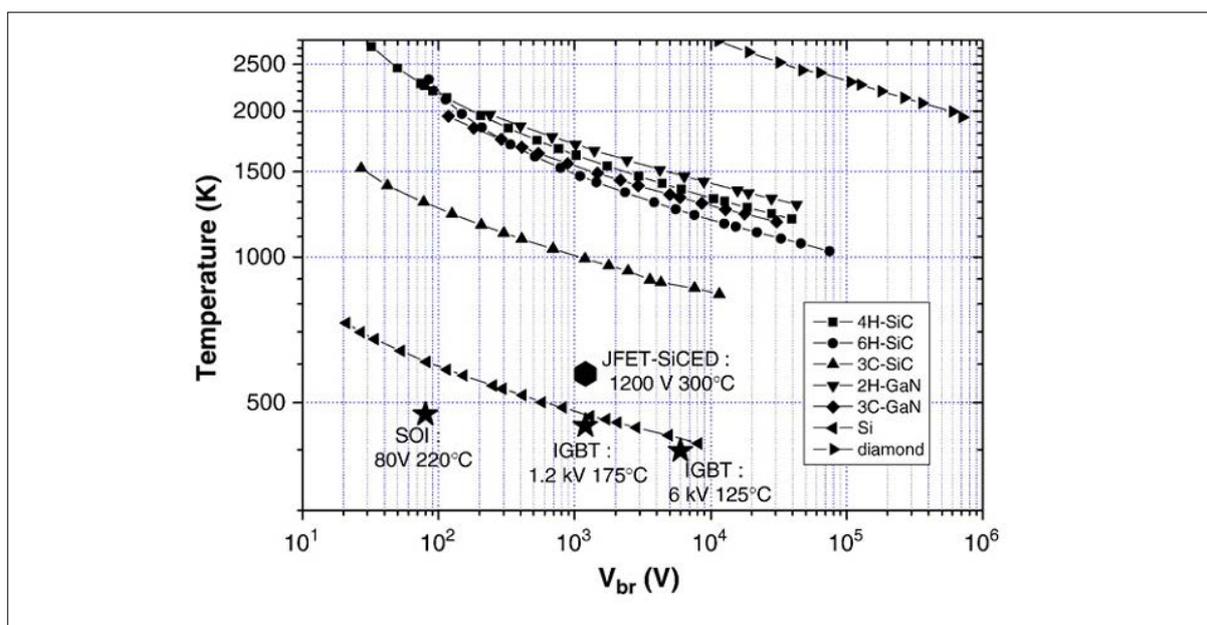
**Figure 5 :** Limite de la résistance spécifique à l'état passant en fonction de la tenue en tension [Raynaud 2010].

La Figure 5 montre clairement la supériorité du SiC par rapport au Si. On peut noter également que pour un composant unipolaire avec des pertes à l'état passant convenable, la

limite du Si est environ 1 kV, le SiC permet de réaliser un composant dépassant 10 kV. De même pour une tension donnée, la résistance spécifique à l'état passant est plus faible de trois décades en faveur du SiC.

Dans les applications à haute fréquence, les composants en SiC sont plus performants que ceux en Si. Cela est dû à une vitesse de saturation plus élevée et à une permittivité plus faible par rapport au Si.

En combinant les avantages du SiC, cela apporterait une importante réduction de l'encombrement des systèmes de puissance. Le premier effet est la réduction du nombre de composants mis en série pour les applications haute tension et puis la capacité à fonctionner à haute température permettant la réduction des systèmes de refroidissement. La Figure 6 montre à titre indicatif les températures maximales d'utilisation des différents matériaux semi-conducteurs lorsque le courant de génération thermique est pris en compte à la montée en température [Raynaud 2010].



**Figure 6 :** Température maximale de jonction des principaux polytypes du carbure de silicium comparés au silicium et à d'autres semi-conducteurs à large bande interdite [Raynaud 2010]

En dehors des problèmes de tenue en tension et de courant de fuite, ce sont ceux liés à la tenue des oxydes de grilles avec la température et sous fort champ électrique qui limitent la durée de vie des dispositifs à grille isolée [Manca 2000]. De manière corollaire, les effets d'injection de porteurs chauds dans les oxydes sont aussi une limitation à l'utilisation de ces composants à haute température [Kanert 2003].

### 3 Les composants de puissance en SiC

De nos jours la majorité des composants de puissance à semi-conducteur sont réalisés dans la filière silicium. Les composants dits de puissance ont des tenues en tension élevées (>600 V) et des calibres en courants importants (>10 A). La limitation des composants de puissance en silicium dans les applications à très haute tension (>10 kV), et dans les applications à haute température (>150 °C) contribue à la recherche sur les composants de puissance en carbure de silicium.

Comme il a été vu, le carbure de silicium possède des qualités indéniables pour les applications de puissance. Ainsi, de nombreux chercheurs ont travaillé sur la réalisation de démonstrateurs tels que les diodes (Schottky ou bipolaire), les JFET, MOSFET et thyristors [Brosselard 2004]. La mise au point de certains composants a pu mettre en valeur de manière significative, les meilleures performances du SiC par rapport au Si pour les très hautes tensions. Les travaux de certains groupes ont mené à la commercialisation de composants de puissance en SiC qui sont disponibles depuis quelques années. La réalisation de composants de puissance en carbure de silicium impose des opérations différentes de celle des composants en Si dû à ses propriétés physico-chimiques.

Les diodes Schottky en SiC ont été les premiers composants de puissance en carbure de silicium effectivement commercialisés. Leur apparition sur le marché a été en 2001 par la société INFINEON [Lorenz 2007]. Les avancées technologiques ont été importantes sur ce composant et ont permis la production industrielle, mais ce composant est encore aujourd'hui très peu connu des utilisateurs potentiels et l'intérêt reste limité, surtout en l'absence d'un commutateur SiC. Les composants unipolaires présentent l'avantage d'avoir une vitesse de commutation très rapide ainsi que la continuité de l'augmentation de leurs performances de calibre en courant et en tenue en tension mais ils ont l'inconvénient d'avoir un courant de fuite important à haute température puis sont apparues les diodes Schottky, (JBS) développées pour associer les meilleures performances des diodes Schottky (SBD) et des diodes PiN (Tenue en tension, faible courant de fuite, chute de tension faible à l'état passant, caractéristique statique de la diode PiN en fonction de la température, grande vitesse de commutation avec de faibles pertes...). Ces diodes ont été commercialisées en 2006 et sont la 2<sup>ème</sup> génération pour Infineon [Hancock 2006]. Elles ont été développées pour réduire le stress sur les interfaces Schottky par le champ citrique. Avec la commercialisation des diodes Schottky SiC, plusieurs recherches ont été réalisées pour le développement de diodes PiN en SiC. Ces diodes sont classées dans les applications hautes tensions supérieures à 2 kV et hautes

températures supérieures à 150 °C [Mrinal 2006]. En termes de tenue en tension, le meilleur démonstrateur a été réalisé par Sugawara [Sugawara 2001] et aussi en termes de puissance Hull a réalisé une diode PiN avec une tenue en tension de 4,5 kV et un courant de 180 A [Hull 2006].

Dans ce cas idéal, une seule diode de ce type pourrait faire partie d'un convertisseur de 810 kW. Malgré ses performances prometteuses, la diode PiN en SiC n'a pas encore atteint la maturité commerciale du fait de la présence d'une dérive de la tension directe ( $V_f$ ) à ces bornes. Ce problème apparaît comme une augmentation de la chute de tension en polarisation directe avec le temps de fonctionnement [Hefner 2004]

Parmi les composants de puissance unipolaires en SiC les JFET en SiC sont à l'heure actuelle les interrupteurs les plus avancés dans leur développement. Nous présentons par la suite un état de l'art sur les JFET en SiC.

### 3.1 Les JFET en SiC

#### 3.1.1 Principe de fonctionnement

Le concept du transistor JFET (Junction Field Effect Transistor) a été décrit par Shockley [ Shockley 1952]. Il est également connu sous le nom de SIT ( Static Induction Transistor ). Il possède des avantages similaires au MOSFET, à savoir une grande impédance d'entrée et une aptitude à commuter rapidement. C'est un dispositif semi-conducteur unipolaire qui utilise un seul type de porteur n ( $v_{GS} < 0$ ), il repose sur un contrôle du courant de drain à l'aide d'un champ électrique générée par une polarisation entre grille et source [Massobrio 1993].

Ce type de composant à semi-conducteur est basé sur l'existence d'un canal conducteur dont la conductance peut être modulée à l'aide d'une tension appliquée à la grille comme le montre la Figure 7 [Brosselard 2004]. La conduction entre drain et source s'effectue à travers le canal de type N entre les deux couches de type P connectées à la grille. Ce canal a une longueur  $L$  définie par les dimensions des diffusions ou des implantations P et une épaisseur  $2a$  modulée par les extensions  $x_n$  des zones de charge d'espace des jonctions PN.

Une tension  $v_{GS}$  négative appliquée sur la grille entraîne une augmentation de l'extension de zone d'espace réduisant ainsi la section du canal conducteur et augmentant la résistance de celui-ci. La tension  $v_{DS}$  positive appliquée sur le drain a pour effet d'accroître la polarisation en inverse des jonctions PN et, par conséquent, d'augmenter l'extension des zones de charge d'espace au voisinage du drain comme montré à la Figure 7.

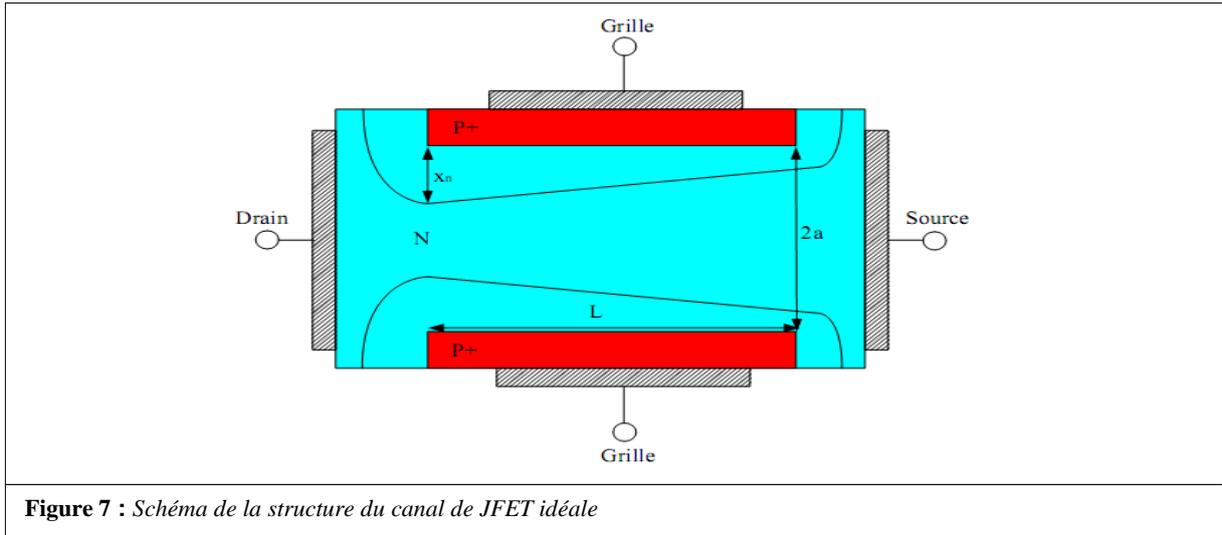


Figure 7 : Schéma de la structure du canal de JFET idéale

Ces composants permettent d'obtenir des résistances séries faibles ( $R_{ON}=14 \text{ m}\Omega.\text{cm}^2$  pour  $V_{BR} = 1800 \text{ V}$ ) [Mittl 2000]. Sheppard et Ivanov ont effectués des essais sur le JFET pour des applications hautes fréquences [Sheppard 1998] [Ivanov 1997].

### 3.1.2 JFET-SiC de SiCED

L'interrupteur SiC le plus avancé dans son développement à l'heure actuelle est certainement le JFET puisqu'il est au stade de la pré-commercialisation. La société INFINEON par l'intermédiaire de son centre de recherche SiCED est la plus avancée pour le moment. Les transistors JFET-SiC fabriqués par SiCED ont une conception verticale et latérale, Peter Friedrichs [Friedrichs 2001] a étudié deux types de structures verticales dans les recherches réalisées par SiCED sur le développement du JFET-SiC. La Figure 8 montre une demi-cellule pour chaque type de structures étudiées.

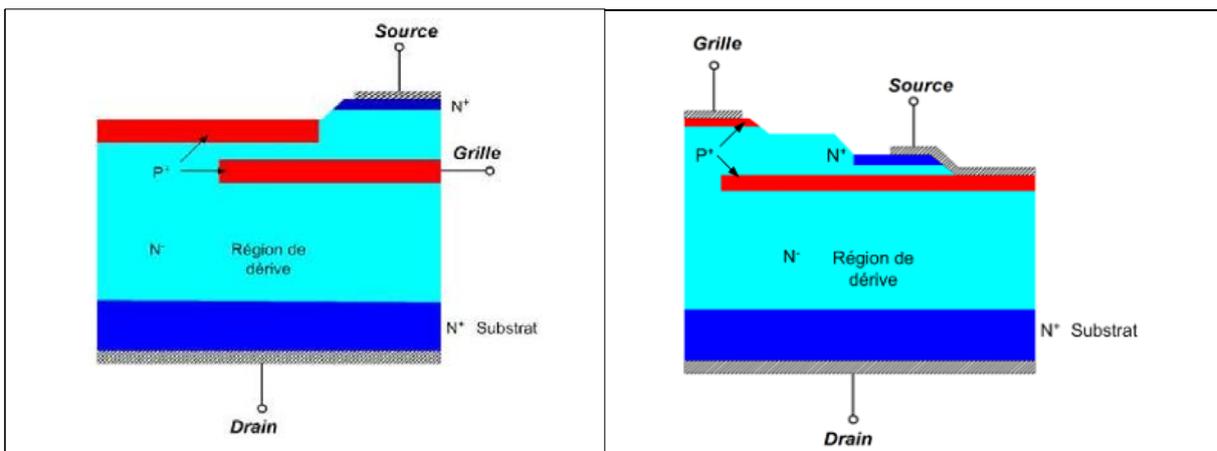


Figure 8 : Structure d'une demi cellule du VJFET-SiC réalisée par SiCED, type A à gauche et type B à droite [Friedrichs 2001].

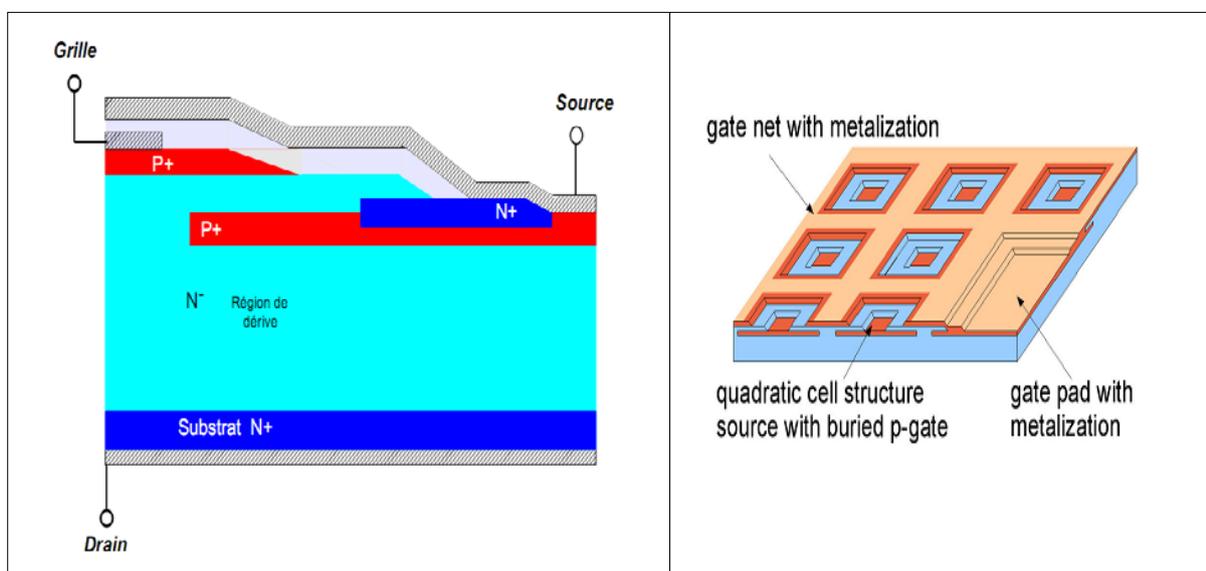
Les deux types ont été réalisés sur un substrat 4H-SiC de type N de Cree avec une résistivité spécifique entre  $14 \text{ m}\Omega.\text{cm}^2$  et  $24 \text{ m}\Omega.\text{cm}^2$ . Les deux structures présentent une

couche enterrée de type P<sup>+</sup> qui a été implantée sélectivement dans la première couche épitaxiée de type N<sup>-</sup>. Entre cette couche et la seconde couche de type P<sup>+</sup>, en haut de la structure, un canal latéral est formé pour contrôler le courant du composant. Cette solution permet la conception de la région de contrôle d'une façon indépendante de la tension de blocage désirée. Cette région détermine la tension de pincement et le courant de saturation du composant.

La structure de type A présente une très faible résistance à l'état passant ou le courant circule directement de la région de source à travers le canal vers la région de dérive. Par contre, cette structure présente une chute de tension de 1,4 V pour une densité de courant de 100 A/cm<sup>2</sup>. Cependant cette structure possède une large capacité de Miller due à une large surface de la capacité grille-drain, ce qui limite la vitesse de commutation du composant.

Dans la structure de type B, la couche enterrée P<sup>+</sup> est connectée électriquement avec la source de se qui permet de diminuer la capacité de Miller et d'augmenter la vitesse de commutation. L'inconvénient de ce type est la nécessité d'avoir un pré-canal entre la région de la source et le canal qui augment la résistance du composant à l'état passant.

Une autre structure verticale du JFET SiCED a été développée [Rudolf 2010] qui améliore la structure de type B. La Figure 9 montre une demi-cellule de cette structure JFET fabriquée par SiCED ainsi que la topographie de la puce



**Figure 9** : Structure VJFET-SiC réalisée par SiCED (à gauche) et la topographie de la puce (à droite) [Rudolf 2010].

La structure de ces JFET (à gauche) a été réalisée sur un substrat 4H-SiC type-n avec une résistance spécifique entre 18 et 25 mΩ.cm<sup>2</sup> et qui possèdent une couche enterrée de type P<sup>+</sup> connectée électriquement avec la source ce qui permet de diminuer la capacité de Miller et augmenter la vitesse de commutation [Friedrichs 2000]. Une première couche épitaxiale de

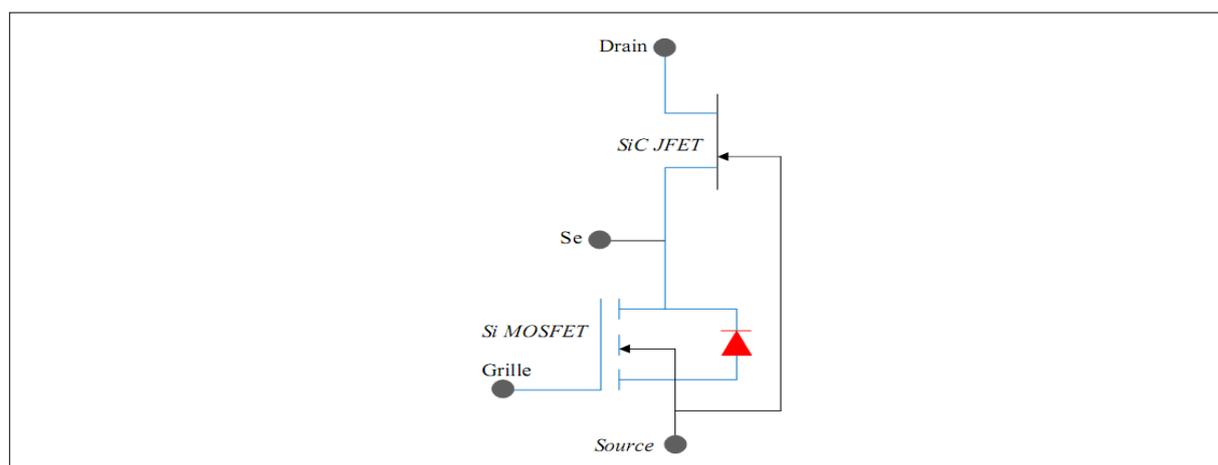
type N a été réalisée sur le substrat par LPCVD (Low Pressure Chemical Vapor Deposition). La couche enterrée P<sup>+</sup> a été implantée de manière sélective dans la première couche épitaxiée N<sup>-</sup>.

Entre cette couche et la seconde couche de type P<sup>+</sup> en haut de la structure, un canal latéral est formé pour contrôler le courant, ce qui permet la conception de la région de contrôle qui est formé par les deux couches P<sup>+</sup> d'une façon indépendante de la tension de blocage désirée.

Dans le cas du blocage, la chute de tension entre la couche enterrée P<sup>+</sup> et le substrat sont maintenus par la couche faiblement dopée N<sup>-</sup>. Entre la grille et la source, une couche d'oxyde isolant de 400 nm a été déposée par PECVD (Plasma Enhanced Chemical Vapor Deposition).

Les composants réalisés par Infineon (100 mΩ-1200 V) et qui vont prochainement être commercialisés sont probablement réalisés avec une structure très proche, avec une résistance spécifique de 9 mΩ.cm<sup>2</sup> (figure 5).

Par contre, les transistors fabriqués par SiCED sont de nature "Normally-On" ce qui rend plus difficile leur mise en œuvre dans des applications telles que l'onduleur car à la mise sous tension l'entrée et la sortie se trouvent court-circuités. Une solution a été développée par la société Infineon pour réaliser un composant de type "Normally-Off" dans une configuration cascade (Figure 10). Dans cette configuration le JFET SiC est connecté en série avec un MOSFET-Si basse tension.



**Figure 10** : Description schématique du montage du JFET SiCED dans une configuration Cascade [Friedrichs 2002].

Par contre, à l'ouverture du MOSFET-Si, la chute de tension à ces bornes augmente pour atteindre la tension de pincement du JFET-SiC ce qui le bloque. L'inconvénient de cette configuration est la température maximale de fonctionnement limitée par le MOSFET-Si.

SiCED proposait aussi des composants JFET Normally-On, sous forme de composant ayant une tenue en tension de 1500 V et un calibre de courant de 15 A. De nombreuses recherches ont été réalisées pour mettre en place un JFET qui soit normalement ouvert (Normally-OFF). Dans ce domaine, Zhao a réalisé un JFET-SiC normalement ouvert avec une tenue en tension de 11 kV [Tone 2004]. Pour réaliser le composant, une couche de dérivation de 120  $\mu\text{m}$  dopée à  $4,9 \times 10^{14} \text{ cm}^{-3}$  a été utilisée. La densité de courant enregistrée à  $V_{\text{DS}} = 3 \text{ V}$  et à  $V_{\text{GS}} = 3,5 \text{ V}$  est de  $22,2 \text{ A/cm}^2$ . Cette densité de courant correspond à une résistance spécifique de  $130 \text{ m}\Omega \cdot \text{cm}^2$ . La technologie de fabrication est basée sur une structure en tranchée TI-JFET (Trench Implanted JFET). La Figure 11 montre la structure du TI-JFET réalisée par Zhao. Un JFET en SiC 1200 V à canal vertical avec une large surface active de  $0,15 \text{ cm}^2$  a été étudié [Veliadis 2008]. Le courant de sortie de ce JFET s'élève à 28 A avec une tension d'entrée de 2 V et une résistance spécifique de  $15 \text{ m}\Omega \cdot \text{cm}^2$ . Généralement, pour réaliser un VJFET normalement ouvert, l'extension de la zone de charge d'espace sous polarisation nulle de la jonction de grille doit être suffisamment large afin de bloquer le canal de conduction et empêcher la circulation du courant.

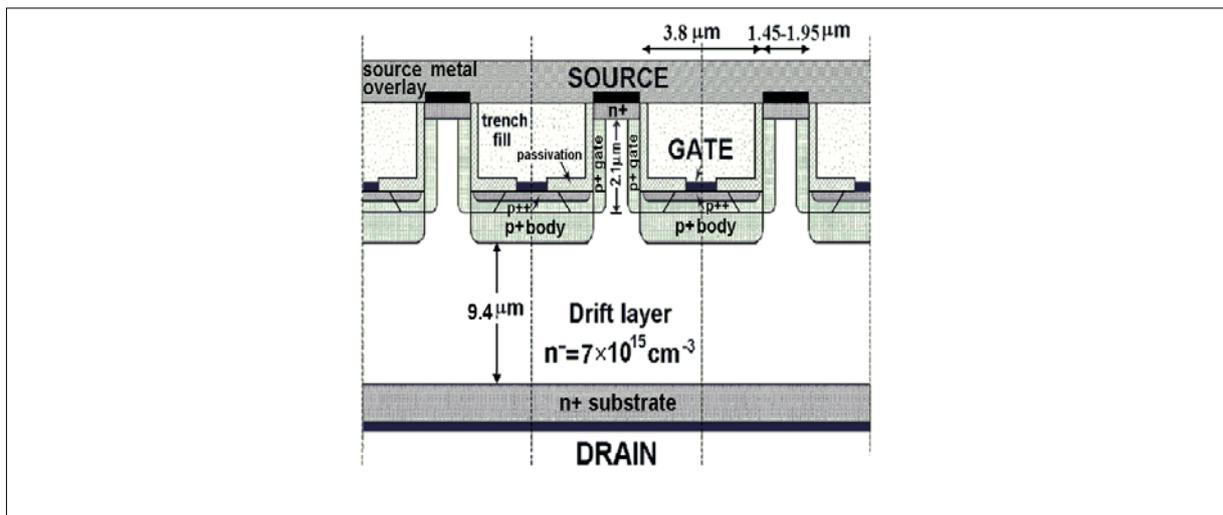


Figure 11 : Vue en coupe d'une structure du TI-JFET 11 kV fabriquée par Zhao [Tone 2004].

Cela nécessite la réalisation du composant avec un canal très étroit ou avec un dopage faible. Les deux mesures conduisent à augmenter l'influence du canal sur la résistance à l'état passant et sur le courant de saturation et donc la résistance à l'état passant augmente.

### 3.1.3 JFET-SiC de SemiSouth

Les transistors JFET-SiC proposés par SemiSouth ont une structure verticale pure [Mazzola 2004]. Les JFET à canal vertical peuvent assurer simultanément une faible

résistance à l'état passant et une tenue en tension élevée tout en optimisant la structure de la grille. Les transistors développés par SemiSouth ont une tenue en tension varie de 600 V à 1200 V, avec une résistance spécifique de  $1 \text{ m}\Omega\cdot\text{cm}^2$  à  $10 \text{ m}\Omega\cdot\text{cm}^2$ . La Figure 12 représente la structure du transistor JFET SiC fabriqué par Semi South [Casady 2004].

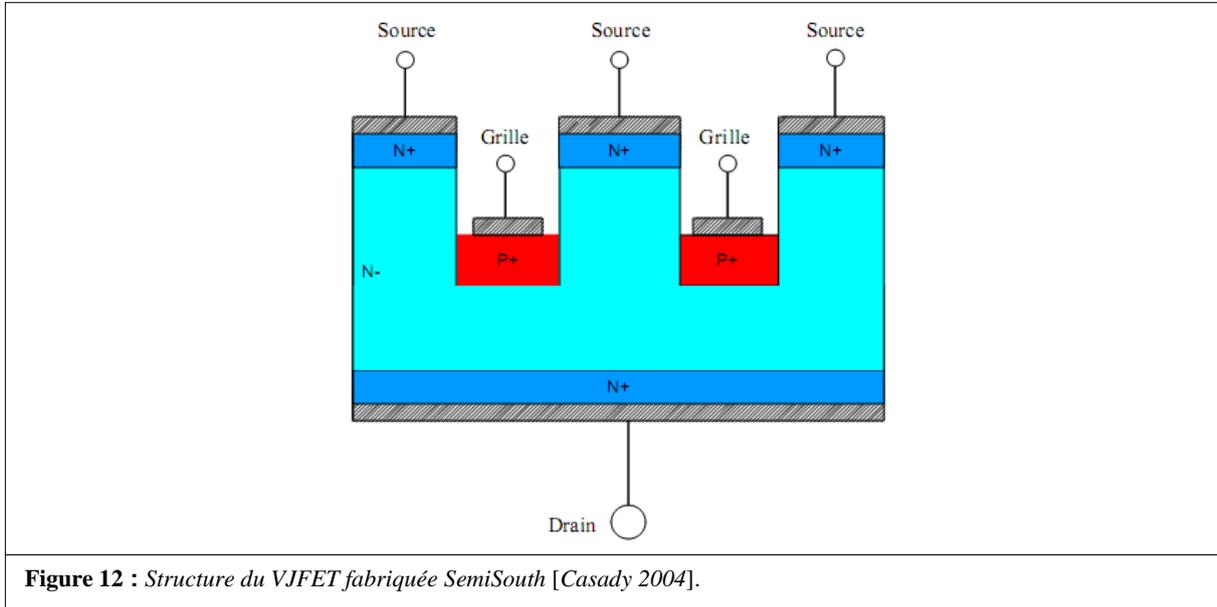


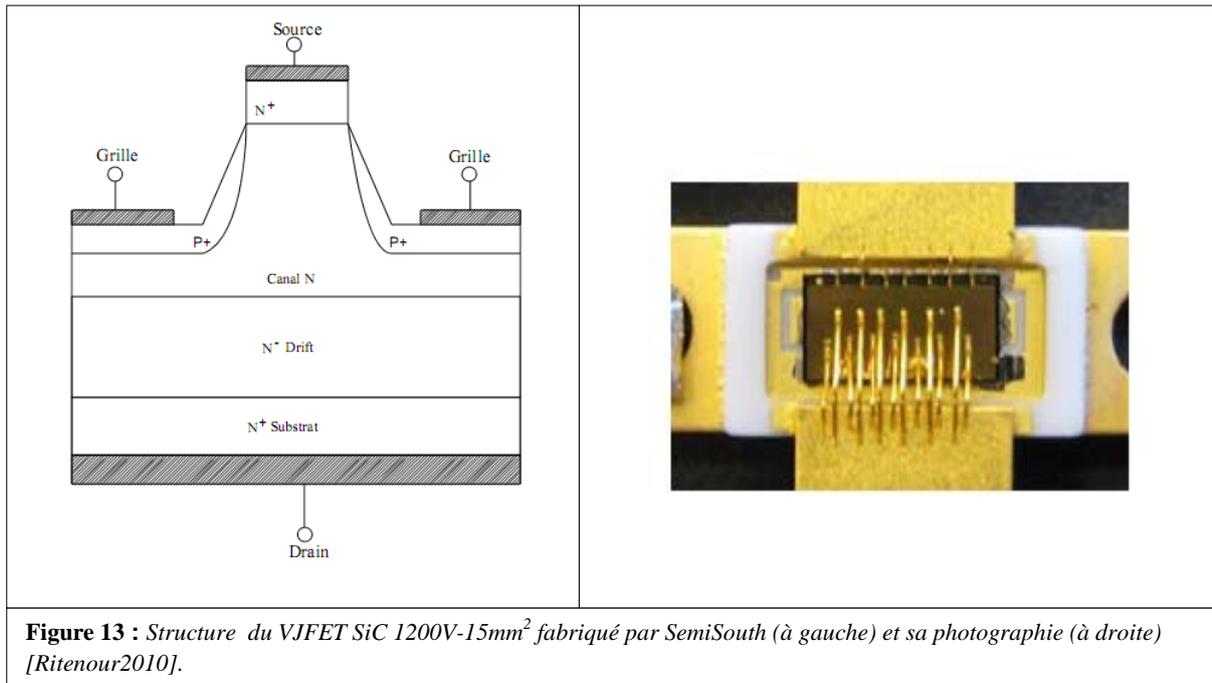
Figure 12 : Structure du VJFET fabriquée SemiSouth [Casady 2004].

L'avantage de cette structure est d'avoir une faible résistance à l'état passant mais par contre les inconvénients qui peuvent être présentés par cette structure sont : des capacités Miller élevées, des conditions d'avalanche et de court-circuit limitées [Friedrichs 2007]. La tension de pincement est liée à la tenue en tension. Ce composant est sans diode interne ce qui nécessite d'ajouter une puce pour la roue libre dans un bras d'onduleur.

Plusieurs études sur les JFET à canal vertical ont été menées, montrant des excellentes performances en court-circuit et opérant à  $300 \text{ }^\circ\text{C}$ . SemiSouth a étudié un JFET Normally-Off 1200 V avec une surface active totale de  $15 \text{ mm}^2$  et une résistance à l'état passant de  $25 \text{ m}\Omega$  et un courant de saturation de 120 A à température ambiante [Ritenour 2010]. La Figure 13 représente la structure du VJFET en SiC -1200 V à canal vertical fabriqué par SemiSouth ainsi que sa photographie.

Plusieurs avantages des transistors JFET-SiC peuvent se présenter par rapport aux MOSFET-SiC du fait de l'absence de la couche d'oxyde de champ. Le fonctionnement interne du JFET est uniquement basé sur les jonctions PN, ce qui permet théoriquement de fonctionner à des températures allant jusqu'à plusieurs centaines de degrés Celsius. Dans le cas du MOSFET, les conditions de stress à haute température et sous fort champ augmentent l'injection des électrons dans l'oxyde du fait de la faible valeur de la barrière entre le SiC et le

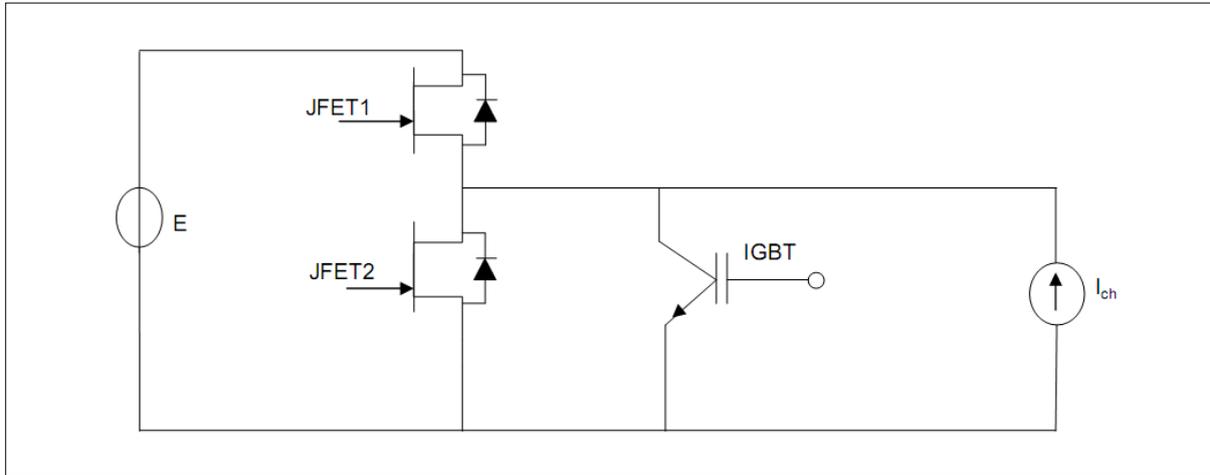
SiO<sub>2</sub>, ce qui provoque la dégradation de la stabilité de l'oxyde à l'interface. La tension de pincement du JFET est théoriquement indépendante de la température. Dans les MOSFET, cette tension diminue avec l'augmentation de la température, ce qui peut mettre le MOSFET dans l'état passant pour des températures  $T_j > 200$  °C. Enfin, la fiabilité du JFET en termes de durée de vie de fonctionnement dans les applications hautes températures est bien plus élevée que celle du MOSFET [Friedrichs 2005] [Treu 2007].



### 3.2 Systèmes à base de JFET en SiC

Depuis longtemps et jusqu'à aujourd'hui, la plupart des composants de puissance sont fabriqués en silicium. Les applications de puissance dans le domaine des transports (aéronautique, automobile,...) et de conversions de puissance augmentent ce qui impose des contraintes de fonctionnement sévères sous haute température, haute fréquence, haute tension, et forte densité de courant. Afin d'utiliser des composants de puissance en Si avec de telles contraintes, il est nécessaire d'utiliser des systèmes de refroidissement volumineux avec un grand nombre de composants connectés en série et en parallèle. Cela implique un grand volume et une grande masse du système global [Elasser 2002]. Grâce aux propriétés physiques du SiC qui sont supérieures à celle du silicium, l'utilisation de ce composant doit permettre une réduction significative du volume et de la masse du système et aussi de monter en température. Par conséquent l'utilisation de ce composant doit permettre un meilleur rendement global et une réduction de la consommation d'énergie dans ces systèmes.

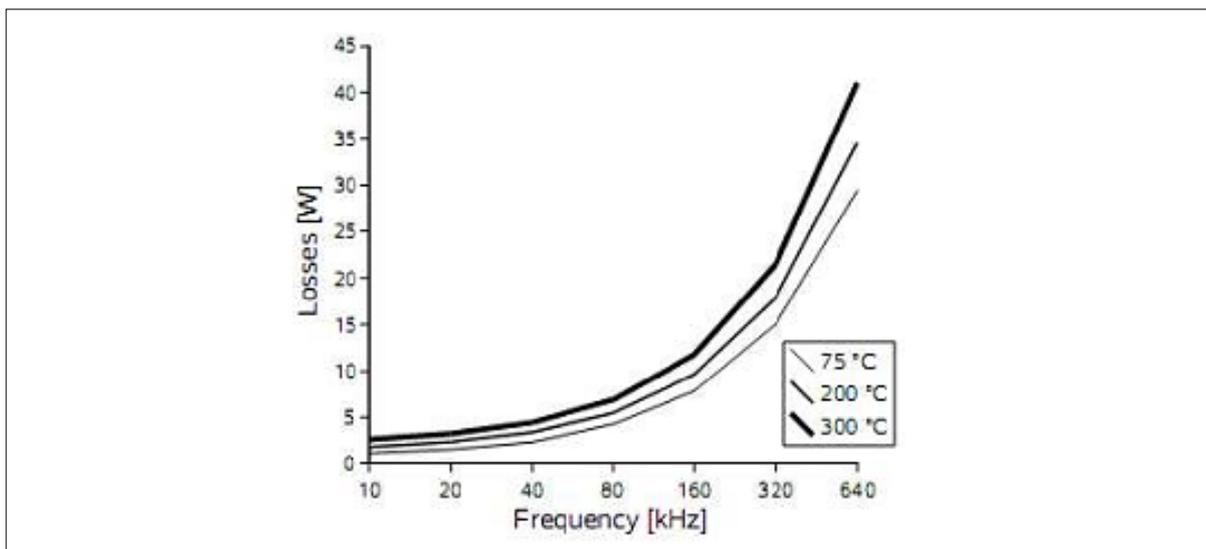
Un premier bras d'onduleur fonctionnant à 300 °C a été réalisé, en 2005 au laboratoire Ampère [Bergogne 2005]. Les interrupteurs étaient des JFET SiCED (1200V-2A) de type Normally-On. La Figure 14 montre le schéma du circuit de test pour caractériser la cellule de commutation à JFET.



**Figure 14 :** Circuit de test utilisé pour caractériser la cellule de commutation à JFET [Bergogne 2005]

Ce montage permet d'imposer de façon indépendante une tension à l'état bloqué et un courant à l'état conducteur. Cette expérience a servi à démontrer la faisabilité des convertisseurs SiC pour les applications électroniques haute température. A noter que ce bras a été réalisé sans diode de roue libre supplémentaire, en profitant de la diode interne du JFET.

Les pertes totales estimées pour ce bras représentent la somme des pertes en commutation mesurées et les pertes en conduction calculées, en prenant en compte l'influence de la température et pour un courant nominal de 0,5 A. La Figure 15 montre la variation des pertes totales du JFET en fonction de la fréquence pour différentes températures. Cette expérience montre la possibilité d'utiliser les JFET-SiC dans un bras d'onduleur pour des fréquences de fonctionnement de l'ordre de 100 kHz à 300 kHz.



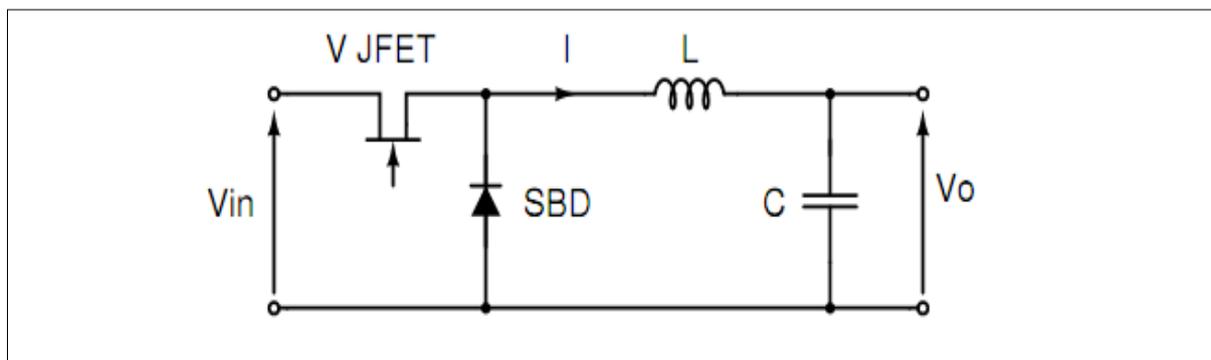
**Figure 15 :** Estimation des pertes totales d'un bras d'onduleur à JFET-SiC en fonction de la fréquence [Bergogne 2005]

Le laboratoire Ampère, en collaboration avec le groupe SAFRAN, a ensuite réalisé un onduleur triphasé fonctionnant à 200 °C [Bergogne 2008].

Cet onduleur a été réalisé à partir d'un module à six JFET SiCED (1200 V-200 mΩ) sans diode de roue libre fonctionnant sous 540 V, avec un courant de charge de 15 A crête et pour une fréquence de découpage de 10 kHz.

Un hacheur dévolteur a été réalisé par Kelley [Kelley 2005] à partir du JFET-SiC et avec une diode Schottky-SiC. Le JFET-SiC utilisé est de type normalement ouvert avec une tenue en tension de 600 V. Kelley a montré d'après ce montage que l'utilisation de ce composant ne provoque pas de problème de sécurité et que le rendement diminue avec l'augmentation de la température du JFET (84% à la température ambiante et 64% à 225 °C).

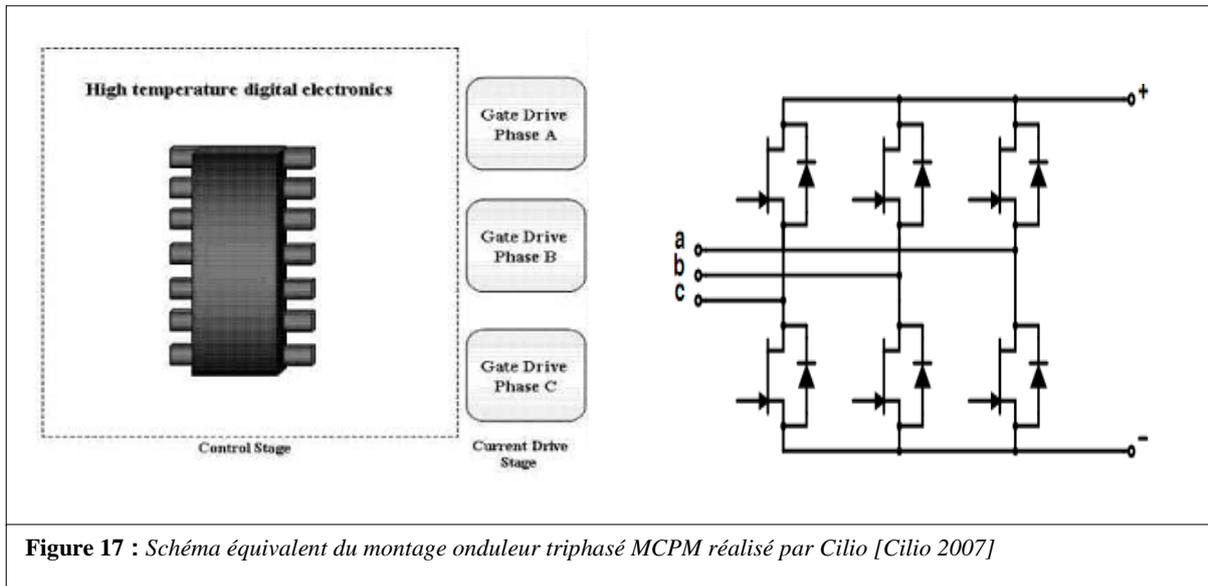
La plupart des pertes sous température élevée sont dues à la diode Schottky. L'élimination des pertes en conduction de la diode Schottky améliore probablement le rendement avec 94% à 225 °C. La Figure 16 montre un schéma équivalent du montage hacheur réalisé par Kelley.



**Figure 16 :** Schéma équivalent du montage hacheur dévolteur réalisé par Kelley [Kelley 2005].

Toujours à partir du JFET-SiC Mazumder a réalisé un régulateur de tension basé sur le JFET SiC et une diode Schottky de 1 kW [Mazumder 2007]. L'utilisation de convertisseur DC-DC s'inscrit dans les applications de systèmes de communication sans fil. Les composants SiC utilisés dans ce montage ont une tenue en tension de 600 V. Les résultats dans cette expérience n'ont pas montré une évolution significative du rendement de ce convertisseur avec la température et les pertes en commutation à l'ouverture des JFET constituent plus de la moitié des pertes.

Un onduleur triphasé à base de JFET-SiC et de diodes Schottky-SiC de 4 kW a été réalisé par Cilio [Cilio 2007]. Ce montage a été réalisé en utilisant la technologie MCPM (MultiChip Power Module) où les parties commandes et puissance sont intégrées dans le même module. Chaque interrupteur dans ce montage est constitué de deux JFET-SiCED (1200 V-5 A) en parallèle connectés avec deux diodes Schottky-SiC (600 V-4 A) de Cree. Ce test a eu pour objectif de montrer la fonctionnalité de ce module à des températures élevées et pour des tensions jusqu'à 600 V DC. A la température de 250 °C et pour une puissance d'entrée de 3,8 kW, la puissance de sortie enregistrée était de 500 W la température a été imposée par l'extérieur, ce qui signifie que la température de jonction du JFET excédait le 300°C dans ces conditions de test. La Figure 17 montre un schéma équivalent de ce module.



**Figure 17 :** Schéma équivalent du montage onduleur triphasé MCPM réalisé par Cilio [Cilio 2007]

Aggeler a réalisé un convertisseur DC-DC bidirectionnel de 20 kW [Aggeler 2007]. Ce convertisseur est démonstrateur. Son utilisation s'inscrit dans les applications de distribution d'énergie, comme un système BTB (Back To Back) [Cass 2007] de 6,6 kV. Pour réaliser ce convertisseur, des transistors JFET-SiC de SiCED (1500V- 8A) ont été utilisés.

Trois modules à JFET-SiC ont été utilisés en série dans ce convertisseur. Chaque module est composé de deux JFET-SiC en série et de deux en parallèle. Deux modules sont de

type normalement passant et le troisième de type normalement ouvert (montage cascade). La Figure 18 montre le schéma électrique de ce convertisseur.

La connexion en série de ces trois modules correspond à une résistance à l'état passant de 1,35  $\Omega$ . Les pertes totales mesurées pour une puissance de 20 kW et une fréquence de 50 kHz étaient de 149 W mais dans le cas où les interrupteurs utilisés sont des IGBT-Si, et pour une puissance de 10 kW avec une fréquence de 20 kHz ; les pertes totales mesurées étaient de 336 W.

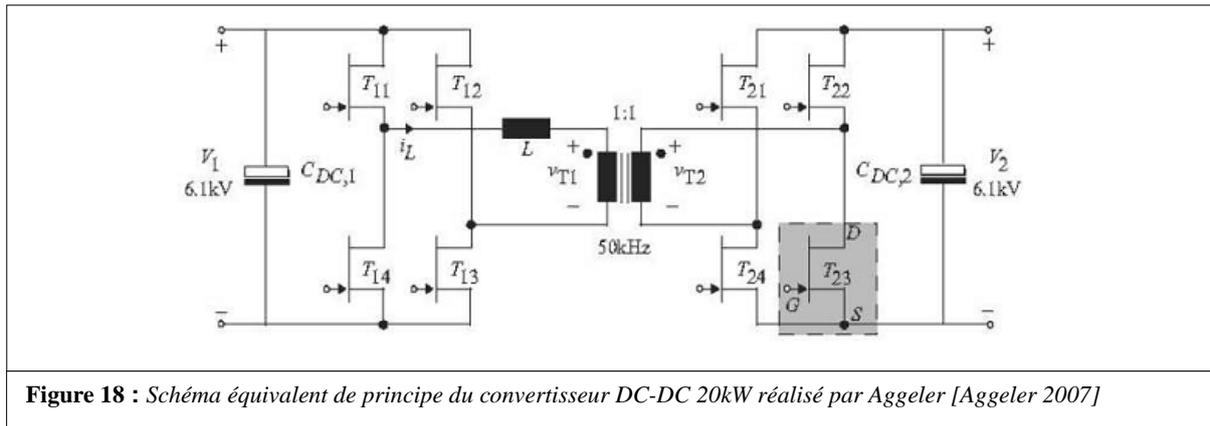


Figure 18 : Schéma équivalent de principe du convertisseur DC-DC 20kW réalisé par Aggeler [Aggeler 2007]

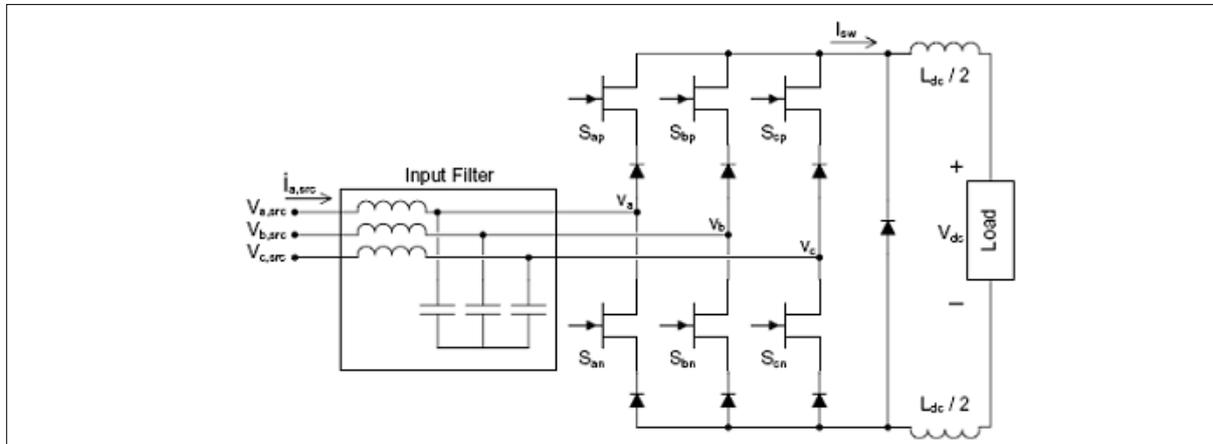
On peut remarquer ici l'avantage des JFET-SiC sur les IGBT-Si dans le cas d'une application haute tension (6 kV). Ces mesures ont été utilisées pour évaluer les performances du convertisseur SiC pour une application de 1 MW.

En utilisant les modules des JFET-SiC ce système peut être réalisé avec 50 convertisseurs à une fréquence de 50 kHz. Dans ce cas, les pertes en conduction calculées sont de 4,5 kW, les pertes en commutation peuvent être négligées. En utilisant des IGBT-Si; le nombre de convertisseurs nécessaire est le double (100 convertisseurs), les pertes en conduction sont de 18,9 kW et les pertes en commutation sont 9 kW et cela pour une fréquence de 20 kHz. Par conséquent ce convertisseur de 1 MW peut être réalisé à partir des JFET-SiC avec un rendement plus élevé que celui des IGBT-Si (99% dans le cas des JFET-SiC et 97% dans le cas des IGBT-Si), ce qui fait des JFET-SiC de bons candidats pour les applications d'interconnexion de réseaux HVDC (High Voltage Direct Current), par exemple.

Toujours à partir des JFET-SiC un onduleur triphasé pour l'alimentation d'un moteur de 50 W a été réalisé par Ishikawa [Ishikawa 2007]. Dans ce montage les interrupteurs utilisés sont des modules de transistors JFET-SiC (600 V-2 A) de type Normally-Off. Des diodes Schottky-SiC (600 V-4 A) de SiCED ont été utilisées comme diodes de roue libre. La réalisation de cet onduleur avec des JFET-SiC a permis une réduction des pertes et une amélioration du rendement passant de 90,4% dans le cas des IGBT-Si à 96,4% dans le cas des JFET-SiC pour une fréquence de 7 kHz.

Un correcteur de facteur de puissance (PFC) triphasé de 2 kW avec une fréquence de 150 kHz a été réalisé par Cass [Cass 2007]. Pour réaliser ce système, des transistors JFET-SiC (1200 V-5 A) de SiCED de type Normally-On ont été utilisés avec des diodes Schottky-SiC.

La Figure 19 montre un schéma équivalent de ce système.

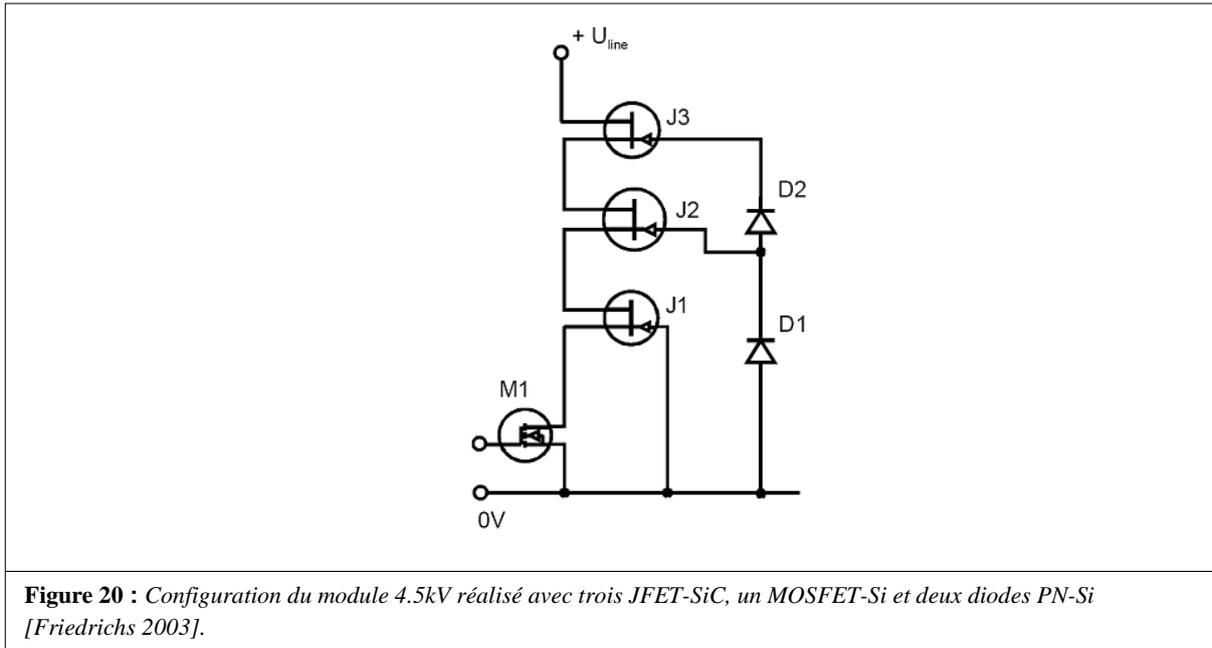


**Figure 19 :** Schéma électrique équivalent du PFC triphasé réalisé avec des transistors JFET-SiC et des diodes Schottky-SiC [Cass 2007]

La réalisation de ce circuit a été faite pour une application de 5 A (courant continu de sortie) et de 400 V (tension continue de sortie). Pour une puissance d'entrée de 2,043 kW, la puissance de sortie mesurée était de 1,867 kW, cela signifie que le rendement atteint 91,4%.

La démonstration de ce convertisseur avec des transistors JFET-SiC, et pour une telle fréquence, montre la capacité de ces transistors à fonctionner dans les applications à haute fréquence.

Un module haut tension de 4,5 kV a été présenté par Friedrichs [Friedrichs 2003]. Ce module a été réalisé à partir de trois JFET-SiC connectés en série. Cet interrupteur est contrôlé par un transistor MOSFET basse tension pour constituer un interrupteur de type normally-off (montage cascode). La diode D1 détermine la tension de blocage de la première étape et la diode D2 de la deuxième étape. Dans cette configuration, seul le JFET placé au dernier étage (J3) est soumis à l'avalanche dans le cas où le circuit est soumis à une forte tension. Dans les autres étages, les diodes fixent la tension de blocage. La Figure 20 montre une configuration de cet interrupteur.



**Figure 20** : Configuration du module 4.5kV réalisé avec trois JFET-SiC, un MOSFET-Si et deux diodes PN-Si [Friedrichs 2003].

## 4 Etat de l'art sur la caractérisation et sur la modélisation de JFET-SiC

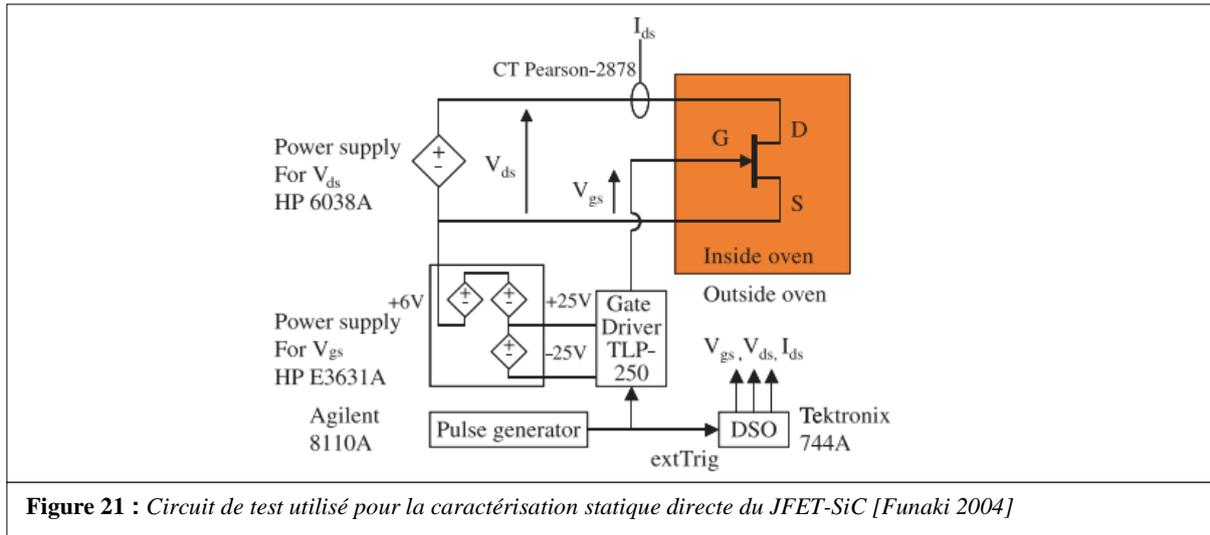
### 4.1 Caractérisation électrique de JFET-SiC

Dans ce paragraphe nous allons présenter un état de l'art sur la caractérisation électrique réalisée sur des transistors JFET en SiC . Nous présentons quelques résultats sur le comportement du JFET en mode de fonctionnement statique et dynamique en fonction de la température, nous présentons également quelques mesures capacitives réalisées sur ce composant.

#### 4.1.1 Caractérisation électrique statique

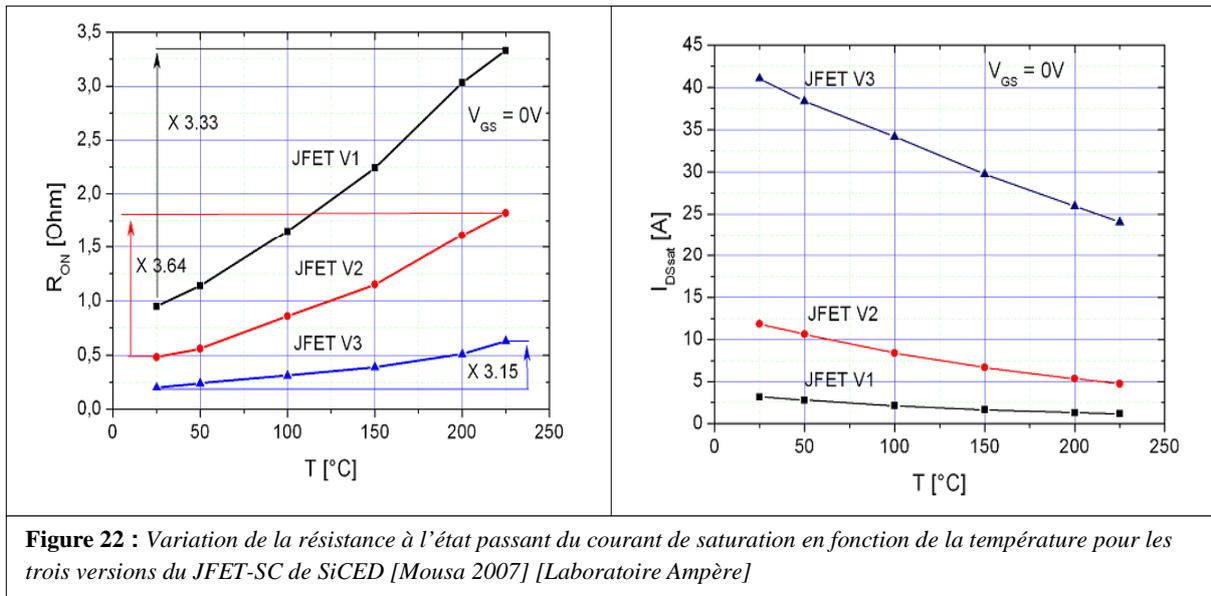
Aux Etats-Unis, une caractérisation du JFET SiC (1200 V-2 A) de SiCED à haute température a été réalisée par Funaki [Funaki 2004]. Dans ce travail, les caractéristiques électriques statiques en mode de polarisation directe du JFET ont été évalué pour des températures comprises entre l'ambiante et 450 °C de JFET SiC. Pour réaliser cette caractérisation Funaki a utilisé le banc de test représenté par la Figure 21.

Le composant caractérisé présente une caractéristique de sortie ( $I_{DS}-V_{DS}$ ) de type pentode. A la température ambiante la résistance à l'état passant et le courant de saturation mesurés étaient respectivement 1,3  $\Omega$  et 3,5 A. Pour une température de 450 °C la résistance à l'état passant augmente pour avoir une valeur de 10  $\Omega$  et le courant de saturation diminue pour atteindre une valeur de 0,7 A.



Une diminution de la tension de seuil (valeur de  $V_{GS}$  correspond au blocage du JFET) avec l'augmentation de la température a été observée (-12V à la température ambiante et -15V à 450 °C). Ces résultats montrent que ce composant doit être utilisé avec un courant maximal de 0,7 A pour des applications à 450 °C. De plus l'utilisation de ce JFET à une température de 450 °C implique une augmentation des pertes en conduction d'un facteur 10 par rapport à la température ambiante. Cependant ce composant offre la possibilité de fonctionner à haute température ce qui est impossible avec les composants en Si. De plus, ce JFET ne demande pas un changement de commande de grille car la tension de seuil varie de quelques volts seulement.

Au laboratoire Ampère, Mousa [Mousa 2007] a réalisé des caractérisations électriques en statique en mode de fonctionnement direct ( $V_{DS}$  positive) et inverse ( $V_{DS}$  négative) pour trois évolutions technologiques du JFET-SiC de SiCED, version 1(1300 V-2 A), version 2 (1500 V-4 A), version 3 (1200 V-15 A). Les mesures ont été réalisées pour des températures comprises entre 25 °C et 225 °C. Les mesures ont été réalisées sur le traceur Tek371A et pour faire varier la température un four à air pulsé a été utilisé. La Figure 22 montre respectivement la variation de la résistance à l'état passant et du courant de saturation pour les 3 versions du JFET SiCED à  $V_{GS}=0$  V en fonction de la température. Les résultats montrent une augmentation de la résistance à l'état passant et une diminution du courant de saturation. Par exemple la résistance à l'état passant de la version 2 augment de 0,5  $\Omega$  à 25 °C à une valeur de 1,77  $\Omega$  à 225 °C et que le courant de saturation varie de 11,83 A à la température ambiante à une valeur de 4,73 A à 225 °C tandis que pour la version 3 la résistance à l'état passant varie de 0,2  $\Omega$  à 25 °C à une valeur de 0,6  $\Omega$  à 225 °C et le courant de saturation diminue de 42 A à 25 °C à une valeur de 24,05 A à 225 °C.

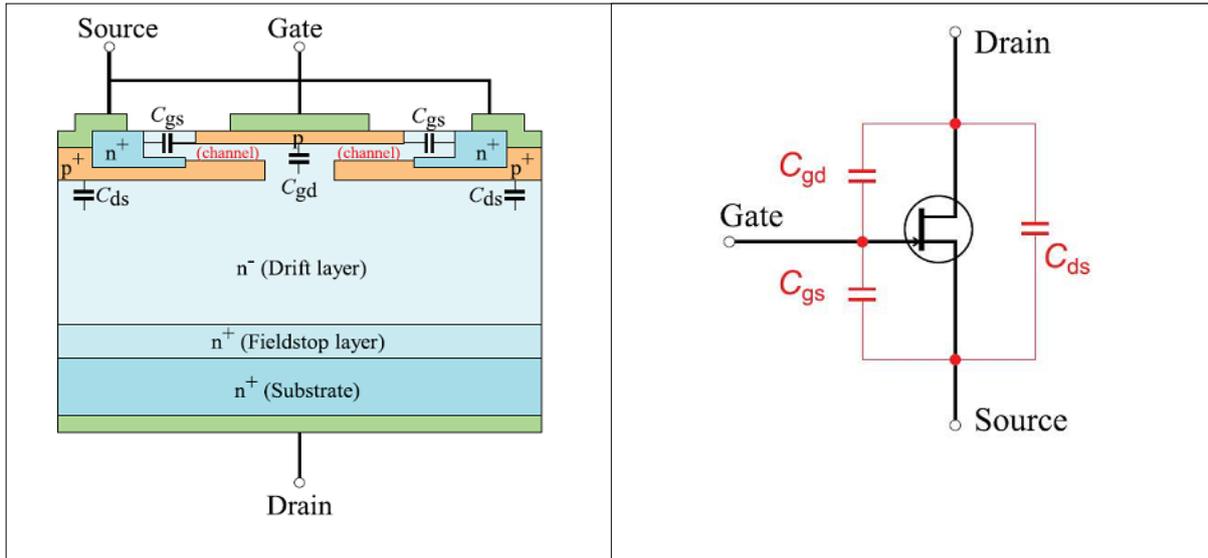


Comme le montre la Figure 22, que la version 3 possède la plus faible dépendance en fonction de la température par rapport aux 2 autres versions.

Les transistors JFET SiCED ont une structure verticale (figure 8) qui intègre une diode interne entre le drain et la source ce qui implique que ce JFET peut conduire dans le sens inverse si une polarisation inverse du drain est appliquée. Les mesures réalisées en mode de fonctionnement inverse ( fonctionnement de la diode) de ce JFET pour des températures comprises entre 25 °C et 225 °C ont montré que la chute de tension directe sur la diode interne de ce JFET diminue avec l'augmentation de la température du fait de l'augmentation de la durée de vie de porteurs minoritaires avec celle-ci.

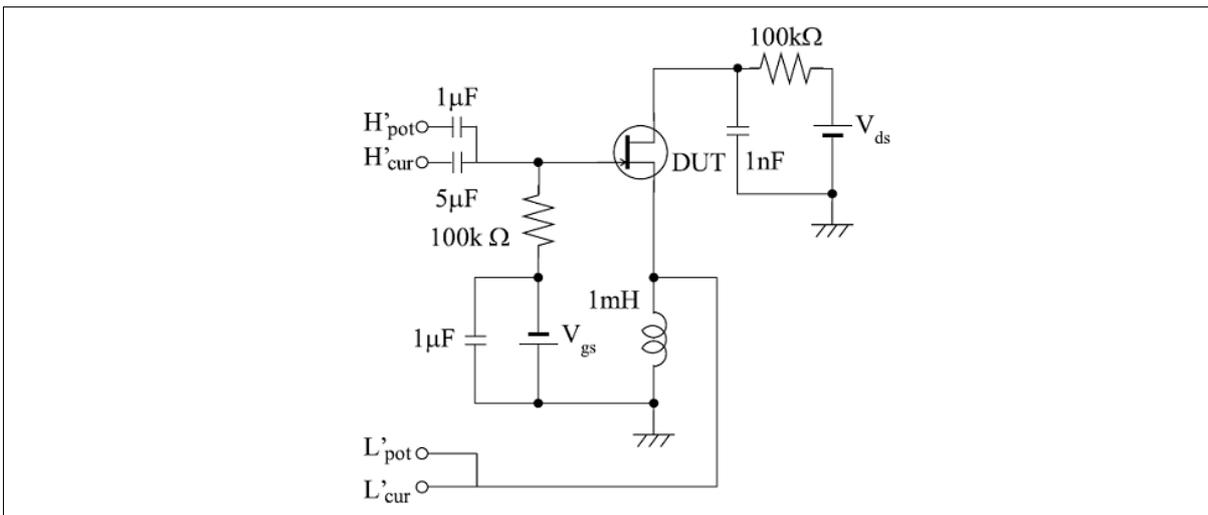
#### 4.1.2 Mesure capacitive C (V)

Les caractéristiques dynamiques du transistor JFET peuvent être évaluées à partir de la mesure des différentes capacités de jonction entre ses électrodes (drain, source et grille). Funaki a utilisé une méthode de mesure des capacités qui tend à évaluer l'évolution des trois capacités ( $C_{GS}$ ,  $C_{GD}$ ,  $C_{DS}$ ) pour des tensions  $V_{DS}$  élevées de l'ordre de la tenue en tension du composant [Funaki 2007]. La Figure 23 localise les différentes capacités dans la structure du JFET-SiC avec un schéma capacitif équivalent. Le JFET-SiC étudié est un JFET SiCED normalement passant. Pour réaliser les mesures le JFET a été mis dans l'état bloqué en appliquant une tension négative sur sa grille.



**Figure 23** : Localisation des différentes capacités dans la structure du JFET (gauche), schéma capacitif équivalent du JFET (droite) [Funaki 2007]

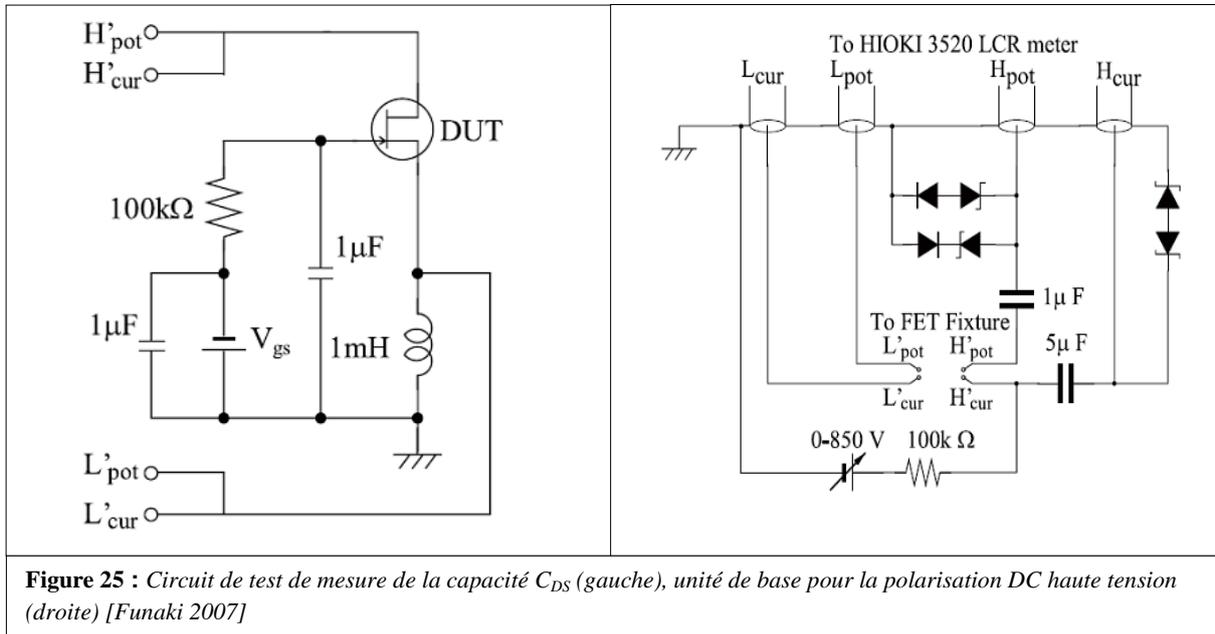
La mesure de la capacité grille-source  $C_{GS}$  a été réalisée en utilisant le circuit de test de mesure représenté par la Figure 24.



**Figure 24** : Circuit de test de mesure de la capacité  $C_{GS}$  [Funaki 2007]

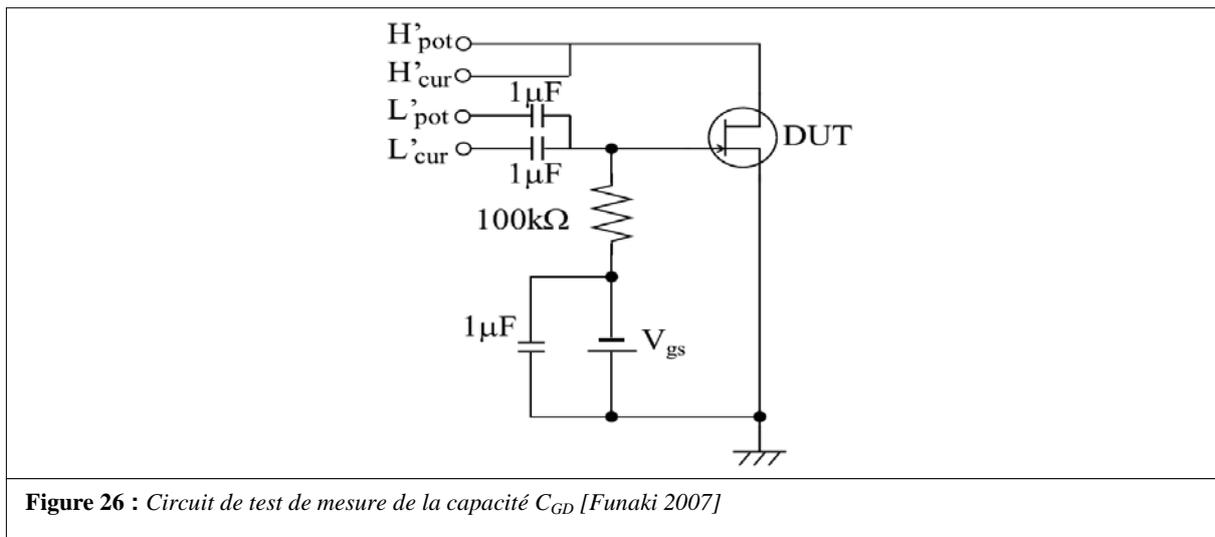
La mesure de la capacité  $C_{GS}$  a été appliquée sur une JFET SiCED à une surface de  $4\text{mm}^2$ . Le JFET a été bloqué pour une tension grille-source de  $-30\text{V}$  et la tension de polarisation drain- source varie entre  $0\text{ V}$  et  $850\text{ V}$ . Les résultats de mesures obtenus montrent une très faible dépendance de la capacité  $C_{GS}$  en fonction de la tension  $V_{DS}$ . La Figure 25 représente le circuit de test de mesure de la capacité drain-source  $C_{DS}$  (à gauche) et l'unité de base pour la polarisation DC haute tension (à droite). Pour effectuer cette mesure le JFET a été bloqué en appliquant une tension négative sur sa grille à travers une résistance de  $100\text{ k}\Omega$  qui élimine l'influence de la source  $V_{GS}$  à l'aide d'une capacité de  $1\text{ }\mu\text{F}$  connectée en parallèle avec cette source de tension. La grille a été court-circuitée à la masse en mode AC à travers

une capacité de  $1\mu$  pour éliminer l'influence des capacités  $C_{GD}$  et  $C_{GS}$ . La source est isolée de la masse en mode AC et court-circuitée à la masse en mode DC à travers une inductance de  $1mH$ .



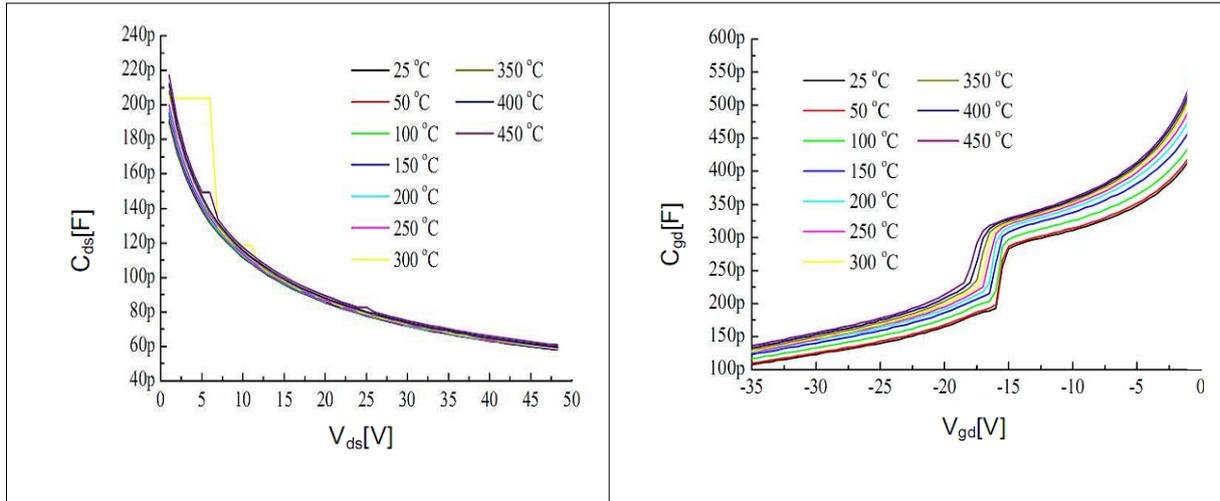
**Figure 25 :** Circuit de test de mesure de la capacité  $C_{DS}$  (gauche), unité de base pour la polarisation DC haute tension (droite) [Funaki 2007]

La capacité  $C_{DS}$  est mesurée entre les sorties  $H'$  et  $L'$  en appliquant la tension de polarisation drain-source de la Figure 25 (droite). La Figure 26 représente le circuit de test de mesure de la capacité grille-drain  $C_{GD}$ . Dans cette mesure l'électrode de grille, qui possède la tension  $-V_{GS}$ , doit être connecté aux terminaux  $L'$ . Donc une capacité de découplage de  $1\mu F$  a été connectée en série entre la grille et le terminal  $L'$ . L'influence des capacités  $C_{DS}$  et  $C_{GS}$  a été exclue en connectant la source à la masse. La capacité  $C_{GD}$  est mesurée entre les sorties  $H'$  et  $L'$  en appliquant la tension drain-source entre le terminal  $H'$  et la masse.

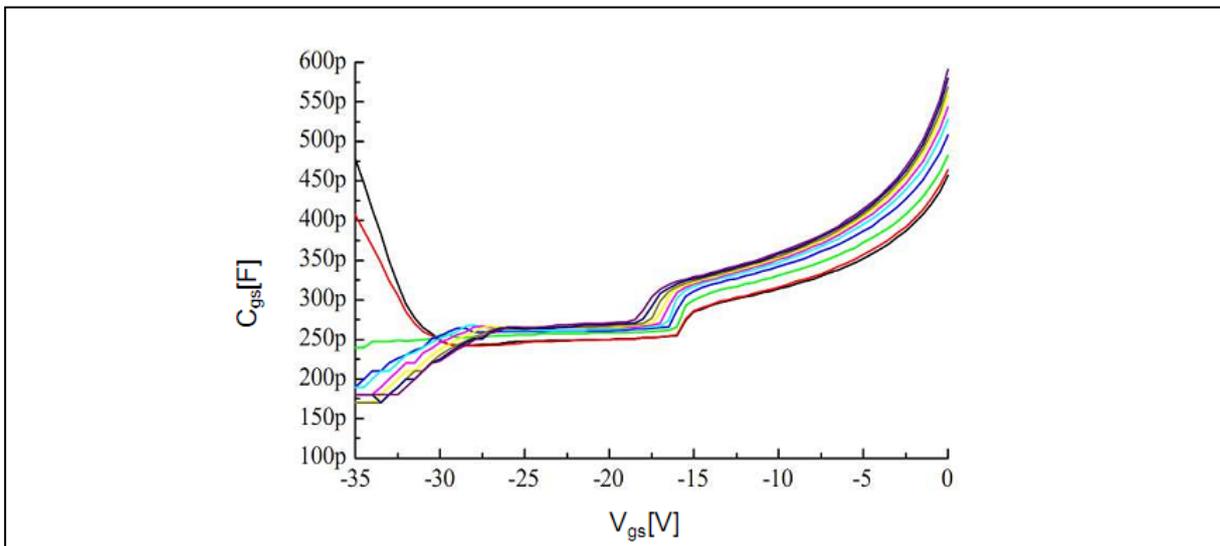


**Figure 26 :** Circuit de test de mesure de la capacité  $C_{GD}$  [Funaki 2007]

Les figures 27 et 28 montrent l'évolution de la capacité  $C_{DS}$ ,  $C_{GD}$ ,  $C_{GS}$  en fonction de la tension appliquée pour différentes températures.



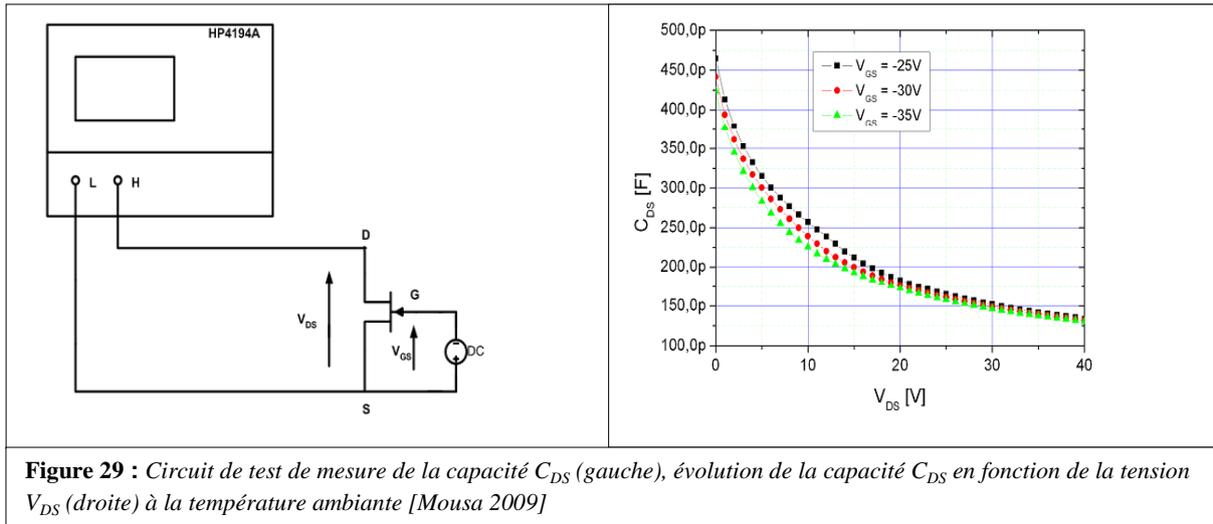
**Figure 27 :** Evolution de la capacité  $C_{DS}$  (droite) et de la capacité  $G_{GD}$  (gauche) du transistor JFET-SiCED en fonction de la température [Funaki 2006]



**Figure 28 :** Evolution de la capacité  $C_{GS}$  du transistor JFET-SiCED en fonction de la température [Funaki 2006]

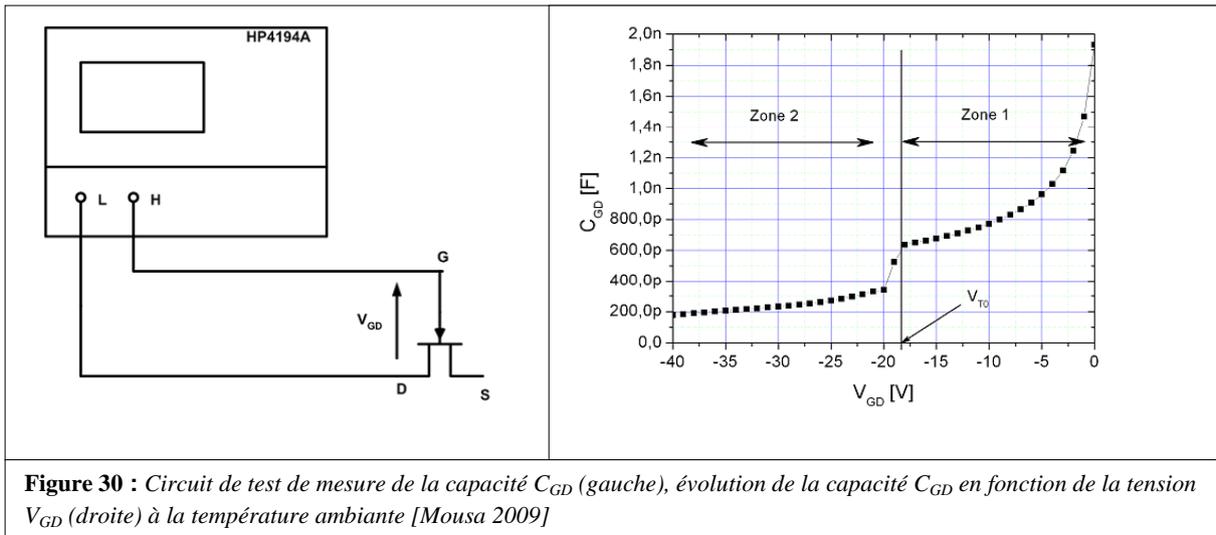
D'après les figures 27 et 28 on peut constater que les trois capacités  $C_{GD}$ ,  $C_{DS}$  et  $C_{GS}$  varient non linéairement en fonction de la tension appliquée et cela est dû à la variation de la largeur de la zone de désertion dans la région de dérive. Ces capacités présentent une faible variation en fonction de la température. Une autre méthode a été étudiée par Mousa [Mousa 2009] pour mesurer les différentes capacités de jonction du JFET-SiC. Les mesures ont été réalisées sur un JFET SiCED (1500 V-4 A) à la température ambiante. En utilisant le pont de mesure de l'impédance HP4194A.

La Figure 29 montre le circuit de test de mesure de la capacité  $C_{DS}$  (gauche) et le résultat de mesure de cette capacité (à droite) en fonction de  $V_{DS}$  à la température ambiante.



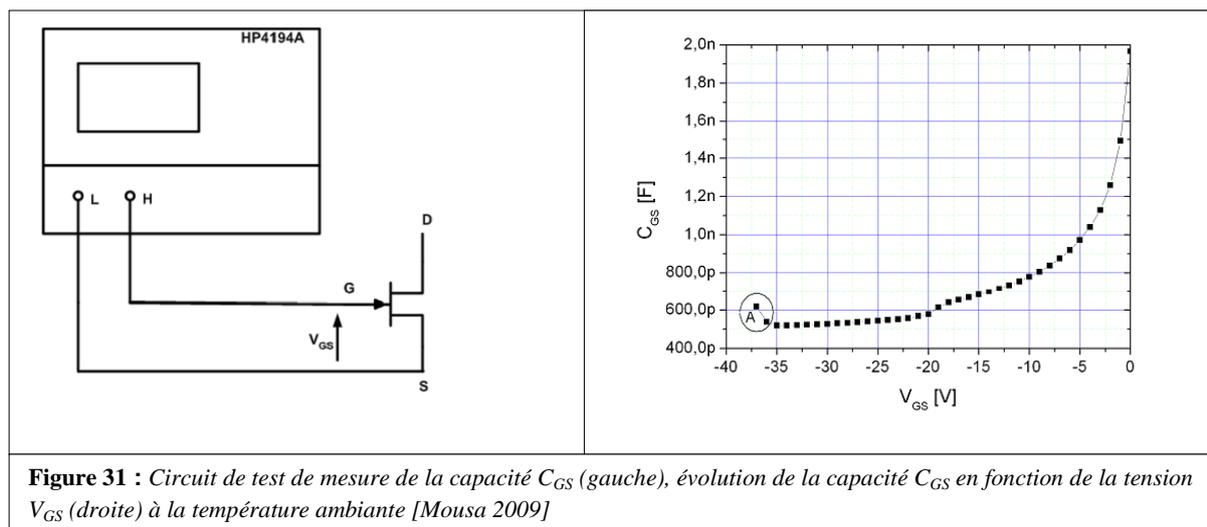
**Figure 29** : Circuit de test de mesure de la capacité  $C_{DS}$  (gauche), évolution de la capacité  $C_{DS}$  en fonction de la tension  $V_{DS}$  (droite) à la température ambiante [Mousa 2009]

La mesure de la capacité  $C_{DS}$  a été réalisée en fonction de la tension  $V_{DS}$  appliquée et pour différentes valeurs de la tension  $V_{GS}$  à l'état bloqué. La Figure 29 (droite) montre que la capacité  $C_{DS}$  varie non linéairement en fonction de la tension  $V_{DS}$  appliquée et qu'elle présente une faible dépendance de la tension  $V_{GS}$ . La variation de cette capacité en fonction de la tension  $V_{DS}$  est due à la variation de la largeur de la zone de charge d'espace dans la zone de dérive. La Figure 30 représente le circuit de test de mesure de la capacité grille-drain  $C_{GD}$  (à gauche) et les résultats de mesures de cette capacité en fonction de la tension  $V_{GD}$  appliquée à la température ambiante. Les résultats montrent que cette capacité varie non linéairement en fonction de la tension  $V_{GD}$  appliquée et pour des tensions inférieures à la tension de seuil  $V_{T0}$ , la variation de cette capacité est due à la variation de la largeur de la zone de charge d'espace dans la région de dérive (zone 2).



**Figure 30** : Circuit de test de mesure de la capacité  $C_{GD}$  (gauche), évolution de la capacité  $C_{GD}$  en fonction de la tension  $V_{GD}$  (droite) à la température ambiante [Mousa 2009]

La mesure de la capacité grille-source  $C_{GS}$  a été réalisée en fonction de la tension grille-source  $V_{GS}$  appliquée à la température ambiante. La Figure 31 montre le circuit de test de mesure de cette capacité (à gauche) et les résultats de mesures obtenues (à droite).



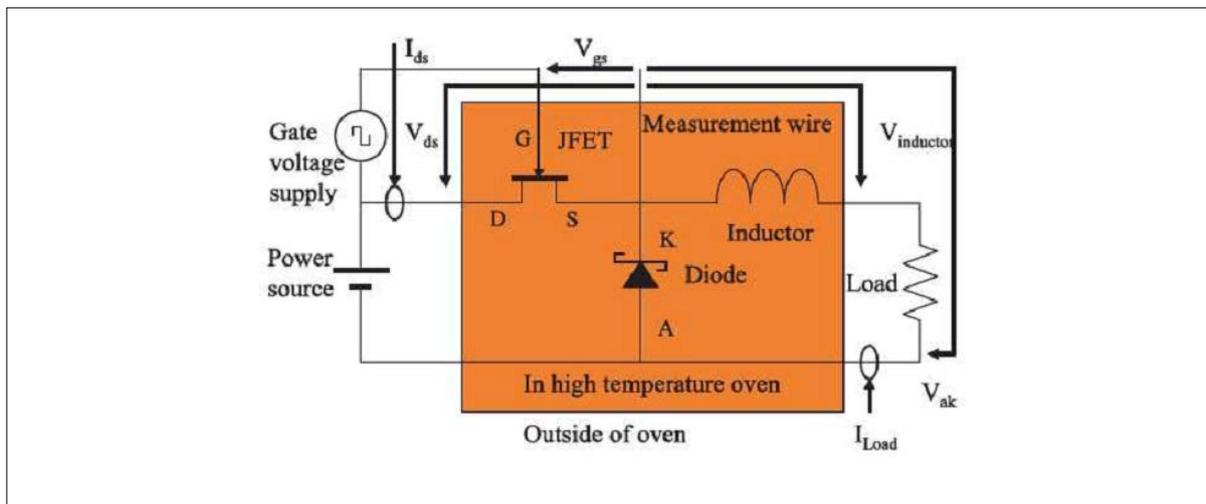
**Figure 31** : Circuit de test de mesure de la capacité  $C_{GS}$  (gauche), évolution de la capacité  $C_{GS}$  en fonction de la tension  $V_{GS}$  (droite) à la température ambiante [Mousa 2009]

La Figure 31 (gauche) montre que la variation de la capacité  $C_{GS}$  semble similaire à celle de la capacité  $C_{GD}$  pour des tensions supérieures à la tension de seuil  $V_{T0}$  (zone 1 de la Figure 30, droite). On observe que cette capacité augmente pour des valeurs de  $V_{GS}$  inférieures à -35 V (valeurs de la tenue en tension de la jonction grille-source) et que cette augmentation est due probablement à l'apparition du courant de fuite au niveau de la jonction et qui augmente avec  $V_{GS}$ . Enfin, les résultats obtenus montrent que l'influence de la température est négligeable sur ces capacités.

### 4.1.3 Caractérisation dynamique en commutation

Le comportement dynamique de JFET en commutation sur charge inductive a été étudié par Funaki [Funaki 2005] dans une configuration hacheur dévolteur. La Figure 32 montre un schéma équivalent de ce montage. Une diode Schottky de Cree (600 V-4 A) est utilisée dans ce montage. Les mesures du comportement dynamique ont été évaluées pour des températures comprises entre 25 °C et 400 °C. L'opération de ce convertisseur a été choisie pour une fréquence de 100 kHz avec un rapport de 50%, une tension d'entrée de 100 V, une résistance de charge de 100  $\Omega$  et un courant de charge de 0,5 A. Les résultats obtenus montrent un fonctionnement normal de ce convertisseur à haute température et une faible diminution de la tension de sortie en fonction de la température (5 V à la température 400 °C).

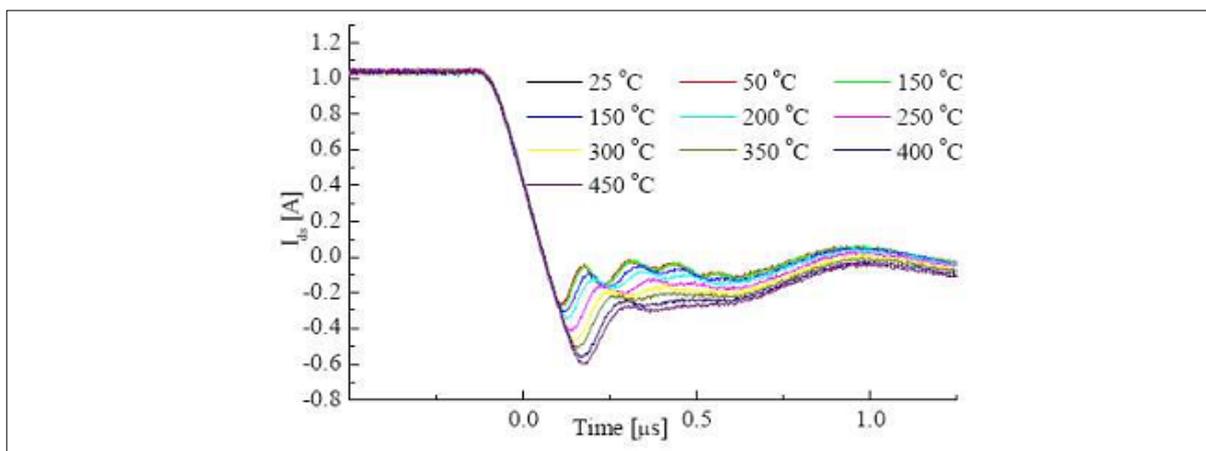
Cette expérience montre également que la vitesse de commutation du JFET ne semble pas être affectée par la température et que le  $di/dt$  mesuré du courant de drain de ce JFET ne varie pas avec l'augmentation de la température;  $-1,45 \times 10^7$  A/s à la température ambiante et  $-1,44 \times 10^7$  A/s à 400 °C).



**Figure 32 :** Schéma équivalent du montage hacheur dévolteur pour évaluer le comportement dynamique du JFET en commutation sur charge inductive à haute température [Funaki 2005]

Cette expérience montre que le JFET possède une excellente caractéristique en commutation même à des températures élevées.

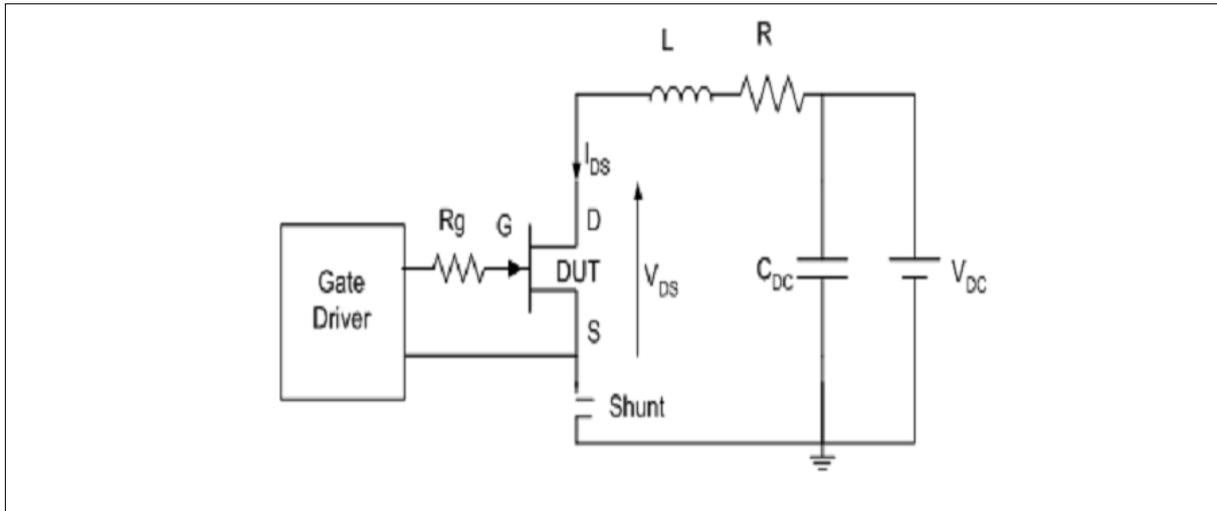
L'augmentation de la température provoque une dégradation des caractéristiques de la diode interne du JFET-SiC [Funaki 2006] ainsi qu'une augmentation du courant de recouvrement inverse de cette diode. En effet, pour un courant direct de 1 A et une tension inverse de 50 V la commutation à l'état bloqué a montré que ce courant augment de -0,23 A à 25 °C pour avoir une valeur de -0,63 à 450 °C. La Figure 33 montre les formes d'ondes du courant en commutation à l'état bloqué pour la diode interne du JFET.



**Figure 33 :** Formes d'ondes du courant en commutation au blocage de la diode interne du JFET-SiC [Funaki 2006]

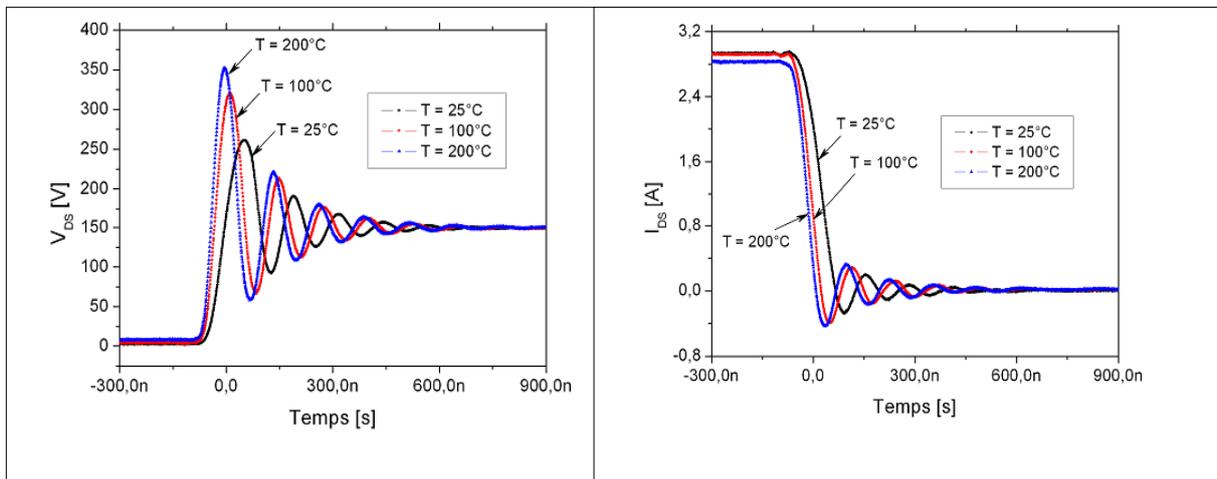
On a constaté d'après ces résultats que l'utilisation de la diode interne du JFET comme une diode de roue libre conduit à une augmentation des pertes en commutation dans les applications haute température. Donc il est recommandé d'utiliser une diode Schottky en SiC en parallèle avec le JFET comme une diode de roue libre. Une étude sur le comportement dynamique du JFET de SiCED en commutation sur charge RL a été réalisée par Mousa

[Mousa 2008] en fonction de la température. La Figure 34 montre un schéma équivalent du circuit de test utilisé pour évaluer ce comportement.

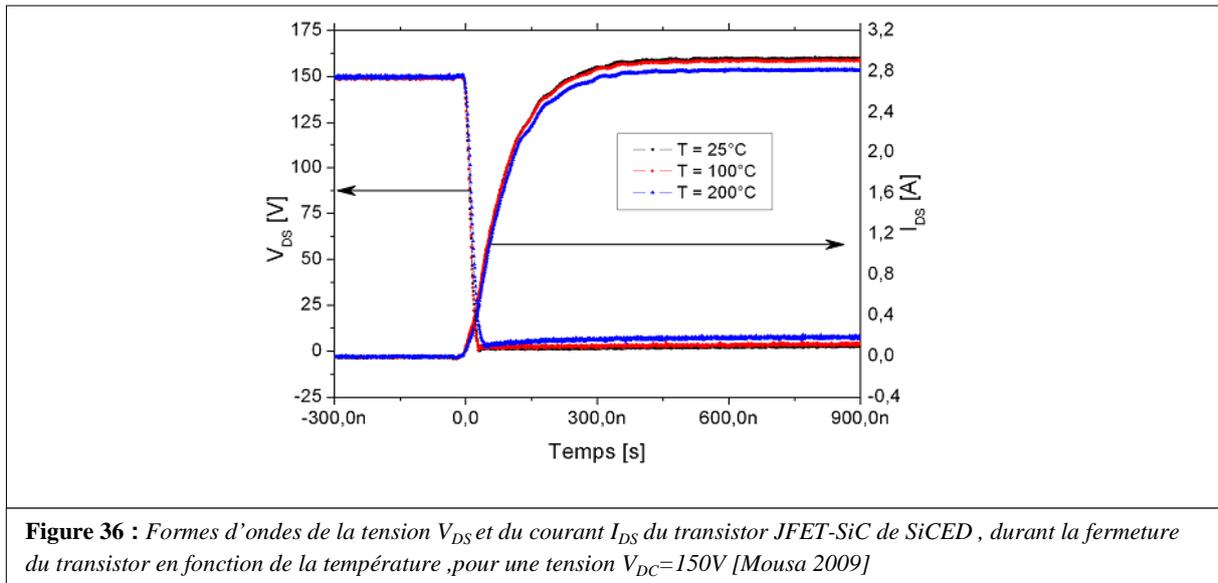


**Figure 34** : Circuit de test utilisé pour évaluer le comportement dynamique du JFET SiC de SiCED sur une charge RL [Mousa 2008]

Le transistor JFET-SiC est commandé en tension sur sa grille à travers une résistance  $R_g$  par un signal qui provient d'une logique de commande de faible puissance. Les mesures ont été réalisées pour différents niveaux de tensions d'alimentation du drain et à différentes températures. Les figures 35 et 36 montrent les formes d'ondes de courants et de tensions à l'ouverture et à la fermeture du transistor JFET SiC (1500 V-4 A) de SiCED en fonction de la température pour une tension de 150 V.



**Figure 35** : Formes d'ondes de la tension  $V_{DS}$  du transistor JFET-SiC de SiCED (à gauche), formes d'ondes du courant  $I_{DS}$  du transistor (à droite), durant l'ouverture du transistor en fonction de la température, pour une tension  $V_{DC}=150V$  [Mousa 2009]



Les résultats montrent que l'augmentation de la température affecte les caractéristiques électriques en commutation à l'ouverture du transistor JFET-SiC et que cette augmentation conduit à une surtension plus élevée et diminue le temps de montée. Tandis que les caractéristiques dynamiques à la fermeture du transistor JFET ne semblent pas affectées par la variation de la température, en effet et comme le montre la Figure 36 l'augmentation de la température ne conduit pas à une variation du temps de descente et conduit juste à augmenter la chute de tension et à diminuer le courant  $I_{DS}$ .

## 4.2 Modélisation de transistors JFET-SiC

Il existe peu de publications concernant l'étude de la modélisation du JFET. Nous allons présenter dans cette partie les différents modèles réalisés sur le JFET SiC. Nous commençons à présenter le modèle SPICE du JFET pour présenter après le modèle du JFET-SiC de SiCED réalisé en VHDL-AMS.

### 4.2.1 Modèle SPICE du JFET-SiC

C'est le modèle le plus simple et le plus utilisé dans la littérature. Il est élaboré à partir du modèle quadratique du JFET de Shichman et Hodge [Shichman 1968]. En principe c'est un modèle prévu pour le transistor MOS, mais il représente bien la caractéristique statique du JFET et pour cela il est utilisé également en tant que modèle empirique du transistor à effet champ. La Figure 37 représente le schéma électrique équivalent associé à ce modèle [Wang 2006] [Singh 2010].

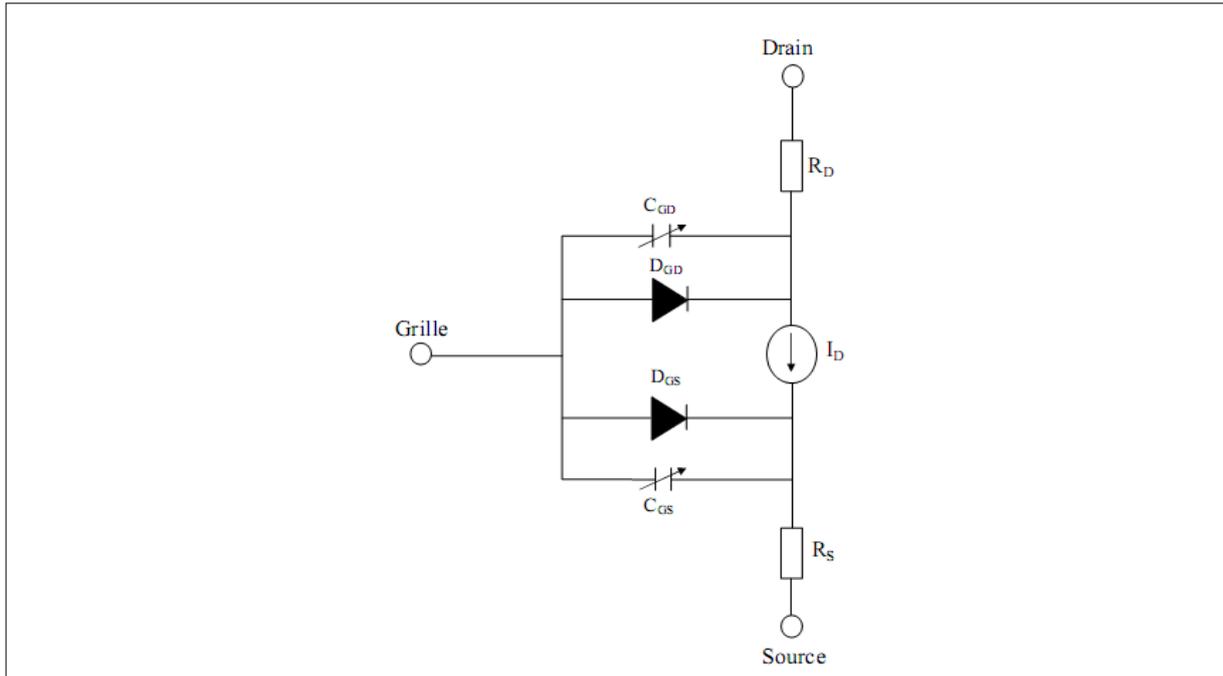


Figure 37 : Schéma électrique équivalent du modèle SPICE du JFET [Wang 2006].

Ce modèle est formé d'une source de courant  $i_{DS}$ , de deux résistances de contact  $R_D$  et  $R_S$ , d'une diode  $D_{GS}$  en parallèle avec une capacité  $C_{GS}$  et d'une diode  $D_{GD}$  en parallèle avec une capacité  $C_{GD}$ . Le Tableau 2 représente les paramètres importants extraits du modèle SPICE du JFET.

Paramètre	Définition	Unité
$V_{T0}$	Tension de seuil	V
BETA	Transconductance	$A/V^2$
LAMDA	Facteur de modulation de la longueur du canal	$1/V$
$R_S$	Résistance ohmique de la source	$\Omega$
$R_D$	Résistance Ohmique du drain	$\Omega$
$I_S$	Courant de saturation grille-jonction	A
$C_{GD}$	Capacité de jonction grille-drain	F
$C_{GS}$	Capacité de jonction grille-source	F

Tableau 2 : Paramètres extraits du modèle SPICE du JFET

Les paramètres  $V_{T0}$ , BETA, LAMBDA,  $R_D$ ,  $R_S$ ,  $I_S$ , peuvent être extraits à partir des caractéristiques statiques à la température ambiante [Wang 2006].

### 4.2.1.1 Equations du modèle du JFET en statique

La Figure 38 montre un schéma de caractéristique statique avec les trois zones de fonctionnement du JFET.

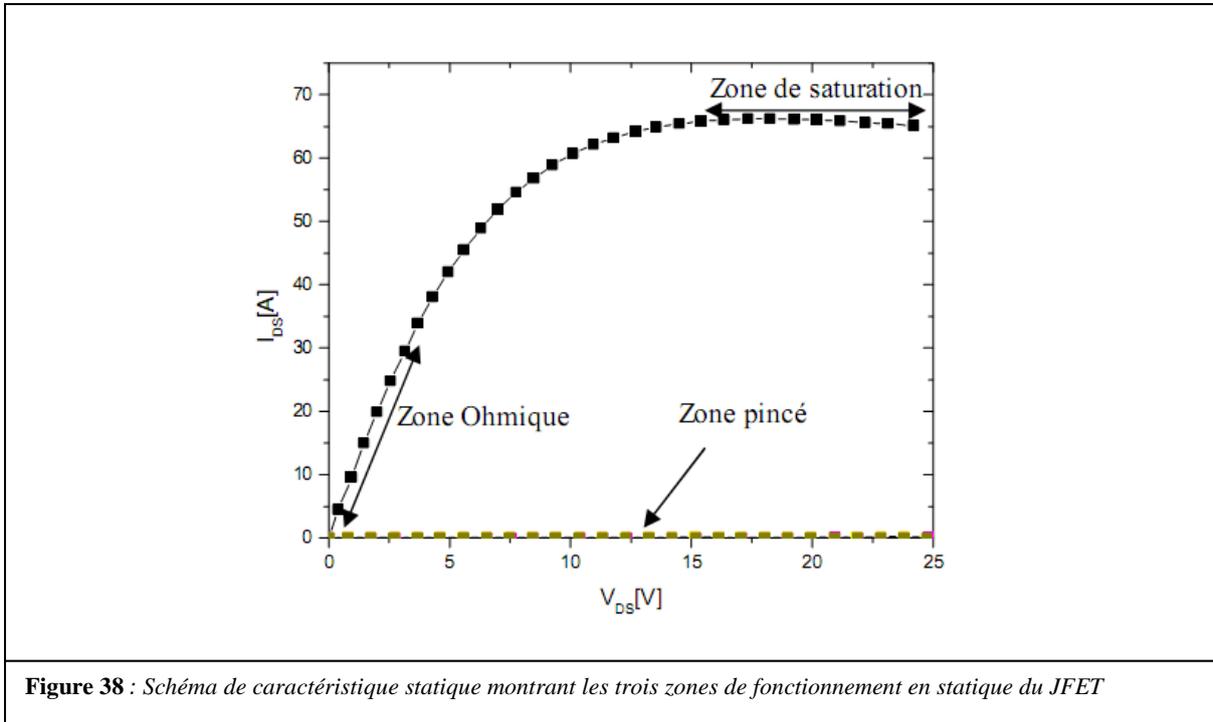


Figure 38 : Schéma de caractéristique statique montrant les trois zones de fonctionnement en statique du JFET

Le modèle statique du JFET est divisé en deux modes de fonctionnement : mode normale et mode inverse. Le mode de fonctionnement normal est caractérisé par les relations suivantes à  $V_{DS} \geq 0$  [Guvench 1994] :

$$i_{DS} = \begin{cases} 0 & \text{pour } V_{GS} - V_{T0} \leq 0 \quad \text{canal pincé} \\ \beta V_{DS} [2(V_{GS} - V_{T0}) - V_{DS}] (1 + \lambda V_{DS}) & \text{pour } 0 < V_{DS} < V_{GS} - V_{T0} \quad \text{zone ohmique} \\ \beta (V_{GS} - V_{T0})^2 (1 + \lambda V_{DS}) & \text{pour } 0 < V_{GS} - V_{T0} \leq V_{DS} \quad \text{zone de saturation} \end{cases} \quad (4)$$

Le mode de fonctionnement inverse du modèle SPICE du JFET est caractérisé par les relations suivantes à  $V_{DS} < 0$  :

$$i_{DS} = \begin{cases} 0 & \text{pour } V_{GD} - V_{T0} < 0 \quad \text{canal pincé} \\ \beta V_{DS} [2(V_{GD} - V_{T0}) + V_{DS}] (1 - \lambda V_{DS}) & \text{pour } 0 < -V_{DS} < V_{GD} - V_{T0} \quad \text{zone ohmique} \\ \beta (V_{GD} - V_{T0})^2 (1 - \lambda V_{DS}) & \text{pour } 0 < V_{GD} - V_{T0} < -V_{DS} \quad \text{zone de saturation} \end{cases} \quad (5)$$

On peut constater d'après les deux modes de fonctionnement que les caractéristiques statiques du JFET sont définies par les paramètres  $V_{T0}$ ,  $\beta$ , et  $\lambda$ . En effet, le modèle SPICE du JFET est élaboré à partir du modèle quadratique du Shichman et Hodges [Hodges 1968], à l'origine c'est un modèle prévu pour le transistor MOS, mais il représente bien la

caractéristique statique du JFET. Le plus grand avantage de ce modèle est sa simplicité, les temps de simulation sont courts et il est assez facile d'extraire les paramètres manuellement à partir du réseau de courbes  $i_{DS}-v_{DS}$ . Ce modèle en inverse ne prend pas en compte la diode qui peut apparaître entre drain et source et qui est présente dans les JFET-SiC de SiCED.

#### 4.2.1.2 Equations du modèle du JFET en dynamique

Le modèle dynamique du JFET dans SPICE est caractérisé par les deux capacités de déplétions  $C_{GD}$  et  $C_{GS}$  des jonctions grille-drain et grille-source respectivement. Ces capacités varient non linéairement avec la tension, et sont définies par les relations suivantes [Antognetti 1993] :

$$C_{GD} = \frac{C_{GD0}}{\left(1 - \frac{V_{GD}}{PB}\right)^M} \quad (6)$$

$$C_{GS} = \frac{C_{GS0}}{\left(1 - \frac{V_{GS}}{PB}\right)^M} \quad (7)$$

Où,  $C_{GS0}$  et  $C_{GD0}$  représentent les capacités de transition lorsque les tensions de polarisation  $V_{GD}$  et  $V_{GS}$  sont nulles. Le paramètre  $M$  est appelé coefficient graduel de la jonction, ce coefficient prend la valeur 0.5 pour une jonction abrupte et  $PB$  représente la tension de diffusion de la jonction. Ce modèle propose une extrapolation linéaire des relations précédentes (6 et 7) lorsque,  $V_{GD} \geq FC \times PB$  et  $V_{GS} \geq FC \times PB$  respectivement.

Où  $FC$  est un coefficient pour la formule de la capacité en polarisation directe. Cette extrapolation permet de tenir compte du niveau d'injection, et elle est donnée par les relations suivantes :

$$C_{GD} = \frac{C_{GD0}}{F_2} \left( F_3 + \frac{MV_{GD}}{PB} \right) \quad (8)$$

$$C_{GS} = \frac{C_{GS0}}{F_2} \left( F_3 + \frac{MV_{GS}}{PB} \right) \quad (9)$$

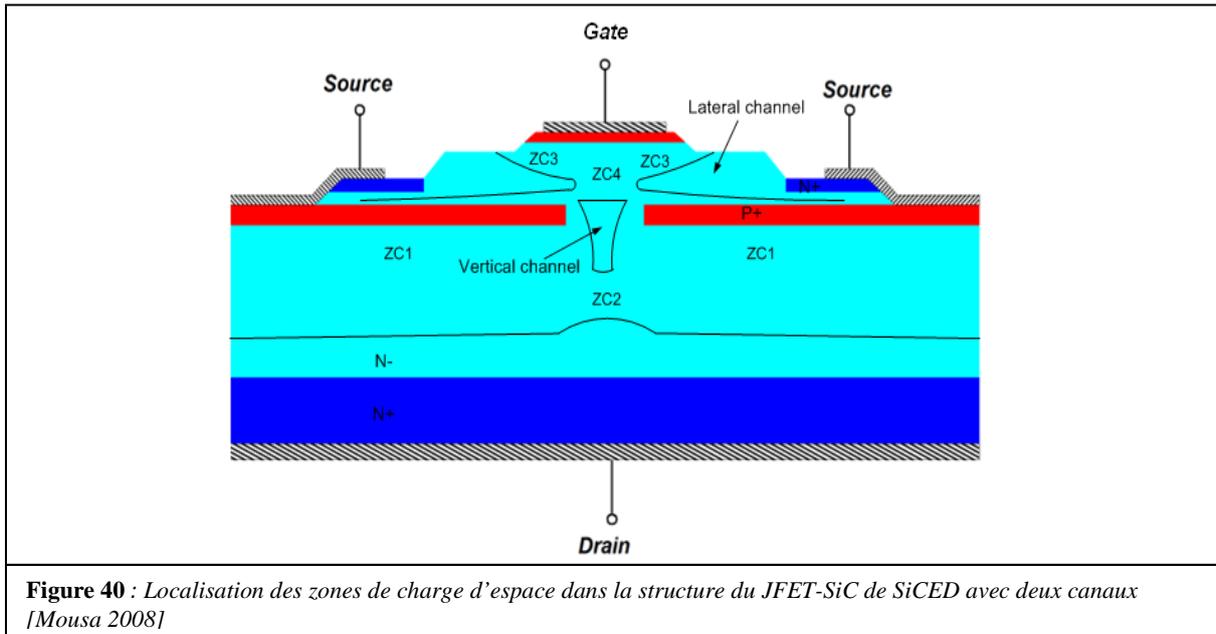
$F_2$  et  $F_3$  sont des constantes et définies par les relations suivantes :

$$F_2 = (1 - FC)^{(1+M)} \quad (10)$$

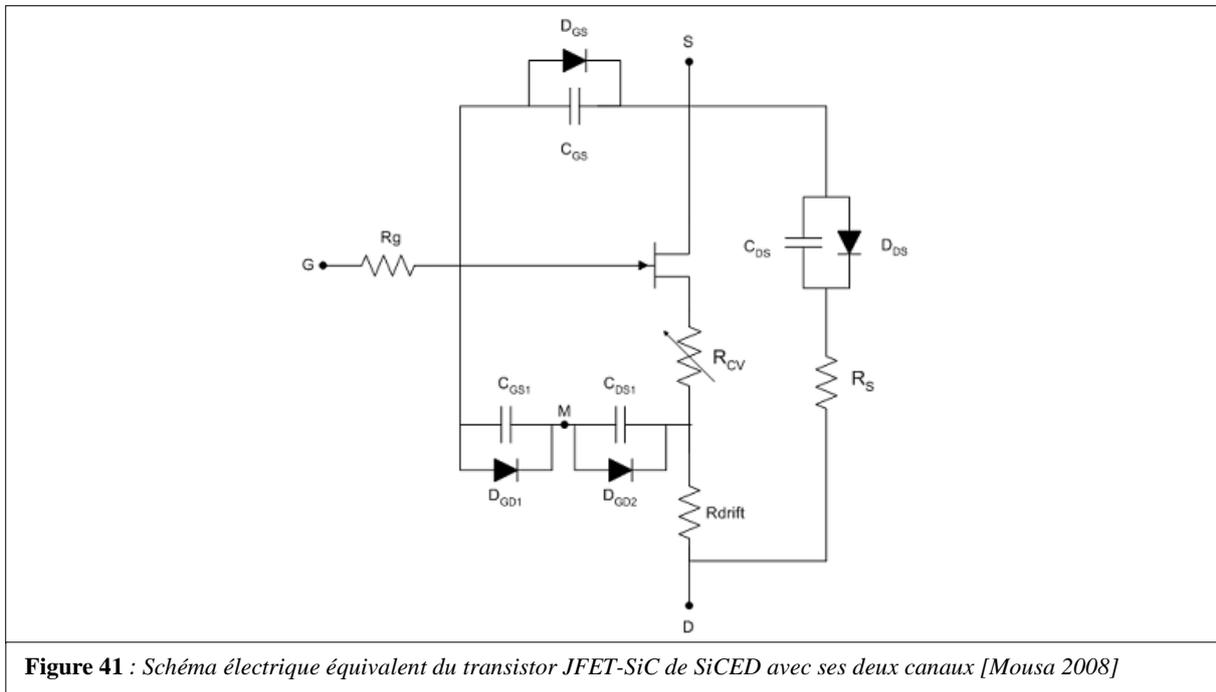
$$F_3 = 1 - FC(1 + M) \quad (11)$$

L'avantage du modèle SPICE est sa simplicité. Les temps de simulation sont courts, et il est facile d'extraire les paramètres manuellement. Mais le modèle ne comporte pas de





La Figure 41 montre un schéma électrique équivalent du transistor JFET-SiCED qui est établi à partir de l'analyse complète de son fonctionnement. Il est constitué d'un schéma résistif basé sur le comportement du JFET à l'état passant, et un schéma capacitif basé sur l'état bloqué et la localisation des zones de charge d'espace dans la structure.



Le canal latéral est modélisé par le modèle standard du JFET avec quelques modifications. Des paramètres empiriques ont été ajoutés aux équations du JFET. Cette méthode est utilisée pour adapter la théorie avec l'expérience [ Tki 1978, Zappe 1998] . Le canal vertical est représenté par une résistance  $R_{CV}$  modulée par la tension drain. L'expression de cette résistance est donnée par [Kashyap 2004]:

$$R_{CV} = R_{CV0} \left( 1 + \tanh \left( \frac{V_{DS}}{V_{PV}} \right) \right) \quad (12)$$

Où,  $R_{CV0}$  est la résistance du canal vertical en absence de polarisation et  $V_{PV}$  est la tension de pincement du canal vertical.

La zone de charge d'espace ZC1 est représenté par une diode  $D_{DS}$  en série avec une résistance  $R_S$  et une capacité de désertion  $C_{DS}$  en parallèle avec cette diode. La zone de charge d'espace ZC3 est représentée par une capacité  $C_{GS}$  connectée en parallèle avec la diode  $D_{GS}$ .

La zone de charge d'espace ZC4 est représentée par une capacité  $C_{GS1}$  en parallèle avec la diode  $D_{GD1}$ . La zone de charge d'espace ZC2 est représentée par une capacité  $C_{DS1}$  en parallèle avec la diode  $D_{GD2}$ . Les zones de charge d'espace ZC2 et ZC4 correspondent à deux capacités connectées en série ( $C_{DS1}$  et  $C_{GS1}$ ). Les deux capacités ( $C_{DS}$  et  $C_{DS1}$ ) possèdent le même dopage avec deux surfaces différentes, ainsi que les deux capacités ( $C_{GS}$  et  $C_{GS1}$ ).

#### 4.2.2.1 Equations du modèle du JFET en statique

Les caractéristiques de sortie  $I_{DS}$  ( $V_{DS}$ ,  $V_{GS}$ ) du modèle standard du canal du JFET avec les modifications apportées sont exprimées par les relations suivantes :

1. Pour  $K_3 \times V_{DS} < (K_2 \times V_{GS} + K_1 \times V_P - V_{bi})$  (zone ohmique) :

$$I_{DS} = \frac{Z\mu q N_d a}{L} \left( K_3 \times V_{DS} - \frac{2}{3\sqrt{K_1 \times V_P}} \left[ (V_{bi} - K_2 \times V_{GS} + K_3 \times V_{DS})^{\frac{3}{2}} - (V_{bi} - K_2 \times V_{GS})^{\frac{3}{2}} \right] \right) \quad (13)$$

2. Pour  $K_3 \times V_{DS} \geq (K_2 \times V_{GS} + K_1 \times V_P - V_{bi})$  (zone de saturation) :

$$I_{DS} = \frac{Z\mu q N_d a}{L} \frac{K_1 V_P}{3} \left( 1 - 3 \left( \frac{V_{bi} - K_2 \times V_{GS}}{K_1 \times V_P} \right) + 2 \left( \frac{V_{bi} - K_2 \times V_{GS}}{K_1 \times V_P} \right)^{\frac{3}{2}} \right) \quad (14)$$

3. Pour  $V_{GS} + V_P - V_{bi} \leq 0$  (zone pincée) :

$$I_{DS} = 0 \quad (15)$$

Où,  $K_1$ ,  $K_2$  et  $K_3$  sont des facteurs empiriques qui ont été ajoutés pour ajuster le courant à la saturation en fonction de la température [Mousa 2009]. L'apparition de ces facteurs à la fois dans les conditions définissant les différents régimes de fonctionnement et dans les équations du courant a pour but de garantir la continuité du courant. Nous pouvons remarquer que pour le modèle standard  $K_1 = K_2 = K_3 = 1$ .  $\mu$  est la mobilité des porteurs dans le canal latéral et  $V_P$  est la tension de pincement du canal latéral.

#### 4.2.2.2 Equations du modèle du JFET en dynamique

Les caractéristiques dynamiques du modèle peuvent être exprimées par le calcul des différentes capacités de désertion de la Figure 41. Les différentes capacités de désertion sont exprimées par les relations suivantes :

$$C_{DS} = \beta_2 \frac{A_{DS} \varepsilon_{SiC}}{W_{ZC1}} \quad (16)$$

$$C_{DS1} = (1 - \beta_2) \frac{A_{DS} \varepsilon_{SiC}}{W_{ZC2}} \quad (17)$$

$$C_{GS} = \beta_1 \frac{A_{GS} \varepsilon_{SiC}}{W_{ZC3}} \quad (18)$$

$$C_{GS1} = (1 - \beta_1) \frac{A_{GS} \varepsilon_{SiC}}{W_{ZC4}} \quad (19)$$

Où,  $A_{DS}$  et  $A_{GS}$  sont des surfaces équivalentes des contributions des zones de charge d'espace dans la région de commande (canal latéral) et la région de dérivation du JFET respectivement.  $\beta_1$  et  $\beta_2$  sont des facteurs de surface qui définissent les rapports de surfaces dans la région de commande et la région de dérivation de la structure du JFET.  $W_{ZC1}$ ,  $W_{ZC2}$ ,  $W_{ZC3}$ ,  $W_{ZC4}$ , représentent les largeurs de désertion des différentes zones de charge d'espace.

Ces différentes sont calculées avec les relations suivantes [Hefner 2007] :

$$W_{ZC1} = \sqrt{\frac{2\varepsilon_{SiC} (V_{bi} - V_{D_{DS}})}{qN_b}} \quad (20)$$

$$W_{ZC2} = \sqrt{\frac{2\varepsilon_{SiC} (V_{bi} - V_{D_{GD2}})}{qN_b}} \quad (21)$$

$$W_{ZC3} = \sqrt{\frac{2\varepsilon_{SiC} (V_{bi} - V_{D_{GS}})}{qN_d}} \quad (22)$$

$$W_{ZC4} = \sqrt{\frac{2\varepsilon_{SiC} (V_{bi} - V_{D_{GD1}})}{qN_d}} \quad (23)$$

Les courants statiques des différentes diodes présentées sur la Figure 41 peuvent être calculés avec l'équation standard du modèle de la diode PN [Garrab 2004].

Le modèle a été validé en mode de fonctionnement statique et dynamique avec le simulateur SIMPLORER. La validation du modèle montre que ce modèle permet d'avoir des

résultats très précis pour simuler le comportement du JFET en mode de fonctionnement statique en termes de la résistance à l'état passant et du courant de saturation en fonction de la température et permet également de simuler le comportement du JFET en commutation avec une bonne précision à la température ambiante.

Toutefois, l'extraction des nombreux paramètres qui permettent d'ajuster la simulation à l'expérience rend difficile son exploitation pratique.

<b>Sommaire</b> .....	<b>46</b>
<b>Chapitre 2: Caractérisation électrique du transistor JFET en SiC</b> .....	<b>47</b>
1 Introduction .....	47
2 Caractérisation électrique de transistors JFET-SiC de SiCED .....	47
2.1 Caractérisation électrique statique en polarisation directe .....	48
2.1.1 Différents régimes de fonctionnement .....	51
2.1.2 Caractéristique de transfert en régime de saturation .....	52
2.1.3 Rôle de la température.....	53
2.2 Caractérisation électrique statique en mode de polarisation inverse .....	55
2.3 Caractérisation électrique statique en mode de fonctionnement direct bloqué .....	59
2.4 Caractérisation électrique statique de la jonction grille source .....	61
2.4.1 Caractérisation électrique statique en mode de polarisation directe.....	62
2.4.2 Caractérisation électrique statique en mode de polarisation inverse .....	63
2.5 Mesure C(V) sur le transistor JFET de SiCED.....	65
2.6 Caractérisation du JFET-SiC en commutation .....	71
2.6.1 Caractérisation en commutation sur charge RL .....	72
2.6.2 Caractérisation en commutation sur un bras d'onduleur .....	77
2.7 Mécanisme de dégradation dans le transistor JFET en SiC.....	84
2.7.1 Principe de l'expérience .....	84
3 Conclusion.....	91

# Chapitre 2

## Caractérisation électrique du transistor JFET en SiC

### 1 Introduction

La caractérisation d'un composant de puissance est une étape importante avant toute phase de conception de système. Cette étape permet de déterminer le comportement des ces composants des conditions proches du fonctionnement réel. Une partie des techniques de caractérisation développées ici permet cela. A partir de cette caractérisation on peut déterminer les différents paramètres tels que la résistance à l'état passant  $R_{DS}^{ON}$ , le courant de saturation  $I_{DS}^S$ , la tension de blocage  $V_{T0}$  et la tenue en tension  $V_{BR}$ . Compte tenu des fluctuations des caractéristiques électriques des VJFET utilisés dans nos collaborations, notamment pour la conception d'onduleurs à VJFET sans diode fonctionnant à haute température, il est nécessaire de caractériser complètement ces composants. Nous allons présenter dans ce chapitre la méthodologie de caractérisation électrique du transistor JFET en SiC. Tout d'abord, nous présentons les résultats effectués sur les transistors JFET SiCED/INFINEON, ensuite nous présentons les mesures réalisées sur le transistor JFET SemiSouth.

### 2 Caractérisation électrique de transistors JFET-SiC de SiCED

Le Tableau 1 représente les différents paramètres électriques du JFET.

Symbole	Définition	Unité	Valeurs
$R_{DS}^{ON}$	Résistance à l'état passant	$\Omega$	$100\text{ m}\Omega < R_{DS}^{ON} < 450\text{ m}\Omega$
$I_{DS}^S$	Courant de saturation	A	$20\text{ A} < I_{DS}^{SAT} < 120\text{ A}$

$V_{T0}$	Tension de blocage	V	$-35\text{ V} < V_{T0} < -25\text{ V}$
$I_G$	Courant grille	A	Jusqu'à qqmA
$V_{GS}$	Tension grille-source	V	
$V_{BR}$	Tenue en tension	V	$1100\text{ V} < V_{BR} < 1400\text{ V}$
$V_{DS}$	Tension drain-source	V	

**Tableau 1** : Définition des différents paramètres électriques du JFET

Nous allons présenter dans cette partie la caractérisation électrique du transistor JFET de SiCED. Le Tableau 2 représente les trois lots du JFET de SiCED que nous avons caractérisés.

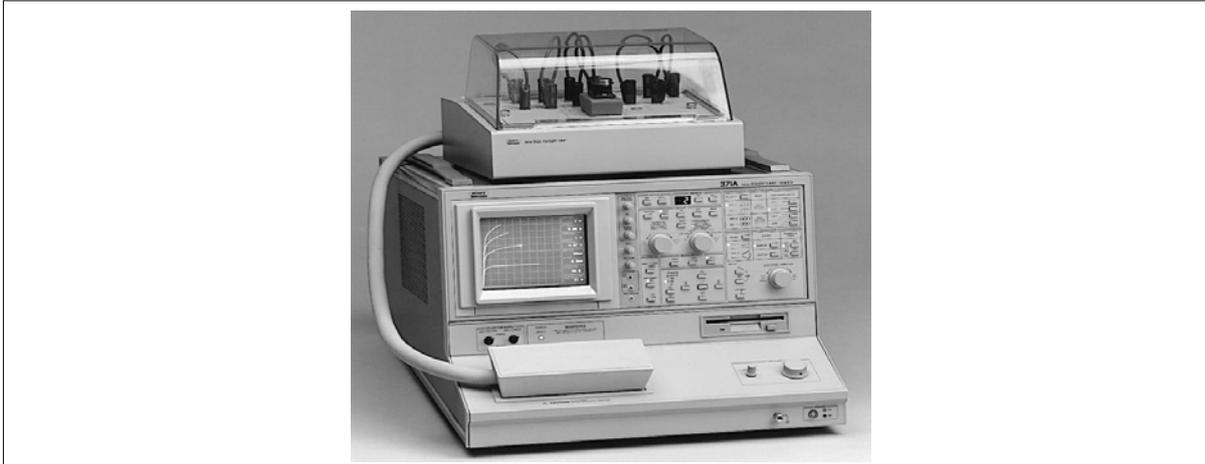
Lot	$V_{BR}$	$R_{DS}^{ON}$	Surface active
A	1200 V	100 mΩ	4,1x4,1 mm <sup>2</sup>
B	1200 V	100 mΩ	3,3x3,3 mm <sup>2</sup>
C	1200 V	300 mΩ et 450 mΩ	2,4 x 2,4 mm <sup>2</sup>

**Tableau 2** : Les trois versions du JFET de SiCED caractérisées.

Ces JFET possèdent une structure verticale à deux canaux: un canal latéral pour contrôler la grille et un canal vertical pour la tenue en tension. Nous présentons les caractéristiques électriques en statique et en dynamique que nous avons mesurées pour les JFET SiCED lot A et lot C. Ils existent d'autres versions de JFET SiCED nommées version-1 (1300 V – 2 A), version-2 (1500 V – 4 A) qui ont été déjà caractérisés [Mousa 2009].

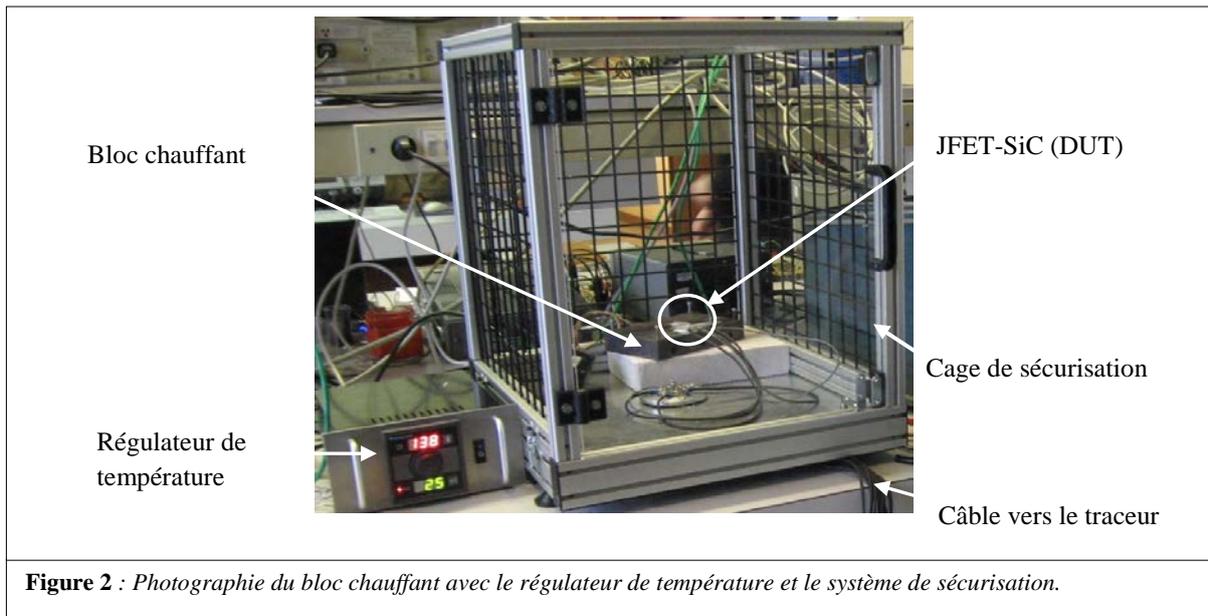
## 2.1 Caractérisation électrique statique en polarisation directe

Pour mesurer les JFET en polarisation directe on applique une tension drain-source positive  $V_{DS}$  en faisant varier la tension grille source négativement pour des valeurs comprises entre 0 V et la tension de blocage  $V_{T0}$ . Les mesures ont été visualisées sur le traceur Tektronix 371A (Figure 1) qui permet d'effectuer la caractérisation de composants en régime pulsé et qui peut atteindre au maximum une puissance de 3000 W et un courant de 400 A avec une durée d'impulsion généralement de 250 μs avec une période de 40 ms. La caractérisation en mode pulsé permet d'atteindre un fort niveau de courant tout en limitant le problème d'auto-échauffement.



**Figure 1 :** Photographie du traceur Tektronix 371A avec son boîtier de connexion

Pour caractériser les JFET en fonction de la température nous avons utilisé un bloc chauffant avec un régulateur de température pour contrôler la température entre l'ambiante et 300 °C. La Figure 2 montre le système expérimental.



**Figure 2 :** Photographie du bloc chauffant avec le régulateur de température et le système de sécurisation.

Les figures et 4 montrent les caractéristiques électriques statiques du JFET SiCED lot C, à température ambiante (25 °C) et à haute température (300 °C).

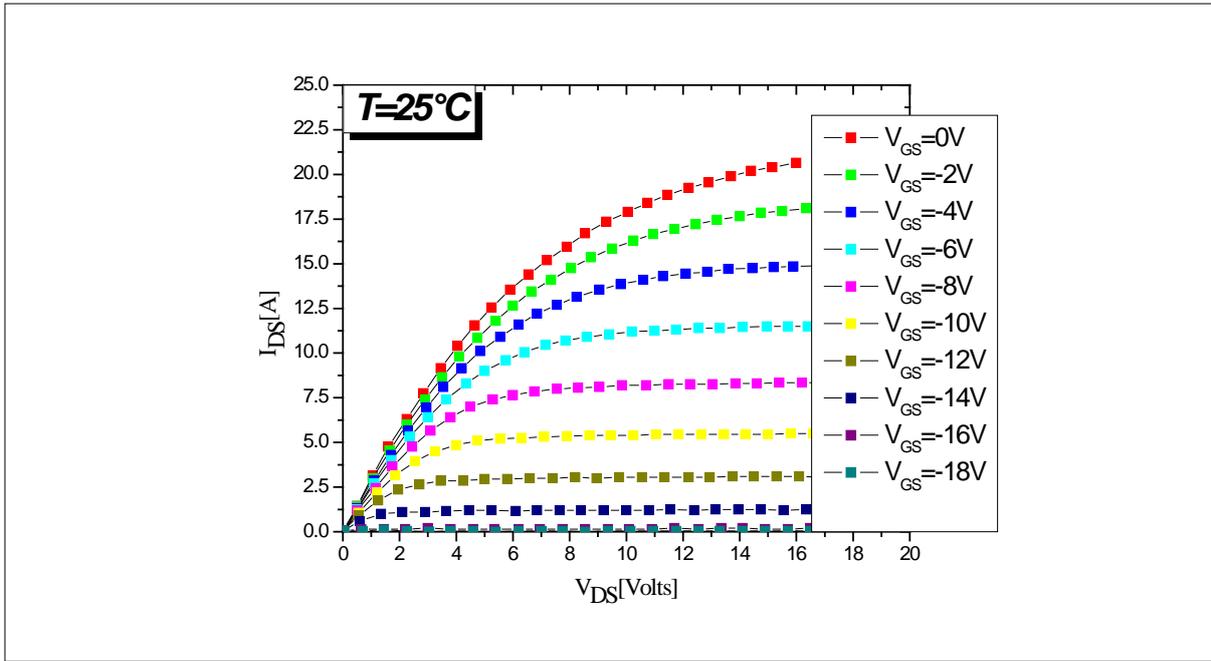


Figure 3 : Caractéristique électrique statique du JFET-SiCED lot C en polarisation directe à haute température 25°C

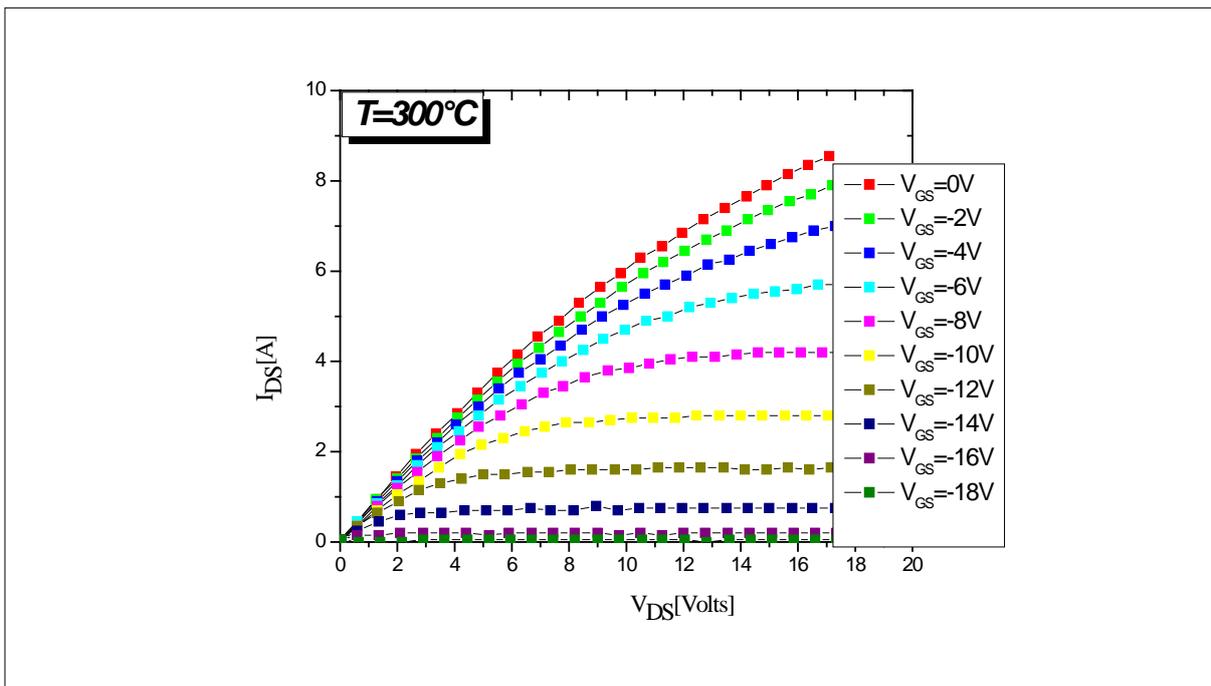


Figure 4 : Caractéristique électrique statique du JFET-SiCED lot C en polarisation directe à la température 300°C

Les figures 5 et 6 montrent les caractéristiques électriques statiques du JFET SiCED lot A, à température ambiante (25 °C) et à haute température (300 °C).

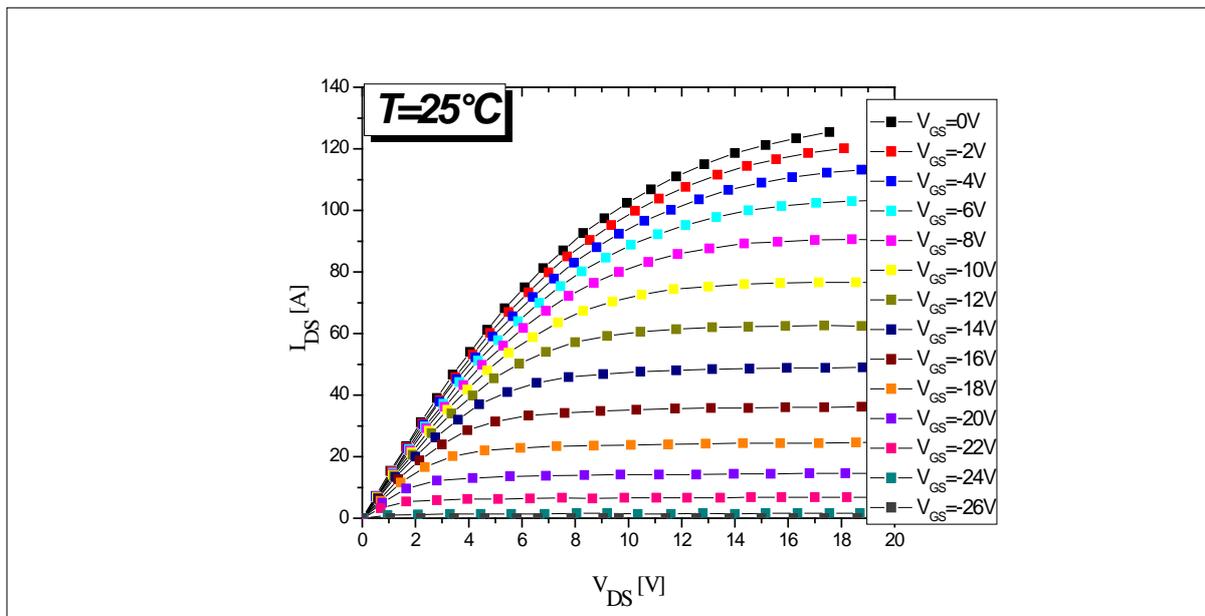


Figure 5: Caractéristique électrique statique du JFET-SiCED lot A N°64 en polarisation directe à la température 25°C

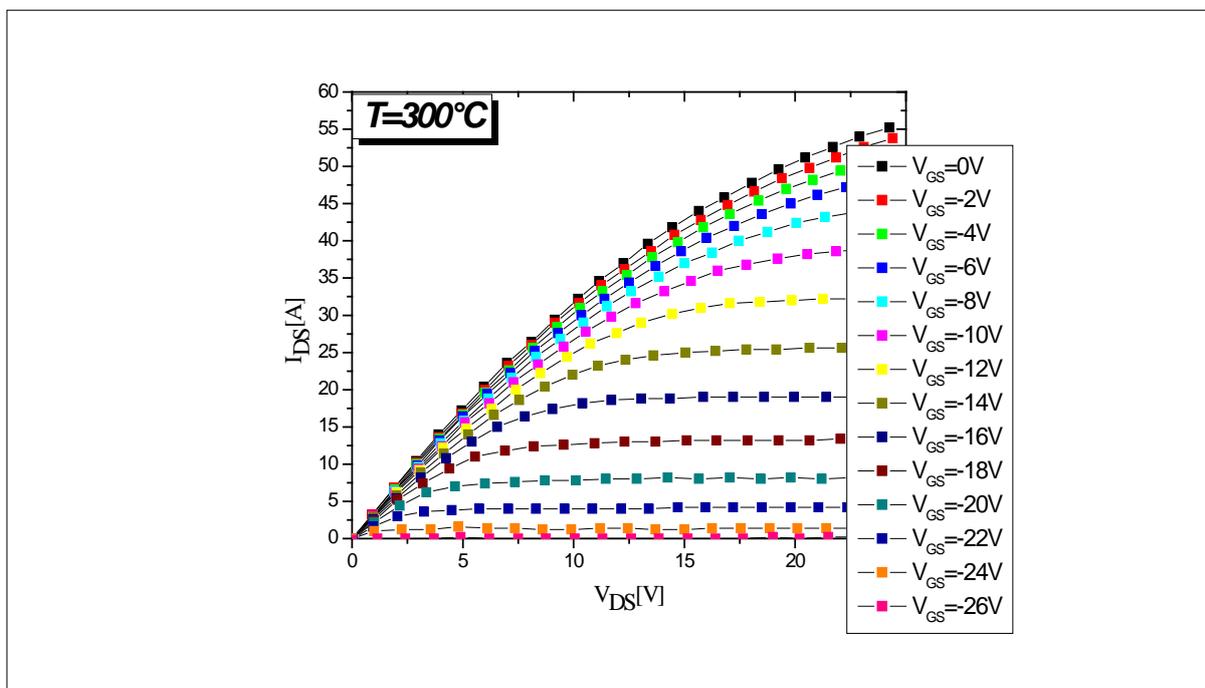


Figure 6 : Caractéristique électrique statique du JFET-SiCED lot A N°64 en polarisation directe à la température 300°C

Ces caractéristiques électriques nous permettent de mesurer les différents paramètres électriques du JFET (résistance à l'état passant, courant de saturation, tension de blocage, ...) dans les différents régimes de fonctionnement : pincé, ohmique et saturé.

### 2.1.1 Différents régimes de fonctionnement

A partir des caractéristiques électriques statiques en polarisation directe du JFET mesuré, on peut remarquer que le fonctionnement du JFET peut être décomposé en deux

régimes de fonctionnement [Mathieu 2001]. Le premier régime est le régime linéaire ou ohmique qui correspond à une relation quasi linéaire du courant  $I_{DS}$  avec les faibles valeurs de la tension drain source  $V_{DS}$ . Dans cette zone le JFET se comporte comme une résistance contrôlée par la tension grille source  $V_{GS}$ . Cette résistance représente l'inverse de la pente du courant de drain à faible  $V_{DS}$  et à  $V_{GS}$  nul. Par définition cette résistance est appelée la résistance à l'état passant, est notée  $R_{DS}^{ON}$  a comme expression.

$$R_{DS}^{ON} = \left( \frac{\partial V_{DS}}{\partial I_{DS}} \right)_{V_{GS}=0, V_{DS} \rightarrow 0} \quad (1)$$

Le deuxième régime de fonctionnement est le régime de saturation ou régime de pincement. Dans ce régime, les zones de charge d'espace se touchent, le canal conducteur est pincé et. Le courant de sortie  $I_{DS}$  devient égal au courant de saturation  $I_{DS}^S$  qui est presque indépendant de  $V_{DS}$ . La Figure 7 montre l'évolution de la section conductrice des deux canaux dans le régime linéaire (à gauche) et dans le régime de pincement (à droite).

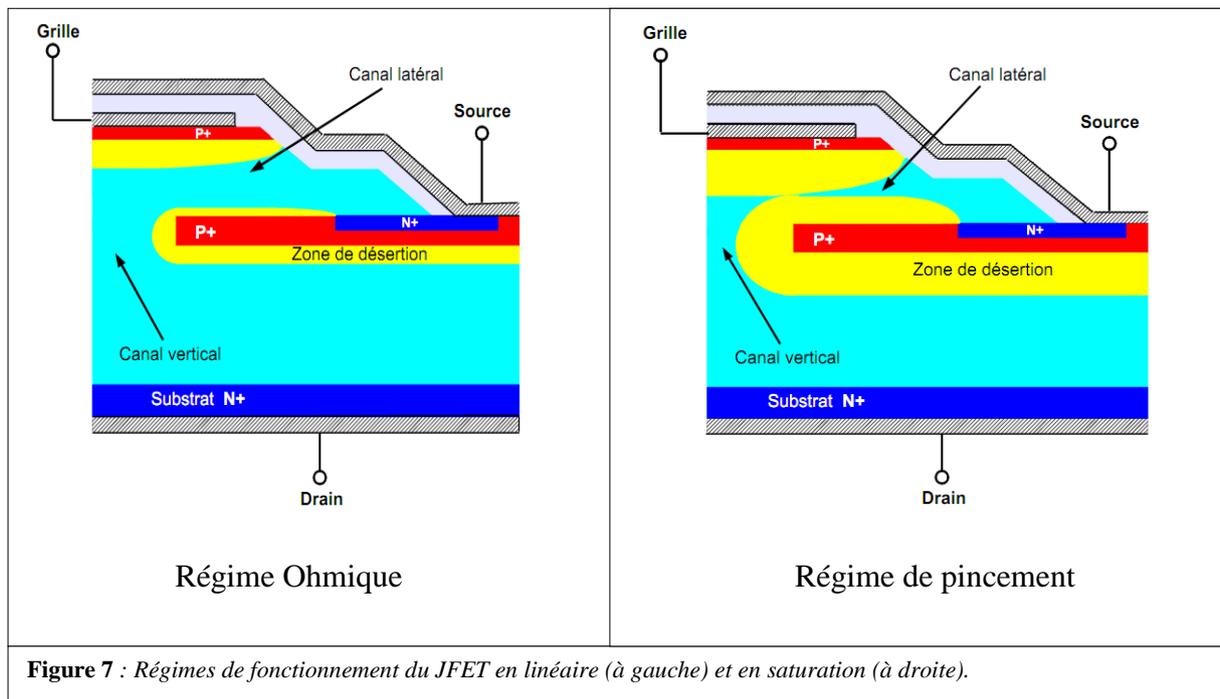
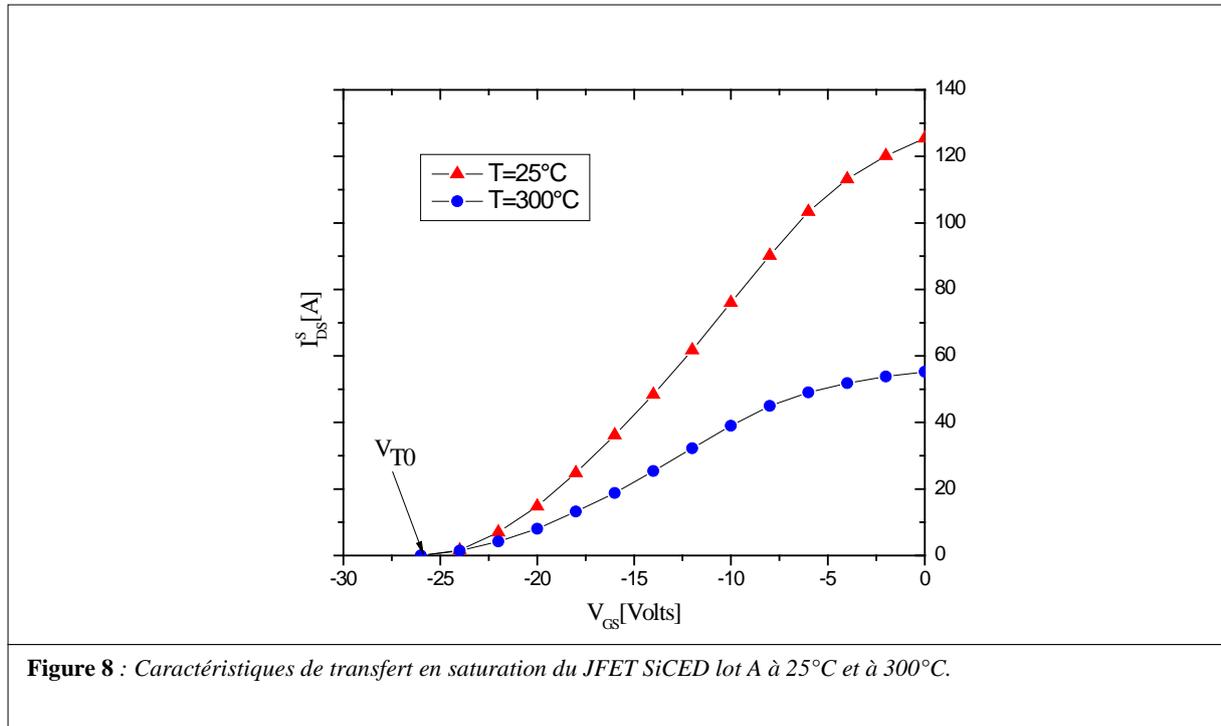


Figure 7 : Régimes de fonctionnement du JFET en linéaire (à gauche) et en saturation (à droite).

### 2.1.2 Caractéristique de transfert en régime de saturation

La caractéristique de transfert du JFET en régime de saturation est donnée par la variation du courant de saturation  $I_{DS}^S$  en fonction de la tension de polarisation grille-source  $V_{GS}$ . Cette caractéristique nous donne la valeur maximale du courant drain-source ( $I_{DS}^S$ ) pour

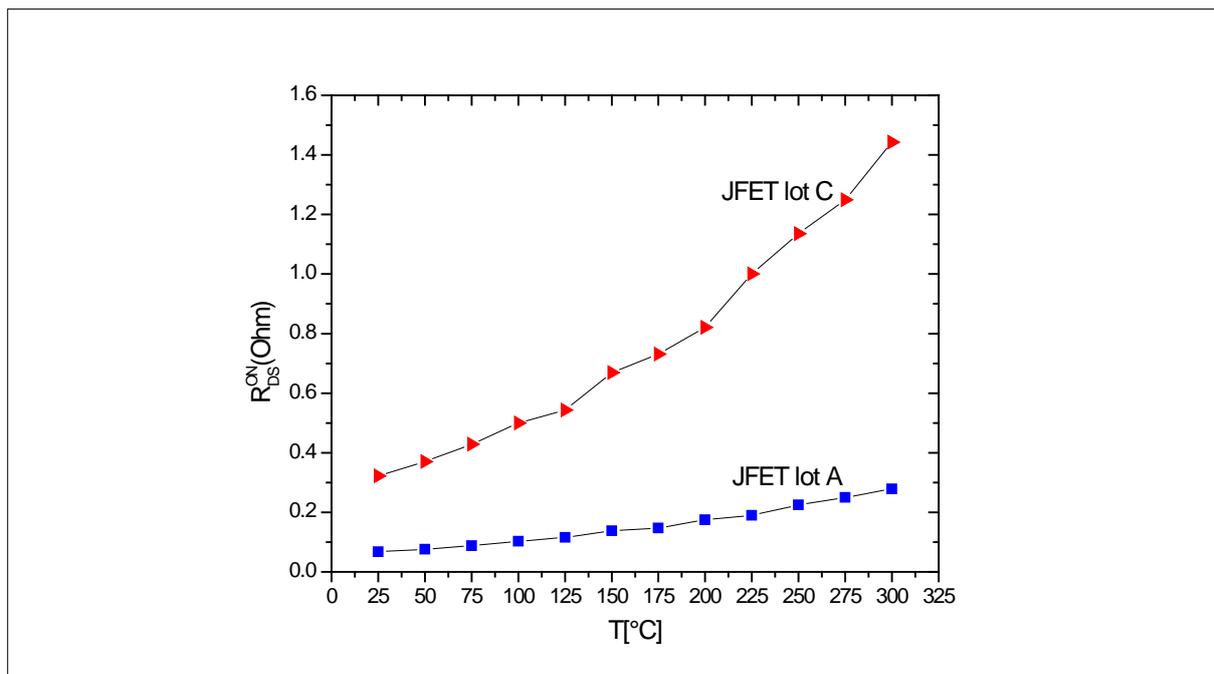
une tension grille-source nulle et la valeur de ce courant ( $I_{DS} = 0$ ) pour une tension grille-source égale à la tension du blocage  $V_{T0}$  [Mathieu 2001]. La Figure 8 représente les caractéristiques du transfert en saturation  $I_{DS}(V_{GS})$  du JFET SiCED lot A à la température ambiante et  $300^{\circ}\text{C}$  que nous avons obtenues à partir de la caractéristique électriques en statique direct représentés dans la figure 5 et 6.



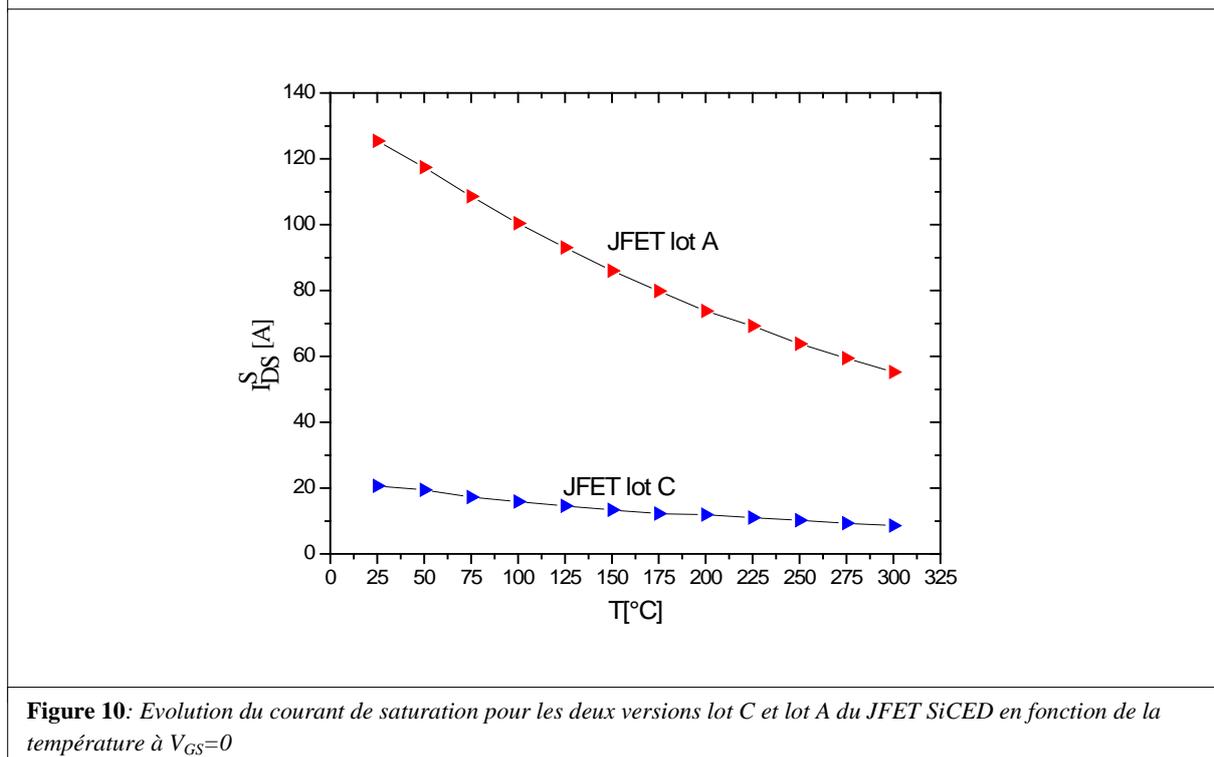
D'après la Figure 8 on peut constater que la variation du courant de saturation en fonction de la tension  $V_{GS}$  est non linéaire et que ce courant diminue avec la diminution de  $V_{GS}$  pour une température donnée. Cette diminution est due à la réduction de la largeur du canal avec l'augmentation de la polarisation négative de grille. Ce courant s'annule pour des polarisations négatives de  $V_{GS}$  correspondant à la tension du blocage  $V_{T0}$ .

### 2.1.3 Rôle de la température

D'après les caractéristiques électriques statiques du JFET en polarisation directe nous avons tracé l'évolution de la résistance à l'état passant  $R_{DS}^{ON}$  et le courant de saturation  $I_{DS}^{SAT}$  en fonction de la température pour les deux lots A et C. Les figures 9 et 10 représentent l'évolution de la résistance à l'état ainsi le courant de saturation du JFET en fonction de la température.



**Figure 9:** Evolution de la résistance à l'état passant pour les deux versions lot C et lot A du JFET SiCED en fonction de la température à  $V_{GS}=0$



**Figure 10:** Evolution du courant de saturation pour les deux versions lot C et lot A du JFET SiCED en fonction de la température à  $V_{GS}=0$

D'après les figures 9 et 10 on peut constater que l'augmentation de la température provoque une augmentation de la résistance à l'état passant et une diminution du courant de saturation. Ce phénomène est dû à la diminution de la mobilité des porteurs qui augmentent avec l'augmentation de la température. La dépendance de la mobilité en fonction de la température peut être exprimée par l'expression suivante [Sannuti 2005]:

$$\mu_n = \frac{947}{1 + \left(\frac{N_i}{1.94 \times 10^{17}}\right)^{0.61}} \left(\frac{T}{300}\right)^{-2.15} \quad (2)$$

Où,  $N_i$  correspond à la concentration totale des impuretés ionisées exprimée en  $m^{-3}$  (S.I) et T représente la température de jonction en Kelvin.

La Figure 11 représente la variation de la mobilité en fonction de la température pour une concentration donnée ( $N_i=5.7 \times 10^{15} cm^{-3}$ ).

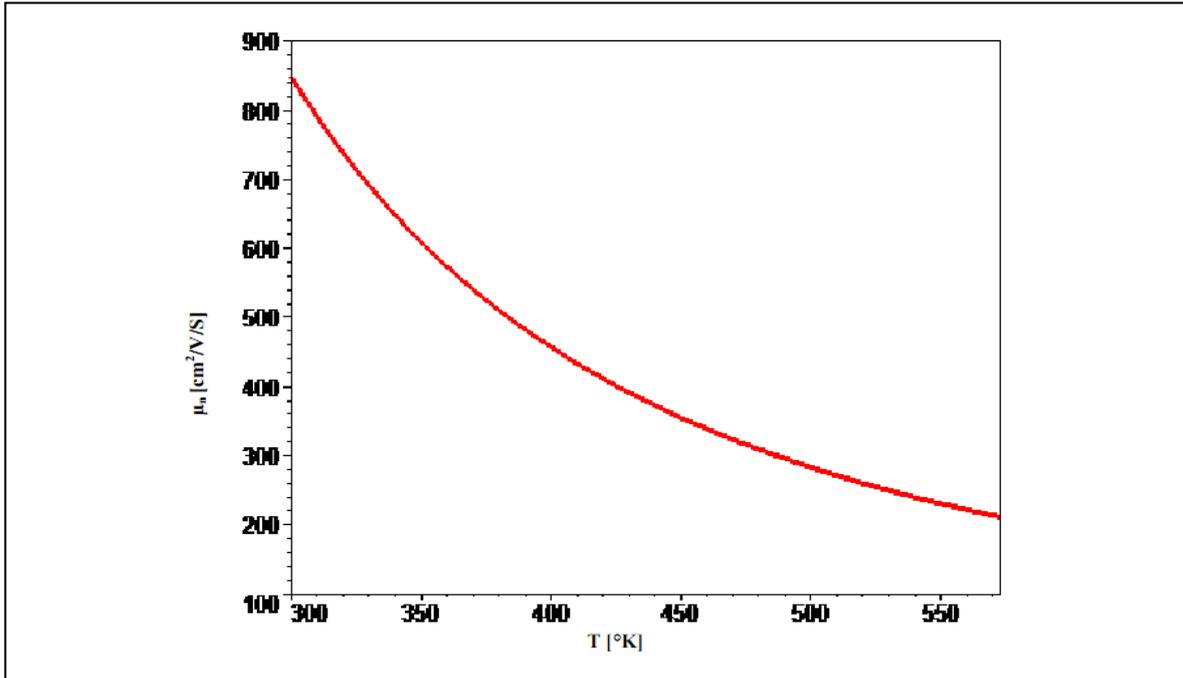
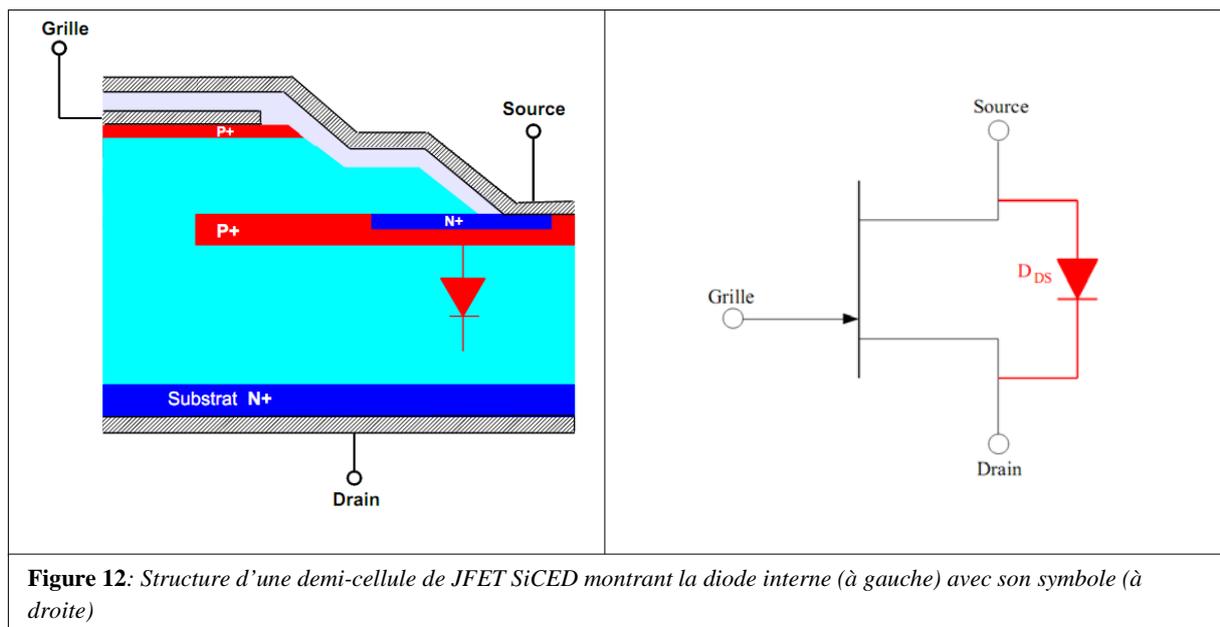


Figure 11: Variation de la mobilité en fonction de la température.

## 2.2 Caractérisation électrique statique en mode de polarisation inverse

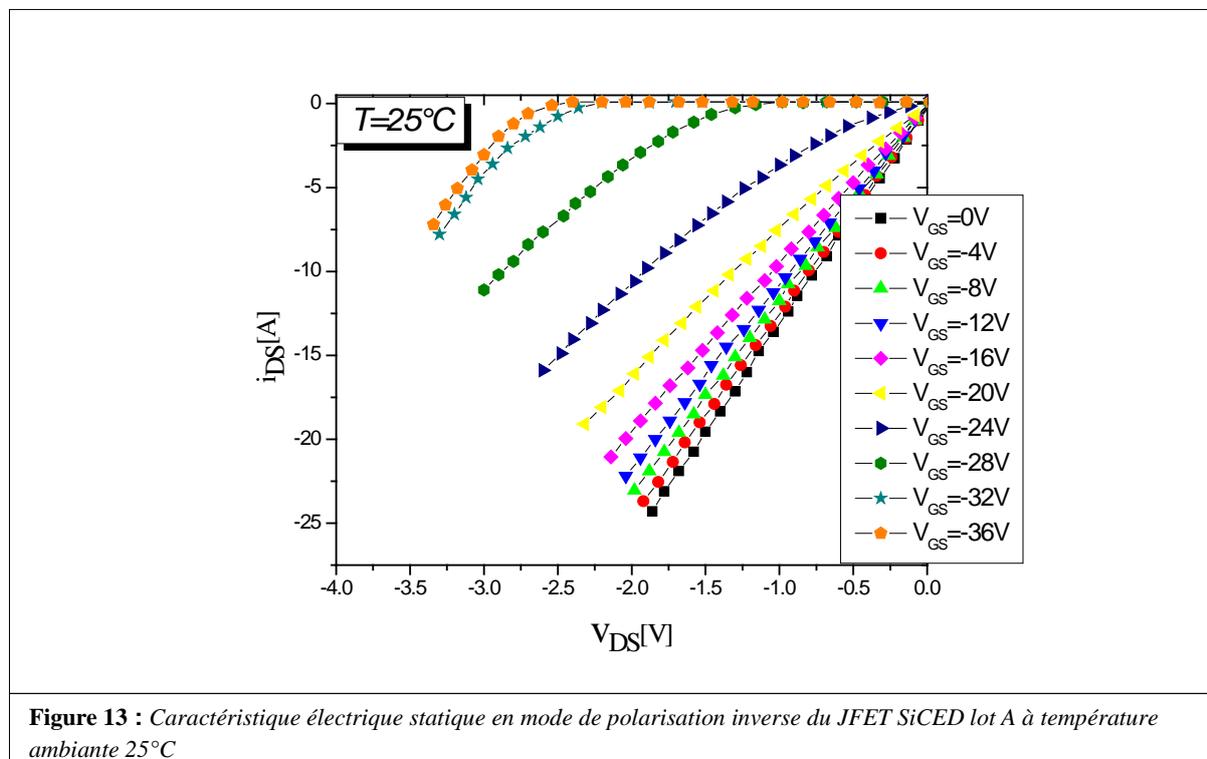
La structure du JFET déjà présentée au chapitre 1 (Figure 7) intègre une diode bipolaire intrinsèque entre drain et source connectée en parallèle avec le canal de conduction [Friedrichs 2000]. Cela permet la réalisation d'un onduleur SiC sans diode de roue libre et qui fonctionne à haute température [Bergogne 2005]. Dans ce cas, il est avantageux de mettre en conduction le canal du JFET lorsque la diode conduit, pour réduire la chute de tension.

La Figure 12 représente une coupe verticale d'une demi-cellule du JFET SiCED qui montre la diode intrinsèque.



**Figure 12:** Structure d'une demi-cellule de JFET SiCED montrant la diode interne (à gauche) avec son symbole (à droite)

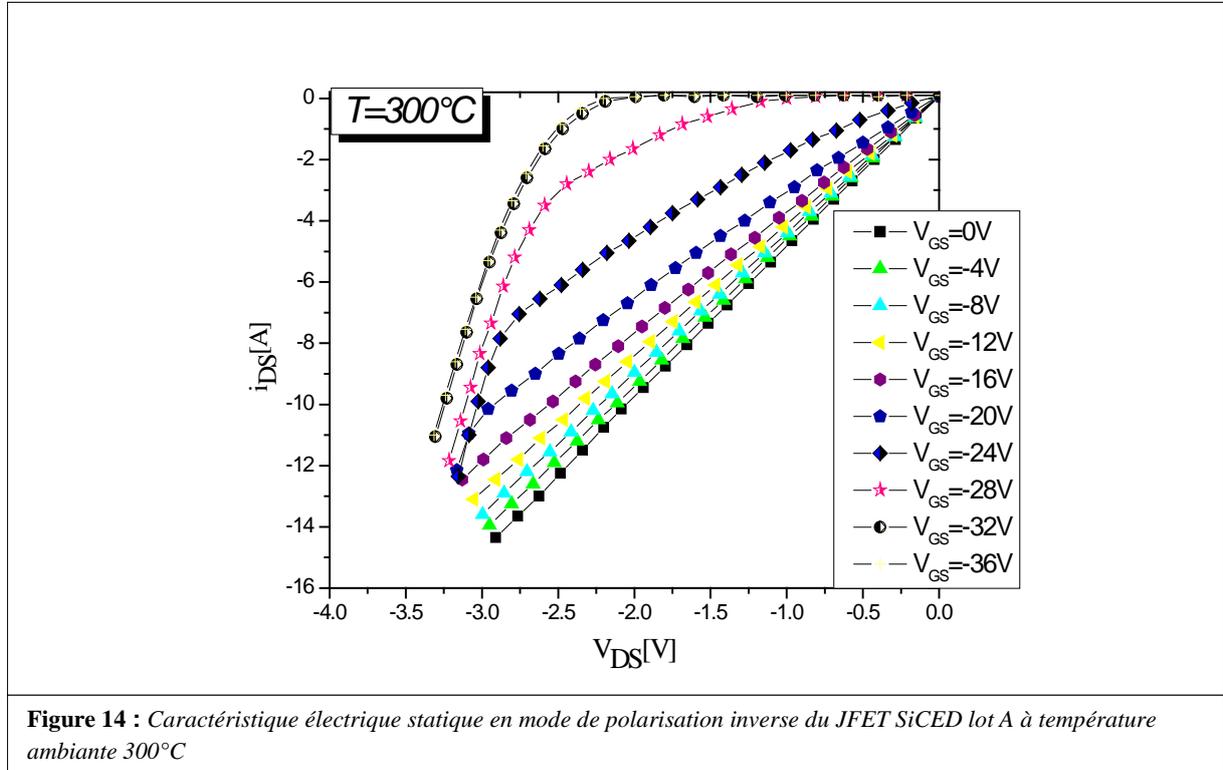
Les figures 13 et 14 suivantes montrent les caractéristiques électriques statiques du JFET SiCED lot A en mode de polarisation inverse à température ambiante, 25 °C, et 300 °C. Les mesures ont été effectuées sur le traceur 371A. D'après ces figures on peut voir que le courant circule en sens inverse même si les tensions  $V_{GS}$  sont inférieures à la tension de seuil, et cela en raison de présence de la diode interne.



**Figure 13 :** Caractéristique électrique statique en mode de polarisation inverse du JFET SiCED lot A à température ambiante 25°C

En effet, le courant commence à circuler dans la diode interne lorsque la tension de polarisation entre drain et source dépasse la tension de diffusion de la jonction PN de la diode

interne  $V_{bi}$ . Cela est clairement observé sur les caractéristiques inverses à  $300^{\circ}\text{C}$  représentés dans la Figure 14. On observant la Figure 14, par exemple pour  $V_{GS}=-24\text{V}$ , quand  $I_{DS}<5\text{A}$  la relation courant-tension est quasi linéaire, c'est  $R_{DS}^{ON}$  que l'on observe et quand  $I_{DS}>5\text{A}$ , la tension varie alors suivant la caractéristique d'une diode.



Les caractéristiques statiques de la diode peuvent s'exprimer par la relation classique suivante [Kashyap 2006] :

$$I_{AK} = I_S \left( e^{\frac{qV_{bi}}{nKT}} - 1 \right) \quad (3)$$

Et,

$$V_{AK} = V_{bi} + R_S I_{AK} \quad (4)$$

Où,  $T$  est la Température en Kelvin,  $n$  est le facteur d'idéalité de la diode,  $I_S$  le courant de la saturation,  $R_S$  est la résistance série,  $k$  est la constante de Boltzmann,  $q$  est la charge élémentaire.

La Figure 15 montre un schéma explicite du modèle de la diode.

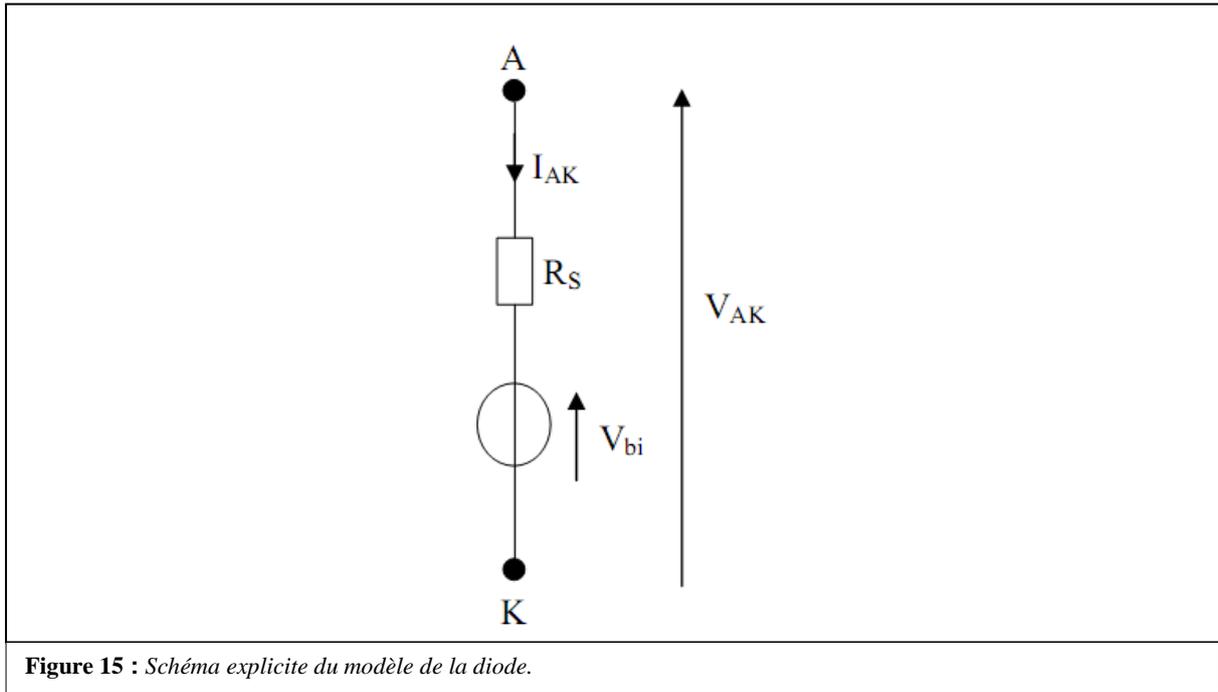
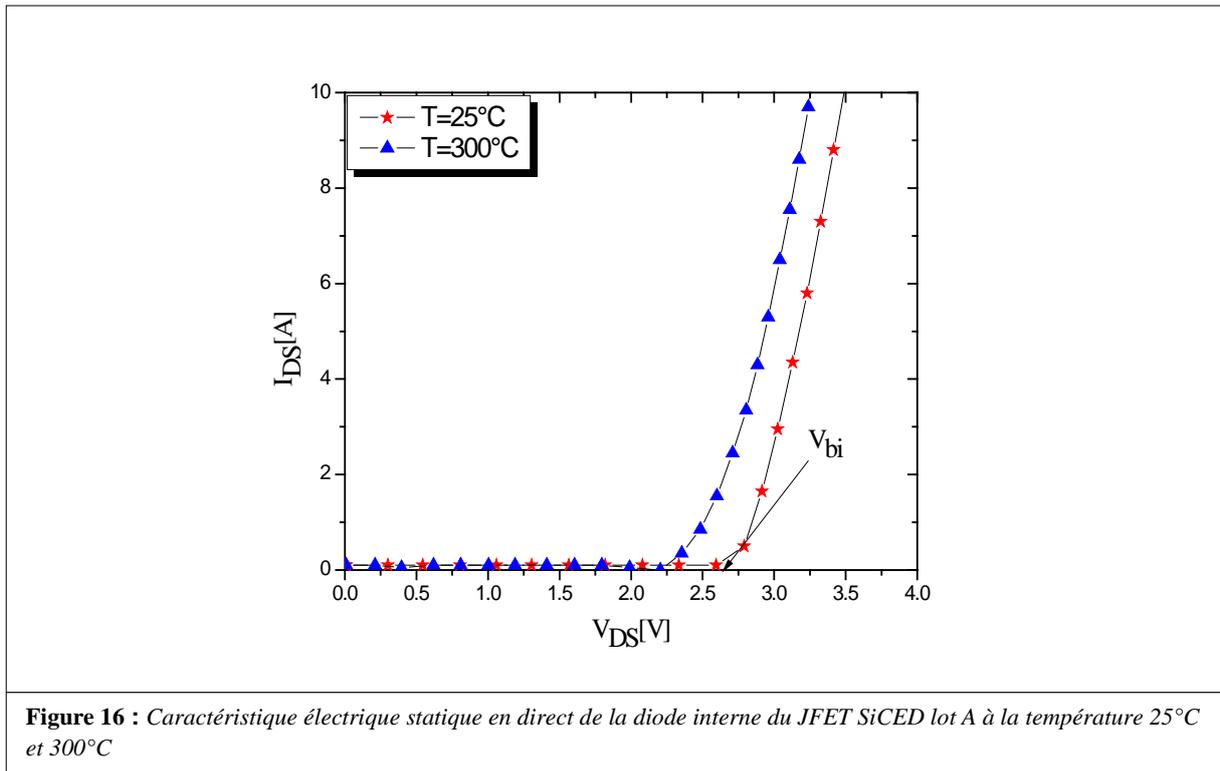


Figure 15 : Schéma explicite du modèle de la diode.

On peut constater qu'avec l'augmentation de la température la conductivité du canal du JFET diminue et par conséquent le courant inverse diminue aussi. Pour bloquer définitivement le canal dans les conditions de polarisation inverse il faut appliquer une tension de polarisation de la grille inférieure à la tension de pincement. En effet, en observant les caractéristiques du JFET en inverse on peut voir qu'il existe une valeur de la tension grille-source qui correspond au pincement du canal du JFET et que la caractéristique électrique en inverse courant - tension  $i_{DS} - v_{DS}$  du JFET n'a aucun changement au-delà de cette valeur.

C'est à partir de cette valeur nous avons mesuré la caractéristique de la diode bipolaire. La Figure 16 représente la caractéristique statique en direct de la diode interne du JFET que nous avons caractérisé à partir de la caractéristique en inverse du JFET à la température 25°C et 300°C pour le JFET du lot A.



On peut constater d'après cette figure que la chute de tension sur la diode interne du JFET diminue avec l'augmentation de la température. Cela résulte du fait que la tension de diffusion  $V_{bi}$  diminue avec l'augmentation de la température. Enfin, les résultats observés montrent que la diode interne de la structure JFET - SiCED est bien une diode bipolaire et que la valeur de la tension de diffusion  $V_{bi}$  est environ 2,6 V typique du poly-type SiC-4H.

### 2.3 Caractérisation électrique statique en mode de fonctionnement direct bloqué

Le but de cette caractéristique est d'estimer la valeur de la tension de drain qui provoque l'apparition de l'avalanche. En effet, pour mesurer le JFET en mode de fonctionnement direct bloqué il suffit de bloquer du JFET en appliquant une tension négative sur sa grille (tension de blocage) et une tension drain source positive. Pour effectuer cette mesure nous avons utilisé le traceur Tek 370 A. La Figure 17 représente une photographie du traceur Tek370 A, modèle similaire au traceur Tek371A mais qui est plus sensible pour les courants faibles. Ceci est bien adapté aux mesures de courants de fuite et d'avalanche.



Figure 17 : Photographie du traceur Tek 370A avec son boîtier

Le JFET a été bloqué par une source de tension extérieure (0-30V). Les figures 18 et 19 représentent les résultats de mesures en direct bloqué du JFET SiCED lot C et lot A à température ambiante.

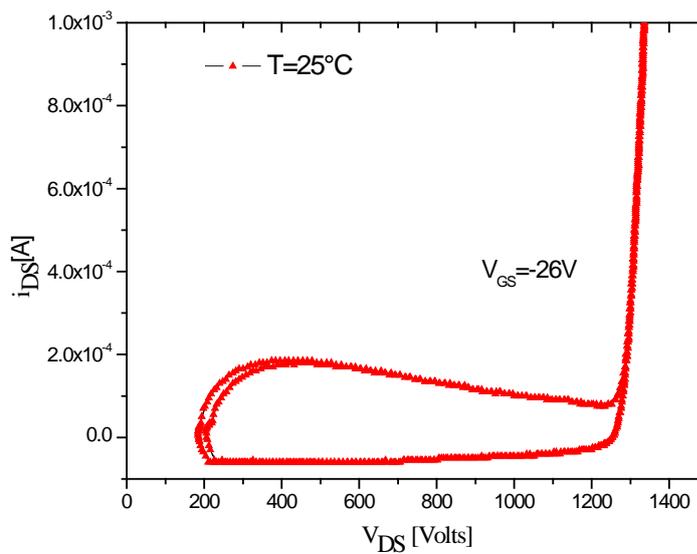
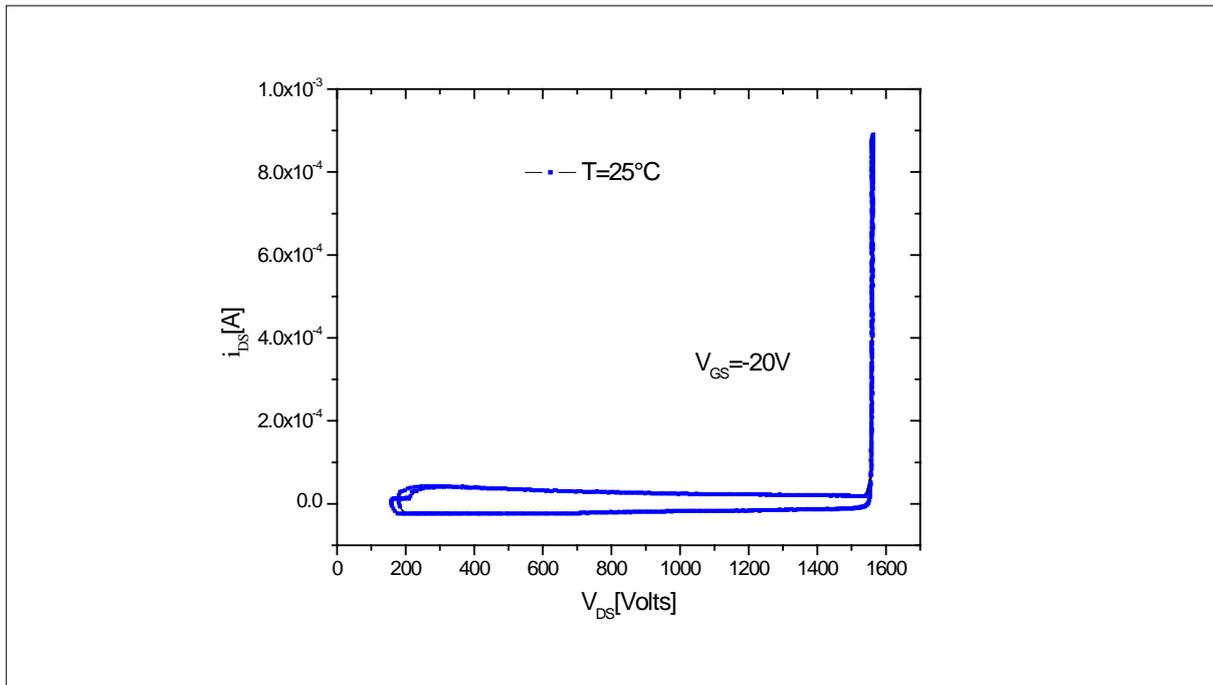


Figure 18 : Caractéristique électrique statique en direct bloqué du JFET SiCED lot A à la température ambiante pour  $V_{GS}=-26V$ . Dans ce cas la  $V_{BR}=1250V$  pour  $I_{DS}=1mA$



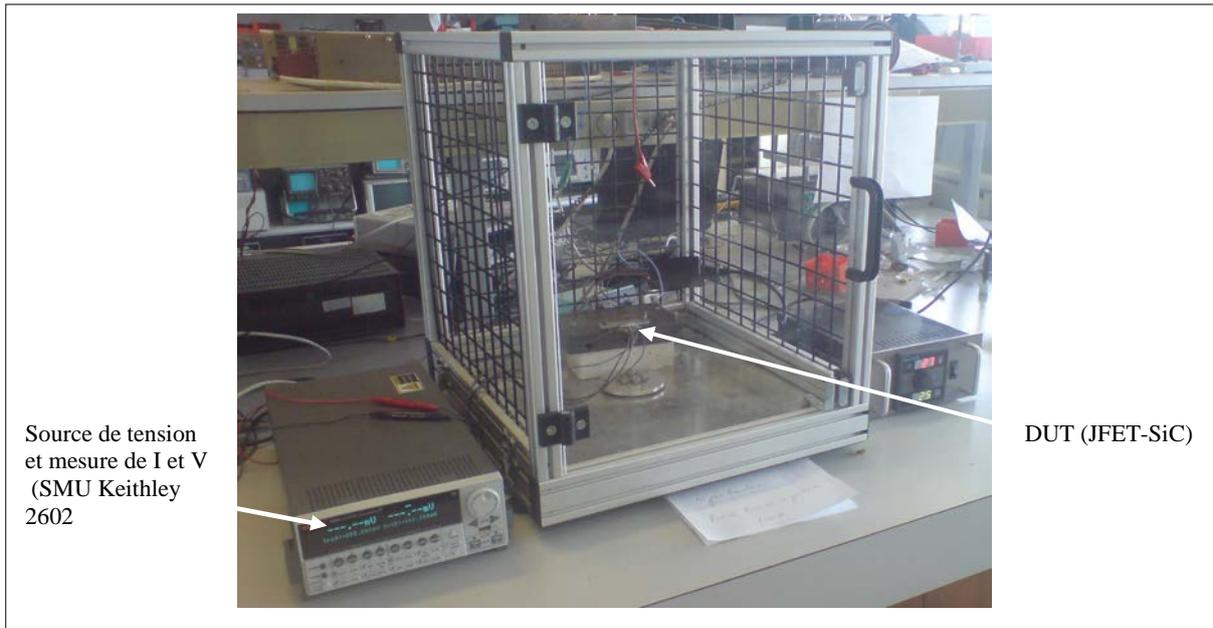
**Figure 19 :** Caractéristique électrique statique en direct bloqué du JFET SiCED lot C à la température ambiante pour  $V_{GS}=-20V$ . Dans ce cas la  $V_{BR}=1550V$  pour  $I_{DS}=1mA$ ,

La tension de claquage du JFET augmente avec l'augmentation de la température [Friedrichs 2006] du fait que le libre parcours moyen diminue avec la température ce qui entraîne une diminution de la distance permettant l'accélération des porteurs. Il faut, par conséquent un champ électrique plus élevé pour produire le processus d'avalanche [Lee 2000].

## 2.4 Caractérisation électrique statique de la jonction grille source

Nous allons présenter dans cette partie les résultats de la caractéristique électrique statique de la jonction grille source en mode de polarisation directe et inverse du JFET SiCED lot A. Pour effectuer ces mesures statiques une source de tension contrôlée, mesurant le courant débité suffit (ici une alimentation continue Keithley 2602).

La Figure 20 représente une photographie du système de mesure de la jonction grille-source en fonction de la température.

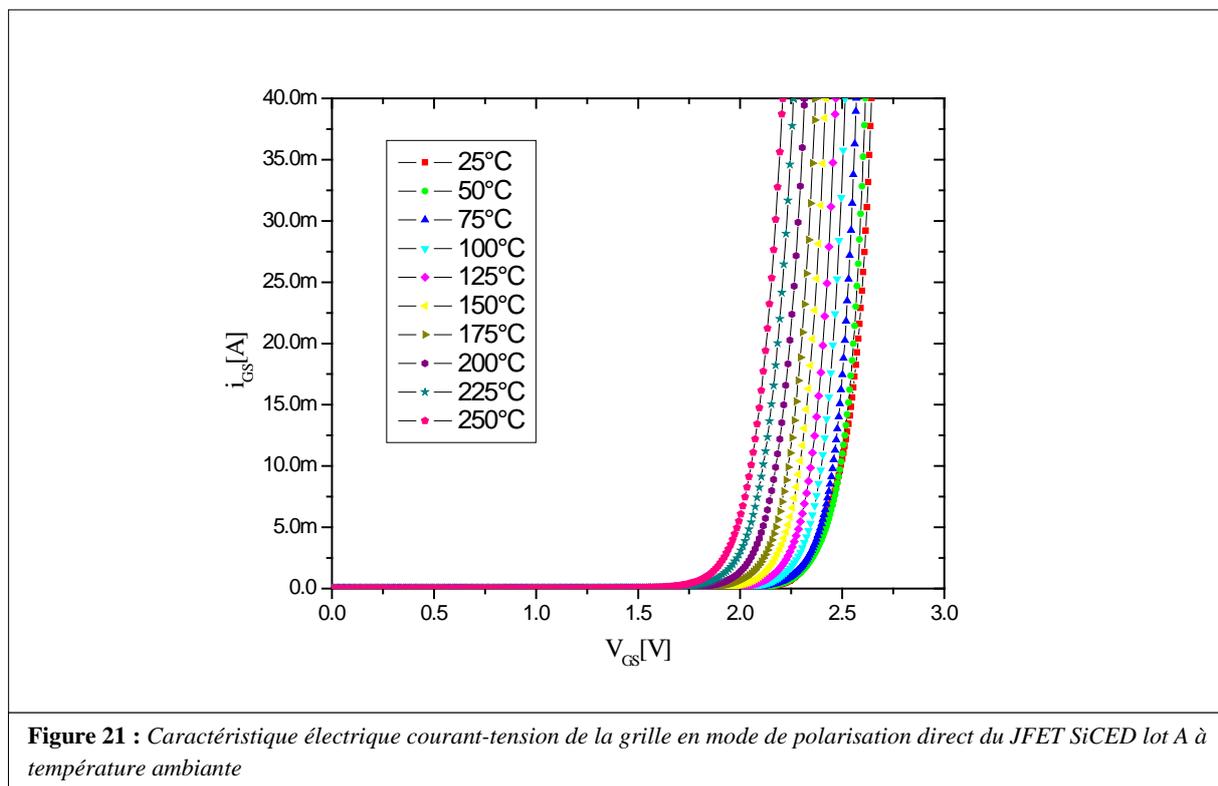


**Figure 20** : Photographie du banc de test utilisé pour mesurer les caractéristiques électriques de la jonction grille – source du JFET SiCED

### 2.4.1 Caractérisation électrique statique en mode de polarisation directe

Pour caractériser la grille en mode de polarisation directe, on applique une tension positive sur sa grille. Les mesures ont été faites pour des faibles niveaux pour éviter la casse de la jonction. Une limite arbitraire a été fixée à 40 mA ce qui correspond à une dissipation de 100 mW pour  $V_{GS}=2.5$  V. La valeur maximale admissible pour le courant direct dans la jonction grille-source n'est pas fournie par le constructeur. Nous n'avons constaté aucun phénomène de dérive thermique avec un courant direct de 40 mA et cette valeur nous suffit pour caractériser cette jonction. A 40 mA, toutes les caractéristiques se trouvent clairement au dessus de la tension de seuil de la diode.

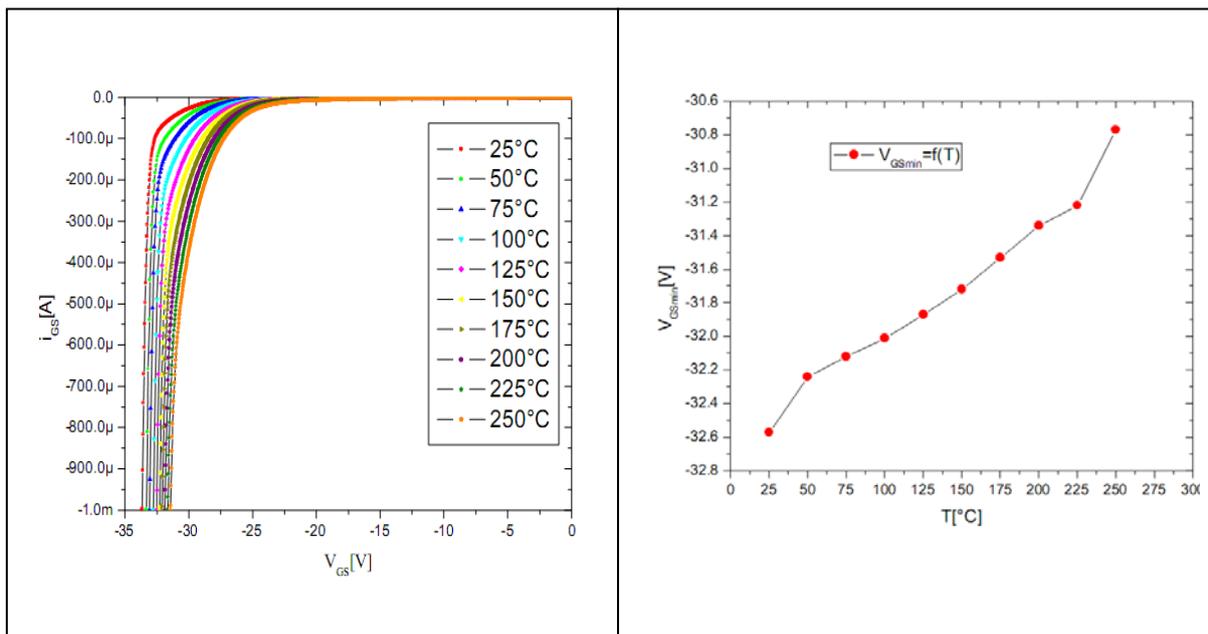
La Figure 21 représente la variation du courant grille  $i_{GS}$  en fonction de la tension grille source  $V_{GS}$  pour des températures comprises entre 25 °C et 250 °C pour le JFET lot A du JFET SiCED.



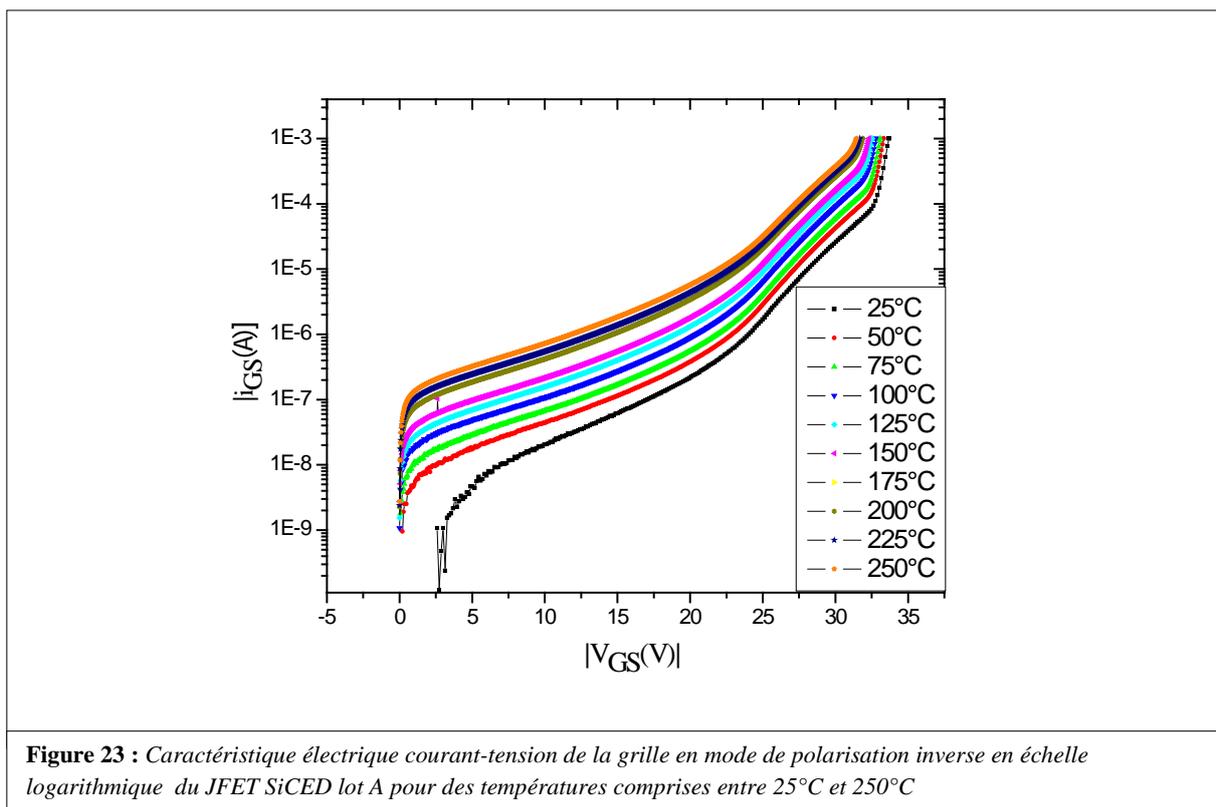
On peut constater d'après la Figure 21 que la chute de tension directe sur la diode grille-source diminue avec l'augmentation de la température comme le fait la tension de diffusion  $V_{bi}$ . Ce phénomène est bien connu dans les diodes bipolaires. Ceci confirme que la diode de la grille-source est une diode bipolaire.

#### 2.4.2 Caractérisation électrique statique en mode de polarisation inverse

L'objectif de cette mesure est d'évaluer la tension inverse maximale de la jonction grille source ( $V_{GSmax}$ ) et d'estimer l'évolution du courant inverse de la grille  $i_{GS}$  en fonction de la tension grille source  $V_{GS}$ . Pour effectuer cette caractéristique, on applique une tension négative sur la grille par rapport à la source. Les figures 22 et 23 montrent les résultats de la caractéristique électrique de la jonction grille source mesurée en mode de polarisation inverse en échelle linéaire et en échelle logarithmique du JFET SiCED lot A pour des températures comprises entre 25 °C et 250 °C.



**Figure 22 :** Caractéristique électrique courant-tension de la grille en mode de polarisation inverse en échelle linéaire du JFET SiCED lot A pour des températures comprises entre 25°C et 250°C (à gauche), variation de la tension de blocage en fonction de température (à droite)



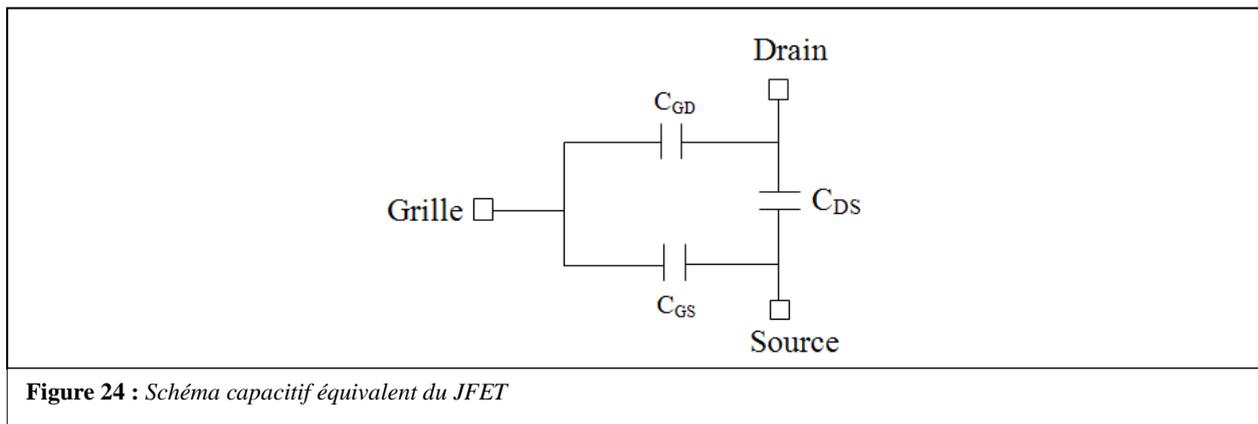
**Figure 23 :** Caractéristique électrique courant-tension de la grille en mode de polarisation inverse en échelle logarithmique du JFET SiCED lot A pour des températures comprises entre 25°C et 250°C

Nous avons effectué les mesures en échelles logarithmiques pour voir le courant de fuite pour une tension grille-source  $V_{GS} < 25V$ . D'après ces mesures on peut déduire que la température affecte les caractéristiques inverses de la jonction grille-source du JFET en SiC. En effet, et comme la montre les figures 22 et 23, avec l'augmentation de la température, le

courant de fuite devient plus élevé. Cela est dû à l'augmentation du courant de génération de la jonction [Bergogne 2008]. Le mécanisme de tenue en tension observée n'est pas le mécanisme d'avalanche par ionisation de la jonction PN, mais le mécanisme de «punch through» entre les deux zones P+ de grille et de source [Berry 2010]. Si le canal était plus épais, l'avalanche par ionisation de la jonction P<sup>+</sup>N entre la grille et le canal se déclencherait avant le «punch through» par percement [Friedrichs 2006]. En français on utilise parfois «percement» pour traduire «punch through»

## 2.5 Mesure C(V) sur le transistor JFET de SiCED

Les mesures du JFET en C(V) peuvent être évaluées à partir de la mesure de ses différentes capacités de jonction  $C_{GS}$ ,  $C_{DS}$ ,  $C_{GD}$ . La Figure 24 représente un schéma capacitif équivalent du JFET. les mesures sont faite pour un point de polarisation donné, avec des petits signaux alternatifs.



Une méthode classique de mesure consiste à mesurer les capacités  $C_{iss}$ ,  $C_{oss}$  et  $C_{rss}$  [Funaki 2007]. La capacité  $C_{iss}$  représente la capacité d'entrée défini par :  $C_{iss}=C_{GS}+C_{GD}$ ,  $C_{oss}$  représente la capacité de sortie défini par :  $C_{oss}=C_{GD}+C_{DS}$  et  $C_{rss}$  représente la capacité de transfert inverse défini par:  $C_{rss}=C_{GD}$ . Pour réaliser nos mesures nous avons utilisé une autre méthode basée sur la platine de test fabriquée par notre laboratoire qui permet d'imposer les conditions de polarisation au JFET nécessaire tout en conservant le fonctionnement de l'analyseur d'impédance. La Figure 25 représente une photographie de la platine de test utilisée pour effectuer ses mesures.

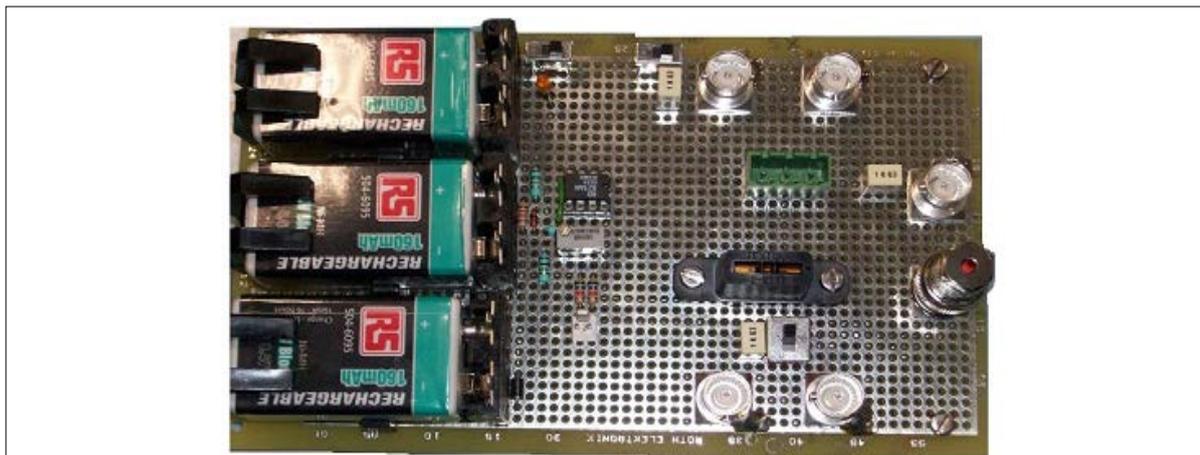


Figure 25: Platine de test pour mesures les différentes capacités de jonction du JFET

Cette platine est composée de deux parties : une partie pour alimenter la grille, basée sur 3 accumulateurs 9V, avec un régulateur de tension, ajustable entre 15 et 25V et la deuxième partie constitue l'interface de mesure proprement dite. Elle est constituée de six connecteurs BNC, quatre étant utilisés simultanément. Cette platine permet de mesurer les trois capacités de jonction  $C_{GS}$ ,  $C_{DS}$ , et  $C_{GD}$  en implémentant la technique de mesure de capacité gardée. La Figure 26 représente le circuit de test équivalent associé.

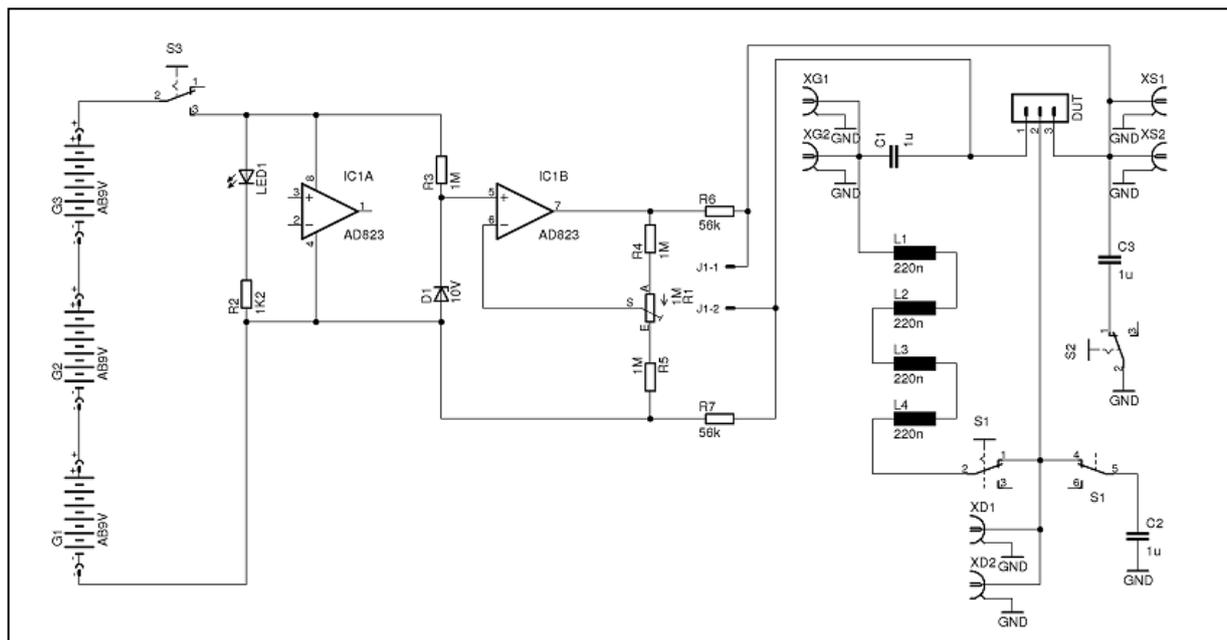


Figure 26: Schéma de la platine de test utilisé pour mesurer les différentes capacités de jonction du JFET

Les mesures sont visualisées sur l'analyseur d'impédance HP4194A. Cet analyseur d'impédance permet de couvrir une bande de fréquence étendue de 100 Hz à 40 MHz, il mesure à fréquence fixée, la capacité présente entre les bornes  $[H_p, H_C]$  et  $[L_p, L_C]$ , en injectant un petit signal sinusoïdal d'amplitude  $-V$ . L'analyseur permet de polariser la

capacité de 0 à 40V mais il est limité à une tension de 40 V. La Figure 27 représente une photographie de l'analyseur d'impédance HP4194A.



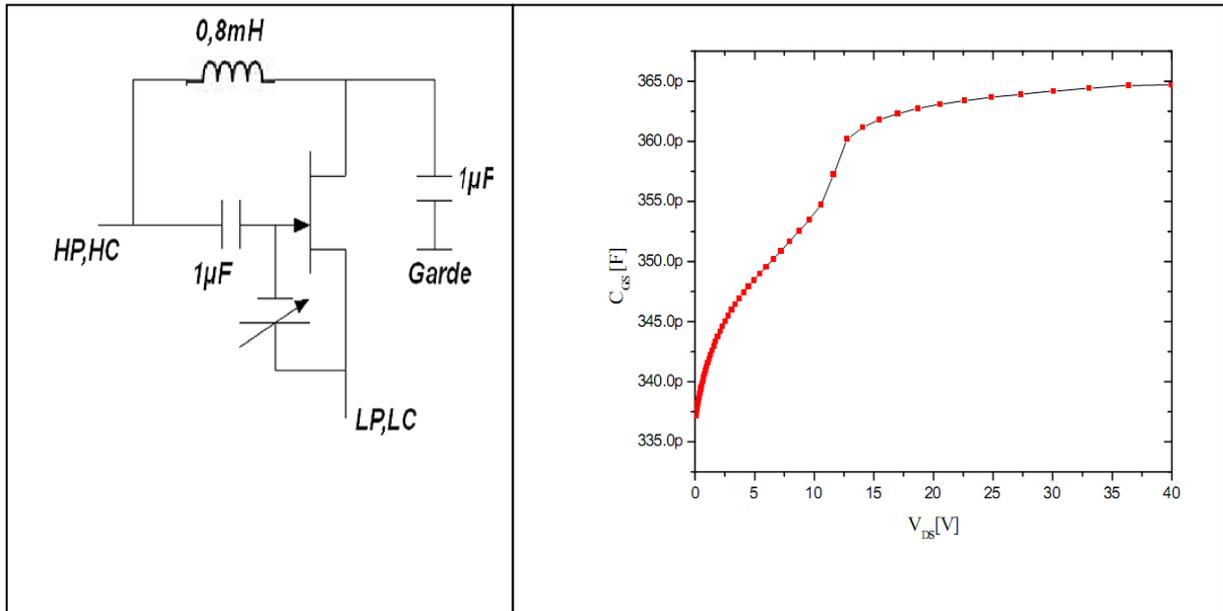
**Figure 27 :** Photographie de l'analyseur d'impédance HP4194A

Pour mesurer les trois capacités de jonction nous avons suivi les trois configurations listées dans le Tableau 3. XG, XD et XS représentent respectivement l'entrée grille de la platine, l'entrée drain de la platine et l'entrée source de la platine.

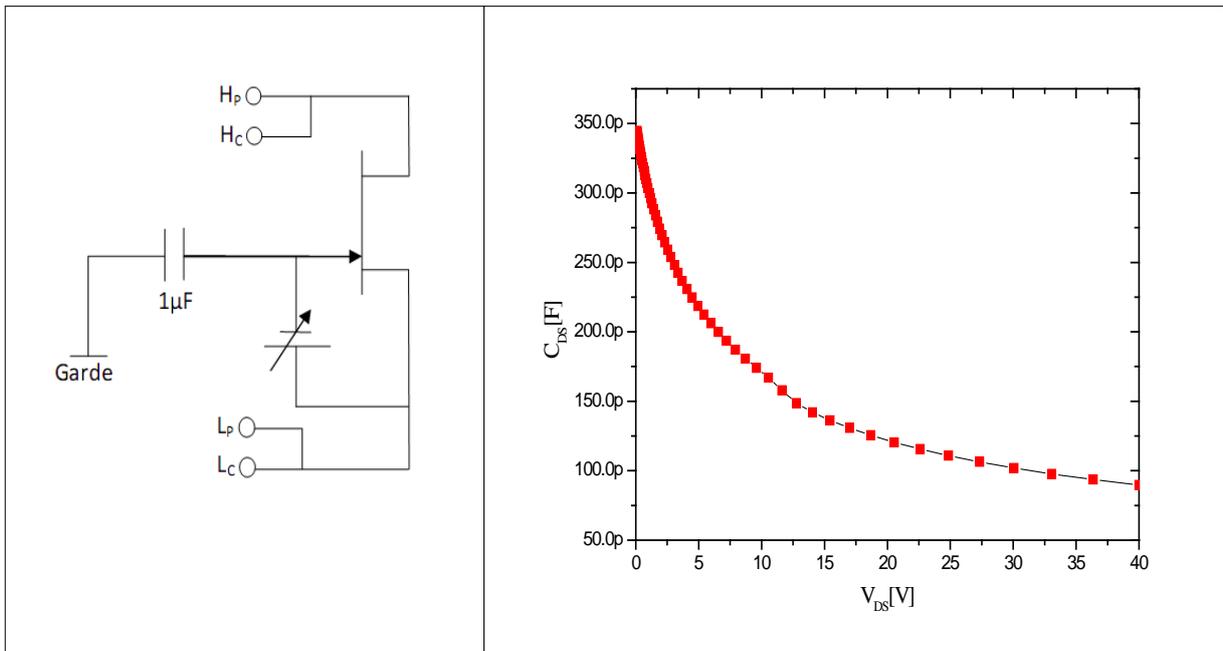
Capacités	XG	XD	XS	S1	S2
$C_{GS}$	H <sub>C</sub> , H <sub>P</sub>	---	L <sub>C</sub> , L <sub>P</sub>	on	off
$C_{DS}$	bouchon	H <sub>C</sub> , H <sub>P</sub>	L <sub>C</sub> , L <sub>P</sub>	off	off
$C_{GD}$	L <sub>C</sub> , L <sub>P</sub>	H <sub>C</sub> , H <sub>P</sub>	---	off	on

**Tableau 3 :** Configurations de platine de test pour les trois capacités de jonction.

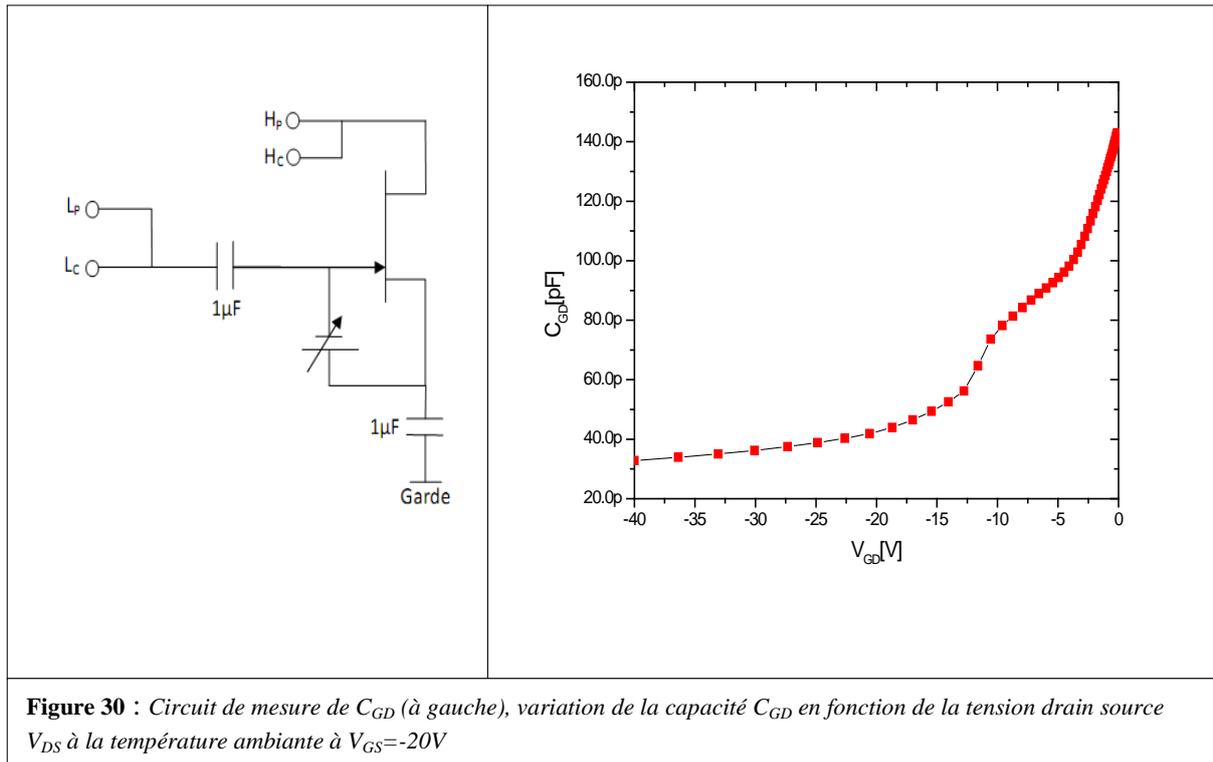
Les figures 28, 29 et 30 montrent les résultats de mesure C(V) des trois capacités de jonction  $C_{DS}$ ,  $C_{GS}$ ,  $C_{GD}$  du JFET SiCED lot C (1200V-15 A) que nous avons obtenus à la température ambiante.



**Figure 28** : Circuit de mesure de  $C_{GS}$  (à gauche), variation de la capacité  $C_{GS}$  en fonction de la tension drain source  $V_{GS}$  à la température ambiante à  $V_{GS}=-20V$



**Figure 29** : Circuit de mesure de  $C_{DS}$  (à gauche), variation de la capacité  $C_{DS}$  en fonction de la tension drain source  $V_{DS}$  à la température ambiante à  $V_{GS}=-20V$



**Figure 30** : Circuit de mesure de  $C_{GD}$  (à gauche), variation de la capacité  $C_{GD}$  en fonction de la tension drain source  $V_{DS}$  à la température ambiante à  $V_{GS} = -20V$

La mesure de la capacité  $C_{GS}$  a été réalisée à l'état bloqué ( $V_{GS} < V_{T0}$ ) en fonction de la tension drain-source  $V_{DS}$  et comme le montre la Figure 28 que cette capacité dépend de la tension drain-source  $V_{DS}$  et qu'elle augmente avec l'augmentation de cette tension car cette capacité résulte de la couche de désertion dans la région du canal latéral. Par conséquent le changement de la largeur de la couche de déplétion dans la région de dérive de la variation de la tension drain source  $V_{DS}$  n'affecte pas la capacité  $C_{GS}$  pour la condition du pincement du JFET. La mesure de la capacité drain-source  $C_{DS}$  a été réalisée en bloquant le JFET et le résultat montre d'après la Figure 29 que cette capacité présente une faible dépendance de la tension  $V_{GS}$  et varie non linéairement en fonction de la tension  $V_{DS}$ . La mesure de la capacité grille-drain  $C_{GD}$  a été réalisée à l'état bloqué. La Figure 30 montre que cette capacité varie non linéairement en fonction de la tension grille-drain  $V_{GD}$  appliquée. Pour des tensions inférieures à la tension de blocage  $V_{T0}$  la variation de  $C_{GD}$  est due à la variation de la largeur de la zone de charge d'espace dans la région de dérive. L'influence de la température sur ces capacités est négligeable [Funaki 2006]. Le montage de la Figure 28 ne permet pas de faire varier la tension  $V_{GS}$  de 0 à -30 (car il est mal conçu) et qu'il est plus pratique d'utiliser la polarité de l'impédancmètre. La Figure 31 représente le circuit de test utilisé pour mesurer la capacité grille-source en fonction de la tension grille-source appliquée.

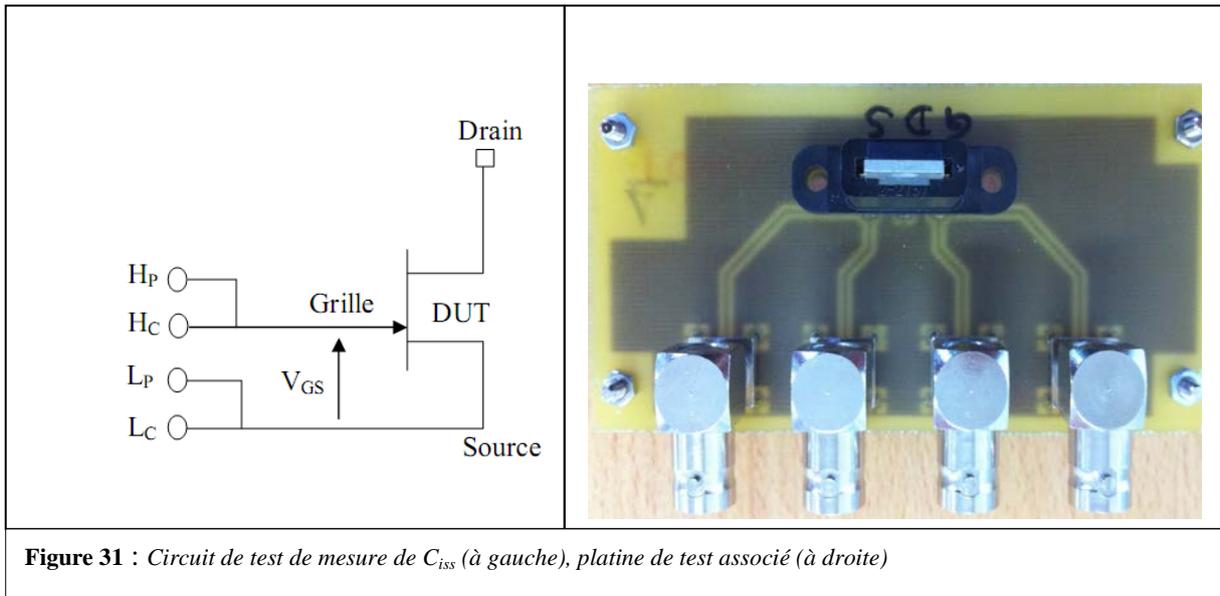


Figure 31 : Circuit de test de mesure de  $C_{iss}$  (à gauche), platine de test associé (à droite)

Pour mesurer les capacités  $C_{GD}$  et  $C_{DS}$  nous avons utilisé les mêmes configurations représentées dans le tableau 3. Les figures 32, 33, 34 montrent les résultats de mesure  $C(V)$  du JFET lot A (1200 V- 100 m $\Omega$ ).

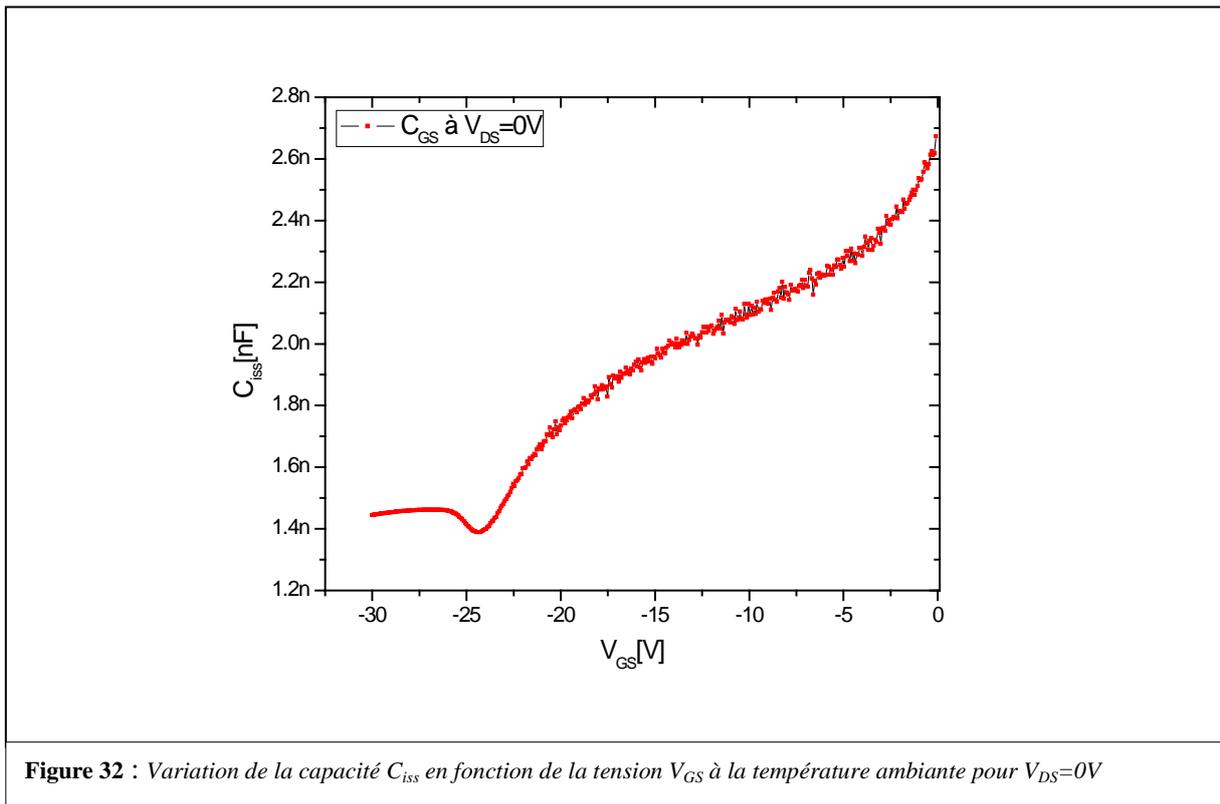


Figure 32 : Variation de la capacité  $C_{iss}$  en fonction de la tension  $V_{GS}$  à la température ambiante pour  $V_{DS}=0V$

La mesure de la capacité grille source  $C_{iss}$  a été réalisé pour une tension grille source  $V_{GS}$  entre 0 V et la tension d'avalanche à  $V_{DS}=0$  V. La Figure 32 montre que cette capacité varie non linéairement en fonction de la tension  $V_{GS}$  appliquée et pour des tensions inférieures à la tension de blocage  $V_{T0}$ , la variation de cette capacité est due à la variation de la largeur de la zone de charge d'espace dans la région de dérive.

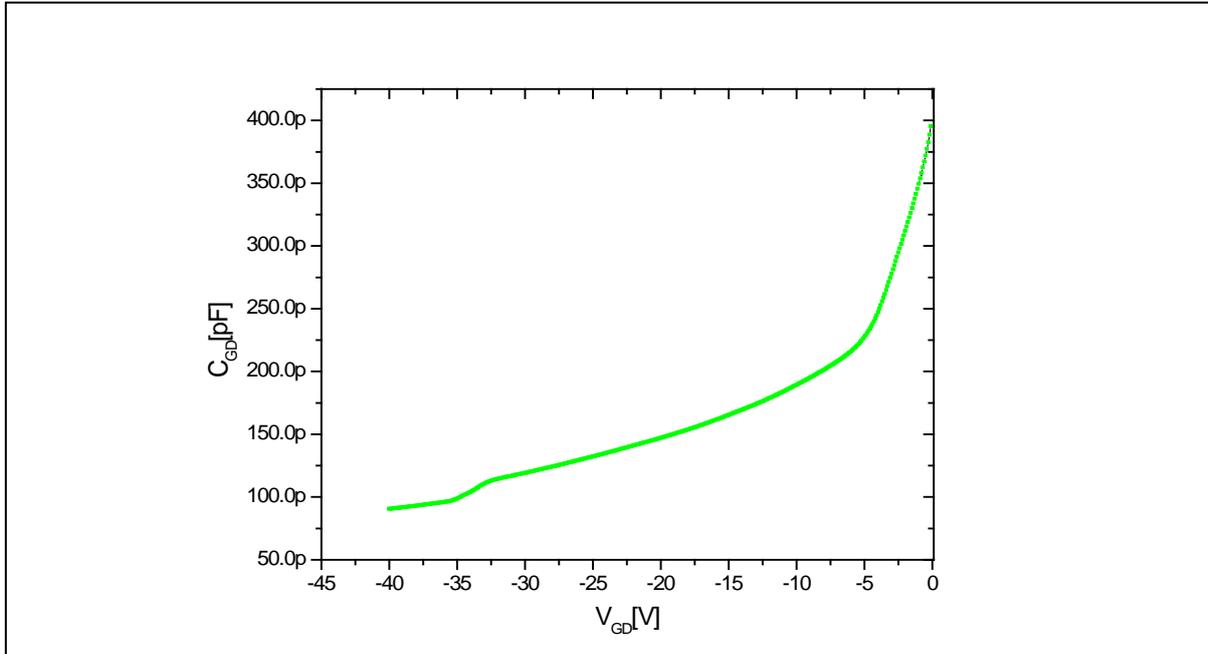


Figure 33 : Variation de la capacité  $C_{GD}$  en fonction de la tension  $V_{GD}$  à la température ambiante pour  $V_{GS}=-26V$

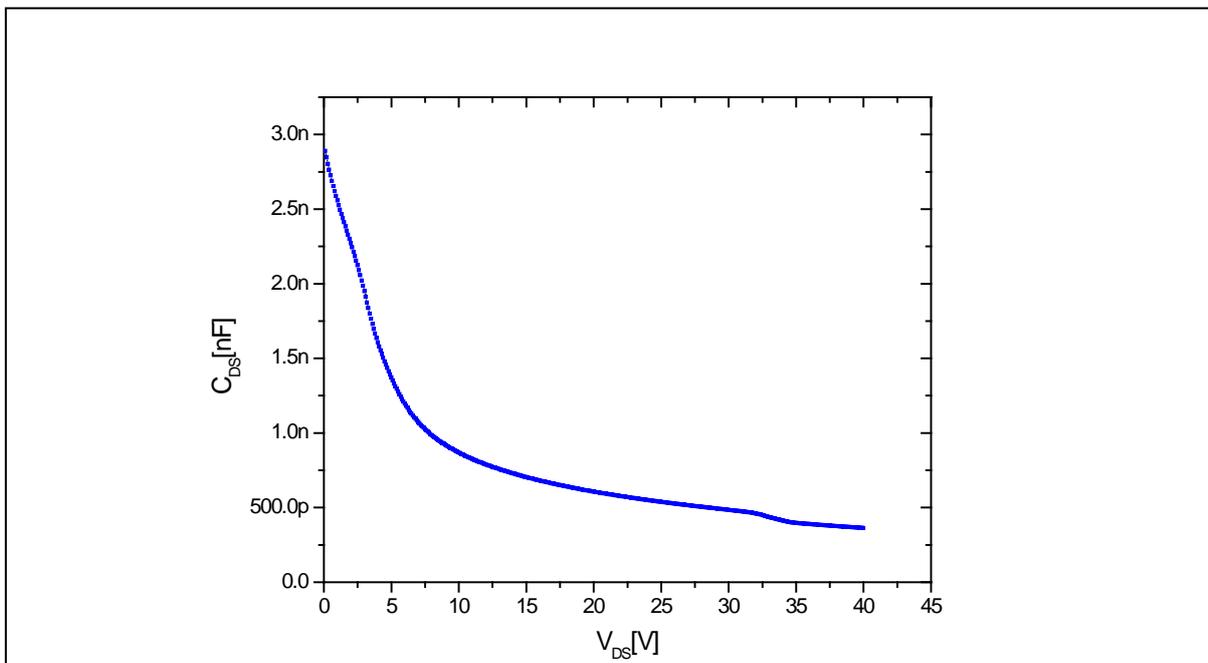


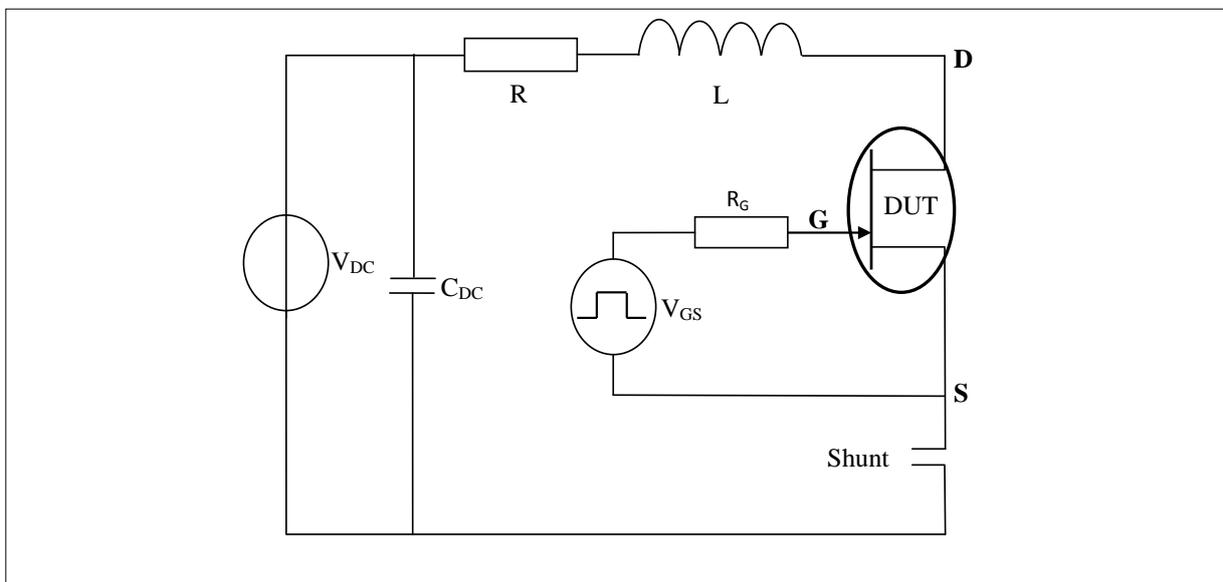
Figure 34 : Variation de la capacité  $C_{DS}$  en fonction de la tension  $V_{DS}$  à la température ambiante pour  $V_{GS}=-26V$

## 2.6 Caractérisation du JFET-SiC en commutation

Nous allons présenter dans cette partie la caractérisation du JFET SiCED en commutation sur charge RL et sur un bras d'onduleur.

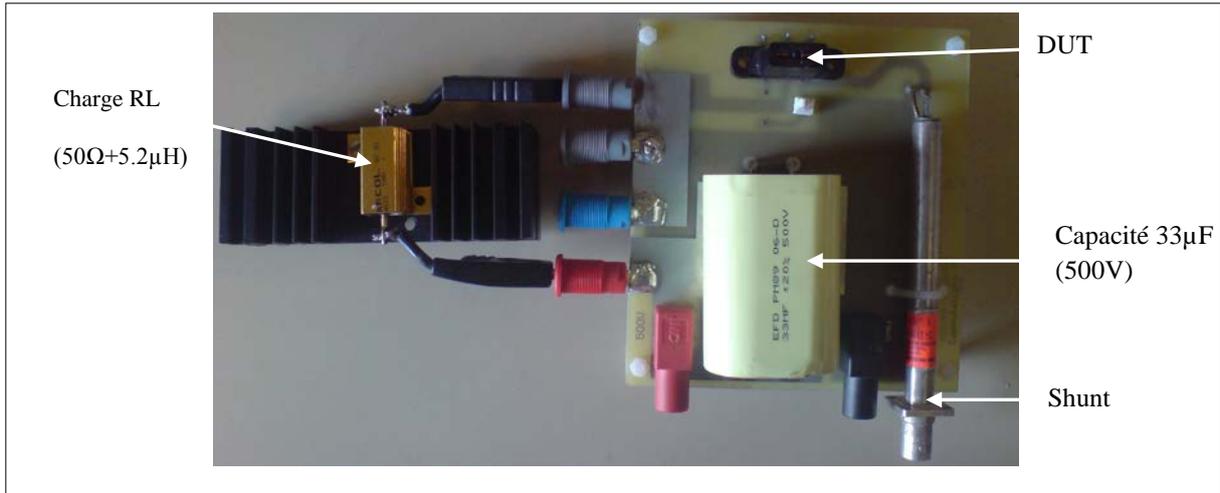
### 2.6.1 Caractérisation en commutation sur charge RL

Les méthodes classiques de caractérisation dynamique du JFET en C-V ont plusieurs inconvénients et notamment leur grande sensibilité aux conditions de mesure, leur mise en œuvre complexe avec notamment les effets du câblage parasite, et leur éloignement des conditions réelles d'utilisation. Les méthodes temporelles développées au laboratoire Ampère s'affranchissent de ces limitations, tout en donnant des résultats très proches et moins bruités [El Omari 2003]. Les interrupteurs commandés tels que le JFET en SiC peuvent être caractérisés en régime dynamique dans un circuit de commutation sur charge RL (Résistive et Inductive) sans diode de roue libre. Le principe est d'obtenir, par le choix de R et L, un système légèrement résonnant dont la partie capacitive est le JFET à tester commutant sous tension et courant nominaux. La Figure 35 montre le schéma du circuit de test utilisé.



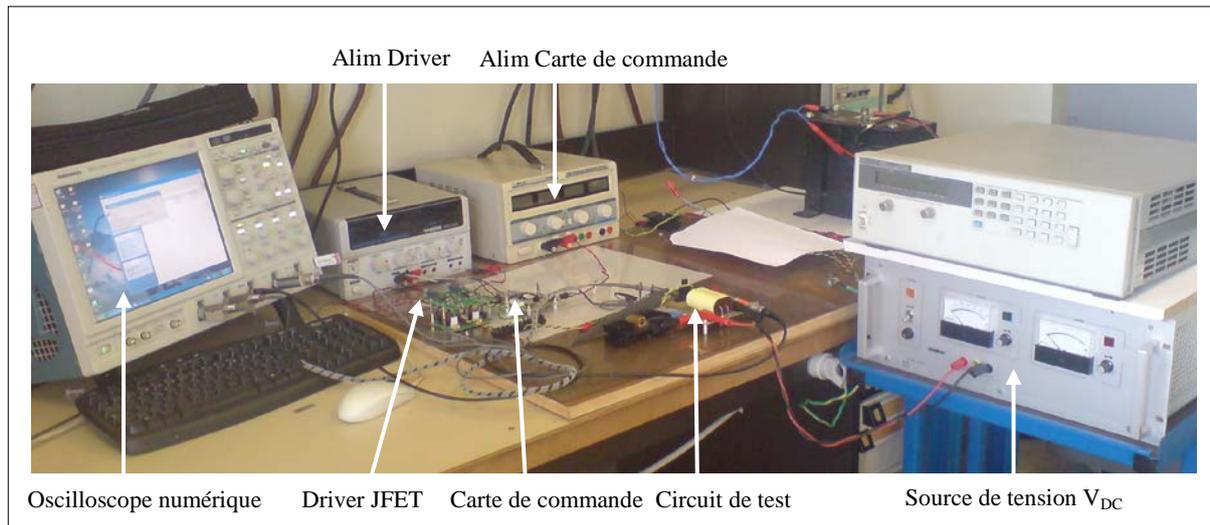
**Figure 35** : Circuit de test en commutation du JFET-SiC sur charge RL

Ce circuit est constitué d'une source de tension continue  $V_{DC}$ , du JFET à mesurer, noté DUT, d'une résistance de charge R et d'une inductance de charge L. La Figure 36 représente une photographie du circuit de test utilisé. Le transistor JFET en SiC est commandé en tension sur sa grille par une source de tension impulsionnelle présentant une résistance interne. Dans la pratique il s'agit d'un driver de grille dont on a fixé la résistance  $R_G$  et la tension d'alimentation en fonction du JFET à tester. Une carte de commande génère le signal de contrôle de driver.



**Figure 36 :** Photographie du circuit de test en commutation sur charge RL

La Figure 37 représente une photographie du banc de mesure en commutation sur charge RL.



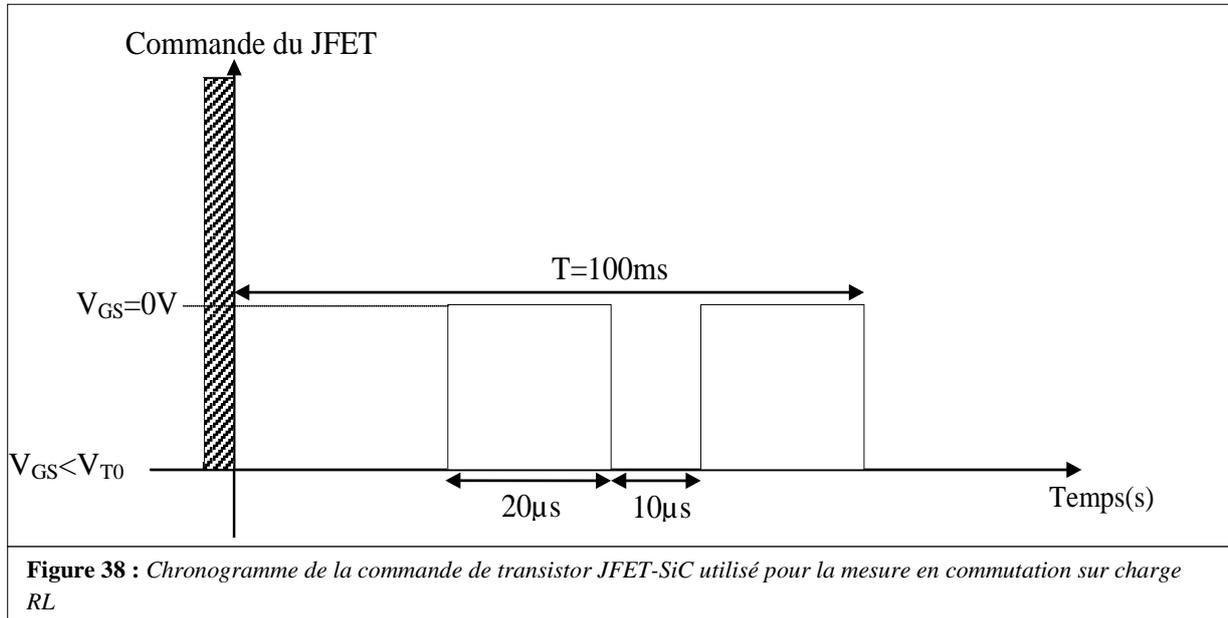
**Figure 37 :** Photographie du banc de test utilisé pour la mesure en commutation du JFET-SiC sur charge RL

Le principe du banc repose sur l’emploi de brèves impulsions pour limiter l’auto-échauffement du composant, afin de ne pas modifier ses caractéristiques. La durée des impulsions doit remplir les spécifications suivantes:

- La durée de l’impulsion doit être suffisamment brève pour que la température du composant n’ait pas le temps de changer de façon conséquente.
- La durée de l’impulsion doit être suffisamment grande pour atteindre le régime permanent et assurer ainsi une mesure reproductible des tensions et des courants.

La période de récurrence est très faible (~1sec). Elle permet de faire des mesures moyennées.

Dans la pratique le rapport cyclique est de l'ordre de  $10^{-5}$ . La Figure 38 montre le chronogramme de la commande de transistor JFET-SiC que nous avons utilisée pour la caractérisation en commutation sur charge RL.



Lorsque le JFET commute sur une charge RL, les ondes des courants de drain-source  $I_{DS}$  et de tension de drain-source  $V_{DS}$  en régime statique sont reliées par :

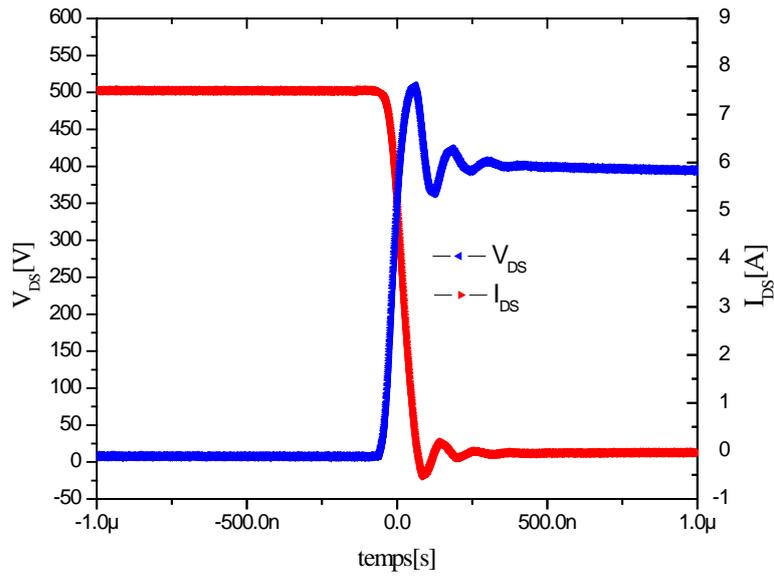
$$V_{DS} = V_{DC} - RI_{DS} \quad (5)$$

Et en régime dynamique par :

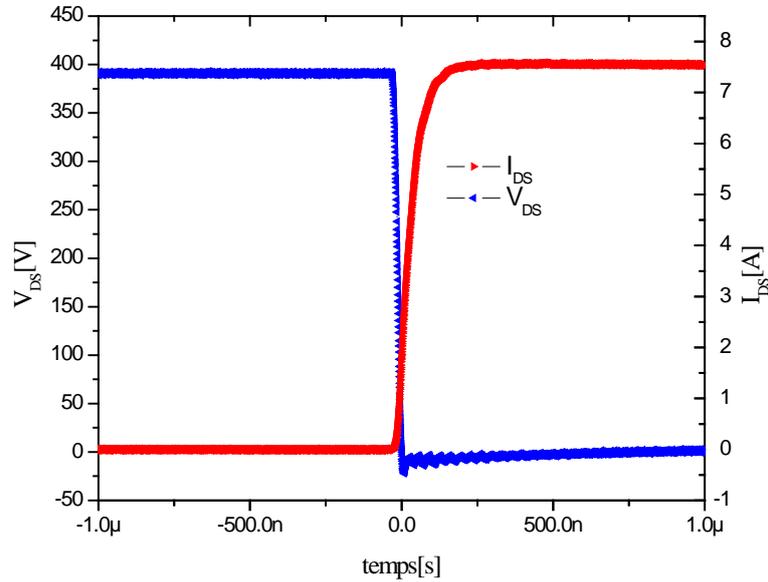
$$V_{DS} = V_{DC} - RI_{DS} - L \frac{dI_{DS}}{dt} \quad (6)$$

Où,  $V_{DC}$ , R et L représentent respectivement la tension d'alimentation, la résistance de charge et l'inductance de charge.

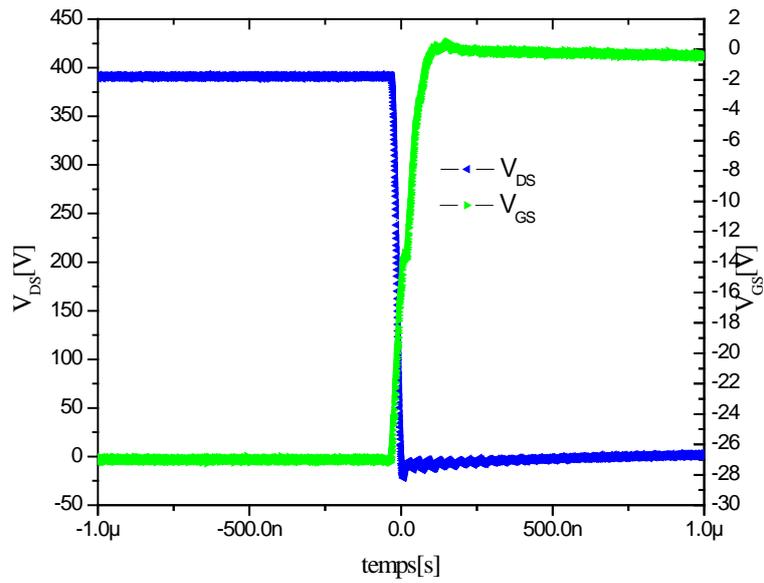
Les figures 39, 40, 41 et 42 représentent les formes d'ondes de courants et de tensions à l'ouverture et à la fermeture du transistor JFET SiCED lot A que nous avons mesuré pour une tension de 400 V à température ambiante.



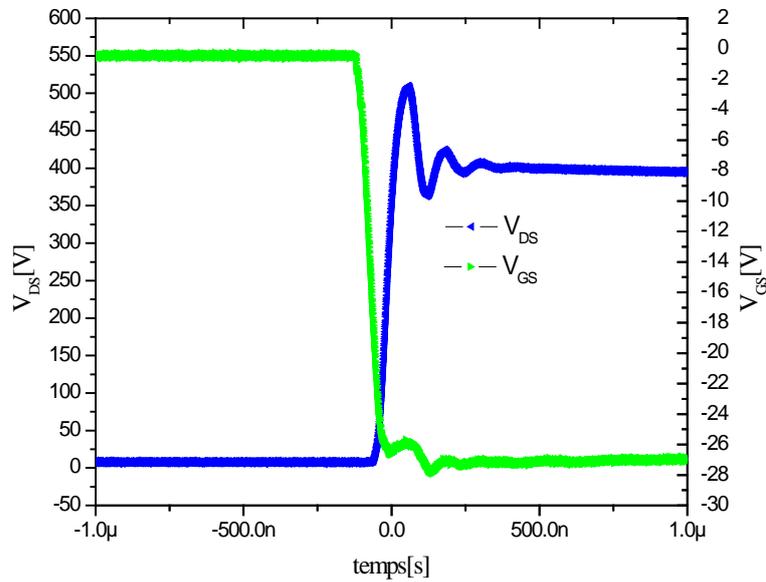
**Figure 39** : Les formes d'ondes du courant  $I_{DS}$  et de la tension  $V_{DS}$  à l'ouverture de transistor JFET-SiC lot A à la température ambiante et pour une tension  $V_{DC}=400V$ .



**Figure 40** : Les formes d'ondes du courant  $I_{DS}$  et de la tension  $V_{DS}$  à la fermeture de transistor JFET-SiC lot A à la température ambiante et pour une tension  $V_{DC}=400V$ .



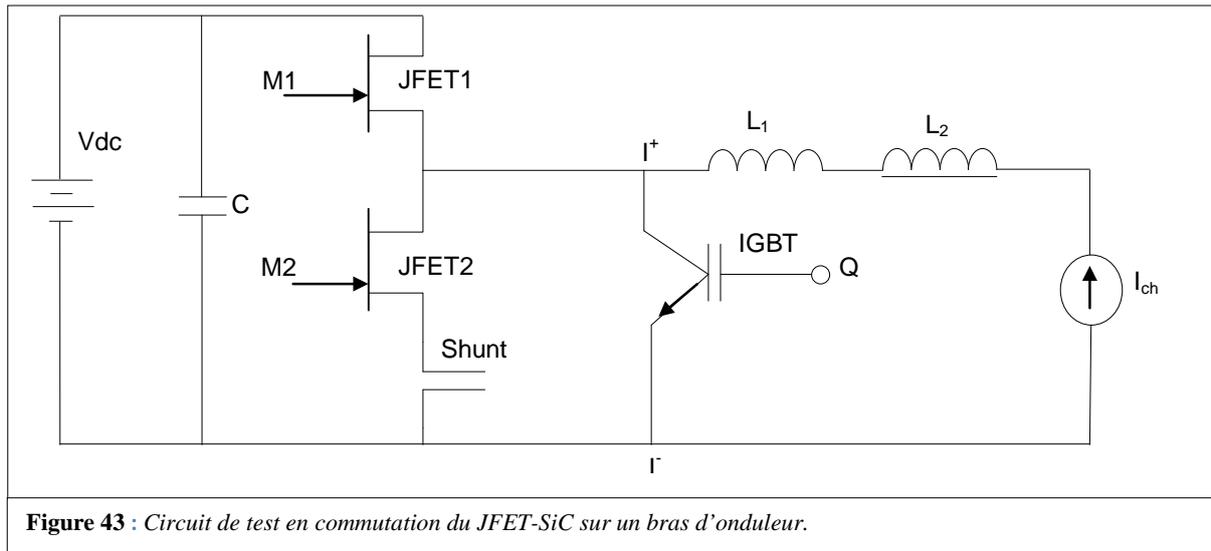
**Figure 41** : Les formes d'ondes de la tension  $V_{DS}$  et de la tension  $V_{GS}$  à la fermeture de transistor JFET-SiC lot A à la température ambiante et pour une tension  $V_{DC}=400V$ .



**Figure 42** : Les formes d'ondes de la tension  $V_{DS}$  et de la tension  $V_{GS}$  à l'ouverture de transistor JFET-SiC lot A à la température ambiante et pour une tension  $V_{DC}=400V$ .

## 2.6.2 Caractérisation en commutation sur un bras d'onduleur

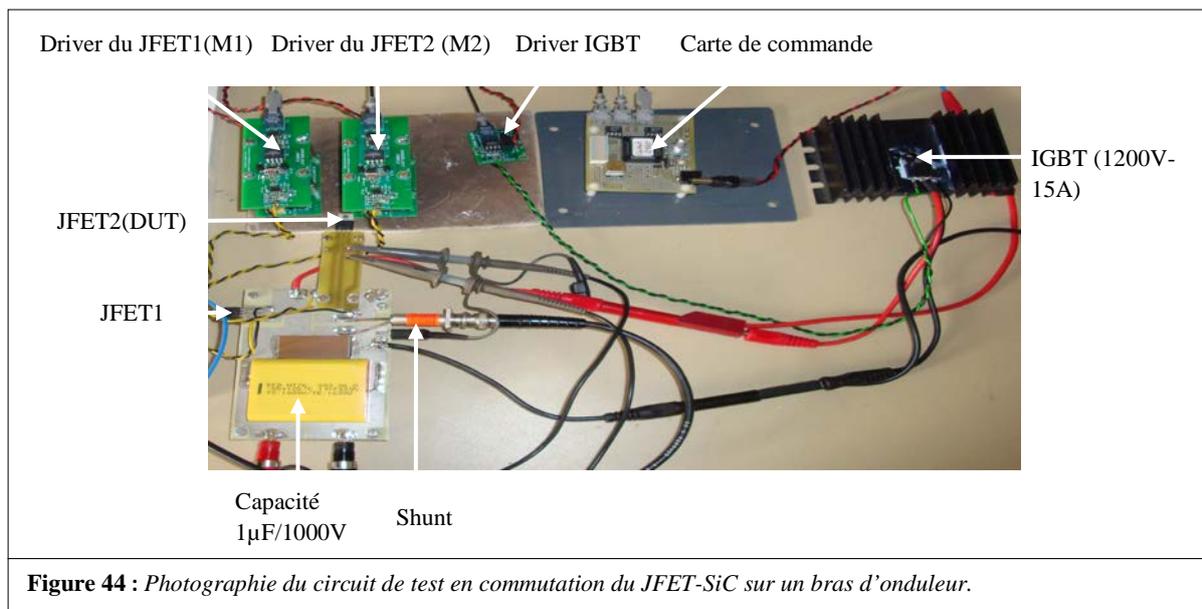
Nous allons présenter dans cette partie les résultats de test en commutation sur un bras d'onduleur du JFET en SiC. La Figure 43 montre le circuit de test utilisé pour effectuer cette caractéristique [Bergogne 2008]. Le but est de mesurer les pertes en commutation, très difficiles à évaluer à partir de modèle ou à partir de la caractérisation dynamique d'un seul JFET



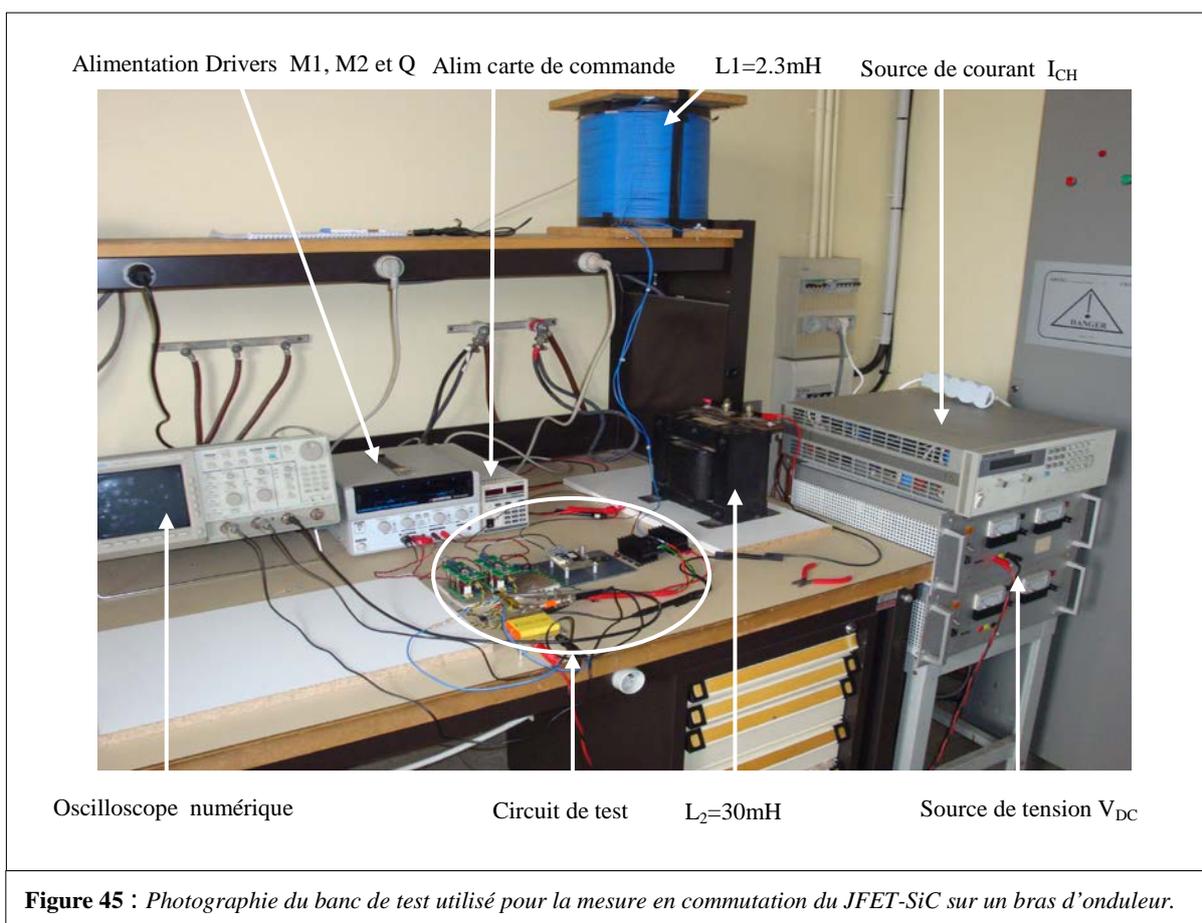
Ce circuit est composé de deux transistors JFET SiCED montés en bras d'onduleur, un interrupteur de type transistor IGBT, utilisé pour éviter l'auto-échauffement des JFET. La source de courant est une alimentation régulée dont les performances dynamiques sont médiocres. Aussi pour s'assurer d'un courant constant lors des commutations, il faut placer une inductance de forte valeur en série. Cette valeur impose la variation tolérée,  $\Delta I$  sur la valeur du courant, pendant une durée  $\Delta t$  sous une tension  $E$  :

$$L = \frac{\Delta t}{\Delta I} E \quad (7)$$

Dans notre cas, 2 A commutés sous 310 V, nous tolérerons 5% d'erreur soit 0,1A ce qui donne une inductance de 32 mH. Pour réaliser une inductance d'une telle valeur qui ne soit pas trop capacitive [Risaletto 2007] nous avons utilisé deux composants en série, L1, une inductance à air de 2,1 mH et L2 une inductance à noyau. Une capacité de valeur 1  $\mu$ F/1000 V a été placée en parallèle avec la source d'alimentation  $V_{DC}$  pour limiter la variation de la tension un shunt de large bande passante et de résistance de 0,25  $\Omega$  est utilisé pour les mesures en courant. La Figure 44 montre une photographie du circuit de test utilisé.

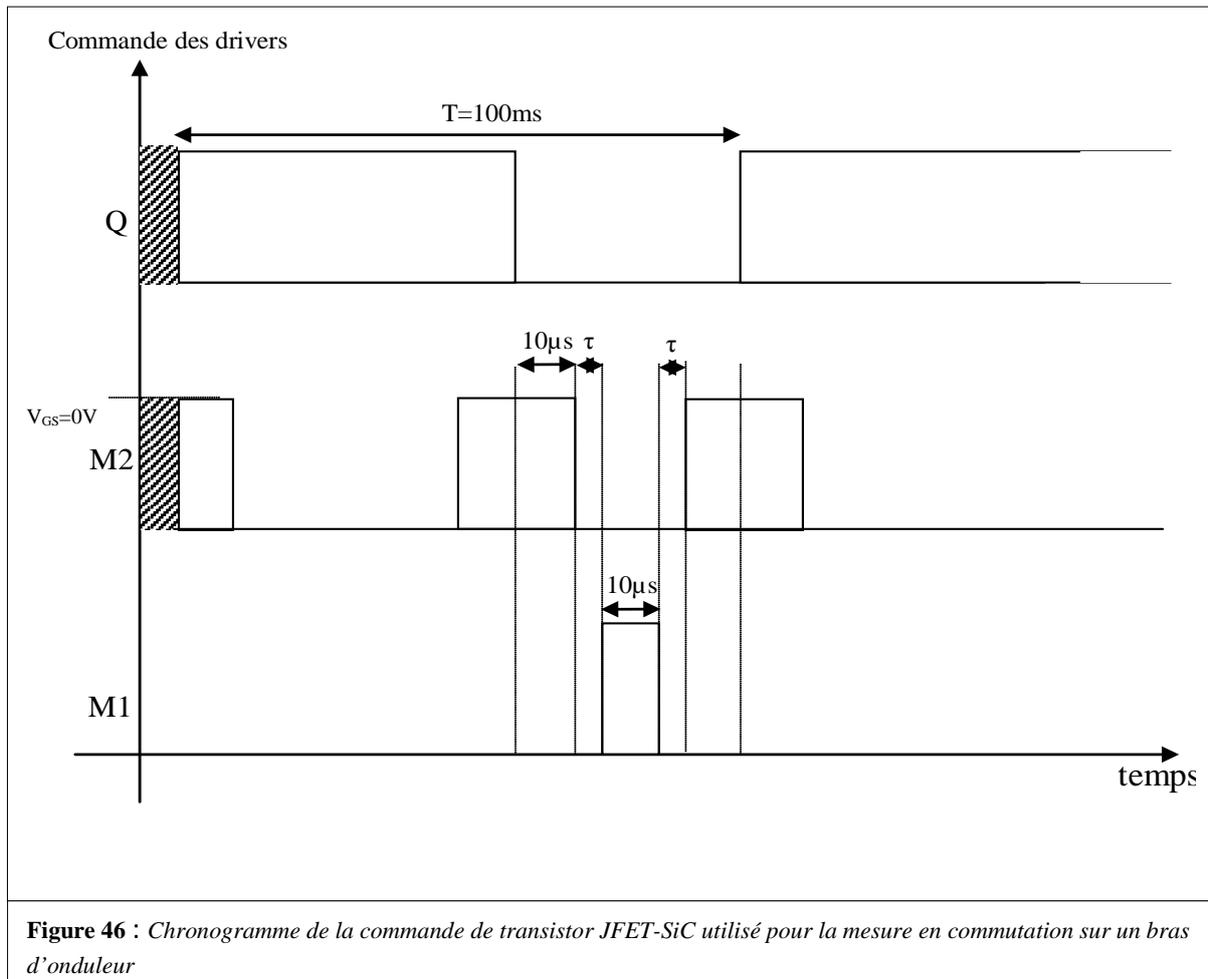


La Figure 45 représente une photographie du banc de mesure en commutation du JFET-SiC sur un bras d'onduleur.



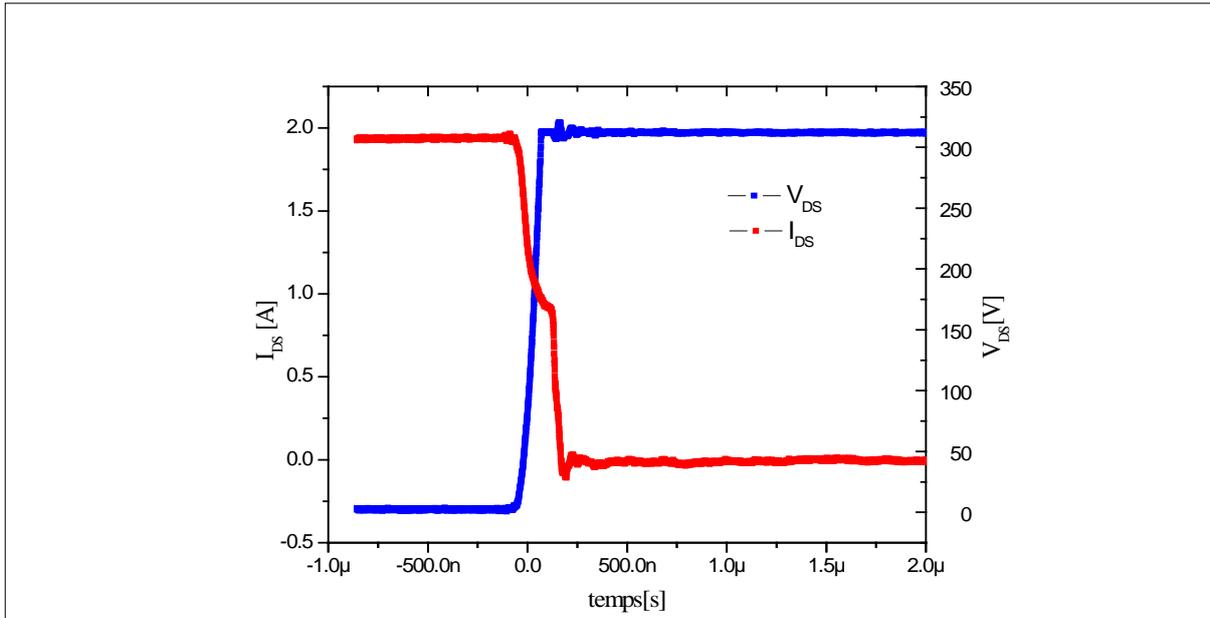
Les deux JFET-SiC sont commandés respectivement par les drivers M1 et M2 et le transistor IGBT est commandé par le driver Q. Le banc d'essai représenté dans la Figure 45 est composé d'une source de tension pour alimenter les drivers M1, M2 et Q, d'une source de courant  $I_{CH}$  (30 V, 25 A), une source d'alimentation  $V_{DC}$  (600 V), un oscilloscope numérique

de bande passante 500MHz, deux sondes de tensions Tektronix (Tek p6139A) ayant une bande passante de 500 MHz ont été utilisées de manière différentielle pour la mesure en tension. La Figure 46 montre le chronogramme de commande utilisé pour la mesure en commutation du JFET-SiC. Les signaux sont générés suivant une fréquence interne de période  $T=100$  ms. Le paramètre  $\tau$  représente le temps mort entre les drivers M1 et M2 et a comme valeur 300 ns.

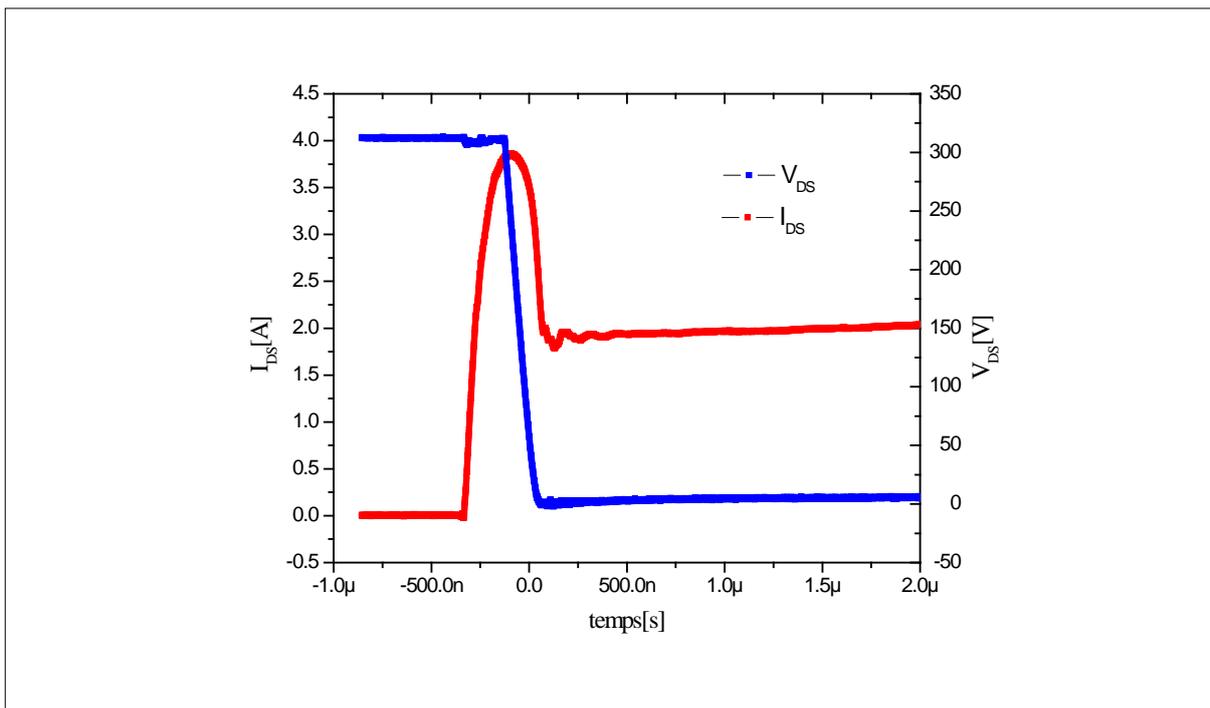


**Figure 46** : Chronogramme de la commande de transistor JFET-SiC utilisé pour la mesure en commutation sur un bras d'onduleur

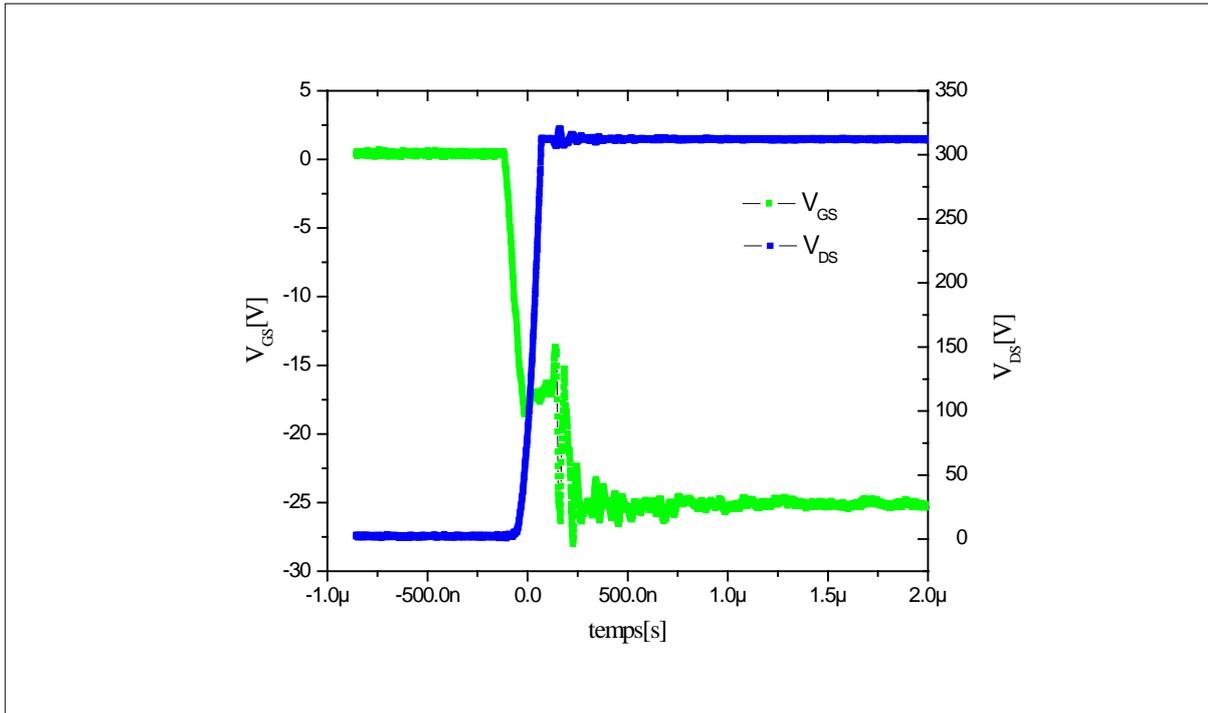
Les figures 47, 48, 49 et 50 représentent les formes d'ondes des courants et des tensions à l'ouverture et à la fermeture du transistor JFET SiCED lot A (JFET 2) que nous avons mesuré pour une tension de 300 V à température ambiante.



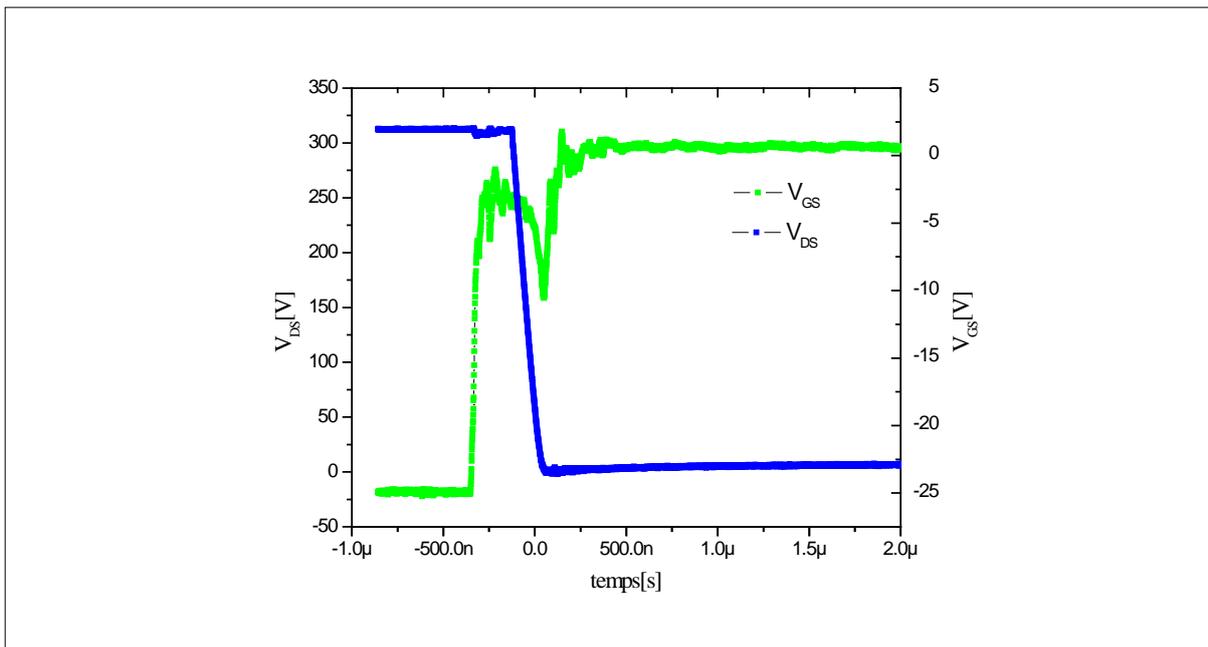
**Figure 47** : les formes d'ondes du courant  $I_{DS}$  et de la tension  $V_{DS}$  à l'ouverture de transistor JFET-SiC lot A à la température ambiante et pour une tension  $V_{DC}=300V$ .



**Figure 48** : les formes d'ondes du courant  $I_{DS}$  et de la tension  $V_{DS}$  à la fermeture de transistor JFET-SiC lot A à la température ambiante et pour une tension  $V_{DC}=300V$ .

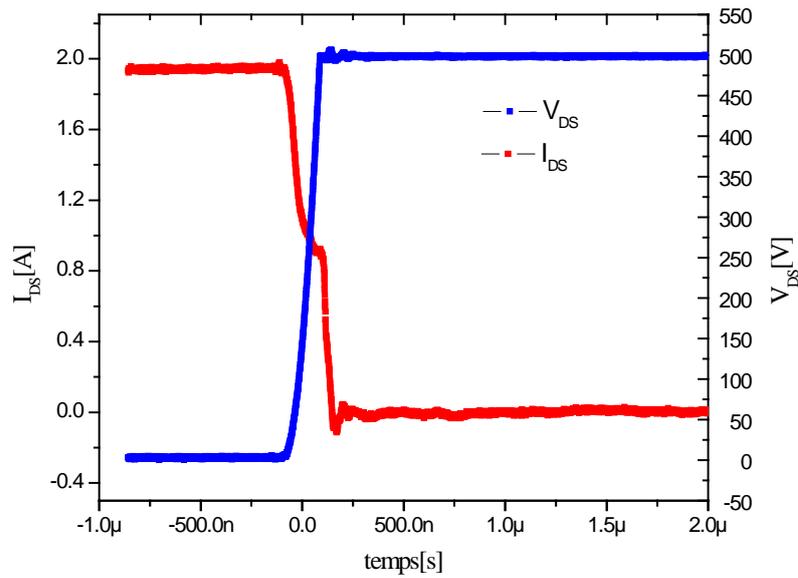


**Figure 49** : Les formes d'ondes de la tension  $V_{DS}$  et de la tension  $V_{GS}$  à l'ouverture de transistor JFET-SiC lot A à la température ambiante et pour une tension  $V_{DC}=300V$ .

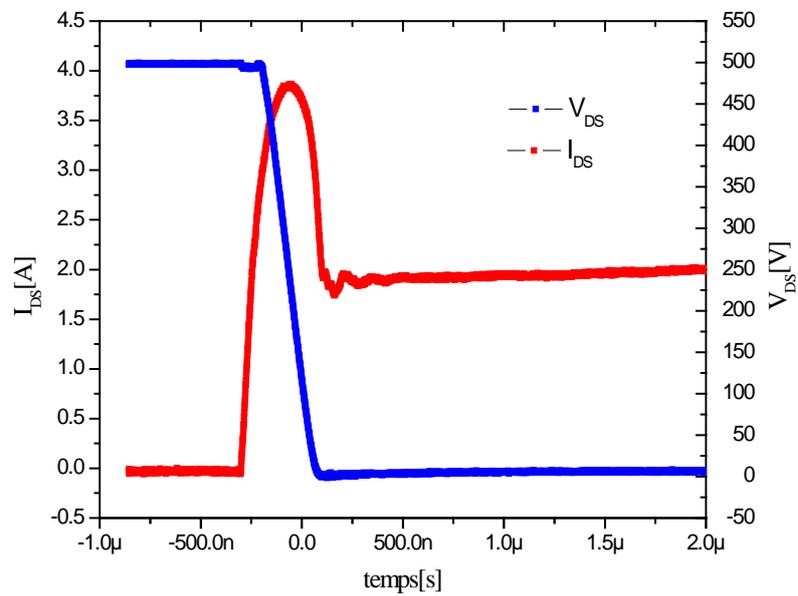


**Figure 50** : Les formes d'ondes de la tension  $V_{DS}$  et de la tension  $V_{GS}$  à la fermeture de transistor JFET-SiC lot A à la température ambiante et pour une tension  $V_{DC}=300V$

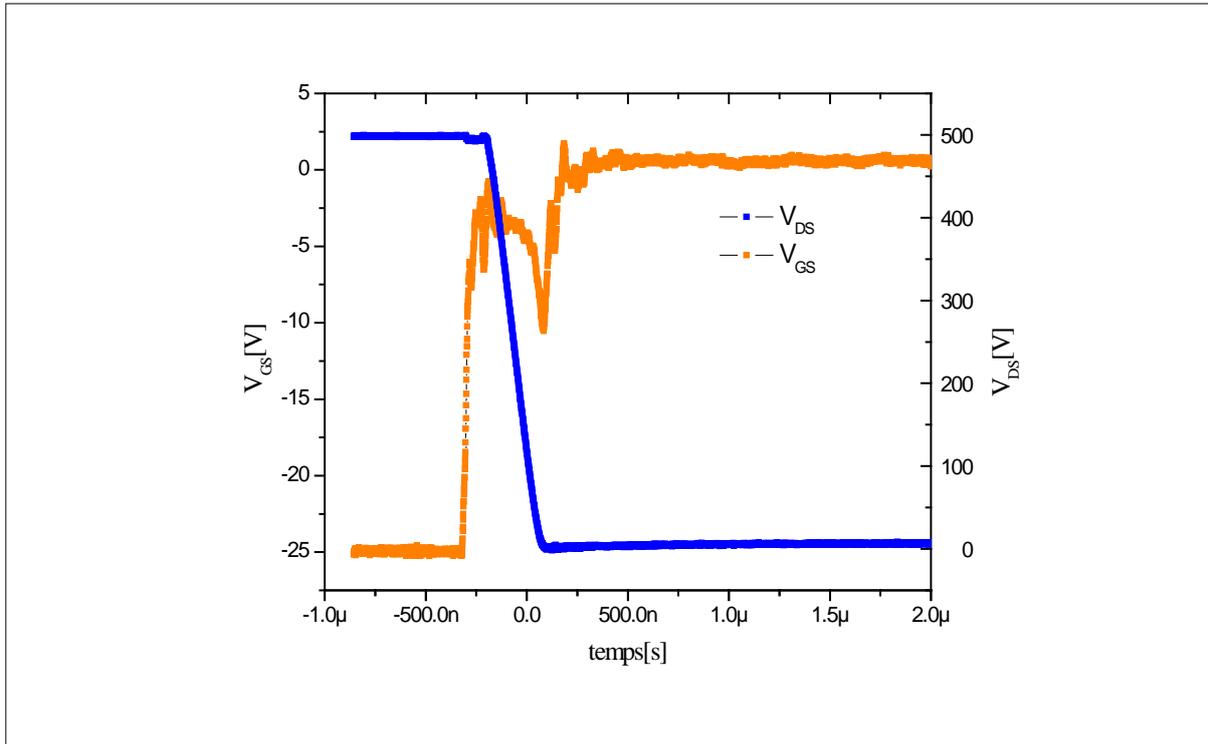
Les figures 51, 52, 53, 54 représentent les formes d'ondes des courants et des tensions à l'ouverture et à la fermeture du transistor JFET SiCED lot C (JFET 2) que nous avons mesurée pour une tension de 500 V à la température ambiante.



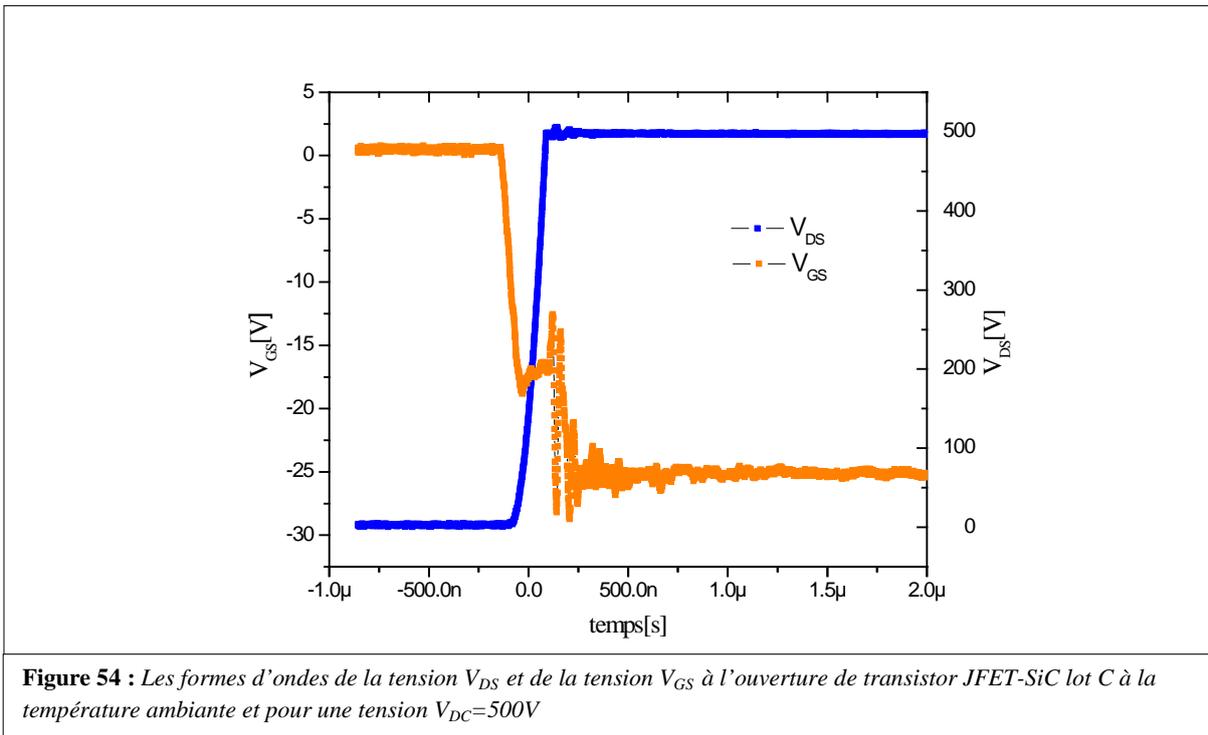
**Figure 51 :** Les formes d'ondes du courant  $I_{DS}$  et de la tension  $V_{DS}$  à l'ouverture de transistor JFET-SiC lot C à la température ambiante et pour une tension  $V_{DC}=500V$ .



**Figure 52 :** les formes d'ondes du courant  $I_{DS}$  et de la tension  $V_{DS}$  à la fermeture de transistor JFET-SiC lot C à la température ambiante et pour une tension  $V_{DC}=500V$



**Figure 53 :** Les formes d'ondes de la tension  $V_{DS}$  et de la tension  $V_{GS}$  à la fermeture de transistor JFET-SiC lot C à la température ambiante et pour une tension  $V_{DC}=500V$



**Figure 54 :** Les formes d'ondes de la tension  $V_{DS}$  et de la tension  $V_{GS}$  à l'ouverture de transistor JFET-SiC lot C à la température ambiante et pour une tension  $V_{DC}=500V$

On peut constater d'après ces résultats que le JFET donne de très bons résultats en commutations sur un bras d'onduleur en termes de courant et de tension à la fermeture et à l'ouverture. La perturbation qui apparait sur la tension grille-source par exemple dans la Figure 54 est liée probablement à l'inductance de câblages.

## 2.7 Mécanisme de dégradation dans le transistor JFET en SiC

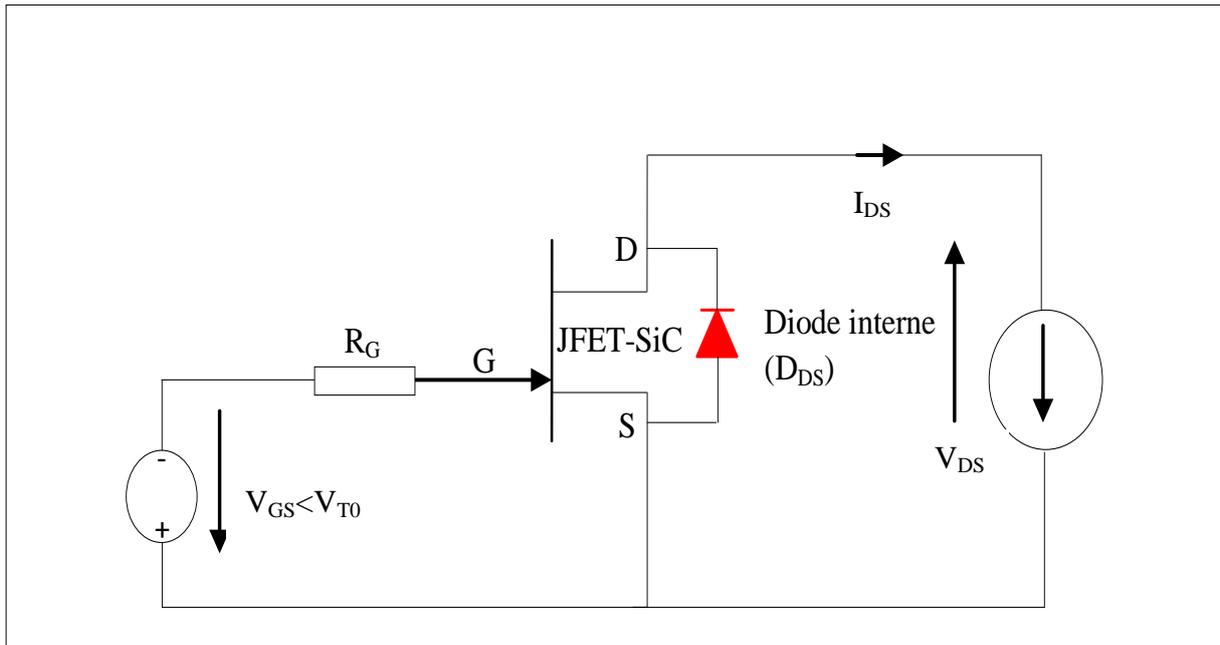
Nous allons présenter dans cette partie l'étude expérimentales d'un phénomène de dégradation du transistor JFET en SiC et son influence sur les différents paramètres de ce composant ( $R_{DS}^{ON}$ ,  $I_{DS}$ ,  $C_{DS}$ ,  $C_{GS}$ ,  $C_{GD}$ ).

Le phénomène de recombinaison induite par les défauts d'empilement (Stacking faults SF) dans les diodes PiN haute tension en SiC a été montré [Stahlbush 2006]. Il conduit à l'augmentation de la chute de tension aux bornes de la diode ( $V_F$ ) à l'état passant en raison de la réduction de durée de vie des porteurs minoritaires.

Certaines études ont montré qu'un phénomène de dégradation affecte aussi un composant unipolaire en SiC de type MOSFET. En effet, l'expérience réalisée sur le transistor MOSFET 4H-SiC haute tension (10 kV) [Agarwal 2007] a démontré que la mise en conduction de la diode interne du MOSFET conduit à réduire le courant de conduction majoritaire et augmente le courant de fuite du composant à l'état bloqué et la résistance à l'état passant. De plus, cette expérience a montré que la dégradation des caractéristiques de sortie  $I_{DS}$ - $V_{DS}$  et l'augmentation du courant de fuite du MOSFET augmentent avec le temps de la conduction directe de la diode interne. L'expérience réalisée sur le MOSFET en SiC nous a conduit à lancer une étude supplémentaire sur la dégradation possible du JFET en SiC. En effet, les transistors JFET en SiC fabriqués par SiCED possèdent une structure verticale qui intègre une diode bipolaire entre le drain et la source (Figure 12). C'est pour cela que nous avons décidé d'étudier la dégradation du JFET par un courant statique inverse que l'on rencontre notamment en phase de roue libre dans la structure retenue d'onduleur à JFET-SiC sans diode. La mesure devait donc étudier l'évolution de ces caractéristiques électriques (résistance à l'état passant, courant de saturation, capacités de jonction) en fonction de temps.

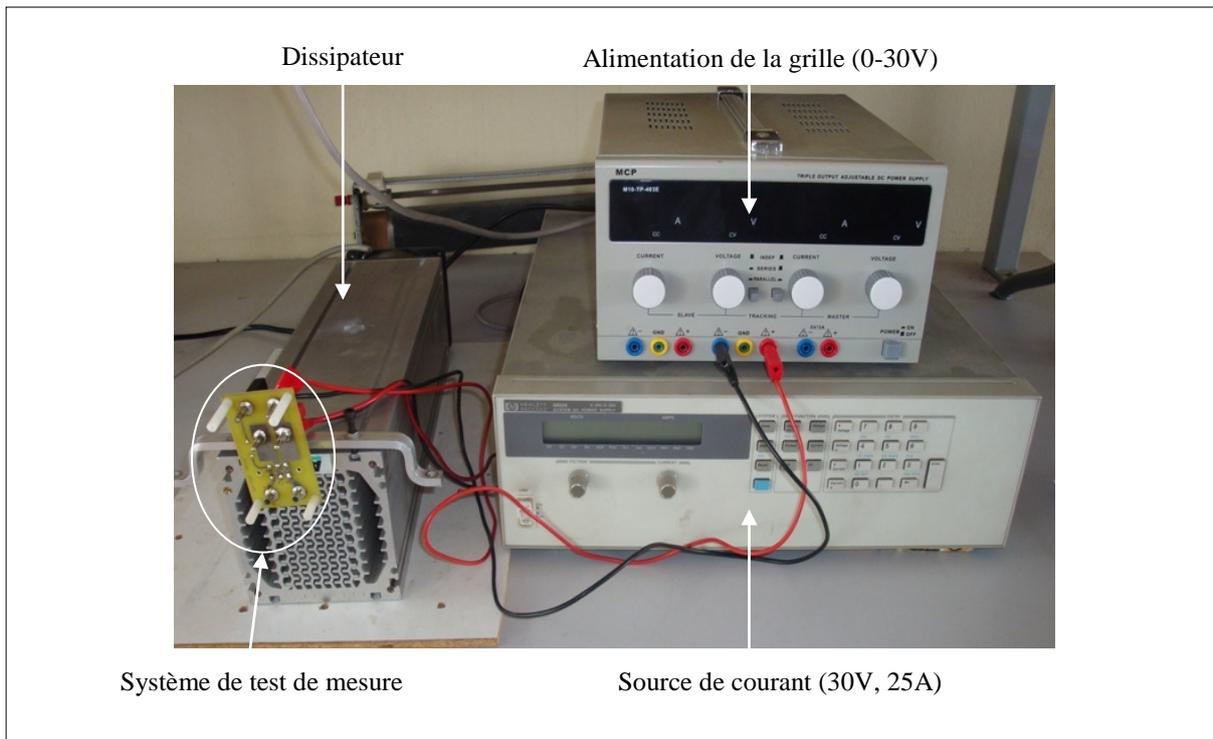
### 2.7.1 Principe de l'expérience

Le JFET est stressé en courant sur une durée totale de 64 heures. A intervalles réguliers, 30 min, le JFET est caractérisé partiellement ( $R_{DS}^{ON}$ ,  $I_{DS}^S$ ). En début et fin de manipulation le JFET est entièrement caractérisé. La Figure 55 montre le système de test de mesure de la dégradation du JFET que nous avons utilisé. Ce circuit est composé d'une source de tension utilisée pour polariser la grille du JFET, une source de courant pour appliquer le stress de courant sur la diode interne du JFET.



**Figure 55 :** Système de test de mesure utilisé pour étudier le phénomène de la dégradation dans le transistor JFET-SiC

Le JFET est bloqué,  $I_{DS}$  est imposé, les mesures sont effectuées dans une deuxième temps. La Figure 56 montre une photographie du banc d'essai utilisé pour effectuer les mesures.



**Figure 56 :** Photographie du banc de test utilisé pour étudier le mécanisme de dégradation dans le transistor JFET-SiC.

Le JFET est fixé sur un dissipateur sur dimensionné, dont la résistance thermique est  $0,1 \text{ } ^\circ\text{C/W}$ .

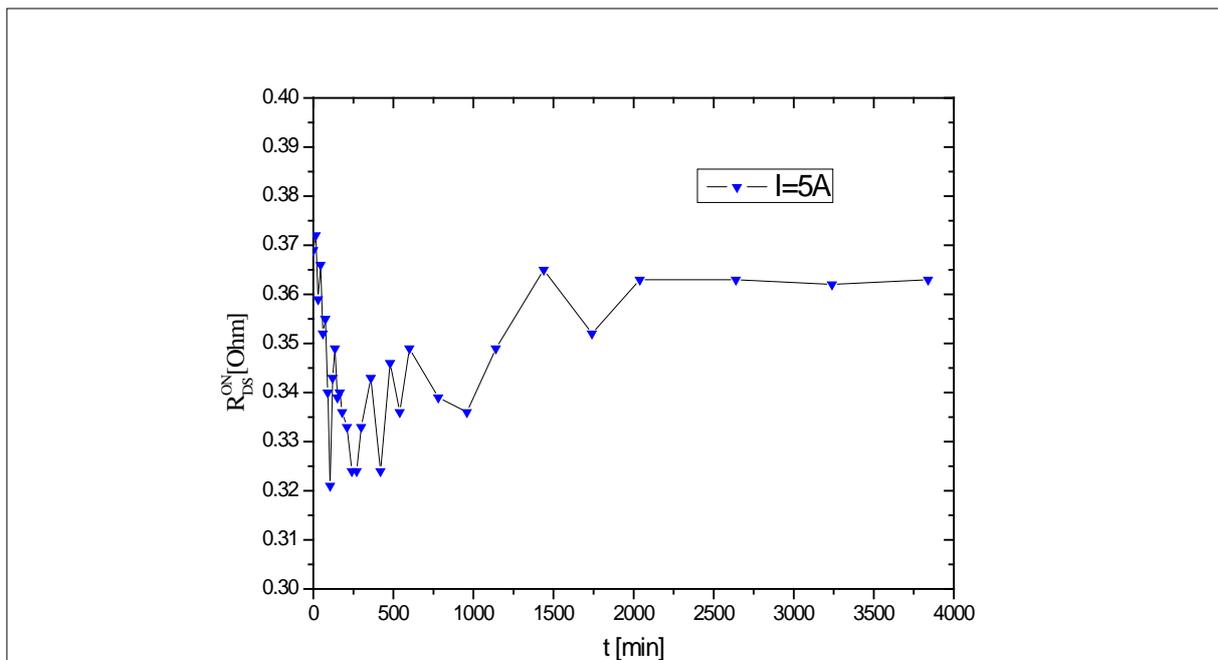
La résistance thermique entre la puce du JFET et son boîtier est estimée à  $1\text{ }^{\circ}\text{C}/\text{W}_{\text{Max}}$ , la résistance de contact boîtier/dissipateur est estimée à  $0,1\text{ }^{\circ}\text{C}/\text{W}_{\text{Max}}$  ce qui donne une élévation de température de la puce par rapport à l'ambiante de  $18\text{ }^{\circ}\text{C}$ . La puce est donc à une température inférieure à  $40\text{ }^{\circ}\text{C}$ . La puissance constante dissipée dans le JFET est d'environ  $15\text{ W}$  ( $3\text{V}\times 5\text{A}$ ). Pour effectuer les mesures nous avons suivi la procédure de mesure suivante :

- Blocage du JFET en appliquant une tension négative sur sa grille (tension de blocage  $V_{\text{GS}}=V_{\text{T0}}$ )
- Appliquer un stress de courant permanent en inverse sur la diode interne du JFET.
- Mesure des caractéristiques électriques du JFET au cours du stress à différentes durées de stress appliqué, en interrompant le stress pendant les mesures.

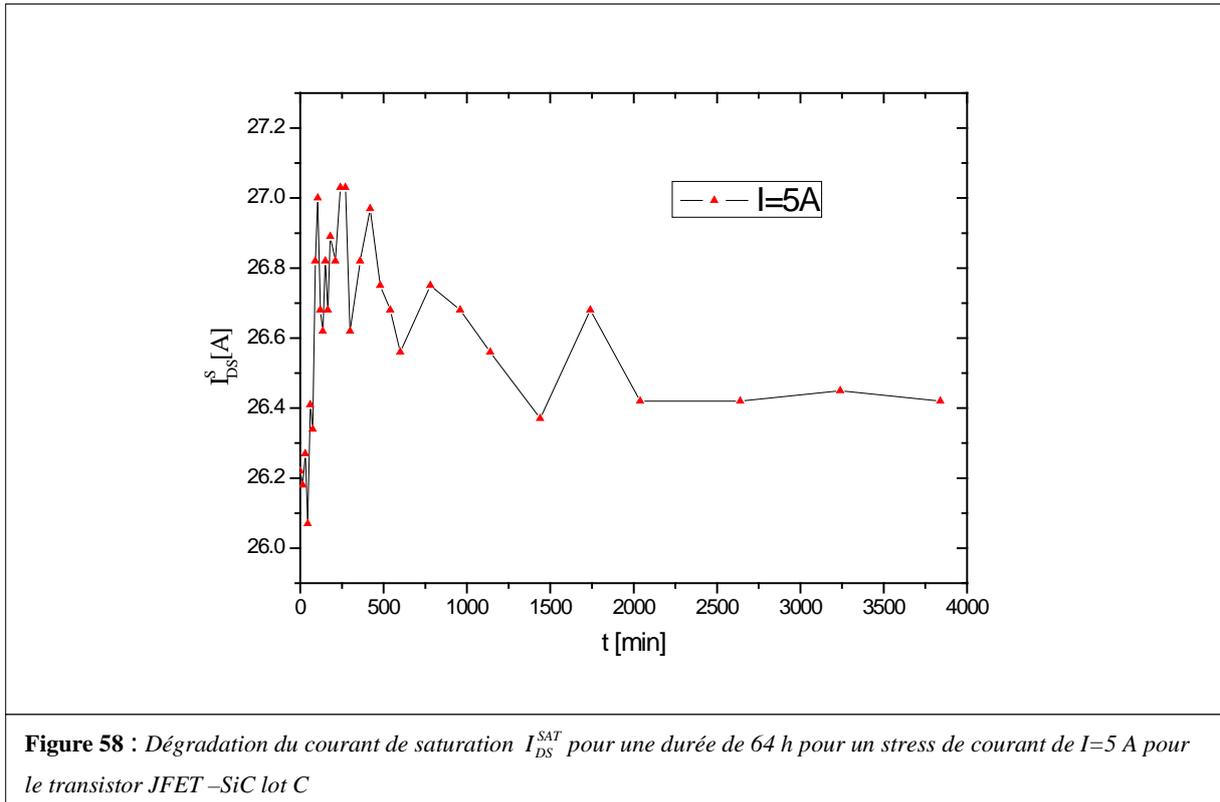
En début et en fin d'expérience :

- Mesure de la caractéristique électrique statique du JFET  $i_{\text{DS}}-v_{\text{DS}}$  en direct et en inverse.
- Caractérisation de la jonction grille source  $i_{\text{GS}}-v_{\text{GS}}$ .
- Mesure C(V) du JFET des différentes capacités de jonction ( $C_{\text{GS}}$ ,  $C_{\text{GD}}$ ,  $C_{\text{DS}}$ )

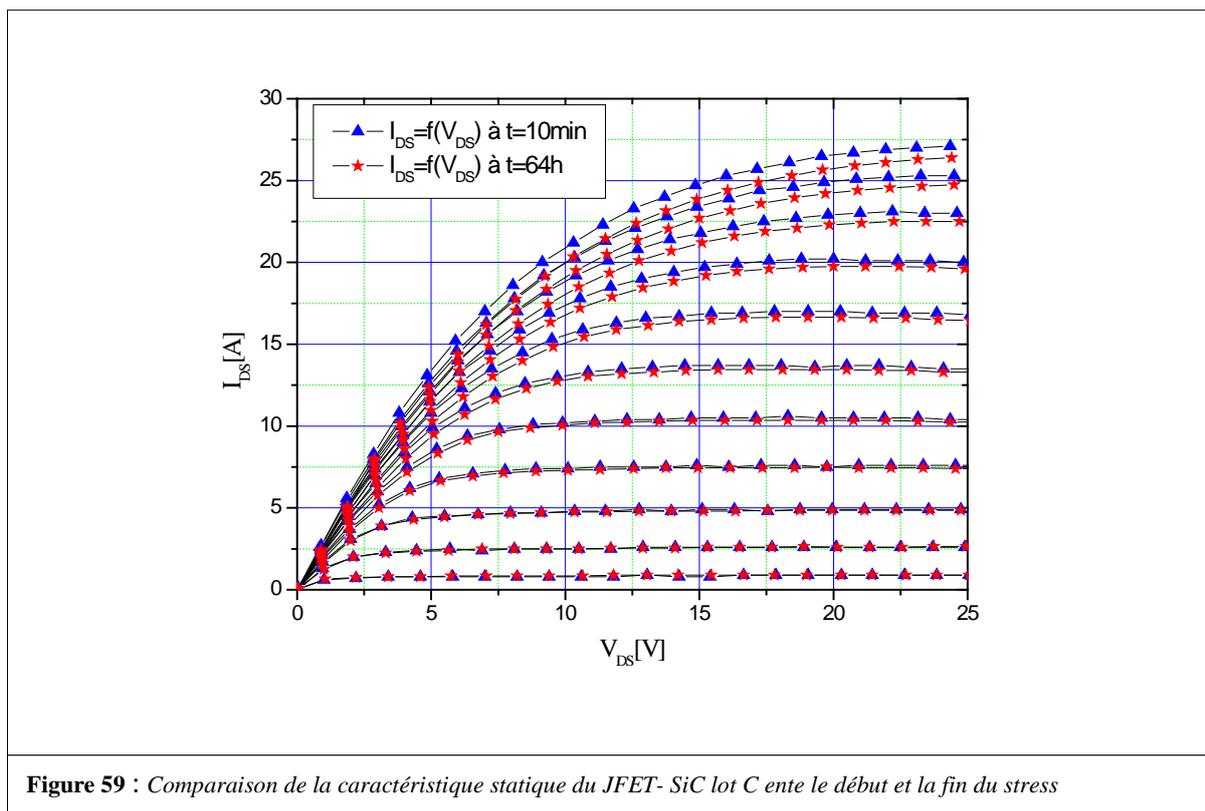
Nous avons étudié la dégradation sur plusieurs JFET. Sur chaque JFET nous avons appliqué un stress de courant donné. Les figures 57 et 58 montrent les résultats que nous avons obtenus sur la dégradation du JFET en SiC lot C ( $1200\text{ V}-15\text{ A}$ ) pour un stress de courant de  $I=5\text{ A}$ . Elles montrent l'évolution de la résistance à l'état passant et le courant de saturation du JFET.



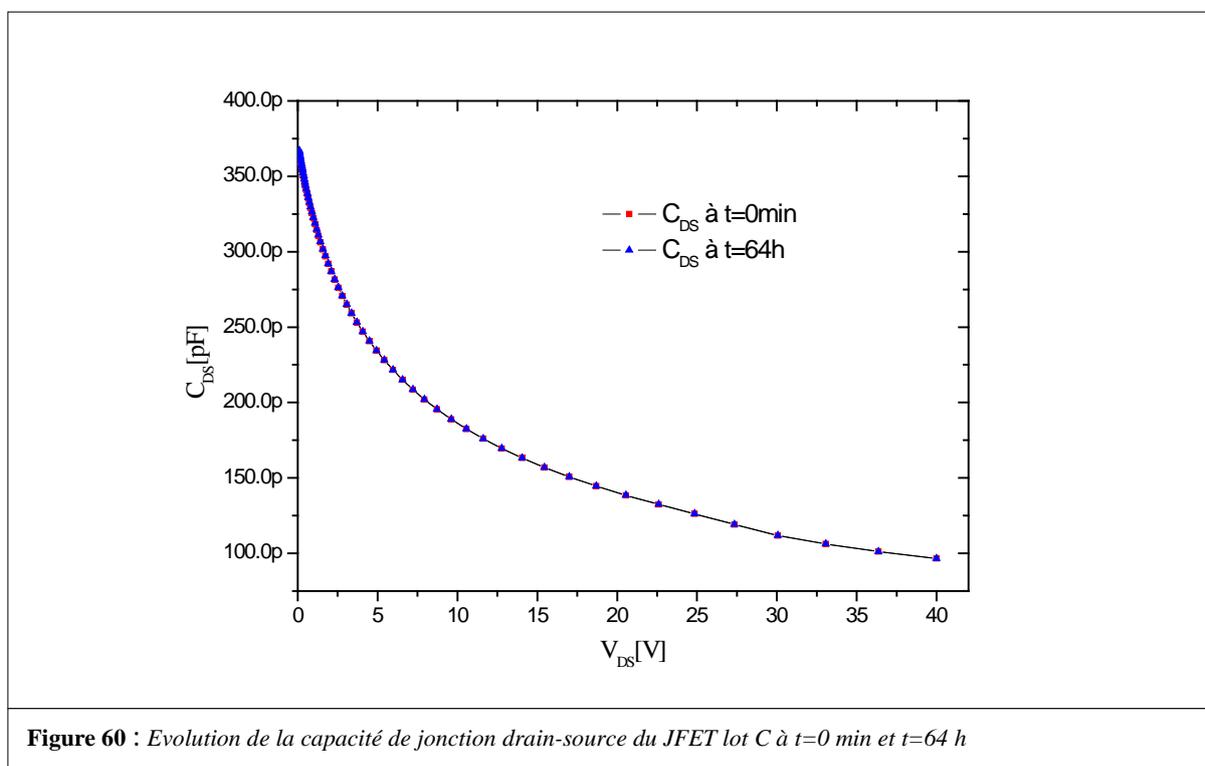
**Figure 57:** Dégradation de la résistance à l'état passant  $R_{\text{DS}}^{\text{ON}}$  pour une durée de 64 h pour un stress de courant de  $I=5$  A pour le transistor JFET-SiC lot C



Ces résultats montrent que la résistance à l'état passant augmente légèrement de 7% au début et que cette résistance atteint une limite à partir de  $t=34$  h ce qui montre qu'aucune dégradation significative n'a été observée et que les phénomènes observés sont probablement dus à la métallisation et les contacts physiques. L'impact de la dégradation observée est très faible et reste acceptable pour des applications industrielles, en plus ces résultats valident l'utilisation d'onduleur de tension à JFET sans diode de roue libre particulièrement pour les applications haute température. Notons que pour des JFET de technologies différentes comme ceux fournis par la société SemiSouth, l'absence de la diode interne nécessite a priori l'utilisation de diodes Schottky externes, très sensibles à la température. La Figure 59 représente la comparaison de la caractéristique statique du JFET entre le début et la fin du stress.



Pour les mesures de capacités de jonction, aucune évolution n'est observée pour les capacités drain -source et grille -drain et la capacité entre grille et source montre une légère évolution ce qui est probablement dû à la métallisation. Les figures 60, 61 et 62 montrent l'évolution de trois capacités de jonction à  $t=0$  min et  $t=64$  h.



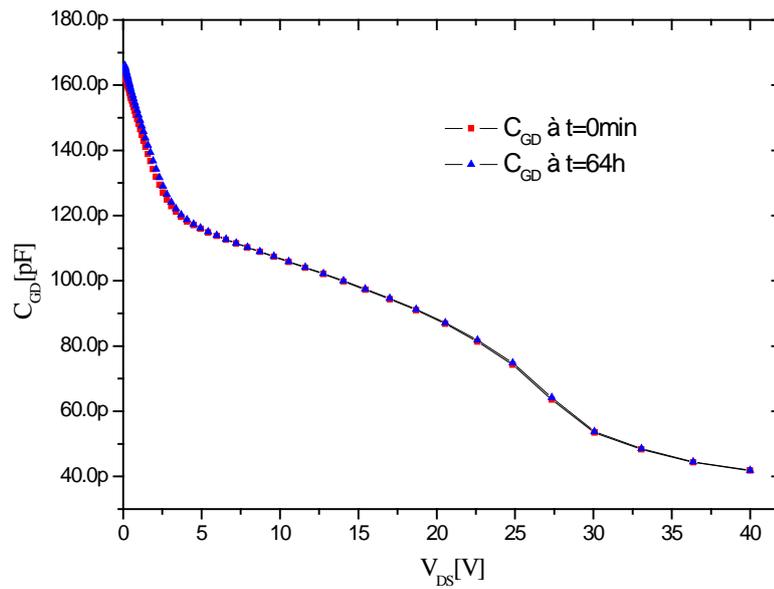


Figure 61 : Evolution de la capacité de jonction grille-drain du JFET lot C à  $t=0\text{ min}$  et  $t=64\text{ h}$

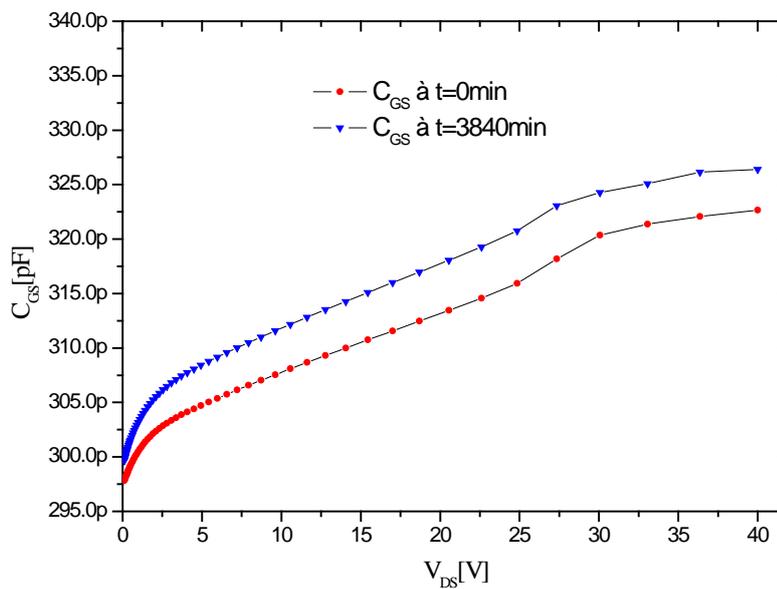
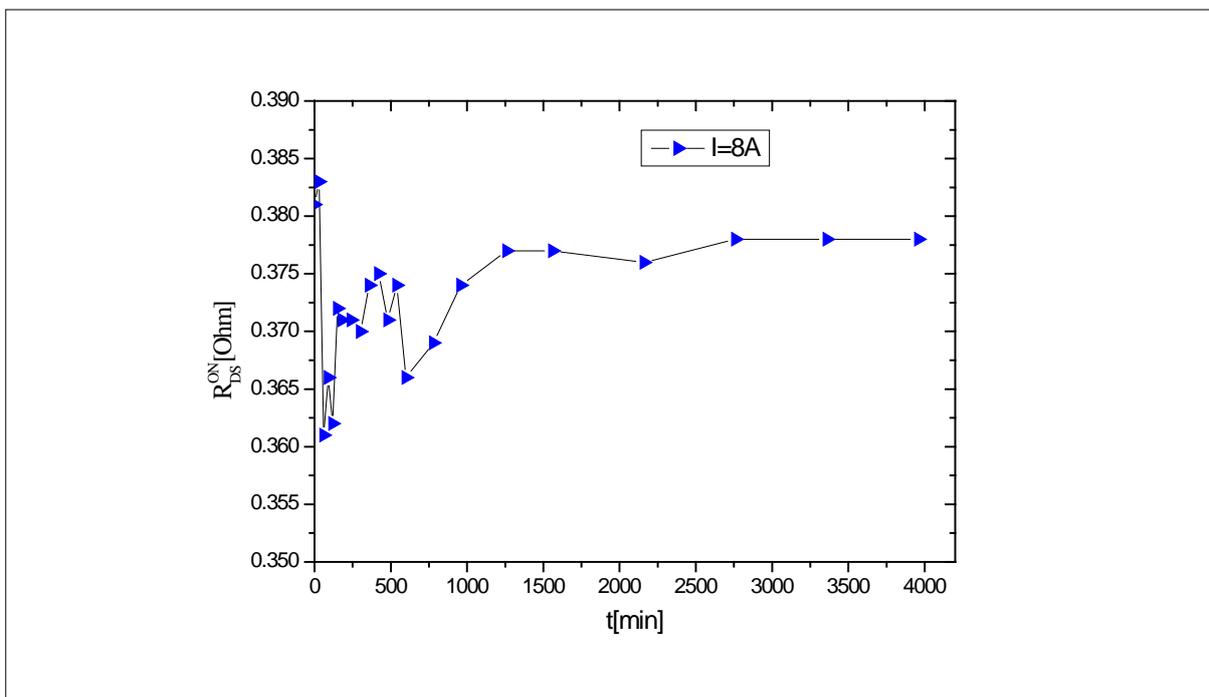
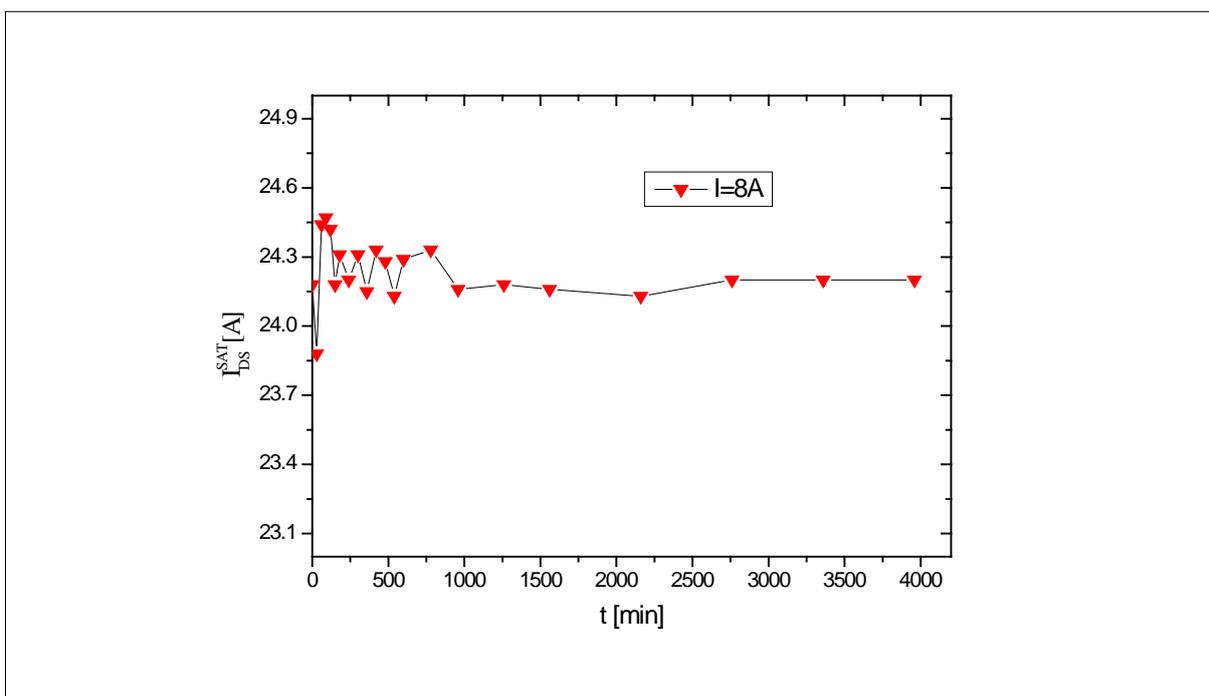


Figure 62 : Evolution de la capacité de jonction grille-source du JFET lot C à  $t=0\text{ min}$  et  $t=64\text{ h}$

Les figures 63 et 64 montrent l'évolution de la résistance à l'état passant et du courant de saturation pour un stress de courant de  $I=8\text{ A}$ .



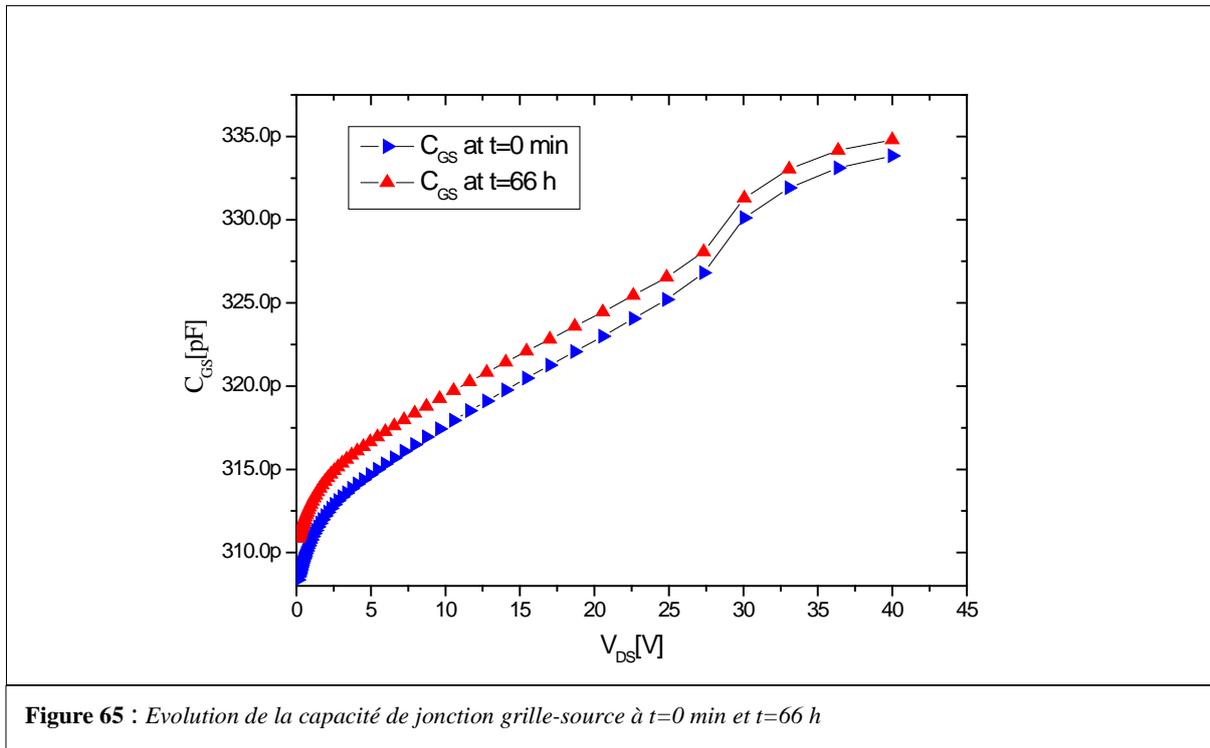
**Figure 63 :** Dégradation de la résistance à l'état passant  $R_{DS}^{ON}$  pour une durée de 67 h pour un stress de courant de  $I=8$  A pour le transistor JFET -SiC lot C



**Figure 64 :** Dégradation du courant de saturation  $I_{DS}^{SAT}$  pour une durée de 64 h pour un stress de courant de  $I=8$  A pour le transistor JFET -SiC lot C

Après un stress de 66 h on voit bien qu'aucune dégradation a été observée et que la résistance à l'état passant ainsi que le courant de saturation se stabilisent et atteignent une limite à partir de  $t=46$  h. La Figure 65 représente l'évolution de la capacité de jonction grille-source à  $t=0$  min et  $t=66$  h. Pour l'onduleur sans diode avec un temps mort de 500 ns à 1  $\mu$ s

avec une fréquence de découpage de 10 kHz, 60 h de conduction de la diode correspond à 12000 h, ce qui est un temps significatif.



### 3 Conclusion

Nous avons présenté dans ce chapitre les résultats expérimentaux effectués sur la caractérisation des transistors JFET SiCED. Deux lots des transistors JFET-SiCED ont été étudiés, dans le premier temps nous avons mesuré les caractéristiques électriques statiques en direct et en inverse pour les deux lots de ce JFET en fonction de la température. Les résultats montrent que l'augmentation de la température conduit à l'augmentation de la résistance à l'état passant  $R_{DS}^{ON}$  et à la diminution du courant de saturation  $I_{DS}^S$  de ce composant et une amélioration des performances des différents composants, en terme de  $R_{DS}^{ON}$  et  $I_{DS}^S$  en passant du lot A au lot C. En mode de polarisation inverse de ces composants, les mesures montrent que l'augmentation de la température conduit à diminuer le courant inverse du canal de conduction. Des mesures de la jonction grille source en direct et en inverse ont été présentées en fonction de la température, les mesures montrent que l'augmentation de la température conduit à la diminution de la chute de tension sur la diode de ces JFET et à l'augmentation du courant de fuite dû à l'augmentation du courant de génération de la jonction. Nous avons présenté également la caractérisation de ces JFET en mode de polarisation directe bloquée, les caractéristiques de transfert en fonction de la température et qui ont montré que

l'augmentation de la température n'affecte pas la tension de blocage ( $V_{T0}$ ). Des mesures en  $C(V)$  de ce composant ont été présentées et les résultats montrent que les capacités varient non linéairement en fonction de la tension ce qui correspond bien à des capacités de jonction.

Nous avons présenté aussi des mesures en commutation sur charge RL et sur un bras d'onduleur de ce composant pour différents niveaux de tension. Ces mesures permettent d'avoir des formes d'ondes riches en informations dans le sens où le composant a été excité et une meilleure extraction des paramètres dynamiques lors de la modélisation. Des études du mécanisme de dégradation de ce composant ont été rapportées. Les résultats montrent qu'aucune dégradation significative n'a été observée et que les phénomènes observés sont probablement dus à la métallisation des contacts physiques.

<b>Sommaire.....</b>	<b>93</b>
<b>Chapitre 3: Modélisation du transistor JFET en SiC.....</b>	<b>94</b>
1 Introduction.....	94
2 Rappel sur le modèle du canal symétrique du JFET.....	95
2.1 Rappel sur les équations du modèle du canal symétrique du JFET.....	95
2.1.1 Equations du modèle du canal symétrique.....	96
3 Structure verticale du JFET SiCED.....	97
3.1 Modélisation du canal asymétrique du JFET SiCED.....	99
3.1.1 Equations du modèle du canal asymétrique.....	100
3.1.2 Relations entre les tensions grilles $u_{G1S}$ et $u_{G2S}$ et les extensions de ZCE $W_1$ et $W_2$ .....	103
3.1.3 Calcul du courant dans le canal dans les différents régimes de fonctionnements.....	105
3.1.3.1 Régime linéaire.....	105
3.1.3.2 Régime de pincement.....	107
3.1.3.3 Condition du blocage du canal asymétrique du JFET.....	109
3.1.4 Calcul des grandeurs électrique du VJFET (INFINEON) $R_{DS}^{ON}$ et $i_{CH}^{SS}$ .....	113
3.1.4.1 Calcul du courant de saturation dans le canal latéral $i_{CH}^{SS}$ .....	113
3.1.4.2 Calcul de la résistance à l'état passant $R_{DS}^{ON}$ .....	114
3.1.5 Cas du blocage du VJFET.....	115
3.1.6 Capacité de jonction du VJFET.....	117
3.2 Extraction des paramètres du modèle du canal du JFET.....	118
3.2.1 Estimation de $Z$ , $a$ , $V_P$ .....	121
3.3 Validation du modèle.....	121
3.3.1 Validation des caractéristiques statiques.....	122
3.3.2 Validation de la caractéristique de transfert en saturation.....	123
3.3.3 Validation des caractéristiques dynamique en commutation sur charge R-L.....	125
3.3.4 Validation des caractéristiques en $C(V)$ .....	128
4 Conclusion.....	133

# Chapitre 3

## Modélisation du transistor JFET en SiC

### 1 Introduction

La modélisation de composants à semi-conducteurs est devenue une étape indispensable pour le développement de circuits en électronique de puissance. En effet, la simulation à partir de modèles qui décrivent le comportement réel de composants permet une réduction significative du temps, des efforts et du coût demandés pour la conception et le test de circuits. Il existe de nombreuses manières de modéliser un composant à semi-conducteur. La plus simple est la modélisation analytique des comportements, basée sur des hypothèses simplificatrices. Cette modélisation est considérée comme une méthode plus attrayante pour établir un modèle qui peut être utilisé dans les simulateurs de circuits. Ces modèles utilisent des équations qui dérivent les caractéristiques de composants et qui peuvent être établies à partir des lois physiques ou des observations sur le comportement du composant.

Le développement de modèles de composants à semi-conducteur peut être décrit dans différents langages (VHDL-AMS, SABER, ...). La validation de ces modèles se fait avec des simulateurs commercialement disponibles comme SIMPLORER pour les langages en VHDL-AMS et SABER pour les langages MAST. Nous allons présenter dans ce chapitre notre travail sur le développement d'un nouveau modèle multiphysique, non empirique du JFET- SiC de SiCED à deux canaux.

## 2 Rappel sur le modèle du canal symétrique du JFET

Il s'agit du modèle très classique du canal du JFET [Mathieu 1998] [Baliga 1992]. Ce calcul est disponible dans de nombreux ouvrages et sert de base aux différentes améliorations, notamment en termes de dépendance avec la température et de prise en compte de la géométrie réelle d'un JFET vertical (VJFET). La Figure 1 ci-dessous montre la structure du canal du JFET idéal et symétrique.

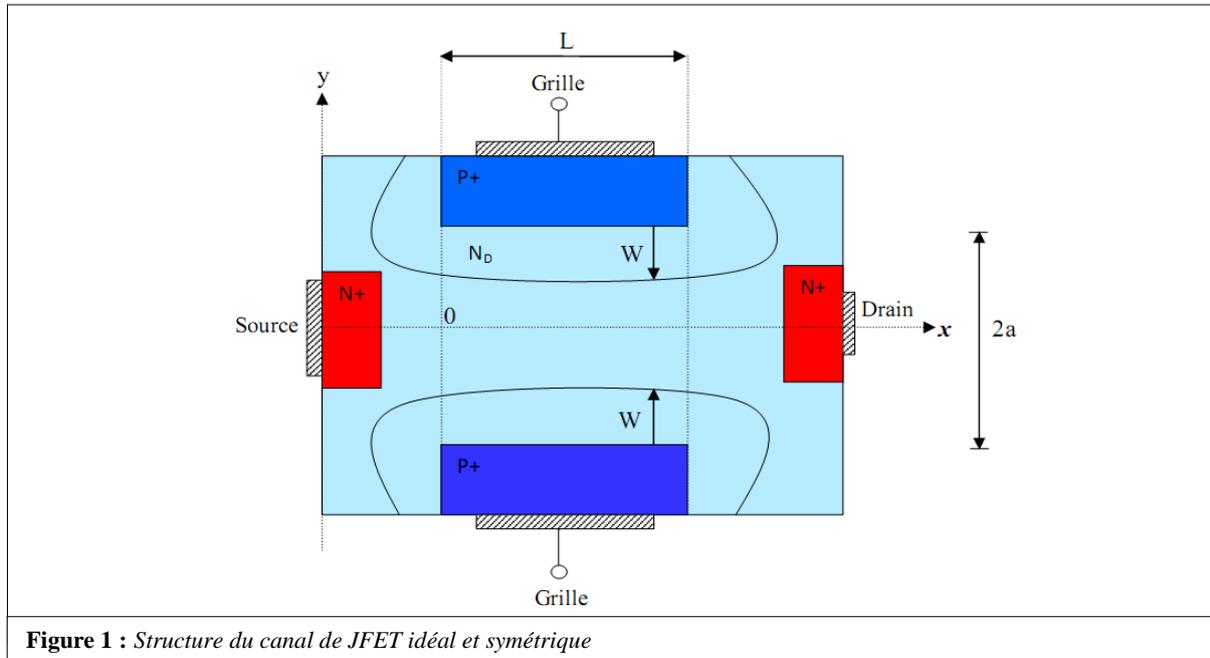


Figure 1 : Structure du canal de JFET idéal et symétrique

Où,  $W(x)$  représente l'extension de la zone de charge d'espace. Notons que seule la zone entre 0 et L est symétrique par rapport à l'axe x.

### 2.1 Rappel sur les équations du modèle du canal symétrique du JFET

Nous allons présenter dans cette partie les différentes équations qui décrivent le modèle du canal symétrique du JFET. Le Tableau 1 représente les différents paramètres électriques et technologiques du modèle du canal symétrique du JFET.

Paramètres	Définition	Unité usuelle
$R_{CH}$	Résistance du canal sans modulation	$\Omega$
$I_{CH}^{SAT}$	Courant de saturation (valeur du courant $i_{DS}$ pour une tension grille source $V_{GS}=0V$ )	A
$V_{DS}$	Tension drain source	V
$V_{GS}$	Tension grille-source	V
$V_{T0}$	Tension de blocage	V
L	Longueur du canal	$\mu m$

Z	Largeur transversal du canal	cm
a	Demi-largeur du canal	μm
N <sub>D</sub>	Concentration du dopage dans le canal	cm <sup>-3</sup>

**Tableau 1** : Paramètres électriques et technologiques du canal de JFET

### 2.1.1 Equations du modèle du canal symétrique

Nous représentons dans ce paragraphe les expressions du courant dans le canal symétrique du JFET en régime linéaire et en régime de pincement. La tension de pincement du canal est donnée par :

$$V_p = \frac{qN_D a^2}{2\epsilon} \quad (1)$$

La résistance dans le canal sans modulation est donnée par :

$$R_{CH} = \frac{L}{2q\mu_n N_D a Z} \quad (2)$$

Où,  $\mu_n$  représente la mobilité des électrons.

La condition de pincement s'écrit :

$$v_{DS} > V_p - V_{BI} + v_{GS} \quad (3)$$

Le courant dans le canal de JFET en régime pincé après normalisation s'écrit :

$$i_{CH}^{SS} = \frac{V_p}{3R_{CH}} (1 - 3\gamma + 2\gamma\sqrt{\gamma}) \quad (4)$$

Avec,

$$\gamma = \frac{V_{BI} - v_{GS}}{V_p} \quad (5)$$

Pour  $\gamma=1$  ce courant s'annule.

Le courant dans le canal symétrie de JFET en régime linéaire après normalisation s'écrit :

$$i_{CH} = \frac{V_p}{3R_{CH}} \left( 3\nu - 2(\gamma + \nu)^{\frac{2}{3}} + 2\gamma^{\frac{2}{3}} \right) \quad (6)$$

Avec,

$$\nu = \frac{v_{DS}}{V_p} \quad (7)$$

Nous notons toutefois que ce modèle assez simple n'est pas disponible dans la plupart des simulateurs comme SPICE ou SABER. Ce modèle a été utilisé dans la première version du modèle du VJFET par les autres partenaires du projet SEFORA.

### 3 Structure verticale du JFET SiCED

La Figure 2 ci-dessous montre la structure du JFET vertical à deux canaux fabriqué par SiCED qui va être commercialisé prochainement. Elle utilise deux canaux : un canal latéral pour contrôler le courant et un canal vertical pour la tenue en tension. Le canal latéral est formé entre la couche enterrée  $P^+$  et le caisson  $P^+$  de la grille. Ce canal est caractérisé par les paramètres technologiques  $2a$ ,  $L$ ,  $N_D$  qui représentent respectivement la largeur du canal latéral, la longueur du canal et la concentration du dopage dans le canal latéral.  $2a$  est choisi historiquement pour simplifier l'expression de la tension de pincement [Baliga 1992]. Le canal vertical du JFET est formé entre les deux couches enterrées  $P^+$ . Ce canal est caractérisé par les paramètres technologiques  $h$ ,  $b$ ,  $N_{DD}$  qui représentent respectivement la largeur du canal vertical, la longueur du canal vertical et la concentration du dopage dans le canal vertical. La région de dérive de ce JFET est caractérisée par les paramètres  $W_b$  et  $N_{DD}$  où  $W_b$  représente l'épaisseur de la région de dérive.

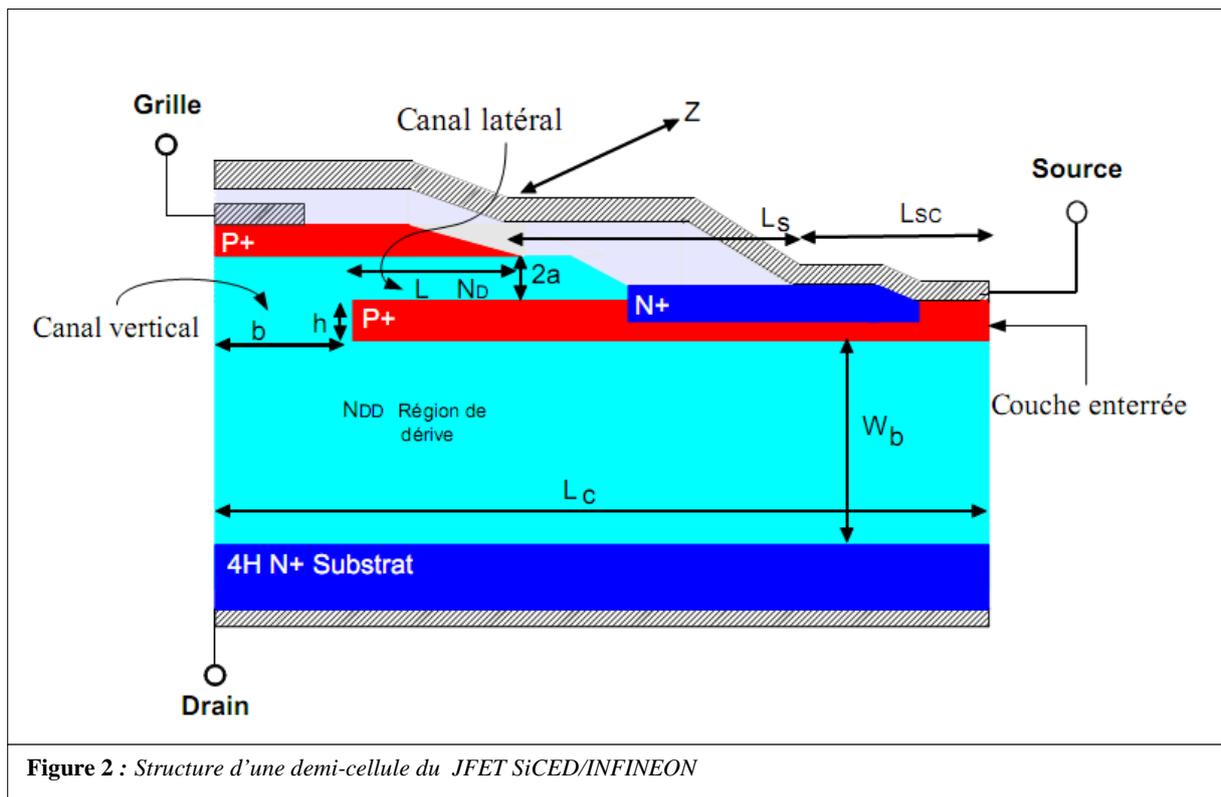


Figure 2 : Structure d'une demi-cellule du JFET SiCED/INFINEON

Les paramètres  $L_c$ ,  $Z$ ,  $L_s$ ,  $L_{sc}$  représentent respectivement la largeur active de la cellule, la profondeur du composant, la longueur d'accès de source et la longueur du contact source. La résistance à l'état passant du JFET représente la résistance totale qui apparaît entre la source et le drain lorsque le transistor fonctionne en régime linéaire. Cette résistance représente par définition la pente du courant drain  $i_{DS}$  à faible  $v_{DS}$  et qui vaut:

$$R_{DS}^{ON} = \frac{1}{\frac{\partial i_{DS}}{\partial v_{DS}}(v_{DS} = 0, v_{GS} = 0)} \quad (8)$$

A partir de la structure du JFET présenté à la Figure 2 un nouveau schéma électrique équivalent de ce transistor est proposé à partir de l'analyse complète de son fonctionnement.

Ce schéma a été déjà proposé par Mousa [Mousa 2007] et est constitué d'un schéma résistif basé sur le comportement du JFET à l'état passant. La Figure 3 montre la représentation structurelle de ce JFET. Ce modèle de type circuit utilise deux instances d'un modèle de canal de JFET ('JFET-CH-L' et 'JFET-CH-V'). Les autres éléments important dans ce circuit sont la résistance de couches d'accès de sources  $R_S$  et la résistance de la couche épitaxiée  $R_{EPI}$ .

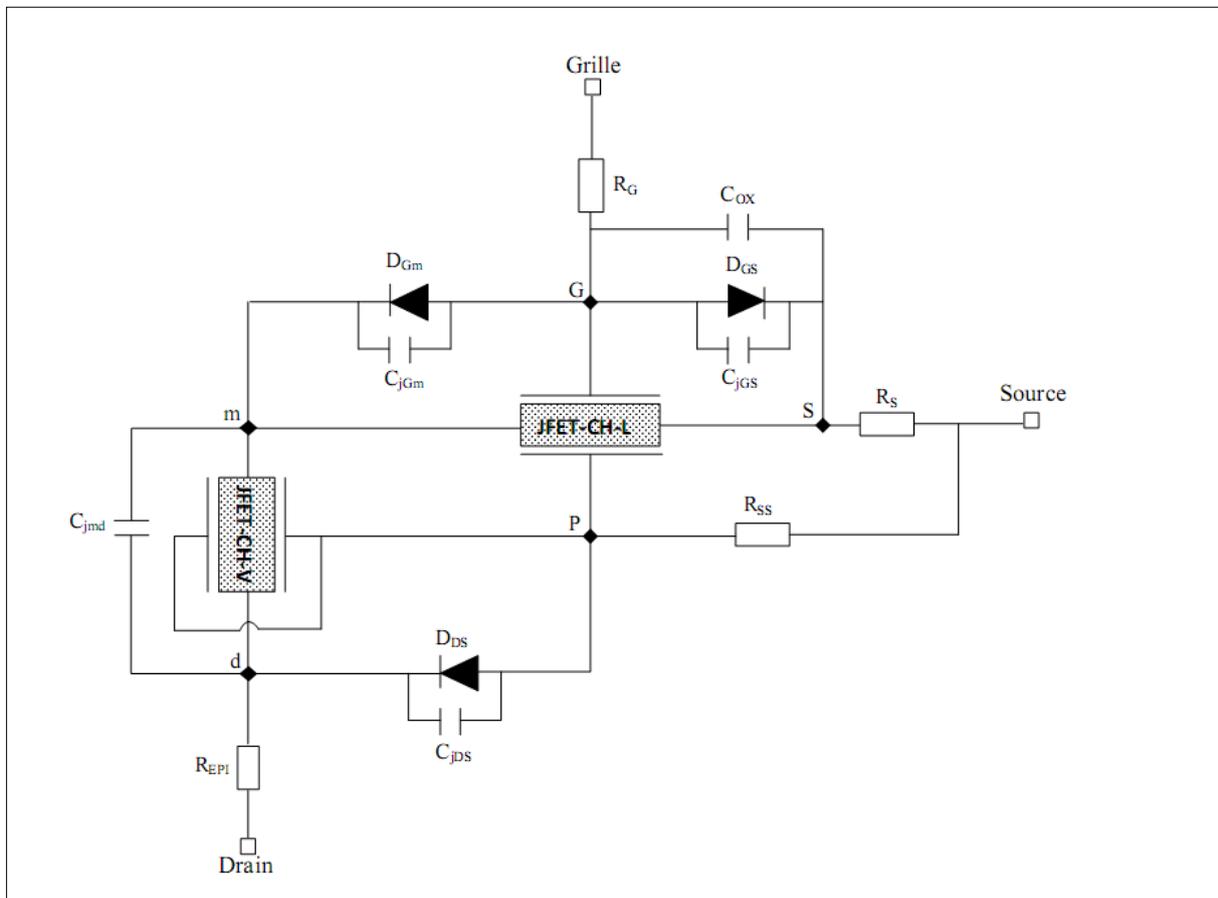


Figure 3 : Représentation structurelle du modèle du VJFET fourni par SiCED/INFINEON

Le Tableau 2 représente tous les symboles de la structure de VJFET avec leurs définitions.

Liste des symboles	Définition
JFET_CH_L	Canal latéral du JFET représenté par une résistance $R_{CH}$ sans modulation
JFET_CH_V	Canal vertical du JFET représenté par une résistance $R_{CV}$

$R_G$	Résistance de contact ohmique de la grille
$R_S$	Résistance de couches d'accès de sources
$R_{SS}$	Résistance mécanique
$R_{EPI}$	Résistance de la couche de dérive
$C_{jGS}$	Capacité de jonction grille-source
$C_{jGm}$	Capacité de jonction grille-drain
$C_{jmd}$	Capacité de jonction grille-drain
$C_{jDS}$	Capacité de jonction drain source
$D_{GS}$	Diode grille-source
$D_{GD}$	Diode grille-drain
$D_{DS}$	Diode drain-source
$C_{ox}$	Capacité d'oxyde entre grille-source

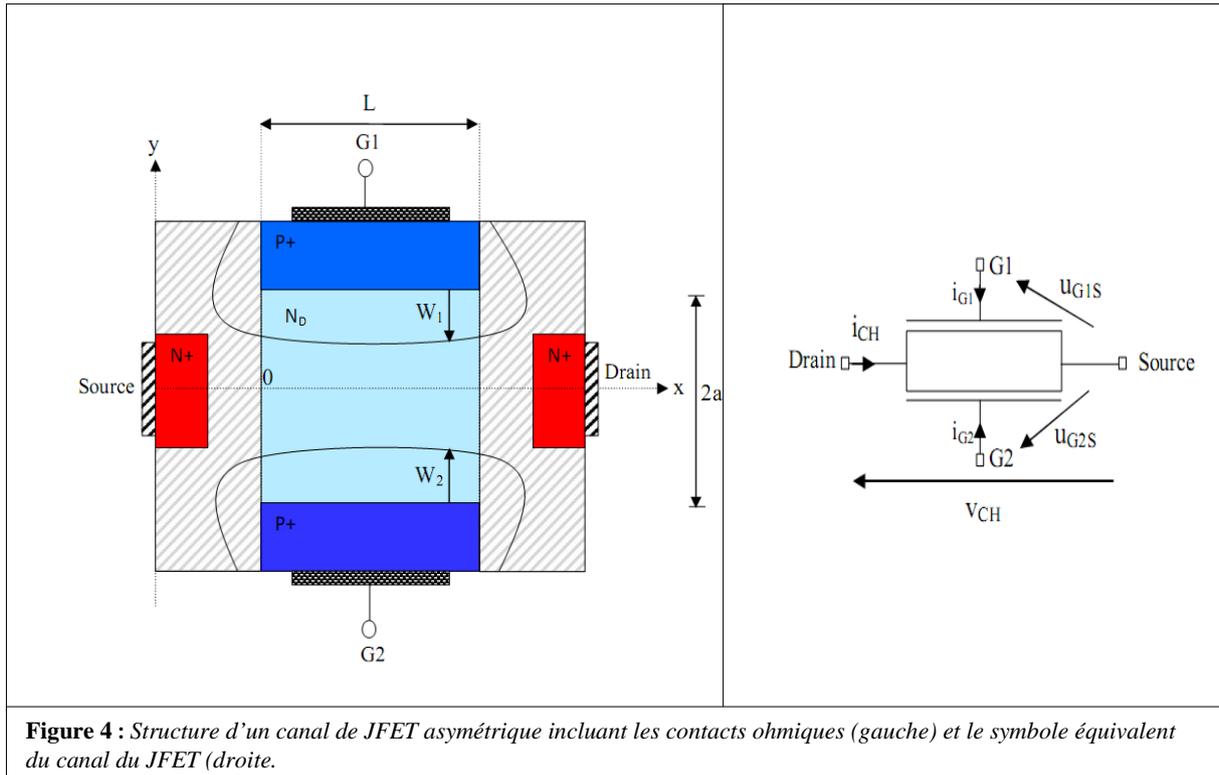
**Tableau 2 :** Symboles de la structure du modèle de VJFET avec leurs définitions

Dans ces différents modèles la prise en compte de la dépendance de la mobilité en fonction de la température assure une bonne dépendance du modèle globale en fonction de la température. D'une façon générale nous recherchons une analyse physique pertinente afin d'obtenir un modèle précis sur large plage de variations des valeurs externes comme les tensions  $v_{DS}$  et  $v_{GS}$  les courants  $i_{DS}$  et  $i_{GS}$  et la température.

### 3.1 Modélisation du canal asymétrique du JFET SiCED

Des modèles ont été déjà proposés dans la littérature qui utilise bien souvent un modèle à un seul canal [Kashyap 2004] ou utilisent des représentations empiriques des dépendances avec la température [Mousa 2008]. Pour atteindre notre objectif, il est nécessaire de développer un modèle du JFET multiphysique qui représente son comportement en statique et en dynamique en fonction de la température et qui n'utilise pas de paramètres empiriques.

La structure qu'on modélise est une demi-cellule de JFET SiCED de largeur  $Z$ . La Figure 4 montre la structure la plus simple incluant un canal de JFET asymétrique, les contacts électriques associés, et son symbole équivalent. Le régime modélisé représente le canal latéral. La principale différence entre le canal symétrique donné à la Figure 1 précédente est que la zone P+ du bas était une zone contrôlée par le potentiel grille-source, alors qu'ici elle est contrôlée par le potentiel de la source



**Figure 4 :** Structure d'un canal de JFET asymétrique incluant les contacts ohmiques (gauche) et le symbole équivalent du canal du JFET (droite).

On peut observer que le canal latéral est manifestement asymétrique parce que d'un côté le potentiel de la grille est appliqué à la couche  $P^+$  alors que de l'autre côté il s'agit du potentiel de source.

### 3.1.1 Equations du modèle du canal asymétrique

Le Tableau 3 représente les listes des symboles utilisés dans le texte et ceux utilisés dans le modèle avec leurs définitions, pour le canal asymétrique.

<i>Symbole dans le texte</i>	<i>Symbole dans le modèle</i>	<i>Description</i>	<i>Unités usuelle</i>
$V_P$	VP	Tension de pincement	V
$V_{BI}$	Vbi	Potentiel de construction de la jonction $P^+N$	V
$v_{CH}$	vch	Tension aux bornes du canal	V
$i_{CH}$	ich	Courant drain-source	A
$u_{G1S}$	Ug1s	Tension grille1-source	V
$u_{G2S}$	Ug2s	Tension grille2-source	V
$i_{G1}$	ig1	Courant grille	A
$i_{G2}$	ig2	Courant grille	A
$\gamma_1$	gamma1	Tension grille1-source normalisée	

$\gamma_2$	gamma2	Tension grille2-source normalisée	
$v$	nu	Tension drain-source normalisée par la tension $V_p$	V
$V_{CH}^p$	nu_p	Tension dans le canal dans le mode de pincement	V
$\Delta$	delta	Courant de pincement normalisé	
$\omega$	omega	Dérivée normée de delta	
$\epsilon_{SiC}$	eps	Constant diélectrique du SiC	F/m
$\mu_n$	mu_n	Mobilité des électrons	$cm^2.V^{-1}.s^{-1}$
$\gamma_0$	gamma0	tension normalisé à $V_{GS}=0$	
$g$	g	asymétrique de commande de la grille	
$R_{CH}$	Rch	Résistance du canal sans modulation	$\Omega$
$R_S$	rs	résistance de couches d'accès de sources	$\Omega$
$R_G$	rg	Résistance grille	$\Omega$
$u_B^1$	uB1	Hauteur de barrière	V
$u_B^2$	uB2	Hauteur de barrière	V
$a$	a	Demi-largeur du canal latéral	$\mu m$
$L$	L	Longueur du canal latéral	$\mu m$
$N_D$	Nd	Concentration du dopage dans le canal latéral	$cm^{-3}$
$Z$	z	Largeur du canal transversal	cm
$q$	q	Charge élémentaire électrostatique	$1,602177 \times 10^{19} C$

**Tableau 3** : Constantes et paramètres technologiques du modèle du canal asymétrique du JFET

Dans cette partie nous établissons les différentes équations du modèle du canal du JFET asymétrique. Les figures 5-a et 5-b représentent respectivement la structure du canal de JFET asymétrique et le schéma électrique pour le test ce canal avec les différences de potentiel sur les deux grilles  $G_1$  et  $G_2$ .

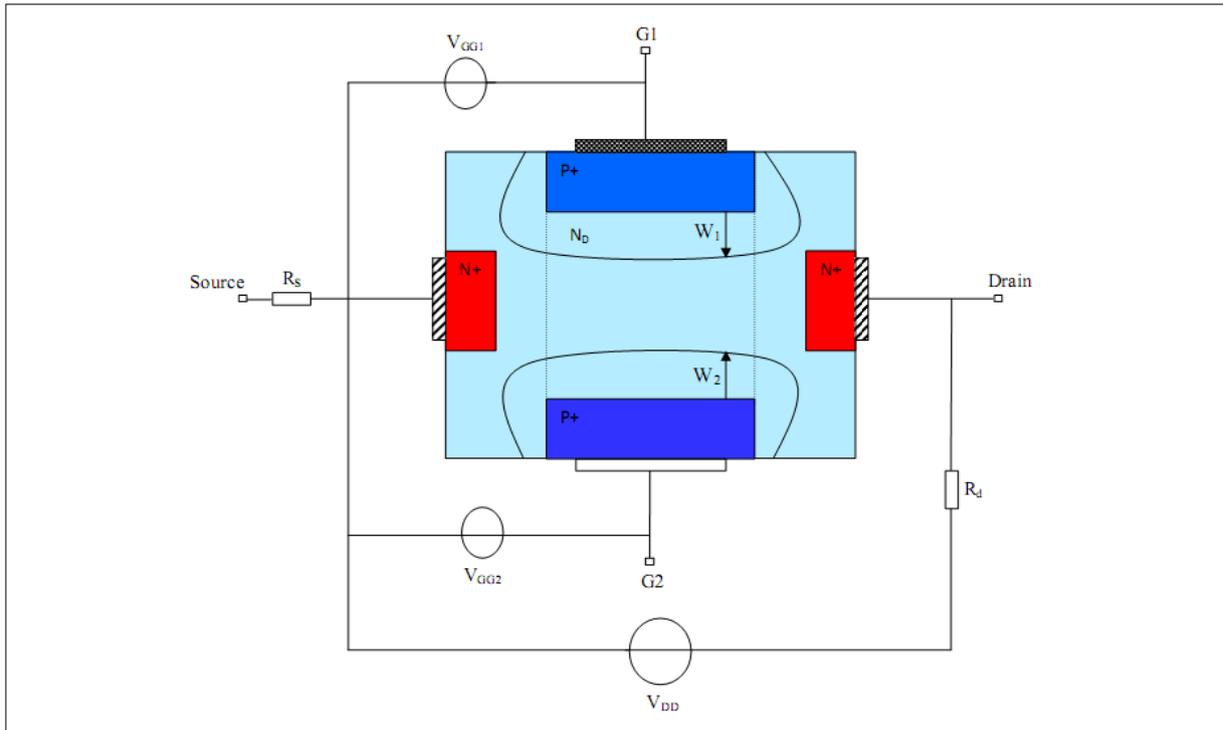


Figure 5-a : Structure du canal de JFET asymétrique avec ses différences potentielles sur les deux grilles

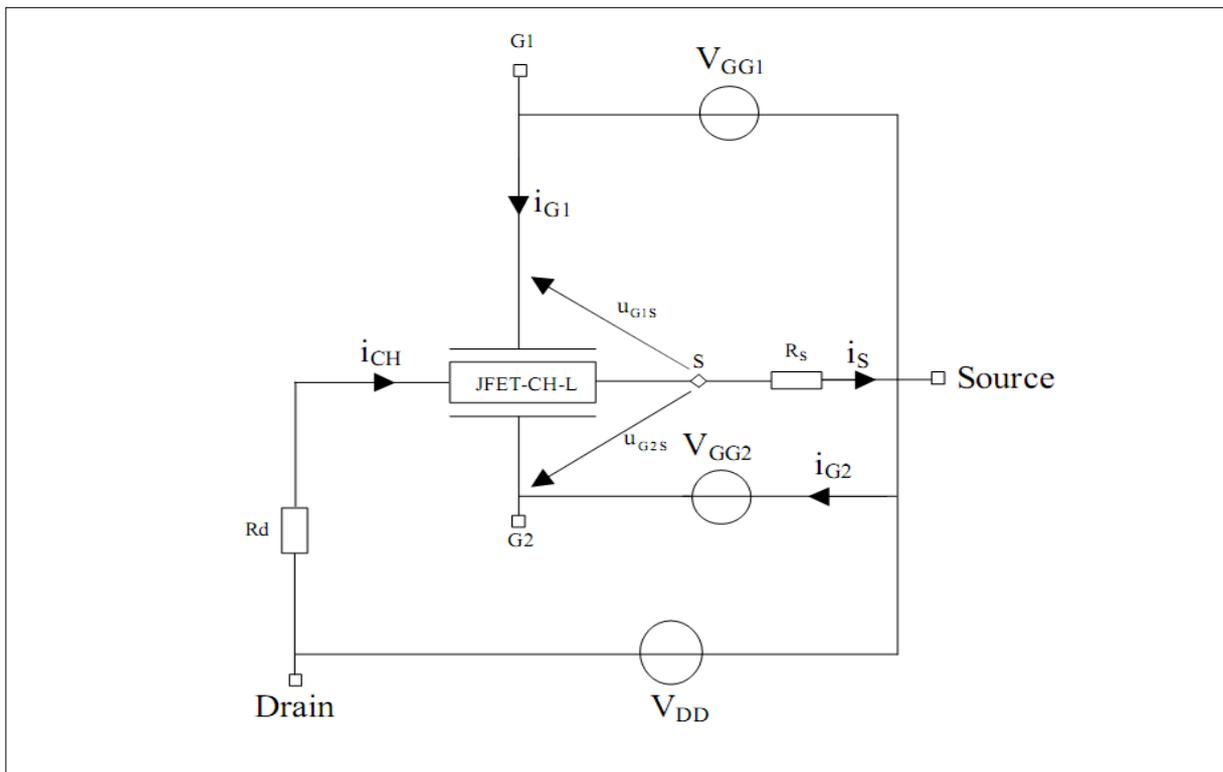


Figure 5-b: Schéma électrique du canal de JFET asymétrique avec ses différences potentielles sur les deux grilles

En appliquant la loi des mailles nous avons calculé les potentiels sur chaque grille, ce qui nous a donné :

Pour la grille G1 :

$$v_{GG1} = u_{G1S} + R_s i_s \quad (9)$$

Pour la grille G2 :

$$v_{GG2} = u_{G2S} + R_s i_s \quad (10)$$

Avec,

$$i_s = i_{CH} + i_{G1} + i_{G2} \quad (11)$$

Où,  $i_{CH}$  représente le courant dans le canal. Cela montre que  $u_{G1S}$  et  $u_{G2S}$  ne sont plus directement reliés aux tensions  $v_{GG1}$  et  $v_{GG2}$  mais aussi à  $i_s$ .

### 3.1.2 Relations entre les tensions grilles $u_{G1S}$ et $u_{G2S}$ et les extensions de ZCE $W_1$ et $W_2$

Les largeurs de zones de charge d'espace  $W_1$  et  $W_2$  sont calculées à partir de la relation qui relie la largeur de la zone de charge d'espace avec la hauteur de barrière. Cette hauteur de barrière est reliée à la différence de potentielle entre contact grille et contact source. La Figure 6 représente les potentiels électriques le long de la coupe S-G1.

Sur cette figure on peut écrire :

$$v_{GG1} = V_{BI}(T) - u_B^1(T) + \psi(x) + R_s i_s \quad (12)$$

Où,  $V_{BI}(T)$  représente la contribution des contacts  $P^+$  et  $N^+$  donnée par :

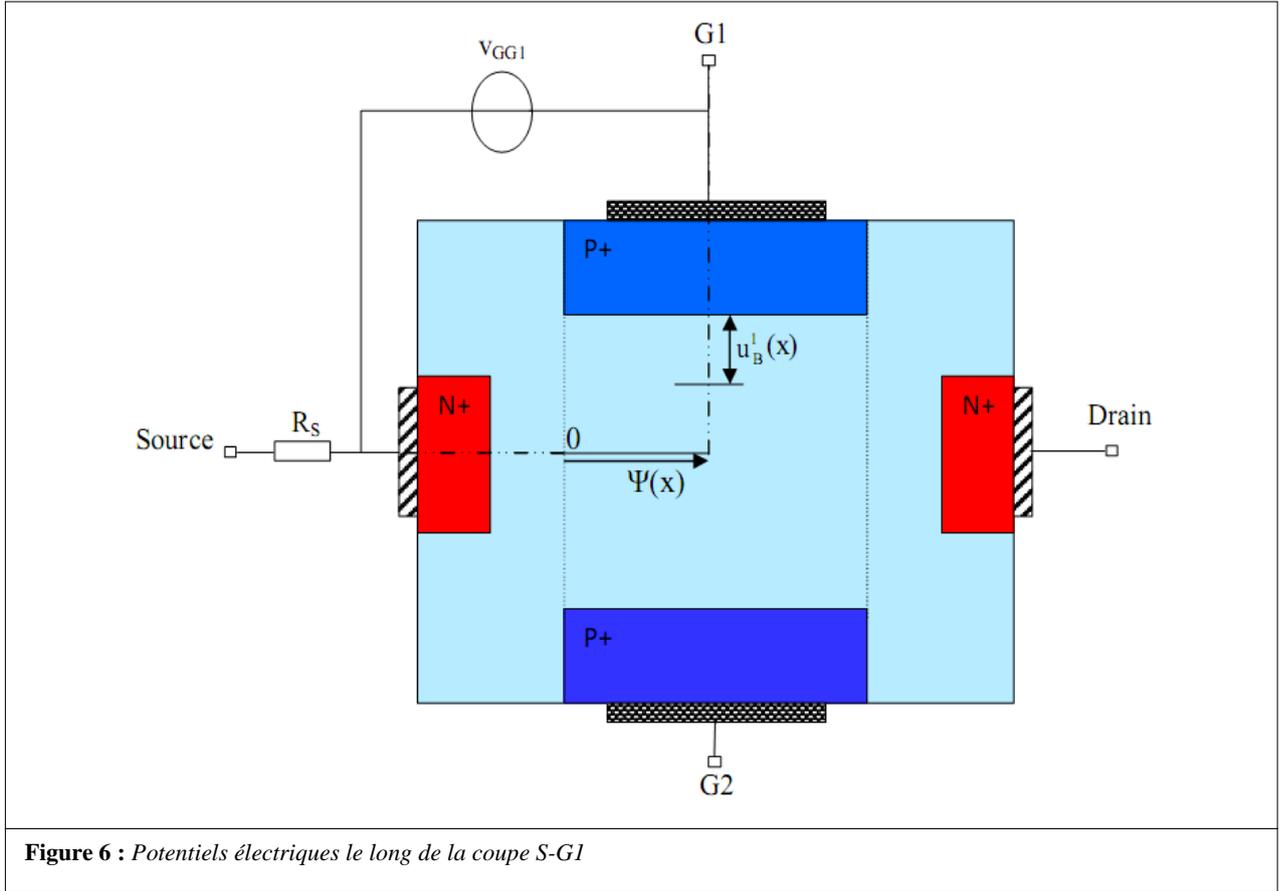
$$V_{BI} = U_G(T) - u_T \ln \left( \frac{N_{DD}^S}{N_D} \frac{N_{AA}^G}{N_A(x)} \right) \quad (13)$$

Avec,

$$U_G(T) = qE_G(T) \quad (14)$$

$E_G(T)$  représente la largeur de la bande interdite.

La fonction  $\psi(x)$  représente la différence de potentiel entre le début du canal et le point courant  $x$ .



En comparant avec (9) nous en déduisons :

$$u_{G1S} = V_{BI}(T) - u_B^1(x) + \psi(x) \quad (15)$$

Ce qui donne :

$$u_B^1(x) = V_{BI}(T) - u_{G1S} + \psi(x) = \frac{qN_D W_1^2}{2\epsilon_{SiC}} \quad (16)$$

Soit donc:

$$\frac{W_1}{a} = \sqrt{\frac{V_{BI} + \psi(x) - u_{G1S}}{V_P}} \quad (17)$$

Avec,

$$V_P = \frac{qN_D a^2}{2\epsilon_{SiC}} \quad (18)$$

Où  $V_P$  représente la tension de pincement du canal.

De même :

$$\frac{W_2}{a} = \sqrt{\frac{V_{BI} + \psi(x) - u_{G2S}}{V_P}} \quad (19)$$

### 3.1.3 Calcul du courant dans le canal dans les différents régimes de fonctionnements

Comme nous avons déjà présenté dans le chapitre 2, que le fonctionnement du JFET se décompose en deux régimes de fonctionnement : régimes linéaire et régimes de pincement.

Dans cette partie nous avons calculé le courant dans le canal dans chaque régime de fonctionnement.

#### 3.1.3.1 Régime linéaire

L'équation de dérive-diffusion des électrons s'écrit :

$$\vec{j}_n = -q\mu_n \left( n \overrightarrow{\text{grad}} \psi + u_T \overrightarrow{\text{grad}} n \right) \quad (20)$$

Où  $j_n$ ,  $\mu_n$ ,  $n$  représentent respectivement la densité du courant, la mobilité des électrons et le dopage. Dans le canal du JFET, en régime linéaire la neutralité électrique est respectée dans le canal et comme le dopage est uniforme ( $n \cong N_D$ ), le second terme, le courant de diffusion est négligeable. En supposant de plus que la distribution de courant est uniforme dans la direction du canal (hypothèse du canal graduel), l'équation (20) se réécrit donc :

$$i_{CH} = q\mu_n N_D A_{CH}(x) \frac{d\psi}{dx} \quad (21)$$

Où  $A_{CH}(x)$  est la section du canal à l'abscisse  $x$  donnée par :

$$A_{CH}(x) = (2a - W_1 - W_2)Z \quad (22)$$

Une autre hypothèse classique consiste à considérer que la mobilité est uniforme. Cela est en revanche une approximation plus grossière dans la mesure où elle dépend du champ électrique. Toutefois c'est une hypothèse bien pratique qui nous permet classiquement de poursuivre les calculs. L'expression (21) peut se réécrire en tenant compte de l'expression (22) :

$$i_{CH} dx = 2q\mu_n N_D Z (a - W_1 - W_2) d\psi \quad (23)$$

Si  $\mu_n$  est constante et en intégrant le premier terme de l'équation (23) entre 0 et  $L$  et le second terme entre 0 et  $v_{CH}$  on trouve que :

$$\int_0^L i_{CH} dx = 2q\mu_n N_D Z a \int_0^{v_{CH}} \left( 1 - \frac{W_1}{a} - \frac{W_2}{a} \right) d\psi \quad (24)$$

Classiquement l'intégration de l'équation (24) donne le courant dans le canal en régime linéaire soit :

$$i_{CH} = \frac{V_P}{3R_{CH}} \left[ 3 \frac{v_{CH}}{V_P} - \left( \frac{V_{BI} + v_{CH} - u_{G1S}}{V_P} \right)^{\frac{3}{2}} + \left( \frac{V_{BI} - u_{G1S}}{V_P} \right)^{\frac{3}{2}} - \left( \frac{V_{BI} + v_{CH} - u_{G2S}}{V_P} \right)^{\frac{3}{2}} + \left( \frac{V_{BI} - u_{G2S}}{V_P} \right)^{\frac{3}{2}} \right] \quad (25).$$

Où  $R_{CH}$  représente la résistance du canal sans modulation donnée par :

$$R_{CH} = \frac{L}{2q\mu_n N_D a Z} \quad (26)$$

Après normalisation l'expression du courant dans le canal en régime linéaire peut se réécrire:

$$i_{CH} = \frac{V_P}{3R_{CH}} \left[ 3\nu - (\nu + \gamma_1)^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} - (\nu + \gamma_2)^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}} \right] \quad (27)$$

Avec:

$$\nu = \frac{v_{CH}}{V_P} \quad (28)$$

qui représente la tension aux bornes du canal normalisée par la tension de pincement  $V_P$

$$\gamma_1 = \frac{V_{BI} - u_{G1S}}{V_P} \quad (29)$$

qui représente la tension entre grille n°1 et la source normalisée par  $V_P$

$$\gamma_2 = \frac{V_{BI} - u_{G2S}}{V_P} \quad (30)$$

qui représente la tension entre grille n°2 et la source normalisée par  $V_P$ .

Dans le cas symétrique et pour une résistance d'accès source  $R_S$  nulle :

$$\gamma_1 = \gamma_2 = \gamma = \frac{V_{BI} - V_{GS}}{V_P} \quad (31)$$

Et alors l'équation (27) se réécrit :

$$i_{CH} = \frac{V_P}{3R_{CH}} \left( 3\nu + 2\gamma^{\frac{3}{2}} - 2(\nu + \gamma)^{\frac{3}{2}} \right) \quad (32)$$

Et nous retrouvons exactement le modèle standard symétrique du canal de JFET donnée par l'équation (6)

### 3.1.3.2 Régime de pincement

La Figure 7 montre la structure du canal asymétrique du JFET pincé. Comme nous l'avons déjà dit, le régime de pincement correspond au cas où les deux zones de charge d'espace se rejoignent, c'est-à-dire lorsque,

$$W_1 + W_2 = 2a \quad (33)$$

Sous forme normalisée l'équation (33) se réécrit compte tenu de (17, 19, 28, 29,30) :

$$\sqrt{v + \gamma_1} + \sqrt{v + \gamma_2} = 2 \quad (34)$$

Finalement après calcul la condition de pincement peut s'écrire [Annexe1-1]:

$$v > v_{CH}^P \quad (35)$$

Avec,

$$v_{CH}^P = 1 - \frac{\gamma_1 + \gamma_2}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16} \quad (36)$$

Dans le cas symétrique,  $\gamma_1 = \gamma_2 = \gamma$ , et l'équation (36) se réécrit :

$$v_{CH}^P = 1 - \gamma \quad (37)$$

Soit encore,

$$v_{CH} > V_P - V_{BI} + v_{GS} \dots\dots\dots(38)$$

Ce qui est bien la relation classique dans le cas symétrique.

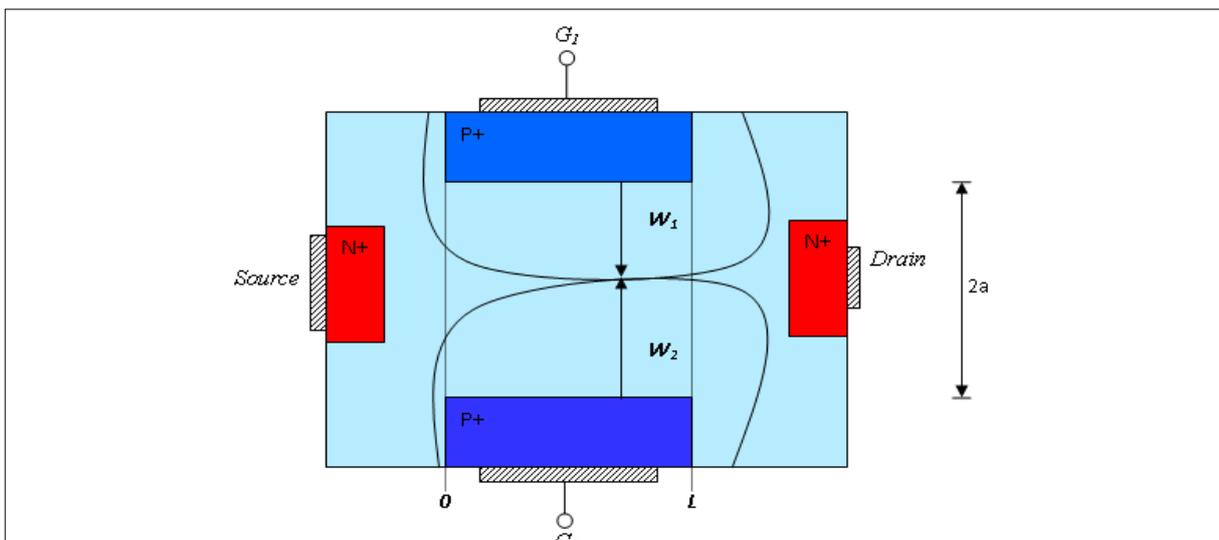


Figure 7 : Structure du canal asymétrique du JFET pincé

D'après la condition de pincement donnée par l'équation (35), le courant de pincement dans le cas du canal asymétrique s'écrit :

$$i_{CH}^P = \frac{V_P}{3R_{CH}} \Delta \quad (39)$$

Où,  $\Delta$  représente le courant de pincement normalisé donnée d'après l'équation (39) par :

$$\Delta = 3 \frac{i_{CH}^P R_{CH}}{V_P} \quad (40)$$

Après calcul l'équation (40) se réécrit [Annexe 1-2] :

$$\Delta = 3v_{CH}^P - \left(1 + \frac{g^2}{16} - \frac{g}{2}\right)^{\frac{3}{2}} - \left(1 + \frac{g^2}{16} + \frac{g}{2}\right)^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}} \quad (41)$$

Où  $g$  représente l'asymétrie de commande donnée par :

$$g = \gamma_2 - \gamma_1 \quad (42)$$

Dans le cas symétrique,  $\gamma_1 = \gamma_2 = \gamma$  et  $g = 0$ , nous obtenons,

$$\Delta = 3v_{CH}^P - 2 + 2\gamma^{\frac{3}{2}} \quad (43)$$

Soit encore compte tenu de (37) et (39) le courant de saturation dans le cas du canal symétrique s'écrit:

$$i_{CH}^P = \frac{V_P}{3R_{CH}} \left(1 - 3\gamma + 2\gamma^{\frac{3}{2}}\right) \quad (44)$$

qui est la relation classique du courant de saturation pour un canal symétrique. En particulier, le courant s'annule lorsque:

$$\gamma = 1 \quad (45)$$

La Figure 8 représente la variation de la fonction  $\Delta$  en fonction de  $\gamma$ . Cette courbe montre que  $\Delta$  est donc une fonction positive qui s'annule pour  $\gamma = 1$ .

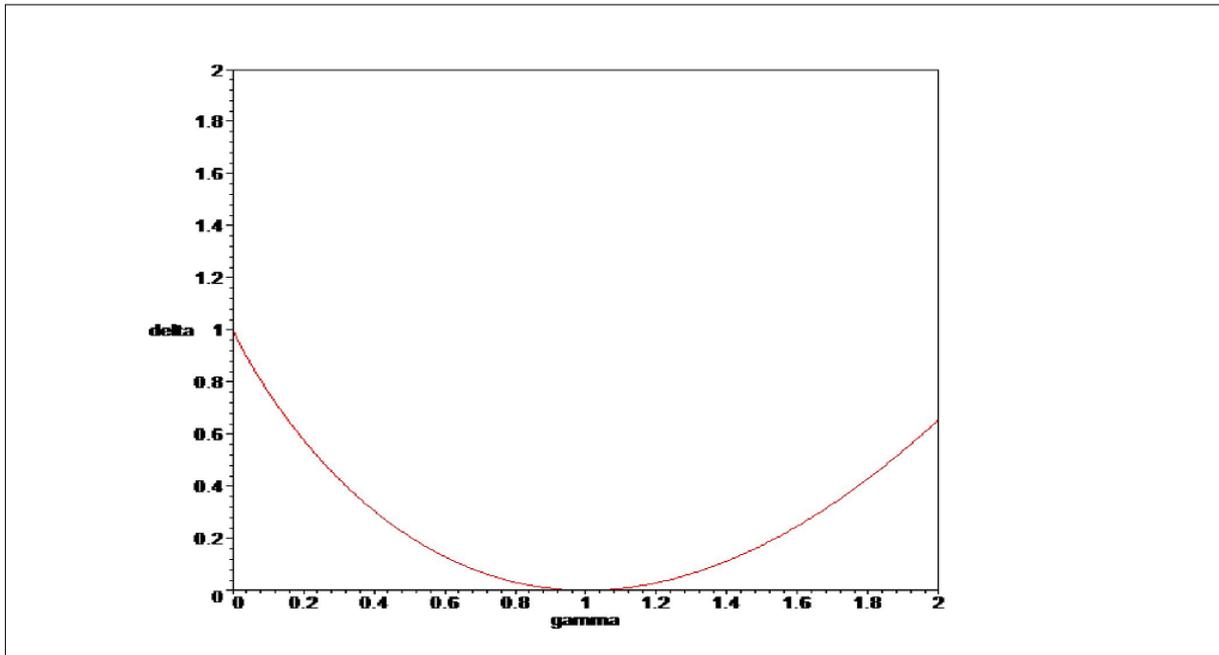


Figure 8 : Variation de la fonction  $\Delta$  en fonction de  $\gamma$  dans le cas symétrique ( $\gamma_1=\gamma_2=\gamma$ )

La condition de blocage dans le cas symétrique est donc bien:

$$\gamma > 1 \quad (46)$$

qui peut se réécrire aussi,

$$V_{GS} < V_{BI} - V_P = V_{T0} \quad (47)$$

Où,

$$V_{T0} = V_{BI} - V_P \quad (48)$$

représente la tension de blocage.

### 3.1.3.3 Condition du blocage du canal asymétrique du JFET

Naturellement l'analyse de l'expression (39) du courant en régime de pincement pourrait conduire à exprimer la condition de blocage par:

$$\Delta < 0 \quad (49)$$

C'est d'ailleurs que nous avons essayé sans succès. En effet le courant de pincement normalisé s'annule mais n'est jamais négatif comme le montre la Figure 8. Après coup, il devient simple de vérifier que le courant de saturation donné par (44) vérifie la même propriété: ce sont des fonctions régulières et positives qui s'annulent. Donc lorsqu'elles s'annulent, elles atteignent leur minimum. Le théorème d'Euler s'applique car  $\Delta$  est dérivable et donc:

$$\Delta = 0 \Rightarrow \Delta \text{ minimale} \Rightarrow \text{grad } \Delta = 0 \quad (50)$$

En particulier la variation de  $\Delta$  en fonction de  $g$  doit s'annuler au minimum, ainsi la condition de blocage du canal s'écrit,

$$\omega(g) > 0 \quad (51)$$

Où,

$$\omega = \gamma_1 \frac{\partial \Delta}{\partial \gamma_1} + \gamma_2 \frac{\partial \Delta}{\partial \gamma_2} \quad (52)$$

[Annexe1-3].

Avec,

$$\frac{\partial \Delta}{\partial \gamma_1} = \frac{3}{16} \left( 8 \left( \gamma_1^{\frac{1}{2}} - 1 \right) - 2g + (4+g) \left( 1 + \frac{g}{2} + \frac{g^2}{16} \right)^{\frac{1}{2}} - (4-g) \left( 1 - \frac{g}{2} + \frac{g^2}{16} \right)^{\frac{1}{2}} \right) \quad (53)$$

$$\frac{\partial \Delta}{\partial \gamma_2} = \frac{3}{16} \left( 8 \left( \gamma_2^{\frac{1}{2}} - 1 \right) + 2g - (4+g) \left( 1 + \frac{g}{2} + \frac{g^2}{16} \right)^{\frac{1}{2}} - (g-4) \left( 1 - \frac{g}{2} + \frac{g^2}{16} \right)^{\frac{1}{2}} \right) \quad (54)$$

qui dépend de l'asymétrie  $g$ , de  $\gamma_1$  et  $\gamma_2$

Les figures 9 et 10 montrent la variation de la fonction  $\Delta$  ainsi que  $\omega$  en fonction de  $\gamma_1$  et  $\gamma_2$  qui permet de vérifier que le zéro de  $\Delta$  et le zéro de  $\omega$  coïncident.

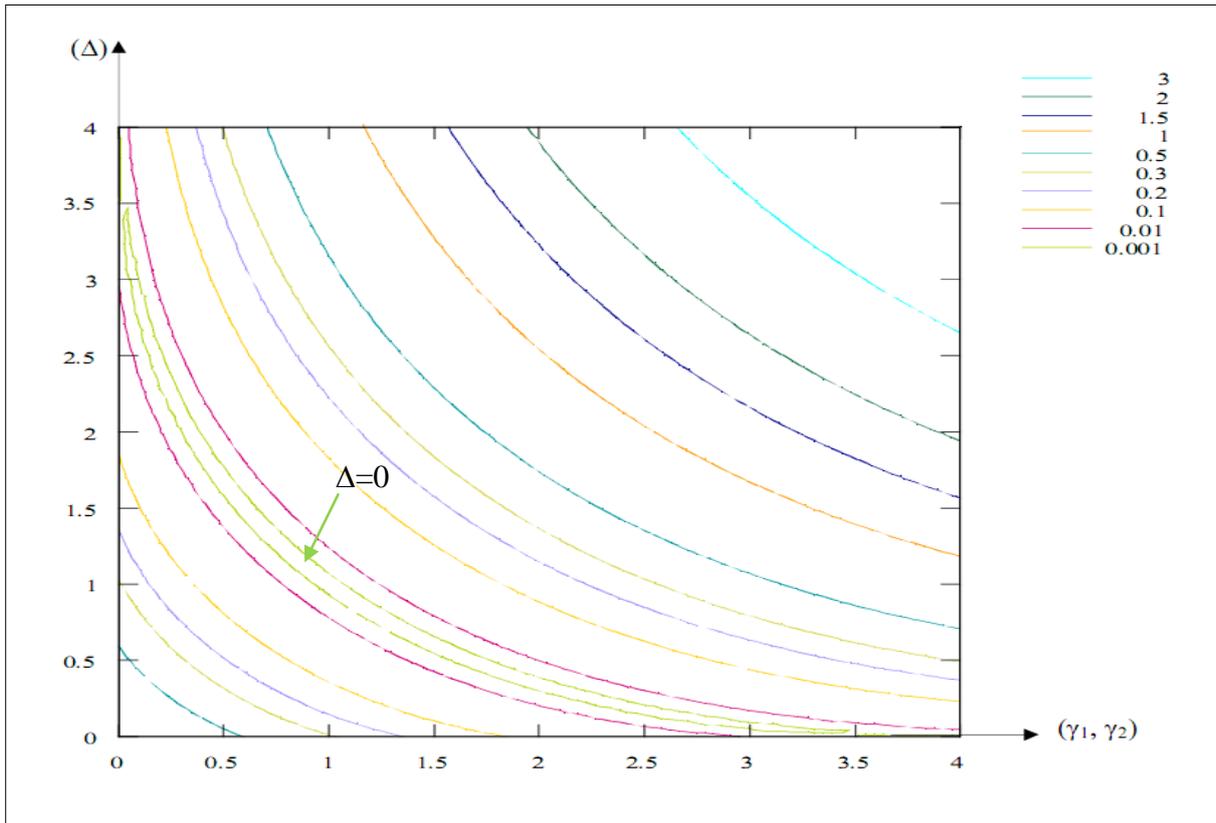


Figure 9 : Variation de la fonction  $\Delta$  en fonction de  $\gamma_1$  et  $\gamma_2$

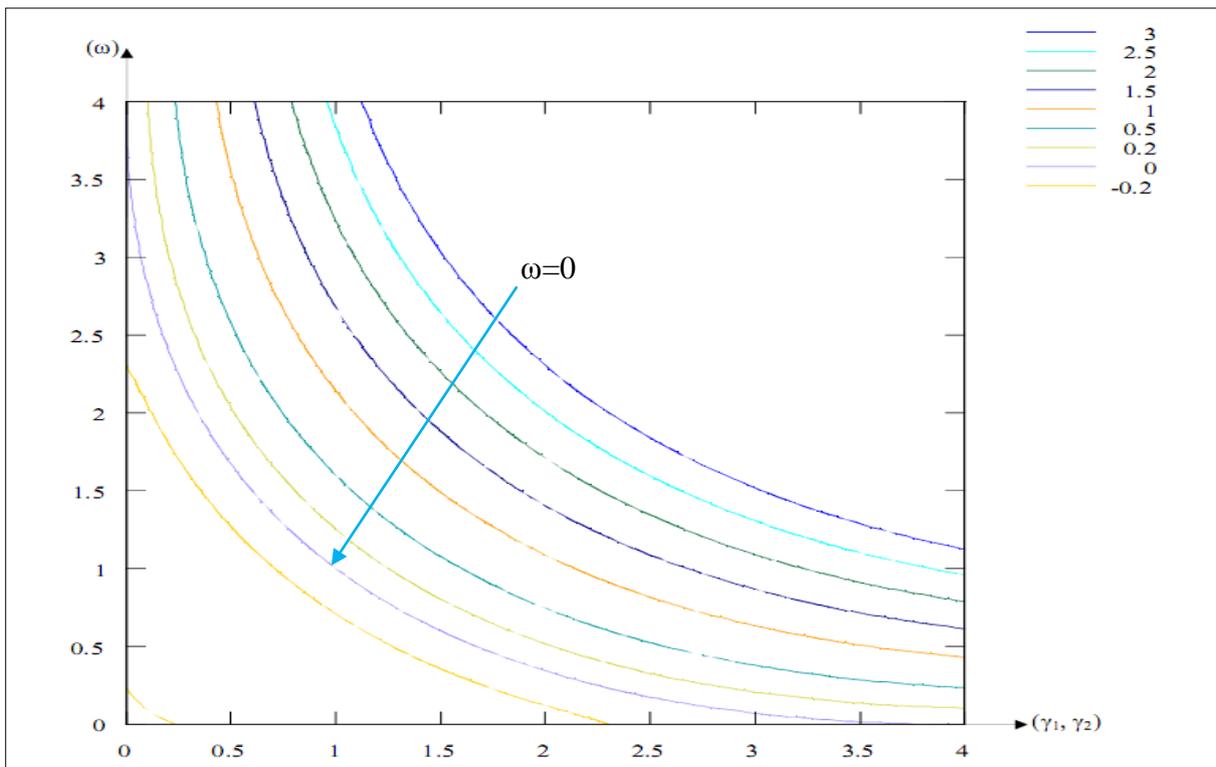


Figure 10 : Variation de la fonction  $\omega$  en fonction de  $\gamma_1$  et  $\gamma_2$

Cas particulier pour  $\gamma_1=\gamma_2=1$ , on obtient  $\Delta=\omega=0$ . Le Tableau 4 représente les différentes équations du modèle du canal de JFET.

$i_{CH}$  # courant dans le canal  
 $v_{ch}$  # tension aux bornes du canal  
 $U_{g1s}$  # tension grille 1  
 $U_{g2s}$  #tension grille 2  
 $V_{bi}$  #tension de diffusion de la diode

**#Tension de pincement**

$$V_p = \frac{qN_D a^2}{2\epsilon_{SiC}}$$

**# Résistance dans le canal sans modulation**

$$R_{CH} = \frac{L}{2q\mu_n N_D Z a}$$

**#Tension grille1-source normalisée par  $V_p$**

$$\gamma_1 = \frac{V_{bi} - U_{g1s}}{V_p}$$

**#Tension grille2-source normalisée par  $V_p$**

$$\gamma_2 = \frac{V_{bi} - U_{g2s}}{V_p}$$

**#Asymétrie de commande**

$$g = \gamma_2 - \gamma_1$$

**# Tension drain-source normalisé par  $V_p$**

$$v = \frac{v_{ch}}{V_p}$$

**# Tension du canal normalisée en mode de pincement**

$$v_{CH}^p = 1 - \frac{\gamma_1 + \gamma_2}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16}$$

**# Fonction de saturation**

$$\Delta = 3v_{CH}^p - \left(1 + \frac{g^2}{16} - \frac{g}{2}\right)^{\frac{3}{2}} - \left(1 + \frac{g^2}{16} + \frac{g}{2}\right)^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}}$$

**# Dérivée de la fonction de saturation par rapport à  $\gamma_1$  et  $\gamma_2$**

$$\omega = \gamma_1 \frac{\partial \Delta}{\partial \gamma_1} + \gamma_2 \frac{\partial \Delta}{\partial \gamma_2}$$

**# Condition de fonctionnement du JFET en linéaire et en pincement**

Si  $\omega < 0$  { #JFET-on

Si  $v < v_{ch}^p$  { # Régime linéaire

$$i_{CH} = \frac{V_p}{3R_{CH}} \left[ 3v - (v + \gamma_1)^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} - (v + \gamma_2)^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}} \right] \# \text{ Courant dans le canal en régime linéaire}$$

}

Sinon { # régime de pincement

$$i_{CH} = \frac{V_p}{3R_{CH}} \Delta \# \text{ Courant dans le canal en régime de pincement}$$

}

}

Sinon { # JFET-Off

$$i_{CH} = 0$$

}

**Tableau 4 : Equations du modèle du canal asymétrique de VJFET**

### 3.1.4 Calcul des grandeurs électrique du VJFET (INFINEON) $R_{DS}^{ON}$ et $i_{CH}^{SS}$

#### 3.1.4.1 Calcul du courant de saturation dans le canal latéral $i_{CH}^{SS}$

Le courant de saturation dans le canal  $i_{CH}^{SS}$  est par définition la valeur du courant de pincement dans le canal  $i_{CH}^P$  pour une tension grille nulle. Comme il s'agit d'une caractéristique statique pour  $v_{GS}=0V$ , le courant de grille est nul et donc :

$$i_S = i_{CH}^{SS} \quad (55)$$

Ce qui donne d'après l'équation (9) et (10) que :

$$u_{G1S} = -R_S i_{CH}^{SS} \quad (56)$$

$$u_{G2S} = -R_S i_{CH}^{SS} \quad (57)$$

Donc l'équation (29) et (30) peut se réécrire :

$$\gamma_1 = \frac{V_{BI} - u_{G1S}}{V_P} = \frac{V_{BI} + R_S i_{CH}^{SS}}{V_P} \quad (58)$$

$$\gamma_2 = \frac{V_{BI} - u_{G2S}}{V_P} = \frac{V_{BI} + R_S i_{CH}^{SS}}{V_P} \quad (59)$$

Ce qui implique que :

$$\gamma_1 = \gamma_2 = \gamma_{P0} = \frac{V_{BI} + R_S i_{CH}^{SS}}{V_P} \quad (60)$$

L'équation (60) peut se réécrit :

$$\gamma_{P0} = \gamma_0 + \frac{R_S i_{CH}^{SS}}{V_P} \quad (61)$$

Avec,

$$\gamma_0 = \frac{V_{BI}}{V_P} \quad (62)$$

En utilisant les expressions (36), (39) et (41), le courant de saturation dans le canal latéral peut s'écrire :

$$i_{CH}^{SS} = \frac{V_P}{3R_{CH}} \left[ 1 - 3\gamma_{P0} + 2(\gamma_{P0})^2 \right] \quad (63)$$

Notons que  $\gamma_{P0}$  est assez petit devant 1.

L'équation (63) constitue en fait avec (60) une équation non linéaire par rapport à  $i_{CH}^{SS}$ .

### 3.1.4.2 Calcul de la résistance à l'état passant $R_{DS}^{ON}$

Les transistors JFET de puissance sont utilisés à l'état passant dans le régime ohmique. La résistance à l'état passant d'un JFET conduit en régime linéaire. Cette résistance est un des paramètres les plus importants pour un composant de puissance car elle détermine la perte en puissance approximées [Bernal 1997], plus la valeur de cette résistance sera plus faible plus les pertes en commutation seront faibles. La résistance de la structure du JFET verticale déjà présentée dans la Figure 2 correspond à la mise en série des résistances internes qui forment la résistance totale de la puce en carbure de silicium. La Figure 11 montre les différents composants de la résistance à l'état passant du JFET.

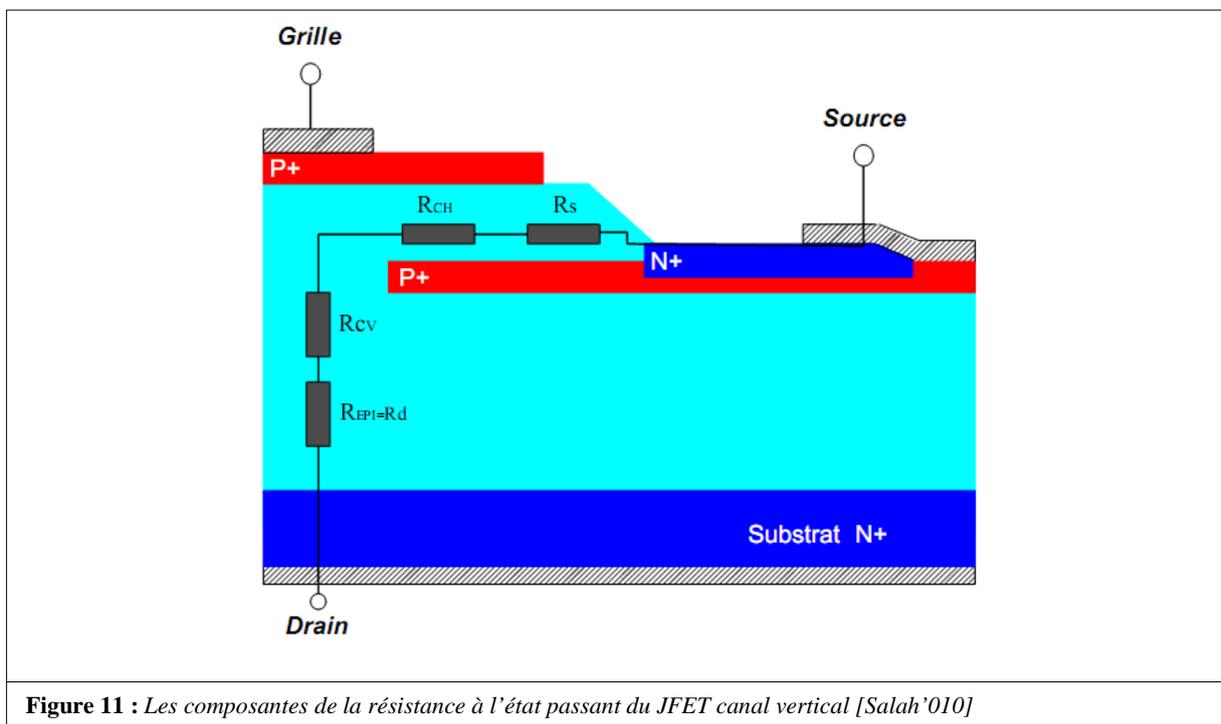


Figure 11 : Les composantes de la résistance à l'état passant du JFET canal vertical [Salah'010]

La résistance totale  $R_{DS}^{ON}$  de la structure représente donc la somme de toutes les résistances c'est-à-dire [Veliadis 2009]:

$$R_{DS}^{ON} = R_{CH}^{ON} + R_S + R_{CV} + R_{EPI} \quad (64)$$

Où,  $R_{CH}^{ON}$  représente la résistance dans le canal latéral asymétrique qui dépend de la résistance de canal sans modulation  $R_{CH}$  qui a comme expression :

$$R_{CH} = \frac{L}{2q\mu_n N_D a Z} \quad (65)$$

D'après l'expression de la résistance à l'état passant donnée par l'équation (1), la résistance dans le canal latéral asymétrique peut s'écrire:

$$R_{CH}^{ON} = \frac{1}{\frac{\partial i_{CH}}{\partial v_{CH}}(v_{CH} = 0, v_{GS} = 0)} \quad (66)$$

Après le calcul de la dérivée de  $i_{CH}$  par rapport à  $v_{CH}$  et en faisant  $\gamma_1 = \gamma_2 = \gamma_0$  l'expression de cette résistance peut se réécrire:

$$\frac{1}{R_{CH}^{ON}(v)} = \frac{1}{R_{CH}} \left( 1 - (v + \gamma_0)^{\frac{1}{2}} \right) \left[ 1 + \frac{R_S}{R_{CH}} \left( \gamma_0^{\frac{1}{2}} - (v + \gamma_0)^{\frac{1}{2}} \right) \right] \quad (67)$$

Pour  $v_{CH} = 0$  et  $v_{GS} = 0$ , l'expression de la résistance dans le canal asymétrique peut se réécrire :

$$R_{CH}^{ON} = \frac{R_{CH}}{1 - \sqrt{\gamma_0}} \quad (68)$$

La résistance d'accès de sources  $R_S$ , et la résistance dans le cana vertical  $R_{CV}$  et  $R_{EPI}$  ont une valeur fixe. La résistance du substrat ainsi que les autres résistances externes (résistances des métallisations de drain et de source, des résistances de contact de drain et de source, des résistances des fils d'interconnexion entre le boîtier et la puce et des résistances des pattes de drain et de source) présentent des valeurs faibles et sont souvent négligeables.

### 3.1.5 Cas du blocage du VJFET

La Figure 12 représente le schéma électrique équivalent du modèle du VJFET fournit par SiCED/INFINEON avec les différences de potentiel entre les deux grilles. Cette figure montre que :

$$v_{GS} = R_G i_{G1} + u_{G1S} + R_S i_S \quad (69)$$

Et,

$$-R_{SS} i_{G2} = u_{G2S} + R_S i_S \quad (70)$$

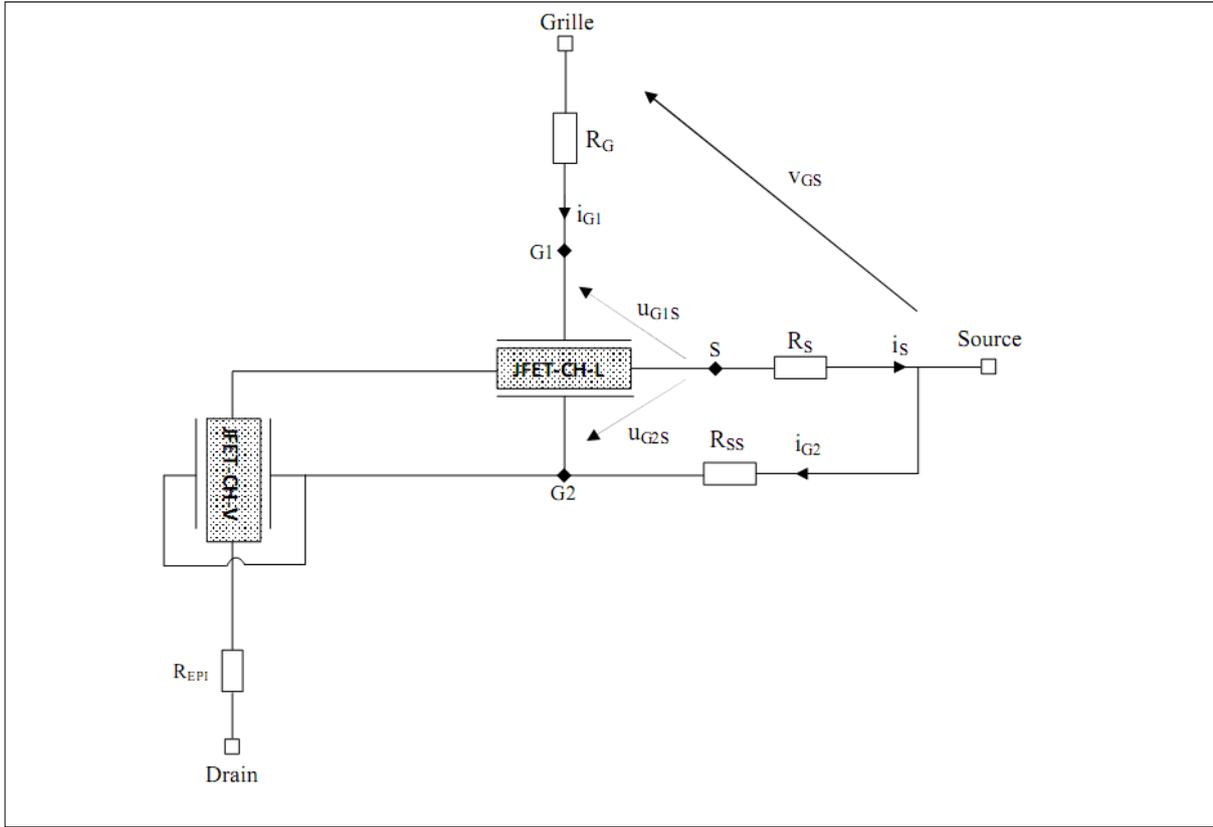


Figure 12 : Schéma électrique équivalent du modèle du VJFET SiCED/INFINEON

Comme on considère le cas statique bloqué et que l'on néglige le courant de fuite de grille c'est-à-dire :

$$i_G = i_{G1} = i_{G2} = 0 \quad (71)$$

De plus le composant est bloqué donc  $i_{DS}=0$  et  $i_S=0$ .

Soit donc d'après (69) et (70) :

$$u_{G1S} = V_{GS} \quad (72)$$

Et,

$$u_{G2S} = 0 \quad (73)$$

Finalement,

$$\gamma_1 = \frac{V_{BI} - V_{GS}}{V_P} \quad (74)$$

$$\gamma_2 = \frac{V_{BI}}{V_P} = \gamma_0 \quad (75)$$

Remplaçons (74) et (75) par leurs expressions dans (42), l'expression (42) se réécrit :

$$g = \frac{V_{GS}}{V_P} \quad (76)$$

Il existe une valeur particulière  $g_0$  de l'asymétrie  $g$  pour laquelle  $\Delta(\gamma_0 - g_0, \gamma_0) = \omega(\gamma_0 - g_0, \gamma_0) = 0$ . La Figure 13 montre la variation du courant de pincement normalisé  $\Delta$  et la fonction  $\omega$  en fonction de l'asymétrie  $g$ .

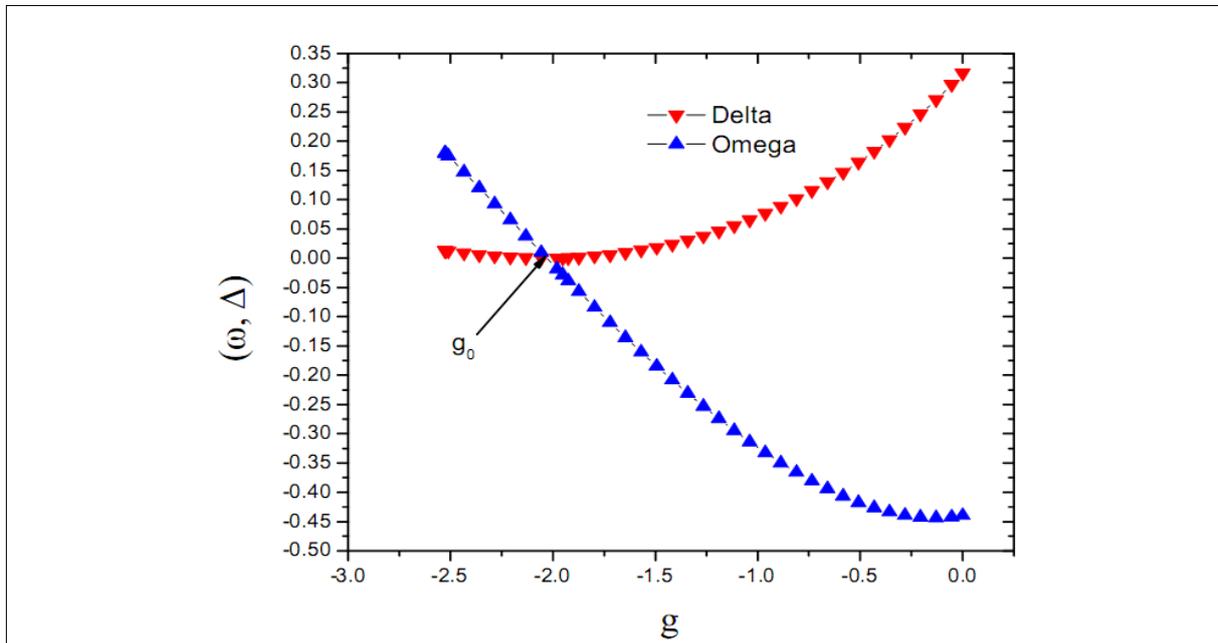


Figure 13 : Variation de la fonction  $\Delta$  et  $\omega$  en fonction de l'asymétrie  $g$ .

Sur cette figure on peut remarquer que pour une valeur de  $g_0$  les deux fonctions  $\Delta$  et  $\omega$  s'annulent.

### 3.1.6 Capacités de jonction du VJFET

La Figure 14 montre le schéma équivalent capacitif du VJFET.

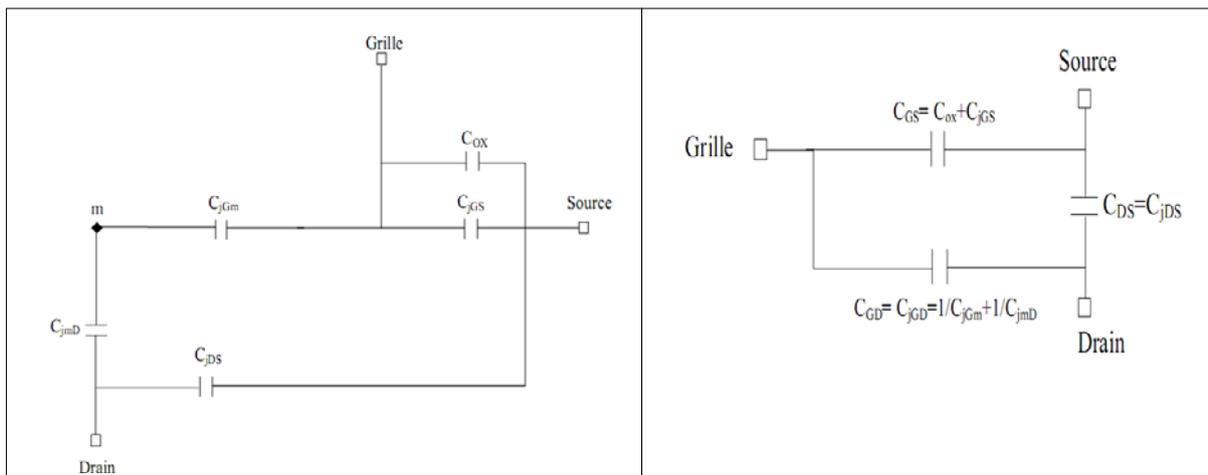


Figure 14 : Schéma électrique équivalent du modèle du JFET en petit signaux.

La capacité  $C_{ox}$  représentée sur la Figure 14 représente la capacité d'oxyde entre grille-source. Les différentes capacités de désertions représentées sur la Figure 14 sont exprimées par les relations classiques suivantes :

$$C_{jDS} = \frac{A_{DS} \epsilon_{SiC}}{W_{jDS}} \quad (77)$$

$$C_{jGS} = \frac{A_{GS} \epsilon_{SiC}}{W_{jGS}} \quad (78)$$

$$C_{jGD} = \frac{A_{GD} \epsilon_{SiC}}{W_{jGD}} \quad (79)$$

Où,  $A_{DS}$ ,  $A_{GS}$  et  $A_{GD}$ , sont des surfaces équivalentes des contributions des zones de charge d'espace dans la région de commande (canal latéral) et la région de dérive du JFET respectivement donnée par:

$$A_{GS} = LZ \quad (80)$$

$$A_{GD} = bZ \quad (81)$$

$$A_{DS} = (b+L+L_{ss})Z \quad (82)$$

$W_{jDS}$ ,  $W_{jGS}$ ,  $W_{jGD}$ , représentent les largeurs de désertion des différentes zones de charge d'espace. Ces différentes largeurs sont calculées avec les relations suivantes:

$$W_{jDS} = \sqrt{\frac{2\epsilon_{SiC} (V_{BI} - V_{DS})}{qN_{DD}}} \quad (83)$$

$$W_{jGS} = \sqrt{\frac{2\epsilon_{SiC} (V_{BI} - V_{GS})}{qN_D}} \quad (84)$$

$$W_{jGD} = \sqrt{\frac{2\epsilon_{SiC} (V_{BI} - V_{GD})}{qN_D}} \quad (85)$$

### 3.2 Extraction des paramètres du modèle du canal du JFET

Cette partie synthétise ma contribution pour l'extraction des paramètres du modèle du JFET. Le JFET est caractérisé par les paramètres technologiques que peut l'on extraire à partir des équations analytiques précédentes et par les paramètres électriques que peut l'on extraire à partir des réseaux de caractéristiques statiques. Le Tableau5 représente les paramètres technologiques du VJFET SiCED .

<i>Symbole</i>	<i>Définition</i>	<i>Unité</i>
2a	Largeur du canal latéral	$\mu\text{m}$
L	Longueur du canal latéral	$\mu\text{m}$
$N_D$	Concentration du dopage dans le canal latéral	$\text{cm}^{-3}$
b	Largeur du canal vertical	$\mu\text{m}$

h	Longueur du canal vertical	$\mu\text{m}$
$N_{DD}$	Concentration du dopage dans le canal vertical	$\text{cm}^{-3}$
Z	Largeur du canal transversal	cm
<b>Tableau5 : Paramètres technologiques du VJFET SiCED</b>		

L'extraction des paramètres est basée sur la prise en compte des résistances de chaque composant de la Figure 3 et du courant de saturation donné par (39). La plupart des paramètres sont fournis par la technologie telle que la surface active du composant, la concentration du dopage dans le canal latéral, la longueur d'accès de source, la largeur du canal vertical, la longueur du canal vertical, la concentration du dopage dans le canal vertical et la longueur de la couche active de la cellule [Annexe 3-2].

Les autres paramètres ont été ajustés pour accorder les expériences avec la simulation en statique et en dynamique. Les paramètres  $2a$ ,  $L$ ,  $N_D$  et  $Z$  du Tableau5 représente les paramètres technologiques du canal asymétrique du VJFET SiCED. Le Tableau6 représente les différents paramètres électriques du VJFET SiCED.

<i>Paramètre</i>	<i>Description</i>	<i>Type</i>	<i>Unité</i>
$R_{DS}^{ON}$	Résistance à l'état passant du JFET à $v_{GS}=0$ et $v_{DS}=0$	Electrique	$\Omega$
$I_{DS}^S$	Valeur maximale du courant $i_{CH}$ à $v_{GS}=0$	Electrique	A
$V_{T0}$	Tension de blocage du JFET	Electrique	V
$V_{DS}^S$	Tension de saturation	Electrique	V
<b>Tableau6 : Paramètres électriques du JFET SiCED</b>			

Les figures 15 et 16 représentent respectivement les caractéristiques électriques du JFET pour une tension grille source nulle et la caractéristique de transfert en saturation que nous avons utilisés pour extraire les paramètres électriques du modèle du JFET.

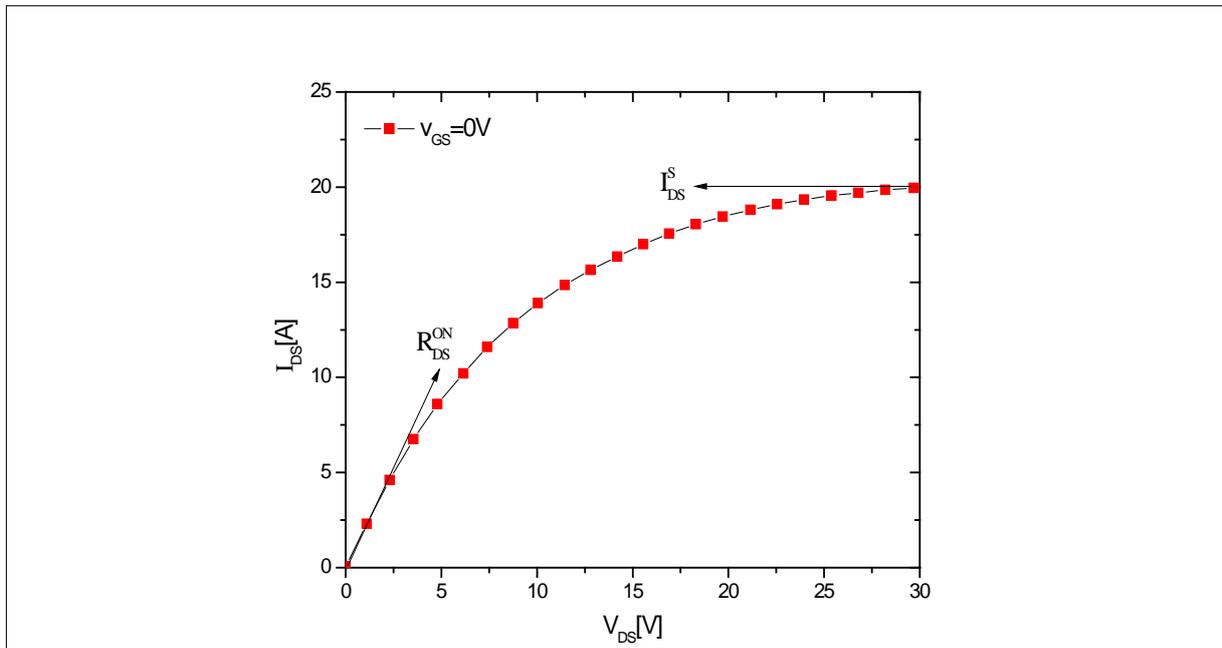


Figure 15 : Caractéristique électrique statique du JFET mesurée à  $v_{GS}=0$  V

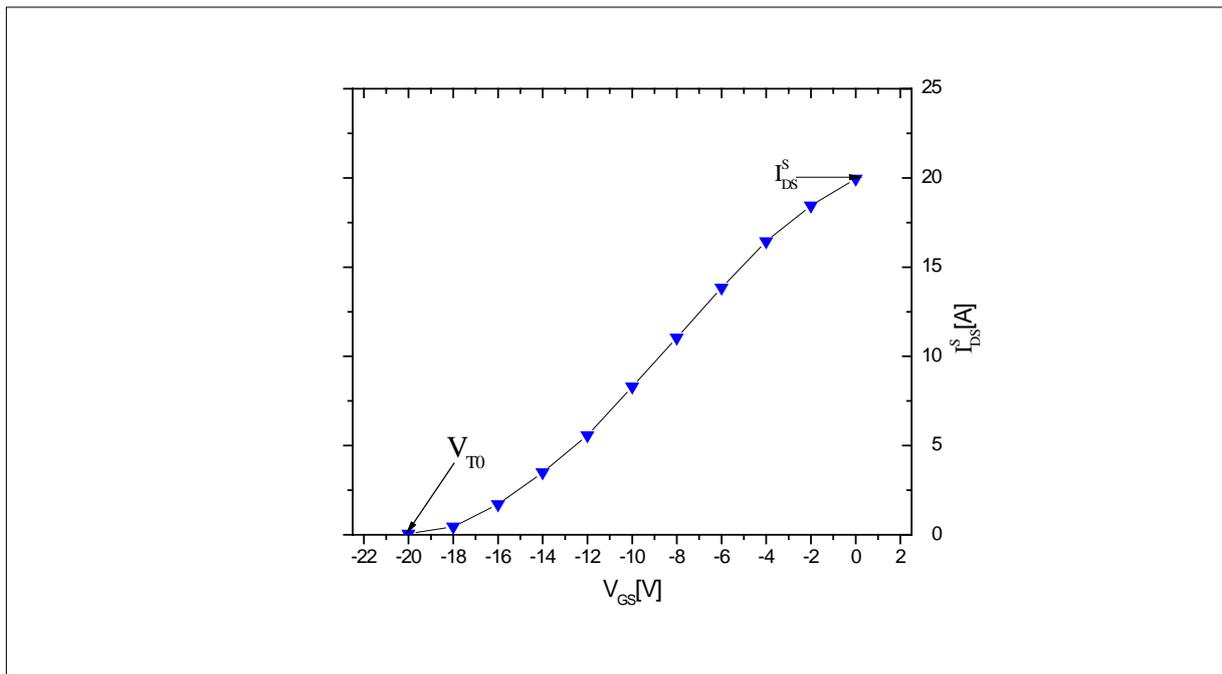


Figure 16 : Caractéristique de transfert mesurée en saturation pour le JFET

La méthode utilisée pour extraire les paramètres est une méthode analytique. La valeur mesurée de la résistance à l'état passant nous permet de calculer la valeur de chaque résistance en utilisant l'équation (64). Dans notre cas nous avons pris comme hypothèse que la valeur de chaque résistance vaut presque le tiers de la résistance totale de la structure à l'état passant, soit  $R_{CH}^L = \frac{R_{DS}^{ON}}{3}$ ,  $R_s = \frac{R_{DS}^{ON}}{3}$  et  $R_{EPI} = \frac{R_{DS}^{ON}}{3}$ .

### 3.2.1 Estimation de Z, a, V<sub>P</sub>

Les valeurs des paramètres technologiques a, N<sub>D</sub>, L, N<sub>DD</sub> sont confidentiels et donnés par SiCED [Annexe 3-2]. La profondeur de la cellule Z est reliée à la surface active de la cellule A<sub>C</sub> donnée par formule suivante:

$$A_C = ZL_C \quad (86)$$

Cette surface est égale environ à 90% de la surface mécanique de la structure A<sub>m</sub>.

$$A_C = 0,9 A_m \quad (87)$$

Les paramètres a et V<sub>P</sub> représentent les paramètres de conception du canal latéral du VJFET. Cette région est appelée la région de commande du JFET car elle contrôle les caractéristiques (la tension de blocage et le courant de pincement). L'estimation de la tension de pincement V<sub>P</sub> se fait dans le cas où le JFET est bloqué. Au blocage la tension V<sub>GS</sub>=V<sub>T0</sub> et l'équation (76) peut s'écrire :

$$V_P = \frac{V_{T0}}{g_0} \quad (88)$$

Cette équation représente la première équation de notre séquence d'extraction parce que g<sub>0</sub> est connue (g<sub>0</sub>=-1,98). Notons que la valeur de la tension de blocage V<sub>T0</sub> du JFET est donnée par la mesure. L'estimation de la largeur du canal 'a' se fait en utilisant l'expression donnée par l'équation (18) qui relie cette largeur par la tension de pincement V<sub>P</sub> ce qui donne :

$$a = \sqrt{\frac{2\epsilon_{SiC} V_P}{qN_D}} \quad (89)$$

Nous devons donc légèrement modifier la valeur de a.

L'estimation de ces trois paramètres, a, N<sub>D</sub> et Z nous permet de calculer la résistance dans le canal sans modulation R<sub>CH</sub> donnée par l'équation (65) ainsi que le courant de pincement i<sub>CH</sub><sup>P</sup> donnée par l'équation (39).

### 3.3 Validation du modèle

Le modèle du canal asymétrique du JFET a été implémenté en langage MAST [Annexe 2-2] sous SABER. La validation du modèle a été effectuée en utilisant le simulateur SABER [Annexe 2-1]. Les différentes équations décrivant le fonctionnement du modèle ont été décrites en langage MAST. [Annexe3-1].

### 3.3.1 Validation des caractéristiques statiques

Pour valider les caractéristiques statiques du modèle du JFET nous avons utilisé le circuit de test schématisé sur la Figure 17.

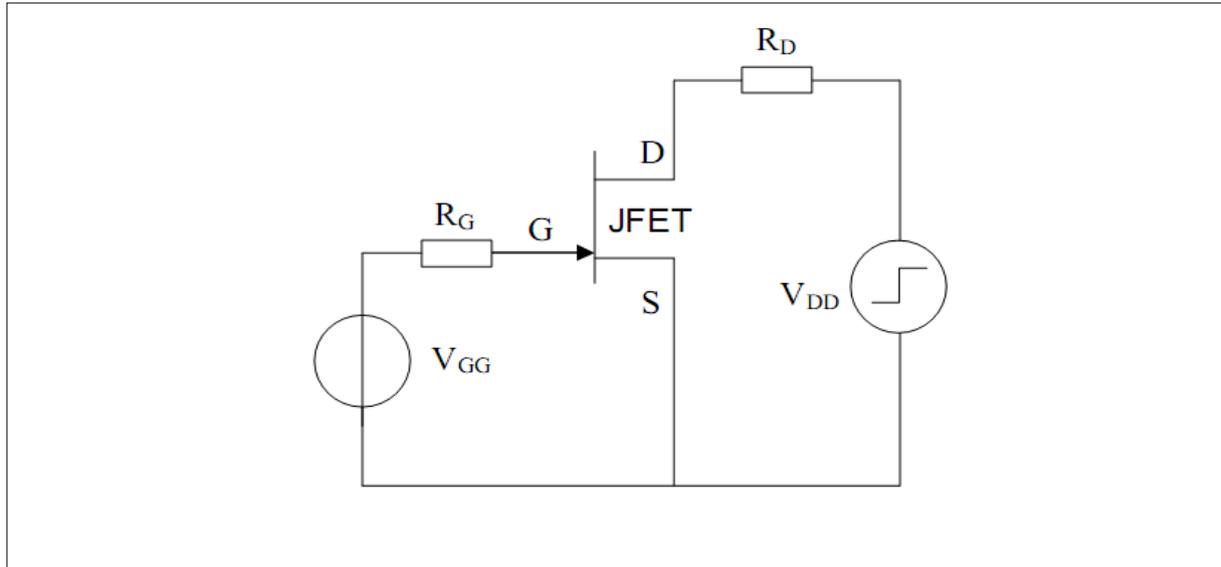


Figure 17 : Circuit de test utilisé pour simuler les caractéristiques statiques du modèle du JFET-SiC.

La Figure 18 montre le résultat de simulation de la caractéristique statique en mode de fonctionnement direct du JFET SiCED lot A (1200 V-100 mΩ) à la température ambiante.

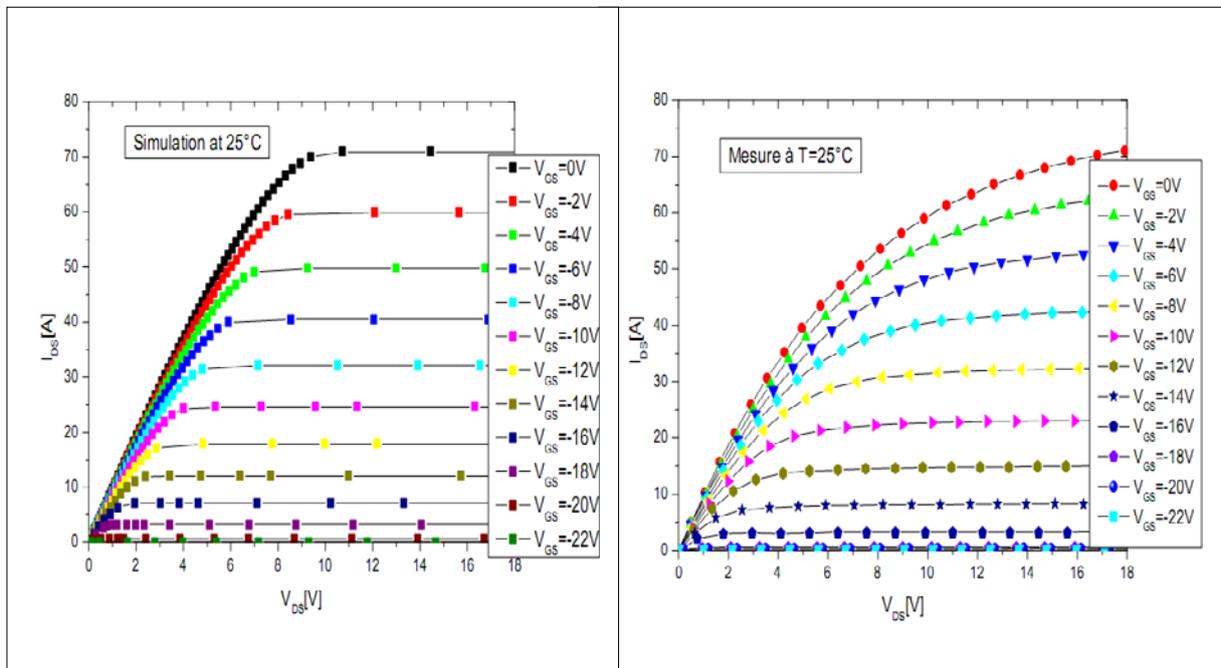


Figure 18 : Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique statique en mode de fonctionnement direct du transistor JFET-SiCED lot A N°38 à la température ambiante.

D'après la Figure 18 on peut constater que ce modèle permet d'avoir des résultats précis pour la simulation du comportement statique du JFET dans les régions ohmique et

saturée pour les paramètres électriques  $R_{DS}^{ON}$ ,  $I_{DS}^S$  et  $V_{T0}$ . En revanche la tension de saturation  $V_{DS}^S$  n'est pas correcte. Ce problème sera difficile à résoudre dans la structure actuelle du modèle. Des simulations numériques sur SANTAURUS faites notamment par Dominique Tournier au laboratoire Ampère montre que probablement le problème vient du fait que le courant de saturation  $I_{DS}^S$  est imposé par le canal vertical en régime triode ( $I_{DS}^S \neq I_{CH}^{SS}$ ) et que le canal latéral est pincé mais que le courant dans ce canal continue de croître. Ces deux problèmes étant difficiles à modéliser, nous ne pourrions pas le résoudre à court terme. Le Tableau7 représente une comparaison entre la valeur mesurée et la valeur simulée de la résistance à l'état passant et du courant de saturation et de la tension de blocage  $V_{T0}$  du JFET-SiC lot A.

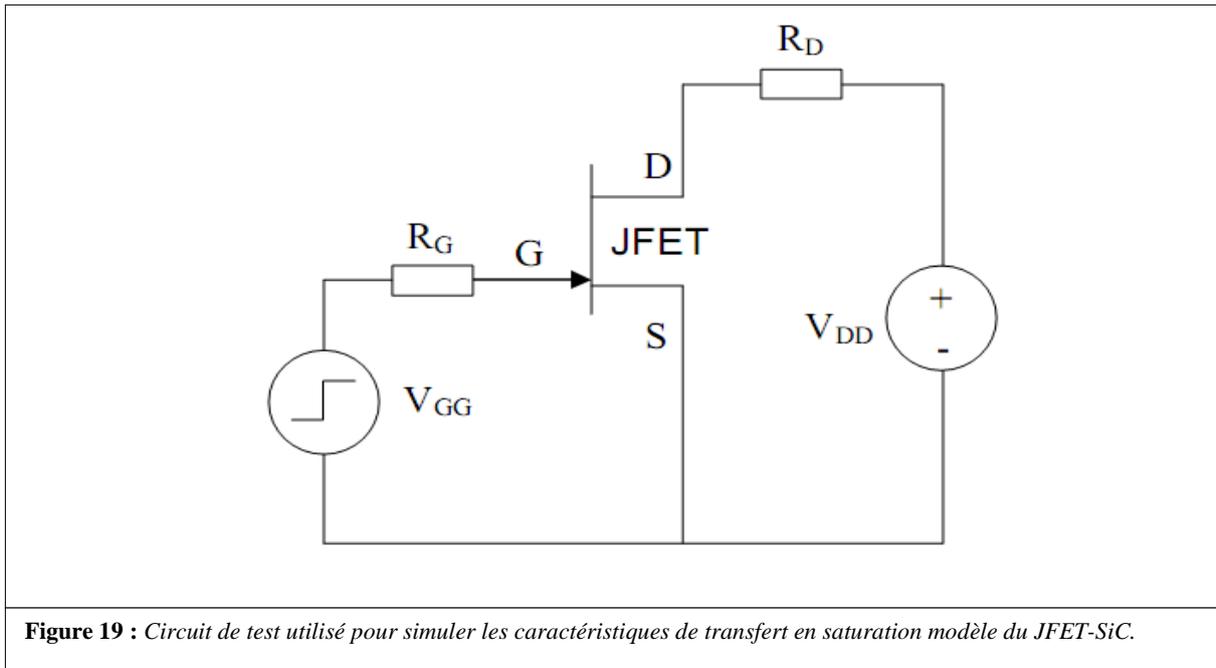
<i>Paramètres</i>	<i>Valeur mesurée</i>	<i>Valeur simulée</i>
$R_{DS}^{ON}$ [ $\Omega$ ]	0.1029	0.1027
$I_{DS}^S$ [A]	71	70.945
$V_{T0}$ [V]	-22	-21.94
$V_{DS}^S$ [V]	18	10

**Tableau7** : Comparaison entre la valeur mesurée et la valeur simulée des paramètres électriques du JFET extrait à partir de la caractéristique électrique statique en mode de fonction direct du JFET SiCED lot A à  $V_{GS}=0V$

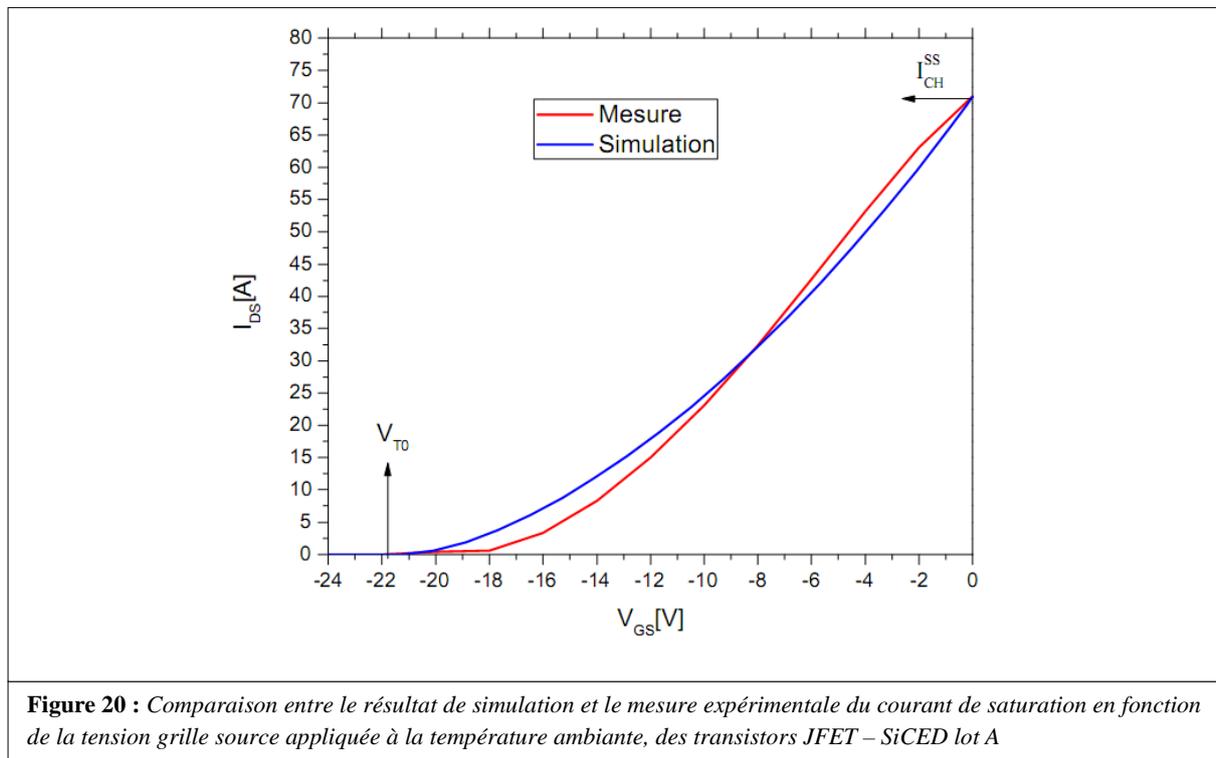
Cette comparaison montre une bonne concordance entre les résultats de simulation et de mesure en polarisation statique directe du JFET à température ambiante.

### 3.3.2 Validation de la caractéristique de transfert en saturation

Pour valider les caractéristiques de transfert en saturation du modèle du JFET nous avons utilisé le circuit de test schématisé sur la Figure 19.



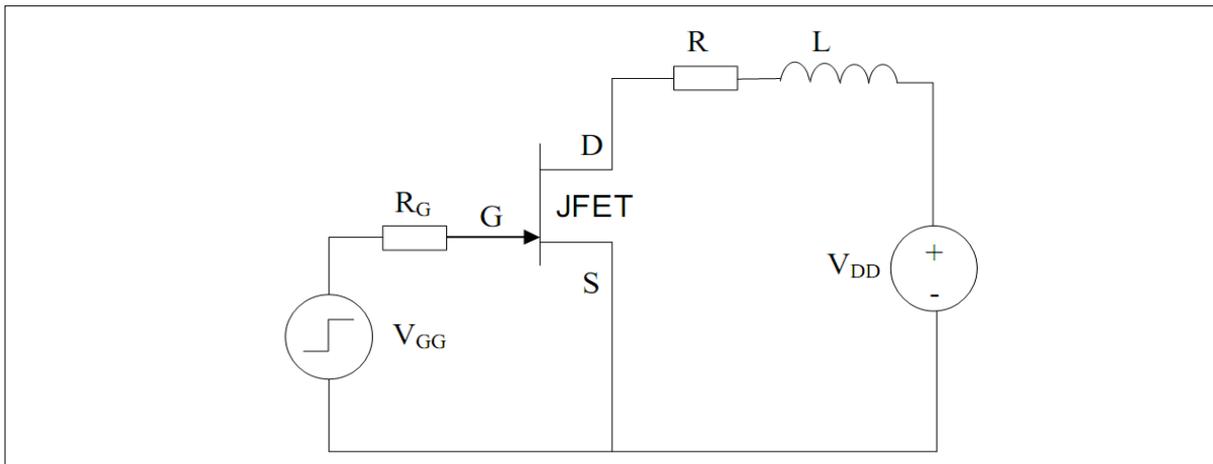
La Figure 20 compare la simulation et l'expérience pour le courant de saturation en fonction de la tension grille appliquée à la température ambiante du JFET SiCED lot A. C'est une image de la fonction  $\Delta$  en fonction de l'asymétrie  $g$ .



Cette comparaison montre une bonne concordance entre les résultats de simulation et de mesure du courant de saturation. Une interprétation du petit écart constaté est sans doute la non-uniformité du dopage dans le canal.

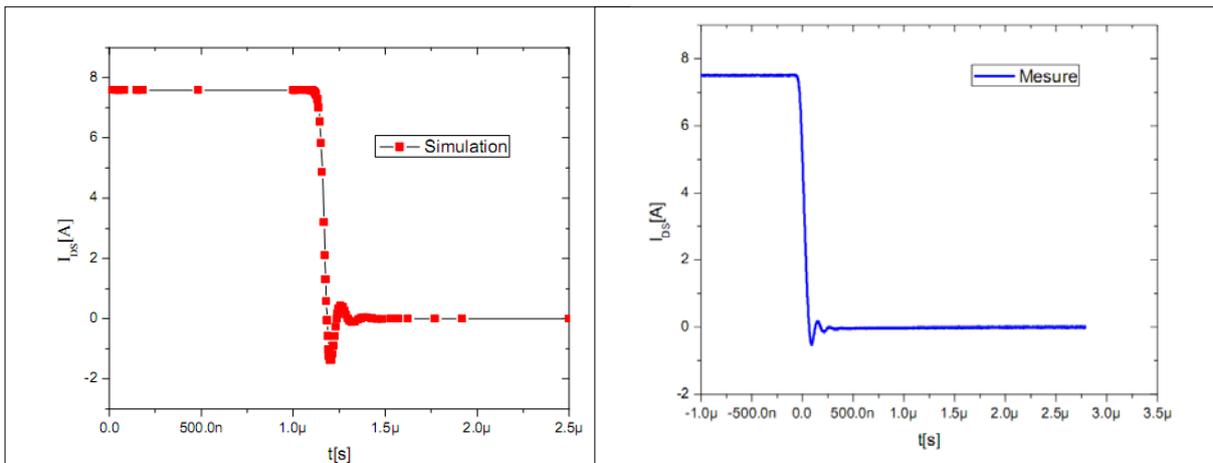
### 3.3.3 Validation des caractéristiques dynamiques en commutation sur charge R-L.

Après avoir validé le modèle du JFET en statique, nous allons maintenant passer à la validation des caractéristiques dynamique en commutation. La Figure 21 montre le circuit de test utilisé pour simuler les caractéristiques dynamiques du modèle. Dans ce circuit  $R_C$  représente la résistance de charge,  $L_C$  représente l'inductance de charge et  $R_G$  représente la résistance de la grille. Les valeurs de ces composants ont été fixées à partir des valeurs réelles utilisées pour mesure en commutation sur charge R-L présenté dans le chapitre 2.

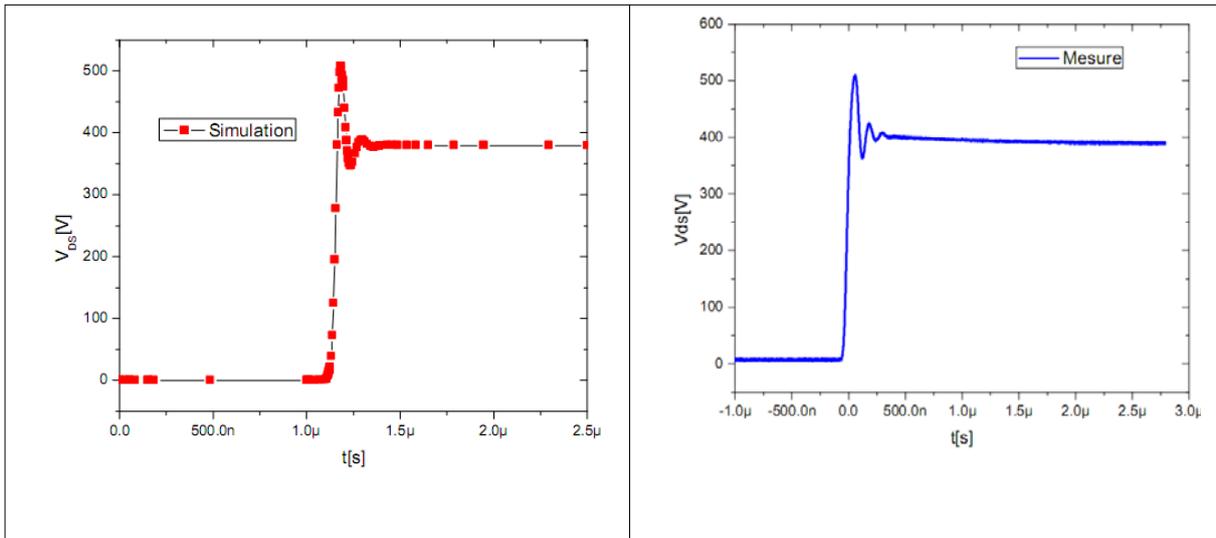


**Figure 21** : Circuit de test utilisé pour la simulation des caractéristiques dynamiques du modèle du JFET-SiC

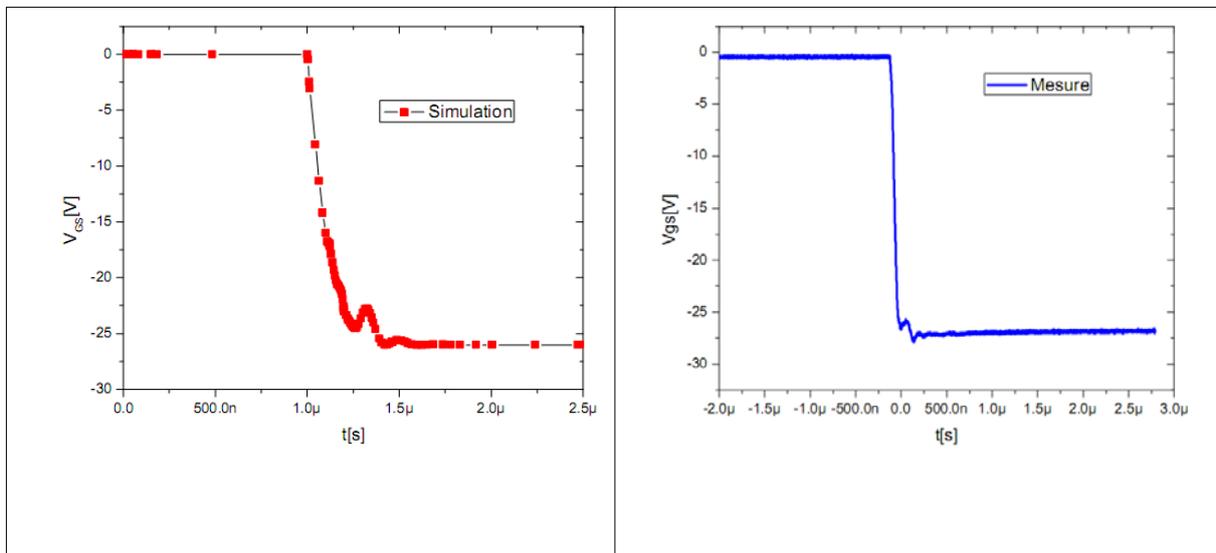
Nous avons validé ce modèle en commutation pour plusieurs niveaux de tension d'alimentation. Les figures 22, 23 et 24 montrent une comparaison entre les résultats de simulation et les mesures expérimentales à la fermeture du JFET-SiC lot A pour une tension de 400V.



**Figure 22** : Comparaison des formes d'ondes simulées (à gauche) et mesurées (à droite) du courant  $I_{DS}$  en commutation sur charge R-L à l'ouverture du JFET-SiC lot A pour une tension  $V_{DD} = 400$  V

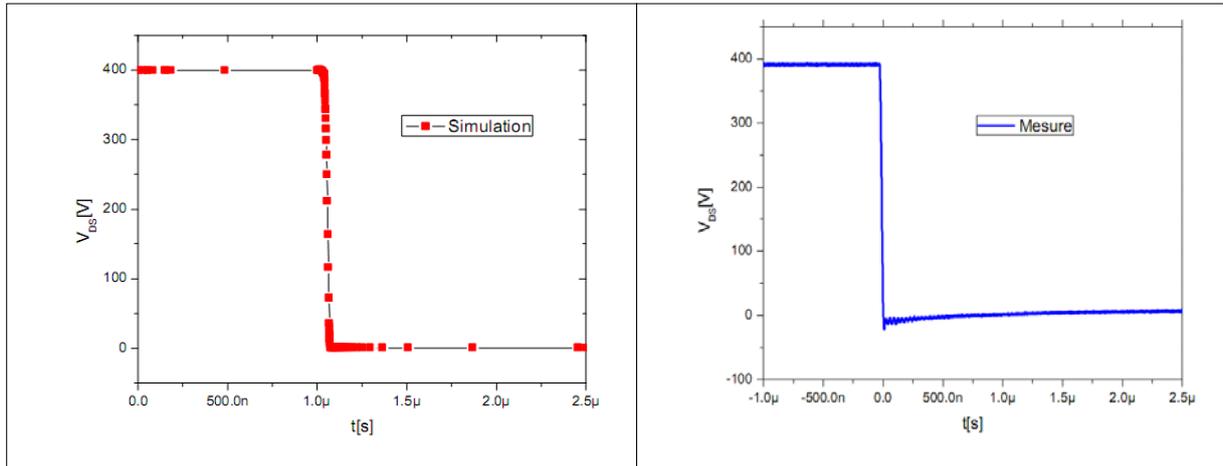


**Figure 23 :** Comparaison des formes d'ondes simulées (à gauche) et mesurées (à droite) de la tension  $V_{DS}$  en commutation sur charge R-L à l'ouverture du JFET-SiC lot A pour une tension  $V_{DD} = 400\text{ V}$

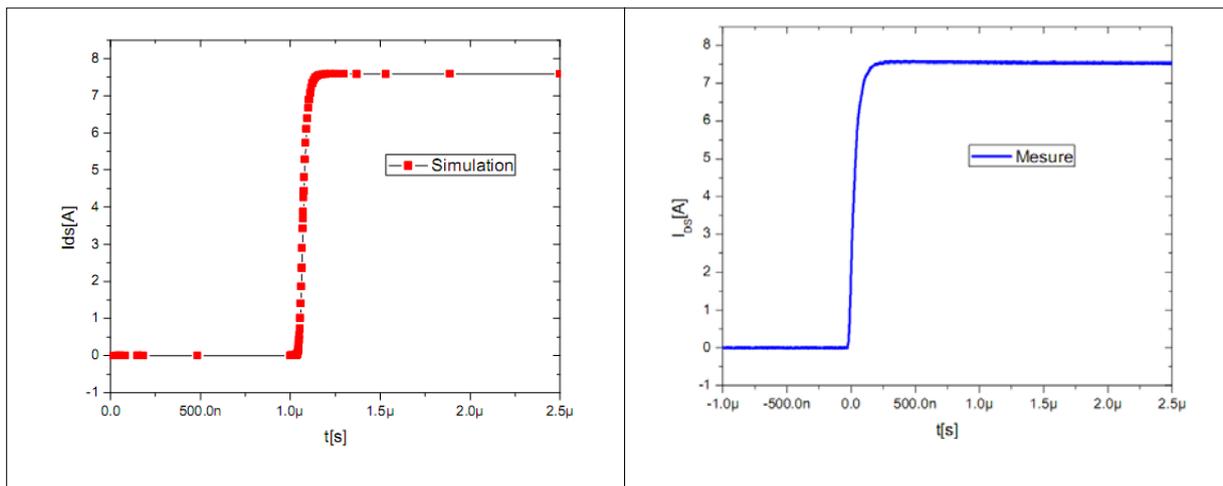


**Figure 24 :** Comparaison des formes d'ondes simulées (à gauche) et mesurées (à droite) de la tension  $V_{GS}$  en commutation sur charge R-L à l'ouverture du JFET-SiC lot A pour une tension  $V_{DD} = 400\text{ V}$

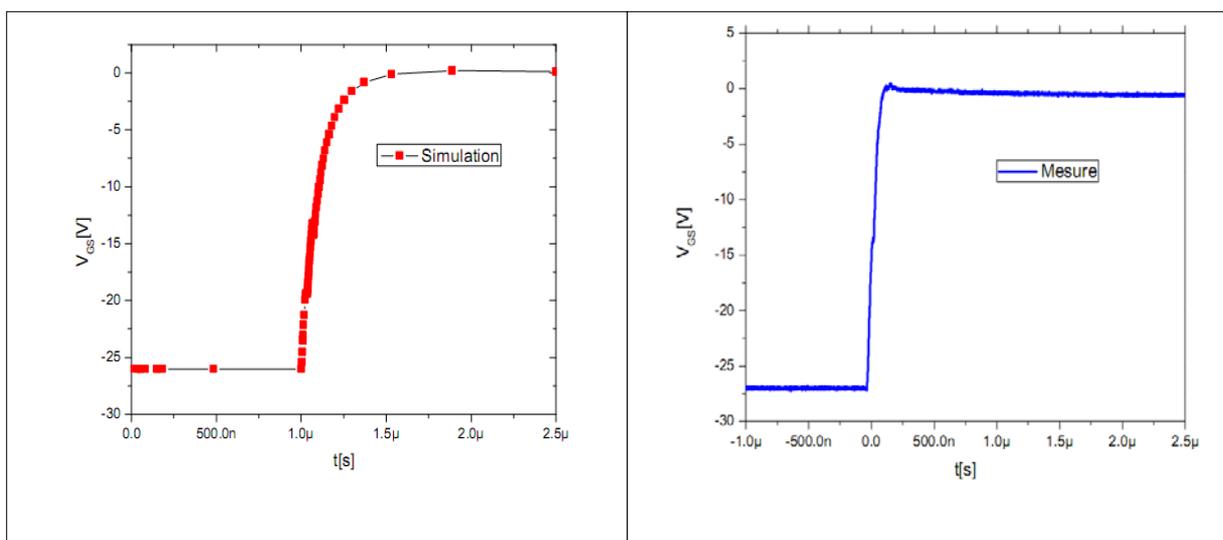
Les figures 25, 26 et 27 montrent une comparaison des formes d'ondes de courant  $I_{DS}$  et de tension  $V_{DS}$  et de la tension  $V_{GS}$  à la fermeture du JFET-SiC lot A en commutation sur charge R-L pour une tension  $V_{DC}$  de 400 V.



**Figure 25 :** Comparaison des formes d'ondes simulées (à gauche) et mesurées (à droite) de la tension  $V_{DS}$  en commutation sur charge R-L à la fermeture du JFET-SiC lot A pour une tension  $V_{DD} = 400\text{ V}$



**Figure 26 :** Comparaison des formes d'ondes simulées (à gauche) et mesurées (à droite) du courant  $I_{DS}$  en commutation sur charge R-L à la fermeture du JFET-SiC lot A pour une tension  $V_{DD} = 400\text{ V}$



**Figure 27 :** Comparaison des formes d'ondes simulées (à gauche) et mesurées (à droite) de la tension  $V_{GS}$  en commutation sur charge R-L à la fermeture du JFET-SiC lot A pour une tension  $V_{DD} = 400\text{ V}$

Les résultats sont satisfaisants sauf pour la forme de  $V_{GS}$ . L'écart est sans doute dû aux éléments parasites du câblage

### 3.3.4 Validation des caractéristiques en C(V).

Dans cette partie nous allons présenter la validation du modèle en C(V) en comparant les résultats de mesure avec les résultats de simulation à la température ambiante. Tout d'abord nous allons présenter les équations des trois capacités de jonction utilisées dans la simulation.

#### 1. Simulation de la capacité d'entrée $C_{iss}$

La capacité d'entrée dans le JFET comme nous avons déjà présenté dans le chapitre 2 est définie en général par :

$$C_{iss} = C_{GS} + C_{GD} \quad (90)$$

D'après la Figure 14 cette capacité peut s'écrire:

$$C_{iss} = C_{jGS} + C_{ox} + \frac{C_{jGm} C_{jmD}}{C_{jGm} + C_{jmD}} \quad (91)$$

Où,

$$C_{GS} = C_{jGS} + C_{ox} \quad (92)$$

et,

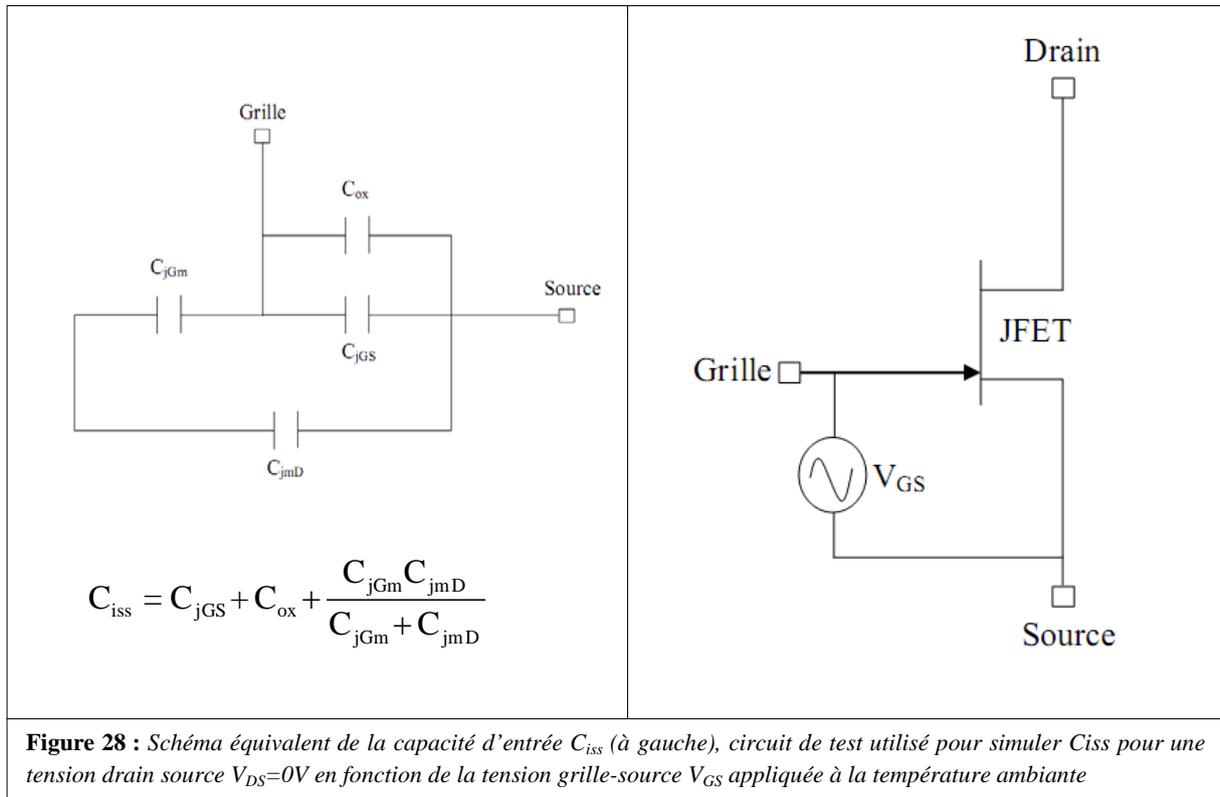
$$C_{GD} = \frac{C_{jGm} C_{jmD}}{C_{jGm} + C_{jmD}} \quad (93)$$

La capacité  $C_{ox}$  représente la capacité d'oxyde entre grille-source et qui possède une valeur constante de l'ordre d'un nanofarad. Les capacités  $C_{jGS}$ ,  $C_{jGm}$  et  $C_{jmD}$  ont été calculées en utilisant les équations (76, 77, 78, 79, 82, 83) ce qui donne:

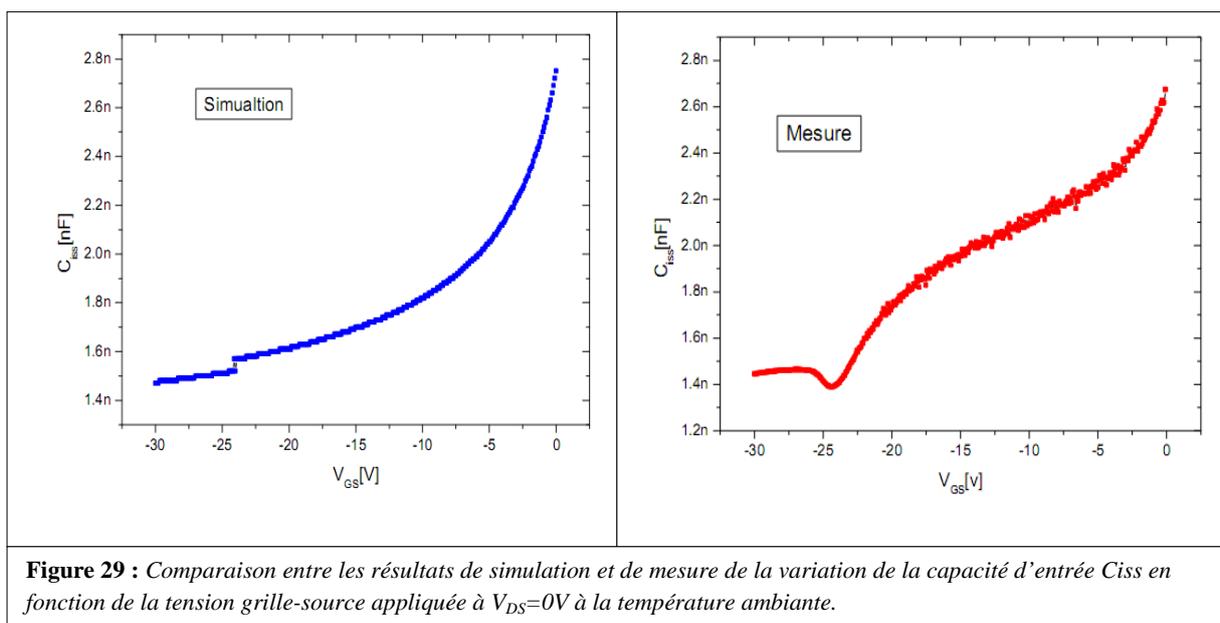
$$C_{jGS} = \frac{\epsilon_{SiC} A_{GS}}{\sqrt{\frac{2\epsilon_{SiC} (V_{BI} - V_{GS})}{qN_D}}} \quad (94)$$

$$C_{jGm} = C_{jmD} = \frac{\epsilon_{SiC} A_{GD}}{\sqrt{\frac{2\epsilon_{SiC} (V_{BI} - V_{GD})}{qN_D}}} \quad (95)$$

La Figure 28 représente respectivement le schéma équivalent de la capacité d'entrée  $C_{iss}$  (à gauche) et le circuit de test utilisé dans la simulation (à droite).



La simulation de la capacité d'entrée  $C_{iss}$  a été effectuée en fonction de la tension grille-source à  $V_{DS}=0 V$  et pour une fréquence de 10 kHz. La tension grille-source a été variée entre la tension 0 V et la tension de blocage  $V_{T0}$ . La Figure 29 représente la comparaison entre les résultats de simulation et la mesure de la variation de la capacité d'entrée  $C_{iss}$  en fonction de la tension grille-source à la température ambiante.



On peut constater que cette comparaison est satisfaisante.

## 2. Simulation de la capacité de sortie $C_{oss}$

La capacité de sortie dans le JFET comme nous avons déjà présenté dans le chapitre 2 est définie en général par :

$$C_{oss} = C_{GD} + C_{DS} \quad (96)$$

D'après la Figure 14 cette capacité peut s'écrire:

$$C_{oss} = C_{jDS} + \frac{C_{jGm} C_{jmD}}{C_{jGm} + C_{jmD}} \quad (97)$$

Où,

$$C_{DS} = C_{jDS} \quad (98)$$

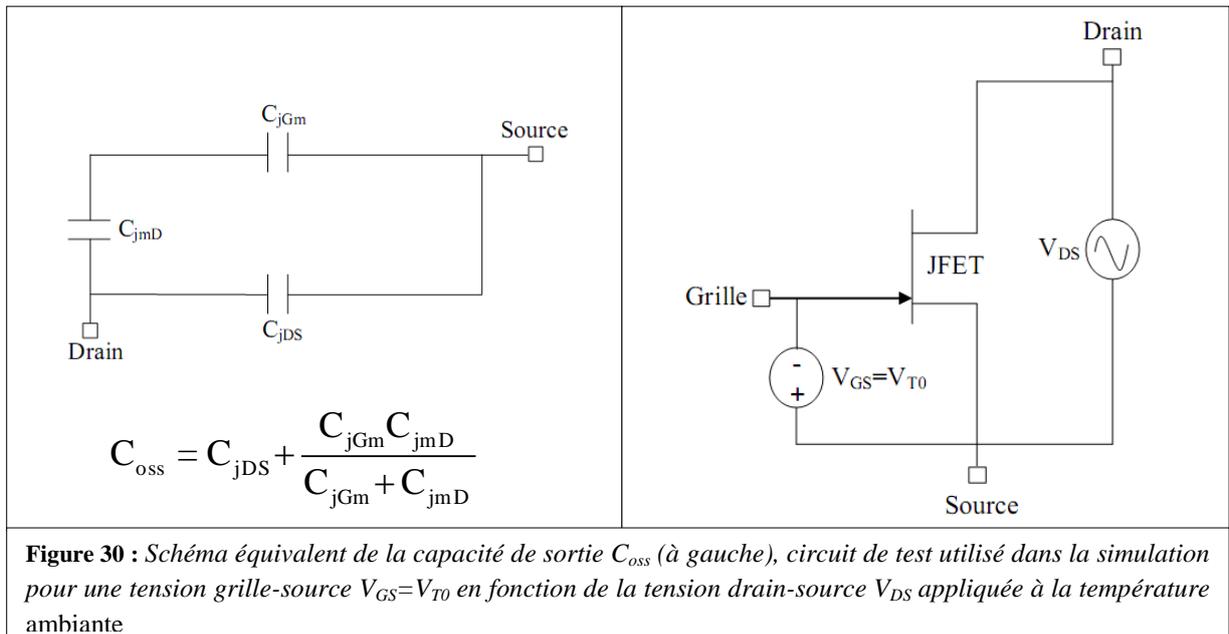
et,

$$C_{GD} = \frac{C_{jGm} C_{jmD}}{C_{jGm} + C_{jmD}} \quad (99)$$

La capacité  $C_{jDS}$  a été calculée en utilisant les équations (75) et (80) ce qui donne :

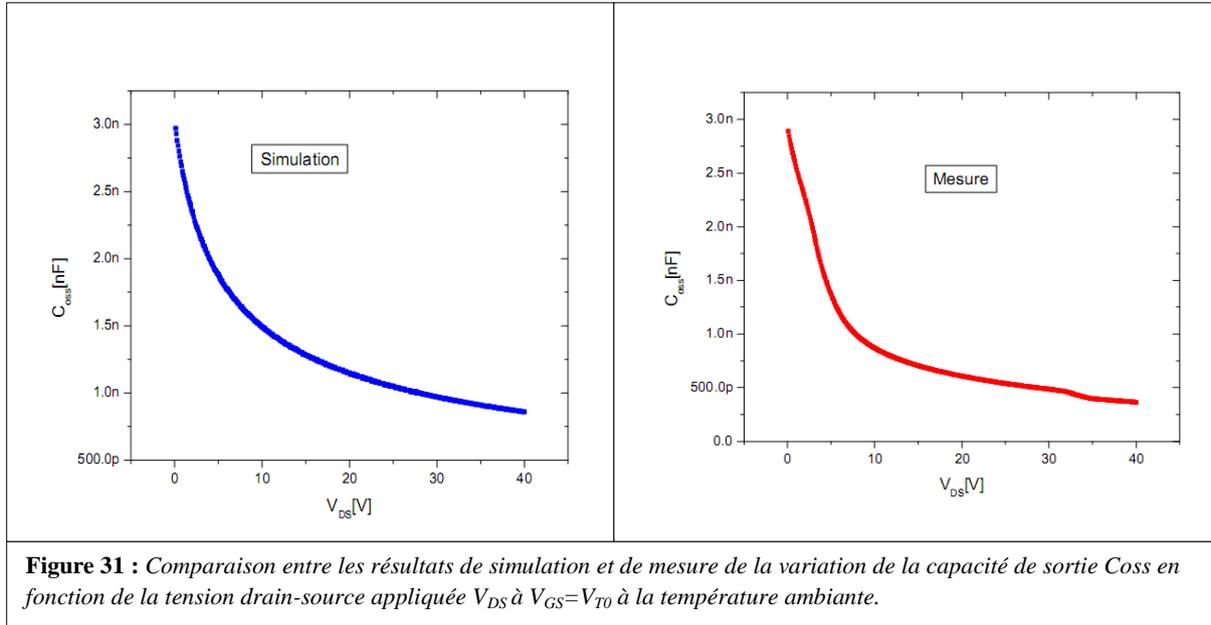
$$C_{jDS} = \frac{\epsilon_{SiC} A_{DS}}{\sqrt{\frac{2\epsilon_{SiC} (V_{BI} - V_{DS})}{qN_{DD}}}} \quad (100)$$

Les capacités  $C_{jGm}$  et  $C_{jmD}$  ont été déjà calculées dans (93). La Figure 30 représente respectivement le schéma équivalent de la capacité de sortie  $C_{oss}$  (à gauche) et le circuit de test utilisé dans la simulation (à droite)



**Figure 30 :** Schéma équivalent de la capacité de sortie  $C_{oss}$  (à gauche), circuit de test utilisé dans la simulation pour une tension grille-source  $V_{GS}=V_{T0}$  en fonction de la tension drain-source  $V_{DS}$  appliquée à la température ambiante

La capacité de sortie  $C_{oss}$  a été simulée en fonction de la tension drain-source  $V_{DS}$  appliquée tout en bloquant le JFET ( $V_{GS}=V_{T0}$ ). La simulation a été faite pour une fréquence donnée de 10kHz. La Figure 31 représente la comparaison entre les résultats de simulation et la mesure de la variation de la capacité de sortie  $C_{oss}$  du JFET en fonction de  $V_{DS}$  pour  $V_{GS}=V_{T0}$  à la température ambiante.



La comparaison de la capacité de sortie est satisfaisante à  $V_{DS}=0V$ .

### 3. Simulation de la capacité de transfert $C_{rss}$

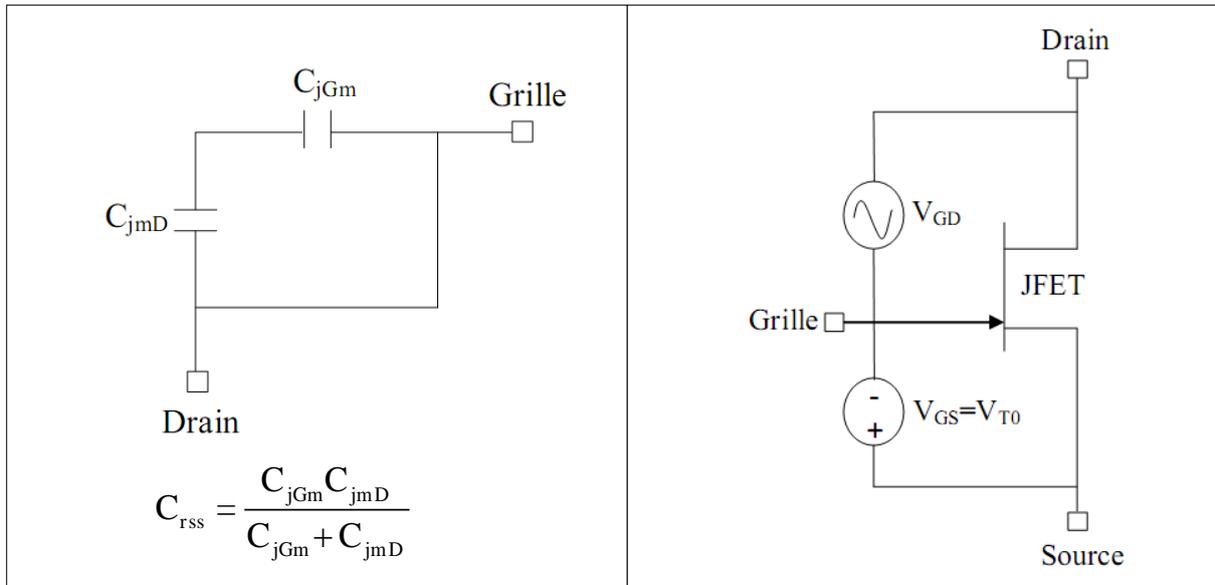
La capacité de transfert  $C_{rss}$  dans le JFET comme nous avons déjà présenté dans le chapitre 2 est défini en général par :

$$C_{rss} = C_{GD} \quad (101)$$

D'après la Figure 14 cette capacité s'écrit:

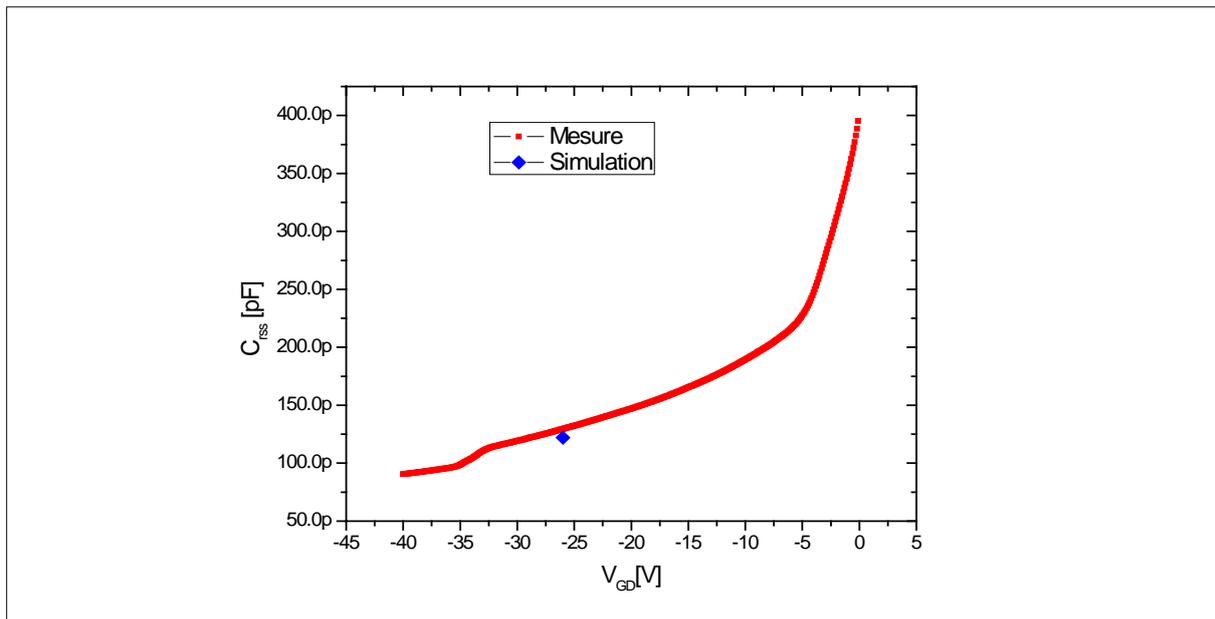
$$C_{rss} = \frac{C_{jGm} C_{jmD}}{C_{jGm} + C_{jmD}} \quad (102)$$

Les capacités  $C_{jGm}$  et  $C_{jmD}$  ont été calculées en utilisant (79). La Figure 32 représente respectivement le schéma équivalent de la capacité de sortie  $C_{rss}$  (à gauche) et le circuit de test utilisé dans la simulation (à droite). La capacité de transfert  $C_{rss}$  a été simulée en fonction de la tension grille-drain appliquée et pour une tension grille-source  $V_{GS}=V_{T0}$  (JFET bloqué).



**Figure 32 :** Schéma équivalent de la capacité de sortie  $C_{rss}$  (à gauche), circuit de test utilisé dans la simulation pour une tension grille-source  $V_{GS}=V_{T0}$  à  $V_{DS}=0V$  en fonction de la tension drain-source  $V_{GD}$  appliquée à la température ambiante

La Figure 33 représente la comparaison entre les résultats de simulation et la mesure de la variation de la capacité de transfert  $C_{rss}$  du JFET en fonction de  $V_{GD}$  appliquée pour  $V_{GS}=V_{T0}$  à la température ambiante.



**Figure 33 :** Comparaison entre les résultats de simulation et de mesure de la variation de la capacité de transfert  $C_{rss}$  en fonction de la tension grille-drain appliquée  $V_{GD}$  à  $V_{GS}=V_{T0}$  à la température ambiante.

On peut constater d’après la Figure 33 que la capacité d’entrée  $C_{rss}$  donne des résultats satisfaisants à  $V_{GD}=V_{T0}$ . Nous n’avons pas eu le temps pour regarder les résultats de cette capacité en simulation pour différentes valeurs de  $V_{GD}$ , notamment à cause de problème de convergence.

## 4 Conclusion

Un modèle multiphysique non empirique du transistor VJFET de SiCED à un canal latéral a été développé. Le modèle a été développé en langage MAST et validé aussi bien en mode de fonctionnement statique que dynamique en utilisant le simulateur SABER. Ce modèle inclut une représentation asymétrique du canal latéral et les capacités de jonction de la structure. La validation du modèle montre que ce modèle permet d'avoir des résultats satisfaisants. La comparaison entre les simulations et les mesures expérimentales conduit à des résultats satisfaisants pour simuler le comportement du JFET en mode de fonctionnement statique en termes de variation de la résistance à l'état passant  $R_{DS}^{ON}$  et le courant de saturation  $I_{CH}^{SS}$  à la température ambiante. Le modèle permet également de simuler le comportement du JFET en commutation à la température ambiante. Une comparaison entre les capacités de jonction en simulation et en mesure a été présentée.

Il reste également des points à améliorer, concernant la modélisation de l'effet triode du canal vertical du JFET, et de modéliser également le "punch through" entre la grille et le drain de la couche P+. Il sera intéressant de prendre en compte l'auto-échauffement par couplage électrique du modèle avec les modèles thermiques des couches semi-conducteurs. Ce modèle est utilisé par plusieurs personnes au laboratoire AMPERE. En collaboration avec des laboratoires externes, le modèle a été diffusé au GREEN pour modéliser le comportement du JFET dans les onduleurs.

## Conclusion générale

Nous avons présenté dans ce mémoire notre travail sur la caractérisation électrique des transistors JFET en SiC. Dans le deuxième chapitre nous avons introduit la caractérisation électrique du JFET fabriqué par SiCED en fonction de la température. Les caractérisations sont basées sur des mesures en statiques (courant-tension) sont obtenues en utilisant un traceur de caractéristiques, des mesures capacitives (capacité-tension) sont obtenues en utilisant un analyseur d'impédance et des mesures en commutation sur charge R-L (résistive-inductif) et sur un bras d'onduleur. Les résultats de mesures montrent que l'augmentation de la température augmente la résistance à l'état passant de ces composants et réduit le courant de saturation.

Les résultats sur l'étude de la dégradation soumis à un courant inverse sur la diode interne du JFET montrent une légère augmentation de sa résistance à l'état passant de 7 % et ce qui montre qu'aucune dégradation significative n'a été observée et que l'impact de la dégradation observée est très faible et reste acceptable pour des applications industrielles. De plus, ces résultats valident l'utilisation d'onduleurs de tension à JFET sans diode de roue libre particulièrement pour les applications à haute température.

Dans le troisième chapitre nous avons présenté l'étude de la modélisation du JFET en SiC. Un modèle multi-physique non empirique du transistor VJFET de SiCED à un canal latéral a été développé. Le modèle a été développé en langage MAST et validé en régimes statique et dynamique en utilisant le simulateur SABER. Ce modèle inclut une représentation asymétrique du canal latéral et les capacités de jonction de la structure. La comparaison entre les simulations et les mesures expérimentales conduit à des résultats satisfaisants pour simuler le comportement du JFET en mode de fonctionnement statique en termes de variation de la résistance à l'état passant  $R_{DS}^{ON}$  et le courant de saturation  $I_{CH}^{SS}$  à la température ambiante. Le modèle permet également de simuler le comportement du JFET en commutation. Une comparaison entre les capacités de jonction en simulation et en mesure a été présentée et fournit des bons résultats. Nous avons présenté aussi une méthode d'extraction des paramètres de VJFET. La plupart de ces paramètres sont donnés par la technologie, mais un ajustement de quelques paramètres tels que la largeur du canal,  $a$ , et la profondeur de la structure  $Z$  est nécessaire pour avoir une bonne comparaison entre les résultats de mesure et les résultats de

simulation. A partir une tension de blocage donnée par la mesure nous avons extrait la tension de pincement  $V_P$ , cette dernière nous a permis d'extraire la largeur du canal,  $a$ , à partir de cette valeur nous avons extrait la résistance dans le canal à l'état passant  $R_{CH}^L$  et le courant de saturation  $I_{CH}^{SAT}$  pour une valeur de  $Z$  donnée.

Il reste également des points à améliorer, concernant la modélisation de l'effet triode du canal vertical du JFET, et de modéliser également le "punch through" entre la grille et le drain de la couche P+. Il sera intéressant de prendre en compte l'auto-échauffement par couplage électrique du modèle avec les modèles thermiques des couches semi-conductrices. Il reste également à améliorer la résistance à l'état passant en simulation en fonction de la température et de la comparer avec celle mesurée. Il sera intéressant de regarder la variation des différentes capacités de jonction en fonction de la température en simulation.

## Références bibliographiques

- [Acheson 1891] E. G. Acheson, "Production of artificial crystalline carbonaceous materials", *Brevet no US492767 (1891)*.
- [Aggeler 2007] D. Aggeler, J. Biela, S. Inoue, H. Akagi and J. W. Kolar, "Bi-Directional Isolated DC-DC Converter for Next-Generation Power Distribution - Comparison of Converters using Si and SiC Devices", *Power Conversion Conference, 2007*, pp.510-517.
- [Antognetti 1993] G. Massobrio and P. Antognetti, "Semiconductor Device Modeling With SPICE", *Second Edition, McGraw-Hill Inc. 1993*, pp.131-148.
- [Berzelli 1824] J. J. Berzelli, "Untersuchungen über die Flussspathsäure und deren merkwürdigsten Verbindungen", *Annalen der Physik und Chemie, 1824, Vol.1*, pp.169-230.
- [Botsoa 2008] J. Botsoa, "Synthèse de nanostructures de carbure de silicium et étude de leur propriétés optiques", *Thèse INSA de Lyon, 2008*
- [Brosselard 2004] P. Brosselard, "Conception, Réalisation et Caractérisation d'interrupteurs (thyristors et JFETs) haute tension (5kV) en carbure de silicium", *Thèse de doctorat CEGELY. Lyon:INSA de Lyon, 2004*, 181P.
- [Bergogne 2005] D. Bergogne, P. Bevilacqua, S. M'Rad, D. Planson, H. Morel, B. Allard and O. Brevet, "300°C operating junction temperature inverter Leg investigations", *Proc. of the 11<sup>th</sup> conference on power electronics and applications, EPE 2005 Dresden 2005*.
- [Baliga 1992] B. Jayant Baliga, "Modern Power Devices", *Krieger Publishing Company, Florida 1992*, pages 132-195.
- [Bernal 1997] Luis Eduardo Zubieta Bernal, "Characterization of double - layer capacitors for power electronics applications", *Thèse de doctorat, Département of Electrical and computer Engineering, Ottawa, Canada: University of Toronto, 1997*, 172 p.
- [Bergogne 2008] D. Bergogne, and D. Tournier, and R. Mousa and M.S. Koor, and D. Planson, and H. Morel, and B. Allard, , "SiC JFET for high temperature power switches", *ETG-Fachbericht, CIPS 2008*.
- [Bergogne 2008] D. Bergogne, and H. Morel, and D. Planson, and D. Tournier, and P. Bevilacqua, and B. Allard, and R. Meuret, and S. Vieillard, and S. Rael, and F. MeibodyTabar, , "Towards an airborne high temperature SiC inverter", *IEEE Power Electronics Specialists Conference, PESC 2008*, pp 3178-3183.

- [Bellone 1985] S. Bellone, A. Caruso, P. Spirito, G.F. Vitale, G. Busatto, G. Cocorullo, G. Ferla, S. Musumeci, "High-voltage bipolar mode JFET with normally off characteristics", *IEEE Electron Device Letters*, 1985, Vol.6, pp.522-524.
- [Baliga 1980] B. J. Baliga, "Bipolar operation of power junction field effect transistors", *IEEE Electronics Letters*, 1980, Vol.16, pp.300-301.
- [Cree 2008] CREE Inc. SiC product specifications, <http://www.cree.com>.
- [Camassel 1998] J. Camassel, S. Contreras et J. L. Robert, "Matériaux semi-conducteurs à grand gap : SiC", *Techniques de l'Ingénieur*, 1998, E 1990.
- [Casady 2004] M. S. Mazzola, J. B. Casady, N. Merrett, I. Sankin, W. Draper, D. Seale, V. Bondarenko, Y. Koshka, J. Gafford and R. Kelley, "Assessment Of "Normally On" And "Quasi On" SiC VJFET's In Half-Bridge Circuits", *Materials Science Forum*, 2004, Vol.457-460, pp.1153-1156
- [Caruso 1979] A. Caruso, P. Spirito and G. Vitale, "New semiconductor active device: the conductivity-controlled transistor", *Electronics Letters*, 1979, Vol.15, pp.267-268.
- [Cilio 2007] E. Cilio, J. Homberger, B. McPherson, R. Schupbach, A. Lostetter and J. Garrett, "A Novel High Density 100kW Three-Phase Silicon Carbide (SiC) Multichip Power Module (MCPM) Inverter", *IEEE Applied Power Electronics Conference*, 2007, pp.666-672.
- [Cass 2007] J. C. Cass, R. Burgos, F. Wang and D. Boroyevich, "Three-Phase Ac Buck Rectifier using Normally-On SiC JFETs at 150 kHz Switching Frequency", *IEEE Power Electronics Specialists Conference*, 2007, pp.2162-2167.
- [Cass 2007] J. C. Cass, R. Burgos, F. Wang and T.P. Chow, and D. Boroyevich, "Evaluation of SiC JFETs for use in a Three-Phase Current-Source Converter", *APEC 2007-Twenty Second Annual IEEE Applied Power Electronics Conference*, 2007, pp.345-351.
- [Dimitrova 2006] E. I. Dimitrova-Frey, "Analyse et modélisation du JFET de puissance en carbure de silicium en régime statique", *Thèse INSA de Lyon*, 2006
- [Friedrichs 2007] P. Friedrichs, "Silicon Carbide Semiconductor Power Devices status and upcoming challenges", *European Conference on power Electronics and applications*, 2007, pp.1-11.
- [Funaki 2005] T. Funaki, J. C. Balda, J. Junghans, A. Jangwanitlert, S. Mounce, F. D. Barlow, H. A. Mantooth, T. Kimoto and T. Hikihara, "Switching characteristics of SiC JFET and Schottky diode in high-temperature dc-dc power converters", *IEICE Electronics Express*, 2005, Vol.2, pp. 97-102.
- [Funaki 2006] T. Funaki, A. S. Kashyap, H. A. Mantooth, J. C. Balda, F. D. Barlow, T. Kimoto and T. Hikihara, "Characterization of SiC JFET for

- Temperature Dependent Device Modeling", *Power Electronics Specialists Conference, 2006, Vol., pp.1-6.*
- [Friedrichs 2000] P. Friedrichs, et al, "Static and Dynamic Characteristics of 4H-SiC JFETs Designed for Different Blocking categories", *Materials Science Forum, 2000, Vol.338-342, pp 1243-1246.*
- [Friedrichs 2006] P. Friedrichs and T. Reimann, "Behavior of high voltage SiC VJFETs under avalanche conditions", *Applied Power Electronics Conference and Exposition, 2006, Vol., pp.1-7*
- [Funaki 2007] T. Funaki, T. Kimoto, and T. Hikihara, "Evaluation of capacitance-voltage characteristics for high voltage SiC-JFET", *IEICE Electronics Express , 2007, Vol.4, No. 16pp.517-523.*
- [Friedrichs 2003] P. Friedrichs, H. Mitlehner, R. Schörner, K. O. Dohnke and D. Stephani, "High voltage, modular switch based on SiC VJFETs - first results for a fast 4.5kV/1.2W configuration", *Materials Science Forum, 2003, Vol. 433-436, pp. 793-796.*
- [Friedrichs 2005] P. Friedrichs and R. Rupp, "Silicon carbide power devices- current developments and potential applications", *European Conference on Power Electronics and Applications, 2005, pp.1-11.*
- [Friedrichs 2001] P. Friedrichs, H. Mitlehner, R. Schorner, K. Dohnke, R. Elpelt. D. Stepahni , "The vertical silicon carbide JFET a fast and low solid state power switching device", *Proc. Of*
- [Funaki 2004] T. Funaki, J. C. Balda, J. Junghans, A. S. Kashyap, F. D. Barlow, H. A. Mantooth, T. Kimoto and T. Hikihara, "SiC JFET dc characteristics under extremely high ambient temperatures", *IEICE Electronics Express, 2004, Vol.1, pp. 523-527.*
- [Guvench 1994] Mustafa G.Guvench, "Spice Parameter Extraction from Automated Measurement of JFET and MOSFET Characteristics", *in the Computer-Integrasted Electronic Laboratory, 1994, Session 1659, University of Southern Mayne, 6p*
- [Garrab 2004] H. Garrab, B. Allard, H. Morel, S. Ghedira and K. Besbes, "Role of the temperature distribution on the PN junction behaviour in the electro-thermal simulation", *International Journal Of Numerical Modelling Electronic Networks, Devices And Fields, 2004, Vol.17, pp.539–560.*
- [Guihal 2007] D. Guihal, "Modélisation en langage VHDL-AMS des systèmes pluridisciplinaires", *Thèse de doctorat LAAS CNRS, Université Toulouse III, 25 mai 2007, 204p.*
- [Hodges 1968] H. Shichman and D. A. Hodges, "Modeling and simulation of insulated-gate field-effect transistor switching circuits", *IEEE Journal of Solid-State Circuits, 1968, Vol.3, no.3, pp.285-289.*
- [Hancock 2006] F. Bjoerk, J. Hancock, M. Treu, R. Rupp and T. Reimann, "2nd generation 600V SiC Schottky diodes use merged pn/Schottky structure

- for surge overload protection", *IEEE Applied Power Electronics Conference and Exposition, 2006*, pp.4.
- [Hull 2006] B. A. Hull, M. K. Das, J. T. Richmond, J. J. Sumakeris, R. Leonard, J. W. Palmour and S. Leslie, "A 180 Amp/4.5 kV 4H-SiC PiN Diode for High Current Power Modules", *IEEE International Symposium on Power Semiconductor Devices and IC's, 2006*, pp.1-4.
- [Hefner 2004] A. Hefner, T. McNutt, A. Akuffo, R. Singh, C. Ellenwood, D. Berning, M.K. Das,.; J.J.Sumakeris, R.Stahlbush, , "Characterization of SiC PiN diode forward bias degradation", *Industry Applications Conference, 2004, Vol.2, pp 1252-1260*.
- [Hefner 2007] T. R. McNutt, A. R. Hefner, H. A. Mantooh, D. Berning and S. H. Ryu, "Silicon Carbide Power MOSFET Model and Parameter Extraction Sequence", *IEEE Transactions on Power Electronics, 2007, Vol.22, no.2, pp.353-363*.
- [Ivanov 1997] P.A. Ivanov, and OI. Kon'kov, and A.O. Konstantinov, and VN. Panteleev, and T.P. Samsonova, and N. Nordell, and S. Karlsson, and C.I. Harris, " SiC Surface Engineering for High Voltage JFET Applications", *Materials Science Forum, 1997, Vol. 264-268, pp. 1081-1084*.
- [Ishikawa 2007] K. Ishikawa, H. Onose, Y. Onose, T. Ooyanagi, T. Someya, N. Yokoyama and H. Hozouji, "Normally-off SiC-JFET inverter with low-voltage control and a high-speed drive circuit", *International Symposium on Power Semiconductor Devices and IC's, 2007, pp.217-220*.
- [Kashyap 2006] T. Funaki, A. S. Kashyap, H. A. Mantooh, J. C. Balda, F. D. Barlow, T. Kimoto and T. Hikihara, "Characterization of SiC JFET for Temperature Dependent Device Modeling", *Power Electronics Specialists Conference, 2006, Vol., pp.1-6*.
- [Kashyap 2004] A.S. Kashyap,P.L Ramavarapu, S. Maganlal, T.R. McNutt, A. B. Lostetter and H. A. Mantooh, "Modeling vertical channel junction field effect devices in silicon carbide", *IEEE, Power Electronics Specialists Conference, 2004, Vol.4, pp. 3009-3014*.
- [Kanert 2003] W. Kanert & al. "Reliability aspects of semiconductor devices in high temperature applications", *ESREF 2003*.
- [Kelley 2005] R. L. Kelley, M. S. Mazzola, W.A. Draper and J. Casady, "Inherently safe DC/DC converter using a normally-on SiC JFET", *IEEE Applied Power Electronics Conference and Exposition, 2005, Vol.3, pp. 1561-1565*.
- [Kashyap 2005] A. S. Kashyap and B. Tech, "Compact Modeling Of Silicon Carbide Junction Field Effect Devices ", *Theses University of Arkansas 2005, pp.16-17*.

- [Lely 1955] J. A. Lely, "Darstellung von Einkristallen von Silizium Karbid und Beherrschung von Art und Menge der eingebauten Verunreinigungen", *Ber. Deut. Keram. Ges*, 1955, Vol.32, p.229-236.
- [Lorenz 2007] L. Lorenz, "Power Semiconductor Devices-Development Trends and System Interactions", *Power Conversion Conference - Nagoya, 2007*, pp.348-354.
- [Lee 2000] Y. S. Lee, W.O. Lee, M. K. Han and Y. I. Choi, "The analytic models for temperature dependence of the breakdown voltage of 6H- and 4H-SiC rectifiers", *IEEE International Power Electronics and Motion Control Conference, 2000*, Vol.3, pp.1079-1082.
- [Moissan 1905] H. Moissan, "Étude du Siliciure de carbone de la météorite de cañon Diablo", *Compte-Rendu des Séances de l'Académie des Sciences, Paris, 1905*, Vol.140, pp. 405-406
- [Meyer 2005] S. D. Meyer, "Etude d'une nouvelle filière de composants HEMTs sur technologie nitrure de gallium. Conception d'une architecture flip-chip d'amplificateur distribué de puissance à très large bande", *Thèse Université de Limoges*, 2005
- [Mazzola 2004] M. S. Mazzola, J. B. Casady, N. Merrett, I. Sankin, W. Draper, D. Seale, V. Bondarenko, Y. Koshka, J. Gafford and R. Kelley, "Assessment Of "Normally On" And "Quasi On" SiC VJFET's In Half-Bridge Circuits", *Materials Science Forum, 2004*, Vol.457-460, pp.1153-1156.
- [Mousa 2008] R. Mousa, D. Planson, H. Morel, B. Allard and C. Raynaud, "Modeling and high temperature characterization of SiC-JFET", *IEEE Power Electronics Specialists Conference, 2008*, pp.3111-3117.
- [Mousa 2009] R. Mousa, "Caractérisation, modélisation et intégrations de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension", *Thèse INSA de Lyon, 2009*.
- [Mathieu 2001] H. Mathieu "physique des semi-conducteurs et des composants électroniques", 2001, ISBN2100056549.
- [Mousa 2007] R. Mousa, D. Planson, H. Morel and C. Raynaud, "High temperature characterization of SiC-JFET and modelling", *European Conference on Power Electronics and Applications, 2007*, Vol., pp.1-10.
- [Manca 2000] J. Manca & al. "Reliability aspects of high temperature power MOSFETS", *Microelectronics reliability*, N° 40, 2000, pp 1679-1682.
- [Mrinal 2006] M. K. Das, "Development of a Commercially Viable 4H-SiC PiN Diode Technology", *International Baltic Electronics Conference, 2006*, pp.1-4.
- [Mazumder 2007] S. K. Mazumder, K. Acharya and C. M. Tan, "Design of an All-SiC Radio-frequency Controlled Parallel DC-DC Converter Unit", *IEEE Power Electronics Specialists Conference, 2007*, pp.2833-2839.

- [MAST 2005] Synopsys, "Saber, MAST Language, Book 2, User Guide ", *Version X-2005.09, pp.249, Septembre, USA, 2005.*
- [Omari 2003] H. E. Omari, "Extraction des paramètres des modèles du VDMOS à partir des caractéristiques en commutation-comparaison avec les approches classiques", *Thèse INSA de Lyon, 2003.*
- [Round 1907] H. J. Round, "A note on Carborundum", *Electrical World, 1907, Vol.19, pp.309-312*
- [Ramsdell 1947] R. S. Ramsdell, *Amer. Mineralogist* 32, 64 ,1947.
- [Rodriguez 2005] R. P. Rodriguez, "Planar Edge Terminations and Related Manufacturing Process Technology for High Power 4H-SiC Diodes", *A Thesis Submitted to the Faculty of Sciences, Physics Department of the Universitat Autònoma de Barcelona, Bellaterra, July 2005.*
- [Raynaud 2007] C. Raynaud, "Propriétés physiques et électroniques du carbure de silicium (SiC)", *techniques de l'ingénieur, 2007, D 3119, P. 1-14.*
- [Raynaud 2010] C.Raynaud, D.Tournier, H.Morel, D. Planson, " Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices", *Diamond and Related Materials, 2010, Vol.19, P. 1-6.*
- [Ritenour 2010] A.Ritenour, D.C. Sheridan, V.Bondarenko, and J.B. Casady"Performance of 15mm<sup>2</sup> 1200 V Normally-Off SiC VJFETs with 120 A Saturation Current", *Materials Science Forum Vols. 645-648 (2010) pp 937-940*
- [Risaletto 2007] D. Risaletto, "Caractérisation électrique en commutation de diodes haute tension en carbure de silicium", *Thèse INSA de Lyon, 2007*
- [Sannuti 2005] P. Sannuti, X. Li, F. Yan, K. Sheng, J.H. Zhao " Channel electron mobility in 4H-SiC lateral junction field effect transistors " *Solid-State Electronics, Vol.49, Issue 12, December 2005, Pages 1900-1904*
- [Stahlbush 2006] Stahlbush, R.E. and Liu, K.X. and Twigg, M.E., "Effects of Dislocations and Stacking Faults on the Reliability of 4H-SiC PiN Diodes", *IEEE International Reliability Physics Symposium Proceedings, 44th Annual 2006, pp 90-94.*
- [Sugawara 2001] Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour and T. Hayashi, "12-19 kV 4H-SiC pin diodes with low power loss", *Proceedings of the 13th International Symposium on Power Semiconductor Devices and ICs, 2001, pp.27-30.*
- [Schockley 1952] W. Schockley, "A unipolar field effect transistor", *Proc.IRC, 1952, Vol. 40, pp 1365-1376.*
- [Sheppard 1997] S.T. Sheppard, V. Lauer, W. Wondrak, E. Niemann, "High Temperature Performance of Implanted- Gate n-Channel JFETs in 6H-SiC", *Materials Science Forum, 1997, Vols. 264-268, pp. 1077-1080*

- [Shichman 1968] H. Shichman and D. A. Hodges, "Modeling and simulation of insulated-gate field-effect transistor switching circuits", *IEEE Journal of Solid-State Circuits*, 1968, Vol.3, no.3, pp.285-289.
- [Singh 2010] K. Singh, and F. Guedon, and R. McMahon, and S. Weier, "Parameter extraction and calorimetric validation for a silicon carbide JFET PSpice model", *Power Electronics, Machines and Drives (PEMD), 5th IET International Conference on*, pp.1-6, 2010.
- [Tariov 1978] Y. M. Tariov and V. F. Tsekov, "Investigations of growth processes of ingots of silicon carbide single crystal", *J. Cryst. Growth*, 1978, Vol.43, pp.209-212.
- [Tone 2004] J. J. H. Zhao, K. Tone, X. Li, P. Alexandrov, L. Fursin and M. Weiner, "6A, 1kV 4H-SiC Normally-off Trenched-and-Implanted Vertical JFETs", *Materials Science Forum Vols. 457-460 (2004) pp. 1213-1216*
- [Treu 2007] M. Treu, R. Rupp, P. Blaschitz, K. Ruschenschmidt, Th. Sekinger, P. Friedrichs, R. Elpelt and D. Peters, "Strategic Considerations for Unipolar SiC Switch Options: JFET vs. MOSFET", *IEEE Industry Applications Conference*, 2007, pp.324-330.
- [Taki 1978] T. Taki, "Approximation of junction field-effect transistor characteristics by a hyperbolic function", *IEEE Journal of Solid-State Circuits*, 1978, Vol.13, no.5, pp. 724-726.
- [Veliadis 2008] Victor Veliadis, TyMcNutt, Megan Snook, Harold Hearne, Paul Potyraj, Jeremy Junghans, and Charles Scozzie "Large Area Silicon Carbide Vertical JFETs for 1200V Cascode Switch", *Operation International Journal of Power Management Electronics*, 2008, Vol 2008., pp 1-8
- [Veliadis 2009] Victor Veliadis, "1200 V SiC vertical-channel-JFETs and cascode switches", *physica status solidi (a)*, 2009, Vol. 206, issue 10, pp. 2346-2362.
- [Vlach 1990] M. Vlach, "Modeling And Simulation with Saber", *Proc. 3rd Annual IEEE ASIC Seminar*, pp.17-21, September 1990.
- [Wang 2006] Y. Wang, J. C. Callaway, T.P.Chow, F. Wang and D. Boroyevich, "SPICE Model of SiC JFETs for Circuit Simulations", *IEEE COMPEL Workshops on Computers in Power Electronics*, 2006, pp.212-215.
- [Zappe 1978] S. Zappe, E. Obermeier, S. T. Sheppard, U. Schmid, V. Lauer and W. Wondrak, "Advanced SPICE-modelling of 6H-SiC-JFETs including substrate effects", *IEEE, High Temperature Electronics Conference*, 1998, pp.261-264.

# Annexe 1

## 1 Calcul de la tension de pincement $V_{CH}^P$ dans le canal asymétrique du JFET

Comme nous avons déjà dit que le régime de pincement correspond au cas où les deux zones de charges d'espace se rejoignent. Sous forme normalisée la condition de pincement comme nous avons déjà présenté s'écrit :

$$\sqrt{v + \gamma_1} + \sqrt{v + \gamma_2} = 2 \quad (1)$$

En Posant :

$$x = \sqrt{v + \gamma_1} \quad (2)$$

Où bien, l'équation (2) peut se réécrire :

$$v = x^2 - \gamma_1 \quad (3)$$

Remplaçons (2) et (3) par leur expressions dans (1) ce qui donne :

$$x = 1 - \frac{\gamma_2 - \gamma_1}{4} \quad (4)$$

Remplaçons (4) par son expression dans (3), l'expression (3) se réécrit :

$$v = 1 - \frac{\gamma_1 + \gamma_2}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16} \quad (5)$$

Ce qui donne finalement :

$$V_{CH}^P = 1 - \frac{\gamma_1 + \gamma_2}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16} \quad (6)$$

## 2 Calcul du courant de pincement normalisé $\Delta$ du canal asymétrique du JFET

Comme nous avons déjà dit que le courant de pincement normalisé du canal asymétrique du JFET est donnée par :

$$\Delta = 3 \frac{i_{CH}^P R_{CH}}{V_P} \quad (7)$$

Avec,

$$i_{CH}^P = \frac{V_P}{3R_{CH}} \left[ 3v_{CH}^P - (v_{CH}^P + \gamma_1)^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} - (v_{CH}^P + \gamma_2)^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}} \right] \quad (8)$$

Remplaçons (8) dans (7), l'équation (7) se réécrit :

$$\Delta = 3v_{CH}^P - (v_{CH}^P + \gamma_1)^{\frac{3}{2}} - (v_{CH}^P + \gamma_2)^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}} \quad (9)$$

Soit d'après (3) et (4) :

$$v_{CH}^P + \gamma_1 = 1 + \frac{\gamma_1 - \gamma_2}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16} \quad (10)$$

$$v_{CH}^P + \gamma_2 = 1 + \frac{\gamma_2 - \gamma_1}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16} \quad (11)$$

Remplaçons (10) et (11) dans (9), l'équation (9) se réécrit :

$$\Delta = 3v_{CH}^P - \left( 1 + \frac{\gamma_1 - \gamma_2}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16} \right)^{\frac{3}{2}} - \left( 1 + \frac{\gamma_2 - \gamma_1}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16} \right)^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}} \quad (12)$$

Ce qui donne finalement :

$$\Delta = 3v_{CH}^P - \left( 1 + \frac{g^2}{16} - \frac{g}{2} \right)^{\frac{3}{2}} - \left( 1 + \frac{g^2}{16} + \frac{g}{2} \right)^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}} \quad (13)$$

Où  $g$  représente l'asymétrie de commande donnée par :

$$g = \gamma_2 - \gamma_1 \quad (14)$$

### 3 Calcul de la fonction $\omega$

Comme nous avons déjà vu que la fonction  $\omega$  représente la condition du blocage du JFET qui est donnée par :

$$\omega = \gamma_1 \frac{\partial \Delta}{\partial \gamma_1} + \gamma_2 \frac{\partial \Delta}{\partial \gamma_2} \quad (15)$$

Calcul de  $\frac{\partial \Delta}{\partial \gamma_1}$  et  $\frac{\partial \Delta}{\partial \gamma_2}$

L'expression de  $\Delta$  donnée par (13) peut se réécrire :

$$\Delta = 3v_{CH}^P - G_m^{\frac{3}{2}} - G_p^{\frac{3}{2}} + \gamma_1^{\frac{3}{2}} + \gamma_2^{\frac{3}{2}} \quad (16)$$

Avec,

$$G_p = 1 + \frac{g}{2} + \frac{g^2}{16} \quad (17)$$

$$G_m = 1 - \frac{g}{2} + \frac{g^2}{16} \quad (18)$$

et,

$$v_{CH}^p = 1 - \frac{\gamma_1 + \gamma_2}{2} + \frac{(\gamma_2 - \gamma_1)^2}{16} \quad (19)$$

Calculons la dérivée de l'équation (17), (18) et (19) par rapport à  $\gamma_1$  ce qui donne :

$$\frac{\partial G_p}{\partial \gamma_1} = -\frac{1}{2} - \frac{g}{8} = -\frac{1}{8}(4 + g) \quad (20)$$

$$\frac{\partial G_m}{\partial \gamma_1} = \frac{1}{2} - \frac{g}{8} = \frac{1}{8}(4 - g) \quad (21)$$

Et,

$$\frac{\partial v_{CH}^p}{\partial \gamma_1} = -\frac{1}{2} - \frac{g}{8} = -\frac{1}{8}(4 + g) \quad (22)$$

Notons que :

$$g = \gamma_2 - \gamma_1$$

Finalement  $\frac{\partial \Delta}{\partial \gamma_1}$  s'écrit :

$$\frac{\partial \Delta}{\partial \gamma_1} = \frac{3}{16} \left( 8 \left( \gamma_1^{\frac{1}{2}} - 1 \right) - 2g + (4 + g) \left( 1 + \frac{g}{2} + \frac{g^2}{16} \right)^{\frac{1}{2}} - (4 - g) \left( 1 - \frac{g}{2} + \frac{g^2}{16} \right)^{\frac{1}{2}} \right) \quad (23)$$

De même :

$$\frac{\partial G_p}{\partial \gamma_2} = \frac{1}{2} + \frac{g}{8} = \frac{1}{8}(4 + g) \quad (24)$$

$$\frac{\partial G_m}{\partial \gamma_2} = \frac{1}{2} - \frac{g}{8} = \frac{1}{8}(4 - g) \quad (25)$$

et,

$$\frac{\partial v_{CH}^p}{\partial \gamma_2} = -\frac{1}{2} + \frac{g}{8} = \frac{1}{8}(g - 4) \quad (26)$$

Finalement  $\frac{\partial \Delta}{\partial \gamma_2}$  s'écrit :

---

$$\frac{\partial \Delta}{\partial \gamma_2} = \frac{3}{16} \left( 8 \left( \gamma_2^{\frac{1}{2}} - 1 \right) + 2g - (4 + g) \left( 1 + \frac{g}{2} + \frac{g^2}{16} \right)^{\frac{1}{2}} - (g - 4) \left( 1 - \frac{g}{2} + \frac{g^2}{16} \right)^{\frac{1}{2}} \right) \quad (27)$$

---

# Annexe 2

## Présentation du simulateur SABER et son langage MAST

### 1 Le simulateur SABER

SABER Designer est un logiciel de simulation mixte (analogique-numérique). Le caractère "multi-ingénierie" de ses bibliothèques lui confère une reconnaissance internationale dans le milieu de la simulation "système". Ce logiciel, d'utilisation conviviale, permet de réaliser tout type de simulation (DC, AC, transitoire, paramétriques,...) et offre aussi à l'utilisateur la possibilité d'implémenter ses propres modèles. Ce simulateur peut importer des modèles SPICE des fabricants des composants électroniques. Il regroupe à la fois le "solveur" mathématique (SABER), les outils d'édition de schémas (SABERSketch) et de visualisation des résultats (SABERScope). Le langage spécifique utilisé pour ce simulateur est le langage MAST. Ce langage proche du langage C permet d'implémenter tout système d'équations de types équations différentielles et algébrique ou DAE ( Differential and Algebraic Equation) que le logiciel résoudra de façon implicite.

### 2 Le langage MAST

Le langage MAST est un langage propriétaire développé en 1984 et a été proposé à l'origine par la société *Analogy* et appartenant actuellement à la société *SYNOPSIS* [Guihal'07] en complément de leur simulateur SABER. Ce langage est la première tentative réussie de définition d'un langage de description comportementale réellement orienté systèmes multi-technologiques pour la simulation analogique et de signaux mixtes [MAST'05]. Il offre la possibilité de modéliser des systèmes électriques et non électriques (thermiques, électromécaniques, hydrauliques et des systèmes optiques). Ce langage est

encore très utilisé dans l'industrie notamment pas des nombreuses entreprises automobiles et aéronautiques.

Tous les modèles de la bibliothèque SABER standard sont codés en langage MAST. A fin d'aider à la convergence, SABER fournit une option qui permet à l'utilisateur d'arrêter et de relancer la simulation pour regarder les résultats intermédiaires et/ou changer certaines paramètres des composants sans quitter l'environnement de simulation [Vlach'90].

## 2.1 Structure du programme

Tout modèle doit respecter une syntaxe particulière. Celle-ci se réduit à la forme suivante :

```

Element template nom_du_template broches_du_template=paramètres globaux
Déclaration du type des connexions
Déclaration des paramètres globaux
Déclaration des messages
{
  Déclaration locales
  parameters {
    calculs préliminaires et tests des valeurs des paramètres
  }
  netlist de composants
  values {
    calculs à effectuer durant la simulation
  }
  control_section{
    instructions pour les algorithmes du simulateur
  }
  equations {
    equations nécessitant une résolution implicite
  }
  when (condition){
    affection des valeurs à des variables dépendantes d'un événement
  }
}

```

**Tableau 1** : Architecture d'un programme implémenté en MAST

Les **noms des connexions**, des variables ainsi des divers éléments y sont séparés par un simple espace. Le programme doit impérativement être sauvegardé sous l'application :

*nom\_du\_template.sin*

La déclaration des connexions consiste à affecter aux noms des connexions, séparés par une virgule, une grandeur physique. Plusieurs possibilités s'offrent à l'utilisateur :

- Electrical
- Rotational Mechanical

- Fluid
- Thermal

Dans le cas qui nous intéresse, les connexions sont de type *electrical* (composants électriques). La **déclaration des paramètres globaux** se situe avant le corps du programme. Ils peuvent être définis sous formes différentes :

Type de paramètre	
<i>Number</i>	La variable est nombre entier ou réel
<i>String</i>	La variable est une chaîne de caractères
<i>Struc</i>	La variable est une liste de valeurs
<i>Union</i>	La variable est une liste de valeurs ou de struc
<b>Tableau 2</b> : Déclaration des paramètres globaux	

La **déclaration des paramètres constants** ou locaux s'effectue dans le corps du programme. Il est évident que ces paramètres resteront figés et non accessibles par l'utilisateur.

Les **variables locales** sont les variables calculées par le programme dans la section values. Ces paramètres sont recalculés à chaque pas de calcul. Leur unité apparaît lors de leur déclaration qui s'effectue comme suit :

```
Val  unité  variable_locale1,
      variable_locale2,
      ...
      variable_localen
```

Les variables globales sont celles calculées dans la section équation. Elles sont déclarées comme suit :

```
Var  unité  variable_globale1,
      variable_globale2,
      ...
      variable_globalen
```

Ce sont les seules variables du programme sur lesquelles il est possible d'imposer des contrôles ou des méthodes de calcul au moyen de la section **control\_section**.

La section **parameters** contient tous les calculs de constantes déclarées comme telles, déduites des données précédemment déclarées. Ces calculs sont réalisés une seule fois en début de simulation et reste figés tout au long de celle-ci. Des boucles conditionnelles et la quasi-totalité des expressions mathématiques peuvent y être exprimés. Les boucles conditionnelles sont exprimées comme suit :

```
if      (condition) {  
        expression1  
        expression2  
      }  
else if (condition2) {  
        expression3  
      }  
else    {  
        expression4  
      }
```

La section *values* intègre l'ensemble des équations qui seront calculés à chaque pas de calcul à partir des données calculées au pas précédent. Les boucles conditionnelles et la plupart des expressions mathématiques sont autorisées.

La section *control\_section* permet de fixer les différents contrôles sur les variables de la section équation que nous allons aborder par la suite.

La section équation set d'une part à l'affectation des grandeurs physiques aux broches correspondantes, d'autre part à l'emploi des expressions mathématiques particulières (dérivations par rapport au temps *d\_by\_dt*) et finales à la résolution d'équations implicites. Afin d'éviter des temps de simulation trop longs, cette section doit rester la plus succincte possible.

# Annexe 3

## 1 Modèle du VJFET SiCED en langage MAST

### Modèle du canal asymétrique du VJFET SiCED

```

# asyetric channel jfet Model
# Ampere Lab
# version 2.2

template ach_jfet d g1 g2 s = a, L, Nd, Z, Temp
  electrical d,g1,g2,s
  number a          # half of the channel width (m)
  number L          # height of the channel (m)
  number Nd         # doping concentration (m^-3 )
  number Z          # width of the channel (m)
  number Temp=300  # absolute temperature (K)
{
  branch ich=i(d->s) # Branch current
  branch vch=v(d,s)  # Branch voltage
  branch ig1=i(g1->s)
  branch ig2=i(g2->s)
  branch Ug1s=v(g1,s)
  branch Ug2s=v(g2,s)

  # model constant calculation (using ISO physical unit system)

  number q=1.602e-19;          # elementary charge (C)
  number eps=8.85e-11;        # SiC dielectric constant (F/m)
  number Nd0= 1.94e23;        # mobility reference temperature (m^-3)
  number mu_n0 = 0.0947;      # low dopping mobility (m^2/V/s)
  number mu_n=mu_n0/(1+(Nd/Nd0)**0.61)*(temp/300.0)**(-2.15);# electron mobility
  (m^2/V/s)

  number Vp =(q*Nd*a*a)/(2*eps);          # pinchoff voltage
  number Ug = 3.26 - 3.3e-4*Temp;        # Ug=q*Eg, band gap (V)
  number kB = 1.38066e-23;              # Boltzmann's constant (J/K)
  number uT = kB*Temp/q;                # thermal potential (V)

#building potential Vbi = Ug - uT*ln(NDD/ND) -uT*ln(NAA/NA)
  number Vbi = Ug - uT*(ln(1e25/Nd)+ln(1e25/1e23));
# channel resistance
  number Rch = L/(2.0*q*Nd*mu_n*a*Z);
  number i0 = Vp/Rch;
  number gamma0=Vbi/Vp;
val n gamma1, gamma2, nu, delta, g, nu_p, delta1, delta2,omega, b1, b2
val v VBI_, uB1, uB2
val v VP_
val r RCH_
val i ich_sat
val n mun_, MODE_, NPOW_, gp, gm

values {
  VBI_=vbi
  VP_=Vp
  RCH_=Rch
  mun_=mu_n

```

```

# Normalized value of the gate1-source voltage
gamma1=(Vbi-Ug1s)/Vp;
# Normalized value of the gate1-source voltage
gamma2=(Vbi-Ug2s)/Vp;
# Relative gate-source barrier height
g=gamma2-gamma1;
# Relative channel voltage
nu = vch/Vp;
# Relative channel voltage in pinch-off mode
nu_p=1-0.5*(gamma1+gamma2)+(g*g)/16;

if(g>gamma0){
    g=0.99*gamma0
}
if(g< -4){
    g=-3.99
}

# Tracker for negative power
NPOW_ = 0

gp = 1.0+g*g/16.0+0.5*g
if (gp<0) {
    NPOW_ = 1
}

gm= 1.0+g*g/16.0-0.5*g

if (gm<0) {
    NPOW_ = 2+ NPOW_
}
if (gamma1<0) {
    NPOW_ = 4+ NPOW_
}
if (gamma2<0) {
    NPOW_ = 8+ NPOW_
}
if (gamma0-g<0) {
    NPOW_ = 16+ NPOW_
}
if (nu+gamma1<0) {
    NPOW_ = 32+ NPOW_
}
if (nu+gamma2<0) {
    NPOW_ = 64+ NPOW_
}

uB1 = VP*(nu+gamma1)
uB2 = VP*(nu+gamma2)

# Saturation function
delta = 3*nu_p-abs(gp)**1.5-abs(gm)**1.5+abs(gamma1)**1.5+abs(gamma2)**1.5;

# Derivative of the saturation function with respect to gamma1
delta1= 0.1875*(8*(abs(gamma1)**0.5-1) -2*g + (4+g)*abs(gp)**0.5-(4-
g)*abs(gm)**0.5);
delta2= 0.1875*(8*(abs(gamma2)**0.5-1) +2*g - (4+g)*abs(gp)**0.5 +(4-
g)*abs(gm)**0.5);
omega = gamma1*delta1+gamma2*delta2;

# relative barrier height - side 1

b1=(nu+gamma1)
    # relative barrier height - side 2
b2=(nu+gamma2)
ich_sat=i0/3.0*delta

```

```

if (omega<0) {
    # jfet-ON
    if (nu<nu_p) {
        # Linear Region
        ich=i0/3.0*(3.0*nu-abs(b1)**1.5-abs(b2)**1.5+abs(gamma1)**1.5+abs(gamma2)**1.5)
        MODE_=1
    }
    else {
        # Saturation Region
        ich=i0/3.0*delta
        MODE_=2
    }
}
else {
    # jfet-OFF
    ich=0
    MODE_=0
}
}
ig1=0
ig2=0
}

```

**Tableau 3 :** Les différentes équations décrivant le fonctionnement du modèle du canal asymétrique du VJFET décrites en langage MAST

### Modèle complet de la structure du VJFET SiCED ( Figure 3 du chapitre 3)

```

# Vertical jfet Model (SiCED structure)
# Laboratoire Ampere
# version 2.2

template jfet3 drain gate source = a, Nd, L, Ndd, h, b, Z, repi, rs, rss, rg,
Temp, ic_ds, ic_gs

electrical drain ,gate, source          # pins

number a          # half of the channel width (m)
number L          # height of the channel (m)
number Nd         # doping concentration (m^-3 )
number b          # the channel width (m)
number h          # height of the channel (m)
number Ndd       # epilayer doping concentration (m^-3 )
number Z         # width of the channel (m)
number repi      # epitaxial Layer resistance (Ohm)
number rs        # source acces resistance (Ohm)
number rss=0.020 # P+ source acces resistance (Ohm)
number rg=2.0    # gate acces resistance (Ohm)
number Temp=300  # absolute temperature (K)
number ic_ds=undef # initial voltage condition between drain-source
number ic_gs=undef # initial voltage condition between gate-source
# template start
{
# drain source branch
branch vDS=v(drain,source)
# gate source branch
branch vGS=v(gate,source)
# Equivalent area computation
# source acces
number Lss = 5e-6
    # drain source area
number xi=1

```

```

number Ads= (b+L+Lss)*Z
number Ags = L*Z
number Agd = b*Z*xi
number rho=0.7
# lateral channel
ach_jfet.lateral m g p s = a, L, Nd, Z, Temp
# vertical channel
ach_jfet.vertical d p p m = rho*b, rho*h, Nd, Z, Temp
#r.rchver m d = 6m
# Drift resistance region
r.repi          drain d =repi
r.rs            s source = rs
r.rss          p source = rss
r.rg           g gate = rg
r.lat_conv     s m = 100k
r.vet_conv     m d = 600k
pn_j.jds p d = Ads, Ndd,Temp
pn_j.jsg g s = Ags, Nd, Temp, ic_gs
pn_j.jgm g m = Agd, Nd, Temp
cj_pn.jmd m d = Agd, Ndd, Temp
c.C_ox g s=ln

}#End template

```

**Tableau 4 :** Equations du modèle de la structure complet du VJFET SiCED décrites en langage MAST

#### Modèle idéal de la capacité de jonction

```

# ideal junction capacitance model
# Laboratoire AMPERE
# version 2.2
# the model operate only if the element is parallel connected to an

template cj_pn anode, cathode = A, Nd, Temp, ic
  electrical anode,cathode

  number A          # area (m^2)
  number Nd         # doping concentration (m^-3 )
  number Temp=300  # absolute temperature (K)
  number ic=undef  # initial voltage value
{
  branch i=i(anode->cathode) # Branch current
  branch v=v(anode,cathode) # Branch voltage

# model constant calculation (using ISO physical unit system)
number q=1.602e-19; # elementary charge (C)
number eps=8.85e-11; # SiC dielectric constant (F/m)
number Ug = 3.26 - 3.3e-4*Temp; # Ug=q*Eg, band gap (V)
number kB = 1.38066e-23; # Boltzmann's constant (J/K)
number uT = kB*Temp/q; # thermal potential (V)

# Vbi = Ug - uT*ln(NDD/Nd) -uT*ln(NAA/NA)
number Vbi = Ug - uT*(ln(1e25/Nd)+ln(1e25/1e22));
number w0 =sqrt(2.0*eps*Vbi/q/Nd); # equilibrium SCR width (m)
number Cj0 = A*eps/w0; # zero voltage capacitance
number Qd0 = q*Nd*A*w0 # equilibrium charge

```

```

# value declarations
val c CJO_
val v VBI_, alpha
val q Qd, QD0_
val a Area_
values {
  Area_ = A
  if (v<Vbi) {
    alpha = sqrt(1-v/Vbi);
  }
  else {
    alpha=0
  }
  Qd = Qd0*alpha;
  VBI_ =Vbi;
  CJO_ =Cj0;
  QD0_ =Qd0;
}

control_section {
initial_condition(v,ic);
}
i = - d_by_dt(Qd)
}

```

**Tableau 5 :** Equations du modèle idéal de la capacité de jonction du JFET décrites en MAST

### Modèle idéale de la jonction PN

```

# Ideal PN junction model
# version 2.2
# Herve Morel Laboratoire AMPERE
# This is an RS element

template RS_pn anode, cathode = A, Nd, Temp

electrical anode, cathode
  number A          # area (m^2)
  number Nd         # doping concentration (m^-3 )
  number Temp=300  # absolute temperature (K)

{
  branch i=i(anode->cathode) # Branch current
  branch v=v(anode,cathode)  # Branch voltage
# model constant calculation (using ISO physical unit system)
number q=1.602e-19; # elementary charge (C)
number kB = 1.38066e-23; # Boltzmann's constant (J/K)
number uT = kB*Temp/q; # thermal potential (V)

number eps=8.85e-11; # SiC dielectric constant (F/m)
number Ug = 3.26 - 3.3e-4*Temp # Ug=q*Eg, band gap (V)
#Vbi = Ug - uT*ln(NDD/Nd) -uT*ln(NAA/NA)
number Vbi = Ug - uT*(ln(1e25/Nd)+ln(1e19/1e17))
number mu_p_300 = 0.0070 # low doping hole mobility (m^2/V/s)
number mu_p = mu_p_300/(Temp/300)**1.94
#number mu_p = mu_p_300/1**1.94 # hole mobility (m^2/V/s)
number tau_p = 1e-7 # minority carrier lifetime (s)
number Dp = uT*mu_p; # diffusion hole constant
number LDp = sqrt(Dp*tau_p) # hole diffusion length(m)
#number iS = q*Dp*A*ni*ni/LDp/Nd # saturation current (A)
number NA = 1e23
number NAA= 1e25
number NDD= 1e25
number Ncv300=2.48e25
#number idp = iS*limexp(Vbi/uT) # hole diffusion current (A)
number idp = q*Dp*A*NA*Ncv300*Ncv300/(LDp*NAA*NDD)*(Temp/300)**3

```

```

# saturation current (A)
number iS = idp*limexp(-Vbi/uT)
# 4H SiC intrinsic concentration (m-3)
number ni = Ncv300*(Temp/300)**1.5*exp(-Ug/2/uT)

number w0 = sqrt (2*eps*Vbi/(q*Nd))
#
# generation time constant (s)
number tau0 = 10e-9
number iG0 = q*ni*w0*A/tau0

val v VBI_
val i ig, IG0_, IDP_
val n MUP_, MODE_

val v uB
val n nu

values {
  VBI_=Vbi;
  IDP_ = idp
  IG0_ = iG0
  MUP_ = mu_p
  uB = Vbi-v;
  nu = v/uT

  if (nu < -10) {
    ig = iG0*(uB-Vbi)/Vbi;
    i = iS*(limexp(v/uT)-1) -ig
    MODE_=-1 # high reverse voltage
  }
  else if (nu > 10) {
    i = idp*limexp(-uB/uT) - iS
    MODE_=1 # high reverse voltage
  }
  else {
    ig = 0
    if (nu>0) {
      ig = iG0*(uB-Vbi)/Vbi;
    }
    i = iS*(exp(v/uT) -1)-ig
    MODE_=0
  }
}
}

```

**Tableau 6 :** Equations du modèle idéale de la jonction PN décrites en langage MAST

## 2 Paramètres technologiques du VJFET SiCED

Le tableau 7 représente les valeurs des paramètres technologiques de la structure verticale données par SiCED.

Parameters Name	Definition	Values
2a	Width of the lateral channel	1,3 $\mu\text{m}$
L	Lenght of the lateral channel	3 $\mu\text{m}$
N <sub>D</sub>	Doping level in the lateral channel	2x10 <sup>16</sup> cm <sup>-3</sup>
h	Half width of the vertical channel	0,7 $\mu\text{m}$
b	Lenght of the vertical channel	1,5 $\mu\text{m}$
W	Thickness of the epilayer	15 $\mu\text{m}$
N <sub>DD</sub>	Doping level in the epilayer	5,7E15cm <sup>-3</sup>
L <sub>C</sub>	Half width of the cell	20 $\mu\text{m}$
L <sub>S</sub>	Not yet use. Perhaps to be taken into account to represent the source access resistance	7, 5 $\mu\text{m}$
Z	Equivalent JFET depth	
A	Effective area	2,4x2,4mm <sup>2</sup> (JFET lot C) 4,1x4,1mm <sup>2</sup> (JFET lot A)

**Tableau 7 :** Paramètres technologiques du VJFET donnée par SiCED

## FOLIO ADMINISTRATIF

### THESE SOUTENUE DEVANT L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON

NOM : HAMIEH

DATE de SOUTENANCE : 11 Mai 2011

Prénoms : Youness

TITRE : Caractérisation et modélisation du transistor JFET en SiC à haut température

NATURE : Doctorat

Numéro d'ordre : 011-ISAL-0038

Ecole doctorale : Electronique, Electrotechnique, Automatique

Spécialité : Génie électrique

Cote B.I.U. - Lyon : T 50/210/19 /

et

bis

CLASSE :

RESUME :

Dans le domaine de l'électronique de puissance, les dispositifs en carbure de silicium (SiC) sont bien adaptés pour fonctionner dans des environnements à haute température, haute puissance, haute tension et haute radiation. Le carbure de silicium (SiC) est un matériau semi-conducteur à large bande d'énergie interdite. Ce matériau possède des caractéristiques en température et une tenue aux champs électriques bien supérieure à celles de silicium. Ces caractéristiques permettent des améliorations significatives dans une grande variété d'applications et de systèmes. Parmi les interrupteurs existants, le JFET en SiC est l'interrupteur le plus avancé dans son développement technologique, et il est au stade de la pré-commercialisation. Le travail réalisé au cours de cette thèse consiste à caractériser électriquement des JFET- SiC de SiCED en fonction de la température (25°C-300°C). Des mesures ont été réalisées en statique (courant-tension), en dynamique (capacité-tension) et en commutation sur charge R-L (résistive-inductives) et dans un bras d'onduleur. Un modèle multi-physique du transistor VJFET de SiCED à un canal latéral a été présenté. Le modèle a été développé en langage MAST et validé aussi bien en mode de fonctionnement statique que dynamique en utilisant le simulateur SABER. Ce modèle inclut une représentation asymétrique du canal latéral et les capacités de jonction de la structure. La validation du modèle montre une bonne concordance entre les mesures et la simulation.

MOTS-CLES : carbure de silicium (SiC), JFET, composant de puissance, haute température, caractérisations électriques, modélisation analytique.

Laboratoire (s) de recherche : Laboratoire AMPERE

Directeur de thèse: Hervé MOREL

Président de jury :

Composition du jury :

F.MORANCHO

Rapporteur

Professeur

S.RAEL

Rapporteur

Professeur

S.LEFEBVRE

Professeur

O.BERRY

Ingénieur

F.M.TABAR

Professeur

H.MOREL

Directeur

Directeur de recherche

D.BERGOGNE

Codirecteur

Maîtres de conférences

