



**HAL**  
open science

# Etude et développement d'un oscillateur à quartz intégré

Pierre Tinguy

► **To cite this version:**

Pierre Tinguy. Etude et développement d'un oscillateur à quartz intégré. Electronique. Université de Franche-Comté, 2011. Français. NNT : 2011BESA2017 . tel-00675277

**HAL Id: tel-00675277**

**<https://theses.hal.science/tel-00675277>**

Submitted on 5 Mar 2012

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE

présentée à

L'UFR DES SCIENCES ET TECHNIQUES  
DE L'UNIVERSITE DE FRANCHE-COMTE

pour obtenir le

**GRADE DE DOCTEUR  
DE L'UNIVERSITE DE FRANCHE-COMTE  
Spécialité Sciences pour l'Ingénieur**

**Etude et développement d'un oscillateur à quartz intégré**

par

**Pierre TINGUY**

**Soutenue le 20 Décembre 2011 devant la commission d'examen :**

<b>Président du jury</b>	R. BRENDEL	Professeur émérite, ENSMM de Besançon, FEMTO-ST
<b>Directeur de thèse</b>	B. DULMET	Professeur des Universités, ENSMM de Besançon, FEMTO-ST
<b>Rapporteurs</b>	P. MAUREL M. PRIGENT	Chef de projet, Thales Underwater Systems, Sophia-Antipolis Professeur des Universités, Université de Limoges, XLIM
<b>Examineurs</b>	L. COUTELEAU S. GALLIOU	R&D Manager, RAKON, Troyes Professeur des Universités, ENSMM de Besançon, FEMTO-ST



*A ma famille*

*A mes amis*





## Remerciements

Le travail présenté dans ce manuscrit a été effectué au sein des départements Temps-Fréquence et MN2S<sup>i</sup> de l'Institut FEMTO-ST<sup>ii</sup> (UMR-CNRS 6174) à Besançon. Il s'inscrit dans le cadre du projet européen "*Euroscil*" (Programme EUREKA) mené en collaboration avec l'industriel TEMEX.

Je souhaiterais tout d'abord remercier Monsieur Bernard DULMET, Professeur des Universités et directeur du département Temps-Fréquence, pour avoir encadré et veillé au bon déroulement de cette thèse malgré son emploi du temps très chargé. Je tiens aussi à exprimer toute ma gratitude à Monsieur Roger BOURQUIN, son prédécesseur à la direction du département Temps-Fréquence, ainsi qu'à Monsieur Vincent LAUDE et Monsieur Frédéric CHERIOUX, directeurs successifs du département MN2S, pour m'avoir accueilli au sein de leurs locaux et mis à ma disposition le matériel nécessaire au bon déroulement de ces travaux.

Je voudrai ensuite remercier les différents membres du jury qui ont pris soin de juger avec pertinence et avec suffisamment de recul les travaux présentés dans ce manuscrit.

- Monsieur Rémi BRENDEL, Professeur émérite à l'ENSMM, pour avoir accepté la présidence de ce jury de thèse. Ses nombreux conseils et ses encouragements ont fortement contribué à l'évolution et à l'aboutissement de ces travaux.
- Monsieur Philippe MAUREL, chef de projet à Thales Underwater Systems, pour avoir accepté de rapporter ces travaux.
- Monsieur Michel PRIGENT, Professeur à l'université de Limoges, pour avoir accepté de juger cette thèse en tant que rapporteur.
- Monsieur Laurent COUTELEAU, chef de projet à RAKON et membre du projet "*Euroscil*", pour avoir accepté de faire parti de ce jury en qualité d'examineur.
- Monsieur Serge GALLIOU, Professeur à l'ENSMM, pour avoir accepté d'évaluer les travaux présentés dans ce manuscrit mais aussi pour sa contribution scientifique sur les aspects thermiques investigués au cours de ce travail.

Le travail présenté dans ce manuscrit regroupant des compétences dans différents domaines, il est donc important de souligner la participation de nombreux intervenants qui ont contribué de près ou de loin à son bon déroulement. Dans un premier temps, je tiens à exprimer mes remerciements les plus sincères à mon collègue de travail, Monsieur Franck LARDET-VIEUDRIN (Ingénieur d'étude CNRS), qui m'a guidé dans cette aventure tout au long de ces années. Sa pédagogie, la patience dont il a fait preuve et ses conseils avisés ont énormément contribué à l'aboutissement de cette thèse. Je souhaite aussi exprimer toute ma gratitude à Monsieur Jean-Jacques BOY, Ingénieur de Recherche au département Temps-Fréquence et responsable "local" du projet "*Euroscil*", pour m'avoir offert l'opportunité de

---

i. Micro-Nano Sciences et Systèmes.

ii. Franche-Comté Électronique Mécanique Thermique et Optique - Sciences et Technologies.

participer pleinement à ce projet à la suite de mes travaux de Master-Recherche. Mes remerciements vont aussi à Monsieur Olivier BEL, Monsieur Johnny LEOST et Monsieur Thibault LOUVET-CARRON, acteurs du projet "*Euroscil*" chez l'industriel TEMEX, ainsi que Monsieur Philippe ABBE et Monsieur Gilles MARTIN, Assistant-Ingénieurs au département Temps-Fréquence, qui nous ont apporté l'aide nécessaire à la progression de ce travail et ce, malgré leurs occupations respectives.

Des travaux salle blanche ont été menés en complément des études initiales dans le but de réaliser un démonstrateur XO miniature mettant en application les ASIC développés. Je tiens à remercier dans un premier temps Monsieur Michel De LABACHELERIE, directeur de FEMTO-ST, pour avoir accepté de financer une partie de ces travaux, ainsi que Monsieur Jean-Claude JEANNOT pour m'avoir permis d'utiliser les ressources matérielles disponibles au sein de la centrale de technologie MIMENTO. Par ces quelques lignes, je souhaite exprimer toute ma gratitude aux différents intervenants en salle blanche qui ont contribué à l'aboutissement de ce travail de par leur aide et leur soutien. Je remercie donc Monsieur Denis BITSCHENE pour la réalisation des masques, Madame Valérie PETRINI (miss Flip Chip) à l'assemblage des ASIC, Monsieur Jean-Yves RAUCH pour les dépôts métalliques entre deux chansonnettes (je comprend maintenant le temps capricieux de Franche-Comté !), ainsi que Monsieur Laurent ROBERT lors de nos tests en électroformage. Ces assemblages n'auraient toutefois pu être possibles sans la participation de Madame Blandine GUICHARDAZ pour ses découpes soignées parfois (même souvent !) dans l'urgence. Je remercie aussi Mademoiselle Sarah BENCHABANE et Monsieur Mahmoud ADDOUCHE pour leurs précieux conseils. De plus, nous avons eu l'occasion de bénéficier de l'expérience et des ressources salle blanche de l'Ecole Supérieure des Sciences et Techniques de Karlsruhe (Allemagne) pour une formation spécifique sur le report de circuits intégrés par flip chip. A ce titre, je souhaite remercier le Professeur Fritz NEFF et son collègue, Monsieur Bernhard BECK (Ingénieur), pour nous avoir accueilli, conseillé et consacré le temps nécessaire à cette formation.

Mes remerciements vont aussi à Monsieur Sylvain BALLANDRAS et à son équipe qui, à juste titre, nous ont dépanné plus d'une fois, mais surtout pour m'avoir accueilli au sein de son équipe afin de permettre la finalisation de mes travaux en salle blanche.

Je voudrai enfin remercier Madame Fabienne CORNU et Madame Sarah DJAOUTI, secrétaires de direction au département Temps-Fréquence, ainsi que Madame Carolle LERMET (DR6-CNRS) et Monsieur Marc MOUREY (Ingénieur de recherche à l'ENSM) pour m'avoir fourni le support nécessaire au bon déroulement des démarches administratives effectuées au cours de ces travaux.

Pour finir, je tiens tout particulièrement à remercier les membres des différents départements que j'ai eu l'honneur de côtoyer ces dernières années que ce soit pour le travail ou pour tous ces bons moments passés ensemble. Au final, ces longues années d'études n'auraient pu être possibles sans le soutien inconditionnel de ma famille à qui je dédie cette thèse.

# Table des matières

<b>Introduction générale</b>	<b>1</b>
<b>Chapitre 1 Les oscillateurs à quartz et l'intégration</b>	<b>5</b>
1.1 Historique	6
1.2 Les oscillateurs à quartz : généralités	8
1.2.1 Le résonateur	9
1.2.1.1 Principe	9
1.2.1.2 Equivalent électrique	10
1.2.1.3 Facteurs de mérite	11
1.2.1.4 Phénomènes non-linéaires	13
1.2.2 L'électronique d'entretien	14
1.2.3 Familles d'oscillateurs à quartz	16
1.3 Vers une miniaturisation	16
1.3.1 Influence des encapsulations	16
1.3.1.1 L'encapsulation du résonateur	16
1.3.1.2 Le boîtier des électroniques	17
1.3.1.3 Hybridation des structures et effets de la réduction de taille	18
1.3.2 Les ASIC (Application Specific Integrated Circuits)	22
1.3.2.1 Démarche de conception d'un ASIC	23
1.3.2.2 La technologie 0,35 $\mu\text{m}$ SiGe BiCMOS de chez Austriamicrosystems®	24
1.3.2.3 Le procédé <i>n-well</i> : contraintes	25
1.4 Outils de conception et de simulation	26
1.4.1 Problématique de la simulation des circuits autonomes	26
1.4.1.1 Influence du transitoire sur la simulation des oscillateurs	27
1.4.1.2 Une alternative : l'analyse PSS ( <i>Periodic Steady-State</i> )	28
1.4.1.3 Simulation des oscillateurs par la méthode dipolaire	28
1.4.2 Analyse de la stabilité des systèmes linéaires et non-linéaires	29
1.4.3 Le bruit de phase d'un oscillateur	30

1.4.4	Contraintes et influences du layout . . . . .	33
1.4.4.1	Influence des procédés de fabrication . . . . .	33
1.4.4.2	Le layout . . . . .	37
1.4.4.3	Les vérifications sous ASSURA™ . . . . .	39
1.4.4.4	L'extraction des effets parasites et post-simulations . . . . .	40
<b>Chapitre 2 Conception et réalisation d'un oscillateur à quartz intégré</b>		<b>43</b>
2.1	Rappels . . . . .	44
2.1.1	Les oscillateurs non compensés en température : XO . . . . .	44
2.1.2	Les oscillateurs contrôlés en tension : VCXO . . . . .	44
2.2	Stratégie d'intégration . . . . .	45
2.2.1	Problématique d'intégration d'une référence de tension . . . . .	46
2.2.1.1	La référence de tension . . . . .	46
2.2.1.2	La régulation de tension . . . . .	47
2.2.1.3	Génération et distribution de tension . . . . .	48
2.2.2	Problématique de la cellule oscillateur . . . . .	48
2.2.3	Problématique de l'intégration des capacités . . . . .	50
2.2.3.1	Les capacités intégrées en S35 . . . . .	50
2.2.3.2	Le tirage électronique de la fréquence : la diode varicap . . . . .	52
2.2.4	Problématique de l'étage d'isolation et de mise en forme du signal . . . . .	53
2.2.5	Problématique des interconnexions vers l'extérieur . . . . .	54
2.3	Démarche de conception de l'oscillateur intégré . . . . .	55
2.3.1	Contraintes de développement et de validation des fonctions intégrées . . . . .	56
2.3.1.1	Contraintes mécaniques . . . . .	56
2.3.1.2	Contraintes électriques . . . . .	57
2.3.1.3	Performances . . . . .	57
2.3.2	Les cellules RF . . . . .	58
2.3.2.1	La cellule oscillateur . . . . .	58
2.3.2.2	Les étages d'isolation, mise en forme et buffer . . . . .	66
2.3.2.3	Bruit de phase des cellules RF . . . . .	68
2.3.3	Les cellules de polarisation . . . . .	70
2.3.3.1	La référence de tension . . . . .	70
2.3.3.2	Les amplificateurs . . . . .	72
2.3.3.3	Analyses de stabilité et de bruit . . . . .	73
2.3.4	Contribution du bruit BF sur le bruit de phase . . . . .	77
2.3.4.1	Influence du bruit propre des polarisations . . . . .	78
2.3.4.2	Amélioration du bruit de phase . . . . .	79

---

2.3.5	Description des ASIC . . . . .	81
2.3.5.1	L'oscillateur intégré <i>PuceXOv1</i> . . . . .	81
2.3.5.2	Evolution du design ASIC : la puce <i>Eliosc_v1</i> . . . . .	81
2.4	Validations expérimentales . . . . .	82
2.4.1	Caractérisation des étages BF . . . . .	83
2.4.1.1	Comportement thermique des polarisations . . . . .	84
2.4.1.2	Bruit propre des polarisations . . . . .	87
2.4.2	Caractérisation des étages RF . . . . .	88
2.4.2.1	Impédance négative de l'oscillateur . . . . .	89
2.4.2.2	Mesures temporelles . . . . .	90
2.4.2.3	Mesure du bruit de phase . . . . .	93
2.4.2.4	Stabilité court-terme . . . . .	94
2.4.2.5	Consommation . . . . .	94
<b>Chapitre 3 Extension vers un oscillateur intégré pour des applications OCXO</b>		<b>97</b>
3.1	Les oscillateurs thermostatés . . . . .	98
3.1.1	Influence de la température sur la fréquence : notion de point d'inversion . . . . .	99
3.1.2	Phénomènes thermiques au sein du résonateur . . . . .	100
3.1.3	Modélisation des phénomènes thermiques par analogie électrique . . . . .	100
3.2	Miniaturisation des OCXO . . . . .	102
3.2.1	Chauffage indirect du résonateur . . . . .	102
3.2.2	Chauffage direct du résonateur . . . . .	102
3.2.3	Chauffage par l'intermédiaire de la puce . . . . .	103
3.2.4	Bilan des performances . . . . .	104
3.3	Démarche de conception d'un OCXO intégré . . . . .	105
3.3.1	Contraintes mécaniques . . . . .	105
3.3.2	Influence de la puce sur la régulation : effet d'auto-échauffement . . . . .	105
3.3.3	Analyse fonctionnelle de la régulation en température . . . . .	107
3.3.3.1	Le capteur de température . . . . .	107
3.3.3.2	La consigne en température . . . . .	109
3.3.3.3	Estimation de l'erreur consigne/capteur . . . . .	110
3.3.3.4	La correction . . . . .	110
3.3.3.5	L'étage de puissance . . . . .	111
3.3.4	Cahier des charges . . . . .	112
3.4	Etude et conception de la régulation en température . . . . .	112
3.4.1	Stratégie d'intégration . . . . .	113
3.4.2	Modélisations thermo-électriques pour les simulations sous SPECTRE® . . . . .	113

3.4.2.1	Le Verilog-AMS® . . . . .	114
3.4.2.2	Modélisation d'une thermistance CTN . . . . .	115
3.4.2.3	Effets thermiques induits par le transistor de puissance . . . . .	118
3.4.2.4	La thermique dans le résonateur . . . . .	122
3.4.3	Conception de la régulation . . . . .	123
3.4.3.1	Pont de Wheatstone . . . . .	124
3.4.3.2	Etage de sortie . . . . .	124
3.4.3.3	Mesure et limitation du courant . . . . .	125
3.4.3.4	Inhibition . . . . .	128
3.4.3.5	Layout de la régulation . . . . .	128
3.5	Quelques résultats de simulation . . . . .	129
<b>Chapitre 4 Conception et réalisation d'un démonstrateur miniature pour applications XO</b>		<b>133</b>
4.1	Choix technologiques . . . . .	134
4.1.1	Nature du substrat . . . . .	134
4.1.2	Assemblage de circuits intégrés en microélectronique . . . . .	135
4.1.2.1	Wire bonding vs Flip chip . . . . .	135
4.1.2.2	Le flip chip et ses contraintes . . . . .	136
4.1.3	Composants externes . . . . .	138
4.1.4	Fréquence de travail : critères de sélection . . . . .	139
4.2	Structuration du substrat . . . . .	140
4.2.1	Liaison puce/substrat : choix des matériaux . . . . .	140
4.2.2	Design du substrat XO . . . . .	142
4.2.3	Dépôt métallique . . . . .	143
4.3	Réalisation et assemblage . . . . .	145
4.3.1	Préparation du substrat d'accueil . . . . .	146
4.3.1.1	Electroformage . . . . .	147
4.3.1.2	Gravure sèche . . . . .	148
4.3.2	Assemblage des composants . . . . .	148
4.3.2.1	Dépôt des ball bumps . . . . .	148
4.3.2.2	Flip chip . . . . .	151
4.3.2.3	Assemblage des composants discrets . . . . .	153
4.3.3	Mise en place du résonateur à quartz . . . . .	154
4.4	Caractérisations expérimentales . . . . .	154
4.4.1	Effet des capacités externalisées . . . . .	155
4.4.2	Test complémentaire : assemblage en wire bonding . . . . .	156
4.4.3	Effets parasites propres au substrat . . . . .	157

---

<b>Conclusion générale et perspectives</b>	<b>159</b>
1 Conception et réalisation des ASIC . . . . .	159
2 Intégration d'une régulation en température . . . . .	160
3 Le démonstrateur miniature . . . . .	161
<b>Bibliographie</b>	<b>163</b>
<b>Annexe A Réponse en température de la thermistance NTC 312-S2</b>	<b>175</b>
<b>Annexe B Modèle Verilog-AMS d'une thermistance CTN</b>	<b>177</b>
<b>Annexe C Modèle Verilog-AMS pour la conversion de puissance : électrique/thermique</b>	<b>181</b>
<b>Annexe D Modèle Verilog-AMS d'un transistor bipolaire</b>	<b>183</b>
D.1 La capacité de transition : $C_j(V)$ . . . . .	184
D.2 Modèle Verilog-AMS . . . . .	185
D.3 Vérifications . . . . .	193
<b>Annexe E Modèle Verilog-AMS des effets thermiques dans le résonateur</b>	<b>195</b>





# Introduction générale

Depuis le début du XX<sup>e</sup> siècle, l'Homme a su développer des systèmes permettant d'obtenir une mesure de plus en plus précise du temps en combinant les propriétés intrinsèques d'un matériau piézo-électrique, tel que le quartz, à une structure électronique d'entretien. De nos jours, le nombre grandissant d'applications abordant la problématique de la miniaturisation s'applique aussi aux systèmes servant à la réalisation de bases de temps stables, voire ultra-stables et plus particulièrement dans des domaines tels que la métrologie, la téléphonie, la navigation... Les oscillateurs à quartz n'échappent donc pas à cette tendance et orientent les bureaux d'études à investiguer de nouvelles solutions dans le but de satisfaire un niveau de miniaturisation optimal (encombrement et masse fortement réduite...), ce qui conduit indubitablement vers l'étude et le développement d'architectures toujours moins gourmandes en énergie<sup>1</sup> sans pour autant perdre en performances par rapport aux générations précédentes. Les enjeux sont donc conséquents sachant que la conception d'un oscillateur à quartz soulève des problèmes dans différents domaines tels que l'électronique, la mécanique ainsi que la thermique et ce, du fait de la forte sensibilité du dispositif aux conditions imposées par l'environnement auquel il est soumis (chocs, vibrations, accélérations, température, rayonnements, champs électromagnétiques...). Les performances du dispositif réalisé (stabilité en fréquence, vieillissement, consommation...) vont ainsi dépendre fortement de sa conception globale.

A partir de 1958, l'électronique a connu une évolution importante suite à la réalisation du tout premier circuit monolithique<sup>2</sup>. Dès lors, les progrès réalisés dans la maîtrise des procédés de fabrication tel que la photolithographie ont permis d'augmenter sensiblement la densité d'intégration de composants électroniques sur silicium. Cette maturité donne alors naissance à des ASIC (Application Specific Integrated Circuit) de plus en plus complexes permettant de regrouper cellules numériques et/ou analogiques sur un même substrat. Afin d'assurer une continuité avec le projet transverse STIX<sup>3</sup>, nous avons développé de nouveaux circuits intégrés en technologie 0,35  $\mu\text{m}$  SiGe BiCMOS de chez Austriamicrosystems® pour

---

1. Une réduction conséquente des volumes implique alors une forte diminution de la masse thermique équivalente mise en jeu affectant de ce fait la dissipation des électroniques.

2. La notion de "circuit intégré" ne sera utilisée que plus tard.

3. "Sonde de Température Intégrée à Quartz" : projet partenarial entre l'Institut FEMTO-ST (Département Temps-Fréquence) et le Laboratoire d'Acoustoélectronique de Sofia (*Institute of Solid State Physics of the Bulgarian Academy of Sciences*) au cours duquel une sonde de température intégrée a été réalisée. Elle met en œuvre un résonateur à quartz (coupe NLC) et un circuit d'entretien (topologie Pierce) développé en technologie 0,35  $\mu\text{m}$  CMOS.

servir à la réalisation de bases de temps stables. Dans ce but, nous avons utilisé les outils de développement disponibles au sein de l'Institut FEMTO-ST tel que l'interface Virtuoso® Design Framework II (Cadence Design System Corporation®) pour simuler et implanter les circuits intégrés avant leur envoi en fonderie pour fabrication<sup>4</sup>. Ces ASIC vont ensuite être utilisés pour la réalisation de démonstrateurs de laboratoire pour des applications de type XO (Crystal Oscillator) et OCXO (Oven Controlled Crystal Oscillator).

Ce mémoire synthétise l'ensemble des travaux effectués dans le cadre du développement de cet ASIC. Le circuit réalisé devant alors intégrer la majorité des composants nécessaires à la réalisation d'une électronique d'entretien (XO) et d'une régulation en température (OCXO) sera optimisé pour une fréquence de 40 MHz fixée par un résonateur à quartz externe. Cette approche nous permettra de réaliser, au final, un démonstrateur hybride miniature. Pour expliquer le travail entrepris, nous avons réparti notre argumentation suivant quatre chapitres.

- Nous avons choisi de débiter ce manuscrit par un bref "état de l'art" afin d'introduire au lecteur les bases nécessaires à la compréhension du reste de ce document. Pour cela, nous allons revenir sur une description sommaire des oscillateurs à quartz pour ensuite investiguer les différentes contraintes liées à la miniaturisation et à l'intégration des électroniques (technologie utilisée, logiciels de développement...). Nous agrémenterons notre investigation à l'aide d'exemples concrets.

- Ensuite, nous nous intéresserons à la problématique de l'intégration d'une cellule oscillateur avec sa mise en forme bufferisée sur une surface silicium ne dépassant pas 4 mm<sup>2</sup> et utilisable sur une gamme de fréquence s'étalant sur une décade (10 MHz à 100 MHz). Nous présenterons donc la démarche suivie lors du développement en cherchant à minimiser l'intervention de composants externes et nous confronterons nos résultats expérimentaux avec les simulations effectuées sous SPECTRE®.

- Puis, nous chercherons à faire évoluer le circuit précédent de manière à pouvoir couvrir les applications de type OCXO. Pour cela, nous nous sommes focalisés sur la problématique de l'intégration d'un système de régulation en température et des diverses contraintes qui lui sont liées : études thermiques préliminaires, consommation maximale admissible, composants à intégrer... De plus, pour parfaire l'étude et le dimensionnement de ces nouvelles cellules intégrées, nous nous pencherons sur les potentialités que peut offrir la modélisation dans un langage évolué.

- Enfin, nous finaliserons notre travail en décrivant les différentes étapes allant de la conception à la réalisation en salle blanche d'un démonstrateur XO miniature encapsulé dans un boîtier de type TO-8

---

4. La fabrication des circuits s'effectuant par l'intermédiaire de CMP (Circuits Multi-Projets - Grenoble) mutualisant différents travaux relatifs à une technologie sur un même wafer. Le run forfaitaire couvrant la réception de 25 puces dont 5 peuvent bénéficier d'une encapsulation pré-définie et ce, suivant un délai d'environ trois mois.

---

(diamètre extérieur : 15,2 mm). Ce démonstrateur met en œuvre la version la plus aboutie de l'ASIC développé lors des précédents chapitres qui sera ensuite connecté à un résonateur à quartz de faibles dimensions et ce, par l'intermédiaire d'un substrat spécifique réalisé en salle blanche.



# **Chapitre 1**

## **Les oscillateurs à quartz et l'intégration**

Les oscillateurs à quartz restent les principaux dispositifs permettant de réaliser des bases de temps de très haute stabilité dans diverses applications et jouent aussi un rôle non négligeable dans le domaine des capteurs (température, pression...). Cependant, les tendances du marché imposant constamment de nouveaux challenges techniques, la miniaturisation des fonctionnalités déjà existantes dans des volumes toujours plus restreints conduisent à augmenter la densité d'intégration des électroniques dans une unique puce. Le développement de ce type de circuit, appelé ASIC (Application Specific Integrated Circuits) du fait de son appartenance à une application spécifique, nécessite un investissement important qu'il soit humain ou financier. Ainsi, après un bref état de l'art sur les oscillateurs à quartz, nous aborderons la problématique particulière de conception d'un ASIC pour notre application.

## 1.1 Historique

Le XX<sup>e</sup> siècle a connu de grandes innovations technologiques principalement dans le domaine de l'électronique en remplaçant peu à peu les lampes (triodes, pentodes...) par des composants de type semiconducteurs (figure 1.1). Dès lors, suite à l'introduction de nouveaux procédés de fabrication tel que la photolithographie, il devient alors possible d'intégrer de plus en plus d'éléments sur des surfaces réduites. Ce procédé, initialement développé pour la fabrication des semiconducteurs, est maintenant adapté à d'autres domaines tels que la mécanique (Micro-Electro-Mechanical Systems), l'optique (Micro-Opto-Electro-Mechanical Systems)...

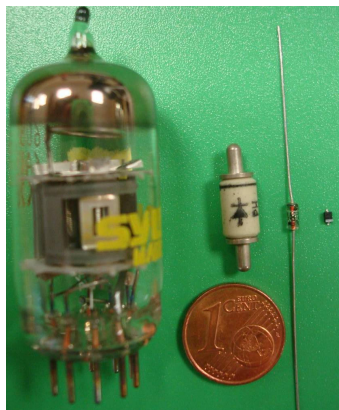


FIGURE 1.1 – De gauche à droite, le tube à vide (double triode) et différentes encapsulations de jonctions PN (diodes) : applications radar, composant traversant et composant monté en surface.

Nous avons choisi de revenir sur cette page de l'histoire en retraçant quelques-unes des dates clés liées à la problématique des oscillateurs à quartz [1,2] et à l'intégration des électroniques. Cette dernière marquant alors le point de départ de la microélectronique<sup>5</sup> actuelle [3,4].

- **A partir de 1817** Découverte et premières études de l'effet piézoélectrique par René-Just HAÜY et Antoine BECQUEREL,

---

5. Terme relatif au développement de circuits intégrés à forte densité de composants.

- **1880** L'effet piézoélectrique direct a été démontré expérimentalement par les frères Pierre et Jacques CURIE sur différents matériaux (sels de Rochelle, quartz...) et l'effet inverse a été déduit analytiquement en 1881 par Gabriel LIPPMANN,
- **1887** Heinrich HERTZ conçoit et réalise le premier oscillateur électrique (oscillateur de Hertz) [5] dont le principe sera ré-utilisé par Nikola TESLA quelques années plus tard [6],
- **1915 – 1918** Oscillateurs LC : Hartley [7] et Colpitts [8],
- **1921** Premier oscillateur à quartz par Walter G. CADY [9],
- **1923** Oscillateur à quartz par G. W. PIERCE [10],
- **1928** Première horloge à quartz par Warren MARRISON (Bell Telephone Laboratories) [11],
- **1940** Découverte de la jonction PN par Russel OHL [12],
- **1947** Réalisation du premier transistor à contact ponctuel par John BARDEEN, Walter H. BRATTAIN (Bell Telephone Laboratories) [13] pour lequel ils ont reçu le Prix Nobel en 1956 [14, 15],
- **1948** Conception du premier transistor à jonction par William B. SHOCKLEY (Bell Telephone Laboratories) en approfondissant la théorie de la jonction PN de OHL [16] et pour lequel il recevra, comme ses prédécesseurs, le Prix Nobel en 1956 [17] ; introduction d'une nouvelle topologie d'oscillateurs LC par James K. CLAPP [18],
- **1951** Fabrication du premier transistor bipolaire de type NPN [19],
- **1952** Geoffrey W. A. DUMMER prône la faisabilité quant à la réalisation de circuits sans connexions filaires entre les différents éléments, ceci marque alors les prémices de la réalisation des premiers circuits monolithiques,
- **1953** Premier oscillateur à quartz utilisant des transistors par Peter SULZER [20],
- **1954** Fabrication du premier transistor sur silicium<sup>6</sup> par Morris TANENBAUM (Bell Telephone Laboratories) [21],
- **1955** Apparition des techniques de photolithographie pour la réalisation de semi-conducteurs sur substrat silicium [22],
- **1958** Réalisation du premier circuit monolithique (oscillateur à déphasage) par Jack KILBY (figure 1.2<sup>7</sup> - Texas Instruments<sup>®</sup>) [23, 24] et parallèlement par Robert NOYCE (Fairchild Semiconductor),
- **1960** Premier transistor MOSFET (Metal-Oxyde-Semiconductor Field-Effect Transistor) par Dawon KAHNG et John ATALLA (Bell Telephone Laboratories) [25],
- **1961** Premier circuit intégré commercialisé par Fairchild Semiconductor,
- **1963** Invention du CMOS (Complementary Metal-Oxyde-Semiconductor),

---

6. Jusqu'en 1954, les transistors étaient réalisés à l'aide d'un barreau de germanium. Ce dernier étant plus facile à se procurer et à mettre en œuvre malgré une faible dynamique d'utilisation en température et des courants de fuite importants en région "off" de fonctionnement.

7. Lien : <http://www.ti.com/corp/docs/kilbyctr/downloadphotos.shtml>.



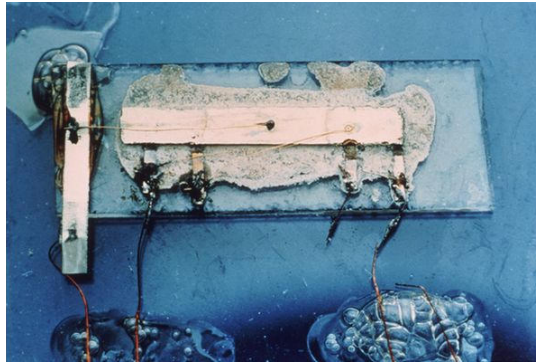


FIGURE 1.2 – Premier circuit intégré ( $1.6 \times 11.1 \text{ mm}^2$ ) réalisé par Jack KILBY en 1958 sur un substrat germanium (Courtesy of Texas Instruments®).

- **1968** Juergen H. STRAUDTE (North American Aviation) combine les technologies de fabrication des quartz et des semiconducteurs : industrialisation de résonateurs à quartz (diapasons) fabriqués par photolithographie,
- **1974** Première montre à affichage digital utilisant une électronique intégrée dans une unique puce,
- **1975** Découverte de la coupe SC (Stress Compensated) par Errol EERNISSE [26],
- **1976** Structure BVA développée au LCEP<sup>8</sup> par Raymond BESSON [27] considérée alors comme : garantissant l'état de l'art d'un point de vue stabilité court-terme ( $\sigma_y(\tau)$ ), sensibilité aux accélérations et vieillissement,
- **1987** Premier transistor bipolaire à hétérojonction combinant le silicium et le germanium (SiGe HBT) [28] que nous introduirons dans la suite de ce chapitre.

A l'heure actuelle, Les différentes étapes de fabrication d'un circuit intégré que nous détaillerons par la suite sont de mieux en mieux maîtrisées. De plus, l'intervention d'outils informatiques lors du développement et de la modélisation de systèmes multi-physiques complexes permet de prédire leur comportement avec un maximum de précision. Cette prochaine section a donc pour but d'introduire les différentes notions de base utiles à la compréhension du reste de ce manuscrit.

## 1.2 Les oscillateurs à quartz : généralités

Les oscillateurs sont des systèmes autonomes<sup>9</sup> oscillant à une fréquence<sup>10</sup> prédéfinie qui peut être entretenue mécaniquement (pendule, système masse-ressort, corde vibrante...) ou électroniquement. Le cristal de quartz, utilisé ici comme élément résonnant de par ses propriétés piézoélectriques, va permettre

---

8. Laboratoire de Chronométrie, Electronique et Piezoélectricité de Besançon (Département Temps-Fréquence de l'Institut FEMTO-ST depuis 2007).

9. Un système est considéré comme autonome s'il ne requiert aucune intervention extérieure pour fonctionner.

10. La fréquence est, par définition, la grandeur caractérisant le nombre de fois pour lequel un phénomène se reproduit identique à lui même et ce, pour une unité de temps.

une mesure du temps avec une grande précision dès lors que sa fréquence reste stable et indépendante des différentes grandeurs physiques du milieu environnant. Toutefois comme pour de nombreux matériaux, la sensibilité d'un résonateur à quartz aux grandeurs physiques (température, pression...) n'étant pas négligeables, ce dernier peut être adapté aux applications capteurs pour quantifier avec précision ces différentes grandeurs. Les premiers circuits oscillateurs utilisant un cristal de quartz comme élément sélectif de la fréquence ont été développés par Walter G. CADY en 1921.

## 1.2.1 Le résonateur

### 1.2.1.1 Principe

En 1880, les frères CURIE ont démontré que le cristal de quartz est un matériau pour lequel une pression mécanique exercée suivant une direction donnée provoque l'apparition de charges électriques en surface de ce matériau dans la direction perpendiculaire. Cette propriété particulière, tirant son étymologie du grec "piezein" (πιέζειν) signifiant *presser, appuyer*, est alors définie comme étant l'effet piézoélectrique direct. L'effet inverse se traduit, quant à lui, par une déformation mécanique suite à la présence d'un champ électrique au sein du matériau (LIPPMANN, 1881). C'est finalement cette aptitude qui permet d'exciter et d'entretenir électriquement la vibration mécanique du résonateur à une fréquence particulière pouvant être définie théoriquement par le biais d'une étude des phénomènes acoustiques dans le cristal. A l'heure actuelle, la fabrication des résonateurs à quartz couvre différents types d'applications [29] : bases de temps, capteurs (température [30–32], force/pression [33,34]...), filtres...

Contrairement aux résonateurs SAW<sup>11</sup>, les résonateurs à quartz utilisés dans les applications temps-fréquence sont des dispositifs à ondes de volume pour lesquels la propagation de la vibration acoustique diffère en fonction de l'orientation<sup>12</sup> choisie. La géométrie donnée au quartz est ensuite optimisée pour une fréquence particulière et ce, suivant le mode de vibration privilégié : les pastilles (figure 1.3) utilisées en coupe AT ou SC travaillent selon un mode de cisaillement d'épaisseur, les diapasons et les barreaux sont caractéristiques des modes de flexion... Dans la pratique, ces différentes géométries sont obtenues à la suite d'un procédé de fabrication bien particulier qui est composé de diverses opérations mécaniques et/ou chimiques tels que : le découpage, le rodage, le polissage, la métallisation des électrodes.

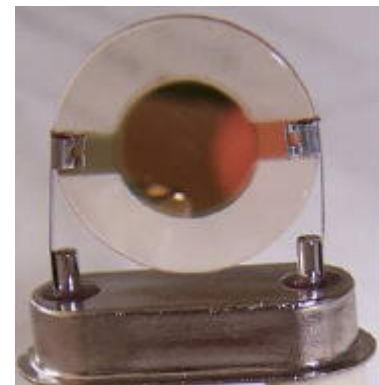


FIGURE 1.3 – Résonateur à quartz monté sur embase.

11. Résonateurs à ondes acoustiques de surface (Surface Acoustic Wave resonators) pour lesquels les propriétés du matériau et l'architecture du dispositif font en sorte que l'onde acoustique ne se propage qu'en surface.

12. Aussi appelé "coupe" du résonateur à quartz. Par exemple, la coupe AT (simple rotation) est décrite suivant un angle  $\theta$  et la coupe SC (double rotation) suivant les angles  $\theta$  et  $\phi$  par rapport aux axes cristallographiques du cristal de quartz.

### 1.2.1.2 Equivalent électrique

La vibration acoustique au sein du résonateur ayant tendance à s'amortir plus ou moins rapidement au cours du temps, l'adaptation d'un système d'entretien des oscillations est nécessaire. En s'orientant vers une structure électronique, la modélisation du comportement du résonateur d'un point de vue électrique devient une contrainte nécessaire à la conception et au dimensionnement de ce circuit d'entretien.

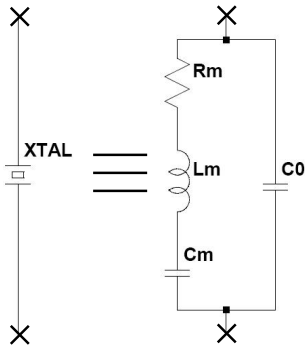


FIGURE 1.4 – Schéma électrique équivalent d'un résonateur à quartz (Butterworth - Van Dyke).

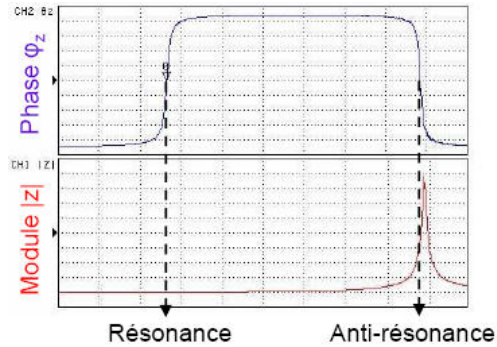


FIGURE 1.5 – Mise en valeur de la fréquence de résonance et d'anti-résonance par tracé d'impédance (phase et module).

Le schéma électrique équivalent (Butterworth - Van Dyke) du résonateur est présenté en figure 1.4. Dans cette représentation  $R_m$ ,  $L_m$ ,  $C_m$  sont respectivement la résistance, l'inductance et la capacité de la branche motionnelle traduisant le couplage électro-mécanique et modélisant les pertes par effet Joule au sein du cristal ainsi que la présence d'une fréquence de résonance  $f_r$  dont la valeur est donnée par la formule de Thomson :

$$f_r = \frac{1}{(2\pi\sqrt{L_m C_m})} \quad (1.1)$$

Afin d'affiner le modèle initial, certains effets "parasites" relatifs à la présence d'une connectique additionnelle (électrodes, interconnexions avec le boîtier) doivent aussi être pris en considération. On les modélise par la biais d'une capacité supplémentaire, notée  $C_0$ , qui est associée en parallèle à la branche motionnelle<sup>13</sup>. Cette capacité, de valeur toujours très grande devant  $C_m$ , a une influence non négligeable sur la fréquence de résonance du résonateur et joue un rôle important lors de la conception du circuit d'entretien.

$$f_0 = f_r \sqrt{\left(1 + \frac{R_m^2 C_0}{L_m}\right)} \quad (1.2)$$

La réponse expérimentale d'un résonateur en fonction de la fréquence peut être évaluée au moyen d'un analyseur d'impédance. Les courbes présentées en figure 1.5 représentent respectivement le module

13. La branche parallèle de la représentation Butterworth - Van Dyke est aussi appelé branche statique. De ce fait, on retrouve dans certains ouvrages le terme "capacité statique" pour définir  $C_0$ .

( $|Z|$ ) et la phase ( $\varphi_Z$ ) de l'impédance équivalente d'un résonateur. Les fréquences caractéristiques sont typiquement déterminées pour une phase nulle<sup>14</sup> :

- Si  $|Z| \simeq Z_{min}$ , on est à la résonance  $f_r$ ,
- Si  $|Z| \simeq Z_{max}$ , on est à l'anti-résonance  $f_a$  caractérisée par l'équation (1.3).

$$f_a = f_r \sqrt{1 + \frac{C_m}{C_0} - \frac{R_m^2 (C_m + C_0)}{L_m}} \quad (1.3)$$

Un résonateur se voit aussi influencé par l'apparition de fréquences supplémentaires qu'elles soient parasites ou relatives aux différents modes partiels (multiples d'ordre impairs de la fréquence fondamentale) comme montré en figure 1.7. Ces modes sont aussi caractérisés par une fréquence de résonance et d'anti-résonance qui leur est propre et que l'on peut électriquement modéliser en venant ajouter des branches motionnelles en parallèle au circuit électrique initial (figure 1.6).

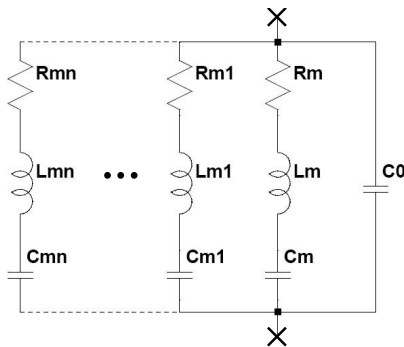


FIGURE 1.6 – Schéma électrique d'un résonateur à quartz rendant compte de ses modes ou ses partiels supplémentaires.

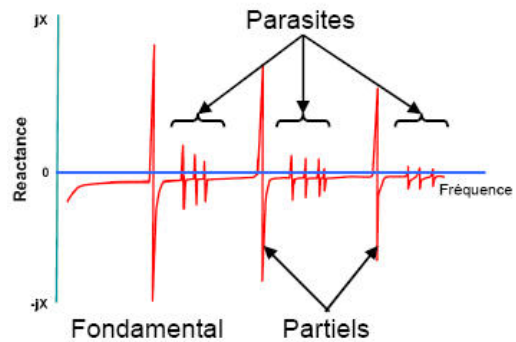


FIGURE 1.7 – Mise en évidence des différentes fréquences de résonance observables pour un mode donné : fondamental, partiels (ici 3 et 5) et parasites.

### 1.2.1.3 Facteurs de mérite

Pour parfaire la caractérisation d'un résonateur à quartz, nous allons maintenant considérer trois paramètres importants et sans dimensions : le facteur de qualité noté  $Q$  aussi appelé coefficient de surintensité de la branche motionnelle, le rapport  $C_0/C_m$  aussi noté  $r$  et enfin le facteur de mérite ( $M$ ).

#### 1.2.1.3.1 Le facteur de qualité $Q$

Le facteur de qualité est défini comme étant le rapport entre l'énergie stockée et l'énergie dissipée durant un cycle. Ce paramètre permet de rendre compte de la stabilité d'un oscillateur par son effet sur le bruit de phase proche porteuse. Dans le cas d'un résonateur à quartz, le facteur de qualité à vide (sans

14. On dénote la présence de quatre fréquences particulières pour ce type de circuit : deux d'entre-elles sont déterminées à phase nulle (résonance et anti-résonance) et deux autres correspondant au minimum et maximum de l'impédance.

effet de la charge) peut être obtenu "expérimentalement" à partir du tracé de l'amplitude du signal en fonction de la fréquence ( $x(\omega)$ ), mais peut être aussi déduit à partir de ses paramètres motionnels :

$$Q_0 = \frac{\omega_r|_{\dot{x}}}{\Delta\omega|_{\dot{x}/\sqrt{2}}} = \frac{L_m\omega_r}{R_m} = \frac{1}{R_m C_m \omega_r} \quad (1.4)$$

Où  $\omega_r = 2\pi f_r$  est la pulsation à la résonance [rad/s]. Le facteur de qualité permet de quantifier la pureté intrinsèque d'un matériau par l'intermédiaire du calcul de son produit  $Qf$ , qui est "constant" quelle que soit la fréquence de résonance utilisée. Un matériau est alors considéré comme étant de haute pureté si son produit  $Qf$  est élevé : pour le quartz, il est d'environ  $10^{13}$ . Pour exemple, nous avons reporté dans le tableau 1.1 quelques valeurs de facteurs de qualités tirés de [35] et ce, pour différentes coupes de résonateurs à quartz de précision. Nous y avons ajouté le résultat du calcul de  $Qf$  et du  $\log(Qf)$ <sup>15</sup> qui met en évidence l'indépendance de ce produit vis-à-vis de la coupe, de la fréquence ou du rang de partiel considéré.

Fréquences	Coupes	Facteur de qualité ( $\times 10^6$ )	Produit $Qf$ ( $\times 10^{13}$ )	$\log(Qf)$
5 MHz	SC fond	1,033	0,5165	12,7
	SC P3	2,08	1,04	13
10 MHz	AT P3	0,884	0,884	12,9
	AT P5	1,061	1,06	13,02
	SC P3	0,827	0,827	12,9

TABLE 1.1 – Facteurs de qualité [35] et produits  $Qf$  de quelques résonateurs à quartz.

### 1.2.1.3.2 Le rapport $C_0/C_m$

Le rapport  $r$  entre la capacité statique du résonateur ( $C_0$ ) et celle de la branche motionnelle ( $C_m$ ) traduit la conversion entre l'énergie électrique et mécanique du matériau piézoélectrique<sup>16</sup>. Ce rapport permet aussi d'évaluer l'écart entre la fréquence de résonance  $f_r$  et d'anti-résonance  $f_a$ , en effet :

$$\frac{1}{2r} \approx \frac{f_a - f_r}{f_r} \quad (1.5)$$

On remarque aisément que plus la capacité de la branche statique sera importante, notamment sous l'effet d'une capacité de charge ajoutée en parallèle ( $C_{para} = C_0 + C_{LOAD}$ ), plus les fréquences de résonance et d'anti-résonance seront proches l'une de l'autre dégradant ainsi la zone de comportement inductif du résonateur ( $\varphi_Z = +\pi/2$ ). Il devient alors plus difficile d'osciller lorsque le circuit électronique est adapté pour un fonctionnement dans cette zone particulière. Un exemple est donné en figure 1.8 pour lequel nous avons associé les effets d'une capacité de charge de 5 pF à la réponse initiale du résonateur (en rouge) pour une résonance voisine de 40 MHz.

15. Cette expression reste cohérente avec les tracés  $\log Q = f(\log f_r)$  présentés par H. E. BÖMMEL, W. P. MASON, A. W. WARNER [36].

16.  $r$  se rapporte au coefficient de couplage piézoélectrique du quartz (constante matérielle).

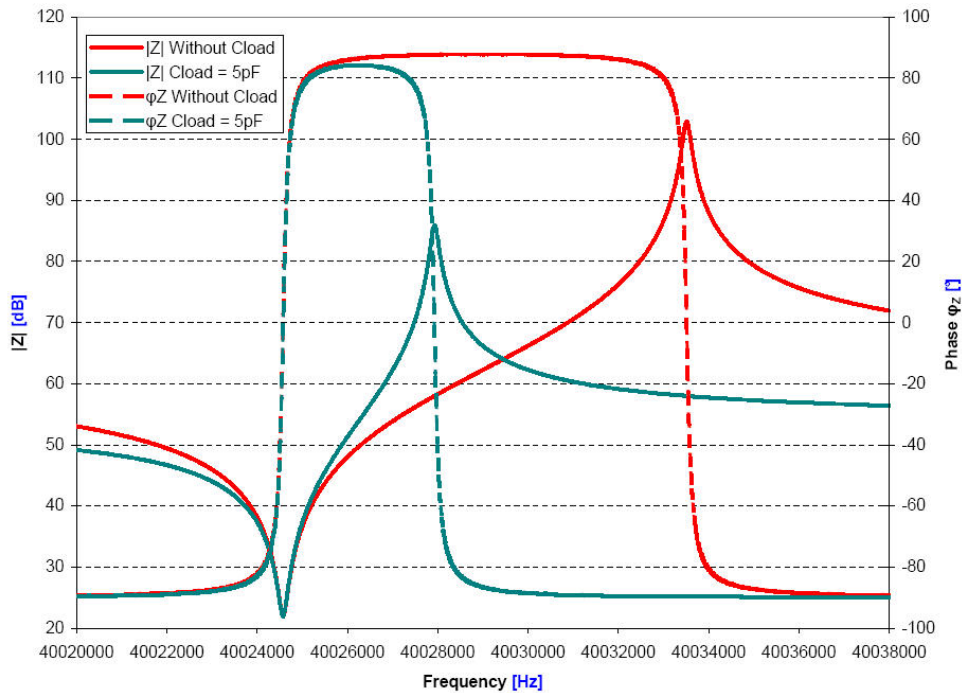


FIGURE 1.8 – Module [dB] et phase [°] de l'impédance d'un résonateur en fonction de la fréquence avec et sans contribution d'une capacité de charge ( $C_{LOAD} = 5 \text{ pF}$ ).

### 1.2.1.3.3 Le facteur de mérite $M$

Le facteur de mérite  $M$  du résonateur caractérise le rapport entre l'impédance de la branche statique et celle de la branche motionnelle à la fréquence de résonance  $f_r$ . Son expression analytique, en fonction des paramètres motionnels, est donnée ci-dessous. Par identification, il est possible d'exprimer le facteur de mérite en fonction du facteur de qualité à vide ( $Q_0$ ) et du rapport  $r$ .

$$M = \frac{1}{\omega_r R_m C_0} = \frac{Q_0}{r} \quad (1.6)$$

### 1.2.1.4 Phénomènes non-linéaires

Selon l'orientation choisie, le résonateur est plus ou moins sensible aux contraintes environnementales qu'elles soient thermiques, mécaniques... lesquelles peuvent alors contribuer à une évolution non-linéaire de la fréquence. Toutefois lors du développement d'un circuit oscillateur, la puissance d'excitation ( $P_X$ ) a aussi un effet non négligeable sur le comportement en fréquence du résonateur ainsi que sur son vieillissement. Comme montré en figure 1.9, la résistance motionnelle présente une sensibilité intrinsèque au courant d'excitation ( $I_X$ ) pouvant être à l'origine :

- D'un démarrage incertain des oscillations sous une faible excitation se traduisant par une augmentation brutale de la valeur de la résistance ne pouvant plus être compensée par l'électronique [37–39],
- D'une variation de la fréquence de résonance (1.7) ou défaut d'isochronisme lorsque le courant

d'excitation devient trop important (figure 1.10).

$$\frac{\Delta f}{f} = a \times I_X^2 = a \times \frac{P_X}{R_m \left(1 + \frac{C_m}{C_{LOAD}}\right)^{-2}} \quad (1.7)$$

Le coefficient  $a$  [ $A^{-2}$ ] dépendant principalement de l'orientation (simple ou double rotation), de la fréquence de résonance et de la géométrie du résonateur (plan-plan, plan-convexe...). De plus, le terme  $R_m (1 + C_m/C_{LOAD})^{-2}$  représente la résistance série équivalente du résonateur.

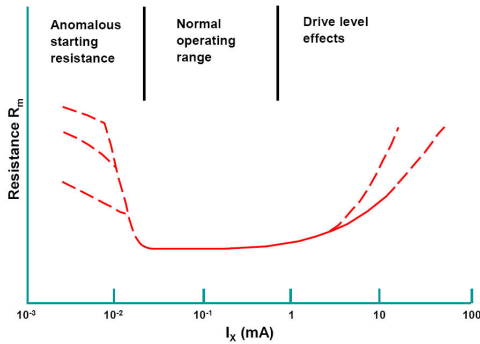


FIGURE 1.9 – Evolution de la résistance motiionnelle en fonction du courant d'excitation appelé aussi Second Level of Drive (tiré de la référence [40]).

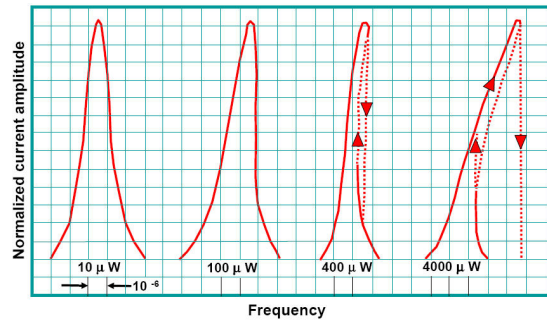


FIGURE 1.10 – Défauts d'isochronismes : effet de la puissance d'excitation sur la fréquence de résonance du résonateur (tiré de la référence [40]).

### 1.2.2 L'électronique d'entretien

L'électronique d'entretien et le résonateur à quartz forment un système bouclé (schéma figure 1.11) de manière à compenser les pertes de ce dernier (conservation de l'énergie). Pour permettre au système d'osciller librement "autour" de la pulsation de résonance  $\omega_r$ , il est nécessaire d'étudier sa fonction de transfert en boucle ouverte ( $T_{BO}(j\omega) = A(j\omega) \times R(j\omega)$ ) qui doit satisfaire les conditions requises d'instabilité. En se basant sur une représentation de Bode (gain  $|T_{BO}(\omega)|$  et phase  $\varphi_{T_{BO}}(\omega)$ ), cette condition se traduit par le critère de Barkhausen :

$$\begin{cases} |A(\omega_r)| \times |R(\omega_r)| \geq 1 \\ \varphi_A(\omega_r) + \varphi_R(\omega_r) = 0 \end{cases} \quad (1.8)$$

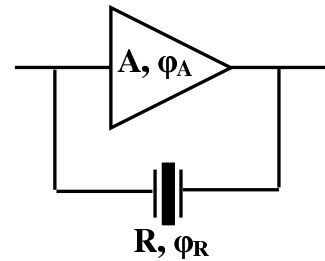
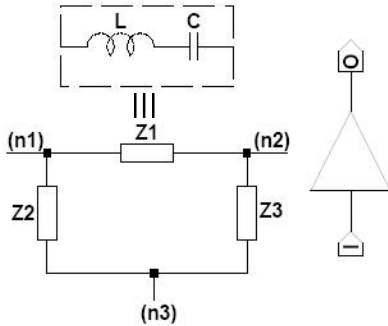


FIGURE 1.11 – Principe de fonctionnement d'un oscillateur.

NGUYEN et MEYER [41] ont démontré que cette condition, bien que nécessaire, n'est toutefois pas suffisante pour prédire "à coup sûr" le démarrage et l'entretien des oscillations, le critère de Nyquist doit aussi être vérifié par le système bouclé. Dans la pratique, l'oscillateur peut être réalisé à partir d'un montage en  $\pi$  comme schématisé en figure 1.12 et pour lequel nous avons considéré arbitrairement Z1 comme

élément résonnant (quartz, circuit LC...). En plaçant successivement l'amplificateur entre les différents points n1, n2 et n3, nous retrouvons les topologies des montages Pierce, Colpitts, Clapp et Hartley. Ces différentes configurations sont schématisées en ac sur la figure 1.13 (a), (b), (c) et (d) respectivement.



<b>n1</b>	I	ground ac
<b>n2</b>	O	I
<b>n3</b>	ground ac	O
<b>Type</b>	Pierce	Colpitts Clapp Hartley

FIGURE 1.12 – Montage en  $\pi$  utilisé pour adapter le circuit oscillateur.

TABLE 1.2 – Connexions entrée/sortie (I/O) de l'amplificateur avec le montage en  $\pi$  et topologies associées.

En fonction du type d'application, de la gamme de fréquence visée et des performances attendues, les topologies précédentes réalisées à l'aide de composants discrets font l'objet d'une totale intégration dans des ASIC [42, 43]. De par sa simplicité, sa faible surface occupée sur silicium et des performances obtenues comparables à l'approche discrète, la topologie Pierce est à l'heure actuelle la plus rencontrée en technologie CMOS [44–49].

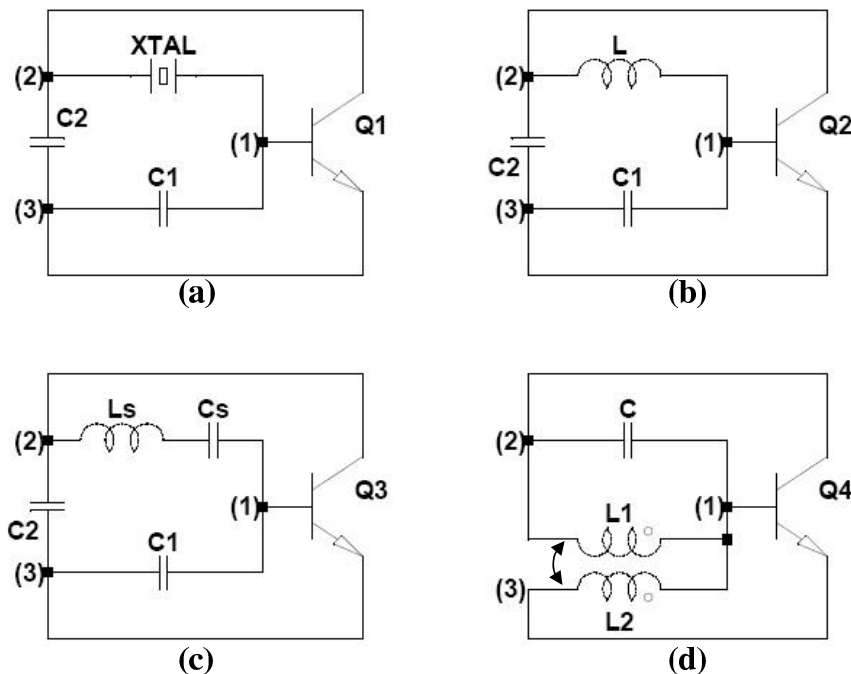


FIGURE 1.13 – Représentation en ac des principales topologies d'oscillateur à quartz : Pierce (a), Colpitts (b), Clapp (c) et Hartley (d) (d'après [50]).



### 1.2.3 Familles d'oscillateurs à quartz

Les oscillateurs à quartz ou XO (Crystal Oscillator) sont classés en plusieurs familles selon le type d'application et les performances visées. La complexité de la structure mécanique et électronique va souvent de pair avec des performances accrues en terme de stabilité. On distingue alors les principales familles suivantes que nous détaillerons par ailleurs lors des prochains chapitres :

- VCXO (Voltage Controlled Crystal Oscillator),
- TCXO (Temperature Compensated Crystal Oscillator),
- OCXO (Oven Controlled Crystal Oscillator),
- MCXO (Microprocessor Compensated Crystal Oscillator)...

Pour finalement tendre vers un niveau de miniaturisation optimal, le choix quant à l'utilisation d'un packaging pour chacun des sous-ensembles constitutifs de l'oscillateur joue un rôle prépondérant. Dans ce but, il est important de pouvoir minimiser le nombre de composants impliqués dans le design et de ce fait, on tend à s'orienter vers l'utilisation de circuits intégrés spécifiques regroupant alors plusieurs fonctions dans une unique puce.

## 1.3 Vers une miniaturisation

L'influence des éléments parasites induits par la connectique entre une cellule électronique d'entretien et un résonateur devient de plus en plus critique lorsque l'on monte en fréquence. La miniaturisation offre ainsi de nombreux avantages du point de vue de la réduction des effets parasites, de la diminution des consommations et bien évidemment aussi en terme d'encombrement : minimisation des volumes occupés, de la masse...

### 1.3.1 Influence des encapsulations

Bénéficier de boîtiers indépendants pour chacun des éléments constitutif d'un oscillateur permet de s'affranchir des risques liés à la manipulation et aux mauvais conditionnements (humidité, poussières...) des composants. De plus, on s'affranchit de l'utilisation d'outils d'assemblage spécifiques (assemblage hybride). Le plus gros avantage de cette encapsulation préliminaire restant avant tout la manipulation rendue plus aisée à l'opérateur lors des diverses opérations d'assemblage et la caractérisation des sous-ensembles réalisés.

#### 1.3.1.1 L'encapsulation du résonateur

De par sa nature vibratoire mécanique, tout contact direct entre la pastille de quartz et son environnement ambiant provoque un amortissement plus ou moins important, amoindrissant le facteur de qualité du résonateur et conduisant à une dégradation rapide de ses performances. De plus, les particules mêmes diluées dans l'atmosphère (poussières, humidité, gaz) peuvent venir polluer les surfaces du

cristal contribuant à des variations de fréquence par effet de "mass loading"<sup>17</sup>. L'encapsulation va ainsi permettre de s'affranchir de ces divers inconvénients en plaçant la pastille de quartz "à l'abri" dans un environnement neutre comme le vide. Néanmoins, l'ajout d'une connectique supplémentaire contribue à augmenter les effets des éléments parasites se traduisant, entre autre, par la présence d'une capacité statique plus importante jouant sur la réponse en fréquence du résonateur (équations (1.2) et (1.5)) ce qui modifie les conditions d'oscillations. Quelques exemples d'encapsulation pour un résonateur sont présentés en figure 1.14.

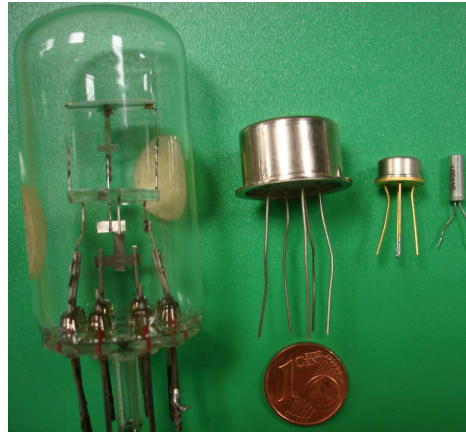


FIGURE 1.14 – Différentes encapsulations d'un résonateur à quartz. De gauche à droite : lampe et boîtiers métalliques de type HC40 (BVA 5 MHz), HC37 (40 MHz SC-P3), HC52 (Strip resonator).

### 1.3.1.2 Le boîtier des électroniques

Les différents types de boîtiers utilisés par l'industrie pour l'encapsulation des semiconducteurs (figure 1.1) qu'ils soient céramiques, plastiques ou métalliques, sont choisis spécifiquement en fonction de leurs performances électro-mécaniques et thermiques. La contribution des effets parasites n'étant plus négligeable en haute fréquence, il devient important de prendre en compte ces effets supplémentaires au moment de la conception du circuit intégré. A titre d'exemple, nous avons représenté en figure 1.15 le schéma électrique équivalent d'un boîtier comportant trois entrées/sorties mais qui peut toutefois être extrapolable à un nombre plus important. La présence des couplages mutuels inductifs ( $M_{XY}$ ) et capacitifs ( $C_M$ ) ne sont pas à négliger. Par ailleurs, nous recensons dans le tableau 1.3 certaines données extraites par National Semiconductor [51] dans le cas d'un boîtier de type PLCC (Plastic Leadless Chip Carrier) basé sur le schéma en figure 1.15.

Le boîtier est aussi un atout en thermique pour garantir une meilleure dissipation de la chaleur provoquée par l'auto-échauffement du circuit intégré et lui permettre ainsi de fonctionner dans des condi-

<sup>17</sup>. Le "mass loading" est causé par l'apport de masse supplémentaire sur la surface d'un résonateur conduisant à une diminution de sa fréquence de résonance. On utilise pourtant cette méthode lors de la mise à la fréquence souhaitée pendant la fabrication en modifiant volontairement la masse des électrodes déposées.

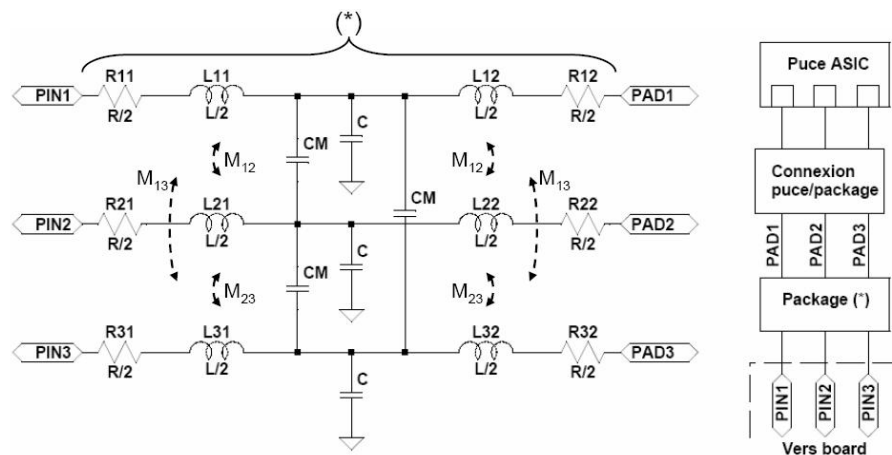


FIGURE 1.15 – Modèle électrique simplifié d'un boîtier comportant trois entrées/sorties (tiré de la référence [51]).

Paramètres	Position	
	Centre	Coins
Résistance $R$ [ $\Omega$ ]	0,04	0,05
Inductance $L$ [nH]	3,2	4,4
Mutuelle inductance [nH]		
$M_{12}, M_{23}$	1,5	2
$M_{13}$	1,1	1,5
Capacité $C$ [pF]	0,25	0,35
Capacité mutuelle $C_M$ [pF]	0,45	0,6

TABLE 1.3 – Paramètres équivalents pour un boîtier PLCC (données tirées de la référence [51]).

tions optimales. Cependant, les tendances actuelles visant à la réduction des volumes et de la masse des dispositifs réalisés, on tend vers des structures hybrides ne nécessitant plus ou peu d'encapsulation intermédiaires.

### 1.3.1.3 Hybridation des structures et effets de la réduction de taille

Les structures hybrides vont donc permettre l'adaptation de puces nues assemblées directement dans le but d'augmenter les fonctionnalités et la fiabilité d'un système tout en réduisant fortement son encombrement. Il s'agit là d'un avantage considérable bien que nécessitant plus de précautions lors de la manipulation de ces composants. Dans la pratique, des substrats dit "exotiques" seront privilégiés pour ces applications (céramiques, silicium, verre, quartz...) dans le but de réduire l'influence des contraintes thermo-mécaniques sur la puce (dilatations) et autres phénomènes parasites pouvant intervenir dans les assemblages effectués. Ces substrats sont façonnés à l'aide de techniques de sérigraphie ou autres procédés salle blanche (dépôts couches minces, photolithographie...).

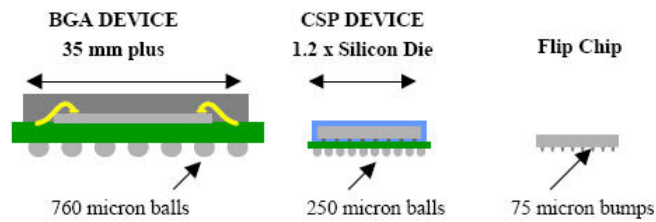


FIGURE 1.16 – Réduction d'échelle d'un circuit intégré : encapsulation de type BGA (Ball Grid Array), le CSP (Chip Scale Package) et la miniaturisation ultime grâce au montage direct par flip chip.

### 1.3.1.3.1 Structures couches minces

Les structures couches minces permettent de réduire fortement les effets parasites dès suites d'une forte diminution des surfaces et des épaisseurs des métaux déposés, bien que la proximité entre ces différentes pistes conduise à des couplages plus importants. De ce fait, la nature du substrat utilisé fait partie des critères importants à prendre en considération lors du développement. La géométrie des dépôts pouvant finalement arborer des formes plus ou moins complexes, déterminer la capacité parasite équivalente suivant une méthode analytique peut s'avérer difficile et des simulations numériques sont alors nécessaires dans la majorité des cas. T. SAKURAI et K. TAMARU ont établi en [52] différentes formulations empiriques dans le but d'estimer les capacités induites par deux ou trois pistes conductrices parallèles infinies.

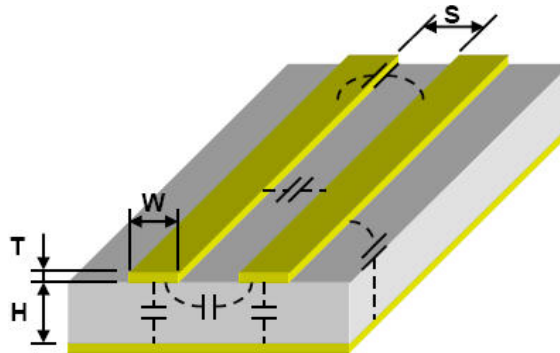


FIGURE 1.17 – Effets capacitifs parasites entre deux lignes parallèles infinies.

Conformément à la figure 1.17, la capacité équivalente par unité de longueur établie de manière empirique dans le cas de deux pistes métalliques parallèles et infinies ( $l \gg T$ ), déposés sur un matériau de constante diélectrique  $E_{ox} = \epsilon_0 \times \epsilon_r$  et référencées par rapport à un plan de masse situé sur la face opposée, est donnée ci-dessous :

$$\frac{C}{E_{ox}} = \underbrace{1,15 \left(\frac{W}{H}\right) + 2,8 \left(\frac{T}{H}\right)^{0,222}}_{(1)} + \left[ \underbrace{0,03 \left(\frac{W}{H}\right)}_{(2)} + \underbrace{0,83 \left(\frac{T}{H}\right)}_{(3)} - \underbrace{0,07 \left(\frac{T}{H}\right)^{0,222}}_{(4)} \right] \left(\frac{S}{H}\right)^{-1,34} \quad (1.9)$$

Le premier terme **(1)** correspond à la capacité induite par une piste isolée, **(2)** est un facteur compensant l'effet des surfaces supérieures et inférieures de la piste, **(3)** symbolise les couplages latéraux des surfaces adjacentes et **(4)** est un terme réduisant les effets de surfaces latérales par rapport au plan de masse. Cette formulation introduit une erreur relative pouvant aller jusqu'à 6% suivant les facteurs de forme utilisés.

La liaison mécanique et électrique entre la puce et le substrat (avec ou sans boîtier intermédiaire<sup>18</sup>) peut être obtenue par différentes techniques qui ont déjà fait leurs preuves dans l'industrie de l'électronique : le wire bonding, le flip chip, TAB (Tape Automated Bonding)... Nous nous intéresserons ici qu'aux deux premières méthodes évoquées.

### 1.3.1.3.2 Le wire bonding

Le wire bonding (ball bonding ou wedge bonding) est un procédé de soudure à phase solide développé au sein des laboratoires Bell et permettant de réaliser la connexion électrique par contact mécanique entre un fil de petit diamètre (typiquement de quelques dizaines de micromètres) et une surface métallique comme montré en figures 1.18 (cas du wedge bonding) et 1.19 (cas du ball bonding). Les premiers résultats pertinents de la mise en application de cette technique ont été publiés en 1957 [53] et elle reste encore à ce jour la technique la plus utilisée pour connecter une puce électronique avec son boîtier. De nombreux travaux sont par ailleurs menés pour optimiser les outils de dépose des fils dans le but de réduire la taille des puces en diminuant le pas entre les différents pads d'entrées/sorties et par conséquent leur surface. Actuellement, le diamètre des fils utilisés garantissent une connexion fiable pour des pas inférieurs à 50  $\mu\text{m}$  [54].

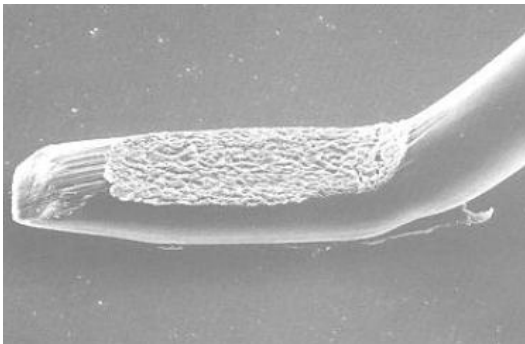


FIGURE 1.18 – Connexion de type wedge bonding (photo tirée de la référence [55]).



FIGURE 1.19 – Connexion de type ball bonding (photo tirée de la référence [55]).

D'un point de vue électrique, le modèle équivalent retenu pour la caractérisation d'un assemblage par wire bonding est donné en figure 1.20. Les termes  $C_{pad}$  et  $C_{sub}$  représentant ici les capacités relatives aux surfaces métalliques des deux éléments à connecter : coté puce et coté substrat respectivement.

---

18. En fonction de son architecture, le boîtier intermédiaire est généralement connecté au circuit imprimé par des techniques classiques de soudure : étain, pâte à braser (CMS), pâte d'argent électro-conductrice...

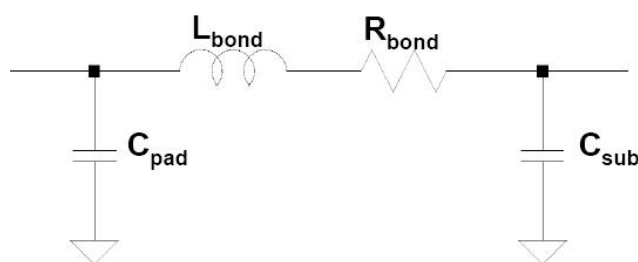


FIGURE 1.20 – Modèle électrique équivalent d'un fil de bonding.

Dans ce modèle, l'expression analytique de l'inductance du fil à basse fréquence est donnée en (1.10) [56]. Elle est exprimée en  $\mu\text{H}$  pour laquelle  $l$  est la longueur du fil et  $r$  son rayon tous deux exprimés en  $[\text{cm}]$ .

$$L_{\text{bond}} = 0,002l \left( \ln \left[ \frac{2l}{r} \right] - 0,75 \right) \quad (1.10)$$

En première approche, il est possible d'estimer la valeur de l'inductance par unité de longueur en considérant celle-ci comme étant égale à  $1 \text{ nH/mm}$ . Cette vision simpliste reste néanmoins valide si l'on considère le fil comme étant isolé et donc indépendant du reste de la connectique. Dans la pratique, cette hypothèse est fautive car la valeur de l'inductance est fortement dépendante des paramètres tels que : la distance fil/plan de masse, la fréquence, le nombre de fils en parallèle... La modélisation par éléments finis reste ainsi la méthode de caractérisation théorique donnant le plus de précision [57]. La résistance du fil peut être, quant à elle, définie par la formulation bien connue :

$$R_{\text{bond}} = \rho \frac{l}{S} \quad (1.11)$$

Avec  $\rho$  la résistivité du matériau en  $[\Omega.m]$ ,  $l$  la longueur du fil en  $[m]$  et  $S$  sa section en  $[m^2]$ .

### 1.3.1.3.3 Le flip chip

Le concept de flip chip<sup>19</sup> a été mis en place par IBM dans les années 1960. Il est dès lors considéré comme le remplaçant du wire bonding pour des structures électroniques comportant un très grand nombre d'entrées/sorties ( $\geq 500$ ) et conduit à des coûts de fabrication moindres<sup>20</sup>. La liaison électrique entre la puce et le substrat obtenue ici par un contact direct via des billes métalliques de petit diamètres (aussi appelés bumps) connectés simultanément lors de l'assemblage. Le modèle électrique équivalent d'un bump a été défini par Hussein H. M. GHOUZ et E. B. EL-SHARAWY en 1996 [58]. Il est donné en figure 1.21 pour lequel :

- $L_b$  et  $G_b$  définissent l'inductance et la conductance du bump,
- $C_1$  et  $C_2$  représentent les capacités relatives à la discontinuité côté substrat et côté puce,
- $G_1$  et  $G_2$  traduisent les conductances de pertes côté substrat et côté puce.

19. Aussi appelé DCA (Direct Chip Attach) pour lequel la surface active de la puce est assemblée face au substrat d'accueil.

20. La longueur totale des fils tirés en wire bonding dans une production représente des coûts financiers très importants.

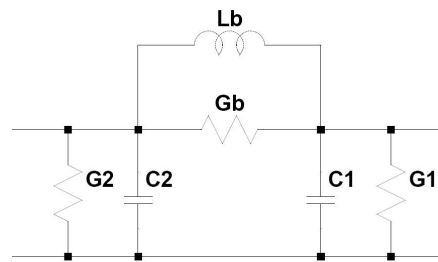


FIGURE 1.21 – *Equivalent électrique d'un bump.*

Des procédés additionnels ont par ailleurs été développés pour protéger la puce des conditions extérieures et rigidifier par la même occasion la structure mécaniquement dès suites de ces différentes techniques d'assemblage : le glob top qui est plus orienté pour du wire bonding et l'underfilling pour le flip chip. Nous traiterons plus en détail de ce dernier aspect dans le chapitre 4 de ce mémoire.

Comme nous venons donc de le voir, les fonctions électroniques réalisées à partir de composants pré-encapsulés offrent de nombreux avantages mais impliquent des plages d'accueil beaucoup plus importantes, ce qui va à l'encontre d'une miniaturisation. Une solution alternative consiste alors à regrouper plusieurs fonctions au sein d'une seule et unique puce pour réduire sensiblement le nombre de composants externes et ainsi le volume occupé. Au cours du siècle dernier, la constante miniaturisation des composants électroniques actifs et passifs du fait d'une meilleure maîtrise des procédés de fabrication ont conduit à la réalisation de circuits intégrés toujours plus complexes et performants : les ASIC.

### 1.3.2 Les ASIC (Application Specific Integrated Circuits)

Ces circuits, comme leur nom l'indique, sont dédiés à une application spécifique que ce soit dans le domaine du numérique (technologie CMOS) ou de l'analogique (technologie CMOS ou bipolaire). A l'heure actuelle, les techniques d'intégration permettent de combiner des fonctions numériques et analogiques sur un même substrat : on qualifie alors ce procédé de mixte (AMS<sup>21</sup>) en technologie BiCMOS. Nous pouvons cependant noter que les structures numériques connaissent un développement beaucoup plus rapide que les structures analogiques de par une forte répétabilité des fonctions mises en œuvre (porte logiques, horloges, convertisseurs...) et des moyens informatiques pour en automatiser le développement. Cette intégration de l'électronique sur un même substrat offre finalement de nombreux avantages notamment en termes de performances (réduction des inter-connexions, thermique), d'encombrement (plusieurs fonctions sur une surface réduite) et de fiabilité. L'inconvénient majeur restant néanmoins la prise en main des outils de développement et des kits fondeur, ce qui implique un lourd investissement aussi bien d'un point de vue humain que financier (licences spécifiques).

---

21. Abréviation anglophone signifiant "Analog and Mixed Signal"

### 1.3.2.1 Démarche de conception d'un ASIC

Phillip ALLEN et Douglas HOLBERG décrivent de manière synthétique les quatre étapes majeures à respecter lors de la conception d'un circuit intégré sur puce [59].

1. Conception schématique du circuit intégré ("schematic view"),
2. Implantation physique des composants ("layout"),
3. Fabrication chez un fondeur,
4. Tests de validation électrique et mise en production éventuelle du circuit.

En adaptant cette démarche de conception assez généraliste, nous pouvons représenter sous la forme d'un organigramme l'ensemble des étapes à suivre de la rédaction du cahier des charges à la fabrication (figure 1.22).

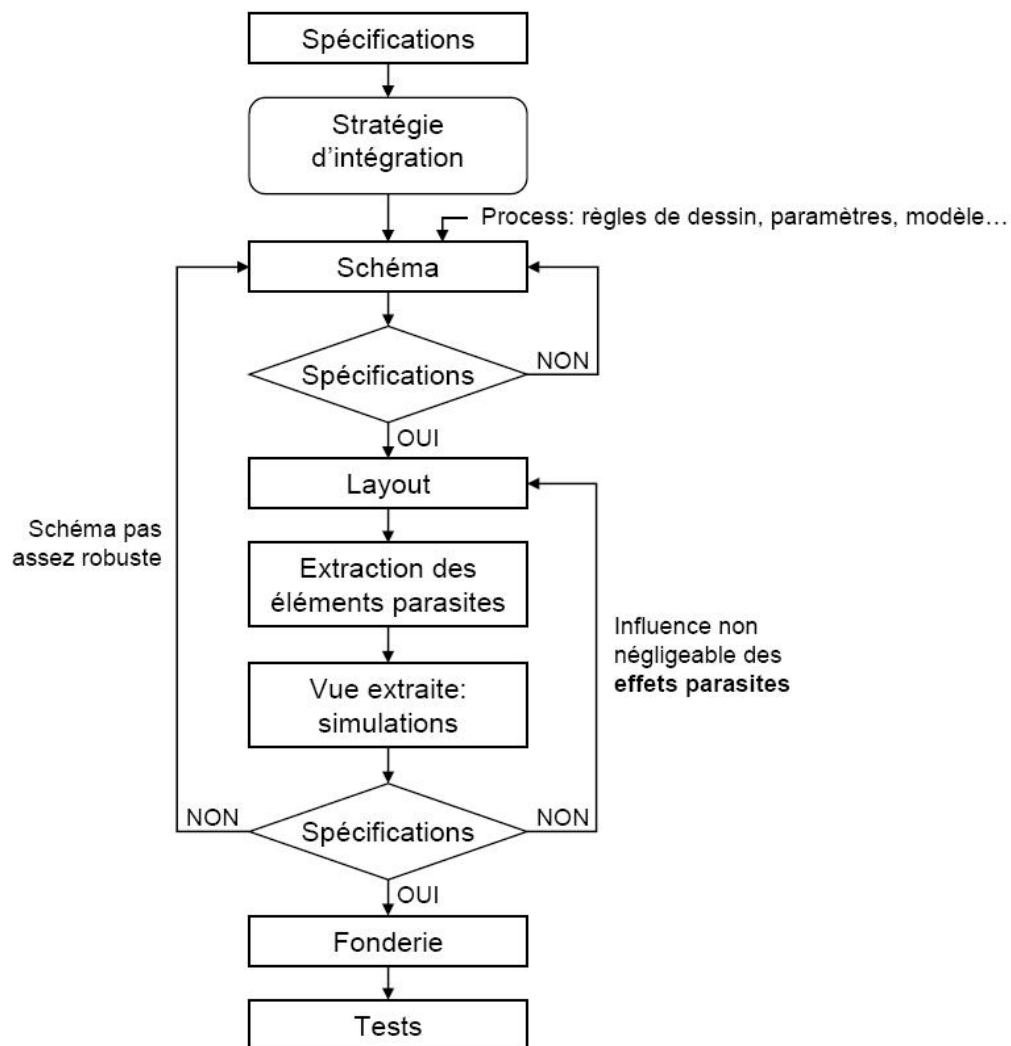


FIGURE 1.22 – Organigramme de conception d'un circuit ASIC.



### 1.3.2.2 La technologie 0,35 $\mu\text{m}$ SiGe BiCMOS de chez Austriamicrosystems®

Les ASIC développés dans le cadre de ce travail et dont une description sera faite dans les prochains chapitres sont issus de la technologie 0,35  $\mu\text{m}$  SiGe BiCMOS de chez Austriamicrosystems® (process S35D4M5) qui est compatible TSMC® 0,35  $\mu\text{m}$  (Taiwan Semiconductor Manufacturing Company Limited®). La vue en coupe simplifiée relative à cette technologie est présentée en figure 1.23. Elle comporte typiquement quatre niveaux de métal et permet entre autre l'utilisation de transistors bipolaires à hétérojonction (HBT<sup>22</sup>) en complément des éléments de base que l'on retrouve dans une technologie CMOS classique (résistances, capacités, MOSFET...). Dans les technologies silicium classiques (Si CMOS et Si BJT), les transistors bipolaires réalisés à partir des jonctions PN sont généralement limités en performances pour fonctionner en hautes-fréquences : la valeur importante de la résistance parasite de base en est un des principaux facteurs. Une diminution de la valeur de cette résistance reste toutefois possible en agissant soit sur le dopage initial (augmentation) soit sur l'implantation elle-même en réduisant la largeur de l'émetteur : des compromis restent néanmoins nécessaires. Dans le cas présent, la combinaison du silicium et du germanium formant la base du transistor offre de gros avantages tels que : des fréquences de transitions ( $f_T$ ) de quelques dizaines de gigahertz, de meilleures performances en terme de bruit flicker et en bruit de phase, une meilleure dissipation de la puissance... et ce, pour des coûts relativement moindres en comparaison avec une technologie de type AsGa (Arsénure de Gallium). Une description théorique plus complète de ce type de transistor est proposée en [60].

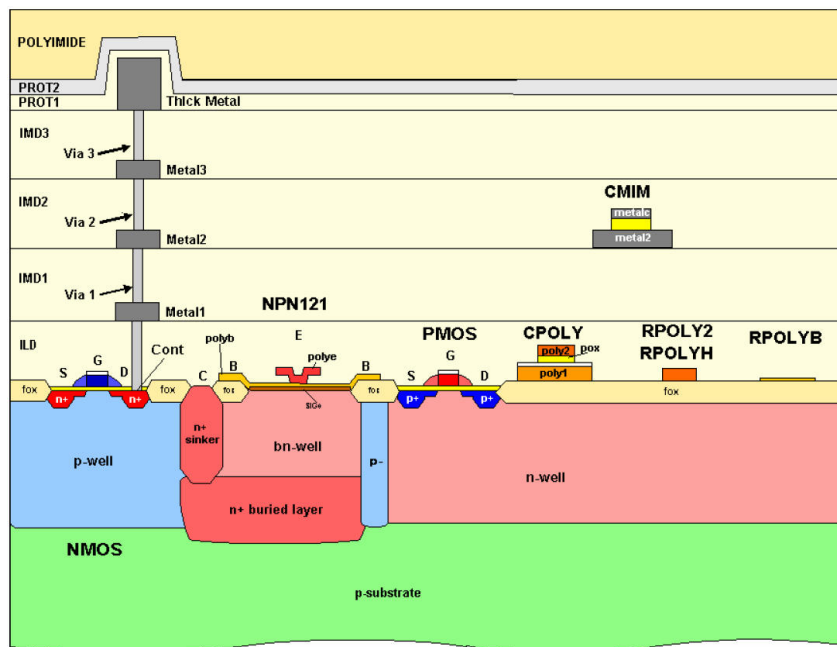


FIGURE 1.23 – Vue en coupe de la technologie S35D4M5 de chez Austriamicrosystems®.

22. Heterojunction Bipolar Transistor : la base du transistor bipolaire est fabriquée à partir de deux matériaux semi-conducteurs de propriétés physiques différentes : le silicium et le germanium. Les jonctions PN (base-collecteur et base-émetteur) obtenues sont du type : SiGe-Si.

### 1.3.2.3 Le procédé *n-well* : contraintes

Le caisson<sup>23</sup> est une zone du substrat dopée localement sur une profondeur importante. Ce dopage, pouvant être soit de type *n* (excédent d'électrons) ou de type *p* (excédent de trous), va permettre d'implanter des transistors (MOSFET, bipolaires...) ainsi que d'autres composants adaptés à la RF. La technologie S35 du fondeur Austriamicrosystems® décrite précédemment est définie selon un procédé *n-well*<sup>24</sup> pour laquelle la couche épitaxiée, globale à tout le substrat, va jouer le rôle de puits *p*. Ces zones dopées devant être polarisées électriquement, nous avons choisi de mettre en évidence les effets d'une variation du potentiel  $V_B$  (polarisation du caisson) sur le comportement statique d'un transistor NMOS. Les courbes présentées en figure 1.24 (a) décrivent l'évolution du courant de drain ( $I_d$ ) en fonction de la tension de grille  $V_G$  et ce, pour différentes valeurs de  $V_{BS}$ .

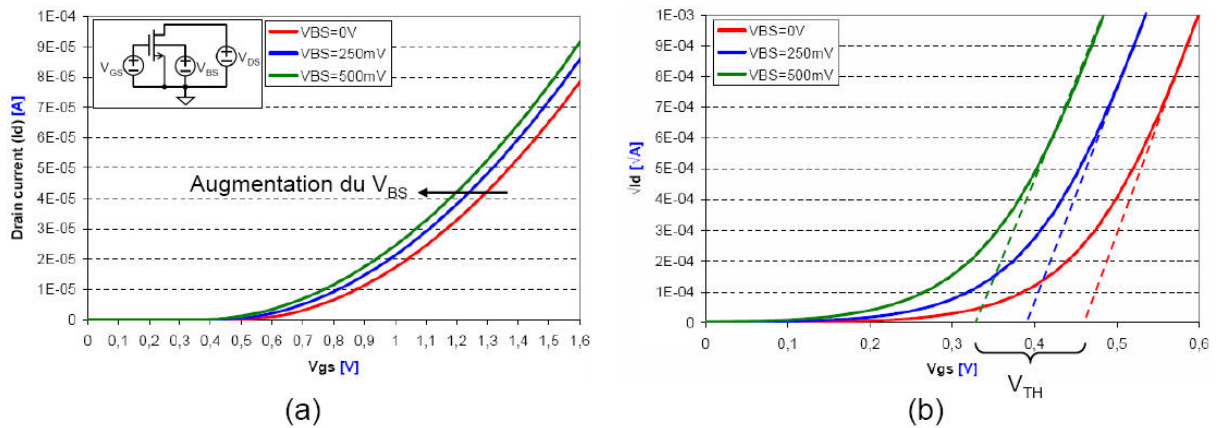


FIGURE 1.24 – Influence du  $V_{BS}$  sur la caractéristique  $I_d = f(V_{GS})$  (a) et la tension de seuil  $V_{TH}$  (b) d'un transistor NMOS ( $W = L = 125 \mu\text{m}$  et  $V_{DS} = 1,65 \text{ V}$ ).

D'après la figure 1.24 (b), nous observons une évolution significative de la tension de seuil du transistor ( $V_{TH}$ ) affectant ainsi les conditions de fonctionnement de ce dernier. La nature du caisson étant imposée par la technologie mise en œuvre, certaines précautions doivent être prises lors du développement des cellules afin d'en minimiser les effets. Considérons à ce titre le montage de la figure 1.25 composé de trois transistors MOSFET cascodés pouvant être de type N ou P. Nous avons recensé dans le tableau 1.4 les potentiels correspondants à la source et au "bulk" de ces transistors suivant chaque cas de figure, sachant que :

- Le caisson *n* utilisé lors de l'implantation des PMOS est isolé du substrat et peut donc être fixé à n'importe quel potentiel strictement positif (Typ.  $V_{dd}$ ),
- Le substrat *p* (cas du NMOS) est connecté au potentiel électrique le plus bas ( $gnd$ ).

Le type de transistor permettant de conserver une tension  $V_{BS}$  nulle est indiqué par un tick (✓).

23. Le terme anglophone utilisé est "well" se traduisant en français par "puits" : ces dénominations sont souvent rencontrées.

24. Certaines technologies offrent la possibilité d'implanter des caissons de type *n* et *p* isolés du substrat : procédé *twin-well*.

Transistor (Bulk)	NMOS (p+)			PMOS (n+)		
	①	②	③	①	②	③
Positionnement ( $n$ )	$V_H$	$V_L$	$gnd$	$V_{dd}$	$V_H$	$V_L$
Source ( $V_S$ )	$V_H$	$V_L$	$gnd$	$V_{dd}$	$V_H$	$V_L$
Bulk ( $V_{Bn}$ )	$gnd$			$V_{dd}$	$V_H$	$V_L$
$V_{BS} = V_B - V_S$	$\neq 0$	$\neq 0$	$= 0$	$= 0$	$= 0$	$= 0$
Choix préconisé :	✗	✗	✓	✓	✓	✓

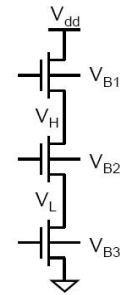


TABLE 1.4 – Implantation des transistors pour s’affranchir des effets de la tension  $V_{BS}$ .

FIGURE 1.25 – Position des transistors.

L’étude et la conception de l’ASIC qui sera développée au cours des chapitres 2 et 3 mettra en application des fonctions de base pré-caractérisées par le fondeur qui sont réalisées en technologie CMOS [61]. Nous allons finalement aborder une liste non-exhaustive d’outils de simulation utiles à la conception d’une cellule oscillateur intégrée dans un ASIC.

## 1.4 Outils de conception et de simulation

Le développement de circuits ASIC requiert la prise en main d’outils spécifiques permettant de faire le lien entre l’aspect symbolique de la conception (schématique) et l’implantation physique des composants actifs et passifs sur le substrat (layout). Pour notre application, cette bibliothèque de composants de base est fournie par le fondeur Austriamicrosystems® et disponible dans le AMS Mixed-Signal Hit-Kit version 3.70. Ces différentes étapes sont ensuite validées grâce aux simulations adéquates (.DC, .AC, .tran...) à partir de la vue schéma initiale et de la vue extraite sous l’interface Virtuoso® Design Framework II (IC 5.1.41) faisant partie des outils Cadence® (Cadence Design System Corporation®) disponibles. Les simulations sont réalisés sous le simulateur SPECTRE® développé par l’Université de Californie (Berkeley) et amélioré par Cadence® dans le but de gagner en :

- Précision,
- Fiabilité,
- Vitesse de calcul.

### 1.4.1 Problématique de la simulation des circuits autonomes

La simulation des circuits autonomes n’est pas chose aisée de par l’intervention de phénomènes non-linéaires rendant la résolution longue et fastidieuse. Nous avons donc choisi d’orienter notre travail en nous focalisant sur trois méthodes pouvant être envisagées pour nous permettre de caractériser et de dimensionner un circuit oscillateur :

1. L’analyse transitoire [62],
2. L’analyse PSS (*Periodic Steady-State*) [63],
3. L’analyse par la méthode dipolaire.

### 1.4.1.1 Influence du transitoire sur la simulation des oscillateurs

La simulation dans le domaine temporel (*tran*) des circuits oscillateurs à forts coefficients de qualité peut s'avérer très coûteuse en temps de calcul pour atteindre le régime établi : nécessité de s'affranchir des constantes de temps électriques du système pouvant être relativement importantes (compensations, effets parasites...). Il s'agit donc du principal inconvénient de cette méthode pour laquelle :

- L'influence des non-linéarités nécessitent un pas de calcul très petit devant la période théorique du signal ( $T_{signal}$ ) étudié,
- La méthode d'intégration utilisée lors de la résolution numérique du système<sup>25</sup> doit permettre une convergence rapide pour limiter tout risques de propagation des erreurs de calcul,
- Le coefficient de qualité à vide ( $Q_0$ ) du résonateur est aussi un facteur important car il permet d'estimer la durée minimale nécessaire à l'obtention du régime établi ( $t_{steadystate}$ ) :

$$t_{steadystate} \approx T_{signal} \times Q_0 \quad (1.12)$$

Considérons, à titre d'exemple, un résonateur travaillant à la fréquence de 40 MHz ( $T_{signal} = 25$  ns) dont le facteur de qualité à vide est égal à 100000. D'après l'équation (1.12), nous pouvons estimer la durée minimale pour stabiliser l'amplitude des oscillations : elle est ici de 2,5 ms. En forçant le pas de calcul à 250 ps (100 itérations par périodes), le régime établi sera théoriquement atteint après dix millions d'itérations. La résolution de la matrice Jacobienne s'effectuant alors à chaque itération, les erreurs de calcul découlant de l'analyse numérique ont une incidence importante sur la fiabilité des résultats obtenus : propagation et amplification des erreurs lors des itérations suivantes. Pour atteindre plus rapidement le régime établi et limiter, de ce fait, la durée des simulations (nombre d'itérations réduites), différentes options sont envisageables :

- La dégradation volontaire du facteur de qualité à vide ( $Q_0$ ) qui est malheureusement lourde de conséquences : la modification du couple  $\{L_m, C_m\}$ <sup>26</sup> pour conserver  $\omega_r$  constante a une incidence sur l'écart  $f_r - f_a$  (1.5), sur le bruit de phase (fréquence de LEESON)...
- L'introduction d'une condition initiale dans le système : courant forcé dans la branche mot ionnelle du résonateur à  $t = 0$  dont l'amplitude est évaluée à partir de l'état d'équilibre théorique.

Une perturbation dynamique de la tension d'alimentation du système par un stimulus de type échelon ou Dirac reste envisageable pour faire démarrer l'oscillateur en transitoire et en observer l'enveloppe et les éventuelles distortions du signal jusqu'à sa stabilisation. Cependant, le simulateur propose une analyse plus adaptée à ce type d'application : il s'agit de la PSS (*Periodic Steady-State*).

25. Le système est mis sous une forme matricielle (matrice jacobienne) dont la taille est fonction du nombre d'équations à résoudre d'après les lois de KIRCHHOFF : nœuds et mailles du circuit.

26. Certains paramètres mot ionnels ne sont pas modifiables car ils tendent à rendre les conditions d'oscillations obsolètes : cas de  $R_m$  et  $C_0$ .

### 1.4.1.2 Une alternative : l'analyse PSS (*Periodic Steady-State*)

L'analyse PSS (*Periodic Steady-State*) est une analyse grand-signal permettant d'obtenir rapidement l'état d'équilibre du système et ce, de manière totalement indépendante des constantes de temps mises en jeu par ce dernier. Elle a donc été développée spécifiquement pour ce type d'applications qui, de par l'intervention des non-linéarités, nécessite des temps de simulation très importants. Le principe utilisé est, quant à lui, décrit plus en détail en référence [63].

La troisième méthode que nous avons choisi d'investiguer a été développée au sein de l'institut et est définie sous le nom de *méthode dipolaire*. Cette méthode permet de s'affranchir des effets du transitoire dans le système en forçant les oscillations à l'aide d'une source sinusoïdale parfaite.

### 1.4.1.3 Simulation des oscillateurs par la méthode dipolaire

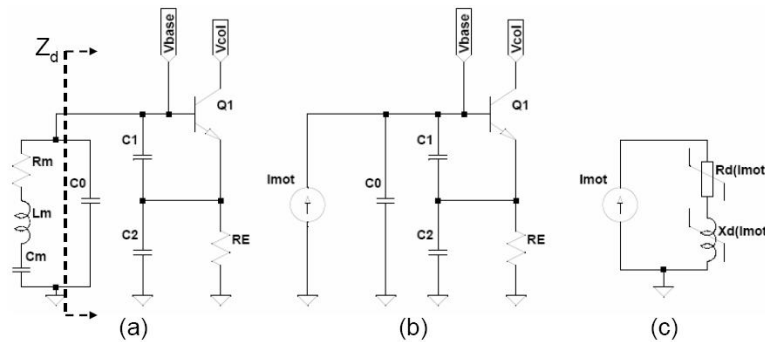


FIGURE 1.26 – Principe d'une analyse dipolaire : exemple d'une structure Colpitts simplifiée (schéma électrique équivalent du résonateur inclus) (a), modélisation du courant circulant dans la branche motrice par une source parfaite (b), circuit dipolaire équivalent de la cellule oscillateur (c).

La méthode dipolaire, développée pour l'étude et la modélisation du comportement non-linéaire des oscillateurs à quartz [64,65], est basée sur le principe décrit en figure 1.26. Il s'agit d'une approche grand-signal pour laquelle nous faisons la distinction entre la branche motrice du résonateur et le circuit électronique d'entretien en considérant la capacité statique ( $C_0$ ) comme étant une composante parasite intervenant dans le circuit. Cette méthode peut alors se résumer aux deux actions listées ci-dessous :

1. Modélisation du courant circulant dans la branche motrice par une source parfaite fournissant un signal sinusoïdal à la fréquence de résonance (1.1),
2. La cellule oscillateur est ensuite représentée par son impédance dipolaire équivalente  $Z_d$  (1.13) pour laquelle  $R_d$  constitue sa partie réelle et  $X_d = L_d\omega$  sa partie imaginaire, lesquelles sont fonctions de l'amplitude du courant.

$$Z_d = R_d + jL_d\omega \quad (1.13)$$

Lorsque le système a atteint son régime permanent, le principe de conservation de l'énergie permet

d'écrire la relation (1.14) entre l'impédance de la branche motionnelle ( $Z_Q$ ) et celle de l'électronique d'entretien ( $Z_d$ ) :

$$Z_d + Z_Q = 0 \quad (1.14)$$

Par identification entre les parties réelles et imaginaires, les deux équations suivantes permettent de définir l'amplitude et la fréquence d'oscillation du système en régime établi.

$$\begin{cases} R_m & = -R_d \\ L_m\omega - \frac{1}{C_m\omega} & = -L_d\omega \end{cases} \quad (1.15)$$

Cette méthode a fait l'objet de travaux qui ont conduit, entre autre, à la réalisation d'un logiciel de simulation nommé ADOQ (Analyse Dipolaire des Oscillateurs à Quartz) compatible avec le simulateur SPICE® [66, 67] et son extension ADOQ-S [68] compatible sous SPECTRE®.

### 1.4.2 Analyse de la stabilité des systèmes linéaires et non-linéaires

L'étude de la stabilité d'un système bouclé<sup>27</sup>, qu'il soit linéaire (cas idéal) ou non-linéaire (cas réel), permet de prédire son bon fonctionnement lorsque celui-ci est soumis par la suite à différents types de stimuli. Les conditions *sine qua non* sont finalement obtenues après une caractérisation de la marge de gain et de phase de ce dernier suite à une étude en boucle ouverte. Différents cas sont possibles :

- **Cas d'un système stable** : la marge de gain et de phase doit être suffisante pour prévenir tout risques d'auto-oscillation conduisant à une détérioration dudit système,
- **Cas d'un système autonome** : il s'agit d'un système un peu particulier qui doit être instable pour pouvoir démarrer et maintenir la stabilité des oscillations en régime établi (pas d'amortissement).

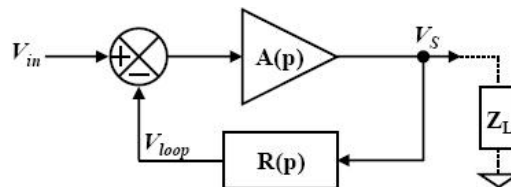


FIGURE 1.27 – Schéma d'un système réactionné avec  $A(p)$  le gain de la chaîne d'action et  $R(p)$  celui de la réaction.

En automatique, les différents sous-ensembles d'un système sont représentés sous forme de blocs (figure 1.27) auquel est attribuée une fonction de transfert caractéristique du comportement électrique, mécanique, thermique... vis-à-vis de l'application visée. Dans le cas présent,  $A(p)$  et  $R(p)$  représentent respectivement la fonction de transfert de la chaîne directe et de la réaction pour lesquelles nous introduisons la variable de Laplace  $p$  ( $= j\omega$ ). Dans cet exemple, la fonction de transfert en boucle ouverte est alors définie par :  $V_{loop}/V_{in}(p) = A(p) \times R(p)$ .

<sup>27</sup>. Il existe différentes catégories de systèmes bouclés : les systèmes à réinjection positive dont font partie les oscillateurs, les régulations ou les asservissements...

Notons toutefois que cette représentation "unidirectionnelle" n'est valable que dans le cas d'un comportement linéaire où les blocs constitutifs restent indépendants les uns des autres : la grandeur de sortie est fonction uniquement de la variable d'entrée. Dans la réalité, ce raisonnement n'est plus valable car les différents blocs étudiés sont généralement complémentaires : en électronique, la présence des charges et autres impédances caractéristiques vues en entrée et en sortie des blocs considérés rendent alors le système non-linéaire. Nous ne pouvons donc plus traiter ce système de manière unidirectionnelle mais bien de manière bi-directionnelle ("*feedthrough*"). Ainsi, dans le cas de la simulation d'un système électronique en "boucle ouverte", l'ouverture "physique" de la boucle est donc proscrite car les problèmes récurrents qui en découlent reposent sur le fait que :

- Les points de polarisation en statique diffèrent de part et d'autre de la boucle après ouverture,
- Les impédances équivalentes vues par le système lors de l'analyse petit-signal ne sont plus identiques à celles du système observé en boucle fermée.

Différentes approches sont alors envisagées :

1. La méthode pour laquelle le circuit initial est dupliqué autant de fois que nécessaire de manière à rendre compte de l'ensemble des polarisations statiques et des impédances dynamiques<sup>28</sup> (figure 1.28 **(a)**) [69].
2. La méthode développée et publiée en 1975 par le Dr. R. D. MIDDLEBROOK [70] caractérisant la fonction de transfert en boucle ouverte  $T_{BO}$  d'un système sans ouvrir la boucle. Il considère que cette fonction est une combinaison du gain en tension  $T_V$  et du gain en courant  $T_I$  (figure 1.28 **(b)**) pouvant être mis sous la forme suivante<sup>29</sup>.

$$\frac{1}{1 + T_{BO}} = \frac{1}{1 + T_V} + \frac{1}{1 + T_I} \quad (1.16)$$

3. La méthode développée par M. TIAN *et al.* [72] dont les algorithmes de calcul sont utilisés sous le simulateur SPECTRE® lors d'une analyse de type *.stb*.

### 1.4.3 Le bruit de phase d'un oscillateur

Le signal sinusoïdal pris en sortie des étages RF (circuit d'entretien et étage de sortie bufferisé) est entaché par des fluctuations aléatoires de phase et d'amplitude (figure 1.29). Transposé dans le domaine spectral, le pic de Dirac caractéristique de la transformée de Fourier d'une fonction sinus non bruitée de période  $1/f_0$  présente un élargissement composé de bandes latérales autour de  $f_0$  (figure 1.30).

Une première modélisation du bruit de phase d'un oscillateur a été proposée de manière empirique par D. B. LEESON en 1966 [73] puis décrite analytiquement par G. SAUVAGE [74]. Dans cette approche,

---

28. En alternatif, les capacités agissent comme des courts-circuits et les inductances comme des circuits ouverts.

29. Cette méthode a par ailleurs fait l'objet d'une généralisation pour rendre compte du comportement bi-directionnel du système étudié [71].

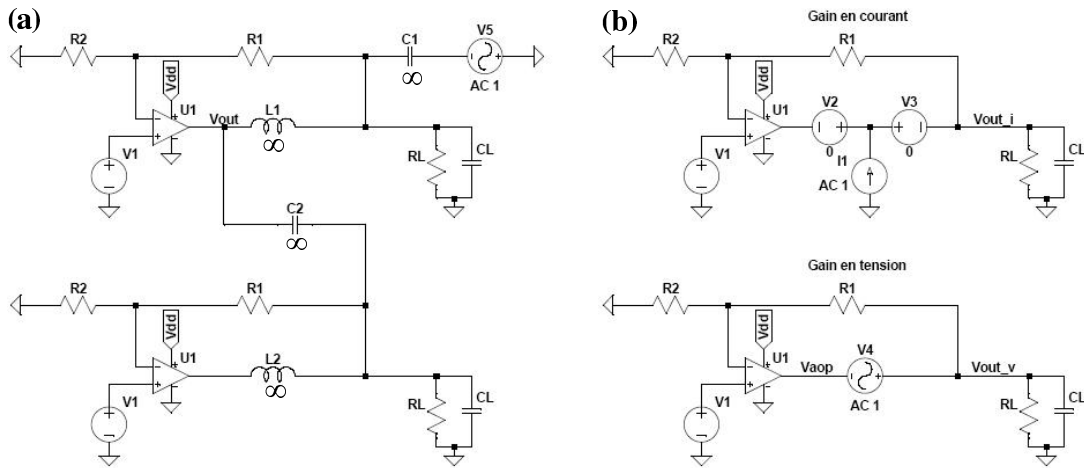


FIGURE 1.28 – Etude de la stabilité en boucle ouverte d’un amplificateur à contre-réaction négative : duplication du circuit initial (a) et approche de R. D. MIDDLEBROOK avec évaluation du gain en courant et en tension (b).

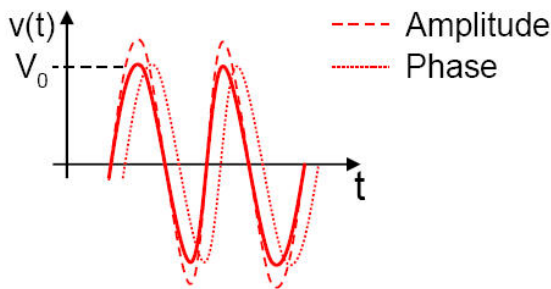


FIGURE 1.29 – Représentation temporelle d’un signal sinusoïdal avec fluctuation "positive" de son amplitude et de sa phase.

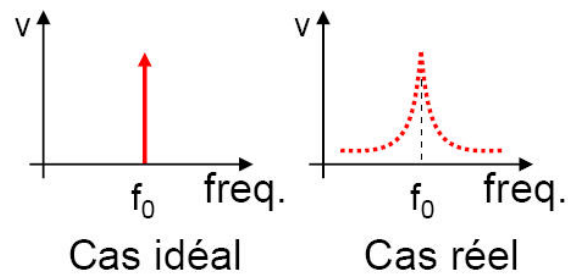


FIGURE 1.30 – Représentation spectrale d’un signal sinusoïdal : cas idéal et cas réel.

la densité spectrale des fluctuations de phase  $S_{\phi}(f)$  exprimée en [dB rad<sup>2</sup>/Hz] et évaluée en sortie de la boucle oscillatrice s’écrit :

$$S_{\phi}(f) = S_{\Delta\theta} \left[ 1 + \left( \frac{f_0}{2Q_L f} \right)^2 \right] \quad (1.17)$$

Où  $S_{\Delta\theta}$  est la densité spectrale des fluctuations de phase dans la boucle,  $f_0$  la fréquence de la porteuse (fréquence d’oscillation) et  $Q_L$  le facteur de qualité du résonateur en charge qui est inférieur au facteur de qualité à vide établi en (1.4). A l’aide du schéma bloc simplifié de la figure 1.31, nous mettons en évidence l’effet Leeson dont la fréquence caractéristique ( $f_L$ ) est une fonction de la ½ bande passante du résonateur (équation (1.18)). Le circuit d’entretien est considéré comme une source de bruit blanc ( $f^0$ ) et l’étage de sortie n’est pas bruité.

$$f_L = \frac{f_0}{2Q_L} \quad (1.18)$$



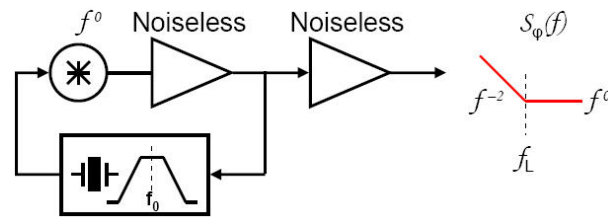


FIGURE 1.31 – Schéma bloc simplifié d'un oscillateur avec mise en évidence de l'effet Leeson.

Nous avons représenté en figures 1.32 et 1.33 le bruit de phase unilatéral ( $\mathcal{L}(f)$  en [dBc/Hz]) d'un oscillateur en considérant les cas où  $f_L > f_c$  et  $f_L < f_c$ . La fréquence  $f_c$  étant la fréquence de coupure du bruit flicker des électroniques.

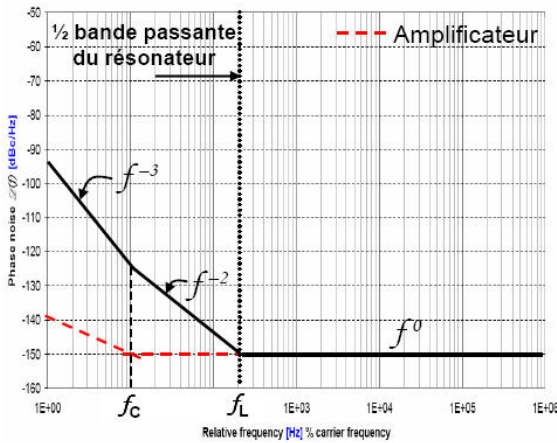


FIGURE 1.32 – Représentation asymptotique du bruit de phase unilatéral ( $\mathcal{L}(f)$ ) :  $f_L > f_c$ .

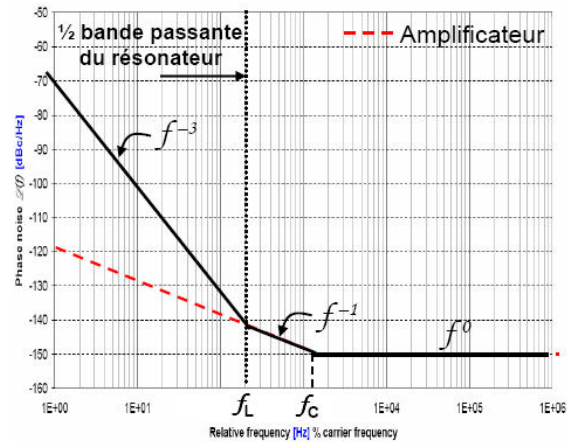


FIGURE 1.33 – Représentation asymptotique du bruit de phase unilatéral ( $\mathcal{L}(f)$ ) :  $f_L < f_c$ .

Dès lors, de nombreux travaux ont été engagés pour comprendre les phénomènes mis en jeu afin de disposer de modèles analytiques [75, 76] et d'outils de simulations [63] aptes à une optimisation en bruit des circuits. Pour des informations complémentaires sur le bruit de phase des oscillateurs, nous invitons le lecteur à consulter les références [77–80]. Dans la pratique, les analyses de bruit disponibles sous la plupart des simulateurs (directive *.noise* sous SPICE®) sont réalisées après linéarisation du circuit autour de son point de fonctionnement statique. Ce dernier étant alors considéré comme invariant au cours du temps, cette approche n'est donc pas adaptée à la modélisation du bruit caractéristique d'un système autonome. Pour cela, le simulateur SPECTRE® met à disposition l'analyse *noise* qui prend en compte la dépendance temporelle périodique du point de fonctionnement du circuit étudié. Les différentes sources de bruit du circuit sont dans un premier temps évaluées au point de fonctionnement linéarisé en grand-signal à l'aide de la PSS, puis sont transformées par leurs fonctions de transfert respectives.

Nous allons maintenant aborder la seconde grande étape d'un design de circuit intégré : l'implantation physique des composants (layout).

### 1.4.4 Contraintes et influences du layout

Le layout des cellules analogiques ou numériques représente l'implantation physique de l'ensemble des composants actifs et passifs du schéma électronique développé durant les étapes précédentes. Chaque composant est ainsi représenté sous forme 2D selon les différents niveaux de masquage du procédé de fabrication du fondeur (zones de diffusion et de dopage, couches métalliques...). Dès lors, l'implantation du layout dans le design d'un ASIC requiert une certaine réflexion en amont pour tenir compte et minimiser l'effet des dispersions occasionnées par cette fabrication. Donc, comme décrit dans les principaux ouvrages abordant l'art du layout [81–83], des stratégies de conception et des outils informatiques spécifiques sont mis à disposition pour permettre au concepteur de rendre son design fiable et robuste.

#### 1.4.4.1 Influence des procédés de fabrication

Les comportements électriques et thermiques des composants actifs et passifs constitutifs d'un design sont suffisamment bien modélisés pour valider le fonctionnement des cellules développées vis-à-vis des spécifications initiales. Toutefois ces cellules sont soumises aux tolérances mécaniques de fabrication qui ont une forte incidence sur les performances électriques attendues : on recense ainsi les défauts de positionnement, de gravure, de contrôle des dépôts (épaisseur : oxyde et métal), des gradients thermiques intervenant durant la fabrication... C'est pourquoi en règle générale, le développement d'un ASIC requiert plusieurs envois en fonderie pour bénéficier d'un nombre d'échantillons suffisant de manière à se prémunir d'une statistique sur les dispersions observées.

##### 1.4.4.1.1 Le mismatch

Le mismatch est un paramètre caractérisant l'écart ( $\delta$ ) entre les dimensions physiques théoriques d'un composant ( $X$ ) et la mesure effectuée suite à sa fabrication ( $x$ ). Pour une paire de composants implantés, le mismatch est défini de la manière suivante [81] :

$$\delta = \frac{(x_2/x_1) - (X_2/X_1)}{X_2/X_1} = \frac{X_1 x_2}{X_2 x_1} - 1 \quad (1.19)$$

Pour étayer notre propos sur les effets dus au mismatch, nous avons choisi de traiter à titre d'exemple le cas d'une référence de tension<sup>30</sup> dont le principe général est présenté en figure 1.34 : compensation d'un coefficient de température négatif par un coefficient de température positif<sup>31</sup> [84–86]. Un schéma électrique simplifié est donné en figure 1.35. En technologie CMOS, on utilise habituellement des transistors parasites (dopages  $p^+$  et  $n^+$ ) pour former ces différentes jonctions.

30. Les références de tensions sont utilisées pour fournir une tension stable à une structure électronique. Une tension stable se caractérise par une quasi-insensibilité aux fluctuations de température (gamme typique  $[-55^\circ\text{C}, 125^\circ\text{C}]$ ), une forte réjection des tensions d'alimentations et de bonnes performances en bruit (flicker, blanc...).

31. La jonction PN, représentée ici sous la forme d'un transistor bipolaire monté en diode, en est un parfait exemple car elle dispose d'une tension à ses bornes ( $V_d$ ) variant d'environ  $-2 \text{ mV}/^\circ\text{C}$  et son potentiel thermodynamique  $U_T$  qui lui est à coefficient positif ( $k_B/q = +0,086 \text{ mV}/^\circ\text{C}$ ).

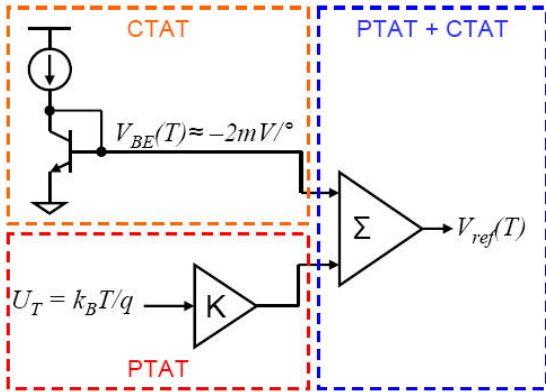


FIGURE 1.34 – Principe généralement utilisé pour fabriquer une référence de tension.

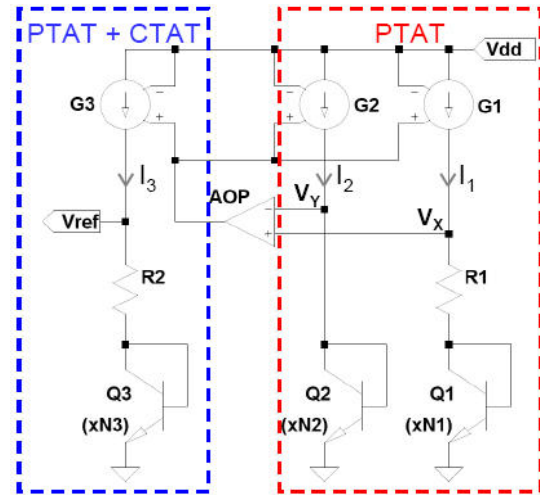


FIGURE 1.35 – Schéma simplifié d'une référence de tension utilisant des transistors bipolaires montés en diode.

Nous allons tout d'abord faire un bref rappel sur la théorie abordée dans cette application pour une meilleure compréhension du schéma de la figure 1.35. La jonction PN (diode ou jonction base-émetteur d'un transistor bipolaire) est caractérisée théoriquement par la loi de Shockley :

$$\begin{cases} I_C &= N I_s \left( \exp \left[ \frac{V_{BE}}{U_T} \right] - 1 \right) \\ U_T &= \frac{k_B T}{q} \end{cases} \quad (1.20)$$

Avec  $I_C$  le courant de collecteur du transistor bipolaire,  $N$  le nombre de transistors identiques parallélisés<sup>32</sup>,  $I_s$  le courant de saturation,  $V_{BE}$  la tension base-émetteur de la jonction,  $U_T$  le potentiel thermique proportionnel à la température absolue,  $k_B$  la constante de Boltzmann ( $= 1,38 \times 10^{-23}$  J.K<sup>-1</sup>) et  $q$  la charge des porteurs ( $|q_{e^-}| = 1,6 \times 10^{-19}$  C). Pour simplifier notre calcul, nous avons choisi d'utiliser les hypothèses suivantes :

- L'amplificateur (AOP) est parfait : tension d'offset nulle et gain infini conduisant à  $V_X = V_Y$ ,
- Le transistor Q1 est choisi comme référence tel que  $Q2 = N_2 \times Q1$  et  $Q3 = N_3 \times Q1$ ,
- Le terme exponentiel de l'équation (1.20) est très grand devant l'unité :  $\exp[V_{BE}/U_T] \gg 1$ . On néglige donc  $\{N I_s\}$  devant  $\{N I_s \exp[V_{BE}/U_T]\}$ ,
- Les sources de courant commandées (G1 et G2) sont forcées à des valeurs identiques par la sortie de l'AOP :  $I_1 = I_2 = I$ ,
- Nous considérons le courant  $I_3$  comme étant proportionnel à  $I$  tel que :  $I_3 = \kappa \times I$  avec  $\kappa$  le coefficient de proportionnalité.

32. Le terme  $N$  peut tout aussi bien être interprété en terme de surface comme rencontré dans les modèles type SPICE® avec le paramètre Area : la surface d'émetteur d'un des transistors étant imposée ici comme valeur de référence.

Nous obtenons alors le système suivant :

$$\begin{cases} V_{ref} = V_{BE(Q3)} + R_2 \times I_3 \\ I_3 = \frac{\kappa}{R_1} \ln\left(\frac{N_1}{N_2}\right) \times U_T \end{cases} \quad (1.21)$$

La tension de référence  $V_{ref}$  est alors composée d'un terme proportionnel à la température (PTAT : Proportional To Absolute Temperature) se traduisant par le potentiel thermodynamique ( $U_T$ ) et d'un terme complémentaire (CTAT : Complementary To Absolute Temperature) régi par la tension  $V_{BE(Q3)}$ .

$$V_{ref} = \underbrace{V_{BE(Q3)}}_{(CTAT)} + \underbrace{\kappa \frac{R_2}{R_1} U_T \ln\left(\frac{N_1}{N_2}\right)}_{(PTAT)} \quad (1.22)$$

Les dispersions de fabrication influant sur la valeur nominale des résistances  $R_1$  et  $R_2$ <sup>33</sup>, la réponse en température de la référence s'en trouve modifiée : sa valeur nominale ( $V_{ref}$ ) et sa température de compensation, toutes deux évaluées pour  $\partial V_{ref}/\partial T = 0$ . Basé sur une architecture similaire à celle du schéma de la figure 1.35, nous avons simulé sous SPECTRE® et tracé la réponse en température de notre référence en figure 1.36. Nous avons rendu compte des effets suivants [81] :

- Les tolérances typiques imputées aux valeurs nominales lors de la fabrication d'un ASIC sont de  $\pm 30\%$ <sup>34</sup>,
- Sur un même wafer, il est possible d'atteindre des tolérances inférieures à  $\pm 1\%$  entre différents composants de même nature et ce, en fonction de la qualité du matching<sup>35</sup>.

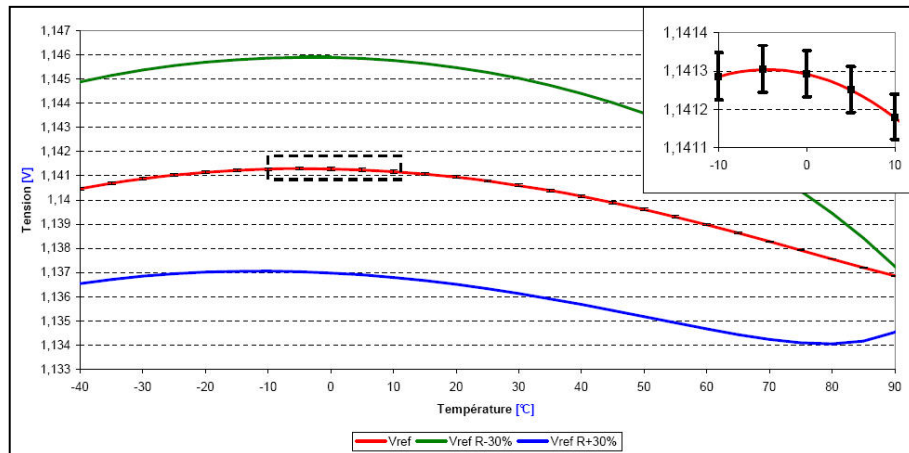


FIGURE 1.36 – Exemple de tension en sortie d'une référence en fonction de la température pour  $\pm 30\%$  et  $\pm 1\%$  (barres d'erreurs) de variation sur la valeur nominale des résistances.

33. Bien que les dispersions de fabrication affectent l'intégralité des éléments constitutifs du circuit, nous ne traiterons ici que de leurs effets sur les résistances.

34. Cette tolérance affectée à un composant intégré dans un ASIC est plus importante que pour son équivalent en discret.

35. Cette considération étant valide quel que soit l'orientation et le positionnement dudit composant dans le design.

#### 1.4.4.1.2 Le rôle du matching

Dans le but de réduire les effets de mismatch, les composants sensibles du design doivent être appariés de manière à minimiser les dispersions sur le fonctionnement global du circuit réalisé (influence des gradients thermiques, défauts de gravure...). Le matching, se traduisant en français par le terme "appariement", peut alors être réalisé de différentes manières (figure 1.37) :

- Par répartition interdigitée des composants **(a)**,
- Par répartition symétrique des composants ("common centroïde") **(b)** et **(c)**.

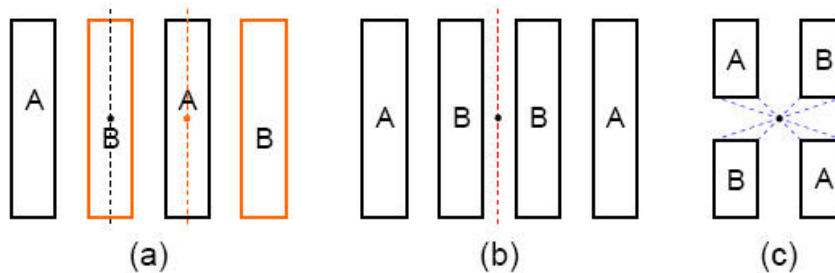


FIGURE 1.37 – Exemple de structures matchées : interdigitées **(a)** et à centre de symétrie ("common centroïde") **(b)** et **(c)**.

Les défauts de gravure ayant une incidence non négligeable sur une architecture intégrée, il est alors nécessaire d'en minimiser les effets. Prenons par exemple le cas d'une implantation de trois résistances en polysilicium, de valeurs nominales strictement identiques ( $R$ ) et interdigitées (figure 1.38 **(a)**). La résistance théorique décrite par ses paramètres géométriques est donnée par :

$$R = R_{\square} \frac{L}{W} \quad (1.23)$$

Avec  $R_{\square}$  la résistance par unité de surface en  $[\Omega]$ ,  $L$  sa longueur et  $W$  sa largeur. Pour étayer notre propos, les hypothèses suivantes sont utilisées :

- La couche de polysilicium est déposée de manière uniforme sur le wafer ( $R_{\square} = cste$ ).
- Les motifs visés, représentés en pointillés (d'après layout), sont protégés à l'aide d'une résine photosensible.
- Nous faisons la distinction entre la surface extérieure aux motifs ( $S1$ ) et entre les motifs ( $S2$ ) telle que  $S1 \gg S2$ .

La vitesse de gravure  $v$  étant typiquement fonction de la surface à graver,  $S1$  sera donc gravée plus rapidement que  $S2$  ( $v_{S1} > v_{S2}$ ) impliquant de ce fait une sous-gravure plus importante :  $\Delta x_1 > \Delta x_2$ . La valeur nominale des résistances placés aux extrémités sera donc supérieure à la valeur souhaitée ( $R_1 > R$ ). Une solution simple pour s'affranchir de ces effets est de prévoir l'ajout de composants fictifs, aussi appelés compensations environnementales ("dummy elements"), qui vont subir la majorité des défauts de fabrication (figure 1.38 **(b)**).

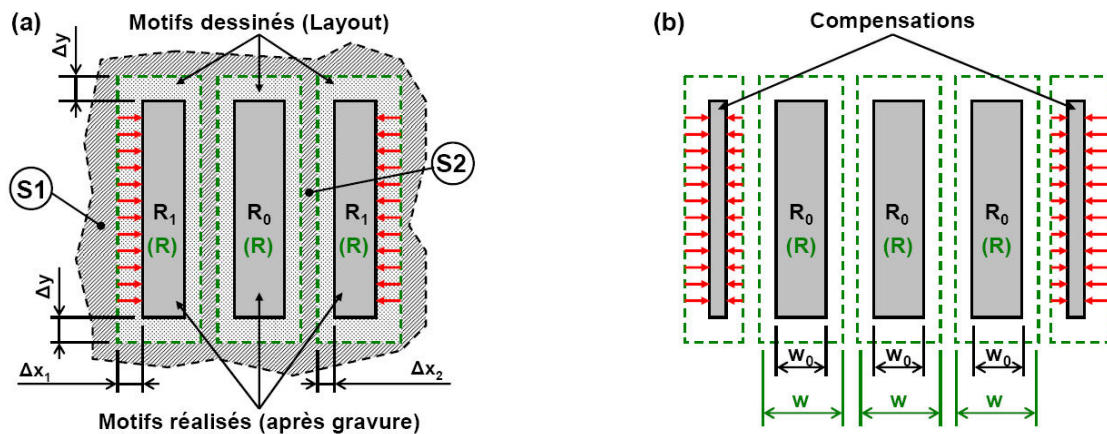


FIGURE 1.38 – Les 3 résistances interdigitées sont soumises aux effets de gravure (a) d'où l'importance des compensations environnementales subissant la majorité des défauts (b).

#### 1.4.4.1.3 Prédiction des effets : Analyses Monte-Carlo et pire-cas

- **Les analyses Monte-Carlo** : Ce sont des analyses statistiques basées sur un tirage de nombres aléatoires représentatifs des effets de mismatch et/ou de process pour les différentes composantes d'un design. Les lois de dispersion suivies pour chacun des composants étant par ailleurs pré-définies par le fondeur et implantées sous le simulateur : répartition gaussienne, répartition uniforme... Le principal avantage de cette méthode est de pouvoir prendre en considération plusieurs paramètres à chacune des simulations et ainsi permettre la caractérisation d'architectures complexes. Pour bénéficier de résultats pertinents, l'analyse Monte-Carlo doit être effectuée avec un nombre important de simulations (typiquement  $\gg 100$ ).

- **Les analyses pire-cas** : Les analyses pire-cas (*Worst Case Corner Analysis*) sont des simulations réalisées à la limite des tolérances de fabrication (cas les plus défavorables) qui ne sont pas forcément prises en compte durant les analyses Monte-Carlo. Elles sont principalement utilisées lors de la validation de cellules numériques.

A partir d'un simple schéma électronique, ces différentes analyses offrent une bonne prédiction quant à la fiabilité et à la robustesse d'un circuit vis-à-vis de son architecture et des composants utilisés. Cependant, certains phénomènes intervenant lors de l'implantation physique de ces composants ne peuvent pas être prédits par simulations mais peuvent néanmoins être évités en prenant quelques précautions. Le concepteur doit alors rester vigilant durant la phase de layout pour ne pas rendre son design défectueux.

#### 1.4.4.2 Le layout

En complément des règles de dessin imposées par le fondeur que nous aborderons par la suite, des erreurs de conception, aggravées lors de la fabrication, peuvent entraîner une détérioration du circuit réalisé. Nous recensons donc une liste non-exhaustive des risques liés à la fabrication d'un circuit intégré et

de quelques solutions possibles pour les minimiser. Des informations complémentaires sont disponibles en [81].

- **Les effets d'antenne :** La solution ionique utilisée lors de la gravure d'une surface conductrice importante (type sèche ou humide) peut favoriser l'apparition de charges électrostatiques sur les surfaces métalliques restantes pouvant par la suite endommager les couches d'oxydes. Pour en limiter les effets, une méthode simple consiste à privilégier un maximum de passages vers des niveaux de métal différents à défaut d'augmenter la résistance de contact. La grille des transistors MOS est particulièrement sensible à ces effets.

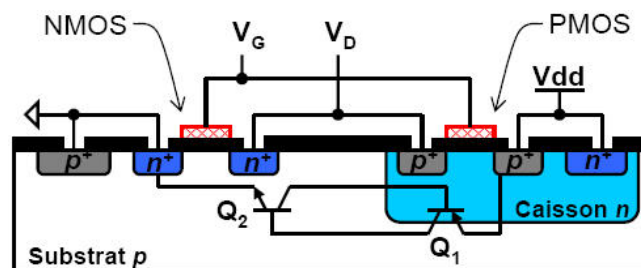


FIGURE 1.39 – Phénomène de latch-up : cas d'un inverseur CMOS (résistances parasites du substrat et du caisson non représentées).

- **Les risques de latch-up :** Suite aux dopages successifs de certaines zones du substrat ( $n^+$  et  $p^+$ ), par exemple lors de l'implantation de structures MOS dans un design, on observe un empilage de jonctions PN qui donne lieu à une formation de transistors bipolaires NPN et PNP parasites (vue en coupe de la figure 1.39). Ces transistors forment alors un système bouclé (figure 1.40) qui, sous certaines conditions<sup>36</sup>, cause le phénomène dit de latchup générant des dysfonctionnements pouvant aller jusqu'à la destruction du circuit. Pour réduire ces risques dans un design CMOS, le concepteur doit veiller à rendre le gain de la boucle négligeable devant l'unité. Pour cela, il convient de diminuer la valeur :

- Des résistances parasites de substrat ( $R_{sub}$ ) et de puits ( $R_{well}$ ) en augmentant le nombre de contacts.
- Du gain en courant des transistors bipolaires parasites ( $\beta_{NPN}$  et  $\beta_{PNP}$ ) en intervenant sur la largeur de la base<sup>37</sup> ( $W_B$ ).

- **Les couplages par le substrat :** Les couplages par le substrat, aussi appelés "bruit" de substrat, sont inhérents aux faibles résistances obtenues suite au dopage de ce dernier (résistivité typiquement de l'ordre de  $0,1 \Omega.cm$ ). Elles sont ainsi favorables à la circulation d'un courant suffisamment important pour provo-

36. Ces conditions sont : un gain supérieur à l'unité ( $\beta_{NPN}\beta_{PNP} \geq 1$ ) et l'apparition d'un courant dans le substrat suffisant pour rendre le transistor NPN passant ( $V_{BE} > 0,6 V$ ).

37. Dans le cas d'un transistor bipolaire parasite, on notera que seuls les paramètres géométriques sont accessibles par le concepteur pour pouvoir diminuer la valeur du gain ( $\beta \propto (W_B)^{-1}$ ). Toutefois, cette approche n'est valable que dans le cas d'une architecture latérale (ici le NPN) car pour une architecture verticale (le PNP), la largeur de la base est dépendante du procédé de fabrication (profondeur du puits dopé  $n$ ).



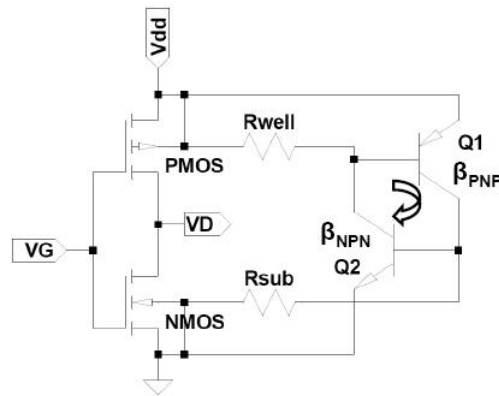


FIGURE 1.40 – Représentation électrique des risques de latch-up dans le cas d'un inverseur CMOS.

quer des différences de potentiels non négligeables. Il devient donc nécessaire de renforcer le design par des zones vouées à la collecte de ces courants parasites (caissons, anneaux de garde, pads spécifiques...) notamment lorsque l'on s'oriente vers la conception d'un circuit couplant fonctions analogiques et numériques sur un même substrat<sup>38</sup> (figure 1.41).

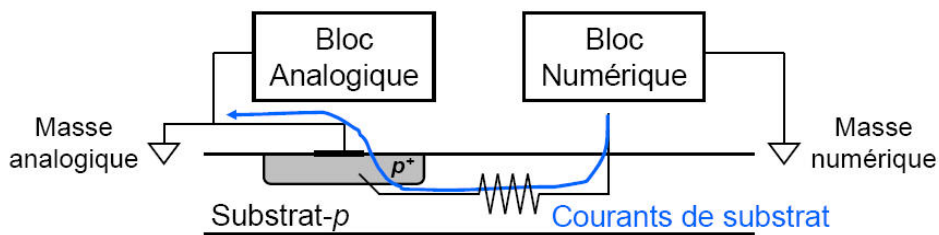


FIGURE 1.41 – Couplages entre deux structures implantées sur un même substrat.

#### 1.4.4.3 Les vérifications sous ASSURA™

Toute adaptation d'un circuit schématisé sous sa forme layout obéit à des règles de dessin strictes qui sont dictées par le fondeur en fonction de la technologie utilisée [87] et dont le non respect<sup>39</sup> (largeurs minimales de métal, espacements, densités de contacts...) rend alors l'étape de fabrication compromise. Ces différentes règles sont typiquement inscrites dans une base de donnée qui sera lancée dans notre application avec ASSURA™ DRC<sup>40</sup>.

Toutefois, afin de parfaire les simulations initiales réalisées sur le schéma, le concepteur doit aussi rendre compte de l'influence des effets parasites supplémentaires introduits par le layout (interconnexions...) lesquels pourront être extraits suite aux étapes décrites ci-dessous :

38. Bien que l'on fasse en sorte de dimensionner les cellules numériques afin qu'elles ne consomment que très peu de courant en fonctionnement statique, il n'est pas exclu que de forts appels de courant surviennent lors de transitions rapides.

39. Quelques exemples de règles de dessin sont consultables en référence [83].

40. DRC : Design Rules Check.



- ASSURA™ LVS<sup>41</sup> permet de synchroniser les composants vus dans le layout avec ceux du schématique,
- ASSURA™ RCX sera ensuite lancé si l'étape précédente est validée et ce, afin d'effectuer l'extraction des éléments constitutifs du layout : ils sont alors qualifiés de parasites dès lors qu'ils n'interviennent pas dans le schématique.

#### 1.4.4.4 L'extraction des effets parasites et post-simulations

D'un point de vue général, Cadence® peut extraire les éléments parasites (R, L, C, K<sup>42</sup>) du circuit (pistes, contacts métal/métal...) et ce, à partir d'un ensemble de fichiers d'une base de donnée fournis par le fondeur relativement aux caractéristiques de son procédé de fabrication. Les extractions qui seront effectuées dans la suite de ce mémoire sont de type R-C pour rendre compte des effets parasites en vue d'une meilleure confrontation avec nos tests expérimentaux<sup>43</sup> :

- Le terme capacitif "C" va principalement intervenir lors des caractérisations temporelles ou fréquentielles : impédance dipolaire, mesures de bruit...
- Le terme résistif "R" est extrait par le simulateur à une température donnée (typiquement 27°C). Pour une meilleure modélisation des effets thermiques sur l'évolution d'un signal lors de nos post-simulations, les résistances extraites sont représentées sous la forme d'un modèle de type SPICE® à partir des informations propres au process de fabrication du fondeur [88], tel que R METx Tc1=valeur1 Tc2=valeur2.

Les post-simulations d'un circuit ASIC complexe nécessitent des temps de calcul plus importants notamment lorsque ce dernier met en œuvre des circuits dont le comportement est fortement non-linéaire. A titre d'exemple, nous avons reporté dans le tableau 1.5 le temps mis pour parfaire la simulation d'un de nos circuits oscillateur<sup>44</sup> en utilisant la méthode dipolaire définie sur 100 points. De plus nous y avons inclus le nombre d'équation relative à chaque vue traitée.

Type de vue	Nombre d'équations	Temps de simulation [h]
Schématique	1900	2,5
Extraite	14000	18

TABLE 1.5 – Temps de simulation pour effectuer une analyse dipolaire selon le type de vue utilisé : cas d'une structure ASIC complexe (*Eliosco\_v1*).

41. LVS : Layout Versus Schematic.

42. K définit le coefficient de couplage mutuel. On notera que l'extraction des inductances (L) et des effets de couplage mutuel (K) ne sont possibles que sous le module complémentaire ASSURA™ RCX-PL (non disponible ici).

43. Les effets de substrat ne sont pas pris en compte lors de cette extraction : nécessité du module complémentaire ASSURA™ RCX-HF (non disponible ici).

44. Il s'agit du circuit *Eliosco\_v1* que nous étudierons plus en détail dans le chapitre suivant.

Nous pouvons alors conclure que la simulation de circuits intégrés complexes est d'autant plus critique si la "netlist"<sup>45</sup> comporte un nombre important d'entités : cas des post-simulations rendant compte des composantes parasites (RLCK) extraites suite à l'implantation physique des composants. Une solution envisagée pour rendre les temps de simulation abordables consiste à travailler de manière indépendante sur chacune des cellules développées en s'appuyant sur la possibilité d'utiliser des modèles comportementaux pour rendre compte du fonctionnement des éléments connexes à la cellule étudiée.

La miniaturisation devenant une contrainte prédominante dans les applications actuelles, le développement de circuits intégrés en microélectronique, que ce soit dans le domaine de l'analogique et/ou du numérique, est favorable à la réalisation de structures hybrides de faibles dimensions. Au cours de ce chapitre, nous avons pu voir que le développement d'un circuit ASIC, permettant d'adapter une ou plusieurs fonction dans une même puce, requiert un investissement important. Ce dernier, obéissant alors à des règles strictes imposées soit par le fondeur ou du fait de l'utilisation d'un substrat semiconducteur (latch-up, couplages substrat...), doit alors être pensé à l'origine en vue de son implantation et de sa future fabrication. Pour cela, les outils de conception et de simulation ont évolué pour rendre compte d'un maximum de phénomènes intervenant dans ce type de design. Nous allons désormais nous intéresser à la conception et à la caractérisation d'un circuit oscillateur intégré pour des applications de type XO en associant une électronique d'entretien intégrée avec un résonateur à quartz externe. Pour cela, nous serons amenés à utiliser les méthodes d'analyses spécifiques à l'étude de circuits autonomes en mettant en avant la méthode dipolaire développée au sein du laboratoire [65, 67].

---

45. Listing des composants électroniques utilisés dans le schéma avec les nœuds et autres paramètres du modèle : pour une résistance R n1 n2 valeur, pour un transistor bipolaire Q c b e (sub) type (NPN ou PNP) paramètres du modèle...



## **Chapitre 2**

# **Conception et réalisation d'un oscillateur à quartz intégré**

Les besoins toujours grandissants en termes de miniaturisation conduisent dorénavant les concepteurs à faire face à des problématiques et des orientations dans le choix des architectures pour réduire de manière significative les volumes occupés et les puissances mises en jeu sans pour autant perdre en performances par rapport aux structures existantes. Cette démarche adoptée dans le domaine bien particulier des oscillateurs à quartz permet de minimiser l'utilisation de composants discrets, réduire sensiblement la longueur des interconnexions limitant ainsi l'influence des phénomènes parasites et enfin diminuer la consommation globale du circuit. La motivation de ce travail consiste à développer un ASIC en technologie 0,35  $\mu\text{m}$  SiGe BiCMOS de chez Austriamicrosystems® pour couvrir les applications de type XO (Crystal Oscillator) ou VCXO (Voltage Controlled Crystal Oscillator). Cet ASIC, regroupant la plupart des fonctions électroniques nécessaires à la réalisation d'un oscillateur (topologie Colpitts, polarisations, mise en forme...), est associé à un résonateur à quartz de coupe AT-P3 travaillant à la fréquence particulière de 40 MHz.

## 2.1 Rappels

Suite aux premières investigations menées dans le chapitre 1 de ce manuscrit, nous avons effectué un bilan non-exhaustif des différentes familles d'oscillateurs à quartz existantes toujours utilisées dans des applications telles que la métrologie, la communication... Cette section est ainsi vouée à fournir une description succincte des familles XO et VCXO.

### 2.1.1 Les oscillateurs non compensés en température : XO

Les oscillateurs à quartz non compensés en température (ou XO) sont l'association des éléments décrits dans les généralités du chapitre précédent, à savoir un résonateur à quartz et une électronique d'entretien formant le système bouclé devant respecter "entre autre" la condition d'oscillation définie en (1.8) (critère de Barkhausen). Toutefois la dépendance intrinsèque du résonateur à la température (matériau et orientation) reste un des principaux facteur limitant les performances de ce type de structure notamment lorsque l'on vise des applications métrologiques : pour une coupe AT, la stabilité en fréquence vis-à-vis de cette grandeur physique peut varier de l'ordre de quelques ppm<sup>46</sup> à 50 ppm.

### 2.1.2 Les oscillateurs contrôlés en tension : VCXO

Le procédé de fabrication du résonateur à quartz est généralement adapté en tenant compte de la charge capacitive équivalente introduite par l'électronique d'entretien<sup>47</sup> ( $C_{LOAD}$ ). Toutefois, les tolérances liées à cette fabrication affectent aussi bien les paramètres motionnels du résonateur ( $R_m$ ,  $L_m$ ,  $C_m$  et  $C_0$ ) que ceux du circuit électronique et donc du  $C_{LOAD}$ , ceci se traduit alors par une variation inéluctable de la fréquence d'oscillation ( $f_{osc}$ ) du circuit oscillateur. Cette variation est donnée par l'expression

---

46. 1 ppm =  $1 \times 10^{-6}$ .

47. Ce raisonnement montre le lien étroit entre la fabrication du résonateur d'une part et le circuit électronique d'entretien d'autre part : calage en fréquence du résonateur en fonction du circuit d'entretien ou inversement.

ci-dessous :

$$f_{osc} = f_r \sqrt{\left(1 + \frac{R_m^2 (C_0 + C_{LOAD})}{L_m}\right)} \quad (2.1)$$

En fonction du type d'application, il est parfois utile de recalibrer la fréquence d'oscillation afin de compenser ces dispersions de fabrication. Cette opération est le plus souvent réalisée par ajout d'une capacité supplémentaire en série avec le résonateur pour "tirer vers le haut"<sup>48</sup> la fréquence. Cette capacité, que l'on nomme communément capacité de tirage, peut être de valeur fixe ou commandée par l'intermédiaire d'une tension statique ou dynamique (cas des boucles à verrouillage de phase, besoins d'une modulation de fréquence...). Dans le cas particulier d'un VCXO, cette opération s'effectue de manière électronique en agissant sur la polarisation d'une diode varicap ( $C_{var}(V)$ ) par le biais d'une tension externe comme schématisé en figure 2.1. Cette variation de fréquence pouvant alors être approximée par<sup>49</sup> :

$$\frac{\Delta f}{f_r} \approx \frac{C_m}{2(C_0 + C_{var})} \quad (2.2)$$

Le développement de cette électronique requiert l'intégration d'un certain nombre de fonctions dans l'ASIC devant satisfaire les spécifications requises. Pour cela, nous allons faire un bilan préliminaire de ces différentes fonctions et des contraintes associées dans le but de minimiser l'utilisation de composants externes.

## 2.2 Stratégie d'intégration

Un synoptique des fonctions envisagées pour le développement d'un XO ou d'un VCXO intégré est proposé en figure 2.2. Représentées ici de manière symbolique, les fonction décrites ci-dessous seront détaillées dans la suite de cette section.

- Un bandgap<sup>50</sup> pour fournir au système une tension de polarisation stable,
- Une cellule oscillateur de type Colpitts (ou équivalent),
- Un amplificateur d'isolation et de limitation du niveau de signal pour l'attaque d'un étage buffer,
- Un buffer qui suit la mise en forme du signal et garantit l'adaptation de l'oscillateur à une charge et à des niveaux de tension spécifiques (HCMOS, 50  $\Omega$ , TTL...),
- Une structure pour permettre un tirage électronique de la fréquence (application VCXO).

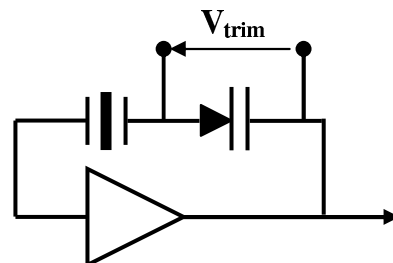


FIGURE 2.1 – Structure VCXO : diode varicap en série avec le résonateur.

48. L'opération inverse étant aussi possible à l'aide d'une inductance bien qu'elle soit très peu utilisée de par la forte sensibilité environnementale (champs magnétiques...) de ce type de composant.

49. On ne tient pas compte ici de l'effet de charge due à l'électronique d'entretien.

50. "Bandgap" ou "bandgap reference voltage" est le terme anglophone utilisé pour définir une référence de tension dont le principe prend compte de la dépendance intrinsèque à l'énergie d'activation  $E_g$ . Pour le silicium, elle est de 1,21 eV.

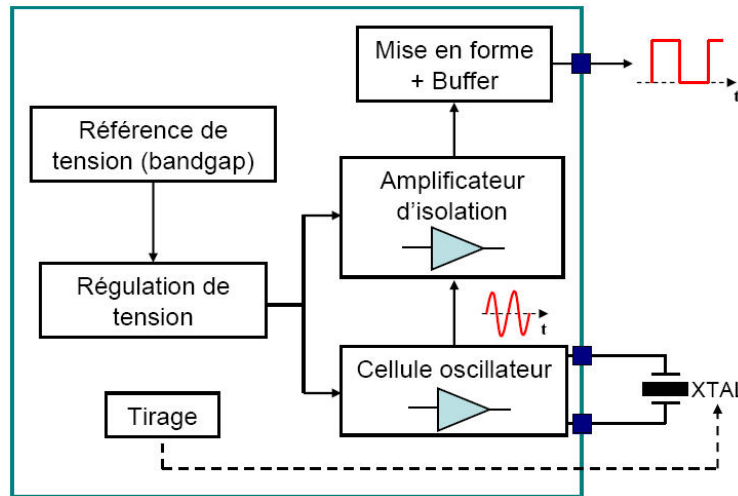


FIGURE 2.2 – Synoptique d'un oscillateur intégré dans un ASIC.

## 2.2.1 Problématique d'intégration d'une référence de tension

Pour fournir une tension de polarisation suffisamment stable aux différentes cellules de notre design, nous avons choisi d'y intégrer la référence de tension. Celle-ci servant à polariser nos étages RF, elle doit donc être dimensionnée vis-à-vis des impédances de charge ( $R_L$ ,  $C_L$ ) imposées par ces derniers. Nous avons donc choisi d'investiguer deux types d'architectures :

- le régulateur de tension,
- la référence distribuée.

### 2.2.1.1 La référence de tension

La référence de tension est une architecture complexe, caractérisée principalement par sa sensibilité thermique (compensation en température au moins du premier ordre) et aux alimentations, pour laquelle les contraintes mécaniques<sup>51</sup>, les défauts de process et de mismatch ainsi que la pertinence des modèles de simulation utilisés [89] sont autant de facteurs contribuant à dégrader sa robustesse et ses performances. Ayant abordé brièvement la problématique de la référence de tension au cours de notre premier chapitre, l'expression analytique de la tension en sortie du schéma simplifié de la figure 1.35 est rappelée ci-dessous (Cf (1.22)) :

$$V_{bandgap}(T) = V_{BE}(T) + \kappa \frac{R2}{R1} \ln \left( \frac{N1}{N2} \right) \times U_T(T) \quad (2.3)$$

La tension aux bornes de la jonction ( $V_{BE}$ ), correspondant au terme complémentaire en température (CTAT), suit typiquement un comportement non-linéaire en fonction de cette grandeur physique (2.4).

$$V_{BE}(T) = N_F \frac{k_B}{q} T \ln \left( \frac{I_C(T)}{I_{C0}} \right) + X_{TI} \frac{k_B}{q} T \ln \left( \frac{T_0}{T} \right) + \frac{N_F}{q} \left( E_g(T) - E_{g0} \frac{T}{T_0} \right) + V_{BE0} \left( \frac{T}{T_0} \right) \quad (2.4)$$

51. Le silicium étant un matériau piézorésistif, les contraintes mécaniques appliquées au substrat affectent sa résistivité et par conséquent ses propriétés physiques.

Avec  $I_C$  le courant de collecteur du transistor bipolaire monté en diode,  $k_B$  la constante de Boltzmann,  $q$  la charge des porteurs,  $E_g$  l'énergie d'activation [eV] et  $T_0$  la température ambiante (300 K). Dans cette formulation, nous avons par ailleurs introduit deux paramètres caractéristiques du modèle de simulation SPICE® Gummel-Poon ( $N_F$  et  $X_{TI}$ <sup>52</sup>) pour définir cette dépendance. Les termes d'indice "0" correspondent à la valeur particulière de température  $T = T_0$ . Nous avons finalement résumé dans le tableau 2.1 les principales sources d'erreurs pouvant affecter la réponse en température d'un bandgap en y incluant quelques solutions pour limiter ces risques.

Sources d'erreurs	Paramètres affectés	Verifications	Solutions
Contraintes mécaniques	Substrat	Tests mécaniques	Encapsulation compatible Positionnement dans l'ASIC Architectures PNP [90]
Process et Mismatch	$I_C, R1, R2, V_{BE0}$	Analyse Monte-Carlo	Contrôle d'impact du layout
Modèles	$N_F, X_{TI}, E_g(T)$	Analyse Monte-Carlo	Affiner les modèles

TABLE 2.1 – Sources d'erreurs affectant une référence de tension et solutions envisagées.

En général, les performances attendues lors de l'intégration d'une référence de tension dans un ASIC comportant des fonctions avoisinantes seront toujours moindres que dans le cas d'une fonction encapsulée indépendamment : par exemple la REF01 (standard industriel). Cette dernière bénéficiant alors d'un positionnement pouvant être optimisé pour minimiser les effets thermiques et mécaniques.

### 2.2.1.2 La régulation de tension

La régulation de tension permet de fournir une tension fixe à l'ensemble des fonctions électroniques d'un système quel que soit le courant de charge total avec parfois une large dynamique. Pour des applications travaillant sous une faible tension d'alimentation, la dynamique en sortie du régulateur devient rapidement un des facteurs limitant les performances et donc, on tend plutôt à s'orienter vers des structures de type LDO<sup>53</sup> dont un exemple est donné en figure 2.3. Le LDO est typiquement composé des éléments suivants [91] :

- Une référence de tension (dans notre cas de type bandgap),
- Un amplificateur d'erreur (AOP),
- Un réseau de réaction servant à la mesure de la tension de sortie,
- Un transistor "ballast" permettant de conserver une tension de sortie ( $V_{out}$ ) stable indépendamment du courant consommé par la charge.

52.  $N_F$  et  $X_{TI}$  traduisent respectivement le coefficient d'émission dans le sens direct et le coefficient de température associé au courant de saturation ( $I_s(T)$ ) de la jonction PN.

53. Un LDO (Low Dropout Voltage Regulator) est un régulateur à faible tension de déchet ( $V_{in} - V_{out}$ ) fournissant une tension de sortie constante ( $V_{out}$ ) indépendante du courant de charge.



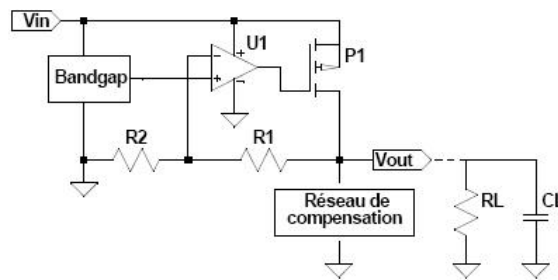


FIGURE 2.3 – Schéma simplifié d'un régulateur de tension série de type LDO.

### 2.2.1.3 Génération et distribution de tension

La génération et la distribution d'une tension de référence aux différentes fonctions intégrées d'un ASIC est présentée en figure 2.4, pour lequel  $n$  représente le nombre de cellules à polariser de manière indépendante. Cette architecture offre alors les avantages (+) et les inconvénients (-) suivants :

- (+) Réglage spécifique du gain en tension afin d'optimiser la consommation de l'étage polarisé,
- (+) Positionnement optimal pour minimiser la longueur des interconnexions (chutes de tensions),
- (-) Coût silicium important dû au nombre de structures amplificatrices indépendantes,
- (-) Consommation plus importante des étages de polarisation (Cf raison précédente).

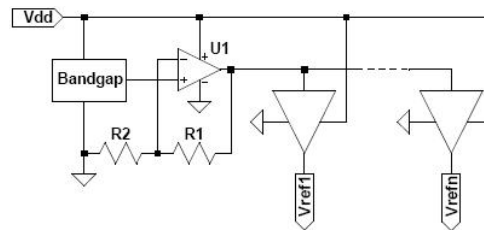


FIGURE 2.4 – Génération et système de distribution de tension à partir d'une référence.

Quelques contraintes "mécaniques" résultant de l'intégration d'un LDO ou d'une référence distribuée sont résumées dans le tableau 2.2.

Structure	Entrées/sorties minimum	Coût silicium
LDO	3	+
Distribution	3	+++

TABLE 2.2 – Critères d'intégration d'une structure de polarisation.

## 2.2.2 Problématique de la cellule oscillateur

La cellule oscillateur utilisée dans le cadre de ce travail est basée sur une topologie de type Colpitts équivalente (voir remarque en 1.2.2) dont la représentation simplifiée est donnée en figure 2.5 (montage collecteur commun) et pour laquelle la sélectivité en fréquence est obtenue avec un résonateur à quartz

externalisé. Pour ne pas surcharger le schéma, les composantes de polarisation de la base ( $V_{base}$ ) et du collecteur ( $V_{col}$ ) de Q1 ne sont pas représentées.

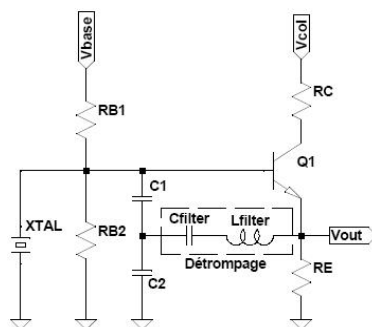


FIGURE 2.5 – Schéma équivalent simplifié de l'oscillateur Colpitts.

Nous prévoyons d'optimiser cet oscillateur pour fonctionner à la fréquence particulière de 40 MHz. Les raisons de ce choix seront alors décrites dans notre chapitre 4 lorsque nous aborderons la conception du démonstrateur miniature mettant en œuvre le circuit intégré développé ici. Nous envisageons malgré tout de rendre cette structure opérationnelle sur une gamme de fréquence répartie sur une décade (typiquement entre 10 MHz et 100 MHz). En cherchant finalement à profiter de l'intégration d'un maximum de composants, nous allons investiguer à partir du schéma de la figure 2.5 ce qu'il est judicieux d'intégrer dans le circuit.

- **Les composants intégrables :** Les composants qui sont totalement intégrables dans une architecture ASIC sont le transistor muni de son système de polarisation, ainsi que la résistance d'émetteur ( $R_E$ ) du fait de leurs faibles surfaces respectives. De plus, nous pouvons mettre à profit la possibilité de compacter au maximum la cellule et ainsi de bénéficier d'avantages aussi bien d'un point de vue thermique qu'électrique (longueurs des interconnexions réduites).

- **C1 et C2 :** Les capacités C1 et C2 sont montées en diviseur capacitif et servent à fixer le gain de la cellule oscillateur à une fréquence particulière. Sachant que le rapport de réinjection est proportionnel au rapport de ces capacités, ces dernières restent alors indissociables afin de les apparier dans les meilleures conditions (tolérances, comportements thermiques...). De ce fait, elles ne peuvent être que totalement intégrées ou externalisées.

- **Le circuit de sélection de la fréquence :** Lorsque le résonateur présente plusieurs modes (ex : coupe SC<sup>54</sup>) ou partiels (P3, P5...) susceptibles d'être excités au démarrage de l'oscillateur, il est nécessaire d'ajouter une sélectivité supplémentaire au système (typiquement un circuit LC) pour "détromper" le

54. La coupe SC fait typiquement apparaître trois modes de vibration au voisinage d'une même fréquence : A, B (thermométrique), C (métrologique). Dans les applications temps-fréquence, on cherche principalement à exciter le mode métrologique (C) qui se caractérise par une résistance motionnelle plus importante (facteur de qualité moindre) que pour un mode B. Ceci implique que ce dernier est plus favorable au démarrage des oscillations lorsque les conditions sont réunies [41].

mode/partiel et ainsi démarrer à la fréquence souhaitée. Nous devons cependant noter que les performances et les valeurs mises en jeu à ces fréquences d'utilisation ne sont pas encore disponibles en vue d'une intégration (surfaces occupées, facteur de qualité du filtre sélectif...).

La gamme de fréquence visée s'étalant sur une décade, nous avons choisi de ne pas intégrer les capacités C1 et C2 ainsi que le système de détrompage. Toutefois, si l'on fait abstraction de ce dernier, il sera possible par la suite d'envisager une intégration des capacités en se focalisant sur le développement d'un système de sélection additionnel. Finalement, la cellule oscillateur intégrée qui sera développée ici va nécessiter un minimum de quatre pads entrée/sortie : les alimentations (vdd et gnd), l'accès à la base du transistor ainsi qu'à son émetteur pour la connexion des capacités externes et profiter de ce dernier pour la récupération du signal.

### 2.2.3 Problématique de l'intégration des capacités

Dans la majorité des systèmes électroniques, l'utilisation d'éléments de compensations, de découplages et autres composants de liaison n'est pas à exclure pour obtenir les performances souhaitées en termes de bruit et de stabilité (cas des systèmes bouclés en général). Ainsi, pour minimiser l'utilisation de composants externes et gagner en précision grâce à l'appariement des composants passifs, intégrer certaines des capacités utiles à notre architecture reste une option envisagée. En technologie CMOS ou BiCMOS, l'intégration de capacités de fortes valeurs (au delà d'une dizaine de picofarads) reste cependant une contrainte par l'importance des surfaces occasionnées sur le silicium. En effet, les faibles valeurs de capacité par unité de surface ( $C_{\square}$ ) intrinsèques à la technologie sont directement imputées aux faibles constantes diélectriques ( $\epsilon_0 \times \epsilon_r$ ) et à l'écartement entre les électrodes ( $e$ ) :

$$C = \frac{\epsilon_0 \epsilon_r}{e} \times WL = C_{\square} \times WL \quad (2.5)$$

Nous allons donc faire un bilan des différents types de capacités disponibles en technologie S35. Puis nous allons investiguer la problématique de l'intégration d'un tirage électronique de la fréquence afin de satisfaire les applications de type VCXO : la diode varicap.

#### 2.2.3.1 Les capacités intégrées en S35

La technologie 0,35  $\mu\text{m}$  SiGe BiCMOS du fondeur Austriamicrosystems® met à disposition deux types de capacités (voir figure 1.23) : les capacités MIM (Metal Insulator Metal) et polysilicium ou PIP (Polysilicium Insulator Polysilicium) dont un comparatif est donné dans le tableau 2.3.

Une capacité MIM présente un facteur de qualité plus important qu'en polysilicium du fait de sa faible résistance série (résistance parasite de contact). De plus, l'isolation intrinsèque de ses électrodes vis-à-vis du substrat (métal2) la rend plus adaptée pour des applications hautes-fréquences comme observé sur l'abaque de Smith en figure 2.6. Cependant, il reste la possibilité de venir ajouter des caissons supplémentaires pour atténuer les effets de substrat que ce soit pour l'une ou l'autre des capacités.

	<b>POLY</b>	<b>MIM</b>
Couches utilisées	<i>poly1 - poly2</i>	<i>metal2 - metalc</i>
Technologie	CMOS, SiGe...	SiGe
Masquages supplémentaires	Non	Oui
$C_{\square}$ [ $fF/\mu m^2$ ] <sup>a</sup>	0,9	1,25
Facteur de qualité <sup>b</sup>	+	+++

a. Lien : <http://www.austriamicrosystems.com/eng/Products/Full-Service-Foundry/Process-Technology/SiGe-BiCMOS/0-35-mTechnology-Selection-Guide>

b. Le facteur de qualité d'une capacité est fonction de sa résistance série  $R_s$  :  $Q_{cap} = (R_s C \omega_0)^{-1}$

TABLE 2.3 – Tableau comparatif entre capacités polysilicium (POLY) et capacités MIM.

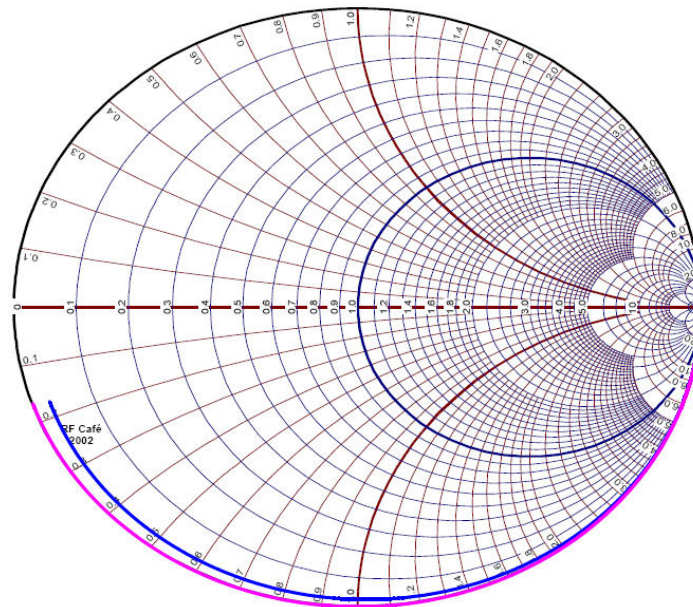


FIGURE 2.6 – Représentation en abaque de Smith de  $C_{POLY}$  (bleu) et  $C_{MIM}$  (rose).

Cependant, bien que les contraintes technologiques ne permettent pas "encore" de rivaliser avec les valeurs nominales et les tolérances typiques d'un composant discret de même encombrement, l'intégration de capacités dans un ASIC offre des avantages et des inconvénients plus ou moins similaires à ceux des résistances intégrées (tableau 2.4).

<b>Avantages</b>	<b>Inconvénients</b>
<ul style="list-style-type: none"> <li>• Précision sur le rapport obtenu (<math>\leq \pm 1\%</math>) [81]</li> <li>• Appariement</li> <li>• Influence du thermique</li> </ul>	<ul style="list-style-type: none"> <li>• Tolérances de fabrication (<math>\pm 30\%</math>) [81]</li> <li>• Surface importante</li> <li>• Réglage difficile</li> </ul>

TABLE 2.4 – Avantages et inconvénients de l'intégration des capacités dans un design ASIC.

Pour notre application, nous avons choisi de mettre en œuvre ces deux types de capacités en privilégiant l'utilisation des composants MIM dans la construction de nos étages RF. Les capacités en polysilicium seront par ailleurs utilisées pour adapter certaines compensations nécessaires au bon fonctionnement des structures de polarisation.

### 2.2.3.2 Le tirage électronique de la fréquence : la diode varicap

La diode varicap est un composant actif dont la caractéristique C–V évolue de manière quasi-linéaire sur une certaine gamme de tension. En technologie CMOS, ce type de comportement est obtenu en utilisant les propriétés intrinsèques d'une jonction PN pour laquelle la capacité de transition (ou capacité de la zone déplétée)  $C_j$  varie suivant une loi de puissance en fonction de la tension à ses bornes (V) [92] :

$$C_j(V) = \frac{C_{j0}}{\left(1 - \frac{V}{\psi_0}\right)^{1/2}} \quad (2.6)$$

Avec  $C_{j0} = C_j(V = 0)$  et  $\psi_0$  le potentiel de jonction. Dans la pratique, les diodes varicap pour des applications du type VCXO (ou VCO) intégrées sont réalisées à partir de jonctions PN<sup>55</sup> ou de structures MOSFET [93]. Cette dernière, dont une vue en coupe est représentée en figure 2.7, obéit à la relation :

$$C_{MOS} = \frac{C_{ox}C_{Si}(V)}{C_{ox} + C_{Si}(V)} + C_p \quad (2.7)$$

La capacité  $C_{MOS}$  est influencée par la capacité d'oxyde ( $C_{ox} = \epsilon_{ox}/t_{ox}$ ) et par les capacités parasites ( $C_p$ ) relatives aux défauts de fabrication (diffusion) et à la connectique. L'élément variable ( $C_{Si}(V)$ ) dépend alors de la tension de polarisation statique permettant ainsi de se placer dans une zone de fonctionnement particulière : accumulation, zone déplétée, inversion. Quelques informations qualitatives sont rapportées dans le tableau 2.5.

Caractéristiques	Jonctions PN	Structures MOSFET
Polarisation	Inverse	Inverse
Facteur de qualité	+++	+
$C_{VAR\Box}$	+	+++
Nombre de pads minimum	2	2

TABLE 2.5 – Diodes varicap intégrées.

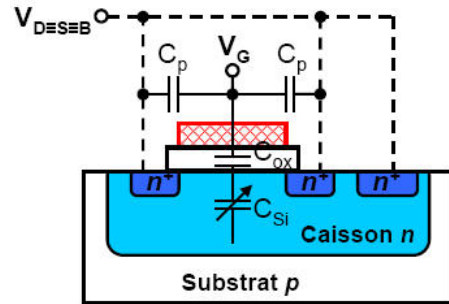


FIGURE 2.7 – Varicap de type NMOS : vue en coupe.

55. Les jonctions PN peuvent être architecturées dans le but d'améliorer le facteur de qualité (structures en îlots) ou d'augmenter la valeur des capacités par unité de surface (structures matricielles ou interdigitées).

A titre d'exemple, nous avons simulé et représenté en figure 2.8 le tirage en fréquence introduit par une capacité placée en série avec un résonateur à quartz travaillant à 40 MHz. Nous remarquons alors que pour obtenir une faible variation de fréquence, la capacité équivalente est relativement importante par rapport au  $C_{VAR}$  typique pouvant être obtenu :  $1 < C_{VAR} < 10 \text{ fF}/\mu\text{m}^2$ . Ainsi, l'intégration d'une diode varicap dans un ASIC pour une application de ce type se retrouve limité par :

- Les surfaces engendrées pour obtenir un faible tirage en fréquence ( $C_{VAR} > 1 \text{ pF}$ ),
- Les fortes valeurs de capacités dégradent le facteur de qualité ( $Q \propto 1/C$ ),
- L'effet des dispersions sur les valeurs typiques de  $C_{VAR}$ ,
- La dynamique de tension admissible par la technologie.

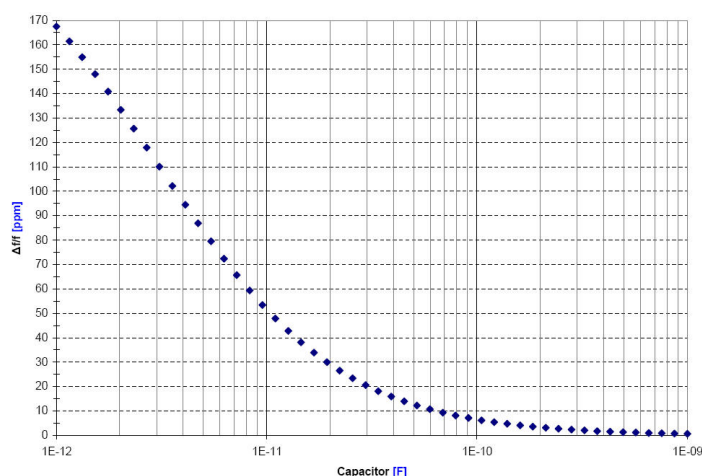


FIGURE 2.8 – Variation de fréquence en fonction de la capacité de tirage à 40 MHz sans effet du  $C_{LOAD}$ .

La fréquence de travail, la maîtrise des procédés et le respect des tolérances lors de la fabrication du résonateur et de l'électronique d'entretien restent des paramètres critiques conditionnant la possibilité d'intégrer une diode varicap dans un ASIC :  $C_{VAR}$ , facteurs de qualité, surface silicium... Nous pouvons néanmoins noter l'intérêt scientifique porté sur l'intégration de ce type de composant lorsque l'on conçoit des dispositifs fonctionnant à des fréquences au-delà du gigahertz.

#### 2.2.4 Problématique de l'étage d'isolation et de mise en forme du signal

Le signal sinusoïdal récupéré en sortie de la cellule oscillateur doit être mis en forme et présenter un niveau suffisant pour pouvoir attaquer une charge résistive et/ou capacitive en fonction de l'application visée. Ceci conduit finalement à intégrer :

- Un étage spécifique à l'isolation de la cellule oscillateur pour ne pas perturber le signal récupéré sous basse impédance (émetteur du transistor),
- Un étage mettant en forme le signal sinusoïdal (figure 2.9) en un signal carré dont le spectre de Fourier est plus riche en harmoniques (figure 2.10).
- Un étage buffer adapté spécifiquement à la charge en sortie pouvant être de type  $50 \Omega$  ou HCMOS ( $10 \text{ k}\Omega$ ,  $15 \text{ pF}$ ).

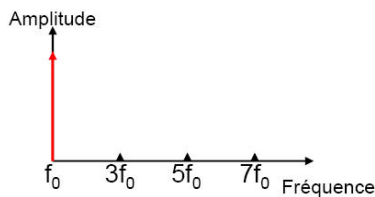


FIGURE 2.9 – Spectre de Fourier théorique d'un signal sinusoïdal pur.

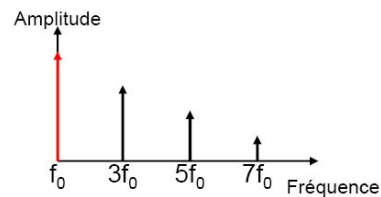


FIGURE 2.10 – Spectre de Fourier théorique d'un signal carré.

Nous nous orientons donc vers le développement de deux designs spécifiques dont quelques caractéristiques sont données dans le tableau 2.6.

Critères	Spécifications	
Type de sortie	50 $\Omega$	HCMOS
Niveau de signal	0 dBm	0 V à 3,3 V
Temps de montée/descente [ns]	< 3 max.	
Rapport cyclique [%]	50 $\pm$ 5	

TABLE 2.6 – Caractéristiques du signal de sortie.

Les changements d'états du signal carré s'effectuant sur des temps relativement courts (transitions rapides), les composants et autres interconnexions relatifs à la conception de cette mise en forme doivent être dimensionnés en fonction des appels de courant engendrés et des densités de courant maximales admissibles par les matériaux. De plus, il est important de prévoir une isolation suffisante lors de l'implantation physique de cette dernière pour minimiser les risques de couplage par le substrat pouvant affecter aussi bien la cellule oscillateur que les étages de polarisation (étages BF). Ceci dépendant majoritairement des choix technologiques qui vont être faits lors de la conception de ces cellules : approche analogique ou mixte (Cf section 1.4.4.2).

### 2.2.5 Problématique des interconnexions vers l'extérieur

Dans un design ASIC, les accès vers l'extérieur sont possibles grâce aux pads qui sont des zones non passivées constitués de l'empilement des couches métalliques caractéristiques de la technologie mise en œuvre (Cf figure 1.23). Deux types de pads sont disponibles dans la technologie S35 du fondeur, une représentation layout est donnée en figure 2.11. Selon l'application visée, nous disposons de :

- Pads standards (alimentations et signaux BF),
- Pads adaptés à la RF.

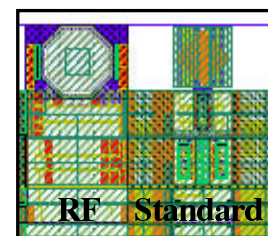


FIGURE 2.11 – Pads de type RF et standard.

En fonction des performances dynamiques attendues, les pads doivent être pris en compte dès la

phase de développement si l'on veut obtenir des résultats cohérents lors des validations expérimentales. Pour exemple, la représentation simplifiée de la cellule oscillateur envisagée est donnée en figure 2.12 (a) avec ses pads d'entrées/sorties et l'équivalent de la connectique par wire bonding. Le schéma électrique d'un pad est simplifié en figure 2.12 (b) [82]. Les protections aux décharges électrostatiques (ESD) sont modélisées à l'aide des diodes D1 et D2, celles-ci ont pour but de réduire les risques de détérioration du circuit suite à des manipulations sans précautions particulières.

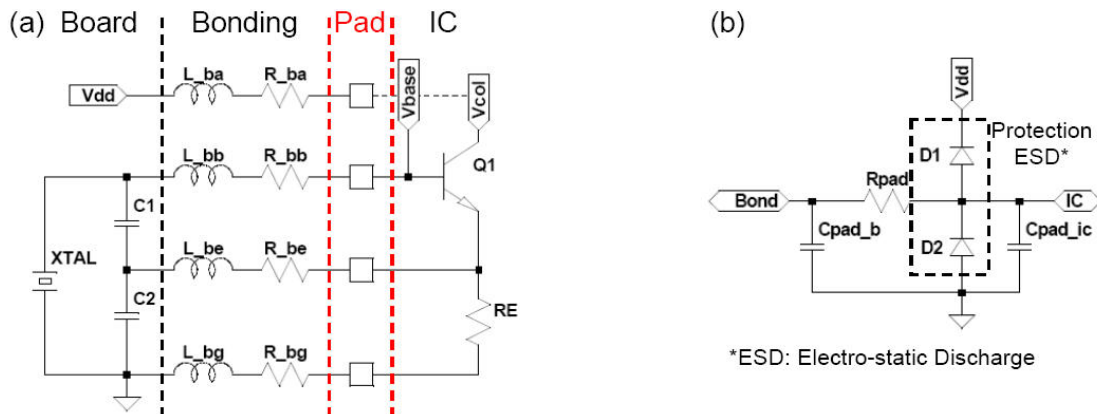


FIGURE 2.12 – Représentation simplifiée de la cellule oscillateur avec prise en compte des pads et de la connexion par bonding (a), équivalent électrique d'un pad avec protection ESD (b).

Nous avons finalement recensé dans le tableau 2.7 le nombre minimum d'entrées/sorties à disposer pour caractériser indépendamment les fonctions intégrées de notre ASIC. Nous avons choisi d'omettre l'intégration du tirage électronique qui sera réalisé au besoin à l'aide de composants placés en externe.

Référence de tension	Cellule oscillateur	Étages de sortie
<ul style="list-style-type: none"> <li>• Alimentations (×2)</li> <li>• Calage (×1)</li> <li>• Sortie (×1)</li> </ul>	<ul style="list-style-type: none"> <li>• Alimentations (×2)</li> <li>• Résonateur (×1)</li> <li>• Sortie (×1)</li> </ul>	<ul style="list-style-type: none"> <li>• Alimentations (×2)</li> <li>• Signal d'entrée (×1)</li> <li>• Sortie (×1)</li> <li>• Découplage étage cascode (×1)</li> </ul>

TABLE 2.7 – Bilan prévisionnel du minimum d'entrées/sorties à disposer.

Nous allons maintenant aborder la démarche de conception suivie pour développer les différentes cellules constitutives de notre oscillateur intégré. Pour cela, nous bénéficions des cellules de base développées en technologie CMOS et pré-caractérisées par le fondeur [61] : référence de tension et amplificateurs différentiels avec leur polarisation intégrée.

## 2.3 Démarche de conception de l'oscillateur intégré

Le cheminement suivi lors de la conception de notre ASIC est conforme à l'organigramme de la figure 1.22 allant des simulations pour la validation des différents schémas, aux post-simulations du



design complet. Avant d'aborder le développement des cellules proprement dites, nous allons poser le cahier des charges fixant ainsi les contraintes mécaniques, électriques et thermiques à respecter.

### 2.3.1 Contraintes de développement et de validation des fonctions intégrées

#### 2.3.1.1 Contraintes mécaniques

Pour des raisons d'encombrement et de coût<sup>56</sup>, nous avons fixé les dimensions externes de la puce à  $2 \times 2 \text{ mm}^2$ . De plus, compte tenu des contraintes liées à l'assemblage par wire bonding et des disponibilités matérielles pour réaliser des tests électriques sous pointes directement sur la puce, les pads d'entrées/sorties vont être répartis sur la périphérie de la puce suivant un pas fixé à  $200 \mu\text{m}$  minimum (figure 2.14). La possibilité de mettre en œuvre un report par flip chip étant aussi envisagée, choisir un pas trop faible contribue à augmenter les risques de former des court-circuits entre les pads lors de l'écrasement des bumps (figure 2.13). Nous verrons ce dernier aspect dans le chapitre 4.



FIGURE 2.13 – Le pas choisi pour le assurer le flip chip de nos ASIC est fonction du diamètre des bumps (type de capillaire et diamètre du fil) et des tolérances de positionnement lors de la dépose : cas favorable (a) et défavorable (b).

D'après le tableau 2.7, nous avons recensé un minimum de 13 pads entrées/sorties. Les contraintes mécaniques définies précédemment nous permettent de fixer le nombre de pads utilisables selon le pas choisi (voir tableau 2.8).

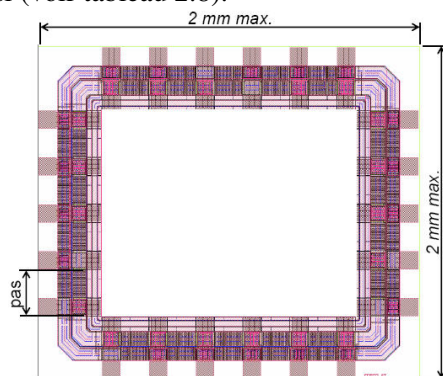


FIGURE 2.14 – Pads fondeur (avec anneau de garde) placés en périphérie de la puce.

Pas	Nombre de pads
$200 \mu\text{m}$	28
$250 \mu\text{m}$	20
$300 \mu\text{m}$	16

TABLE 2.8 – Nombre maximum de pads en fonction du pas (surface de  $2 \times 2 \text{ mm}^2$ ).

56. La surface minimale forfaitaire pour un run fondeur en technologie S35D4M5 est de  $4 \text{ mm}^2$ .

### 2.3.1.2 Contraintes électriques

Les contraintes électriques et "thermiques" sont listées dans le tableau 2.9. Les tensions d'alimentations étant réduites par rapport aux architectures "discrètes" (typiquement  $\geq 5$  V), il devient alors possible de minimiser les consommations. Cependant cet avantage tend à être aussi un inconvénient du fait de la limitation des dynamiques en sortie des étages de puissance.

Paramètres	XO
<b>Résonateur :</b>	
• Fréquence	40 MHz
• Coupe	AT-P3
<b>Contraintes électriques :</b>	
• Technologie	0,35 $\mu\text{m}$ SiGe BiCMOS
• Fonctionnement en température	$[-40^{\circ}\text{C}, +85^{\circ}\text{C}]$
• Tension d'alimentation	3,3 V $\pm 10\%$
• Puissance maximale	150 mW

TABLE 2.9 – Contraintes électriques relatives au développement de l'XO.

### 2.3.1.3 Performances

Avant l'envoi des ASIC pour fabrication chez le fondeur, certaines performances doivent être nécessairement validées par le biais de simulations. Nous en avons listé certaines dans le tableau 2.10 pour le développement de la référence de tension (polarisation statique), de la cellule oscillateur et des étages RF de sortie (mise en forme, buffer).

Référence de tension	Cellule oscillateur	Etages RF de sortie
<ul style="list-style-type: none"> <li>• Sensibilité thermique</li> <li>• Sensibilité à l'alimentation</li> <li>• Réjection de l'alimentation</li> <li>• Stabilité</li> <li>• Bruit BF en sortie</li> </ul>	<ul style="list-style-type: none"> <li>• Pulling<sup>a</sup></li> <li>• Pushing<sup>b</sup></li> <li>• Bruit de phase</li> <li>• Distorsion harmonique</li> <li>• Réjection harmonique 2<sup>c</sup></li> <li>• Stabilité en température</li> <li>• Calage en fréquence</li> </ul>	<ul style="list-style-type: none"> <li>• Niveau d'isolation</li> <li>• Bruit de phase propre</li> <li>• Sensibilité à la température</li> <li>• Réjection de l'alimentation</li> </ul>

a. Sensibilité de l'oscillateur aux fluctuations de sa charge en sortie.

b. Sensibilité de l'oscillateur aux fluctuations de son alimentation.

c. Définit l'écart en puissance entre le fondamental ( $f_0$ ) et l'harmonique suivant.

TABLE 2.10 – Performances à valider par simulations lors du développement.

En cherchant à minimiser globalement la consommation des étages RF, les tensions délivrées par les

étages de polarisation vont être choisies dans ce but et optimisées en conséquence. Nous allons donc nous intéresser en premier lieu au développement de la cellule oscillateur et de la mise en forme du signal pour ensuite aborder du choix des architectures de nos étages BF. Le layout sera alors construit conformément aux conseils et directives décrites dans les références [81, 87].

## 2.3.2 Les cellules RF

### 2.3.2.1 La cellule oscillateur

Le modèle théorique de la topologie "Colpitts" choisie dans le cadre de ce travail a déjà fait l'objet de nombreuses investigations : nous pouvons d'ores et déjà citer les ouvrages de M. E. FRERKING, B. PARZEN, R. J. MATTHYS et R. RHEA référencés en [35, 94–96]. Lors du développement de cette électronique, nous avons privilégié l'utilisation de la méthode dipolaire brièvement introduite en 1.4.1.3 pour caractériser l'impédance de l'oscillateur en fonction de l'amplitude du courant circulant dans la branche motionnelle. Toutefois d'après [41], satisfaire le système d'équations (1.15) par une approche petit- ou grand-signal ne constitue pas une condition suffisante pour garantir le démarrage et l'établissement des oscillations de manière systématique : une analyse de stabilité complémentaire est alors nécessaire. Nous envisageons donc d'étudier l'impédance négative du système complétée par une caractérisation de sa fonction de transfert en boucle ouverte.

#### 2.3.2.1.1 L'impédance négative

L'impédance équivalente de la cellule oscillateur ( $Z_d$ ) présentée en figure 2.15 (a) est étudiée dans ce paragraphe selon une approche petit- et grand-signal. En première hypothèse, considérons l'amplitude des oscillations comme étant suffisamment petite pour ne pas affecter le point de fonctionnement du système : le circuit étudié est ainsi considéré comme linéaire et indépendant de tout autre paramètre que la fréquence. Dans cette première partie, nous allons comparer différents modèles analytiques volontairement simplifiés pour une première estimation "à la main" de l'impédance  $Z_d(\omega)$ . Le transistor bipolaire Q1 de la figure 2.15 (a) a ainsi été remplacé par son modèle petit-signal (figure 2.15 (b)), pour lequel nous avons intentionnellement omis les résistances d'accès de la base, du collecteur et de l'émetteur.

Pour ne pas surcharger les expressions, les impédances relatives à chacune des mailles de notre modèle sont mises sous la forme  $Z_n = R_n + jX_n$  (figure 2.15 (c)). Nous identifions ainsi les effets :

- Entre la base et l'émetteur :

$$Z_1(\omega) = \frac{r_\pi - jr_\pi^2(C_1 + C_{BE} + k_1C_{Pad})\omega}{1 + (r_\pi(C_1 + C_{BE} + k_1C_{Pad})\omega)^2} \quad (2.8)$$

- Entre l'émetteur et la masse du circuit :

$$Z_2(\omega) = \frac{R_E - jR_E^2(C_2 + k_2C_{Pad})\omega}{1 + (R_E(C_2 + k_2C_{Pad})\omega)^2} \quad (2.9)$$

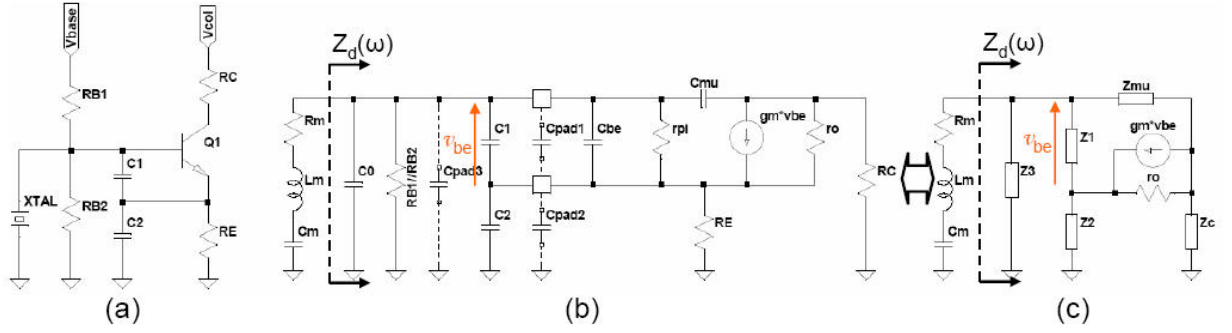


FIGURE 2.15 – Schéma équivalent de l'oscillateur Colpitts (a), prise en compte du modèle petit-signal simplifié du transistor bipolaire (b) et mise sous la forme d'impédances équivalentes (c) (le circuit de détrompage n'est pas pris en considération).

- Entre la base et la masse du circuit en considérant  $R_B = R_{b1} \parallel R_{b2}$  :

$$Z_3(\omega) = \frac{R_B - jR_B^2(C_0 + k_3C_{Pad})\omega}{1 + (R_B(C_0 + k_3C_{Pad})\omega)^2} \quad (2.10)$$

- Entre la base et le collecteur<sup>57</sup> ( $r_\mu \parallel C_\mu$ ) :

$$Z_\mu(\omega) = \frac{r_\mu - jr_\mu^2 C_\mu \omega}{1 + (r_\mu C_\mu \omega)^2} \quad (2.11)$$

- De l'impédance de collecteur  $Z_C$ .

Pour rendre compte des effets capacitifs parasites relatifs aux différents pads et, éventuellement, à la connectique extérieure (routage des pistes...), nous avons introduit une capacité supplémentaire à notre modèle :  $C_{Pad}$ . Cette dernière est alors affublée de trois coefficients de proportionnalité<sup>58</sup> ( $k_1$ ,  $k_2$  et  $k_3$ ) représentant les différentes zones du circuit. L'impédance équivalente de cette électronique ( $Z_d(\omega)$ ) s'écrit alors :

$$\begin{aligned} [Z_d(\omega)]^{-1} &= \frac{1}{Z_1} + \frac{1}{Z_3} + \frac{Z_1 + ro(1 + gmZ_1)}{Z_1 Z_\mu} - \left( \frac{Z_2(Z_\mu + Z_1 + ro(1 + gmZ_1)) + roZ_1}{Z_1 Z_\mu} \right) \\ &\times \left( \frac{Z_\mu(Z_C - Z_1) + (Z_C + Z_\mu)(Z_1 + ro(1 + gmZ_1))}{Z_C Z_\mu(Z_1 + Z_2) + (Z_C + Z_\mu)(Z_1 Z_2 + Z_2 ro(1 + gmZ_1) + roZ_1)} \right) \end{aligned} \quad (2.12)$$

Le paramètre  $ro = 1/go$  étant la résistance de sortie du transistor bipolaire et  $gm (\equiv gm_0)$  sa transconductance petit-signal évaluée au point de polarisation pour  $V_{CE}$  constant et approximée par :

$$gm_0 = \left[ \frac{\partial I_C}{\partial V_{BE}} \right]_{V_{CE}} \approx \frac{qI_C}{k_B T} \quad (2.13)$$

57. Cette impédance peut théoriquement être oubliée dans le bilan électrique et ce quel que soit le niveau d'approximation. Ceci étant dû à la faible valeur de capacité  $C_\mu$  et à la forte valeur de résistance  $r_\mu$ .

58. Par défaut, un de ces coefficients pourra être choisi comme référence et donc égal à 1.

Nous avons choisi de ne pas développer l'expression analytique précédente étant donné le nombre important de paramètres mis en jeu : elle ne sera donc traitée que numériquement. En augmentant le degré de simplification du circuit de la figure 2.15 (b), nous envisageons de traiter les deux modèles présentés en figure 2.16 :

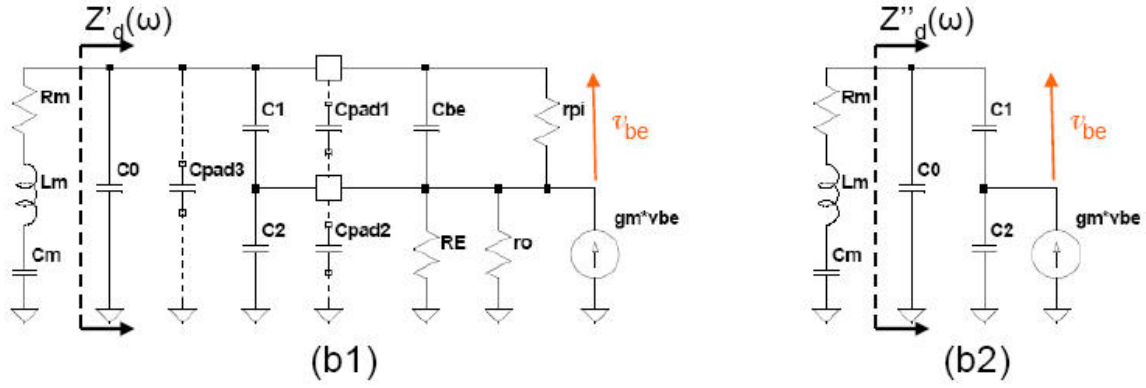


FIGURE 2.16 – Simplifications du modèle petit-signal de la figure 2.15 (b).

**Cas (b1) :** Les résistances de polarisation de la base et du collecteur de Q1 ne sont plus considérées, au même titre que  $Z_{\mu}$ . Ceci nous conduit à introduire dans nos équations précédentes les conditions :  $R_B = \infty$ ,  $Z_C = 0$ ,  $Z_{\mu} = \infty$ . Posons ensuite  $Z'_2 = r_o \parallel Z_2$  et  $Z'_3 = -j / (C_0 \omega)$  caractérisant l'impédance  $Z'_d(\omega)$ .

$$Z'_d(\omega) = \frac{Z'_3(\omega) [Z_1(\omega) + Z'_2(\omega) + gm(Z_1(\omega) \times Z'_2(\omega))]}{Z_1(\omega) + Z'_2(\omega) + Z'_3(\omega) + gm(Z_1(\omega) \times Z'_2(\omega))} \quad (2.14)$$

Par identification, les parties réelles (2.15) et imaginaires (2.16) de  $Z'_d(\omega)$  sont :

$$\Re(Z'_d) = \frac{X_3'^2 [R_1 + R'_2 + gm(R_1 R'_2 - X_1 X'_2)]}{[R_1 + R'_2 + gm(R_1 R'_2 - X_1 X'_2)]^2 + [X_1 + X'_2 + X'_3 + gm(R_1 X'_2 + R'_2 X_1)]^2} \quad (2.15)$$

$$\Im(Z'_d) = \frac{X_3' (X_1 + X'_2 + gm(R_1 X'_2 + R'_2 X_1)) (X_1 + X'_2 + X'_3 + gm(R_1 X'_2 + R'_2 X_1))}{[R_1 + R'_2 + gm(R_1 R'_2 - X_1 X'_2)]^2 + [X_1 + X'_2 + X'_3 + gm(R_1 X'_2 + R'_2 X_1)]^2} + \frac{X_3' (R_1 + R'_2 + gm(R_1 R'_2 - X_1 X'_2))^2}{[R_1 + R'_2 + gm(R_1 R'_2 - X_1 X'_2)]^2 + [X_1 + X'_2 + X'_3 + gm(R_1 X'_2 + R'_2 X_1)]^2} \quad (2.16)$$

**Cas (b2) :** En représentant finalement le circuit sous sa forme la plus simple, celui-ci n'est alors constitué que des éléments réactifs externes  $X''_1 = -j / (C_1 \omega)$ ,  $X''_2 = -j / (C_2 \omega)$  et  $X''_3 = X'_3$ . Le transistor bipolaire n'étant modélisé que par son gain en petit-signal ( $gm \times v_{be}$ ).

$$Z''_d(\omega) = \frac{-gm X''_1 X''_2 X''_3{}^2 + j X''_3 [(X''_1 + X''_2)^2 + (X''_1 + X''_2) X''_3 + (gm X''_1 X''_2)^2]}{(gm X''_1 X''_2)^2 + (X''_1 + X''_2 + X''_3)^2} \quad (2.17)$$

De la même manière, nous identifions les parties réelles (2.18) et imaginaires (2.19) :

$$\Re(Z_d'') = \frac{-gmC_1C_2}{(gmC_0)^2 + [(-C_2C_0 - C_1C_0 - C_1C_2)\omega]^2} \quad (2.18)$$

$$\Im(Z_d'') = \frac{gm^2C_0 + [C_0(C_1 + C_2)^2 + C_1C_2(C_1 + C_2)]\omega^2}{(gmC_0)^2\omega + (-C_2C_0 - C_1C_0 - C_1C_2)^2\omega^3} \quad (2.19)$$

La simulation en petit-signal sous SPECTRE® de notre circuit et les résultats obtenus après résolution numérique en partie réelle de (2.12), (2.14) et (2.17) sont donnés en figures 2.17 et 2.18 respectivement. Nous avons considéré pour cela :

- Les capacités  $C_1$ ,  $C_2$ ,  $C_0$  et  $k_n C_{Pad}$  sont fixées à 18 pF, 27 pF, 3 pF et 200 fF respectivement.
- Les impédances  $Z_B$  et  $Z_C$  sont purement résistives.
- Les valeurs numériques des autres paramètres petit-sinaux utiles à notre calcul ont été extraits des résultats de simulation.

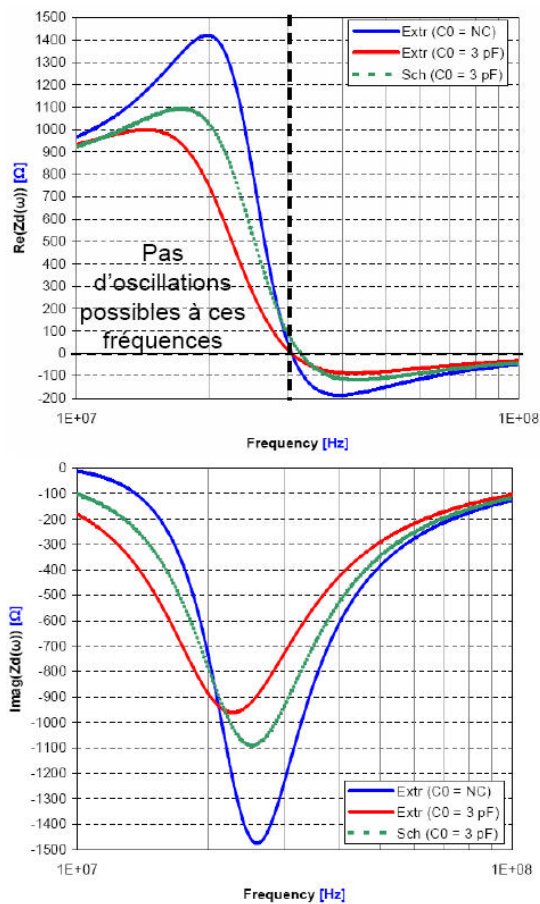


FIGURE 2.17 – Partie réelle et imaginaire de l'impédance de l'oscillateur en petit-signal avec et sans contribution du  $C_0$ .

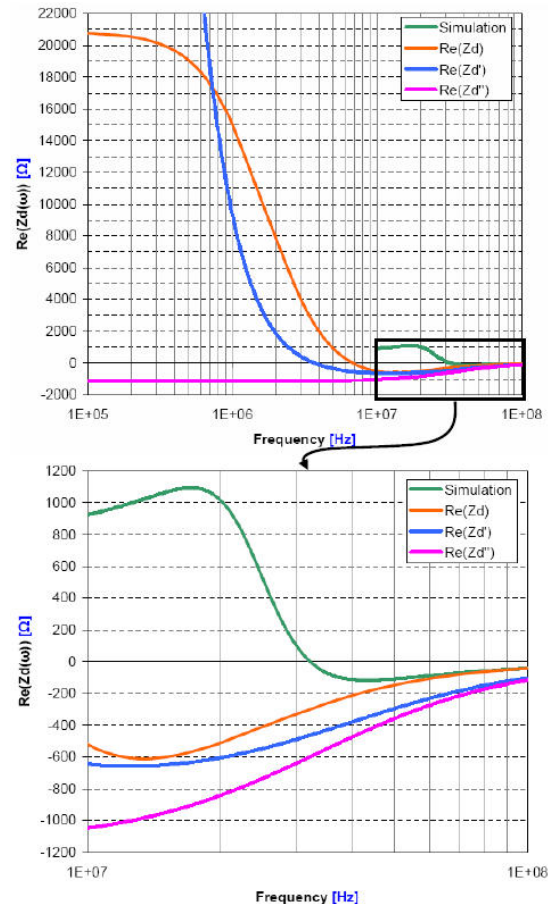


FIGURE 2.18 – Tracés de la partie réelle des expressions analytiques avec effet du  $C_0$  : confrontation avec les résultats de simulation.

En figure 2.17, nous avons choisi de mettre en évidence l'influence d'une capacité statique  $C_0$  et des composantes parasites introduites par le routage de la puce (Extr.) sur la partie réelle et imaginaire de l'impédance petit-signal. Ces dernières ayant tendance à limiter fortement la dynamique de résistance négative du circuit à la fréquence considérée, elles ne doivent donc pas être négligées lors du développement de la cellule. De plus, nous pouvons valider l'intérêt visant à rendre la cellule la plus compacte possible lors de son implantation sur silicium. Par ailleurs, l'évolution en partie réelle de nos expressions analytiques vis-à-vis de la réponse simulée correspondante (vue schéma) présente des écarts significatifs (Cf tableau 2.11) principalement du fait de l'estimation des impédances de polarisation de la base ( $Z_B$ ) et du collecteur ( $Z_C$ ). En considérant finalement une structure plus simple<sup>59</sup> mettant en œuvre des composants passifs pour polariser la base et le collecteur, l'équation (2.12) peut permettre d'approcher la réponse simulée avec plus de précision.

Type (Vue)	Sans $C_0$	Avec $C_0$	Ecart max.
Simulations (Extraite)	-186 $\Omega$	-86 $\Omega$	-
Simulations (Schéma)	-307 $\Omega$	-113 $\Omega$	"ref"
Calcul analytique de (2.12)	-401 $\Omega$	-214 $\Omega$	90 %
Calcul analytique de (2.14)	-1083 $\Omega$	-379 $\Omega$	253 %
Calcul analytique de (2.17)	-1300 $\Omega$	-473 $\Omega$	323 %

TABLE 2.11 – Comparaison simulation/expressions analytiques de la partie réelle de l'impédance petit-signal à 40 MHz extrait à 3,3 V, 27°C.

Cependant, étant donné que le comportement d'un oscillateur est fortement non-linéaire<sup>60</sup>, la caractérisation de son impédance équivalente par une approche petit-signal reste insuffisante. Néanmoins, il s'agit d'une méthode rapide pour fixer la dynamique maximum de résistance négative à la fréquence considérée et ce, compte tenu du rapport de réinjection et du résonateur ( $R_m$  et  $C_0$ ) choisis. Une analyse complémentaire doit donc être effectuée en considérant maintenant que l'impédance équivalente est fortement dépendante des fluctuations dynamiques du courant ( $Z_d = f(\omega, I)$ ). Prenons par exemple le cas de la transconductance du transistor bipolaire qui est définie en grand-signal par :

$$gm = gm_0 \times \frac{2 I_1(v_{be}/U_T)}{(v_{be}/U_T) I_0(v_{be}/U_T)} \quad (2.20)$$

Avec  $I_n(x)$  la fonction de Bessel modifiée pour laquelle  $n$  prend les valeurs particulières de  $\{0, 1\}$ . La fonction de Bessel modifiée est caractérisée par :

$$\begin{cases} I_n(x) &= (j)^{-n} J_n(jx) \\ J_n(x) &= \sum_{k=0}^{\infty} \frac{(-1)^k}{k! (n+k)!} \left(\frac{x}{2}\right)^{n+2k} \end{cases} \quad (2.21)$$

59. La structure développée ici est assez complexe de manière à garantir une bonne réjection des alimentations et minimiser par la même occasion l'influence de la température sur les composants.

60. Le démarrage étant d'ailleurs possible du fait de ces non-linéarités.

L'application de la méthode dipolaire sous SPECTRE® a été obtenue en utilisant une analyse PSS et ce, à défaut du logiciel ADOQ développé dans ce but. Ce dernier restant malheureusement inadapté pour des circuits intégrés du fait de la complexité de la netlist : multiplicité des composants (appariements, extraction...) et complexité des modèles du fondeur impliquant des temps de simulation importants favorables aux erreurs de calcul. L'impédance grand-signal simulée en fonction du courant motionnel est donnée en figure 2.19 (partie réelle et imaginaire) dans les mêmes conditions que précédemment.

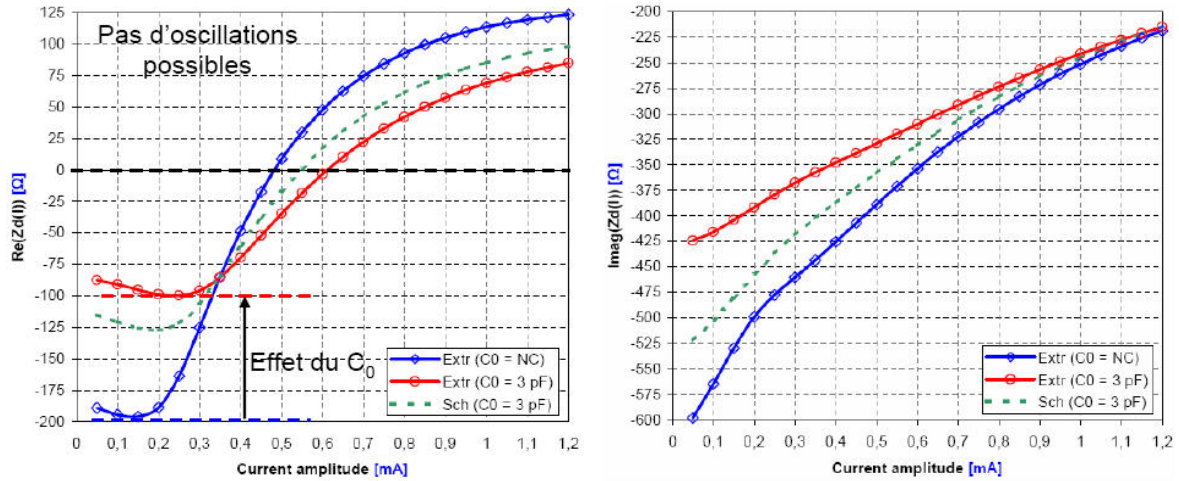


FIGURE 2.19 – Partie réelle et imaginaire de l'impédance de l'oscillateur en grand-signal (méthode dipolaire) à 40 MHz avec et sans contribution du  $C_0$ .

D'après les figures 2.17 et 2.19 :

- Lorsque le courant circulant dans la branche motionnelle tend vers zéro, nous retrouvons bien la valeur de l'impédance petit-signal à la fréquence considérée.
- Lorsque  $R_d(\omega, I) > 0$ , les pertes dans le résonateur ( $R_m$ ) ne sont plus compensées. La gamme d'utilisation en fréquence et en amplitude se trouve donc bornée.
- La présence d'une capacité statique  $C_0$  limite fortement la dynamique d'utilisation de l'électronique à la fréquence considérée devenant ainsi une contrainte quant au choix des résonateurs potentiellement utilisables à cette fréquence. De plus, elle tend à augmenter la valeur du courant dans la branche motionnelle introduisant des contraintes non-linéaires supplémentaires au sein du cristal de quartz (défauts d'isochronismes<sup>61</sup>) et dans l'électronique (gain...).
- Conformément à (1.15), l'amplitude crête du courant en régime établi ( $\hat{I}_{osc}$ ) et le tirage en fréquence relatif à l'électronique ( $|\omega_{osc} - \omega_r|$ ) sont donnés par :

$$\begin{cases} \hat{I}_{osc} &= I(R_m = -R_d) \\ \omega_{osc} &= -\frac{X_d(\hat{I}_{osc})}{2L_m} + \sqrt{\frac{X_d^2(\hat{I}_{osc})}{4L_m^2} + \omega_r^2} \end{cases} \quad (2.22)$$

61. La puissance d'excitation ( $P_X$ ) pour les coupes susceptibles d'être utilisées par la suite (AT ou SC) est typiquement définie dans la gamme :  $1 \leq P_X < 50 \mu\text{W}$ .



$\omega_{osc}$  étant la pulsation des oscillations et  $\omega_r$  la pulsation de résonance. Une connaissance précise des paramètres motionnels du résonateur à quartz utilisé avec les tolérances de fabrication est donc nécessaire pour dimensionner les électroniques dans des conditions optimales.

### 2.3.2.1.2 La fonction de transfert

La fonction de transfert en boucle ouverte de notre circuit oscillateur est caractérisée conformément à la problématique de simulation des systèmes bouclés introduite en 1.4.2. Nous avons toutefois choisi de confronter les résultats obtenus suite à une analyse *ac*, après duplication du circuit initial (figure 2.20), avec ceux donnés par l'analyse de stabilité disponible sous le simulateur (.*stb*). Pour rendre compte des différentes impédances et des points de polarisation de part et d'autre de la boucle, nous avons dupliqué une fois notre circuit et dimensionné les éléments de liaison ( $L_1$  et  $C_{link}$ ) pour ne pas agir sur la réponse obtenue dans la gamme de fréquence considérée. Le point d'injection du signal étant effectué au niveau de la base du transistor : zone de forte impédance.

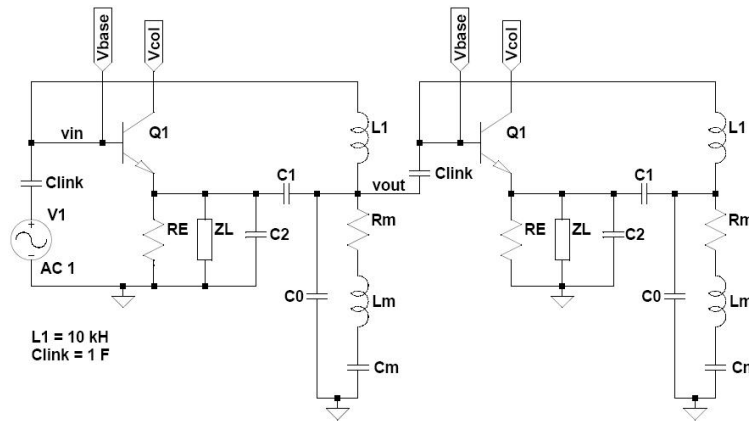


FIGURE 2.20 – Schéma électrique dupliqué pour caractériser la fonction de transfert en boucle ouverte de la cellule oscillateur en *ac*.

Les tracés du gain et de la phase de la cellule en boucle ouverte sont donnés en figures 2.21 et 2.22 respectivement. D'après le critère de Barkhausen, la phase s'annule à la fréquence de 40,03 MHz et le gain correspondant est supérieur à l'unité (ici 1,08) : la cellule peut théoriquement osciller à cette fréquence. En représentant maintenant cette fonction de transfert dans le plan complexe (figure 2.23), nous allons vérifier la condition d'instabilité définie par le critère de Nyquist [97] : le système sera considéré comme instable en boucle fermée si le point ( $\Re = 1, \Im = 0$ ) est encerclé dans le sens horaire par la fonction et son image pour des fréquences évoluant de 0 à l'infini.

Le critère de Nyquist étant vérifié, le système sera instable en boucle fermée pour un résonateur et un couple de capacités ( $C_1$  et  $C_2$ ) pré-définis. Nous pouvons donc valider la conception de notre cellule oscillateur. Les points particuliers représentés dans les figures 2.21 et 2.22 sont recensés dans le tableau 2.12.

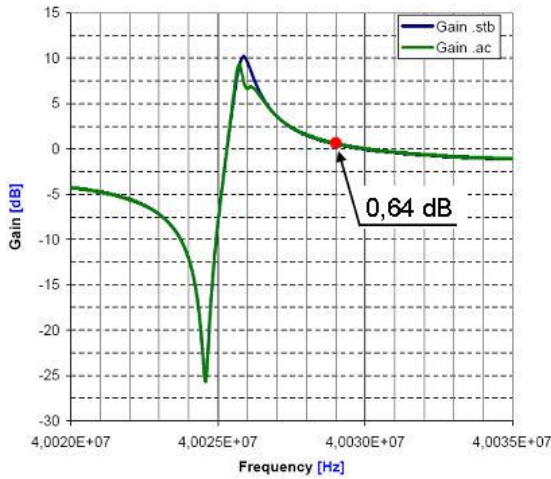


FIGURE 2.21 – Gain en boucle ouverte de la cellule oscillateur.

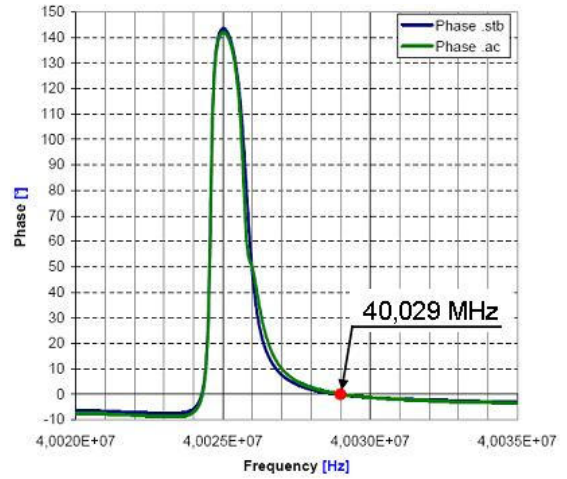


FIGURE 2.22 – Phase en boucle ouverte de la cellule oscillateur.

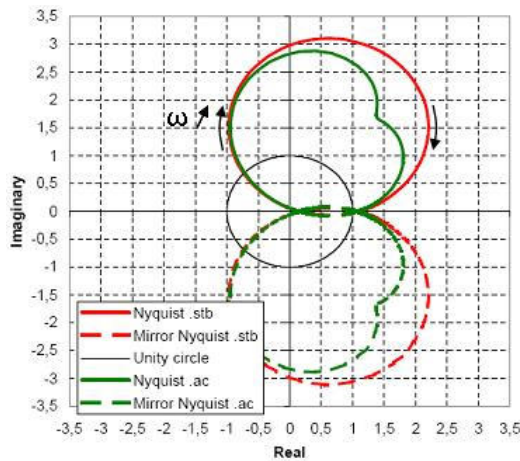


FIGURE 2.23 – Représentation dans le plan complexe de la fonction de transfert en boucle ouverte de la cellule oscillateur.

Conditions	Fréquences [MHz]	
	MIN	MAX
Gain (= 0 dB)	40,02531	40,02997
Phase (= 0°)	40,02427	40,02889
Gain équiv. [dB]	-16	+0,64

TABLE 2.12 – Données caractéristiques des figures 2.21 et 2.22.

### 2.3.2.1.3 Layout

Le layout de la cellule oscillateur est établi selon deux versions dans le cas des ASIC *PuceXOv1* (figure 2.24) et *Elios\_v1* (figure 2.25). Dans la seconde version, la cellule a été compactée pour une

meilleure optimisation de la surface et limiter par la même occasion les éléments parasites relatifs à de longues interconnexions.

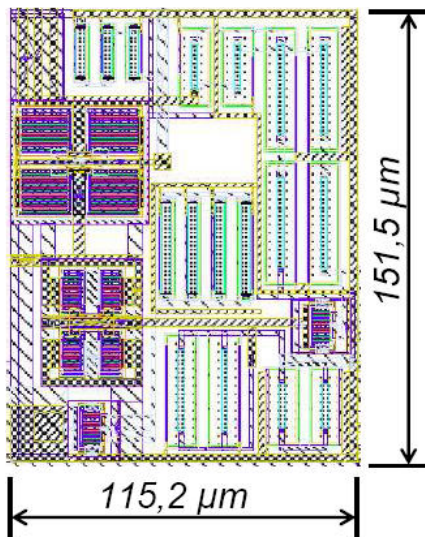


FIGURE 2.24 – Layout de la cellule oscillateur : design PuceXOv1.

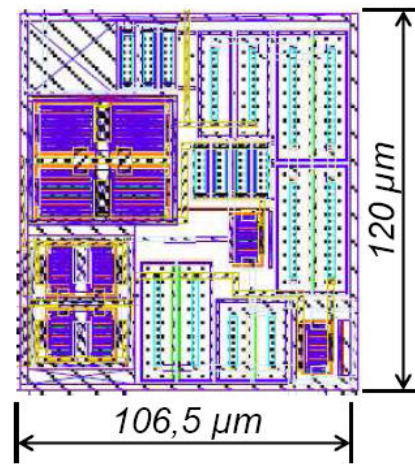


FIGURE 2.25 – Layout de la cellule oscillateur : design Eliosc\_v1.

Lors du développement de notre cellule oscillateur, nous avons considéré que le comportement reste linéaire au démarrage (approche petit-signal) puis devient non-linéaire lorsqu'il atteint son régime établi (grand-signal). En caractérisant l'impédance négative de ce circuit suivant ces deux méthodes (la seconde correspondant à la méthode dipolaire), nous avons mis en évidence l'influence des effets parasites relatifs à l'implantation physique (layout) et à la présence d'une capacité statique sur les réponses obtenues. Ces deux contributions vont alors dégrader la marge de résistance négative disponible et conduire finalement à une augmentation de la puissance injectée dans le résonateur. Le layout ne doit donc pas être négligé car en rendant les cellules suffisamment compactes, il devient possible de minimiser certains effets pouvant être critiques au bon fonctionnement du circuit. Nous avons ensuite vérifié la condition de démarrage en appliquant le critère de Nyquist à partir de la réponse du circuit évaluée en boucle ouverte.

### 2.3.2.2 Les étages d'isolation, mise en forme et buffer

Le signal en sortie de l'oscillateur est tout d'abord écrêté puis mis en forme pour être ensuite adapté à la charge imposée par l'application visée. Nous avons choisi de présenter ici quelques caractéristiques du signal de sortie alors chargé sous 10 k $\Omega$ , 15 pF (sortie HCMOS). Un signal carré périodique d'amplitude  $V_{out}$  est généralement caractérisé par :

- Son rapport cyclique ( $t_h/T$ ) donné en % et évalué à  $V_{out}/2$  (figure 2.26 (a))
- Son temps de montée (resp. temps de descente) défini comme étant le temps nécessaire pour parcourir 10% à 90% de  $V_{out}$  (figure 2.26 (b)).

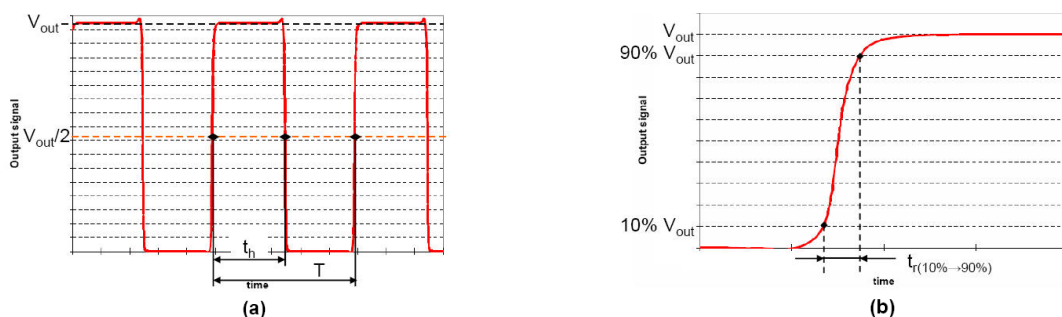


FIGURE 2.26 – Principe de caractérisation du rapport cyclique (a) et du temps de montée/descente (b) d'un signal carré périodique.

En remplaçant le signal en sortie de la cellule oscillateur par une source sinusoïdale parfaite d'amplitude  $V_{input}$  et de fréquence 40 MHz (voir schéma en figure 2.27), nous avons défini le rapport cyclique (figure 2.28), le temps de montée (figure 2.29) et de descente (figure 2.30) du signal carré en fonction de  $V_{input}$ .

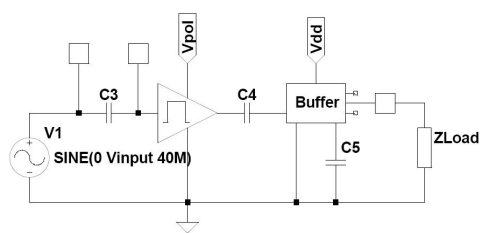


FIGURE 2.27 – Schéma électrique utilisé pour la caractérisation du signal en sortie du buffer RF.

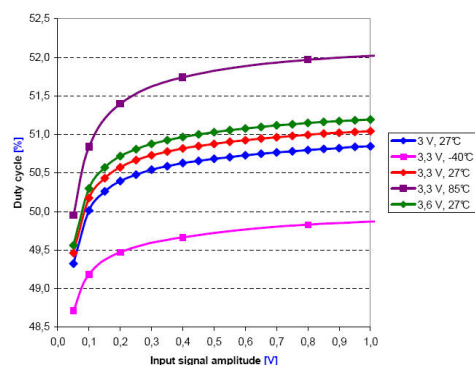


FIGURE 2.28 – Rapport cyclique en fonction de l'amplitude du signal en entrée ( $f = 40$  MHz).

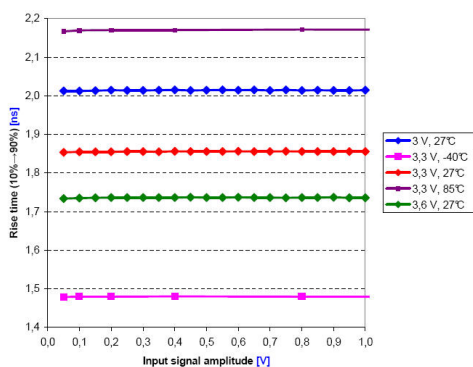


FIGURE 2.29 – Temps de montée en fonction de l'amplitude du signal en entrée ( $f = 40$  MHz).

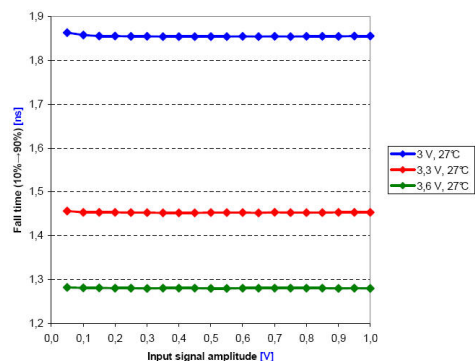


FIGURE 2.30 – Temps de descente en fonction de l'amplitude du signal en entrée ( $f = 40$  MHz).

Les résultats obtenus sont finalement conformes aux spécifications listées dans le tableau 2.6. Un récapitulatif de l'ensemble des résultats est donné dans le tableau 2.13 dans le cas des sorties 50  $\Omega$  et HCMOS.

Température [°C]	-40			27			85		
Alimentation [V]	3	3,3	3,6	3	3,3	3,6	3	3,3	3,6
<b>50 <math>\Omega</math> :</b>									
$t_r$ [ns]	0,85			0,9			0,89		
$t_f$ [ns]	0,2			0,2			0,23		
<b>HCMOS :</b>									
$t_r$ [ns]	-	1,5	-	2	1,85	1,73	-	2,17	-
$t_f$ [ns]	-	-	-	1,85	1,45	1,28	-	-	-

TABLE 2.13 – Temps de montée ( $t_r$ ) et de descente ( $t_f$ ) en fonction de l'alimentation et de la température : cas 50  $\Omega$  et HCMOS.

### 2.3.2.2.1 Layout

Le layout de ces cellules est montré en figures 2.31 et 2.32. Dans le cas du design *Eliosoc\_v1*, nous avons choisi d'intégrer une valeur de capacité minimale mais néanmoins suffisante pour assurer la liaison et le découplage de ces derniers étages. Ces valeurs peuvent être, au besoin, augmentées de manière externe.

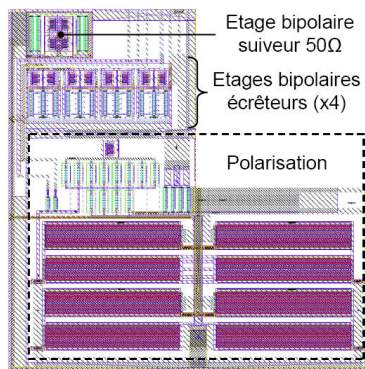


FIGURE 2.31 – Layout des étages d'isolation, mise en forme et buffer adapté 50  $\Omega$  : design *PuceXOv1*.

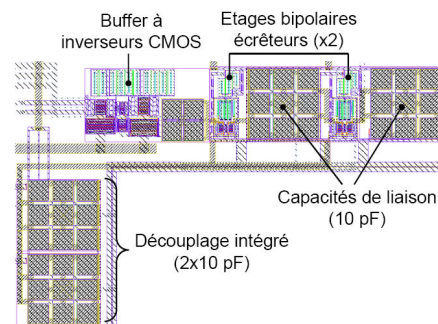


FIGURE 2.32 – Layout des étages d'isolation, mise en forme et buffer HCMOS : design *Eliosoc\_v1*.

### 2.3.2.3 Bruit de phase des cellules RF

En combinant analyses *pss* et *pnoise*, nous avons évalué le bruit de phase en sortie de nos cellules RF. Lors de ces différentes simulations, nous avons choisi de ne pas faire intervenir la contribution des effets



parasites caractéristiques du routage de notre circuit, mais nous y avons inclus l'équivalent électrique du résonateur à quartz. En fonction de la pertinence des résultats, nous pouvons alors envisager une estimation du facteur de qualité en charge ( $Q_L$ ) du résonateur à partir d'une identification de la fréquence de Leeson (équation (1.4)). Nos résultats de simulations sont présentés dans les figures 2.33 à 2.36 pour lesquels nous avons évalué la sensibilité :

- Au couple de capacités  $C_1$  et  $C_2$  (figure 2.33),
- Aux tensions d'alimentation (figure 2.34),
- Aux tensions de polarisations (figure 2.35).

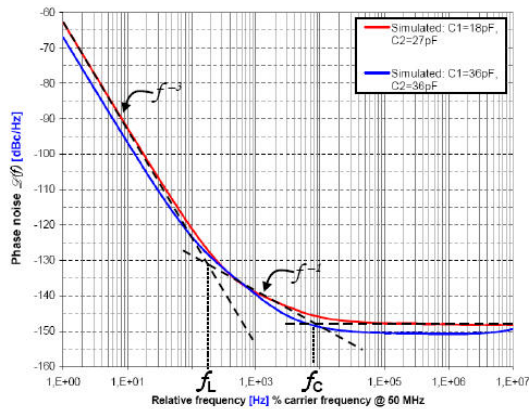


FIGURE 2.33 – Bruit de phase simulé en sortie du design PuceXOV1.

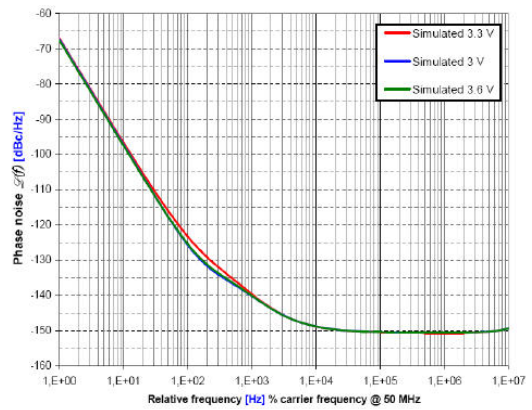


FIGURE 2.34 – Bruit de phase simulé en sortie du design PuceXOV1 sous 3,3 V ± 10% (2,4 V, 27°C).

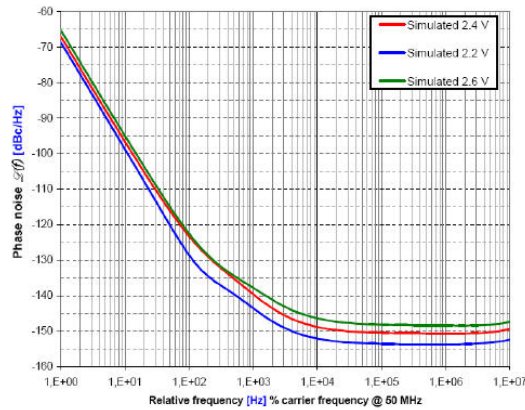


FIGURE 2.35 – Bruit de phase simulé en sortie du design PuceXOV1 sous 2,4 V ± 10% (3,3 V, 27°C).

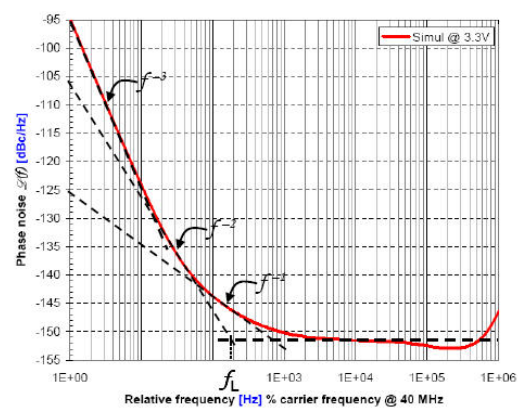


FIGURE 2.36 – Bruit de phase simulé en sortie du design Eliosc\_v1 sous 2,4 V (3,3 V, 27°C).

Nous observons finalement une très faible sensibilité de la réponse en bruit de phase à ces paramètres externes au design et le plancher théorique de notre oscillateur est estimé à  $-153 \pm 3$  dBc. A partir du tracé asymptotique des courbes obtenues, nous avons pu identifier les fréquences particulières de Leeson ( $f_L$ ) et de coupure ( $f_c$ ) pour nous permettre d'évaluer  $Q_L$ . Ces résultats sont donnés dans le tableau 2.14.

Simulations	<i>PuceXOv1</i>	<i>Eliosc_v1</i>
$f_r$	50 MHz	40 MHz
$f_c$	$\leq 10$ kHz	-
$f_L$	$170 \pm 20$ Hz	180 Hz
$Q_0^a$	251000	237000
$Q_L^b$	147000	111000

a. D'après (1.4).

b. D'après (1.18).

TABLE 2.14 – Récapitulatif des fréquences caractéristiques obtenues à partir des tracés asymptotiques de la réponse en bruit de phase de nos cellules RF.

En agissant sur la valeur de polarisation de la cellule oscillateur, il est possible d'améliorer le plancher de bruit de phase d'environ 3 dB (figure 2.35). Cependant, générer une tension de 2,2 V n'est pas un choix judicieux car on tend à réduire rapidement la marge de tension admissible par les transistors pour fonctionner dans une région optimale. De plus, les dispersions technologiques de l'ensemble des composants utilisés sont suffisantes pour dégrader le gain obtenu sur le plancher de bruit de phase. Nous nous sommes donc orientés vers l'utilisation d'une tension stable de 2,4 V .

### 2.3.3 Les cellules de polarisation

La tension servant à la polarisation des cellules RF est obtenue à partir des fonctions de base pré-caractérisées par le fondeur [61]. La valeur choisie (2,4 V) nous permet finalement de :

- Minimiser la consommation des cellules polarisées,
- Conserver des performances en bruit acceptables,
- Bénéficier d'un gain de réaction favorable au matching des composants.

#### 2.3.3.1 La référence de tension

D'après les performances spécifiées par le fondeur pour sa cellule pré-caractérisée, la tension de référence générée par le bandgap ( $V_{bandgap}$ ) est définie avec une tolérance de  $\pm 10\%$  sur une gamme de température s'étalant de  $-55^\circ\text{C}$  à  $+125^\circ\text{C}$ . Pour minimiser l'impact de ces fluctuations sur les performances globales de notre design (consommation...), un ajustement supplémentaire est ainsi envisagé de manière à pouvoir se recalibrer à la valeur nominale souhaitée. Dans cette optique, il est possible d'utiliser :

1. Les méthodes servant généralement au recalage d'un bandgap à la valeur nominale souhaitée [86, 98] : ajustement précis des résistances par laser (laser-trimming) [99], utilisation de fusibles pour ouvrir certaines zones du circuit (surfaces silicium importantes, favorable à l'électromigration<sup>62</sup>) ou de diodes pour court-circuiter (zener zap) les connexions [100].

62. Déplacement involontaire des atomes d'un métal lorsque celui-ci est soumis à de fortes densités de courant.

2. L'ajustement de la tension par un simple contrôle du gain d'une structure amplificatrice intégrée spécifiquement : utilisation d'un pont résistif externe adapté (figure 2.37 (a)) ou d'un système de recalage numérique pouvant être intégré (figure 2.37 (b)).



FIGURE 2.37 – Méthodes envisagées pour recalibrer  $V_{bandgap}$  : pont résistif (a) ou sélection numérique (b).

La seconde méthode a finalement été privilégiée dans ce développement étant donné les contraintes liées à l'implantation de fusibles, de diodes zener ou à des post-process par laser. Ainsi, l'ASIC référencé *PuceXOv1* est représentatif de l'application de la figure 2.37 (a). Toutefois, pour minimiser l'utilisation de composants externes, la structure mixte (analogique et numérique) de la figure 2.37 (b) a été adaptée dans le design *Eliosoc\_v1* dont le layout et le schéma électrique sont présentés en figure 2.38. Le gain de l'amplificateur intégré est alors ajustable par l'utilisateur à l'aide d'une commande établie sur 3 bits (b0, b1, b2). Cette structure, de dimensions  $162 \times 162 \mu\text{m}^2$ , est composée d'un circuit multiplexeur à sorties complémentaires ( $s$  et  $\bar{s}$ ) assurant le pilotage des  $2^n$  portes de transmissions (ici  $n = 3$ ).

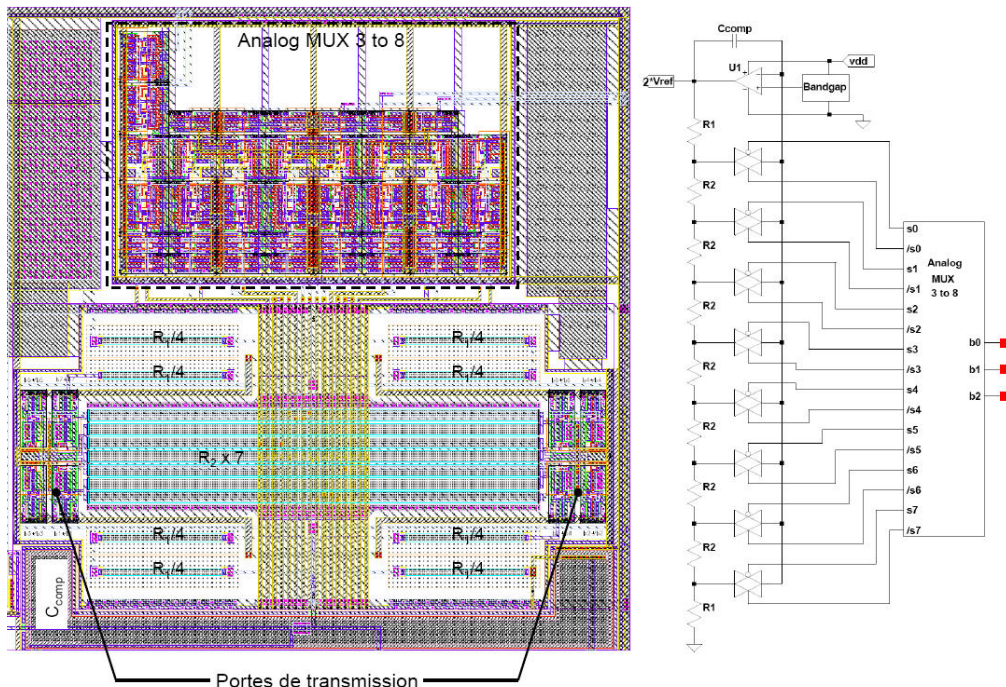
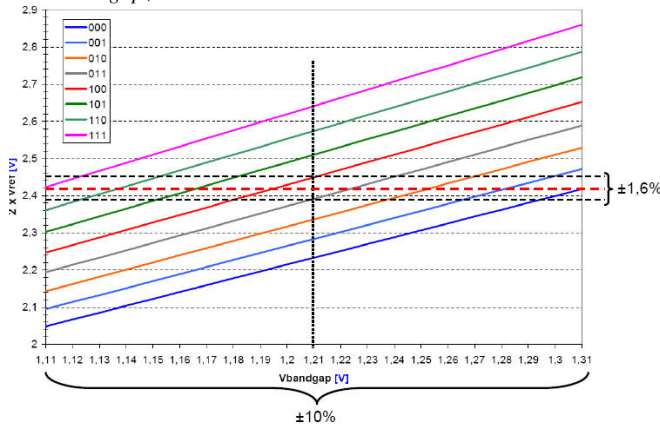


FIGURE 2.38 – Layout et schéma électrique du système de sélection numérique du gain : multiplexeur analogique, résistances et portes de transmission (amplificateur et bandgap non représentés sur le layout).



La réponse en sortie de l'amplificateur ( $V_{ref}$ ) en fonction de la tension générée par le bandgap ( $V_{bandgap}$ ) selon les 8 configurations possibles est donnée en figure 2.39. Finalement, pour une tension  $V_{bandgap}$  définie à  $\pm 10\%$ , nous pouvons ainsi recalibrer  $V_{ref}$  à la valeur souhaitée avec une tolérance inférieure à  $\pm 2\%$ . Le tableau 2.15 présente la configuration nécessaire pour maintenir la tension  $2 \times V_{ref}$  à  $2 \times V_{bandgap}|_{nom}$ .



$V_{bandgap}$ [V]	b2	b1	b0
1,31	0	0	0
1,28	0	0	1
1,25	0	1	0
1,23	0	1	1
1,21	1	0	0
1,18	1	0	1
1,15	1	1	0
1,11	1	1	1

FIGURE 2.39 –  $V_{ref}$  en fonction de  $V_{bandgap}$  pour les 2<sup>3</sup> configurations.

TABLE 2.15 – Configuration pour recalibrer  $V_{ref}$  à 1,21 V en fonction de  $V_{bandgap}$ .

Cette structure servant au recalage de la tension de polarisation globale de notre système offre, par ailleurs, la possibilité d'optimiser cette dernière en vue de réduire les consommations respectives de nos étages RF. Afin d'obtenir un réglage plus fin de cette tension, prévoir d'augmenter le nombre de bits reste une solution envisageable. Ce principe peut d'ailleurs tout aussi bien être envisagé pour régler le rapport de réinjection de la cellule oscillateur : sélection des capacités qui pourront alors être intégrées. Toutefois, dans un cas comme dans l'autre les surfaces silicium engendrées restent un point critique à prendre en considération. La tension fournie par ce premier étage est ensuite distribuée aux différentes cellules de l'ASIC par le biais d'amplificateurs différentiels dont le gain est intégré.

### 2.3.3.2 Les amplificateurs

Les entrées et la sortie des amplificateurs proposés par le fondeur n'étant pas de type "rail-to-rail"<sup>63</sup>, le gain que nous avons intégré est choisi de manière à ne pas saturer la sortie des amplificateurs et bénéficier de structures matchées pour minimiser l'influence des défauts de fabrication. Ce gain est alors fixé à 2 et la valeur nominale donnée à nos résistances est définie pour :

- Minimiser le courant dans la réaction : ici  $10 \mu A$ ,
- Ne pas limiter les performances en bruit du système.

Le bruit propre d'une résistance (bruit thermique) est caractérisé par une source de tension  $\overline{V_{n,R}^2}$  exprimée en  $[V^2/Hz]$  et mise en série avec une résistance parfaite (non bruitée). Cette source de bruit

63. Ce terme signifiant que les tensions correspondantes en entrée et sortie de l'amplificateur peuvent atteindre les limites imposées par les alimentations.

blanc obéit à la relation suivante :

$$\overline{V_{n,R}^2} = 4k_B T R \quad (2.23)$$

Avec  $k_B$  la constante de Boltzmann,  $T$  la température [K] et  $R$  la valeur de la résistance [ $\Omega$ ]. A température ambiante, la source de bruit équivalente associée à chaque résistance constituant le diviseur résistif génère une tension de  $45 \text{ nV}/\sqrt{\text{Hz}}$  ( $-147 \text{ dBV}^2/\text{Hz}$ ). Ces résistances sont découpées en 5 sous-ensembles de facteurs de forme (rapport  $L/W$ ) identiques afin de les interdigiter comme présenté en figure 1.37 (a). Le layout est donné en figure 2.40 pour lequel la surface occupée est de  $134 \times 109 \mu\text{m}^2$ .

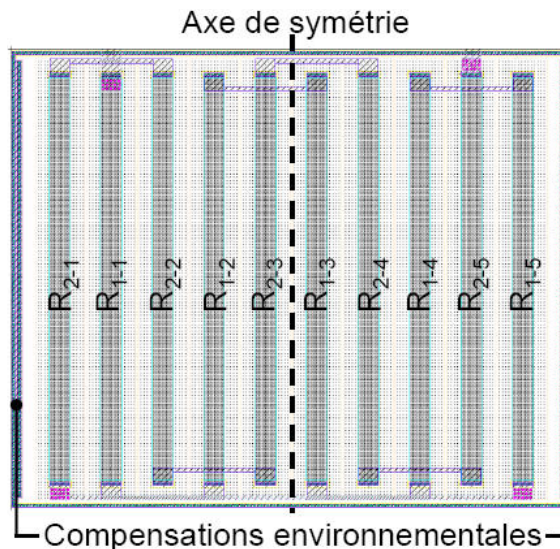


FIGURE 2.40 – Résistances interdigitées pour fixer le gain des amplificateurs avec compensations environnementales.

### 2.3.3.3 Analyses de stabilité et de bruit

Notre régulation de tension étant composée de différentes structures amplificatrices cascadées à contre-réaction négative, les conditions de stabilité doivent être vérifiées pour prévenir tout risques d'auto-oscillation conduisant à la détérioration de la puce. Nous allons donc chercher à obtenir une marge de gain et de phase suffisante en y ajoutant les compensations adéquates (type C ou RC série). Cependant, mettre en place des compensations voire des éléments de filtrage va nécessairement avoir une incidence sur le bruit propre<sup>64</sup> évalué en sortie de nos cellules. Nous allons donc conduire ces deux analyses en parallèle (figure 2.41) pour en sortir une valeur optimale favorable aussi bien aux conditions de stabilité (a) qu'aux performances en bruit (b). A titre d'exemple, nous allons étudier deux types de structures : un régulateur simplifié délivrant seulement un faible courant de sortie et un LDO.

64. Le bruit propre d'une cellule est défini à partir des densités spectrales ( $S_V(f)$  et  $S_I(f)$ ) de chaque composant actif et passif lesquelles sont pondérées indépendamment par leurs fonctions de transfert respectives.

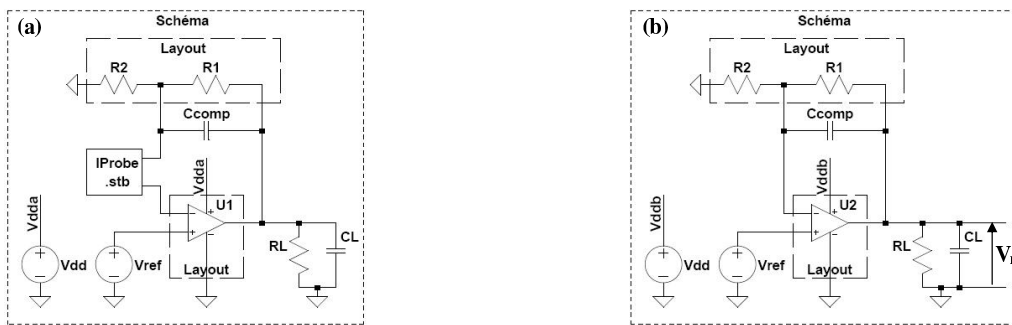


FIGURE 2.41 – Schéma pour étude de la stabilité en boucle ouverte (analyse .stb) (a) et évaluation du bruit propre (b) de notre régulateur simplifié.

• Cas du régulateur simplifié

Lorsque de faibles courants sont nécessaires et que l'impédance de charge imposée par la cellule à polariser est suffisamment grande devant l'impédance de sortie de l'amplificateur, il est possible d'utiliser un régulateur simplifié : structure différentielle (cas présent) ou étage à un transistor. Le gain et la phase en boucle ouverte de ce régulateur sont présentées en figure 2.42 avec et sans prise en compte de la capacité de compensation ( $C_{comp}$ ) ajoutée dans le réseau de réaction. De plus, pour valider la robustesse de la cellule, nous avons pris en compte les tolérances de fabrication typiques sur la valeur nominale de la capacité intégrée comme montré en figure 2.43.

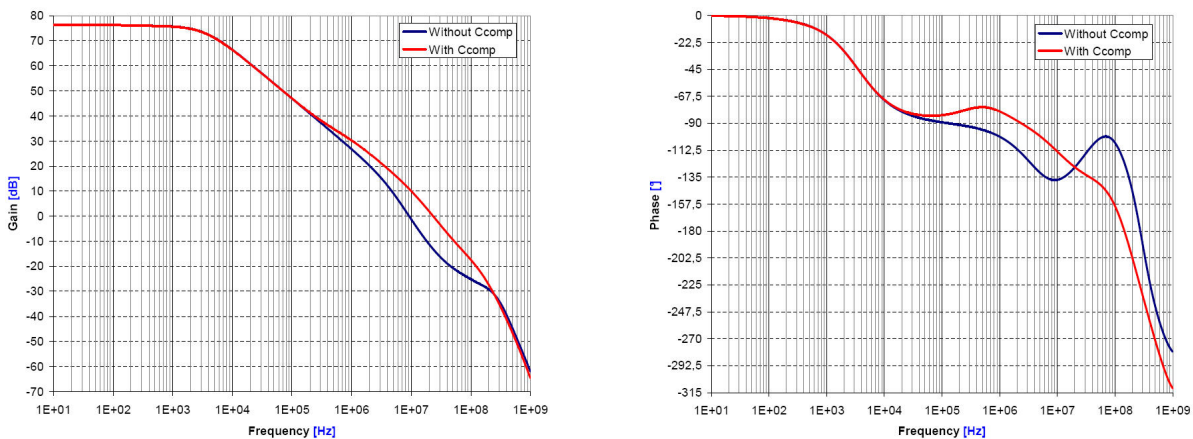


FIGURE 2.42 – Gain et phase en boucle ouverte avec et sans prise en compte de la compensation.

Le bruit propre simulé est donné en figures 2.44 et 2.45. Lorsque la cellule n'est pas compensée, nous notons la présence d'une remontée du niveau de bruit autour de 8 MHz alors identifiée comme provenant de la référence interne des cellules amplificatrices. Dans la pratique, la plupart des structures utilisés en électronique (AOP, bandgap...) sont caractérisés sur une bande de fréquence dépassant rarement la centaine de kilohertz, rendant ainsi les phénomènes intervenant à plus hautes fréquences totalement inexistantes. Lorsque l'on vise des applications travaillant à des fréquences assez élevées, le bruit se réinjectant dans le système à ces fréquences peut alors nuire aux performances attendues.

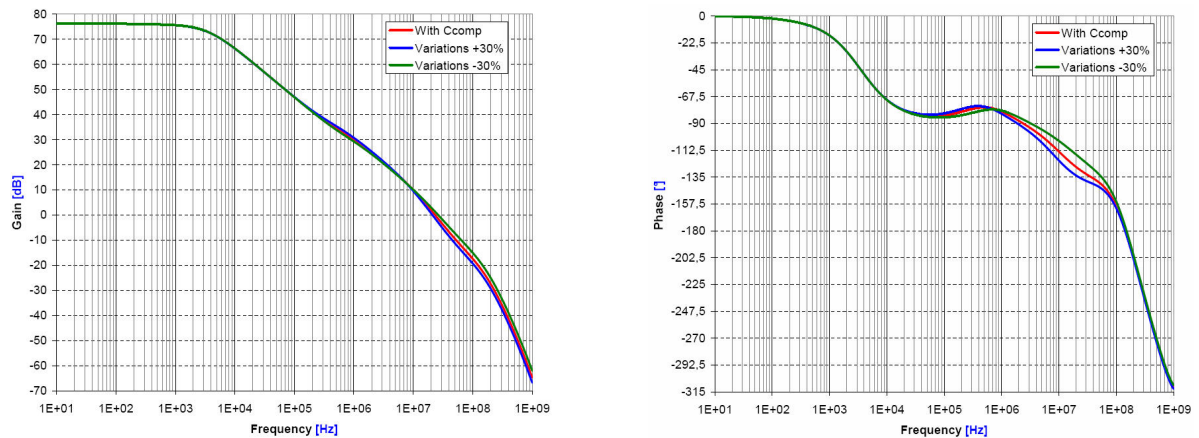


FIGURE 2.43 – Gain et phase en boucle ouverte en rendant compte des tolérances de fabrication ( $\pm 30\%$ ) sur la valeur de la capacité de compensation.

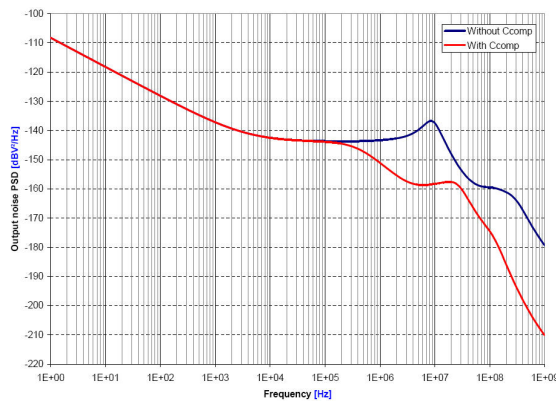


FIGURE 2.44 – Bruit de tension en sortie du régulateur avec et sans prise en compte de la compensation.

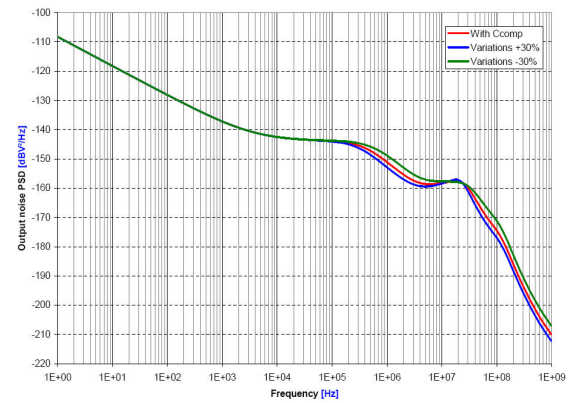


FIGURE 2.45 – Bruit de tension en sortie du régulateur avec  $\pm 30\%$  de variations sur la valeur de la capacité de compensation.

La compensation agissant aussi sur la constante de temps de la cellule, une caractérisation de sa réponse temporelle à différents types de perturbations reste une donnée importante. Ainsi, après superposition de divers stimuli sur la tension d'alimentation, nous pouvons observer dans le cas de (figure 2.46) :

- Variations lentes (rampe) : la compensation n'a pas d'effets significatifs,
- Variations rapides (échelon, Dirac) : dépassements et amortissements importants lorsque la cellule n'est pas compensée.

#### • Cas du LDO

Une méthode similaire a été employée pour valider la stabilité et les performances en bruit du LDO lors de son développement. Nous avons pour cela intégré une capacité de compensation de faible valeur dans la réaction et placé une compensation de type RC en externe. Dans ce paragraphe, nous avons choisi de ne présenter que des résultats obtenus lors d'une analyse transitoire en rendant compte des

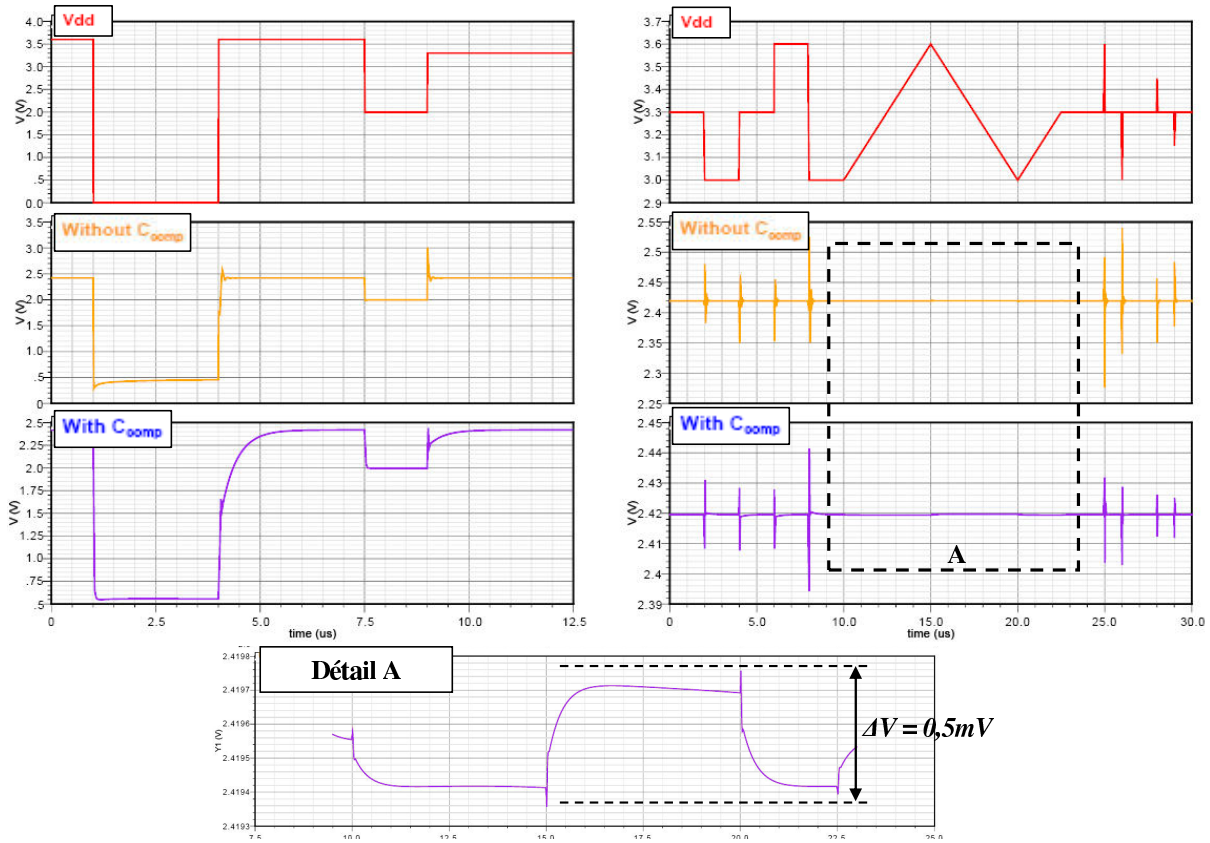


FIGURE 2.46 – Réponse transitoire du signal en sortie de la régulation avec et sans prise en compte de la compensation pour des stimuli successifs de l'alimentation (échelon, rampe et dirac).

effets de cette compensation externe. Conformément au schéma de la figure 2.47, nous avons introduit des perturbations sur la tension d'entrée (source V1) ainsi que sur la charge en sortie (Iload) pour rendre compte du comportement du régulateur à des appels de courants de forte amplitude.

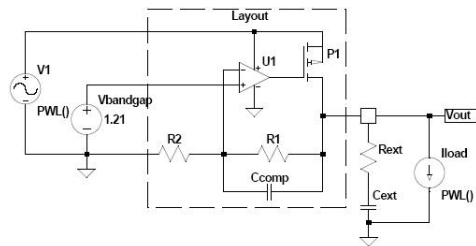


FIGURE 2.47 – Schéma électrique correspondant à la caractérisation du LDO en transitoire.

La réponse en sortie du LDO est présentée en figures 2.48 et 2.49 respectivement pour un stimulus sur la charge (typique 3 mA) et sur la tension d'alimentation (typique 3,3 V). Lorsque le LDO n'est pas compensé correctement, il devient rapidement instable et présente des oscillations d'amplitude se trouvant être non négligeables que ce soit à la suite de fluctuations rapides des alimentations ou des effets de la charge en sortie.



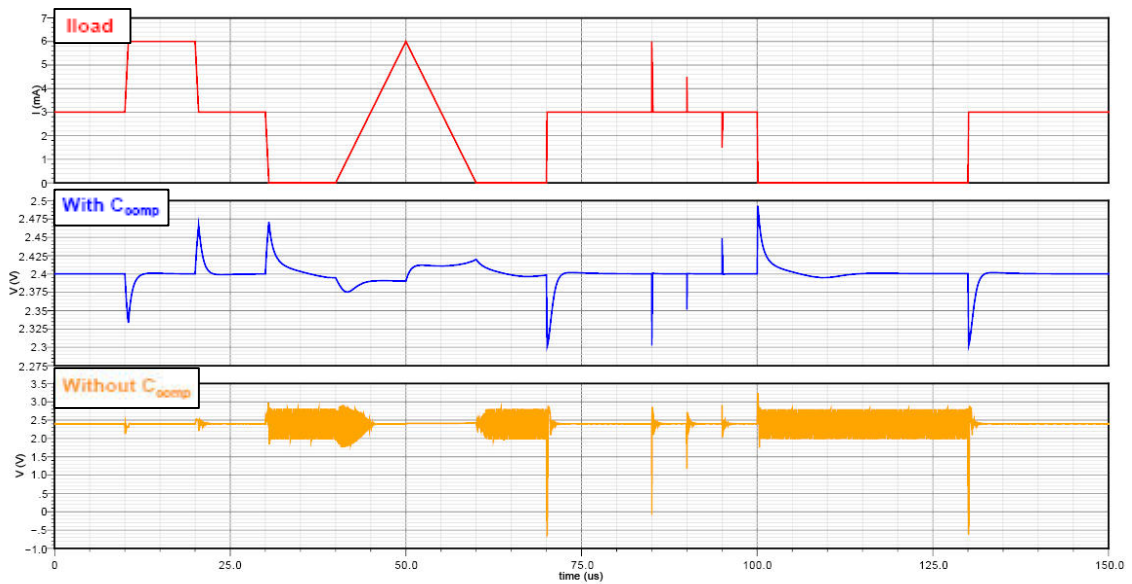


FIGURE 2.48 – Réponse transitoire du signal en sortie du LDO avec et sans prise en compte de la compensation pour des stimuli successifs du courant de charge (échelon, rampe et dirac).

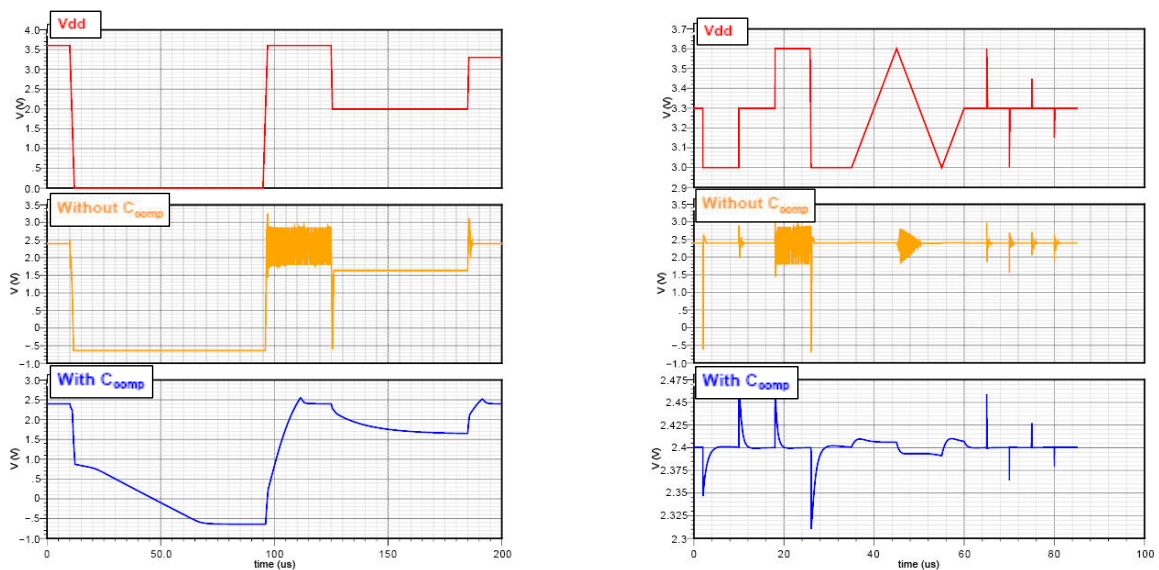


FIGURE 2.49 – Réponse transitoire du signal en sortie du LDO avec et sans prise en compte de la compensation pour des stimuli successifs de l'alimentation (échelon, rampe et dirac).

### 2.3.4 Contribution du bruit BF sur le bruit de phase

Comme nous l'avons mentionné précédemment, le bruit propre des étages de polarisation ne doit pas être négligé car il agit directement sur les performances de la cellule oscillateur. On observe alors une dégradation de la stabilité court-terme pouvant être importante et ce, du fait de la réinjection du bruit BF dans la boucle oscillatrice.

### 2.3.4.1 Influence du bruit propre des polarisations

Pour rendre compte de l'influence du bruit propre des polarisations sur le bruit de phase relevé en sortie des étages RF, nous avons simulé le circuit conformément au schéma de la figure 2.50. Ce dernier ne comporte alors que les cellules RF concernées (pads inclus) pour lesquelles les polarisations statiques sont générées à partir de sources de tension parfaites associées à leurs fichiers de bruit respectifs. Les données de bruit ayant été extraites par simulations.

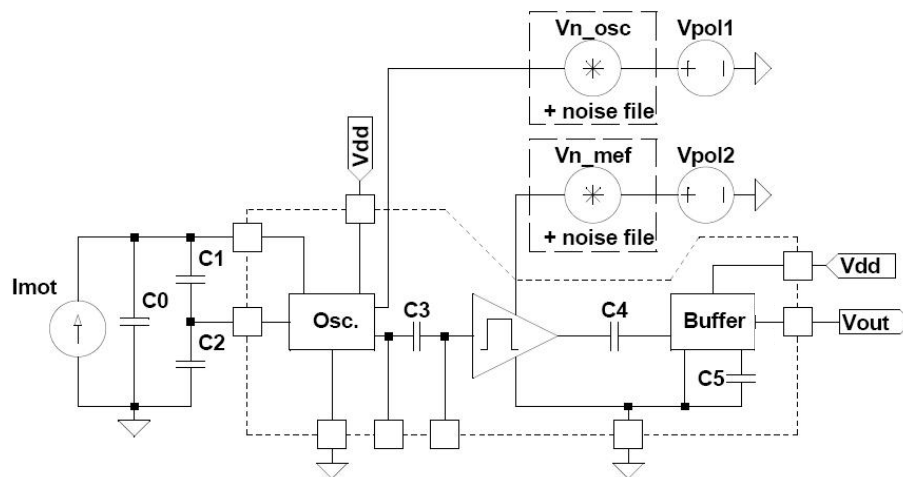


FIGURE 2.50 – Schéma pour la simulation des effets du bruit propre des polarisations sur le bruit de phase évalué en sortie des étages RF.

Pour réduire les temps de simulation, nous avons remplacé la branche motionnelle du résonateur par son équivalent source de courant sinusoïdale paramétrée selon les résultats obtenus suite à une analyse en grand-signal à 40 MHz tel que  $\hat{I}_{source} = I(R_m = -R_d)$ . Ainsi, seule la contribution des électroniques va être prise en compte dans cette caractérisation du bruit de phase et le résonateur, considéré ici comme idéal, ne va pas avoir d'influence sur la réponse obtenue. Nous avons finalement représenté en figure 2.51 le bruit de phase unilatéral ( $\mathcal{L}(f)$  en [dBc/Hz]) simulé lequel rend compte :

- Du cas idéal lorsque toutes les sources utilisées sont parfaites (sans bruit propre),
- De la contribution de chacune des sources prises indépendamment,
- Du cas "réel" suite à l'activation de toutes les sources de bruit.

Dans la figure précédente, nous remarquons que le bruit propre des polarisations n'agit pas sur le bruit de phase proche porteuse, ce dernier se trouvant être limité par le bruit intrinsèque des étages RF développés. Toutefois à la fréquence de coupure basse du bruit BF (100 Hz), nous observons une dégradation non négligeable du plancher principalement causée par le LDO. Enfin, les remontées observées à partir de 600 kHz sont caractéristiques de la présence des harmoniques d'ordre supérieurs pris en compte lors de la simulation.

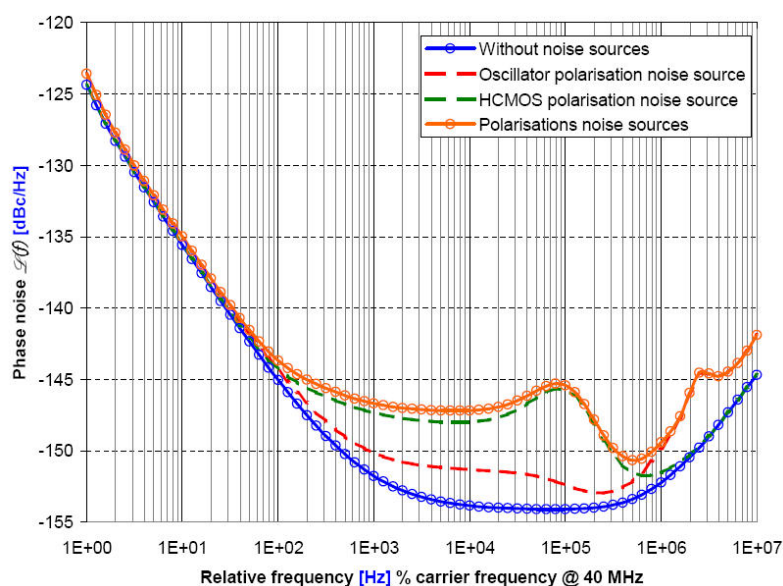


FIGURE 2.51 – Bruit de phase simulé en sortie des étages RF (porteuse à 40 MHz) avec et sans contribution du bruit propre des polarisations.

### 2.3.4.2 Amélioration du bruit de phase

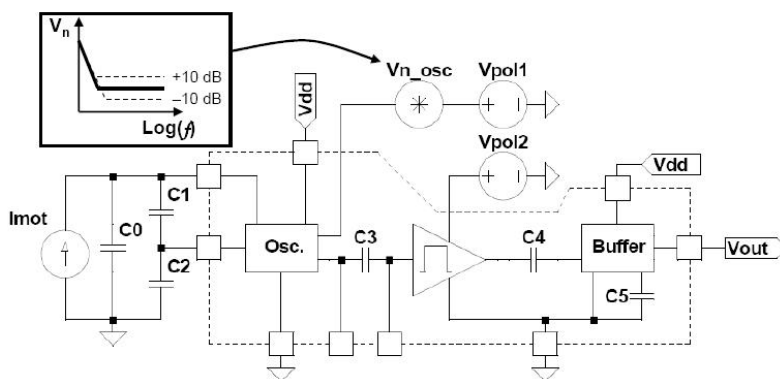


FIGURE 2.52 – Schéma pour la simulation du bruit de phase en sortie du système : effets du bruit propre BF de la cellule oscillateur.

Dans cette partie, nous avons choisi de ne considérer que le rôle joué par la polarisation de la cellule oscillateur conformément au schéma en figure 2.52. Ainsi, à partir d'une représentation asymptotique du bruit propre typique de  $V_{pol1}$ , nous allons rendre compte de l'effet des contributions suivantes sur le bruit blanc de phase ( $Cf$  figure 2.53) :

- Du tracé asymptotique typique de la référence utilisée (Typ.),
- D'une dégradation du plancher de 10 dB (Typ. +10 dB),
- D'une amélioration du plancher de 10 dB (Typ. -10 dB),



- Des effets d'une référence de tension "état de l'art" placée en externe : la *LTZ1000*<sup>65</sup> (Linear Technology) [101] qui présente un plancher de bruit inférieur à  $50 \text{ nV}/\sqrt{\text{Hz}}$ <sup>66</sup>.

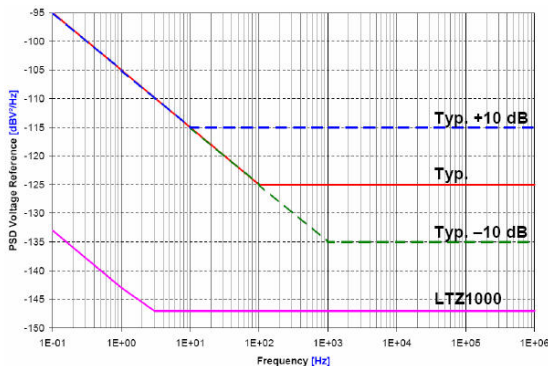


FIGURE 2.53 – Tracés asymptotiques des réponses en bruit : polarisation de l'oscillateur ( $\pm 10 \text{ dB}$  de variations) et référence *LTZ1000*.

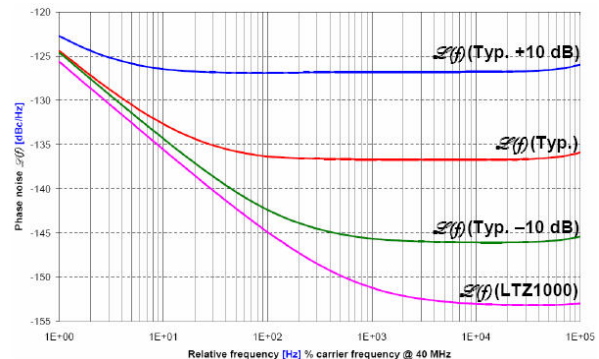


FIGURE 2.54 – Simulation du bruit de phase à  $40 \text{ MHz}$  à partir des tracés de la figure 2.53.

Dans notre représentation asymptotique du bruit BF, nous avons choisi de ne pas considérer les effets du filtrage (passe-bas) fixant une seconde coupure aux alentours de  $50 \text{ kHz}$ . Par conséquent, nous observons une remontée du bruit blanc de phase de  $14 \text{ dB}$  (voir tableau 2.16). Différents moyens sont alors envisageables pour minimiser la dégradation du bruit de phase en sortie par les performances des étages de polarisation :

- Filtrer proprement la sortie de la référence de manière externe : coût silicium (2 pads) et composants externes nécessaires.
- Agir sur la constitution de l'étage de polarisation pour en améliorer les performances : coûts relatifs importants (développement, fabrication et validation).
- Utiliser une référence de tension externe : composants externes requis.

Filtrage passe-bas	$\mathcal{L}(f)$
Avec	$-151 \text{ dBc/Hz}$
Sans	$-137 \text{ dBc/Hz}$

TABLE 2.16 – Récapitulatif de l'effet d'un filtrage du bruit de la référence de tension sur le plancher de bruit de phase.

65. La tension de référence est obtenue à partir d'une diode zener enfouie pour garantir de meilleures performances en bruit et une faible sensibilité à la température. Les inconvénients recensés pour ce type de structure sont principalement liés à sa consommation statique importante et à la forte valeur de tension en sortie ( $\geq 7 \text{ V}$ ). Les structures de type bandgap sont au contraire privilégiées pour fournir de faibles tensions en sortie.

66. Notons que la valeur donnée ici est une caractéristique du composant seul. Des composants additionnels sont toutefois nécessaires pour adapter cette référence à différentes applications, lesquels vont avoir une certaine incidence sur le bruit global en sortie : des exemples de montages sont proposés en [101].

### 2.3.5 Description des ASIC

En regroupant nos différentes cellules sur un même substrat, nous avons fait en sorte d'orienter les couches en polysilicium utilisées dans la fabrication des résistances (*Poly2*) et des grilles de transistors (*Poly1*) selon une direction privilégiée :  $Poly1 \perp Poly2$ . Nous proposons ici une description succincte des deux ASIC référencés *PuceXOv1* et *Elioscv1* qui feront l'objet d'une caractérisation en section 2.4.

#### 2.3.5.1 L'oscillateur intégré *PuceXOv1*

Cet ASIC, présenté dans le synoptique en figure 2.55, est composé de trois fonctions principales : l'oscillateur Colpitts, sa cellule de polarisation ajustable en externe et les étages RF de sortie (isolation, mise en forme et buffer adapté  $50 \Omega$ ). Ces trois cellules, intégrées de manière à pouvoir être caractérisées indépendamment, sont placées stratégiquement pour minimiser les effets du routage extérieur au moment de la connexion. Le layout proposé en figure 2.56 comporte finalement 16 entrées/sorties réparties selon un pas de  $250 \mu\text{m}$ .

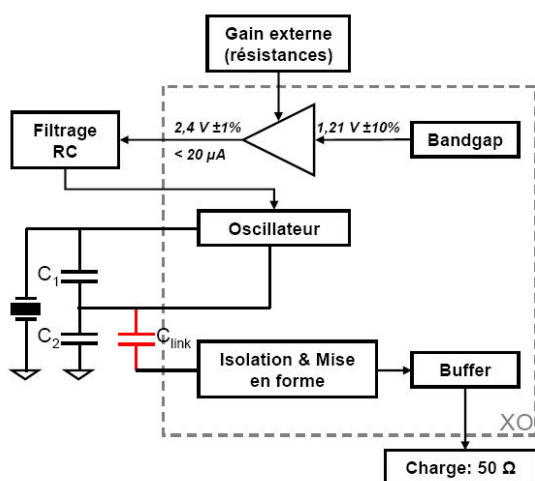


FIGURE 2.55 – Synoptique du design *PuceXOv1*.

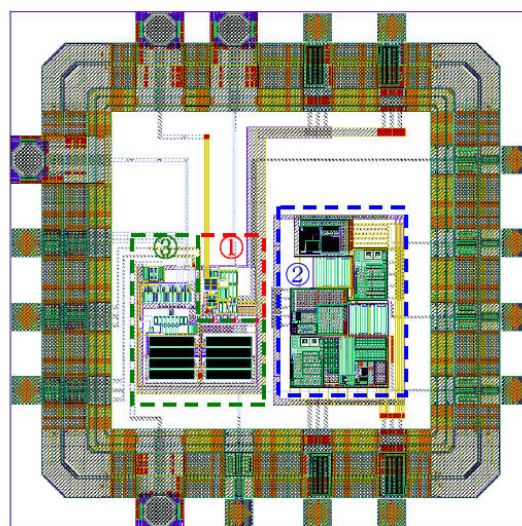


FIGURE 2.56 – Layout du design *PuceXOv1* : cellule oscillateur (①), polarisation (②) et étages RF de sortie (③).

#### 2.3.5.2 Evolution du design ASIC : la puce *Elioscv1*

La puce *Elioscv1*, de surface identique à la précédente, est architecturée selon le synoptique de la figure 2.57. Elle comporte 28 entrées/sorties réparties suivant un pas de  $200 \mu\text{m}$ . Dans ce design, nous avons fait le choix de connecter en interne les différentes cellules en conservant toutefois la possibilité d'augmenter, de manière externe, la valeur de certaines capacités (liaison, compensations, découplages). De plus, une régulation en température pour thermostatier le résonateur a été intégrée en complément (applications OCXO), ce qui fera l'objet de notre prochain chapitre. Le layout est donné en figure 2.58.

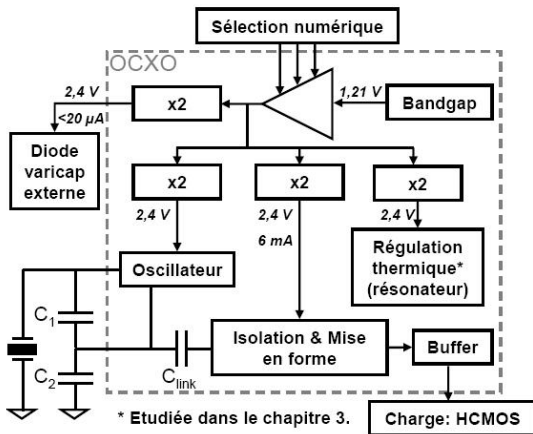


FIGURE 2.57 – Synoptique du design *Eliosc\_v1*.

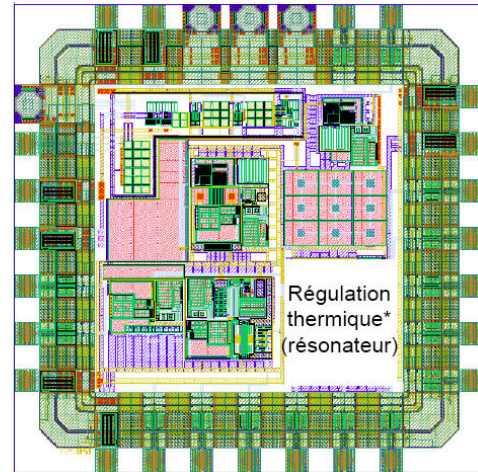


FIGURE 2.58 – Layout du design *Eliosc\_v1* : cellules RF et polarisations.

## 2.4 Validations expérimentales

Pour caractériser expérimentalement les ASIC décrits précédemment, nous avons développé une carte spécifique permettant de connecter les puces soit par une technique de wire bonding, soit en utilisant leurs versions encapsulées : boîtiers de type LCC<sup>67</sup> (figure 2.59). Le choix d'une encapsulation en céramique a été guidé dans le but d'obtenir une meilleure compatibilité mécanique et thermique avec la puce en silicium. Lors de nos tests, seule la version encapsulée de l'ASIC *PuceXOv1* (LCC16) sera utilisée et ce, contrairement à notre second design pour lequel nous allons confronter les deux versions (puce nue et packagée LCC28) dans le cadre de certaines mesures.

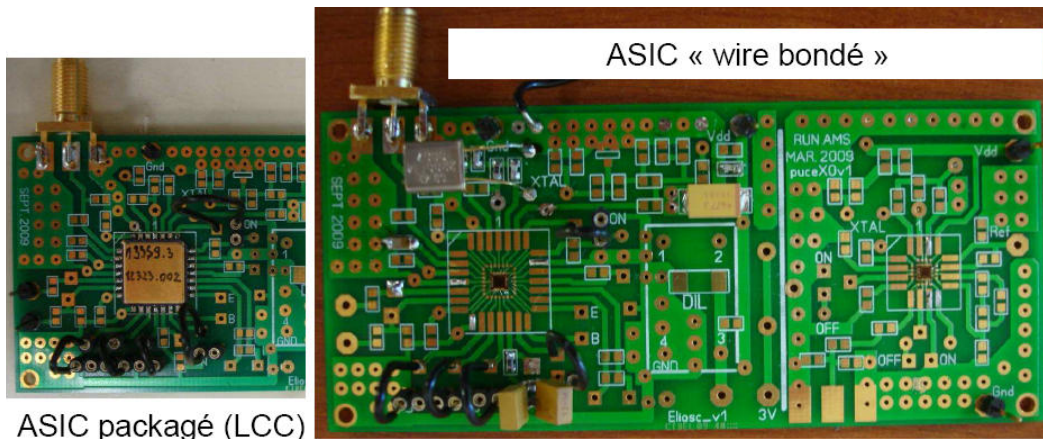


FIGURE 2.59 – Circuit de test pour valider les performances des ASIC "*PuceXOv1*" et "*Elios\_c\_v1*".

Une liste non exhaustive des performances validées expérimentalement est proposée ci-dessous. Les simulations correspondantes vont être réalisées dans des conditions similaires à partir d'une vue extraite

67. Leadless Chip Carrier.

de l'architecture globale (figures 2.56 et 2.58).

1. Effet thermique sur les tensions de polarisation,
2. Mesures du bruit propre en sortie des étages de polarisation,
3. Caractérisation de l'impédance équivalente de la cellule oscillateur (méthode dipolaire),
4. Evolution des signaux en temporel,
5. Caractérisation du bruit de phase.

### 2.4.1 Caractérisation des étages BF

Cette première série de mesure, regroupant la validation des performances référencées 1 et 2 dans la liste précédente, est basée sur la configuration présentée en figure 2.60 pour laquelle chacune des sorties marquées d'un astérisque sont caractérisées. Notons cependant que les composants externes utilisés pour la compensation ( $C_{comp}$ ) et le filtrage ( $R_f$  et  $C_f$ ) des remontées de bruit de la référence intégrée n'ont pas été utilisés lors des caractérisations en température de la *PuceXOv1*.

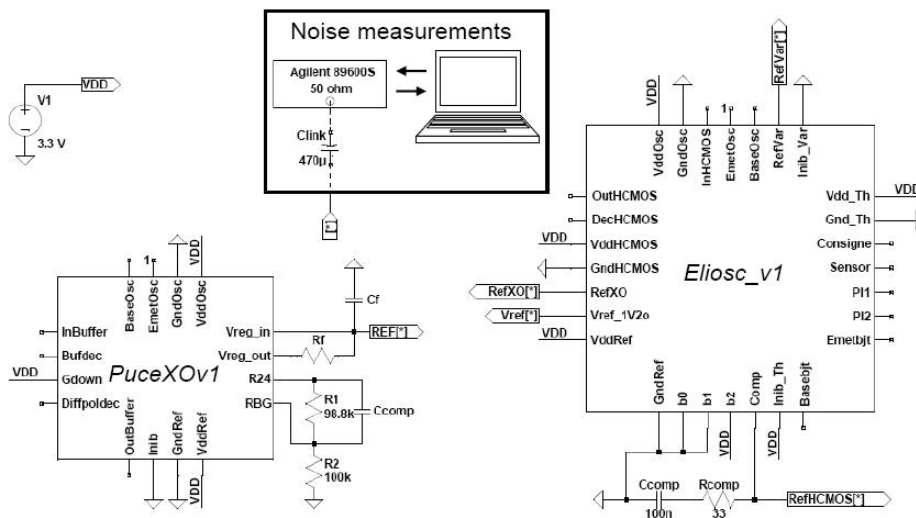


FIGURE 2.60 – Câblage électrique des ASIC pour caractériser les tensions de polarisation de nos cellules RF : température et bruit propre.

Dans notre second design, la commande établie sur 3 bits (b0, b1 et b2) qui sert au recalage de notre référence de tension à sa valeur nominale doit être définie au préalable. Nous avons donc mesuré la tension  $V_{ref}$ , image de la tension générée par le bandgap, en fonction des 8 états possibles en entrée. Nous avons finalement rapporté, dans le tableau 2.17, la configuration établie par simulations pour obtenir une tension de 1,21 V à partir de la valeur prise en sortie du bandgap ( $C_f$  tableau 2.15), ainsi que les valeurs mesurées pour  $V_{ref}$ . En conclusion, la tension en sortie du bandgap est donc de 1,21 V et la configuration indiquée en gras sera alors conservée dans la suite de nos mesures.

$V_{\text{bandgap}}$ [V]	b2	b1	b0	$V_{\text{ref}}$ [V]
1,31	0	0	0	1,10
1,28	0	0	1	1,13
1,25	0	1	0	1,15
1,23	0	1	1	1,18
<b>1,21</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1,21</b>
1,18	1	0	1	1,24
1,15	1	1	0	1,27
1,11	1	1	1	1,31

TABLE 2.17 – Tension mesurée ( $V_{\text{ref}}$ ) suivant les  $2^3$  configurations possibles.

### 2.4.1.1 Comportement thermique des polarisations

#### 2.4.1.1.1 Profil de température

Les tests thermiques sont réalisés en étuve (VT4002 - Vötsch Industrietechnik) sur une gamme de température allant de  $[-20^{\circ}\text{C}$  à  $90^{\circ}\text{C}$ ] et ce, conformément au profil défini en figure 2.61. Les temps de montée, de descente et de stabilisation en température sont définis expérimentalement à la suite de l'évaluation du temps de réponse de notre capteur à un échelon de température.

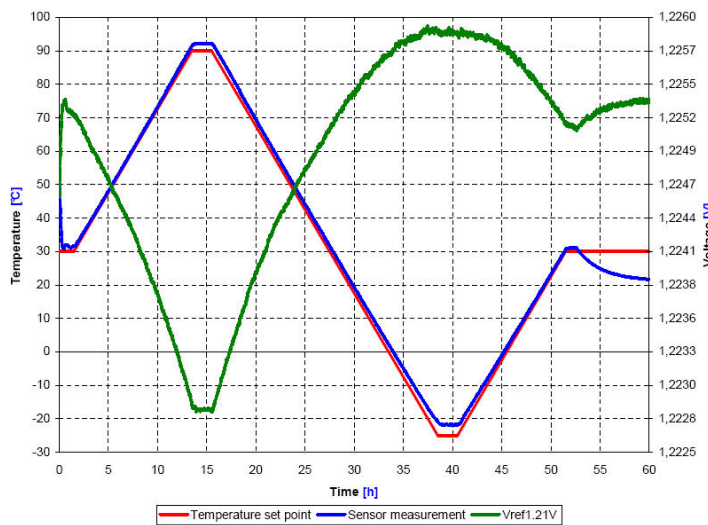


FIGURE 2.61 – Profil de température pour caractériser l'évolution thermique des tensions de polarisation.

Une des principales caractéristiques décrivant l'évolution en température d'une tension de référence est le calcul de son coefficient de température équivalent ( $TC_{V_{REF}}$ ). Ce dernier étant défini sur la gamme de température  $[T_{MIN}, T_{MAX}]$  par :

$$TC_{V_{REF}} = \frac{1}{V_{REF|NOM}} \times \frac{V_{REF|MAX} - V_{REF|MIN}}{T_{MAX} - T_{MIN}} \quad (2.24)$$



### 2.4.1.1.2 Mesures et simulations

Pour simuler dans les meilleures conditions la dépendance en température des tensions de polarisation de nos ASIC, nous avons pris en compte les différents coefficients de température associés aux couches métalliques du circuit intégré et aux composants externes utilisés.

• **PuceXOv1** : L'évolution de la tension en fonction de la température est représentée en figure 2.62. Cette dernière est décroissante sur toute la gamme et présente donc un point de compensation rejeté en dehors de cette gamme. Ces résultats restent en accord avec le comportement simulé dont quelques caractéristiques sont recensées dans le tableau 2.18.

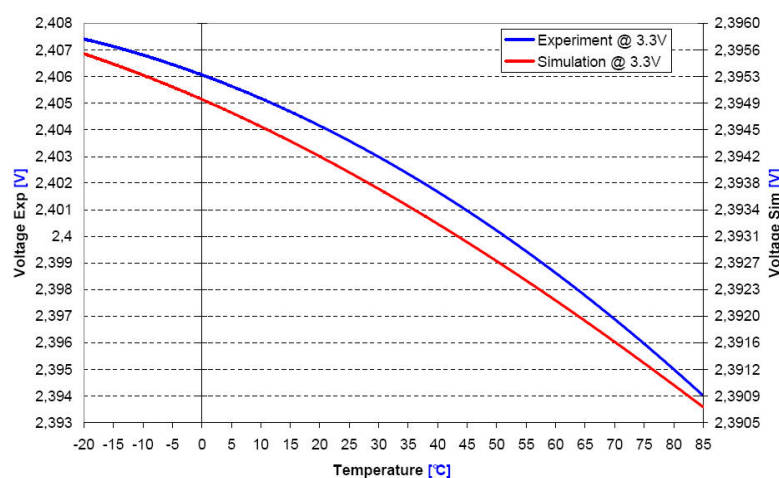


FIGURE 2.62 – Evolution de la tension de polarisation en fonction de la température : caractérisation et simulation à 3,3 V.

	$\Delta V_{REF}$ [mV]	$TC_{V_{REF}}$ [ppm/°]
Simulation	4,8	19,3
Expérimental	13,4	53
Ecarts [%]	179	175

TABLE 2.18 – Evaluation de  $\Delta V_{REF}$  et du coefficient de température effectif établi sur la gamme de température  $[-20^{\circ}\text{C}, 90^{\circ}\text{C}]$  d'après la figure 2.62.

• **Elioscv1** : Les tensions référencées "Vref", "RefXO", "RefVar" et "RefHCMOS", lesquelles correspondent aux polarisations des différentes cellules de notre ASIC<sup>68</sup>, sont représentées en figure 2.63. Comme précédemment, nous avons rapporté dans le tableau 2.19 les variations de tension ( $\Delta V$ ), les coefficients de température ( $TC_{V_{REF}}$ ) ainsi que les valeurs de température au point de compensation ( $T_{comp}$ )

68. "Vref" : sortie de la référence 1,21 V après recalage, "RefXO" : image de la polarisation de la cellule oscillateur, "RefVar" : polarisation pour un éventuel tirage électronique externe de la fréquence, "RefHCMOS" : polarisation de la mise en forme et du buffer HCMOS (LDO).

relatives à nos mesures et aux simulations correspondantes.

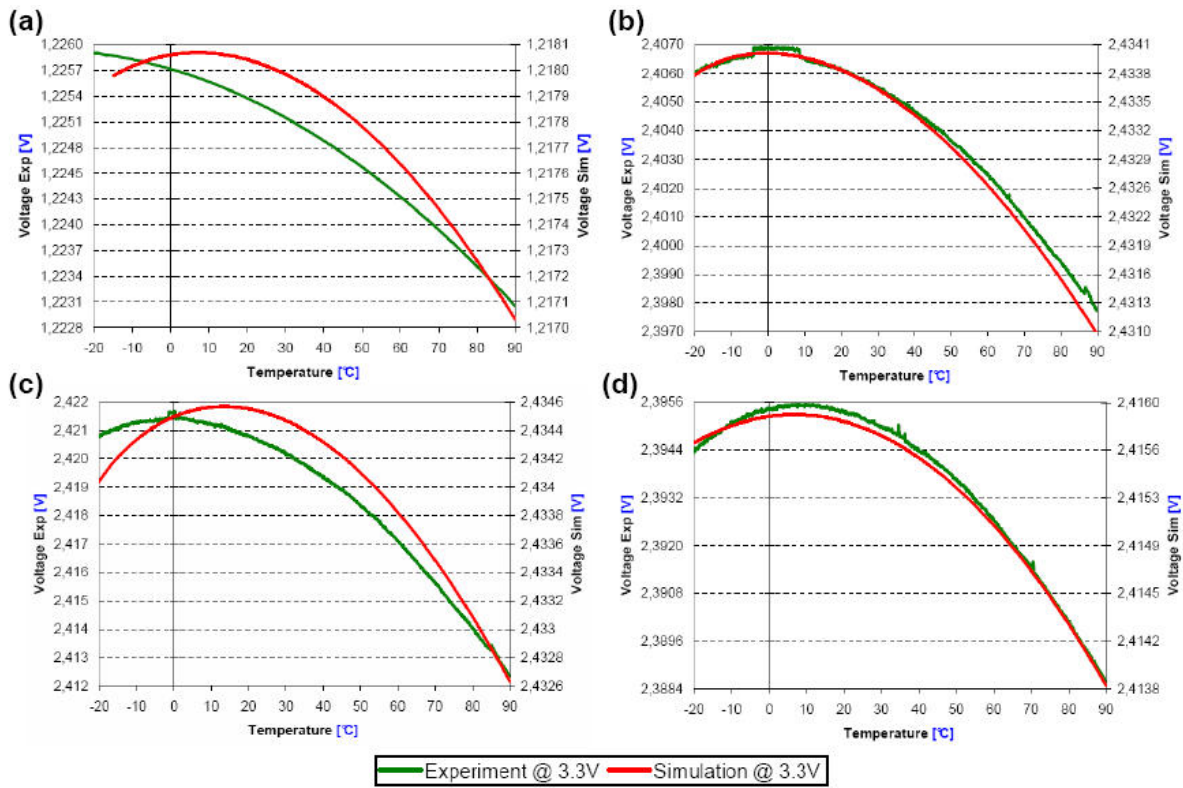


FIGURE 2.63 – Evolution des tensions de polarisation en fonction de la température : caractérisations et simulations à 3,3 V de  $V_{ref}$  (a),  $RefXO$  (b),  $RefVar$  (c),  $RefHCMOS$  (d).

Nœuds	Simulation			Expérimental		
	$\Delta V$ [mV]	$TC_{V_{REF}}$ [ppm/°]	$T_{comp}$ [°]	$\Delta V$ [mV]	$TC_{V_{REF}}$ [ppm/°]	$T_{comp}$ [°]
<b>Vref (a)</b>	1,04	6,6	8	2,9	18	-33
<b>RefXO (b)</b>	3	9,5	0	9	34	0
<b>RefVar (c)</b>	1,9	6,2	14	9,3	34	0
<b>RefHCMOS (d)</b>	2,1	6,6	7	7	26	8

TABLE 2.19 – Valeurs numériques caractéristiques de notre tension de polarisation relativement aux courbes de la figure 2.63.

Les écarts importants relevés entre nos courbes expérimentales et les simulations réalisées dans des conditions identiques de fonctionnement peuvent être identifiés comme provenant des effets liés aux encapsulations, au routage sur PCB et aux dispersions de fabrication des ASIC. Ces dernières n'étant alors pas prises en considération lors de nos simulations (analyses Monte-Carlo, analyses pire-cas).

### 2.4.1.2 Bruit propre des polarisations

Le bruit propre en sortie des étages de polarisation est caractérisé par une mesure de la DSP (Densité Spectrale de Puissance) sur une gamme allant de 10 Hz à 40 MHz à l'aide d'un analyseur vectoriel (*Agilent 89600S Vector Signal Analyzer*). Nous avons choisi de présenter nos résultats en [dBV<sup>2</sup>/Hz] lesquels peuvent être convertis en [V<sup>2</sup>/√Hz] en utilisant :

$$S_V(f)_{[V/\sqrt{Hz}]} = \sqrt{10^{S_V(f)_{[dBV^2/Hz]}/10}} \quad (2.25)$$

Pour fixer les limitations de notre appareillage dans son environnement de mesure, nous avons caractérisé le bruit propre d'une résistance de calibration 50 Ω. En considérant cette dernière comme étant une source de bruit thermique, nous en avons évalué la tension équivalente à température ambiante d'après (2.23) : -181 dBV<sup>2</sup>/Hz. La limitation de notre analyseur sur cette bande de fréquence est tracée de manière asymptotique dans les graphes correspondants.

#### 2.4.1.2.1 Mesures et simulations

• *PuceXOv1* : Le bruit propre mesuré sans mettre en place de compensation ( $C_{comp}$ ) ni de filtrage ( $R_f$ ,  $C_f$ ) externe est donné en figure 2.64. Dès lors, en utilisant les valeurs adéquates, nous avons pu atténuer les remontées de bruit relevées à 800 kHz et 4 MHz comme présenté en figure 2.65. Notons cependant que l'association du filtrage passe-bas avec l'équivalent de type passe-haut, constitué par la capacité de liaison et l'impédance d'entrée de l'analyseur vectoriel (50 Ω), provoque une translation de la mesure d'environ 23 dB laquelle est limitée par le plancher de mesure de l'analyseur.

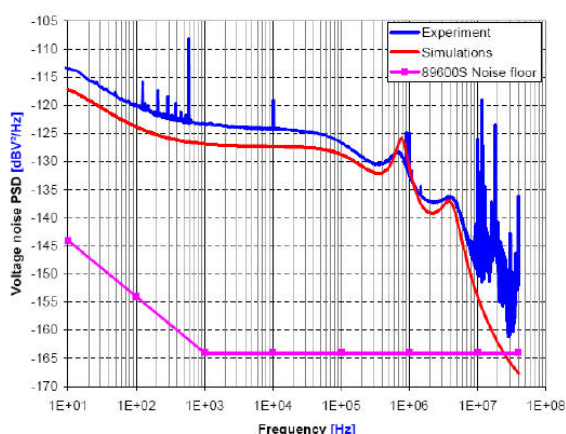


FIGURE 2.64 – DSP relevée en sortie de la référence 2,4 V.

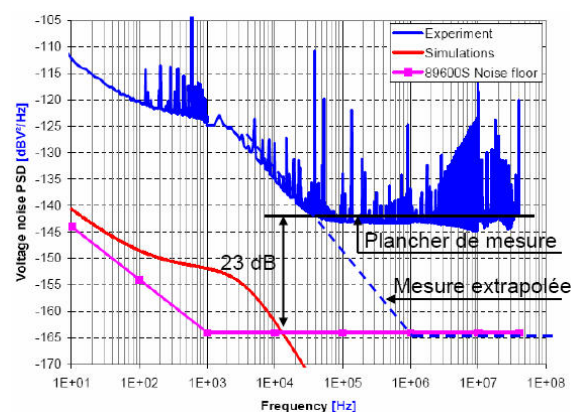


FIGURE 2.65 – DSP après compensation et filtrage.

• *Eliosoc\_v1* : Les compensations que nous avons intégrées dans ce design pour atténuer les remontées de bruit observées précédemment sont validées d'un point de vue expérimental (figure 2.66).



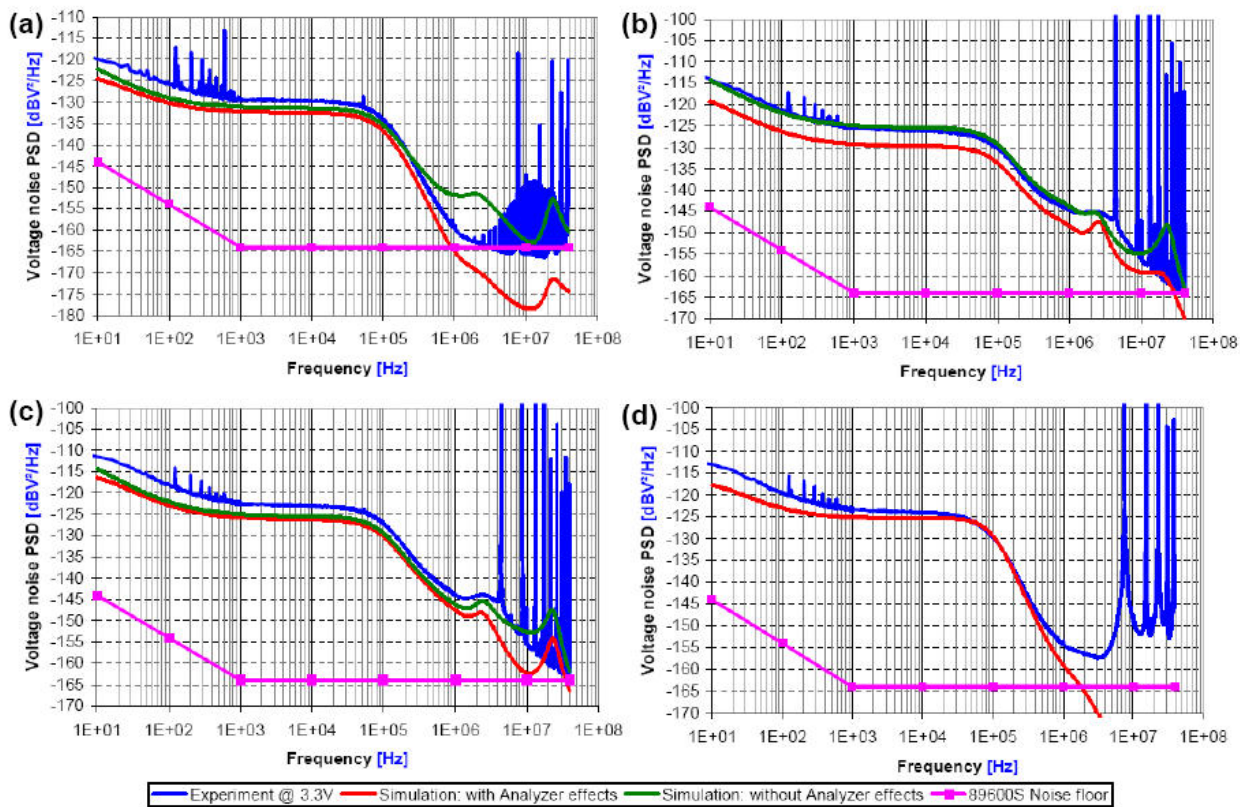


FIGURE 2.66 – Bruit propre en sortie des étages de polarisation pour  $V_{ref}$  (a),  $Ref_{XO}$  (b),  $Ref_{Var}$  (c),  $Ref_{HCMOS}$  (d) : caractérisations et simulations à 3,3 V, 27°C.

Les écarts entre nos caractérisations expérimentales et nos simulations (5 dB max) sont attribués aux incertitudes de mesures de nos appareillages. Les pics de bruit relevés à des fréquences supérieures au MHz sont liés à une mauvaise réjection du bruit haute-fréquence de notre l'alimentation ainsi qu'aux interférences causées par l'environnement de mesure. Pour en atténuer la présence, nous avons placé notre circuit de test et son alimentation, alors générée par batteries, sous un même blindage.

## 2.4.2 Caractérisation des étages RF

Les étages RF de nos ASIC sont caractérisés à 40 MHz (sauf indication spécifique) en utilisant un résonateur à quartz de coupe AT-P3 dont les paramètres motionnels sont énumérés ci-dessous. La fréquence de résonance réellement obtenue pouvant être calculée à partir de ( 1.1) ou ( 1.2) si l'on tient compte de la capacité statique.

- $R_m = 12,5 \Omega$ ,
- $L_m = 11,8 \text{ mH}$ ,
- $C_m = 1,34 \text{ fF}$ ,
- $C_0 = 3 \text{ pF}$ .

### 2.4.2.1 Impédance négative de l'oscillateur

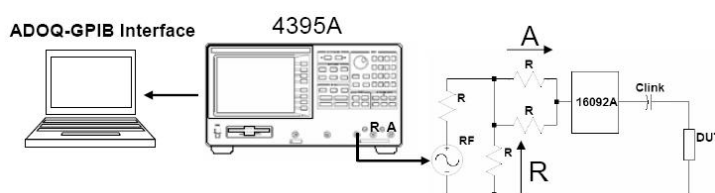


FIGURE 2.67 – Synoptique du système pour la caractérisation de l'impédance négative de la cellule oscillateur (d'après [102]).

#### 2.4.2.1.1 Banc de mesure

L'impédance négative équivalente de notre cellule oscillateur (DUT<sup>69</sup>) est caractérisée avec un analyseur d'impédance (*HP4395A Network / Spectrum / Impedance Analyzer*) dont le pilotage (calibration et récupération des données) est effectué sous l'interface ADOQ-GPIB [67] (figure 2.67). La partie réelle et imaginaire de cette impédance obtenue en fonction de la puissance injectée par l'analyseur ( $P_{SET}$  en [dBm]) est ensuite convertie pour être représentée en fonction de l'amplitude du courant circulant dans le DUT ( $\hat{I}_{DUT}$ ). Nous utiliserons pour cela la relation suivante :

$$\begin{cases} \hat{I}_{DUT} = \frac{V_{SET}\sqrt{2}}{|R_0 + Z_{DUT}|} = \frac{V_{SET}\sqrt{2}}{\sqrt{(R_0 + R_{DUT})^2 + (X_{DUT})^2}} \\ V_{SET} = \sqrt{\frac{10^{P_{SET}/10} \times R_0}{1000}} \end{cases} \quad (2.26)$$

Avec  $V_{SET}$  la tension efficace aux bornes du DUT,  $R_0$  l'impédance de sortie de l'analyseur ( $50 \Omega$ ) et  $Z_{DUT} = R_{DUT} + jX_{DUT}$  l'impédance complexe équivalente de l'élément à caractériser. Le schéma en figure 2.67 peut alors être complété par les équivalents électriques des éléments additionnels mis en œuvre lors de la mesure (figure 2.68) : l'analyseur (*HP4395A* [102]) mis sous une forme simplifiée, le système de fixation (*16092A* [103]) servant au maintien du DUT et la capacité de liaison ( $C_{link}$ ) utilisée pour ne pas perturber le DUT en continu.

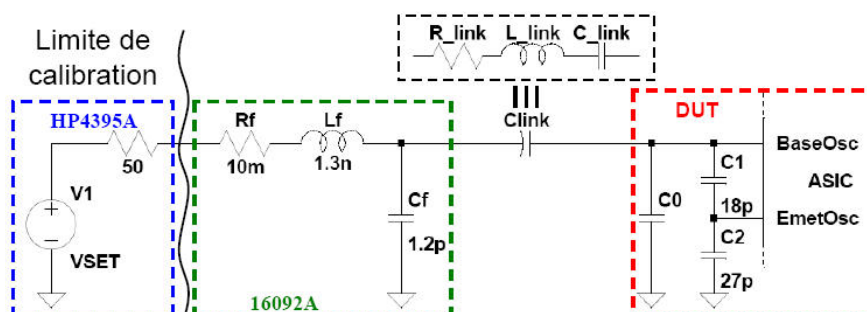


FIGURE 2.68 – Schéma électrique équivalent du système en figure 2.67.

69. Device Under Test.

Pour rendre compte de l'influence du montage en figure 2.68 sur la mesure de l'impédance négative de notre circuit, nous en avons simulé les effets puis confronté nos résultats avec ceux relatifs à l'application de la méthode dipolaire (source de courant parfaite) obtenus dans des conditions de fonctionnement similaires. L'impédance en figure 2.68 est donc définie conformément à la mesure expérimentale, c'est-à-dire évaluée à partir de la tension et du courant aux bornes du port 50  $\Omega$ . Pour cette simulation, la capacité de liaison est modélisée sous la forme d'un circuit RLC série dont les valeurs respectives ont été calculées à partir d'une mesure expérimentale de sa résistance et de sa réactance à 40 MHz. Les résultats de simulation, présentés en figure 2.69, nous montrent finalement que ce montage contribue à une perturbation de la mesure identique à la présence d'une capacité statique dans le circuit.

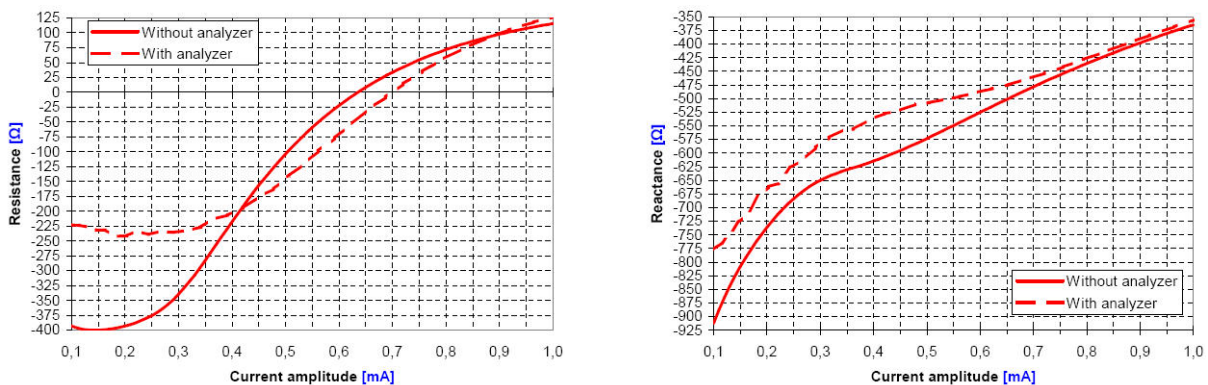


FIGURE 2.69 – Impédance dipolaire simulée à 40 MHz avec influence du système de mesure (capacité statique  $C_0$  non utilisée).

#### 2.4.2.1.2 Mesures et simulations

La partie réelle et imaginaire de l'impédance dipolaire de notre oscillateur intégré (*Elioscv1*), caractérisée successivement sur une puce encapsulée (LCC28) et sur une puce nue connectée par ball bonding, est présentée en figure 2.70. La simulation correspondante, avec et sans prise en compte de la capacité statique, est donnée en figure 2.71.

Les écarts importants relevés entre nos simulations et la caractérisation expérimentale peuvent être attribués aux effets de la connectique (montage et routage de la carte) mais aussi à la puissance fournie par l'analyseur alors partiellement réfléchi par le DUT. D'après les caractéristiques motionnelles du résonateur utilisé et les résultats en figures 2.70 et 2.71, nous avons calculé la fréquence d'oscillation ainsi que le tirage en fréquence introduit par l'électronique d'entretien ( $C_f$  tableau 2.21).

#### 2.4.2.2 Mesures temporelles

En utilisant la méthode dipolaire, nous avons caractérisé l'évolution de l'impédance négative du circuit d'entretien en fonction de l'amplitude crête du courant circulant dans la branche motionnelle du

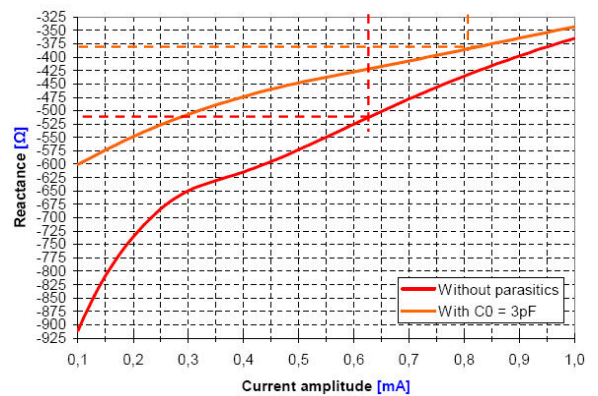
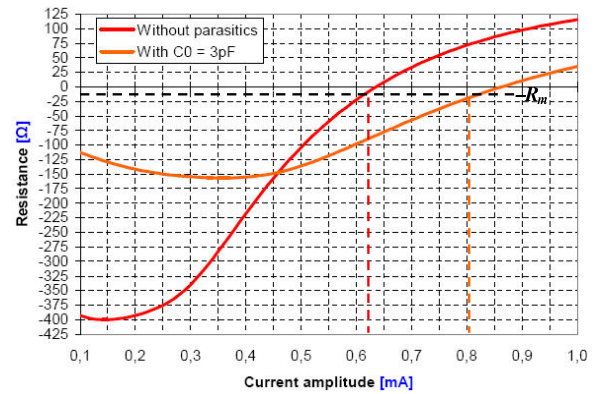
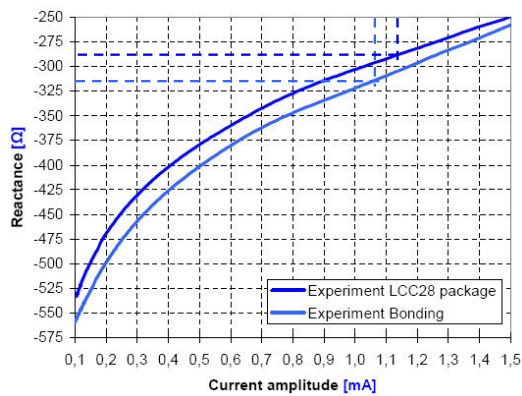
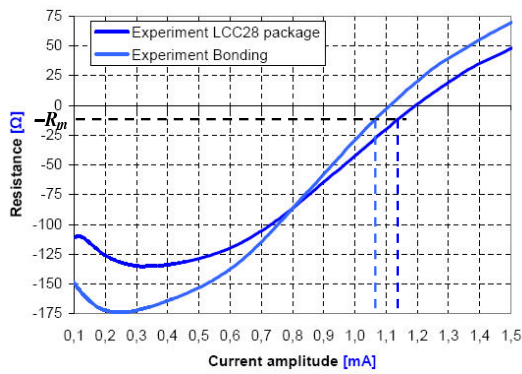


FIGURE 2.70 – Caractérisation de l'impédance dipolaire (partie réelle et imaginaire) à 40 MHz, 3,3 V, 27°C : puce emballée et puce nue.

FIGURE 2.71 – Simulation de l'impédance dipolaire avec et sans effet du  $C_0$  à 40 MHz, 3,3 V, 27°C : partie réelle et imaginaire.

	Puce nue	Puce emballée	Simulation
Courant [ $\mu$ A]	1059	1136	820
Réactance [ $\Omega$ ]	-314,7	-288,5	-381,6
Fréquence de résonance [MHz]	40,024575		
Fréquence d'oscillation [MHz]	40,022452	40,022629	40,022001
Tirage [kHz]	2,122	1,946	2,573

TABLE 2.20 – Données caractéristiques des figures 2.70 et 2.71 pour le calcul du tirage en fréquence.

résonateur. Lorsque les pertes du résonateur sont finalement compensées par le circuit, l'amplitude des oscillations dans le domaine temporel est alors connue. Cependant, dans la pratique, seul le courant total dans le résonateur peut être mesuré du fait d'une impossibilité d'en isoler la branche motrice des effets de la capacité statique. L'évolution temporelle du courant est ainsi évaluée à l'aide d'une sonde Tektronix CT-1 current transformer et d'un oscilloscope (TDS3052) selon le schéma en figure 2.72.

Le courant circulant dans le résonateur mesuré et simulé est donné respectivement en figures 2.73



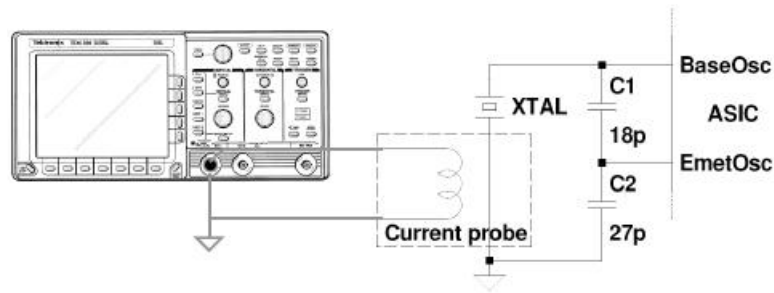


FIGURE 2.72 – Schéma relatif à la mesure temporelle du courant dans le résonateur.

et 2.74. Pour réduire les temps de simulation durant l'analyse PSS, nous avons réduit l'architecture globale aux seules cellules RF concernées et ce, sans prendre en compte les composantes parasites qui ont tendance à augmenter la valeur d'amplitude obtenue.

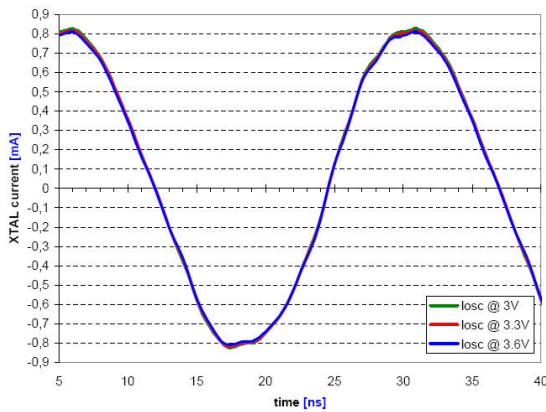


FIGURE 2.73 – Mesure du courant circulant dans le résonateur AT-P3 40 MHz sous 3,3 V ±10%, 27°C.

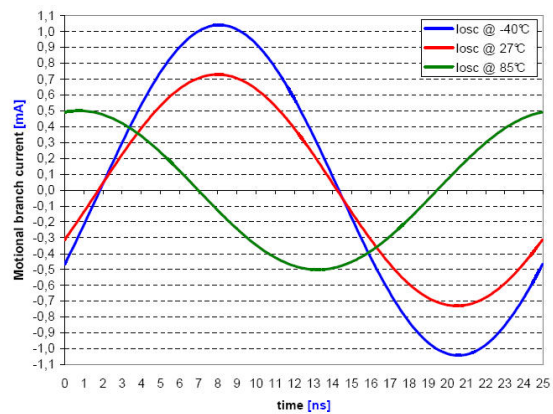


FIGURE 2.74 – Simulation du courant circulant dans le résonateur sous 3,3 V ±10% à -40°C, 27°C et +85°C.

Nos résultats sont finalement rappelés dans le tableau 2.21 pour lequel nous y avons inclus les valeurs "théoriques" obtenues par la méthode dipolaire. En confrontant ces deux approches, il est possible de faire l'estimation de l'amplitude temporelle du signal susceptible d'être obtenue lors de l'analyse en vue extraite du circuit :  $\hat{I}_{pss|extr} = \hat{I}_{pss|sch} + (\hat{I}_{dip|extr} - \hat{I}_{dip|sch})$ . Par application numérique, nous obtenons :  $\hat{I}_{pss|extr} = 820 \mu\text{A}$ .

	Méthode dipolaire	Temporel
Schéma	720 $\mu\text{A}$	720 $\mu\text{A}$
Extraite	820 $\mu\text{A}$	-
Mesure	-	820 $\mu\text{A}$

TABLE 2.21 – Amplitude des oscillations obtenues à 40 MHz sous 3,3 V, 27°C.

### 2.4.2.3 Mesure du bruit de phase

Le bruit de phase unilatéral mesuré et simulé en sortie des étages RF de notre design *PuceXOv1* est donné en figure 2.75. Nous observons alors une bonne concordance entre les résultats obtenus pour lesquels nous avons introduit un filtrage passe-bas en sortie de notre référence pour en améliorer les performances (réponse en bruit).

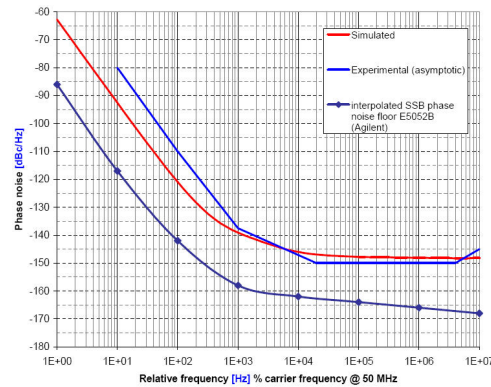


FIGURE 2.75 – *PuceXOv1* packagé (LCC16) : Bruit de phase mesuré et simulé à 50 MHz (3,3 V  $\pm 10\%$ , 27°C).

Dans le cas de la puce *Eliosc\_v1*, le bruit de phase est mesuré avec un analyseur de signaux *FSUP* (ROHDE & SCHWARZ). Le signal de référence est généré ici par un synthétiseur ROHDE & SCHWARZ SMA 100A (RF Analog Signal Generator) pour lequel nous avons fait figurer la réponse sur les tracés expérimentaux donnés en 2.76 et 2.77.

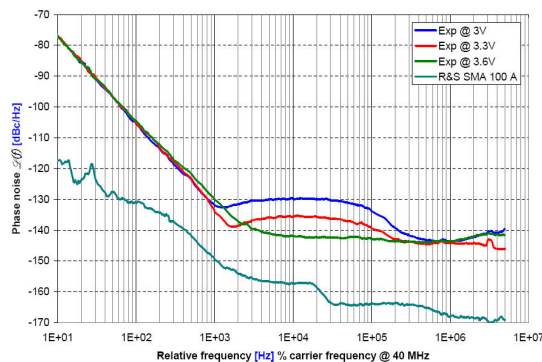


FIGURE 2.76 – *Eliosc\_v1* packagé (LCC28) : Bruit de phase expérimental à 40 MHz (3,3 V  $\pm 10\%$ , 27°C).

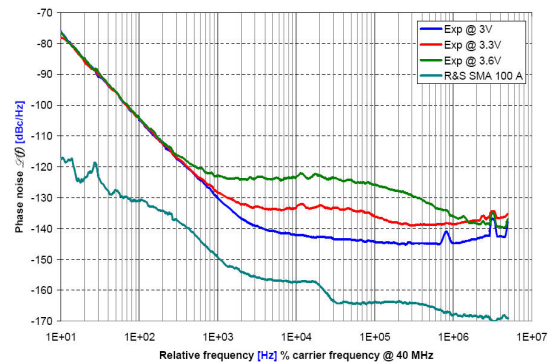


FIGURE 2.77 – *Eliosc\_v1* ball bondé : Bruit de phase expérimental à 40 MHz (3,3 V  $\pm 10\%$ , 27°C).

En confrontant ces résultats à notre simulation (Cf figure 2.36), bien que celle-ci soit réalisée dans des conditions optimales de fonctionnement (sources parfaites, pas d'effets parasites), nous constatons une dégradation significative de notre plancher de bruit. Or, nous avons pu voir en section 2.3.4 l'importance d'un bon filtrage des tensions de polarisation et son influence sur le bruit de phase. Des composants

externes sont finalement indispensables bien que les contraintes de développement n'ont pas suivi cette orientation. Finalement, à partir d'une représentation asymptotique de la réponse en bruit de phase de nos deux ASIC, nous avons indiqué dans le tableau 2.22 les intersections à 1 Hz de ces asymptotes, les fréquences de coupure ( $f_c$ ) et de Leeson ( $f_L$ ) correspondantes ainsi que le calcul du facteur de qualité en charge ( $Q_L$ ) d'après l'équation (1.18).

Fréquences	Eliscosc_v1 à 40 MHz			PuceXOv1 à 50 MHz	
	Simulations	Puce nue	Puce LCC28	Simulations	Puce LCC16
$f^{-3}$	-95 dBc/Hz	-46 dBc/Hz	-47 dBc/Hz	-63 dBc/Hz	-50 dBc/Hz
$f^{-2}$	-106 dBc/Hz	-	-	-	-
$f^{-1}$	-125 dBc/Hz	-	-	-110 dBc/Hz	-108 dBc/Hz
$f^0$	-152 dBc/Hz	-138 dBc/Hz	-141 dBc/Hz	-147,5 dBc/Hz	-150 dBc/Hz
$f_c$	-	-	-	10 kHz	20 kHz
$f_L$	180 Hz	-	-	170 Hz	600 Hz
$Q_0$	237000			251000	
$Q_L$	110000	-	-	147000	41000

TABLE 2.22 – Résumé des caractéristiques de bruit de phase : intersection des asymptotes à 1 Hz de la porteuse.

#### 2.4.2.4 Stabilité court-terme

La représentation temporelle de la stabilité d'un oscillateur, aussi appelée variance d'Allan ( $\sigma_y(\tau)$ ), est définie à partir de la densité spectrale des fluctuations de phase ( $S_\phi(f) = \frac{1}{2}\mathcal{L}(f)$ ), tel que :

$$\sigma_y^2(\tau) = 2 \int_0^\infty \left(\frac{f}{\nu}\right)^2 S_\phi(f) \frac{2 \sin^4(\pi f \tau)}{(\pi f \tau)^2} df \quad (2.27)$$

$f$  représente ici la variation de fréquence par rapport à la fréquence de la porteuse ( $\nu$ ) et  $\tau$  désigne le temps d'intégration [s]. N'ayant pas caractérisé expérimentalement la stabilité court-terme de nos oscillateurs, nous en avons fait une estimation (Cf figures 2.78 et 2.79) à partir des tracés asymptotiques du bruit de phase des figures précédentes. Pour cela, nous avons utilisé la feuille de calcul *noise.xls* proposée par *Wenzel Associates, Inc.*<sup>70</sup>. Les dérives thermiques de l'oscillateur (résonateur et électronique) qui interviennent généralement lors de mesures expérimentales ne sont pas prises en considération dans ce tracé.

#### 2.4.2.5 Consommation

La puissance consommée par nos puces à température ambiante est recensée dans le tableau 2.23 pour différentes tensions d'alimentation dans le cas d'une configuration en XO. De plus, nous y avons

70. Lien : <http://www.wenzel.com/documents/spread1.htm> (Allan Variance for Phase Noise).

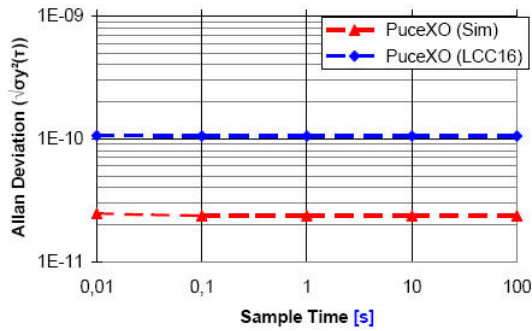


FIGURE 2.78 – *PuceXOv1* : Variance d'Allan approximée à partir des tracés asymptotiques du bruit de phase.

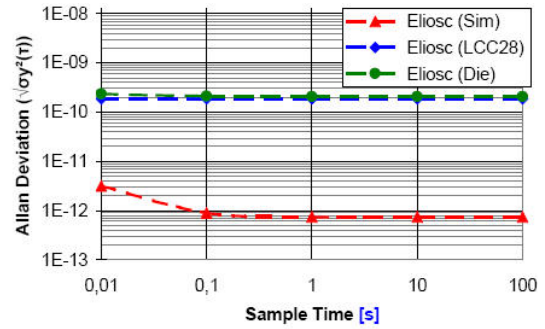


FIGURE 2.79 – *Eliosc\_v1* : Variance d'Allan approximée à partir des tracés asymptotiques du bruit de phase.

ajouté la contribution de l'étage fournissant la tension nécessaire à la polarisation d'une diode varicap externe ("VCXO").

Puissance [mW]	<i>Eliosc_v1</i>			<i>PuceXOv1_y1</i>		
Alimentations	3 V	3,3 V	3,6 V	3 V	3,3 V	3,6 V
Configurations						
XO	33,54	39,3	45,68	43,7	53,4	65,15
"VCXO"	38,1	44,62	51,7	-	-	-

TABLE 2.23 – Mesure de la puissance consommée en mW par nos ASIC à 25°C.

Les vérifications par simulations réalisées aux conditions expérimentales de fonctionnement confirment finalement les résultats obtenus et nous permettent ainsi de valider la fiabilité des modèles utilisés sous SPECTRE®. Cependant, des tests complémentaires doivent être envisagés pour finaliser la validation des performances de nos oscillateurs intégrés : influence de la température, stabilité en fréquence, vieillissement... Le bruit de phase restant toutefois un point critique de notre design, les origines des remontées observées sur les courbes expérimentales doivent être investiguées plus en détail. Plusieurs facteurs pouvant provenir d'erreurs liées à la conception physique peuvent être mis en cause en complément d'un manque de filtrage des polarisations :

- Contacts substrat insuffisants conduisant à une mauvaise mise à la masse du circuit et augmentant les risques de couplage par le substrat,
- Modifier la structure LDO...

Dans cette étude, nous avons choisi de fixer des limites à l'intégration de notre électronique d'entretien de manière à la rendre utilisable sur une gamme importante en fréquence (10 MHz à 100 MHz) et avoir la possibilité de rattraper, en externe, les dispersions de fabrication du circuit et du résonateur



à quartz (paramètres motionnels). Lors du développement de la cellule oscillateur (type Colpitts), nous nous sommes focalisés principalement sur l'utilisation de la méthode dipolaire dans le but d'évaluer la résistance négative de notre circuit. Nous avons ainsi pu mettre en avant le rôle non négligeable de la capacité statique du résonateur considérée comme faisant partie des éléments parasites de notre circuit en complément des effets intrinsèques liés à son routage (layout). Nous observons alors une dégradation significative de la marge de résistance disponible ainsi qu'une augmentation conséquente du courant circulant dans le résonateur qui vont avoir un effet sur les performances du circuit. De plus, pour rendre compte de l'instabilité de notre cellule et ainsi en valider le démarrage, les conditions d'oscillations ont été vérifiées en complément par application du critère de Nyquist.

La cellule oscillateur est finalement intégrée avec sa structure de polarisation et son étage de sortie composé d'une mise en forme (signal carré) et d'un buffer dédié à une charge spécifique (50  $\Omega$  et/ou HCMOS). A partir des différentes caractérisations effectuées dans l'optique de valider les performances de nos circuits, nous avons pu constater que le dernier design réalisé présente des lacunes dans sa conception et doit pour cela être amélioré. En remettant principalement en cause l'implantation physique de nos cellules dans l'architecture globale de la puce, de nouvelles investigations doivent être menées en cherchant à :

- Maximiser le nombre de contacts substrat à proximité des cellules RF,
- Réserver des pads spécifiques à la collecte des courants de substrat,
- Améliorer notre distribution de tension,
- Prévoir des pads pour le filtrage externe des tensions de polarisations.

Finalement, pour couvrir un domaine d'application plus vaste, la puce *Elioscv1* possédant déjà les cellules RF nécessaires à la réalisation d'un XO va ensuite servir à l'intégration d'une régulation en température. Cet aspect fera l'objet de notre prochain chapitre.

## **Chapitre 3**

# **Extension vers un oscillateur intégré pour des applications OCXO**

Visant à étendre le domaine d'application de l'ASIC développé précédemment, l'intégration de fonctionnalités supplémentaires doit être envisagée. Dans ce but, nous allons nous intéresser à la mise en place d'une régulation en température pour permettre à la puce de couvrir les applications de type OCXO (Oven Controlled Crystal Oscillator) qui définissent, à l'heure actuelle, l'état de l'art en terme de stabilité. Les phénomènes thermiques vont alors jouer un rôle prépondérant dans cette architecture et ne devront pas être négligés lors de l'étude et le dimensionnement de l'électronique intégrée. Pour cela, nous avons choisi de décrire l'influence de ces phénomènes agissant sur les éléments de la structure dans un langage évolué tel que le *Verilog-AMS* et ce, dans le but d'obtenir une macro-modélisation rendant compte d'un comportement plus proche de la réalité.

### 3.1 Les oscillateurs thermostatés

Les OCXO sont des oscillateurs pour lesquels le résonateur est maintenu à une température constante à l'aide d'un thermostat et ce, de manière à rendre la fréquence insensible aux fluctuations de cette grandeur physique. L'électronique d'entretien utilisée pour la structure XO est alors associée à un système de régulation en température composé d'un élément chauffant (transistor de puissance, résistance...) et d'une sonde de température (CTN, CTP<sup>71</sup>...). Cette dernière étant placée au plus près de l'élément à thermostatier (le résonateur) pour limiter l'influence des gradients de température et ainsi obtenir une mesure fiable et précise (figure 3.1).

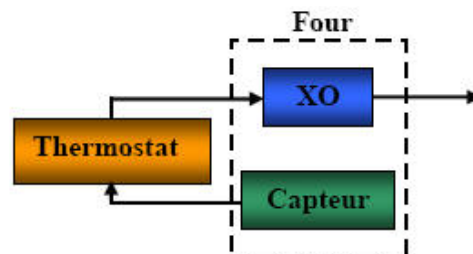


FIGURE 3.1 – Diagramme simplifié d'un OCXO.

Dans le but de mieux appréhender les phénomènes mis en jeu lors de la conception d'une telle structure, il est utile de rappeler brièvement l'influence du thermique sur les performances d'un résonateur à quartz relativement sur sa fréquence de résonance. La modélisation de ces phénomènes au niveau macroscopique étant alors nécessaire pour parfaire le développement de nos fonctions supplémentaires, les analogies entre grandeurs thermiques et électriques sont principalement utilisées sous un logiciel dédié à la simulation de circuits électroniques (SPICE®, SPECTRE®...).

---

71. CTN : Coefficient de Température Négatif (thermistances, jonctions PN...); CTP : Coefficient de Température Positif (sondes platines...).

### 3.1.1 Influence de la température sur la fréquence : notion de point d'inversion

Lors de la fabrication des résonateurs à quartz, l'orientation de la lame au moment de la découpe est typiquement fonction du type d'application visé. On trouve ainsi des résonateurs propres à la réalisation de capteurs de température (coupes LC, NLC...) pour lesquels la fréquence varie linéairement en fonction de cette grandeur. Toutefois, dans le cas d'applications métrologiques, la fréquence de référence générée se doit d'être stable en fonction de la température ce qui implique une étude plus poussée du comportement thermique des éléments constitutifs de l'oscillateur tels que le résonateur et son électronique d'entretien. Si l'on considère alors un résonateur de coupe AT ou SC, la courbe fréquence/température varie selon une loi cubique [104] dont l'expression est donnée ci-dessous. Nous distinguons alors deux types de comportement : le comportement statique caractérisé par les trois coefficients de température  $A_1$ ,  $B_1$  et  $C_1$ , mais aussi les effets dynamiques introduit par le terme  $\tilde{a}$  [105, 106].

$$\frac{\Delta f}{f} = \frac{f(T) - f(T_0)}{f(T_0)} = A_1(T - T_0) + B_1(T - T_0)^2 + C_1(T - T_0)^3 + \tilde{a} \frac{dT}{dt} \quad (3.1)$$

Ces différents coefficients dépendent fortement de l'orientation angulaire du cristal et donc des tolérances mécaniques relatives à sa fabrication [107, 108] (découpe). Par voie de conséquence, la variation de fréquence en fonction de la température ( $\Delta f/f$ ) va évoluer, dans le cas particulier d'une coupe AT ( $35^\circ 20'$ ), selon la famille de courbes montrée en figure 3.2. D'après ces courbes, nous pouvons noter qu'il existe une température pour laquelle les dispersions de fabrication n'ont aucune influence sur la fréquence (point d'inflexion) bien que la sensibilité en température autour de ce point soit au contraire maximale.

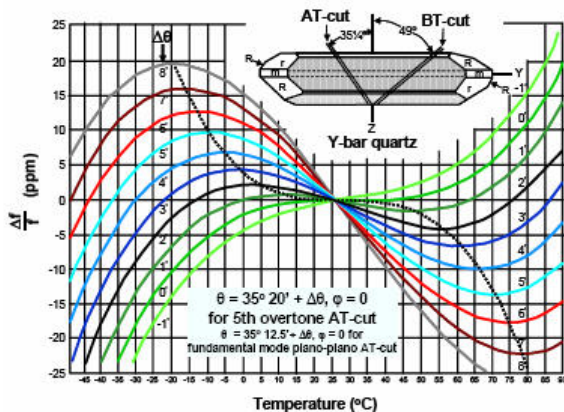


FIGURE 3.2 – Coupe AT : courbe fréquence/température pour différentes variations de l'angle de coupe (tiré de la référence [40]).

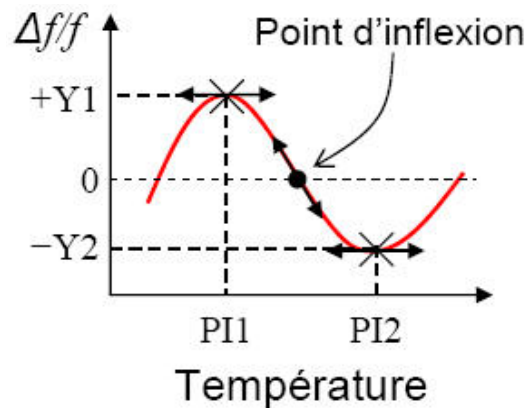


FIGURE 3.3 – Localisation des points d'inversions du résonateur (PI1 et PI2) correspondants à une sensibilité nulle à la température.

Le rôle principal d'une structure OCXO est de rendre le résonateur insensible à la température en se plaçant aux points d'inversion (PI) de la courbe fréquence/température qui sont alors caractérisés par une sensibilité nulle. Ces points, au nombre de deux dans le cas d'une cubique (PI1 et PI2), sont schématisés

en figure 3.3. Pour bénéficier d'une plage dynamique de fonctionnement en température importante, le résonateur est souvent thermostaté à son point d'inversion situé entre 80°C et 100°C ce qui correspond au PI1 d'une coupe SC et au PI2 d'une coupe AT. Toutefois, en utilisant les avantages qu'offre une coupe SC [109] associée à une électronique performante, les OCXO conçus à partir de ces éléments imposent l'état de l'art en terme de stabilité vis à vis de la température (inférieure à 1 ppb<sup>72</sup>) et ce, parmi tous les types d'oscillateurs à quartz disponibles sur le marché.

### 3.1.2 Phénomènes thermiques au sein du résonateur

On dénombre dans la nature trois types de transferts thermiques : la convection qu'elle soit naturelle ou forcée, la conduction et enfin le rayonnement (ou radiation). Pour mieux appréhender les transferts thermiques auxquels le résonateur à quartz est soumis, il est important de noter que celui-ci est, dans la majorité des cas, encapsulé sous atmosphère neutre ou sous vide pour l'isoler des effets dus à l'ambiante (amortissement de la vibration, pollution...) pouvant dégrader ses performances. Les échanges thermiques par convection entre le résonateur et son boîtier sont finalement quasi-inexistants.

Ainsi, seuls les transferts par conduction et rayonnement vont influencer sur le chauffage et le maintien en température du résonateur. La conduction reste toutefois le moyen le plus simple et le plus performant bien que le quartz soit, de par ses propriétés physiques, plutôt considéré comme un bon isolant thermique ( $6,8 \text{ Wm}^{-1}\text{K}^{-1} \leq \lambda_{\text{quartz}} \leq 12 \text{ Wm}^{-1}\text{K}^{-1}$ ) par comparaison avec son encapsulation (Kovar<sup>®</sup><sup>73</sup>) qui va généralement atteindre beaucoup plus rapidement l'état d'équilibre thermique ( $\lambda_{\text{Kovar}} \approx 17,3 \text{ Wm}^{-1}\text{K}^{-1}$ ). Le rayonnement quant à lui devient non négligeable lorsque le système est mis sous vide mais ses effets deviennent prépondérants lorsque les variations de température entre les différents milieux considérés sont très élevées : le flux radiatif étant proportionnel à  $\Delta(T^4)$ . Pour chauffer et maintenir à température le résonateur, les transferts par conduction restent donc privilégiés.

### 3.1.3 Modélisation des phénomènes thermiques par analogie électrique

Actuellement, la grande majorité des systèmes régulés en température impliquent des capteurs dont le conditionnement est assuré électroniquement. Une modélisation thermique devient alors indispensable si l'on souhaite concevoir et dimensionner dans les meilleures conditions la structure électronique spécifique à partir des logiciels de simulation tel que SPICE<sup>®</sup>, SPECTRE<sup>®</sup>... Pour cela, les phénomènes thermiques agissant sur le système sont représentés par analogie électrique [110–112].

Le second principe de la thermodynamique (notion d'entropie) stipule que le transfert de chaleur dans un milieu isotrope<sup>74</sup> s'effectue de manière irréversible et ce, jusqu'à l'homogénéisation des températures. Ce principe se traduit, dans le cas d'un transfert conductif de la région "chaude" vers la région

---

72. 1 ppb =  $1 \times 10^{-9}$

73. Le Kovar<sup>®</sup> est un alliage à base de fer, de Nickel et de Cobalt.

74. Mêmes propriétés physiques dans toutes les directions de l'espace.

dite "froide" par la loi de FOURIER décrite par  $\vec{\phi}_{cond} = -\lambda \vec{grad}(T)$ , avec  $\vec{\phi}_{cond}$  le vecteur densité de flux de chaleur et  $\lambda$  la conductivité thermique. Cette loi est analogue à l'expression de la loi d'Ohm locale en électrocinétique définie par  $\vec{j} = \sigma \vec{E} = -\sigma \vec{grad}(V)$  et pour laquelle  $\vec{j}$  représente le vecteur densité de courant,  $\sigma$  la conductivité électrique,  $\vec{E}$  le champ électrique et  $V$  le potentiel électrique. Une correspondance entre grandeurs thermiques et électriques est finalement donnée dans le tableau 3.1.

Grandeur thermique	Grandeur électrique
Flux thermique ( $\Phi$ ) [W]	Courant (I) [A]
Température (T) [K]	Potentiel (V) [V]
Conductivité thermique ( $\lambda(T)$ ) [ $Wm^{-1}K^{-1}$ ]	Conductivité électrique ( $\sigma$ ) [S/m]
Constante de temps thermique ( $\tau_{th} = R_{th}C_{th}$ ) [s]	Constante de temps électrique ( $\tau = RC$ ) [s]

TABLE 3.1 – Analogie électrique pour modélisation des phénomènes thermiques intervenant dans un système.

Dans la mesure où le système considéré suit un comportement linéaire<sup>75</sup>, les lois de KIRCHHOFF (loi des mailles et loi des nœuds) ainsi que les théorèmes de superposition, de substitution, de Thévenin et de Norton sont applicables pour résoudre le problème par analogie. Toutefois, en tenant compte de certains phénomènes non-linéaires tels que le rayonnement ou la dépendance en température des constantes thermiques ( $R_{th}(T)...$ ), l'approche précédente reste envisageable mais requiert des précautions supplémentaires au moment de la modélisation.

Lors de la réalisation d'un OCXO, les structures mécaniques massives sont privilégiées pour bénéficier d'un gain thermique suffisant<sup>76</sup> et garantir ainsi une meilleure isolation des phénomènes ambiants. Il devient alors possible de minimiser la puissance nécessaire au maintien de l'équilibre thermodynamique du système au détriment de la durée du *warm-up* qui est dépendante des constantes de temps thermiques des matériaux et des puissances mises en jeu (Cf figure 3.4). Dans le but de miniaturiser ce type de dispositifs, il est donc nécessaire de faire certains compromis selon les performances attendues.

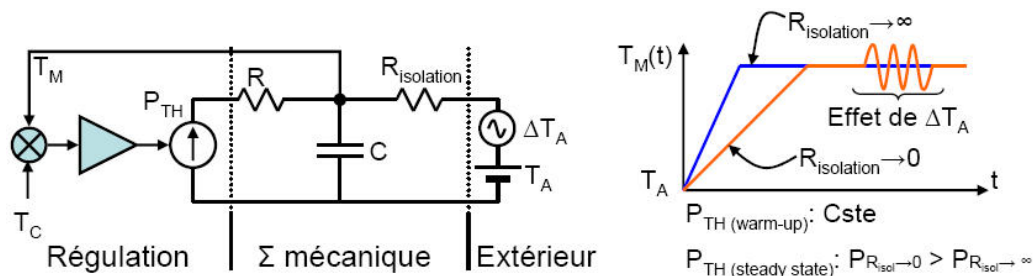


FIGURE 3.4 – Influence de l'isolation du système mécanique sur la mesure en température.

75. On considère que le système est linéaire lorsque les constantes impliquées ne dépendent pas de la grandeur physique mise en jeu.

76. On n'hésite pas à fabriquer des mini-fours adaptés au boîtier du résonateur pour augmenter sa masse thermique globale.

## 3.2 Miniaturisation des OCXO

Privilégier l'intégration des électroniques dans ce type de dispositif permet de réduire de manière significative les volumes à thermostatier tout en minimisant le nombre de composants utilisés. Le choix des matériaux et le positionnement des composants restent toutefois des contraintes à ne pas négliger car elles vont permettre de définir les puissances thermiques et électriques mises en jeu dans le système. On retrouve ainsi dans la littérature de nombreuses études menées dans le but de rendre ces structures plus compactes tout en cherchant à conserver des performances optimales. De ce fait, l'emplacement de la source thermique devient un paramètre stratégique favorable à la réduction des consommations et des temps de stabilisation du système.

### 3.2.1 Chauffage indirect du résonateur

Il s'agit de la méthode la plus fréquemment utilisée dans les produits OCXO industriels car elle permet d'obtenir de très bonnes stabilités malgré des temps de montée en température souvent conséquents de par l'importance de la masse thermique mise en jeu. Le résonateur encapsulé est chauffé indirectement par conduction à travers son boîtier par l'intermédiaire de ses fixations que ce soit à l'aide d'un transistor de puissance ou d'une résistance déposée sur le substrat (céramique, FR-4<sup>77</sup>...) comme montré en figure 3.5. La miniaturisation de ce type d'architecture nécessite une stratégie quant au dimensionnement du résonateur à quartz (fréquences d'utilisation) et au choix de son encapsulation : les architectures bas-profil présentant alors un fort potentiel pour ce type de dispositifs. En 2001, Igor ABRAMZON présente, en référence [113], la réalisation d'un double OCXO<sup>78</sup> miniature en thermostatant une première configuration d'OCXO dans un boîtier TO-8 et dont les dimensions externes ne dépassent pas au final les 20×20×12,5 mm<sup>3</sup>.

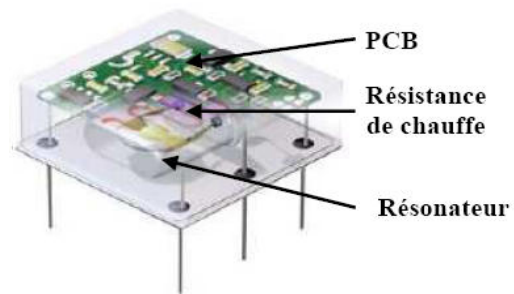


FIGURE 3.5 – Exemple d'un OCXO miniature par un chauffage du boîtier du résonateur (produit Ecliptek® Corporation).

### 3.2.2 Chauffage direct du résonateur

Cette méthode intitulée DHR (Direct Heating Resonator) consiste à placer des éléments résistifs en guise de source thermique directement sur le résonateur qui bénéficie, entre autre, de l'avantage d'être conservé sous vide dans son boîtier (pas de convection). Elle permet ainsi de diminuer de manière significative les temps de montée en température du fait d'un chauffage direct. Toutefois, bien qu'elle fut

77. Le FR-4 (Flame Resistant 4) est un matériau couramment utilisé dans la réalisation des circuits imprimés (résine epoxy renforcée par fibres de verre).

78. Les doubles OCXO (DOCXO) sont des structures à double thermostat permettant le maintien à une température constante du résonateur et de son électronique d'entretien pour garantir des performances optimales.

l'objet d'un brevet en 1969 [114], son exploitation pour des applications industrielles n'a pas vu le jour. En effet, l'inconvénient majeur de cette méthode est de ne pas pouvoir limiter l'influence des gradients de température dans le matériau (pertes par conduction via les fixations) impliquant ainsi une puissance thermique importante pour le maintenir à température constante. De plus, la mise en place d'un thermostat requiert l'utilisation d'une sonde de température placée au plus près du résonateur (voire à son contact) qui se retrouve alors soumis à des contraintes mécaniques supplémentaires ("mass loading") affectant les performances. L'apparition de gradients de température sous les films résistifs contribue aussi à ajouter des contraintes mécaniques.

Dans les années 90', les travaux de Bruce LONG *et al.* [115], Igor ABRAMZON *et al.* [116, 117] et Serge GALLIOU *et al.* [118, 119] ont fortement contribué à l'amélioration du chauffage direct en s'appuyant sur des architectures mécaniques favorable à l'isolation thermique entre le résonateur et son boîtier de manière à se prévaloir de toute surconsommation excessive. De plus, l'introduction de la coupe SC par EERNISSE en 1975 va permettre de s'affranchir des effets liés aux contraintes mécaniques induites par la présence de films résistifs et à aussi l'avantage d'être utilisable comme capteur de température suite à l'excitation possible de son mode B<sup>79</sup> (travail en bi-mode). Plus récemment, le IHR [120] (Internally Heated Resonator) a permis de combiner à la fois les avantages du DHR (transitoires rapides) et du chauffage par boîtier (faibles puissances statiques) dans un packaging tout aussi restreint.

### 3.2.3 Chauffage par l'intermédiaire de la puce

La miniaturisation ultime d'un OCXO nécessite une réduction conséquente des volumes à thermostat pour diminuer la consommation ainsi que les temps de montée en température. Ce fut l'objet des travaux de KIM *et al.* [121, 122] publiés en 2006 qui ont mis en valeur la fabrication d'un montage hybride utilisant une puce ASIC, réalisée en technologie CMOS AMI 0.5  $\mu\text{m}$ , comme source thermique. Cet ASIC intègre plusieurs fonctions<sup>80</sup> hormis les capacités qui sont restées externalisées pour des raisons de test en perspective d'une intégration complète. La forme donnée au résonateur de coupe AT a fait l'objet d'une étude particulière [49] afin d'être adaptée à celle de la puce (rectangulaire) et ainsi pour permettre un assemblage facile entre les deux éléments. Deux architectures sont proposées :

- Le résonateur est assemblé sur la puce par collage électro-conducteur [121] : les interconnexions entre la puce et le résonateur sont directes.
- Le résonateur est maintenu entre le PCB et la puce via une lame de quartz pour garantir l'isolation électrique et améliorer ainsi la compatibilité thermo-mécanique entre les matériaux de nature différente (CTE) [122]. Les connexions électriques entre la puce et le résonateur sont réalisées par wire bonding.

79. La sensibilité du mode B (thermométrie) vis-à-vis de la température est linéaire :  $-25 \text{ ppm}/^\circ\text{C}$ .

80. Les éléments intégrés sont : la cellule oscillateur (type Pierce), les éléments chauffants (résistances en polysilicium), le capteur de température (sensibilité :  $18\text{mV}/^\circ\text{C}$ ) ainsi que de l'ensemble du système de régulation thermique (amplificateurs...).



### 3.2.4 Bilan des performances

Pour finaliser la description des différentes structures OCXO miniatures présentés dans les paragraphes précédents, un bilan quantitatif est proposé dans le tableau 3.2. Ce tableau récapitule certaines performances des dispositifs réalisés d'un point de vue mécanique et électrique. Pour comparaison, nous avons décidé d'y ajouter un produit OCXO industriel de petite taille et de faible consommation fabriqué et commercialisé par Oscilloquartz SA [123].

	<b>DOCXO</b> [113]	<b>DHR</b> [117]	<b>-</b> [121]	<b>FER<sup>a</sup></b> [122]	<b>OCXO 8622</b> [123]
Température [°C]	[-20, 80]	[-30, 70]	[0, 75]	[0, 85]	[-40, 85]
<b>Résonateur</b>					
• Fréquence [MHz]	10	ND	ND	159,3	10
• Coupe	(SC)	(SC-P3)	(AT)	(AT)	(AT)
Alimentation	5 V	5 V	3,3 V	ND	3,3 V ±5%
<b>Consommation</b>	Température de référence : 25°C				
• Transitoire	1,25 W	ND	1,2 W	ND	≤825 mW
• Statique	500 mW	130 mW	303 mW	ND	≤363 mW
Temps de warm-up	90 s	30 s	190 s	ND	60 s
<b>Stabilité</b>					
• f/T	±3 ppb	50 ppb	±0,1 ppm	1,2 ppm	≤1 ppm
• Court terme (1 s)	ND	ND	ND	ND	≤0,5 ppb
<b>Bruit de phase</b>	SSB [dBc/Hz]				
1 Hz	-90	ND	ND	ND	-70
10 Hz	ND	ND	ND	ND	-100
100 Hz	ND	ND	ND	ND	-130
1 kHz	ND	ND	ND	ND	-140
10 kHz	-160	ND	ND	ND	-145
<b>Encombrement</b>					
• Boîtier	ND	DIP14	ND	ND	DIL
• Volume/Surface	5 cm <sup>3</sup>	2 cm <sup>3</sup>	5 mm <sup>2</sup>	7,2 mm <sup>2</sup>	2,1 cm <sup>3</sup>

a. Frame Enclosed Resonator (nom donné à la structure dans ladite référence)

TABLE 3.2 – Performances d'OCXO miniatures tirés de la littérature : l'acronyme "ND" signifiant que les informations correspondantes ne sont pas disponibles.

En tenant compte des contraintes mécaniques, électriques et thermiques liées à de l'intégration dans un ASIC, nous allons devoir établir un cahier des charges à partir d'une étude fonctionnelle préliminaire d'une structure de régulation en température.

### 3.3 Démarche de conception d'un OCXO intégré

L'OCXO intégré proposé dans ce chapitre fait cohabiter les cellules RF développées précédemment (oscillateur, mise en forme...) avec des cellules pouvant mettre en jeu de forts courants selon la structure mécanique envisagée qui va conditionner la puissance nécessaire au warm-up et au régime établi. La démarche suivie est détaillée dans cette partie : elle comporte trois études distinctes pour nous permettre d'établir un cahier des charges adapté. Nous allons tout d'abord mettre en avant les contraintes mécaniques respectives de nos ASIC (nombre d'entrées/sorties, dimensions externes), puis nous examinerons l'influence de l'auto-échauffement des électroniques sur le contrôle en température du résonateur pour définir une limite en termes de consommation. Enfin, des solutions technologiques vont être proposées pour implémenter les fonctions nécessaires à l'obtention d'une régulation en température intégrée.

#### 3.3.1 Contraintes mécaniques

Les contraintes mécaniques sont réparties ici en deux catégories : les contraintes externes servant à fixer le nombre d'entrées/sorties de l'ASIC et les contraintes internes représentatives de la surface potentiellement disponible compte tenu de la surface occupée par la partie RF et sa polarisation.

- Les dimensions externes de la puce étant fixées à  $2 \times 2 \text{ mm}^2$  avec des pads d'entrées/sorties répartis sur toute sa périphérie selon un pas de  $200 \mu\text{m}$  (voir chapitre 2), le nombre de pads potentiellement disponibles dans la puce *Elioscv1* est donc fixé à 28 sachant que 18 ont d'ores et déjà été utilisés.

- En utilisant certaines cellules pré-caractérisées par le fondeur (bandgap, bias, amplificateurs...) lors de la conception des éléments de polarisation de la cellule oscillateur et des étages RF de sortie, la surface silicium déjà occupée correspond approximativement à 47% de la surface totale disponible. La surface restante servira donc à l'implantation des nouvelles fonctions présentées dans ce chapitre.

#### 3.3.2 Influence de la puce sur la régulation : effet d'auto-échauffement

Tout composant électronique consommant de la puissance va produire de la chaleur par effet Joule. Cet auto-échauffement "local" va entraîner un couplage thermo-électrique modifiant les points de fonctionnement de nos électroniques intégrés (notion de "feedback thermique") et va aussi contribuer à l'élévation statique de la température au sein du système à thermostat. Dans ce paragraphe, nous nous pencherons plus particulièrement sur l'aspect "système" en considérant la puce électronique comme une source thermique supplémentaire dont les effets se combinent à ceux de l'actionneur utilisé. La puissance nécessaire au maintien en température du résonateur va donc se retrouver entaché de la puissance dissipée par l'ASIC qui va alors contribuer à une élévation "statique" de la température (offset) au sein du résonateur pouvant nuire à la fiabilité et aux performances de l'OCXO. Cet offset, alors fortement dépendant de l'architecture mécanique (masses thermiques) et de son isolation vis-à-vis de l'ambiante, va devenir critique lorsque l'on se place à la limite de la plage de fonctionnement en température.

A titre d'exemple, nous avons conduit une analyse thermique sur une structure mécanique très simplifiée comportant une puce électronique modélisée par sa plage d'accueil de surface  $2,5 \times 2,5 \text{ mm}^2$  et un résonateur encapsulé dans un boîtier spécifique (type UM1). Le tout est placé dans un boîtier DIL de dimensions  $20 \times 12,5 \text{ mm}^2$ . La condition initiale en température (valeur de l'ambiante) est déterminée en fonction de la position du point d'inversion du résonateur (coupe SC : PI à  $80^\circ\text{C}$ ) pour laquelle nous avons choisi de prendre une marge de  $10^\circ\text{C}$  : la température extrême de fonctionnement est donc fixée à  $70^\circ\text{C}$ . Ainsi, compte tenu de l'architecture choisie (figure 3.6) et des informations ci-dessous, nous allons focaliser notre étude sur la seule influence d'un ASIC dissipant successivement une puissance thermique de 25 mW et 50 mW en continu pour une ambiante à  $70^\circ\text{C}$ . Les données et hypothèses suivantes ont été utilisées :

- La lame de quartz n'a pas été modélisée pour réduire le temps de simulation ( finesse du maillage),
- La puce est placée de manière équidistante des pattes de connexion du résonateur (13 mm),
- Le substrat d'accueil est un PCB standard (FR-4) d'épaisseur 1,7 mm dont la conductivité thermique  $\lambda_{FR4}$  est fixée à  $0,4 \text{ Wm}^{-1}\text{K}^{-1}$ ,
- Les pistes conductrices et autres composants externes n'interviennent pas dans l'analyse,
- Le boîtier DIL est soumis à de la convection naturelle sur son pourtour :  $h = 20 \text{ Wm}^{-2}\text{K}^{-1}$ ,
- Les pertes thermiques du boîtier via ses connexions électriques sont modélisées par un coefficient de convection estimé à partir de celui d'une conduction dans une plaque infinie (non prise en compte pour simplification du maillage) :  $h = 200 \text{ Wm}^{-2}\text{K}^{-1}$ ,
- La mesure de la température est effectuée à l'intérieur de l'encapsulation du résonateur (extrémité des pattes de connexion).

Les résultats obtenus suite à l'analyse thermique durant le régime transitoire sont tracés en figure 3.7 pour une puissance dissipée de 25 mW (en rouge) et 50 mW (en bleu). On remarque alors que l'élévation de température en régime établi pour une puissance de 50 mW ne permet pas de thermostatier un résonateur à  $80^\circ\text{C}$  avec une marge suffisante.

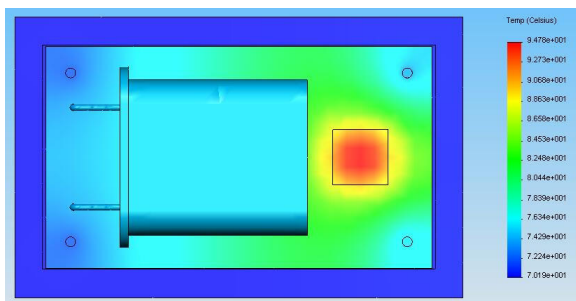


FIGURE 3.6 – Cartographie des températures pour une ambiante à  $70^\circ\text{C}$  et une puissance dissipée par la puce de 25 mW.

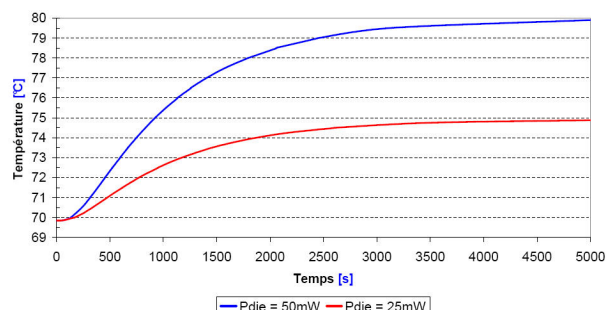


FIGURE 3.7 – Influence de l'auto échauffement dû à l'ASIC dans un boîtier DIL pour une température ambiante de  $70^\circ\text{C}$ .

Nous avons donc montré par une simulation thermique rapide que la puissance dissipée par une puce ASIC dans un système de régulation en température de faibles dimensions ne doit pas être négligé. Dès lors, une estimation de la puissance consommée par la puce en statique doit être définie en amont à partir de simulations thermiques de la structure mécanique. Néanmoins, si l'architecture mécanique définie n'est pas apte à filtrer cette puissance supplémentaire, il est nécessaire d'en améliorer l'isolation par ajout de drains thermiques.

### 3.3.3 Analyse fonctionnelle de la régulation en température

Le principe général d'une régulation en température est proposé en figure 3.8. Les fonctions à mettre en œuvre sont : la programmation de la consigne, le choix du capteur de température, le type d'actionneur (étage de puissance) et une électronique pour minimiser l'erreur entre la consigne et la mesure (correction).

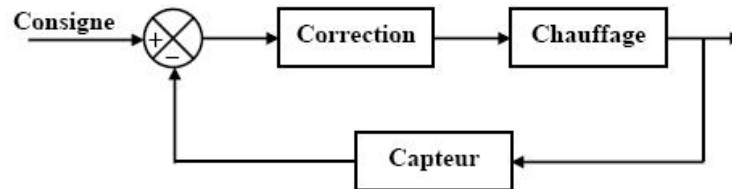


FIGURE 3.8 – Principe d'une régulation thermique.

#### 3.3.3.1 Le capteur de température

Les composants habituellement utilisés en électronique (résistances, diodes, transistors...) ont tous une sensibilité non-négligeable à la température de par ses effets sur les propriétés physiques et mécaniques (CTE) des matériaux utilisés. Une liste non exhaustive de composants utilisables pour réaliser cette fonction est donnée dans le tableau 3.3 suivant leur possibilité d'intégration.

Composants discrets	Composants intégrés
<ul style="list-style-type: none"> <li>• Thermistances (CTN, CTP)</li> <li>• Résonateurs à quartz<sup>a</sup></li> <li>• Jonctions semi-conductrices</li> </ul>	<ul style="list-style-type: none"> <li>• Résistances polysilicium</li> <li>• Jonctions semi-conductrices<sup>b</sup> [98, 124, 125]</li> </ul>

a. Coupes sensibles à la température : SC (mode B), LC, NLC...

b. Jonctions PN : diodes, transistors bipolaires...

TABLE 3.3 – Liste non exhaustive de capteurs de température (discrets ou intégrés).

Lorsque le système à thermostat est déporté de l'électronique, l'intégration d'une sonde de température n'est pas une solution intéressante à mettre en œuvre d'un point de vue thermique. Tout d'abord, il est nécessaire de prévoir un drain thermique pour conduire le flux de chaleur au plus près du capteur

(schéma en figure 3.9) tout en limitant les pertes causant diverses imprécisions sur la mesure effectuée. De plus, le capteur de température intégré est lui aussi soumis aux effets thermiques induits par les fonctions électroniques avoisinantes (figure 3.10), ce qui nuit à la fiabilité de la mesure effectuée qui se retrouve alors entachée des fluctuations de température de la puce globale.

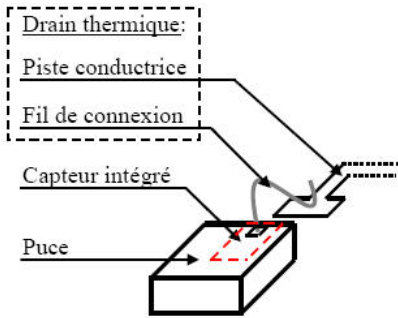


FIGURE 3.9 – Exemple d'utilisation d'un capteur intégré : mesure par conduction via une piste métallique.

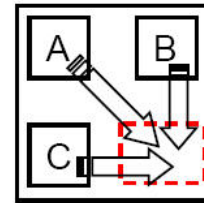


FIGURE 3.10 – Influence des gradients de température générés par les sources A, B, C correspondant aux autres fonctions intégrées).

D'un point de vue mécanique, l'intégration d'un capteur de température requiert une certaine surface ainsi qu'un minimum de pads d'entrées/sorties. Nous avons donc choisi de comparer trois différentes architectures de capteurs (Cf schémas en figure 3.11) selon ces deux critères précédents : la thermistance (a), le résonateur à quartz (cas d'un fonctionnement en bi-mode) (b) et la jonction PN (c).

Type de capteur	Nombre minimum d'entrées/sorties	Coût silicium
Thermistances (CTN, CTP)	1	+
Résonateurs à quartz (travail en bi-mode)	1	+++
Jonctions PN intégrées	1	++

TABLE 3.4 – Bilan pour une intégration de capteurs de température.

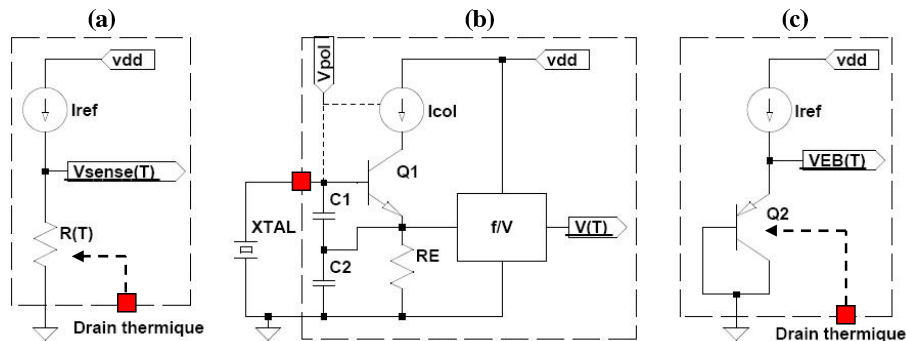


FIGURE 3.11 – Architectures pour capteurs intégrés : thermistance (a), résonateur à quartz (b) et jonction PN (c).

### 3.3.3.2 La consigne en température

Pour mettre en place une consigne en température, il est nécessaire de connaître précisément la réponse réelle du capteur utilisé ainsi que celle du point d'inversion du résonateur, lesquelles souffrent des incertitudes liées à leurs procédés de fabrication respectifs. De plus, les dispersions et l'imperfection des électroniques utilisées dans la boucle de régulation (intégrée ou non) tel que la tension d'offset des amplificateurs, les appariements (thermique et mécanique) des composants actifs et passifs doivent aussi être pris en compte. Plusieurs solutions sont alors envisageables allant du classique pont résistif de Wheatstone à des structures beaucoup plus complexes pouvant inclure des éléments permettant de programmer numériquement la consigne et permettre ainsi un réglage fin de cette dernière. Dans le cas particulier d'une programmation numérique, nous faisons l'hypothèse que, suite à la fabrication du résonateur, la température d'inversion est définie avec une tolérance de  $\pm 2^\circ\text{C}$ . Relativement aux figures 3.12 et 3.13, nous envisageons :

- Un réglage grossier de la consigne jusqu'au  $\text{PI}-3^\circ\text{C}$  défini par une polarisation statique stable (référence de tension),
- Un réglage fin pour se recalibrer avec une précision de  $\pm 1 \text{ m}^\circ\text{C}$  autour du PI et ce, à l'aide d'un convertisseur numérique/analogique (CNA).

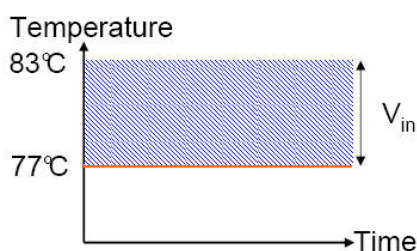


FIGURE 3.12 – Plage de température pour assurer un réglage fin de la consigne.

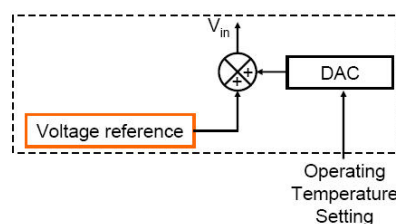


FIGURE 3.13 – Exemple de réglage numérique de la température à l'aide d'un CNA.

Ces différentes solutions sont finalement résumées dans le tableau 3.5 pour lequel le critère sélectif reste le nombre minimum d'entrées/sorties à pourvoir pour chacune de ces structures.

Consigne	Nombre minimum d'entrées/sorties	Description	Coût silicium
Résistance	2		+
CNA parallèle	14	alimentations ( $\times 2$ ) 13 bits (commande) 1 horloge	+++
CNA série	4	alimentations ( $\times 2$ ) 1 entrée (commande) 1 horloge	++

TABLE 3.5 – Bilan des entrées/sorties relatif à la mise en place d'une consigne en température.

### 3.3.3.3 Estimation de l'erreur consigne/capteur

Lors d'un asservissement ou d'une régulation en température d'un système, la réponse du capteur est continuellement comparée à sa consigne fixée au préalable. On rencontre habituellement une structure de type pont de Wheatstone pour traduire l'image de ces deux éléments sous la forme de potentiels qui sont ensuite appliqués sur les entrées d'un amplificateur opérationnel. La tension de sortie symbolisant alors l'erreur en température ( $V_{sensor} - V_{in}$ ). Pour cela, différentes architectures d'amplificateurs sont envisageables :

- Un amplificateur différentiel,
- Un amplificateur d'instrumentation : structure complexe pouvant être composée de plusieurs amplificateurs opérationnels en cascade (figure 3.14 et 3.15) et principalement utilisée dans le but d'amplifier des signaux d'entrée de faibles niveaux.

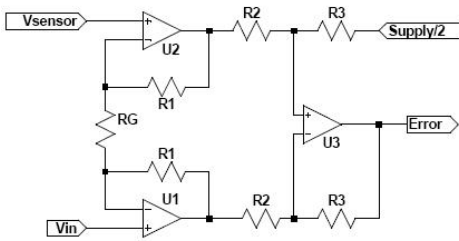


FIGURE 3.14 – Structure d'instrumentation composée de 3 amplificateurs opérationnels.

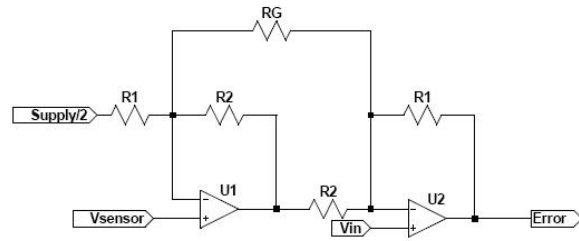


FIGURE 3.15 – Structure d'instrumentation composée de 2 amplificateurs opérationnels.

Les amplificateurs d'instrumentation représentés dans les figures précédentes sont adaptées pour une architecture travaillant en monotension. Dans ce cas précis, une masse virtuelle fournissant une tension régulée correspondant à la moitié de la tension d'alimentation ( $V_{supply}/2$ ) est utilisée pour garantir une dynamique de sortie plus importante. Toutefois, l'inconvénient principal est relatif à la multiplicité des composants électroniques nécessaires impliquant une consommation et des surfaces occupées sur le silicium plus importantes. En supplément, un réglage du gain global de la cellule est généralement réalisé en externe (résistance  $R_G$ ) affectant alors le bilan entrée/sortie de la puce.

### 3.3.3.4 La correction

La conception d'une régulation obéit au besoin d'effectuer une correction permanente de la réponse du système pour maintenir l'erreur entre la consigne et la mesure ( $\epsilon$ ) la plus faible possible. On utilise pour cela trois types de coefficients pour minimiser ces erreurs et améliorer par la même occasion la précision du système bouclé : P (proportionnel  $K_p$ ), I (intégral  $\tau_i$ ), D (dérivé  $\tau_d$ ). Deux types de configuration sont envisagés (figure 3.16) pour lesquels un bilan des entrées/sorties est reporté dans le tableau 3.6.

1. La correction série (figure 3.16 (a)), traduite par l'équation (3.2), a l'inconvénient de rendre le

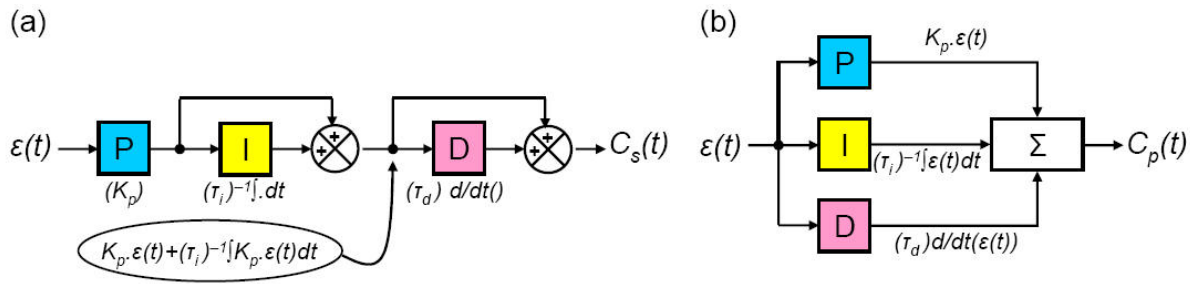


FIGURE 3.16 – Implémentation de la correction : configuration série (a) et parallèle (b).

réglage des coefficients PID difficiles.

$$C_s(t) = K_p \frac{\tau_d + \tau_i}{\tau_i} \varepsilon(t) + K_p \tau_d \frac{d}{dt} \varepsilon(t) + \frac{K_p}{\tau_i} \int \varepsilon(t) dt \quad (3.2)$$

2. La correction parallèle (figure 3.16 (b)), décrite par (3.3), a l'avantage de permettre un réglage plus facile des coefficients mais requiert cependant une architecture plus complexe ce qui augmente la consommation globale du circuit.

$$C_p(t) = K_p \varepsilon(t) + \tau_d \frac{d}{dt} \varepsilon(t) + \frac{1}{\tau_i} \int \varepsilon(t) dt \quad (3.3)$$

Architecture	Nombre d'entrées/sorties minimum	Nombre d'AOP
Correction série	3	1
Correction parallèle	6	3

TABLE 3.6 – Bilan des entrées/sorties pour la mise en place une correction PID.

L'application OCXO pouvant être à même d'utiliser des architectures mécaniques assez différentes les unes des autres, l'implantation de valeurs pré-définies pour corriger les constantes de temps du système n'est donc pas envisageable. De plus, l'intégration de composants de fortes valeurs résistives (P) et/ou capacitives (I ou D) imposent une surface silicium importante rendant alors le rapport surface/coût au mm<sup>2</sup> de la puce plus favorable à une externalisation de certains composants.

### 3.3.3.5 L'étage de puissance

L'étage de puissance est généralement composé d'un actionneur, servant à la génération du flux thermique dans le système, lequel est complété d'un élément de limitation en courant afin de réduire tout risque lié à une surconsommation excessive des structures amplificatrices pendant le régime transitoire. L'actionneur peut être une résistance, un transistor de puissance de type MOSFET ou bipolaire utilisant l'effet Joule pour chauffer et maintenir à température l'élément à thermostat.



L'intégration de ce type de composant reste un facteur critique au même titre que ce qui a été évoqué précédemment concernant la thermistance (section 3.3.3.1) : l'élément de puissance va conduire à l'apparition de gradients de température au sein de la puce de par les forts courants mis en jeu. Ainsi, ce type d'intégration doit bénéficier d'une étude thermique préliminaire à l'échelle de la puce afin de mieux répartir les sources de chaleur sur la surface silicium disponible tout en respectant les règles de dessin imposées par la fabrication.

### 3.3.4 Cahier des charges

A la suite de toutes ces considérations, nous pouvons établir un cahier des charges adapté à la réalisation de notre OCXO. Celui-ci est finalement résumé dans le tableau 3.7 pour lequel, les puissances mises en jeu font intervenir l'influence de la structure XO étudiée et caractérisée dans le précédent chapitre.

Paramètres	OCXO
<b>Contraintes résonateur :</b>	
• Fréquence	40 MHz
• Coupe	SC-P3
• Température d'inversion	80°C ±2°C
<b>Contraintes de l'ASIC :</b>	
• Fonctionnement en température	[-20°C, 70°C]
• Tension d'alimentation	3,3 V ±10%
• Temps de montée à 25°C	0,5 s
• Puissance (transitoire)	2 W max.
• Puissance (régime établi) à -20°C	700 mW
<b>Contraintes mécaniques de l'ASIC :</b>	
• Dimensions	2×2 mm <sup>2</sup>
• Nombre de pads	28
• Pas	200 μm

TABLE 3.7 – Cahier des charges de l'OCXO.

## 3.4 Etude et conception de la régulation en température

La surface silicium utilisable, le nombre de pads disponibles et la consommation globale de notre ASIC s'inscrivant comme les principaux critères de développement de notre régulation en température, nous avons choisi de minimiser le nombre d'éléments à intégrer mais aussi à externaliser. Dans ce but, nous allons privilégier l'étude de structures électroniques simples pour permettre à notre actionneur de fournir un maximum de puissance en fonction du bilan thermique global.

### 3.4.1 Stratégie d'intégration

D'après les arguments présentés lors de notre analyse fonctionnelle, les composants que nous allons externaliser sont finalement listés ci-dessous :

- Le transistor de puissance (montage de type Darlington),
- La résistance pour la mesure du courant dans l'étage de puissance ( $R_{shunt}$ ),
- La thermistance CTN pour la mesure de température dont  $R_{CTN}(T)$  est donné en annexe A,
- La consigne en température,
- La correction de type proportionnel ou proportionnel-intégral.

L'architecture choisie est alors présentée en figure 3.17 : elle met en œuvre un amplificateur MOS pré-caractérisé par le fondeur, ainsi qu'un nombre restreint de fonctions intégrées (gain en surface et en consommation). Le bilan des entrées/sorties nécessaires se réduit finalement à huit pads pour connecter les composants externes précédents et alimenter le circuit. On notera cependant qu'un pad supplémentaire a été prévu pour inhiber le système de régulation lors d'un fonctionnement en XO et ainsi réduire toute surconsommation inutile.

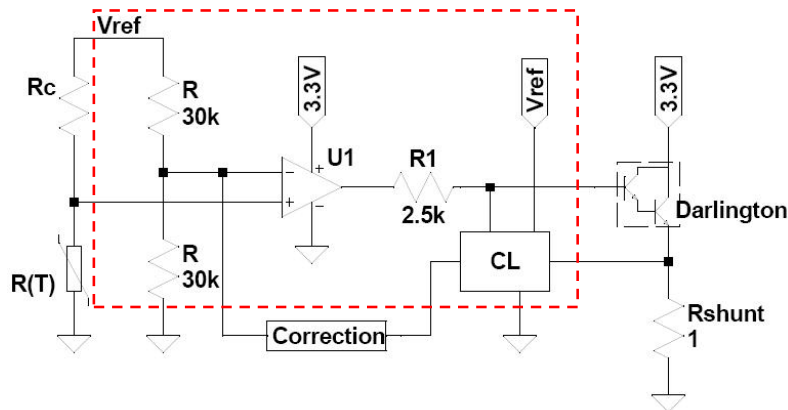


FIGURE 3.17 – Architecture retenue d'une régulation en température pour notre application : la partie intégrée est encadrée.

Le dimensionnement de ces nouvelles fonctions sous le simulateur SPECTRE® requiert les modèles électriques équivalents des composants non-standard utilisés. Dans ce but, nous allons chercher à modéliser l'influence du thermique sur notre système en ne négligeant pas les effets relatifs à l'auto-échauffement<sup>81</sup>.

### 3.4.2 Modélisations thermo-électriques pour les simulations sous SPECTRE®

La plupart des logiciels de simulation utilisés en électronique (SPICE®, SPECTRE®...) sont aptes à simuler le comportement d'un système dans l'optique où les analogies électriques restent valables.

81. L'auto-échauffement d'un composant actif ou passif contribue à modifier sa réponse aussi bien en statique qu'en dynamique par feedback thermique.

Ces modèles comportementaux sont alors obtenus à partir de composants de base (résistances, capacités, sources commandées...) et peuvent être complétés par des fonctions mathématiques représentatives du(des) phénomène(s) étudiés. Toutefois, ce type d'approche reste limité à la modélisation de systèmes simples. Dans le cadre de ce travail, nous avons finalement décidé de modéliser les comportements thermo-électriques des composants additionnels dans un langage évolué : le *Verilog-AMS*<sup>®</sup> [126].

### 3.4.2.1 Le *Verilog-AMS*<sup>®</sup>

Le *Verilog-AMS*<sup>®</sup> est une extension du *Verilog HDL*<sup>®</sup> 82 orientée dans la description du comportement de systèmes analogiques et mixtes. Ce langage évolué permet, entre autre, de modéliser le comportement de systèmes multiphysiques plus ou moins complexes pouvant comporter de la thermique, de la mécanique, de l'électronique... Pour notre application, la démarche suivie pour permettre le dimensionnement des composants intégrés de la régulation et l'utilisation des modèles comportementaux décrits en *Verilog-AMS*<sup>®</sup> sous une même interface (*Virtuoso*<sup>®</sup> Schematic) est présentée sur l'organigramme en figure 3.18. Chaque modèle comportemental est alors associé à un symbole paramétrable à partir de l'interface schématique.

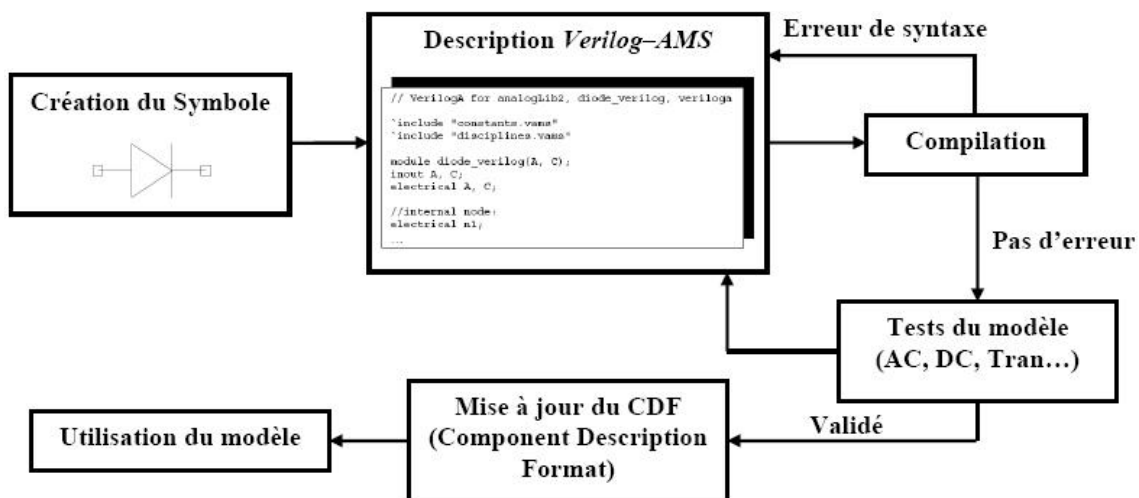


FIGURE 3.18 – Modélisation en langage Verilog associée à une représentation symbolique pour son utilisation sous *Virtuoso*<sup>®</sup> Schematic.

Nous nous intéresserons ici à la modélisation des composants suivants :

- La thermistance mesurant la température au plus près de l'élément à thermostatier,
- Le transistor utilisé pour convertir la puissance électrique en thermique (effet Joule),
- Le résonateur à quartz dont le comportement fréquence/température suit l'équation (3.1).

82. Verilog Hardware Description Language.

### 3.4.2.2 Modélisation d'une thermistance CTN

La caractéristique expérimentale d'une thermistance CTN en fonction de la température suit une loi bien précise dont la description analytique a fait l'objet de nombreuses investigations [127, 128]. C'est finalement à John STEINHART et Stanley HART [129] à qui l'on doit l'approximation la plus satisfaisante. Leur formulation empirique, donnée en (3.4), a l'avantage d'introduire une faible erreur relative par rapport à la réponse expérimentale mais aussi d'être valable sur une large gamme de température.

$$\frac{1}{T} = A + B \ln R + C (\ln R)^3 \quad (3.4)$$

Avec  $T$  la température exprimée en Kelvin [K],  $R$  la résistance en Ohms [ $\Omega$ ] et  $A$ ,  $B$ ,  $C$  les paramètres de Steinhart-Hart déterminés à partir de la réponse expérimentale de la CTN en fonction de la température.

Visant à réaliser un système de régulation en température, la réponse de la thermistance doit être modélisée avec un maximum de précision autour de la valeur souhaitée qui est, dans ce cas précis, le PI du résonateur. Pour cela, nous avons envisagé trois différentes approches :

- Utilisation d'une fonction polynomiale du second ordre,
- Utilisation d'une fonction de type exponentielle,
- Utilisation de l'équation de Steinhart-Hart donnée en (3.4).

#### 3.4.2.2.1 Description des modèles

##### • Polynôme du second ordre

Les effets de la température sur la valeur d'une résistance  $R$  sont définis, dans la plupart des simulateurs, sous la forme d'un polynôme du premier ou du second ordre :

$$R(T) = R(T_{NOM}) \left( T_{C1} (T - T_{NOM}) + T_{C2} (T - T_{NOM})^2 \right) \quad (3.5)$$

Où  $R(T_{NOM})$  est la valeur de la résistance à la température  $T_{NOM}$  (typiquement 25°C ou 27°C suivant le simulateur),  $T_{C1}$  et  $T_{C2}$  sont respectivement les coefficients de température du premier et du second ordre donnés en [ $K^{-1}$ ] et [ $K^{-2}$ ]. La réponse expérimentale de la thermistance, bornée au préalable autour de la température d'inversion du résonateur pour minimiser l'erreur due à l'approximation, peut alors être mise sous la forme d'un polynôme du second ordre comme ci-dessous. Les coefficients  $a$ ,  $b$  et  $c$  de (3.6) étant obtenus par la méthode des moindres carrés.

$$R_{poly}(T) = aT^2 + bT + c \quad (3.6)$$

La thermistance étant alors modélisée par une simple résistance sous le simulateur, les paramètres inconnus  $R(T_{NOM})$ ,  $T_{C1}$  et  $T_{C2}$  caractéristiques de cette dernière (3.5) sont obtenus par identification :

$$\begin{cases} R(T_{NOM}) &= aT_{NOM}^2 + bT_{NOM} + c \\ T_{C1} &= \frac{b}{R(T_{NOM})} + 2T_{C2} \times T_{NOM} \\ T_{C2} &= \frac{a}{R(T_{NOM})} \end{cases} \quad (3.7)$$

• **Exponentielle**

Pour simplifier le calcul au moment de la résolution de l'équation de Steinhart-Hart, nous allons faire abstraction du terme  $(\ln R)^3$  en forçant le coefficient  $C = 0$ . La solution de cette nouvelle équation est alors donnée en (3.8) pour laquelle nous faisons intervenir une constante caractéristique de la thermistance :  $\beta_{THERM}$ . Cette dernière est représentative de la constante matérielle de la thermistance, donnée en [K], et définie sur une certaine gamme de température<sup>83</sup>.

$$R_{exp}(T) = R(T_{NOM}) \exp \left[ \beta_{THERM} \left( \frac{1}{T} - \frac{1}{T_{NOM}} \right) \right] \quad (3.8)$$

• **Modèle de Steinhart-Hart**

La solution de l'équation (3.4) est finalement détaillée en (3.9), les coefficients  $\alpha$  et  $\beta$  sont obtenus à partir des valeurs de A, B, C (3.10) :

$$R_{Stein}(T) = \exp \left[ \left( \beta - \frac{\alpha}{2} \right)^{\frac{1}{3}} - \left( \beta + \frac{\alpha}{2} \right)^{\frac{1}{3}} \right] \quad (3.9)$$

$$\begin{cases} \alpha = \left( A - \frac{1}{T} \right) \times \frac{1}{C} \\ \beta = \sqrt{\left( \frac{B}{3C} \right)^3 + \frac{\alpha^2}{4}} \end{cases} \quad (3.10)$$

Ces différentes approches théoriques sont résumées dans le tableau 3.8 pour lesquelles nous avons inclus l'expression de la sensibilité en température ( $\partial R_{CTN}(T)/\partial T$ ) ainsi que le domaine de validité sur la gamme de température considérée.

Modèle	$R_{CTN}(T)$	Sensibilité	Domaine de validité
Polynomial	équation (3.6)	$2aT + b$	Gamme restreinte
Exponentiel	équation (3.8)	$\frac{-\beta_{THERM}}{T^2} R_{exp}(T)$	Gamme restreinte
Steinhart-Hart	équation (3.9)	$\frac{-R_{Stein}(T)}{\left( B + 3C (\ln R_{Stein}(T))^2 \right) T^2}$	Toute la gamme

TABLE 3.8 – Résumé des modèles caractéristiques d'une thermistance CTN incluant les sensibilités et le domaine de validité sur la gamme de température.

Un comparatif entre ces différentes approches et la réponse réelle de la thermistance utilisée (modèle 312-S2 Shibaura Electronics) est présenté en figure 3.19 sur la gamme de température fixée par le cahier des charges. Les modèles approchés (polynomial et exponentiel) ont été adaptés pour rendre l'erreur minimale autour du point d'inversion du résonateur à quartz (80°C) avec une tolérance de  $\pm 3^\circ\text{C}$ .

83. Cette constante est donnée sous la forme  $\beta\text{-VALUE}(T1/T2)$  par les fabricants de thermistances.

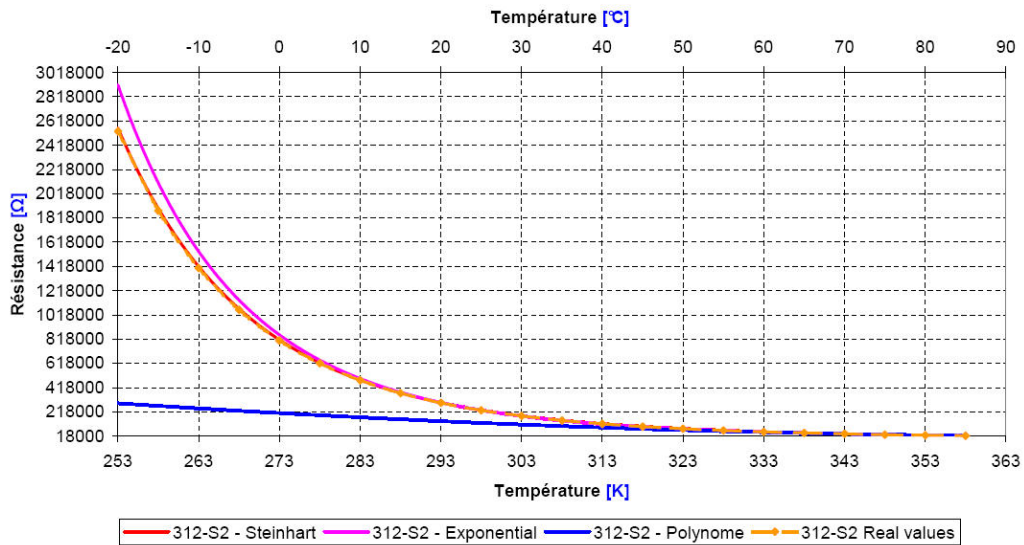


FIGURE 3.19 – Courbes caractéristiques des différents modèles étudiés sur la gamme  $[-20^{\circ}\text{C}, 85^{\circ}\text{C}]$ .

Les écarts relatifs<sup>84</sup> (en %) par rapport à la courbe réelle sont tracés en figure 3.20. L'approche par l'équation de Steinhart-Hart est finalement admise car elle offre une précision relative sur la valeur de la résistance inférieure au pourcent sur la totalité de la gamme  $[-20^{\circ}\text{C}, 85^{\circ}\text{C}]$  et sera donc choisie pour définir notre modèle.

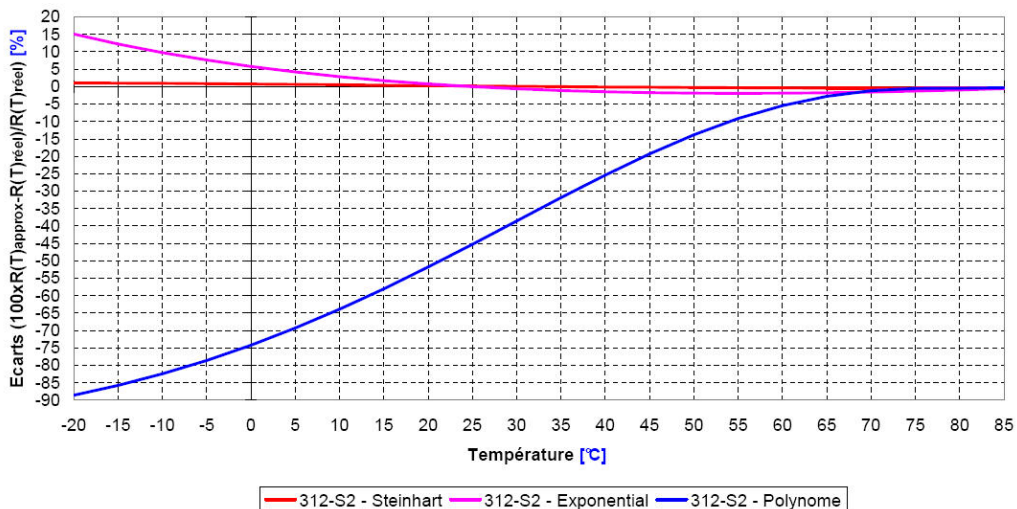


FIGURE 3.20 – Ecart relatif en % entre les différents modèles et la réponse de la CTN (en typique).

### 3.4.2.2.2 Schéma équivalent et modèle Verilog-AMS®

Le schéma équivalent utilisé pour modéliser en langage Verilog-AMS® la thermistance (Cf annexe B) est donné en figure 3.21. Nous avons pris en considération les effets :

84. Les écarts sont évalués par  $(R_{CTN}(T)|_{approx} - R_{CTN}(T)|_{reel}) \times 100 / R_{CTN}(T)|_{reel}$ .

- thermiques (nœuds "th1" et "th2") : la constante de temps  $\tau_{th} = C_{th} \times R_{th}$  caractéristique des phénomènes dynamiques,
- électriques (nœuds "n1" et "n2") : la solution de l'équation de Steinhart-Hart a été utilisé pour le calcul de la résistance  $R_{th} (\equiv R_{CTN})$ .

Un feedback thermique a été ajouté pour modéliser l'influence de l'auto-échauffement de la thermistance sur la mesure effectuée. Il est donc représenté par la source de courant (I1) traduisant, par analogie, la puissance électrique dissipée par effet Joule. De plus, nous proposons en figure 3.22 un modèle similaire composé de sources analogiques pour une interprétation de type SPICE® : la source de tension commandée (E1) étant associée à la fonction Rth et la source de tension (Isense) servant à la mesure du courant circulant dans la branche électrique de la thermistance. La réponse électrique du capteur étant, au final, de la forme :  $V(n1, n2) = E1(Th15, t)I(Isense)$ .

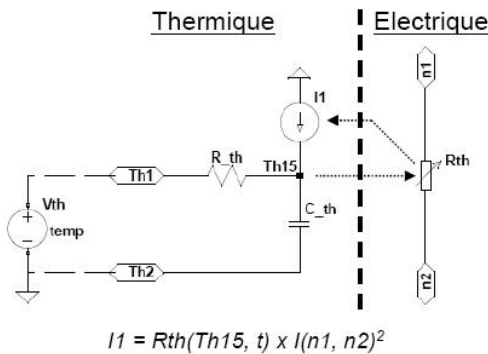


FIGURE 3.21 – Schéma équivalent d'une thermistance pour la modélisation comportementale en Verilog-AMS.

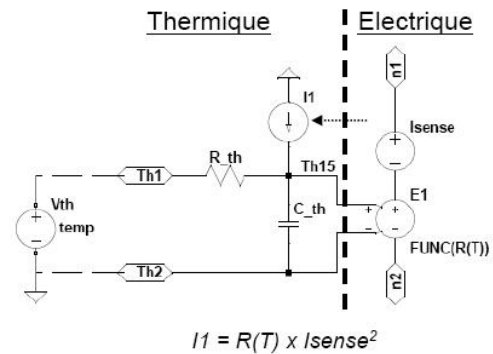


FIGURE 3.22 – Schéma équivalent d'une thermistance basée sur une représentation de type SPICE® avec sources commandées.

Basée sur la stratégie décrite par l'organigramme en figure 3.18, la construction de la thermistance pour son utilisation sous Virtuoso® Schematic est donnée en figure 3.23. Les paramètres d'entrée du modèle Verilog-AMS®, configurables par l'utilisateur, vont dépendre des caractéristiques spécifiées dans les datasheets du fabricant :

- Trois points caractéristiques de la courbe expérimentale  $R_{CTN}(T)$  pour le calcul des coefficients A, B et C de l'équation de Steinhart-Hart,
- La constante de temps thermique  $\tau_{th}$  et la constante de dissipation  $K_{th}$  pour la prise en compte des phénomènes transitoires suite au calcul de  $R_{th} = 1/K_{th}$  et  $C_{th} = \tau_{th}/R_{th}$ .

### 3.4.2.3 Effets thermiques induits par le transistor de puissance

Le transistor de puissance, basé sur un montage de type Darlington et utilisé pour fournir la puissance thermique nécessaire au chauffage et au maintien en température du résonateur, est simulé à partir de son

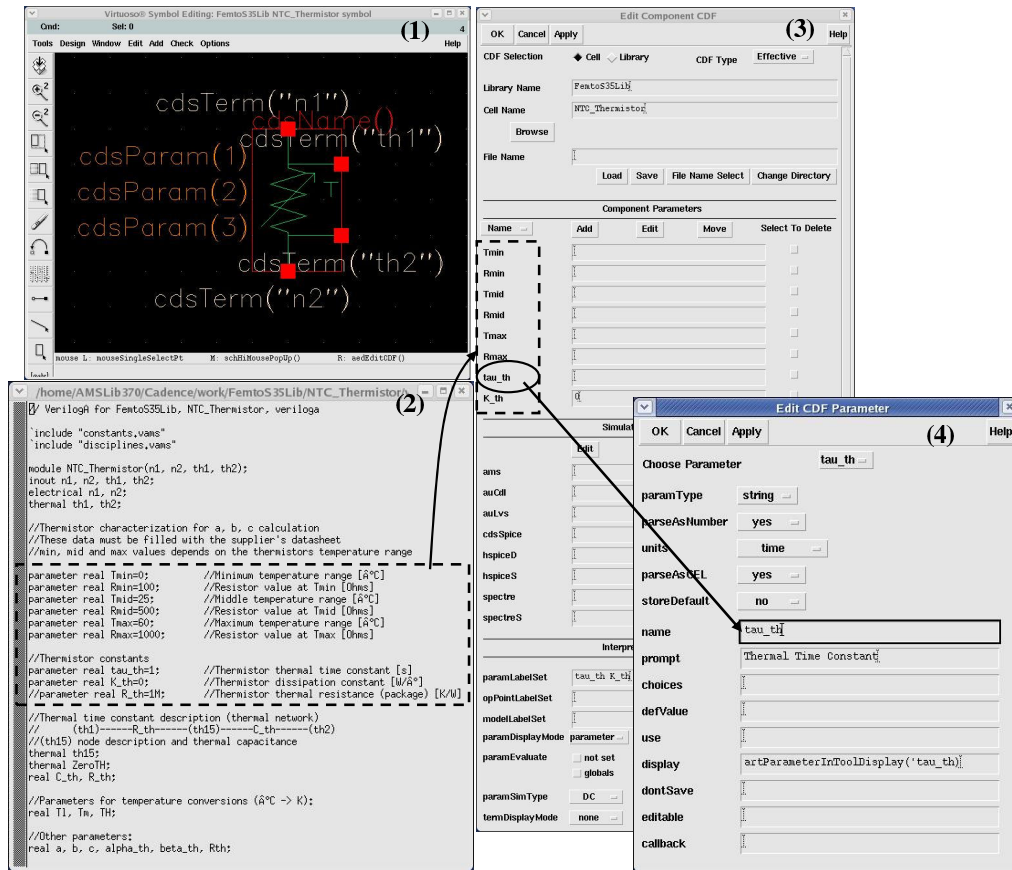


FIGURE 3.23 – Construction de la thermistance : création du symbole (1), description du modèle en Verilog-AMS® (2), édition du "Component Description Format" (3) pour rendre les propriétés du symbole plus conviviales lors de son utilisation dans la vue schématique (4).

modèle SPICE®<sup>85</sup>. La puissance électrique théorique, qui sera alors dissipée par effet Joule, est calculée par le simulateur selon la relation :

$$P_{elec} = V_{CE} \times I_C + V_{BE} \times I_B \quad (3.11)$$

Il est toutefois facilement vérifiable que le terme  $V_{BE} \times I_B$  apporte une contribution négligeable au calcul de  $P_{elec}$  par le fort gain en courant caractéristique de ce type de montage. L'expression de la puissance électrique consommée qui sera transmise par conduction au résonateur se réduit donc à :

$$P_{elec} = V_{CE} \times I_C \cong P_{th} \quad (3.12)$$

Pour notre application, il est important de pouvoir accéder "en temps réel" au calcul de la puissance pour une meilleure interprétation en vue d'une représentation thermique de la structure mécanique et ainsi garantir le feedback électrique/thermique. Deux approches sont alors proposées.

<sup>85</sup>. La simulation sous SPECTRE® est possible en incluant la commande "simulator lang=spice" en première ligne du modèle [62].



• **Première approche :**

Elle consiste à sonder le courant de collecteur  $I_C$  et la tension  $V_{CE}$  directement aux bornes du transistor pour une évaluation de la puissance dissipée d'après (3.12). Cette puissance électrique est ensuite convertie en thermique par analogie comme représenté en figure 3.24. Le modèle *Verilog-AMS*<sup>®</sup> associé est donné en annexe C.

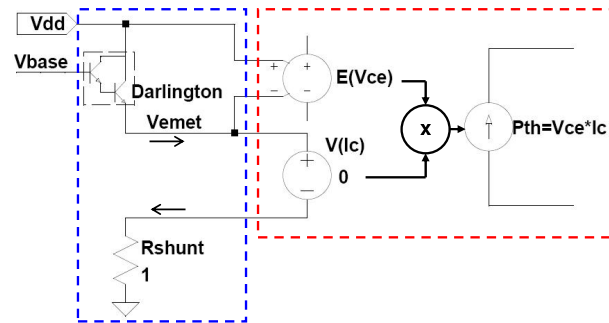


FIGURE 3.24 – Principe utilisé pour la modélisation des effets thermiques induits par le transistor Darlington : la structure électrique (bleu) et le système de conversion thermique (rouge).

• **Seconde approche :**

Le modèle de simulation de ce transistor étant de type SPICE<sup>®</sup> Gummel-Poon [130] (SGP), le circuit électrique équivalent associé ne rend pas compte de la notion de feedback thermique : la température restant un point d'entrée purement statique. Dans un fonctionnement standard, la puissance thermique dissipée par le transistor est évacuée par le biais de drains thermiques (radiateurs, substrat...) pour éviter de détruire les jonctions. Dans le cas d'une régulation en température, la température estimée à proximité du composant de puissance doit au moins rester supérieure ou égale à la température de maintien. Dès lors, nous pouvons considérer :

- La température du PI comme étant la température statique de fonctionnement du transistor pendant la simulation,
- L'élévation dynamique en température forcée par le passage d'un courant comme étant d'une influence non-négligeable sur ses conditions de fonctionnement et donnant lieu à la mise en place d'un feedback thermique.

Cette seconde approche a donc pour vocation de compléter le modèle SGP à l'aide d'un feedback thermique en référence aux modèles plus complexes tels que le VBIC (Vertical Bipolar Inter-Company) [131], le HICUM ou le MEXTRAM (Philips). Le circuit équivalent du modèle SGP modifié proposé en figure 3.25 permet au concepteur d'accéder symboliquement au nœud thermique "TH". De cette manière, il est envisageable d'améliorer la robustesse de la régulation en y associant l'influence d'une structure thermo-mécanique additionnelle représentée par analogie. Notre démarche ainsi que le modèle *Verilog-AMS*<sup>®</sup> sont donnés en annexe D dans le cas d'un transistor bipolaire de type NPN. Les 38 paramètres utilisés sont alors mis en équation d'après les références [132–136], pour :

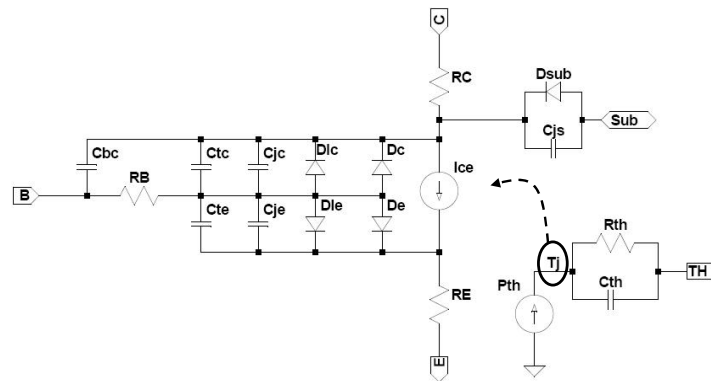


FIGURE 3.25 – Circuit équivalent du modèle SPICE® Gummel-Poon d'un transistor bipolaire NPN associée à un feedback thermique pour le calcul de la température de jonction ( $T_J$ ).

- Définir les points de polarisation en statique à partir de la résolution des différentes équations,
- Représenter la dépendance en température des paramètres tels que  $E_g$ ,  $I_s$ ,  $\beta$ ,  $V_J$ ...
- Modéliser les effets dynamiques suite au calcul des différentes capacités polarisées en direct ( $C_{je}$ ,  $C_{te}$ ) et en inverse ( $C_{jc}$ ,  $C_{tc}$ ,  $C_{bc}$ ) [137, 138],
- Calculer quelques paramètres petit-signal ( $g_m$ ,  $f_T$ ,  $C_\pi$ ,  $C_\mu$ ...),
- Calculer la puissance thermique d'après (3.12) ainsi que la température de jonction ( $T_J$ ) définie par  $T_J = (P_{th}/K_{th}) + T_{amb}$ .

Les différentes courbes présentées à la fin de cette annexe nous permettent de valider le modèle implanté aussi bien en statique qu'en petit-signal après confrontation avec la simulation SPICE®. En incluant finalement la contribution du feedback thermique pour une température externe fixée à 27°C, les tracés en figures 3.26 et 3.27 représentent respectivement le gain en courant en fonction du courant de collecteur et les courants  $I_C$  et  $I_B$  en fonction de la tension base-emetteur.

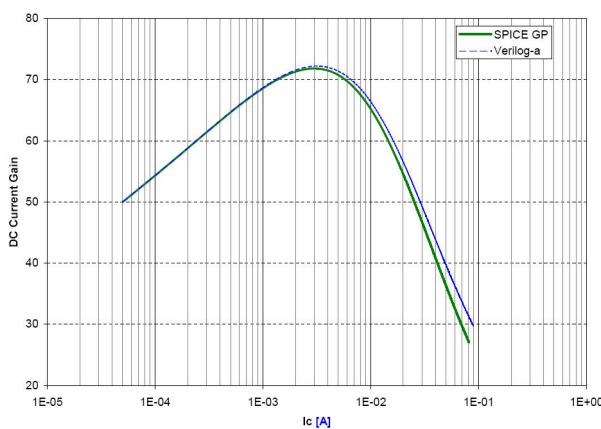


FIGURE 3.26 – Gain en courant en fonction de  $I_C$  pour  $V_{CE} = 1V$ ,  $T_{amb} = 27^\circ C$ ,  $K_{th} = 2,8 \text{ mW/K}$ .

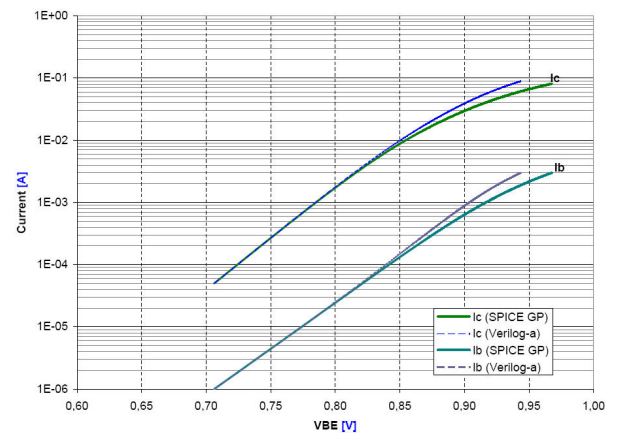


FIGURE 3.27 –  $I_C$  et  $I_B$  en fonction de  $V_{BE}$  pour  $V_{CE} = 1V$ ,  $T_{amb} = 27^\circ C$ ,  $K_{th} = 2,8 \text{ mW/K}$ .

Bien que le modèle VBIC permette une modélisation plus fine du comportement d'un transistor bipolaire [139] d'un point de vue thermique et électrique, notre approche basée sur un modèle SGP modifié rend compte des effets d'auto-échauffement et renseigne sur la température de jonction de ce dernier. Il devient alors envisageable de compléter l'étude en considérant les aspects thermo-mécaniques du design pour en parfaire le dimensionnement : modélisation plus fine de l'impédance thermique du transistor (géométrie...) [140], modélisation des drains thermiques, des radiateurs... Dans notre application mettant en œuvre un montage Darlington, nous pouvons :

- Considérer les deux transistors NPN constitutifs du montage de manière indépendante,
- Modéliser le nouveau montage en y ajoutant la contribution d'un transistor supplémentaire.

#### 3.4.2.4 La thermique dans le résonateur

Les phénomènes de conduction thermique au sein d'une pastille de quartz peuvent être décrits macroscopiquement à partir du calcul de sa résistance thermique équivalente ( $R_{qtz}$ ) et de sa constante de temps thermique ( $\tau_{qtz}$ ). Pour établir notre modèle, nous faisons l'hypothèse que le matériau est isotrope<sup>86</sup>, le résonateur est encapsulé sous vide dans un boîtier dont le maintien mécanique est réalisé en deux points répartis symétriquement (figure 3.28) lesquels sont soumis aux mêmes gradients de température. La résistance thermique équivalente peut ainsi être définie théoriquement pour une demi-pastille (effet des symétries) d'épaisseur  $e_{qtz}$  et de conductivité thermique  $\lambda_{qtz}$  :

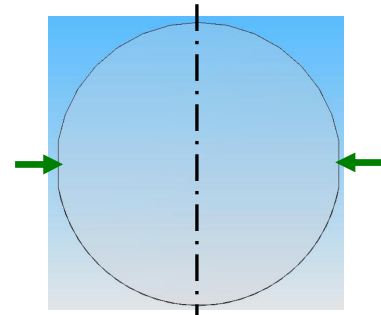


FIGURE 3.28 – Symétrie par rapport aux points de fixations du résonateur.

$$R_{qtz} = \frac{\pi}{4\lambda_{qtz} \times e_{qtz}} \quad (3.13)$$

La constante de temps thermique est, quant à elle, évaluée à partir de l'équation de la chaleur pour laquelle nous ne rendons compte que des phénomènes de conduction dans le matériau :

$$\tau_{qtz} = \frac{\rho_{qtz} V_{qtz} C_P R_{qtz}}{2} \quad (3.14)$$

Avec  $\rho_{qtz}$  la masse volumique du quartz [ $\text{kg}/\text{m}^3$ ],  $V_{qtz}$  le volume de la pastille [ $\text{m}^3$ ],  $C_P$  la capacité calorifique du matériau [ $\text{J} \cdot \text{kg}^{-1} \cdot \text{K}^{-1}$ ].

Cette approche théorique a par ailleurs été validée suite à la simulation thermique d'une pastille de quartz de diamètre 8,7 mm et d'épaisseur 130  $\mu\text{m}$ . Une description en *Verilog-AMS*<sup>®</sup> des phénomènes thermiques au sein du résonateur et de leur influence sur la valeur de la fréquence de résonance ( $C_f$  section 3.1.1) est donnée en annexe E. Cette modélisation correspond au schéma de la figure 3.29 pour laquelle la constante de temps thermique du quartz est caractérisée par un système du premier ordre

<sup>86</sup>. Dans la réalité, le quartz est un matériau anisotrope : ses propriétés physiques diffèrent selon la direction considérée.

calculé à partir des équations (3.13) et (3.14) dépendantes des paramètres mécaniques de la pastille (diamètre et épaisseur).

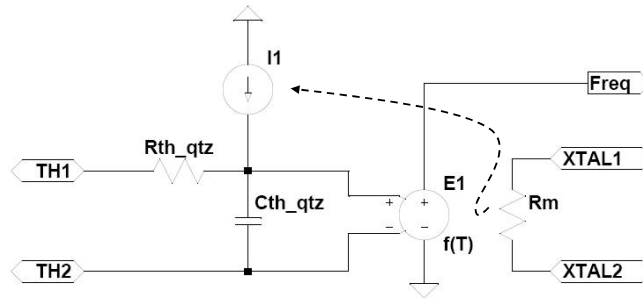


FIGURE 3.29 – Modélisation thermique du résonateur par un système du premier ordre.

Le "signal" de sortie obtenu est alors une image de la variation de fréquence ( $\Delta f/f_r$ ) en fonction de la température décrite par l'équation (3.1). Dans cette représentation, nous n'avons toutefois pas rendu compte des effets dynamiques introduits par le terme  $\tilde{a}$ . Par ailleurs, nous présentons à titre d'exemple (figure 3.30) la variation de fréquence relative à une perturbation dynamique de la température externe pour un résonateur de coupe SC dont les paramètres sont les suivants :

- Fréquence de résonance  $f_r$  : 39,998596 MHz
- Coefficients de température :  $A1 = 1 \times 10^{-6} \text{ K}^{-1}$ ,  $B1 = -13 \times 10^{-9} \text{ K}^{-2}$ ,  $C1 = 50 \times 10^{-12} \text{ K}^{-3}$ ,
- Dimensions de la pastille :  $\varnothing 8 \text{ mm}$  et épaisseur  $140 \mu\text{m}$ .

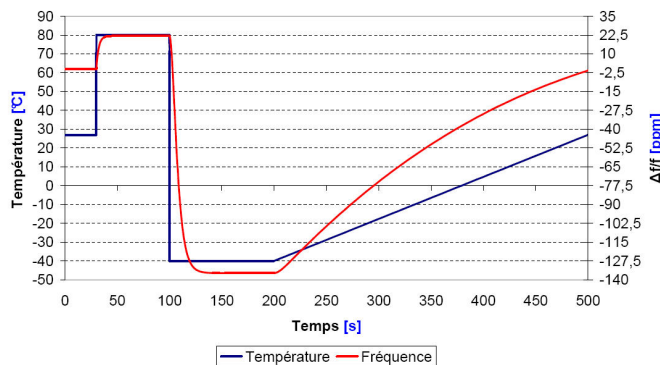


FIGURE 3.30 – Réponse du résonateur ( $\Delta f/f_r$ ) à une perturbation dynamique de la température.

### 3.4.3 Conception de la régulation

La régulation en température intégrée est composée des quatre sous-ensembles suivants qui vont être dimensionnés à partir des spécifications de notre cahier des charges :

- Un pont de Wheatstone pour le conditionnement du capteur de température,
- Un amplificateur différentiel,
- Une limitation en courant,
- Une tension de référence pour polariser le pont de Wheatstone et la cellule de limitation en courant.

### 3.4.3.1 Pont de Wheatstone

Le pont de Wheatstone utilisé pour le conditionnement de la thermistance est architecturé selon le schéma de la figure 3.31. L'entrée inverseuse de l'amplificateur est connectée à un pont résistif intégré pour profiter des nombreux avantages relatifs à un appariement : dispersions sur le rapport, effets de la température... La valeur de la tension de référence servant à la polarisation du pont est, par ailleurs, définie pour minimiser l'influence de l'auto-échauffement de la thermistance affectant la mesure en température. De ce fait, le courant circulant dans cette dernière, caractérisé par (3.15), est évalué à  $47,5 \mu\text{A}$  pour une réponse typique de la thermistance à la température de  $80^\circ$  sous une tension de  $2,4 \text{ V}$ .

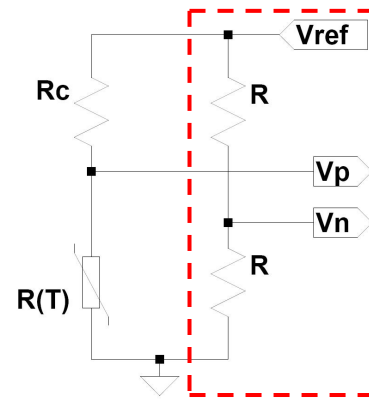


FIGURE 3.31 – Architecture du pont de Wheatstone.

$$I_{CTN}(T) = \frac{V_{ref}}{R_C + R_{CTN}(T)} \quad (3.15)$$

Nous récapitulons dans le tableau 3.9 les effets de la puissance électrique dissipée par la thermistance sur l'écart relatif en température en tenant compte des dispersions de fabrication de  $R_{CTN}(T)$  (annexe A) et du résonateur (PI).

Point d'inversion	78°C	80°C	82°C
<b>Données thermistance :</b>			
MIN	23298 Ω	21771 Ω	20358 Ω
TYP	27096 Ω	25264 Ω	23573 Ω
MAX	31484 Ω	29245 Ω	27229 Ω
<b>Puissance :</b>			
Courant maxi	51,5 μA	55,1 μA	59 μA
Puissance dissipée	62 μW	66 μW	71 μW
<b>Variations de température :</b>			
$\Delta T = P_{diss}/K_{th}$	78 m°C	83 m°C	89 m°C

TABLE 3.9 – Effet de l'auto-échauffement sur la réponse de la thermistance au point d'inversion du résonateur ( $PI \pm 2^\circ\text{C}$ ).

### 3.4.3.2 Etage de sortie

Le dimensionnement de l'étage de sortie vis-à-vis des spécifications imposées en section 3.3.4 requiert, au préalable, un bilan des puissances mises en jeu suivant :

$$P_{OCXO} = P_{XO} + P_{Threg} + P_{Darlington} + R_{shunt} I_c^2 \quad (3.16)$$

Les caractéristiques, tirées des datasheets du fondeur Austriamicrosystems® concernant les cellules de base pré-caractérisées [61], nous ont permis de faire une estimation de la puissance consommée par la puce ( $P_{XO} + P_{Threg}$ ) en considérant toutefois une certaine marge d'erreur : ici 50 %. Les polarisations correspondantes ( $I_C, V_E, V_B...$ ) sont résumées dans le tableau 3.10 pour  $R_{shunt} = 1 \Omega$ .

Alimentation	3 V	3,3 V	3,6 V
<b>Paramètres</b>			
Puissance warm-up ( $P_{OCXO}$ )	2 W		
Puissance puce ( $P_{XO} + P_{Threg}$ )	150 mW		
Puissance étage de sortie	1,85 W		
Courant ( $I_C$ )	620 mA	560 mA	510 mA
Tension d'émetteur ( $V_E$ )	620 mV	560 mV	510 mV

TABLE 3.10 – Récapitulatif des puissances mises en jeu pour le dimensionnement de l'étage de sortie.

### 3.4.3.3 Mesure et limitation du courant

Le gain en courant typique ( $\beta_{dar}$ ) d'un transistor Darlington est suffisamment important pour fournir un courant de collecteur de forte valeur à partir d'un faible courant de base. Dans certains cas de fonctionnement, nous remarquons que la valeur des tensions de polarisation peut être une condition conduisant à la circulation de courants importants pouvant être à l'origine de dysfonctionnements voire de détérioration de l'amplificateur de commande. Pour éviter d'endommager le système de commande du transistor Darlington, nous avons implanté un système de limitation en courant adapté fixant ainsi la consommation de l'électronique de puissance à un maximum de 2 W (Cf équation 3.16). La mesure du courant dans l'étage de puissance est obtenue par une conversion courant/tension à l'aide d'une résistance de valeur fixée à  $1 \Omega$ <sup>87</sup>.

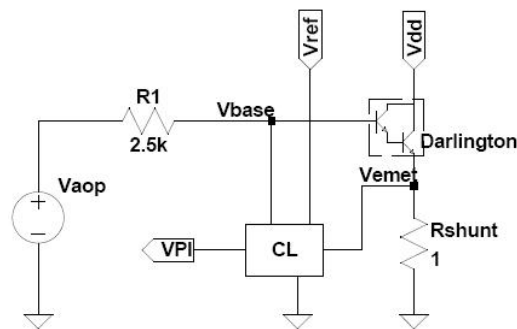


FIGURE 3.32 – Schéma utilisé lors du dimensionnement de la limitation de courant.

87. Le choix de la valeur nominale de la résistance de mesure du courant est une donnée critique vis-à-vis du bilan thermique global puisqu'elle représente une source supplémentaire de chaleur au même titre que la puce (Cf section 3.3.2) : un courant  $I_C$  de 560 mA engendre une dissipation par effet Joule de 314 mW dans une résistance de  $1 \Omega$ .

Pour dimensionner cette structure, nous avons remplacé au préalable l'étage de sortie de l'amplificateur utilisé par une source de tension parfaite en faisant l'hypothèse que ce dernier n'est pas de type "rail-to-rail" en sortie (Cf figure 3.32). Les valeurs prises par les polarisations avec et sans prise en compte des effets de la limitation sont données dans le tableau 3.11.

Sortie AOP Paramètres	2,75 V	2,95 V	3,15 V
<b>Avant limitation :</b>			
• Vbase	2,005 V	2,098 V	2,184 V
• Vemet	0,688 V	0,619 V	0,543 V
• Puissance	2,06 W	2,04 W	1,95 W
<b>Après limitation :</b>			
• Vbase	1,904 V	1,961 V	2,011 V
• Vemet	0,463 V	0,508 V	0,549 V
• Puissance	1,39 W	1,68 W	1,98 W

TABLE 3.11 – Bilan électrique de l'étage de sortie avec et sans les effets de la limitation : valeurs obtenues à la température de 27°C.

Pour valider la robustesse de notre cellule, nous avons effectué des analyses de type Monte-Carlo à partir du schéma de la figure 3.32 : les éléments additionnels étant alors considérés comme parfaits (transistor de puissance et résistances) pour ne pas affecter notre caractérisation. Les dispersions pouvant être occasionnées lors de la fabrication de notre cellule (process et mismatch) sont représentées sous la forme d'un histogramme en figure 3.33 pour un équivalent de 500 runs.

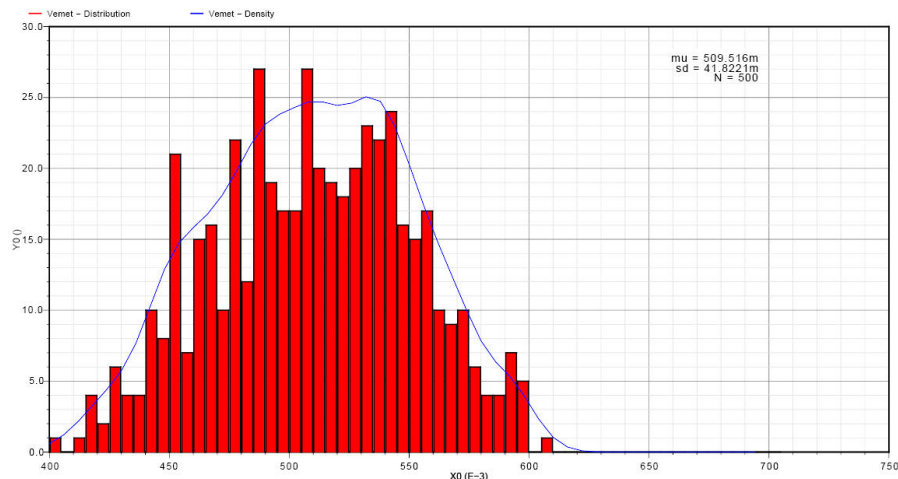


FIGURE 3.33 – Analyse Monte-Carlo : histogramme de répartition de la tension "Vemet" aux conditions typiques de fonctionnement (27°C, 2,95 V).

Aux conditions nominales de fonctionnement (27°C ; 2,95 V), cette cellule a été dimensionnée pour



que l'étage de sortie ne puisse fournir qu'une puissance de 1,68 W. Cependant, les dispersions statistiques nous montrent que cette puissance peut alors fluctuer entre 1,32 W et 2,01 W. Les variations de la tension d'émetteur ( $V_{emet}$ ) en fonction de la tension prise en sortie de l'amplificateur sont montrées en figure 3.34 à la suite d'une analyse Monte-Carlo identique à la précédente. Dans le cas le plus défavorable, la puissance fournie par l'étage de sortie peut atteindre les 2,34 W (3,6 V ; 650 mA) impliquant alors des améliorations futures de ladite cellule.

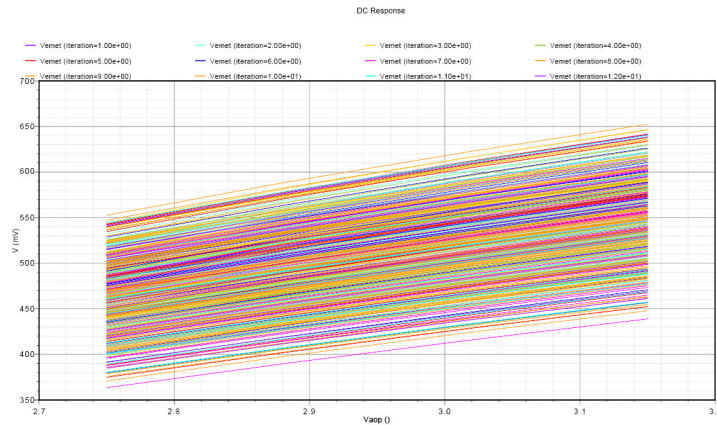


FIGURE 3.34 – Analyse Monte-Carlo : variations de la tension " $V_{emet}$ " à 27°C en fonction de la tension en sortie de l'amplificateur.

Pour reboucler la sortie en y adaptant la correction adéquate, un étage amplificateur a été mis à contribution. Finalement, le schéma et le layout correspondant à cet étage de limitation est présenté en figures 3.35 et 3.36 respectivement pour lequel les dimensions externes ne dépassent pas  $27,6 \times 25,6 \mu\text{m}^2$ .

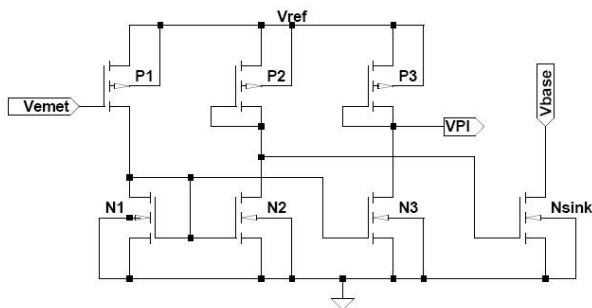


FIGURE 3.35 – Schéma électrique de la structure de limitation en courant.

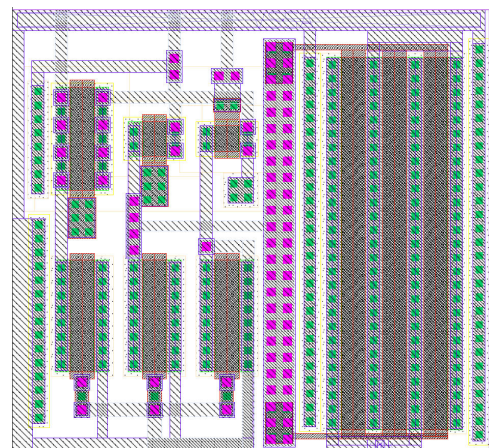


FIGURE 3.36 – Layout de la structure de limitation en courant ( $27,6 \times 25,6 \mu\text{m}^2$ ).



### 3.4.3.4 Inhibition

Dans le but d'éviter une sur-consommation de la puce lors de son utilisation en XO, la régulation thermique doit pouvoir être inhibée. Une commande logique d'inhibition à sorties complémentaires (Cf figure 3.37) est utilisée pour dévalider toutes les cellules concernées.

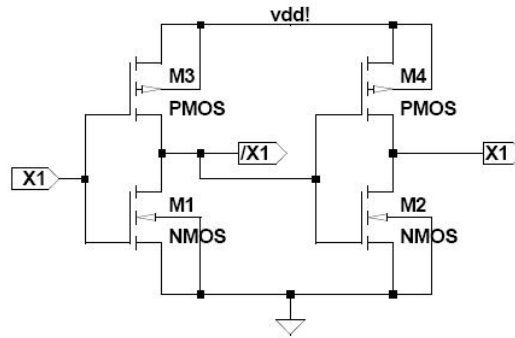


FIGURE 3.37 – Schématique de la cellule d'inhibition.

### 3.4.3.5 Layout de la régulation

Le layout de la régulation en température est montré en figure 3.38 (a) pour laquelle on retrouve l'amplificateur de commande (1), la limitation en courant décrite précédemment (2) et les résistances intégrées du pont de Wheatstone (3). Basé sur la référence de tension étudiée dans le chapitre précédent, l'étage servant à la polarisation indépendante du pont de Wheatstone et de la limitation en courant est indiqué en (b).

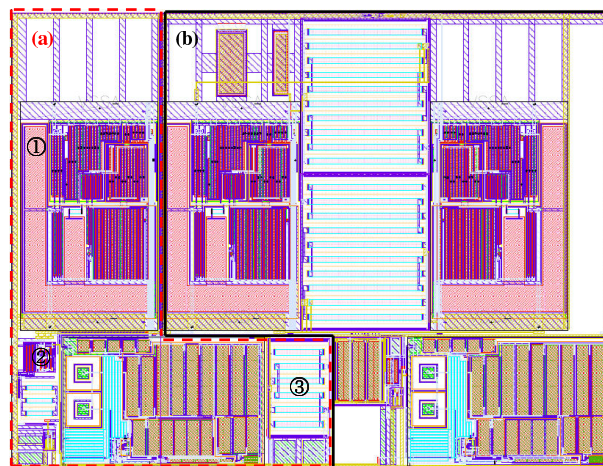


FIGURE 3.38 – Layout de la régulation intégrée ( $512,6 \times 390,4 \mu\text{m}^2$ ).

Les fonctionnalités intégrées de notre régulation en température sont finalement associées aux cellules RF développées dans le chapitre précédent pour former un ASIC apte à pourvoir des applications du type OCXO. Le layout global de la puce *Eliosoc\_v1* est finalement présenté en figure 3.39.

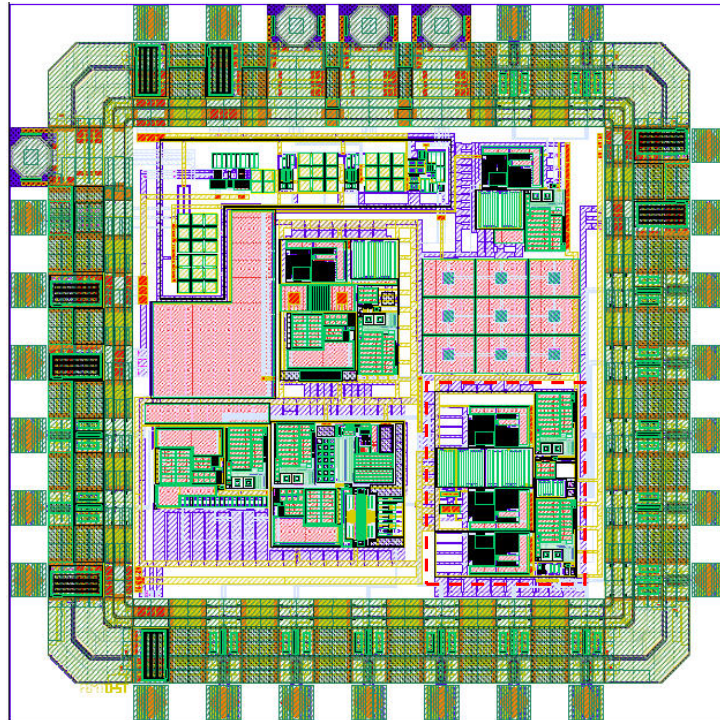


FIGURE 3.39 – Layout de la puce *Eliosc\_v1* incluant étages RF, polarisations et régulation en température (encadré rouge).

### 3.5 Quelques résultats de simulation

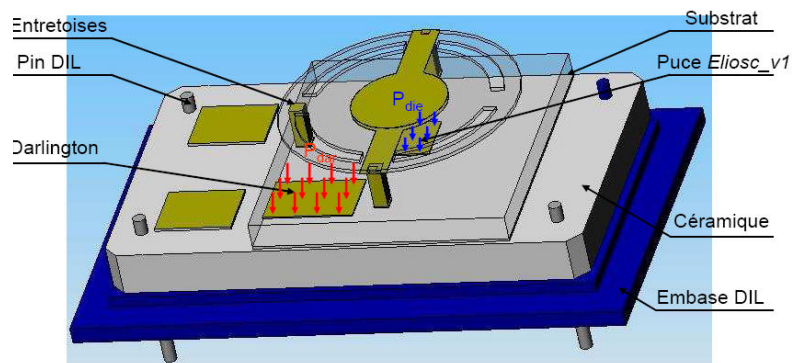


FIGURE 3.40 – Vue 3D du modèle utilisé pour nos caractérisations par simulations sous SPECTRE®.

Dans le but de valider notre régulation en température, nous avons utilisé une modélisation thermo-électrique de la structure mécanique proposée en figure 3.40. Les simulations sous SPECTRE® sont alors réalisées selon la configuration proposée en figure 3.41 : on y trouve l'ASIC *Eliosc\_v1* et le modèle thermo-mécanique équivalent de la figure 3.40. Pour établir ce modèle, représenté ici sous la forme d'une "boîte noire", nous avons fait certaines hypothèses nous permettant ainsi de fixer nos conditions de simulation.

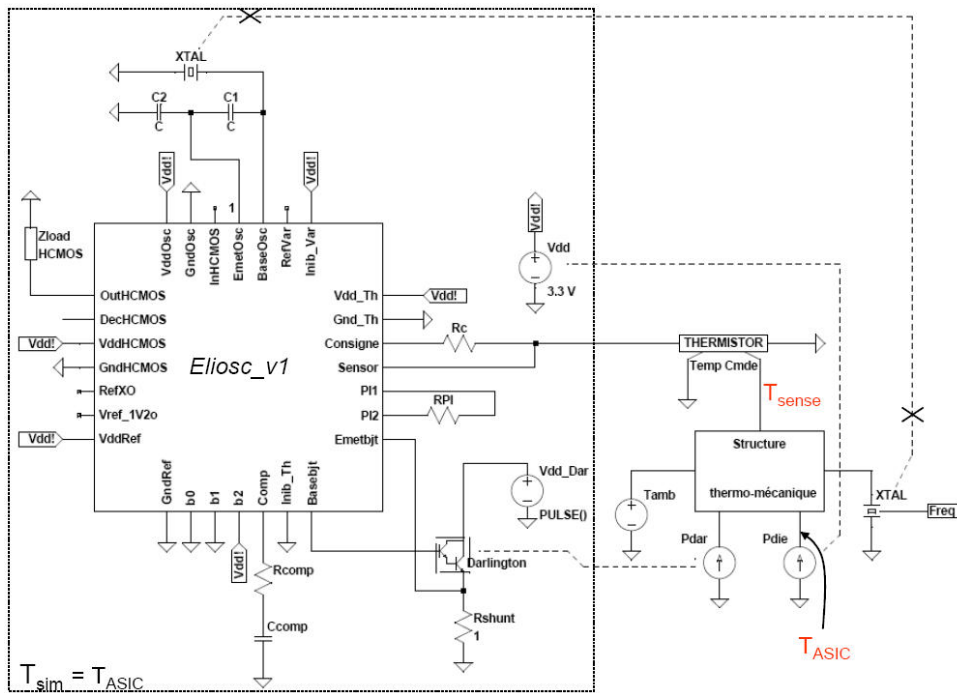


FIGURE 3.41 – Schéma électrique de la structure OCXO simulée.

• Hypothèses :

- L'intérieur du boîtier est conservé sous vide (pas de convection) et le rayonnement est négligé<sup>88</sup> : les transferts thermiques par conduction sont approximés par des modèles du premier ordre (type RC) dont les valeurs numériques sont extraites par simulations.
- L'extérieur du boîtier est soumis à de la convection naturelle.
- Le circuit ASIC dissipe dans le substrat (Alumine) une puissance statique ( $P_{die}$ ) de 86 mW.
- Le transistor Darlington est décrit par son modèle SPICE® et la puissance thermique fournie au système ( $P_{dar}$ ) est évaluée selon (3.12).
- Le résonateur : coupe SC-P3, dimensions  $\varnothing 8,2 \text{ mm} \times 130 \mu\text{m}$ ;  $f_r = 39,998596 \text{ MHz}$  à  $25^\circ\text{C}$ ;  $A1 = 1 \times 10^{-6} \text{ K}^{-1}$ ,  $B1 = -13 \times 10^{-9} \text{ K}^{-2}$ ,  $C1 = 50 \times 10^{-12} \text{ K}^{-3}$  (voir figure 3.42).
- La thermistance 312-S2 (Shibaura Electronics) est définie par sa réponse typique en température, nous avons aussi pris en considération sa constante de dissipation ( $0,8 \text{ mW}/^\circ$ ).
- La puissance dissipée par  $R_{shunt}$  (effet Joule) n'a pas d'effet sur le chauffage du résonateur.

Au travers de l'architecture mécanique et des propriétés thermiques des matériaux utilisés (conductivité, chaleur spécifique), l'auto-échauffement de l'ASIC de même que la présence de sources thermiques "secondaires" vont contribuer à une élévation locale de la température de fonctionnement du circuit modifiant ainsi son comportement par rapport à nos simulations. Dans le but d'estimer la nouvelle température prise par la puce après stabilisation thermique du système ( $T_{ASIC}$ ) et prendre en compte cette

88. Les surfaces métalliques sont supposées parfaitement réfléchissantes.

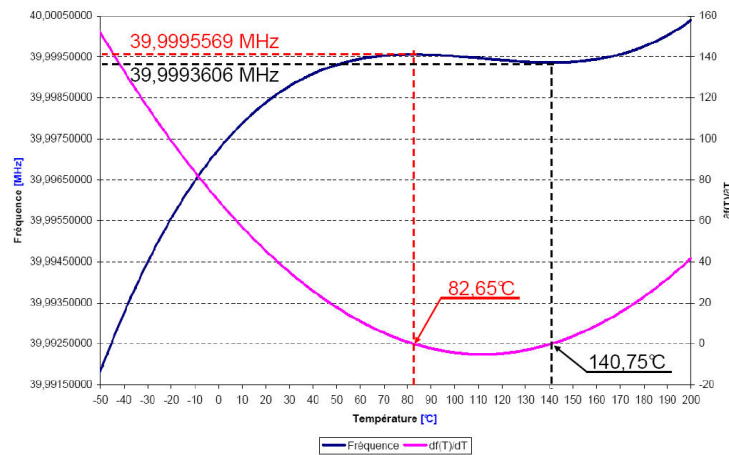


FIGURE 3.42 – Courbe fréquence/température et sensibilité en température simulée du résonateur choisi pour cette application.

valeur sous l’environnement de simulation ADE ( $T_{sim}$ ), nous avons simulé le schéma de la figure 3.41 pour une température ambiante donnée ( $T_{amb}$ ) en imposant  $T_{sim} = T_{amb}$  comme condition initiale.

• **Conditions :**

- Température ambiante :  $T_{amb} = -20^{\circ}\text{C}$ ,
- Température de fonctionnement de la puce :  $T_{sim} = +60^{\circ}\text{C}$ ,
- Tension d’alimentation : 3,3 V,
- Alimentation de l’étage de puissance (Vdd\_Dar) :  $0 \text{ } \sqcup \text{ } 3,3\text{V}$ .

Le résonateur est thermostaté à son point d’inversion situé à  $82,65^{\circ}\text{C}$  (figure 3.42) et la correction proportionnelle est évaluée de manière à minimiser l’erreur consigne/mesure de notre système. Quelques résultats de simulation sont présentés dans les figures 3.43 à 3.45 :

- Température mesurée par la thermistance ( $T_{sense}$ ) et température de la zone active,
- Puissance thermique fournie par le transistor Darlington ( $P_{dar}$ ) et puissance totale consommée par l’étage de sortie ( $P_{dar} + R_{shunt}I^2$ ),
- Evaluation du  $\Delta f/f$  référencé par rapport à la fréquence obtenue en régime établi.

D’après les courbes relevées pour une ambiante à  $-20^{\circ}\text{C}$ , la structure thermique modélisée n’est pas suffisamment robuste par rapport aux spécifications initiales : le temps de stabilisation thermique du système estimé à 9 minutes et une puissance de 1,5 W est nécessaire au maintien en température lors du régime établi. Les constantes de temps et les défauts des électroniques contribuent à introduire une erreur statique de  $1^{\circ}\text{C}$  sur la valeur de température mesurée.



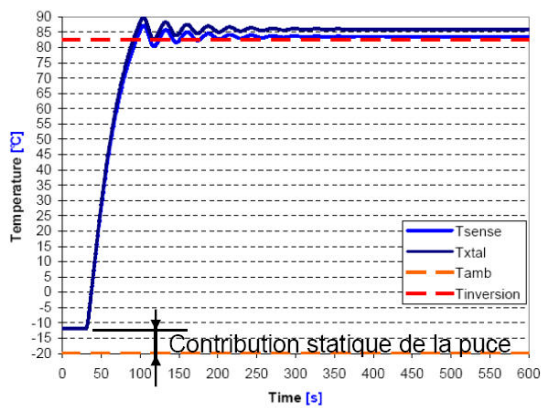


FIGURE 3.43 – Evolution temporelle de la température pour une ambiante à  $-20^{\circ}\text{C}$ .

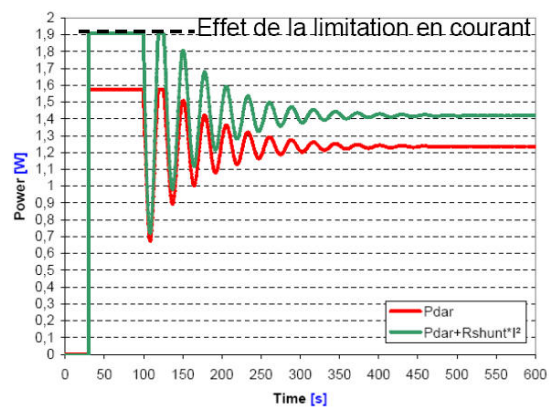


FIGURE 3.44 – Evolution temporelle de la puissance de l'étage de sortie pour une ambiante à  $-20^{\circ}\text{C}$ .

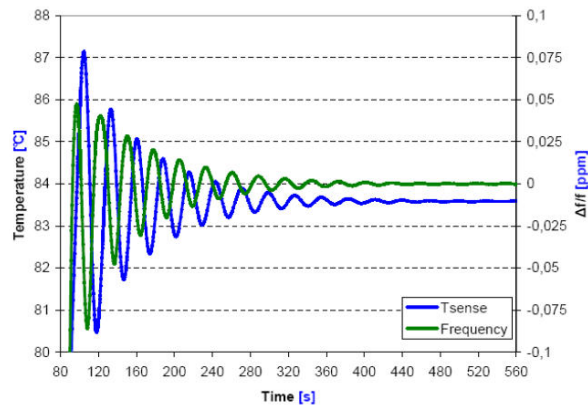


FIGURE 3.45 – Evaluation du  $\Delta f/f$ .

En cherchant à miniaturiser une structure OCXO, on tend à diminuer les résistances thermiques équivalentes de l'architecture mécanique en réduisant, de manière conséquente, sa masse globale. Il devient alors plus difficile de filtrer les fluctuations thermiques du milieu ambiant et chaque composant électronique représente une source thermique potentielle venant se superposer à l'actionneur initialement prévu : dans notre cas, il s'agit d'un transistor Darlington. Des études thermiques préliminaires sont donc nécessaires pour définir un cahier des charges réaliste : consommation maximale admissible, plage dynamique de fonctionnement en température... La conception de cette régulation de température nous a permis de mettre en avant les nombreuses possibilités que peut offrir le simulateur quant à la modélisation de systèmes thermo-électriques plus ou moins complexes à partir d'un langage évolué tel que le *Verilog-AMS*<sup>®</sup>. Cette approche peut tout aussi bien être extrapolée à d'autres types de systèmes asservis (mécaniques, optiques...).

## **Chapitre 4**

# **Conception et réalisation d'un démonstrateur miniature pour applications XO**

Lorsque l'on s'oriente vers des dispositifs montant toujours plus haut en fréquence, l'utilisation de longues interconnexions entre les différentes composantes d'un circuit électronique contribue à limiter voire à dégrader les performances attendues. Une solution envisageable consiste donc à rendre le routage beaucoup plus compact en privilégiant l'intégration d'un maximum de fonctionnalités dans une unique puce afin de minimiser la connectique externe. En nous basant sur ce principe, il devient intéressant de développer des structures hybrides bannissant toute encapsulation intermédiaire de manière à réduire significativement les volumes mécaniques occupés. Cette approche peut toutefois avoir un impact non négligeable sur les performances électriques visées (couplages capacitifs, résistances parasites...). La puce "*Elios\_c\_v1*" que nous avons développée puis caractérisée dans les chapitres précédents va finalement être mise à contribution dans la réalisation d'un démonstrateur XO miniature encapsulé dans un boîtier de type TO-8. Cependant, à la différence des travaux menés par KIM *et al.* [121,122] pour lesquels puce et résonateur sont utilisés successivement comme supports mutuels, nous avons choisi d'adapter un substrat spécifique pour permettre :

- le report de la puce par flip chip,
- l'implantation des composants externes nécessaires au bon fonctionnement de notre oscillateur (compensations, découplages...),
- la liaison mécanique et électrique avec le résonateur à quartz (coupe AT-P3 ou SC-P3).

## 4.1 Choix technologiques

Pour réaliser ce démonstrateur miniature, nous nous sommes appuyés sur les moyens technologiques mis à notre disposition par la centrale de micro-fabrication MIMENTO de l'Institut FEMTO-ST : conception des masques (dessins sous CADENCE®), assemblage et caractérisation des dispositifs fabriqués en salle blanche. Compte tenu des caractéristiques mécaniques et électriques de l'ASIC "*Elios\_c\_v1*" choisi pour cette application, les solutions technologiques envisagées dans le but de miniaturiser à l'optimum notre XO impliquent certains choix techniques tels que :

- Le type de substrat pour minimiser les phénomènes parasites,
- La technique utilisée pour le report de la puce ASIC sur le substrat (wire bonding, flip chip),
- Le type de composants externes,
- La fréquence de travail de notre démonstrateur.

### 4.1.1 Nature du substrat

Nous avons mis en œuvre trois différents types de substrats allant du semi-conducteur (silicium) à un isolant électrique pur (verre). Nous avons recensé quelques-unes des propriétés thermiques et électriques de ces matériaux dans le tableau 4.1.

Type \ Paramètres	Silicium	Silicium oxydé	Verre
Type	p	p	-
Epaisseur [ $\mu\text{m}$ ]			
$T_{wafer}$	380	380	1000
$T_{oxyde}$	-	1,2	-
Permittivité ( $\epsilon_r$ )	11,9 [141]	3,9 [142]	3 à 3,8 [143]
Conductivité thermique [ $\text{W/m}^\circ\text{C}$ ]	1,56 [144]	1,4 [145]	1,2
CTE [ $\text{ppm}/^\circ\text{C}$ ]	2,6	0,5	3,3

TABLE 4.1 – Quelques propriétés des matériaux utilisés comme substrat pour notre dispositif.

Dans le but de minimiser les couplages thermo-mécaniques (CTE) entre la puce et le substrat, le choix le plus judicieux consiste à utiliser un substrat silicium comme interface de report bien que sa constante diélectrique soit la plus élevée.

#### 4.1.2 Assemblage de circuits intégrés en microélectronique

Parmi les différentes techniques d'assemblage existantes pour assurer le maintien mécanique et la connexion électrique d'un circuit intégré avec l'extérieur, le wire bonding et le flip chip sont les plus utilisées à l'heure actuelle. Pour compléter la description effectuée en 1.3.1.3, nous avons choisi de les confronter qualitativement.

##### 4.1.2.1 Wire bonding vs Flip chip

Des procédés similaires sont mis en œuvre pour connecter un circuit intégré par wire bonding ou par flip chip pour lesquels une brève description est donnée ci-dessous. Nous avons par ailleurs marqué d'un astérisque les procédés pouvant être utilisés spécifiquement lors d'un assemblage par flip chip.

- **Thermocompression** : Forte pression et température ( $300^\circ\text{C}$ – $500^\circ\text{C}$ ) sont combinées pour aider à la déformation des bumps<sup>89</sup> et accélérer le processus de diffusion des matériaux en contact.
- **Thermosonic bonding** : Les ultrasons sont utilisés en complément de la chaleur pour ramollir le matériau et ainsi accélérer la soudure tout en minimisant pressions et températures ( $100^\circ\text{C}$ – $150^\circ\text{C}$ ). Ce principe a été adapté du wire bonding pour de l'assemblage flip chip à l'université du Colorado en 1995 [146, 147]. L'énergie ultrasonique étant transférée du substrat silicium de la puce vers les bumps déposés sur la face opposée, un contrôle rigoureux de l'énergie fournie est alors nécessaire pour ne pas faire apparaître des micro-fissures et ainsi détériorer la puce.

89. "Billes" métalliques.



- **Soudure\*** [148] : Il s'agit d'une technique de soudure par refusion pour laquelle les bumps (alliage Pb/Sn) sont déposés ou formés directement sur la surface prévue à cet effet. Pour réduire la fatigue thermique au moment de la connexion, des sous-couches métalliques de différentes natures sont généralement déposées sous le bump (UBM) comme montré en figure 4.1.
- **Adhésifs électro-conducteurs\*** : L'adhésif est généralement composé d'un encapsulant (pâte ou résine polymère) qui est chargé de particules conductrices. Selon la nature de l'adhésif, la conduction électrique s'opère soit dans une direction privilégiée (anisotrope) ou reste possible dans toutes les directions (isotrope) comme schématisé en figure 4.2. Cette méthode présente certains avantages comme de faibles températures de recuit, pas de nettoyage après le process, utilisation d'un pitch réduit (dépendant du diamètre des particules) et introduit peu de contraintes mécaniques lors de l'assemblage. Ce dernier avantage rend alors possible la connexion de la puce sur des substrats d'épaisseur réduites, voire flexibles. Ce procédé reste toutefois moins fiable que les précédents.

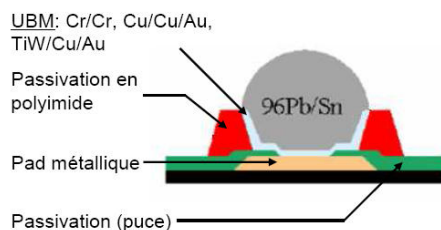


FIGURE 4.1 – Vue en coupe de l'UBM (Under Bump Metallurgy) d'après la référence [149].

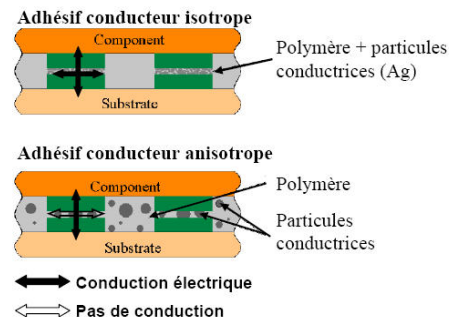


FIGURE 4.2 – Adhésifs électro-conducteurs de type isotrope et anisotrope.

Connecter une puce par flip chip (thermocompression, thermosonic bonding) requiert une étape préliminaire consistant à venir déposer les différents bumps à l'aide, par exemple, d'une machine de ball bonding. Ainsi, en plus d'être avantageux d'un point de vue électrique (longueurs filaires réduites au minimum), un circuit intégré assemblé par flip chip occupera toujours une surface moindre (figure 4.3) qu'en utilisant du wire bonding dont les métallisations sont obligatoirement déportées (figure 4.4). Ces deux techniques d'assemblage sont confrontées qualitativement dans le tableau 4.2 construit à partir des informations tirées des références [55, 149, 150].

#### 4.1.2.2 Le flip chip et ses contraintes

En flip chip, les bumps assurant la liaison électrique et mécanique entre la puce et le substrat sont soumis à des contraintes beaucoup plus importantes qu'en wire bonding. En effet, lorsque la compatibilité thermo-mécanique (CTE) puce/substrat n'est pas respectée, les bumps vont être soumis à des contraintes de type cisaillement qui sont favorables à la formation de craquelures dans le matériau. Ces dernières entraînant alors une dégradation de la tenue mécanique ainsi qu'une augmentation de la résistance élec-

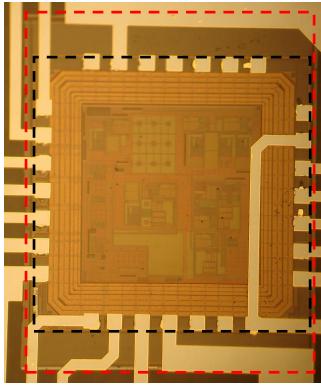


FIGURE 4.3 – Puce (rouge) et surface utile pour le flip chip (noir) :  $4 \text{ mm}^2$ .

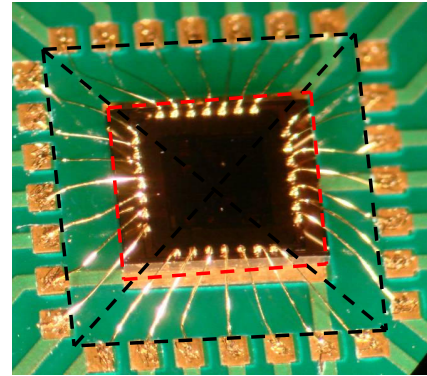


FIGURE 4.4 – Zone vierge de toute connectique à l'intérieur du rectangle noir ( $16 \text{ mm}^2$ ).

Critères	Wire bonding (WB)	Flip chip (FC)	☺
<b>Mécanique :</b>			
• Pas :	Faible (wedge bonding $\leq 50 \mu\text{m}$ ) [54]	Important ( $\geq 200 \mu\text{m}$ )	<b>WB</b>
• Nombre E/S :	$\leq 500$ (périphérie de la puce)	$\geq 500$ (périphérie ou sur la surface)	<b>FC</b>
• Accueil :	Importante ( $\Delta S = S_{die} \times 300\%$ )	$\cong S_{die} = 4 \text{ mm}^2$	<b>FC</b>
• Contraintes :	Faibles (flexibilité du fil)	Critiques (cisaillement des bumps)	<b>WB</b>
<b>Electrique :</b>			
• Performances :	$L_{wire} \cong 1 \text{ nH/mm}$	$L_{bump} \leq 0,1 \text{ nH}$	<b>FC</b>
• Défauts :	Localisation facile	Localisation difficile (rayons X...)	<b>WB</b>
<b>Thermique :</b>			
• Compatibilité :	-	Underfill nécessaire	<b>WB</b>
• Dissipation :	Substrat Si (conduction + convection)	Bumps + underfill (conduction), substrat Si (convection)	<b>FC</b>
<b>Production :</b>			
• Liaison :	Dépose unitaire des fils	Simultanéité des contacts	<b>FC</b>
• Opérations :	Collage puce, report des fils	Réalisation des bumps, liaison, underfill (dépôt + polymérisation)	<b>WB</b>
<b>Contraintes :</b>	Affaissement des fils Contrôle de la boucle ( <i>wire loop</i> )	Compatibilité CTE puce/substrat Dépose d'un underfill Vides et craquelures de l'underfill Contrôle de l'énergie ultrasonique	

TABLE 4.2 – Comparaison qualitative entre un assemblage par wire bonding et flip chip.

trique au contact. En wire bonding, la flexibilité du fil prévient ce type de risques qui peuvent être encore minimisés en utilisant des substrats compatibles avec le silicium : les céramiques par exemple.

Cependant, pour conserver une bonne compatibilité entre deux matériaux de différentes natures tout en s'affranchissant des coûts non négligeables d'une céramique, il est possible de venir combler le volume laissé vide entre la puce et le substrat à l'aide d'un underfill (Cf figure 4.5) qui va permettre d'assurer une meilleure répartition des contraintes. L'underfill est une structure composite constituée d'une résine isolante (type époxy) mélangée à des particules (céramique, silice...) utilisées pour rendre compatible ses propriétés physiques (module d'Young, CTE...) en fonction des éléments à assembler [151]. Après polymérisation de cette résine, il devient alors possible de rigidifier mécaniquement l'assemblage, protéger la surface active de l'ASIC où se situent les contacts électriques vis-à-vis des contraintes environnementales (humidité, poussières...) et améliorer la dissipation thermique de la puce.

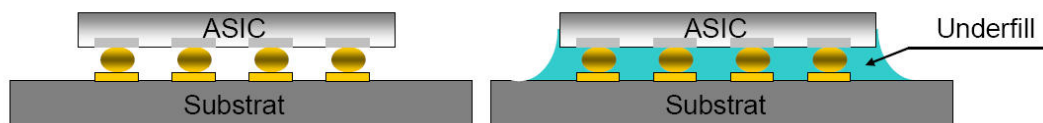


FIGURE 4.5 – Assemblage puce/substrat avec et sans underfill.

A partir des années 1990, le report de circuits intégrés par flip chip a connu un essor important par son implication dans les applications commerciales. Dès lors, de nombreux travaux sont mis en œuvre pour réduire les coûts de production relatifs à la dépose d'un underfill qui nécessite une étape supplémentaire dans le procédé d'assemblage. Les différentes études vont principalement se porter sur l'amélioration des paramètres suivants : vitesse d'écoulement et temps de polymérisation. De nouveaux types d'underfills ont ainsi vu le jour [152] dans le but :

- d'augmenter la vitesse d'écoulement lors de la dépose par capillarité (fast flow underfills [153]),
- de réduire les temps de polymérisation en remplaçant les underfills "liquides" par des underfills solides pour lesquels le recuit du polymère et la liaison électrique est effectuée simultanément (no flow underfills [154]),
- d'être adaptés au remplacement de puces défectueuses (dispositifs multi-puces) sans dégrader le substrat et ses métallisations (reworkable underfills [155, 156]).

Les underfills commerciaux, dont la durée de vie est limitée, requièrent un conditionnement rigoureux et des outillages spécifiques pour être utilisés dans les meilleures conditions. Des études ont montré par ailleurs qu'il est possible de s'affranchir du rôle d'un underfill en modifiant localement les propriétés du substrat [157].

#### 4.1.3 Composants externes

A l'heure actuelle, parmi le large choix de composants discrets disponibles sur le marché (résistances, capacités et inductances), seuls les composants montés en surface (CMS) permettent d'atteindre des dimensions favorables à la réalisation de dispositifs miniatures. Nous recensons pour exemple les types 0402 ( $1 \times 0,5 \times 0,35 \text{ mm}^3$ ), 0201 ( $0,6 \times 0,3 \times 0,12 \text{ mm}^3$ ) et 01005 ( $0,4 \times 0,2 \times 0,12 \text{ mm}^3$ ).

En nous orientant vers des montages hybrides pour lesquels toute encapsulation intermédiaire devient inutile, privilégier les techniques de report tirées de la microélectronique (wire bonding) apporte une certaine innovation dans ce travail. Nous avons donc choisi de mettre en œuvre des "chip capacitors" fournies par COMPEX Corp. (figure 4.6) dans le but de pré-découpler nos tensions d'alimentation au plus près de la puce et de fixer le rapport de réinjection de la cellule oscillateur. Pour des raisons pratiques (positionnement manuel), nous nous sommes restreint à utiliser des composants de dimensions supérieures à 0,5 mm. Les valeurs qui ne sont toutefois pas disponibles sous de faibles encombrements seront externalisées de l'interface : cas des capacités de fortes valeurs (découplage) et des inductances pour un éventuel détrompage des modes du résonateur à quartz (par exemple pour la coupe SC).

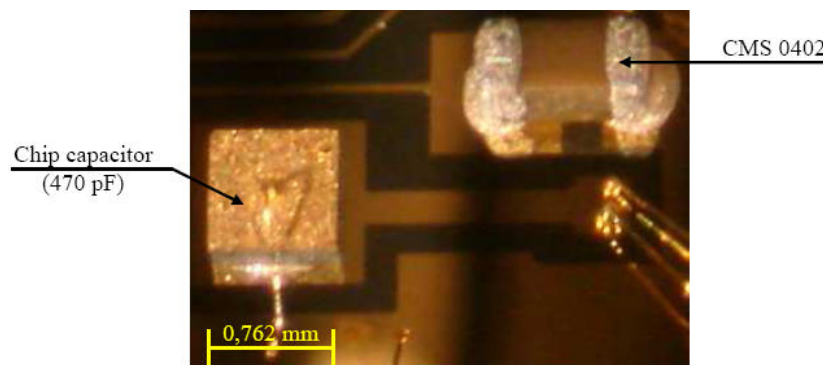


FIGURE 4.6 – "Chip capacitors" (wire bondées) et CMS 0402 utilisées dans notre dispositif.

#### 4.1.4 Fréquence de travail : critères de sélection

La fréquence de travail définie lors de la rédaction de notre cahier des charges est fixée à 40 MHz (partiel 3). Les raisons ayant motivé ce choix sont principalement d'ordre mécanique : diamètre de la lentille ( $\varnothing 6,4$  mm) adapté à la réalisation d'un dispositif miniature, rapport diamètre/épaisseur convenable pour une manipulation sans risques et les deux faces de la pastille sont planes<sup>90</sup> pour un assemblage plus aisé. De plus, faire travailler le résonateur sur son partiel plutôt que sur son fondamental à des fréquences identiques<sup>91</sup> permet d'améliorer ses performances (facteur de qualité, vieillissement...) ainsi que sa robustesse (épaisseur de la lame) [94].

Le résonateur à quartz utilisé est disponible suivant deux types d'architectures qui seront prises en considération lors de la conception de nos motifs :

- Structure standard : lentille de quartz de diamètre 6,4 mm (figure 4.7),
- Structure BVA : la zone active ( $\varnothing 6,4$  mm) est isolée de la partie dormante (couronne extérieure) par l'intermédiaire de 2 ou 4 ponts (figure 4.8) pour un meilleur filtrage des contraintes mécaniques.

90. Les résonateurs à quartz peuvent être de forme bi-convexe, plan-convexe ou plan-plan pour pouvoir piéger la vibration à la fréquence visée.

91. Cette constatation est généralement valable au delà de 20 MHz.

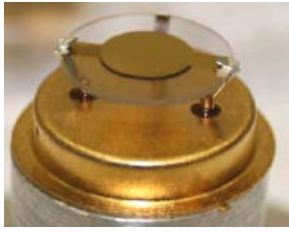


FIGURE 4.7 – Résonateur à quartz : architecture classique.



FIGURE 4.8 – Résonateur à quartz : architecture type BVA 4 ponts.

## 4.2 Structuration du substrat

La puce "Eliosoc" choisie pour réaliser ce démonstrateur comporte les fonctions de base pour satisfaire les applications XO et OCXO (Cf chapitres 2 et 3). Deux types d'implantation sont ainsi proposées : substrats XO ( $8,5 \times 8,5 \text{ mm}^2$ ) et OCXO ( $9,4 \times 10,2 \text{ mm}^2$ ). Elles sont alors réparties judicieusement sur le wafer de manière à faciliter leur séparation au moment de la découpe (figure 4.9). Nous allons focaliser notre travail sur la réalisation d'un XO.

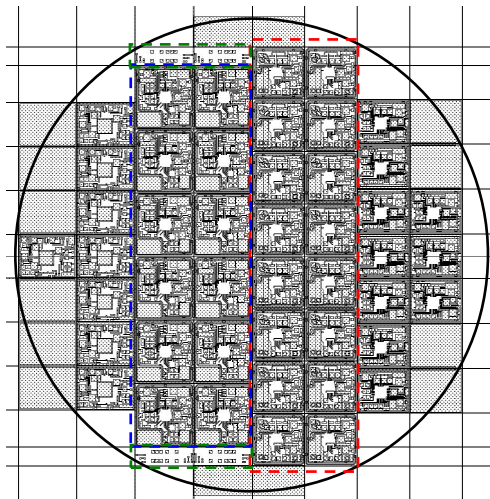


FIGURE 4.9 – Structure du wafer : circuits XO (rouge), circuits OCXO (bleu) et éléments de caractérisation de la techno (vert).

### 4.2.1 Liaison puce/substrat : choix des matériaux

La liaison entre la puce et le substrat réalisée soit par une technique de wire bonding ou par flip chip consiste à faire adhérer des matériaux qui, en diffusant, vont permettre de lier électriquement et mécaniquement les deux sous-ensembles. Cependant, lorsque ces matériaux ont des propriétés physico-chimiques différentes, les combinaisons chimiques se créant durant le processus conduisent à la formation de composés intermétalliques dont la nature et les propriétés vont évoluer au cours du temps. De plus, comme les matériaux ne vont pas diffuser à la même vitesse (loi de Fick), des vides vont se créer

à l'interface par effet Kirkendall<sup>92</sup> dégradant par ailleurs la viabilité de l'assemblage : mauvaise tenue mécanique et forte augmentation de la résistance électrique de contact.

En électronique, le cuivre est un matériau très utilisé pour ses excellentes propriétés thermiques et électriques mais aussi par son faible coût en comparaison avec l'or. Il reste toutefois exploitable dans les applications microélectroniques mais sa dureté intrinsèque vis-à-vis des autres matériaux et sa facilité à l'oxydation nécessite certaines précautions quant à son utilisation [150, 161, 162]. Finalement, l'or (Au) et l'aluminium (Al) restent privilégiés dans les assemblages de circuits intégrés, nous proposons ci-dessous un bilan qualitatif des différentes combinaisons possibles entre ces deux matériaux :

- **Liaison Au/Au** : Les propriétés intrinsèques de l'or rendent ce type de liaison très fiable mécaniquement et électriquement car elles empêchent toute formation de corrosion et de composantes intermétalliques au contact. Cette association est donc parfaitement adaptée à du montage hybride pour lequel il ne devient plus nécessaire de prévoir des encapsulations parfaitement hermétiques.
- **Liaison Au/Al** : Pour permettre l'adhésion d'un fil d'or sur un pad en aluminium, la thermo-compression (avec ou sans ultrasons) est généralement mise à contribution afin de forcer mécaniquement la barrière de diffusion qui est présente à la surface du pad sous la forme d'une fine couche d'alumine ( $\text{Al}_2\text{O}_3$ ). D'après leurs propriétés respectives, l'or va diffuser plus rapidement que l'aluminium conduisant à une formation de vides à l'interface (effet Kirkendall), dégradant alors la liaison mécanique et électrique obtenue. Cette liaison, riche en composantes intermétalliques ( $\text{AuAl}_2$ ,  $\text{Au}_4\text{Al}$ ,  $\text{Au}_8\text{Al}_3$ ,  $\text{Au}_2\text{Al}$ ,  $\text{AuAl}$ ), a fait l'objet de nombreuses études<sup>93</sup> pour une meilleure compréhension des mécanismes de formation de ces composés (voir figure 4.10).
- **Liaison Al/Al** : Cette liaison bénéficie d'avantages similaires aux contacts de type Au/Au et est adaptée pour fonctionner dans des environnements sévères (haute température...). Ce couple est principalement mis à contribution lors d'un procédé de soudure ultrasonore (ultrasonic bonding) car il est possible de réaliser un contact fiable à température ambiante.

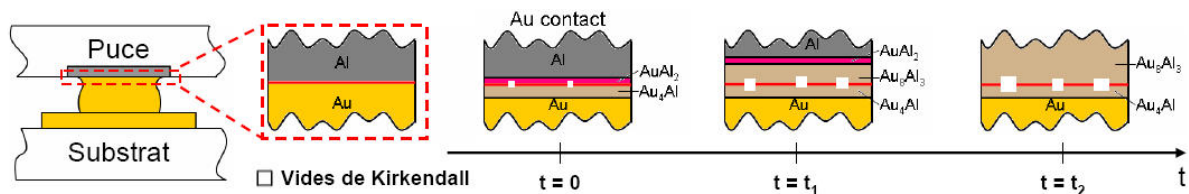


FIGURE 4.10 – Formations intermétalliques d'une liaison Al/Au représentée d'après les travaux récents conduits par XU et al. [167].

92. Phénomène mis en évidence par Ernest KIRKENDALL [158–160] dans le cas de l'adhésion du cuivre sur du laiton.

93. En microélectronique, les premiers travaux mettant en évidence les composantes intermétalliques d'une liaison Au/Al réalisée par wire bonding ont été effectués par E. PHILOFSKY [163–165]. C. W. HORSTING a ensuite montré que les impuretés présentes sur les surfaces vont aussi avoir une influence sur la formations de vides à l'interface [166].



Les bumps déposés sur la puce par ball bonding sont obtenus à partir d'un fil d'or. Pour minimiser les risques de formations intermétalliques, nous allons utiliser une métallisation en or : contacts du type Al/Au/Au.

#### 4.2.2 Design du substrat XO

Le substrat, servant au report d'un maximum de composants pour un fonctionnement de l'ASIC dans les meilleures conditions<sup>94</sup>, est dimensionné de manière à être intégrable dans un boîtier TO-8. Les contraintes suivantes ont été prises en considération lors de la structuration de nos empreintes :

- Le positionnement et le collage des composants externes s'effectuant manuellement, la surface et l'isolation des différentes empreintes ont été majorées.
- La surface de métal et le nombre de contacts vers l'extérieur ont été maximisés pour les alimentations du circuit (vdd, gnd) afin d'en diminuer la résistance effective.
- Les empreintes correspondant au positionnement d'un résonateur de Ø6,4 mm et d'une structure type BVA sont prévues.
- Les 16 broches du boîtier TO-8 sont utilisées.

La métallisation est alors structurée comme le montre la figure 4.11 pour laquelle les liaisons vers le boîtier sont réalisées par wire bonding. Une représentation 3D du démonstrateur XO envisagé est proposée en figure 4.12.

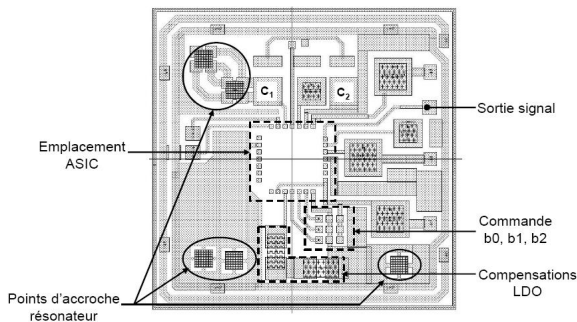


FIGURE 4.11 – Structuration du substrat pour notre démonstrateur XO.

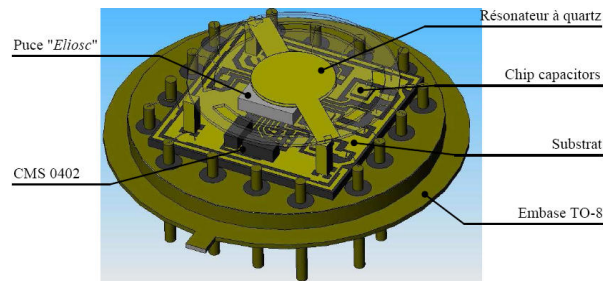


FIGURE 4.12 – Représentation 3D du démonstrateur XO.

Pour ne pas agir sur le bon fonctionnement de notre cellule oscillateur, les contributions parasites introduites par nos métallisations ont été extraites au moyen de simulations électrostatiques en fonction du type de substrat utilisé (Cf tableau 4.1). La capacité parasite base-émetteur ( $C_{BE}$ ) ainsi que les capacités de base et d'émetteur ( $C_B$  et  $C_E$ ), référencées par rapport à la masse du circuit, sont évaluées à partir de la représentation en figure 4.13 qui est simplifiée par rapport à la structure initiale pour des raisons de limitation de la ressource mémoire du logiciel<sup>95</sup> utilisé.

94. Les valeurs étant définies à la suite des travaux menés dans notre chapitre 2.

95. Sonnet® Lite version 13.51 (Sonnet Software Inc.).

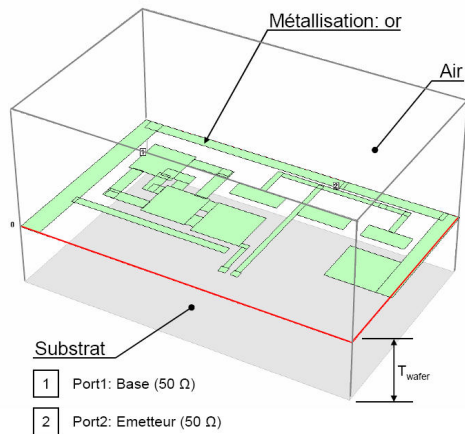


FIGURE 4.13 – Modèle 3D pour l'évaluation de  $C_{BE}$ ,  $C_B$  et  $C_E$ .

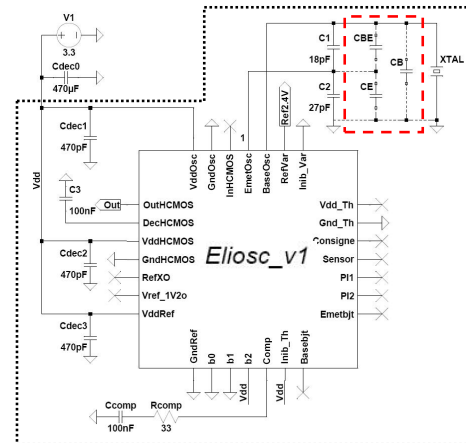


FIGURE 4.14 – Schéma électrique du dispositif avec localisation des capacités parasites.

Lors de nos analyses électrostatiques, les lignes conductrices modélisées sur le substrat de constante diélectrique  $\epsilon_r$  et d'épaisseur  $T_{wafer}$  sont considérées comme étant des couches métalliques d'épaisseur nulle. Cette approximation reste valable car l'épaisseur réelle de notre conducteur reste très petite devant : sa largeur, l'écartement minimal entre deux lignes conductrices et l'épaisseur du diélectrique utilisé. Les capacités sont finalement extraites sous la forme d'un modèle en Pi équivalent et sont représentées sur une décade (10 MHz à 100 MHz) en figure 4.15 pour les trois types de substrats envisagés. Du fait de sa faible permittivité, le substrat en verre reste le mieux adapté pour minimiser les effets capacitifs parasites sur les performances de notre ASIC. Toutefois, en nous orientant vers l'utilisation d'un seul type de résonateur, il devient alors possible d'optimiser le dispositif en ajustant les surfaces métalliques connectées respectivement à la base et à l'émetteur du transistor de la cellule oscillateur.

### 4.2.3 Dépôt métallique

Pour obtenir une liaison mécanique puce/substrat suffisamment robuste lors d'un report par flip chip en thermocompression, la métallisation déposée au préalable sur le substrat doit présenter une épaisseur suffisante<sup>96</sup>. Néanmoins, il a été montré qu'une forte épaisseur d'or ne conduit pas à de meilleures performances et se trouve être plus restrictive en comparaison avec un dépôt de faible épaisseur [168, 169]. Dans ce but, nous avons choisi de recenser les avantages et les inconvénients respectifs de différents procédés de dépôts disponibles (Cf tableau 4.3) en nous plaçant dans les conditions listées ci-dessous :

- Wafer 3 pouces ( $S_{wafer3''} = 4560 \text{ mm}^2$ ),
- Epaisseur de la couche d'or :  $t_{Au} = 2 \mu\text{m}$  minimum,
- Largeur minimum des motifs :  $W_{mini} = 85 \mu\text{m}$ ,
- Surface occupée par les motifs :  $S_{motif} \approx 3916 \text{ mm}^2$  correspondant à  $(S_{motif}/S_{wafer3''}) \approx 86\%$ .

96. En thermosonic bonding, une épaisseur de métal plus importante doit être déposée ( $4 \mu\text{m}$  à  $10 \mu\text{m}$ ) à cause des contraintes liées à l'apport d'ultrasons.



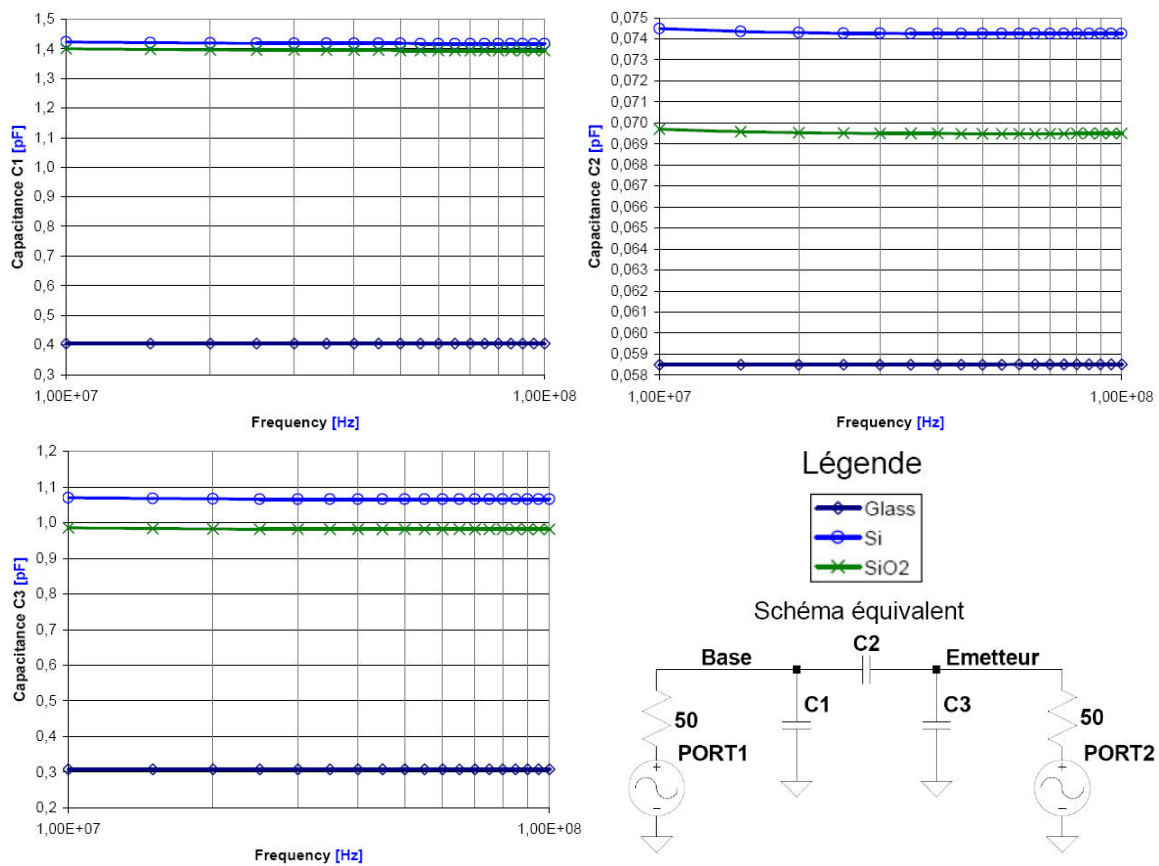


FIGURE 4.15 – Résultats de simulation pour l'évaluation des capacités parasites  $C_B$ ,  $C_E$ ,  $C_{BE}$  pour différents types de substrats.

La couche d'accroche est considérée ici comme étant d'épaisseur négligeable devant notre couche d'or déposée donc elle n'a pas été prise en compte dans notre étude. De plus, nous rappelons en figure 4.16 les principales différences entre une gravure sèche (RIE ou DRIE<sup>97</sup>) qui est anisotrope, une gravure humide caractérisée par une forte isotropie et le procédé lift-off pour lequel aucune gravure de métal n'est requise.

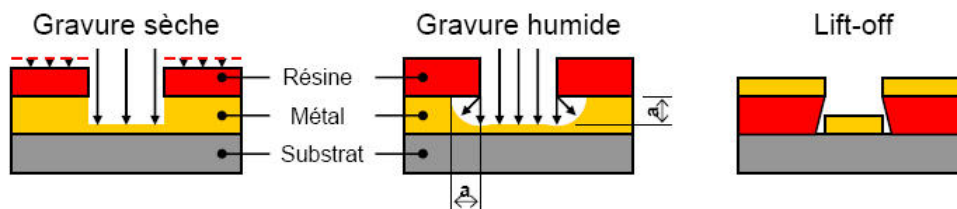


FIGURE 4.16 – Gravure sèche (anisotrope), gravure humide (isotrope) et lift-off.

97. La RIE (Reactive Ion Etching) et la DRIE (Deep Reactive Ion Etching) sont des procédés de gravure sèche : un plasma est généré sous basses pressions lequel va réagir avec la surface du wafer.

Procédé	Avantages	Inconvénients
(1) Pulvérisation/ Evaporation	<ul style="list-style-type: none"> <li>• Uniformité du dépôt (3% à 15%)</li> <li>• Temps de process : <math>\approx 10</math> min [170]</li> <li>• Gravure humide : forte sélectivité</li> </ul>	<ul style="list-style-type: none"> <li>• Dépôt pleine plaque : 14% de pertes<sup>a</sup></li> <li>• Gravure humide : 4,7% de pertes<sup>b</sup></li> <li>• Gravure sèche : faible sélectivité<sup>c</sup></li> <li>• Nombre d'opérations<sup>d</sup> : 4</li> </ul>
(2) Lift-off	<ul style="list-style-type: none"> <li>• Pas de gravure</li> <li>• Uniformité du dépôt (3% à 15%)</li> <li>• Nombre d'opérations : 3</li> </ul>	<ul style="list-style-type: none"> <li>• Dépôt pleine plaque : 14% de pertes</li> <li>• Prévoir des accès à la résine</li> <li>• Dégradation de la résine<sup>e</sup></li> <li>• Redéposition du métal après stripage</li> </ul>
(3) Electroformage	<ul style="list-style-type: none"> <li>• Peu de pertes<sup>f</sup></li> <li>• Gravure sèche ou humide possible</li> </ul>	<ul style="list-style-type: none"> <li>• Résine adaptée au pH du bain</li> <li>• Compatibilité (dépôt initial et bain d'or)</li> <li>• Non-uniformité du métal électroformé</li> <li>• Polissage mécano-chimique requis</li> <li>• Nombre d'opérations : 5 minimum</li> </ul>

a. Correspond à un volume de  $1,288 \text{ mm}^3$  par rapport au volume initial de métal ( $9,12 \text{ mm}^3$ ).

b. Cas d'une ligne de largeur  $W_{\text{mini}}$  : pertes =  $100 \times (W_{\text{mini}} - 2t_{\text{Au}}) / W_{\text{mini}}$ .

c. La vitesse de gravure de l'or en RIE (gaz  $\text{SF}_6$ ) est très faible ( $\ll 200 \text{ \AA}/\text{min}$ ) mais reste envisageable par un procédé similaire à celui du Titane [171].

d. Dépôt métallique<sup>\*†‡</sup>, photolithographie<sup>\*†‡</sup>, électroformage<sup>‡</sup>, gravure<sup>\*‡</sup> Stripage<sup>\*†‡</sup>. \*Cas (1), †Cas (2), ‡Cas (3)

e. La résine est soumise à des contraintes durant la pulvérisation du métal provoquant ainsi un échauffement local de cette dernière qui tend à favoriser son craquelage [172]. Pour minimiser cette contrainte, il est nécessaire de rajouter des pauses durant le process ou utiliser un procédé de dépôt par évaporation.

f. Dépôt initial d'un plan de masse ( $\approx 200 \text{ nm}$ ) : le volume d'Or à graver est d'environ  $0,1288 \text{ mm}^3$ .

TABLE 4.3 – Méthodes investiguées pour obtenir un dépôt de  $2 \mu\text{m}$  d'Or : avantages et inconvénients.

Parmi ces trois procédés, l'électroformage est le plus économique bien qu'il nécessite diverses opérations pour l'obtention de dépôts suffisamment épais tout en limitant les coûts de fabrication : temps de dépôt et de gravure réduits, pertes réduites suite à une croissance localisée de la couche de métal. Le process est décrit en figure 4.17.

### 4.3 Réalisation et assemblage

Le procédé de fabrication de notre démonstrateur miniature est décrit ci-dessous. Nous avons indiqué en italique les étapes liées aux différentes caractérisations intermédiaires.

1. Préparation du substrat en salle blanche (dépôts, photolithographie, gravure...),
2. *Evaluation de la sous gravure et des épaisseurs de métal obtenues,*
3. Séparation des dispositifs et nettoyage,
4. Mise en place des composants (ASIC et composants externes),

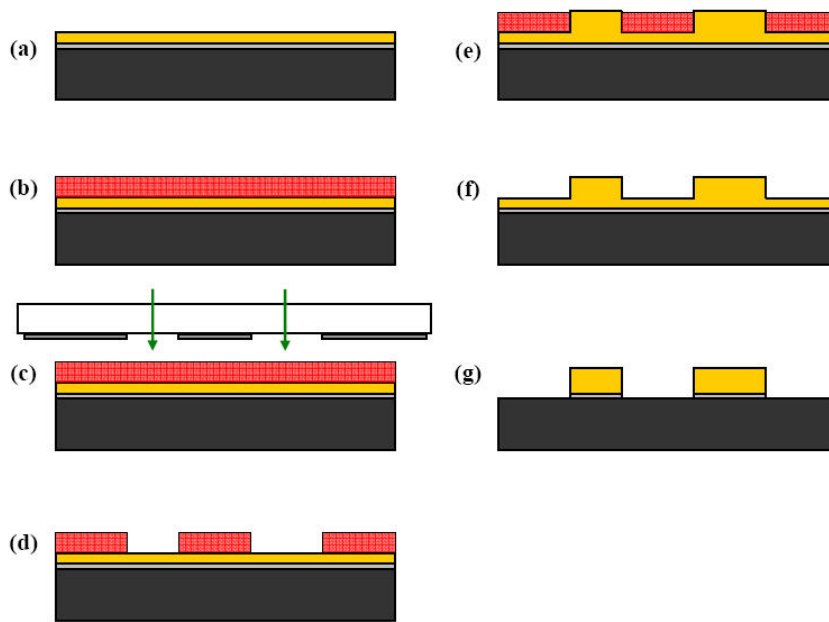


FIGURE 4.17 – Electroformage de la couche d'or : Dépôt du plan de masse (Ti/Au) (a), enduction d'une résine positive (b), insolation (c) et développement (d), électroformage de l'or (e), stripage de la résine (f), suppression du plan de masse par gravure sèche (g).

5. Tests de tenue mécanique des composants par cisaillement,
6. Assemblage dans l'embase du TO-8 et réalisation des connexions par wire bonding,
7. Tests préliminaires de validation de l'assemblage (utilisation d'un résonateur externe),
8. Assemblage du résonateur à quartz,
9. Validations du dispositif complet.

### 4.3.1 Préparation du substrat d'accueil

Pour pouvoir electroformer la couche d'or, un plan de masse doit être déposé au préalable par pulvérisation cathodique. Pour cela, une couche de titane (Ti) ou de chrome (Cr) est nécessaire pour permettre une meilleure adhésion de l'or avec le substrat. A ce titre, nous avons privilégié le titane au chrome habituellement utilisé car il est plus réceptif à la gravure par une méthode sèche. En complément, nous allons aussi étudier la tenue du flip chip sur un dépôt couche mince Cr/Au obtenu par évaporation.

Métallisation	Epaisseurs déposées	Procédé de fabrication
Ti/Au	25 nm/160 nm	électroformage ( $\leq 3 \mu\text{m}$ ) + gravure sèche
Cr/Au	20 nm/250 nm	dépôt + gravure humide

TABLE 4.4 – Matériaux et épaisseurs relatives de notre métallisation selon le procédé utilisé.

#### 4.3.1.1 Electroformage

Conformément à la figure 4.17, nous avons listé ci-dessous les différentes étapes à suivre dans le but d'obtenir une couche d'or de  $3\ \mu\text{m}$  par électroformage. Nous avons utilisé pour cela une résine positive (AZ9260) adaptée à ce type de procédé.

**Etape 1** - Nettoyage préliminaire du wafer métallisé sous un plasma oxygène (RIE Plassys) pendant 2 minutes pour enlever toute trace de résidus organiques et ainsi accroître l'adhérence de la résine<sup>98</sup>,

**Etape 2** - Enduction ( $v = 4000\ \text{tr}/\text{min}$ ,  $t = 30\ \text{s}$ ,  $a = 3000\ \text{tr}\cdot\text{min}^{-2}$ ) et recuit de la résine (6 min à  $105^\circ\text{C}$ ),

**Etape 3** - Révélation des motifs,

**Etape 4** - Nettoyage du substrat à l'acide chlorhydrique dilué à 10% dans l'eau DI pour ôter toute trace d'oxyde sur les zones non protégées par la résine,

**Etape 5** - Electroformage de la couche d'or dont les paramètres sont définis à partir des données techniques du bain<sup>99</sup> et de la surface à faire croître ( $\simeq 3916\ \text{mm}^2$ ) : le courant et le temps de process sont évalués respectivement à 190 mA et 11 minutes.

**Etape 6** - Stripage de la résine.

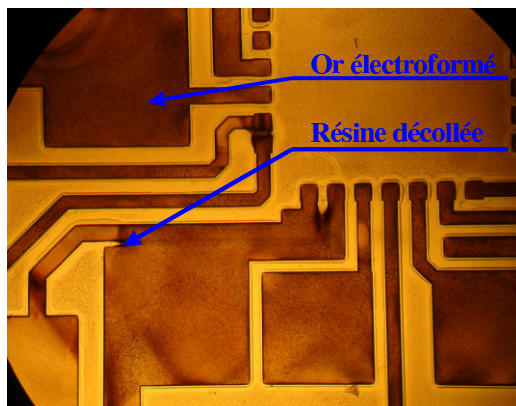


FIGURE 4.18 – Décollement de la résine impliquant une croissance de métal entre les pistes.

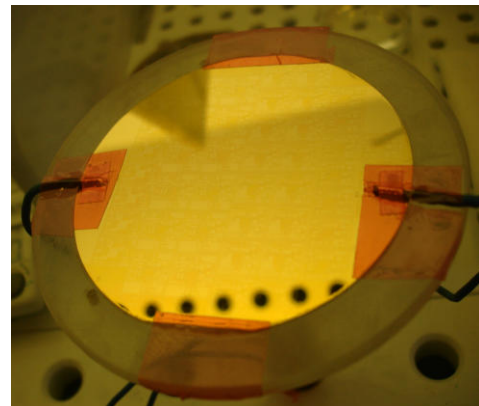


FIGURE 4.19 – Fixation mécanique du substrat pour un électroformage de la couche d'or.

L'épaisseur et le profil du dépôt métallique sont évalués à l'aide d'un profilomètre comme montré en figure 4.20. D'après les relevés, nous observons une croissance plus rapide de la couche d'or sur les flancs de la résine plutôt qu'en son centre, définissant ainsi une forme légèrement concave des surfaces de nos motifs. Après l'électroformage, il est parfois nécessaire d'effectuer un polissage mécano-chimique de la surface pour en améliorer la planéité.

98. L'évolution des propriétés physico-chimiques de la résine au cours du temps (vieillesse, conditionnement), le bain d'or (Aurocyanure ( $\text{AuK}(\text{CN})_2$ ) de pH 4), la circulation d'un courant dans le métal et la surface restante après révélation des motifs sont autant de facteurs contribuant à un décollage éventuel de cette dernière : voir exemple en figure 4.18.

99. La densité de courant admissible et la vitesse de dépôt sont fixées respectivement à  $0,5\ \text{A}/\text{dm}^2$  et  $12\ \mu\text{m}/\text{h}$ .

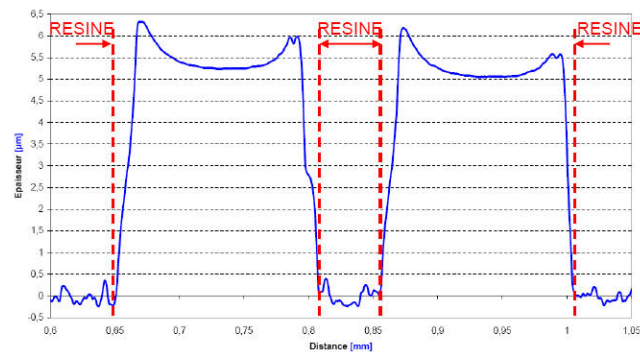


FIGURE 4.20 – Profil de la couche d'or électroformée : croissance du métal plus rapide sur les flancs.

#### 4.3.1.2 Gravure sèche

La suppression du plan de masse est réalisée par RIE avec un gaz fluoré ( $\text{SF}_6$ ) pendant 10 minutes. Les dispositifs sont finalement séparés pour être ensuite assemblés dans le boîtier TO-8. La figure 4.21 présente les trois substrats métallisés : silicium avec son dépôt électroformé (a), silicium oxydé (b) et verre (c). Ces deux derniers substrats ayant subi un simple dépôt en couche minces (Au : 250 nm).

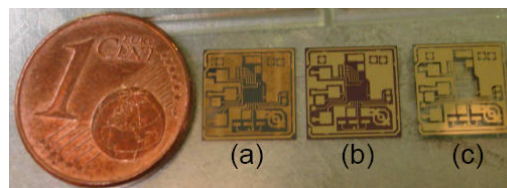


FIGURE 4.21 – Implantation des motifs sur substrat silicium (a), silicium oxydé (b) et verre (c).

#### 4.3.2 Assemblage des composants

L'assemblage des différents composants sur le substrat est réalisé en trois étapes successives. L'étape consacrée au remplissage du volume laissé vide entre la puce et le substrat à la suite du flip chip (under-filling) n'est pas mise en œuvre dans cet assemblage.

1. Dépose des ball bumps sur la puce,
2. Connexion de la puce par flip chip,
3. Placement des composants discrets ("chip capacitors" et CMS de type 0402).

##### 4.3.2.1 Dépôt des ball bumps

Les 28 ball bumps sont déposés par thermosonic bonding sur les pads en aluminium de notre puce via un ball bonder<sup>100</sup> (HB16 - TPT). Nous avons schématisé en figure 4.22 les différentes étapes machine allant de la formation de la bille à partir d'une décharge électrique (EFO : Electronic Flame-Off) jusqu'à

100. Machine de ball bonding.

la rupture du fil par pincement au moment du dégagement du capillaire. La seconde soudure indiquée sur ce schéma est caractéristique de l'étape de ball bonding visant à réaliser la seconde connexion en dehors du circuit, elle est considérée ici comme une étape fictive bien que présente dans le process.

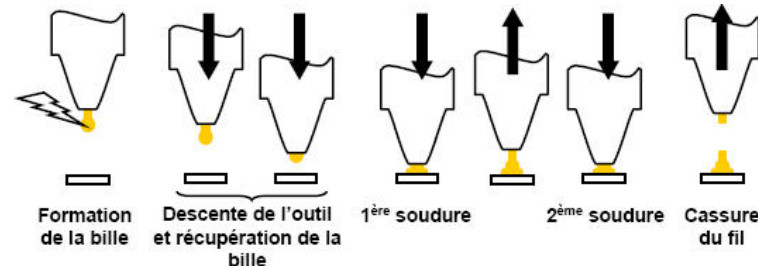


FIGURE 4.22 – Différentes étapes machine effectuées lors de la dépose d'un ball bump.

Les outillages disponibles n'étant pas adaptés au maintien mécanique (brides, préhenseurs...) de composants de très petite taille et le collage de la puce sur un support intermédiaire étant proscrit à cause du flip chip, un étai a été conçu et réalisé spécifiquement pour cette application (voir figure 4.23). Il devient alors possible de maintenir mécaniquement notre ASIC quelle qu'en soit la taille et d'assurer, par la même occasion, la continuité du flux thermique généré par le support.

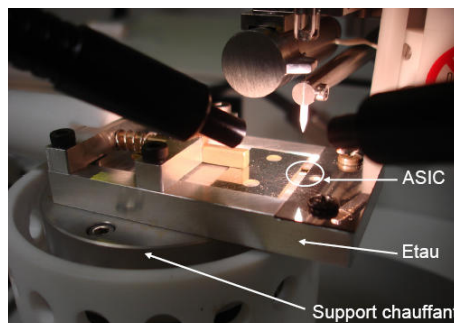


FIGURE 4.23 – Système de bridage mécanique des puces lors du dépôt des bumps.

Le diamètre des ball bumps déposés est typiquement fonction de différents paramètres tels que : le diamètre du fil ( $25 \mu\text{m}$ ), le type de capillaire utilisé et les paramètres programmés sur la machine. Ces derniers sont rapportés dans le tableau 4.5.

	<b>BOND1</b>	<b>BOND2</b>	<b>TAMPING TOOL</b>
US Power [mW]	300	-	0
Time [ms]	230	-	0
Force [mN]	300	-	400
Température du substrat [°C]	85		
EFO Power [%]	40		

TABLE 4.5 – Paramètres machine utilisés pour la dépose des ball bumps.

Comme schématisé en figure 4.22, le dégagement du capillaire après la seconde soudure ne rompt pas le fil à la jonction du bump formant ainsi une "tail" <sup>101</sup> de longueur variable (figure 4.24) et qui peut être une des causes de court-circuit suite au flip chip. Pour minimiser les risques et obtenir une hauteur de bumps suffisamment homogène, un "tamping tool" est utilisé pour écraser cette extrémité du fil sur le bump (voir paramètres en table 4.5). Les photographies MEB <sup>102</sup> pour un "stud bump" et un bump après utilisation du "tamping tool" sont montrées en figures 4.25 et 4.26 respectivement.

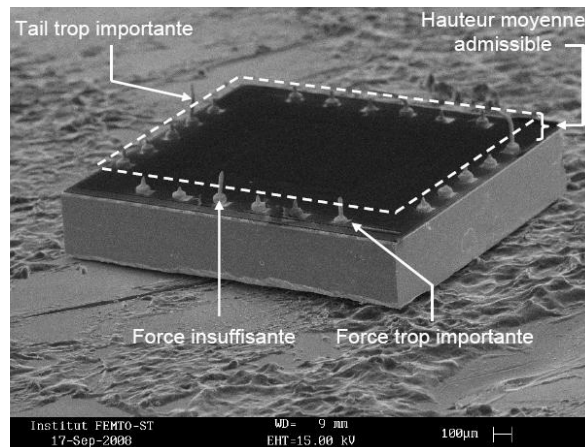


FIGURE 4.24 – Dépose non-uniforme de bumps sur la puce.

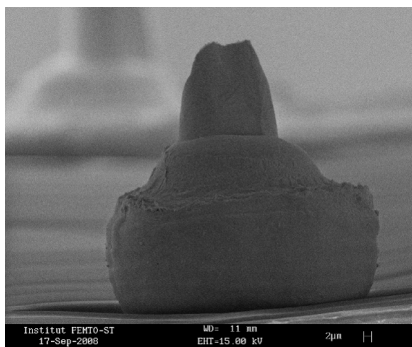


FIGURE 4.25 – Photographie MEB d'un "stud bump" déposé avec la TPT16.

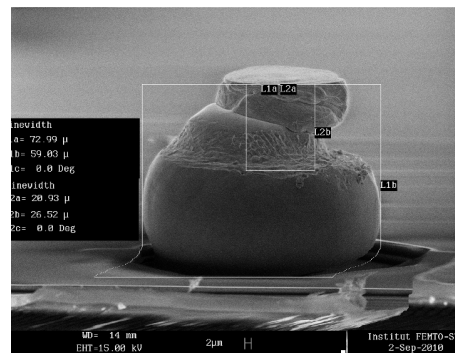


FIGURE 4.26 – Photographie MEB d'un bump après utilisation du "tamping tool".

Nous avons caractérisé le diamètre et la hauteur de 11 échantillons dont 7 correspondent à un dépôt sous-traité par l'intermédiaire de CMP (Grenoble). Les quatre restants ont été évalués après "tamping". Les résultats sont donnés en figure 4.27 pour lesquels nous obtenons en moyenne :

- Echantillons FEMTO-ST (4) : diamètre 72,6  $\mu\text{m}$ , hauteur 63,2  $\mu\text{m}$ ,
- Echantillons CMP (7) : diamètre 70  $\mu\text{m}$ , hauteur 78,3  $\mu\text{m}$ .

Des travaux complémentaires sont à mettre en œuvre pour optimiser la dépose des bumps et ainsi acquérir un meilleur contrôle de la "tail" qui peut devenir critique lors du flip chip. Afin de détruire toute trace de dépôts organiques polluant la métallisation du substrat et affectant les paramètres d'adhésion [173, 174], ce dernier a subi un nettoyage chimique préliminaire (acétone) suivi d'un plasma  $\text{O}_2$ .

101. Terme anglophone utilisé pour caractériser le bout de fil restant sur le circuit après la réalisation de la seconde soudure sur la métallisation prévue à cet effet et rupture de ce dernier par pincement.

102. MEB : Microscope Electronique à Balayage.



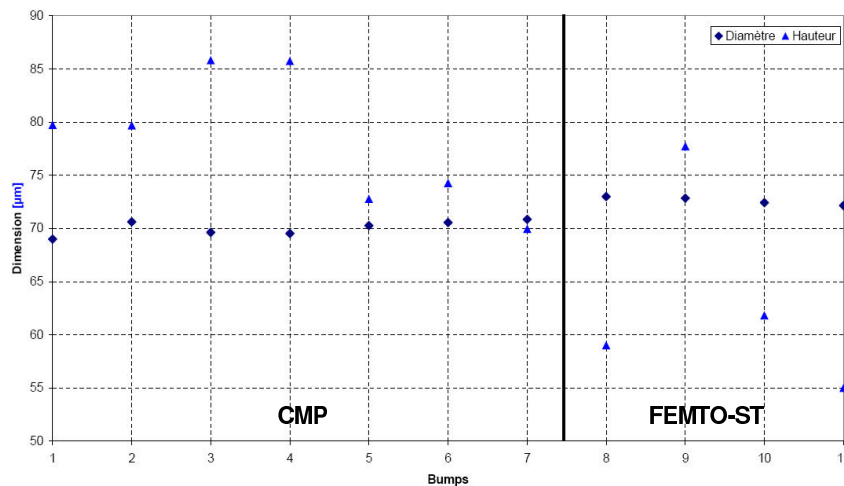


FIGURE 4.27 – Mesures du diamètre et de la hauteur des bumps déposés.

#### 4.3.2.2 Flip chip

Dans le but de paramétrer la machine de flip chip (FC250 - SET) en vue d'un assemblage par thermocompression, nous allons définir les trois paramètres importants que sont la température, la force et la durée du bonding. Différents travaux [175,176] ont permis de montrer qu'il existe une valeur de pression optimale maximisant la force de cisaillement, ainsi qu'une température critique en deçà de laquelle la liaison mécanique puce/substrat n'est pas fiable. Nous avons donc pris en considération quelques caractéristiques propres à notre ASIC et à la FC250, ainsi que les conclusions tirées de nos différents travaux effectués à l'Ecole Supérieure des Sciences et Techniques de Karlsruhe<sup>103</sup> (Allemagne) [177, 178] pour une première estimation des paramètres d'adhésion. Ces données sont listées ci-dessous :

1. Machine de flip chip :
  - Vitesse de montée en température de la puce (*Arm*) : 100°C/s,
  - Vitesse de montée en température du substrat (*Chuck*) : 1 à 2°C/s,
2. Puce réalisée :
  - Epaisseur : donnée confidentielle,
  - Nombre de bumps : 28,
3. Contraintes pour assurer une bonne adhésion (d'après [179]) :
  - Température de l'outil :  $300^{\circ}\text{C} \leq T_c \leq 360^{\circ}\text{C}$ ,
  - Force de bonding :  $115\text{g/bump} \leq F_b \leq 210\text{g/bump}$ ,
  - Temps de bonding :  $8\text{s} \leq t_b \leq 20\text{s}$ .

L'évolution de la force de bonding, de la température de la puce ( $T_{arm}$ ) et du substrat ( $T_{chuck}$ ) pour assembler notre ASIC par thermocompression est décrite par le diagramme en figure 4.28. La force totale est fixée ici à 4 kg (142 g/bumps). Elle est appliquée en deux étapes successives : dans un premier

103. Hochschule Karlsruhe Technik und Wirtschaft



temps, seule la moitié de la force totale est utilisée pour aplanir les bumps et uniformiser ainsi la surface de contact, ensuite la totalité de la force est appliquée pour réaliser le bonding proprement dit. Les températures vont par ailleurs évoluer de manière à maintenir les gradients constants au sein du système lors de l'assemblage qui ne dure typiquement que 45 secondes.

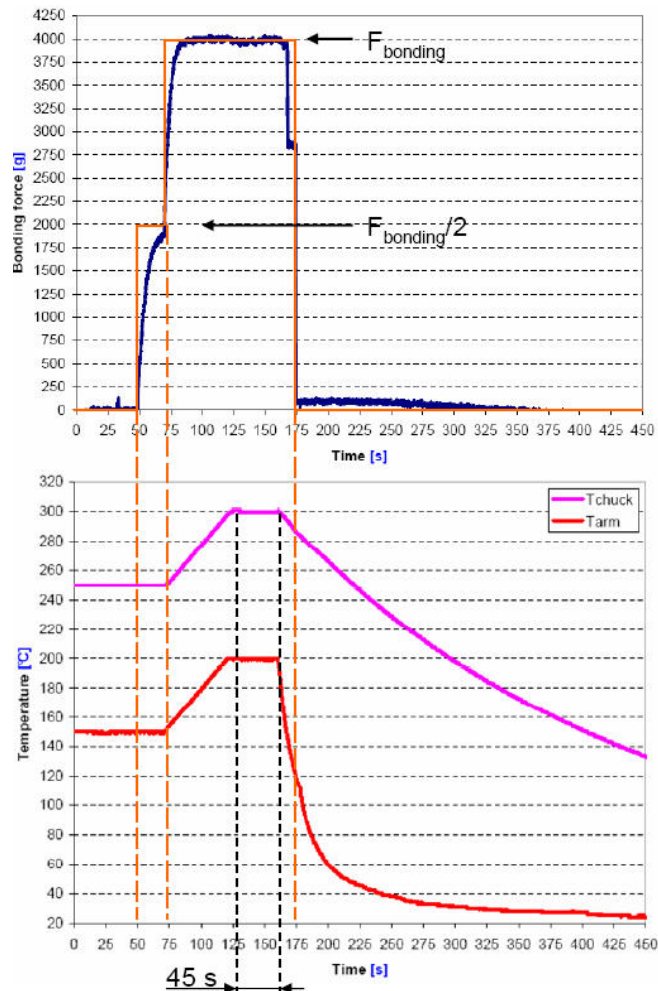


FIGURE 4.28 – Diagramme force/température utilisé lors de l'assemblage par flip chip.

Pour valider l'assemblage effectué, différents tests sont envisageables :

- **Tests mécaniques** : la tenue mécanique de la puce sur le substrat est généralement validée suite à un test de cisaillement à l'aide d'une pointe spécifique (figure 4.29). La force appliquée est définie à partir des paramètres mis en œuvre lors du flip chip ( $T_c$ ,  $F_b$ ,  $t_b$ ) [179]. Il s'agit toutefois d'une méthode destructrice, que ce soit côté puce ou substrat (métallisations - Cf figure 4.30), ne mettant pas en évidence la présence de bumps défectueux.
- **Tests électriques** : Ils peuvent être réalisés soit en faisant fonctionner la puce en conditions réelles, soit par détection éventuelle des court-circuits présents entre deux pads consécutifs lesquels sont les plus gros facteurs de risques.

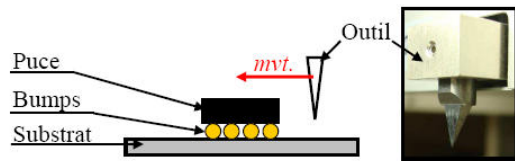


FIGURE 4.29 – Principe utilisé pour les tests de cisaillements de la puce après flip chip.



FIGURE 4.30 – Arrachement des pistes métalliques après cisaillement de la puce.

- **Tests visuels** : Si le substrat le permet (par exemple : verre, quartz...), il est possible d'observer par transparence les éventuels défauts d'alignement entre la puce et les métallisations, ainsi que les éventuelles zones en court-circuit des suites d'un écrasement trop important du bump ou d'une tail de longueur non négligeable.

Ne disposant pas de l'outillage adapté pour effectuer les tests mécaniques, nous allons nous focaliser principalement sur les tests visuels et électriques. Les tests visuels ne sont possibles qu'avec notre structure sur substrat verre dont la face inférieure est non métallisée. D'après la figure 4.31, la puce et le substrat sont légèrement désalignés et l'on peut remarquer qu'une longueur de "tail" trop importante peut nuire à la fiabilité du design final. N'ayant pas détecté de facteurs de risques en particulier, nos tests électriques seront validés lors de la mise en fonctionnement de notre démonstrateur XO.

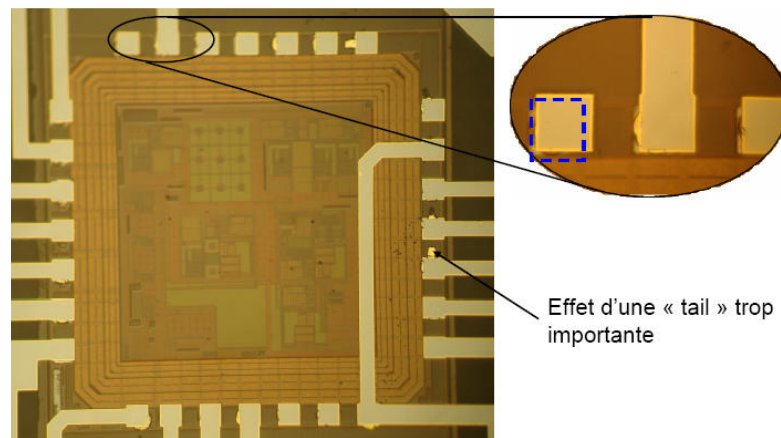


FIGURE 4.31 – Tests visuels permettant d'observer un défaut d'alignement et un risque de court-circuit (longueur de la "tail").

#### 4.3.2.3 Assemblage des composants discrets

Les composants discrets sont assemblés par collage à l'aide d'une pâte conductrice électriquement de type EPO-TEK® H20E polymérisée en étuve à une température de 120°C pendant 30 minutes. Notre substrat de report est ensuite collé dans l'embase d'un boîtier TO-8 et toutes les connexions restantes (substrat/packaging, "chip capacitors") sont réalisées par wire bonding avant le montage du résonateur. Nous

disposons finalement d'un démonstrateur opérationnel pour une première série de tests (figure 4.32).

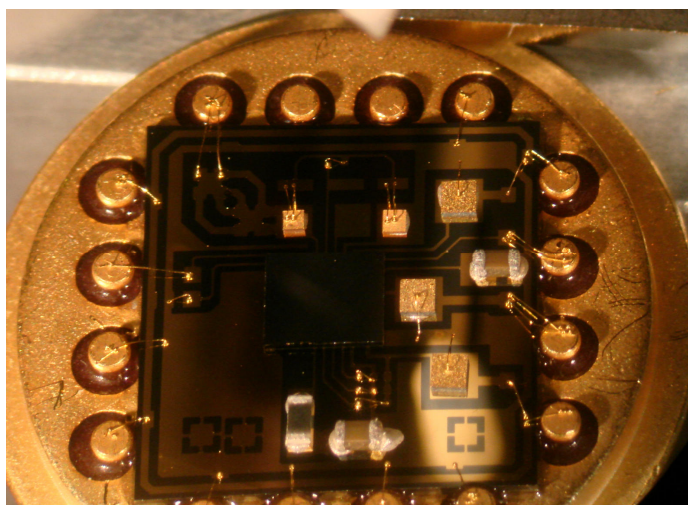


FIGURE 4.32 – Assemblage dans l'embase du TO-8.

### 4.3.3 Mise en place du résonateur à quartz

La phase de positionnement et de connexion électrique du résonateur à quartz constitue l'étape la plus critique dans ce procédé d'assemblage, cela nécessite de prendre beaucoup de précautions lors des manipulations étant donnée sa très faible épaisseur (environ  $140 \mu\text{m}$ ). Nous avons à notre disposition deux types de résonateurs :

- Une coupe AT fournie par TEMEX (Troyes) est privilégiée pour la configuration XO : résonateur de type "standard" (pastille de quartz pleine),
- Une coupe SC fabriquée au sein de l'Institut (Département Temps-Fréquence) pour une maquette d'OCXO : structure type "BVA" (2 ponts).

Pour surélever la lentille de quartz à une hauteur voisine de 3 mm, des plots conducteurs sur alumine de dimensions  $0,5 \times 0,5 \text{ mm}^2$  sont utilisés (COMPEX Corp.). Le démonstrateur XO avec son résonateur à quartz est montré en figure 4.33.

## 4.4 Caractérisations expérimentales

Nos caractérisations expérimentales ont été réalisées dans un premier temps sur des démonstrateurs utilisant un résonateur encapsulé (40 MHz AT-P3) placé en externe de manière à valider le fonctionnement de notre circuit dans cette configuration. Une carte de test spécifique a donc été réalisée pour connecter le boîtier TO-8 (figure 4.34) et les quelques composants servant aux découplages de nos alimentations. Le schéma électrique global de notre circuit est donné en figure 4.35.

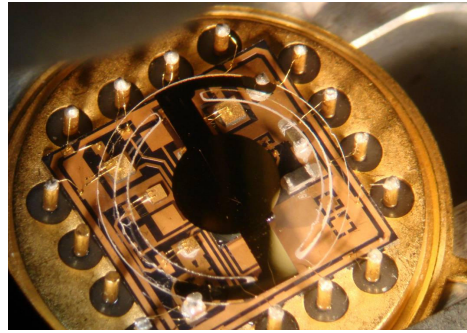


FIGURE 4.33 – Assemblage complet du démonstrateur avec un résonateur de coupe SC 40 MHz de type BVA 2 ponts.

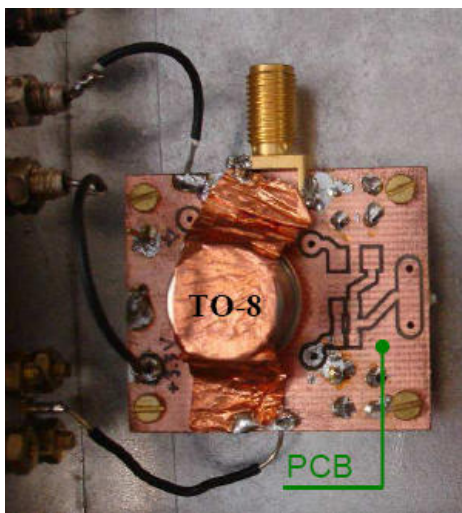


FIGURE 4.34 – Carte réalisée pour tester notre démonstrateur hybride.

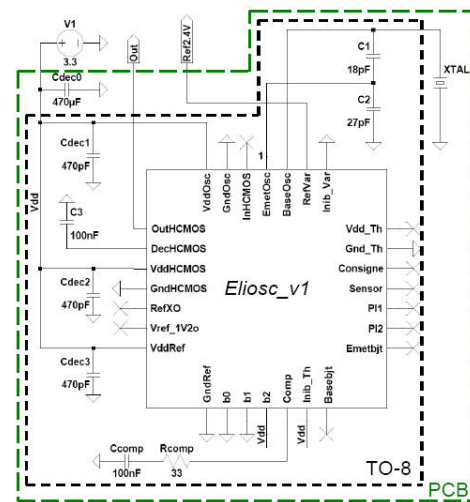


FIGURE 4.35 – Schéma électrique équivalent avec résonateur externalisé.

Bien que les tensions de polarisation de notre système restent conformes à nos résultats de simulations, une auto-oscillation de notre circuit électronique ne nous permet pas de poursuivre les tests. La fréquence caractéristique de ces oscillations est fortement dépendante de la nature du substrat de report et de la valeur des découplages implantés. Nous avons donc dû mener quelques investigations supplémentaires pour identifier l'origine de ces auto-oscillations et s'en affranchir.

#### 4.4.1 Effet des capacités externalisées

Pour ne pas avoir à remettre en cause l'utilisation des "chip capacitors" dans notre design, nous les avons toutes remplacées par des CMS (type 0402) de valeurs équivalentes. De plus, nous avons aussi réalisé un montage supplémentaire en augmentant certaines de ces valeurs, tels que :

- Les découplage des alimentations placé au plus près de la puce : 470 pF  $\rightarrow$  1,2 nF.
- Le rapport de réinjection de notre cellule oscillateur (C1, C2) : (18 pF, 27 pF)  $\rightarrow$  (30 pF, 60 pF).



Ces quelques manipulations n'étant pas suffisantes pour corriger le problème, nous avons choisi de travailler sur une seconde architecture de démonstrateur pour lequel notre circuit ASIC est connecté par wire bonding. Ce travail ayant déjà été effectué lors de la validation expérimentale des performances de nos ASIC dans le chapitre 2 : montage de la puce par wire bonding sur un substrat FR-4 (PCB).

#### 4.4.2 Test complémentaire : assemblage en wire bonding

Pour réaliser ce démonstrateur, nous avons utilisé un boîtier DIL de dimensions  $20 \times 12,5 \text{ mm}^2$  pour y reporter un nouveau substrat permettant d'assurer la connexion de la puce *Eliosoc\_v1* par une technique de ball bonding. Nous avons défini ce type de boîtier en remplacement du TO-8 précédent étant donné que la taille de cette interface n'est pas dimensionnée à l'optimum pour notre application en XO (Cf figure 4.37). Comme montré en figure 4.38, nous avons conservé les chip capacitors et les CMS 0402 pour assurer découplages et autres compensations nécessaires au bon fonctionnement de la puce. En plaçant nos capacités au plus près de la puce, il nous est possible de réduire au minimum les longueurs de nos fils de bonding en profitant de l'épaisseur des différentes puces (Cf figure 4.36). Pour minimiser la résistance de la masse en dehors de notre circuit, nous avons fait en sorte d'augmenter le nombre de contacts vers l'embase du boîtier.

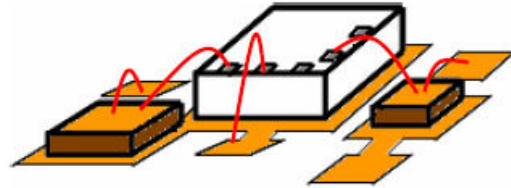


FIGURE 4.36 – Réduction des interconnexions filaires par placement des capacités au plus près de l'ASIC.



FIGURE 4.37 – Assemblage de notre ASIC dans un boîtier DIL ( $20 \times 12,5 \text{ mm}^2$ ).

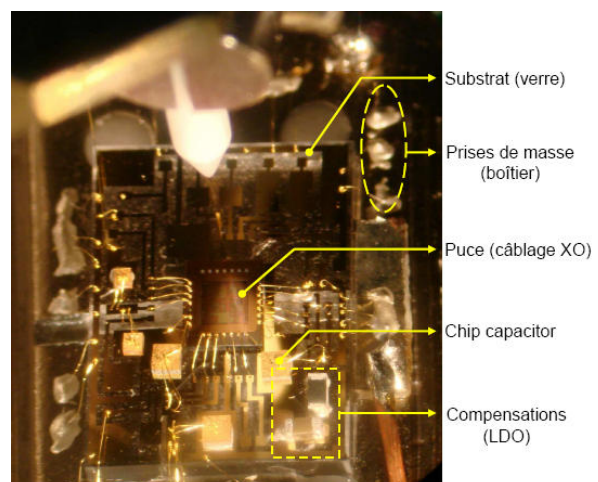


FIGURE 4.38 – Assemblage en wire bonding de l'ASIC sur substrat verre.

Par une méthode de caractérisation similaire, nous observons le même type d'instabilités pour ce nouveau démonstrateur. Sachant que cette technique d'assemblage reste relativement bien maîtrisée au

sein de l'institut FEMTO-ST, nous pouvons conclure que les effets liés au substrat sont sans doute la principale cause de dysfonctionnement de nos électroniques.

#### 4.4.3 Effets parasites propres au substrat

En agissant sur les tailles de nos dispositifs pour obtenir une structure miniature intégrable dans le boîtier TO-8, nous avons augmenté les risques de couplages capacitifs entre les pistes conductrices. Par simulation, nous avons mis en évidence certaines capacités qui sont considérées comme critiques pour le fonctionnement de notre cellule oscillateur : rapport de réinjection et capacité statique. Les valeurs obtenues dans les graphes en figure 4.15 sont rapportées dans le tableau 4.6. Nous avons donc privilégié l'utilisation d'un substrat en verre pour reporter nos composants, bien que cela implique une mauvaise compatibilité thermo-mécanique entre la puce et le substrat. Elle pourra alors être compensée grâce à un underfill.

Substrats	Si	SiO <sub>2</sub>	Verre
$C_B$	1,42 pF	1,4 pF	0,405 pF
$C_E$	1,07 pF	0,98 pF	0,308 pF
$C_{BE}$	74,5 fF	69,5 fF	58,5 fF

TABLE 4.6 – Valeurs des capacités parasites extraites par simulations pour différents types de substrats.

Les résistances parasites définies par les paramètres technologiques ( $R_{\square}$ ) et géométriques ( $L/W$ ) des métallisations déposées en couches-minces restent finalement un des points faibles de notre design miniature. En effet, les épaisseurs de métal et la surface réduite de notre substrat font intervenir des valeurs résistances non négligeables qui sont parfois localisées à des endroits critiques de notre structure et vont avoir des contributions similaires aux couplages par le substrat que l'on rencontre dans un circuit intégré. En confrontant quantitativement deux types de structures, nous pouvons parfaitement obtenir une estimation réaliste des résistances parasites (Cf tableau 4.7) relatives aux cas suivants :

- Circuit imprimé (exemple en figure 2.59) : l'épaisseur typique de cuivre déposée est de 35  $\mu\text{m}$ , les longueurs / largeurs des pistes exprimées en [mm] sont de l'ordre de 10 / 0,8.
- Circuit hybride (exemple en figure 4.37) : l'épaisseur d'or déposée est de 250 nm, les longueurs conductrices sont inférieures à 5 mm et les largeurs sont au minimum égales à 100  $\mu\text{m}$ .

Paramètres	Cu	Au
Technologique ( $R_{\square}$ )	0,5 m $\Omega$	90 m $\Omega$
Physique ( $L/W$ )	12,5	50
Résistance	6,25 m $\Omega$	4,5 $\Omega$

TABLE 4.7 – Résistances parasites équivalentes.

Bien que nous ne l'ayons pas pris en considération lors de nos simulations, le maintien en température du substrat lors de la mise en place des différents composants va contribuer à une accélération de la diffusion du métal dans ce dernier. Ce phénomène a donc pour conséquence d'augmenter les effets parasites R et C de notre circuit (voir figure 4.39).

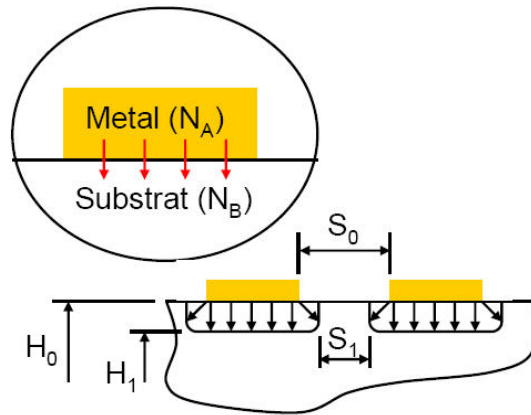


FIGURE 4.39 – Phénomène de diffusion dans le substrat :  $N_A$  et  $N_B$  représentent les concentrations d'atomes dans les milieux A (métallisation) et B (substrat).

Pour ce dernier travail, nous avons choisi d'utiliser un des ASIC développé et validé expérimentalement au cours des chapitres précédents dans le but de concevoir un dispositif XO miniature regroupant l'électronique et le résonateur à quartz dans un unique boîtier de diamètre 15,2 mm. Pour cela, nous avons réalisé une interface spécifique sur un substrat permettant de minimiser les couplages parasites et conserver une bonne compatibilité thermo-mécanique avec la puce suite à son report par flip chip. Malgré toutes les précautions prises durant la fabrication et l'assemblage, nous observons des auto-oscillations de l'électronique au moment des tests expérimentaux qui ne nous permettent donc pas de valider les performances de ce démonstrateur. Différentes investigations ont donc été menées pour identifier les causes de ces dysfonctionnement et donc des travaux complémentaires sont finalement nécessaires pour :

- Permettre une meilleure maîtrise de l'homogénéité des bumps lors de la dépose avec la machine de ball bonding,
- Travailler avec des épaisseurs de métal plus importantes pour réduire les résistances parasites de notre circuit,
- Réévaluer la valeur du pas et l'agencement des entrées/sorties de la puce (ajout de masses) dans le but d'augmenter la surface de nos empreintes ainsi que la largeur des pistes.
- Définir une stratégie de simulation et d'extraction des influences du routage sur la réponse électrique du circuit. Et par la suite, pouvoir établir un fichier technologique utilisable sous ASSURA™ RCX pour une extraction des paramètres électriques équivalents du circuit réalisé en salle blanche de manière à tenir compte de ces effets lors des simulations.

# Conclusion générale et perspectives

L'ASIC qui a été développé dans le cadre du projet européen "Euroscil" regroupe, sur une surface ne dépassant pas  $2 \times 2 \text{ mm}^2$ , une cellule oscillateur et ses étages RF de sortie pour la mise en forme et l'adaptation du signal à une charge spécifique ainsi que les structures servant aux polarisations de ces fonctions. Ce design réalisé en technologie  $0,35 \mu\text{m}$  SiGe BiCMOS de chez Austriamicrosystems® fonctionne sous une tension de  $3,3 \text{ V} \pm 10\%$  et consomme une puissance inférieure à 100 mW. Les cellules RF ont été optimisées pour fonctionner avec un résonateur à quartz externe travaillant à la fréquence particulière de 40 MHz. Toutefois, en agissant sur le rapport de réinjection du circuit d'entretien défini par deux capacités externalisées, il est possible d'utiliser des résonateurs ou autres circuits résonnants sur une gamme de fréquence de 10 MHz à 100 MHz.

## 1 Conception et réalisation des ASIC

Lors de la conception d'un oscillateur à fort coefficient de qualité (ici  $Q_0 = 240000$  à 40 MHz), on doit s'affranchir des constantes de temps liées au régime transitoire. Pour permettre au signal d'atteindre le régime établi, il est nécessaire de prévoir des temps de simulation relativement longs. Pendant la phase de dimensionnement et de validation des performances de notre cellule oscillateur, nous avons utilisé diverses analyses disponibles sous le simulateur SPECTRE® et qui sont adaptées à ce type de circuits : analyse PSS (Periodic Steady-State), analyse *pnoise* (analyse de bruit  $\equiv$  bruit de phase)... L'analyse PSS permet de se placer au point de point de fonctionnement grand-signal du circuit qui évolue de manière périodique, c'est donc une analyse de référence à la simulation de systèmes autonomes périodiques. Au travers de la PSS, nous avons mis en œuvre la méthode dipolaire qui consiste à évaluer l'impédance négative du circuit d'entretien en grand-signal ( $Z_d(I, \omega)$ ) tout en s'affranchissant des effets du coefficient de qualité sur le transitoire. Cette approche a été validée lors des caractérisations temporelles de l'amplitude crête du courant circulant dans la branche mot ionnelle du résonateur à quartz. Nous nous sommes aussi intéressés aux conditions d'oscillations au démarrage par application du critère du Nyquist en étudiant la réponse en boucle ouverte de notre cellule.

A partir des résultats de simulation et des caractérisations expérimentales effectuées dans le but de valider les performances de nos ASIC, nous avons pu mettre en avant l'impact du bruit basse fréquence introduit par les polarisations sur la réponse en bruit de phase relevée en sortie des étages RF.



Bien qu'ayant intégré des compensations spécifiques à l'atténuation des remontées de bruit initialement présentes à hautes fréquences, nous observons une dégradation significative de la réponse en bruit de phase mesurée. Il est donc important :

- de prévoir l'utilisation de composants externes pour filtrer et ainsi introduire des coupures supplémentaires de manière à améliorer le bruit blanc de phase.
- d'améliorer l'isolation des cellules sensibles de celles qui sont intrinsèquement plus bruitées.
- d'envisager une externalisation des étages de polarisation dans un second circuit pour minimiser les risques de pollution des cellules sensibles et gagner en performances sur les cellules concernées.
- de prévoir la conception d'une cellule bandgap et d'amplificateurs en profitant des avantages que peut offrir la technologie SiGe (bruit, surface silicium...) par rapport aux technologies CMOS classiques. Ce travail consistant à trouver un compromis entre l'amélioration en bruit flicker sans pour autant dégrader le plancher de bruit blanc.

## 2 Intégration d'une régulation en température

Le résonateur à quartz étant sensible à la température, sa fréquence variant en fonction de cette grandeur physique tend à dégrader les performances globales de l'oscillateur réalisé. Pour en minimiser les effets, le résonateur est maintenu à une température constante à l'aide d'un thermostat et une structure mécanique suffisamment massive est utilisée en complément pour bénéficier d'un meilleur filtrage des phénomènes ambiants. Dans ce type d'architecture, l'isolation est un critère fondamental pour réduire les puissances nécessaires au maintien en température lors du régime établi, bien que pour accélérer le *warm-up* des puissances importantes soient mises en jeu.

En cherchant à miniaturiser ce type de structure, nous avons intégré dans l'ASIC, servant aux applications XO, certains composants nécessaires à la réalisation d'une régulation en température. Des choix technologiques ont donc été effectués suivant les caractéristiques de l'architecture mécanique retenue et celles de notre ASIC (dimensions, nombre d'E/S, consommation...). Des éléments tels que le capteur de température qui doit être placé au plus près du résonateur, les étages de puissance, la consigne spécifique au capteur utilisé et la correction PI n'ont alors pas été intégrés.

Lors du dimensionnement des composants intégrés de notre régulation, une modélisation comportementale en Verilog-AMS<sup>®</sup> a été utilisée pour des éléments comme la thermistance (modèle de Steinhart-Hart) ou le transistor de puissance (modèle Gummel-Poon) dans le but de rendre compte des effets d'auto-échauffement qui vont jouer sur les polarisations électriques du système. Cette approche peut alors être adaptée à des modèles plus complexes pour lesquels il est possible de rendre compte des comportements mécaniques, électroniques, thermiques...

### 3 Le démonstrateur miniature

Pour mettre en application l'ASIC développé et ainsi profiter de l'intégration d'un maximum de fonctions électroniques dans une puce de taille réduite, nous avons choisi de finaliser ce travail en réalisant un démonstrateur miniature. Ce dispositif va alors nous permettre de regrouper dans un unique boîtier (TO-8) les composantes principales d'un XO : le circuit oscillateur et le résonateur à quartz. Dans ce but, nous avons réalisé en salle blanche une interface spécifique pour assurer la liaison mécanique et électrique entre les différents composants.

En cherchant à réduire de manière significative les surfaces d'accueil de nos électroniques (ASIC et quelques composants discrets), certains effets parasites deviennent prépondérants et doivent alors être maîtrisés pour ne pas dégrader les performances attendues. Nous nous sommes donc intéressés à la problématique des structures hybrides et aux différentes techniques d'assemblages utilisées dans l'industrie électronique. Ainsi,

- Le substrat est choisi pour sa faible permittivité afin de minimiser les couplages capacitifs et conserver une bonne compatibilité thermo-mécanique avec la puce.
- Le report de l'ASIC est réalisé par flip chip pour ses nombreux avantages par rapport au wire bonding (électrique, thermique et mécanique).
- Les quelques composants requis en externe sont choisis principalement pour leur faible taille (chip capacitors et CMS de type 0402) et pour être manipulables sans outillages spécifiques.

Lors de nos premiers tests expérimentaux, nous avons conservé le résonateur (40 MHz AT-P3) encapsulé dans son propre boîtier pour valider indépendamment la fiabilité du circuit reporté par flip chip. Dans cette application, nous observons des auto-oscillations de notre électronique que nous avons identifié comme pouvant provenir d'un excès de résistance de nos métallisations et d'un manque important de découplages dans notre circuit. Dans de futurs travaux, il est donc important de prévoir :

- Une augmentation de l'épaisseur des métallisations pour réduire la résistance parasite du circuit.
- Des prises de masses supplémentaires dans notre design ASIC et éventuellement des éléments de découplage et de filtrage.
- Des tests de validation de la tenue mécanique de la puce (cisaillement) sur diverses épaisseurs de métallisation.
- Une extraction des effets parasites du substrat à partir des propriétés physiques des dépôts métalliques pour bénéficier d'un modèle de simulation utilisable sous SPECTRE®. Dans ce but, il est intéressant de mettre à contribution les outils Cadence® utilisés au moment du développement des masques (salle blanche) à partir d'un fichier technologique spécifique.

Avec le développement spectaculaire des applications nomades où les oscillateurs doivent conserver des performances métrologiques avec des dimensions, des consommations et des coûts très réduits, la

### *Conclusion générale et perspectives*

---

maîtrise de l'intégration et des outils associés constitue un enjeu stratégique dans la course à l'innovation. Nous espérons que ce travail constituera une contribution utile dans ce domaine.

# Bibliographie

- [1] M. E. FRERKING, “*Fifty Years of Progress in Quartz Crystal Frequency Standards*”. In *Proceedings of the 1996 IEEE International Frequency Control Symposium*, pages 33–46 (1996).
- [2] J. R. NORTON et J. M. CLOEREN, “*Brief History of the Development of Ultra-Precise Oscillators for Ground and Space Applications*”. In *Proceedings of the 1996 IEEE International Frequency Control Symposium*, pages 47–57 (1996).
- [3] J. MILLMAN et A. GRABEL, *Microelectronique*. McGraw-Hill, Paris (1988). ISBN :2-7042-1185-X (édition française), 1022p.
- [4] P. R. MORRIS, *A History of the World Semiconductor Industry*. Institution Of Engineering And Technology (1990). ISBN :978-0863412271, 184p.
- [5] H. HERTZ, *Electric waves : being researches on the propagation of electric action with finite velocity through space*. Dover Publications (1893). 278p.
- [6] N. TESLA, “*Electrical Oscillators*”. *Electrical Experimenter*, pages 228, 229, 259, 260, 276, July 1919.
- [7] R. HARTLEY, United States Patent 1,356,763 (1920).
- [8] E. H. COLPITTS, “*Oscillation Generator*”. United States Patent 1,624,537 (1918).
- [9] W. G. CADY, “*The piezoelectric resonator*”. *Physical Review*, **17**, 531–533, 1921.
- [10] G. W. PIERCE, “*Piezoelectric Crystal Resonators and Crystal Oscillators applied to The Precision Calibration of Wavemeters*”. *Proceedings of the American Academy of Arts and Sciences*, **59**(4), 81–106, 1923.
- [11] W. A. MARRISON, “*The Evolution of the Quartz Crystal Clock*”. *Bell Sys. Tech. Journal*, **27**, 510–588, July 1948.
- [12] R. S. OHL, “*Light-sensitive energy device*”. United States Patent 2,402,662 (1941).
- [13] J. BARDEEN et W. BRATTAIN, “*The Transistor, a Semi-Conductor Triode*”. *Physical Review*, **74**, 230–231, July 1948.
- [14] J. BARDEEN, “*Semiconductor research leading to the point contact transistor*”. *Nobel Lectures, Physics 1942-1962*, pages 318–341, December 1956.

- [15] W. H. BRATTAIN, “*Surface properties of semiconductors*”. Nobel Lectures, Physics 1942-1962, pages 377–384, December 1956.
- [16] W. SHOCKLEY, “*The theory of PN junctions in semiconductors and PN junction transistors*”. Bell System Tech. J., **28**(3), 435, July 1949.
- [17] W. SHOCKLEY, “*Transistor technology evokes new physics*”. Nobel Lectures, Physics 1942-1962, pages 344–374, December 1956.
- [18] J. K. CLAPP, “*An inductance-capacitance oscillator of unusual frequency stability*”. In *Proceedings of the Institute of Radio Engineers*, pages 356–358 (1948).
- [19] W. SHOCKLEY, M. SPARKS et G. K. TEAL, “*p-n Junction Transistors*”. Physical Review, **83**(1), 151–162, July 1951.
- [20] P. G. SULZER, “*Transistor Frequency Standard*”. Electronics, **59**(4), 206–214, May 1953.
- [21] M. TANENBAUM, L. B. VALDES, E. BUEHLER et N. B. HANNAY, “*Silicon n-p-n Grown Junction Transistors*”. Journal of Applied Physics, **26**(9), 686–692, June 1955.
- [22] J. ANDRUS et W. L. BOND, “*Photoengraving in transistor fabrication*”. In F. J. BIONDI, éditeur, *Transistor Technology Vol 3*, pages 151–162, New-Jersey (1958). Van Nostrand Reinhold Company Inc.
- [23] J. S. KILBY, “*Invention of the Integrated Circuit*”. IEEE Transactions on Electron Devices, **23**(7), July 1976.
- [24] J. S. KILBY, “*Turning Potential into Realities : The Invention of the Integrated Circuit*”. Nobel Lectures, Physics 2000, pages 474–485, December 2000.
- [25] D. KAHNG, “*Electric field controlled semiconductor device*”. United States Patent 3,102,230 (1960).
- [26] E. P. EERNISSE, “*Quartz Resonator Frequency Shifts Arising From Electrode Stress*”. In *Proceedings of the 29th Annual Symposium on Frequency Control*, pages 1–4 (1975).
- [27] R. J. BESSON, “*A New Electrodeless Resonator Design*”. In *Proceedings of the 31st Annual Symposium on Frequency Control*, pages 147–152 (1977).
- [28] S. S. IYER, G. L. PATTON, S. L. DELAGE, S. TIWARI et J. M. C. STORK, “*Silicon-germanium base heterojunction bipolar transistors by molecular beam epitaxy*”. Tech. Dig. IEEE Int. Elect. Dev. Meeting, pages 874–876, 1987.
- [29] E. P. EERNISSE, R. W. WARD et R. B. WIGGINS, “*Survey of Quartz Bulk Resonator Sensor Technologies*”. IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control, **35**(3), 323–330, May 1988.
- [30] D. L. HAMMOND et A. BENJAMINSON, “*The crystal resonator - A digital transducer*”. IEEE Spectrum, **6**(4), 53–58, April 1969.
- [31] L. SPASSOV, E. YOSSIFFOV, V. GREGORIEV et L. VERGOV, “*A rotated Y-cut quartz resonator with a linear temperature-frequency characteristic*”. Sensor and Actuator, **A58**, 185–189, 1997.

- 
- [32] B. DULMET, L. SPASSOV, R. BOURQUIN, A. IVAN, Ts. ANGELOV et J. LAZAROV, “*Design of a new miniature resonant temperature sensor in NLC-cut of quartz*”. In *Proceedings of the 19th European Frequency and Time Forum*, pages 621–628 (2005).
- [33] A. BALLATO, E. P. EERNISSE et T. LUKASZEK, “*The force-frequency effect in doubly rotated quartz resonator*”. In *Proceedings of the 31st Annual Symposium Frequency Control*, pages 426–430 (1980).
- [34] B. DULMET, P. TINGUY, L. SPASSOV et J. LAZAROV, “*Last improvements in the analysis of resonant strip sensors*”. In *IEEE International Frequency Control Symposium 2007 Joint with the 21st European Frequency and Time Forum*, pages 363–368 (2007).
- [35] B. PARZEN, *Design of Crystal and Other Harmonic Oscillator*. Wiley-Interscience Press, New-York (1982). ISBN :0-471-08819-6, 474p.
- [36] H. E. BÖMMEL, W. P. MASON et A. W. WARNER, “*Dislocations, Relaxations and Anelasticity of Crystal Quartz*”. *Physical Review*, **102**(1), 64–71, April 1956.
- [37] E. A. GERBER, “*VHF Crystal Grinding*”. *Electronics*, pages 161–163, March 1954.
- [38] M. BERNSTEIN, “*Increased Crystal Unit Resistance at Oscillator Noise Level*”. In *Proceedings of the 21th Annual Symposium on Frequency Control*, pages 244–258 (1967).
- [39] S. NONAKA, T. TUUKI et K. HARA, “*The Current Dependency of Crystal Unit Resistance*”. In *Proceedings of the 25th Annual Symposium on Frequency Control*, pages 139–147 (1971).
- [40] J. R. VIG, “*Military Applications of High Accuracy Frequency Standards and Clocks*”. *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, **40**, 522–527, 1993.
- [41] N. M. NGUYEN et R. G. MEYER, “*Start-up and Frequency Stability in High-Frequency Oscillators*”. *IEEE Journal of Solid-State Circuits*, **27**, 810–820, May 1992.
- [42] Y. RICHARD et J. M. TAROT, “*Analog Asic Design for Miniature Temperature Compensated Crystal Oscillators*”. In *Proceedings of the 9th European Frequency and Time Forum*, pages 362–363 (1995), poster session.
- [43] S. KOVITA, A. MYASNIKOV, A. ISAKOV, A. BORISENKO et O. SOKOLOV, “*High Precision IC Quartz Oscillator*”. In *Proceedings of the 10th European Frequency and Time Forum*, pages 176–179 (1996).
- [44] E. A. VITTOZ, M. G. R. DEGRAUWE et S. BITZ, “*High-Performances Crystal Oscillator Circuits : Theory and Applications*”. *IEEE Journal of Solid-State Circuits*, **23**(3), 774–783, June 1988.
- [45] R. G. MEYER et D. C.-F. SOO, “*MOS Crystal Oscillator Design*”. *IEEE Journal of Solid-State Circuits*, **SC-15**(2), 222–228, April 1980.
- [46] M. UNKRICH et R. G. MEYER, “*Conditions for Start-Up in Crystal Oscillators*”. *IEEE Journal of Solid-State Circuits*, **SC-17**(1), 87–90, February 1982.

- [47] J. T. SANTOS et R. G. MEYER, “A One Pin Crystal Oscillator for VLSI Circuits”. IEEE Journal of Solid-State Circuits, **19**(2), 228–236, April 1984.
- [48] R. BRENDÉL, D. GILLET, Y. GRUSON, F. LARDET-VIEUDRIN, G. SOTO-ROMERO, B. DULMET, S. GALLIOU, F. STHAL, B. GUICHARDAZ, J.-C. JEANNOT et F. ROSA, “Sonde de Température Intégrée à Quartz : Projet STIX”. Rapport de synthèse, FEMTO-ST (2006).
- [49] H. KIM, T. JACKSON, J. LIM, K. CHOI et D. KENNY, “Direct mounting of quartz crystal on a CMOS PLL chip”. In *IEEE International Frequency Control Symposium and Exposition*, pages 165–168 (2004).
- [50] W. W. GÄRTNER, *Transistors Principles, Design, and Applications*. The Van Nostrand Series in Electronics and Communications. Van Nostrand Company Inc., New-Jersey (1960). 692p.
- [51] NATIONAL SEMICONDUCTOR, “Electrical Performance of Packages”. Application Note 1205, National Semiconductor (2001). website : [www.national.com](http://www.national.com).
- [52] T. SAKURAI et K. TAMARU, “Simple Formulas for Two-and Three-Dimensional capacitances”. IEEE Transactions on Electron Devices, **30**(2), 183–185, February 1983.
- [53] O. L. ANDERSON, H. CHRISTENSEN et P. ANDREATCH, “Technique for Connecting Electrical Leads to Semiconductors”. Journal of Applied Physics, **28**(8), 923, August 1957.
- [54] B. CHYLAK, S. KUMAR et G. PERLBERG, “Optimizing the Wire Bonding Process for 35- $\mu$ m Ultra-Fine-Pitch Packages”. In *SEMICON Singapore* (2001).
- [55] Z. LAI et J. LIU, “The Nordic Electronics Packaging Guideline” (2000). URL : <http://extra.ivf.se/ngl/A-WireBonding/ChapterA.htm>.
- [56] F. W. GROVER, *Inductance Calculations : Working Formulas and Tables*. Dover Phoenix Editions, New-York (2004). ISBN : 0-486-49577-4, 304p.
- [57] F. ALIMENTI, P. MEZZANOTTE, L. ROSELI et R. SORRENTINO, “Modeling and characterization of the bonding-wire interconnection”. IEEE Transactions on Microwave Theory and Techniques, **49**(1), 142–150, January 2001.
- [58] H. H. M. GHOUZ et E.-B. EL-SHARAWY, “An accurate equivalent circuit model of flip chip and via interconnects”. IEEE Transactions on Microwave Theory and Techniques, **44**(12), 2543–2554, December 1996.
- [59] P. E. ALLEN et D. R. HOLBERG, *CMOS Analog Circuit Design*. Oxford University Press, New-York, Second edition (2002). ISBN :0-19-511644-1, 784p.
- [60] J. D. CRESSLER et G. NIU, *Silicon-Germanium Heterojunction Bipolar Transistors*. Artech House Inc., London (2003). ISBN :1-58053-361-2, 570p.
- [61] Austriamicrosystems AG, “Analog Standard Cell Mixed-Signal Hit-Kit”. Datasheets (NC).
- [62] K. S. KUNDERT, *The Designer’s Guide to Spice and Spectre*. Kluwer Academic Publishers, Boston (1995). ISBN :0-7923-9571-9, 404p.

- 
- [63] Cadence Design System Inc. *Virtuoso Spectre Circuit Simulator RF Analysis Theory*, product version 6.2 (2007).
- [64] R. BRENDDEL, D. GILLET, N. RATIER, F. LARDET-VIEUDRIN et J. DELPORTE, “*Nonlinear Dipolar Modelling of Quartz Crystal Oscillators*”. In *Proc. of 14th EFTF* (2000).
- [65] M. ADDOUCHE, N. RATIER, D. GILLET, R. BRENDDEL, F. LARDET-VIEUDRIN et J. DELPORTE, “*Modeling of quartz crystal oscillators by using nonlinear dipolar method*”. *IEEE Trans. on UFFC*, **50**(5), 487–495, May 2003.
- [66] M. ADDOUCHE, N. RATIER, D. GILLET, R. BRENDDEL, F. LARDET-VIEUDRIN et J. DELPORTE, “*ADOQ : A quartz crystal oscillator simulation software*”. In *Proc. of the 55th IEEE IFCS, Seattle, USA*, pages 753–757 (2001).
- [67] M. ADDOUCHE, *Modélisation Non Lineaire des Oscillateurs à Quartz, Développement d’un Logiciel de Simulation*. Thèse de doctorat, UFR des Sciences et Techniques de l’Université de Franche-Comté (2002).
- [68] F. CHIROUF, *Développement d’un logiciel industriel d’aide à la conception des oscillateurs à quartz*. Thèse de doctorat, UFR des Sciences et Techniques de l’Université de Franche-Comté (2005).
- [69] A. S. SEDRA et K. C. SMITH, *Microelectronic Circuits*. Oxford University Press, Fifth edition (2007). ISBN :978-0195338836, 1392p.
- [70] R. D. MIDDLEBROOK, “*Measurement of Loop Gain in Feedback Systems*”. *Int. J. of Electronics*, **38**, 485–512, April 1975.
- [71] R. D. MIDDLEBROOK, “*The General Feedback Theorem : A Final Solution for Feedback Systems*”. *IEEE Microwave Magazine*, **7**(2), 50–63, April 2006.
- [72] M. TIAN, V. VISVANATHAN, J. HANTGAN et K. KUNDERT, “*Striving for Small-Signal Stability*”. *IEEE Circuits and Devices Magazine*, **17**(1), 31–41, January 2001.
- [73] D. B. LEESON, “*A simple model of feedback oscillator noise spectrum*”. *Proc. IEEE*, **54**, 329–330, February 1966.
- [74] G. SAUVAGE, “*Phase Noise in oscillators : a mathematical analysis of Leeson model*”. *IEEE Transaction on Instrumentation and Measurement*, **IM26**(4), 408–410, December 1977.
- [75] A. HAJIMIRI et T. H. LEE, “*A General Theory of Phase Noise in Electrical Oscillators*”. *IEEE Journal of Solid-State Circuits*, **33**(2), 179–194, February 1998.
- [76] T. H. LEE et A. HAJIMIRI, “*Oscillator Phase Noise : A Tutorial*”. *IEEE Journal of Solid-State Circuits*, **35**(3), 326–336, March 2000.
- [77] A. MEHROTRA et A. SANGIOVANNI-VINCENTELLI, *Noise Analysis of Radio Frequency Circuits*. Kluwer Academic Publishers (2004). ISBN :978-1-402-07657-2, 207p.



- [78] U. L. ROHDE, A. K. PODDAR et G. BÖCK, *The Design of Modern Microwave Oscillators for Wireless Applications Theory and Optimization*. John Wiley & Sons, New-Jersey (2005). ISBN :0-471-72342-8 559p.
- [79] E. RUBIOLA, *Phase Noise and Frequency Stability in Oscillators*. Cambridge University Press, New-York (2009). ISBN :978-0-521-15328-7, 226p.
- [80] E. RUBIOLA et R. BRENDL, “A generalization of the Leeson effect”. Rapport technique arXiv : 1004.5539v1, FEMTO-ST, physics.ins-det (2010).
- [81] A. HASTINGS, *The Art of ANALOG LAYOUT*. Pearson Prentice Hall, New-Jersey, Second edition (2006). ISBN :0-13-129329-X, 672p.
- [82] B. RAZAVI, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, First edition (2000). ISBN :978-0-07-2380323, 684p.
- [83] R. J. BAKER, *CMOS Circuit Design, Layout, and Simulation*. Wiley-Interscience Press, New-York, Second edition (2004). ISBN :0-471-70055-X, 1080p.
- [84] R. J. WIDLAR, “New Developments in IC Voltage Regulators”. IEEE Journal of Solid-State Circuits, **SC-6**, 2–7, February 1971.
- [85] A. P. BROKAW, “A simple tree-terminal IC bandgap reference”. IEEE Journal of Solid-State Circuits, **SC-9**, 388–393, December 1974.
- [86] G. A. RINCON-MORA, *Voltage References From Diodes to Precision High-Order Bandgap Circuits*. Wiley-Interscience Press, New-York (2002). ISBN :0-471-14336-7, 192p.
- [87] Austriamicrosystems AG, “0.35  $\mu\text{m}$  S35 HBT BICMOS Design Rules” (2004).
- [88] Austriamicrosystems AG, “0.35  $\mu\text{m}$  S35 HBT BICMOS Process Parameters” (2009).
- [89] J. BERKNER, “Bandgap Reference Simulation Principles and Problems”. Infineon Technologies AG - Munich (2007), 20 years anniversary AKB (Arbeitskreis Bipolar).
- [90] F. FRUETT, G. C. M. MEIJER et A. BAKKER, “Minimization of the mechanical-stress-induced inaccuracy in bandgap voltage references”. IEEE Journal of Solid-State Circuits, **38**(7), 1288–1291, July 2003.
- [91] C. SIMPSON, “National Semiconductor Linear and Switching Voltage Regulator Fundamentals”. White paper, National Semiconductor (2006). URL : <http://www.national.com/appinfo/power/files/f4.pdf>.
- [92] P. E. GRAY, D. DEWIT, A. R. BOOTHROYD et J. F. GIBBONS, *Physical Electronics and Circuit Models of Transistors*, vol. 2 de *Semiconductor Electronics Education Committee*. John Wiley & Sons, New-York (1964).
- [93] I. GUTIERREZ, J. MELENDEZ et E. HERNANDEZ, *Design and Characterization of Integrated Varactors for RF Applications*. John Wiley & Sons (2006). ISBN :0-470-02587-5, 182p.
- [94] M. E. FRERKING, *Crystal Oscillator Design and Temperature Compensation*. Van Nostrand Reinhold Company Inc., New-York (1978). ISBN :0-442-22459-1, 240p.

- 
- [95] R. J. MATTHYS, *Crystal Oscillator Circuits*. Wiley-Interscience Press (1983). ISBN :0-471-87401-9, 247p.
- [96] R. W. RHEA, *Oscillator Design and Computer Simulation*. McGraw-Hill, Second edition (1997). ISBN :0-07-052415-7, 303p.
- [97] H. NYQUIST, “*Regeneration Theory*”. Bell System Technical Journal, **11**, 126–147, 1932.
- [98] G. C. M. MEIJER, G. WANG et F. FRUETT, “*Temperature Sensors and Voltage References Implemented in CMOS Technology*”. IEEE Sensors Journal, **1**(3), 225–234, October 2001.
- [99] R. WAGNER, “*IC design for laser trimming*”. In *In Proc. 26th Midwest Symposium Circuit System*, pages 223–226 (1983).
- [100] G. ERDI, “*A precision trim technique for monolithic analog circuits*”. IEEE Journal of Solid-State Circuits, **SC-10**(12), 412–416, 1975.
- [101] LINEAR TECHNOLOGY, “*LTZ1000/LTZ1000A Ultra-precision reference*”. Datasheet (NC). <http://www.linear.com>.
- [102] HP, “*HP4395A Network / Spectrum / Impedance Analyzer Operation Manual*” (1997). HP Part No. 04395-90000.
- [103] AGILENT TECHNOLOGIES, “*Agilent Accessories Selection Guide For Impedance Measurements*” (2008). page 43.
- [104] W. P. MASON, “*Zero Temperature Coefficient Quartz Crystals for Very High Temperatures*”. BSTJ, **30**, 366–380, 1951.
- [105] A. BALLATO et J. R. VIG, “*Static and Dynamic Frequency-Temperature Behaviour of Singly and Doubly Rotated Oven-Controlled Quartz Resonators*”. In *Proceedings of the 32nd Annual Symposium Frequency Control*, pages 180–188 (1978).
- [106] G. THEOBALD, G. MARIANNEAU, R. PRETOT et J. J. GAGNEPAIN, “*Dynamic Thermal Behaviour of Quartz Resonators*”. In *Proceedings of the 33rd Annual Symposium on Frequency Control*, pages 239–246 (1979).
- [107] R. BECHMANN, “*Frequency-Temperature-Angle Characteristics of AT-Type Resonators Made of Natural and Synthetic Quartz*”. Proceedings of the Institute of Radio Engineers, **44**(11), 1600–1607, November 1956.
- [108] A. R. CHI, “*Frequency Temperature Behaviour of AT-Cut Quartz Resonators*”. In *Proceedings of the 10th Annual Symposium on Frequency Control*, pages 46–59 (1956).
- [109] J. A. KUSTERS, “*The SC cut crystal - An overview*”. In *Proc. IEEE Ultrasonic Symposium*, pages 402–409 (1981).
- [110] S. GALLIOU, “*Thermal behaviour simulation of quartz resonators in an oven environment*”. IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control, **42**(5), 832–839, September 1995.

- [111] B. HILLERICH et O. NAGLER, “*Application of Finite Element Method and SPICE Simulation for Design Optimization of Oven-Controlled Crystal Oscillators*”. IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control, **48**(6), 1662–1668, November 2001.
- [112] M. R. HAMROUR, *Etude et Analyse de l’Influence du Rayonnement Infrarouge sur un Résonateur à Quartz : Applications aux Capteurs*. Thèse de doctorat, UFR des Sciences et Techniques de l’Université de Franche-Comté (1996).
- [113] I. ABRAMZON et R. BORODITSKY, “*Miniature Double OCXO With Low Power Consumption*”. In *Proceedings of the 15th European Frequency and Time Forum*, pages 332–335 (2001).
- [114] W. J. GARLAND, L. J. HASSENCAHL, D. D. LENHART et G. WOLFE, “*Internally Heated Crystal Devices*”. United States Patent 3,431,392 (1969). Assignors to Hughes Aircraft Company.
- [115] B. LONG et G. WEAVER, “*Quartz crystal oscillators with direct resonator heating*”. In *Proceedings of the 45th Annual Frequency Control Symposium*, pages 384–392 (1991).
- [116] I. ABRAMZON, “*OCXO design using composite-heating of the crystal resonator*”. IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control, **41**(2), 284–289, March 1994.
- [117] I. ABRAMZON, R. BORODITSKY et D. A. COCUZZI, “*Miniature OCXO Using DHR Technology*”. In *Proceedings of the 1997 IEEE International Frequency Control Symposium*, pages 943–946 (1997).
- [118] S. GALLIOU, M. MOUREY et B. DULMET, “*A Single Bridge Resonator*”. In *Proceedings of 8th European Frequency and Time Forum with Exhibition*, pages 792–801 (1994), Vol. 2 (Poster Contributions).
- [119] S. GALLIOU, B. DULMET et M. MOUREY, “*A Single Bridge Resonator for Low consumption OCXO*”. In *Proceedings of the 1995 IEEE International Frequency Control Symposium*, pages 557–564 (1995).
- [120] I. ABRAMZON, S. BARANUSHKIN, A. GUBAREV, O. ROTOVA et V. TAPKOV, “*High-Stability Miniature OCXOs Based on Advanced IHR Technology*”. In *IEEE International Frequency Control Symposium 2007 Joint with the 21st European Frequency and Time Forum*, pages 242–245 (2007).
- [121] H. KIM, T. JACKSON, J. LIM, K. CHOI et D. KENNY, “*Miniature Oven Controlled Crystal Oscillator - OCXO - on a CMOS Chip*”. In *IEEE International Frequency Control Symposium and Exposition*, pages 401–404 (2006).
- [122] H. KIM, T. JACKSON, J. LIM, K. CHOI et D. KENNY, “*Frame Enclosed Resonator for Miniature Oven Controlled Crystal Oscillator (OCXO)*”. In *IEEE International Frequency Control Symposium and Exposition*, pages 491–493 (2006).
- [123] OSCILLOQUARTZ, “*OCXO 8622 - 8627*”. Datasheet (NC). <http://www.oscilloquartz.com>.
- [124] R. A. PEASE, “*A New Fahrenheit Temperature Sensor*”. IEEE Journal of Solid-State Circuits, **SC-19**(6), 971–977, 1984.

- 
- [125] R. A. BIANCHI, F. Vinci Dos SANTOS, J. M. KARAM, B. COURTOIS, F. PRESSECQ et S. SIFFLET, “CMOS-compatible smart temperature sensors”. *Microelectronics Journal*, **29**, 627–636, 1998.
- [126] K. S. KUNDERT et O. ZINKE, *The Designer’s Guide to Verilog AMS*. Kluwer Academic Publishers, Boston, First edition (2004). ISBN :1-4020-8044-1, 270p.
- [127] J. A. BECKER, C. B. GREEN et G. L. PEARSON, “Properties and uses of thermistors - thermally sensitive resistors”. *Trans. Am. Inst. Elec. Engrs*, **65**, 711–725, 1946.
- [128] G. BOSSON, F. GUTMANN et L. M. SIMMONS, “A Relationship between Resistance and Temperature of Thermistors”. *Journal of Applied Physics*, **21**(12), 1267–1268, December 1950.
- [129] J. S. STEINHART et S. R. HART, “Calibration curves for thermistors”. *Deep Sea Research and Oceanographic Abstracts*, **15**(4), 497–503, August 1968.
- [130] H. K. GUMMEL et H. C. POON, “An Integral Charge Control Model of Bipolar Transistors”. *Bell Syst. Tech. J.*, **49**, 827–852, 1970.
- [131] C. C. MCANDREW, J. A. SEITCHIK, D. F. BOWERS, M. DUNN, M. FOISY, I. GETREU, M. MCSWAIN, S. MOINIAN, J. PARKER, D. J. ROULSTON, M. SCHROTER, P. van WIJNEN et L. F. WAGNER, “VBIC95 the vertical bipolar inter-company model”. *IEEE Journal of Solid-State Circuits*, **31**(10), 1476–1483, 1996.
- [132] G. REY et P. LETURCQ, *Théorie approfondie du transistor bipolaire*. MASSON, Paris (1972). 248p.
- [133] I. E. GETREU, *Modeling the Bipolar Transistor (Computer-Aided design of electronic circuits)*. Elsevier Scientific Publishing Company (1978). ISBN :0-444-41723-2, 284p.
- [134] P. ANTOGNETTI et G. MASSOBRIO, *Semiconductor Device Modeling with SPICE*. McGraw-Hill (1987). ISBN :0-07-002107-4, 209 p.
- [135] P. R. GRAY, P. J. HURST, S. H. LEWIS et R. G. MEYER, *Analysis and Design of Analog Integrated Circuits*. Wiley-Interscience Press, New-York, Fourth edition (2001). ISBN :0-471-32168-0, 875p.
- [136] M. REISCH, *High-Frequency Bipolar Transistors*. Springer, Berlin, First edition (2003). ISBN :3-540-67702-X, 500p.
- [137] H. C. POON et H. K. GUMMEL, “Modeling of emitter capacitance”. *Proc. IEEE*, **57**(12), 2181–2182, 1969.
- [138] MicroSim Corporation. *MicroSim PSpice A/D*, reference manual version 6.3 (1997).
- [139] X. CAO, J. McMACKEN, K. STILES, P. LAYMAN, J. J. LIOU, A. ORTIZ-CONDE et S. MOINIAN, “Comparison of the New VBIC and Conventional Gummel-Poon Bipolar Transistor Models”. *IEEE Transactions on Electron Devices*, **47**(2), 427–433, 2000.
- [140] D. T. ZWEIDINGER, S.-G. LEE et R. M. FOX, “Compact Modeling of BJT Self-Heating in SPICE”. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, **12**(9), 1368–1375, September 1993.

- [141] S. M. SZE, *Physics of Semiconductor Devices*. John Wiley & Sons, New-York, Second edition (1981). ISBN :978-0471056614, 880p.
- [142] M. D. GODFREY et J. LAZZARO, “A Device Model for Analog VLSI Cricuits”. Draft 2.2 (2008).
- [143] J. J. BLANCHARD et B. FALLOU, *Constantes électriques Matériaux isolants solides*. Techniques de l’ingénieur (1988). Constantes Physico-Chimiques K712, ISSN 0245-9604.
- [144] C. J. GLASSBRENNER et G. A. SLACK, “Thermal Conductivity of Silicon and Germanium from 3K to the Melting Point”. *Physical Review*, **134**(4A), 1058–1069, 1964.
- [145] A. S. GROVE, *Physics and Technology of Semiconductor Devices*. John Wiley & Sons, New-York (1967). ISBN :978-0471329985, 388p.
- [146] S.-Y. KANG, P. M. WILLIAMS et Y.-C. LEE, “Modeling and Experimental Studies on Thermosonic Flip-Chip Bonding”. *IEEE Transactions on Components, Packaging, and Manufacturing Technology PartB : Advanced Packaging*, **18**(4), 728–733, November 1995. Univ. Colorado, Boulder, CO, USA.
- [147] T. MCLAREN, S.-Y. KANG, W. ZHANG, D. HELLMAN, T.-H. JU et Y. C. LEE, “Thermosonic Flip Chip Bonding for an 8x8 VCSEL Array”. In *Proc. 45<sup>th</sup> Electronic Components and Technology Conference*, pages 393–400 (1995), Univ. Colorado, Boulder, CO, USA.
- [148] D. S. PATTERSON, P. ELENIUS et J. A. LEAL, “Wafer Bumping Technologies - A Comparative Analysis of Solder Deposition Processes and Assembly Considerations”. In *Advances in Electronic Packaging 1997*, vol. **1**, pages 337–351. Proceedings of the Pacific RIM/ASME International Intersociety Electronic and Photonic Packaging Conference (1997).
- [149] J. VÄHÄKANGAS, O. RUSANEN, T. JAAKOLA et J. LENKKERI, “The Nordic Electronics Packaging Guideline” (2000). URL : <http://extra.ivf.se/ngl/B-Flip-Chip/ChapterB.htm>.
- [150] G. HARMAN, *Wire Bonding in Microelectronics*. McGraw-Hill, Third edition (2010). ISBN :978-0-07-1476232, 446p.
- [151] J. QU et C. P. WONG, “Effective Elastic Modulus of Underfill Material for Flip Chip Applications”. *IEEE Transactions on Components and Packaging Technologies*, **25**(1), 53–55, March 2002.
- [152] K. GILLES et D. BLUMEL, “The Great Underfill Race”. In *SPIE Proceedings Series*, vol. **3582**, pages 701–706. International Symposium on Microelectronics, International Microelectronics and Packaging Society (1998).
- [153] C. P. WONG, M. B. VINCENT et S. SHI, “Fast-Flow Underfill Encapsulant : Flow Rate and Coefficient of Thermal Expansion”. *IEEE Transactions on Components, Packaging, and Manufacturing Technology-PartA*, **21**(2), 360–364, June 1998.
- [154] J. M. HURLEY, X. YE et T. BERFIELD, “Possibilities and Limitations of No-Flow Fluxing Underfill”. In *SEMI Technology Symposium : International Electronics Manufacturing Technology (IEMT) Symposium* (2002).

- 
- [155] L. CRANE, A. TORRES-FILHO, E. YAEGER, M. HEUEL, C. K. OBER, S. YANG, J. CHEN et R. W. JOHNSON, “*Development of Reworkable Underfills, Materials, Reliability and Processing*”. IEEE Transactions on Components and Packaging Technologies, **22**, 163–167, March 1999.
- [156] L. WANG, H. LI et C. P. WONG, “*Reworkable No-Flow Underfills for Flip Chip Applications*”. IEEE Transactions on Electronics Packaging Manufacturing, **24**(2), 115–122, April 2001.
- [157] K.-N. CHIANG, Z.-N. LIU et C.-T. PENG, “*Parametric Reliability Analysis of No-Underfill Flip Chip Package*”. IEEE Transactions on Components and Packaging Technologies, **24**(4), 635–640, December 2001.
- [158] E. KIRKENDALL, L. THOMASSON et C. UPTHEGROVE, “*Rates of diffusion of Copper and Zinc in Alpha Brass*”. Transaction of the AIME, **133**, 186–203, 1939.
- [159] E. O. KIRKENDALL, “*Diffusion of Zinc in Alpha Brass*”. Transaction of the AIME, **147**, 104–110, 1942.
- [160] A. D. SMIGELSKAS et E. O. KIRKENDALL, “*Zinc Diffusion in Alpha Brass*”. Transaction of the AIME, **171**, 130–142, 1947.
- [161] S. L. KHOURY, D. J. BURKHARD, D. P. GALLOWAY et T. A. SCHARR, “*A Comparison of Copper and Gold Wire Bonding on Integrated Circuit Devices*”. IEEE Transactions on Components, Hybrid, and Manufacturing Technology, **13**(4), 673–681, December 1990.
- [162] T. C. WEIN et A. R. DAUD, “*Cratering on Thermosonic Copper Wire Ball Bonding*”. Journal of Materials Engineering and Performance, **11**(3), 283–287, June 2002.
- [163] E. PHILOFSKY, “*Intermetallic Formation in Gold-Aluminum Systems*”. Solid-State Electronics, **13**, 1391–1399, 1970.
- [164] E. PHILOFSKY, “*Purple Plague Revisited*”. In *Proc. IEEE Reliability Physics Symp.*, pages 177–185, Las Vegas, Nevada (1970).
- [165] E. PHILOFSKY, “*Design Limits When Using Gold-Aluminum Bonds*”. In *Proc. IEEE Reliability Physics Symp.*, pages 11–16, Las Vegas, Nevada (1971).
- [166] C. W. HORSTING, “*Purple Plague and Gold Purity*”. In *Proc. 10<sup>th</sup> Annual IEEE Reliability Symp.*, pages 155–158, Las Vegas, Nevada (1972).
- [167] H. XU, C. LIU, V. V. SILBERSCHMIDT, S. S. PRAMANA, T. J. WHITE, Z. CHEN et V. L. ACOFF, “*Intermetallic phase transformations in Au-Al wire bonds*”. Intermetallics, **19**, 1808–1816, 2011.
- [168] N. T. PANOUSIS et R. T. KERSHNER, “*Thermocompression Bondability of Thick-film Gold - A Comparison to Thin-Film Gold*”. IEEE Transactions on Components, Hybrid, and Manufacturing Technology, **3**(4), 617–623, 1980.
- [169] G. G. ZHANG et C. C. WONG, “*Review of Direct Metal Bonding for Microelectronic Interconnections*”. Report in advanced materials for micro- and nano- systems, Singapore - MIT Alliance (2004).

- [170] “*Process standard de pulvérisation cathodique (Pulvé Plassys)*”. Rapport interne à l’attention des utilisateurs salle-blanche MIMENTO (2006). Version du 26/10/2006.
- [171] “*Process standard de gravure (RIE)*”. Rapport interne à l’attention des utilisateurs salle-blanche MIMENTO (2006). Version du 26/10/2006.
- [172] P. TINGUY, “*Sonde de température à quartz à électronique intégrée*”. Mémoire de D.E.A., ENSMM (2007), Numéro d’ordre : 2007-003.
- [173] J. L. JELLISON, “*Effect of Surface Contamination on the Thermocompression Bondability of Gold*”. IEEE Transactions on Parts, Hybrid, and Packaging, **11**(3), 206–211, 1975.
- [174] J. L. JELLISON, “*Kinetics of Thermocompression Bonding to Organic Contaminated Gold Surfaces*”. IEEE Transactions on Parts, Hybrid, and Packaging, **13**(2), 132–137, 1977.
- [175] X. F. ANG, G. G. ZHANG, J. WEI, Z. CHEN et C. C. WONG, “*Temperature and Pressure Dependence in Thermocompression Gold Stud Bonding*”. Thin Solid Films, **504**(1-2), 379–383, May 2006.
- [176] G. G. ZHANG, X. F. ANG, Z. CHEN, C. C. WONG et J. WEI, “*Critical temperatures in thermocompression gold stud bonding*”. Journal of Applied Physics, **102**(6), 2007. DOI : 10.1063/1.2783974.
- [177] P. TINGUY, R. BRENDEL, M. ADDOUCHE, C. ROCHER, B. BECK et F. NEFF, “*Test de Flip Chip à Karlsruhe (Allemagne)*”. Rapport technique interne, FEMTO-ST (2007).
- [178] P. TINGUY, Y. GRUSON, V. PETRINI et B. BECK, “*Test d’assemblage par Flip Chip à Karlsruhe (Allemagne) - Mission de Septembre*”. Rapport technique interne, FEMTO-ST (2007).
- [179] KARL SUSS. *SUSS Technical Bulletin : Flip Chip* (-).

## Annexe A

# Réponse en température de la thermistance NTC 312-S2

La thermistance choisie pour notre application est une CTN (Shibaura Electronics Co., Ltd) dont la réponse en température est donnée en figure A.1. Les valeurs typiques (typ.) prises par la résistance équivalente sont accompagnées de ses dispersions minimales et maximales. En nous plaçant autour de la température d'inversion du résonateur à quartz utilisé, nous avons représenté ces courbes ainsi que leurs sensibilités à la température en figures A.2 et A.3 respectivement.

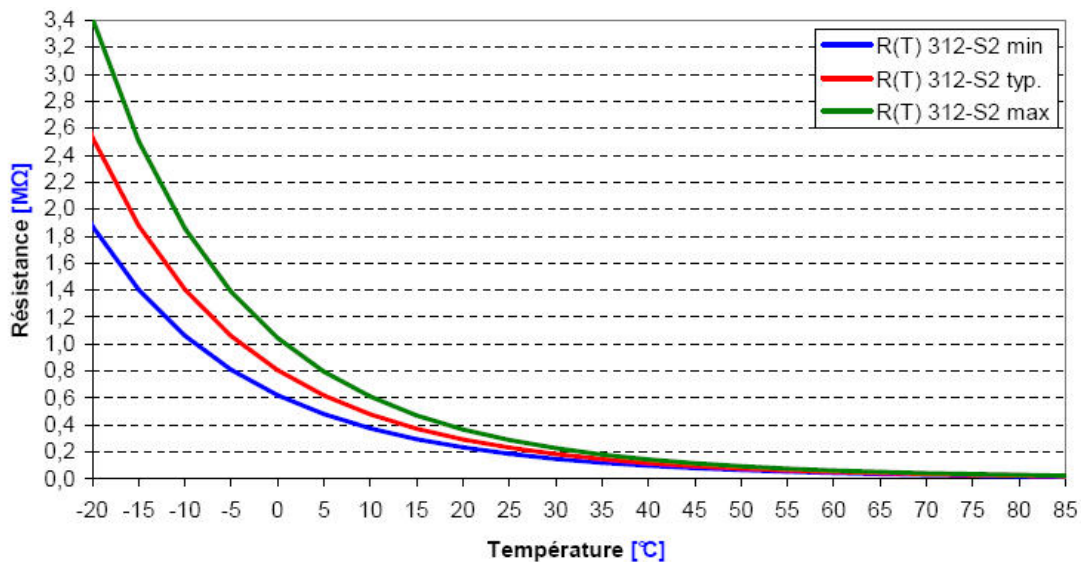


FIGURE A.1 – Réponse en température de la thermistance NTC 312-S2 (Shibaura Electronics Co., Ltd) sur la gamme  $[-20^{\circ}\text{C}, 85^{\circ}\text{C}]$  en tenant compte des dispersions technologiques (Typ., Min et Max).



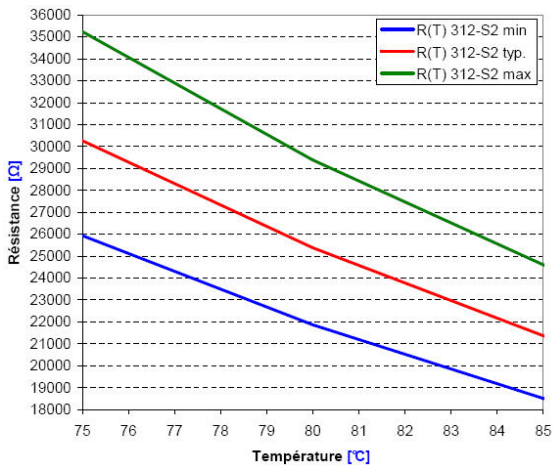


FIGURE A.2 – Réponse en température autour de la température d'inversion du résonateur à quartz.

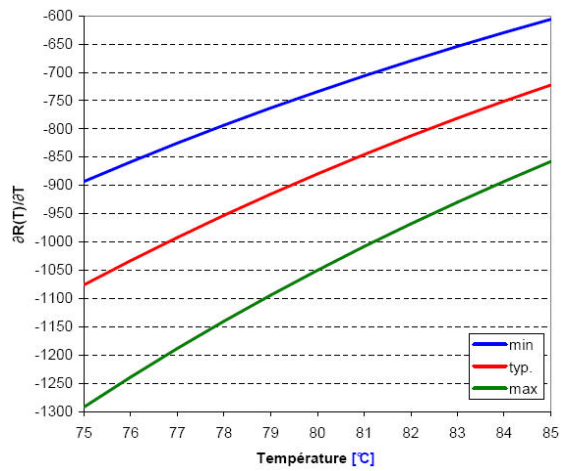


FIGURE A.3 – Sensibilité en température des tracés de la figure A.2.

## Annexe B

# Modèle *Verilog-AMS* d'une thermistance CTN

Modèle *Verilog-AMS* d'une thermistance NTC basé sur la résolution de l'équation de Steinhart-Hart. L'auto-échauffement du composant induit par le passage d'un courant électrique est aussi pris en considération dans ce modèle.

```
// VerilogA for FemtoS35Lib, NTC_Thermistor, veriloga
```

```
'include "constants.vams"  
'include "disciplines.vams"
```

```
module NTC_Thermistor(n1, n2, th1, th2);  
inout n1, n2, th1, th2;  
electrical n1, n2;  
thermal th1, th2;
```

```
//Thermistor characteristics to calculate a, b, c coefficients  
//These data must be filled with the supplier's datasheet  
//min, mid and max values depends on thermistor's temperature range
```

```
parameter real Tmin=-55 ; //Minimum temperature range [°C]  
parameter real Rmin=28263475.66 ; //Resistance value at Tmin [Ohms]  
parameter real Tmid=35 ; //Middle temperature range [°C]  
parameter real Rmid=147372.778 ; //Resistance value at Tmid [Ohms]  
parameter real Tmax=125 ; //Maximum temperature range [°C]  
parameter real Rmax=6180.58 ; //Resistance value at Tmax [Ohms]
```

```
//Thermistor constants
parameter real tau_th=1 ; //Thermistor's thermal time constant [s]
parameter real K_th=0 ; //Thermistor's dissipation constant [W/°C]

//Thermal time constant description (RC network)
// (th1)---R_th---(th15)---C_th---(th2)
thermal th15 ;
thermal ZeroTH ; //Thermal ground node
real C_th, R_th ; //Thermal capacitance and resistance

//Parameters used for temperature conversions (°C-> K) :
real Tl, Tm, TH ;

//Other parameters :
real a, b, c, alpha_th, beta_th, Rth ;

//This program solves the Steinhart-Hart equation :  $(1/T) = a + b*\ln R + c*(\ln R)^3$ 
//[J.S.Steinhart, S.R.Hart, Calibration Curves for Thermistors, Deep Sea Research and Oceanographic
Abstracts, Vol.15 (Issue 4), pp.497-503, 1968].

analog begin
    //Temperature conversions (°C-> K) :
    Tl = Tmin+'P_CELSIUS0 ;
    Tm = Tmid+'P_CELSIUS0 ;
    TH = Tmax+'P_CELSIUS0 ;

    //Steinhart-Hart coefficients calculation :
    c = ((1/Tl)-(1/Tm)-(ln(Rmin)-ln(Rmid))*((1/Tl)-(1/TH))/(ln(Rmin)-ln(Rmax)))/((pow(ln(Rmin),3)-
pow(ln(Rmid),3))-(ln(Rmin)-ln(Rmid))*(pow(ln(Rmin),3)-pow(ln(Rmax),3))/(ln(Rmin)-ln(Rmax))) ;
    b = (((1/Tl)-(1/Tm))-c*(pow(ln(Rmin),3)-pow(ln(Rmid),3)))/(ln(Rmin)-ln(Rmid)) ;
    a = (1/Tl)-c*pow(ln(Rmin),3)-b*ln(Rmin) ;

    //Thermal network description :
    /**Thermal resistor**
    //Thermal : Flux = (1/R_th)*Temp
    //Electrical : I = (1/R)*U
    //if K_th is not specified, R_th is chosen to 1 Mohm (default value).
```

---

```

if (K_th == 0) begin
    R_th = 1M;
end else begin
    R_th = 1/K_th;
end
end
/**Thermal description of a capacitor**
//Thermal : flux = C*d(Temp)/dt (from heat equation)
C_th = tau_th/R_th;

//If thermal dissipation constant not specified (default value = 0)
//return Rth(T)
//else return Rth(T+SH)
//SH defines the self-heating effects caused by current flowing through the thermistor which in-
crease the local temperature. Self-heating affects temperature evaluated at node th15.
Temp(ZeroTH) <+ 0; //Thermal ground node

if (K_th == 0) begin //Without self-Heating
    Temp(th1, th15) <+ R_th*Pwr(th1, th15);
    Pwr(th15, th2) <+ C_th*ddt(Temp(th15, th2));
    alpha_th = (a-(1/(Temp(th15, th2)+'P_CELSIUS0)))/c;
    beta_th = sqrt(pow((b/(3*c)),3)+pow(alpha_th,2)/4);
    Rth = exp(pow(beta_th-(alpha_th/2),0.3333333333)-pow(beta_th+(alpha_th/2),0.3333333333));
    V(n1, n2) <+ Rth*I(n1, n2);
end else begin //With self-heating
    Temp(th1, th15) <+ R_th*Pwr(th1, th15);
    Pwr(th15, th2) <+ C_th*ddt(Temp(th15, th2));
    Pwr(ZeroTH, th15) <+ Rth*pow(I(n1, n2),2);
    alpha_th = (a-(1/(Temp(th15, th2)+'P_CELSIUS0)))/c;
    beta_th = sqrt(pow((b/(3*c)),3)+pow(alpha_th,2)/4);
    Rth = exp(pow(beta_th-(alpha_th/2),0.3333333333)-pow(beta_th+(alpha_th/2),0.3333333333));
    V(n1, n2) <+ Rth*I(n1, n2);
end
end
end
endmodule

```



## Annexe C

# Modèle *Verilog-AMS* pour la conversion de puissance : électrique/thermique

Modèle *Verilog-AMS* utilisé pour convertir la puissance électrique en puissance thermique par le biais d'une mesure de la tension aux bornes du composant et du courant le traversant.

```
// VerilogA for FemtoS35Lib, Sensing_Pwr_Source, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Sensing_Pwr_Source (vsense1, vsense2, isense1, isense2, thp, thm);
input vsense1, vsense2, isense1;
output isense2;
inout thp, thm;
electrical vsense1, vsense2, isense1, isense2;
thermal thp, thm;

//Voltage and current probe gain
parameter real Igain=1;
parameter real Vgain=1;

//I & V sensing for power calculation (P = U*I)
branch (vsense1, vsense2) inV;
branch (isense1, isense2) inI;
real outV, outI;
real Power_th;
```

```
analog begin
  //Thermal power source -> current source (flow)
  //Current flows from "thp" to "thm" (Kirshhoff flow law)
  outV = Vgain*V(inV);
  outI = Igain*I(inI);
  Power_th = -outV*outI;
  Pwr(thp, thm) <+ Power_th;
end
endmodule
```

## Annexe D

# Modèle *Verilog-AMS* d'un transistor bipolaire

La modélisation *Verilog-AMS* du transistor bipolaire de type NPN décrite dans cette annexe reprend l'ensemble des équations du modèle générique SPICE® Gummel-Poon<sup>a</sup> (SGP) typiquement utilisé. La motivation principale nous conduisant à proposer cette description en *Verilog-AMS* est de pouvoir faire une estimation de la température de jonction ( $T_j$ ) du transistor. Pour cela, nous avons considéré que la puissance électrique est entièrement dissipée par conduction dans le substrat (et son encapsulation) qui est alors défini par sa résistance thermique équivalente ( $R_{th} = 1/K_{th}$ ). Cette approche nous permet ainsi :

1. D'accéder à la température locale du transistor dans son environnement afin d'y adapter le modèle thermo-mécanique équivalent d'un dissipateur thermique (radiateur) ou d'une structure à maintenir à température constante (régulation, thermostat) comme présenté en figure D.1,

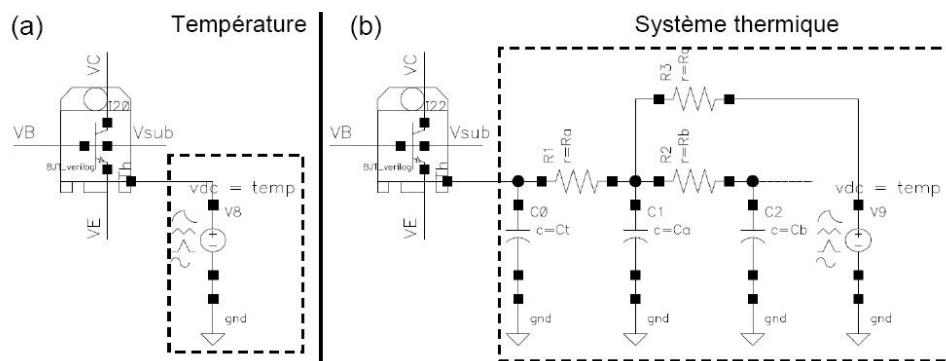


FIGURE D.1 – Exemple de montages possibles : température ambiante fixée par une source équivalente (a), modélisation d'un système thermo-mécanique complexe (b).

2. De mettre en évidence l'influence de l'auto-échauffement sur les réponses statiques et dynamiques du transistor en introduisant un feedback thermique.

a. H. K. GUMMEL et H. C. POON, "An Integral Charge Control Model of Bipolar Transistors". Bell Syst. Tech. J., **49**, pp. 827– 852 (1970).



Nous avons donc cherché à rendre compte du comportement en température des différents paramètres du modèle que nous avons recensés dans le tableau suivant :

Physique	Modèle	
$E_g(T)$	EG	Energie d'activation [eV]
$I_s(T)$	IS	Courant de saturation [A]
$\beta(T)$	BR, BF	Gain en courant
$\psi_0(T)$	VJ ou $V_J$	Potentiel de jonction [V]
$C_{J0}(T)$	CJ0	$C_j(V = 0)$ [F]
$U_T(T)$	VT	Potentiel thermodynamique [V]

TABLE D.1 – Descriptif des paramètres dépendants de la température du modèle SGP.

## D.1 La capacité de transition : $C_j(V)$

En établissant les différentes équations caractéristiques du modèle SGP, nous avons dû faire face à la problématique du calcul de la capacité de transition<sup>b</sup> ( $C_j$ ) qui forme avec la capacité de diffusion ( $C_f$ ), la charge totale aux bornes des jonctions  $p-n$  constitutives du transistor : jonctions base-émetteur et base-collecteur. L'expression théorique de  $C_j$  en fonction de la tension à ses bornes est typiquement décrite par une loi de puissance<sup>c</sup> :

$$C_j(V) = \frac{C_{J0}}{(1 - V/V_J)^{M_J}} \quad (\text{D.1})$$

A partir de (D.1), nous montrons facilement que  $\lim_{V \rightarrow V_J} C_j(V) = \infty$ . Cette représentation n'est donc pas suffisante pour rendre compte du comportement de la jonction lorsque cette dernière est polarisée en directe sous des tensions  $V \geq V_J$ . Nous allons donc investiguer deux approches ne présentant plus ce type de divergence et permettant de modéliser au mieux le comportement de  $C_j(V)$ .

### • Approche SPICE®

Dans cette approche,  $C_j$  est considérée continue par morceaux<sup>d</sup> :

$$C_j(V) = \begin{cases} C_{J0} (1 - V/V_J)^{-M_J} & \text{si } V \leq FC \times V_J, \\ C_{J0} (1 - FC)^{-(1+M_J)} (1 - FC(1 + M_J) + M_J \times V/V_J) & \text{si } V > FC \times V_J. \end{cases} \quad (\text{D.2})$$

Nous remarquons alors que pour  $V < V_J/2$  ( $FC = 1/2$ ), l'équation (D.1) est utilisée. La courbe est ensuite linéarisée pour des tensions plus importantes. Cette approche introduit donc une erreur importante lorsque la capacité est polarisée en directe par rapport à la caractéristique réelle de  $C_j(V)$  et ce,

b. Aussi appelé capacité de la zone déplétée (depletion capacitor).

c. P. E. GRAY, D. DEWIT, A. R. BOOTHROYD et J. F. GIBBONS, "Physical Electronics and Circuit Models of Transistors". SEEC Vol. 2, J. Wiley (1964).

d. MicroSim PSpice A/D, Reference Manual Version 6.3 (1997).

bien qu'elle soit parfaitement fiable en polarisation inverse. Un autre modèle plus approprié est ainsi traité dans le paragraphe suivant.

#### • Approche continue (Gummel-Poon)

L'approche établie par H. K. GUMMEL et H. C. POON<sup>e</sup>, qui sera par la suite démontrée par B. R. CHAWLA et H. K. GUMMEL<sup>f</sup>, fait intervenir un paramètre ajustable supplémentaire, noté  $b$ , de telle sorte que  $C_j$  ne présente plus de divergence pour  $V = V_J$ . L'expression de  $C_j$  devient alors :

$$C_j(V) = \frac{C_0}{\left[(1 - V/V_J)^2 + b\right]^{M_J/2}} \left(1 + \frac{M_J}{(1 - M_J)} \times \frac{b}{(1 - V/V_J)^2 + b}\right) \quad (D.3)$$

Avec  $C_0$  une fonction du paramètre  $C_{J0}$  et  $b$  le paramètre ajustable tel que  $b \ll 1$ . Finalement, pour une meilleure interprétation des équations (D.1), (D.2) et (D.3), nous avons représenté en figure D.2 la capacité de transition en fonction de la tension à ses bornes.

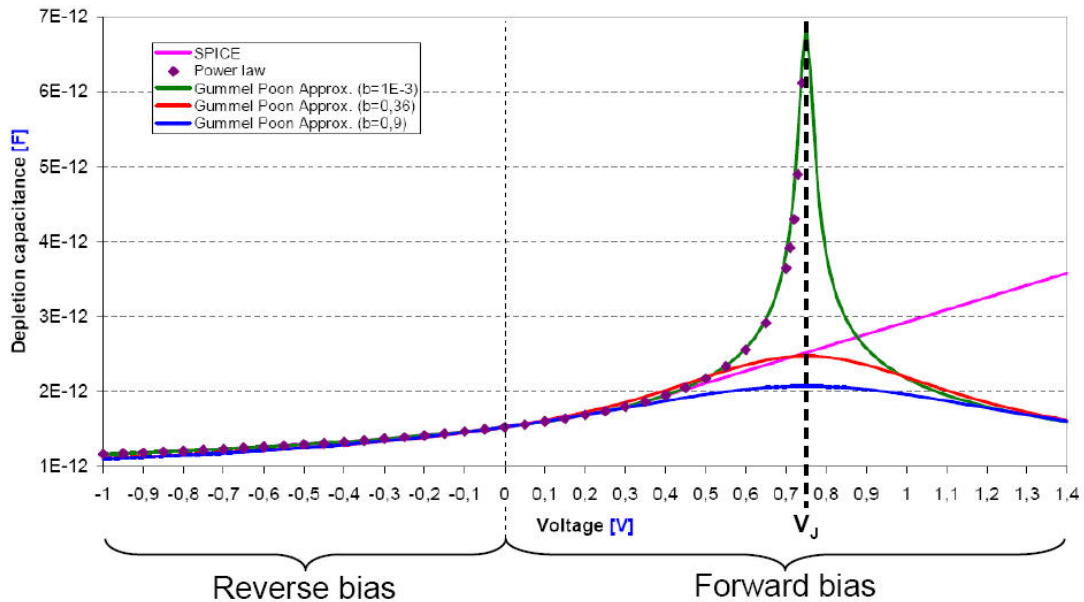


FIGURE D.2 – Tracés de la capacité de transition en fonction de la tension : expression typique, approche SPICE®, approximation par H. K. GUMMEL et H. C. POON pour différentes valeurs de  $b$ .

## D.2 Modèle Verilog-AMS

Ce modèle comporte les quatre nœuds électriques caractéristiques du transistor bipolaire (collecteur, base, émetteur, substrat) et un nœud se rapportant aux effets thermiques (THA) comme représenté en figure D.3. La modélisation de la capacité de transition se fera selon l'équation (D.3).

e. H. C. POON et H. K. GUMMEL, "Modeling of emitter capacitance". Proc. IEEE, **57**(12), pp. 2181– 2182 (1969).

f. B. R. CHAWLA et H. K. GUMMEL, "Transition Region Capacitance of Diffused p-n Junctions". IEEE Transactions on Electron Devices, **18**, pp. 178– 195 (1971).

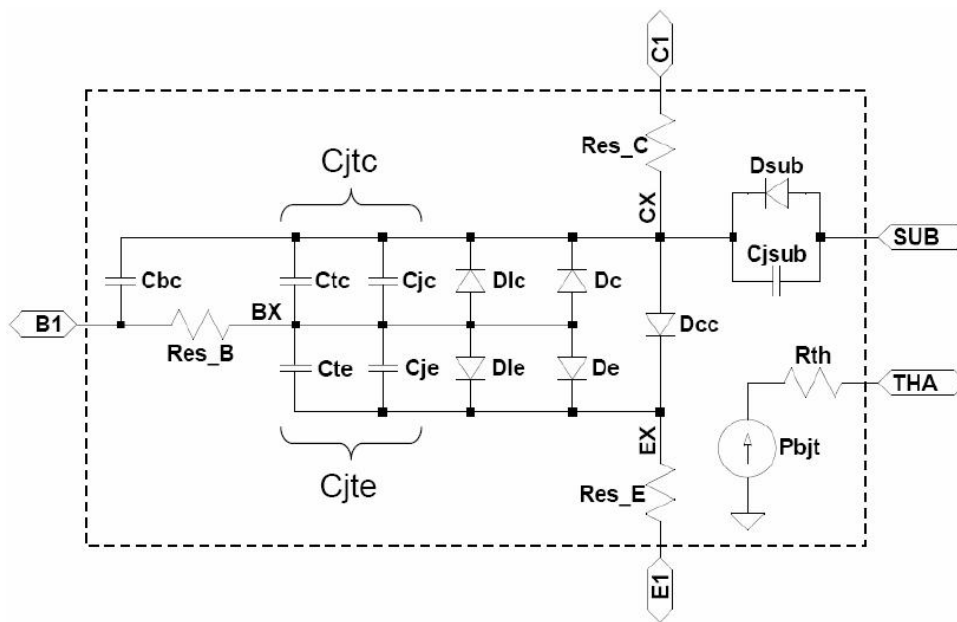


FIGURE D.3 – Représentation électrique équivalente du transistor bipolaire (modèle SGP) décrit en Verilog-AMS.

```
// VerilogA for analogLib2, BJT_verilog, veriloga
```

```
'include "constants.vams"
```

```
'include "disciplines.vams"
```

```
module BJT_verilog(B1, C1, E1, SUB, THA);
```

```
inout C1, B1, E1, SUB, THA;
```

```
electrical C1, B1, E1, SUB;
```

```
thermal THA;
```

```
electrical CX, BX, EX; //Internal nodes (electrical)
```

```
thermal TJ; //Internal nodes (thermal)
```

```
//SPICE parameters for bipolar transistor modelling (Gummel-Poon model). All numerical data are drawn from 2n5179 NPN bipolar transistor characteristics (FAIRCHILD SEMICONDUCTOR).
```

```
//Junction diode description :
```

```
parameter real IS0=69.28a; //Saturation current @T=25°C [A]
```

```
parameter real BF0=282.1; //Forward current gain @T=25°C
```

```
parameter real NF=1; //Forward emission coefficient //Default
```

```
parameter real VAF=100; //Forward Early voltage [V]
```

```
parameter real IKF=22.03m; //Corner for forward beta high current roll-off [A]
```

```
parameter real BR0=1.176; //Reverse current gain @T=25°C
```

---

```
parameter real NR=1 ; //Reverse emission coefficient //Default
parameter real VAR=1E9 from (0 :inf) ; //Reverse Early voltage [V] //Default
parameter real IKR=1E9 from (0 :inf) ; //Corner for reverse beta high current roll-off [A]

//Leakage diodes description
parameter real ISC0=0 ; //B-C leakage saturation current @T=25°C [A]
parameter real NC=2 ; //B-C leakage emission coefficient
parameter real ISE0=69.28a ; //B-E leakage saturation current
parameter real NE=1.177 ; //B-E leakage emission coefficient

//Resistances :
parameter real Rbb=10 ; //Base resistance [Ohm]
parameter real Rcc=4 ; //Collector resistance [Ohm]
parameter real Ree=0 ; //Emitter resistance [Ohm] //Default

//Charges :
parameter real CJE0=1.52p ; //B-E zero-bias junction capacitor [F]
parameter real VJE0=0.75 ; //B-E junction potential [V] @300K
parameter real MJE=0.3223 ; //B-E grading coefficient
parameter real TF=135.6p ; //Forward transit time [s]
parameter real XTF=30 ; //Coefficient for bias dependance of TF
parameter real VTF=10 ; //Voltage describing VBC dependance of TF [V]
parameter real ITF=0.27 ; //High-current parameter for effect on TF [A]

parameter real CJC0=1.042p ; //B-C zero-bias junction capacitor [F]
parameter real VJC0=0.75 ; //B-C junction potential [V] @300K
parameter real MJC=0.2468 ; //B-C grading coefficient
parameter real TR=1.588n ; //Reverse transit time [s]
parameter real XCJC=1 ; //Fraction of B-C depletion capacitance //Default

//Substrate effects : //PSPICE Default values are used
parameter real ISS0=0 ; //Substrate diode saturation current @T=25°C [A]
parameter real NS=1 ; //Substrate emission coefficient
parameter real CJS0=0 ; //C-S zero-bias junction capacitor [F]
parameter real VJS0=0.75 ; //C-S junction potential [V] @300K
parameter real MJS=0 ; //C-S grading coefficient

//Other parameters
```

```
parameter real EG0=1.081 ; //Fitted activation energy [eV] @300K to match curves with temperature
variations (1.11 default value)
parameter real XTI=3 ; //Saturation current temperature coefficient
parameter real XTB=1.5 ; //Current gain temperature coefficient
parameter real Kth=2.8m ; //Transistor dissipation constant [W/°C]
parameter real b=0.36 exclude 0 ; //Depletion capacitance adjustment parameter : b>0 (Gummel - Poon)
parameter real Area=1 ; //Bipolar transistor area
```

```
//Additionnal parameters in Verilog-a description
```

```
real Th, Tref ; //Temperature
real EG, EG300 ; //Activation energy
real VT ; //p-n junction thermal voltage
real ISF, ISR, ISC, ISE, ISS ; //Saturation current
real BR, BF ; //Current gain
real VJC, VJE, VJS, a1, a2, a3, C0cbx, C0cb1, C0e, C0s ; //Depletion capacitances
real Qtc, Qte, Ctc, Cte ; //Diffusion charges and capacitances
real Qjc, Qjcb, Qje, Qjs, Cjc, Cje ; //Depletion charges and capacitances
real Qcxbx, Qbxex ; //Total B-E and B-C charges
real TauF, TauR ; //Transit time
real q1, q2, qB ; //Normalized bias charge
real IbF, IbR, Ic, Isub, Pbjt ; //Current and power consumption
```

```
//Results evaluated at operating point :
```

```
real Betadc, Betaac, Cmu, Cpi, gmbjt, fT ;
```

```
//Bipolar transistor branches declaration :
```

```
//Note : only electrical nodes can be declared as branch !
```

```
branch (B1, BX) res_B ; //Base input resistance
```

```
branch (EX, E1) res_E ; //Emitter input resistance
```

```
branch (C1, CX) res_C ; //Collector input resistance
```

```
branch (B1, CX) cap_BC ; //B-C input capacitance
```

```
branch (CX, EX) Dcc ; //Forward & reverse current source
```

```
branch (BX, CX) Dlc, Dc, Cjtc ; //B-C leakage diode, Reverse diode (gain), B-C diffusion & depletion
capacitance
```

```
branch (BX, EX) Dle, De, Cjte ; //B-E leakage diode, Forward diode (gain), B-E diffusion & depletion
capacitance
```

```
branch (SUB, CX) Dsub, Cjsub ; //C-S diode & capacitance
```

```

analog begin
  Tref = 27+'P_CELSIUS0 ; //Reference temperature (300 K)
  EG300 = EG0-(7.02E-4*pow(Tref,2)/(Tref+1108)); //Activation energy @ Tref
  if (Kth == 0) begin
    Temp(TJ) <+ 0 ;
    Th = Temp(THA)+'P_CELSIUS0 ; //Temperature without self-heating effects
  end else begin
    Pwr(TJ) <+ -Pbjt ;
    Pwr(THA, TJ) <+ Pwr(TJ) ;
    Pwr(THA, TJ) <+ Temp(THA, TJ)*Kth ;
    Th = Temp(TJ, THA)+Temp(THA)+'P_CELSIUS0 ; //Temperature with self-heating effects
  end

  //PARAMETERS WITH TEMPERATURE DEPENDANCE
  /***Activation energy**
  EG = EG0-(7.02E-4*pow(Th,2)/(Th+1108)) ;

  /***Saturation current**
  //Forward :
  ISF = IS0*pow((Th/Tref),(XTI/NF))*(exp(('P_Q/(NF*'P_K))*((EG300/Tref)-(EG/Th)))) ;
  //Reverse :
  ISR = IS0*pow((Th/Tref),(XTI/NR))*(exp(('P_Q/(NR*'P_K))*((EG300/Tref)-(EG/Th)))) ;
  //B-C leakage diode :
  ISC = ISC0*pow((Th/Tref),(XTI/NC)-XTB)*(exp(('P_Q/(NC*'P_K))*((EG300/Tref)-(EG/Th)))) ;
  //B-E leakage diode :
  ISE = ISE0*pow((Th/Tref),(XTI/NE)-XTB)*(exp(('P_Q/(NE*'P_K))*((EG300/Tref)-(EG/Th)))) ;
  //Substrate :
  ISS = ISS0*pow((Th/Tref),(XTI/NS))*(exp(('P_Q/(NS*'P_K))*((EG300/Tref)-(EG/Th)))) ;

  /***Current gain**
  BF = BF0*pow((Th/Tref),XTB) ; //Forward
  BR = BR0*pow((Th/Tref),XTB) ; //Reverse

  /***Thermal voltage**
  VT = 'P_K*Th/'P_Q ;

  //Depletion capacitance approx. :
  //SPICE simulator uses  $C_j = C_{j0}/\text{pow}(1-(V(C_{jt})/V_J),M)$  which is not reliable when  $V(C_{jt}) (> \text{ or } =) V_J$ .

```

For that purpose, the previous expression is linearized from  $VJ/2$  to be extrapolated for higher voltages [P.R Gray, P.J Hurst, S.H Lewis, R.G Meyer, Analysis and design of analog integrated circuits, p.5].

//In reference [H.C Poon, H.K Gummel, Modeling of emitter capacitance, Proc. IEEE, 44 (3) : 200-207 (1969)], an adjustment parameter "b" is used ( $b \ll 1$ ).

/\*\*Junction potential [M. Reisch, High-Frequency Bipolar Transistors, p.227]\*\*

VJC = (Th/Tref)\*VJC0-VT\*(3\*ln(Th/Tref)+(‘P\_Q/‘P\_K)\*((EG300/Tref)-(EG/Th))); //B-C

VJE = (Th/Tref)\*VJE0-VT\*(3\*ln(Th/Tref)+(‘P\_Q/‘P\_K)\*((EG300/Tref)-(EG/Th))); //B-E

VJS = (Th/Tref)\*VJS0-VT\*(3\*ln(Th/Tref)+(‘P\_Q/‘P\_K)\*((EG300/Tref)-(EG/Th))); //C-S

a1 = 1+MJC/2;

a2 = 1+MJE/2;

a3 = 1+MJS/2;

/\*\*C0 in GP model [S. Dimitrijevic, Understanding Semiconductor Devices, p.169]\*\*

//BX-CX

C0cbx = CJC0\*XCJC\*(1+MJC\*(0.0004\*(Th/Tref)+(1-VJC/VJC0)))\*(1-MJC)\*pow(1+b,a1)/(1+b-MJC);

//B1-CX

C0cb1 = CJC0\*(1-XCJC)\*(1+MJC\*(0.0004\*(Th/Tref)+(1-VJC/VJC0)))\*(1-MJC)\*pow(1+b,a1)/(1+b-MJC);

//BX-EX

C0e = CJE0\*(1+MJE\*(0.0004\*(Th/Tref)+(1-VJE/VJE0)))\*(1-MJE)\*pow(1+b,a2)/(1+b-MJE);

//CX-S

C0s = CJS0\*(1+MJS\*(0.0004\*(Th/Tref)+(1-VJS/VJS0)))\*(1-MJS)\*pow(1+b,a3)/(1+b-MJS);

//CAPACITANCES AND CHARGES

/\*\*Transit time\*\*

TauF = TF\*(1+XTF\*pow((I(De)/I(De)+ITF),2)\*exp(V(Dc)/(1.44\*VTF)));

TauR = TR;

/\*\*Normalized bias charge\*\*

q1 = 1/(1-(V(Dc)/VAF)-(V(De)/VAR));

q2 = (ISF\*(exp(V(De)/(NF\*VT))-1)/IKF)+(ISR\*(exp(V(Dc)/(NR\*VT))-1)/IKR);

qB = (q1+q1\*sqrt(1+4\*q2))/2;

//Based on the expression  $qB = (q1 + \sqrt{\text{pow}(q1,2) + 4*q2})/2 = (q1 + q1 * \sqrt{1 + (4*q2/\text{pow}(q1,2))})/2$ ,

the bias charge in SPICE model takes into consideration  $q2 \gg q1^2$

```

/**Diffusion charges (Qtc, Qte)**
Qtc = TauR*ISR*(exp(V(Cjtc)/(NR*VT))-1)/qB ;
Qte = TauF*ISF*(exp(V(Cjte)/(NF*VT))-1)/qB ;

/**Depletion capacitances**
Cjc = (Area*C0cbx/(pow(b+pow(1-(V(Cjtc)/VJC),2),(MJC/2))))*(1+((MJC*b)/((1-MJC)*(b+pow(1-
(V(Cjtc)/VJC),2)))));
Cje = (Area*C0e/(pow(b+pow(1-(V(Cjte)/VJE),2),(MJE/2))))*(1+((MJE*b)/((1-MJE)*(b+pow(1-
(V(Cjte)/VJE),2)))));

/**Depletion charges**
//Qjc, Qjcb, Qje, Qjs are evaluated by : Qjx = integral (Cjx) dv
Qjc = Area*C0cbx*(VJC-V(Cjtc))/((-1+MJC)*sqrt(pow(b+pow((V(Cjtc)/VJC)-1,2),MJC)));
Qjcb = Area*C0cb1*(VJC-V(cap_BC))/((-1+MJC)*sqrt(pow(b+pow((V(cap_BC)/VJC)-1,2),MJC)));
Qje = Area*C0e*(VJE-V(Cjte))/((-1+MJE)*sqrt(pow(b+pow((V(Cjte)/VJE)-1,2),MJE)));
Qjs = Area*C0s*(VJS-V(Cjsub) )/((-1+MJS)*sqrt(pow(b+pow((V(Cjsub)/VJS)-1,2),MJS)));

Qcxbx = Qjc+Qtc ;
Qbxex = Qje+Qte ;

//POWER CALCULATION
IbF = Area*((ISF/BF)*(exp(V(De)/(NF*VT))-1)+ISE*(exp(V(Dle)/(NE*VT))-1)) ;
IbR = Area*((ISR/BR)*(exp(V(Dc)/(NR*VT))-1)+ISC*(exp(V(Dlc)/(NC*VT))-1)) ;
Ic = Area*(ISF*(exp(V(De)/(NF*VT))-1)-ISR*(exp(V(Dc)/(NR*VT))-1))/qB ;

if (ISS0 == 0) begin
    Pbjt = Ic*(V(res_E)+V(res_C)+V(Dcc))+IbR+IbF*(V(res_B)+V(De)) ;
end else begin
    Isub = Area*ISS*(exp(V(Dsub)/(NS*VT))-1) ;
    Pbjt = Ic*(V(res_E)+V(res_C)+V(Dcc))+IbR+IbF*(V(res_B)+V(De))+Isub*V(Dsub) ;
end

//CURRENT AND POTENTIAL EVALUATION
//Forward :
I(De) <+ Area*(ISF/BF)*(limexp(V(De)/(NF*VT))-1) ;
I(Dle) <+ Area*ISE*(limexp(V(Dle)/(NE*VT))-1) ;
I(Cjte) <+ ddt(Qbxex) ;
I(Dcc) <+ Ic ;

```



```

//Reverse :
I(Dc) <+ Area*(ISR/BR)*(limexp(V(Dc)/(NR*VT))-1);
I(Dlc) <+ Area*ISC*(limexp(V(Dlc)/(NC*VT))-1);
I(Cjtc) <+ ddt(Qcxbx);

//Base
V(res_B) <+ I(res_B)*(Rbb/Area);
I(cap_BC) <+ ddt(Qjcb);

//Collector
V(res_C) <+ I(res_C)*(Rcc/Area);

//Emitter
V(res_E) <+ I(res_E)*(Ree/Area);

//Substrate
if (ISS0 == 0) begin
    I(Dsub) <+ 0;
    I(Cjsub) <+ 0;
end else begin
    I(Dsub) <+ Area*ISS*(limexp(V(Dsub)/(NS*VT))-1);
    I(Cjsub) <+ ddt(Qjs);
end

//SPICE results @ operating point
if (I(De)+I(Dle) == 0) begin
    Betadc = 0;
end else begin
    Betadc = (Ic+(Area*ISR*(exp(V(Dc)/(NR*VT))-1)/qB))/IbF;
    gmbjt = (Area/qB)*((ISF/(NF*VT))*exp(V(De)/(NF*VT))-(ISR/(NR*VT))*exp(V(Dc)/(NR*VT)))-
(Ic/(2*qB))*(((1/VAF)+(1/VAR))*(1+sqrt(1+4*q2))/pow(q1,2))+2*q1/sqrt(1+4*q2))*((ISF/(NF*VT*IKF))*
exp(V(De)/(NF*VT))+(ISR/(NR*VT*IKR))*exp(V(Dc)/(NR*VT))));
    Cpi = Cje+TauF*gmbjt;
    Cmu = Cjc;
end
if (gmbjt == 0) begin
    fT = 0;

```

```

    Betaac = 0 ;
end else begin
    fT = 1/(2*'M_PI*(((Cpi+Cmu)/gmbjt)+Cmu*(Ree+Rcc)));
    Betaac = gmbjt/(Area*((ISF/(NF*VT*BF))*exp(V(De)/(NF*VT)))+(ISE/(NE*VT))*
exp(V(Dle)/(NE*VT))));
end
end
endmodule

```

### D.3 Vérifications

Pour valider notre modèle écrit en *Verilog-AMS* et confronter les résultats obtenus avec la simulation sous SPICE®, nous avons tracé quelques courbes caractéristiques d'un transistor bipolaire de type NPN commercialisé (2N5179 - Fairchild Semiconductor) :  $dc$  (figures D.4 et D.5) et petit-signal (figure D.6). La valeur du paramètre  $b$  est fixé ici à 0,36 pour nous permettre de minimiser l'erreur commise avec l'approche SPICE® (équation (D.2)) sur une gamme de tension suffisamment large : l'erreur maximale est d'environ 5% sur la gamme  $[-1 \text{ V}, V_J]$  (Cf figure D.2). De plus, nous avons omis le feedback thermique lors de ces caractérisations ( $K_{th} = 0$ ) de manière à confronter les résultats obtenus.

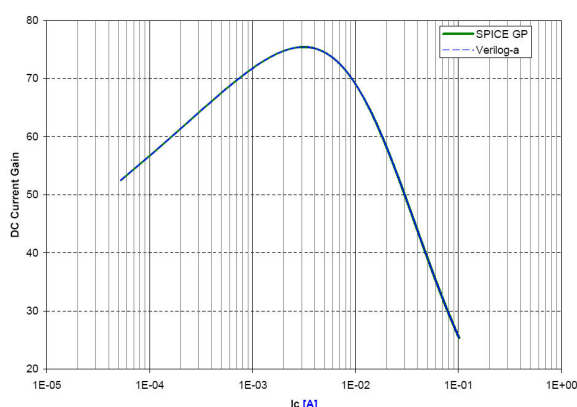


FIGURE D.4 – Gain en courant en fonction de  $I_C$  ( $V_{CE} = 6\text{V}$ ,  $T = 27^\circ\text{C}$ ).

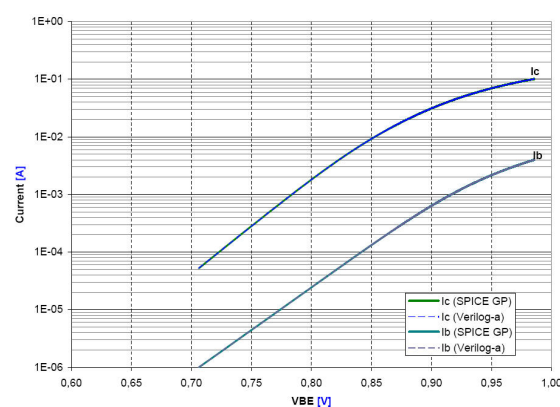


FIGURE D.5 –  $I_C$  et  $I_B$  en fonction de  $V_{BE}$  ( $V_{CE} = 6\text{V}$ ,  $T = 27^\circ\text{C}$ ).

Suite à la simulation, il est possible de relever les caractéristiques des composants qui sont évaluées au point de fonctionnement : courants, tensions et paramètres petit-signal ( $g_m$ ,  $f_T$ ,  $C_\pi$ ...). Dans ce but, nous avons inclus dans notre modèle les expressions relatives au calcul de certains paramètres afin de pouvoir les comparer aux valeurs obtenues lors de la simulation du modèle SPICE® (voir tableau D.2).

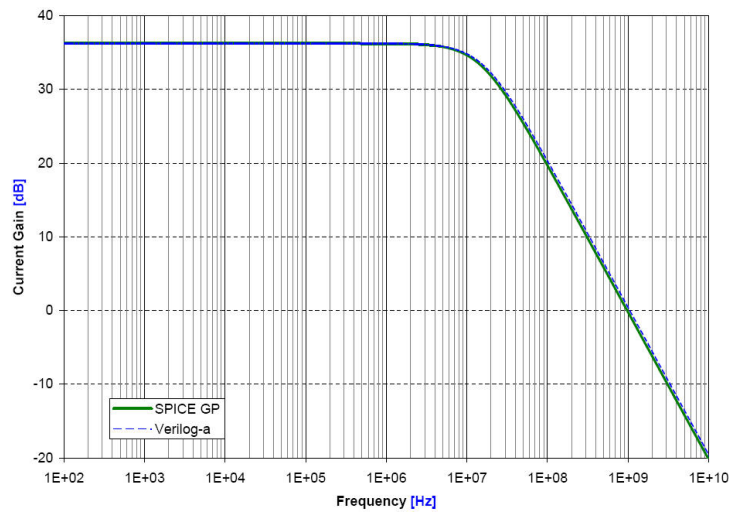


FIGURE D.6 – Gain en courant en fonction de la fréquence ( $V_{CE} = 6V$ ,  $T = 27^{\circ}C$ ) et évaluation de la  $f_T$ .

Modèle	Spice®	Verilog-AMS	Ecarts [%]
<b>Paramètres</b>			
Transconductance ( $g_m$ ) [mS]	225,7	225,7	0
Fréquence de transition ( $f_T$ ) [MHz]	993	1051	5,8
Gain petit-signal ( $\beta_{AC}$ )	65,04	65,02	< 0,1
Capacité Base-Collecteur ( $C_{\mu}$ ) [fF]	626,8	599,9	4,3
Capacité Base-Emetteur ( $C_{\pi}$ ) [pF]	35,56	33,02	7,7

TABLE D.2 – Comparaison de quelques paramètres petit-sinaux du transistor 2N5179 à  $27^{\circ}C$  : simulation du modèle SPICE®, Verilog-AMS et évaluation des écarts relatifs.

Le modèle Verilog-AMS est finalement validé et peut ainsi être utilisé pour d'autres transistors commerciaux de type NPN. Notons cependant que les écarts observés sur la valeur de la capacité  $C_{\pi}$ , intervenant aussi dans l'expression de la  $f_T$  ( $f_T = f(g_m, C_{\pi})$ ), sont principalement liés à la valeur numérique choisie pour le paramètre  $b$  lors du calcul de  $C_j(V)$ .

## Annexe E

# Modèle *Verilog-AMS* des effets thermiques dans le résonateur

Nous présentons ici le modèle *Verilog-AMS* utilisé pour la description des phénomènes thermiques au sein du résonateur à quartz. Nous avons établi notre modèle en prenant en compte les éléments suivants :

- Le résonateur est chauffé de manière symétrique ce qui nous conduit à n'étudier qu'une demi-pastille,
- La résistance et la capacité thermique équivalente sont calculées à partir des dimensions mécaniques de la pastille de quartz,
- L'auto-échauffement (effet joule) est pris en considération par l'intermédiaire de la résistance motrice définie entre les nœuds électriques (XTAL1 et XTAL2).

```
// VerilogA for FemtoS35Lib, XTAL_Thermal, veriloga
```

```
'include "constants.vams"  
'include "disciplines.vams"  
'define frequency_disc
```

```
//-----
```

```
//Nature declaration
```

```
//Frequency in Hertz
```

```
nature VtoFreq
```

```
    units = "Hz" ;
```

```
    access = Freq ;
```

```
    abstol = 1e-3 ;
```

```
endnature
```

```
//Discipline declaration
```

```
discipline frequency_disc
    potential VtoFreq ;
enddiscipline
//—————

module XTAL_Thermal(Th1, Th2, XTAL1, XTAL2, XTALFreq) ;
inout XTAL1, XTAL2, Th1, Th2 ;
output XTALFreq ;
thermal Th1, Th2 ;
electrical XTAL1, XTAL2 ;
frequency_disc XTALFreq ;

//The resonator is a quartz plate
//Quartz motional parameters are not used except Rm for power dissipation by Joule effect

//Equivalent electrical parameters :
parameter real Rm=12.5 ; //Motional resistance @ fnom [Ohms]
parameter real fnom=40E6 ; //Frequency @ Tnom [Hz]
parameter real Tnom=25 ; //Nominal temperature for XTAL parameters extraction [°C]
parameter real A1=0 ; //First order frequency temperature coefficient
parameter real A2=0 ; //Second order frequency temperature coefficient
parameter real A3=0 ; //Third order frequency temperature coefficient
parameter real SH=0 ; //Self-Heating ? [1 = YES, 0 = NO]

//Mechanical parameters :
parameter real diam=8E-3 ; //Quartz diameter [m]
parameter real thick=140E-6 ; //Quartz thickness [m]

//***Parameters***
//Quartz physical properties :
real Rho_qtz ; //Quartz density [kg/m³]
real Cp_qtz ; //Quartz specific heat [J/kg.K]
real Lambda_qtz ; //Quartz thermal conductivity [W/m.K] (between 6.8 to 12)

//Other :
real Tau_qtz ; //Thermal time constant [s]
real Rth_qtz, Cth_qtz ; //Thermal resistance [K/W] and capacitance
real Vqtz ; //quartz plate volume [m³]
```

---

```

real freq ; //Frequency

//Electrical branch declaration :
// XTAL1—Rm—XTAL2

//Internal nodes
frequency_disc Freqgnd ; //Frequency reference (=0)
thermal THgnd ; //Thermal ground
thermal Th15 ; //XTAL thermal center node

analog begin
    //Parameters declaration
    Rho_qtz = 2650.7 ;
    Cp_qtz = 790 ;
    Lambda_qtz = 8.37 ;
    Vqtz = ('M_PI*pow(diam,2)*thick)/4 ;

    //Thermal resistance and time constant calculation (half-plate)
    Rth_qtz = 'M_PI/(4*Lambda_qtz*thick) ;
    Tau_qtz = Rho_qtz*Vqtz*Cp_qtz*Rth_qtz/2 ; //Determined from heat equation
    Cth_qtz = Tau_qtz/Rth_qtz ;

    //Self-heating effects (Power source added to node XTALTmp)
    //If SH = 0 -> No self-heating, if SH = 1 -> self-heating
    //Self-heating induced by the current flowing through the motional branch and dissipated by Rm
    Temp(THgnd) <+ 0 ;
    Freq(Freqgnd) <+ 0 ;

    if (SH == 0) begin
        Temp(Th1, Th15) <+ Rth_qtz*Pwr(Th1, Th15) ;
        Pwr(Th15, Th2) <+ Cth_qtz*ddt(Temp(Th15, Th2)) ;
        Freq(XTALFreq, Freqgnd) <+ fnom*(1+A1*(Temp(Th15, Th2)-Tnom)+A2*pow((Temp(Th15,
Th2)-Tnom),2)+A3*pow((Temp(Th15, Th2)-Tnom),3)) ;
        V(XTAL1, XTAL2) <+ Rm*I(XTAL1, XTAL2) ;
    end else begin
        Temp(Th1, Th15) <+ Rth_qtz*Pwr(Th1, Th15) ;
        Pwr(Th15, Th2) <+ Cth_qtz*ddt(Temp(Th15, Th2)) ;
        Pwr(THgnd, Th15) <+ Rm*pow(I(XTAL1, XTAL2),2) ;
    end
end

```

```
    Freq(XTALFreq, Freqgnd) <+ fnom*(1+A1*(Temp(Th15, Th2)-Tnom)+A2*pow((Temp(Th15,
Th2)-Tnom),2)+A3*pow((Temp(Th15, Th2)-Tnom),3));
    V(XTAL1, XTAL2) <+ Rm*I(XTAL1, XTAL2);
    end
    end
endmodule
```

## Résumé

Le besoin croissant de réduction du volume, de la masse et de la consommation des dispositifs électroniques sans pertes de performances concerne aussi les oscillateurs à quartz utilisés dans les applications métrologiques (bases de temps, capteurs), la téléphonie, la navigation... Dans le cadre de cette problématique, nous avons développé un ASIC (Application Specific Integrated Circuit) en technologie  $0,35\ \mu\text{m}$  SiGe BiCMOS (Austriamicrosystems®) fonctionnant sous  $3,3\ \text{V}$  ( $\pm 10\%$ ) pour réaliser un oscillateur à quartz miniature opérationnel sur une gamme en fréquence allant de  $10\ \text{MHz}$  à  $100\ \text{MHz}$ . Ce circuit dont la surface ne dépasse pas les  $4\ \text{mm}^2$  est composé de diverses cellules RF, depuis le système d'entretien de type Colpitts, la mise en forme et jusqu'à l'adaptation du signal à sa charge d'utilisation ( $50\ \Omega$  ou HCMOS). Ces cellules sont toutes polarisées par une référence de tension interne de type bandgap CMOS. La consommation totale du circuit en charge reste inférieure à  $100\ \text{mW}$  pour un bruit blanc de phase visé de  $-150\ \text{dBc/Hz}$  à  $40\ \text{MHz}$ . Pour minimiser la sensibilité thermique du résonateur et ainsi pouvoir s'orienter également vers des applications OCXO (Oven Controlled Crystal Oscillator), nous avons partiellement intégré une régulation de température dans notre ASIC. Cette régulation fortement dépendante de l'architecture thermo-mécanique a été dimensionnée puis validée au travers de modélisations par analogie sous Spectre®. Notre électronique intégrée nécessite peu de composants externes et nous l'avons reportée par flip chip sur une interface spécifique pour obtenir finalement un démonstrateur miniature encapsulé avec son résonateur dans un même boîtier (TO-8 :  $\text{Ø}15,2\ \text{mm}$ ).

**Mot-clés :** oscillateur à quartz, intégration, ASIC, topologie Colpitts, régulation en température, modélisation, flip chip.

---

## Abstract

The increasing demand for high-performance devices featuring compact, lighter-weight designs with low-power consumption also impacts quartz crystal oscillators used in metrological applications (time bases, sensors), telephony or navigation. In this context, we have developed an ASIC (Application Specific Integrated Circuit) in  $0.35\ \mu\text{m}$  SiGe BiCMOS technology (Austriamicrosystems®) supplied by  $3.3\ \text{V}$  ( $\pm 10\%$ ) to realize a miniaturized quartz crystal oscillator operating in the  $10\ \text{MHz}$  to  $100\ \text{MHz}$  frequency range. The fabricated die hosts several RF cells in a  $4\ \text{mm}^2$  area, including a sustaining amplifier (Colpitts topology), a signal shaping circuit and an output buffer dedicated to a specific load ( $50\ \Omega$  or HCMOS). These cells are biased by a fully integrated CMOS bandgap voltage reference. The die power consumption remains lower than  $100\ \text{mW}$  for a targeted phase noise floor as low as  $-150\ \text{dBc/Hz}$  at a  $40\ \text{MHz}$  carrier frequency. A thermal control loop has in addition been partially integrated to the ASIC, in order to reduce the quartz resonator thermal sensitivity as well as to extend the potential application field of the developed die to oven applications (OCXO). The thermal control, that is strongly dependant on the mechanical design, has been designed and tested by using electrical analogy modeling on Spectre® simulator. Finally our integrated circuit has been connected to a specific substrate using flip chip technology to realize a miniaturized quartz crystal oscillator packaged on a TO-8 enclosure ( $\text{Ø}15.2\ \text{mm}$ ).

**Key words :** quartz crystal oscillator, integration, ASIC, Colpitts topology, thermal control, modeling, flip chip.