



HAL
open science

Etude de transistors en couches minces à base de silicium polymorphe pour leur application aux écrans plats à matrice active LCD ou OLED

Julien Brochet

► **To cite this version:**

Julien Brochet. Etude de transistors en couches minces à base de silicium polymorphe pour leur application aux écrans plats à matrice active LCD ou OLED. Autre. Université de Grenoble, 2011. Français. NNT : 2011GRENT078 . tel-00682892

HAL Id: tel-00682892

<https://theses.hal.science/tel-00682892v1>

Submitted on 27 Mar 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : « **Micro et Nano Electronique** »

Arrêté ministériel : 7 août 2006

Présentée par

Julien Brochet

Thèse dirigée par **Pere Roca i Cabarrocas** et
codirigée par **François Templier**

préparée au sein du **Laboratoire d'Electronique et de
Technologie de l'Information du CEA Grenoble**

dans l'**École Doctorale « Electronique, Electrotechnique,
Automatique et Traitement du Signal »**

Etude de transistors en couches minces à base de silicium polymorphe pour leur application aux écrans plats à matrice active LCD et OLED

Thèse soutenue publiquement le **04 Octobre 2011**
devant le jury composé de :

M. Pere ROCA i CABARROCAS

Directeur de Recherches, Ecole Polytechnique de Palaiseau, Directeur
de thèse

M. François TEMPLIER

Ingénieur Chercheur, CEA-Leti Minatec, Grenoble, Co-encadrant

M. Ralf WEHRSPORN

Professeur, Directeur d'institut, Institut Fraunhofer, Halle, Allemagne,
Rapporteur

M. Tayeb MOHAMMED-BRAHIM

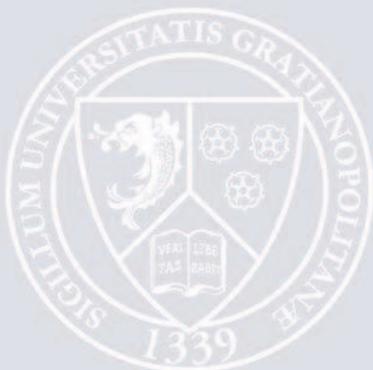
Professeur, Université de Rennes 1, Rapporteur

M. Marc AUDIER

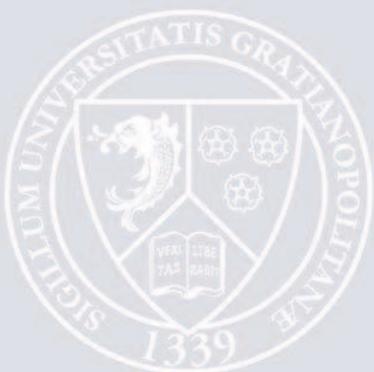
Directeur de Recherches, INP Grenoble, Examineur

M. Hugues LEBRUN

Chef de Service, Thales Avionics LCD, Moirans, Examineur



UNIVERSITÉ DE GRENOBLE



Remerciements

Après trois années de thèse, l'heure est aux remerciements et je me retrouve dans la fâcheuse position de celui qui a peur d'oublier certaines personnes qui ont pourtant comptées lors de ces années de sa vie et je ne souhaite surtout pas les vexer. Je commencerais donc par m'excuser auprès des probables « oubliés » de ces remerciements. Sachez que si vous n'êtes pas cités, je pense tout de même à vous et j'espère que vous ne m'en tiendrez pas rigueur.

Je commencerais par remercier sincèrement M. Hugues Lebrun, M. Marc Audier, M. Ralf Wehrspohn ainsi que M. Tayeb Mohammed-Brahim pour avoir accepté de participer au jury de ce travail de thèse.

Cette thèse a été réalisée au Commissariat à l'Energie Atomique et aux Energies Alternatives (CEA) de Grenoble, au sein du Laboratoire des Technologies et Composants pour la Visualisation (LTCV), Département Intégration Hétérogène sur Silicium (DIHS) puis Département Optronique (DOPT), Service Ingénierie Optique et Nouvelles Applications (SIONA), Leti. Je tiens donc à remercier M. Christophe Wyon ainsi que Mme Emilie Viasnoff pour m'avoir accueilli dans leur laboratoire et pour m'avoir donné les moyens de réaliser ce travail de thèse dans les meilleures conditions. Je citerais également le projet européen AMAzOLED qui a permis au CEA d'engager le thésard que je suis pour étudier les TFTs en silicium polymorphe.

Je remercie également très chaleureusement mon directeur de thèse, M. Pere Roca i Cabarrocas, du Laboratoire de Physique des Interfaces et Couches Minces (LPICM) de l'école Polytechnique de Palaiseau, qui par son intérêt, ses conseils et ses remarques constructives m'a poussé à aller plus loin dans la connaissance du silicium polymorphe.

J'adresserais également des remerciements (presque) infinis à M. François Templier, mon co-encadrant de thèse, au CEA, qui par sa proximité (bureau d'à côté en open-space !), sa bienveillance, ses idées et les discussions que nous avons eu (sans oublier son sens de l'humour qui a parfois permis d'élever le niveau lors des repas) m'a permis d'arriver au bout de ce travail de thèse. Il fut comme un Maître Jedi pour le jeune padawan que j'étais, un Obi-Wan Kenobi pour le jeune Luke. Je ne le remercierais jamais assez.

Je continuerais ces remerciements en faisant un tour par le labo : tout d'abord, je tiens à remercier Béatrice Rostand pour sa gestion des tâches administratives. Sans elle, je me serais noyé sous la paperasse. Un énorme merci pour Mister TFT, alias Bernard Aventurier sans qui je n'aurais pas eu grand-chose à « me mettre sous la dent ». Merci également à Patrick Demars pour avoir réalisé l'interface LabView du banc de stress. Merci à mon ami

Marseillais, Frédéric Sermet, pour avoir partagé la joie d'un nouveau titre de Champion de France et 5 trophées en 3ans ! Allez l'OM !! Merci à Tony Maindron, le « québécois », pour les franches rigolades qui ont égayées nombre de mes journées (je crois que je devrais également remercier Gad Elmaleh, Franck Dubosc et Stéphane Rousseau, ainsi que les Inconnus et les Nuls qui furent souvent à l'origine de ces rigolades !). Il m'aurait presque convaincu d'aller au Québec, malheureusement ma frilosité l'a emporté ! Un merci particulier pour Umberto Rossini, qui m'a fait comprendre que ma place était peut-être dans l'hémisphère sud, là où je pourrais touiller mon café dans le sens antihoraire sans qu'on me le fasse remarquer ! Et n'oubliez pas que si vous avez une question d'ordre cinématographique, vous pouvez m'appeler.

Je pourrais détailler des anecdotes pour chaque membre du labo, je pense cependant que la place viendrait à manquer. J'adresserais donc simplement un grand merci pour leur accueil et les moments partagés à Dennis Sarrasin, Henri Doyeux, Laurence Clerc, Thierry Farjot, Thierry Flahaut, Tony Jullien, Stéphanie Le Calvez, David Vauffrey, Sylvia Meunier Della-Gata, Edouard Deschaseaux, Marie-Line Pourteaux, Romain Fayolle, Aurélie Souhaité, Julia De Girolamo et Thierry Claret.

Merci aussi aux thésards et post-doc que je laisse derrière moi et à tous les stagiaires que j'ai croisé au cours de ces trois années.

J'adresse aussi mes remerciements à Maher Oudwan et Oumkelthoum Mint Moustapha pour les discussions enrichissantes que nous avons eu sur les TFTs et pour m'avoir accordé leur aide lorsque j'en avais besoin.

Je tiens également à remercier M. David Cooper du CEA-Leti pour les observations TEM et les conversations que nous avons eu à ce sujet, M. Pierre Bordet et M. Jean-Louis Hodeau du CNRS ainsi que Nathalie Boudet et Jean-François Bélar de l'ESRF pour l'expérience synchrotron, les PDF et les discussions que nous avons eu sur notre matériau polymorphe. Que M. Marc Audier se trouve ici remercié (à nouveau) pour son aide incommensurable sur la cristallisation par interférences laser 4 faisceaux.

Pour finir, merci à Julian Duchaine et Galdric Sibiude, qui furent mes « collocs » pendant 3ans et qui ont partagé avec moi les bons comme les mauvais moments. Ils sont entrés dans le cercles des amis « ad vitam aeternam », au même titre que Thomas, Julie, Paul, Anne-Laure, Elodie, Sophie, Rachid et parmi lesquels figurent également, Jérémy, Michael, Julien, Jérôme, Fabrice, Christine, Philippe. Autant d'amis sincères que je remercie de tout cœur pour leur soutien dans les moments difficiles, comme dans les moments de joie.

Ces remerciements s'adressent également à mes parents, sans qui rien n'aurait été possible, à mon frère, Jeff et à ma sœur, Cheyenne. Merci à mon amour, Delphine, de m'avoir supporté pendant tout ce temps et de continuer à le faire jour après jour.

Table des matières

| | |
|--|----|
| INTRODUCTION GENERALE | 9 |
| CHAPITRE 1 | 13 |
| GENERALITES ET OBJECTIFS | 13 |
| 1. Applications des transistors en couches minces | 13 |
| 2. Ecrans plats à matrice active | 15 |
| 2.1. Pixel LCD | 16 |
| 2.2. Pixel OLED | 18 |
| 3. Structures et matériaux | 19 |
| 3.1. Différentes structures de TFT | 19 |
| 3.2. Différents matériaux et problématiques associées | 22 |
| 4. Le silicium polymorphe | 27 |
| 5. Nouvelle méthode de cristallisation du silicium | 28 |
| 6. Objectifs | 30 |
| CHAPITRE 2 | 35 |
| FABRICATION ET CARACTERISATION DE TFTs A BASE DE pm-Si:H | 35 |
| 1. Fabrication de transistors en couches en minces à base de silicium polymorphe | 36 |
| 1.1. Etapes technologiques | 36 |
| 1.2. Transfert technologique du procédé pm-Si:H | 42 |
| 1.3. Caractérisation de la couche de silicium polymorphe par ellipsométrie spectroscopique | 42 |
| 2. Caractérisation électrique | 43 |
| 2.1. Dispositif de caractérisation électrique des TFTs | 43 |
| 2.2. Courbe de sortie I_D-V_D | 44 |
| 2.3. Courbe de transfert I_D-V_G | 45 |

| | | |
|------|---|-----------|
| 3. | Extraction des paramètres | 46 |
| 3.1. | Mobilité μ | 46 |
| 3.2. | Tension de seuil V_{TH} | 48 |
| 3.3. | Pente sous le seuil S | 50 |
| 3.4. | Rapport I_{ON}/I_{OFF} | 51 |
| 4. | Courant OFF dans les TFTs en pm-Si:H - Comparaison avec les TFTs en μ c-Si:H | 52 |
| 4.1. | Effets des dimensions du canal | 52 |
| 4.2. | Mesures d'énergies d'activation du courant de fuite | 56 |
| 5. | Conclusion..... | 58 |
| | CHAPITRE 3 | 63 |
| | STABILITE DE TRANSISTORS EN COUCHES MINCES EN SILICIUM | |
| | POLYMORPHE | 63 |
| 1. | Mécanismes responsables de la dérive de la tension de seuil V_T dans le silicium amorphe hydrogéné. | 64 |
| 1.1. | Création d'états | 64 |
| 1.2. | Piégeage de charges | 66 |
| 1.3. | Mise en évidence des mécanismes de dérive | 68 |
| 2. | Evolution des caractéristiques de transfert selon différentes conditions de tension de grille. | 70 |
| 2.1. | Stress sous faible V_G : $V_G = 12$ V | 70 |
| 2.2. | Stress sous V_G modéré : $V_G = 20$ V | 72 |
| 2.3. | Stress sous fort V_G : $V_G = 30$ V | 73 |
| 2.4. | Stress sous V_G négatif : $V_G = -30$ V | 75 |
| 2.5. | Stress sous fort V_D : $V_D = 10$ V | 77 |
| 2.6. | Synthèse | 79 |
| 3. | Modélisation de la dérive de la tension de seuil avec une équation de type « stretched exponential » | 80 |
| 4. | Effet de la relaxation et de la récupération par application d'une tension opposé sur des TFTs stressés | 85 |
| 4.1. | Relaxation | 86 |
| 4.2. | Reverse bias annealing..... | 87 |
| 5. | Comparaison avec le silicium amorphe | 87 |
| 6. | Conclusion..... | 89 |

| | |
|---|-----|
| CHAPITRE 4 | 95 |
| ANALYSE STRUCTURALE DU SILICIUM POLYMORPHE | 95 |
| 1. Spectroscopie Raman | 96 |
| 2. Etude par Microscope Electronique à Transmission..... | 97 |
| 2.1. Préparation d'échantillons | 99 |
| 2.2. Observations TEM | 99 |
| 3. Etude par diffraction des rayons X Synchrotron..... | 104 |
| 3.1. Principe de l'expérience..... | 105 |
| 3.2. Echantillons..... | 107 |
| 3.3. Détecteurs | 107 |
| 3.4. Mesures à forte énergie (26keV) | 108 |
| 3.5. Mesures à faible énergie (7keV)..... | 112 |
| 4. Conclusion..... | 118 |
| | |
| CHAPITRE 5 | 123 |
| CRISTALLISATION D'UNE COUCHE MINCE DE SILICIUM AMORPHE PAR INTERFEROMETRIE LASER | 123 |
| 1. Cristallisation par interférométrie laser..... | 124 |
| 1.1. Aperçu des méthodes de cristallisation existantes..... | 124 |
| 1.2. Principe théorique de la cristallisation par interférométrie laser | 126 |
| 1.3. Mise en place expérimentale | 129 |
| 1.4. Cristallisation de silicium amorphe par interférométrie laser | 133 |
| 2. Caractérisation des couches traitées par laser | 134 |
| 2.1. Observation microscope optique | 134 |
| 2.2. Diffraction de rayons X..... | 136 |
| 2.3. Observation au Microscope Electronique à Transmission | 137 |
| 2.4. Révélation joints de grain | 139 |
| 3. Fabrication de TFTs | 140 |
| 3.1. Conditions de cristallisation | 140 |
| 3.2. Procédé de fabrication de TFTs circulaires | 141 |
| 3.3. Problèmes rencontrés lors du procédé de fabrication..... | 143 |
| 4. Mesures TLM : vérification de l'activation des dopants après implantation..... | 145 |
| 5. Conclusion..... | 148 |

| | |
|--|-----|
| CONCLUSION GENERALE ET PERSPECTIVES | 151 |
| RESUME | 157 |
| ANNEXE | 159 |
| Principe de fonctionnement des Transistors en Couches Minces | 159 |
| • Régime bloqué | 160 |
| • Régime sous le seuil | 161 |
| • Régime passant | 161 |

Introduction générale

Depuis plusieurs années, la demande d'afficheurs de petites, moyennes ou grandes dimensions, ne cesse d'augmenter. Le marché des écrans plats à matrice active LCD (Active matrix Liquid Cristal Display, AM-LCD) et OLED (Organic Light Emitting Diode, AM-OLED) est en continuelle augmentation. Le marché des écrans AM-LCD représente à lui seul plus de 90% du chiffre d'affaires de la vente d'écrans en 2010. La diversité d'applications des écrans AM-LCD et AM-OLED est considérable : écrans pour l'automobile, l'avionique, les ordinateurs portables, les consoles de jeu, les téléviseurs... Le secteur d'application phare des écrans AM-OLED en 2011 est sans aucun doute les téléphones mobiles qui ne représentent pas moins de 50% de la vente de produits dans ce secteur (Figure 1). Et leur utilisation dans le domaine des téléviseurs réalisent leurs premiers pas, ce qui laisse présager un bel avenir pour les écrans OLED.

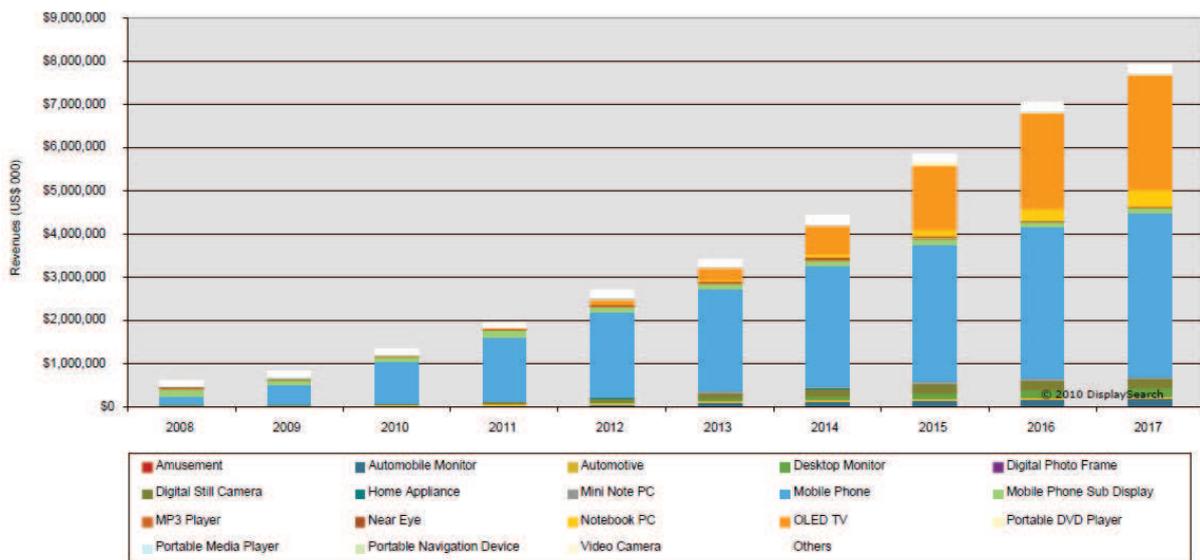


Figure 1: Projection des revenus de la vente d'écrans OLED jusqu'en 2017 en fonction des applications[1].

Le succès des écrans AM-OLED est dû à plusieurs facteurs : les pixels sont émissifs et ne nécessitent pas de back-light, contrairement au cas des écrans AM-LCD, leurs performances sont accrues : meilleur angle de vue, meilleure qualité d'images, temps de réponse plus rapide et consommation plus faible que pour les AM-LCD, ce qui confère un fort potentiel à cette technologie. En effet, l'utilisation d'OLEDs offre la perspective de réaliser des écrans à matrice active flexibles, de n'importe quelle forme et de grandes tailles, avec une faible consommation, à faible coût, comme le montre l'annonce récente de Samsung, qui s'appête à se lancer dans la production de masse d'écrans AMOLED flexibles de hautes performances que

l'on pourrait retrouver sur le marché en 2012 [2]. L'aspect économique et les performances obtenues avec ces technologies ont signifié la fin du marché des écrans à tubes cathodiques qui devrait s'éteindre dans les prochaines années.

Les pixels des écrans à matrice active sont adressés individuellement. Chaque pixel est composé d'un ou plusieurs transistors et capacités qui alimentent la cellule de cristal liquide ou l'OLED pendant le fonctionnement de l'écran. La matrice active elle-même est adressée par les circuits d'adressage (drivers). La technologie utilisée par les industriels du domaine est la technologie des transistors en couches minces (TFT, Thin-Film Transistor). Dans le cas d'écrans AM-LCD, le TFT joue principalement un rôle sélection du pixel alors que dans le cas des écrans AM-OLED, le TFT alimente l'OLED pendant toute la durée d'émission du pixel. Selon l'application dans laquelle sont utilisés les TFTs, les performances visées ne sont pas les mêmes. De façon générale, plusieurs paramètres sont importants, comme la mobilité, la stabilité de la tension de seuil V_{TH} , le courant en régime bloqué et la vitesse du TFT à passer de l'état bloqué (état OFF) à l'état passant (état ON), caractérisé par la pente sous le seuil. Afin de réduire le coût de fabrication, et de façon à aller vers plus de miniaturisation, un des défis de la technologie est de pouvoir intégrer les pixels et les drivers sur un même substrat. Aujourd'hui, les TFTs utilisés dans la fabrication d'écrans plats à matrice active sont basés sur deux types de technologies silicium, très matures, qui présentent chacune leurs avantages et leurs inconvénients : la technologie du silicium amorphe (a-Si:H) et la technologie du silicium polycristallin, ou poly-silicium (poly-Si).

Le silicium amorphe (a-Si:H) est un matériau qui se dépose par décomposition chimique en phase vapeur assisté par plasma (PECVD : Plasma Enhanced Chemical Vapor Deposition). Il s'agit d'une méthode simple et peu coûteuse. La couche déposée par PECVD est très homogène, par conséquent, les TFTs réalisés en a-Si:H sont également homogènes au niveau de leurs caractéristiques. Cette technologie est majoritairement utilisée dans le domaine des écrans AM-LCD pour son faible coût de fabrication et sa grande homogénéité qui permet d'obtenir des écrans de grandes dimensions. Les TFTs en silicium amorphe présentent l'avantage d'avoir un très faible courant en régime bloqué. Cependant, ces TFTs présentent des mobilités assez faibles de l'ordre de 0.5 à $1 \text{ cm}^2/(\text{V.s})$. Dans les écrans AM-OLED, cette mobilité est trop faible pour les TFTs jouant le rôle de source de courant de l'OLED. Cela oblige à augmenter la taille des TFTs provoquant une augmentation de la taille des pixels, ce qui n'est pas désiré dans le cadre d'écrans haute résolution. De même, cette mobilité peut potentiellement être suffisante pour réaliser les drivers des matrices actives, cependant la grande dérive de la tension de seuil V_{TH} est un inconvénient majeur pour cette application. Ce problème de stabilité est également un paramètre limitant pour l'utilisation des TFTs en a-Si:H dans les écrans AM-OLED puisque dans ce cas particulier les TFTs sont en fonctionnement pendant toute la durée d'émission des pixels. Cela entraîne une dérive des caractéristiques des TFT en a-Si:H, principalement au niveau de la tension de seuil V_{TH} provoquant un changement du courant délivré à l'OLED (le courant dans l'OLED est proportionnel à la tension de seuil du TFT).

Le poly-silicium utilisé dans le domaine des écrans plats à matrice active est le plus souvent obtenu par recuit laser excimère sur une couche de silicium amorphe. Lors du procédé de fabrication des TFTs, on doit également avoir recours à une étape d'implantation d'ionique (implantation d'atomes de phosphore ou bore) pour former les contacts du TFT. Ces deux points font que cette technologie est beaucoup plus coûteuse que la technologie a-Si:H. Le coût élevé de cette technologie est compensé par des très bonnes performances des TFTs en poly-Si. Ceux-ci montrent une très bonne stabilité de leurs paramètres au cours du fonctionnement, une grande mobilité, pouvant aller de 50 à 450 cm²/(V.s), ce qui en font de parfaits candidats pour la réalisation de drivers intégrés et de pixels OLED. Cependant, ils peuvent parfois afficher un courant en régime bloqué assez élevé. De même, la méthode de cristallisation présente des limites au niveau de l'homogénéité de la couche obtenue sur de grandes surfaces, ce qui restreint l'utilisation de ce matériau pour les écrans de petites et moyennes dimensions (typiquement, les écrans des téléphones et ordinateurs portables).

Ces dernières années, un nouveau matériau a fait son apparition : le silicium polymorphe (pm-Si:H). Celui-ci est composé de cristallites de Si de quelques nanomètres dans une matrice de silicium amorphe relaxée. L'application visée lors de son apparition était celle des cellules solaires photovoltaïques. Cependant, les premières études menées sur ce matériau ont montré qu'il pourrait être intéressant d'étudier son application dans le domaine des TFTs, plus particulièrement pour des applications d'écrans plats à matrice active LCD et OLED.

Ce travail de thèse s'inscrit dans cette optique. Nous nous sommes fixés comme objectif d'étudier le comportement de TFTs en pm-Si:H au cours de son fonctionnement, aussi bien au niveau du courant en régime bloqué, qu'au niveau de la stabilité de la tension de seuil V_{TH} . Nous tâcherons également d'apporter des connaissances au niveau de la structure du matériau.

Pour finir, nous nous intéresserons à une nouvelle méthode de cristallisation du silicium amorphe. Nous montrerons le fort potentiel de cette méthode pour l'obtention de TFTs en poly-Si à basse température, avec des propriétés homogènes sur de grandes surfaces, ce qui est l'inconvénient majeur des TFTs en poly-Si existants à l'heure actuelle.

Enfin, nous terminerons par un bilan de ce travail de thèse présentant les conclusions de ces diverses études et les perspectives possibles de ce travail.

Référence

[1] J. Colegrove, "OLED Display and OLED Lighting Technology and Market Forecast", DisplaySearch, 2010 (<http://www.displaysearch.com>)

[2] http://www.gentside.com/flexible-amoled/samsung-flexible-amoled-l-039-ecran-flexible-du-futur_art25745.html

CHAPITRE 1

GENERALITES ET OBJECTIFS

Ce chapitre a pour but d'aborder les diverses applications utilisant les transistors en couches minces et plus spécifiquement, le domaine des écrans plats. Les différentes structures de transistors en couches minces seront définies ainsi que les différents matériaux utilisés pour leur fabrication. Après avoir relevé les problématiques inhérentes aux différentes technologies utilisées dans la conception des écrans plats, les alternatives envisagées dans le cadre de cette thèse seront présentées. Ces alternatives sont : le silicium polymorphe et le poly-silicium 3D.

1. Applications des transistors en couches minces

Les transistors en couches minces, communément appelés TFTs, acronyme de l'anglais Thin Film Transistors, sont des transistors à effet de champ (FET : Field Effect Transistor) de type Métal Isolant Semi-conducteur ou Métal Oxyde Semi-conducteur (MISFET ou MOSFET). Au contraire des transistors CMOS (Complementary MOS) pour lesquels le semiconducteur est présent dans le substrat (substrat de silicium cristallin), la couche active de semiconducteur est déposée dans le cas des TFTs. Ils sont composés de 3 contacts, appelés source, drain et grille. L'application d'une tension sur la grille du TFT permet la circulation des électrons entre la source et le drain. Ce type de transistors existe depuis le

début des années 60. Ce fut une découverte exceptionnelle qui ouvrait la voie à une miniaturisation et donc à une diminution des coûts des composants. En effet, en 1962, P.K Weimer [1] des laboratoires RCA présente un TFT déposé sur verre avec une couche active polycristalline de sulfure de cadmium (CdS). La première matrice active de TFTs a été réalisée presque 10 ans plus tard, en 1973, par T.P. Brody [2]. Il s'agissait d'un écran à matrice active LCD (Liquid Crystal Display) de 6 x 6 pouces. Les TFTs étaient composés de sélénure de cadmium (CdSe). L'intérêt des TFTs devenait évident. Depuis lors, de multiples recherches ont été effectuées sur le sujet afin d'aller toujours plus loin dans la miniaturisation et la diminution des coûts. Ainsi, au début des années 80, les premiers TFTs en silicium amorphe hydrogéné font leur apparition [3]. Ces TFTs sont fabriqués sur des substrats de verre dont les coûts sont très faibles, ce qui induit de faibles coûts surfaciques des TFTs. La production de masse d'afficheurs à matrice active commence à la fin des années 80, avec, en France, la création de THALES Avionics en 1989 et de sa filiale THALES Avionics LCD. Les TFTs sont utilisés aussi bien pour les circuits pixels que pour les circuits de commandes d'affichage. Les années qui suivent voient les progrès réalisés sur les procédés de fabrication porter leur fruit. Effectivement, l'amélioration des dépôts de couches minces, des architectures des TFTs permettent une réduction accrue des coûts de fabrication. Plus les coûts de fabrication diminuent, plus les prix de ventes des écrans plats à matrice active deviennent attractifs pour les consommateurs. A tel point qu'au début des années 2000, 50% des revenus des ventes d'écrans proviennent des ventes d'écrans plats [4]. DisplaySearch estime à près de 110 milliards de dollars les revenus provenant de la vente d'écrans en 2010. Plus de 90% de ces écrans sont des écrans plats à matrice active LCD (AMLCD). Dans les prochaines années, l'émergence d'un nouveau marché, celui des écrans plats à matrice active OLED (AMOLED) devrait maintenir les ventes d'écrans plats à matrice active à ce niveau de revenus.

L'utilisation des TFTs dans le domaine des écrans plats est donc très lucrative. Cependant, d'autres domaines d'applications font appel aux transistors en couches minces, parmi lesquelles nous pouvons retrouver l'imagerie médicale, qui est certainement le 2nd marché d'activité des TFTs et qui utilise par exemple des afficheurs de type AMFPI (Active Matrix Flat Panel Imagers) dans lesquels les TFTs sont intégrés aux convertisseurs de rayons X [5]. On retrouve également les TFTs dans les capteurs biologiques.

Plus récemment, la recherche s'intéresse aux applications d'électronique flexible, c'est-à-dire l'intégration de composants sur des substrats plastiques ou de fines feuilles métalliques. De même, d'autres produits intègrent des TFTs, tels que les mémoires flash et non volatiles, imprimantes, etc... [6]



Figure 1: Exemple d'applications issues de la technologie TFT: (a) téléviseurs LCD[7], (b) radiographie X [8], (c) écrans AMOLED de téléphone portable [9] et (d) écran OLED flexible [10].

On attend de ces TFTs différentes performances selon l'application visée. En effet, suivant les dispositifs dans lesquels ils sont intégrés, ils jouent le rôle d'interrupteurs (AMLCD) ou bien de sources de courant (AMOLED). Les performances des TFTs sont généralement définies d'après les paramètres suivants, certains paramètres étant plus critiques que d'autres selon l'application visée :

- Faible courant OFF
- Bonne mobilité
- Faible tension de seuil
- Stabilité électrique
- Uniformité sur de grandes surfaces

Dans ce travail de thèse, on s'intéresse à l'utilisation des TFTs dans le domaine des écrans plats. Par conséquent, les paragraphes suivants vont nous permettre de définir ce qu'est un écran plat à matrice active, de différencier les éléments unitaires (pixel) d'afficheurs LCD et OLED. Ensuite nous traiterons des différentes structures et matériaux utilisés dans la fabrication de TFTs. Ceci permettra de définir les problématiques associées aux performances des TFTs selon les technologies utilisées et nous présenterons les alternatives étudiées au cours de cette thèse.

2. Ecrans plats à matrice active

Tout d'abord, on distingue deux types d'adressages des écrans plats. L'adressage à matrice passive et l'adressage à matrice active. Dans le cas de la matrice passive, il y a une électrode colonne et une contre-électrode ligne. Un pixel s'allume lorsque la ligne et la colonne sont toutes deux alimentées en tension et il reste éteint si la ligne ou la colonne n'est pas alimentée. Ce type d'adressage est appelé "multiplexage". Il présente l'avantage de peu consommer en énergie et d'avoir des coûts de fabrication très faible. Cependant, cette technologie présente des inconvénients majeurs tels que la rémanence, les objets en

mouvement à l'écran laissant une « trace » ou encore une dégradation de l'image pour les grands écrans

Le second type d'adressage, celui qui nous intéresse, est l'adressage à matrice active, représenté Fig.2. Dans ce cas, chaque pixel est commandé par au moins un transistor et une capacité incorporés dans la cellule. Cela permet de contrôler individuellement chaque pixel. La capacité de stockage permet de maintenir une tension constante durant la phase d'émission du pixel. Grâce à cette technique, le pixel garde la luminosité désirée jusqu'au cycle de rafraîchissement suivant de l'écran. Ce type d'adressage propose des qualités d'images et des résolutions plus intéressantes que l'adressage avec une matrice passive.

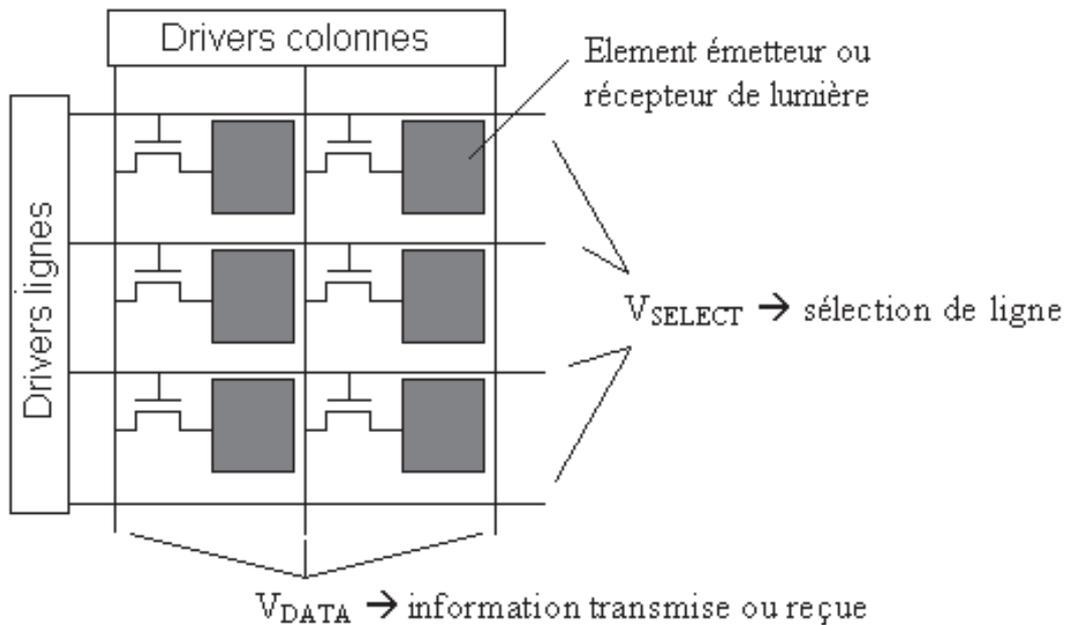


Figure 2: Schéma d'une matrice active de TFTs

A présent nous allons voir que le TFT joue un rôle différent selon le type de pixel, LCD ou OLED dans lequel il est intégré. Ceci nous permettra d'identifier les contraintes imposées par l'utilisation de ces différents types de pixels et nous indiquerons les paramètres critiques des TFTs pour chaque cas.

2.1. Pixel LCD

Une matrice est dite active lorsque chaque pixel est constitué d'un composant d'émission et d'un ou plusieurs TFT servant à commander son accès. Le pixel se trouve entre les lignes d'adressage ('Sélection') et de données ('Data'). Il est relié aux lignes par un circuit extérieur comprenant au moins un TFT et un condensateur comme nous pouvons le voir Fig.3.

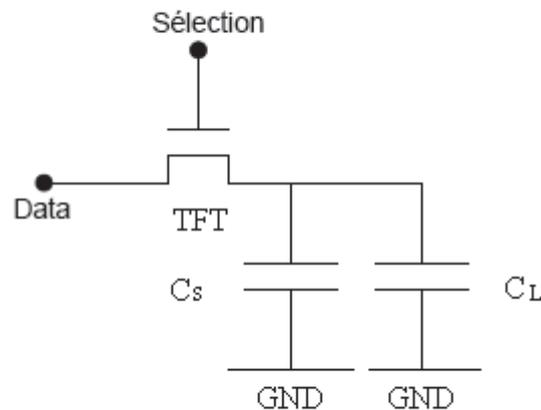


Figure 3: Architecture d'un pixel de type LCD

Dans le cas d'un écran plat LCD, chaque pixel est composé d'un transistor en couches minces, du cristal liquide, lequel forme une capacité C_L et d'une capacité de stockage C_S , cette dernière jouant le rôle de mémoire et permettant d'améliorer les caractéristiques du pixel en régime dynamique [11].

Lorsqu'on sélectionne un pixel, on envoie un signal sur la ligne d'adressage, généralement entre 10 et 12V. Dès lors, les deux capacités C_L et C_S se chargent au niveau de tension appliqué sur la ligne de données. La charge des capacités se fait au travers du transistor en couches minces, lequel doit donc délivrer un courant ON suffisant. La tension de la capacité va alors agir sur les cristaux liquides. A partir d'une certaine valeur de tension, les cristaux liquides vont s'incliner et, suivant le type de cristaux liquides utilisés, ils vont être plus transmissifs ou moins transmissifs. Pour les écrans TN-LCD, c'est-à-dire « Twisted Nematic Liquid Cristal Display », qui est le type d'écrans le plus répandu, l'écran est transmissif lorsque la tension est à 0V et devient de moins en moins transmissif au fur et à mesure que la tension augmente, jusqu'à devenir opaque pour des tensions de 5-6V.

Il apparaît donc que le TFT composant le pixel joue ici le **rôle de commutateur** qui connecte les capacités C_L et C_S à la ligne de données. Pour obtenir une image de bonne qualité il faut que les capacités ne se déchargent pas afin que la tension appliquée aux cristaux liquides reste constante et par suite, de conserver la même intensité du pixel, pendant le temps où les autres pixels sont adressés. Pour cela, il faut donc un TFT possédant un courant en régime bloqué le plus faible possible.

En ce qui concerne l'électrode de grille, elle n'est sollicitée que le temps de sélection du pixel, soit environ $20\mu s$ pour un écran de 1000 lignes pour une trame de 20ms, soit un ratio de

1/1000. Dès lors, la tension de seuil du TFT n'aura pas tendance à dériver. L'importance de la dérive de la tension de seuil est restreinte dans ce cas-ci.

Une problématique des afficheurs LCD consiste en l'intégration des drivers de commande sur le même substrat. Cependant, H Lebrun et son groupe ont montré que la technologie silicium amorphe hydrogéné pouvait tout de même convenir pour la fabrication des drivers ligne et colonne à l'aide de design particulier. [12]

2.2. Pixel OLED

Comme pour les écrans AMLCD, les pixels des écrans AMOLED sont adressés séquentiellement. Le principe de fonctionnement de la matrice est donc identique d'un type d'écran à l'autre. La différence se situe au niveau de l'architecture du pixel. En effet, l'écran OLED est basé sur un empilement de couches organiques prises entre deux électrodes [12]. On introduit des électrons et des trous dans la couche organique qui se recombinent pour produire des photons visibles. Afin de garder une luminosité constante, il est nécessaire de garder une tension d'alimentation de l'OLED constante. De ce fait, le pixel n'est plus composé que d'un seul transistor, mais de deux : un transistor **T1 jouant le rôle de commutateur**, comme pour les écrans LCD, et un transistor **T2 qui joue le rôle de source de courant** à l'OLED.

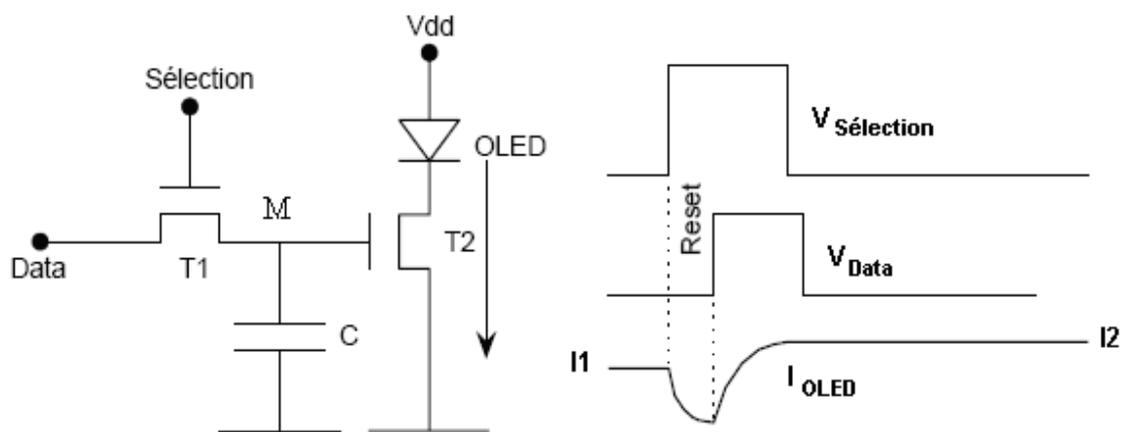


Figure 4: Architecture d'un pixel de type OLED et adressage.

La figure 4 représente l'architecture la plus simple d'un pixel de type OLED. Son fonctionnement est le suivant :

On suppose que le pixel est dans l'état initial de courant d'OLED I_1 et on va adresser le signal 'Data' pour que le courant devienne I_2 . Le potentiel au nœud M est respectivement V_{M1} et V_{M2} . Le fonctionnement du circuit pixel suit les étapes:

1. Phase initiale : La ligne d'adressage ('Sélection') est OFF, le transistor T1 est bloqué et le potentiel au nœud M est maintenu par le condensateur C. Il n'y a donc pas d'influence du signal 'Data' sur le fonctionnement du circuit.
2. Phase 'reset' : Avant d'adresser le signal Vdata2, on va passer par une phase de 'reset' afin d'assurer un fonctionnement performant du circuit. Pendant cette phase, la ligne d'adressage est ON pour activer la connexion entre le nœud M et 'Data'. Le condensateur C se décharge car 'Data' est mise au niveau bas.
3. Phase d'adressage : Pendant cette phase, la ligne d'adressage est encore ON et on va passer le signal 'Data' au nœud M via le transistor T1. Le potentiel de M augmente jusqu'au niveau correspondant au courant I2 circulant dans l'OLED.
4. Phase auto-alimentée : A la fin de l'adressage, la ligne d'adressage est positionnée au niveau OFF et le circuit devient maintenant autonome. Le courant circulant dans l'OLED correspond au potentiel du nœud M qui a été imposé par la tension 'Data' et qui est mémorisé par la capacité C. La durée de cette phase est la plus longue, jusqu'à la fin de la trame. Cette phase auto-alimentée devient la phase initiale pour la sélection suivante.

Dès lors, il apparaît que le transistor **T1 est un transistor de commande**, qui a les mêmes contraintes que celui utilisé pour les pixels LCD, c'est-à-dire essentiellement un **faible courant en régime bloqué** afin de maintenir une tension de pixel constante. Le transistor **T2 est, pour sa part, un transistor d'alimentation de l'OLED** qui doit avoir une **très bonne stabilité de fonctionnement**, car il est sollicité en permanence, **un rapport Ion/Ioff élevé** pour avoir une bonne luminosité et une **bonne (faible) pente sous le seuil** afin de commuter rapidement entre l'état ON et l'état OFF.

3. Structures et matériaux

Il existe plusieurs types de structures de transistors en couches minces définies selon la position de la couche active par rapport à la couche dopée et selon la position du contact de grille (dessus ou dessous). De même, on utilise divers matériaux pour remplir la fonction de couche active. Les recherches sur les performances et les objectifs de production bas coût ont amené les industriels à envisager plusieurs matériaux pour les couches actives de transistors en couches minces. Nous allons découvrir ces différentes structures et les différents matériaux dans ce paragraphe.

3.1. Différentes structures de TFT

La structure d'un TFT est définie par la position de la couche active, de l'isolant de grille et des électrodes source / drain. Les structures de TFT les plus fréquemment rencontrées sont représentées Fig.5. Ces structures se divisent en 2 parties : les structures dans lesquelles le contact de grille et les contacts drain/source sont disposés de chaque côté du semi-conducteur, dites « staggered », et les structures dans lesquelles les contacts de grille, drain et source sont du même côté du semi-conducteur, dites « coplanaires ». Dans les structures « staggered », on distingue la structure dans laquelle la grille est au-dessus du semi-conducteur, dite structure « grille dessus » ou top gate (souvent notée TG), et la structure ou la grille est en-dessous de la couche active, dite structure « grille dessous » ou bottom-gate (BG, inverted staggered). De même, on retrouve dans les TFT de structures « coplanaires », la structure coplanaire simple, où les contacts sont au dessus de la couche active, et la structure coplanaire inversée dans laquelle les contacts sont sous la couche active.

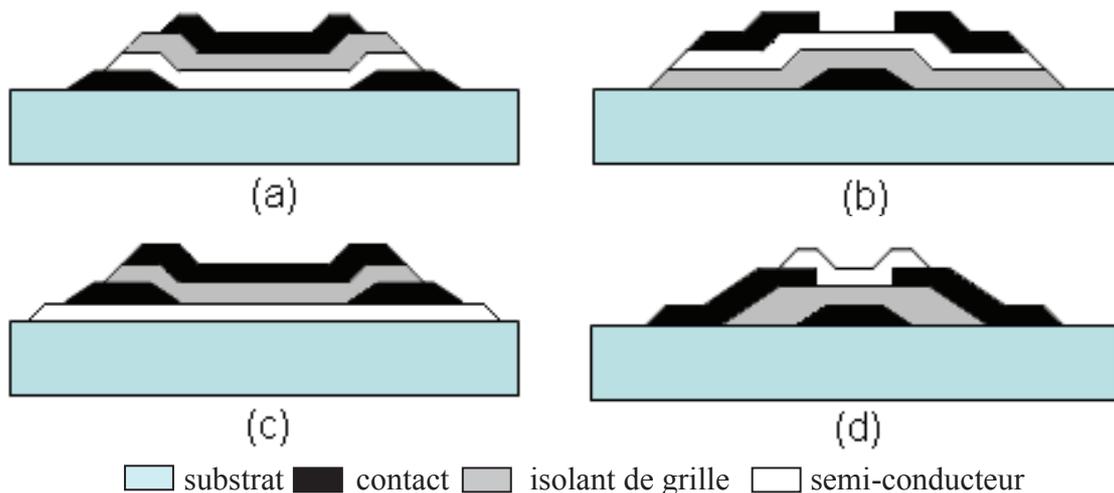


Figure 5: Schéma des structures de TFT classiques, sans passivation. a) staggered ou Top Gate ; b) staggered inversée ou Bottom Gate ; c) coplanaire ; d) coplanaire inversée

Les matériaux utilisés et l'ordre des dépôts, dont dépend la qualité des interfaces, vont fixer les performances et les caractéristiques électriques des TFTs. On utilisera donc différentes structures selon les performances visées (matériaux, ordre des dépôts) ou selon les coûts de production désirés (nombre de masques de lithographie). C'est pour cela que les fabricants d'écrans plats utilisent majoritairement la technologie BG-TFT. En effet, cette structure est réalisée avec moins de masques de lithographie que son équivalent coplanaire inversé, soit un gain au niveau des coûts de production. De même, la couche active de ces TFTs est en silicium amorphe hydrogéné (a-Si:H) et l'isolant de grille utilisé est le nitrure de silicium (SiN) qui est déposé à basse température (environ 300°C) et qui possède une bonne interface avec le a-Si:H [14].

Selon la structure désirée, différentes précautions sont à prendre en compte au niveau du procédé de fabrication :

- Dans le cas d'un TFT coplanaire, les électrodes de grille, drain et source, ainsi que la couche d'isolant de grille sont situées sur le même plan que la couche active. On prendra pour exemple une couche active de silicium amorphe hydrogéné et un isolant de grille en nitrure de silicium car ce sont les matériaux les plus utilisés dans le domaine des écrans plats. De ce fait, le SiN de grille est déposé sur la couche de a-Si:H. Ces dépôts sont réalisés séquentiellement par PECVD à basse température (environ 300°C). Il est donc nécessaire de bien contrôler la puissance de dépôt afin de ne pas endommager la couche active près de l'interface où se trouvera le canal d'électrons accumulés lors du fonctionnement du TFT. Il est également important de veiller à ce qu'il n'y ait pas d'offset entre la grille et les contacts source/drain car cela peut amener de fortes résistances séries au niveau des contacts dans les régions d'offset. [15]
- Dans le cas d'un Top Gate TFT, on commence par le dépôt des contacts source/drain. Pour obtenir un contact de faible résistance, on dépose une couche de silicium amorphe hydrogéné dopée n (n+ a-Si:H) sur les électrodes source/drain. Cela permet d'avoir un contact ohmique et de favoriser la collecte de porteurs au niveau du drain. Ce dépôt de n+ a-Si:H sur les contacts source/drain doit être gravé avant de déposer la couche de a-Si:H intrinsèque (couche active). Lors de cette étape la couche de n+ a-Si:H se retrouve à l'air, il faut donc être attentif à ce qu'il n'y ait pas une couche d'oxyde qui se forme à l'interface. Ensuite, on dépose séquentiellement dans une chambre PECVD les couches de a-Si:H et d'isolant de grille. On prendra donc soin, tout comme pour les TFT coplanaires, de bien contrôler la puissance de dépôt de l'isolant afin de ne pas dégrader l'interface avec le a-Si:H [10]. Pour la structure Top Gate, on utilise généralement le dioxyde de silicium (SiO₂) plutôt que le SiN_x en tant qu'isolant de grille car le SiO₂ permet d'obtenir une meilleure mobilité des porteurs [16].
- Dans la structure Bottom-Gate, on distingue deux technologies : la gravure du canal arrière (BCE : Back Channel Etching) et la gravure avec barrière (ES : Etch Stopper). La technologie BCE utilise un masque de lithographie de moins que la technologie ES car on utilise les contacts source/drain comme masque pour la gravure de la couche n+ a-Si:H. Cependant, il n'y a pas de sélectivité de gravure entre la couche active et la couche dopée ce qui implique que la couche active doit être plus épaisse dans ce cas précis car pour s'assurer que la couche n+ est bien gravée entre la source et le drain, on grave une petite épaisseur de la couche active [17]. Ceci est une étape critique de la fabrication de BCE BG-TFT. La technologie ES utilise une couche barrière, généralement une couche de SiN_x, afin de stopper la gravure de la couche n+. Il en découle que la couche active est d'une épaisseur moindre que dans le cas de la technologie BCE. La plupart des fabricants d'écrans plats utilisent la technologie BCE. D'une part, car elle nécessite une étape de lithographie en moins. D'autre part,

la technologie BCE permet le dépôt séquentiel des couches isolant/ couche active/ couche dopée alors que la technologie ES nécessite le dépôt d'une couche barrière.

Dans le cadre de cette thèse, les TFTs sur lesquels nous avons travaillé sont des TFT grille dessous avec gravure par canal arrière, avec une couche active en silicium amorphe ou polymorphe (§4§) et un isolant de grille en nitrure de silicium. Ceci de façon à être le plus proche possible de ce qui se fait actuellement chez les fabricants d'écrans plats.

3.2. Différents matériaux et problématiques associées

Depuis de nombreuses années, la technologie du silicium amorphe est majoritairement utilisée pour la fabrication de TFTs dans le domaine des écrans plats. Les industriels ont fait de gros efforts afin de diminuer les coûts de production et la technologie a atteint une grande maturité. Bien que ce matériau soit le plus utilisé, beaucoup d'autres ont fait leur apparition ces dernières années, notamment les oxydes transparents et les semi-conducteurs organiques. Dans notre cas, nous nous intéresserons uniquement aux matériaux à base de silicium. Dans ce paragraphe, le silicium amorphe sera présenté et il nous servira de référence pour le reste du travail de thèse. Nous aborderons également le silicium polycristallin (poly-Si), qui a attiré nombre de fabricants désireux d'intégrer les éléments de commande sur un même substrat. Il s'agit du second matériau le plus utilisé pour les écrans plats. Ces dernières années, les chercheurs ont proposés une alternative à ces deux matériaux qu'est le silicium microcristallin ($\mu\text{-Si:H}$ ou nc-Si:H). Ce matériau, qui est toujours à l'étude dans divers laboratoires de recherche, sera également présenté.

3.2.1. Le silicium amorphe

La technologie silicium conventionnelle, basée sur des wafers de silicium cristallin, est incompatible avec les besoins de l'électronique grandes surfaces de par leur coût, la taille limitée des wafers de silicium ainsi que leur opacité. De même, les TFTs doivent être compatibles d'un point de vue technologique avec les substrats en verre et plastique. Ceci exclu les technologies basées sur le silicium cristallin pour lequel les températures des procédés sont de l'ordre de 600 à 1000°C, qui sont des températures qui ne conviennent pas à de tels substrats. De ce fait, de nouvelles techniques ont été développées afin de pouvoir déposer du silicium sur de grandes surfaces à des températures basses (approximativement de 200°C à 500°C).

Le Comber et al. ont été les premiers à montrer que l'on pouvait réaliser des composants avec du silicium amorphe [3]. La méthode communément utilisée pour obtenir le silicium amorphe est la déposition chimique en phase vapeur assistée par plasma, Plasma Enhanced Chemical Vapor Deposition (PECVD), par décomposition de gaz silane et d'hydrogène. Le silicium ainsi obtenu est amorphe, ce qui signifie qu'il a une structure désordonnée avec des angles et des distances interatomiques différents ainsi que des liaisons non saturées, dites

liaisons pendantes (dangling bonds). Un schéma 2D de la structure atomique du a-Si et du silicium cristallin est présenté Fig.6. Les liaisons pendantes introduisent des états de défauts dans la bande interdite du semi-conducteur appelés défauts profonds (deep defect states), qui limitent les propriétés de transport [18], de même que les différences de longueurs et d'angles des liaisons Si-Si créent des états sous la bande de conduction et de valence, appelés états de queue de bande (band tail states). Afin de « passiver » les liaisons pendantes, donc diminuer la densité de défauts profonds afin d'améliorer les propriétés de transport, on ajoute de l'hydrogène pendant le dépôt. Le matériau ainsi obtenu est appelé silicium amorphe hydrogéné, noté a-Si:H.

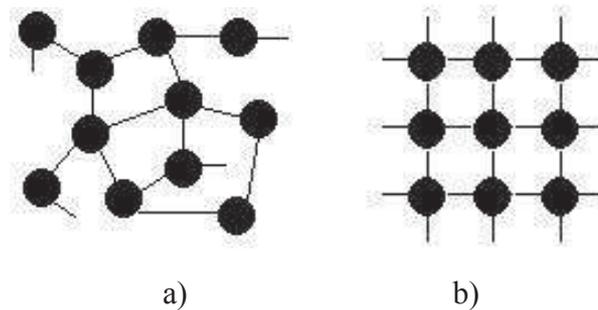


Figure 6: Représentation 2D de la structure atomique a) du silicium amorphe, b) du silicium cristallin

Les dépôts PECVD de a-Si:H sont réalisés à basse température, le plus souvent sur des substrats en verre, peu coûteux. De même les dépôts de a-Si:H sont très homogènes sur de grandes surfaces [19]. Ces deux éléments ont permis à la technologie silicium amorphe de s'imposer dans les domaines de l'électronique grande surface et du photovoltaïque. Pour des raisons de coûts, la structure la plus couramment rencontrée est la structure dite bottom-gate (BG), qui nécessite moins de masques et offre la meilleure interface silicium amorphe / isolant de grille.

Le silicium amorphe hydrogéné, lorsqu'il est utilisé comme couche active dans un TFT, présente une mobilité de l'ordre de 0.1 à 1cm²/Vs et un très faible courant de fuite. La faible valeur de la mobilité d'effet de champ est due à la densité importante de défauts de queue de bande et de défauts profonds. En effet, les électrons sont successivement piégés et relâchés des ces défauts ce qui induit une faible mobilité [20]. Ceci n'entrave pas l'utilisation du a-Si:H comme matériau de base pour les TFTs d'un AMLCD. Le TFT, dans ce cas précis, joue le rôle de commutateur et ses propriétés lui permettent de remplir pleinement ce rôle. Le silicium amorphe hydrogéné peut également être utilisé dans les écrans avec circuits d'adressage intégrés de petites tailles ne nécessitant pas des vitesses de fonctionnement très rapides [21-22]. Cependant, dès lors que l'écran devient plus grand (plus de lignes à adresser) ou que l'on souhaite des vitesses de fonctionnement plus rapides, le silicium amorphe va poser problème du fait de sa faible mobilité ($\sim 0.5 \text{ cm}^2/\text{V.s}$) [23].

Un autre inconvénient des TFTs en silicium amorphe hydrogéné est leur instabilité vis-à-vis d'un stress électrique [6-15-24-25]. Lorsqu'il est soumis à une tension prolongée sur sa

grille, on observe une dérive de la tension de seuil V_T du TFT ainsi qu'une diminution de son courant de drain I_{DS} . Nous avons vu plus haut (§2.1§) que dans le cas d'un pixel LCD, le TFT joue le rôle d'interrupteur et qu'il est adressé pendant des temps très courts, de l'ordre de quelques dizaines de microsecondes, afin de transmettre le signal vidéo, puis il est désélectionné. La stabilité n'est donc pas un problème majeur dans ce cas précis. Cependant, nous avons vu que dans le cas d'un pixel OLED (§2.2§) le transistor T2 agit comme une source de courant pour l'OLED. Ceci signifie que le transistor doit fournir un courant constant et stable afin que l'OLED émette de la lumière de façon stable et uniforme, ce qui représente un stress électrique beaucoup plus long que dans le cas d'un pixel LCD. L'utilisation du a-Si:H pour de tels pixels nécessitent au minimum l'utilisation de circuits externes pour compenser la dérive de tension de seuil [26], mais même cette solution n'est pas suffisante la plupart du temps.

A l'heure actuelle, cette instabilité électrique est le principal inconvénient qui empêche la mise en œuvre de matrices actives pour écrans plats OLED à base de a-Si:H.

3.2.2. Le silicium polycristallin

Le silicium polycristallin est un matériau « hétérogène » dans le sens où il est constitué de grains de silicium cristallin séparés par des joints de grain (silicium amorphe). Les grains de silicium cristallin sont de tailles variables. Il existe plusieurs techniques d'obtention du silicium polycristallin, noté également poly-Si. L'une d'entre-elles, appelée solid-phase crystallization pour cristallisation en phase solide, consiste à appliquer un recuit thermique à des températures de 600-700°C à une couche de silicium amorphe préalablement déposée. Il peut également être déposé directement par décomposition de silane SiH_4 à une température d'environ 600°C à basse pression. Ce procédé est appelé Low Pressure Chemical Vapor Deposition (LPCVD). Il apparait clairement que de tels procédés réalisés à de fortes températures ne sont pas compatibles avec les substrats verres ou plastiques utilisés dans le domaine des écrans plats. Il existe cependant une méthode permettant d'obtenir ce qu'on appelle du LTPS, soit Low Temperature PolySilicon, qui satisfait les conditions de température. Il s'agit de cristalliser une couche de silicium amorphe préalablement déshydrogénée, à l'aide d'un pulse laser, le plus souvent excimère. La déshydrogénation du silicium est nécessaire car la présence d'atomes d'hydrogène dans la couche de a-Si:H provoque des craquements ou de l'ablation de matière lorsque l'on applique le laser. Cette déshydrogénation est réalisée par recuit thermique à une température d'environ 400°C. L'utilisation du faisceau laser n'entraîne pas de dommage pour le substrat [27]. La qualité du matériau dépend grandement de la puissance du laser, du temps d'exposition, de la stabilité du faisceau. Selon les conditions de cristallisation, le poly-Si sera composé de grains de tailles différentes, possédant des orientations cristallines différentes et un nombre de défauts dans les joints de grain plus ou moins important. Ces défauts, comme dans le cas du silicium amorphe, détériorent ses propriétés électriques. La densité de défauts est diminuée par la ré-

hydrogénation de la couche de poly-Si après la cristallisation laser qui, comme dans le cas du a-Si:H, permet de saturer les liaisons pendantes présentes dans les joints de grains. A noter que la densité de défauts dans le poly-Si reste très réduite comparé à la densité de défauts dans le a-Si:H, ce qui explique que le poly-Si présente de meilleures propriétés électriques que le silicium amorphe. En effet, les mobilités d'effet de champ peuvent varier de quelques dizaines de $\text{cm}^2/\text{V.s}$ à plusieurs centaines de $\text{cm}^2/\text{V.s}$ pour les électrons[28] et des mobilités pouvant atteindre plus de $100 \text{ cm}^2/\text{Vs}$ pour les trous en utilisant un laser continu [29]. Ceci permet d'intégrer le poly-Si dans la réalisation de circuits d'adressage des matrices actives. La consommation des écrans peut même être réduite en utilisant des circuits CMOS. De même, les TFTs en poly-Si présente une stabilité électrique nettement supérieure à celle des TFTs en a-Si:H, ce qui leur permet d'être intégrés dans un AMOLED en tant que source de courant de l'OLED.

Le poly-Si présente également des inconvénients qui expliquent que l'on ne le trouve pas dans tous les écrans AMLCD ou AMOLED. Tout d'abord, le poly-Si possède un gap très proche du Si cristallin (1.1eV). Il apparaît donc que lorsque l'on applique une tension modérément ou fortement négative sur un TFT en poly-Si, un courant OFF va circuler du fait de la création d'un effet tunnel entre les bandes de valence et conduction. Pour un TFT intégré dans un pixel, cela signifie que la capacité de stockage va se décharger du fait de la présence de ce courant tunnel. Lorsqu'il s'agira d'écrans de grandes dimensions, on exclura également les TFTs en poly-Si. En effet, le poly-Si présente une mauvaise homogénéité spatiale, due à l'étape de cristallisation laser au cours de laquelle l'apparition de joints de grain n'est pas contrôlée et leur positionnement est aléatoire. Ces problèmes d'homogénéité entraînent une variation de la tension de seuil V_T ainsi que de la mobilité. De même, le coût de production d'écrans utilisant la technologie poly-Si est très important de par la mise en œuvre du procédé. L'utilisation d'un laser, l'implantation de dopants pour améliorer les contacts et le temps d'un cycle de production sont autant d'éléments qui vont faire que la technologie poly-Si sera utilisée uniquement pour des écrans de petites et moyennes dimensions. Pour des écrans de grandes dimensions, la technologie du silicium amorphe sera préférée car elle revient moins chère à mettre en œuvre et présente une très bonne homogénéité sur les grandes surfaces.

Néanmoins, la technologie du silicium polycristallin peut encore connaître des améliorations. Des efforts sont faits afin d'améliorer l'homogénéité sur de grandes surfaces [29]. L'élément le plus contraignant reste le coût de fabrication. D'un autre côté, la technologie silicium amorphe a presque atteint ses limites pour les applications d'afficheurs OLED. La mobilité des électrons restera de l'ordre du $\text{cm}^2/\text{V.s}$ et sa stabilité électrique ne sera jamais celle du poly-Si. Cependant, dans l'optique de conserver un coût de fabrication faible et d'améliorer les performances électriques, la recherche s'est tournée vers de nouveaux matériaux, comme le silicium microcristallin, $\mu\text{-Si:H}$, également appelé silicium

nanocristallin. Le prochain paragraphe va nous permettre de présenter ce matériau et de passer en revue ses principales propriétés.

3.2.3. Le silicium microcristallin

Le silicium microcristallin est apparu il y a plusieurs décennies déjà, à la fin des années 60. Ce matériau a été la première alternative proposée pour parer aux inconvénients que l'on retrouve avec le silicium amorphe et le silicium polycristallin. Il est composé de cristallites de tailles variables, allant de 10 à 100nm, d'une phase amorphe et de vide. Afin d'être compatible avec la technologie a-Si, il n'est pas question d'utiliser un laser. Le matériau est déposé par PECVD, de la même façon que le silicium amorphe, en changeant les conditions et donc la chimie de dépôt. Plusieurs techniques de dépôt existent : la technique des plasmas alternés (LBL, Layer By Layer) ou la dissolution de silane (SiH_4) ou de gaz fluorés (SiF_4). Il y a trois phases distinctes pendant le dépôt : une première phase amorphe, au début du dépôt, appelée phase d'incubation. Ensuite une phase dans laquelle les cristallites font leur apparition, appelée phase de nucléation. Enfin, une troisième phase où cristallites, amorphe et vide coexistent [30]. Il en découle que la partie supérieure du dépôt sera la plus cristallisée. Ce sera dans cette partie que les électrons auront la meilleure mobilité. Pour des applications nécessitant une certaine rapidité de fonctionnement, on privilégiera la structure Top Gate [31].

Concernant les caractéristiques électriques, il a été montré que le silicium microcristallin est un matériau sensible aux différentes étapes du procédé de fabrication [32]. En effet, Oudwan et al. ont constaté la présence d'oxygène à l'arrière du canal. Cette contamination provoque l'apparition d'un courant de fuite parasite lorsque le TFT est en régime bloqué. En effet, les atomes d'oxygène créent des états dans le gap du matériau, facilitant ainsi la circulation d'un courant, même lorsque le TFT est en régime bloqué. De même, ce matériau a un gap de l'ordre de 1.2eV, ce qui plus proche du silicium cristallin que du silicium amorphe. Cela conduit, lorsque que l'on applique de fortes tensions négatives, à la création d'un courant tunnel entre les bandes de valence et conduction, ce qui n'est pas souhaitable en vue d'une utilisation dans une matrice active. Des solutions ont été proposées afin d'éviter la contamination à l'oxygène et le courant tunnel. Par exemple, il a été proposé de déposer une fine couche de a-Si:H entre le $\mu\text{-Si:H}$ et le SiN de grille [33]. En ce qui concerne la stabilité électrique, différents groupes ont montré que les TFTs à base de $\mu\text{-Si:H}$ était plus stables que les TFTs à base de a-Si:H [34] [35].

Nous avons donc vu que le silicium microcristallin utilise les mêmes procédés de fabrication bas cout, homogène et à faible température que le a-Si:H, ce qui est recherché par les fabricants d'afficheurs de grandes dimensions. Des solutions ont été proposées afin de garantir un courant en régime bloqué très faible. La stabilité électrique du $\mu\text{-Si:H}$ est meilleure que celle du a-Si:H et cependant moins bonne que celle du poly-Si. Cependant,

contrairement au silicium amorphe et au silicium polycristallin, ce matériau n'est pas encore en production mais seulement à l'étude dans les laboratoires.

A présent nous allons présenter le sujet de cette thèse, à savoir le silicium polymorphe et le silicium cristallisé 3D. Dans ces paragraphes, nous indiquerons seulement les généralités.

4. Le silicium polymorphe

Dans le cadre de cette thèse, nous nous intéressons à un nouveau type de matériau à base de silicium, le silicium polymorphe (également noté pm-Si :H). Ce matériau a été créé il y a une dizaine d'années par l'équipe du Dr P. Roca i Cabarrocas, dans le cadre d'une étude sur les plasmas basses pressions, la décomposition du silane et la synthèse de nanocristaux [36] [37]. Lors de cette étude, il a été montré que sous des conditions de dépôt PECVD proches de la formation de poudre, les radicaux et agrégats présents dans le plasma contribuent au dépôt et à la croissance de la couche déposée. Le matériau ainsi obtenu est composé de nanocristallites d'environ 2nm de diamètre incorporés dans une matrice de silicium amorphe relaxé. Il s'agit donc d'un matériau déposé avec les mêmes techniques de dépôt peu coûteuses que le silicium amorphe. La figure 7 montre la vitesse de dépôt en fonction de la pression pour un mélange spécifique

Les premières études réalisées sur le pm-Si :H ont eu pour but d'étudier ses propriétés électriques et optoélectroniques [38] [39]. Elles ont montré que le pm-Si :H avait de meilleures caractéristiques de transport que l'a-Si:H et que les couches minces en pm-Si :H avaient une densité de défauts plus faible. L'amélioration de ces propriétés de transport et ses bonnes propriétés optoélectroniques ont naturellement amené les chercheurs à envisager le silicium polymorphe comme matériau de substitution au silicium amorphe pour la fabrication de cellules solaires.

La possibilité de déposer ce matériau en utilisant les mêmes conditions bas coût que pour le silicium amorphe, combiné à l'amélioration des caractéristiques de transport, font du pm-Si :H un candidat également intéressant en tant que couche active des TFTs. Par la suite, il a été montré qu'on pouvait intégrer le pm-Si :H dans des structures de types TFTs avec des caractéristiques électriques à l'état de l'art du silicium amorphe [40] et quelques années plus tard, on observait une amélioration de ces propriétés [41] avec des résultats montrant une amélioration de la stabilité électrique pour des TFTs à bas de pm-Si :H.

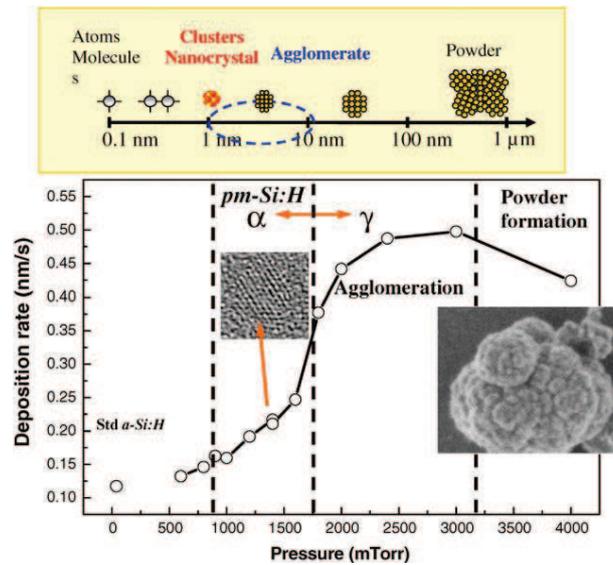


Figure 7: Vitesse de dépôt en fonction de la pression pour un mélange de 3% de silane dans de l'hydrogène à 250°C. Puissance RF = 22W [30]

Tout comme le a-Si:H, le pm-Si:H montre un courant en régime bloqué de l'ordre de 1 à 10pA. De même, la bande interdite du pm-Si:H est de l'ordre de 1.75 eV, ce qui est proche du a-Si:H et plus important que pour le μ c-Si:H pour lequel $E_g = 1.2\text{eV}$. Par conséquent, l'apparition d'un courant tunnel pour de fortes tensions de grille est peu probable dans le cas de composants en pm-Si:H.

Ces différents points font du silicium polymorphe comme une alternative plausible au silicium amorphe hydrogéné pour la conception de TFTs pour des applications aux écrans plats à matrice active. Cependant, le matériau n'a pas encore été étudié plus en « profondeur », surtout du point de vue de la stabilité électrique et du courant en régime bloqué. Dans le cadre de cette thèse, on s'intéressera dans un premier temps aux mécanismes responsables de la dérive de la tension de seuil lors d'un stress électrique. Puis nous mènerons une étude matériau afin d'en savoir plus sur la structure de ce matériau. Cette dernière étude nous permettra d'établir des liens éventuels entre les améliorations observés d'un point de vue électrique et la structure du matériau polymorphe.

5. Nouvelle méthode de cristallisation du silicium

Nous avons vu dans le paragraphe §3.2.2§ que le poly-Si dit « LTPS » était la solution choisie pour des applications grandes performances sur de petites dimensions. L'inconvénient majeur de cette technologie, en plus du cout élevé de fabrication, est l'inhomogénéité spatiale. La taille des grains est aléatoire et il n'y a pas de périodicité de grain, ce qui empêche l'intégration de cette technologie pour l'électronique grande surface. Il apparaît donc,

exception faite de son cout important, que la technologie poly-Si LTPS pourrait être utilisée si lors de la fabrication de la couche polycristalline on pouvait garantir une taille de grains homogène ainsi que la périodicité de ces grains. La question est donc : comment mettre en œuvre une technique de cristallisation du silicium afin d'obtenir des grains homogènes à partir d'un laser pulsé comme dans le cas du poly-Si LTPS ?

Une solution pourrait consister à obtenir une périodicité de points chauds. Un point chaud étant une petite zone soumise à un laser pulsé à l'intérieure de laquelle le silicium se cristalliserait. Cette périodicité de points chauds entrainerait la périodicité des grains et éventuellement de la taille des grains. Il s'agit donc de structurer le matériau. Cette idée a été avancée par Berger et al. [42] suite à des résultats obtenus lors de gravure sous interférences. Nebel et al. [43] ont obtenu un réseau 2D avec une période allant de 0.5 à 10 μ m dans des couches de silicium amorphe de 100 à 400 nm d'épaisseur déposées sur verre en utilisant les interférences de 3 faisceaux générés par un laser pulsé Nd :YAG. De même, il a été montré qu'il était possible de réaliser une croissance de structures tri-périodiques par décomposition de précurseurs en phases gazeuses dans un champ d'interférences 3D [44]. Dès lors, nous avons envisagé la possibilité de cristalliser du silicium amorphe à l'aide d'un réseau d'interférences, dans le but d'obtenir une couche structurée de points chauds qui seraient cristallisés et de points froids qui ne le seraient pas.

Le but de cette expérience est de tenter de cristalliser périodiquement le silicium amorphe par interférences laser 3D. Pour cela nous utiliserons le système optique et le laser utilisé dans [44]. Tout comme dans le cas de la cristallisation laser « classique », on dépose préalablement du silicium amorphe hydrogéné par PECVD puis la couche est déshydrogénée avant la cristallisation laser. La différence par rapport au procédé « classique » se situe donc au niveau de la cristallisation elle-même, et plus précisément au niveau du laser et du système optique. Nous avons vu que les méthodes de cristallisation actuelles consistent à appliquer directement le laser sur la couche amorphe à cristalliser. Dans notre cas, le faisceau laser, d'une longueur d'onde de 355nm, traverse un système optique dans lequel il va être séparé en 4 faisceaux d'intensités différentes. Cet interféromètre est constitué de miroirs à angles droits en silice fondue et de cubes polarisants qui permettent au faisceau incident d'être séparé en 4 faisceaux et de les faire converger en un même point. La superposition de ces 4 faisceaux lasers va créer un phénomène d'interférences. De rigoureux calculs mathématiques [45] ont permis, en adaptant la polarisation ainsi que l'intensité et la géométrie de ces faisceaux, d'obtenir un réseau d'interférences 3D avec la plus haute symétrie possible (i.e. pseudo CFC) ainsi qu'un contraste d'intensité maximal. Nous souhaitons donc obtenir une couche structurée (réseau CFC) de zones cristallisées et de zones qui ne le seraient pas. Le but est ici de vérifier la cristallisation périodique de la couche de silicium amorphe. Ceci permettrait de contourner les problèmes d'homogénéité que l'on retrouve lors de cristallisation laser « classique ». Nous avons donc réalisé différentes expériences dans lesquelles nous avons fait varier les conditions : puissance du faisceau incident et nombre de pulses (10 ns). Par la suite nous

avons fabriqué des TFTs afin de vérifier si nous améliorions l'homogénéité de la cristallisation.

6. Objectifs

Dans ce chapitre nous avons abordé les différentes applications dans lesquelles les TFTs sont utilisés. Le domaine le plus actif à niveau industriel est celui des afficheurs écrans plats à matrice active. Le chiffre d'affaires global n'a cessé de croître ces dernières années et les prévisions restent optimistes pour les prochaines années. Parmi les afficheurs à matrice active figurent les écrans LCD et OLED. Nous avons vu que selon le type d'afficheur, la problématique sur les TFTs n'est pas la même. Alors que dans le cas d'un afficheur LCD, le transistor du pixel joue le rôle de commutateur, dans le cas d'un afficheur OLED, l'un des TFTs du pixel va jouer le rôle de source de courant pour l'OLED, ce qui induit d'autres problématiques. Pour un AMLCD, on demandera au TFT de sélection d'avoir une bonne pente sous le seuil (passage de l'état OFF à l'état ON) et un faible courant en régime bloqué afin de ne pas décharger la capacité de stockage du pixel. En ce qui concerne les écrans AMOLED, le TFT de sélection nécessite les mêmes performances que dans le cas d'un AMLCD, cependant d'autres performances sont requises pour le TFT qui va alimenter l'OLED. En effet, celui-ci doit fournir un courant homogène à l'OLED pour garantir une luminosité homogène, aussi bien dans le temps que spatialement, ce qui implique que le TFT doit avoir une bonne stabilité électrique ainsi qu'une bonne homogénéité sur de grandes surfaces.

Nous avons présenté les structures TFT les plus connues ce qui nous a permis d'introduire la structure standard rencontrée dans l'industrie des afficheurs. Il s'agit de la structure dite Bottom-Gate ou grille dessous. Nous avons également passé en revue les différents matériaux utilisés et discuté de leurs propriétés, de leurs avantages et de leurs inconvénients. Cela nous a permis d'introduire ce qui sera le sujet de ce travail de thèse : l'étude de TFTs à base de silicium polymorphe et de silicium polycristallin 3D. Il s'agira d'étudier le courant en régime bloqué ainsi que les mécanismes de dérive de la tension de seuil lors de stress électriques pour les TFTs en pm-Si :H. De même, une étude matériau sera menée afin d'en apprendre plus sur la structure de notre matériau et les liens qui peuvent exister entre ses propriétés structurales et électriques. Le second axe d'étude que nous nous sommes fixés pour ce travail de thèse est l'étude la cristallisation laser par interférométrie 3D et la fabrication de TFTs à base de silicium polycristallin 3D.

A présent, nous allons aborder la fabrication et la caractérisation des transistors en couches minces à base de silicium polymorphe.

Références

- [1] P.K. Weimer, “*The TFT A New Thin-Film Transistor*”, Proceedings of the IRE, 1962, p. 1462-1469
- [2] T.P. Brody, “*A 6 × 6 inch 20 lines-per-inch liquid-crystal display panel*”», IEEE Trans. on Electron Devices, Nov. 1973, p. 995
- [3] P. G. LeComber, “*Amorphous-silicon field-effect device and possible application*”, IEEE Electronics Letters, 1979, p. 179
- [4] http://www.displaysearch.com/cps/rde/xbcr/displaysearch/Brazil_Latin_Display_2010--gsm.pdf
- [5] J.A. Seibert, “*Digital radiography: The bottom line comparison of CR and DR technology*”, Applied Radiology, volume 38, 5 mai 2009
- [6] A.R. Merticaru, “*Electrical instability of a-Si:H/SiN Thin Film Transistors*”, Thèse de doctorat, University of Twente, 2004.
- [7] http://www.hdnumerique.com/dossiers/12_test-du-televiseur-lcd-toshiba-42wlg66-2.html
- [8] http://culturesciences.chimie.ens.fr/dossiers-dossierstransversaux-Imagerie_Medicale-Radiographie_Applications_Camus.html
- [9] <http://www.gsmarena.com/samsung-phones-f-9-10.php>
- [10] Sungguk An et al, “*2.8-inch WQVGA Flexible AMOLED Using High Performance LTPS TFT on Plastic Substrates*”, Display week 2010 International Symposium, Seminar, and Exhibition, Seattle, Etats-Unis, mai 2010
- [11] A. Lewis, “*Active Matrix LCDs : a clear bright future*”, Symp. On VLSI circuits, pp 5-8, juin 1995
- [12] H. Lebrun et al., “*AMLCD with Integrated Drivers Made with Amorphous-Silicon TFTs*”, SID 95 DIGEST, pp.403-406, 1995
- [13] D. Pribat et F.Plais, “*Matrix addressing for organic electroluminescent displays*”, Thin Film Solids, vol 383, pp25-30, février 2001

- [14] Y. Kuyo et al, “*Thin Film Transistors: Materials and Processes*”, Kluwer Academic Publishers, 2004.
- [15] J. Jang, “*Thin Film transistors*”, Marcel Dekker, 2003.
- [16] T. Mohamed-Brahim et al, “*Issues in microcrystalline silicon tfts processed at $T < 200^{\circ}C$* ”, *ECS Transactions*, vol. 16(9), p. 57–66, 2008
- [17] A. Ban et al., “*A simplified process for SVGA TFT-LCDs with single-layered ITO source bus-lines*”, *SID 96 Digest*, p 93, 1996
- [18] D. Dosev, “*Fabrication, Characterisation and Modeling of Nanocrystalline Silicon Thin Film Transistors obtained by Hot-wire Chemical Vapor deposition*”, Thèse de doctorat, Universitat Politècnica de Catalunya, 2003.
- [19] R. A. Street, “*Technology and applications of amorphous silicon*”, Springer, Berlin Heidelberg, 2000.
- [20] R. A. Street, “*Hydrogenated Amorphous Silicon*”, Cambridge University Press, Cambridge, 1991.
- [21] S. M. Venugopal et D. R. Allee, “*Integrated a-Si :H source drivers for 4" qvga electrophoretic display on flexible stainless steel substrate*”, *J. Display Technology*, vol. 3, p. 57–63, 2007.
- [22] T. Kretz and al, “*A 4.3-inch Full-colour a-Si-H TFT Active Matrix Liquid Crystal Display with 312 ppi*”, *SID DIGEST*, 2003.
- [23] O. Mint Moustapha, “*Transistors en couches minces en silicium microcristallin pour la réalisation d'une électronique intégrée sur substrats flexibles*”, Thèse de doctorat, Ecole Polytechnique, Palaiseau, 2010
- [24] M. J. Powell, “*The Physics of Amorphous-Silicon Thin-Film Transistors*”, *IEEE Trans. on Elect. Devices*, vol. 36 n°12, décembre 1989
- [25] C-S. Chiang et J. Kanicki, “*Electrical instability of hydrogenated amorphous silicon thin-film transistors for Active-Matrix liquid Crystal Displays*”, *Jpn. J. Appl. Phys. Vol. 37*, pp 4704-4710, septembre 1998
- [26] Y. He, R. Hattori et J. Kanicki, “*Improved a-Si:H TFT pixel electrode circuit for AMOLED*”, *IEEE Trans. Electron Devices*, vol.48, n°9, pp 583-585, septembre 2003

- [27] T. Noguchi, “*Effective dopant activation in silicon film using excimer laser annealing for high-performance thin film transistors*”, Jpn. J. App. Phys, vol. 47, p. 1858–1861, 2008.
- [28] G.K. Giust et al, “*High-performance laser processed polysilicon thin-film transistors*”, IEEE Electron Device Letters, vol.20, pp. 77-9, 1999
- [29] A. Hara et al, “*High performance low temperature polycrystalline silicon thin film transistors on non-alkaline glass produced using diode pumped solid state continuous wave laser lateral crystallization*”, Jpn J. of Appl Phys, Part 1, vol. 43, pp. 1269-76, 2004
- [30] P. Roca i Cabarrocas, “*Plasma enhanced chemical vapor deposition of amorphous, polymorphous and microcrystalline silicon*”, J. of Non-Cryst. Solids 266-269, pp. 31-37, 2000.
- [31] P. Roca i Cabarrocas, “*Stable microcrystalline silicon thin film transistors produced by the layer by layer technique*”, J. of Appl. Phys., vol. 86, 7079, 1999.
- [32] M. Oudwan et al., “*Influence of process steps on the performance of microcrystalline silicon thin film transistors*”, Thin Solids Films, vol. 515, pp. 7662-66, 2007
- [33] F. Templier, et al., “*Development of nanocrystalline silicon thin-film transistors with low-leakage and high stability for AMOLED displays,*” Proc. IMID/IDMC Dig., pp. 1705–1708, 2006
- [34] P. Roca i Cabarrocas, “*Stable microcrystalline silicon thin-film transistors produced by the layer-by-layer technique*”, J.App.Phys, vol. 86, p. 7079–7082, 1999.
- [35] R. Wehrspohn et al., “*Stability of plasma deposited thin film transistors — comparison of amorphous and microcrystalline silicon*”, Thin Solid Films, vol. 383, Issues 1-2, pp. 117-121, 2001
- [36] P. Roca i Cabarrocas et al., “*Nanoparticle formation in low-pressure silane plasmas: bridging the gap between a-Si:H and mc-Si films*”, J. of Non-Cryst. Solids 227–230, pp. 871–875, 1998.
- [37] P. Roca i Cabarrocas et al., “*Synthesis of silicon nanocrystals in silane plasmas for nanoelectronics and large area electronic devices*”, J. Phys. D: Appl. Phys. 40, pp. 2258–2266, 2007

- [38] C. Longeaud et al., “*Properties of a new a-Si:H-like material: hydrogenated polymorphous silicon*”, J. of Non-Cryst. Solids 227–230, pp. 96–99, 1998
- [39] J. P. Kleider et al., “*Very low densities of localized states at the Fermi level in hydrogenated polymorphous silicon from capacitance and space-charge-limited current measurements*”, App. Phys. Lett. Vol 75, n°21, pp. 3351-53, 1999
- [40] C. Voz , J. Puigdollers et al., “*Thin-film transistors with polymorphous silicon active layer*”, J. of Non-Cryst Solids 299–302, pp. 1345–1350, 2002
- [41] F. Templier et al., “*Improvement of threshold voltage stability with bottom gate polymorphous silicon Thin Film Transistors*”, Proceedings of International Conference on Thin film transistors 07 (ITC 07) / SID-ME Spring meeting 2007, 28-29 January, Rome, Italy
- [42] V. Berger, O. Gauthier-Lafaye, and E. Costard, J. of Appl. Phys. vol.82, p. 60,1997.
- [43] C. E. Nebel et al., “*Laser-Interference Crystallization of Amorphous Silicon: Applications and Properties*”, Phys. Stat. Sol. (a), vol. 166, pp. 667-74, 1998
- [44] M. Salaün, “*Croissance d’oxydes métalliques par photolyse dans un réseau d’interférences 3D*”, Thèse de doctorat, INP Grenoble, 2008
- [45] M. Duneau, F. Delyon, and M. Audier, J. of Appl. Phys. 96, pp. 2428, 2004.

CHAPITRE 2

FABRICATION ET CARACTERISATION DE TFTs A BASE DE pm-Si:H

Dans ce chapitre nous allons traiter de la fabrication des transistors en couches minces à base de silicium polymorphe ainsi que de la caractérisation de ces transistors. Deux types de TFTs ont été réalisés au cours de cette thèse : dans le premier cas, le dépôt des tri-couches silicium (SiNx de grille, pm-Si:H et a-Si:H dopée n+) était réalisé au sein du Laboratoire de Physique des Interfaces et Couches Minces (LPICM) de l'école polytechnique de Palaiseau puis les différentes étapes de photo-lithographie ainsi que le dépôt du métal de contact source/drain étaient réalisés dans la salle blanche du CEA-Leti. Par la suite, nous avons réalisé un transfert technologique de la tri-couche silicium depuis le LPICM afin d'obtenir des TFTs entièrement réalisés au sein du CEA-Leti. Dans le même temps, des TFTs en a-Si:H ont également été fabriqués afin de pouvoir comparer les résultats obtenus sur les TFTs en pm-Si:H avec un matériau référence. Dans un second temps, nous expliquerons le principe de fonctionnement des TFTs et les différents régimes d'opérations seront définis. Finalement, les transistors obtenus sont caractérisés électriquement. Nous présenterons notre banc de mesure à partir duquel nous avons obtenu les courbes de sortie I_D-V_D et de transfert I_D-V_G . A partir de ces courbes nous pourrions extraire les paramètres que nous considérons comme importants pour l'utilisation des TFTs dans le domaine des écrans plats : tension de seuil V_T , pente sous le seuil S , mobilité μ , rapport I_{ON}/I_{OFF} .

1. Fabrication de transistors en couches en minces à base de silicium polymorphe

Les TFTs réalisés dans le cadre de cette thèse ont comporté, dans un premier temps, les couches PECVD déposées au LPICM, le reste du procédé de fabrication étant réalisé au LETI. En effet, le silicium polymorphe est un matériau qui a été développé au Laboratoire PICM, ce qui fait de ce laboratoire le spécialiste des dépôts de silicium polymorphe. Dans un deuxième temps, les TFTs ont été entièrement réalisés au LETI suite au transfert du procédé de dépôt PECVD de la couche de silicium polymorphe depuis le LPICM dans le cadre du projet AMAZOLED. Dans cette partie, je traiterai des différentes étapes technologiques de la fabrication des TFTs. Ensuite, j'aborderai la différence entre les plaques qui sont passées par la salle blanche de l'école polytechnique et les plaques « tout Leti ». Pour finir, j'indiquerai les caractérisations matériaux utilisées pendant le procédé de fabrication.

1.1. Etapes technologiques

La fabrication des TFTs à base de pm-Si:H (ou de a-Si:H) nécessite l'utilisation de 4 masques : définition source/drain, définition des ilots de pm-Si:H, ouverture contacts source/drain à travers la passivation, définition de la grille. Les TFTs obtenus à l'issue du procédé de fabrication décrit ci-dessous ont une structure inverted-staggered (bottom gate) qui est la structure la plus couramment utilisée dans l'industrie des écrans LCD. Pour des raisons de simplicité, il n'y a pas de gravure du niveau de grille sur nos composants.

- Substrat

Le substrat utilisé pour la réalisation de TFT est du verre Corning type « Eagle APT ». La taille du substrat des premiers TFT étudiés est de 154 * 132 mm pour une épaisseur de 0.7 mm. Au cours de la thèse, de nouvelles plaques ont été réalisées sur des substrats de 200 mm de diamètre.

Avant de commencer les dépôts, les plaques sont préalablement nettoyées afin d'éliminer les poussières et d'éventuelles traces de résidus organiques.

Nous allons ici décrire les différentes étapes technologiques nécessaires à la réalisation de transistors en couches minces à base de silicium polymorphe. (Figure 1)

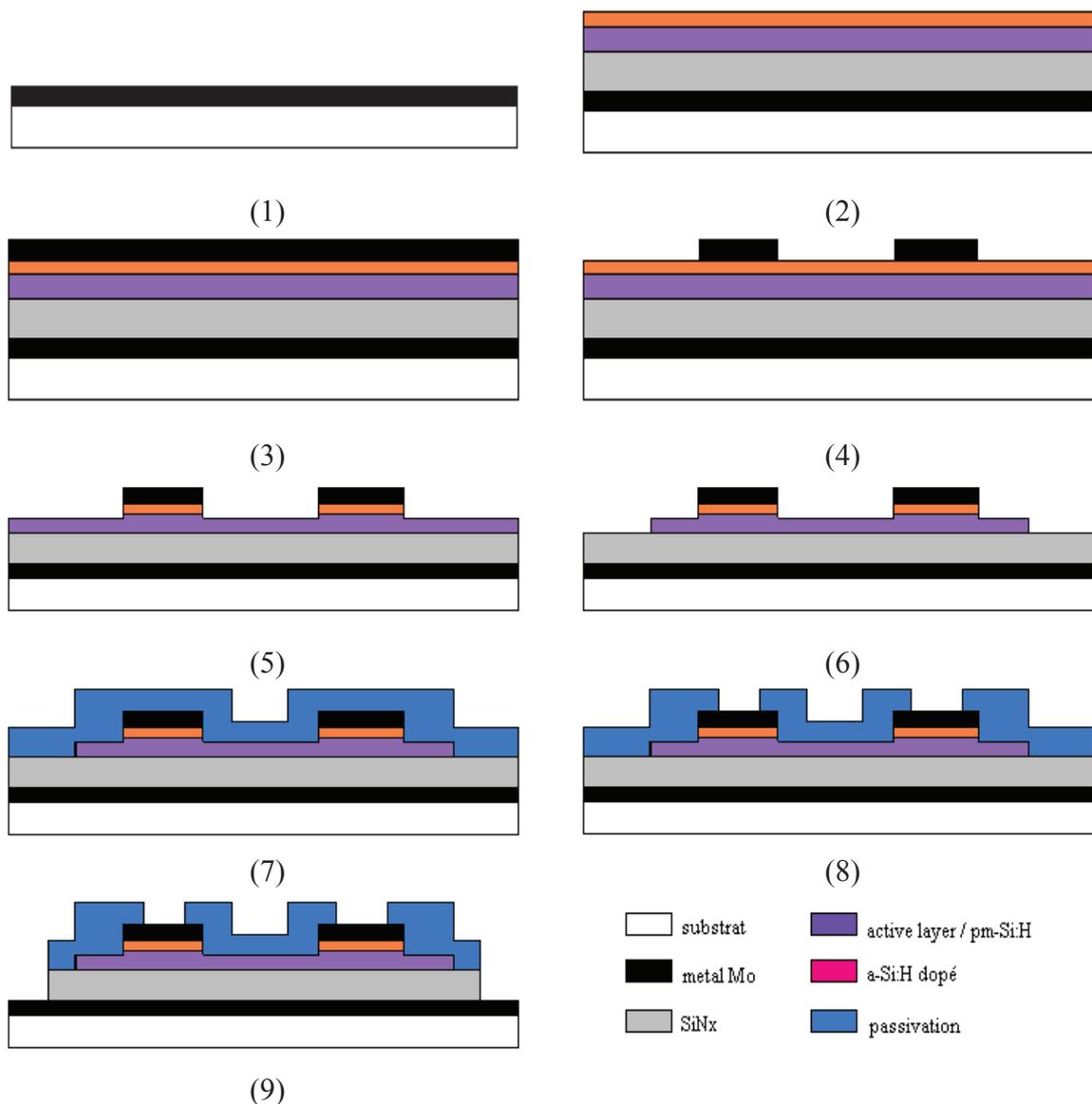


Figure 1: Procédé de fabrication de TFTs à base de pm-Si:H par PECVD et gravure du canal arrière. (1) dépôt grille. (2) dépôt PECVD tricouche Si. (3) dépôt Mo contacts. (4) définition S/D. (5) gravure canal arrière. (6) définition ilots. (7) passivation SiN. (8) ouverture S/D. (9) ouverture grille.

➤ Etape 1 : Dépôt du métal de grille

Après l'étape de nettoyage du substrat suit l'étape du dépôt de métal de grille. Le métal utilisé est le molybdène (Mo). Celui-ci est déposé par pulvérisation cathodique DC. Le métal de grille est déposé en pleine couche d'une épaisseur de 200 nm.

➤ Etape 2 : Dépôt de l' « empilement silicium »

Après l'étape de dépôt du métal de grille, il faut procéder au dépôt PECVD de la tri-couche de nitrure de silicium (SiN_x) pour l'isolant de grille (300 nm), de la couche active en silicium polymorphe (pm-Si:H) intrinsèque (150 nm) et de la couche de silicium amorphe

dopée (n+) avec du phosphore (50 nm). Cette tri-couche est communément appelée « empilement silicium ».

Plusieurs lots ont été étudiés :

- Les premiers lots ont été réalisés sur des substrats en verre 132 * 154 mm dans un réacteur PECVD avec un mélange de SiH₄ (12 sccm) et H₂ (200 sccm) à une pression P = 1800 mT à une température T = 250 °C.
- Le dernier lot a été réalisé sur des substrats de 200 mm de diamètre pour lesquels les couches ont été déposées dans un nouveau réacteur PECVD à partir d'un mélange de SiH₄ (12.5 sccm) et H₂ (250 sccm) à une pression P = 600 mT et une température T = 250 °C.

Les étapes de dépôt PECVD se déroulent au Laboratoire de Physique des Interfaces et Couches Minces de Palaiseau. Le dernier lot provenant du LPICM a été réalisé dans un nouveau réacteur. Afin de vérifier la validité du procédé et le changement de réacteur, ce dernier lot comporte quatre plaques : a-Si:H sur verre, pm-Si:H sur verre, a-Si:H sur silicium et pm-Si:H sur silicium. Par la suite, des TFTs « tout Leti », c'est-à-dire dont toutes les étapes ont été réalisées dans les salles blanches du CEA-Leti, ont été fabriqués. Ceci sera discuté dans le paragraphe 1.2.

➤ Etape 3 : Dépôt du métal de source et drain

Avant de déposer le métal de source et drain, on effectue un traitement de surface afin d'éliminer la couche de silicium oxydée. Ensuite, on dépose pleine plaque 200 nm de molybdène dans les mêmes conditions que le dépôt de métal de grille (étape 2).

Nous avons donc, à la fin de cette étape, un empilement de 5 cinq couches sur le substrat : Mo grille, SiN_x, pm-Si:H, a-Si:H (n+) et Mo S/D.

➤ Etape 4 : Gravure des métallisations source et drain

Il s'agit dans cette étape de définir les électrodes de source et drain. C'est le premier niveau de photolithographie. Le molybdène est alors gravé par voie humide. On contrôle la fin de la gravure par des observations optiques et des mesures de hauteur de marche au profilomètre.

➤ Etape 5 : Gravure des caissons a-Si:H (n+)

Il s'agit de l'étape la plus délicate du procédé de fabrication. En effet, comme dit plus tôt, la technologie utilisée pour la fabrication de nos TFTs est la gravure par canal arrière (BCE), pour laquelle il n'y a pas de sélectivité entre la couche a-Si:H (n+) et la couche active de pm-Si:H. Toute la difficulté se trouve dans la détection de la fin de la gravure de la couche dopée. Le but étant de graver le moins possible la couche de pm-Si:H qui forme le canal de nos transistors.

Cette gravure est réalisée par plasma et on se sert des électrodes de source et drain comme masque du fait qu'il existe une bonne sélectivité de la gravure Mo/Si.

Le meilleur moyen de s'assurer de la réussite de la gravure de la couche (n+) est de réaliser des mesures électriques sur les transistors. Dans le cas où la couche (n+) ne serait pas entièrement gravée, nous observerions un courant de fuite important dans la région des V_G faiblement négatif.

➤ Etape 6 : Gravure de la zone active ou définition des îlots

Cette étape correspond au second niveau de photolithographie. Il s'agit ici d'une gravure par voie sèche. La gravure s'arrête sur la couche de nitrure de silicium pour lequel il y a une bonne sélectivité.

➤ Etape 7 : Dépôt de la couche de passivation

Cette étape permet de protéger le canal arrière qui, jusque là, est ouvert à l'air. Il s'agit donc de déposer une couche de SiN_x par PECVD à la même température que la couche active.

➤ Etape 8 : Ouverture des contacts source et drain

Dans le but de caractériser nos transistors en couches minces, nous devons, dans un premier temps, ouvrir les contacts de source et de drain. Il s'agit d'une étape de lithographie pour laquelle nous utilisons le troisième niveau de masque. C'est une gravure humide pour laquelle nous utilisons une solution d'acide fluorhydrique.

➤ Etape 9 : Ouverture du contact de grille

Il s'agit de la seconde étape nécessaire à la caractérisation de nos transistors en couches minces. Pour cela, nous utilisons le quatrième et dernier niveau de masque. Comme l'étape précédente, il s'agit d'une gravure humide et nous utilisons la même solution que précédemment.

Après ces dernières étapes de gravure, de nouvelles mesures I-V sont réalisées afin de vérifier que les gravures sont correctes.

➤ Etape 10 : Recuit final

Après l'ouverture des contacts et avant de passer à la caractérisation électrique des transistors en couches minces, on procède à un recuit afin de fixer les charges libres. Celui-ci

se fait sous vide, à une température de 195°C pendant 1h. La rampe de descente en température est de 4°C/h.

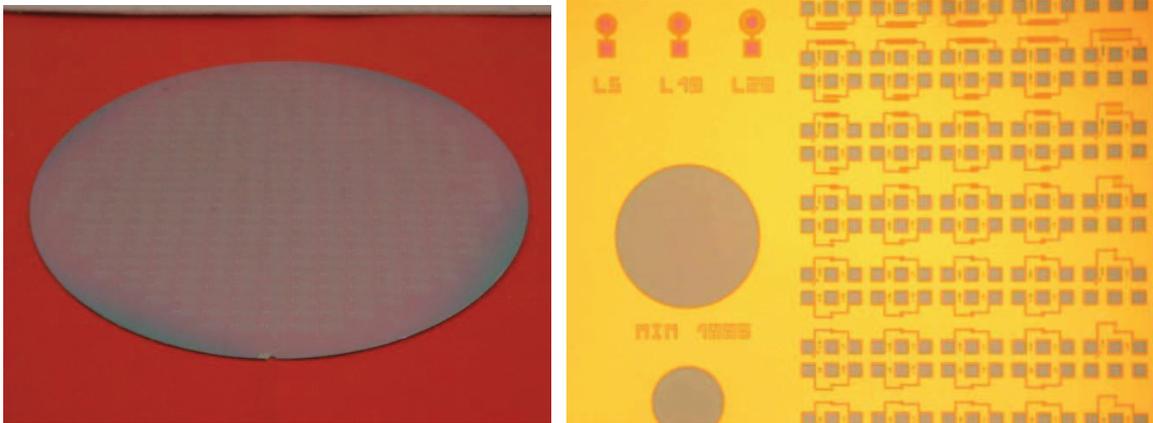


Figure 2: TFT en pm-Si:H sur un substrat 200 mm (à gauche) et vue d'ensemble des TFT et composants au microscope

La Figure 2 montre une plaque 200 mm à la fin du procédé de fabrication ainsi qu'une vue d'ensemble des TFTs et composants présents sur la plaque. On trouve des TFTs de différentes dimensions : la largeur du canal prend les valeurs suivantes, $W = 3, 4, 5, 6, 8, 10, 20, 50, 100, 200, 400 \mu\text{m}$ et la longueur L prend les valeurs $2, 3, 4, 5, 6, 8, 10, 20, 50, 100 \mu\text{m}$. Il y a une série de 110 transistors par champ. Ces différentes dimensions de TFTs permettent d'évaluer l'impact de la largeur et de la longueur de canal sur les propriétés électriques. On retrouve également sur les plaques : des TFTs circulaires, des capacités MIM et MIS afin de tester l'isolant de grille (tension de claquage, capacité unitaire), ainsi que des motifs TLM (Transmission Line Method) qui nous permettent de vérifier et mesurer l'ohmicité des contacts.

A noter que les tout premiers lots étudiés ont été réalisés un an avant le début de cette thèse. Pour ceux-là, les étapes réalisées au CEA-Leti étaient menées dans une salle blanche dans laquelle l'utilisateur procédait lui-même aux étapes de photolithographie. Le dernier lot étudié a été réalisé dans le cadre du projet européen AMaZOLED pour lequel il a été décidé de transférer la fabrication vers la ligne de développement/prototypage « MEMS200 » du CEA-Leti Minatec. Dans cette optique, les étapes de photolithographie sont réalisées dans le Bâtiment des Hautes Technologies (BHT) dans lequel les étapes sont menées par les techniciens et ingénieurs de la salle blanche.

A présent, je vais aborder le transfert du procédé de dépôt de silicium polymorphe hydrogéné au sein de la salle blanche du CAE-Leti.

1.2. Transfert technologique du procédé pm-Si:H

Dans le cadre du projet européen AMAzOLED, une des tâches du CEA consistait à transférer le procédé de dépôt du silicium polymorphe développé par le laboratoire PICM à l'école polytechnique de Palaiseau, au sein de la salle blanche du CEA-Leti à Grenoble.

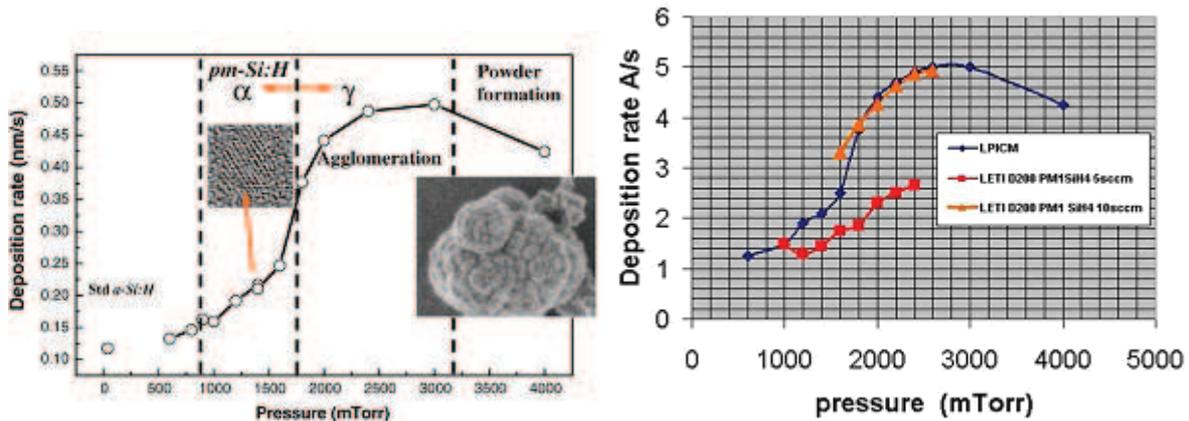


Figure 3: Vitesse de dépôt en fonction de la pression : à gauche, pour un mélange de 3% de silane dans de l'hydrogène à 250°C, Puissance RF = 22W [2] (PICM), à droite pour 2 recettes avec débit SiH₄ différents à T=280°C et Puissance RF = 50W (CEA-Leti)

La Figure 3 présente les courbes de vitesse de dépôt en fonction de la pression, d'une part, obtenues par le Dr Roca i Cabarrocas lors de l'étude de la synthèse de nanocristaux de silicium à l'aide plasmas silane, d'autre part, les courbes que nous avons obtenues lors du transfert de procédé. Le silicium amorphe standard est obtenu par dépôt PECVD à basse pression, faible température. L'équipe du Dr Roca i Cabarrocas a montré qu'en élevant la pression de dépôt jusqu'à se rapprocher des conditions de formation de poudre, la vitesse de dépôt augmente. Cette augmentation se fait en deux régimes α et γ . Le silicium polymorphe est obtenu dans les conditions du régime α , alors que dans le régime γ , on entre dans une phase d'agglomération proche du domaine de formation de poudre.

Les réacteurs de dépôt du LPICM et du LETI sont différents : le LPICM travaille avec un réacteur ARCAM alors qu'au LETI les dépôts silicium sont réalisés dans un réacteur QUADRA D200. Pour cette raison, nous avons dû adapter leur recette et leurs conditions de dépôt à notre réacteur. L'utilisation du réacteur est autorisée pour des transferts technologiques, cependant nous devons nous adapter à notre environnement. Par exemple, certains débits ne peuvent être atteints, pour des raisons matérielles. De même, afin de stabiliser le plasma lors de l'élévation de la pression, nous avons dû ajouter de l'argon au mélange de gaz. De ce fait, les débits de gaz et la recette ont été adaptés à notre équipement ainsi que la température et la puissance RF afin d'obtenir un comportement des dépôts qui se rapprocherait le plus possible des résultats du Dr Roca i Cabarrocas et de son équipe comme montré sur la Figure 3. Nous avons tout d'abord essayé une recette pour laquelle le débit de silane était de 5 sccm. L'évolution de la vitesse de dépôt dans ce cas ci est présentée sur la Figure 3, figure de droite courbe rouge. On constate que malgré l'augmentation de la

pression, la vitesse de dépôt ne connaît pas d'augmentation significative. Dès lors, nous avons essayé une autre recette dans laquelle nous avons doublé le débit en silane. Les résultats obtenus sont représentés par la courbe orange sur la Figure 3. On constate que dans ces conditions, la courbe de vitesse de dépôt en fonction de la pression obtenue correspond avec les résultats du Dr Roca i Cabarrocas. Une fois que nous avons réussi à reproduire un tel comportement dans nos réacteurs nous avons réalisé plusieurs dépôts à différentes pressions correspondant au domaine d'obtention du silicium polymorphe.

Dès lors, il nous a fallu vérifier que le matériau déposé était bien du silicium polymorphe, ce qui nous mène au paragraphe suivant, la caractérisation du silicium polymorphe.

1.3. Caractérisation de la couche de silicium polymorphe par ellipsométrie spectroscopique

L'ellipsométrie spectroscopique est une technique optique de caractérisation et d'analyse de surface. Elle est fondée sur le changement d'état de la polarisation de la lumière par réflexion sur une surface plane (échantillon). La mise en place de l'expérience est assez simple : la source, dans notre cas une lampe Xe, produit un spectre qui vient frapper l'échantillon et est réfléchi. Le signal passe alors dans un analyseur avant d'arriver dans une fibre optique relié au spectromètre. Cette technique présente les avantages d'être non-destructrice, elle permet de mesurer l'épaisseur de couches minces sur une large gamme de mesure s'étalant du nanomètre au micromètre. Elle permet également la mesure de la rugosité de surface et elle peut être utilisée in-situ pour la mesure d'épaisseur des couches pendant leur croissance en temps réel.

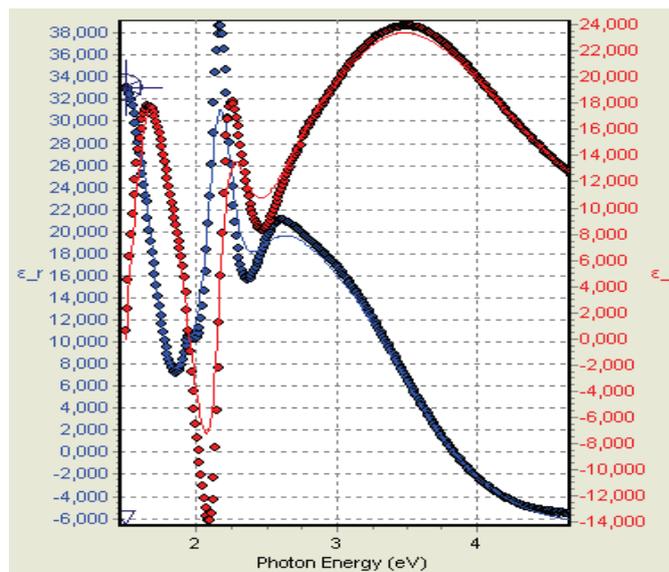


Figure 4: Signal obtenu par ellipsométrie spectroscopique sur un empilement de 2 couches SiN_x + pm-Si:H. Ajustement de la courbe réelle avec le modèle optique

En ajustant la courbe réelle (sur la Figure 4, partie réelle et imaginaire de la constante diélectrique) avec des modèles optiques, on peut déterminer l'épaisseur de la couche ou des couches, leur composition ainsi que leur homogénéité.

Le Laboratoire PICM a conçu un modèle optique correspondant à leur couche de silicium polymorphe. Afin de vérifier que la couche déposée est bien du silicium polymorphe, nous avons réalisé une mesure d'ellipsométrie sur la plaque et nous avons vérifié que le modèle existant s'accordait avec le signal obtenu lors de la mesure.

2. Caractérisation électrique

Il s'agit dans ce paragraphe de présenter le dispositif de caractérisation électrique ainsi que les méthodes utilisées pour la caractérisation de nos TFTs. Nous présenterons également un exemple de courbe de sortie et de courbe de transfert obtenues à l'aide de ce dispositif de mesure. Le principe de fonctionnement des TFTs est expliqué en annexe.

2.1. Dispositif de caractérisation électrique des TFTs

Afin de caractériser les TFTs à base de pm-Si :H, nous avons eu recours à un banc de mesure équipé d'un testeur sous pointes installé dans une enceinte métallique (cage de Faraday) qui une fois fermée permet d'éviter la perturbation de la mesure par un éventuel photo-courant. Les pointes sont reliées à un HP 4156B qui nous permet de mesurer les caractéristiques courant/tension. Le HP 4156 est un appareil de mesure de grande précision et qui possède une interface graphique qui permet de sélectionner les conditions de mesures facilement. Cet équipement peut-être utilisé en manuel ou de façon automatisée par l'intermédiaire d'une interface type LabView à partir d'un ordinateur relié par un port GPIB au HP 4156. Le support de plaque est quant à lui relié à un équipement qui nous permet de faire des mesures en fonction de la température. Les mesures de capacités nécessaires pour le calcul de la mobilité d'effet de champ (cf § 4.2) ont été réalisées à l'aide de l'équipement SIAM du département DCOS au LETI.

La Figure 5 montre une plaque de TFT en cours de test.

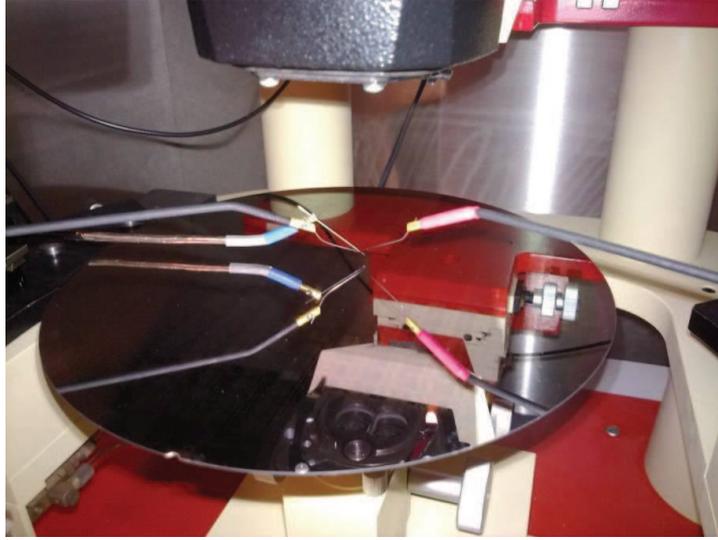


Figure 5: test sous pointes sur un TFT sur plaque 200mm.

2.2. Courbe de sortie I_D - V_D

Un exemple de courbe de sortie I_D - V_D d'un TFT est montré sur la Figure 6. Elle représente la dépendance du courant de drain I_D en fonction de la tension de drain V_D pour différentes valeurs de la tension de grille V_G . Dans un premier temps, Le courant de drain augmente linéairement pour de faibles tensions de drain, c'est le régime linéaire. Lorsque l'on applique des tensions de drain de plus en plus importantes, le courant de drain sature, le TFT est en régime saturé. La valeur de tension de drain pour laquelle le courant commence à saturer dépend de la tension de grille V_G appliquée. En effet, lorsque l'on applique une tension de grille assez faible, l'épaisseur du canal créée est faible et le courant sature pour de petites valeurs de tension de drain. Lorsque la tension de grille appliquée augmente, l'épaisseur du canal augmente également et donc le courant de saturation est plus fort.

En régime linéaire ($V_D < V_{DSAT}$), le courant de drain I_D s'exprime de la façon suivante :

$$I_D = \frac{W}{L} \cdot C_{SiNx} \cdot \mu_{fet} \cdot (V_G - V_{TH}) \cdot V_D \quad (1)$$

Avec W et L , largeur et longueur du canal du TFT, C_{SiNx} la capacité du nitrure de grille, μ_{fet} la mobilité d'effet de champ et V_{TH} la tension de seuil du TFT.

Dans le cas du régime saturé, c'est-à-dire lorsque $V_D > V_{DSAT}$, avec $V_{DSAT} = V_G - V_{TH}$, le courant de drain I_D s'exprime comme suit :

$$I_D = \frac{W}{L} \cdot C_{SiNx} \cdot \mu_{fet} \cdot \frac{1}{2} \cdot (V_G - V_{TH})^2 \quad (2)$$

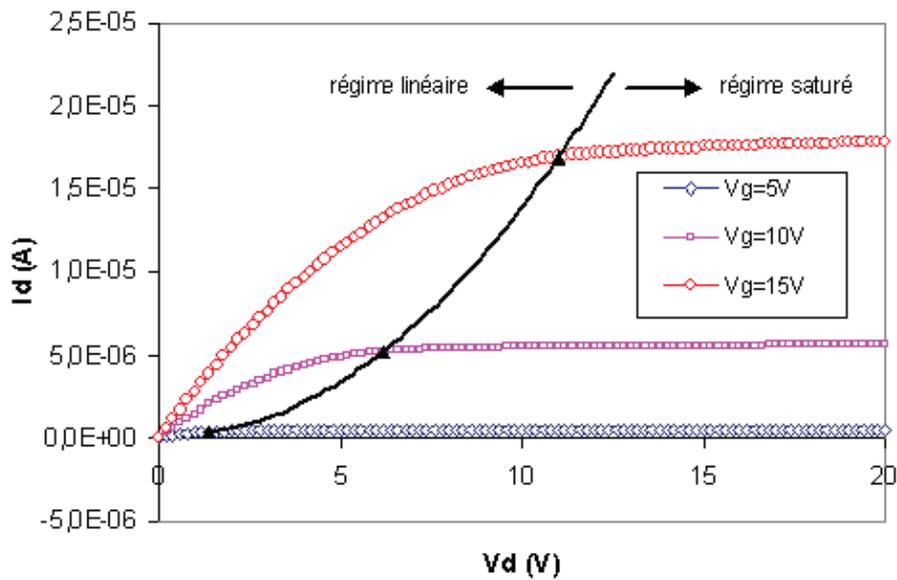


Figure 6: Exemple de courbe de sortie I_D-V_D pour un TFT à base de pm-Si:H

La courbe de sortie d'un TFT permet de voir la qualité des contacts métal/semi-conducteur. Une bonne linéarité de la courbe pour de faibles valeurs de la tension de drain V_D correspond à un bon contact. A contrario, si l'on observe une non-linéarité cela indique un problème de contact. On appelle cela le « crowding effect ». De même, l'observation du comportement du courant de drain I_D pour de fortes tensions de drain V_D permet de vérifier que le TFT sature bien et que l'on n'a pas d'injection d'électrons chauds (effet kink et self-heating) comme cela est parfois le cas pour les TFTs en poly-Si ou a-Si [3] [4].

2.3. Courbe de transfert I_D-V_G

La Figure 7 représente une courbe de transfert I_D-V_G obtenue pour un TFT en pm-Si:H. Il s'agit de l'évolution du courant de drain I_D en fonction de la tension de grille appliquée V_G pour une tension de drain V_D fixe. Dans notre exemple, $V_D = 0.1$ V et 10 V.

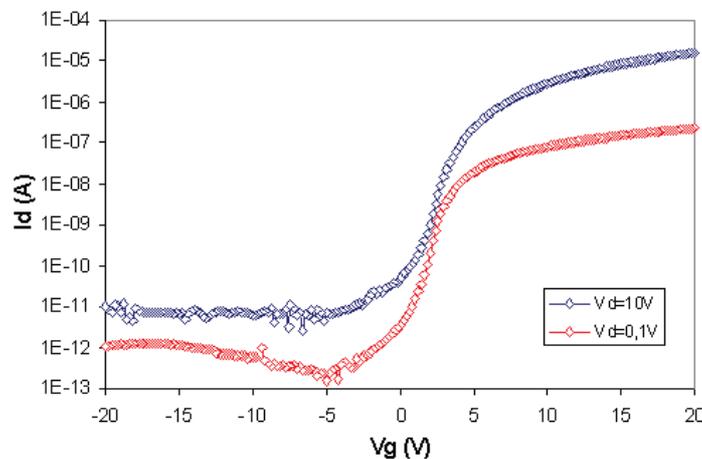


Figure 7: Exemple de courbe de transfert I_D-V_G pour un TFT à base de pm-Si:H

A partir de cette courbe, la plupart des paramètres importants du TFT peuvent être extraits comme nous allons le voir dans la partie suivante.

Les courbes de transfert nous ont également permis de vérifier l'homogénéité du procédé de fabrication. En effet, comme le montre la Figure 8 qui représente les courbes de transfert obtenues sur des TFTs situés au centre, à mi-rayon et en bord de plaque, les TFTs en pm-Si:H obtenus avec ce procédé de fabrication montrent une très bonne homogénéité spatiale. La reproductibilité du procédé est de même qualité que pour le procédé de fabrication de TFTs en a-Si:H

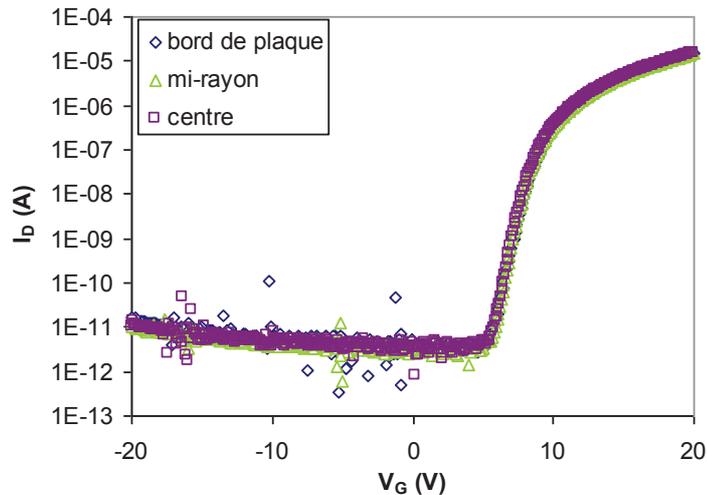


Figure 8: Homogénéité du procédé de fabrication des TFTs en pm-Si:H. Courbes de transfert pour 3 TFTs positionnés en centre de plaque, à mi-rayon et au bord de la plaque, $V_D = 10$ V

3. Extraction des paramètres

A présent, nous allons voir comment extraire les paramètres de performances de nos TFTs. Plusieurs publications traitent de l'extraction des paramètres [5] [6] pour des transistors MOS et ces méthodes peuvent être appliquées à nos transistors en couches minces.

3.1. Mobilité μ

La mobilité représente la facilité de déplacement des porteurs dans le matériau sous l'effet d'un champ électrique. Pour calculer la mobilité, il est nécessaire de connaître la capacité de l'isolant C_{SiNx} qui est donnée par la formule :

$$C_{SiNx} = \frac{\epsilon_0 \cdot \epsilon}{t_{SiNx}} \quad (3)$$

Avec ϵ_0 la permittivité du vide ($= 8.854.10^{-12}$ F/m), ϵ la permittivité relative du nitrure de grille et t_{SiNx} l'épaisseur de l'isolant de grille ($= 300$ nm).

La capacité de l'isolant de grille peut également être mesurée à l'aide des capacités MIS présentes sur les plaques. Pour cela, on mesure la variation de la capacité en fonction de la tension appliquée (courbe $C(V)$) comme montré sur la Figure 9.

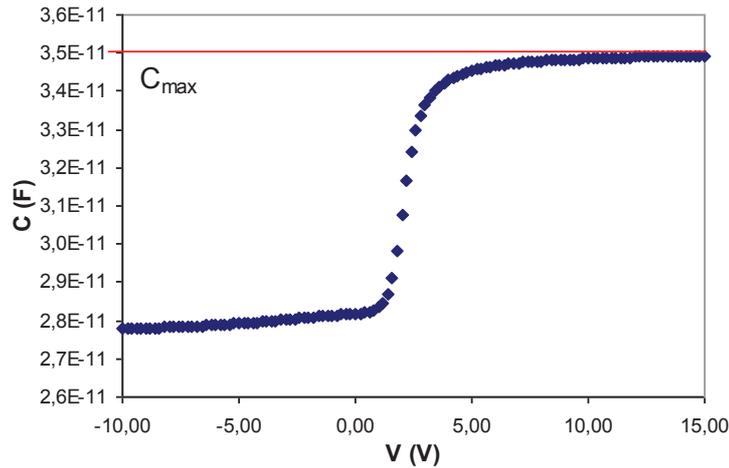


Figure 9: Courbe $C(V)$ réalisée sur une capacité MIM de $500 \mu\text{m}$ de diamètre à une fréquence de 10 kHz .

On prend la valeur de la capacité maximum mesurée C_{\max} , qui correspond à la capacité de l'isolant puisque la capacité est en régime d'inversion. Pour obtenir une valeur de la capacité unitaire, on divise cette valeur maximum par la surface de la capacité. Dans notre cas les capacités sont circulaires et nous avons :

$$C_{SiNx} = \frac{C_{\max}}{\pi D^2 / 4} \quad (4)$$

D'après les équations 1 et 2 (3.2), la valeur de la mobilité μ_{fet} dépend de la capacité unitaire de l'isolant de grille C_{SiNx} , des dimensions du canal W et L et de la tension de drain V_d .

On obtient, pour la mobilité, les équations suivantes :

Régime linéaire :

$$\mu_{LIN} = G_m \times \frac{L}{W} \times \frac{1}{C_{SiNx} \times V_D} \quad (5)$$

Où G_m est la transconductance :
$$G_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D} = \frac{W}{L} \cdot C_{SiNx} \cdot \mu_{lin} \cdot V_D \quad (6)$$

La transconductance peut être retrouvée graphiquement puisqu'il s'agit de la pente de la partie linéaire de la courbe $I_D(V_G)$ en échelle linéaire. (cf Figure 7).

A l'aide de ces équations et à partir de la courbe de transfert des TFTs mesurés, nous avons trouvé des mobilités d'électrons de l'ordre de 0.5 à 1 cm/V.s.

Régime saturé :

$$\mu_{SAT} = \frac{2L}{W.C_{SiNx}} \times \left[\frac{\Delta\sqrt{I_D}}{\Delta(V_G - V_{TH})} \right]^2 \quad (7)$$

On peut également, de la même manière que dans le cas de la mobilité linéaire, utiliser la pente « a » de la courbe $\sqrt{I_D}$ (V_G) (figure 12) et déterminer la mobilité saturé μ_{SAT} par la formule :

$$\mu_{SAT} = a^2 \frac{L}{WC_{SiNx}} \quad (8)$$

Les valeurs de mobilité en régime saturé obtenues pour les TFTs en pm-Si:H sont de l'ordre de la mobilité des électrons en régime linéaire, soit 0.5 -1 cm/V.s.

3.2. Tension de seuil V_{TH}

La tension de seuil V_{TH} est la tension de grille V_G à partir de laquelle le canal devient conducteur. On peut la déterminer à partir de l'intersection de l'extrapolation linéaire de I_D (régime linéaire) ou de $\sqrt{I_D}$ avec l'axe V_G comme on peut le voir sur la Figure 10.

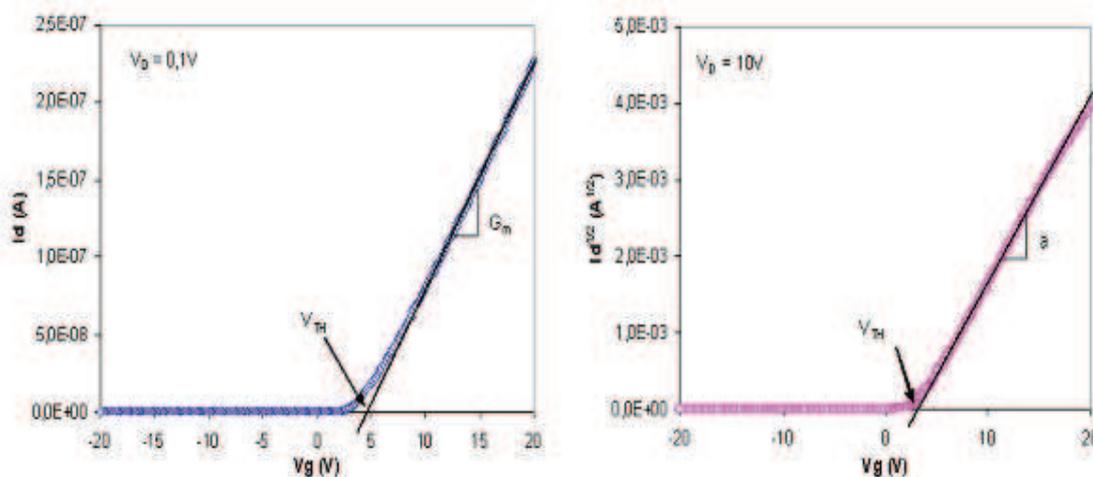


Figure 10: Extraction de la mobilité (pente) et de la tension de seuil pour les régimes linéaire ($V_D = 0.1$ V) et saturé ($V_D = 10$ V)

Cette méthode est communément utilisée pour des transistors MOS. Cependant, elle a ses limites. En effet, lorsque l'on considère la courbe de transfert I_D - V_G en échelle logarithmique présentée sur la Figure 11, on observe la croissance exponentielle du courant correspondant au régime sous le seuil. Celui-ci s'arrête au alentour de 4.4 V. Entre $V_G = 4.4$ V et $V_G = 6$ V,

on note une phase de transition où l'on sort d'une croissance du courant de drain I_D exponentielle pour entrer dans une phase de croissance linéaire.

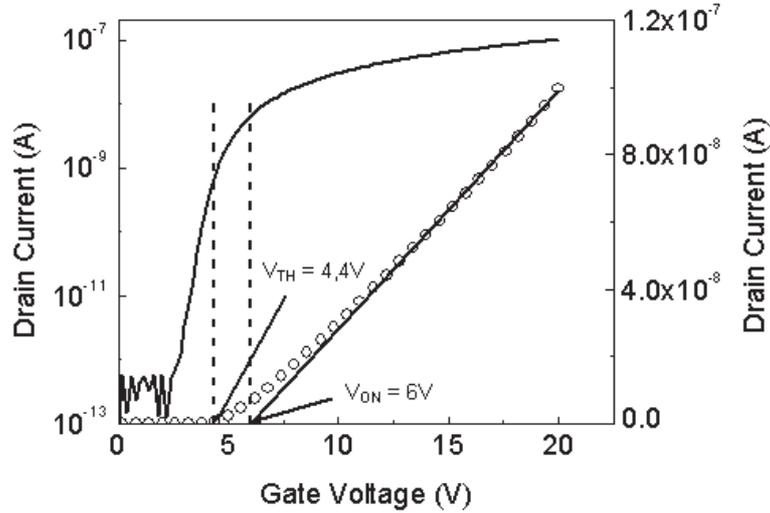


Figure 11: Extraction V_{TH} et V_{ON} à partir de la courbe de transfert I_D-V_G

A l'aide la Figure 11, on peut voir la différence entre la tension de seuil V_{TH} et la tension V_{ON} pour lequel le TFT est passant. Des observations similaires ont déjà été reportées sur des TFTs en a-Si:H et poly-Si:H [7] [8]. Contrairement aux MOSFET conventionnels, la transition d'une croissance exponentielle à une croissance linéaire de I_D est beaucoup plus graduelle que dans le cas de transistors cristallins, ceci à cause d'une trop grande densité d'états dans le gap. Par conséquent, V_{TH} diffère de V_{ON} et $V_{TH} < V_{ON}$.

Une autre méthode fiable peut être développée en prenant en compte un modèle de distribution exponentielle des états de queues de bandes pour le comportement du TFT après le seuil. En se basant sur ce modèle, le courant après le seuil s'écrit [9] :

$$I_D = A [C_{ins} (V_G - V_{TH})]^\gamma V_D, \quad \gamma = \frac{2 \cdot T_G}{T} - 1 \quad (9)$$

Où A est une constante dépendant de la géométrie du TFT, C_{ins} est la capacité unitaire de l'isolant de grille, T est la température et T_G est la température caractéristique (inverse de la pente) de la distribution des états de queue de bande de conduction. On obtient la transconductance G_m à partir de l'équation (9) et on trouve :

$$\frac{I_D}{G_m} = \frac{V_G - V_{TH}}{\gamma} \quad (10)$$

Dès lors, en traçant la courbe I_D/G_m en fonction de V_G , on obtient une ligne droite dont l'intersection avec l'axe horizontal V_G correspond à la tension de seuil V_{TH} . Un exemple est donné sur la Figure 12.

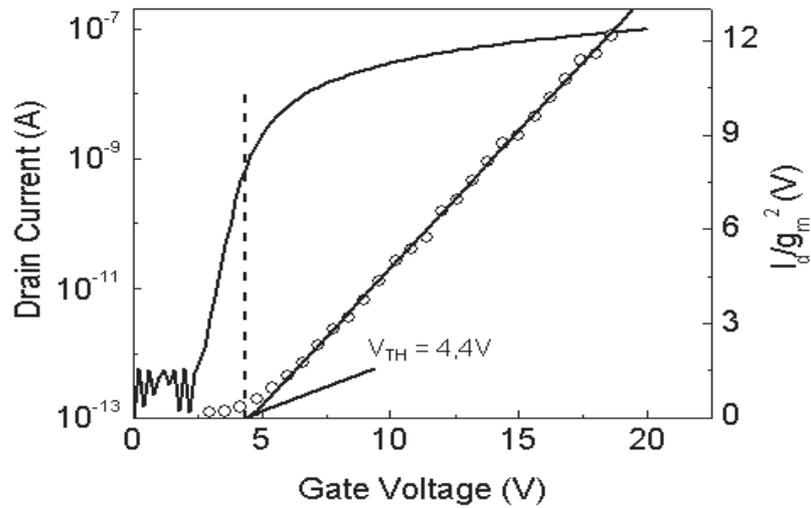


Figure 12: Extraction de la tension de seuil à l'aide de la courbe I_D/G_m en fonction de V_G .

3.3. Pente sous le seuil S

Nous avons vu dans le premier chapitre l'importance de la pente sous le seuil. En effet, celle-ci joue le rôle d'indicateur quant à la rapidité de commutation entre l'état ON et l'état OFF. Pour extraire la pente sous le seuil (PSS ou S), nous avons besoin de la courbe de transfert du TFT avec le courant de drain I_D en échelle logarithmique (cf. Figure 13). La pente sous le seuil est exprimée en Volt par décade et s'écrit comme suit [10]:

$$S(V/dec) = \frac{\partial(V_G)}{\partial(\ln I_D)} \quad (11)$$

La pente sous le seuil S permet d'obtenir des informations sur la densité d'états (density of states, DOS) dans le volume de la couche active (états profonds, deep bulk states), à l'interface couche active/isolant de grille (états d'interface, interface states), ainsi qu'à la surface du canal (états de surface, surface states) [11] [12]. Il a été montré que les états de surface pouvaient avoir le même effet que les états d'interface sur la pente sous le seuil [11]. En supposant que les densités d'états profonds N_{BS} et d'états d'interface N_{SS} soient indépendantes de l'énergie, on peut relier la pente sous le seuil et les densités d'états comme suit [11]:

$$S = \frac{K_B T}{q \log_{10}(e)} \left[1 + \frac{qt_i}{\varepsilon_i} \left(\sqrt{\varepsilon_S N_{BS}} + q N_{SS} \right) \right] \quad (12)$$

Où K_B est la constante de Boltzmann, T est la température, t_i est l'épaisseur de la couche active, q est la charge de l'électron et ε_i et ε_S sont les constantes diélectriques de l'isolant de grille et de la couche active, respectivement.

On constate que N_{BS} et N_{SS} ne peuvent être déterminées séparément à partir de l'équation (12). Cependant, en considérant $N_{SS} = 0$ et $N_{BS} = 0$, on peut extraire la valeur maximale N_{BSmax} et N_{SSmax} , respectivement.

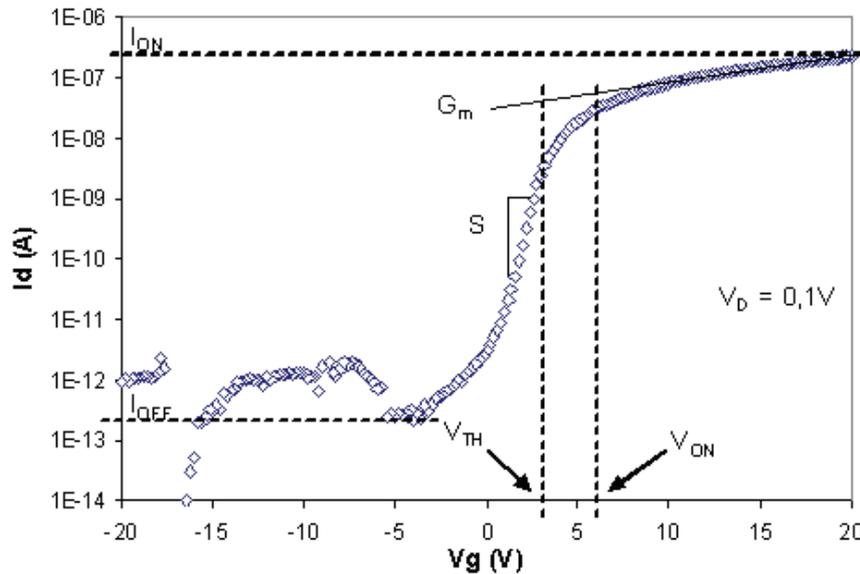


Figure 13: Extraction des différents paramètres de performance d'un TFT en pm-Si:H à partir de la courbe de transfert I_D - V_G en échelle logarithmique.

3.4. Rapport I_{ON}/I_{OFF}

Le courant ON est le courant maximal mesuré dans le régime passant. Dans le cadre d'applications aux écrans plats, celui-ci doit être le plus fort possible afin de bien charger la capacité de stockage (AMLCD/AMOLED) et de sorte que la luminosité de l'OLED soit maximum (AMOLED). De même, le courant OFF doit être le plus faible possible de façon à maintenir la tension du pixel constante le plus longtemps possible. Celui-ci est pris comme étant la valeur la plus faible de courant dans le régime bloqué. Lorsqu'il s'agit de comparer ces valeurs entre TFT ou entre technologies, celles-ci sont prises à V_D et V_G données. Ces valeurs de courant dépendent des dimensions des TFTs, de la qualité des interfaces, des niveaux de dopage et de la mobilité.

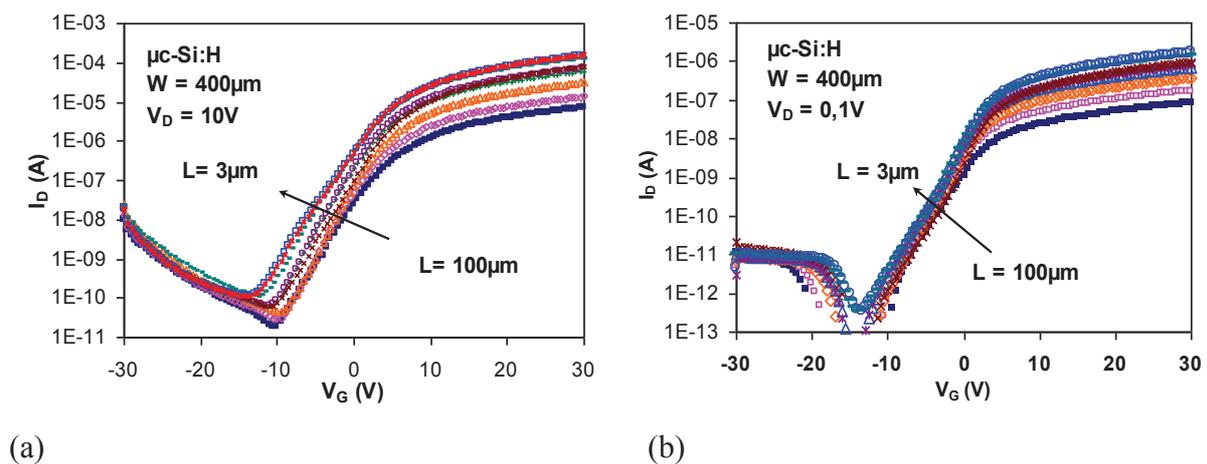
Le rapport I_{ON}/I_{OFF} correspond, comme son nom l'indique, au rapport entre les courants ON et OFF. Celui-ci doit être le plus grand possible pour une qualité d'image maximale, car il permet, par exemple, de garantir un bon état transparent et opaque d'une cellule d'un écran LCD. Pour des TFTs en a-Si:H conventionnels, le rapport I_{ON}/I_{OFF} est de l'ordre de 10^6 [13]. Du fait de sa faible conductivité, il est aisé d'obtenir un faible courant OFF avec le a-Si:H. Cependant, le courant ON est limité par la mobilité des électrons dans le a-Si:H qui est plus faible (de l'ordre de 0.5 à 1 cm/V.s) que pour le silicium cristallin [14]. Nous avons trouvé un rapport I_{ON}/I_{OFF} également de l'ordre de 10^6 pour les TFTs en pm-Si:H.

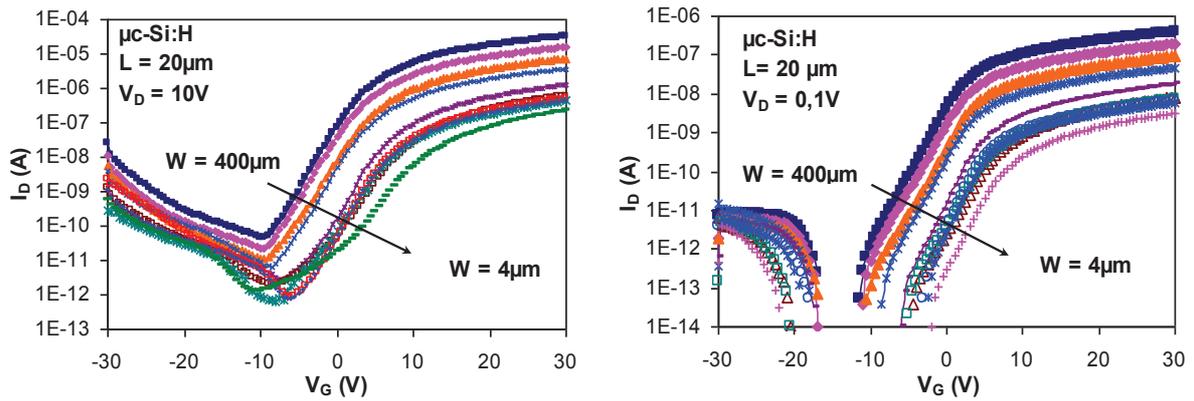
4. Courant OFF dans les TFTs en pm-Si:H - Comparaison avec les TFTs en $\mu\text{c-Si:H}$

Le courant OFF, ou courant de fuite, revêt une grande importance pour les TFTs de sélection de pixel des matrices actives. Nous avons donc étudié l'évolution du courant OFF dans nos TFTs en pm-Si:H ainsi que dans des TFTs en $\mu\text{c-Si:H}$, tout d'abord avec une approche phénoménologique avec des mesures en fonction des dimensions des TFTs et dans un second temps avec des mesures d'énergies d'activation du courant de fuite.

4.1. Effets des dimensions du canal

Précédemment, nous avons indiqué que les études menées sur les TFTs en $\mu\text{c-Si:H}$ montrent un fort courant de fuite, de l'ordre du nA. D'un autre côté, les TFTs en pm-Si:H ont un courant de fuite (I_{OFF}) faible, de l'ordre du pA. A notre connaissance, le courant OFF dans les TFTs en pm-Si:H n'a pas été étudié. Nous avons donc décidé d'étudier l'évolution de la caractéristique de transfert en fonction des dimensions du canal du TFT afin d'expliquer les différences observées avec les TFTs en $\mu\text{c-Si:H}$ en ce qui concerne le courant de fuite de drain lorsque les TFTs ont en régime bloqué. Nous commencerons tout d'abord par aborder les résultats obtenus sur le $\mu\text{c-Si:H}$ lors de la thèse de Maher Oudwan [15]. La Figure 14 représente les caractéristiques de transfert obtenues pour des TFTs en $\mu\text{c-Si:H}$, en régime saturé, pour des L et W variables [15].





(c)

(d)

Figure 14: Caractéristiques de transfert pour des TFTs en $\mu\text{c-Si:H}$ avec L variable, $W = 400 \mu\text{m}$ en régime saturé (a), en régime linéaire (b) et W variable et $L = 20 \mu\text{m}$ en régime saturé (c) et linéaire (d). [15]

A partir de ces courbes de sortie, on constate qu'en ce qui concerne le régime passant, le courant de drain évolue de façon conventionnelle en fonction des dimensions du canal, en linéaire et en saturé, comme prévu par l'équation (2) : inversement proportionnel à L et proportionnel à W .

Pour les tensions de grille négatives, on constate deux types de comportement, selon les conditions de polarisation.

Dans le cas des faibles tensions de grille V_G négatives (soit V_G comprise entre -10 V et 2 V) :

- le courant dépend fortement de V_D (Figure 14 a et b)
- dans le cas $V_D = 10\text{V}$, on note une nette diminution du courant de fuite avec L et une augmentation avec W . (Figure 14 a et c)

Ce comportement est généralement représentatif d'un courant de canal arrière [17] dont l'expression dans un TFT a-Si:H est la suivante :

$$I_{DSB} = \frac{W}{L} \cdot I_{Ob} \cdot \exp\left(V_D \cdot \gamma_n + \frac{V_G}{S_b}\right) (1 + \lambda \cdot V_D) \quad (13)$$

Avec :

W : largeur du canal du TFT

L : longueur du canal

I_{Ob} : courant du canal arrière initial

γ_n : paramètre d'accord

S_b : paramètre qui projette l'effet du canal de trous formés sur l'interface a-Si:H/a-SiNx du fait d'un V_G négatif sur les électrons du canal arrière.

On constate une dépendance inversement proportionnelle en L et exponentielle en V_D ce qui semble conforme aux observations des TFTs $\mu\text{c-Si:H}$. Ce courant de canal arrière est le résultat d'un TFT parasite apparaissant en parallèle du premier.

Dans le cas des tensions de grille fortement négatives (V_G inférieure à -10 V), le courant de fuite augmente en fonction de W et devient indépendant de L, comme nous pouvons le voir sur la Figure 16.

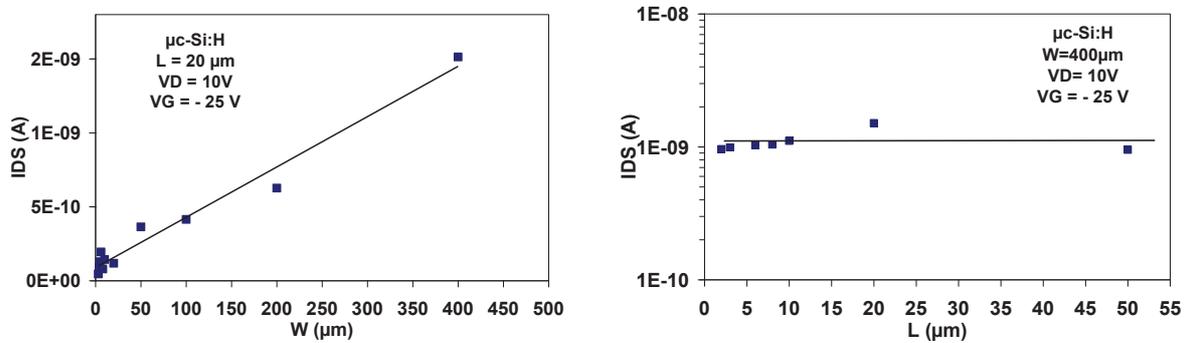
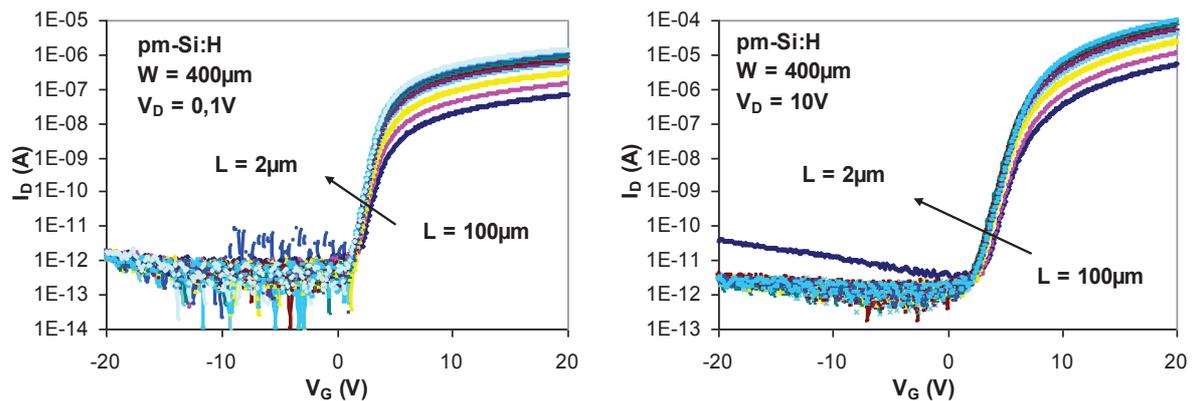


Figure 15 : Variation du courant de drain I_{DS} en fonction de la largeur du canal W (gauche ; $L=20 \mu\text{m}$) et de la longueur du canal L (droite, $W=400 \mu\text{m}$) pour un TFT en $\mu\text{c-Si:H}$, à $V_G=-25\text{V}$ et $V_{DS}=10\text{V}$. [15]

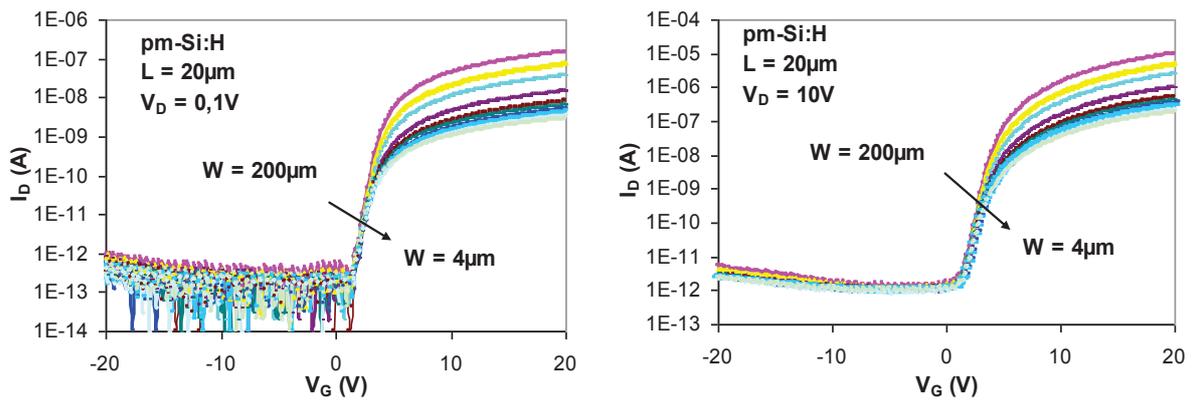
Ce comportement tend à indiquer un régime de diode PN polarisée en inverse suite à la création du canal d'inversion P au niveau de la jonction de drain [15]. De même, des travaux précédents [17] ont montré que les dispositifs en $\mu\text{c-Si:H}$ présentent, sous champ fort sur le contact de grille, un courant de fuite important qui a été identifié comme étant le résultat d'un phénomène de courant tunnel bande à bande du au gap faible du $\mu\text{c-Si:H}$ (1.1eV).

Des mesures similaires ont donc été réalisées sur des TFTs en pm-Si:H. La Figure 16 montre les résultats obtenus suite à des mesures effectuées sur des TFTs à L et W variables.



(a)

(b)



(c) (d)
Figure 16: Caractéristiques de transfert pour des TFTs en pm-Si:H de (a) W variable, $L = 20 \mu\text{m}$ et $V_D = 0.1 \text{ V}$ et (b) $V_D = 10 \text{ V}$, (c) L variable, $W = 400 \mu\text{m}$ et $V_D = 0.1 \text{ V}$ et (d) $V_D = 10 \text{ V}$. [16]

En ce qui concerne le courant de drain I_D en régime passant, on constate que celui-ci suit une évolution conventionnelle : inversement proportionnel à L et proportionnel à W . Il apparaît que le comportement du courant de drain dans le régime sous le seuil et dans le régime bloqué est différent de ce que l'on peut observer dans le cas de TFTs en $\mu\text{c-Si:H}$. Comme nous pouvons le voir sur la Figure 17, dans le cas des TFTs en pm-Si:H, nous constatons que le courant de drain à $V_G = -20 \text{ V}$ est indépendant de la longueur L et ne dépend pas, ou très peu, de la largeur contrairement au cas des TFTs en $\mu\text{c-Si:H}$ pour lequel on observe une forte dépendance en W [16]. Cependant, nous notons une légère augmentation du courant de fuite à $V_G = -20 \text{ V}$ pour $V_D = 10 \text{ V}$. Le courant de fuite observé dans les TFTs en pm-Si:H provient d'un courant type Poole-Frenkel, comme on peut l'observer dans les TFTs en a-Si:H, dû à un courant de canal avant (courant de trous) [18].

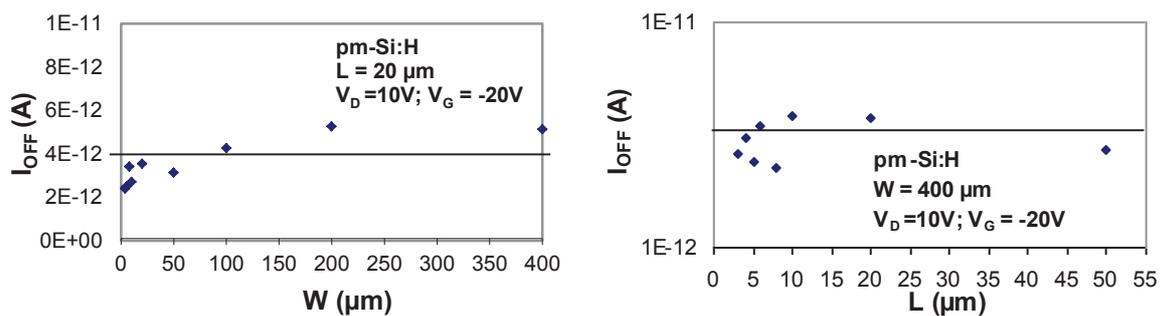


Figure 17: Variation du courant de drain I_D en fonction de la largeur du canal W (gauche ; $L=20 \mu\text{m}$) et de la longueur du canal L (droite, $W=400 \mu\text{m}$) pour un TFT en pm-Si:H, à $V_G = -20\text{V}$ et $V_D = 10\text{V}$.

Ces expériences mettent en évidence la différence de mode de courant de fuite dans les TFTs en $\mu\text{c-Si:H}$ et pm-Si:H. Les TFTs en pm-Si:H ne présentent pas de courant de canal arrière ce qui leur confère une meilleure pente sous le seuil. De même, du fait du plus faible gap du $\mu\text{c-Si:H}$ (environ 1.1 eV), le courant de fuite à fort V_G est plus fort (courant tunnel) dans ces dispositifs que dans le cas des dispositifs en pm-Si:H pour lesquels le matériau

possède un gap d'environ 1.7 eV. Ceci explique que l'on observe une différence de deux décades entre les courants de fuite des TFTs en pm-Si:H et $\mu\text{c-Si:H}$ à $V_G = -20$ V.

4.2. Mesures d'énergies d'activation du courant de fuite

L'énergie d'activation E_A de la conductivité est l'énergie qu'il faut fournir à un électron pour qu'il passe du niveau de Fermi à la bande de conduction. Elle correspond à la moitié de la bande interdite dans le cas d'un semi-conducteur intrinsèque. Elle est exprimée en eV.

L'énergie d'activation d'une quantité X est calculée en utilisant la loi d'Arrhenius :

$$X = X_0 \cdot \exp\left(\frac{-E_A}{k_B \cdot T}\right)$$

Avec :

X_0 : la quantité a étudiée à l'état initial ($T = 0$)

E_A : l'énergie d'activation

k_B : la constante de Boltzmann ($= 8.617 \cdot 10^5$ eV/K)

T : la température en Kelvin

Dans l'optique de montrer l'amélioration au niveau de courant de fuite dans les TFTs en pm-Si:H par rapport aux TFTs en $\mu\text{c-Si:H}$, nous avons décidé d'étudier l'énergie d'activation du courant de fuite de nos TFTs, nous avons réalisé des mesures I_D - V_G à $V_D = 0.1$ V et 10 V à différentes températures ($T = 30^\circ\text{C}$ à 250°C). Le tracé d'Arrhenius est obtenu en traçant la variation du courant de fuite pour différentes tensions V_G et V_D en échelle logarithmique en fonction de $1000/T$. La valeur de l'énergie d'activation est alors retrouvée à l'aide d'un modèle exponentiel. Dans notre cas, les mesures et extractions ont été faites pour une tension $V_G = -10$ V, sur des TFTs de dimensions $W/L = 400/20$ μm .

A titre de comparaison, nous allons tout d'abord présenter (Figure 18) les résultats obtenus par Oudwan sur des TFS en $\mu\text{c-Si:H}$ [15].

Dans le cas des TFTs en $\mu\text{c-Si:H}$, on constate un comportement similaire pour les deux valeurs de V_D (Figure 18): un premier régime jusqu'à $T = 100^\circ\text{C}$ avec $E_A = 0.15/0.20$ eV, puis un second régime pour les températures supérieures pour lequel $E_A = 0.36/0.38$ eV. La valeur attendue pour le silicium microcristallin est de l'ordre de 0.55 eV [19], ce qui correspond à l'énergie de milieu de bande interdite.

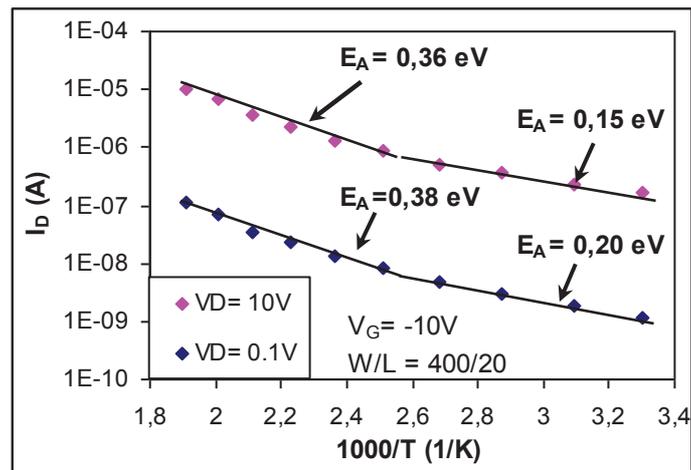


Figure 18: Diagramme d'Arrhenius du courant en régime bloqué de TFT en $\mu\text{c-Si:H}$ [15]

Les valeurs trouvées ici, plus faibles qu'attendues, indiquent des niveaux situés dans la bande interdite et qui participent à la conduction. De tels résultats ont déjà été obtenus [20] [21] et les auteurs de ces études ont mis en évidence qu'il s'agit de niveaux dopants N par l'oxygène.

Dans le cas des TFTs en pm-Si:H (Figure 19), nous avons une seule pente qui correspond à une énergie d'activation $E_A = 1.1$ et 0.99 eV pour $V_D = 0.1$ et 10 V, respectivement. Ces valeurs correspondent à la moitié de la bande interdite du silicium polymorphe ($E_g = 1.7$ eV), bien que légèrement supérieures. Cela signifie qu'il n'y a pas de niveau intermédiaire dopant dans la bande interdite du pm-Si:H, ce qui est cohérent avec l'absence de courant de fuite dans les TFTs en pm-Si:H.

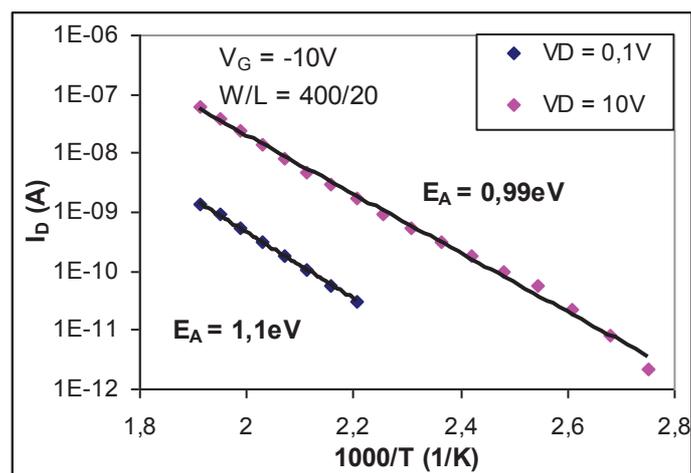


Figure 19: Diagramme d'Arrhenius du courant en régime bloqué de TFT en pm-Si:H

Le plus faible courant de fuite observé pour les TFTs en pm-Si:H, ainsi que les meilleures pentes sous le seuil (environ 0.7 V/dec pour le pm-Si:H contre environ 2 V/dec pour le $\mu\text{c-Si:H}$) obtenues pour les TFTs en pm-Si:H sont le résultat de l'absence de courant parasite de

canal arrière dû à une contamination à l'oxygène lors des étapes du procédé de fabrication que l'on observe couramment dans les TFTs en $\mu\text{c-Si:H}$.

5. Conclusion

Dans ce chapitre, nous avons traité de la fabrication des TFTs en pm-Si:H, de leur fonctionnement ainsi que de la caractérisation de ces TFTs. Lors de la fabrication de ces transistors, nous avons veillé à avoir des couches de la meilleure qualité possible et les plus homogènes possibles afin de faciliter les étapes de photo-lithographie. Une des étapes la plus critique est la gravure du canal arrière par la technique de Back Channel Etching pour laquelle nous devons graver un peu de notre couche active pour être certain d'avoir bien gravé la couche de silicium amorphe dopée n⁺. La maîtrise de ce procédé permet d'obtenir des TFTs avec de bonnes performances, comme un faible courant OFF, une bonne mobilité et une faible tension de seuil. De même, la reproductibilité des performances des TFTs dépend de la maîtrise de chaque étape du procédé, de l'homogénéité des épaisseurs des couches déposées, à la maîtrise des procédés de gravures.

Nous avons également expliqué le fonctionnement des TFTs et les différents régimes d'opération. Ces régimes sont gouvernés par le déplacement du niveau de Fermi dans la bande interdite de la couche active selon la tension appliquée sur la grille du TFT, lequel remplit les états de défauts présents dans la bande interdite. Lorsque ces défauts sont remplis, les électrons participent entièrement à la conduction.

D'autre part, nous avons présenté notre banc de mesure ainsi que les méthodes d'extraction des paramètres que sont la mobilité, la tension de seuil, la pente sous le seuil et le rapport $I_{\text{ON}}/I_{\text{OFF}}$. A travers cet exercice, nous avons vu que les interfaces avant et arrière de la couche active (interface avec l'isolant de grille et interface avec la passivation) influencent chaque paramètre de performance des TFTs. L'ohmicité des contacts et la qualité du dopage de la couche n⁺ affectent aussi bien le courant ON que le courant OFF. Les défauts dans la couche active influencent le courant ON et la mobilité. Ces défauts vont également affecter la tension de seuil, tout comme la présence de charges fixes dans l'isolant de grille.

Finalement, nous avons présenté une étude sur le courant en régime bloqué, ou courant de fuite, qui nous a permis de montrer que les TFTs en pm-Si:H présentent un courant de fuite plus faible que les TFTs en $\mu\text{c-Si:H}$. Pour cela nous avons réalisé des mesures en fonction des dimensions L et W des transistors qui ont mis en évidence l'absence de courant de canal arrière dans les TFTs en $\mu\text{c-Si:H}$. D'autre part, des mesures d'énergie d'activation du courant de fuite ont permis d'établir que les TFTs en pm-Si:H, tout comme les TFTs en a-Si:H, ne présentent pas d'états dopants oxygène dans leur bande interdite et donc pas de courant parasite de canal arrière comme cela peut être le cas dans les TFTs en $\mu\text{c-Si:H}$. Même si la

présence d'oxygène est possible à l'interface arrière des TFTs en pm-Si:H (formation d'oxyde natif), il est inactif électriquement.

Ces différents éléments nous montrent l'intérêt d'utiliser le silicium polymorphe dans la fabrication de matrice active LCD ou OLED

Références

- [1] M. Oudwan et al., “*Influence of process steps on the performance of microcrystalline silicon thin film transistors*”, Thin Solid Films, vol.515, pp. 7662–7666, 2007.
- [2] P. Roca i Cabarrocas et al., “*Synthesis of silicon nanocrystals in silane plasmas for nanoelectronics and large area electronic devices*”, J. Phys. D: Appl. Phys. 40, pp. 2258–2266, 2007.
- [3] W. Ling et al, “*Self-heating and kink effects in a-Si:H thin film transistors*”, IEEE Trans. Electron Devices, vol.47, pp.387-97, 2000
- [4] M. Valdinoci et al, “*Floating Body Effects in Polysilicon Thin-Film Transistors*”, IEEE Trans. Electron Devices, vol. 44, n° 12, pp. 2234-41, 1997
- [5] A. Cerdeira et al, “*New procedure for the extraction of basic a-Si :H TFT model parameters in the linear and saturation regions*”, Solid-State Electronics, vol. 45, pp. 1077-80, 2001
- [6] A. Cerdeira et al, “*Modelling and parameter extraction procedure for nanocrystalline TFTs*”, Solid-State Electronics, vol. 48, pp. 103-109, 2004
- [7] M. S. Shur et al, “*SPICE models for amorphous silicon and polysilicon thin film transistors*”, J. Electrochem. Society, vol. 144, pp. 2833-39; 1997
- [8] M. D. Jacunski et al, “*Threshold voltage, field effect mobility and gate-to-channel capacitance in polysilicon TFTs*”, IEEE Trans. Electron. Devices, vol. 43, pp. 1433-40, 1996
- [9] S. Kishida et al, “*Theoretical analysis of amorphous-silicon field-effect-transistors*”, Jpn. J. Appl. Phys., vol. 22, pp. 511-17, 1983.
- [10] C. R. Kagan et P. Andry, *Thin-Film Transistors*, Marcel Dekker Incorporation, 2003.
- [11] A. Rolland et al, “*Electrical properties of amorphous silicon transistors and MIS devices: comparative study of top nitride and bottom nitride configurations*”, J. Electrochem. Soc., vol.140, pp. 3679-83, 1993
- [12] J. P. Kleider et al, “*Density of states in thin film transistors from the modulated photocurrent technique: application to the study of metastabilities*”, J. Non-Cryst. Solids, vol. 164, pp. 739-42, 1993

- [13] R. A. Street, "Technology and applications of Amorphous Silicon", Berlin Heidelberg: Springer, 2000
- [14] R. A. Street, "Hydrogenated Amorphous silicon", Cambridge: Cambridge University Press, 1991
- [15] M. Oudwan, "*Etude des propriétés des transistors en couches minces à base de silicium microcristallin pour leur application aux écrans plats à matrice active*", Thèse de doctorat, INP Grenoble, 2007
- [16] J. Brochet et al., "*Electrical characterization of Polymorphous Thin-Film Transistors for application in Active-Matrix OLED displays*", 5th International Thin-Film Transistor Conference - ITC '09, Palaiseau, France, 2009.
- [17] A. T. Hatzopoulos et al., "*Effect of Channel Width on the Electrical Characteristics of Amorphous/Nanocrystalline Silicon Bilayer Thin-Film Transistors*", IEEE Trans. Electron Devices, vol.54, n° 5, pp. 1265-69, 2007
- [18] P. Servati et A. Nathan, "*Modeling of the Reverse Characteristics of a-Si:H TFTs*", IEEE Trans. Electron. Devices, vol. 49, n° 5, pp. 812-19, 2002
- [19] C. Das et al., "*Optoelectronic and Structural Properties of Undoped Microcrystalline Silicon Thin Films: Dependence on Substrate Temperature in Very High Frequency Plasma Enhanced Chemical Vapor Deposition Technique*", Jpn. Appl. Phys. vol.43, n°6A, pp. 3269-74, 2004.
- [20] T. Kamei et al., "*A Significant Reduction of Impurity Contents in Hydrogenated Microcrystalline Silicon Films for Increased Grain Size and Reduced Defect Density*", Jpn. Appl. Phys. vol.35, pp.265-68, 1998
- [21] F. Liu et al., "*Electrical transport properties of microcrystalline silicon thin films prepared by Cat-CVD*", Thin Film Solids vol. 395, pp. 97-100, 2001

CHAPITRE 3

STABILITE DE TRANSISTORS EN COUCHES MINCES EN SILICIUM POLYMORPHE

La stabilité des TFTs sous un stress électrique prolongé (gate bias stress en anglais) est d'une importance capitale lorsque les TFTs sont en fonctionnement. En effet, dès lors que l'on utilise des TFTs pour des applications telles que les afficheurs, ceux-ci peuvent être soumis à des tensions de grilles prolongées, particulièrement dans le cas d'écrans AM-OLED, ce qui a pour effet de modifier les caractéristiques des TFTs, influençant ainsi les performances des composants. Comme nous l'avons vu dans le premier chapitre, l'utilisation de TFTs pour des applications aux écrans plats à matrice active est largement répandue depuis de nombreuses années. Nous avons également soulevé les problèmes suivants : les TFTs en poly-Si ont des problèmes d'homogénéité spatiale mais sont très stables sous stress électrique ; les TFTs en a-Si:H sont très homogènes sur de grandes surfaces mais ils se dégradent rapidement lorsque l'on applique un stress électrique. Le chapitre précédent nous a permis de montrer que les TFTs en pm-Si:H sont homogènes et que la reproductibilité du procédé de fabrication est bonne, tout comme pour les TFTs en a-Si:H. Nous allons donc, dans ce chapitre, nous intéresser au comportement des TFTs en pm-Si:H sous l'action de stress électriques et plus particulièrement à la dérive de la tension de seuil. Pour cela, nous commencerons par présenter les mécanismes connus de dérive de la tension de seuil dans le silicium amorphe que sont la création de défauts dans la couche active et le piégeage de charges dans l'isolant de grille ou à l'interface couche active / isolant de grille. Nous observerons et discuterons le comportement des caractéristiques des TFTs ainsi que la dérive

de la tension de seuil pour différentes conditions de stress : faible tension de grille V_G (< 20 V), fort V_G (> 20 V) et V_G négatif pour deux valeurs de la tension de drain V_D , $V_D = 0.1$ V et $V_D = 10$ V.

1. Mécanismes responsables de la dérive de la tension de seuil V_T dans le silicium amorphe hydrogéné.

Le silicium amorphe est utilisé comme matériau dans les TFTs depuis de nombreuses années et son intégration dans des technologies telles que les afficheurs a poussé les chercheurs à étudier son comportement en fonctionnement. Comme nous l'avons précisé précédemment, la tension de seuil est un paramètre extrêmement important dès lors que le TFT doit fournir un courant ou une tension continue. De nombreux groupes se sont intéressés au comportement des TFTs en opération et plus précisément à la dérive de la tension de seuil du TFT lorsque celui-ci est soumis à un stress électrique prolongé. En effet, les TFTs en a-Si:H montrent une chute du courant de drain I_D et une dérive de la tension de seuil V_T au cours du temps lorsque l'on applique un stress électrique sur la grille du TFT. Cette instabilité est communément attribuée à deux mécanismes : la création de défauts dans la couche active de a-Si:H et le piégeage de charge dans l'isolant de grille ou à l'interface isolant de grille / couche active. Nous allons à présent définir ces mécanismes en précisant leurs caractéristiques de façon à pouvoir identifier le(s) mécanisme(s) responsable(s) de l'instabilité.

1.1. Création d'états

Le premier mécanisme responsable de la dérive de la tension de seuil est la création de défauts dans la couche active du TFT. Les couches de silicium amorphe, et dans notre cas de silicium polymorphe, sont déposées par PECVD à des températures inférieures à 300°C. Dans ces conditions de faibles températures, les couches contiennent une importante quantité de faibles liaisons Si-Si ainsi que des liaisons pendantes. Nous avons vu précédemment (chapitre 2 §2.1§) que les liaisons Si-Si faibles induisent des états de queue de bande et que les liaisons pendantes induisent des défauts profonds. Lorsqu'on applique une tension sur la grille du TFT, le niveau de Fermi dans la couche active traverse le gap et les électrons participant à la conduction sont piégés par les défauts profonds et les défauts de queue de bande. En effet, quand le TFT est en opération, il y a accumulation d'électrons dans la couche active du TFT. Ces électrons qui participent à la conduction sont également nommés électrons de queue de bande du fait qu'ils sont tour à tour piégés et relâchés dans les défauts de queue de bande lorsqu'ils traversent la couche active [1]. Ces électrons vont interagir avec les liaisons Si-Si faibles en leur cédant de l'énergie, ce qui va provoquer la rupture de ces liaisons et donner

naissance à des liaisons pendantes. Ces nouveaux défauts vont à leur tour piéger les électrons de conduction entraînant l'augmentation de la tension de seuil V_T ainsi que de la pente sous le seuil S et la baisse du courant de drain I_D [2]. Ainsi, pour maintenir un courant de drain I_D constant, il faut fournir plus d'électrons, c'est-à-dire augmenter la tension de grille V_G [1 - 3].

Différents groupes ont travaillé sur la cinétique de création des défauts. Ils ont mis en évidence l'importance de l'hydrogène dans le processus de création de défauts. En effet, dans le modèle le plus communément adopté, lorsqu'une faible liaison Si-Si se casse, formant ainsi deux liaisons pendantes, un atome d'hydrogène diffuse pour venir passiver une des deux liaisons pendantes [2] [3]. Cette diffusion de l'hydrogène suit une fonction exponentielle étirée en fonction du temps, dite « stretched exponential time dependence ». Conséquemment, cette dispersion de l'hydrogène entraîne une création de défauts induite par les porteurs qui suit également une dépendance exponentielle étirée en fonction du temps. Les défauts ainsi créés provoquent la dérive de la tension de seuil.

Plusieurs études ont été menées afin de représenter la dérive de la tension de seuil des TFTs. Le modèle le plus utilisé est celui de Jackson et Moyer [4], pour lequel nous avons :

$$\Delta V_T = V_0 \left\{ 1 - \exp \left[- \left(\frac{t}{t_0} \right)^\beta \right] \right\} \quad (3.1)$$

Où, V_0 est la différence entre la tension de grille V_G et la tension de seuil initiale V_{T0} , β est un paramètre de fit, généralement égal à 0.5 à température ambiante.

$$t_0 = \nu_c^{-1} \cdot \exp \left[\frac{E_A}{KT} \right] \quad (3.2)$$

avec E_A une énergie d'activation = 0.95eV [2], ν_c la fréquence de cassure des liaisons et K la constante de Boltzmann.

Pour des temps de stress $t \leq t_0$, on peut utiliser une approximation de cette expression :

$$\Delta V_T = (V_{GST} - V_{T0}) \left(\frac{t}{t_0} \right)^\beta \quad (3.3)$$

Qui a été utilisée pour modéliser la dérive de la tension de seuil dans [2, 3].

A partir du moment où l'on considère que la dérive de la tension de seuil est uniquement due à la création de défauts dans la couche active, alors la dérive de la tension de seuil ΔV_T sera proportionnelle au nombre de défauts $\Delta N_D(t)$ créés dans la couche active du TFT du fait de la capacité de l'isolant de grille (C) présente dans le TFT.

D'où :

$$C.\Delta V_T = \Delta N_D(t) \quad (3.4)$$

La création de défauts dans la couche active du TFT est un mécanisme réversible, ou métastable. Cela signifie que les défauts peuvent être passivés à nouveau avec l'hydrogène présent dans la couche et que l'on peut recouvrir les caractéristiques initiales. Cela est possible soit en appliquant un recuit thermique à une température supérieure à 150°C, soit après relaxation du TFT [5] [6]. Encore une fois, le phénomène clé est la diffusion de l'hydrogène. Cette cinétique de « récupération » peut donc également être représentée par une fonction stretched exponential. En considérant que l'on applique un stress électrique sur un TFT qui crée une densité de défauts N_{D0} . Si on arrête le stress et qu'on relaxe le TFT à température ambiante, la densité de défaut en fonction du temps est donné par :

$$N_D(t) = N_{D0} \exp\left(-\frac{t}{t_0}\right)^B \quad (3.5)$$

Avec les mêmes paramètres que pour les équations (1) et (2).

Cependant, il a été montré qu'à température ambiante, les défauts peuvent être considérés comme stables car il faut plus d'une année pour les passiver [1].

Lorsque la création de défauts est à l'origine de la dérive de la tension de seuil, des états profonds supplémentaires ont été créés dans la couche active. Si le niveau de Fermi traverse ces états lors de l'établissement de la couche d'accumulation de trous, alors on s'attend à ce que la tension de seuil des trous dérive vers des valeurs plus négatives. A l'inverse, on s'attend, dans le cas de la conduction d'électrons, à ce que la tension de seuil des électrons dérive vers des valeurs plus positives [7].

La création de défauts dans la couche active du TFT est un mécanisme à priori indépendant de l'isolant de grille, qui est principalement du nitrure de silicium dans le cas des TFTs en a-Si:H utilisés dans la fabrication des matrices actives.

1.2. Piégeage de charges

Le piégeage de charges est le second mécanisme connu pour agir sur la dérive de la tension de seuil. Ce mécanisme a lieu dans la couche de l'isolant de grille [8 - 9] qui est généralement du nitrure de silicium dans l'industrie des écrans plats. Il s'agit de l'injection d'électrons de conduction présents dans la couche active vers la couche d'isolant.

Plusieurs mécanismes d'injection électronique et de piégeage ont été présentés pour expliquer la dérive de la tension de seuil [9]. La Figure 1 montre le diagramme de bande d'une structure MIS, sur laquelle on applique une tension positive, avec, comme isolant, du

nitru de silicium. La tri-couche grille/nitru de silicium/canal dans les TFTs représente l'équivalent d'un condensateur MIS. Une fois que le canal d'accumulation électronique s'est formé près de l'interface de l'isolant, plusieurs injections électroniques et mécanismes de piégeage peuvent intervenir. Dans l'image, ils sont numérotés de 1-6 et sont respectivement :

L'injection directe par effet tunnel directement de la bande de valence (1), le piégeage de type Fowler-Nordheim (2), le piégeage assisté (3), l'effet tunnel à énergie constante à partir de la bande de conduction du silicium (4), l'effet tunnel de la bande de conduction vers des états de pièges près du niveau de Fermi (5) et saut jusqu'au niveau de Fermi (6). Déterminer lequel de ces mécanismes est dominant n'est pas chose aisée et, en général, ils dépendent de la densité de pièges dans le nitru de silicium et du champ électrique appliqué. Le piégeage de type Fowler-Nordheim est à exclure car il est limité aux champs électriques élevés. Les mécanismes 4, 5 et 6 sont souvent utilisés pour expliquer le mécanisme de piégeage dans les TFTs à base de CdSe. Dans le cas de TFTs a-Si:H avec SiN_x comme isolant de grille, Powell [9] a déterminé que l'injection de charge dans le nitru de grille se produisait par sauts. Les électrons sont initialement injectés par effet tunnel dans des pièges présents dans le nitru de silicium (mécanisme 5) puis lorsqu'ils ont atteint une certaine profondeur, ils sautent jusqu'aux états plus profonds (mécanisme 6)

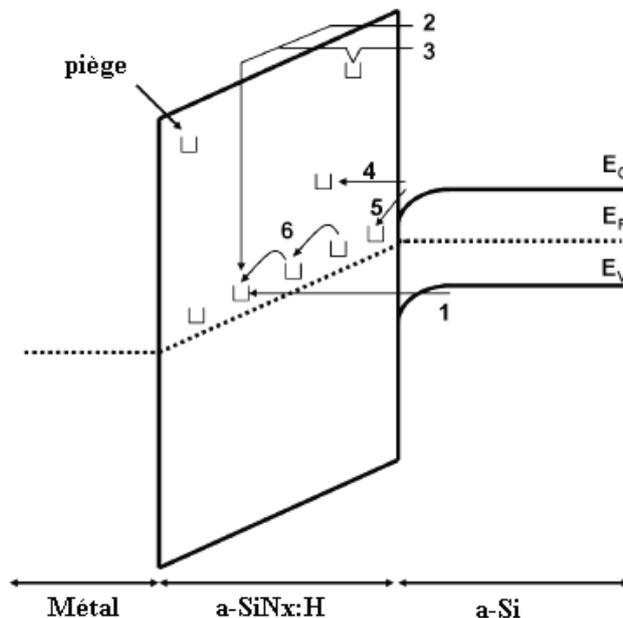


Figure 1: mécanisme de piégeage de charges. Adapté de [8].

Dès lors, appliquer une tension positive sur la grille du TFT pendant un temps prolongé va provoquer l'injection d'électrons dans l'isolant de grille (dans notre cas, il s'agit de a-SiN_x). Ces électrons sont d'abord piégés dans les défauts à l'interface a-SiN_x / couche active avant d'être réémis dans les défauts plus profonds dans la couche de a-SiN_x [10]. Le piégeage dans les défauts profonds de la couche de a-SiN_x sont appelés « slow states » alors que les défauts d'interface sont appelés « fast states » [10]. La dérive de la tension de seuil dans le cas du piégeage de charges dans du a-SiN_x peut être réduite en utilisant un a-SiN_x riche en azote [5].

De même, certaines études [11] [12] ont montré que la composition du nitrure joue un rôle pour savoir quel est le mécanisme dominant.

Le piégeage de charges induit une dérive de la tension de seuil des électrons et des trous. Lors d'un stress avec une tension de grille positive, les tensions de seuil seront décalées vers des tensions plus positives (décalage vers la droite des caractéristiques de transfert) alors que dans le cas d'un stress avec une tension de grille négative, les tensions de seuil seront décalées vers les tensions plus négatives (décalage vers la gauche des caractéristiques de transfert) [13]. Le piégeage de charges est un mécanisme qui dépend très peu de la température. Il devient dominant pour les temps de stress long ou pour de fortes tensions de grille [14]. Contrairement à la création de défauts, qui est stable à température ambiante, le piégeage de charges est réversible même à température ambiante [13], soit par relaxation [7], soit par récupération par application d'une tension inverse (reverse bias annealing) à celle appliquée pendant le stress et la caractéristique initiale peut être retrouvée [5]. En effet, le « dépiégeage » du nitrure vers la couche du canal du TFT, est énergétiquement favorable quand la tension de grille est supprimée. Supposons que nous appliquons une tension de grille au TFT, ainsi, une certaine quantité de charge est prise au piège dans le nitrure. Les charges prises au piège occupent des niveaux d'énergie près du niveau de Fermi du nitrure, qui est en-dessous du niveau de Fermi de la couche du canal. Une fois que la tension de grille est supprimée, l'énergie des charges prises au piège se retrouvent au-dessus du niveau de Fermi dans la couche du canal. Cette différence d'énergie favorise le « dépiégeage » et le tunneling arrière des charges dans la couche du canal.

Pour modéliser la dérive de la tension de seuil engendrée par le piégeage de charges, une loi logarithmique en fonction du temps a été proposée [9]:

$$V_T = C.Log\left(1 + \frac{t}{t_0}\right) \quad (3.6)$$

Ou C et t₀ sont des constantes.

Cependant, Kanicki et Libsch ont montré que le piégeage de charges pouvait également être modélisé par une équation de type stretched exponential similaire à l'équation (3.1) proposée pour la création de défauts [15].

1.3. Mise en évidence des mécanismes de dérive

La création de défauts dans la couche active ainsi que le piégeage de charges dans le nitrure sont des mécanismes compétitifs, qui peuvent avoir lieu en même temps, indépendamment l'un de l'autre. Dès lors, il peut être difficile de déterminer si un mécanisme

prédomine ou si les deux mécanismes sont responsables de la dérive de la tension de seuil. Pour y parvenir, il faut se servir de leurs caractéristiques pour les distinguer. On peut tout d'abord utiliser des transistors ambipolaires (qui laissent passer les courants d'électrons et de trous). La Figure 2 montre l'évolution de la caractéristique de transfert suite à un stress de 1000s avec une tension de grille de 25V (gauche) et une tension de grille de 55V (droite) sur un transistor ambipolaire. On constate que dans le cas d'un stress à $V_G = 25V$, la tension de seuil des électrons se décale vers les tensions plus positives alors que la tension de seuil des trous se décale vers les tensions plus négatives. Cela indique que la création de défauts est le mécanisme responsable de la dérive de la tension de seuil [7]. En ce qui concerne l'évolution de la caractéristique de transfert pour un stress à $V_G = 55V$, on constate qu'elle se décale vers des valeurs plus positives. Cela indique que le mécanisme responsable de cette évolution est le piégeage de charges dans l'isolant de grille.

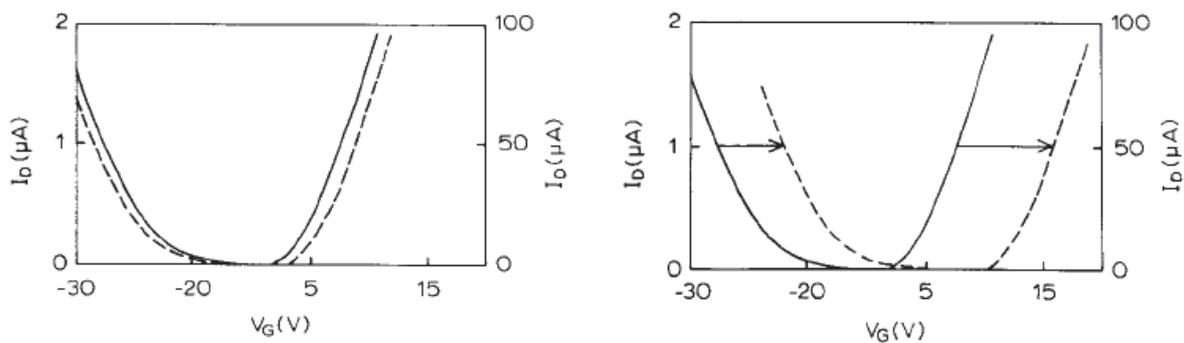


Figure 2: Evolution de la caractéristique de transfert pour un stress de 1000s à une tension de grille moyenne $V_G = 25V$ (gauche) et à une forte tension de seuil $V_G = 55V$ (droite). Les traits pleins sont les caractéristiques initiales et les pointillés sont la caractéristique après stress. Tiré de [7]

Nous avons également rapporté que la création de défauts est un mécanisme activé thermiquement, contrairement au piégeage de charges. Des stress réalisés à différentes températures peuvent ainsi permettre d'identifier quel mécanisme est responsable de la dérive de la tension de seuil. De même, la création de défauts est considérée comme irréversible à température ambiante alors que la caractéristique initiale peut être retrouvée par relaxation ou reverse bias annealing à température ambiante dans le cas du piégeage de charges.

Le mécanisme dominant dépend des conditions de stress, ainsi que des matériaux composant la couche active et l'isolant de grille. La Table 1 résume les caractéristiques principales des effets de différents stress.

Nous nous servons donc des caractéristiques de ces deux mécanismes pour mettre en évidence celui qui est responsable de la dérive de la tension de seuil selon les conditions de stress. Dans un premier temps, nous analyserons l'évolution de la courbe de transfert qui nous donnera des informations sur la dégradation de la pente sous le seuil S et la dégradation du courant I_{ON} qui dépendent des défauts présents dans la couche active et à l'interface

canal/isolant de grille ainsi que des défauts accepteurs dans la queue de bande du canal, respectivement. Dans un second temps, nous utiliserons la modélisation de la dérive de la tension de seuil V_T par la fonction exponentielle étirée décrit par l'équation (3.1) pour des stress réalisés à différentes températures. L'évolution du coefficient β selon le temps de stress et la température nous permettra de déterminer le(s) mécanisme(s) responsable(s) de la dérive de V_T .

Table 1: Résumé des caractéristiques des différents effets dus au stress électriques sur les TFTs. [16]

| | Création de défauts | | Piégeage de charges | |
|----------------|---|---|---|---|
| | Recuit à $T > 150^\circ\text{C}$ requis pour retrouver les caractéristiques initiales | | Dans l'isolant \rightarrow recuit ou reverse bias annealing Interface canal/isolant de grille \rightarrow relaxation | |
| | ΔV_T | Pente sous le seuil S | ΔV_T | Pente sous le seuil S |
| Stress positif |  |  |  |  piégeage à l'interface |
| Stress négatif |  |  |  |  Piégeage à l'interface |

A présent nous allons donc étudier le comportement de TFTs en pm-Si:H sous stress électriques prolongés positifs et négatifs. Afin d'avoir un meilleur aperçu du comportement des TFTs lors des stress, l'effet de la relaxation et du reverse bias annealing, opérations que l'on réalise après les stress, seront également évalués. Finalement, nous comparerons également les résultats obtenus avec les résultats de stress réalisés sur des TFTs en a-Si:H

2. Evolution des caractéristiques de transfert selon différentes conditions de tension de grille.

Dans ce paragraphe nous allons aborder le comportement des TFTs en pm-Si:H sous stress électriques positifs de plusieurs heures pour différentes tensions de grille $V_G = 12, 20, 30$ et -30 V et des tensions de drain $V_D = 0.1$ et 10 V. Les stress ont été interrompus ponctuellement afin de réaliser des mesures de courant de drain I_D en fonction de la tension de grille V_G , ceci afin d'extraire les paramètres importants des TFTs tels que la tension de seuil V_T ou la pente sous le seuil S et de suivre l'évolution de ces paramètres au cours des stress, comme précisé dans le chapitre 2§3.1§. Le but étant d'étudier la dérive de V_T , l'évolution des autres paramètres renseigne sur l'ensemble des mécanismes de dégradation en jeu.

2.1. Stress sous faible V_G : $V_G = 12$ V

Un stress à $V_G = 12$ V en régime linéaire a été appliqué sur un TFT en silicium polymorphe de dimension $W = 200 \mu\text{m}$ et $L = 20 \mu\text{m}$ pendant 60 h. La Figure 3 montre l'évolution de la courbe de transfert lors du stress. On observe un décalage des caractéristiques vers les tensions plus positives.

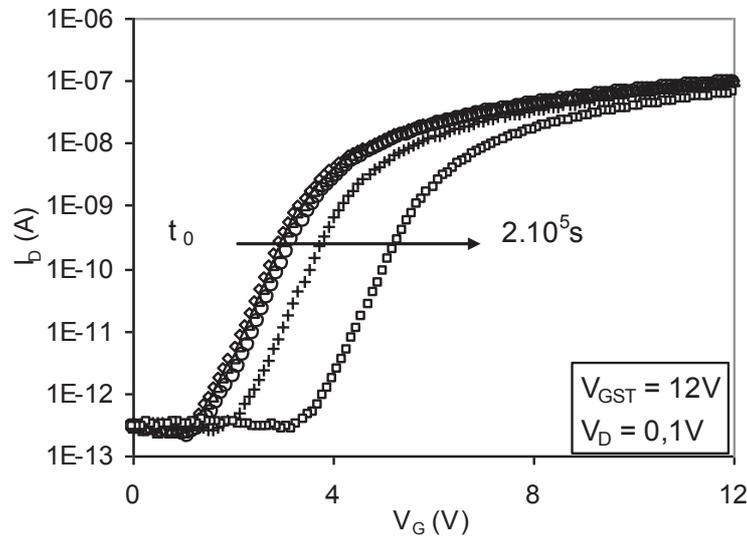


Figure 3: Courbe de transfert I_D - V_G d'un TFT en pm-Si:H de dimensions $W = 200 \mu\text{m}$ et $L = 20 \mu\text{m}$ lors d'un stress à température ambiante avec $V_G = 12$ V et $V_D = 0.1$ V

A partir de la Figure 3, la tension de seuil V_T , ainsi que la pente sous le seuil S ont été calculées pour différents temps de stress. Nous avons représenté sur la Figure 4 la dérive de V_T , soit $\Delta V_T = V_T(t_{\text{stress}}) - V_T(t_0)$, S/S_0 et $I_{ON}/I_{ON,0}$ en fonction du temps de stress, avec S_0 et $I_{ON,0}$ les valeurs initiales de S et I_{ON} .

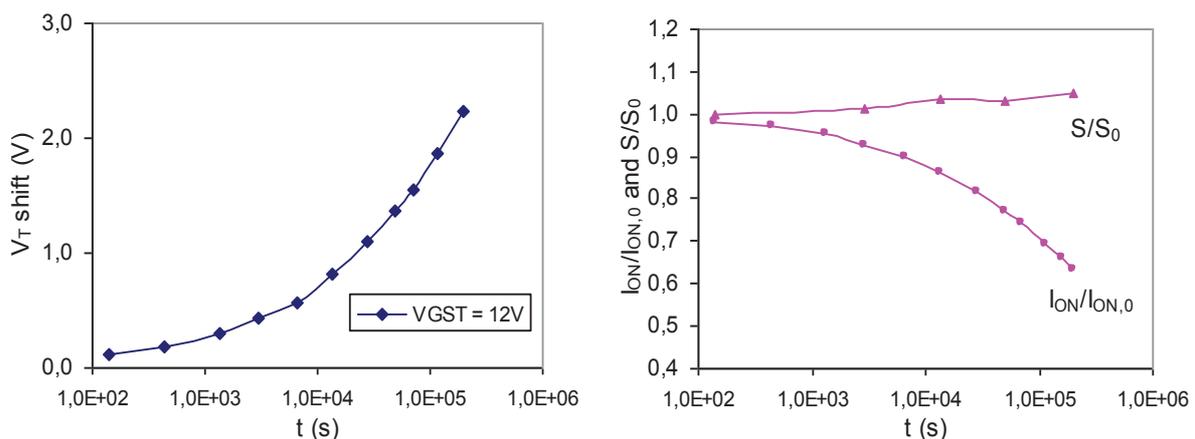


Figure 4: Evolution de V_T , S/S_0 et $I_{ON}/I_{ON,0}$ en fonction du temps de stress. $V_G = 12$ V, $V_D = 0.1$ V

Le décalage de la courbe de transfert vers les tensions plus positives se traduit par une dérive de la tension de seuil $\Delta V_T = 2.2$ V pour 60 h de stress. Cependant, la dérive de la tension de seuil ne devient significative qu'après 10^3 s de stress. On observe que le courant de drain I_D

diminue de près de 30% pour 10^5 s de stress alors que la pente sous le seuil S augmente légèrement au cours des 60 h de stress.

Nous avons vu dans le chapitre 2 §4.3§ que la pente sous le seuil rend compte de la densité d'états d'interface et de défauts profonds dans la couche active. Le fait que la pente sous le seuil ne se dégrade que très peu au cours d'un stress de 60h suggère qu'il y a peu de génération d'états d'interface ou de défauts profonds. Cependant, la dégradation du courant I_{ON} reflète l'augmentation de la densité d'états de queue de bande de conduction de la couche active [21]. Cela tend à indiquer que l'augmentation de la densité d'états de queue de bande est à l'origine de la dérive de la tension de seuil et donc du décalage vers les tensions positives de la caractéristique de transfert. Cependant, on ne peut pas affirmer que le mécanisme de piégeage de charges n'est pas impliqué dans la dégradation du TFT. Lors de la description des mécanismes de dégradation des TFTs, nous avons vu que la création de défaut était dépendante de la température, contrairement au piégeage de charges. Des mesures en température ont été réalisées afin de statuer sur la présence ou non du mécanisme de piégeage de charge. Les résultats seront présentés au paragraphe §3§.

2.2. Stress sous V_G modéré : $V_G = 20$ V

Nous avons réalisé un stress à $V_G = 20$ V en régime linéaire sur un TFT en silicium polymorphe de dimension $W = 200 \mu\text{m}$ et $L = 20 \mu\text{m}$ pendant 60 h. La Figure 5 montre l'évolution de la courbe de transfert lors du stress.

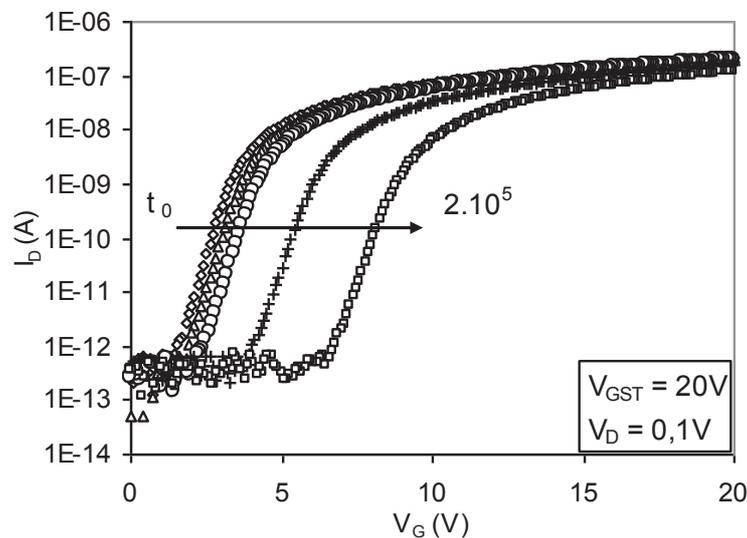


Figure 5: Courbe de transfert I_D - V_G d'un TFT en pm-Si:H de dimensions $W = 200 \mu\text{m}$ et $L = 20 \mu\text{m}$ lors d'un stress à température ambiante avec $V_G = 20$ V et $V_D = 0.1$ V

La dérive de V_T , le courant de drain I_D et la pente sous le seuil ont été extraits à partir de la Figure 5. L'évolution de ces paramètres est présentée sur la Figure 6. On remarque que ce cas est assez proche du cas $V_G = 12$ V. En effet, pour les temps de stress courts, autour 10^2 s, on remarque une légère augmentation de la tension de seuil V_T et de la sous seuil S alors que

le courant de drain I_{ON} diminue lentement. Pour les temps de stress plus longs, autour 10^5 s, la pente sous le seuil augmente d'environ 20 % ce qui peut correspondre à une augmentation des états d'interfaces. En effet, la création de défauts dans la couche active se produit généralement pour les temps de stress courts [7].

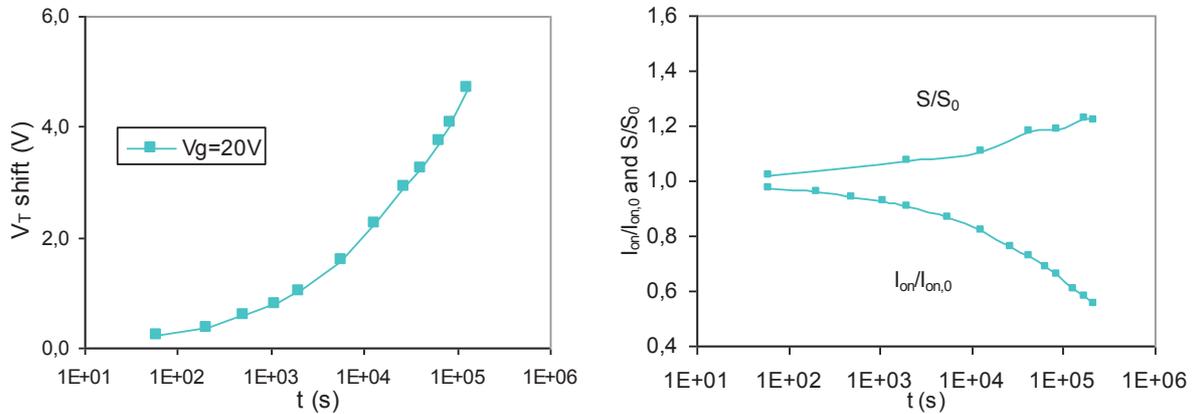


Figure 6: Evolution de V_T , S/S_0 et $I_{ON}/I_{ON,0}$ en fonction du temps de stress. $V_G = 20$ V, $V_D = 0.1$ V

Il semble donc que, dans un premier temps, la dérive de V_T soit due à la génération d'états de queue de bande qui serait le mécanisme dominant pour les temps de stress courts. Pour les temps de stress plus longs, la création de défauts profonds dans la couche de pm-Si:H, dominerait comme le suggère l'augmentation de la pente sous le seuil. Cette augmentation peut également être due à l'augmentation de la densité d'états d'interface, donc le piégeage de charges peut également être responsable de la dérive de V_T .

2.3. Stress sous fort V_G : $V_G = 30$ V

Nous avons appliqué un stress de 60h à $V_G = 30$ V en régime linéaire sur un TFT en silicium polymorphe de dimension $W = 200$ μm et $L = 20$ μm .

La Figure 7 représente l'évolution de la caractéristique de transfert au cours du stress. On observe un net décalage de la caractéristique vers les tensions plus positives. On constate également une diminution du courant de drain I_{ON} au cours du stress. Cependant, dans le cas présent, on remarque que la pente sous le seuil S se dégrade assez nettement au cours du stress, contrairement au cas du stress à faible V_G .

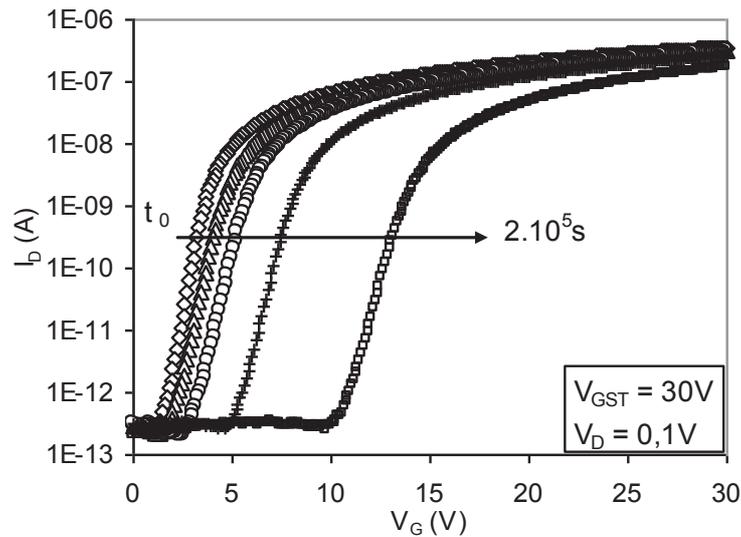


Figure 7: Courbe de transfert I_D - V_G d'un TFT en pm-Si:H de dimensions $W = 200 \mu\text{m}$ et $L = 20 \mu\text{m}$ lors d'un stress à température ambiante avec $V_{GST} = 30 \text{ V}$ et $V_D = 0.1 \text{ V}$

Afin d'avoir un meilleur aperçu de l'évolution des paramètres caractéristiques du TFT, nous avons extrait la tension de seuil V_T , ainsi que la pente sous le seuil S pour différents temps de stress et nous avons représenté sur la Figure 8 l'évolution de la dérive de la tension de seuil ΔV_T , ainsi que l'évolution de S et I_{ON} au cours du stress.

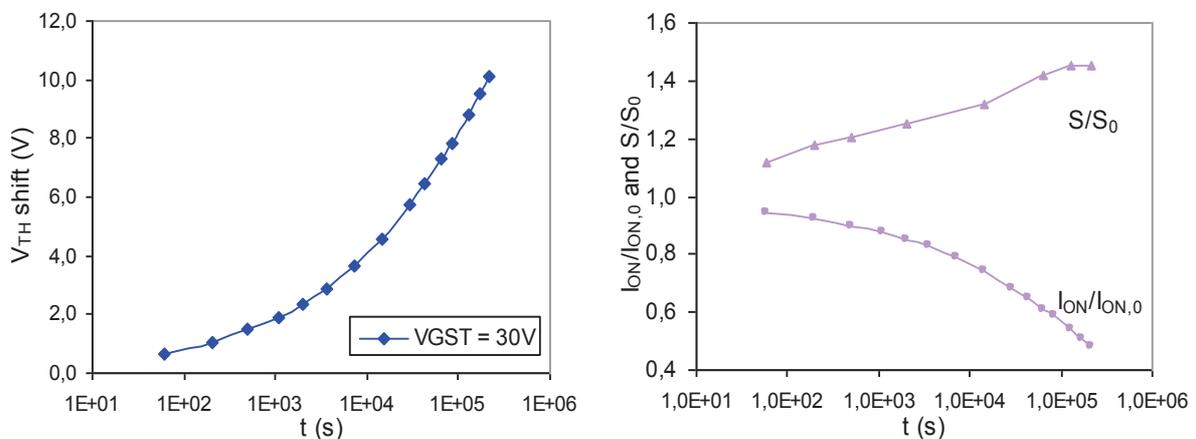


Figure 8: Evolution de V_T , S/S_0 et $I_{ON}/I_{ON,0}$ en fonction du temps de stress. $V_G = 30\text{V}$, $V_D = 0.1\text{V}$

A partir de la Figure 8, on observe une forte augmentation de ΔV_T et S dès les premiers instants du stress (environ 200s), ainsi qu'une faible diminution du courant de drain I_D . Pour les temps de stress plus long, le courant de drain I_D diminue progressivement alors que la pente sous le seuil S et ΔV_T continue d'augmenter. Cette augmentation est nettement supérieure à celle observée à $V_G = 12$ et 20 V (jusqu'à $\Delta V_T = 10 \text{ V}$ et 50% d'augmentation pour S pour 60h de stress). Une nouvelle fois, la diminution du courant de drain peut s'expliquer par l'augmentation de la densité d'états accepteurs près de la bande de conduction qui piègent les électrons de conduction. Cependant, dans le cas présent, la forte augmentation

de ΔV_T et accompagnée d'une forte augmentation de S . Nous supposons ici que l'augmentation de la densité d'états d'interface induite par le stress et par conséquent le piégeage de charges dans ces pièges d'interface sont à l'origine de l'importante dérive de la tension de seuil que nous observons. Cependant ces résultats seuls ne nous permettent pas d'être affirmatifs sur ce point puisque la pente sous le seuil est également liée à la densité d'états profonds N_{BS} dans la couche active de silicium polymorphe [18], d'autant plus que S augmente de plus de 10% dans les 60 premières secondes, ce qui pourrait être le fait de la création de défauts profonds dans la couche de pm-Si :H.

2.4. Stress sous V_G négatif : $V_G = -30$ V

Nous avons appliqué un stress électrique à tension continue négative sur nos TFTs en pm-Si :H afin de simuler la dégradation lorsque le TFT est en régime bloqué (OFF). Dans la première partie de ce chapitre, lorsque nous avons décrit les mécanismes responsables de la dérive de la tension de seuil et leurs caractéristiques, nous avons indiqué (Table 1) qu'un stress négatif peut donner des informations importantes sur le mécanisme dominant responsable de la dérive de V_T . En effet, si lors d'un stress négatif, la dérive est positive, alors le mécanisme responsable est la création de défauts dans la couche active [12] [19] [20]. Dans le cas où la dérive de V_T est négative, alors le mécanisme responsable est le piégeage de charges à l'interface pm-Si:H/a-SiN_x ou dans la couche de a-SiN_x de grille. Nous allons donc nous servir de ces caractéristiques afin de statuer sur le mécanisme responsable de la dérive de V_T dans le cas d'un stress électrique à tension continue négative.

La Figure 9 représente l'évolution de la courbe de transfert obtenue pour un stress à température ambiante avec $V_G = -30$ V et $V_D = 0.1$ V sur un TFT en pm-Si :H de dimensions $W = 100$ μ m et $L = 10$ μ m, ainsi que l'évolution de la pente sous le seuil S et du courant de drain I_{ON} au cours de ces stress.

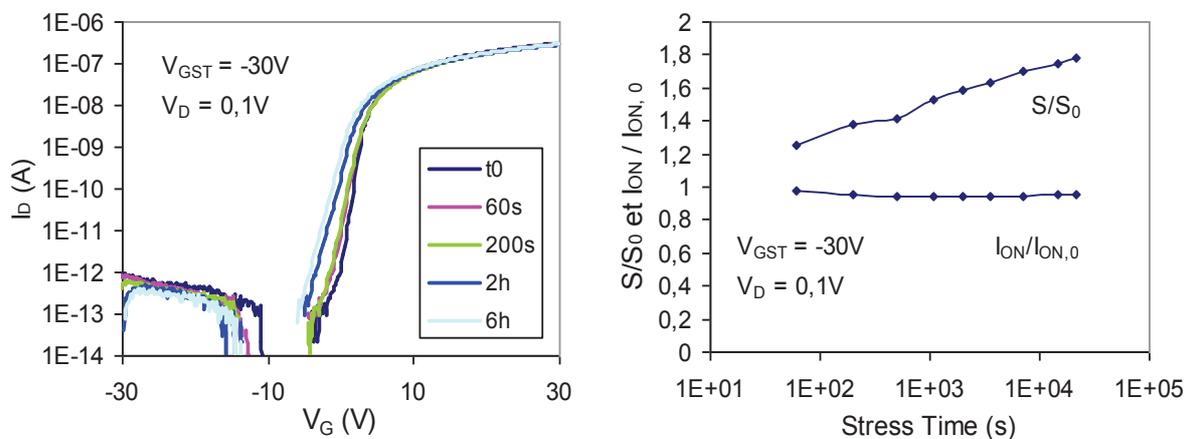


Figure 9: Caractéristique de transfert I_D - V_G et évolution de la pente sous le seuil S et du courant de drain I_{ON} lors d'un stress à $V_G = -30$ V et $V_D = 0.1$ V

A partir de la Figure 9, nous remarquons tout d'abord que l'amplitude du décalage de V_T est assez faible comparé au stress à V_G positif. On remarque également que la caractéristique de transfert I_D-V_G se décale vers les tensions négatives au cours du stress. De même, après extraction de la pente sous le seuil, nous remarquons que celle-ci devient de plus en plus importante au cours du stress, alors que le courant de drain I_{ON} semble assez stable. Lors des 200 premières secondes stress, la pente sous le seuil augmente de 20% alors que le courant I_{ON} diminue faiblement. La création d'états d'interface ou d'états profonds est la cause de la dégradation de la pente sous le seuil. Pour les temps de stress plus longs, la pente sous le seuil continue d'augmenter alors que le courant I_{ON} ne varie que très peu et le décalage vers les tensions négatives des courbes de transfert est plus important.

La Figure 10 présente l'évolution des tensions de seuil V_T au cours du stress extraites à partir des courbes de transfert de la Figure 9.

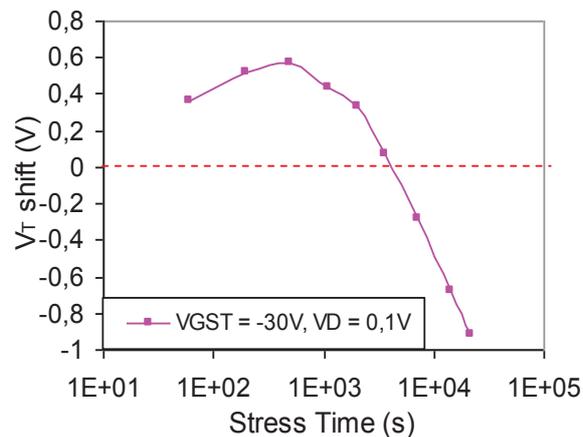


Figure 10: Dérive de la tension de seuil V_T au cours d'un stress à température ambiante avec $V_G = -30$ V et $V_D = 0.1$ V. Dimensions des TFTs: $W = 100$ μm et $L = 10$ μm

Nous constatons que pour les temps de stress courts, environ 500 s, ΔV_T augmente jusqu'à $\Delta V_T = 0.6$ V. Pour les temps de stress plus longs, ΔV_T diminue jusqu'à devenir négatif après 1h de stress.

La dérive positive de V_T pour les temps de stress courts sous $V_D = 0.1$ V, indique que la création de défauts est responsable de la dérive de V_T , ce qui est corroboré par la forte augmentation de S et la légère diminution de I_{ON} (Figure 9) [18]. La dérive négative de V_T observée pour les temps de stress plus longs indique que le piégeage de charges est le mécanisme dominant à l'origine de la dérive de V_T [8, 17]. Ainsi, pour $t < 500$ s, la création de défauts profonds dans la couche active de pm-Si:H est le mécanisme dominant, puis pour $t > 500$ s, le piégeage de charges devient dominant et la dérive de la tension de seuil devient négative.

La dérive de la tension de seuil vers les tensions plus négatives peut-être attribuée soit au piégeage de trous dans des défauts préexistants dans le nitrure de grille soit aux charges positives d'interfaces résultant de l'émission d'électrons depuis les états d'interfaces [19].

2.5. Stress sous fort V_D : $V_D = 10$ V

Dans ce paragraphe, les TFTs ont été stressés à trois différentes conditions de polarisation, $V_G = 12, 30$ et -30 V à une tension de drain $V_D = 10$ V. La pente sous le seuil et le courant de drain I_{ON} sont extraits directement à partir des caractéristiques de transfert tandis que la tension de seuil est extraite de la courbe de $\sqrt{I_D-V_G}$.

Il est généralement admis que l'injection de charge dans l'isolant de grille est principalement due au tunnelling de charges des états étendus dans la couche active vers les états de piège dans l'isolant de grille SiN_x [3]. La dégradation de la pente sous le seuil reflète les générations d'états profonds et/ou à l'interface couche active/isolant de grille tandis que la dégradation du courant I_{ON} reflète l'augmentation de la densité d'états de queue de bande dans la zone active du canal [21]. Les états de queue de bande proviennent du désordre dans la matrice de silicium amorphe du pm-Si:H, avec des tensions locales et une distribution d'angles des liaisons Si-Si et de longueurs de ces liaisons. Les états profonds proviennent des liaisons pendantes. En raison de l'augmentation des charges piégées dans l'isolant ainsi que des pièges d'interface induits par le stress, l'augmentation de la dispersion des charges à l'interface peut aussi contribuer à la dégradation du courant I_{ON} [22].

Dans le premier cas, nous avons appliqué deux tensions de grille positives (12 V et 30 V) à nos TFTs afin d'étudier la dégradation pendant le régime de fonctionnement du composant. Dans le second cas, nous avons appliqué une tension de grille négative de -30 V pour simuler la dégradation du TFT lorsque celui-ci est en régime bloqué. Aussi bien la dérive de la tension de seuil que la pente sous le seuil augmente lorsque la tension de grille est plus forte. La tension de seuil augmente lorsque l'on applique un stress positif et diminue quand un stress négatif est appliqué, tandis que le courant de drain I_{ON} diminue sous un stress positif et augmente sous un stress négatif (Figure 11 et Figure 12). La pente sous le seuil augmente indépendamment de la polarité de la tension de grille appliquée (Figure 12).

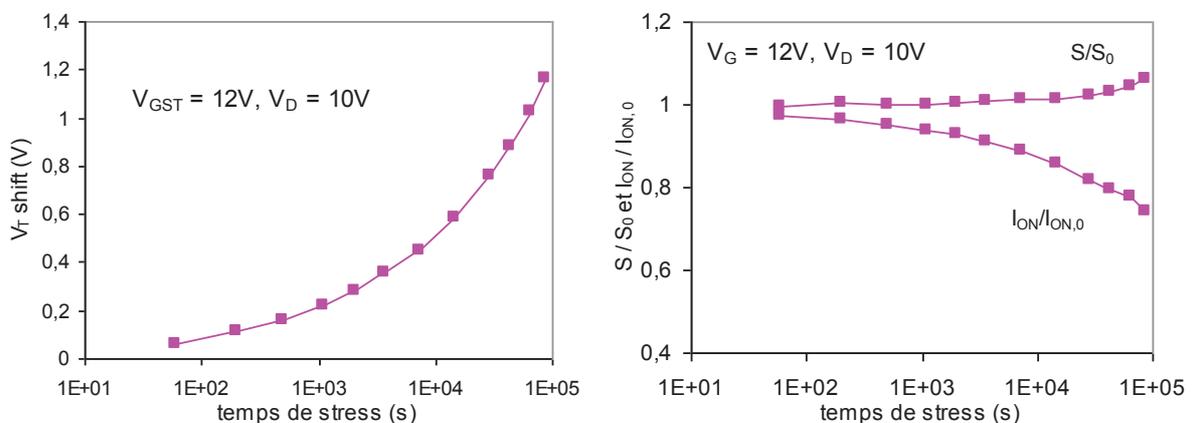


Figure 11: Evolution de V_T , S/S_0 et $I_{ON}/I_{ON,0}$ en fonction du temps de stress. $V_G = 12$ V, $V_D = 10$ V. [23]

Pour $V_G = 12V$, il apparaît que V_T augmente légèrement en fonction du temps de stress. Dans le même temps, la pente sous le seuil reste quasiment inchangée et le courant I_{ON} diminue. A fort V_D , nous observons des résultats similaires au cas du stress à $V_D = 0.1V$.

En ce qui concerne le stress à $V_G = 30V$, on peut voir que la dérive de V_T et S augmentent simultanément tandis que le courant I_{ON} diminue. Ce résultat est également identique à ce que l'on observe pour un stress à $V_D = 0.1V$. Compte-tenu de la forte tension de grille appliquée pendant le stress, la dérive de la tension de seuil provient certainement du piégeage de charges à l'interface pm-Si:H / a-SiN_x.

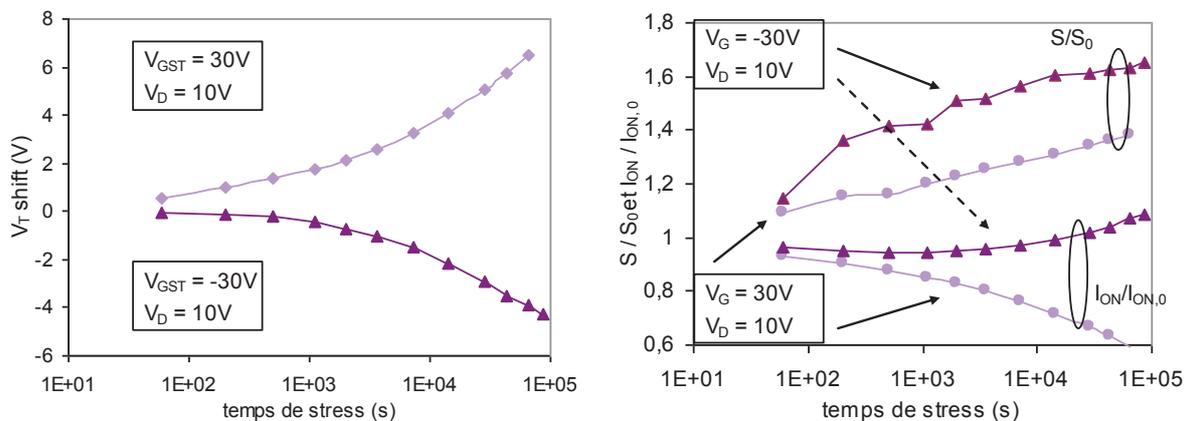


Figure 12: Evolution de V_T , S/S_0 et $I_{ON}/I_{ON,0}$ en fonction du temps de stress. $V_G = 30$ et $-30V$, $V_D = 10V$. [23]

Pour $V_G = -30V$, il y a une forte augmentation de la pente sous le seuil dans les premières 10^3 s, tandis que la tension de seuil et le courant I_{ON} évolue plus progressivement. La création d'états d'interface ou de défauts profonds peut expliquer l'augmentation de la pente sous le seuil. On notera que dans le cas d'un stress à V_G négatif à faible V_D , nous avons vu que la dérive de V_T était positive pour les petits temps de stress ce qui est caractéristique de la création de défauts dans la couche active du TFT. En régime saturé, nous pouvons émettre l'hypothèse que cela doit également être le cas. Cependant, la dérive de V_T est négative ce qui signifie que le piégeage de charges dans le nitrure de grille et/ou à l'interface canal/nitrure est dominant. Pour les temps de stress plus longs, S évolue modérément tandis que la dérive de V_T et le courant I_{ON} augmentent. La forte augmentation de S pour les temps de stress courts est probablement due à la création d'états d'interface et de défauts profonds. Ainsi l'augmentation des défauts profonds dans les premiers temps du stress expliquerait la légère baisse du courant I_{ON} dans le même temps.

Quand un stress négatif est appliqué, des électrons sont émis des états d'interface. Ainsi, les états d'interface vides sont chargés positivement. Alors, les électrons dans le canal remplissent ces pièges. Par conséquent, la densité de pièges effective dans le canal est inférieure, tout comme les états accepteurs [16]. Cela explique l'amélioration du courant I_{ON} .

Cela explique aussi la diminution de la tension de seuil. La dégradation de V_T peut aussi être attribuée au piégeage de trous dans des pièges préexistants dans le nitrure de grille.

De façon générale, les dérives de tensions de seuil ΔV_T observées pour des stress à V_G positifs réalisés à fort V_D sont plus faibles, à temps de stress identique, que les ΔV_T observées à faible V_D . Comme nous pouvons le voir sur la figure 13, pour des stress réalisés à $V_G = 12$ V, nous passons de $\Delta V_T(24h) = 1.7V$ pour $V_D = 0.1V$ à $\Delta V_T(24h) = 1.16V$ pour $V_D = 10V$.

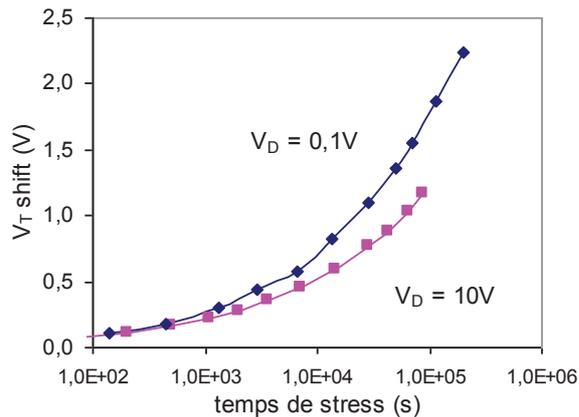


Figure 13: Comparaison de ΔV_T pour des stress effectués à $V_G = 12V$ avec $V_D = 0.1V$ et $10V$

Deux raisons peuvent être avancées pour expliquer la diminution de ΔV_T . Premièrement, lorsque que l'on augmente V_D , on augmente le champ électrique latéral au niveau du contact de drain, ce qui diminue la concentration de charges dans le canal au niveau du drain alors qu'en régime linéaire la concentration de charges dans le canal est uniforme [24]. Selon Karim et al.[24], la concentration de charge dans le canal en régime saturé est égale à environ 2/3 de la concentration de charge lorsque V_D est très faible, ce qui devrait mener à une diminution de 2/3 de la création de défaut et de ΔV_T . Deuxièmement, du fait de la présence d'une tension V_D , le champ électrique induit par le stress au niveau du contact de drain diminue ce qui a pour conséquence de réduire le piégeage de charges dans le nitrure à proximité du contact de drain [25].

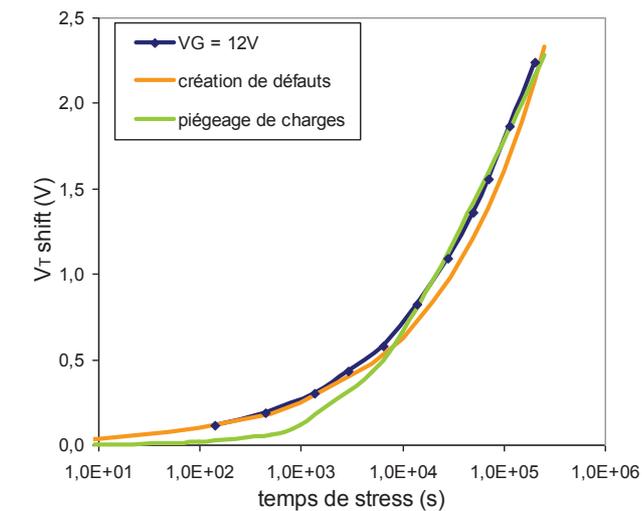
2.6.Synthèse

Les mécanismes de dégradation de la tension de seuil dépendent fortement des conditions de stress, aussi bien de la tension de grille V_G que de la tension de drain V_D . L'étude des caractéristiques de transfert nous a permis de mettre en évidence des comportements similaires à ce que l'on observe dans le cas des TFTs en silicium amorphe. Pour les tensions de grille faibles et modérées, les dégradations observées semblent principalement dues à la création d'états profonds dans la couche de silicium polymorphe et à l'augmentation de la densité d'états de queue de bande. Cependant, on ne peut pas exclure le mécanisme de piégeage de charges à l'interface car l'on observe de légères augmentations de la pente sous le

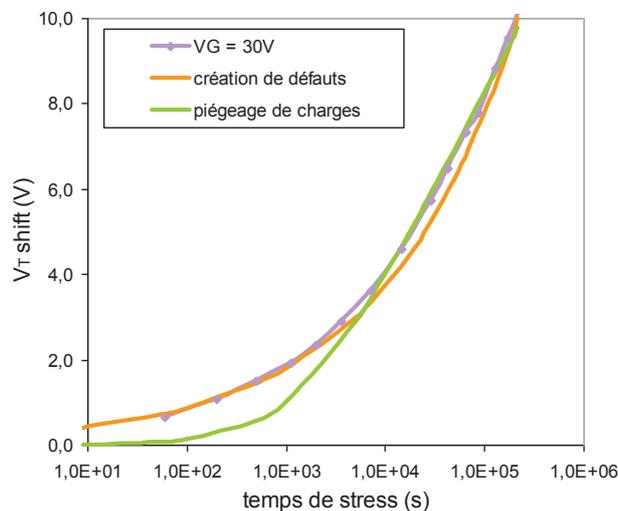
seuil S pour les temps de stress longs, ce qui est représentatif d'une augmentation des états d'interface. Lorsque l'on applique des stress à des tensions de grilles élevées, on note une plus nette dégradation de S , ainsi qu'un ΔV_T plus important. Nous pensons que dans ce cas le mécanisme dominant est le piégeage de charge à l'interface pm-Si:H/a-SiN_x, même si la création de défauts profonds dans le pm-Si:H ne peut être exclue. En effet, les mécanismes de création de défauts et de piégeage de charges sont compétitifs, dès lors, d'autres analyses doivent être menées afin de déterminer quel mécanisme domine lors de la dégradation des TFTs. Cette compétition entre les mécanismes se retrouvent également dans le cas des stress à V_G négatifs pour lesquels nous avons vu qu'au cours d'un stress à $V_G = -30$ V, nous avons dans un premier temps la création de défauts profonds dans la couche de pm-Si:H qui provoque la dérive positive de V_T , et dans un second temps, le piégeage de charges devient dominant ce qui provoque un phénomène de « turnaround » et l'on se trouve dans un cas où ΔV_T devient négatif. Nous avons également observé que lors de stress à tensions V_G positives, les ΔV_T sont plus faibles lorsque les stress sont réalisés à fort V_D ce qui peut s'expliquer, soit par la diminution de la création de défauts due à la diminution de la concentration de charges dans le canal[24], soit par la diminution du piégeage de charges au niveau du contact de drain du fait de la diminution du champ électrique latéral [25].

3. Modélisation de la dérive de la tension de seuil avec une équation de type « stretched exponential ».

Dans la première partie de ce chapitre, nous avons décrit les mécanismes de création de défauts et de piégeage de charges. Lors de cette description, nous avons indiqué comment la dérive de la tension de seuil pouvait être représentée par des équations : la création de défauts induit une dérive de la tension de seuil avec une dépendance en puissance en fonction du temps (3.3) alors que le piégeage de charges induit une dérive de la tension de seuil qui peut être représentée par une fonction logarithmique en fonction du temps (3.6). Par conséquent, nous avons essayé d'accorder nos données expérimentales avec ces équations. Le résultat de ces modélisations est présenté sur la Figure 14. L'examen des résultats obtenus nous montre des comportements similaires au niveau des modélisations réalisées pour le stress à $V_G = 12$ V, ainsi que pour le stress à $V_G = 30$ V. Pour les temps de stress inférieurs à 10^4 s, nous remarquons que la modélisation de la dérive de la tension de seuil par une loi en puissance, caractérisant la création de défauts, correspond bien aux données expérimentales. A l'inverse, la modélisation par une loi logarithmique, représentant le piégeage de charges, ne correspond pas du tout avec les données expérimentales. Cependant, pour les temps de stress plus important ($t > 10^4$ s), nous constatons que le phénomène inverse se produit. La modélisation de la dérive induit par le piégeage de charges correspond bien aux données obtenues expérimentalement alors que la modélisation de la dérive induite par la création de défauts ne correspond plus aux données expérimentales.



(a)



(b)

Figure 14: Fit des modèles de création de défauts et de piègeage de charges par rapport aux données expérimentales avec (a) $V_G = 12V$ et (b) $V_G = 30V$

Ceci est une nouvelle indication de la compétition entre ces mécanismes et tend à montrer que les deux mécanismes sont à l'origine de la dérive de la tension de seuil et de la dégradation des caractéristiques des TFTs.

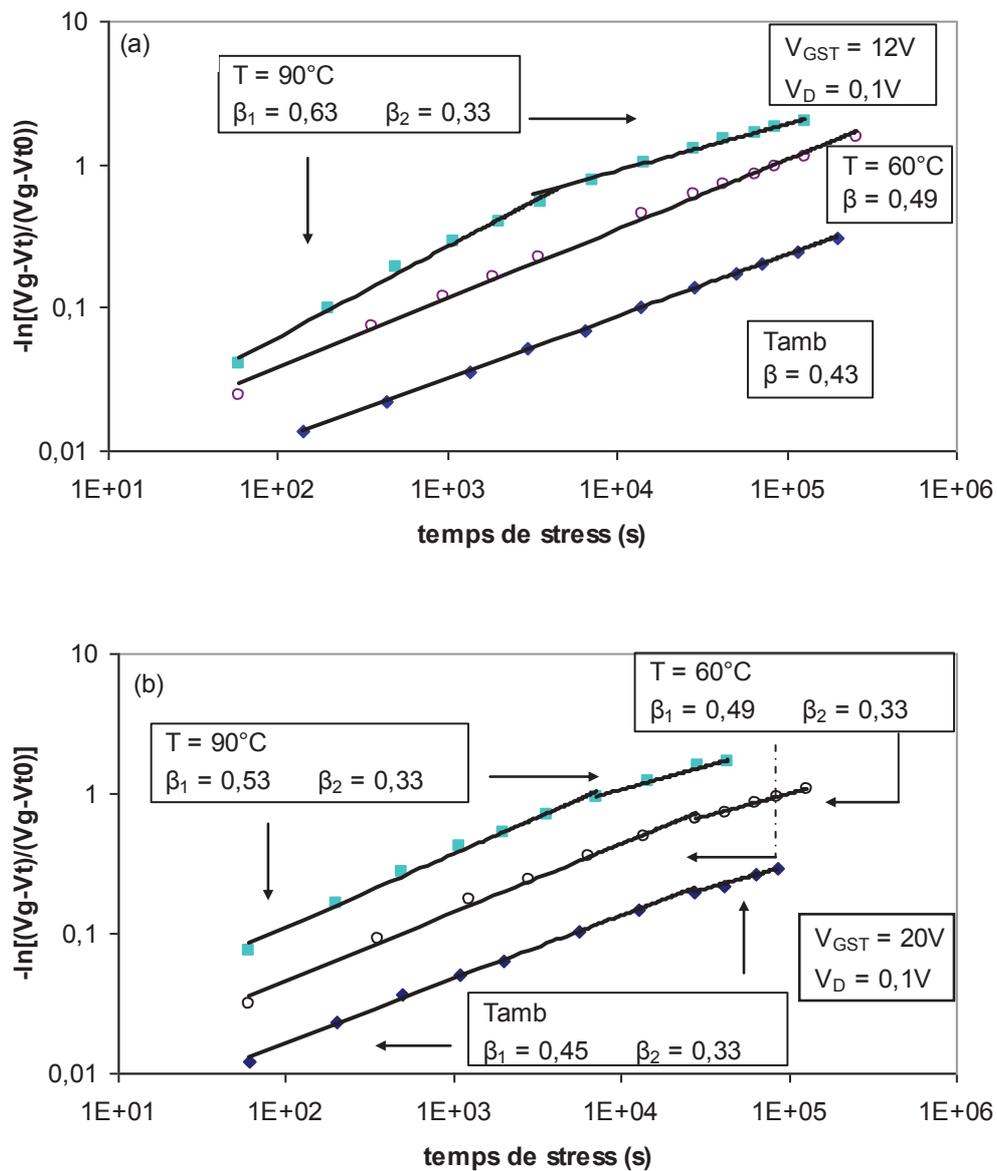
Afin de vérifier les hypothèses évoquées dans §2§ concernant les mécanismes qui régissent la dégradation des TFTs, nous avons réalisé des stress électriques à des températures de 60 et 90°C. Kanicki et al. [13] ont montré qu'une équation « stretched exponential » pouvait également permettre de représenter la dérive de la tension de seuil suite au piègeage de charges dans le nitrure et à l'interface canal / isolant de grille. Cette équation est la même que celle développée par Jackson et Moyer pour modéliser la création de défauts d'interface [4] et que nous avons présenté dans le paragraphe §1.1§ (équation (3.1)).

A partir de l'équation (3.1), nous pouvons déduire :

$$-\ln\left[\frac{(V_{GST} - V_T)}{(V_{GST} - V_{T0})}\right] = \left(\frac{t}{t_0}\right)^\beta \quad (3.7)$$

Le paramètre de fit β peut être extrait en traçant $-\ln\left[\frac{(V_{GST} - V_T)}{(V_{GST} - V_{T0})}\right]$ en fonction du temps.

L'extraction du paramètre β pour différentes tensions de stress et différentes températures est présentée sur la Figure 15.



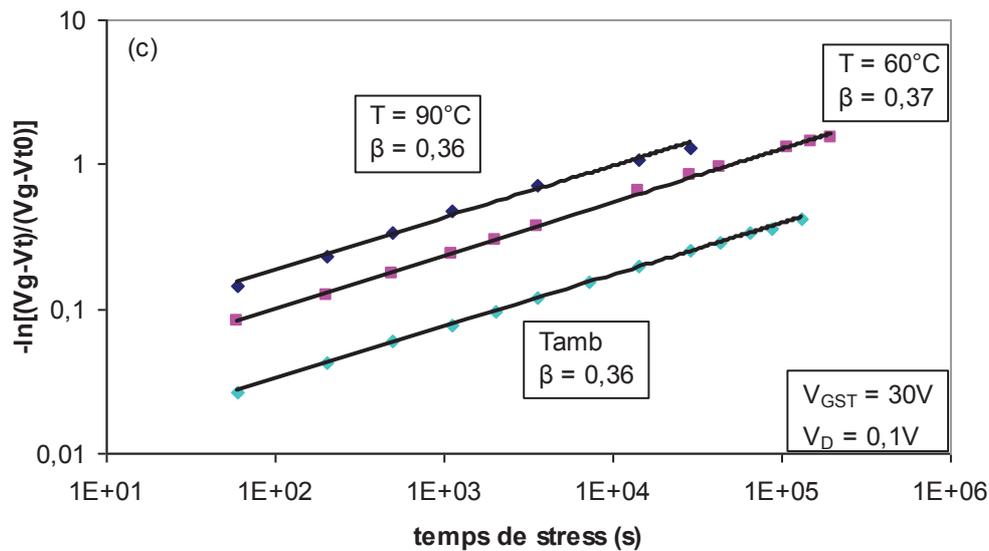


Figure 15: Extraction du paramètre de fit β pour différentes conditions de stress : $V_D = 0.1$ V et (a) $V_G = 12$ V, (b) $V_G = 20$ V [26] et (c) $V_G = 30$ V à $T = 22, 60$ et 90°C . TFTs $W/L = 200/20$ μm .

En ce qui concerne les stress à $V_G = 12$ V, nous constatons, dans un premier temps, que pour le stress à température ambiante nous avons un seul régime pour lequel nous avons extrait un coefficient $\beta = 0.43$. Pour le stress à $T = 60^\circ\text{C}$, nous avons également un seul régime caractérisé par un coefficient $\beta = 0.49$. Par contre, nous constatons que pour le stress réalisé à $T = 90^\circ\text{C}$, nous avons deux régimes pour lesquels nous avons extrait deux coefficients β : un coefficient β_1 de 0.63 pour les temps inférieurs à 7200 s, puis un deuxième coefficient β_2 de 0.33 pour les temps supérieurs à 7200 s.

Pour les stress réalisés à $V_G = 20$ V [26], nous remarquons un comportement similaire pour les trois températures de stress, c'est-à-dire que deux régimes sont présents. A température ambiante, nous trouvons un premier régime pour les temps des stress inférieurs à 2.10^4 s, avec $\beta = 0.45$. Pour les temps de stress plus longs, un second régime apparaît avec $\beta = 0.33$. Le TFT stressé à $T = 60^\circ\text{C}$ présente le même type de comportement, avec un premier régime pour les temps de stress inférieurs à 2.10^4 s pour lequel $\beta = 0.49$ et un second régime pour les temps de stress plus longs avec $\beta = 0.33$. Le stress réalisé à $T = 90^\circ\text{C}$ donne des résultats équivalents avec un premier régime pour les temps de stress inférieurs à 7200 s pour lequel $\beta = 0.53$ et un second régime pour les temps de stress supérieurs à 7200 s avec $\beta = 0.33$.

En ce qui concerne les stress réalisés à $V_G = 30$ V, il apparaît que pour les mesures réalisées à température ambiante, comme pour celles réalisées à $T = 60$ et 90°C , nous n'avons qu'un seul régime. Nous n'avons donc extrait qu'un seul β pour ces trois mesures. La valeur de β est 0.36 à température ambiante, 0.37 à $T = 60^\circ\text{C}$ et 0.36 à $T = 90^\circ\text{C}$, soit des valeurs très proches les unes des autres.

Ces résultats indiquent deux comportements différents selon la tension de stress V_G appliquée. Pour les stress à faible tension de grille V_G , on constate une augmentation de la valeur de β , qui passe de 0.43 à 0.63, lorsque l'on passe d'un stress à température ambiante à

un stress réalisé à $T = 90^{\circ}\text{C}$. Il est important de noter que le coefficient β_2 est similaire aux coefficients extraits pour les temps longs à $V_G = 20\text{ V}$ et que cette valeur est très proche des valeurs extraites pour $V_G = 30\text{ V}$. Ce résultat montre que la création de défauts dans la couche de silicium polymorphe semble être responsable de la dérive de la tension de seuil puisque celle-ci est un mécanisme dépendant de la température [3]. L'apparition d'un second régime pour les temps de stress longs et une température de 90°C montre que le piégeage de charges existe et qu'il devient dominant lorsque que le temps de stress et la température augmentent. Des résultats similaires ont été obtenus par H. Lebrun et son groupe [27] sur des TFTs en a-Si:H stressés avec $V_G = 25\text{ V}$ et $T = 70^{\circ}\text{C}$. Pour de faibles temps de stress, ils ont trouvé $\beta = 0.7$ correspondant à la création de défauts dans le silicium amorphe. Ce résultat est plus élevé que notre valeur mais cela peut s'expliquer par la différence de matériau et de conditions de dépôt. Pour les temps de stress plus longs, ils ont trouvés $\beta = 0.3$ qui est un résultat caractéristique du SiN_x , ce qui correspond aux valeurs que nous avons trouvés.

Dans le cas des stress réalisés à $V_G = 20\text{ V}$, on observe deux régimes pour chaque température à laquelle nous avons stressé les TFTs. Un premier régime est visible pour $t < 2.10^4\text{ s}$ à température ambiante et $T = 60^{\circ}\text{C}$ avec $\beta = 0.45$ et 0.49 , respectivement. Pour les temps de stress plus longs, un second régime apparait pour lequel nous avons extrait un coefficient $\beta = 0.33$ pour les deux températures. Pour $T = 90^{\circ}\text{C}$, nous avons également deux régimes, cependant le temps de stress pour lequel l'on bascule d'un mécanisme à un autre est plus court. En effet, pour $t < 7200\text{ s}$, nous avons extrait un premier $\beta = 0.53$ et pour les temps de stress supérieurs nous avons $\beta = 0.33$. Ces résultats indiquent que pour une tension de stress modéré, les deux mécanismes sont présents quelque soit la température de stress.

Dans le cas des stress réalisés à fort V_G , on constate qu'il n'y a qu'un seul régime quelque soit la température de stress et que l'extraction du paramètre β nous donne des valeurs très proches de 0.36 (température ambiante et $T = 90^{\circ}\text{C}$) et 0.37 ($T = 60^{\circ}\text{C}$). Ceci tend à montrer que le mécanisme dominant n'est pas dépendant de la température et qu'il s'agit donc du piégeage de charges.

Les résultats obtenus dans ce paragraphe correspondent à ce que l'on trouve généralement dans le cas des TFTs en a-Si:H, soit que le mécanisme dominant responsable de ΔV_T dépend de la température de stress et de la tension de grille V_G appliqué pendant le stress. Les stress réalisés sur les TFTs en pm-Si:H ont montré que **la création de défauts dans la couche active est dominante pour les stress à $V_G = 12\text{V}$ et pour les temps de stress courts pour les stress à $V_G = 20\text{V}$** . Lorsque que le **temps de stress devient important ou que la température augmente, le piégeage de charges devient dominant** pour ces stress. Dans le cas des stress à fort V_G , **le piégeage de charges domine dans toutes les conditions étudiées**.

Synthèse de l'étude des caractéristiques de transfert et de la modélisation de la dérive de V_T

Au vu de l'analyse de l'évolution de la caractéristique de transfert I_D - V_G présentée dans le paragraphe §2.1§ et des résultats obtenus dans ce paragraphe, il apparaît que la dégradation de la tension de seuil et du courant I_{ON} pour un stress à $V_G = 12V$ est due à la création d'états accepteurs localisés dans la queue de bande du silicium polymorphe, ainsi que la création de défauts profonds. Cependant, il est possible que le piégeage de charges intervienne dans une moindre mesure puisque les mesures en température ont montré qu'à $T = 90^\circ C$, après un temps de stress d'environ 5.10^3 s, ΔV_T est gouvernée par le piégeage de charges. Ce mécanisme est donc probablement présent à température ambiante cependant la création de défauts domine et est responsable de ΔV_T .

Dans le cas du stress à $V_G = 30$ V, nous avons vu que la dérive de la tension de seuil est suivie d'une forte augmentation de la pente sous le seuil, laquelle est relié aux pièges à l'interface pm-Si:H/a-SiN_x ainsi qu'aux pièges profonds dans la couche de pm-Si:H. Dans §2.3§, nous avons supposé que la dérive de V_T est due au piégeage de charges à l'interface pm-Si:H/SiN_x. Les résultats des mesures en fonction de la température ont montré qu'il n'y avait pas de dépendance en température, ce qui est une caractéristique du mécanisme de piégeage de charges. Il apparaît donc que même dans le cas d'un fort V_G , la création de défauts existe, comme nous l'avons observé dans le paragraphe précédent, cependant le mécanisme dominant responsable de ΔV_T est le piégeage de charges.

Le cas $V_G = 20V$ est vraiment un cas intermédiaire puisque les deux mécanismes interviennent tour à tour. Nous avons trouvé que dans un premier temps ΔV_T était due à la création de défauts et pour les temps plus longs, le piégeage de charges dans le nitrure de grille ou à l'interface pm-Si:H/a-SiN_x devient dominant.

La compétition entre les deux mécanismes a été mise en évidence lors de **stress en tensions de grille négatives**, surtout à $V_D = 0.1V$ puisqu'un **phénomène de « turnaround »** a été observé, ce qui indique la présence des deux mécanismes au cours du stress.

4. Effet de la relaxation et de la récupération par application d'une tension opposé sur des TFTs stressés

La relaxation et la récupération (des caractéristiques) par application d'une tension opposée, appelée par la suite reverse bias annealing, sont utilisées afin que le TFT stressé puisse retrouver ses caractéristiques initiales. La relaxation permet d'évaluer la réversibilité des mécanismes d'instabilité. Le reverse bias annealing permet d'accélérer la réémission des charges piégées dans le nitrure de grille. Ces méthodes permettent également de connaître le type de piégeage de charges qui a lieu dans le TFT au cours du stress, le piégeage au sein du nitrure de grille ou le piégeage à l'interface couche active/nitrure de grille. En effet, lorsqu'un

TFT retrouve ses caractéristiques initiales suite à une période de relaxation, cela signifie que des charges ont été réémises de l'interface canal/isolant et que le mécanisme responsable de la dérive de la tension de seuil est donc le piégeage de charges à l'interface. Lorsque l'on a recours au reverse bias annealing pour que le TFT retrouve ses caractéristiques initiales, alors le piégeage de charges dans des pièges profonds du nitrure est le mécanisme responsable de la dérive de la tension de seuil.

4.1. Relaxation

La relaxation, comme son nom l'indique, consiste à relaxer le TFT suite à un stress électrique, ce qui signifie que l'on supprime les tensions appliquées pendant le stress sur les contacts de source, drain et grille et on applique une tension de 0 V. Cela permet aux charges piégées à l'interface canal/isolant de grille d'être réémises dans le canal. Dès lors, après un certain temps, des mesures sont réalisées afin de voir si le ΔV_T a disparu et si on obtient à nouveau la caractéristique I_D-V_G initiale. La Figure 16 montre l'évolution de la courbe de transfert I_D-V_G pour un stress à $V_G = 30$ V et -30 V et $V_D = 10$ V, suivi par une période de relaxation.

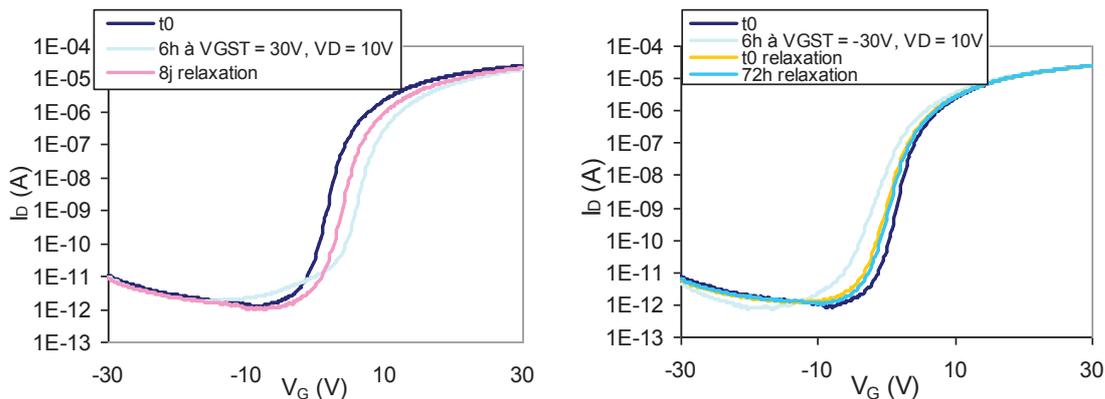


Figure 16: Evolution de la caractéristique de transfert suite à un stress de 6h à $V_D = 10$ V, $V_G = 30$ V (gauche) et -30 V (droite), suivi d'une période de relaxation: $V_G = V_D = V_S = 0$ V.

A partir de la Figure 16, nous constatons que pour les deux conditions de stress, nous ne retrouvons pas les caractéristiques initiales après plusieurs jours de relaxation, même si nous pouvons noter une amélioration de ces caractéristiques. Cependant, ces résultats ne nous permettent pas de déterminer si cette amélioration est due à la réémission de charges piégées à l'interface canal/nitrure de grille ou à la passivation de défauts créés dans le canal par des atomes d'hydrogène. Cependant, pour $V_G = -30$ V, à t_0 relaxation, mesure réalisée quelques secondes après le stress, on remarque que les caractéristiques du TFT se sont déjà bien améliorées ce qui doit probablement être dû à la présence de charges mobiles dans le nitrure de grille ou à l'interface nitrure/pm-Si:H.

4.2. Reverse bias annealing

Le reverse bias annealing consiste à appliquer immédiatement après un stress une tension inverse à celle appliquée pendant le stress, plutôt que d'enlever les tensions appliquées sur le drain et la grille comme dans le cas de la relaxation à proprement parlé. Soit, pour un stress effectué à $V_G = 30$ V, on appliquera un reverse bias annealing à $V_G = -30$ V immédiatement après le stress. La Figure 17 montre l'évolution de la courbe de transfert I_D - V_G pour un stress à $V_D = 10$ V, $V_G = 30$ V et -30 V suivi par une période de reverse bias annealing.

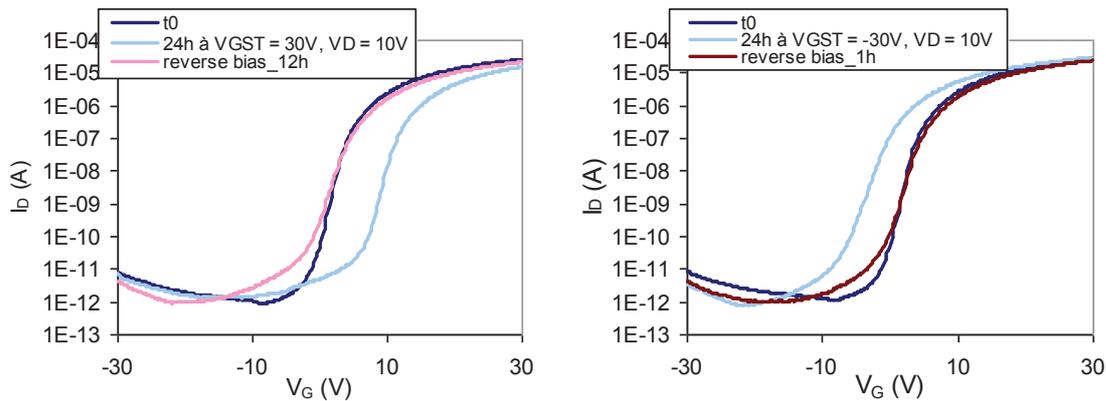


Figure 17: Evolution de la caractéristique de transfert suite à un stress de 24h à $V_D = 10$ V, $V_G = 30$ V (gauche) et -30 V (droite), suivi d'une période de reverse bias annealing: $V_G = -30$ V et $+30$ V, $V_D = 10$ V

D'après la Figure 17, nous pouvons constater que les TFTs stressés à des tensions $V_G = 30$ V et $V_G = -30$ V retrouvent, plus ou moins, leurs caractéristiques initiales suite à l'opération de reverse bias annealing, malgré une petite augmentation de la pente sous le seuil. Ces résultats indiquent que sur l'ensemble de l'expérience (stress + reverse bias), le comportement de la dérive de la tension de seuil est plus probablement due au piégeage / dépiégeage de charges dans le nitrure de grille, lequel est un mécanisme réversible.

5. Comparaison avec le silicium amorphe

Dans le premier chapitre, nous avons abordé la problématique de la stabilité électrique du silicium amorphe. Dans le cas des afficheurs LCD, les TFTs jouent le rôle de commutateur, de composant de sélection du pixel. La durée de la sélection est rapide et les tensions appliquées ne sont pas excessives. Cela minimise la dérive de la tension de seuil. Cette dérive devient véritablement problématique dans le cas d'applications d'afficheurs OLED pour lesquels les TFTs de la matrice active jouent le rôle de source de courant pour l'OLED. Les TFTs sont soumis à des tensions pendant tout le temps où le pixel émet. Dans ce cas, les TFTs en a-Si:H subissent de fortes dégradations de leurs caractéristiques dont la tension de seuil. Le but de ce paragraphe est de voir si les TFTs en silicium polymorphe montrent une

amélioration de la stabilité sous stress électrique par rapport aux TFTs en silicium amorphe. Les Figure 18 et Figure 19 présentent les résultats de stress réalisés sur des TFTs ne provenant pas du même lot [28]. La Figure 18 montre l'évolution de la courbe de transfert I_D - V_G pour des TFTs en silicium polymorphe et en silicium amorphe de dimensions $W = 200 \mu\text{m}$ et $L = 20 \mu\text{m}$ sous un stress électrique de 12 h à $T = 60^\circ\text{C}$ avec $V_G = 20 \text{ V}$ et $V_D = 0.1 \text{ V}$

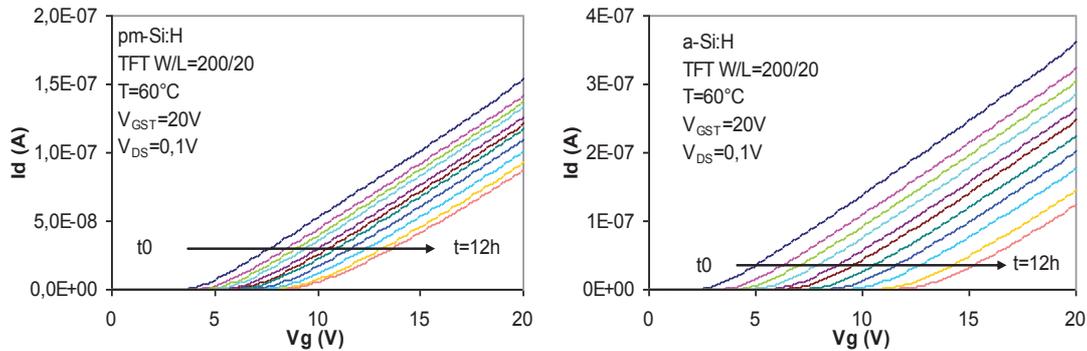


Figure 18: Evolution de la courbe de transfert I_D - V_G pour des TFTs en pm-Si:H et a-Si:H soumis à un stress de 12 h avec $V_G = 20 \text{ V}$ et $V_D = 0.1 \text{ V}$ à $T = 60^\circ\text{C}$ [28].

Il apparait nettement que la dérive de la courbe de transfert, et donc la tension de seuil, est plus importante pour le TFT en a-Si:H. Ce résultat est confirmé lorsque l'on réalise des mesures en fonction de la température. En effet, la Figure 19 montre la dérive de la tension de seuil de TFTs en pm-Si:H et a-Si:H pour des températures de 60 et 90°C . Les conditions de stress sont les mêmes que pour la Figure 18, à savoir $V_G = 20 \text{ V}$ et $V_D = 0.1 \text{ V}$.

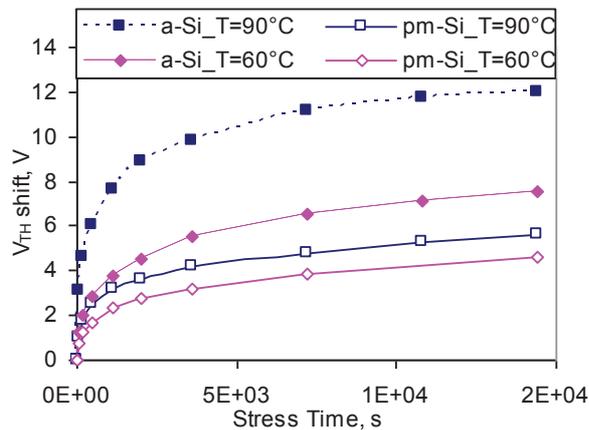


Figure 19: Dérive de la tension de seuil à 60 et 90°C pour des TFTs en a-Si:H et pm-Si:H. Conditions de stress: $V_G = 20 \text{ V}$, $V_D = 0.1 \text{ V}$ [28].

Sur ce graphique, on observe que pour un stress à 60°C , le TFT en pm-Si:H dérive de 4.5 V après un stress de près de $2 \cdot 10^4 \text{ s}$ alors que le TFT en a-Si:H dérive de 7.5 V. De même, les résultats obtenus pour un stress réalisé à 90°C montrent que le TFT en a-Si:H dérive de 12 V contre une dérive d'environ 6V pour le TFT en pm-Si:H. Il apparait donc clairement que la dérive de tension de seuil est plus importante dans le cas des TFTs en silicium amorphe. La

dérive de la tension de seuil à $T = 90^\circ\text{C}$ est diminuée d'un facteur 2 pour les TFTs en silicium polymorphe. La dérive de la tension de seuil des TFTs en pm-Si:H reste significative, d'autant plus que la température augmente. Cependant, il est important de noter l'amélioration de la stabilité sous stress électrique par rapport aux TFTs en a-Si:H, alors même qu'il s'agit de premiers composants non optimisés.

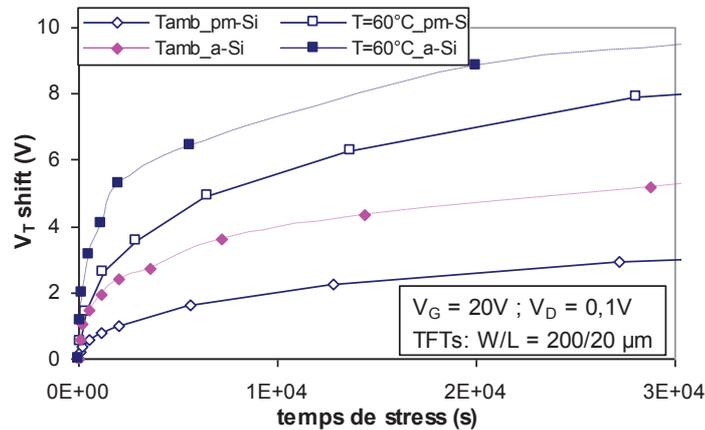


Figure 20: Dérive de la tension de seuil à température ambiante et $T = 60^\circ\text{C}$ pour des TFTs en a-Si:H et pm-Si:H provenant du même lot. Conditions de stress: $V_G = 20\text{ V}$, $V_D = 0.1\text{ V}$.

Les résultats présentés sur la Figure 20 ont été obtenus en stressant des TFTs en a-Si:H et pm-Si:H fabriqués en même temps, toutes choses égales par ailleurs, à l'exception du dépôt de la couche active. Il apparaît que la différence au niveau de ΔV_T est plus faible que pour le cas précédent. Toutefois, les TFTs en pm-Si:H restent plus stables que les TFTs en a-Si:H. En prenant compte de ceci, et en sachant que les TFTs fabriqués dans ce lot ont subi les mêmes étapes de fabrication à l'exception du dépôt de la couche active, nous avons décidé de mener des expériences de caractérisation structurale afin de comprendre ce qui changeait au sein de nos matériaux des couches actives et de pouvoir expliquer la plus faible différence de dérive de V_T observée sur ces TFTs issus du même lot de fabrication. Ces expériences seront présentées dans le prochain chapitre.

6. Conclusion

Dans ce chapitre, nous avons étudié le comportement des TFTs en silicium polymorphe sous stress électriques prolongés positifs et négatifs. Nous nous sommes particulièrement intéressés à la dérive de la tension de seuil V_T pour laquelle les mécanismes de dégradation n'étaient pas connus du fait de la récente utilisation du matériau pm-Si:H pour la fabrication de TFTs. Ce chapitre nous a donné l'occasion de décrire les mécanismes connus responsables de la dérive de la tension de seuil que sont la création de défauts dans la couche active du transistor ou le piégeage de charges dans l'isolant de grille. Ces deux mécanismes sont compétitifs, ce qui signifie qu'ils peuvent avoir lieu en même temps, ce que nous avons pu

constater à travers les différents stress que nous avons appliqué sur nos TFTs. Nous avons vu que la dérive de V_T dépend de la température, de la tension de grille V_G appliquée lors du stress, ainsi que de la tension de drain V_D . En effet, les mesures en températures ont montré que pour les stress à $V_G = 12V$, nous avons dans un premier temps le mécanisme de la création de défauts qui est responsable de ΔV_T , puis, dans un second temps, le piégeage de charges dans le nitrure de grille devient le mécanisme dominant responsable de la dérive de la tension de seuil. Pour des stress modérés ($V_G = 20V$), nous retrouvons le même comportement et donc les mêmes mécanismes que dans le cas des faibles V_G , alors que dans le cas des stress à fort V_G , nous avons vu que le mécanisme dominant était le piégeage de charges. De même, les mesures réalisées sur des TFTs à une tension de stress V_G négative et $V_D = 10V$ ont montré un ΔV_T négatif, ce qui indique que le piégeage de charges est le mécanisme responsable de la dérive de la tension de seuil. Cependant, lorsque que le même stress est appliqué avec $V_D = 0.1V$, nous avons remarqué que pour les temps de stress courts, ΔV_T est positif avant de devenir négatif pour les temps de stress plus longs. Ceci indique que le mécanisme de la création de défauts est également responsable de la dérive de V_T mais dans une moindre mesure. Les expériences de relaxation et de reverse bias annealing ont mis en évidence le piégeage de charges dans le nitrure de grille et dans une moindre mesure à l'interface pm-Si:H/a-SiN_x. De fait, l'optimisation du dépôt du nitrure de grille (composition, température de dépôt, épaisseur...), ainsi que l'amélioration de l'interface canal/nitrure de grille (à l'aide d'un plasma H₂ avant dépôt de la couche active par exemple [29]) permettront probablement d'améliorer la stabilité des TFTs en pm-Si:H.

Nous avons également vu que les TFTs en pm-Si:H sont plus stables que les TFTs en a-Si:H. Or, dans le chapitre précédent, nous avons dit que le silicium polymorphe est un silicium amorphe dans lequel sont incorporées des nanocristaux de silicium dont le diamètre est de 2-4 nm. Afin d'avoir une meilleure compréhension sur les raisons de l'amélioration de la stabilité des TFTs en pm-Si:H, nous avons réalisé des expériences de caractérisation structurale sur des couches minces de silicium amorphe et polymorphe. Ces expériences vont être abordées dans le prochain chapitre.

En ce qui concerne de l'introduction du silicium polymorphe dans les drivers ou dans les pixels des écrans plats à matrice active LCD et OLED, il apparaît que, malgré une amélioration de la stabilité des TFTs en pm-Si:H sous stress électrique par rapport aux TFTs composés de a-Si:H, celle-ci n'est pas suffisante pour supporter le régime d'opération dans un pixel OLED. De même, la mobilité réduite des TFTs en pm-Si:H peut représenter un frein à son intégration dans les circuits d'adressage qui sont de plus en plus performant, ce qui nécessite une mobilité élevée. Cependant, le silicium polymorphe présente l'avantage d'être déposé plus rapidement que le silicium amorphe (vitesse de dépôt plus élevée, chapitre 2 §1.2§) et les TFTs en pm-Si:H montrent une meilleure stabilité sous stress électrique que les TFTs en a-Si:H.

Références

- [1] R. A. Street, *Hydrogenated Amorphous Silicon*, Cambridge University Press, Cambridge, 1991.
- [2] W. B. Jackson, et al., “*Role of hydrogen in the formation of metastable defects in hydrogenated amorphous silicon*”, *Physical Review B (Condensed matter)*, vol. 39, pp. 1164-79, 1989.
- [3] M. J. Powell, et al., “*Time and temperature dependence of instability mechanisms in amorphous silicon thin-film transistors*”, *Appl. Phys. Lett.*, vol. 54, pp. 1323-5, 1989.
- [4] W. B. Jackson et M. D. Moyer, “*Creation of near-interface defects in hydrogenated amorphous silicon-silicon nitride heterojunctions: The role of hydrogen*”, *Phys. Review B*, vol. 36, pp. 6217-20, 1987.
- [5] M. R. Esmaili-Rad et al., “*Stability of nanocrystalline silicon bottom-gate thin film transistors with silicon nitride gate dielectric*”, *J. Appl. Phys.*, vol. 102, 064512, 2007.
- [6] J. Kakalios et al., “*Stretched-Exponential Relaxation Arising from Dispersive Diffusion of Hydrogen in Amorphous Silicon*”, *Phys. Rev. Lett.*, vol. 59 n°9, pp. 1037-40, 1987.
- [7] M. J. Powell, “*The Physics of Amorphous-Silicon Thin-Film Transistors*”, *IEEE Trans. Elect. Devices*, vol. 36, n°12, pp. 2753-63, 1989
- [8] M. J. Powell et al., “*Bias dependence of instability mechanisms in amorphous silicon thin film transistors*”, *Appl. Phys. Lett.*, vol 51 (16), pp. 1242-44, 1987
- [9] M. J. Powell, “*Charge trapping instabilities in amorphous silicon-silicon nitride thin film transistors*”, *Appl. Phys. Lett.*, vol. 43 (6), pp. 597-599, 1983.
- [10] Y. Kuyo et al., “*Thin-Film Transistors Materials and processes*”, Kluwer Academic Publishers, 2004
- [11] A. R. Merticaru et al., “*Determination of contribution of defect creation and charge trapping to the degradation of a-si :h/sin tfis at room temperature and low voltages*”, *J. Non-Crys. Solids*, vol. 352, pp. 3849–53, 2006.
- [12] C. Y. Huang et al., “*Turnaround phenomenon of threshold voltage shifts in amorphous silicon thin film transistors under negative bias stress*”, *Jpn. J. App. Phys*, vol. 39, pp. 5763–66, 2000.

- [13] C. Van Berkel et M. J. Powell, “*Resolution of amorphous silicon thin film transistor instability mechanisms using ambipolar transistor*”, Appl. Phys Lett. 51 (14), pp.1094-1096, 1987.
- [14] M. J. Powell et al., “*Bias-stress-induced creation and removal of dangling-bond states in amorphous silicon thin-film transistors*”, Appl.Phys.Lett, vol. 60, p. 207–209, 1992.
- [15] F. R. Libsch et J. Kanicki, “*Bias stress-induced stretched-exponential time dependence of charge injection and trapping in amorphous thin film transistors*”, Appl. Phys. Lett., vol. 62, pp. 1286-88, 1993.
- [16] D. Dosev, “*Fabrication, Characterisation and Modeling of Nanocrystalline Silicon Thin Film Transistors obtained by Hot-wire Chemical Vapor deposition.*” Thèse de doctorat, Universitat Politecnica de Catalunya, 2003.
- [17] T. J. King et al., “*Effective density-of-states distributions for accurate modelling of polycrystalline silicon thin-film transistors*”, J. Appl. Phys., vol. 75, pp. 908-913, 1994
- [18] A. Rolland et al, “*Electrical properties of amorphous silicon transistors and MIS devices: comparative study of top nitride and bottom nitride configurations*”, J. Electrochem. Soc., vol.140, pp. 3679-83, 1993
- [19] M. J. Powell et al., “*Defect pool in amorphous-silicon thin-film transistors*”, Phys. Rev. B, vol. 45, pp. 4160-70, 199
- [20] C. Y. Huang et al., “*The instability mechanisms of hydrogenated amorphous silicon thin film transistors under ac bias stress*”, Jpn.J.App.Phys, vol. 39, p. 3867–3871, 2000.
- [21] N. A. Hastas et al., “*Substrate current and degradation of n-channel polycrystalline silicon thin-film transistors*”, Microelectronics Reliability, vol.45, pp. 341-48, 2005
- [22] N. Arpatzanis et al., “*Degradation of n-channel a-Si:H/nc-Si:H bilayer thin-film transistors under DC electrical stress*”, Microelectronics Reliability, vol. 48, pp. 531-536, 20082
- [23] J. Brochet, B. Aventurier et F. Templier, “*Stability of hydrogenated polymorphous silicon thin-film transistors under DC electrical stress*”, accepté pour publication dans IET Circuits, Devices and Systems, 2011.
- [24] K. S. Karim, A. Nathan et al., “*Drain-bias dependence of threshold voltage stability of amorphous silicon TFTs*”, IEEE Electron Device Letters, vol. 25, pp. 188-90, 2004.

- [25] T. Tsujimura, “*Amorphous/microcrystalline silicon thin film transistor characteristics for large size OLED television driving*”, Jpn J. App. Phys., Part 1, vol. 43, pp. 5122-28, 2004.
- [26] J. Brochet, B. Aventurier, F. Templier, “*Threshold voltage shift of Polymorphous Silicon Thin-Film Transistors for active matrix OLED displays*”, Spring Meeting Mid-Europe Chapter of the Society For Information Display, Dresde , Allemagne, 2010
- [27] H. Lebrun, N. Szydlo et E. Bidal, “*Threshold voltage drift of amorphous silicon TFT in integrated drivers for active matrix LCDs*”, Eurodisplay, Society for Information Display, Nice, France, 2002.
- [28] J. Brochet et al., “*Electrical characterization of Polymorphous Thin-Film Transistors for application in AM-OLED displays*”, The Proceedings of the 5th International TFT Conference, Palaiseau, France, 2009
- [29] M. Oudwan et al., “*Threshold voltage shift under electrical stress in amorphous, polymorphous, and microcrystalline silicon bottom gate thin-film transistors*”, Phys. Status Solidi A, vol. 207, no. 5, pp.1245–1248, 2010

CHAPITRE 4

ANALYSE STRUCTURALE DU SILICIUM POLYMORPHE

Le but de ce chapitre est d'étudier la structure de notre matériau polymorphe afin de le comparer avec le silicium amorphe. Comme nous l'avons déjà précisé, le silicium polymorphe est défini comme étant constitué de cristallites de silicium dans une matrice de silicium amorphe relaxée. Cela dit, nous avons réalisé différentes expériences afin d'en savoir plus sur la structure du silicium polymorphe. Ceci a pour but de proposer une explication aux différences observées lors des caractérisations électriques des TFTs et plus particulièrement lors d'expériences de stress électriques. Pour cela, nous avons réalisé plusieurs expériences susceptibles de nous apporter des informations sur la structure de nos couches. Dans un premier temps, nous allons aborder le résultat d'une caractérisation Raman, qui donne des renseignements sur la cristallinité de la couche étudiée. Dans un second temps, nous parlerons des résultats obtenus suite à des observations au Microscope Electronique à Transmission (TEM). Pour finir nous traiterons des résultats obtenus suite à des expériences de diffraction de rayons X réalisées au synchrotron de Grenoble et combinées à une analyse de fonction de distribution des paires (PDF : Pair Distribution Function). Ces expériences ont été réalisées à deux énergies : 25keV et 7keV, et plusieurs angles d'incidence du faisceau de rayons X : 3°, 2°, 1°, 0.5°, 0.3°. L'analyse des diagrammes de diffraction par la méthode PDF apporte des informations sur l'environnement local des atomes. En effet, cette méthode permet d'obtenir une statistique des distances interatomiques (plus proches voisins).

1. Spectroscopie Raman

Dans un premier temps, nous avons réalisé une caractérisation Raman, comme cela se fait dans le cas du silicium microcristallin, afin de voir, ou non, la cristallinité de la couche et si tel est le cas, quelle est la fraction cristalline de notre couche de silicium polymorphe. La spectroscopie Raman est basée sur l'effet éponyme. Il s'agit d'un phénomène de diffusion inélastique de la lumière, c'est-à-dire un échange d'énergie entre le rayon lumineux incident (souvent un rayon laser) et le milieu que l'on souhaite étudier, ce qui provoque une légère modification de la fréquence de la lumière traversant l'échantillon. On recueille alors ce signal sortant qui nous permet d'obtenir des informations sur la composition de la couche. Cette méthode présente l'avantage d'être non-destructive. Elle permet, entre autre, de déterminer si un matériau est plutôt cristallin ou amorphe.

Dans un premier temps, nous pouvons voir sur la Figure 1, le spectre Raman obtenu dans le cas du silicium microcristallin lors d'une expérience menée par Oudwan [1]. On constate que le spectre obtenu peut être décomposé en plusieurs pics correspondant à différentes phases dans la couche : un premier pic à 480cm^{-1} correspondant au silicium amorphe, un second pic à 500cm^{-1} correspondant aux petits cristaux et aux joints de grains et un troisième pic à 520cm^{-1} qui correspond au silicium microcristallin.

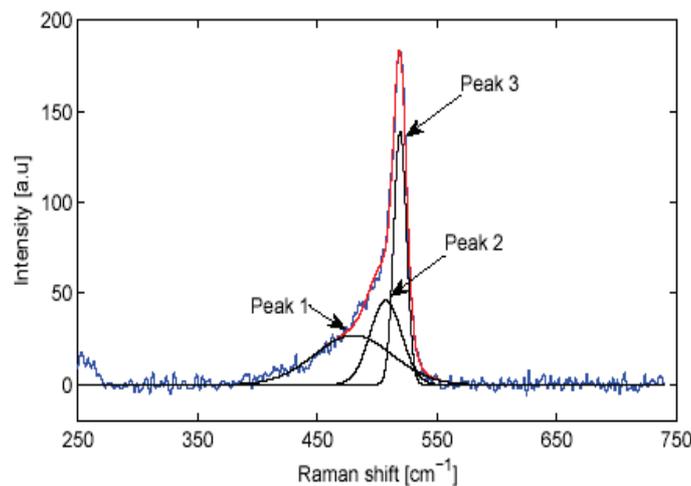


Figure 1: Spectroscopie Raman d'une couche de silicium microcristallin [1]

La Figure 2 montre le spectre Raman obtenu pour trois échantillons de silicium polymorphe déposés à des conditions différentes. Les trois conditions de dépôt diffèrent par la pression de dépôt. Nous avons l'échantillon P3 déposé à une pression $P = 1.6$ Torr, l'échantillon P2 déposé à $P = 2$ Torr et l'échantillon P5 déposé à une pression $p = 2.4$ Torr. Les couches de pm-Si:H ont été déposées sur substrat de verre + 300 nm de SiN_x . Les couches

déposées ont une épaisseur de 150 nm. On s'attend à ce que la variation de la pression de dépôt mène à un changement de la quantité de cristallites dans la couche.

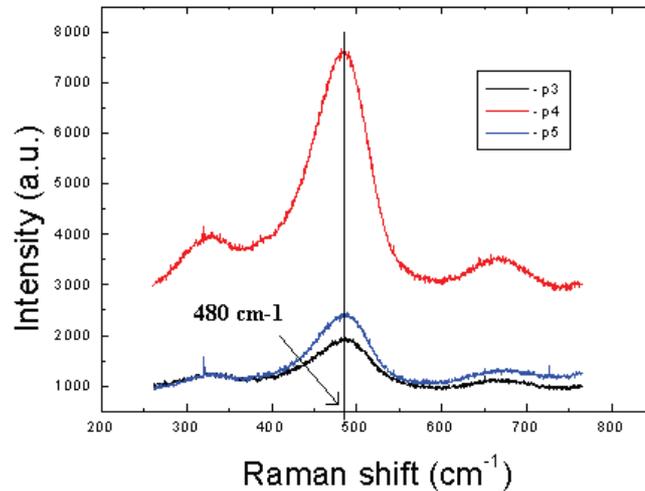


Figure 2: Spectroscopie Raman d'une couche de silicium polymorphe déposée à trois pressions différentes: P3 = 1.6Torr, P4 = 2Torr et P5 = 2.4Torr.

L'observation des spectres obtenus pour les trois échantillons de silicium polymorphe nous montre des comportements similaires pour les différents échantillons. Il s'avère que les spectres obtenus ne présentent qu'un seul pic à 480 cm^{-1} . Ce pic correspond à ce que l'on observe pour du silicium amorphe.

Cette analyse ne permet pas de mettre en évidence une différence entre les matériaux amorphe et polymorphe puisque nous n'avons pas pu isoler de signal particulier dans le cas du silicium polymorphe. Cependant, de précédentes études Raman [2] ont montré une amélioration de l'ordre dans la couche de silicium polymorphe en fonction de la pression de dépôt avec une déviation du pic de 480 à 483 cm^{-1} et une diminution de la largeur à mi-hauteur du pic, observations que nous n'avons pas réussi à reproduire.

2. Etude par Microscope Electronique à Transmission

Le but de cette expérience est d'observer au sein de la couche de silicium polymorphe d'éventuelles différences structurales avec le silicium amorphe, qui sont les deux matériaux que nous avons utilisé lors de la fabrication de nos TFTs. La caractérisation par microscopie électronique en transmission (« transmission electron microscopy », TEM) est une technique de microscopie basée sur l'interaction électron-matière. Cette technique consiste à placer un échantillon très mince sous un faisceau d'électrons, lequel sera transmis à travers cet échantillon. Le faisceau transmis traverse ensuite un système de lentilles magnétiques qui va

projeter l'image de l'échantillon sur un écran phosphorescent, transformant ainsi l'image électronique en image optique. Le microscope électronique en transmission a deux principaux modes de fonctionnement :

-mode image :

Le faisceau électronique interagit avec l'échantillon suivant l'épaisseur, la densité ou la nature chimique de celui-ci, ce qui conduit à la formation d'une image contrastée dans le plan image. En plaçant le détecteur dans le plan image, on peut observer une image par transparence de la zone observée. On distingue le mode champ clair et le mode champ sombre.

→ mode en champ clair :

L'écran est placé dans le plan image. Un diaphragme d'objectif est placé dans le plan focal de manière à sélectionner uniquement le faisceau transmis en ligne droite par l'échantillon. Dans ce cas, seuls les électrons non diffractés formeront l'image sur l'écran. Les zones de l'échantillon diffractant fortement le faisceau apparaissent plus sombres. En l'absence d'échantillon, 100% du faisceau est transmis et l'image apparaît claire, d'où le nom : champ clair (bright field ou BF).

→ mode en champ sombre :

En plaçant un diaphragme dans le plan focal, on peut sélectionner un faisceau diffracté particulier pour former l'image. L'image est donc formée uniquement par les électrons diffractés à un angle particulier. Les zones de l'image qui diffractent à des angles différents apparaissent sombres. De même, en l'absence d'échantillon, tout le faisceau est transmis, il n'y a pas de diffraction et l'image est sombre, d'où le nom : champ sombre (dark field ou DF). Ce mode permet d'observer par exemple des défauts cristallins comme une dislocation puisqu'elle distord localement la maille du cristal et donc modifie l'angle de diffraction.

-mode diffraction :

Lorsque le faisceau traverse un échantillon cristallin il donne lieu au phénomène de diffraction. Le faisceau est diffracté en plusieurs petits faisceaux, et ceux-ci se recombinaient pour former l'image, grâce aux lentilles magnétiques. Donc en se plaçant dans le plan focal du faisceau et non plus dans le plan image (simplement en changeant la tension dans les lentilles électromagnétiques), on obtient la figure de diffraction, semblable aux clichés de Laue obtenus en diffraction de rayons X. On peut ainsi caractériser les cristaux (organisation des atomes, orientation, ...).

Dans le cas de la microscopie électronique à transmission, la résolution n'est pas limitée par la longueur d'onde de l'électron mais par les aberrations dues aux lentilles magnétiques. L'intérêt principal de ce microscope est de pouvoir combiner une grande résolution avec les

informations de l'espace de Fourier, c'est-à-dire les informations fournies par la diffraction des électrons.

2.1. Préparation d'échantillons

La préparation des échantillons pour l'observation par microscope électronique à transmission est particulièrement délicate. Elle se déroule en plusieurs étapes. Tout d'abord, on prélève une fine lamelle à l'aide d'une scie à fil diamanté. Cette lamelle est alors pré-amincie à l'aide de techniques grossières utilisant des procédés mécaniques ou chimiques. L'étape finale doit être effectuée de manière très précise afin de conserver des zones très minces. Cela est effectué soit par bombardement ionique avec un faisceau d'ion argon qui perce l'échantillon, soit par faisceau d'ions focalisés (FIB pour Focussed Ion Beam) à une énergie pouvant aller de quelques kV à une centaine de kV. En général, l'épaisseur finale de l'échantillon est comprise entre quelques nanomètres et une centaine de nanomètres.

A première vue, il s'agit d'une opération facile à réaliser. Cependant, dans notre cas, la préparation de l'échantillon est une opération critique. En effet, les couches à observer ont été déposées sur des substrats de verre ce qui empêche le clivage de l'échantillon (première étape). De même, l'amincissement par FIB pourrait modifier les propriétés de l'échantillon. Il faudra probablement des échantillons très fins, de l'ordre de 10 à 100 nm, afin de pouvoir observer les nano-cristaux de silicium, ce qui peut également engendrer des difficultés.

2.2. Observations TEM

Les observations au TEM se sont déroulées en trois étapes. Tout d'abord, une première série d'observations a été réalisée sur des échantillons amincis par FIB. Ces échantillons sont constitués d'un substrat de verre, d'une couche de SiN_x de 300nm d'épaisseur sur laquelle a été déposée une couche de pm-Si:H ou de a-Si:H de 150nm et pour finir une couche de a-Si:H dopé N. Cela correspond à la structure que nous avons dans nos TFTs. Une couche de protection a été ajoutée pendant la préparation de l'échantillon. Ils ont été amincis jusqu'à une épaisseur de 100nm à l'aide d'ions gallium (Ga) à 5kV. Toutes les images TEM présentées dans ce paragraphe ont été prises en mode champ clair.

Les analyses TEM de notre étude ont été menées par David Cooper du LETI.

2.2.1. Observations initiales

Les premières observations sont montrées sur les Figure 3 et Figure 4 [3]. Nous observons une fine région plus claire à l'interface SiN_x /pm-Si:H et SiN_x /a-Si:H sur la Figure 3. A la suite de ces observations initiales, nous avons émis l'hypothèse que cette interface SiN_x /pm-Si

pouvait être responsable des différences que l'on a observé lors de stress électriques sur les TFTs en a-Si:H et pm-Si:H. Nous suspicions également cette interface d'être cristalline.

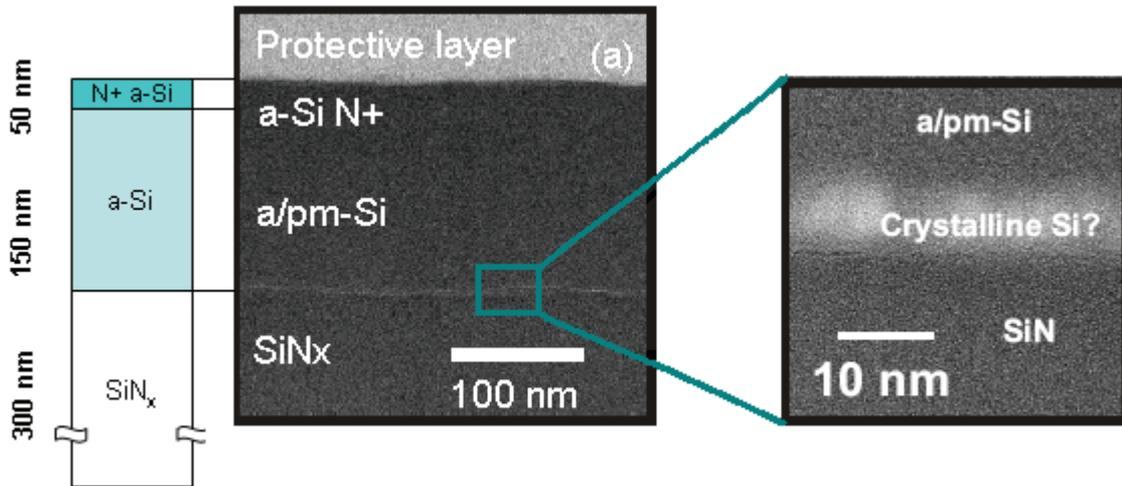


Figure 3: Observation TEM en champ clair : plan large de l'échantillon et zoom de l'interface SiN_x /pm-Si:H ou a-Si:H

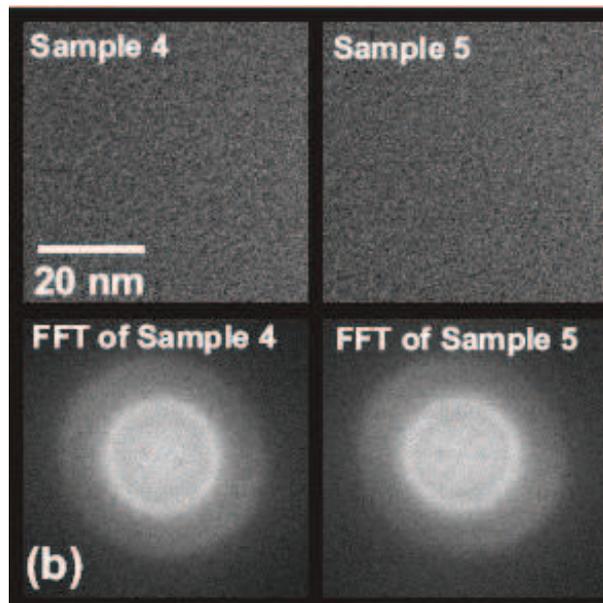


Figure 4: Observation TEM en champ clair : observation du bulk des échantillons avec sample 4 = pm-Si:H et sample 5 = a-Si:H.

La Figure 4 montre des images TEM en mode haute résolution des échantillons de a-Si:H et pm-Si:H. On ne voit pas de différences entre les deux. Nous pensons que cela est dû au fait que les échantillons sont trop épais comparé aux petites dimensions des nano-cristaux de Si. Cependant, les transformées de Fourier de ces images montrent la présence d'anneaux diffus ce qui indique une structure cristalline avec un ordre à petite échelle dans les deux échantillons. Ces observations nous ont poussé à réexaminer ces échantillons, d'abord en observant plus en profondeur l'interface pm-Si:H/ SiN_x , ensuite en amincissant encore plus les échantillons.

2.2.2. Impact du faisceau d'ions lors de la préparation de l'échantillon

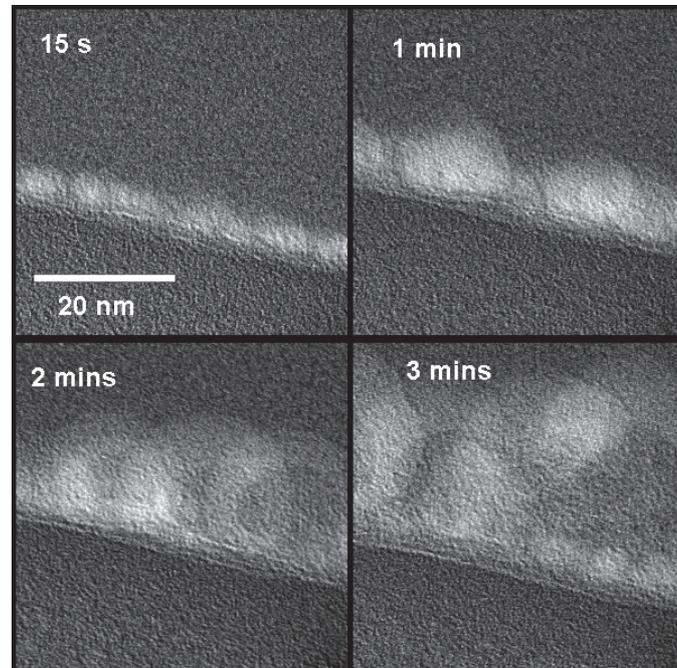


Figure 5: Evolution de l'interface nitrure / silicium en fonction du temps d'exposition au faisceau d'électrons à une énergie de 200kV.

La seconde série d'observations a consisté à observer plus attentivement l'effet du faisceau d'électrons sur l'interface entre le nitrure et le silicium amorphe ou polymorphe. La Figure 5 montre l'évolution de cette interface en fonction du temps lorsque l'échantillon est exposé à un faisceau d'électrons à 200kV. On constate que le faisceau a un impact évident sur l'échantillon. En effet, on met en évidence une modification de la couche de silicium sous l'effet du faisceau. Par conséquent, on ne peut conclure quant à la présence de cristallites dans l'échantillon. Il est important de noter que les effets de modification de l'échantillon pendant l'observation a déjà conduit à de mauvaises interprétations.

2.2.3. Amincissement optimisé

Pour la dernière série d'observations réalisées sur nos échantillons, un amincissement à l'aide d'un faisceau d'argon à basse énergie (3kV) a été effectué afin d'obtenir des épaisseurs d'échantillons de 10nm.

La Figure 6 montre le résultat de la dernière série d'observations HR-TEM. Les observations ont été réalisées exactement dans les mêmes conditions que précédemment, à l'exception que dans ce cas les échantillons sont extrêmement fins. On remarque clairement que les images TEM obtenues pour le pm-Si:H et le a-Si:H sont différentes. Dans le cas du

pm-Si:H, on voit des zones sombres qui s'étendent de façon presque continue dans toute l'épaisseur observée. Comme ces observations ont été réalisées en champ clair, la présence de zones plus sombres que d'autres signifie que le faisceau d'électrons est plus diffracté dans ces zones, la diffraction du faisceau étant provoquée par une organisation particulière des atomes dans la couche. En effet, des cristallites d'environ 2 nm sont observables dans ces zones. Ces observations apportent de nouvelles informations par rapport aux observations TEM de Fontcuberta i Moral et al. [4], pour lesquelles des cristallites ont été observé à l'interface avec le substrat alors qu'apparemment aucune cristallite n'était observable dans le bulk.

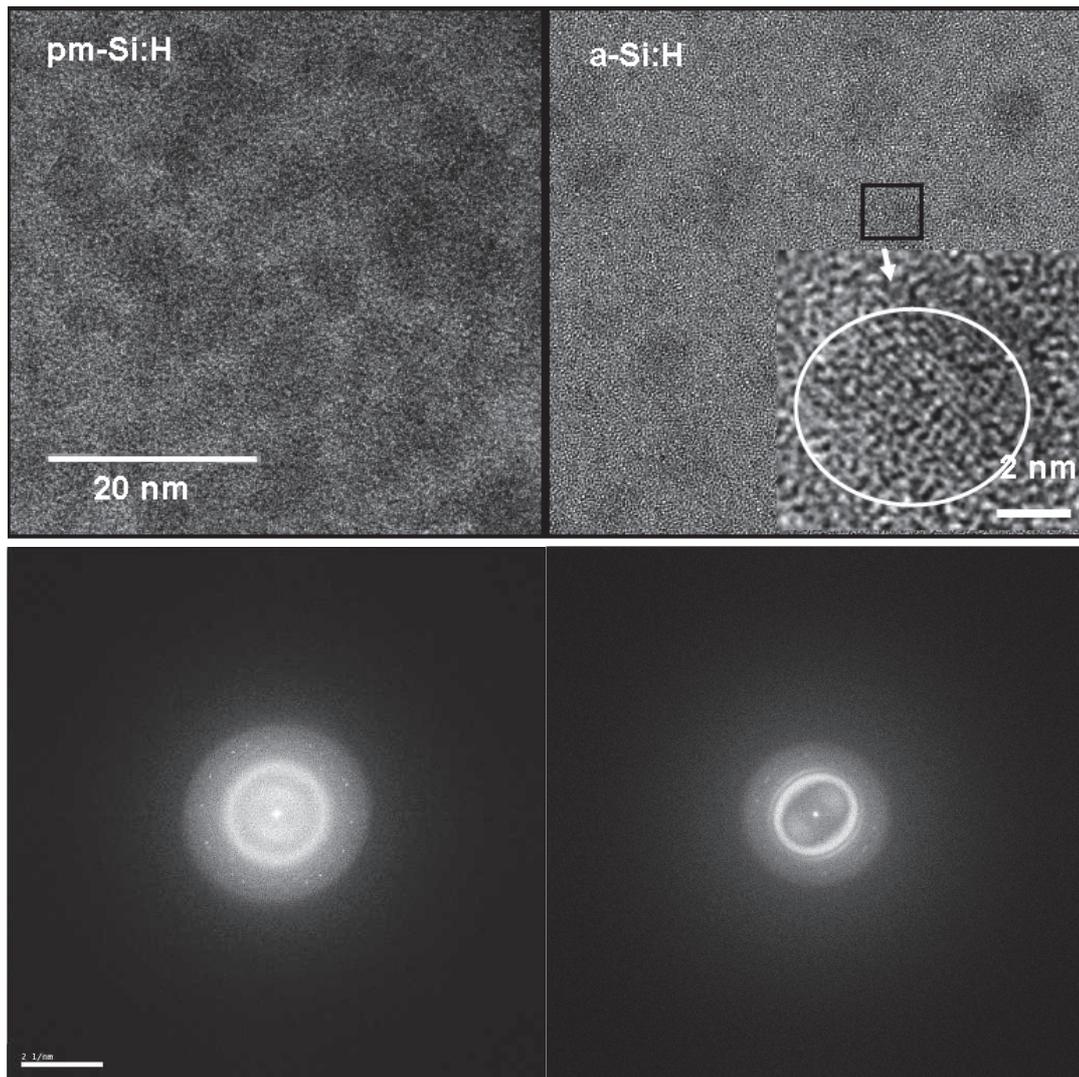


Figure 6: Observation TEM haute résolution des échantillons en pm-Si:H et a-Si:H et leur transformée de Fourier. Un zoom d'une cristallite est montré dans l'encart de l'image du a-Si:H. [2]

De même, on constate également la présence de quelques zones plus sombres dans le cas du a-Si:H, surtout dans la zone sélectionnée, isolées mais réparties dans l'épaisseur observée. Quelques nano cristaux ont également pu être observés dans ces zones plus sombres, dont on peut voir un zoom dans l'encart. Les cristallites sont de l'ordre de quelques nanomètres. Les transformées de Fourier obtenues à partir de ces observations TEM révèlent également la

présence de cristallites dans les couches et mettent également en évidence des différences entre les deux échantillons. Les échantillons sont exactement de la même épaisseur donc les observations réalisées ne sont pas des artéfacts de préparation. Par conséquent, il apparaît clairement qu'il existe une différence notable entre la structure du silicium polymorphe et celle du silicium amorphe [3].

A la fin du chapitre 3, nous avons vu que la différence au niveau de la stabilité électrique entre les TFTs en pm-Si:H et a-Si:H provenant du même lot était moins importante que ce que l'on observait pour des TFTs provenant de lots différents. Les TFTs provenant du même lot ont subi exactement les mêmes étapes à l'exception de l'étape de dépôt de la couche active. Les observations TEM nous ont permis d'observer des différences structurales notables entre la couche de pm-Si:H et la couche de a-Si:H : **la présence de zones plus organisées, semblant s'étendre dans l'ensemble de la couche, avec quelques nano cristaux présents dans toute la couche de pm-Si:H et la présence de quelques zones isolées présentant une certaine organisation avec quelques nano-cristaux dans la couche de a-Si:H.**

Nous pensons que la présence de cristallites isolées dans la couche de silicium amorphe est due aux conditions de dépôt de la couche, ces conditions se trouvant à la limite du changement de régime amorphe/polymorphe, comme nous avons pu le voir précédemment (chap 2, §1.2§).

D'après ces observations, nous pensons que la présence d'une zone plus ordonnée dans la couche de silicium polymorphe est la cause des différences observées lors de stress de TFTs en pm-Si:H et a-Si:H. Cependant, nous ne pouvons pas affirmer que les améliorations constatées dans le cas du pm-Si:H soient dues aux cristallites de Si ou au fait que la présence de ces cristallites lors du dépôt implique un environnement plus ordonné dans la matrice de silicium amorphe dans lequel elles sont imbriquées. A partir de ces expériences, il n'est pas possible de connaître l'impact de ces cristallites sur le silicium amorphe. De précédentes expériences de calcul de fonctions d'autocorrélation à partir d'image HRTEM tendent cependant à montrer que la matrice amorphe de la couche de silicium polymorphe est plus ordonnée que la couche de silicium amorphe standard [4] ce qui laisse suggérer que les meilleures propriétés du silicium polymorphe proviennent de la matrice amorphe et non des cristallites.

Nous noterons également que la présence de zones organisées (et de cristallites) dans la couche de a-Si:H pourrait expliquer que les différences de caractéristiques statiques des TFTs soient moins prononcées dans le cas des mesures réalisées sur des TFTs en pm-Si:H et a-Si:H issus du même lot (chapitre 3).

3. Etude par diffraction des rayons X Synchrotron

La diffraction de rayons X est une technique fondée sur l'interaction des rayons X avec la matière. L'utilisation de rayon X durs (λ compris 0.5 et 2Å) permet d'atteindre des longueurs d'ondes de l'ordre des distances interatomiques (i.e. quelques angströms) ce qui permet d'étudier les cristaux et leurs structures. L'interaction rayons X/matière va provoquer un déplacement du nuage électronique par rapport au noyau des atomes. Les oscillations induites vont provoquer une réémission de rayons X de même fréquence. Les photons ainsi diffusés peuvent interférer et donner lieu à une répartition très hétérogène des faisceaux dans l'espace lorsque les atomes et molécules sont agencés avec une certaine régularité, en particulier dans les cristaux. L'analyse de la répartition angulaire et des intensités des faisceaux permet de remonter à cet agencement. La diffraction des rayons X est utilisée pour la matière cristallisée (minéraux, métaux, céramiques, produits organiques cristallisés) ou partiellement cristallisée (systèmes lamellaires, fibres...) mais rarement sur la matière amorphe (liquides, polymères, verres) ; toutefois, la matière amorphe diffuse les rayons X, et elle peut être partiellement cristallisée, la technique peut donc se révéler utile dans ces cas-là. Il s'agit d'une méthode de caractérisation non-destructive. Utiliser une source de rayons X synchrotron offre de nombreux avantages, notamment pour les expériences de diffraction de poudres [5] :

- Continuité spectrale : contrairement aux sources de rayons X classiques (tubes à rayons X), le rayonnement synchrotron s'étend dans une gamme de longueur d'onde allant de l'infrarouge lointain aux rayons X durs. Les longueurs d'ondes que l'on désire utiliser pour les expériences sont alors sélectionnées à l'aide de cristaux monochromateurs.
- Très haut flux : l'intensité du rayonnement synchrotron est de plusieurs ordres de grandeurs supérieure à celle des générateurs de rayons X utilisés en laboratoire, ce qui permet d'avoir un meilleur signal en détection.
- Faible divergence : le faisceau intense est très peu divergent dans le plan vertical, ce qui, à l'aide d'un système optique basé sur des miroirs à réflexion totale, des cristaux monochromateurs utilisant la loi de Bragg et des fentes de collimation permet d'obtenir un faisceau intense, quasi parallèle et hautement monochromatique en amont de l'échantillon.

Dans notre cas, nous ne nous attendons pas à obtenir des pics de diffraction très fins, comme pour un cristal, du fait des matériaux que nous étudions. Cependant, en couplant les résultats obtenus à une technique appelée PDF, acronyme anglais de Pair Distribution Function (Fonction de Distribution de Paires), nous souhaitons obtenir des informations sur

l'environnement des atomes dans la couche. En effet, la méthode PDF a été largement appliquée à l'investigation de la structure de matériaux désordonnés, liquides, verres et autres matériaux ne possédant pas d'ordre à longue distance [6]. Ces dernières années, la méthode a été étendue avec succès à l'investigation de poudres de nanoparticules [7] [8] [9] [10]. Puisque la méthode PDF prend en compte la diffusion de Bragg et la diffusion diffuse, elle fournit des informations sur l'ordre à longue et courte distance dans les matériaux. Ces caractéristiques sont très avantageuses pour les nanoparticules finies: les données recueillies avec des statistiques et une résolution suffisantes contiennent des informations allant de l'interaction entre plus proches voisins à la plus grande distance atome-atome au sein de la structure [11] [12]. La méthode PDF permet donc, à l'aide de traitements mathématiques (transformée de Fourier) du diagramme de diffraction de remonter à l'environnement local autour des atomes en fournissant un histogramme des distances interatomiques dans le matériau. Dans le cas du silicium polymorphe, nous nous attendons à voir un certain ordre dans une gamme de distances interatomiques de quelques dizaines d'angström du fait de la présence des cristallites.

Les expériences présentées dans ce chapitre ont été réalisées à Grenoble, au sein de l'ESRF (European Synchrotron Radiation Facility), organisées par J-F. Berar, N. Boudet de l'ESRF et P. Bordet et J-L Hodeau du CNRS- Institut Néel, sur la ligne de lumière BM02, étude n° 02-02/777.

3.1. Principe de l'expérience

Le principe de l'expérience est assez simple. Il consiste à bombarder l'échantillon avec des rayons X, et à récolter l'intensité de rayons X diffusés selon l'orientation dans l'espace. En effet, le phénomène de diffraction-diffusion est un phénomène d'interaction élastique entre les photons X et les électrons du matériau (diffusion de Thomson). Chaque atome diffuse les photons X de façon continue avec une amplitude qui dépend de l'angle 2θ entre le faisceau incident et la direction considérée. Les rayons X diffusés interfèrent entre eux, ce qui va conduire à la présence de maxima au niveau de l'intensité du signal récolté en fonction de l'angle 2θ . On enregistre donc l'intensité détectée en fonction de l'angle de déviation 2θ du faisceau. Cela indique que l'intensité du signal diffusée par la couche étudiée va dépendre des positions atomiques et sera différente selon que l'on aura affaire à un milieu cristallin ou non.

Mathématiquement, l'amplitude du signal est donnée par la transformée de Fourier de la densité électronique du matériau. Ainsi, dans le cas d'un matériau non ordonné, l'intensité diffusée, qui est proportionnelle au carré du module de l'amplitude du signal, est continue et présente des maxima larges. Cela traduit l'existence des distances les plus probables entre atomes voisins, c'est le phénomène de diffusion des rayons X pour un matériau non ordonné. Dans le cas opposé des cristaux parfaits, caractérisés par un ordre périodique, les interférences ont pour effet de concentrer exclusivement la diffusion dans des directions discrètes de l'espace (réflexions de Bragg), selon des angles solides très petits. En effet, la transformée de

Fourier d'une fonction périodique infinie est une fonction périodique discrète formée par des pics δ . C'est le phénomène de diffraction. Si le milieu n'est pas parfaitement périodique, les écarts à la périodicité vont donner naissance à de la diffusion plus ou moins continue localisée en dehors des réflexions de Bragg : c'est le phénomène de diffusion diffuse [13]. Les longueurs d'onde des rayons X durs étant du même ordre de grandeur que celle des distances interatomiques, l'interaction entre photons X et électrons donne naissance à des interférences plus ou moins parfaites. L'exploitation des spectres de diffraction-diffusion permet donc d'accéder aux caractéristiques géométriques de l'arrangement atomiques.

La Figure 7 montre le banc de caractérisation utilisé pour la diffraction des rayons X. Il est composé d'un tube à travers lequel les rayons X arrivent en provenance du système optique qui nous permet de sélectionner la longueur d'onde désirée (à droite sur la photo). Ces rayons vont venir heurter l'échantillon, qui est fixé sur un goniomètre, et les rayons X diffractés vont d'abord être déviés par un cristal analyseur avant de poursuivre leur chemin jusqu'au détecteur. Au cours de l'expérience, le détecteur va décrire un arc de cercle autour de l'échantillon en fonction de l'angle 2θ du faisceau diffusé. Les maxima d'intensité du signal correspondent aux différents plans atomiques rencontrés dans l'échantillon comme décrit par la loi de Bragg :

$$2d_{h,k,l} \cdot \sin \theta = n \cdot \lambda$$

Avec $d_{h,k,l}$ la distance entre plans réticulaire d'indice de Miller (h, k, l), θ l'angle du faisceau incident et λ sa longueur d'onde, n est un entier.

La distance entre plans réticulaire $d_{h,k,l}$ diffère selon les structures cristallines. Dans le cas simple de la structure cubique, qui est la structure du silicium, les distances sont calculées comme suit :

$$d_{h,k,l} = \frac{a}{\sqrt{h^2 + k^2 + l^2}}$$

Avec a le paramètre de maille et h, k et l les indices de Miller du plan cristallin.

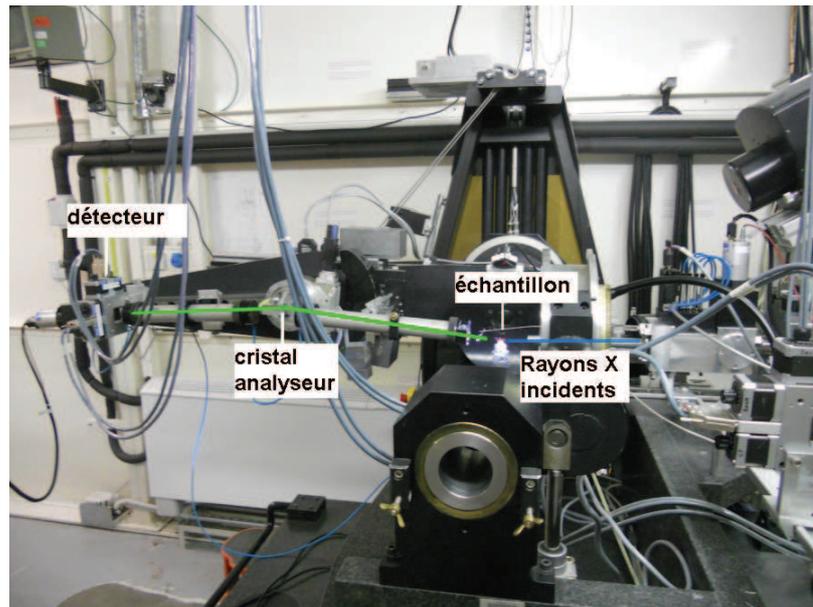


Figure 7: Banc de caractérisation utilisé pour la diffraction de rayons X

Les expériences ont été menées à deux énergies : 26keV et 7keV, soit des longueurs d'ondes équivalentes de 0.4769 \AA et 1.7714 \AA respectivement. Selon la loi de Bragg, plus l'énergie est importante, plus la longueur d'onde est petite donc plus l'angle correspondant à un même pic diminue. La longueur d'onde d'intérêt est sélectionnée à l'aide d'un monochromateur, en vertu de la loi de Bragg : on place un cristal dont le d est connu (Si) à un angle correspondant à la longueur d'onde choisie. On change de longueur d'onde en changeant l'angle, donc en tournant le cristal.

3.2. Echantillons

Les échantillons mesurent 2cm de coté. Ils sont au nombre de trois :

- Substrat verre, $\text{SiN}_x = 600\text{nm}$ et pm-Si :H = 300nm
- Substrat verre, $\text{SiN}_x = 600\text{nm}$ et a-Si :H = 300nm
- Substrat verre, Mo = 50nm, $\text{SiN}_x = 300\text{nm}$.

Cela correspond aux structures utilisées pour les TFTs avec de plus grandes épaisseurs afin d'avoir plus de « matière » à étudier. L'épaisseur de la couche de SiN_x a également été doublée afin d'éloigner au maximum la couche de pm-Si :H (et a-Si :H) du substrat de verre.

3.3. Détecteurs

Lors des expériences réalisées au synchrotron de l'ESRF, nous avons utilisé deux détecteurs différents :

- Cristal analyseur (Si 111) + détecteur ponctuel (NaI)

Un cristal de NaI fluoresce dans le visible sous l'effet des rayons X, la lumière émise est amplifiée dans un photomultiplicateur, transformée en tension et le signal est lu.

- XPAD (= détecteurs pixels)

Le détecteur XPAD est un détecteur 2D. Son principe est le suivant : chaque pixel est un petit détecteur solide indépendant, basé sur la création de paires électrons/trous dans le Si sous l'effet des photons X. On peut simultanément compter le nombre de photons X dans chaque pixel et déterminer leur énergie (mais ceci avec une précision assez faible). Ils ont chacun leur propre chaîne de décision (amplification/seuil) et leur propre système de lecture. Le capteur mesure $75 * 75 \text{ mm}^2$. Il est composé de plusieurs « barrettes », elles-mêmes composées de plusieurs pixels de $130 * 130 \mu\text{m}^2$. Il permet un comptage beaucoup plus rapide et donc l'obtention rapide d'un spectre. Cependant, ce détecteur enregistre « tout » : diffusion inélastique, fluorescence... Cela implique que lors de la transformation des images enregistrées en diagramme de diffraction, un traitement particulier doit être appliqué aux données afin de ne conserver que les informations de diffraction-diffusion élastique.

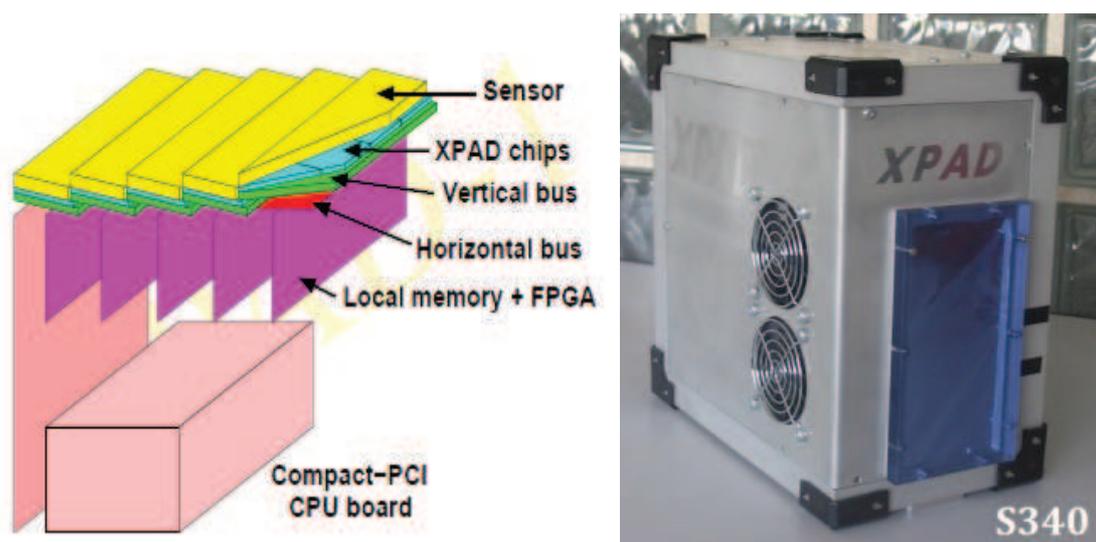


Figure 8: Schéma du capteur de RX [14] et photo d'un détecteur XPAD [15].

3.4. Mesures à forte énergie (26keV)

La Figure 9 représente le diagramme de diffraction obtenu à partir de l'échantillon en pm-Si:H. Les conditions d'expérience sont $E = 26\text{keV}$ et l'angle d'incidence du faisceau de RX avec l'échantillon est de 2° .

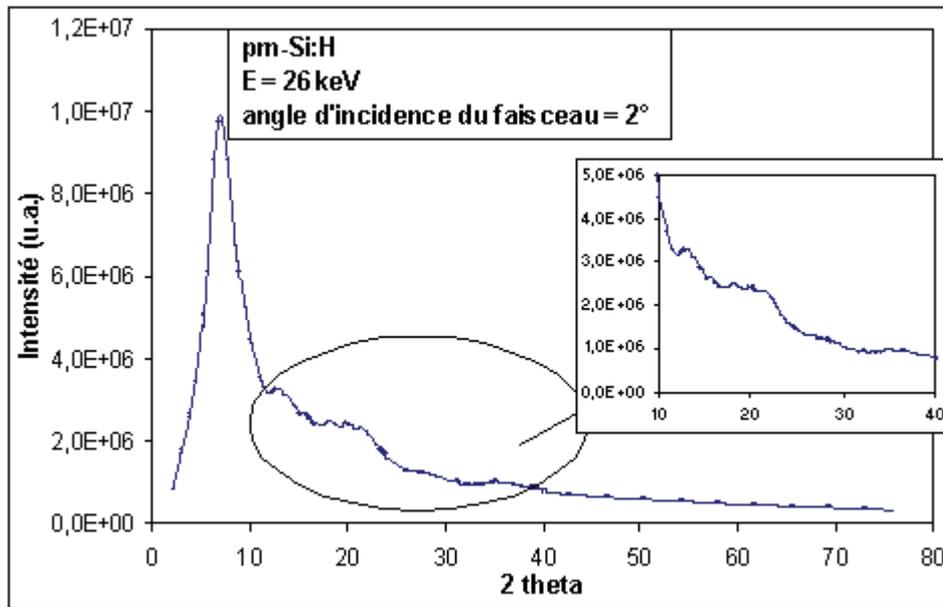


Figure 9: Diagramme de diffraction obtenu sur l'échantillon en pm-Si:H pour une énergie de rayons X de 26keV avec un angle d'incidence de 2°

Le 1^{er} pic observé correspond à la diffusion des RX dans le substrat de verre. Lorsque l'on va vers les angles plus grands, on constate que le signal est très faible et aucune raie caractéristique d'un plan cristallin ne peut être distinguée. Cependant on remarque quelques modifications du signal pour les angles entre 10 et 40° pouvant correspondre à des raies étirées. Ce résultat n'est pas trop surprenant compte tenu de l'angle d'incidence des RX et de la forte énergie utilisée. Ce que l'on observe ici est principalement le signal diffusé par le substrat de verre. Nous avons tout de même appliquée la méthode PDF à ce diagramme de diffraction et le résultat est présenté sur la Figure 10. Sur ce graphe sont présentées les PDF de l'échantillon de silicium polymorphe obtenu par analyse du diagramme de diffraction ainsi que les PDF simulées de cristallites de Si et SiO₂ de 20nm. Les cristaux de Si se forment en une structure diamant qui correspond à deux réseaux cubique faces centrées (CFC) imbriqués, avec deux atomes dans la base, situés en (0, 0, 0) et (1/4, 1/4, 1/4), chaque atome étant relié à 4 voisins. Les cristaux de SiO₂ ont été choisis en configuration quartz avec une structure trigonale. Les pics correspondent aux distances entre plus proches voisins. On retrouve par exemple les distances de 2.35Å, 3.85Å et 4.5Å qui correspondent aux plus proches voisins dans le Si cristallin. Il en est de même pour les cristaux de quartz.

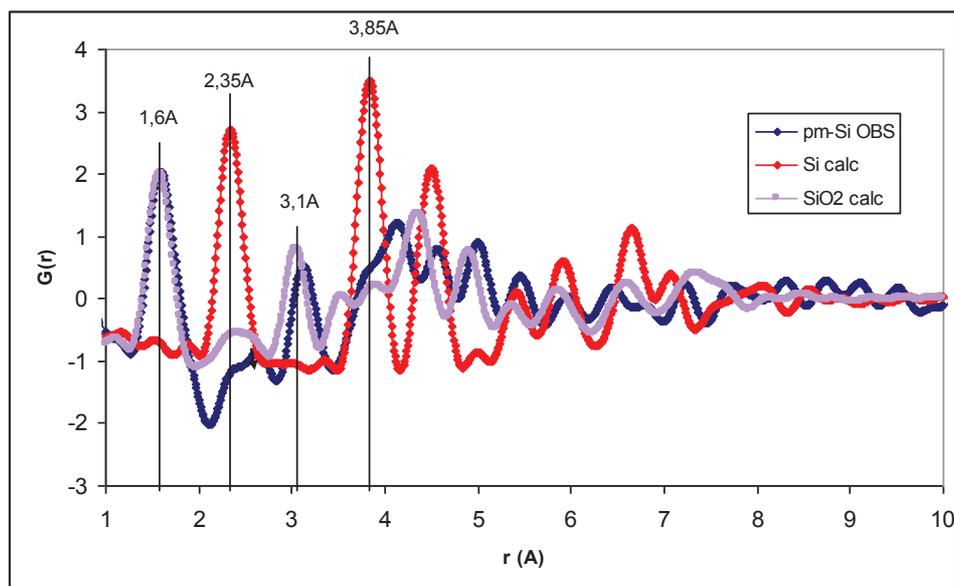


Figure 10: PDF du diagramme de diffraction du pm-Si:H à $E = 27$ keV. En rouge, la PDF calculée pour des cristallites de Si de 10nm, en violet, la PDF calculée pour des cristallites de SiO_2 de 10nm.

Dans notre cas, on constate que la PDF du silicium polymorphe semble correspondre à la PDF simulée du quartz. Cela peut s'expliquer du fait que l'on travaille avec une énergie très élevée et par conséquent on se retrouve dans les conditions d'observation des couches plus profondes, soit le substrat de verre.

Cette expérience a été reproduite sur les échantillons de a-Si:H et de pm-Si:H avec un angle d'incidence fixé à 3° , le détecteur XPAD et une plus grande statistique de comptage. Les diagrammes de diffraction obtenus sont montrés sur la Figure 11.

On remarque que les diagrammes de diffraction obtenus pour les deux échantillons sont très similaires et leurs formes différent du premier diagramme de diffraction obtenu. On observe encore le 1^{er} pic correspondant à la diffusion parasite du substrat, cependant, on remarque également que, contrairement à l'expérience avec une incidence du faisceau RX de 2° et le détecteur ponctuel, nous observons dans ce cas ci 2 pics larges à environ 15° et 20° et 2 aspérités à environ 27° et 35° .

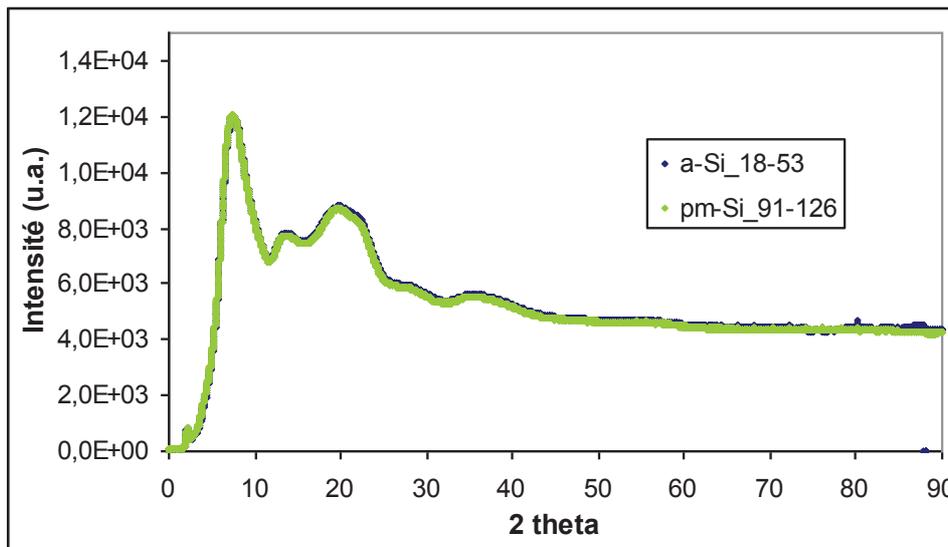


Figure 11: Diagramme de diffraction obtenu sur l'échantillon en pm-Si :H pour une énergie du faisceau de 26keV avec un angle d'incidence de 1°

La Figure 12 montre les résultats obtenus sur l'échantillon $\text{SiN}_x + \text{Mo}$ pour une expérience réalisée dans les mêmes conditions que précédemment.

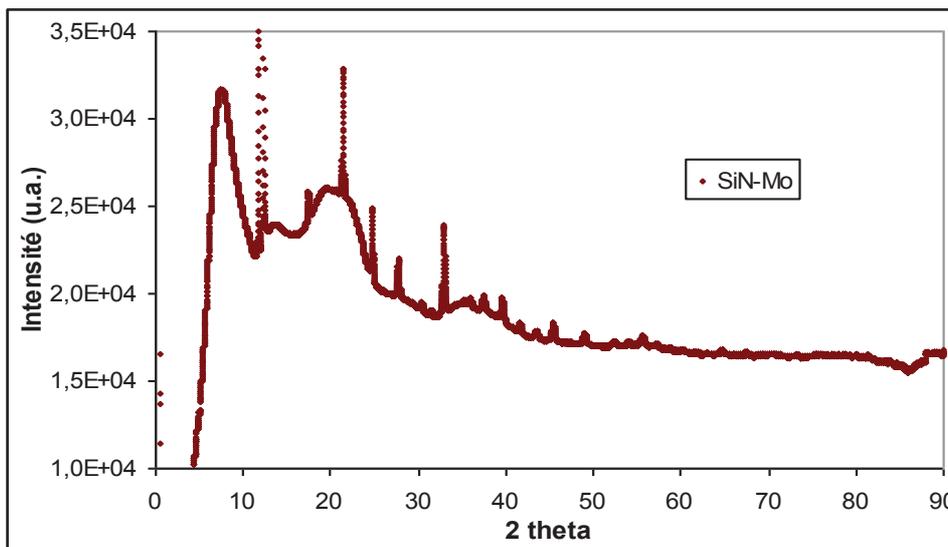


Figure 12: Diagramme de diffraction obtenu sur l'échantillon composé de SiN_x et de Mo pour une énergie du faisceau de 26keV avec un angle d'incidence de 1°.

Les raies fines que l'on peut voir sur ce diagramme de diffraction correspondent aux plans cristallins du molybdène. Les pics plus larges se situent aux mêmes angles que pour l'expérience sur le a-Si:H et le pm-Si:H. Dans ce cas-ci, ils ne peuvent correspondre qu'au SiN_x ou au substrat de verre. Ceci nous permet de voir que les pics observés sur les échantillons de a-Si:H et pm-Si:H ne correspondent pas à des cristallites de silicium mais au signal observé pour le verre et/ou le SiN_x .

Selon les règles d'extinction des raies, qui dépendent des positions des atomes dans les structures, les premières raies observables dans le cas du silicium cristallin sont les raies des plans réticulaires (1, 1, 1), (2, 2, 0), (3, 1, 1), (2, 2, 2), (4, 0, 0), etc... Un faisceau de RX d'énergie 26keV a une longueur d'onde $\lambda = 0.4769\text{Å}$. D'après la loi de Bragg, ces plans réticulaires correspondent à des angles θ de 8.72° , 14.27° , 16.75° , 17.5° , 20.23° respectivement. La majeure partie des informations structurales se situent donc à de petits angles. Dans notre cas cela pose problème puisque le signal dans ces gammes d'angles est entièrement dominé par la diffusion des atomes du substrat. Afin de pouvoir observer ces pics de diffraction à des angles plus grand et être sûr de ne pas être gêné par le signal du substrat, ces expériences ont été reproduites à une énergie de 7keV ($\lambda = 1.7714\text{Å}$) et à des angles d'incidence du faisceau plus faibles afin de pénétrer moins en profondeur et d'analyser uniquement le signal de surface. Ces résultats sont présentés dans la partie suivante.

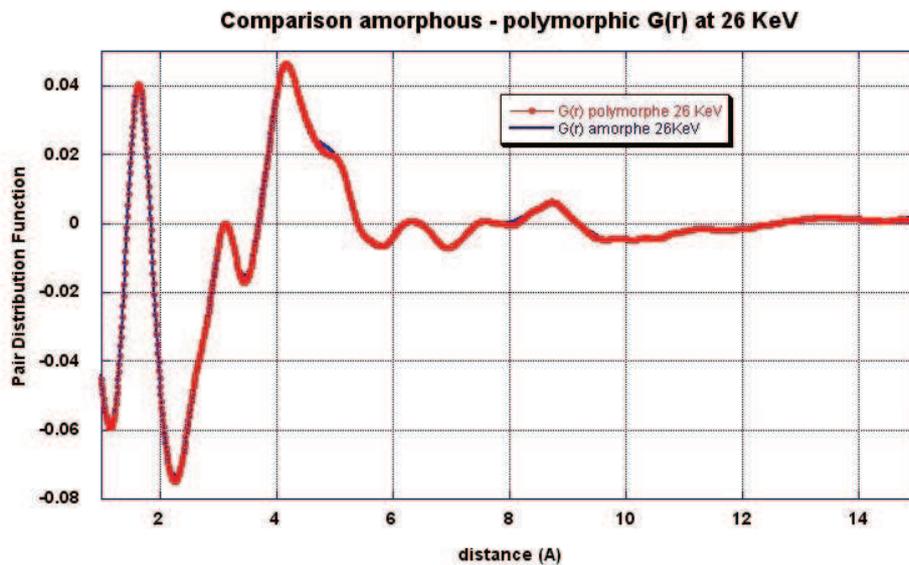


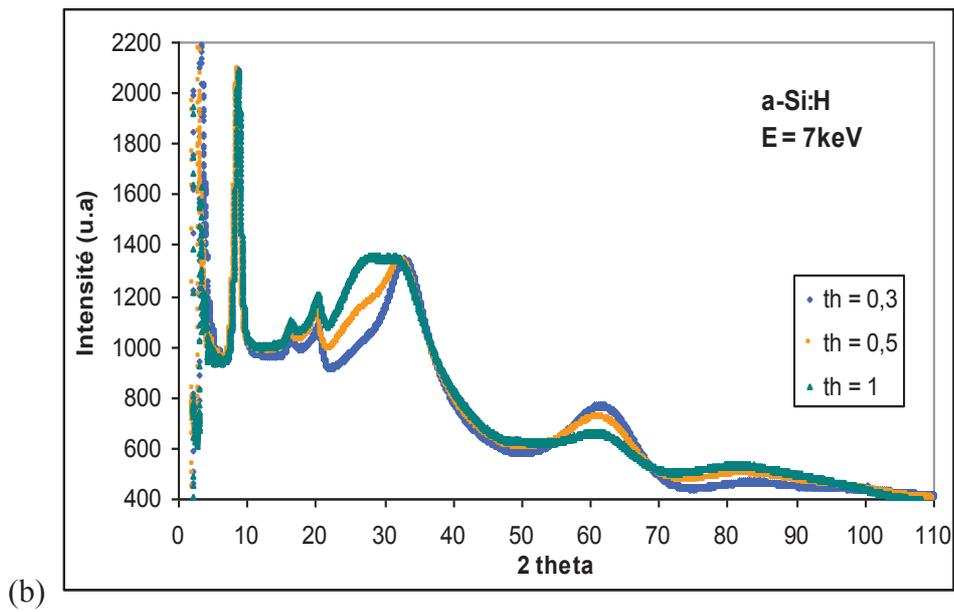
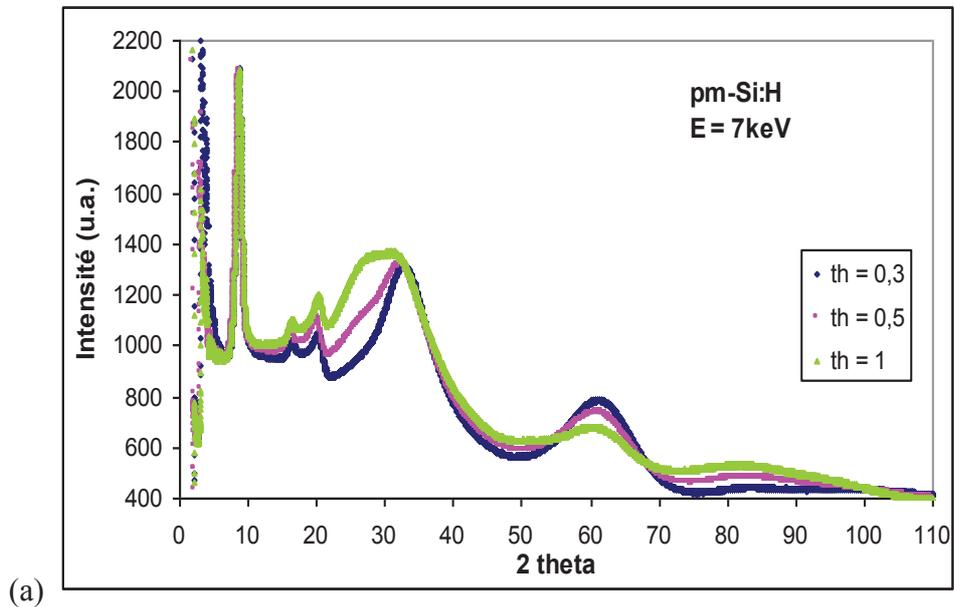
Figure 13: Méthode PDF appliquée sur les diagrammes de diffraction des figures 7 et 8. Les pics correspondent aux distances entre plus proches voisins

La Figure 13 correspond à la PDF réalisée à partir des diagrammes de diffraction des échantillons en a-Si et pm-Si. On constate que ces graphes sont extrêmement similaires et la présence d'un pic sous les 2Å indique qu'il ne s'agit clairement pas d'une structure du silicium cristallin (1^{er} voisin à 2.35Å).

3.5. Mesures à faible énergie (7keV)

Les expériences réalisées à $E = 26\text{keV}$ ont été reproduites à $E = 7\text{keV}$ et à plusieurs angles d'incidences afin d'observer d'éventuels effets de surface de l'échantillon, c'est-à-dire à l'épaisseur correspondant à la couche de silicium polymorphe. Le fait de diminuer l'énergie

va entrainer un déplacement des pics vers les angles plus grands, ce qui devrait faciliter leur observation.



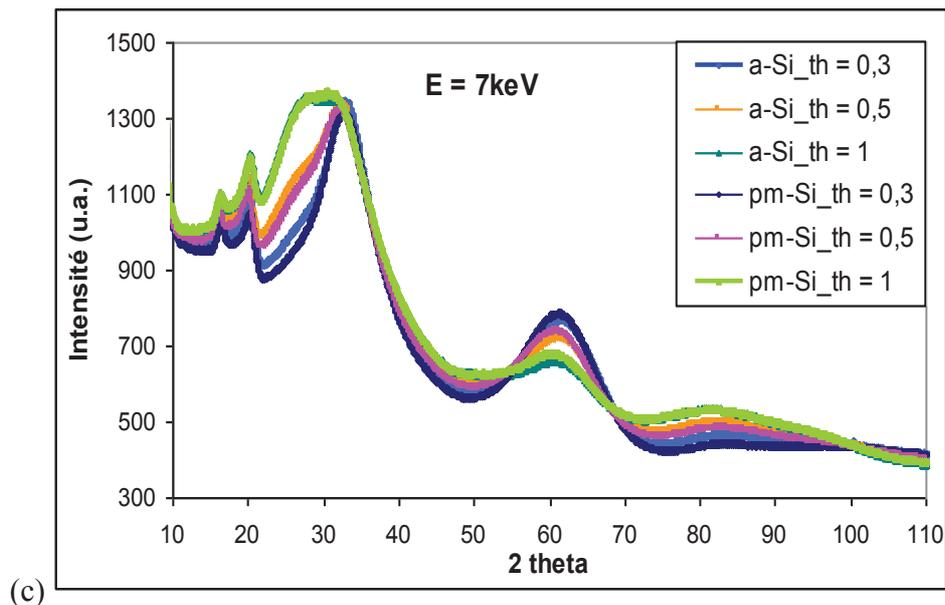


Figure 14: Diagrammes de diffraction obtenus à $E = 7\text{keV}$ pour trois angles du faisceau incident $\text{th} = 0.3^\circ$, $\text{th} = 0.5^\circ$ et $\text{th} = 1^\circ$ sur les échantillons en (a) pm-Si, (b) a-Si. (c) montre la superposition de ces 2 diagrammes de diffraction

La Figure 14 montre les résultats de ces expériences réalisées à $E = 7\text{keV}$ sur les échantillons de silicium polymorphe et amorphe. La première observation que l'on peut faire est que les diagrammes de diffraction obtenus à $E = 7\text{keV}$ ont un aspect différent de ceux obtenus à $E = 26\text{keV}$. En effet, si l'on constate à nouveau la présence de pics de diffusions parasites à environ 8° , 17° et 21° , nous constatons également la présence de pics larges de diffraction à 33° et 62° environ. L'effet de l'angle d'incidence est également clairement visible puisque des différences notables sont observées lorsque celui-ci diminue. On constate un amincissement du pic situé à 33° et une augmentation de l'amplitude du pic situé à 62° . A une énergie de 7keV , les pics de diffraction correspondant aux 4 premiers plans (h, k, l) du silicium cristallin sont :

- $(1, 1, 1) \rightarrow 32.82^\circ$ (multiplicité = 8)
- $(2, 2, 0) \rightarrow 54.95^\circ$ (multiplicité = 12)
- $(3, 1, 1) \rightarrow 65.5^\circ$ (multiplicité = 24)
- $(2, 2, 2) \rightarrow 68.81^\circ$ (multiplicité = 8)

La multiplicité de la forme $\{h, k, l\}$ correspond à l'ensemble des familles (h, k, l) généré par toutes les opérations de symétrie du groupe auquel appartient le cristal. Celle-ci contribue à l'intensité diffractée par le plan.

La largeur des pics est influencée par la taille des cristallites : plus les cristallites sont petites, plus les pics sont larges. Il apparait donc que le pic présent sur notre diagramme de diffraction à 33° peut correspondre au pic du plan $(1, 1, 1)$. De même le pic large présent à 62° peut être une combinaison des pics des plans $(2, 2, 0)$, $(3, 1, 1)$ et $(2, 2, 2)$. Cependant ceci reste hypothétique car à ce point nous ne pouvons conclure quand à la présence réelle de

crystallites de silicium. De même, cette hypothèse mettrait en évidence la présence de cristallites de silicium au sein de la couche de pm-Si:H mais également dans la couche de a-Si:H. Même si cela est étrange d'observer des cristallites de Si dans la couche a-Si:H, cela n'est pas tout à fait incohérent compte-tenu des observations TEM réalisées sur des échantillons dont les dépôts ont été réalisés dans les mêmes conditions. En effet, lors de ces observations, nous avons remarqué la présence de quelques cristallites de Si dans la couche de a-Si:H.

Le but de ce chapitre est de différencier nos matériaux amorphes et polymorphes. Pour cela nous avons calculé la différence de signal entre les 2 matériaux pour les trois angles d'incidence. Le résultat est présenté sur la Figure 15.

Au regard de ce graphe, on constate bien une différence de signal entre les deux matériaux. L'effet de l'angle d'incidence apparaît encore une fois très nettement : en effet, la différence de signal est d'autant plus importante que l'angle d'incidence diminue. Plus l'angle d'incidence diminue et plus le signal obtenu provient de la surface. **Cela indique que la différence de signal observée est uniquement due aux matériaux a-Si:H et pm-Si:H.**

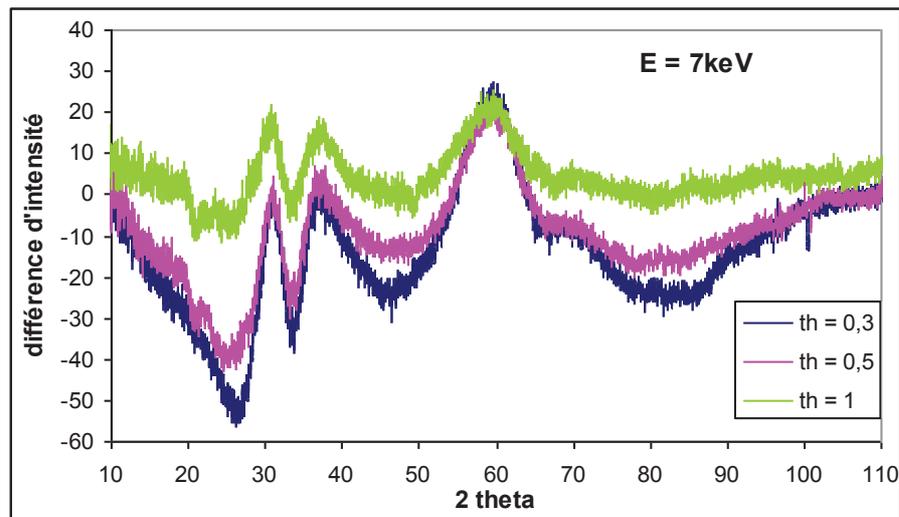


Figure 15: Différence de signal entre le silicium polymorphe et le silicium amorphe pour 3 angles d'incidence: $\theta = 0.3^\circ$, $\theta = 0.5^\circ$ et $\theta = 1^\circ$

Ce graphe nous montre la présence d'un signal différent entre le pm-Si:H et le a-Si:H. Cela signifie que la microstructure des matériaux est différente le silicium polymorphe est plus structuré que le silicium amorphe car il présente des pics de diffraction plus « fins » surtout au niveau du 1^{er} pic de diffraction correspondant au plan (111).

La figure 16 montre les PDF obtenues à partir des diagrammes de diffraction du pm-Si:H et a-Si:H à un angle d'incidence de 0.3° .

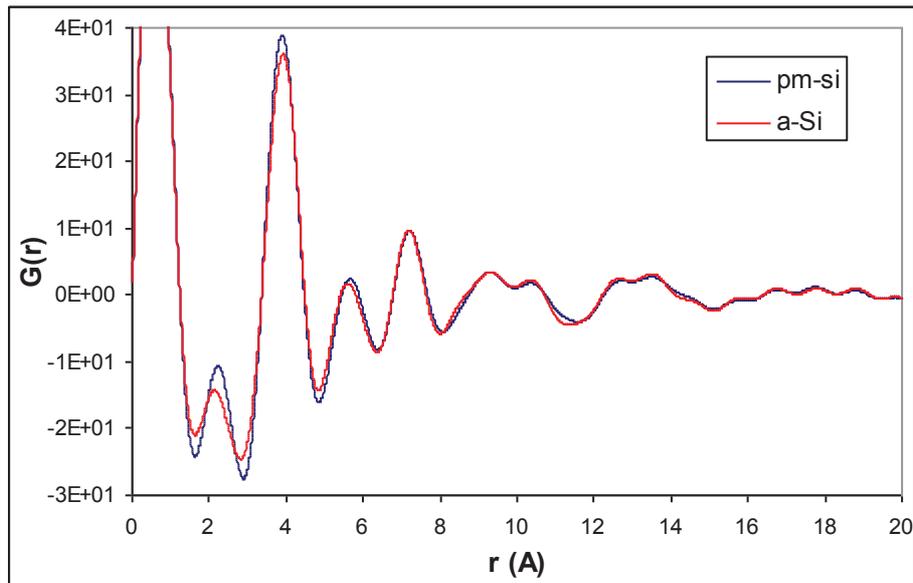


Figure 16: PDF du pm-Si:H et du a-Si:H obtenues à partir des diagrammes de diffraction à $E = 7$ keV et un angle d'incidence de 0.3°

On remarque que les PDF du pm-Si :H et du a-Si:H sont assez similaires mais présentent tout de même de petites différences au niveau de l'amplitude des pics et de petits décalages des pics, surtout pour les 3 premiers. C'est pics correspondent à des valeurs de distances interatomiques r de 2.35 \AA pour le 1^{er} pic, 3.95 \AA pour le 2nd et 5.77 \AA pour le 3^{ème} pic. Les deux premières distances interatomiques sont celles que l'on observe pour les plus proches voisins du silicium cristallin. On constate également que le signal semble s'étendre jusqu'à environ une quinzaine d'angströms. L'amplitude des premiers pics de la PDF est plus importante pour l'échantillon de pm-Si:H, ce qui indique une distribution plus importante des de ces distances dans la couche, soit une plus grande cristallinité à courte distance.

La Figure 17 montre le signal obtenu en soustrayant les 2 PDF de la Figure 16 (Fig. 17a) et la PDF obtenue lorsqu'on simule des cristallites de 20 \AA (Fig. 17b).

Dans un premier temps, il est important de noter que le signal obtenu en (a) et celui que l'on obtient à partir de la Figure 15 pour un angle d'incidence de 0.3° (courbe bleue) sont très similaires. Ensuite, lorsqu'on compare les Figure 17 (a) et (b), on remarque que le signal de la différence est très proche de celui du Si cristallins à courtes distances, typiquement pour les 2-3 premières liaisons, mais ensuite il s'en écarte notablement et s'étend relativement loin ($r > 15 \text{ \AA}$). La structure à moyenne portée est donc modifiée par rapport à celle du Si cristallin et du Si amorphe mais il ne s'agit pas seulement de nano-grains de silicium.

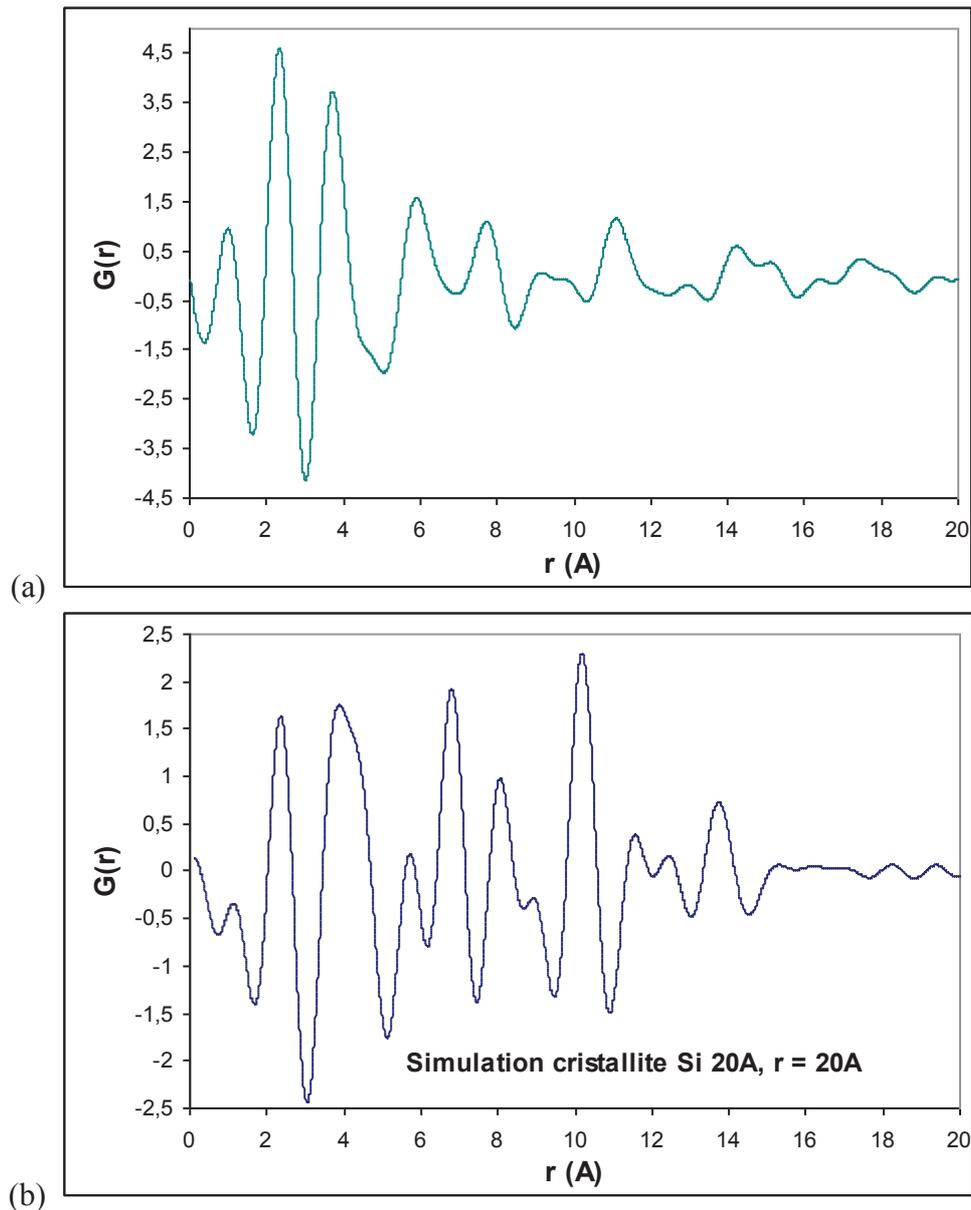


Figure 17: Signal PDF obtenue à partir de la différence de signal PDF du pm-Si:H et du a-Si:H à un angle d'incidence de 0.3° (a) et PDF simulée d'une cristallite de Si de 20 Å (b).

Globalement, les signaux du silicium amorphe et du silicium polymorphe ont l'air très similaires. La PDF « différence » (Figure 17 a) montre ce qui est dans le silicium polymorphe et pas dans le silicium amorphe, ce qui apparemment ne représente pas la plus grande partie du signal (amplitude du signal PDF). Il est possible que le signal du silicium amorphe et du silicium polymorphe soient "pollués" par celui du substrat, même à un angle d'incidence de 0.3° . Dans ce cas on a un signal « mélangé » et on élimine le substrat en faisant la différence.

Il apparaît donc que la Figure 17 (a) représente uniquement le silicium polymorphe, ce qui montre que nous avons **isolé le signal du silicium polymorphe**. A partir de ce graphe, on constate que le signal s'étend loin en r , ce qui signifie que la couche de silicium polymorphe est ordonnée sur une certaine distance. Malheureusement, on ne peut comparer cette distance

avec le signal obtenu sur le silicium amorphe puisque celui-ci est probablement « pollué » par le substrat. Cependant, Laaziri et al. ont réalisé des expériences de diffraction de rayons X à hautes énergies sur du silicium amorphe pur [16] à la suite desquelles ils ont extrait une PDF du silicium amorphe que l'on voit sur la Figure 18. A partir de cette courbe, on constate que le signal « s'éteint » à partir de 8 Å environ. Il apparaît donc que le signal du silicium amorphe s'arrête beaucoup plus tôt que le signal du silicium polymorphe. On conserve donc un **ordre à plus grandes distances dans le cas du silicium polymorphe.**

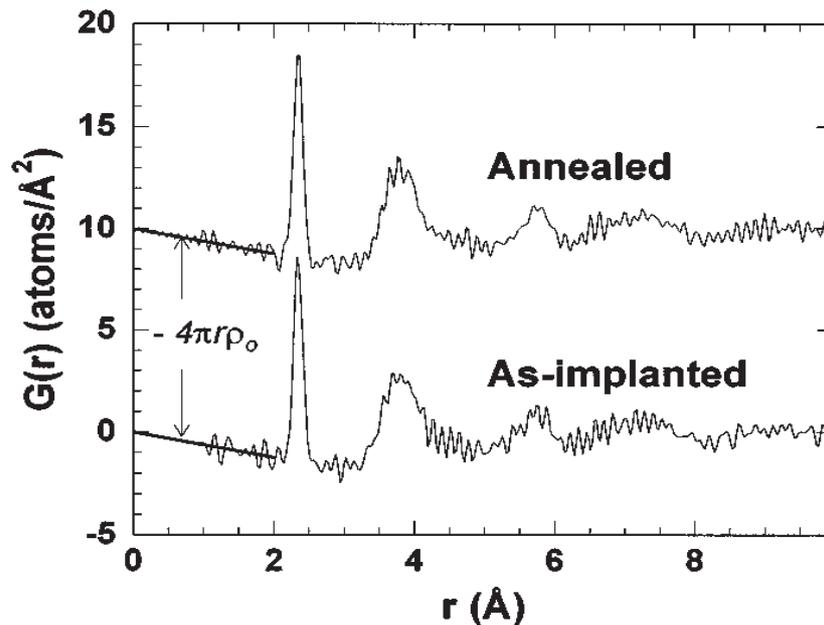


Figure 18: PDF obtenue à partir d'un diagramme de diffraction d'un échantillon de silicium amorphe pur [16].

4. Conclusion

Le but de ce chapitre était d'analyser la structure du silicium polymorphe afin d'en avoir une meilleure connaissance et de permettre de distinguer plus nettement les différences structurales entre le silicium polymorphe et amorphe que nous avons utilisé pour la fabrication de nos TFTs. Pour cela, nous avons tout d'abord réalisé une expérience Raman, laquelle donne des informations sur la cristallinité et le taux de cristallisation d'une couche. Dans notre cas, nous avons vu que le spectre obtenu présentait un seul pic à 480 cm^{-1} , pic que l'on attribue généralement au silicium amorphe. L'information principale donnée par cette expérience est que la couche n'est pas cristalline, ou du moins que le taux de cristallinité est trop faible pour être mesuré par cette technique.

Dans un second temps, nous avons réalisé des observations TEM de nos échantillons de a-Si:H et pm-Si:H. Nous avons tout d'abord pu constater l'impact du faisceau d'ions sur les échantillons lors de la préparation, le faisceau pouvant cristalliser la couche de silicium au

niveau de l'interface avec le nitrure. Cependant, après avoir optimisé l'amincissement de l'échantillon en prenant garde de ne pas modifier la couche lors de la préparation, nous avons pu observer des différences notables dans la structure de nos couches. En effet, nous avons observé, dans le cas du pm-Si:H, **la présence de zones plus organisées, semblant s'étendre dans l'ensemble de la couche, avec quelques nano cristaux présents dans toute la couche de pm-Si:H**. Les transformées de Fourier obtenues à partir de ces observations TEM révèlent également la présence de cristallites dans les couches et mettent également en évidence des différences entre les deux échantillons.

Finalement, nous avons mené des expériences de diffraction des rayons X au sein du synchrotron de l'ESRF, couplé à l'utilisation de la méthode PDF. Les premières observations ont été réalisées à forte énergie ($E = 26\text{keV}$). Cependant, il s'est avéré que cette énergie était trop importante et que le signal observé était celui du substrat ou des couches de SiN_x présentes sur les échantillons. Ces expériences ont ensuite été menées à une énergie $E = 7\text{keV}$. Cela nous a permis d'observer un signal provenant en majeure partie de notre couche de a-Si:H ou pm-Si:H. Nous avons mis en évidence une différence de signal entre le pm-Si:H et le a-Si:H. Nous avons observé la présence de plans cristallins du silicium. Les PDF obtenues à partir des diagrammes de diffraction nous ont permis **d'isoler le signal du silicium polymorphe** tout en confirmant que le signal était « pollué » par le substrat ou la couche de SiN_x . Ainsi, nous avons mis en évidence la présence de distances interatomiques équivalentes au silicium cristallin (2-3 premiers voisins) pour les très courtes distances ($> 5 \text{ \AA}$). Ensuite, le signal s'éloigne de ce que l'on observe dans le Si cristallin mais continue à présenter une distribution de distances jusqu'à des distances de plus de 15 \AA . Des études précédentes [15] ont montré que le a-Si pur présente une extinction de la distribution de distance au-delà de 8 \AA ce qui montre que **le silicium polymorphe présente un ordre à plus grandes distances que le silicium amorphe**.

Au final : **avec deux méthodes différentes nous avons pu mettre en évidence une différence structurale entre le silicium polymorphe et le silicium amorphe. Dans les deux cas, ces différences vont dans le sens d'une plus grande cristallinité du silicium polymorphe. Cela est cohérent avec les résultats des mesures électriques issus de la caractérisation de TFTs.**

Références

- [1] M. Oudwan, “*Etude des propriétés des transistors en couches minces à base de silicium microcristallin pour leur application aux écrans plats à matrice active*”, Thèse de doctorat, INP Grenoble, 2007
- [2] S. Lebib et P. Roca i Cabarrocas, “Structure and hydrogen bonding in plasma deposited polymorphous silicon thin films”, *Eur. Phys. J. Appl. Phys.*, vol. 26, pp. 17–27, 2004
- [3] F. Templier, J. Brochet et al., “*Polymorphous silicon: a promising material for Thin-Film Transistors for low-cost and high-performance active-matrix OLED displays*”, *IEICE - Transactions on Electronics*, vol. EE93-C , n°10, pp.1490-94, 2010
- [4] A. Fontcuberta i Morral, H. Hofmeister et P. Roca i Cabarrocas, “*Structure of plasma-deposited polymorphous silicon*”, *J. of Non-Cryst. Solids* 299-302, pp. 284-289, 2002
- [5] J. B. Hastings, W. Thomlinson et D. E. Cox, “*Synchrotron X-ray Powder Diffraction*”, *J. Appl. Cryst.*, vol. 17, pp.85-95, 1984
- [6] T. Egami et S. J. L Billinge, “*Underneath the Bragg peaks: structural analysis of complex materials*”, *Pergamon Materials Series* vol. 7, Elsevier Ltd, Oxford, Angleterre, 2002
- [7] V. I. Korsounski et al., “*Investigation of nanocrystalline CdS-glutathione particles by radial distribution function*”, *J. Appl. Cryst.*, vol. 36, pp. 1389-96, 2003
- [8] B. Gilbert et al., “*Nanoparticles: Strained and Stiff*”, *Science*, vol. 305, pp. 651-54, 2004
- [9] P. J. Chupas et al., “*Watching nanoparticles grow: the mechanism and kinetics for the formation of TiO₂-supported platinum nanoparticles*”, *J. Am. Chem. Soc.*, vol. 129 ; pp. 13822-24, 2007
- [10] S. J. L Billinge et I. Levin, “*The Problem with Determining Atomic Structure at the Nanoscale*”, *Science*, vol. 316, pp. 561-65, 2007
- [11] K. Page et al., “*Building and refining complete nanoparticle structures with total scattering data*”, *J. Appl. Cryst.*, vol. 44, pp. 327-336, 2011
- [12] P. Bordet, “*Etude de la structure locale par la fonction de distribution de paires*”, *Collection de la Société Française de la Neutronique*, vol. 9, pp. 139-47, 2008

- [13] J. Baruchel et J. Doucet “Rayonnement synchrotron et applications”, article de Techniques de l’ingénieur, site internet : <http://www.techniques-ingenieur.fr/base-documentaire/archives-th12/archives-techniques-d-analyse-tiata/rayonnement-synchrotron-et-applications-p2700/techniques-de-caracterisation-et-d-analyse-p2700v2niv10002.html> # 2.3
- [14] J-F Berar, “XPAD : Un détecteur à pixels hybrides pour la diffraction-diffusion de rayons X”, site de l’ESRF : http://www.esrf.eu/UserAndScience/Experiments/CRG/BM02/detectors/xpad/soleil_030402.pdf
- [15] <http://www.imxpad.com/produits-p-5.html>
- [16] K. Laaziri et al., “*High-energy x-ray diffraction study of pure amorphous silicon*”, Phys. Rev. B, vol 60, n°19, pp. 13520-33, 1999

CHAPITRE 5

CRISTALLISATION D'UNE COUCHE MINCE DE SILICIUM AMORPHE PAR INTERFEROMETRIE LASER

De nos jours, le silicium polycristallin peut-être utilisé aussi bien pour les écrans LCD que pour les écrans OLED. Dans le cas d'afficheurs LCD, l'inhomogénéité spatiale des TFTs en poly-Si n'est pas problématique. La question qui se pose lorsque l'on utilise cette technologie est le cout, car la celle-ci est couteuse (implantation, laser...). Un compromis doit être trouvé par les fabricants entre le cout et les performances visées. Le poly-Si peut donc être intéressant si l'on souhaite intégrer les drivers dans le cas d'écrans forte résolution et où l'espace occupé par les TFTs est restreint comme par exemple les nouveaux téléphones portables haut de gamme (smartphones). Dans le cas des afficheurs OLED, l'utilisation de TFTs en poly-Si est obligatoire pour sa stabilité électrique (drivers), du fait du mode de fonctionnement d'un tel écran. Malgré sa très bonne mobilité et sa grande stabilité sous stress électrique [1] [2], son utilisation est limitée aux afficheurs de petites et moyennes tailles à cause de sa dispersion de la taille des grains et des joints de grain menant à une inhomogénéité spatiale de la tension de seuil. Dans le cas d'un afficheur, cela se traduit par une différence de luminosité d'un pixel (ou d'un groupe de pixels) à un autre.

Il existe aujourd'hui plusieurs méthodes de cristallisation du silicium : cristallisation en phase solide, cristallisation laser... Certaines de ces méthodes nécessitent de fortes températures afin de cristalliser le silicium et ne sont donc pas compatibles avec l'utilisation de substrats en verre. Les autres méthodes sont à base de laser mais elles posent le problème de l'homogénéité dans le cas d'écrans OLED. Nous recherchons donc une méthode permettant d'obtenir du poly-Si basse température (donc en utilisant un laser) et homogène spatialement au niveau des grains. Récemment, Nebel et al-. [3] ont proposé une méthode pour cristalliser périodiquement à basse température le silicium amorphe par l'intermédiaire d'interférences laser à trois faisceaux dont les périodes p_x et p_y sont déterminées par la longueur d'onde du laser et les angles entre les trois faisceaux, ceci pour des applications à la structuration des p-électrodes latérales pour des cellules solaires en couches minces p-i-n. Cette méthode doit permettre de donner une régularité spatiale aux tailles de grains ce qui devrait mener à une homogénéité potentielle des TFTs obtenus à partir d'un tel poly-Si.

Dans ce chapitre, nous proposons d'évaluer la cristallisation périodique du silicium amorphe par interférométrie laser 4 faisceaux s'opérant dans un réseau de Bravais cubique face centré (FCC : Face-Centered Cubic) avec une période de $d_{110}=652\text{nm}$. L'objectif de ce chapitre est la fabrication de TFTs en poly-Si basse température sur substrats de verre possédant des caractéristiques structurales et électriques homogènes sur de grandes surfaces.

1. Cristallisation par interférométrie laser

Dans cette partie, nous allons tout d'abord donner un aperçu des méthodes de cristallisation déjà existantes et de leurs caractéristiques. Dans un second temps, nous traiterons du principe théorique de la cristallisation par interférométrie laser et nous détaillerons la mise en place de notre expérience. Enfin, nous donnerons les conditions de cristallisation utilisées pour ce travail.

1.1. Aperçu des méthodes de cristallisation existantes

1.1.1. Cristallisation en phase solide

- Le recuit thermique conventionnel

Cette méthode est communément appelée SPC pour Solid Phase Crystallization. Les substrats sont placés dans un four à des températures d'environ 600°C pendant une période pouvant aller de quelques minutes à plusieurs heures suivant la température et le type de silicium. Le silicium et le substrat sont portés à la même température. Le chauffage est généralement assuré par des résistances chauffantes placées autour d'une enceinte. L'avantage de cette technique est de pouvoir traiter uniformément un grand nombre de plaques en même temps. Les couches obtenues présentent souvent des surfaces très rugueuses et des aspérités

qui diminuent fortement la mobilité des porteurs de charges [4]. Les grains obtenus sont en général petits ($0.1 \mu\text{m}$), avec des mobilités de l'ordre de $50 \text{ cm}^2/(\text{V}\cdot\text{s})$ en PMOS et sont assez homogènes. Il s'agit d'un procédé long et nécessitant un substrat de quartz, ce qui est donc incompatible avec les substrats en verre bon marché. Cette technologie est utilisée par Seiko Epson pour la fabrication d'écrans LCD des projecteurs vidéo.

- Le recuit thermique rapide ou RTA (Rapid Thermal Annealing)

Cette méthode permet de diminuer considérablement la durée de cristallisation. Plutôt que d'utiliser des résistances chauffantes, il s'agit dans ce cas d'illuminer la couche de silicium à l'aide d'une ou plusieurs lampes halogènes émettant dans la gamme de longueur d'ondes absorbées par le silicium. Ceci permet de porter le silicium à une température supérieure à celle utilisée lors d'un recuit conventionnel, par conséquent, le temps de recuit et donc de cristallisation est beaucoup plus court que dans le cas du recuit thermique conventionnel. Les grains obtenus peuvent être gros (de l'ordre de $0.5 \mu\text{m}$) avec une densité de défauts cristallins assez importante [5]. Cette technique n'est pas utilisée pour la fabrication d'écrans plats.

- La cristallisation induite par un métal

En déposant certains métaux (Al, Cu, Au, Ag ou Ni...), sur une couche de silicium amorphe, celle-ci cristallise à une température plus basse que sa température SPC. Ce phénomène est appelé « MIC » ou « MILC » (Metal Induced [Lateral] Crystallization). L'accélération de la cristallisation est due à l'interaction des électrons libres du métal avec les liaisons covalentes de silicium proche de l'interface de la croissance [6]. Pour des métaux formant des siliciures avec le silicium (Ni, Co...), il est nécessaire que leurs siliciures et le silicium aient la même structure (réseau) que le silicium et le plus faible désaccord de maille possible.

1.1.2. Cristallisation par recuit laser

Nous venons de voir que l'obtention de films polycristallins par traitement thermique classique à hautes températures ($> 600 \text{ }^\circ\text{C}$) est incompatible avec l'utilisation des substrats en verre bon marché. D'autre part, le matériau obtenu présente des caractéristiques électriques qui ne permettent pas la fabrication de transistors performants (mobilité des porteurs trop faible). La cristallisation par recuit laser permet de surmonter ces verrous technologiques, comme l'ont montré un certain nombre de travaux [7] [8]. En effet, cette technique a été très étudiée depuis que le silicium polycristallin s'est placé en candidat potentiel dans la réalisation des transistors destinés aux écrans plats à matrice active.

L'utilisation d'un laser à excimère permet une fusion superficielle, localisée sur une épaisseur très faible de la couche de silicium [9] [10]. Sachant que l'énergie laser est déposée superficiellement, le silicium peut être porté à haute température tandis que le substrat reste à une température relativement basse [11]. La cristallisation s'opère en déplaçant le front solide-liquide, c'est-à-dire en laissant la zone fondue se refroidir. L'avantage est que le

matériau est porté à très haute température et que les conditions de cristallisation sont nettement meilleures. Il s'en suit des densités de défauts cristallins moindres qui conduisent à de très bonnes propriétés électriques, proches de celles du mono-cristal. Généralement, on utilise un laser excimère émettant dans l'ultra-violet car il fournit des densités d'énergie suffisantes. Cependant, l'ultra-violet est très absorbé dans le silicium amorphe et la cristallisation par laser ne s'applique jusqu'à présent qu'aux couches très minces, de l'ordre de 1000 Å. Le principal inconvénient de cette technique est qu'elle est difficile à mettre en œuvre pour cristalliser une grande surface de façon homogène puisque la dimension du faisceau est faible. La taille des grains dépend de la densité d'énergie du faisceau laser. Plus la densité d'énergie est importante plus les grains sont grands [12]. Cependant il existe un optimum d'énergie au-delà duquel le matériau se dégrade et la taille des grains diminue, jusqu'à ce que le matériau devienne amorphe à très haute fluence. Il apparaît que le recuit laser semble incontournable pour obtenir des mobilités nécessaires dans les circuits périphériques de commande des écrans plats à cristaux liquides à matrice active.

Certains groupes ont également travaillé sur des techniques combinant la cristallisation latérale induite par métal et le recuit laser [13].

1.2. Principe théorique de la cristallisation par interférométrie laser

Le principe théorique de l'interférence et plus particulièrement des interférences 4 faisceaux n'a pas été étudié dans le cadre de mon travail de thèse. Afin de mener à bien nos expériences, nous nous sommes appuyés sur le travail théorique présenté dans l'article de Duneau, Delyon et Audier [14] sur les propriétés d'interférences en fonction de l'amplitude, des orientations et des polarisations de plusieurs ondes électromagnétiques. Pour cette raison, je présenterais ici les équations les plus importantes ainsi que les valeurs numériques. Pour plus d'informations, le lecteur est invité à consulter l'article mentionné ainsi que la thèse de M. Salaün [15].

Équations importantes :

- Modulation de l'intensité d'un réseau d'interférences :

Considérons des ondes électromagnétiques planes de même fréquence ω et de différents vecteurs d'ondes K_i . Une superposition de ces ondes sur un domaine limité de l'espace est représentée par la somme des champs complexes :

$$\begin{aligned} \mathcal{E}(\mathbf{R}, t) &= \sum_i \mathcal{E}_i(\mathbf{R}, t), & \mathcal{E}_i(\mathbf{R}, t) &= e^{-i.\omega.t} . e^{i.\Phi_i} . \mathcal{E}_i, \\ \Phi_i &= \mathbf{K}_i . \mathbf{R} + \varphi_i, & \mathcal{E}_i &= E_i + iE''_i \end{aligned} \quad (1)$$

où la polarisation E_i est un vecteur tridimensionnel orthogonal à K_i .

La phase φ_i peut être choisie de telle façon que les parties réelles et imaginaires E_i et E'_i de E_i soient orthogonales et correspondent ainsi aux axes principaux de l'ellipse de polarisation. Le champ physique $E(R, t)$ est la partie réelle de $\mathcal{E}(R, t)$. On a :

$$E(R, t) = \frac{1}{2} [\mathcal{E}(R, t) + \overline{\mathcal{E}(R, t)}]$$

Et la densité d'énergie est donnée par la moyenne temporelle de $E(R, t)^2$, soit :

$$\langle E(R, t)^2 \rangle = \frac{1}{2} \mathcal{E}(R, 0) \cdot \overline{\mathcal{E}(R, 0)} = \frac{1}{2} \sum_{i,j} e^{j(\Phi_i - \Phi_j)} \mathcal{E}_i \overline{\mathcal{E}_j}$$

Les parties réelles et imaginaires de $\mathcal{E}_i \overline{\mathcal{E}_j}$ sont $U_{i,j} = E_i E_j + E'_i E'_j$ et $V_{i,j} = E'_i E_j - E_i E'_j$ respectivement. On obtient :

$$\langle E(R, t)^2 \rangle = \frac{1}{2} \sum_{i,j} [\cos(\Phi_i - \Phi_j) U_{i,j} - \sin(\Phi_i - \Phi_j) V_{i,j}]$$

Les processus thermiques et chimiques résultant d'un effet du champ électromagnétique sont essentiellement dus à une interaction dipolaire entre le champ $E(R, t)$ et les atomes du milieu. Nous considérons donc la densité d'énergie $W(R)$ suivante :

$$W(R) = \varepsilon \langle E(R, t)^2 \rangle$$

$$W(R) = W_0 + W_I(R)$$

$$W_0 = \frac{\varepsilon}{2} \sum_i U_{i,i} = \frac{\varepsilon}{2} \sum_i [E_i^2 + E_i'^2], \quad (2)$$

$$W_I(R) = \frac{\varepsilon}{2} \sum_{i \neq j} [\cos(\Phi_i - \Phi_j) U_{i,j} - \sin(\Phi_i - \Phi_j) V_{i,j}] \quad (3)$$

Puisque $\Phi_i - \Phi_j = (\mathbf{K}_i - \mathbf{K}_j) \cdot \mathbf{R} + \varphi_i - \varphi_j$ nous voyons que l'intensité est modulée selon les vecteurs $\mathbf{K}_i - \mathbf{K}_j$.

- Interférences à 4 faisceaux :

La géométrie des faisceaux incidents utilisée dans notre cas est identique à celle proposée par Campbell et al. [16] et Miklyaev et al. [17] pour la lithographie holographique. Des intensités et des polarisations différentes ont toutefois été établies dans la présente approche théorique pour obtenir un réseau d'interférences avec la plus haute symétrie possible (i.e. pseudo-cfc) ainsi qu'un contraste maximal d'intensité (i.e. des minima d'énergie nuls). Les faisceaux incidents ont les vecteurs d'onde suivants, normalisés à $\frac{3\sqrt{3}}{2}$ pour une raison pratique,

$$\begin{aligned} \mathbf{K}_0 &= \frac{1}{2} (3, 3, 3), \\ \mathbf{K}_1 &= \frac{1}{2} (5, 1, 1), \end{aligned} \quad (4)$$

$$\begin{aligned} K_2 &= \frac{1}{2} (1, 5, 1), \\ K_3 &= \frac{1}{2} (1, 1, 5). \end{aligned}$$

Les 3 faisceaux K_1 , K_2 et K_3 sont en symétrie ternaire autour du faisceau K_0 et présentent un angle commun avec K_0 de $\cos^{-1}(7/9) = 38.94^\circ$. Notons que l'astuce est ici de choisir des vecteurs K_i ayant des directions qui correspondent à celles de vecteurs du réseau réciproque d'une structure cfc, qui ont un même module mais des indices d'indexations $\langle uvw \rangle$ différents.

Le réseau d'interférence est modulé par les vecteurs du réseau réciproque $Q = K_i - K_j$:

$$\begin{aligned} Q_1 &= K_0 - K_1 = (-1, 1, 1), & q_1 &= K_3 - K_2 = (0, -2, 2), \\ Q_2 &= K_0 - K_2 = (1, -1, 1), & q_2 &= K_1 - K_3 = (2, 0, -2), \\ Q_3 &= K_0 - K_3 = (1, 1, -1), & q_3 &= K_2 - K_1 = (-2, 2, 0), \end{aligned} \quad (5)$$

Les 3 vecteurs Q construisent un réseau 3D cubique centré L^* . Les trois autres vecteurs q donnent un réseau 2D hexagonal dans un plan (111). A noter que $q_1 = Q_2 - Q_3$, etc., donc ces vecteurs appartiennent à L^* .

Valeur numérique :

La norme des vecteurs d'onde doit être modifiée pour tenir compte de la longueur d'onde utilisée, telle que $|K_i|\lambda = 2\pi$, où λ est la longueur d'onde commune des faisceaux incidents.

Comme les vecteurs K_i étaient précédemment normalisés à $3\sqrt{3}/2$ dans l'eq. (4), on obtient :

$$\begin{aligned} K_0 &= \frac{s}{2} (3, 3, 3), \\ K_1 &= \frac{s}{2} (5, 1, 1), \\ K_2 &= \frac{s}{2} (1, 5, 1), \\ K_3 &= \frac{s}{2} (1, 1, 5). \end{aligned}$$

avec un facteur d'échelle $s = \frac{4\pi}{3\sqrt{3}\lambda}$

Par conséquent pour $\lambda = 355$ nm (la longueur d'onde du rayonnement laser utilisée) on a $s = 0.0068124$ nm⁻¹.

De même, concernant les vecteurs Q_i définis par les eqs. (2), leur facteur d'échelle est défini par s^{-1} . On obtient pour la base $\{A_1, A_2, A_3\}$ définie par $A_i \cdot Q_j = 2\pi\delta_{i,j}$

$$\begin{aligned} A_1 &= s^{-1} \pi (0, 1, 1) = \frac{3\sqrt{3}\lambda}{4} (0, 1, 1) \\ A_2 &= s^{-1} \pi (1, 0, 1) = \frac{3\sqrt{3}\lambda}{4} (1, 0, 1) \end{aligned}$$

$$A_3 = s^{-1} \pi (1, 1, 0) = \frac{3\sqrt{3}\lambda}{4} (1, 1, 0),$$

D'où l'on en déduit que la distance entre plus proches voisins (i.e. entre sites de types (0, 0, 0) et (1/2, 1/2, 0)) est $|A_i| = \frac{3\sqrt{3}}{2\sqrt{2}} \lambda$, soit pour $\lambda = 355$ nm, $|A_i| = 652$ nm $|Q_i| = \sqrt{3}s = 11.79942$

10^6 m⁻¹. Le paramètre de maille de la structure "pseudo cfc" est $a = \frac{3\sqrt{3}}{2} \lambda = 922.3$ nm.

1.3. Mise en place expérimentale

L'installation expérimentale comprend une table motorisée, une source pulsée de lumière laser UV entrant dans un interféromètre permettant de générer 4 faisceaux convergents en un même point sur notre porte substrat. On obtient une section plane du réseau d'interférence 3D en plaçant un substrat plan à l'intérieur du volume d'intersection de ces 4 faisceaux. Dans cette partie, nous décrivons tout d'abord la table motorisée, les caractéristiques du laser utilisé et pour finir par le montage optique de l'interféromètre.

1.3.1. La table motorisée

La table motorisée est composée de trois moteurs permettant des déplacements dans les trois dimensions de l'espace (Figure 1). Les moteurs sont pilotés par l'intermédiaire d'une interface LabView. Le déplacement minimal que l'on peut commander est de 0.5mm. La vitesse de déplacement est également ajustable via cette interface, allant de 0.5cm/s à 10cm/s.

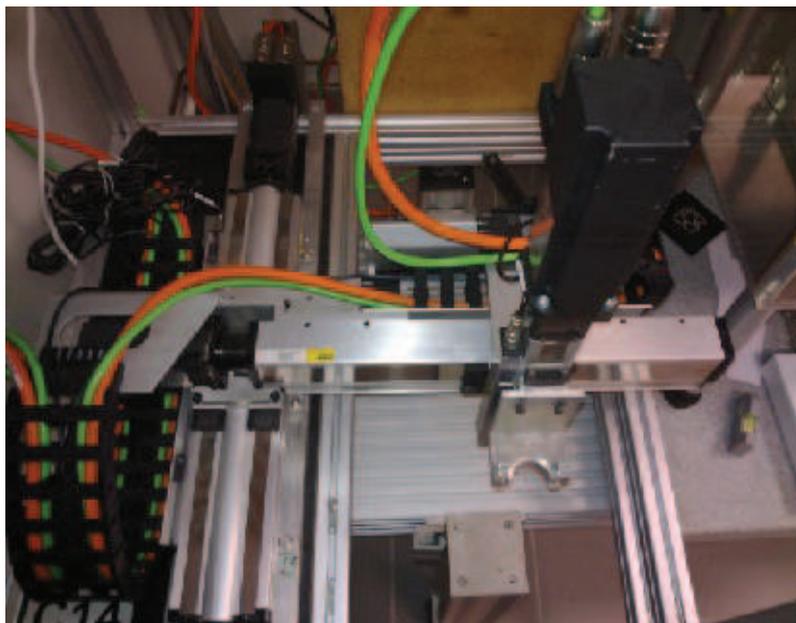


Figure 1: Table motorisée

Nous avons ajouté un « bras » afin de pouvoir amener l'échantillon jusque sous le système optique au niveau du volume d'intersection des 4 faisceaux, ainsi qu'un porte échantillon afin que l'échantillon soit bien plan dans ce volume d'intersection.

1.3.2. La source laser

Le laser est un modèle SL804T-10 de la marque Spectron. C'est un laser solide Nd-YAG (acronyme du nom anglais : neodymium-doped yttrium aluminium garnet ou grenat d'yttrium-aluminium dopé au néodyme) pulsé à une fréquence de 10Hz. Il s'agit d'un cristal utilisé comme milieu amplificateur pour les lasers utilisant des milieux solides. La lumière émise a une longueur d'onde de 1065nm (infrarouge). La cavité contenant le cristal Nd-YAG amplificateur est pompée optiquement par une lampe flash et par l'injection d'une lumière de même fréquence que celle de l'émission laser (1065 nm). L'injection est obtenue à partir d'une diode laser, ce qui permet d'accroître la longueur de cohérence des pulses laser jusqu'à une distance de l'ordre de 3 m pour des pulses de 10 ns. Dans le cas présent, un réseau d'interférence stable ne peut être obtenu que si la phase du pulse laser reste constante pendant sa durée, d'où la nécessité d'avoir une grande longueur de cohérence. Les pulses sont délivrés par un système de "Q-switch" (ou commutateur du facteur de qualité Q de la cavité) : un commutateur optique est placé dans la cavité laser, attendant une inversion de population maximale des ions néodyme avant d'ouvrir. Cette condition remplie, l'onde lumineuse traverse la cavité, dépeuplant le milieu laser excité à l'inversion de population maximale. Le "Q-switch" permet donc de relâcher l'énergie stockée dans le barreau Nd-YAG sous forme d'un pulse très intense et de très courte durée (10 ns). Il est constitué d'une lame de polarisation horizontale associée à une cellule de Pockels stabilisée en température ainsi que d'un prisme correcteur. Il est inséré dans la cavité entre le miroir arrière et la chambre de pompage optique. La cellule de Pockels permet à l'énergie stockée dans le barreau Nd-YAG d'atteindre son maximum. L'oscillation laser commence immédiatement lorsque l'on coupe le champ électrique. Le gain extrêmement élevé dans le barreau laser entraîne une augmentation très rapide de l'énergie laser dans la cavité et sa sortie sous forme d'une impulsion très courte. Le faisceau est ensuite amplifié dans une chambre de pompage puis passe dans des modules de génération et de séparation de seconde et troisième harmoniques. Un extenseur de faisceau élargit finalement le diamètre du faisceau de 3 à 8 mm, soit une section de faisceau d'environ 0.5 cm². La génération de seconde harmonique (également appelée doublage de fréquence) est un processus d'optique non-linéaire dans lequel des photons interagissant avec un matériau non-linéaire sont combinés pour former de nouveaux photons d'énergie double et donc de longueur d'onde moitié de celle des photons initiaux (ie. de la lumière verte à 532.5 nm). De la même manière la génération de troisième harmonique revient à additionner les fréquences de l'infrarouge et du vert pour obtenir de l'ultraviolet à 355 nm. Le profil d'intensité du faisceau laser qui a été mesuré par vidéo caméra est à peu près gaussien (Figure 2). Obtenir un profil de faisceau idéal, c'est-à-dire d'intensité constante sur le diamètre du faisceau,

nécessiterait d'installer une deuxième cavité amplificatrice et de ne sélectionner ensuite que la partie centrale de la gaussienne.

L'utilisation d'un tel laser nécessite de prendre des précautions de sécurité particulière (consignes de sécurité pour laser de classe IV). Son fonctionnement est signalé par un signal lumineux à l'entrée de la pièce. Nous avons utilisé des lunettes de protection en polycarbonate traité anti-UV ainsi que des plaques de ce matériau pour isoler l'interféromètre et plusieurs éléments optiques afin de prévenir l'exposition des yeux et de la peau aux faisceaux directs et réfléchis. L'entretien du laser nécessite de changer annuellement la cartouche filtrante de l'eau de refroidissement ainsi que les lampes flash des deux chambres de pompage. Enfin il est nécessaire de vérifier régulièrement le bon fonctionnement des éléments de thermalisation du "Q-switch", de la diode d'injection et des cristaux biréfringents doubleur et tripleur de fréquence. Ces derniers sont hygroscopiques et doivent être chauffés en permanence. De plus leur réalignement doit être effectué après 50 à 100 heures de fonctionnement.

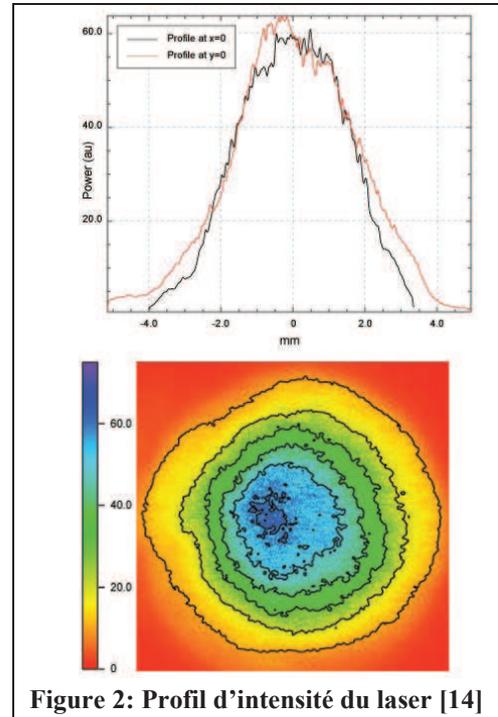
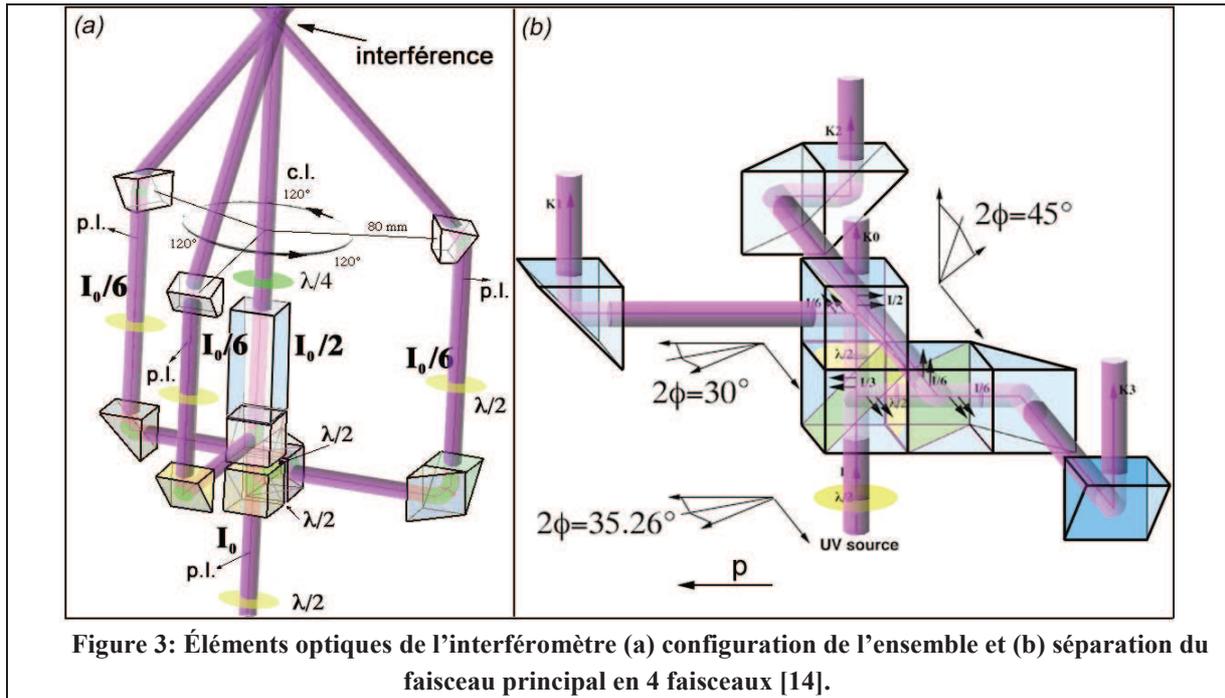


Figure 2: Profil d'intensité du laser [14]

La densité d'énergie du faisceau primaire à l'entrée de l'interféromètre est ajustable, de quelques mJ/cm^2 jusqu'à un maximum compris entre 100 et 130 mJ/cm^2 par pulse en fonction du vieillissement des lampes flash. La sélection de la densité d'énergie désirée est réalisée par une rotation de la polarisation linéaire du faisceau au passage d'une lame $\lambda/2$ puis d'une séparation du faisceau au travers d'une lame séparatrice orientée à l'angle de Brewster où la composante de polarisation s est réfléchiée et celle de polarisation p est transmise. Les valeurs de densité d'énergie par pulse des faisceaux transmis et réfléchis sont déduites des mesures de puissance (en Watt) par un calorimètre ainsi que de la connaissance de la fréquence d'émission (10 Hz) et de la durée du pulse (10 ns).

1.3.3. Interféromètre

L'interféromètre est composé d'un système optique qui décompose le faisceau laser principal, de polarisation linéaire et de 8mm de diamètre, d'intensité I_0 en quatre faisceaux parallèles d'intensité différente : $I_0/2$, $I_0/6$, $I_0/6$, $I_0/6$. Cette division se réalise au travers d'un système de cubes polarisant séparateurs de faisceaux et de plusieurs miroirs à angles droits en silice fondue (ie. transparente à la lumière UV) comme nous pouvons le voir sur la Figure 3(a). La Figure 3(b) permet de suivre les étapes de division du faisceau primaire en 4 faisceaux.



La polarisation linéaire du faisceau primaire (notée p) est tout d'abord tournée d'un angle $2\Phi = 35.26^\circ$ par une rotation Φ d'une lame de retard $\lambda/2$. Le premier cube polarisant sépare le faisceau primaire en deux faisceaux orthogonaux d'intensités $I_0/3 = I_0 \sin^2(35.26^\circ)$ et $2I_0/3 = I_0 \cos^2(35.26^\circ)$ et de polarisations respectives s et p . Le faisceau vertical de polarisation p est ensuite séparé en deux autres faisceaux au travers d'une lame $\lambda/2$ orientée à 30° et d'un deuxième cube polarisant. Les deux faisceaux produits ont des intensités de $I_0/2 = (2I_0/3) \cos^2(30^\circ)$ et $I_0/6 = (2I_0/3) \sin^2(30^\circ)$ qui correspondent respectivement aux faisceaux de vecteur d'onde K_0 et K_1 . Le faisceau de polarisation s en sortie du premier cube est aussi séparé en deux autres faisceaux par passage au travers d'une lame $\lambda/2$ orientée à 45° et d'un troisième cube polarisant. Les deux faisceaux produits ont une même intensité de $I_0/6 = (I_0/3) \sin^2(45^\circ) = (I_0/3) \cos^2(45^\circ)$ et correspondent aux faisceaux de vecteur d'onde K_2 et K_3 . Les 3 faisceaux orthogonaux au faisceau de vecteur d'onde K_0 sont ensuite déviés à la verticale par des jeux de miroirs puis déviés de nouveau par des prismes selon un angle de 39° environ, en direction d'un même point de croisement avec le faisceau central. Lorsqu'ils sont parallèles entre eux les 3 faisceaux de vecteur d'onde K_1 , K_2 et K_3 pointent sur les sommets d'un triangle régulier (de 15 cm de côté) au centre duquel pointe le faisceau K_0 . Les polarisations linéaires des faisceaux K_1 , K_2 et K_3 sont ajustées par des lames $\lambda/2$ et la polarisation circulaire du faisceau K_0 par une lame $\lambda/4$. Le sens de la polarisation circulaire n'a pas d'importance. Les ajustements de polarisation sont réalisés à l'aide d'un prisme de Glan-Taylor pour l'UV à 355 nm positionné aux angles voulus.

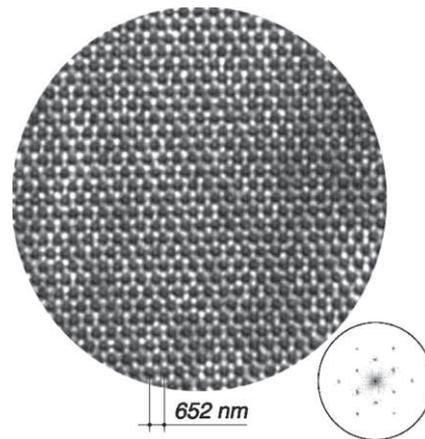


Figure 4: Image du réseau d'interférence selon son axe ternaire, transformée de Fourier correspondante

Sur la Figure 4 est présentée une image du réseau d'interférences selon son axe ternaire capturée par une caméra CCD ainsi que la transformée de Fourier correspondante.

1.4. Cristallisation de silicium amorphe par interférométrie laser

Nos échantillons se présentent sous la forme de substrats de verre de 152 * 134 mm sur lesquels nous avons déposé du silicium amorphe hydrogéné par PECVD. Ces échantillons ont été déshydrogénés afin d'éviter tout phénomène d'explosion de matière lors de la cristallisation par laser. Pour les tests préliminaires, nous avons découpé des lamelles de quelques centimètres carrés sur des substrats en verre afin de tester plusieurs conditions de cristallisation et de faciliter l'observation sous microscope des différents échantillons. Au niveau des conditions de cristallisation, les paramètres variables sont la puissance du faisceau laser et le nombre de pulses appliqués.

Les conditions utilisées dans le cadre de la première campagne de test sont les suivantes :

- Densité d'énergie (par pulse) : $P = 60 \text{ mJ/cm}^2, 90 \text{ mJ/cm}^2, 120 \text{ mJ/cm}^2$
- Nombre de pulses : $n = 1, 2, 5, 10, 20, 50, 70, 100$.



Figure 5: Photographie d'un échantillon sur lequel on a effectué un tir laser : $P = 120 \text{ mJ/cm}^2, 2 \text{ pulses}$.

La Figure 5 est une photographie d'un échantillon sur lequel nous avons réalisé les premières observations au microscope optique.

2. Caractérisation des couches traitées par laser

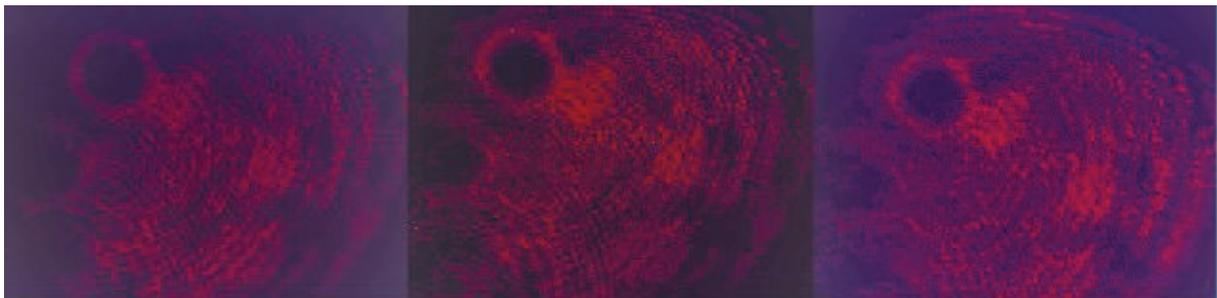
Effectuer des tirs lasers ne signifie pas nécessairement que la cristallisation de la couche a eu lieu. En effet, pour cela il faut avoir apporté suffisamment d'énergie au silicium amorphe pour que celui-ci fonde et se cristallise en refroidissant. La Figure 5 est une photographie sur laquelle on peut voir une zone transmissive où a eu lieu le tir laser. Ces zones présentent des irisations, caractéristique de la formation de grains. Cependant, avant de nous lancer dans la fabrication de TFTs en poly-Si, nous avons réalisé plusieurs observations au microscope optique, au rayon X, au TEM et au MEB afin de vérifier, d'une part, la structuration de la couche de silicium amorphe avec la présence d'une périodicité de type CFC prédit par la théorie et d'autre part, que nous avons bien cristallisé la couche de silicium amorphe. Nous allons donc présenter les résultats de ces différentes observations [18].

2.1. Observation microscope optique

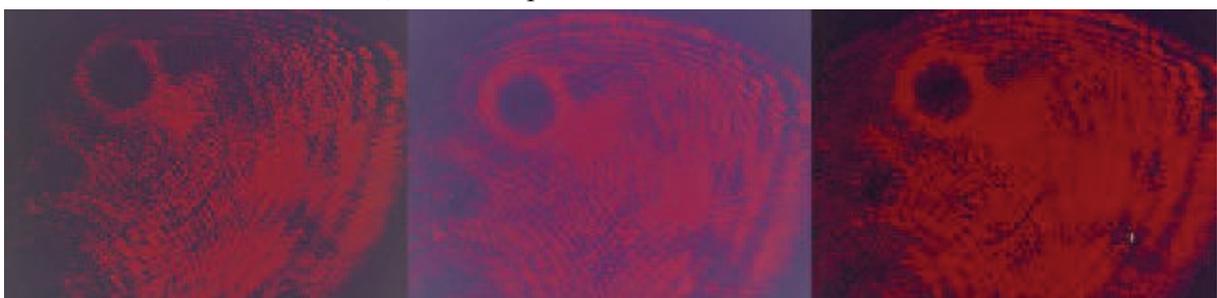
Les premières observations ont été réalisées par microscope optique. Par la suite, l'application d'une goutte d'huile sur la lentille de grossissement a permis d'augmenter la réflexion et ainsi d'avoir une meilleure appréciation de la structuration de surface.

Effets de la puissance du faisceau et du nombre de pulses sur la modification de la couche :

- $P = 60 \text{ mJ/cm}^2$, 5-25-100 pulses



- $P = 90 \text{ mJ/cm}^2$, 5-20-100 pulses



- $P = 120\text{mJ/cm}^2$, 5-20-100 pulses

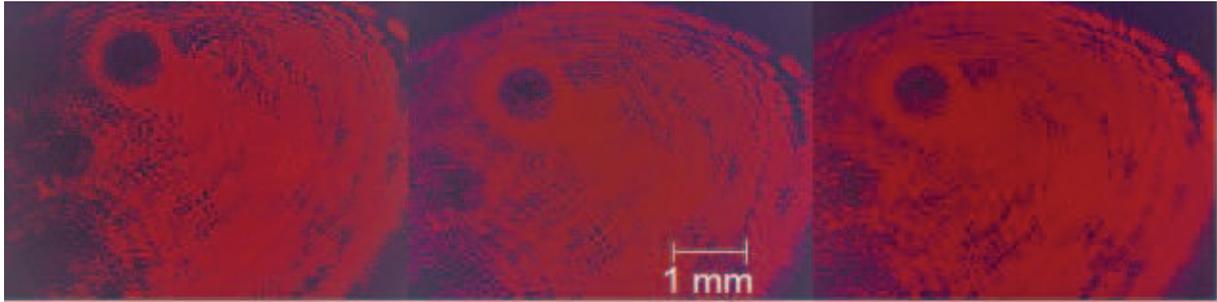
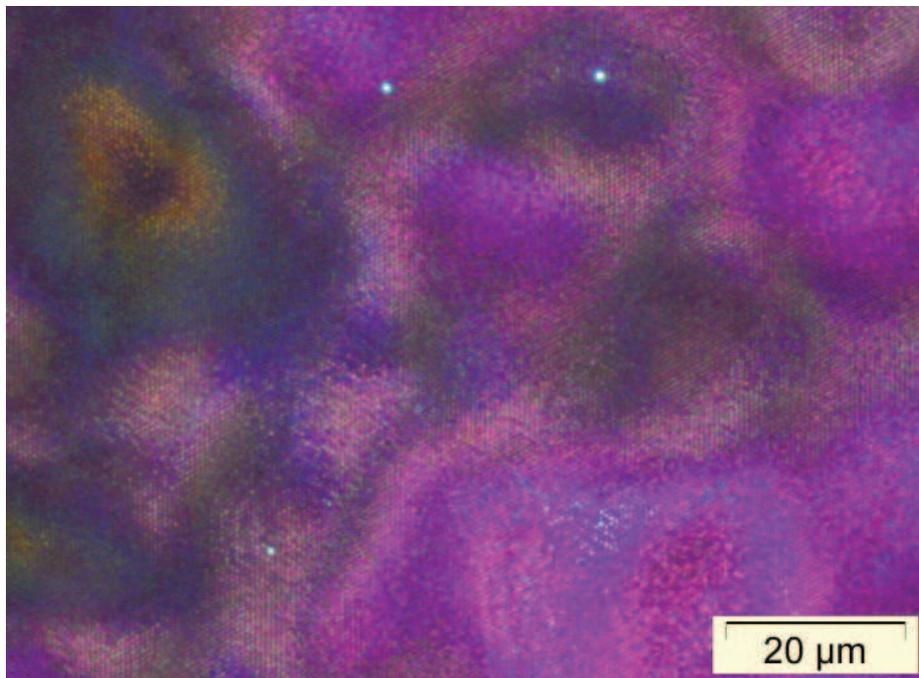
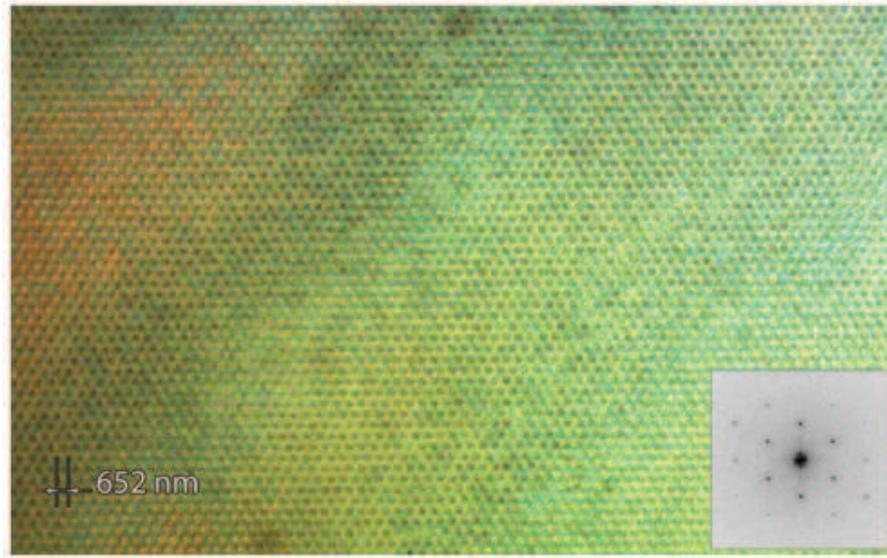


Figure 6: Observations au microscope optique d'échantillons pour lesquels différentes conditions de tirs lasers ont été appliquées

La Figure 6 montre les clichés obtenus à l'aide d'un microscope optique. On remarque que la puissance du faisceau principal ainsi que le nombre de pulses ont des effets importants sur la modification de la surface sur laquelle les tirs laser ont été effectués. Nous notons tout de même que le paramètre qui semble être le plus important est la puissance du faisceau laser. En effet, nous pouvons voir que l'évolution de la taille et de la couleur de la zone de tir évoluent de façon plus importante lorsque l'énergie augmente plutôt que lorsque le nombre de pulses augmente. Cela est dû au fait que lors d'un recuit laser, le plus important est l'énergie apportée par le laser car c'est celle-ci qui conditionne la phase de fusion de la couche (i.e. plus on apporte d'énergie, plus on fusionne de matière).



(a)



(b)

Figure 7: Observation au microscope optique (a) en champ sombre (x100), (b) sous immersion dans une goutte d'huile (x250) avec la transformée de Fourier correspondante.

Cela est également dû à la forme gaussienne du faisceau incident. Le fait que l'on modifie la couche de a-Si à $P = 60 \text{ mJ/cm}^2$ sur une zone bien plus petite que dans le cas de tir laser à $P = 120 \text{ mJ/cm}^2$ coïncide avec le fait que pour un tir à $P = 120 \text{ mJ/cm}^2$, les quelques millimètres du bord sont à une densité d'énergie de 40 mJ/cm^2 qui semble suffire pour modifier la couche alors que dans le cas d'un tir à $P = 60 \text{ mJ/cm}^2$ ces quelques millimètres sont à une densité d'énergie d'environ 20 mJ/cm^2 qui elle n'est pas suffisante pour entraîner une modification de la couche de a-Si.

La Figure 7 montre 2 images prises au microscope optique, en champ sombre et sous immersion. On observe bien une périodicité avec une période de 652nm comme attendu pour les interférences 4 faisceaux. De même, la transformée de Fourier correspondante et caractéristique d'une structure cubique face centrée.

2.2. Diffraction de rayons X

Les observations au microscope optique nous ont permis de voir la structuration de la surface de silicium amorphe suite à un tir laser. Cependant cela ne nous permet pas d'affirmer que la couche est cristallisée. Afin de savoir si la cristallisation a bien eu lieu, des expériences de diffraction aux rayons X ont été mené sur trois échantillons : 2 échantillons sur lesquels ont été appliqué des tirs laser à $P = 90$ et 120 mJ/cm^2 avec 50 pulses et un échantillon amorphe utilisé à titre de référence.

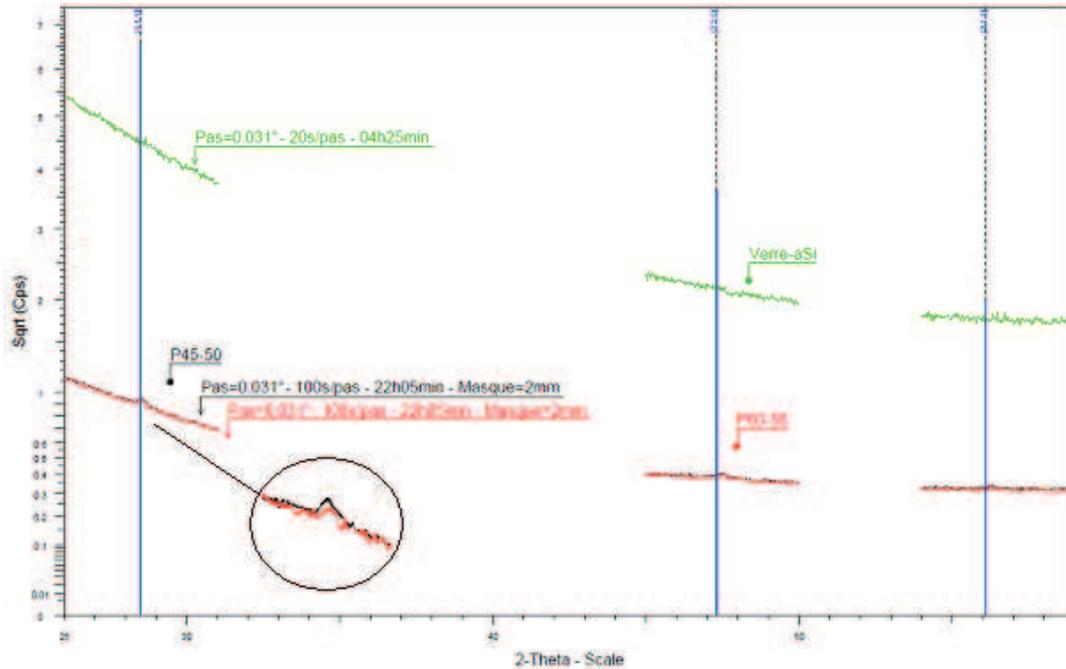


Figure 8: Diagramme de diffraction RX obtenu pour 3 échantillons: a-Si (vert), poly-Si P = 90 mJ/cm², 50pulses (noir) et P = 120 mJ/cm², 50pulses (rouge)

La figure 8 montre les résultats obtenus suite à ces expériences. L'observation du signal obtenu pour l'échantillon en silicium amorphe (vert) montre un signal sans pic, ce qui est caractéristique d'un échantillon amorphe pour lequel il n'y a donc pas d'ordre à grande distance et donc pas d'orientations cristallines particulières pouvant diffracter le faisceau de RX incident. En ce qui concerne le signal observé pour les deux échantillons ayant subi des tirs laser, on remarque des petits pics pour des angles 2θ correspondant au plan cristallin (111), (220) et (311) du silicium cristallin. Ce résultat semble indiquer la présence de silicium cristallin au sein de la couche de silicium amorphe. On note tout de même la faible amplitude du signal observé. Cela peut être dû à plusieurs raisons. Il s'agit soit d'un artefact de mesure, soit cela est dû au fait que le silicium n'a pas été entièrement cristallisé ou, selon toute vraisemblance, cela est dû à la faible épaisseur de la couche silicium (80 nm) qui doit également être un facteur limitant pour l'amplitude du signal.

En tout état de cause, ces résultats, en dépit de montrer une certaine cristallisation de la couche ne nous donnent pas beaucoup d'informations sur la couche cristallisée. Nous avons donc décidé de réaliser d'autres expériences sur nos échantillons.

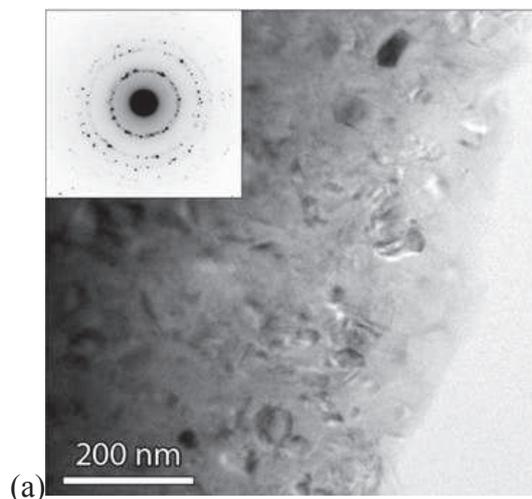
2.3. Observation au Microscope Electronique à Transmission

Les précédentes observations ont montré que les tirs laser modifiaient la structure de la couche de silicium et elles ont confirmé, dans une certaine mesure, la présence de silicium cristallisé dans la couche de a-Si. Cependant, en dépit d'un signal de faible amplitude correspondant aux plans cristallins du silicium cristallisé lors d'expérience RX, ces

observations ne suffisent pas à affirmer que la couche de silicium amorphe est bien cristallisée et ne nous donnent pas d'informations sur les cristaux de silicium dans le cas où ils seraient effectivement présents. Afin d'obtenir plus d'informations sur les échantillons ayant subi des tirs lasers, nous avons réalisé des observations TEM sur un échantillon après traitement laser à 90 mJ/cm² et 20 pulses.

Pour la préparation des échantillons, nous avons utilisé la méthode dite de « scratching » ou grattage. Cette technique consiste à venir gratter la surface de l'échantillon. A l'aide d'une pointe diamant on raye la surface en formant un petit carré pour prélever une fine couche du matériau. Les petits fragments d'échantillons obtenus sont récupérés sur un film de carbone déposé sur une grille de cuivre. Cette technique présente l'avantage d'être simple, rapide et facile à mettre en œuvre. Elle est également peu couteuse puisqu'elle ne fait pas appel à des équipements compliqués. Cependant, du fait de la réduction en poudre du matériau initial, cette technique ne permet pas de conserver l'organisation microstructurale à grande distance.

La Figure 9 montre des observations TEM réalisées en champ clair avec différents grossissements. On voit tout d'abord un plan large de l'échantillon. Dans le mode champ clair, les grains de silicium cristallisé présentent différents contrastes de Bragg en fonction de leurs différentes orientations cristallographiques par rapport au faisceau d'électron incident. Le cliché de diffraction correspondant montre les anneaux de diffraction correspondant aux familles de plans cristallins {111}, {022} et {113} respectivement ce qui confirme que lors des observations réalisées suite aux expériences RX, les petits pics correspondaient bien à la présence de cristaux de silicium. Les figures 9 (b,c) montrent des images haute résolution sur lesquelles on peut voir une cristallite présentant des macles (111) bien visibles. L'encart montre le cliché de diffraction correspondant. La présence de macles (111) provoque le dédoublement de certains points correspondant à différents plans cristallins. Cependant, il est quand même possible d'indexer ce cliché de diffraction, ce qui nous permet de mettre en évidence la structure CFC à l'intérieur du cristal. Ces observations nous ont permis d'estimer que la taille moyenne des cristaux de silicium de l'ordre de 80 à 100 nm.



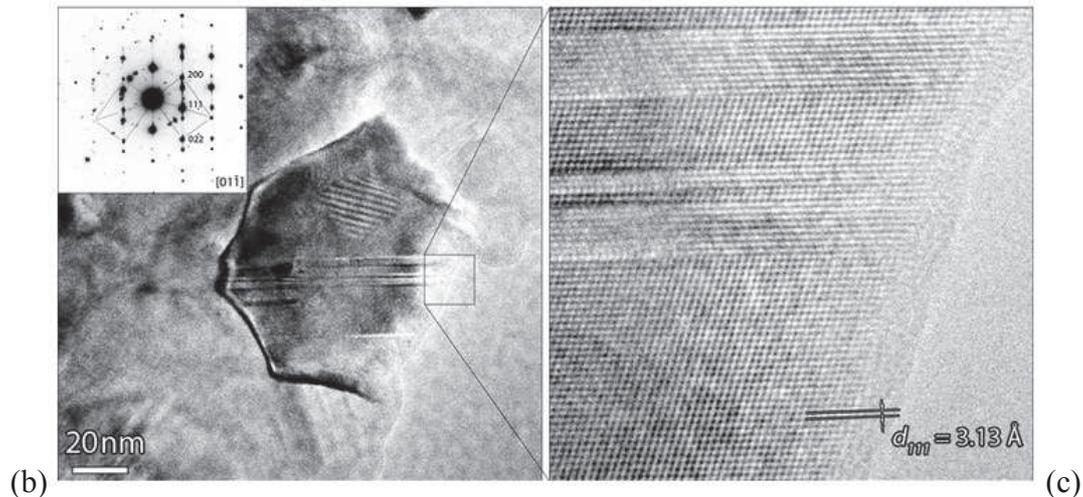


Figure 9: Observation TEM d'un échantillon de poly-Si. (a) plan large, (b) zoom sur une cristallite et (c) image HR-TEM montrant les plans (111) et la présence de macles. Les cadres montrent les clichés de diffraction correspondants.

Ces observations nous ont permis de mettre en évidence une cristallisation de la couche de silicium lorsque que l'on applique des tirs laser sous interférences laser 4 faisceaux. Cependant, nous n'avons pas pu estimer de taux résiduel de Si amorphe dans le Si cristallisé.

2.4. Révélation joints de grain

Afin de pouvoir observer les grains au MEB, nous avons dû préalablement réaliser une opération de révélation des joints de grains. Pour cela nous avons utilisé la méthode dite gravure SECCO [18]. Cela consiste en un mélange d'une solution mère de dichromate de potassium ($K_2Cr_2O_7$) avec de l'acide fluorhydrique (HF à 49%) et de l'eau.

La Figure 10 montre les observations MEB réalisées après 5s de gravure dans la solution SECCO, à deux échelles différentes.

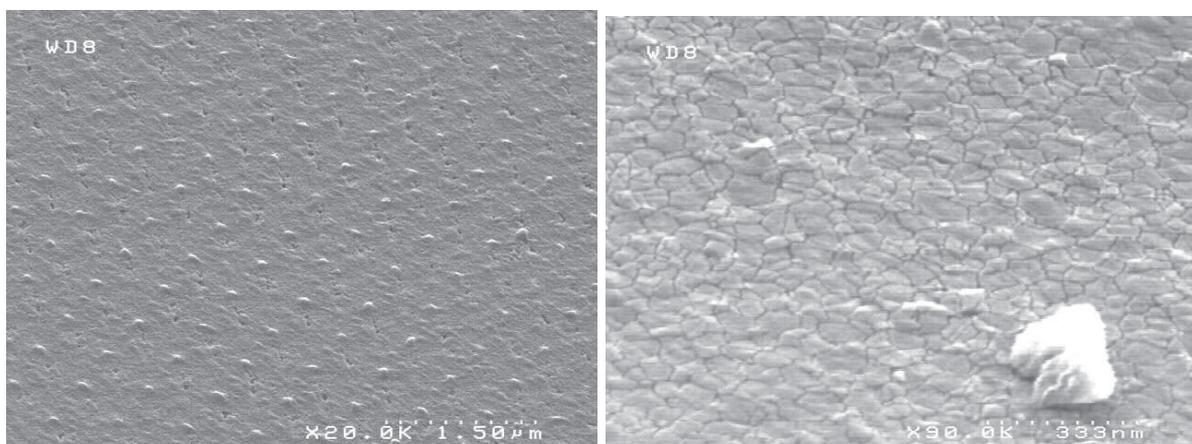


Figure 10: Observation MEB des joints de grains après application d'une solution mère de $K_2Cr_2O_7$ (gravure SECCO [19]) pendant 5s.

L'image présentant la plus grande échelle montre les germes créés par les tirs lasers, séparés d'une distance de 652 nm (photo de gauche), distance correspondant au pas du réseau CFC obtenu par les interférences laser 4 faisceaux. L'image de droite a été prise avec une échelle plus petite.

Dans ces conditions, on constate que la couche semble entièrement constituée de grains cristallisés. Les grains observés ont une taille de l'ordre de 80 nm. Ces mesures ne sont cependant pas suffisantes pour affirmer que la couche est entièrement cristallisée sous forme de grains et joints de grains. Les TFTs que nous souhaitons fabriquer présentent des canaux conducteurs mesurant 80 ou 130 μm , ce qui représente 123 ou 200 germes par TFTs. Si la couche s'avère effectivement entièrement cristallisée avec des grains d'environ 80 nm, cela représenterait 1000 ou 1625 grains par TFTs. Des mesures Raman ou d'ellipsométrie permettrait de statuer sur la présence de silicium amorphe ou le taux de cristallinité de la couche.

3. Fabrication de TFTs

3.1. Conditions de cristallisation

Après avoir vérifié, par différentes méthodes, que nous arrivions à cristalliser la couche de silicium amorphe, nous avons décidé de cristalliser un substrat non découpé dans un carré de 100 * 100 mm sous différentes conditions dans le but de réaliser des TFTs circulaires.

Les conditions appliquées sur les plaques sont les suivantes :

- C1, C2, C3 : $P = 120 \text{ mJ/cm}^2$ et 5, 10, 20 pulses respectivement.
- C4, C5, C6 : $P = 90 \text{ mJ/cm}^2$ et 5, 10, 20 pulses respectivement.
- C7, C8, C9 : $P = 60 \text{ mJ/cm}^2$ et 10, 20, 50 pulses respectivement.
- C10 : $P = 120 \text{ mJ/cm}^2$ en balayage à une vitesse de 0.5 cm.s^{-1} .
- C11 : $P = 90 \text{ mJ/cm}^2$ en balayage à une vitesse de 0.5 cm.s^{-1} .
- C12 : $P = 120 \text{ mJ/cm}^2$ en balayage à une vitesse de 2 cm.s^{-1} .
- C13 : $P = 120 \text{ mJ/cm}^2$ en balayage à une vitesse de 1 cm.s^{-1} .
- C14 : $P = 90 \text{ mJ/cm}^2$ en balayage à une vitesse de 1 cm.s^{-1} .

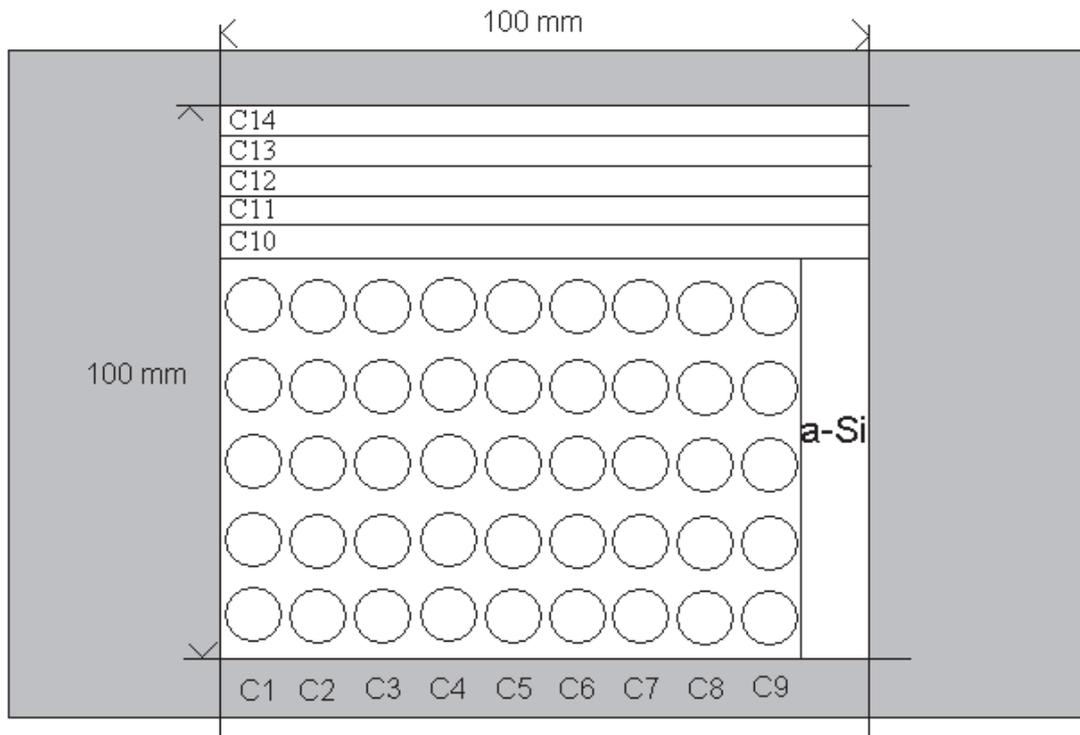


Figure 11: Représentation de la cristallisation d'un échantillon sous différentes conditions

La figure 11 représente la situation de chaque condition de cristallisation sur la plaque. Une zone est restée vierge de toute cristallisation afin de pouvoir conserver une référence de silicium amorphe lors de la fabrication des TFTs.

3.2. Procédé de fabrication de TFTs circulaires

Les étapes du procédé de fabrication envisagé sont représentées sur la Figure 12.

1. Dépôt PECVD de a-Si :H réalisé sur le substrat de verre.
2. La couche est déshydrogénée afin d'éviter tout phénomène « d'éclatement » de la couche lors de la cristallisation.
3. Cristallisation par interférences laser selon les conditions indiquées dans §3.1§.
4. Préparation de la surface avant le dépôt de l'oxyde de grille. Pour cela, on réalise un nettoyage à l'aide d'un mélange H_2SO_4/H_2O_2 (2/3 ;1/3) puis on rince en QDR et on sèche sous N_2 .
5. Dépôt par PECVD de l'oxyde de grille SiO_2 de 100 nm d'épaisseur pleine plaque, à une température de 320°C.
6. Dépôt du métal de grille. Dans notre cas, on pulvérise 200 nm d'aluminium.
7. Recuit d'hydrogénation à $T = 450^\circ C$, dans une atmosphère de H_2 (4%) N_2 pendant 30min, qui permet de passiver les liaisons pendantes.

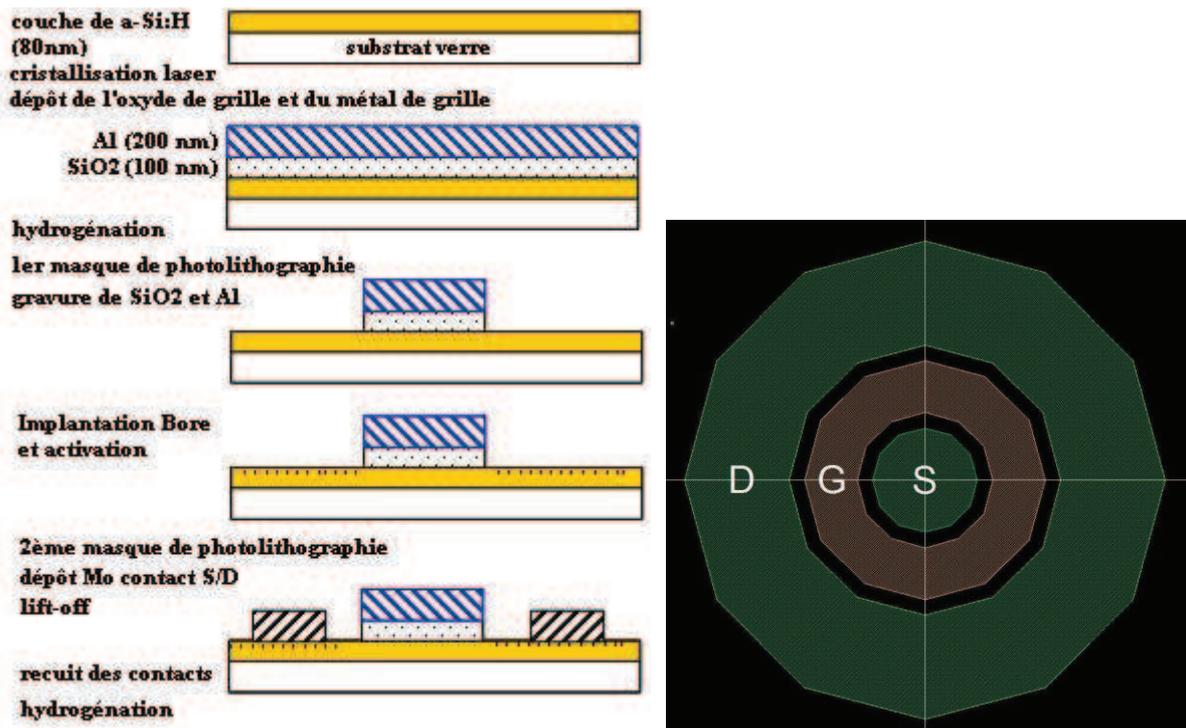


Figure 12: Schéma des étapes du procédé de fabrication des TFTs circulaires et vue de dessus

8. 1^{ère} étape de photolithographie : étalement de la résine (JSR420) à la tournette. Insolation avec le masque de grille puis développement. Gravure du contact de grille en Alu Etch, à $T = 30^{\circ}\text{C}$ pendant 2min. Le stripping de la résine est réalisé à l'aide d'un mélange acétone/alcool. Gravure de la couche de SiO_2 en gravure sèche RIE (Reacting Ion Etching), sélective sur Si, avec un mélange CHF_3 (50 sccm) + O_2 (3 sccm).
Afin de vérifier que les gravures de grille et d'oxyde se sont bien passées, on réalise une mesure de marche au profilomètre.
9. Implantation des ions dopants Bore pour réaliser les contacts de source/drain. L'implantation a lieu avec une énergie $E = 10\text{keV}$ et une dose d'ions implantés de 10^{15} at/cm². Afin d'activer les dopants, on procède, dans notre cas, à un recuit laser. En effet, recuit thermique ne peut-être utilisé du fait de la présence du contact de grille en Al et du substrat de verre. Le recuit laser est réalisé à puissance réduite pour ne pas cristalliser la couche et affecter les résultats de cette étude.
L'activation des dopants étant une étape critique, des mesures TLM (Transmission Line Method) sont réalisées avant et après le recuit laser afin de vérifier que l'activation des dopants s'est bien passée.
10. 2^{ème} étape de photolithographie : étalement de la résine négative JSR 335 d'une épaisseur de $5\mu\text{m}$. Insolation avec le masque S/D puis développement.
11. Dépôt de Mo des contacts S/D d'une épaisseur de 100 nm en pleine plaque par pulvérisation cathodique

12. Lift-off pour éliminer le Mo qui ne sert pas à nos contacts S/D. Le stripping de la résine se fait en plongeant la plaque dans un bain d'acétone pendant 15 min puis à l'aide d'un jet d'acétone.
13. Recuit afin d'améliorer l'ohmicité des contacts.
14. Pour finir, une dernière étape d'hydrogénation est réalisée pour passiver les défauts. Afin de s'assurer que le procédé de fabrication s'est bien passé on réalise des mesures électriques afin de vérifier le bon fonctionnement des TFTs obtenus.

3.3.Problèmes rencontrés lors du procédé de fabrication

Lors du procédé de fabrication nous avons rencontré des problèmes lors du dépôt des contacts S/D. En effet, lors de l'opération de lift-off, la résine s'est craquelée, ce qui a entraîné le passage de Mo à l'intérieur de la résine. Par conséquent, lors du retrait de résine par lift-off, du Mo est resté en contact avec les différentes couches en surface, aussi bien sur le poly-Si que sur le métal de grille. Des lors, nous avons recyclé les plaques en réalisant une gravure Alu Etch de 40s afin d'éliminer le Mo. La Figure 13, qui est une observation au microscope optique, montre l'état de la plaque après la gravure Alu Etch du Mo. On voit que quelques traces de Mo sont encore visibles.

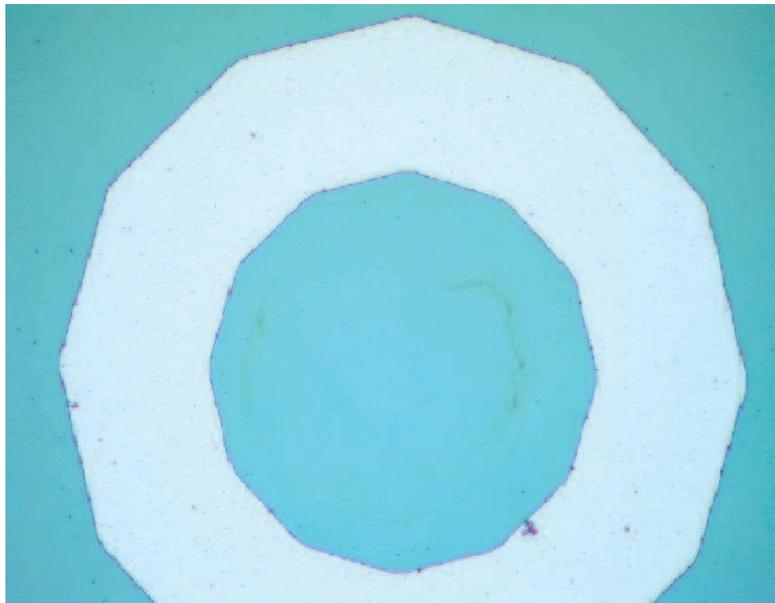


Figure 13: Observation au microscope optique d'une plaque après recyclage post lift-off. On peut encore apercevoir quelques traces de Mo au centre de l'image.

Afin de ne pas reproduire ce genre d'infiltration de Mo dans la résine lors du lift-off, nous avons opté pour une autre méthode. Nous avons décidé de réaliser une nouvelle étape de photolithographie : dépôt HMDS en étuve, étalement de résine négative THB 151 d'une épaisseur d'environ 20 μm , insolation avec le masque S/D et développement. Ensuite nous avons réalisé un dépôt de Mo de 200 nm d'épaisseur et procédé à des tests de gravure Alu

Etch sur des plaques tests. Cela nous a permis de constater que la gravure ne se réalisait pas de manière satisfaisante comme le montre la Figure 14.

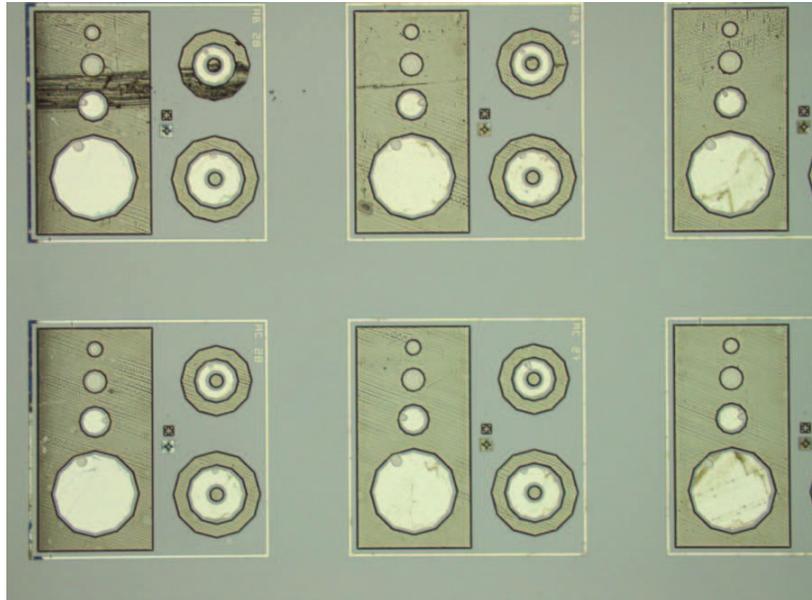


Figure 14: Observation au microscope optique d'une plaque test après gravure du Mo S/D en Alu Etch.

A partir de cette observation, on remarque la gravure n'est pas satisfaisante puisqu'elle a attaqué le métal de grille.

Par conséquent nous avons opté pour une gravure sèche RIE avec un mélange $\text{SF}_6 / \text{CH}_3$ pendant 2 min. Cependant, il s'est avéré qu'une mesure de marche réalisée sur un motif TFT a montré que nous avons gravé tout le poly-Si. Le profil de la gravure SF_6 mesuré au profilomètre est présenté sur la Figure 15.

On constate bien que la couche de poly-Si a été gravée entre les contacts de source, de drain et de grille.

Cette observation s'explique du fait de la vitesse de gravure du poly-Si sous SF_6 , environ 8 nm/s, qui n'a pas été prise en compte lors de la gravure. Afin de se préserver de cette issue, nous aurions dû déposer une couche tampon de SiO_2 pour stopper la gravure et enlever la couche de SiO_2 par gravure sèche avec un mélange $\text{CHF}_3 + \text{O}_2$, comme pour la gravure de l'oxyde de grille.

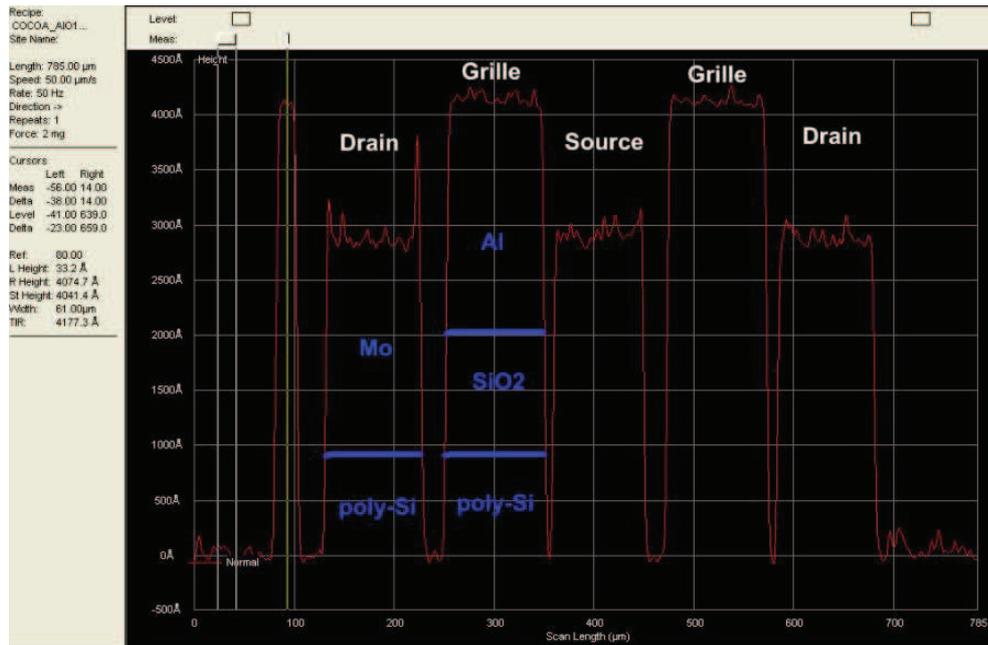


Figure 15: Profil de la gravure SF6 mesuré au profilomètre

Ce problème fut fatal à nos objectifs d'obtention de TFTs en poly-Si dans ce dernier chapitre. En effet, nous disposions de 2 plaques mais nous avons connu un autre problème sur la deuxième plaque lors du procédé de fabrication.

À défaut de pouvoir réaliser des mesures électriques sur des TFTs en poly-Si, nous avons cependant essayé de déterminer si l'activation des dopants par recuit laser a été efficace. Cela s'est fait sur la base de mesures TLM

4. Mesures TLM : vérification de l'activation des dopants après implantation

L'implantation de dopants dans la couche active joue un rôle important au niveau des contacts de source/drain car il permet d'obtenir de faibles résistances de contacts afin d'avoir un meilleur courant de drain lorsque que le TFTs est en opération. L'opération consiste à introduire des atomes ionisés projectiles avec suffisamment d'énergie pour pénétrer dans la couche. Cette pénétration des ions dopants ne s'effectue qu'en surface. Lors de l'étape d'implantation, le bombardement de la couche cristallisée endommage la structure cristalline du fait de la taille des ions implantés et de l'énergie cinétique dont ils disposent lorsqu'ils pénètrent la couche. Il se produit alors un phénomène d'amorphisation de la couche sur quelques nanomètres. L'implantation de dopants en elle-même crée déjà une certaine ohmicité des contacts, cependant, les dopants ne sont pas « activés », ce qui signifie qu'ils ne sont pas dans des sites substitutionnels et leur contribution demeure minime. Afin de restituer la cristallinité de la couche et d'activer les dopants, on réalise un recuit thermique ou un recuit laser. Cela permet une redistribution des atomes dopants ainsi qu'une modification du profil

de dopage par diffusion, ainsi que l'activation des dopants implantés par diffusion dans des sites substitutionnels.

Dans notre cas, nous avons vérifié l'activation de nos dopants à l'aide de mesures TLM (Transmission Line Method) à partir desquelles nous pouvons extraire la résistance de contact et la résistivité de la couche. La Figure 16 montre le motif TLM. Les plots mesurent $100 \times 60 \mu\text{m}$ et les distances entre plots consécutifs sont de $15 \mu\text{m}$, $25 \mu\text{m}$, $40 \mu\text{m}$, $50 \mu\text{m}$ et $100 \mu\text{m}$ respectivement. Ces mesures ont été réalisées sur des substrats inox sur lesquels il y avait poly-Si et non sur nos substrats en verre. Cela est dû au fait que nous n'avions pas de motifs TLM sur les masques que nous utilisons pour la fabrication de nos TFTs circulaires.

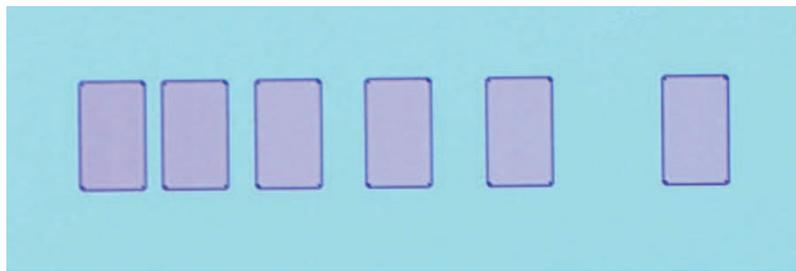


Figure 16: Motif TLM utilisé pour vérifier l'activation des dopants.

4.1.1. Mesures TLM avant recuit

Après avoir réalisé des mesures I-V entre chaque plot consécutif, on extrait une résistance de ces mesures. Dans un second temps, on trace les résistances extraites en fonction de la distance entre plots consécutifs. A l'aide d'une courbe de tendance, on trouve la valeur $2 R_c$, soit deux fois la résistance de contact, qui correspond à la valeur de la résistance pour une distance nulle ($x = 0$).

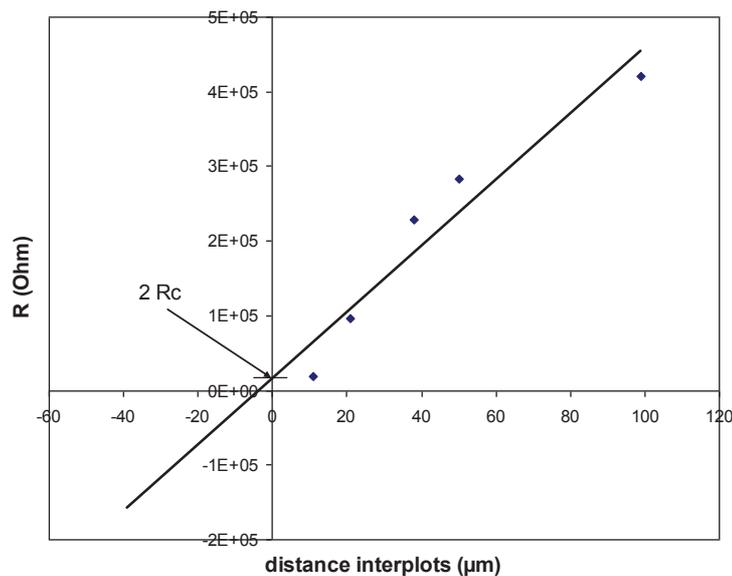


Figure 17: Résistance en fonction de la distance interplots avant recuit laser.

La Figure 17 montre le graphe obtenu sur un motif TLM. Comme on peut le constater, la corrélation de la courbe de tendance n'est pas très bonne ($R^2 = 0.92$). Nous ne nous hasarderons donc pas à extraire une valeur de résistance de contact.

4.1.2. Mesures TLM après recuit

Le recuit laser a été réalisé dans les conditions suivantes : sans interférence, à une densité d'énergie de 40 mJ/cm^2 , 4 pulses. La Figure 18 montre les résistances en fonction de la distance entre plots consécutifs.

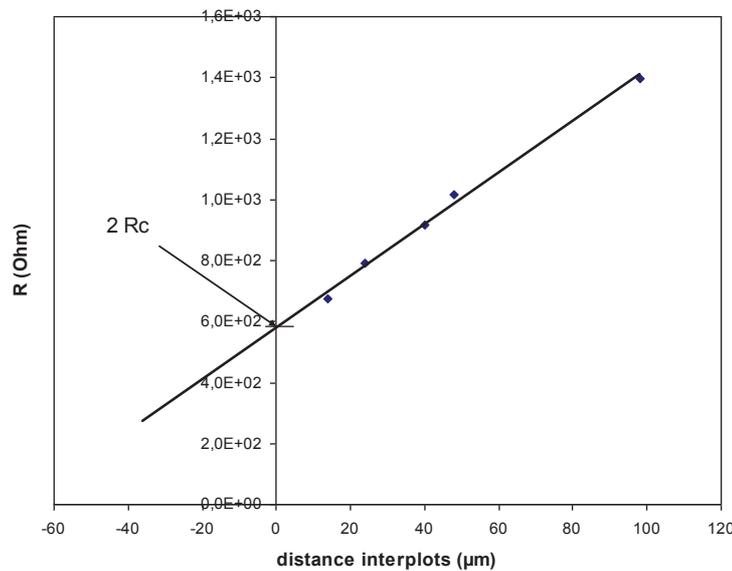


Figure 18: Résistance en fonction de la distance interplots avant recuit laser.

Après recuit, la corrélation n'est pas trop mauvaise ($R^2 = 0.99$). Nous avons donc extrait à partir du graphe de la Figure 18 une résistance de contact $R_c = 290 \Omega$.

Tableau 1: Paramètres extraits à partir de la Figure 18.

| | | |
|--|---------------------------------|--|
| Résistance de contact R_c Ordonnée à $x=0$: $2R_c$ (R_c : Résistance de contact) | 579,24 | R_c (Ω) 289,62 |
| Longueur de transfert L_t abscisse à $y=0$: $2L_t$ L_t : longueur de transfert | 68,31 | L_t (μm) 34,15 |
| critère: $L > 1,5 L_t$, d'où $p_c = R_c \times L_t \times Z$ | | |
| Résistance spécifique de contact p_c $p_c = R_c \times L_t \times Z$ | | p_c ($\Omega \cdot \text{cm}^2$) 5,93E-03 |
| Résistance carrée R_{\square} pente = $R_{\text{carrée}} / Z$ d'où | | R_{\square} (Ω / \square) 508,80 |
| Résistivité de la couche dopée P- $\rho = R_{\text{carrée}} \times \text{épaisseur}$ e (nm) | μm 80 0,000008 | ρ_p ($\Omega \cdot \text{cm}$) 4,07E-03 |

On retrouve les autres paramètres extraits à partir de cette figure dans le Tableau 1. Ces valeurs correspondent aux résultats obtenus dans le cadre de l'activation des dopants à l'aide d'un laser excimère standard. Nous pouvons donc considérer que l'activation des dopants à l'aide du laser solide Nd-YAG, utilisé pour la cristallisation de nos couches, a été efficace.

5. Conclusion

Dans ce chapitre, nous avons évalué une nouvelle méthode de cristallisation du silicium amorphe par interférométrie laser 4 faisceaux. Cette technique fut utilisée dans la thèse de M. Salaün [14] pour la croissance d'oxydes métalliques par photolyse dans un réseau d'interférences 3D. Dans notre cas, nous avons utilisé cette technique afin de cristalliser le silicium amorphe en une structure CFC avec un pas de 652 nm. Notre objectif était de montrer la faisabilité d'obtenir des TFTs en poly-Si présentant une bonne homogénéité spatiale, ce qui est une problématique majeure des technologies poly-Si actuelles.

Dans un premier temps, nous avons réalisé différentes analyses structurales sur nos échantillons qui montrent que nous avons bien réussi à cristalliser la couche de a-Si dans un système CFC. En effet, les observations au microscope optique ont montré une structuration de la couche amorphe et les transformées de Fourier ont révélé une structure CFC. L'analyse de l'expérience de diffraction des rayons X a montré également la présence, dans une moindre mesure, des pics de diffraction des plans cristallins (111), (220) et (311) du silicium cristallin. Cependant, la quantité de matière étant réduite, les pics de diffraction ne sont pas très nets. Nous avons alors réalisé des observations TEM qui nous ont permis d'observer des cristaux d'environ 80 nm, les clichés de diffraction révélant également une structure CFC. Nous avons également pu observer au MEB la présence de cristaux dans la couche après révélation des joints de grain suite à une gravure SECCO. Les observations ont montré que la couche de a-Si présente une couche continue de grains et nous avons également vu la présence de ce qui pourrait être des germes de Si cristallin distants de 652 nm.

Dans un second temps, nous avons voulu réaliser des transistors circulaires à partir de plaques cristallisées à l'aide des interférences 4 faisceaux. Malheureusement, des problèmes dans le procédé de fabrication nous ont empêché de réaliser ces transistors. Nous avons cependant pu montrer que nous activions les dopants implantés suite à un recuit laser avec le laser utilisé pour la cristallisation des couches amorphes.

Au final, malgré le fait que nous n'ayons pu réaliser des TFTs circulaires à base de poly-Si obtenu par interférences laser 4 faisceaux, nous avons montré que cette technique permettait effectivement d'obtenir une cristallisation de la couche amorphe en un système CFC. Cette technique est donc prometteuse mais nécessiterait un travail supplémentaire significatif pour démontrer son intérêt réel pour la réalisation de matrices actives pour écrans OLED de grandes dimensions.

REFERENCES

- [1] G.K. Giust et al, “*High-performance laser processed polysilicon thin-film transistors*”, IEEE Electron Device Letters, vol.20, pp. 77-9, 1999.
- [2] A. Hara et al, “*High performance low temperature polycrystalline silicon thin film transistors on non-alkaline glass produced using diode pumped solid state continuous wave laser lateral crystallization*”, Jpn J. of Appl Phys, Part 1, vol. 43, pp. 1269-76, 2004.
- [3] C. E. Nebel, S. Christiansen, H.P. Strunk, B. Dahlheimer, U. Karrer and M. Stutzmann, “*Laser-Interference Crystallization of Amorphous Silicon: Applications and Properties*”, Phys. Stat. Sol. (a), vol. 166, pp. 667-74, 1998.
- [4] Y. Helen, “*Transistors en couches minces de silicium : de la cristallisation en phase solide à la cristallisation laser*”, Thèse de doctorat, Université de Rennes I, 2000.
- [5] J. Stoemenos et al., “*Microstructure of poly-Si obtained by rapid thermal annealing of amorphous silicon films*”. Solid State Phenomena, Vol. 37, N° 38, p. 287, 1994.
- [6] S. Y. Yoon et al., « *Low temperature metal induced crystallization of amorphous silicon using a Ni solution* », Journal of Applied Physics 82 (1997), no. 11, p. 5865–5867
- [7] E. Fogarassy et al, “*Super-lateral-growth regime analysis in long-pulse-duration excimer laser crystallization of Si-a films on SiO₂*”, Appl. Phys A, vol.68, Issue 6, pp.631-635, 1999.
- [8] K. Kis-Sion, T. Mohammed-Brahim et al, “*Single shot excimer laser crystallization of silicon films deposited by LPCVD*”, Thin solid Films 296, pp.53-56, 1997.
- [9] B. Esmiller, V. Baudinaud, “*Reformation de surfaces de matériaux métalliques par laser à excimères ou laser à vapeur de cuivre*”, Annales de physique, colloque C1, supplément n°1/2, vol.22, C1-205–C1-212, 1997.
- [10] P. Mei, J.B. Boye et al, “*Pulsed laser crystallization and doping for thin-film transistors*”, J. of Non-Cryst. Solids 266-269, pp.1252-1259, 2000.
- [11] J.B. Boyce, R.T. Fulks et al, “*Laser processing of amorphous silicon for large-area polysilicon imagers*”, Thin Solid Films 383, pp.137-142, 2001.

- [12] J.S. Im, H.J. Kim, M.O. Thompson, "Phase transformation mechanisms involved in excimer laser crystallization of amorphous silicon films", *Appl. Phys. Lett.* 63, p. 1969, 1993.
- [13] D. Murley et al., "*An Investigation of Laser Annealed and Metal-Induced Crystallized Polycrystalline Silicon Thin-Film Transistors*", *IEEE Trans. on Electron. Devices*, vol. 48, n° 6, pp. 1145-51, 2001
- [14] M. Duneau, F. Delyon, and M. Audier, "Holographic method for a direct growth of three-dimensional photonic crystals by chemical vapor deposition", *J. of Appl. Phys.* 96, pp. 2428, 2004.
- [15] M. Salaün, "croissance d'oxydes métalliques par photolyse dans un réseau d'interférences 3D", Thèse de doctorat, INP Grenoble, 2008
- [16] M. Campbell et al., "*Fabrication of photonic crystals for the visible spectrum by holographic lithography*", *Nature* vol. 404, pp.53-56, 2000.
- [17] Y. V. Miklyaev et al., "*Three-dimensional face-centered-cubic photonic crystal templates by laser holography: fabrication, optical characterization, and band-structure calculations*", *Applied Physics Letters*, vol. 82, pp. 1284-86, 2003.
- [18] J. Brochet et al., "*A New Method for Silicon Crystallization: 3D Laser Interferences for Thin-Film Transistors Applications*" accepté pour publication dans le Proceedings of The EuroDisplay 2011 Conference, Bordeaux, France, septembre 2011.
- [19] F. Secco d'Aragona, "*Dislocation Etch for (100) Planes in Silicon*", *J. Electrochem. Soc.*, vol. 119, p. 948, 1972.

Conclusion générale

Le sujet de cette thèse est l'étude de TFTs en silicium polymorphe pour des applications aux écrans plats à matrice active LCD et OLED. Dans un premier temps, nous avons rappelé pourquoi nous nous intéressions au silicium polymorphe comme matériau de la couche active des TFTs pour des applications aux écrans plats à matrice active LCD et OLED. En effet, une étude précédente avait montré le potentiel du silicium polymorphe, à cause de sa meilleure stabilité électrique par rapport au silicium amorphe [1].

Au terme de ces trois années de thèse, nous avons mené cette étude selon différents angles :

- étude du courant OFF,
- étude la stabilité des TFTs sous stress électriques et
- analyse structurale du silicium polymorphe.

La dernière année de thèse a été consacré à l'étude de la cristallisation du silicium amorphe par interférométrie laser 4 faisceaux.

Etude électrique des TFTs en silicium polymorphe

La première étude que nous avons réalisée sur les TFTs à base de pm-Si:H concernait le courant OFF. Nous avons alors mis en évidence un courant OFF aussi faible pour les TFTs en pm-Si:H que pour les TFTs en a-Si:H, de l'ordre de quelques nA. Ce courant est contrôlé par un mécanisme de type Poole-Frenkel. Le courant OFF est plus faible que pour les TFTs à base de $\mu\text{c-Si:H}$ car les mécanismes mis en cause sont différents. Les TFTs en $\mu\text{c-Si:H}$ ont un courant OFF supérieur de plusieurs décades au courant OFF des TFTs en pm-Si:H à cause de courant de canal arrière et de courant tunnel. Cela montre que le matériau polymorphe n'est pas aussi sensible aux étapes du procédé de fabrication que le silicium microcristallin (contamination à l'oxygène). Ces premiers éléments ont montré l'intérêt d'utiliser le silicium polymorphe dans la fabrication de matrice active LCD ou OLED

Nous nous sommes ensuite intéressés à un critère très important pour l'utilisation des TFTs dans le domaine des écrans plats AM-LCD et AM-OLED : la stabilité électrique. L'objectif était d'évaluer les différents mécanismes responsables de la dérive de la tension de seuil ΔV_T lorsque les TFTs à base de silicium polymorphe sont stressés électriquement sous différentes conditions de température et de tensions de grille et de drain. Les mécanismes responsables de cette dérive pour les TFTs en a-Si:H sont la création de défauts dans la couche active et le piégeage de charge dans l'isolant de grille (du nitrure de silicium dans notre cas) qui sont des mécanismes compétitifs. Cette étude a été menée par l'intermédiaire de

l'analyse des courbes de transfert et de modélisation avec une équation de type exponentielle étirée. Pour les TFTs en pm-Si:H, à température ambiante, nous avons mis en évidence que **la création de défauts est responsable de ΔV_T lorsque les TFTs sont stressés avec des tensions de grille de l'ordre de 12V**, alors que **le piégeage de charges est responsable de la dérive de la tension de seuil lorsque que l'on stresse les TFTs avec des tensions de grille de 30V**. Le cas intermédiaire avec une tension de grille de 20V a montré que la création de défauts est responsable de ΔV_T pour les temps de stress courts (jusqu'à 10^4 s) alors que le piégeage de charges devient dominant pour les temps de stress plus longs. Les mesures de stabilité en fonction de la température ont montré que le piégeage de charges devenait dominant à $V_G = 12V$ pour les temps de stress longs, ce qui montre que bien **la compétition des deux mécanismes**. Elles ont également confirmé que le piégeage de charges domine pour les tensions de grille élevées. Nous avons également réalisé des mesures relaxation et de récupération par stress électrique inverse (reverse bias annealing) afin de voir si l'on pouvait récupérer les courbes de transfert initiales après un stress ce qui est possible lorsqu'il y a piégeage de charges dans le nitrure de grille ou à l'interface couche active/nitrure de grille. Ces mesures ont montré leur efficacité dans le cas du reverse bias annealing alors que dans le cas des expériences de relaxation, nous avons vu que les TFTs ne récupéraient pas entièrement leur caractéristiques initiales. Cela indique que le mécanisme majoritairement responsable de ΔV_T est le piégeage de charge dans le nitrure de grille.

Nous avons également comparé le comportement de TFTs en pm-Si:H et a-Si:H lors de stress électriques identiques et nous avons observé une meilleure stabilité des TFTs en pm-Si:H. Ces différences se sont un peu atténuées lorsque les stress ont été réalisés sur des TFTs en a-Si:H et pm-Si:H ayant vu le même procédé de fabrication à l'exception du dépôt de la couche active. Cependant la stabilité reste meilleure pour les TFTs en pm-Si:H : pour un stress à $V_G = 20V$ de 8h, à température ambiante, $\Delta V_T = 3V$ contre $\Delta V_T = 5,2V$ pour un TFT en a-Si:H stressé dans les mêmes conditions.

Le silicium polymorphe possède donc de meilleures propriétés électriques que le silicium amorphe et offre une vitesse de dépôt supérieure. Cependant, La dérive de V_T observée lors des stress réalisés sur les TFTs en pm-Si:H reste assez importante, surtout pour des tensions de grille élevées, ce qui est un inconvénient majeur pour une utilisation dans les écrans plats AM-OLED.

Analyse structurale du silicium polymorphe

Dans un second temps, nous avons réalisé une analyse structurale du matériau polymorphe. Ce matériau est connu comme étant composé de cristallites de Si de quelques nanomètres de diamètre encapsulés dans une matrice de silicium amorphe relaxée. Nous nous sommes donc demandé quelle était la cristallinité de cette couche ? Qu'est-ce qui explique, au niveau structural, les différences observées lors de stress électriques sur des TFTs en a-Si:H et pm-Si:H issus du même lot ? Y a-t-il un signal particulier montrant que la matrice amorphe est relaxée ? Pour répondre à ces questions nous avons réalisé une expérience Raman qui ne nous

a pas permis d'isoler un signal différent de ce que l'on observe dans le cas du a-Si:H. Le signal ne présentant qu'un pic centré à 480 cm^{-1} , ce que l'on observe généralement pour le silicium amorphe, et qui ne nous a pas permis d'extraire un pourcentage de cristallisation de la couche comme cela est possible pour le $\mu\text{-Si:H}$. Nous avons alors réalisé des observations TEM qui nous ont permis de montrer des différences structurales entre le a-Si:H et le pm-Si:H. En effet, nous avons observé **la présence de zones plus organisées, semblant s'étendre dans l'ensemble de la couche, avec quelques nano cristaux présents dans toute la couche de pm-Si:H**. De même, les transformées de Fourier obtenues à partir de ces observations TEM révèlent la présence de cristallites dans les couches et mettent également en évidence des différences entre les deux échantillons. Nous avons conclu notre analyse structurale du pm-Si:H par une expérience menée au Synchrotron de l'ESRF. Nous avons mené une expérience de diffraction des rayons X combiné à une analyse PDF (Fonction de Distribution de Paires). L'étude menée à une énergie de 25keV ne nous a pas permis d'isoler un signal particulier du pm-Si:H car les rayons X pénétraient trop dans la couche et le signal obtenu était principalement celui du substrat de verre. Nous avons donc recommencé cette expérience à une énergie plus faible, $E = 7\text{keV}$ et à plusieurs incidences du faisceau de rayons X. Cela nous a permis de montrer la **différence de signal entre les diagrammes de diffraction du a-Si:H et du pm-Si:H, ce qui indique une différence de microstructure entre les deux matériaux**. De même, à l'aide de la méthode PDF, nous avons pu montrer que **le silicium polymorphe présente un ordre à plus grandes distances que le silicium amorphe, ce qui est cohérent avec les résultats des mesures électriques issus de la caractérisation de TFTs**.

Cristallisation du silicium par interférométrie laser 4 faisceaux

Pour finir, nous avons évalué une technique de cristallisation laser du silicium amorphe. Contrairement aux méthodes déjà existantes, il ne s'agit pas de cristallisation à faisceau homogène à l'aide d'un laser excimère mais de cristallisation par interférences laser 4 faisceaux à l'aide d'un laser solide Nd-YAG et d'un interféromètre. Les interférences forment un réseau cubique face centrée (CFC) qui, par conséquent, structure la couche de a-Si dans un système CFC. Nous avons réalisé différentes analyses sur les couches traitées par laser. Les observations au microscope optique ont montré que la **couche de silicium était bien structurée dans un système CFC**, ce qui est confirmé par les transformées de Fourier de ces images. Dans un second temps nous avons réalisé des expériences de diffraction de rayons X qui ont mis en évidence la présence, dans une moindre mesure, des pics correspondants aux **plans cristallins (111), (220) et (311)** du Si cristallin. Nous avons également réalisé des observations TEM qui nous ont permis d'observer des **cristaux de Si d'environ 80 nm** confirmant ainsi que la couche de a-Si est bien cristallisé suite à des tirs laser en interférences 4 faisceaux. La révélation de joints de grain nous a permis d'observer ce qui semble être des germes de Si cristallins séparés d'une distance de 652 nm, ce qui correspond au pas du réseau d'interférences. Ces observations nous ont également permis de constater que **la couche de**

silicium traitée par laser semble présenter une couche continue de grains et de joints de grains.

Par la structuration de la couche en réseau CFC de points chauds et froids nous attendons la création d'une régularité/périodicité de la taille de grains sur la plaque, ce que nous avons voulu vérifier par la réalisation de TFTs. Nous avons donc voulu réaliser des TFTs circulaires avec le matériau obtenu. Cependant, des problèmes rencontrés lors du procédé de fabrication ne nous ont pas permis d'obtenir des TFTs dans le cadre de cette thèse. Nous avons cependant pu montrer l'efficacité de l'activation des dopants à l'aide du laser utilisé pour la cristallisation de nos couches.

Au final, au cours de cette thèse, nous avons :

- contribué à la connaissance du matériau silicium polymorphe, de par sa composition structurale et les mécanismes de fonctionnement des TFTs en pm-Si:H.
- montrer l'intérêt potentiel d'une nouvelle technique de cristallisation du silicium amorphe pour réaliser des matrices actives OLED grande surface performantes.

[1] F. Templier, M. Oudwan et P. Roca i Cabarrocas, "*Improvement of threshold voltage stability with bottom-gate polymorphous silicon Thin-Film Transistors*", Proceedings of International Transistors Conference 07, SID Mid-Europe Spring meeting, Rome, Italie, 2006

Perspectives

Silicium polymorphe

Dans le but de diminuer la dérive de la tension de seuil, l'optimisation des dépôts du nitrure de grille et du silicium polymorphe, ainsi que la préparation de surface avant ce dernier dépôt pourrait permettre, d'une part, de diminuer le piégeage de charges dans le nitrure, et d'autre part d'améliorer l'interface $\text{SiN}_x/\text{pm-Si:H}$.

Au niveau des caractérisations électriques, il pourrait être intéressant d'observer le comportement des TFTs en pm-Si:H sous stress électrique en régime alternatif. De même, l'application de stress à courant continu pourrait également nous apporter d'intéressantes informations sur la contribution des différents mécanismes responsables de la dérive de la tension de seuil selon les conditions de stress appliquées.

Silicium cristallisé par interférométrie laser

Il serait intéressant de mener de nouvelles analyses structurales afin de connaître le taux de cristallinité de la couche après traitement laser et de savoir si la cristallisation a lieu dans toute la couche de silicium, comme par exemple des mesures d'ellipsométrie et Raman.

De même, reproduire le procédé de fabrication utilisé dans le cadre de ce travail de thèse, en modifiant l'étape de définition des contacts de source/drain, afin d'obtenir des TFTs en poly-Si obtenu par interférométrie laser permettrait de confirmer l'intérêt que présente cette technique dans le but d'obtenir des TFTs en poly-Si à basse température aux propriétés homogènes sur de grandes surfaces.

«En science, la phrase la plus excitante que l'on peut entendre, celle qui annonce des nouvelles découvertes, ce n'est pas "Eureka" mais c'est "drôle".»

«Pour réussir, il ne suffit pas de prévoir. Il faut aussi savoir improviser.»

Isaac Asimov

Etude de transistors en couches minces à base de silicium polymorphe pour leur application aux écrans plats à matrice active LCD et OLED

Résumé :

Ce travail a pour objectifs d'apporter des connaissances au niveau des propriétés électriques de transistors en couches minces (TFTs) à base de silicium polymorphe (pm-Si:H), ainsi qu'au niveau de la structure du matériau polymorphe. Nous nous sommes également intéressés à une nouvelle méthode de cristallisation d'une couche de silicium amorphe par interférométrie laser, qui présente un fort potentiel pour le développement de matrices actives en silicium polycristallin de grandes dimensions.

Nous avons d'abord mis en évidence un courant OFF plus faible dans les TFTs en pm-Si:H que dans les TFTs en silicium microcristallin ($\mu\text{c-Si:H}$). Nos études ont également montré que les TFTs en pm-Si:H ne sont pas, ou très peu, sujet à la contamination par l'oxygène lors du procédé de fabrication, problème rencontré dans la fabrication des TFTs en $\mu\text{c-Si:H}$. Nous avons ensuite étudié la dérive de la tension de seuil lorsque les TFTs sont stressés électriquement. Nous avons mis en évidence des résultats similaires à ceux observés dans les TFTs en silicium amorphe (a-Si:H), à savoir que la création de défauts dans la couche active est le mécanisme responsable de la dérive de la tension de seuil (V_T) pour des tensions de grille faibles et des temps de stress courts, alors que le piégeage de charges dans le nitrure de grille est responsable de la dérive de V_T lorsque les tensions de grille sont élevées et les temps de stress longs. Il s'est également avéré que les TFTs en pm-Si:H sont plus stables que les TFTs en a-Si:H.

Dans un second temps, les analyses structurales de films minces de pm-Si:H ont montré la présence de cristallites de quelques nanomètres dans la couche. De même, nous avons isolé le signal de diffraction de rayons X d'une telle couche et mis en évidence une organisation structurale à plus grande distance que pour le silicium amorphe, ce qui est cohérent avec les résultats des stress électriques.

Pour finir, nous avons étudié une méthode de cristallisation du a-Si par interférences laser 4 faisceaux. Nous avons observé une structuration périodique de la couche dans un système cubique faces centrées. Les observations TEM ont montré que la couche était bien cristallisée. Les observations MEB suite à la révélation des joints de grains ont montré ce qu'il semble être un réseau de germes de $\mu\text{c-Si}$ avec un pas de 652 nm et la présence continue de grains et de joints de grains entre ces germes.

Study of thin-film transistors based on polymorphous silicon for their application to active matrix flat panel LCD and OLED displays

Abstract:

This work aims to provide knowledge on electrical properties of thin-film transistors (TFTs) based on polymorphous silicon (pm-Si: H), and on polymorphous material structure. We also focused on a new method of crystallization of amorphous silicon layer by laser interferometry, which has great potential for the development of active matrix flat panel displays based on polysilicon.

We first identified a lower OFF current in TFTs based on pm-Si: H than in microcrystalline silicon ($\mu\text{c-Si:H}$) TFTs. Our studies have also shown that pm-Si: H TFTs do not present oxygen contamination during the fabrication process, which is a problem encountered in the fabrication of $\mu\text{c-Si:H}$ TFTs. We then studied the threshold voltage shift of pm-Si:H TFTs under electrical stress. We have found results similar to those observed in amorphous silicon TFTs (a-Si:H), namely, defects creation in the active layer which is responsible for the threshold voltage shift (ΔV_T) for low gate voltage and short times stress, and charge trapping in the gate silicon nitride is responsible for ΔV_T for high gate voltage and long time stress. We also shown that pm-Si:H TFTs are more stable under electrical stress than a-Si:H TFT.

In a second step, the structural analysis of thin films of pm-Si: H revealed the presence of crystallites about few nanometers in the polymorphous layer. Similarly, we isolated the X-ray diffraction signal of polymorphous layer and revealed a structural organization at larger range than in amorphous silicon layer, which is consistent with the results of electrical stress.

Finally, we studied a method of crystallization of a-Si by 4-beams laser interferences. We observed a periodic structure of the layer in a face-centered cubic system. TEM observations showed that the layer was well crystallized. SEM observations after revelation of grain boundaries showed what appears to be a network of $\mu\text{c-Si}$ seed with a pitch of 652 nm and the presence of a continued layer of grains and grain boundaries between these seeds.

ANNEXE

Principe de fonctionnement des Transistors en Couches Minces

Les transistors en couches minces sont des transistors à effet de champ composés de trois contacts : drain, source et grille. L'action d'un champ électrique entre la source et le drain du transistor entraîne la création d'un canal conducteur entre les deux contacts. Cette conduction formée entre le drain et la source est modulée par la polarisation de la tension appliquée sur la grille [1]. Le principe de fonctionnement d'un transistor en couches minces est similaire à celui d'un transistor à effet de champ MOS (MOSFET). Cependant, contrairement au MOSFET, les BG-TFTs ne travaillent pas en inversion mais en accumulation. En effet, dans le cas d'un BG-TFT de type N, lorsqu'on applique une tension $V_G > 0$, on provoque l'accumulation d'électrons au niveau du canal. Plus on augmente la tension de grille, plus les porteurs libres s'accumulent et vont remplir les pièges localisés dans la bande interdite jusqu'à les saturer ($V_G > V_{TH}$) et alors les porteurs libres vont participer à la conduction : nous sommes dans le régime passant.

En prenant connaissance de la Figure 1, on se rend compte que les électrons injectés traversent une première fois l'épaisseur de la couche active. Afin de faciliter cette injection, il est important d'avoir une jonction ohmique entre le contact et le canal, d'où la présence d'une couche dopée. Ensuite ces électrons qui ont atteint la zone d'accumulation traversent le canal parallèlement puis retraversent l'épaisseur de la couche active pour parvenir au drain [2]. Lors de la « traversée » du canal, les électrons vont rencontrer des pièges dus, entre autre, aux défauts présents dans la couche active mais également dus aux défauts engendrés par l'interface canal / isolant de grille. Les défauts présents dans la couche active sont soit des défauts de queue de bande (band tail states) dus aux différentes longueurs et angles entre les liaisons Si-Si, soit des états profonds (deep states) dus aux liaisons pendantes (liaisons non satisfaites).

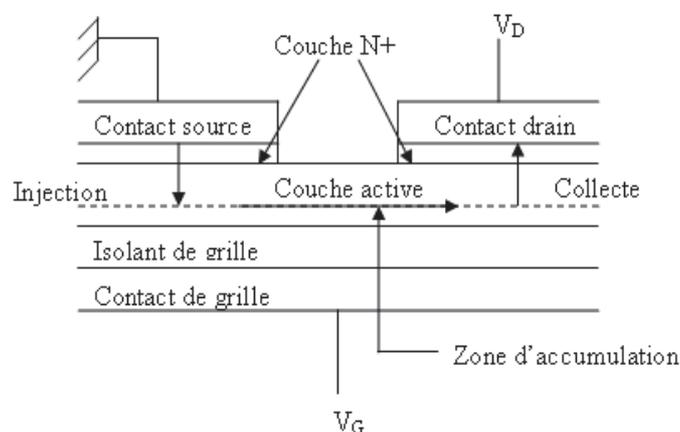


Figure 1: Vue en coupe d'un TFT BG. Illustration du parcours des électrons dans la structure

Lorsque l'on applique une tension sur le contact de grille, le comportement du courant de sortie sera différent selon que cette tension V_G sera négative, inférieure ou supérieure à la tension de seuil V_{TH} , comme le montre la Figure 2.

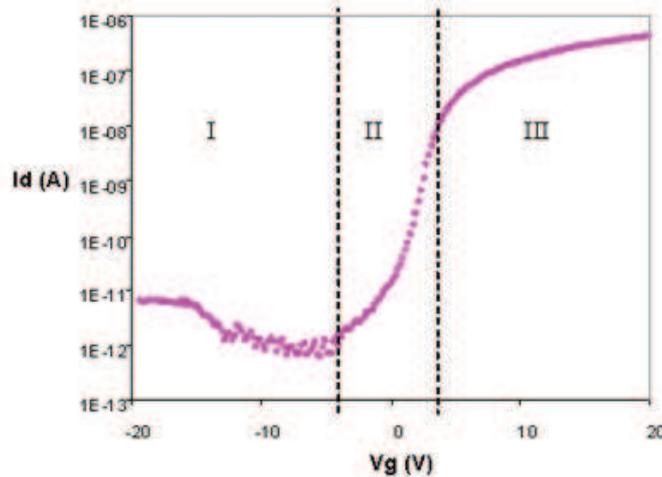


Figure 2: Evolution du courant de drain I_D en fonction de la tension de grille V_G appliquée (courbe de transfert) sur un TFT BG à canal N en pm-Si:H , $W=400 \mu\text{m}$, $L=20 \mu\text{m}$

Nous pouvons distinguer 3 zones différentes à partir de la Figure 2: la zone I pour laquelle le TFT est en régime bloqué. La zone II est une zone de transition pour laquelle la création de porteurs libres est compensée par le piégeage de ces charges dans les états présents dans la bande interdite de la couche active et que nous allons nommer le régime sous le seuil. Pour finir, la zone III qui représente le régime passant du TFT pour lequel les charges libres ne sont plus piégées et participent entièrement à la conduction. Ces différents régimes sont dus aux déplacements du niveau de Fermi par rapport à la bande de conduction induits par l'application d'une tension sur le contact de grille [3].

A présent nous allons expliquer ces différents régimes d'opération.

- **Régime bloqué**

Le régime bloqué est obtenu lorsque l'on applique une tension négative sur la grille du TFT (positive pour un TFT à canal P). Ce courant dépend de la conductivité intrinsèque de la couche active, de la présence de charges à l'arrière du canal, du courant traversant la jonction drain/couche active, de l'isolant de grille, de la passivation et aussi par la qualité du dopage N^+ qui doit permettre de bloquer les trous qui s'accumulent dans le canal, et à l'interface canal/isolant de grille, lorsque l'on applique une tension de grille positive [4]. Deux cas se distinguent : dans le premier, la tension appliquée est modérée. Elle ne permet pas d'attirer suffisamment de trous dans le canal et le courant dépend de la conductivité de la couche active [5] et des charges présentes dans le canal arrière [6]. Dans le second cas, la tension

appliquée est fortement négative (et donc largement inférieure à la tension de bande plate V_{FB}). L'accumulation de trous dans le canal devient importante et on se retrouve dans une configuration de jonction P-N au niveau des overlaps (recouvrement du contact de grille par le contact de drain). Lorsque l'on applique une tension positive au niveau du drain, nous sommes dans une configuration de jonction P-N polarisée en inverse [6] et le courant correspondant est celui de la diode polarisée en inverse [7] pour laquelle le courant observé dépend exponentiellement de la tension de grille et de drain [8].

Pour des applications d'écrans plats, le courant délivré dans ce régime doit être le plus faible possible, aussi bien pour les TFTs qui jouent le rôle de commutateur que pour ceux qui jouent le rôle de source de courant à l'OLED dans le cas d'un écran AMOLED.

- **Régime sous le seuil**

Le régime sous le seuil correspond au régime de transition de l'état OFF à l'état ON. Ceci est donc valable pour des tensions de grille comprises entre la tension de bande plate V_{FB} et la tension de seuil V_{TH} . Dans ce régime, la création de charges est compensée par le piégeage de ces charges dans les états électroniques présents dans la bande interdite de la couche active (états profonds – liaisons pendantes) et à l'interface canal/isolant de grille. Ce régime est donc fortement dépendant de la densité d'états dans la couche active et à l'interface couche active/isolant de grille [9] [10]. Par conséquent, seule une faible partie des ces charges participent à la conduction. Plus la tension de grille est importante, plus l'on va remplir les défauts et plus le courant augmentera.

- **Régime passant**

Lorsque la tension de grille V_G appliquée devient supérieure à la tension de seuil V_{TH} , on dit que le transistor se trouve à l'état ON, c'est-à-dire dans le régime passant ou au dessus du seuil. Les charges libres participent entièrement à la conduction car les défauts sont tous occupés. Il y a donc création d'un canal de conduction d'électrons entre le drain et la source. Pour de faibles valeurs de la tension de drain V_D ($V_D < V_G - V_{TH}$), le canal du transistor est assimilable à un barreau de résistance pour lequel le courant est proportionnel à la tension de drain V_D . On dit alors que le TFT opère en régime linéaire. Pour de plus grandes valeurs de la tension de drain V_D ($V_D > V_G - V_{TH} = V_{DSAT}$), le comportement du courant dans le TFT n'est plus linéaire et on dit que celui-ci opère en régime saturé.

Dans le régime passant, les performances du TFT dépendent fortement des paramètres géométriques (W/L), de la mobilité, de l'interface couche active/isolant de grille, de l'ohmicité des contacts, de la densité d'états dans la bande interdite de la couche active et des défauts de l'interface arrière [1].

Références :

- [1] C. R. Kagan et P. Andry, *Thin-Film Transistors*, Marcel Dekker Incorporation, 2003.
- [2] R. R. Troutman et al, “*A device model for the amorphous-silicon staggered electrode thin-film transistor*”, IEEE, vol. 36, pp. 2915–2922, 1989.
- [3] M. J. Powell, “*The physics of amorphous-silicon thin-film transistors*”, IEEE Trans On Elec devices, vol. 36, pp. 2753–2763, 1989.
- [4] B. J. M. Shannon, “*Hole transport via dangling-bond states in amorphous hydrogenated silicon nitride*”, J.App.Phys, vol. 86, pp. 1548–1551, 1999.
- [5] Y. Uchida et M. Matsumara, “*A novel amorphous-silicon field-effect transistor with good off-characteristics*”, Jpn.J.App.Phys, vol. 27, pp. 2379–2381, 1988.
- [6] P. Servati et al, “*Modeling of the reverse characteristics of a-si:H TFTs*”, IEEE Trans. Electron Devices, vol. 49, pp. 813–819, 2002.
- [7] P. Servati et al, “*Mechanisms underlying the OFF characteristics of a-Si:H Thin film Transistors*”, Electrochem. Soc. Symp. Proc., vol. 31, pp. 198 - 204, 2000
- [8] Y. Kuyo et al, *Thin Film Transistors Materials and Processes*, Kluwer Academic Publishers, 2004
- [9] A. Rolland et al, “*Electrical properties of amorphous silicon transistors and MIS devices: comparative study of top nitride and bottom nitride configurations*”, J. Electrochem. Soc., vol.140, pp. 3679-83, 1993
- [10] S. C. Deane et M. J. Powell, “*Field-effect conductance in amorphous silicon thin film transistors with a defect pool density of states*”, J. Appl. Phys., vol.74, pp. 6655-66, 1993

