



HAL
open science

Conception, suivi de fabrication et caractérisation électrique de composants haute tension en SiC

Runhua Huang

► **To cite this version:**

Runhua Huang. Conception, suivi de fabrication et caractérisation électrique de composants haute tension en SiC. Autre. INSA de Lyon, 2011. Français. NNT : 2011ISAL0096 . tel-00708553

HAL Id: tel-00708553

<https://theses.hal.science/tel-00708553>

Submitted on 15 Jun 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

présentée

devant l'INSTITUT NATIONAL DES SCIENCES APPLIQUÉES DE LYON

pour obtenir

LE GRADE DE DOCTEUR

ÉCOLE DOCTORALE : ÉLECTRONIQUE ÉLECTROTECHNIQUE AUTOMATIQUE

FORMATION DOCTORALE : GÉNIE ÉLECTRIQUE

par

Runhua HUANG

**Conception, suivi de fabrication et caractérisation
électrique de composants haute tension en SiC**

Directeur de thèse : Dominique PLANSON

Co-direction : Pierre BROSELARD

Jury

Alain	CAZARRE	Rapporteur président
Jose	MILLAN	Rapporteur
Marie-Laure	LOCATELLI	Examinateur
Grégory	GROSSET	Invité
Pierre	BROSELARD	Co-Directeur de thèse
Dominique	PLANSON	Directeur de thèse

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	<u>CHIMIE DE LYON</u> M. Jean Marc LANCELIN Insa : R. GOURDON	M. Jean Marc LANCELIN Université Claude Bernard Lyon 1 Bât CPE 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04 72 43 13 95 Fax : lancelin@hikari.cpe.fr
E.E.A.	<u>ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE</u> http://www.insa-lyon.fr/eea M. Alain NICOLAS Insa : D. BARBIER ede2a@insa-lyon.fr AM : 64.43 - Fax : 64.54	M. Alain NICOLAS Ecole Centrale de Lyon Bâtiment H9 36 avenue Guy de Collongue 69134 ECULLY Tél : 04 72 18 60 97 Fax : 04 78 43 37 17 eea@ec-lyon.fr Secrétariat : M.C. HAVGOUDOUKIAN
E2M2	<u>EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION</u> http://biomserv.univ-lyon1.fr/E2M2 M. Jean-Pierre FLANDROIS Insa : S. GRENIER	M. Jean-Pierre FLANDROIS CNRS UMR 5558 Université Claude Bernard Lyon 1 Bât G. Mendel 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cédex Tél : 04 26 23 59 50 Fax 04 26 23 59 49 e2m2@biomserv.univ-lyon1.fr
EDIIS	<u>INFORMATIQUE ET INFORMATION POUR LA SOCIETE</u> http://ediis.univ-lyon1.fr M. Alain MILLE Secrétariat : I. BUISSON	M. Alain MILLE Université Claude Bernard Lyon 1 LIRIS - EDIIS Bâtiment Nautibus 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04 72 44 82 94 Fax 04 72 44 80 53 ediis@liris.cnrs.fr - alain.mille@liris.cnrs.fr
EDISS	<u>INTERDISCIPLINAIRE SCIENCES-SANTE</u> M. Didier REVEL Insa : M. LAGARDE	M. Didier REVEL Hôpital Cardiologique de Lyon Bâtiment Central 28 Avenue Doyen Lépine 69500 BRON Tél : 04 72 35 72 32 Fax : Didier.revel@creatis.uni-lyon1.fr
	<u>MATERIAUX DE LYON</u> M. Jean Marc PELLETIER Secrétariat : C. BERNAVON	M. Jean Marc PELLETIER INSA de Lyon MATEIS Bâtiment Blaise Pascal 7 avenue Jean Capelle 69621 VILLEURBANNE Cédex Tél : 04 72 43 83 18 Fax 04 72 43 85 28 Jean-marc.Pelletier@insa-lyon.fr
Math IF	<u>MATHEMATIQUES ET INFORMATIQUE FONDAMENTALE</u> M.Pascal KOIRAN Insa : G. BAYADA	M.Pascal KOIRAN Ecole Normale Supérieure de Lyon 46 allée d'Italie Bâtiment Doyen Jean Braconnier 69364 LYON Cédex 07 Tél : 04 72 72 84 81 Fax : 04 72 89 69 Pascal.koiran@ens-lyon.fr Secrétariat : Fatine Latif - latif@math.univ-lyon1.fr
MEGA	<u>MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE</u> M. Jean Louis GUYADER Secrétariat : M. LABOUNE	M. Jean Louis GUYADER INSA de Lyon Laboratoire de Vibrations et Acoustique Bâtiment Antoine de Saint Exupéry 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72.18.71.70 Fax : 04 72 18 87 12 mega@lva.insa-lyon.fr
SSED	<u>SCIENCES DES SOCIETES, DE L'ENVIRONNEMENT ET DU DROIT</u> Mme Claude-Isabelle BRELOT Insa : J.Y. TOUSSAINT	Mme Claude-Isabelle BRELOT Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Tél : 04.78.69.72.76 Fax : 04.37.28.04.48 Claude-isabelle.brelot@univ-lyon2.fr

Table des matières

Introduction générale	1
1 QUOI DE NEUF DU COTE DU SIC POUR LES COMPOSANTS DE PUISSANCE ?	3
1.1 Le SiC-4H	5
1.1.1 Présentation du SiC-4H	5
1.1.2 Avantages du SiC-4H	6
1.1.3 Technologie de fabrication des dispositifs SiC	7
1.2 La tenue en tension des composants de puissance	10
1.2.1 Présentation de la jonction $P^+N^-N^+$	10
1.2.2 Protection périphérique	11
1.2.3 Passivation du composant	14
1.3 Diode PiN	15
1.3.1 Principe de fonctionnement de la diode PiN	15
1.3.2 Diode sur SiC-4H	15
1.3.2.1 Impact sur les caractéristiques électriques des différents types de diode	16

1.3.2.2	Diode PiN en direct	17
1.3.2.3	Diode PiN en inverse	18
1.3.2.4	Conclusion	19
1.4	Transistor bipolaire	21
1.4.1	Principe de fonctionnement du transistor bipolaire	21
1.4.2	Transistor bipolaire sur SiC-4H	22
1.5	Le système d'électronique de puissance	26
1.5.1	Montage redresseur AC/DC	27
1.5.2	Montage hacheur DC/DC	27
1.5.3	Montage onduleur DC/AC	29
1.5.4	Montage gradateur AC/AC	30
1.6	Conclusion	31
2	CONCEPTION DES DIODES 6,5 kV ET 10 kV	33
2.1	Les modèles utilisés par le simulateur	34
2.1.1	Modèles de mobilité	35
2.1.2	Modèles de génération et recombinaison des porteurs	36
2.1.2.1	Recombinaison Shockley-Read-Hall (SRH)	36
2.1.2.2	Recombinaison Auger	37
2.1.3	Modèle d'ionisation par impact	37
2.2	Conception d'une diode 6,5 kV et 10 kV en inverse	39
2.2.1	Simulations en inverse 6,5 kV	39
2.2.1.1	Simulation semi-infinie	39

2.2.1.2	Simulation de la diode protégée par mesa/JTE	41
2.2.1.3	Simulation de la diode avec la passivation	44
2.2.2	Simulation en inverse 10 kV	47
2.2.2.1	Simulation de la structure semi-infinie	47
2.2.2.2	Simulation avec la protection de mesa/JTE	48
2.2.2.3	Simulation avec anneau de JTE	49
2.2.2.4	Simulation avec un anneau de N^+ dans la JTE	51
2.2.2.5	Simulation avec la passivation	52
2.3	Conception d'une diode 6,5 kV et 10 kV en direct	54
2.3.1	Simulation de la résistance de contact	54
2.3.2	Simulation de la durée de vie	55
2.4	Conclusion	57
3	FABRICATION ET CARACTERISATION DES DIODES 6,5 kV ET 10 kV	59
3.1	Fabrication des diodes 6,5 kV et 10 kV en SiC-4H	60
3.1.1	Procédé de fabrication des diodes 6,5 kV et 10 kV en SiC-4H	60
3.1.2	Masque de la diode 6,5 kV en SiC	62
3.1.3	Masque de la diode 10 kV en SiC	64
3.2	Caractérisation de la diode 6,5 kV en SiC-4H	66
3.2.1	Plaquettes de la diode 6,5 kV en SiC-4H	66
3.2.2	Caractérisation de la tenue en tension	67
3.2.2.1	Caractérisation inverse à 400 V	67

3.2.2.2	Caractérisation sous haute tension à l'ISL	70
3.2.3	Caractérisation en direct	74
3.2.3.1	Transfer Length Method (TLM)	74
3.2.3.2	Caractérisation avant le recuit	75
3.2.3.3	Caractérisation directe après recuit	76
3.3	Conclusion	81
4	CONCEPTION ET FABRICATION DU TRANSISTOR 6,5 kV	83
4.1	Conception d'un transistor bipolaire 6,5 kV	84
4.1.1	Simulation du transistor "classique"	84
4.1.1.1	Description de la structure	84
4.1.1.2	Simulation des caractéristiques	85
4.1.1.3	Simulation du gain en courant	86
4.1.1.4	Simulation en fonction de l'épaisseur et du dopage de la région de base	86
4.1.1.5	Largeur des zones émetteur et base	89
4.1.1.6	Conclusion	90
4.1.2	Simulation d'une structure innovante	91
4.1.2.1	Description de la structure	91
4.1.2.2	Simulation de la structure du transistor innovant	92
4.1.2.3	Conclusion	93
4.2	Fabrication du transistor 6,5 kV sur SiC	93
4.2.1	Procédé de fabrication	93

4.2.1.1	Alignement	94
4.2.1.2	Gravure de base	94
4.2.1.3	Implantation de P^+	94
4.2.1.4	mesa et JTE	94
4.2.1.5	Implantation de N^+	95
4.2.1.6	Ouverture de contact	95
4.2.1.7	$Métal_1$ et $Métal_2$	96
4.2.1.8	$Ouverture_2$ et $Métal_3$	96
4.2.1.9	Passivation	96
4.2.2	Réalisation des masques du transistor bipolaire	97
4.2.2.1	Petits transistors	97
4.2.2.2	Grands transistors	99
4.2.2.3	Conclusion sur le masque du transistor	100
4.2.3	Les motifs de test	101
4.2.4	Champ complet	101
4.3	Conclusion	102
	Conclusion	103
	Bibliographie	105

INTRODUCTION GENERALE

Commercialement, le silicium est le semi-conducteur le plus utilisé du fait de son développement technologique et de ses propriétés électriques et physiques. Le silicium atteint ses limites physiques exploitables dans l'électronique de puissance nécessitant des forts courants et des hautes tensions. L'évolution des besoins en électronique de puissance de plus en plus exigeants demande l'apparition de nouveaux matériaux. Une alternative au Si peut être les semi-conducteurs à grand gap. Le diamant et le nitrure de gallium sont parmi les semi-conducteurs à grand gap les plus attractifs, mais ils connaissent des limites en termes de disponibilité de substrats et de maturité de la technologie qui font qu'aujourd'hui ces semi-conducteurs sont peu avancés. Le carbure de silicium (SiC) a été découvert « accidentellement » par Berzelius en 1824. Il est arrivé ces dernières années à une maturité technologique qui permet de réaliser une gamme assez large de composants de puissance (GTO, transistors bipolaires, MOSFET, IGBT...).

Grâce à leur large bande d'énergie interdite, une bonne conductivité thermique et une grande stabilité chimique et physique, ainsi qu'un champ de claquage 10 fois supérieur au celui du Si, les composants à base de SiC peuvent fonctionner à haute température en diminuant la taille du circuit de refroidissement, et sous tension élevée, dans des environnements hostiles. Cette thèse s'est déroulée au laboratoire AMPERE, dont une équipe a une expérience de près de 20 ans sur la conception de composants de puissance en SiC. Elle s'inscrit dans les projets SiCHT2 et VHVD du laboratoire AMPERE. Le but de ce travail de thèse est de concevoir des diodes SiC 6 500 V et 10 000 V. Cette première diode sera réalisée chez IBS ; quant à la deuxième sa fabrication a lieu au CNM de Barcelone. Un transistor bipolaire SiC 6 500 V est conçu à AMPERE. Sa fabrication est prévue chez IBS.

Le premier chapitre présente l'état de l'art des composants de puissance en carbure

de silicium. Les travaux sur diode SiC-4H et transistor bipolaire SiC-4H seront présentés, ainsi que les systèmes d'électronique de puissance.

Dans le deuxième chapitre, les conceptions des deux diodes en SiC-4H avec des tenues en tension de 6,5 kV et 10 kV sont présentées respectivement. En premier lieu, les propriétés et modèles physiques et électriques du carbure de silicium pour les simulations sont abordés. Ensuite, la plupart des travaux portent sur l'optimisation des protections périphériques pour améliorer la tenue en tension. Pour la diode 6,5 kV, la structure de protection MESA/JTE est employée. Les protections plus complexes sont utilisées pour la diode 10 kV pour améliorer le rendement de protection.

Dans le troisième chapitre, les fabrications des deux diodes sont présentées. Ensuite, les caractérisations inverses statiques de la diode 6,5 kV en SiC-4H sont analysées afin de déterminer l'influence des paramètres technologiques et leurs impacts sur la tenue en tension. Enfin, les résultats de mesures statistiques en direct sont présentés et sont confrontés à la simulation, ce qui permet de remonter aux durées de vie des porteurs.

Le dernier chapitre présente la conception et les diagrammes de cheminement pour la fabrication du transistor bipolaire 6 500 V en SiC-4H. Deux structures différentes seront détaillées, une dite « classique » et une dite « innovante ». Le jeu de masques pour la première structure sera décrit. Le transistor est en cours de fabrication chez IBS et les résultats de mesures électriques ne seront donc pas présentés.

Une conclusion termine ce manuscrit en résumant les principaux résultats et en présentant des éléments de prospective pour les travaux futurs.

Chapitre 1

QUOI DE NEUF DU COTE DU SIC POUR LES COMPOSANTS DE PUISSANCE ?

L'électronique de puissance est l'une des branches de l'électrotechnique. Elle concerne les dispositifs (convertisseurs) permettant de changer la forme de l'énergie électrique. Le convertisseur est constitué par des composants électroniques utilisés en forte puissance. Au début des années 70, les deux premiers interrupteurs développés sont la diode bipolaire, le transistor bipolaire et le thyristor. Ensuite le thyristor-GTO, le transistor MOS et l'IGBT sont développés dans les années 80-90.

Commercialement, du fait de ses caractéristiques et de son abondance, le silicium est le semi-conducteur le plus utilisé. Les composants de puissance ont bénéficié du développement technologique et des propriétés du silicium. Mais il faut concevoir des dispositifs permettant de travailler dans des conditions de plus en plus difficiles : augmentation de la température de fonctionnement, diminution de la taille des composants et augmentation des courants et tensions. Les composants électroniques basés sur le silicium peuvent cependant présenter des limites fonctionnelles. Depuis peu, l'électronique de puissance utilise certains semi-conducteurs à large bande interdite dans le cadre d'utilisations à haute température et plus grande puissance.

Le carbure de silicium(SiC) a été découvert « accidentellement » par Berzelius en

1824. Grâce à ses bonnes propriétés physiques telles qu'une importante largeur de bande d'énergie interdite, une grande mobilité, et une bonne conductivité thermique, le SiC est un matériau typique à large bande qui est appelé semi-conducteur de troisième génération après le silicium (Si) et l'arséniure de gallium (GaAs).

Dans la première partie de ce chapitre, les propriétés physiques et les technologies de fabrication de SiC vont être présentées. Ensuite, la deuxième partie expose la jonction PIN et la technologie de la protection périphérique. De plus, les travaux sur la diode SiC-4H et le transistor bipolaire SiC-4H seront abordés car ce travail de thèse porte sur la conception d'une diode et d'un transistor bipolaire en SiC-4H. Une présentation succincte sur les convertisseurs de puissance clôturera ce chapitre, montrant l'utilisation possible de ces interrupteurs.

1.1 Le SiC-4H

1.1.1 Présentation du SiC-4H

<i>Matériau</i>	E_g (eV)	μ_n ($cm^2/V.s$)	μ_p ($cm^2/V.s$)	v_{sat} ($10^7 cm/s$)	E_c (MV/cm)	λ_{th} (W/cm.K)	ϵ_r
<i>Si</i>	1,1	1 350	600	1	0,3	1,5	11,8
<i>GaAs</i>	1,4	8 500	400	2	0,4	0,5	12,8
<i>GaP</i>	2,3	350	100	1,4	1,3	0,8	11,1
<i>GaN</i>	3,3	900	150	1,5	3,3	1,3	9
<i>SiC – 3C</i>	2,2	900	40	2	1,2	4,5	9,6
<i>SiC – 4H</i>	3,26	1 000	115	2	2,9	4,5	10
<i>SiC – 6H</i>	3	380	70	2	2,7	4,5	9,7
<i>C</i>	5,45	1 900	1 600	2,7	5,6	20	5,5

TABLE 1.1: comparaison des propriétés physiques des matériaux semi-conducteurs à 300 K. E_g : bande d'énergie interdite, μ_n et μ_p : mobilités des porteurs de type N et P, v_{sat} : vitesse de saturation des porteurs, E_c : champ de claquage, λ_{th} : conductivité thermique, ϵ_r : permittivité relative.

Le composant de puissance doit être capable de supporter des courants ou des tensions de plus en plus élevés. En électronique de puissance, la conversion d'énergie est assurée par des composants à semi-conducteur. La plupart des composants de puissance sont en silicium. Les composants en silicium ont quasiment atteint leurs limites de performances par les paramètres fondamentaux du matériau. Pour supporter des tensions plus élevées et augmenter le calibre en courant total, une mise en série ou parallèle doit être réalisée pour satisfaire l'application [9]. Cela accélèrera la poursuite sur d'autres types de semi-conducteurs. Le carbure de silicium a été analysé pour la première fois par Berzelliuss en 1824 [24]. Il n'existe pas à l'état naturel sur terre. Il y a plus de 170 polytypes du SiC, mais seulement SiC-6H, SiC-4H et SiC-3C sont étudiés pour les applications électroniques. Le carbure de silicium (SiC) possède des caractéristiques électriques et thermiques qui permettent des améliorations cruciales au niveau des performances des composants de puissance. Le SiC est un bon candidat pour les applications hautes tensions, hautes

fréquences, hautes températures et fortes puissances. La table.1.1 montre les propriétés physiques des matériaux semi-conducteurs à 300K [43][25].

1.1.2 Avantages du SiC-4H

En comparaison avec les autres matériaux semi-conducteurs, le SiC possède plusieurs avantages [43][52] :

Un grand gap E_g : le SiC possède une large bande d'énergie interdite 3,2 eV (SiC-4H) à 300 K (1,12 eV pour Si). Grâce à cette large bande d'énergie interdite, les composants sur SiC-4H peuvent fonctionner à température élevée, car la densité de porteurs intrinsèques est faible.

Un fort champ critique E_c : le SiC possède un fort champ de claquage. Le champ de claquage du SiC-4H est $3 \times 10^6 V.cm^{-1}$, 10 fois supérieur au champ de claquage du Si ($3 \times 10^5 V.cm^{-1}$). Ceci permet d'obtenir des composants sur SiC-4H pour une tenue en tension inverse donnée, avec une couche moins épaisse et plus dopée qu'avec le Si.

Une vitesse de saturation des porteurs V_{sat} élevée : le SiC possède une vitesse de saturation des porteurs V_{sat} élevée ($2 \times 10^7 cm \cdot s^{-1}$) 2 fois supérieure à celle du Si ($10^7 cm \cdot s^{-1}$). Ceci permet de diminuer le temps de commutation du composant afin d'augmenter les niveaux de fréquence de découpage des convertisseurs.

Une bonne conductivité thermique λ_{th} : le SiC possède une bonne conductivité thermique qui permet une meilleure évacuation de la chaleur. Ceci permet de travailler à puissance et fréquence plus élevées.

Une forte cohésion : le SiC possède une grande stabilité chimique et physique à haute température. Il reste inerte aux réactions chimiques pour des températures inférieures à $1300^\circ C$, d'où une utilisation possible comme capteur dans des environnements sévères.

Le diamant possède les caractéristiques théoriques les plus attractives par rapport aux autres matériaux. Mais les difficultés d'obtention de cristaux de grande taille et le dopage limitent l'utilisation du diamant. Quant au GaN, l'absence de substrat massif de qualité électronique limite actuellement, son développement à des composants latéraux.

1.1.3 Technologie de fabrication des dispositifs SiC

Les performances sont aussi liées à la technologie de fabrication. En effet, à cause de la limitation physique, le silicium ne peut pas satisfaire les demandes de plus en plus exigeantes pour les applications industrielles. Le SiC est un bon candidat pour le composant de puissance. Pour réaliser un composant de puissance, le SiC possède plusieurs avantages comme nous l'avons expliqué plus tôt. Mais la technologie de fabrication n'est pas mature comme pour le Si. Son inconvénient est qu'il est très résistif aux agents corrosifs, nécessitant une gravure sèche. Seules les étapes technologiques qui diffèrent de celles utilisées en technologie Si seront présentées ici, à savoir le dopage, la gravure et la métallisation [52].

En technologie Si, l'implantation ionique [50](figure 1.1) est utilisée pour un dopage local pour des jonctions très peu profondes. Le dopage par diffusion est très utilisée pour les jonctions profondes. Cette technique de dopage est difficilement applicable au SiC à cause des très faibles coefficients de diffusion des impuretés dopantes. L'implantation ionique multi-énergies est la solution efficace pour le SiC. Un masque est utilisé pour protéger les régions qui ne doivent pas être implantées, et les ions bombardés pénètrent dans le matériau. Pour le SiC les dopants les plus utilisés pour obtenir une région de type P sont l'aluminium et le bore. Pour obtenir une région de type N, les impuretés azote et phosphore sont très utilisées (figure 1.1).

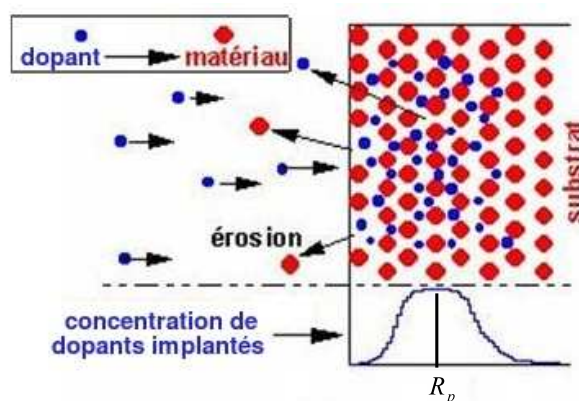


FIGURE 1.1: Schéma d'implantation ionique dans un matériau et effet sur la composition et les propriétés du matériau.

Pour une énergie donnée, la distribution des ions implantés peut être modélisée par une distribution gaussienne comme cela est montré sur la figure 1.2a . R_p est la profondeur

où les ions implantés s'arrêtent avec un maximum de concentration. Pour réaliser un profil d'implantation de type « *box-profile* », il est préférable de faire plusieurs implantations avec des énergies et des doses différentes montrées par la figure.1.2b.

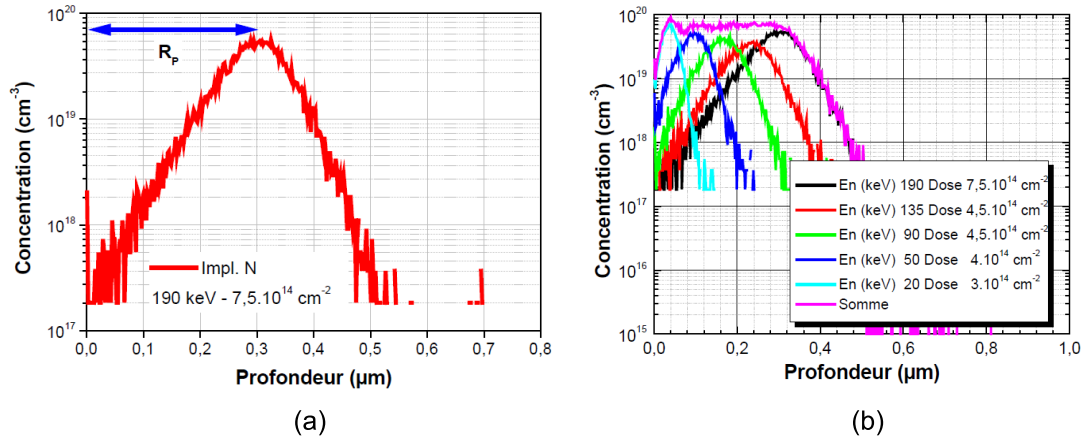


FIGURE 1.2: (a) : Profil de concentration d'azote avec une implantation à 190 keV et une dose de $7.4 \times 10^{14} \text{cm}^{-2}$ en fonction de la profondeur, (b) : Profil d'une implantation multiple d'azote pour la formation d'un caisson de type N dans SiC-4H.

Après l'implantation ionique, de nombreux défauts structuraux sont générés. Ceux-ci peuvent être limités en nombre par une implantation ionique "à chaud". Dans tous les cas, un recuit post-implantation permet aux dopants de migrer vers des sites substitutionnels pour devenir électriquement actifs [49]. Un recuit post-implantation est obligatoire pour guérir également les défauts structuraux engendrés.

La gravure plasma SiC : la gravure plasma est une étape nécessaire pour la définition de la structure géométrique des composants SiC. A cause de l'inertie chimique du SiC, on doit utiliser la gravure sèche de type plasma avec des bâtis RIE (reactive ion etching), par exemple. Le plasma utilisé est généralement à base de gaz fluorés (SF_6 , CF_4 , CHF_3 ou NF_3) mélangés avec de l'oxygène ou de l'argon [52].

La métallisation : le but de cette étape est d'obtenir un contact ohmique pour relier le semi-conducteur au circuit. Le métal nickel est très souvent utilisé pour connecter le contact ohmique sur le semi-conducteur type N^+ . Ce métal permet d'obtenir des résistances spécifiques de contact inférieures à $10^{-5} \Omega \cdot \text{cm}^2$ (table.1.2). Un recuit après dépôt et gravure du métal est indispensable pour la formation du contact ohmique. Pour le SiC, une température de 900°C à 1000°C est nécessaire pour obtenir un bon contact ohmique. La réalisation du contact ohmique sur SiC-4H type P est difficile. Pour le SiC-4H

type P, aucun métal ne possède un travail de sortie assez élevé. L'aluminium couplé avec un autre métal est souvent utilisé (table.1.2). Pour garantir la qualité du contact ohmique, une couche de type P très fortement dopée ($>1 \times 10^{19} \text{ cm}^{-3}$) est nécessaire, ainsi que le recuit sous vide [53]. La performance du contact ohmique obtenu est très sensible à la qualité de la couche d'aluminium.

	<i>Métal</i>	$N_A/N_D \text{ (cm}^{-3}\text{)}$	$\rho_c \text{ (}\Omega\text{cm}^2\text{)}$	<i>recuit (°C/min)</i>	<i>ref</i>
<i>type P</i>	<i>Ni – Al</i>	$N_A = 1 \times 10^{19}$	3×10^{-5}	1 000/2	[51]
	<i>Ni/Al</i>	$N_A = (3 - 9) \times 10^{19}$	5×10^{-3}	800/2	[28]
	<i>Ni/Ti/Al</i>	$N_A = (3 - 9) \times 10^{19}$	6.6×10^{-5}	800/2	[28]
	<i>Al/Ti</i>	$N_A > 1 \times 10^{20}$	1×10^{-4}	1 100/3	[53]
	<i>Pd</i>	$N_A = 5 \times 10^{19}$	5.5×10^{-5}	700/5	[26]
<i>type N</i>	<i>Ni</i>	$N_D = 1 \times 10^{19}$	1×10^{-5}	1 000/-	[27]
	<i>Ni</i>	$N_D = \sim 1 \times 10^{18}$	2.8×10^{-3}	1 000/1	[20]
	<i>Co/Si/Co</i>	$N_D = 1.1 \times 10^{19}$	1.5×10^{-6}	550/10 800/3	[54]
	<i>Cu/Si/Cu</i>	$N_D = 1.1 \times 10^{19}$	1.2×10^{-6}	500/10 850/1	[12]
	<i>Au/Ti/Al</i>	$N_D = 1 \times 10^{15}$	2.8×10^{-6}	800/5	[10]
	<i>Al/Ni/Al</i>	$N_D = 7 \times 10^{18}$	7×10^{-5}	1 000/5	[17]
	<i>Ti/Ni/Al</i>	$N_D = 7 \times 10^{18}$	4.5×10^{-5}	1 000/5	[17]

TABLE 1.2: Résumé des principaux contacts ohmiques sur SiC de type N et P, issu de la littérature.

1.2 La tenue en tension des composants de puissance

La tenue en tension d'un composant de puissance est l'une de ses caractéristiques les plus importantes. La partie précédente a présenté les qualités requises du SiC pour réaliser le composant de puissance. Parmi ses avantages, un champ de claquage 10 fois supérieur à celui du Si est très intéressant. Pour tous les composants de puissance, il existe une jonction PN assurant la tenue en tension. En général, le composant de puissance possède une jonction dissymétrique [33].

1.2.1 Présentation de la jonction $P^+N^-N^+$

La diode PiN (P-type intrinsic N-type diode) est un composant de puissance très important. Une diode PiN polarisée dans le sens direct (passante) offre une impédance dynamique extrêmement faible. Polarisée dans le sens inverse (bloquée) grâce à la jonction P^+/N^- , elle offre une très grande impédance.

Une diode PiN est une diode constituée d'une zone peu-dopée, dite intrinsèque I, intercalée entre deux zones dopées P et N. Une diode PiN en remplaçant la zone intrinsèque par une zone N^- est montrée sur la figure 1.3.A.

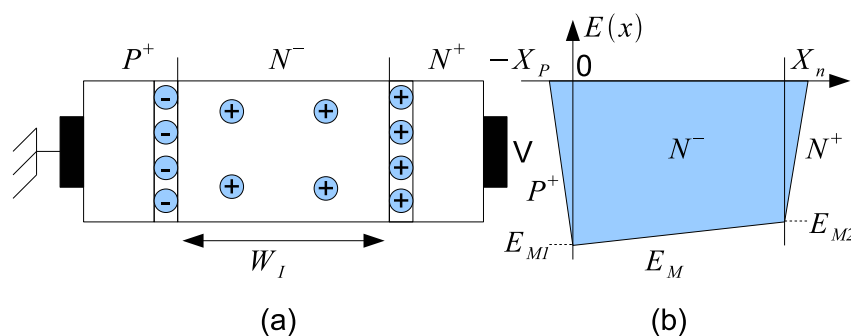


FIGURE 1.3: (a) : Vue en coupe d'une diode semi-infinie PiN sous polarisation inverse, (b) : Profil du champ électrique dans une diode PiN dans les mêmes conditions.

La figure.1.3.B montre le champ électrique trapézoïdal dans une diode PiN polarisée en inverse. La tension inverse est égale à l'intégrale du champ électrique entre $-X_p$ et X_n . La zone N^- est très peu dopée par rapport à P^+ et N^+ , ainsi l'extension des zones de charge dans P^+ et N^+ sont négligeables. La tension inverse est supportée par la couche

N^- . Pour simplifier le calcul de tenue en tension, nous ferons l'hypothèse que $E_{M1} \approx E_{M2}$ (dû au faible dopage de cette couche). La tenue en tension peut alors être exprimée par : $V_a = E_M \times W_I$ où W_I : épaisseur de la zone N^- .

Le champ maximal est limité à la valeur critique d'avalanche E_c . Lorsque le champ électrique de la jonction dépasse cette valeur critique, les électrons et trous sont accélérés par le champ électrique intense et acquièrent assez d'énergie pour rentrer en collision avec des atomes du réseau cristallin et générer une paire électron-trou. L'électron et le trou créés sont eux aussi accélérés et peuvent générer des paires électron-trou supplémentaires. Ainsi, il y a une augmentation du courant de fuite. Le champ électrique maximal est limité à la valeur critique d'avalanche. La solution unique pour l'augmentation de la tension de claquage est de réduire le dopage N_D de la région N^- et d'augmenter l'épaisseur de la zone N^- . $V_a(E_M = E_c)$ est la tenue en tension en volume dans le cas où on ne considère pas le claquage périphérique. En effet, le claquage périphérique peut diminuer la tenue en tension de la diode sur une grande échelle. La partie suivante explique le principe de la protection périphérique.

1.2.2 Protection périphérique

La partie précédente a présenté une jonction $P^+N^-N^+$ semi-infinie. Lorsqu'on applique une tension inverse sur la jonction plane finie, les rayons de courbure des équipotentielles se resserrent en périphérie de la jonction. Cela provoque la présence d'un pic de champ électrique sous polarisation inverse, pouvant provoquer un claquage prématuré de la jonction. Cette partie discutera de la protection périphérique pour rapprocher la tenue en tension obtenue de la valeur déterminée théoriquement. La conception d'une protection périphérique efficace est un élément essentiel pour les composants à haute tension. Le but de cette partie est d'exposer les différents types de protections périphériques : la mesa, la JTE (Junction Termination Extension) et les anneaux de garde [23][33].

Penchons-nous pour commencer sur la technologie mesa de protection périphérique [9][19]. La figure 1.4 montre un exemple d'une diode planar qui est réalisée localement par implantation ionique. R est définie comme l'extension latérale de la zone de type P^+ . Dans le cas du SiC, les dopants ne diffusent pas donc R tend vers zéro. Le champ

électrique très élevé provoque le claquage de la structure en périphérie à cause des lignes équipotentielles très rapprochées. Une gravure mesa peut être utilisée pour déplacer le point de claquage de A à A'. Il est ainsi possible d'optimiser l'angle α et la profondeur de gravure $profondeur_{gravure}$ de manière à augmenter la tenue en tension.

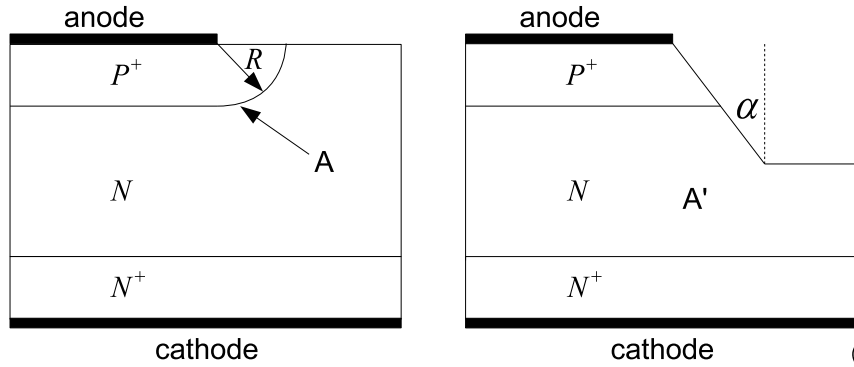


FIGURE 1.4: (a) : Diode non protégée, zone P^+ réalisée par implantation ionique, (b) : Diode protégée par mesa.

La technologie JTE (Junction Termination Extension) a été proposée par [48] et un rendement supérieur à 95% a été obtenu. La largeur de poche doit être au moins égale à $150 \mu m$ [9]. Cette solution consiste à réaliser une région avec le même type de dopage que l'anode, faiblement dopée sur le pourtour de la jonction principale, telle que représentée par la figure 1.5. Cette région est contactée avec la jonction principale. Au blocage, quand la tension de polarisation croît, les deux jonctions P^+N et PN soutiennent chacune une partie de la tension inverse. Il faut ajuster le dopage et la profondeur de la jonction P pour que celle-ci commence à être dépeuplée de porteurs avant d'atteindre la tension de claquage. La déplétion intervient d'abord à l'extrémité de la couche P , et se propage vers l'intérieur en direction de la jonction P^+ . Si le dopage de la JTE est trop élevée, elle présente le même comportement que la zone P^+ (extension de l'anode). Si le dopage est trop faible, la JTE se déplétera pour de faibles tensions.

La figure 1.6 représente la technologie d'anneaux flottants [38], une solution efficace de protection périphérique, consistant à réaliser des puits généralement identiques à celui de l'anode de la jonction à protéger. Les puits laissés sans contact métallique et placés à une distance judicieuse seront polarisés par la charge d'espace de la jonction principale. La charge d'espace de la jonction principale peut être prolongée par plusieurs anneaux flottants. Pour concevoir une structure multi-anneaux optimale, il faut optimiser

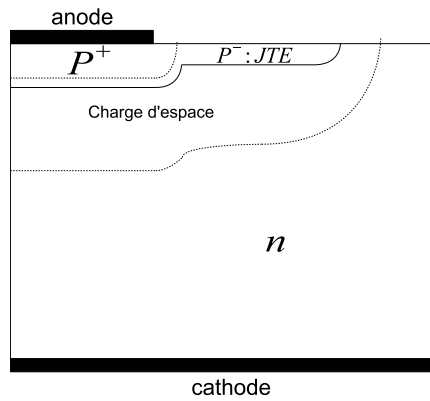


FIGURE 1.5: Diode protégée par une extension de jonction (JTE)

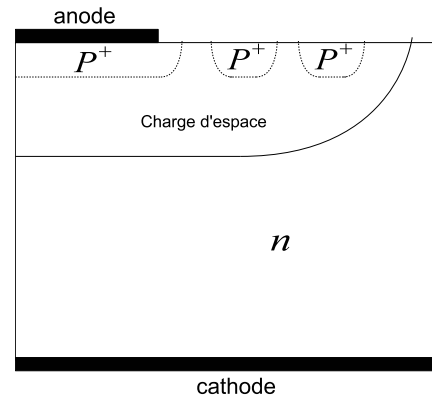


FIGURE 1.6: Diode protégée par des anneaux flottants

la distance entre les anneaux, leur largeur, leur nombre, leur dopage, et celui du substrat ainsi que la densité de charges en surface. Les outils de la simulation 2D seront très utiles dans ce cas.

Les techniques de mesa, JTE et anneaux flottants sont des protections basiques. En général, les trois types de protection sont combinés pour améliorer l'efficacité de la protection. P. Brosselard a discuté de la mesa combinée avec JTE dans sa thèse [9]. Dans un article de R. Pérez [38] portant sur la protection périphérique d'une diode SiC-4H, différentes techniques sont comparées (une JTE seule, JTE avec deux zones avec des dopages différents, anneaux flottants et anneaux flottants combinés avec une JTE). La figure 1.7 montre une combinaison de protections (mesa, JTE et deux anneaux flottants).

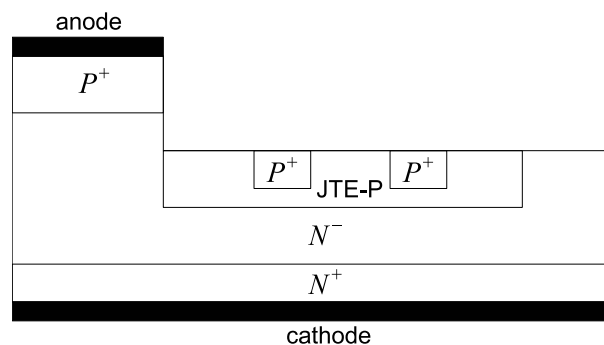


FIGURE 1.7: Diode protégée par mesa, JTE et deux anneaux flottants N^-+ dans la JTE. [38]

1.2.3 Passivation du composant

La passivation est une étape technologique développée pour tous les dispositifs électroniques [43][33]. Pour la stabilité des dispositifs sur semi-conducteur, une couche isolante est nécessaire pour la protection de surface. Nous protégeons les parties actives du composant de puissance en diminuant l'amplitude du champ électrique en surface de l'air grâce à l'utilisation de diélectriques ainsi illustrée par la figure 1.8. Elle a également le rôle de réduire l'effet des nuisances extérieures telles que les agressions mécaniques, l'humidité ou les contaminants, qui peuvent dégrader les caractéristiques électriques du composant. Le matériau de passivation doit être un bon isolant avec un champ de rupture élevé. Il ne doit pas créer des charges à l'interface avec le semi-conducteur. De plus, il peut être déposé simplement sous forme de films minces et homogènes. On doit pouvoir ouvrir des zones pour prendre les contacts électriques. Enfin, le matériau doit avoir une bonne tenue en température et garder stables ses propriétés électriques dans le temps. Avec la passivation, on peut améliorer la tenue en tension tout en protégeant la surface de composant.

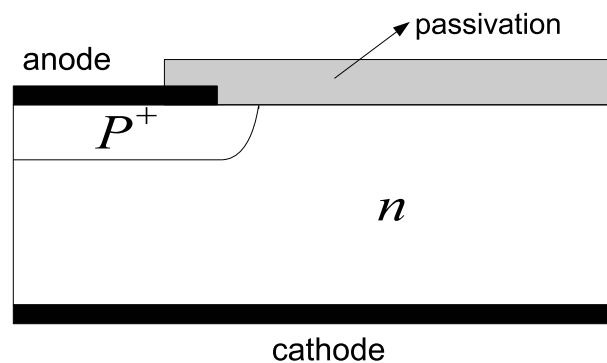


FIGURE 1.8: Vue en coupe du rayon d'une jonction PN passivée.

1.3 Diode PiN

1.3.1 Principe de fonctionnement de la diode PiN

Les diodes de puissance sont des composants destinés à supporter une tension inverse élevée. La structure de jonction PiN possède plusieurs avantages. La diode possède une conduction bipolaire et une résistance plus petite à haute température que la diode unipolaire.

La structure des diodes PiN de puissance en SiC (figure 1.9a) est généralement constituée par une couche P^+ fortement dopée dans une couche épitaxiée de type N^- très peu dopée. Cette couche est appelée zone intrinsèque. Elle est réalisée sur un substrat très dopé de type N^+ . Le contact d'anode est relié à la zone P^+ et le contact de cathode est relié à la zone N^+ . La figure 1.9b présente le profil de dopage de la diode de puissance PiN. La tenue en tension est inversement proportionnelle au dopage et proportionnelle à la largeur de la zone N^- .

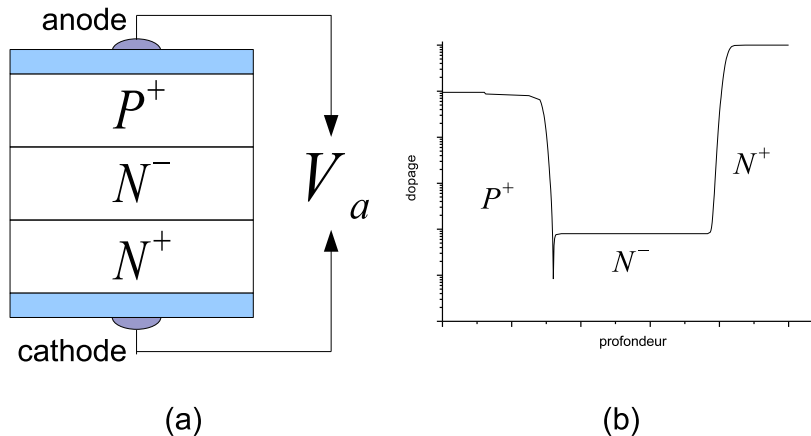


FIGURE 1.9: (a) : vue en coupe d'une diode PiN. (b) : concentration des dopants en fonction de la profondeur de la diode PiN.

1.3.2 Diode sur SiC-4H

Dans cette partie, nous allons présenter quelques travaux sur des diodes en SiC-4H.

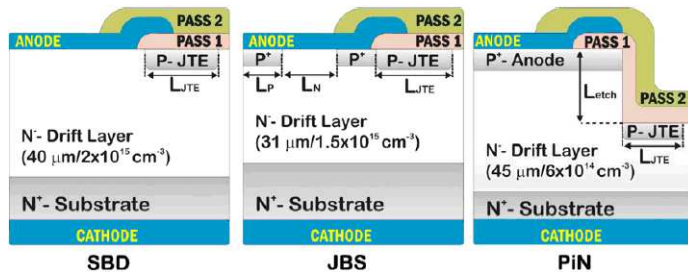


FIGURE 1.10: vue en coupe des 3 types différents de diode (SBD, JBS et PiN) [39]

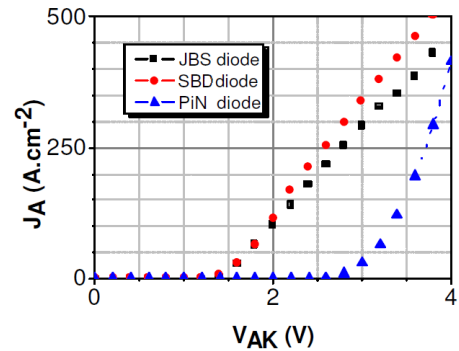


FIGURE 1.11: Caractérisations électriques en direct des diodes SDB, JBS et PiN [8]

1.3.2.1 Impact sur les caractéristiques électriques des différents types de diode

La différence fondamentale entre les diode PiN et SCHOTTKY réside dans le fait que le fonctionnement fait appel aux porteurs majoritaires dans la diode SCHOTTKY, alors que ce sont les deux types de porteurs majoritaires et minoritaires qui interviennent dans la diode PiN.

Une étude comparative de caractérisation électrique des diodes 3,3 kV SiC SBD (Schottky Barrier Diode), JBS (Junction Bipolar Schottky) et PiN a été déjà faite [39] (figure 1.10). La figure 1.10 compare les structures des trois diodes pour une tenue en tension de 3,3kV. Les trois diodes ont été réalisées sur un wafer avec des caractéristiques similaires, et caractérisées dans le domaine de température de $25^{\circ}C - 300^{\circ}C$.

La diode SBD (Schottky Barrier Diode) a une tension de seuil plus petite, proche de 1V, mais elle possède le plus grand courant de fuite. La diode PiN possède le plus petit courant de fuite, mais la tension de seuil est proche de 2,8V. La diode JBS (Junction Barrier Schottky) combine les avantages des SBD et PiN, en faible courant de fuite et une tension de seuil proche de 1V. La présence de la région P^+ dans la diode JBS permet une diminution du courant de fuite. A cause du grand gap du SiC, la tension de seuil de la diode SiC-PiN est plus grande que celle de la diode Si-PiN. La diode SiC-PiN a une plus

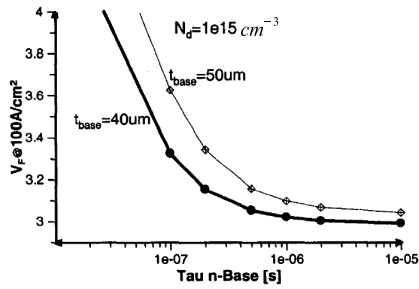


FIGURE 1.12: V_F en fonction de la durée de vie des porteurs majoritaires (électrons) pour différentes épaisseurs de couche épitaxiée [32] sous une densité de courant $J = 100A.cm^{-2}$

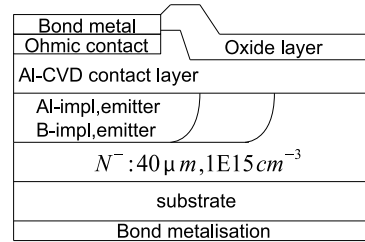


FIGURE 1.13: Vue en coupe d'une diode SiC-4H avec $V_{br} = 4,5kV$ réalisée par co-implantation d'aluminium (Al) et de bore (B) [32]

petite charge de recouvrement que la diode Si-PiN, à cause de sa faible durée de vie. Le courant inverse et la charge de recouvrement augmentent en fonction de la température.

La figure 1.11 montre une comparaison des densités de courant pour les trois types de diode en polarisation directe [8]. Les diodes Schottky (SBD) et JBS ont la même tension de seuil. La résistance différentielle de la diode JBS augmente due à la présence des anneaux P^+ au dessous de l'anode. La diode PiN quant à elle, présente une tension de seuil égale à 3V et devient donc plus performante que les diodes SBD et JBS pour une densité de courant supérieure à $500A.cm^{-2}$. Par conséquent, le choix d'un type de diode dépendra du cahier des charges en terme de tenue en tension et densité de courant à l'état passant.

1.3.2.2 Diode PiN en direct

Des simulation de diode en régime direct ont été effectuées pour étudier la relation entre la tension directe et la durée de vie pour le même courant direct [32]. Les résultats sont présentés par la figure 1.12. Pour une même densité de courant de $100 A/cm^2$, la tension directe est inversement proportionnelle à la durée de vie. Si $\tau > 1\mu s$, V_F varie très peu.

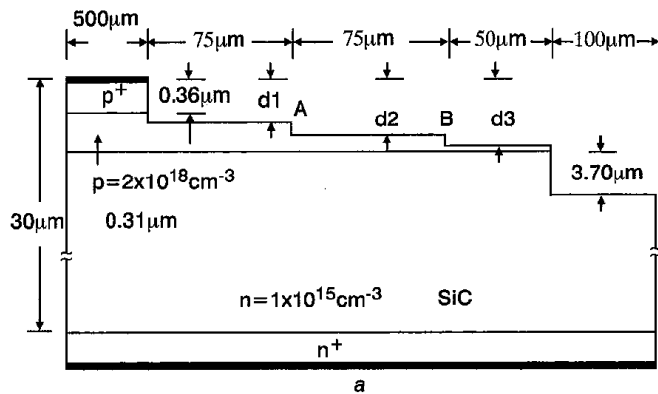


FIGURE 1.14: Vue en coupe d'une diode avec $V_{br} = 5kV$ et MJTE [5]

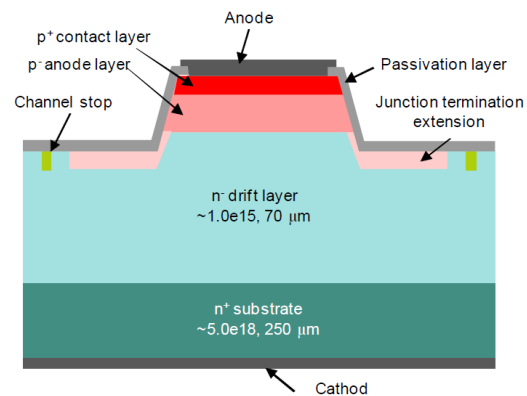


FIGURE 1.15: Vue en coupe d'une diode avec $V_{br} = 6 kV$ [47]

1.3.2.3 Diode PiN en inverse

Une diode PiN SiC-4H a été réalisée [32]. Sa structure est donnée par la figure 1.13. La zone N^- a un dopage uniforme de $10^{15} cm^{-3}$ avec une épaisseur de $40 \mu m$. La tenue en tension théorique (V_{br}) basée sur le critère du champ électrique est de $6,4 kV$. Dues aux dislocations "vis" du matériau, le V_{br} expérimental est réduit à $4,5 kV$.

La figure 1.14 montre une diode avec $V_{br} = 5 kV$ [5]. Elle possède une structure MJTE (Multistep Junction Extension Termination) attaquée par $CF_4 + O_2$ et une gravure de mesa avec une profondeur de $3,7 \mu m$ pour assurer la tenue en tension. Une couche N^- avec une épaisseur de $29,33 \mu m$ et un dopage de $1 \times 10^{15} cm^{-3}$ est utilisée. La surface est passivée par un oxyde avec une épaisseur de $30 nm$.

Une diode avec $V_{br} > 6 kV$ montrée par la figure 1.15 est fabriquée [47]. Une couche N^- dopée à $10^{15} cm^{-3}$ et une épaisseur de $70 \mu m$ est réalisée. Une JTE placée au pied de la gravure réalisée par implantation de Al^+ définit la protection périphérique. Un anneau de N^+ peut limiter l'extension de la zone dépeuplée à la surface de SiO_2/SiC . La surface est passivée par un oxyde ayant une épaisseur de $1 \mu m$. L'anode et la cathode sont réalisées respectivement par des couches Al/Ni et Ni.

La structure MZJTE (Multi Zone JTE) constitue une nouvelle technologie de protection périphérique. Une diode SiC-4H avec une tenue en tension ($V_{br} \approx 8 000 V$) [35] est présentée sur la figure 1.16. Une MZJTE est réalisée avec une seule implantation

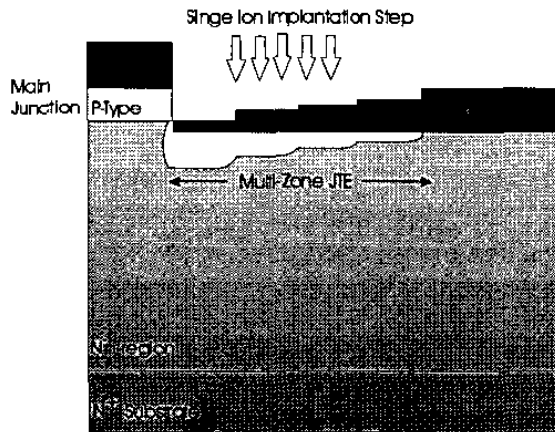


FIGURE 1.16: Vue en coupe d'une diode avec $V_{br} = 8 \text{ kV}$ avec MZJTE [35]

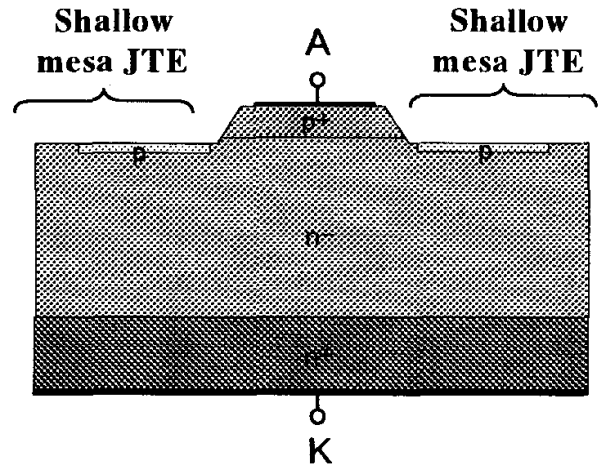


FIGURE 1.17: Vue en coupe d'une diode avec $V_{br} = 19 \text{ kV}$ avec mesa JTE

de P^+ car 4 étapes de SiO_2 ont été préalablement réalisées sur SiC. Une couche de SiO_2 de $1\mu\text{m}$ d'épaisseur réalisée par PECVD assure la passivation primaire du composant.

Une diode avec une tenue en tension de 19 kV montrée par la figure.1.17 a été réalisée par Sugawara et Takayama[46]. La protection de cette diode est une combinaison entre les types mesa et JTE avec une longueur de poche égale à $500 \mu\text{m}$. Deux types de diode avec $N^- 120\mu\text{m} 2 \times 10^{14} \text{ cm}^{-3}$ ($V_{br-max} = 14,9 \text{ kV}$) et $N^- 200\mu\text{m} 8 \times 10^{13} \text{ cm}^{-3}$ ($V_{br-max} = 19,5 \text{ kV}$) sont fabriqués avec trois diamètres différents ($200\mu\text{m}$, $500\mu\text{m}$, 1mm). Quant à la passivation aucune information est diffusée sur sa nature. A ce jour, ces travaux représentent le record mondial de la tenue en tension d'une diode PiN en SiC-4H.

1.3.2.4 Conclusion

En direct, la tension de seuil diminue lorsque la température augmente. La diode en SiC possède un temps de commutation plus faible par rapport à une diode en silicium. Pour la protection périphérique, la mesa combinée avec JTE est utilisée pour toutes les diodes en SiC-4H. Les structures de MJTE et MZJTE peuvent être utilisées pour augmenter l'efficacité de la protection périphérique. Dans la suite des travaux, nous opterons pour une diode PiN et un transistor bipolaire 6,5 kV en SiC-4H possédant une protection périphérique combinant une mesa et une JTE. Pour les diodes 10 kV en SiC-4H, nous

Quoi de neuf du côté du SiC pour les composants de puissance ?

rechercherons une troisième technique de protection périphérique pour la combiner aux deux précédentes.

1.4 Transistor bipolaire

1.4.1 Principe de fonctionnement du transistor bipolaire

Un transistor bipolaire est constitué de trois régions de dopages différents comme indiqué sur la figure 1.18 : Emetteur, Base et Collecteur. Son principe de fonctionnement est basé sur deux jonctions PN en série, l'une en direct et l'autre en inverse [2]. La polarisation de la jonction C-B en inverse et la polarisation en directe de la jonction E-B par le courant base va permettre de commander un courant beaucoup plus important. Lorsqu'il y a un courant dans la base, à cause de la tension positive entre la base et l'émetteur, les électrons vont passer de l'émetteur vers la base. Sous la polarisation négative de la jonction C-B, les électrons venant de l'émetteur après diffusion à travers la base vont passer au collecteur. Cela produit un grand courant de collecteur. β , gain en courant du transistor est défini par : $\beta = \alpha / (1 - \alpha)$, avec $\alpha = I_c / I_e$. Si tous les électrons de l'émetteur vont vers le collecteur, alors le transistor est parfait. β est infini et $\alpha = 1$. S'il n'y a pas de courant dans la base, la tension de la jonction E-B produira une région de charge d'espace qui va empêcher les électrons de passer dans le collecteur, de ce fait, il n'y a pas de courant de collecteur. Dans le transistor bipolaire, un petit courant de base peut contrôler un grand courant de collecteur, c'est la fonction d'amplification de courant du transistor en mode linéaire. Ce régime est plutôt utilisé en électronique analogique. En électronique digitale et électronique de puissance, le transistor est employé lorsque la jonction B/C est polarisée en direct. Dans ce cas, le transistor se trouve en régime de saturation, les deux jonctions injectent des porteurs.

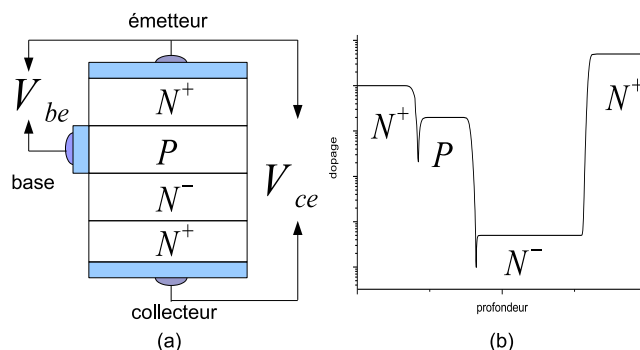


FIGURE 1.18: (a) : vue en coupe d'un transistor BJT et ses tensions de polarisation (b) : concentration des dopants en fonction de la profondeur du transistor BJT.

Pour réaliser un transistor, il faut que la structure se conforme à deux conditions : la base est très mince et la région de l'émetteur est plus dopée. Du fait des différences de dopage entre l'émetteur et le collecteur, le transistor ne fonctionne pas comme deux diodes tête-bêche. Pour supporter la haute tension, le transistor bipolaire de puissance possède une structure similaire à celle de la diode de puissance. La figure 1.18a présente la structure du transistor de puissance. En technologie SiC, trois épitaxies sont réalisées sur le substrat N^+ . La jonction B-C constituée par une zone P et une zone N^- peu dopée avec une épaisseur plus grande permet au transistor de posséder une tenue en tension plus grande. Et sur P , une couche épitaxiée de N^+ plus dopée a été réalisée pour obtenir une injection de porteurs de l'émetteur vers la base.

Le gain en courant est un paramètre très important du transistor bipolaire. Il dépend de l'épaisseur de la base, du profil de concentration en dopants de l'émetteur, de la concentration en dopants de la base et de la longueur de diffusion des porteurs minoritaires dans la base. En réalité, le gain en courant est limité par les recombinaisons en surface.

Avec l'augmentation de la densité de courant de base, le temps de charge dans celle-ci diminue et la fréquence de travail augmente. Pour améliorer la fréquence de transition, on peut utiliser une base beaucoup plus mince ($f_T = 2D_n/W_B^2$).

1.4.2 Transistor bipolaire sur SiC-4H

Avec les développements des MOS et IGBT en silicium, aujourd'hui le BJT-Si n'est quasiment plus utilisé dans le domaine de la puissance. Mais les développements des composants sur SiC suscitent à nouveau l'intérêt des designers pour le BJT-SiC. Ses performances ne sont pas autant influencées par la qualité de l'oxyde de silicium comme pour le MOS ou l'IGBT en technologie SiC. Toutefois, depuis la fin de l'année 2010, des transistors MOS en SiC-4H sont en phase de commercialisation [1]. Le champ critique du SiC est 10 fois supérieur à celui du Si. Il en résulte que le BJT-SiC possède une tenue en tension plus grande que BJT-Si. Avec la même tension bloquée, la base de BJT-SiC est plus mince que celle de BJT-Si. Cela peut augmenter le gain en courant et la vitesse de la commutation du transistor. Le BJT-SiC n'est pas limité par la stabilité de l'oxyde et la mobilité du canal comme dans le MOS. Il peut donc travailler à plus haute température.

Beaucoup de transistors bipolaires en SiC-4H ont été développés en 2005. M. Domeij a amélioré la structure du transistor en 4H-SiC montré sur la figure 1.22. Un gain en courant supérieur à 60 a été obtenu grâce à l'optimisation et la croissance d'épitaxie continue de la base et l'émetteur avec une tenue en tension de 1 100 V [14]. Les mesures montrent que la recombinaison a beaucoup d'influence sur le gain en courant. On peut diminuer la recombinaison en surface par l'amélioration de la passivation de surface pour augmenter le gain en courant [15][18].

Un autre transistor avec une résistance passante très petite est réalisée (figure 1.23)[56]. Une couche N^- fine ($8.5 \times 10^{15} \text{ cm}^{-3}/12 \mu\text{m}$) a été utilisée ce qui conduit à un transistor ayant une résistance passante de $2,9 \text{ m}\Omega.\text{cm}^2$ pour un V_{CEsat} de 2,5V pour une tenue en tension de 757 V.

Un troisième transistor bipolaire en SiC-4H possédant une tenue en tension la plus élevée (9,2 kV) a été conçu par J. Zhang (figure 1.24) [55]. Une couche épitaxiée N^- ($7 \times 10^{15} / \text{cm}^3$ $50 \mu\text{m}$) a été utilisée pour obtenir une tenue en tension de 9,2 kV. En mode saturé, une résistance passante de $33 \text{ m}\Omega.\text{cm}^2$ pour V_{CEsat} de 5V a été obtenue. Le gain en courant mas de ce composant est de 7. La table 1.3 résume les transistors trouvés dans la littérature.

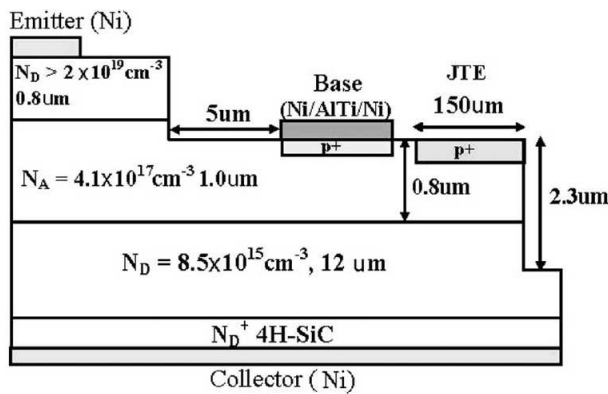


FIGURE 1.23: Vue en coupe d'un BJT en SiC-4H avec la résistance passante $2,9 \text{ m}\Omega.\text{cm}^2$

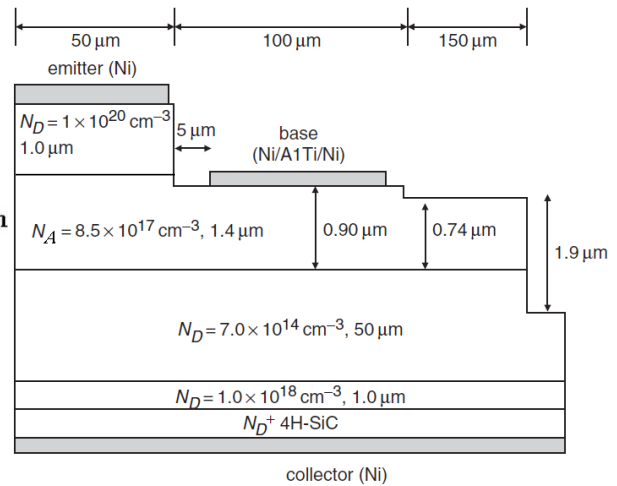


FIGURE 1.24: Vue en coupe d'un BJT en SiC-4H avec $V_{br}=9,2 \text{ kV}$

$V_{br}(V)$	β	$S(mm^2)$	R_{on}	réf	$V_{br}(V)$	β	$S(mm^2)$	R_{on}	réf
480	> 35	—	14	[59]	1 677	7,1	0,61	5,7	[57]
500	> 50	1,05	26	[22]	1 750	70	16,8	3	[58]
500	> 50	0,032	8	[22]	1 750	42	3,24	9	[31]
757	18.8	0,61	2.9	[56]	1 800	20	1,4	10,8	[42]
1 000	40	9	6,0	[30]	3 200	15	1,05	78	[21]
$> 1 000$	32	12	17	[36]	3 200	20	0,0072	28	[21]
1 100	> 60	—	—	[14]	4 000	9	0,11	56	[6]
1 300	11	6.65	8	[4]	6 000	3	0,05	28	[7]
1 600	27	9	4,5	[3]	9 200	7	—	33	[55]

TABLE 1.3: Résumé des transistors dans la littérature, classés par ordre croissant de tenue en tension. $R_{on}(m\Omega.cm^2)$

1.5 Le système d'électronique de puissance

L'électronique de puissance est l'une des branches de l'électrotechnique ; elle concerne les dispositifs permettant de changer la forme de l'énergie électrique. Selon les besoins des applications, il existe quatre types de conversion d'énergie entre les sources et la machine (figure 1.25). Nous nous intéressons plus particulièrement aux composants pour réaliser les montages de conversion mais, dans un premier temps, on présentera les quatre types de montages de conversion : Redresseur, Hacheur, Onduleur et Gradateur.

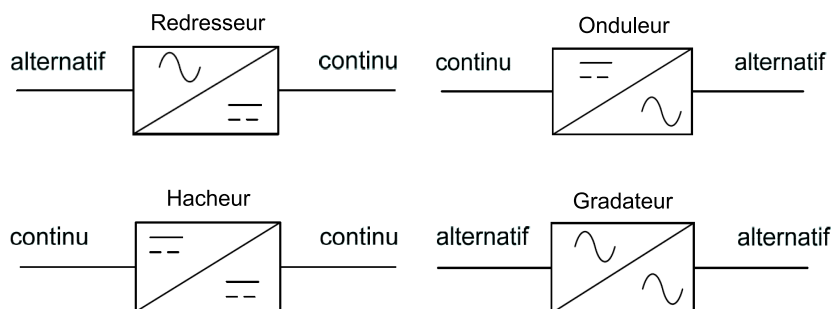


FIGURE 1.25: quatre types de conversion d'énergie électrique

1.5.1 Montage redresseur AC/DC

Un redresseur se détermine par une conversion de l'énergie alternative en énergie continue. Lorsqu'on n'a pas besoin de faire varier le rapport de transformation entre les tensions d'entrée et de sortie, on peut se contenter de redresseurs à diodes. Si on fait varier ce rapport, on utilise des redresseurs à thyristors. Les redresseurs à thyristors utilisent les mêmes schémas que les redresseurs à diodes en remplaçant les diodes par les thyristors.

La figure 1.26.a illustre un redresseur à quatre interrupteurs (diode, transistor). On suppose que la charge est une résistance. La tension d'alimentation u est alternative. La figure 1.26.b présente l'entrée et la sortie d'un montage redresseur constitué par quatre diodes idéales. Si la tension d'entrée est positive ($u > 0$), ce sont les diodes D1 et D3 qui conduisent ($v = u, i > 0$). Au contraire, si la tension d'entrée est négative ($u < 0$), ce sont les diodes D2 et D4 qui conduisent ($v = -u, i > 0$). Ce montage permet d'obtenir une tension $v = |u|$. Si on ajoute une forte capacité aux bornes de la résistance de charge R, la tension de la sortie se rapproche d'une tension continue. L'amplitude d'ondulation est inversement proportionnelle à la valeur de la capacité de charge.

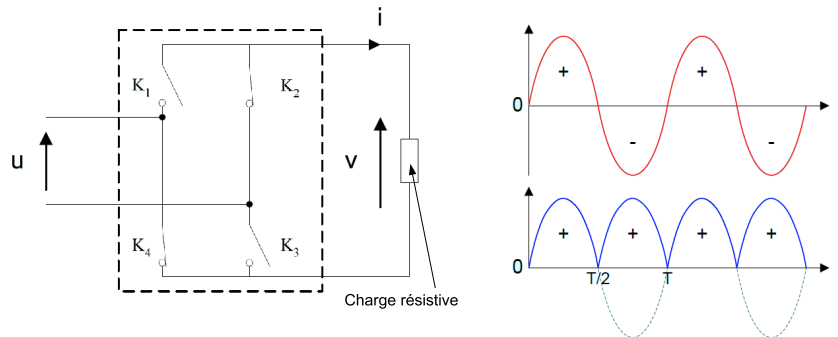


FIGURE 1.26: (a) : Montage d'un redresseur avec 4 interrupteurs (diode, transistor). (b) : L'entrée et la sortie d'un montage redresseur constitué par 4 diodes.

1.5.2 Montage hacheur DC/DC

Le hacheur est un convertisseur de l'électronique de puissance mettant en oeuvre un ou plusieurs interrupteurs commandés et qui permet de modifier la valeur de la tension d'une source de tension continue avec un rendement élevé. Si la tension délivrée en sortie est inférieure à la tension appliquée en entrée, le hacheur est dit "Dévolteur". Dans le cas

contraire, il est dit "Survolteur". Le hacheur Buck-Boost est capable de travailler dans les deux modes.

Buck : La figure 1.27 montre le schéma électrique d'un convertisseur Buck DC/DC. Si Q est fermé, $V_{Lf} = V_{in} - V_o$. Le courant traversant l'inductance augmente linéairement. La tension aux bornes de la diode étant négative, aucun courant ne la traverse. Si Q est ouvert, la diode devient passante afin d'assurer la continuité du courant dans l'inductance. $V_{Lf} = -V_o$. L'interrupteur Q est un transistor commandé au blocage et à l'ouverture. $V_o = V_{in} \cdot \alpha$ (α : Le rapport cyclique, V_o : valeur de la tension moyenne de la sortie).

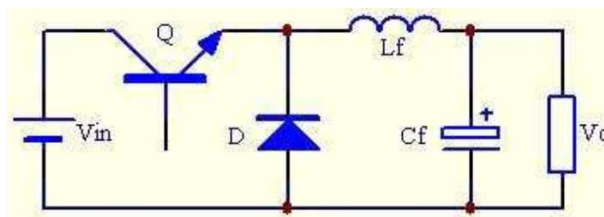


FIGURE 1.27: Le schéma de base d'un convertisseur Buck DC/DC.

Boost : La figure 1.28 montre le schéma électrique d'un convertisseur Boost DC/DC. Lorsque Q est fermé, cela entraîne l'augmentation du courant dans l'inductance donc le stockage d'une quantité d'énergie sous forme d'énergie magnétique. La diode D est alors bloquée et la charge est alors déconnectée de l'alimentation. Le condensateur se décharge dans la résistance. Lorsque Q est ouvert, l'inductance est en série avec le générateur. Le générateur et l'inductance alimentent la charge. Le courant traversant l'inductance traverse ensuite la diode D, le condensateur C et la charge. Il en résulte un transfert de l'énergie accumulée dans l'inductance vers la capacité. $V_o = V_{in}/(1 - \alpha)$

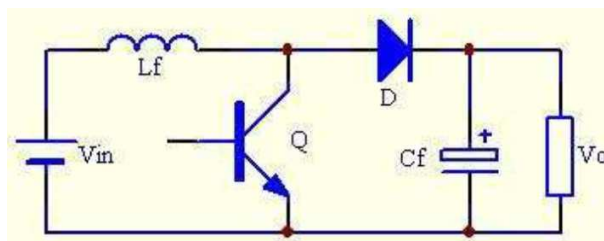


FIGURE 1.28: Le schéma de base d'un convertisseur Boost DC/DC.

Buck-Boost : La figure 1.29 montre le schéma électrique d'un convertisseur Buck-Boost DC/DC. Lorsque Q est fermé, cela entraîne l'augmentation du courant dans

l'inductance. D est bloquée. C se décharge dans la résistance. Lorsque Q est ouvert. L'inductance est reliée à la charge et à la capacité. Il en résulte un transfert de l'énergie accumulée dans l'inductance vers la capacité et la charge. $V_o = (-V_{in}) \cdot \alpha / (1 - \alpha)$

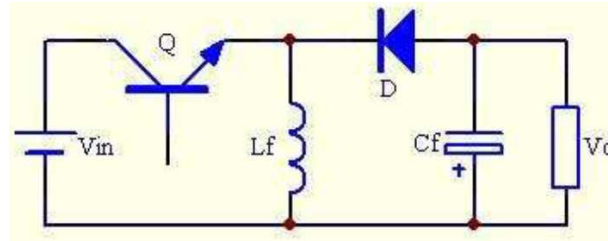


FIGURE 1.29: Le schéma de base d'un convertisseur Buck-Boost DC/DC.

1.5.3 Montage onduleur DC/AC

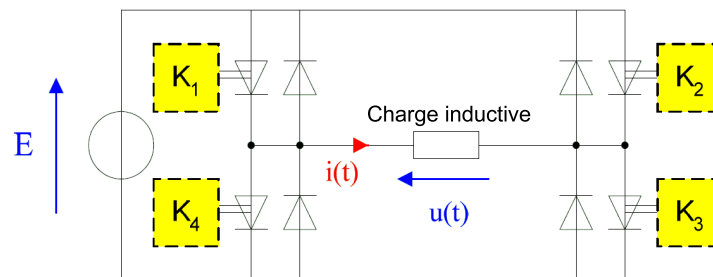


FIGURE 1.30: Un montage onduleur constitué par quatre interrupteurs bidirectionnels en courant

Un onduleur possède une fonction inverse d'un redresseur. C'est un convertisseur d'électronique de puissance permettant de délivrer des tensions et des courants alternatifs à partir d'une source d'énergie électrique continue. L'onduleur est l'un des montages les plus répandus de l'électronique de puissance. Les onduleurs sont présents dans les domaines d'applications les plus variés. Pour alimenter un système alternatif à partir d'une batterie, l'onduleur peut être utilisé à fréquence fixe. Pour faire la variation de la vitesse de moteur, l'onduleur est aussi utilisé en fréquence variable. La figure 1.30 présente un montage onduleur constitué par quatre interrupteurs bidirectionnels en courant. L'entrée est une source de tension continue, et la charge est inductive. Le montage onduleur nous permet d'obtenir un courant alternatif à la sortie. Lorsque K_1 et K_3 sont fermés et K_2 et K_4 sont ouverts le courant passe par la charge dans le sens de K_1 vers K_3 et donc $u(t)$ est

égale à E . Au moment où K_2 et K_4 sont fermés et K_1 et K_3 sont ouverts le courant passe encore par la charge dans le sens de K_1 vers K_3 tant que l'inductance est chargée, et que l'énergie d'inductance de la charge est renvoyée à l'alimentation. Cette étape est appelée temps mort. Ensuite le courant de charge passe par la charge dans le sens K_2 vers K_4 et donc $u(t)$ égale à $-E$.

1.5.4 Montage gradateur AC/AC

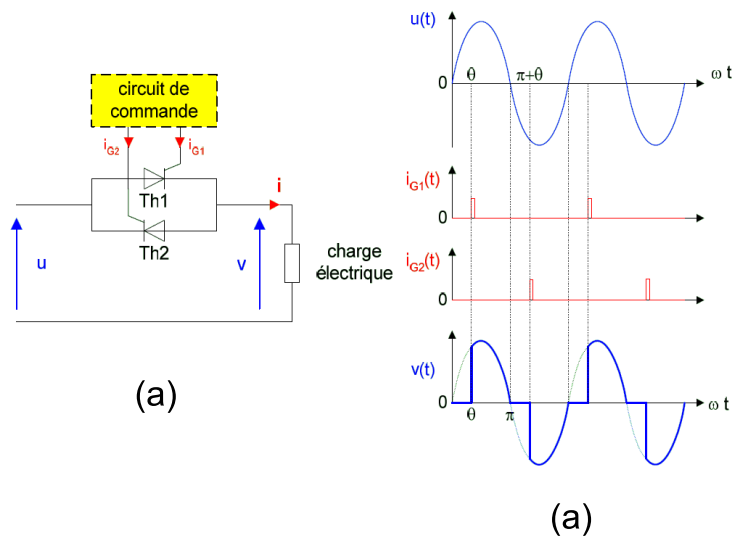


FIGURE 1.31: (a) : Le schéma de base d'un gradateur constitué par deux thyristors avec une charge résistive R . (b) : L'entrée et la sortie d'un montage gradateur.

Un gradateur est un appareil de commande qui permet de contrôler la puissance absorbée par un récepteur en régime alternatif. Figure 1.31.a montre un gradateur avec une charge résistive R . Il se compose d'une partie puissance et d'une partie commande. La partie puissance est constituée de deux thyristors montés « tête-bêche ». La partie commande est constituée de divers circuits électroniques permettant d'élaborer les signaux de commande des thyristors à partir d'un ordre de commande extérieur. Après un angle de retard à l'ouverture α , l'interrupteur $Th1$ autorise le passage du courant jusqu'à la fin de la demi-période positive. Ensuite après un angle de retard à l'ouverture α , l'interrupteur $Th2$ autorise le passage du courant jusqu'à la fin de la demi-période négative. La tension aux bornes de la charge évolue suivant la séquence de commande montrée par la figure 1.31.b. U_o et I_o sont la tension et le courant efficace dans la charge.

1.6 Conclusion

Les parties précédentes ont illustré simplement le composant de puissance. La première partie concerne le matériau du composant de puissance. Le SiC est un bon candidat possédant plusieurs avantages pour les composants de puissance, en comparaison avec les autres matériaux semi-conducteurs. Mais la technologie de fabrication n'est pas aussi mature que pour le Si. L'optimisation de la technologie de fabrication est nécessaire.

La deuxième partie présente la connaissance de base de la tenue en tension du composant de puissance, en particulier la jonction $P^+N^-N^+$ que nous allons utiliser pour notre conception. Trois protections périphériques de base et la passivation de surface sont présentées pour augmenter la tenue en tension. Dans le chapitre suivant, nous pouvons adopter un type de protection ou la combinaison de plusieurs types de protections.

La troisième partie présente une analyse des travaux sur la diode SiC-4H réalisée. Trois types de diodes sont comparés, et l'on trouve également dans cette partie un résumé sur les diodes SiC-4H publiées. Cela démontre la faisabilité de notre diode.

La quatrième partie concerne les travaux sur le transistor SiC-4H. Quelques transistors SiC-4H possédant V_{br} ou β plus grands sont analysés et, dans la dernière partie, nous avons étudié le système électronique puissance.

Chapitre 2

CONCEPTION DES DIODES 6,5 kV ET 10 kV

Le premier chapitre a présenté les connaissances de base nécessaires sur la diode et le transistor bipolaire. Le but de ce chapitre est de concevoir et de fabriquer deux diodes en SiC-4H avec des tenues en tension de 6,5 kV et 10 kV respectivement, selon les travaux présentés dans le premier chapitre.

La première partie de ce chapitre est dédiée à la description de la simulation des diodes 6,5 kV et 10 kV. L'outil utilisé pour les conceptions des composants semi-conducteurs est basé sur la méthode des éléments finis. Le simulateur *SentaurusTM* a été utilisé. Les simulations sont divisées en trois parties. En premier lieu, nous allons simuler une diode semi-infinie pour déterminer la tenue en tension de la jonction principale. La deuxième partie présente les résultats de simulation d'une diode avec la protection périphérique en vue de l'optimisation de la protection périphérique et de la passivation. Ensuite, les simulations avec la passivation et les densités de charges en surface vont être effectuées. Dans la troisième partie, les simulations en régime direct de la diode comprenant sa résistance de contact d'après les résultats obtenus sur des diodes 3,3 kV déjà fabriquées et l'influence de la durée de vie sur la conduction seront détaillées.

2.1 Les modèles utilisés par le simulateur

Le simulateur que nous avons utilisé pour la conception est basé sur la méthode des éléments finis. Nous avons choisi de travailler avec *SentaurusTM*. C'est un simulateur de dispositif multidimensionnel très avancé qui est capable de simuler les caractéristiques électriques, thermiques et optiques des dispositifs de semi-conducteurs à base de silicium et semi-conducteurs composés. *SentaurusTM* est un nouveau simulateur de dispositifs pour concevoir et optimiser des dispositifs de semi-conducteurs actuels et futurs.

On définit chaque zone de la structure : région SiC, Oxyde, air et électrodes puis un maillage de chacune des zones est réalisé. Plusieurs noeuds sont mis en oeuvre à la surface des matériaux et à la jonction. En chaque noeud de la structure, l'équation de poisson (équation 2.1) et les deux équations de continuité pour les électrons (équation 2.2) et trous (équation 2.3) sont résolues :

$$\nabla \cdot (\varepsilon_s \nabla \varphi + \vec{P}) = -q(p - n + N_D - N_A) - \rho_{trap} \quad (2.1)$$

avec n et p les concentrations respectives en électrons et en trous, N_D et N_A les dopages respectivement donneur et accepteur, et φ le potentiel électrostatique au point considéré. \vec{P} est la polarisation ferroélectrique, ρ_{trap} la densité de charges piégées ou fixes.

$$\nabla \cdot \vec{J}_n = qR_{net} + q\frac{\partial n}{\partial t} \quad (2.2)$$

$$-\nabla \cdot \vec{J}_p = qR_{net} + q\frac{\partial p}{\partial t} \quad (2.3)$$

avec R_{net} le taux de recombinaison.

En remplaçant les paramètres du silicium par défaut, nous pouvons effectuer les simulations de composant en SiC. Dans cette partie, nous allons présenter les modèles qui vont être utilisés et les paramètres pour les simulations du composant en SiC pour le simulateur *SentaurusTM*. Les travaux de thèse précédents ont développé et justifié ces modèles et paramètres pour le SiC [9] [37] [40] [13].

2.1.1 Modèles de mobilité

L'équation 2.4 représente le modèle de mobilité des porteurs. La mobilité varie en fonction du dopage et de la température. La table 2.1 présente les paramètres du SiC pour les simulations et la figure 2.1 présente la variation de la mobilité des électrons et des trous en fonction du dopage.

$$\mu_{dop} = \mu_{\min 1} + \frac{\mu_L \left(\frac{T}{300}\right)^\zeta - \mu_{\min 2}}{1 + \left(\frac{N_{tot}}{C_r}\right)^\alpha} \quad (2.4)$$

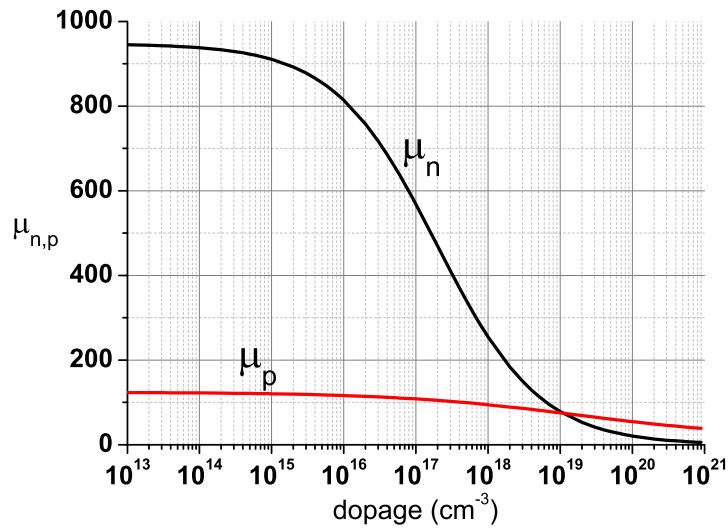


FIGURE 2.1: Variation de la mobilité des électrons et des trous en fonction du dopage.

Paramètre	Electrons	Trous	Unité
$\mu_{\min 1}$	0	15,9	$cm^2.V^{-1}.s^{-1}$
$\mu_{\min 2}$	0	15,9	$cm^2.V^{-1}.s^{-1}$
C_r	$1,94 \times 10^{17}$	$1,76 \times 10^{19}$	cm^{-3}
α	0,61	0,34	sans
μ_L	947	124	$cm^2.V^{-1}.s^{-1}$
ζ	1,962	1,434	sans

TABLE 2.1: Les paramètres du modèle de mobilité

Sous faible champ électrique, la vitesse des porteurs est proportionnelle au champ électrique. Sous fort champ électrique, la vitesse tend vers une valeur limite. La mobilité

des porteurs est modélisée par l'équation 2.5. μ_{low} est la mobilité calculée par le précédent modèle (équation 2.4). La table 2.2 présente les paramètres du SiC.

$$\mu(E) = \frac{\mu_{low}}{\left[1 + \left(\frac{\mu_{low} \cdot E}{v_{sat,0} \cdot \left(\frac{300K}{T}\right)^{v_{sat,exp}}}\right)^\beta\right]^{\frac{1}{\beta}}} \quad (2.5)$$

Paramètre	Electrons	Trous	Unité
β	0,84	0,84	sans
$V_{sat,0}$	$2,1 \times 10^7$	$2,1 \times 10^7$	$cm.s^{-1}$
$V_{sat,exp}$	0,5	0,5	sans

TABLE 2.2: Les paramètres du modèle de mobilité sous fort champ électrique

2.1.2 Modèles de génération et recombinaison des porteurs

2.1.2.1 Recombinaison Shockley-Read-Hall (SRH)

La durée de vie des porteurs est inversement proportionnelle à la concentration des dopants. La relation de Scharfetter (équation 2.6) utilisée pour le silicium, permet de modéliser cette relation. La table 2.3 présente les paramètres du SiC.

$$\tau_{n,p} = \frac{\tau_{n,p0}}{1 + \left(\frac{N_{tot}}{N_0}\right)^\gamma} \quad (2.6)$$

N_0	γ	τ_{n0}	τ_{p0}
$3 \times 10^{17} cm^{-3}$	0,3	500ns	100ns

TABLE 2.3: Valeurs des paramètres (relatifs à l'équation 2.6) du modèle de durée de vie dans le SiC.

Les défauts du réseau cristallin, ainsi que certaines impuretés chimiques donnent des niveaux discrets d'énergie situés vers le milieu de la bande interdite. Les pièges dans la bande interdite conduisent aux recombinaisons Shockley-Read-Hall (SRH). Elles sont modélisées par les équations 2.7, 2.8 et 2.9 (E_{Trap} (le niveau des pièges)= $E_g/2$).

$$R^{SRH} = \frac{np - n_i^2}{\tau_p(n + n_1) + \tau_n(p + p_1)} \quad (2.7)$$

$$n_1 = n_i \cdot \exp\left(\frac{E_{Trap}}{kT}\right) \quad (2.8)$$

$$p_1 = n_i \cdot \exp\left(\frac{-E_{Trap}}{kT}\right) \quad (2.9)$$

2.1.2.2 Recombinaison Auger

La recombinaison Auger peut avoir lieu lorsqu'il y a une forte densité de porteurs. Elle est très importante pour le fort dopage ou en régime de forte injection. Ce phénomène est modélisé par l'équation 2.10. Les coefficients C_n et C_p sont $5 \times 10^{31} \text{cm}^6 \cdot \text{s}^{-1}$ et $2 \times 10^{31} \text{cm}^6 \cdot \text{s}^{-1}$.

$$R^A = (C_n n + C_p p) (np - n_i^2) \quad (2.10)$$

2.1.3 Modèle d'ionisation par impact

Sous le champ électrique, les porteurs libres peuvent s'accélérer. Si le porteur accumule l'énergie suffisante pour ioniser un autre atome du réseau, il y a ionisation par impact. La multiplication des porteurs conduit à une augmentation rapide du courant (avalanche de la jonction). Ce mécanisme est décrit par le coefficient M de multiplication du courant (les équations 2.11, 2.12 et 2.13). Il est très important pour les simulations de la tenue en tension des dispositifs. Dans le SiC-4H, l'ionisation par impact des trous est plus forte que celle des électrons. Les paramètres utilisés pour le SiC pour les coefficients d'ionisation sont présentés dans la table 2.4.

$$M = \frac{1}{1 - I_{n,p}} \quad (2.11)$$

$$I = \int_{X_n}^{X_p} \alpha_n(E) \cdot \exp\left(\int_x^{X_p} (\alpha_n(E) - \alpha_p(E)) dx'\right) dx \quad (2.12)$$

$$\alpha_{n,p} = a_{n,p} \cdot \exp\left[-\left(\frac{b_{n,p}}{E}\right)^{\delta_{n,p}}\right] \quad (2.13)$$

$a_n(cm^{-1})$	$b_n(V.cm^{-1})$	δ_n	$a_p(cm^{-1})$	$b_p(V.cm^{-1})$	δ_n
$4,2 \times 10^5$	$1,63 \times 10^7$	1	$1,67 \times 10^7$	$1,67 \times 10^7$	1

TABLE 2.4: Valeurs des paramètres (relatif à l'équation 2.13) du modèle de coefficients d'ionisation dans le SiC [29].

avec $I_{n,p}$ l'intégrale d'ionisation, E le champ électrique, X_N et X_P les limites de la zone de charge d'espace, α_n et α_p les coefficients d'ionisation des électrons et des trous. A présent, nous allons présenter les résultats de simulation de la conception des diodes 6,5 kV et 10 kV.

2.2 Conception d'une diode 6,5 kV et 10 kV en inverse

Le but de cette partie est de concevoir deux diodes PiN avec une tenue en tension de 6,5 kV et 10 kV. Tout d'abord, les simulations pour déterminer les paramètres de la jonction principale ont été réalisées. Les travaux suivants portent sur les protections périphériques.

2.2.1 Simulations en inverse 6,5 kV

2.2.1.1 Simulation semi-infinie

En faisant abstraction du claquage en périphérie, la tension de claquage est définie par la tenue en tension de la jonction principale. Tout d'abord, il est nécessaire de définir les paramètres de la zone de drift (e_{N^-} et N_D). On va concevoir une diode semi-infinie et faire la simulation pour déterminer la valeur maximum de la tension de claquage de la diode (appelée également tenue en tension en volume).

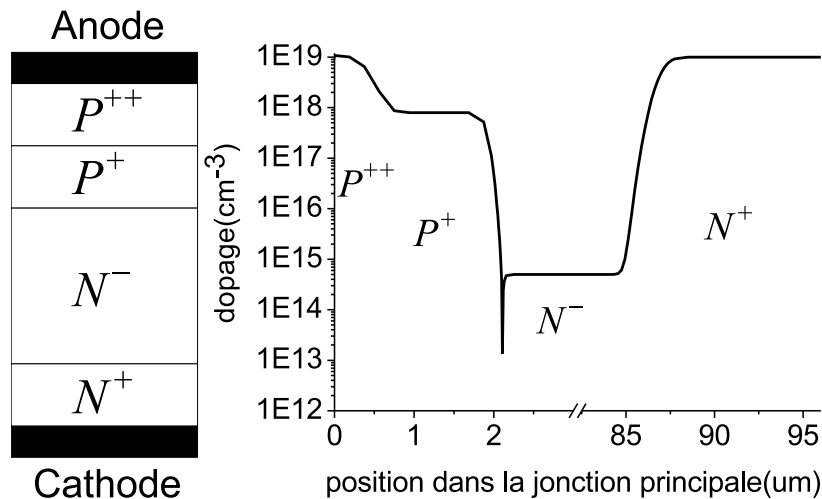


FIGURE 2.2: Concentration des dopants en fonction de la profondeur de la jonction principale de la diode PiN 6,5 kV en SiC-4H.

La figure 2.2 présente la structure d'une diode PiN semi-infinie. Pour améliorer

la rapidité des simulations, il faut limiter le nombre de mailles ; nous donc utilisons un substrat aminci à $10 \mu m$, car l'épaisseur du substrat fortement dopé possède très peu d'influence sur la tenue en tension de la diode. Trois épitaxies sont réalisées sur le substrat. La première épitaxie sur le substrat est de type N^- (faiblement dopée), responsable de la tenue en tension. Ensuite, nous réalisons une épitaxie de type P^+ ($N_A = 8 \times 10^{17} cm^{-3}$) avec une épaisseur de $1 \mu m$ sur N^- . Pour avoir un bon contact ohmique avec le métal, il faut réaliser une épitaxie de P^{++} ($N_A = 10^{19} cm^{-3}$), avec une épaisseur de $0,5 \mu m$ sur P^+ . Deux niveaux de dopage sont souhaitables afin d'optimiser les pertes en commutation de la diode.

Dans la simulation inverse, nous appliquons une tension inverse selon une rampe avec un dv/dt faible au modèle de la diode, et nous traçons les courbes de l'intégrale d'ionisation pour les électrons et les trous en fonction de la tension inverse. Quand l'intégrale d'ionisation est égale à 1 (équations 2.11, 2.12 et 2.13), la diode entre dans le régime d'avalanche.

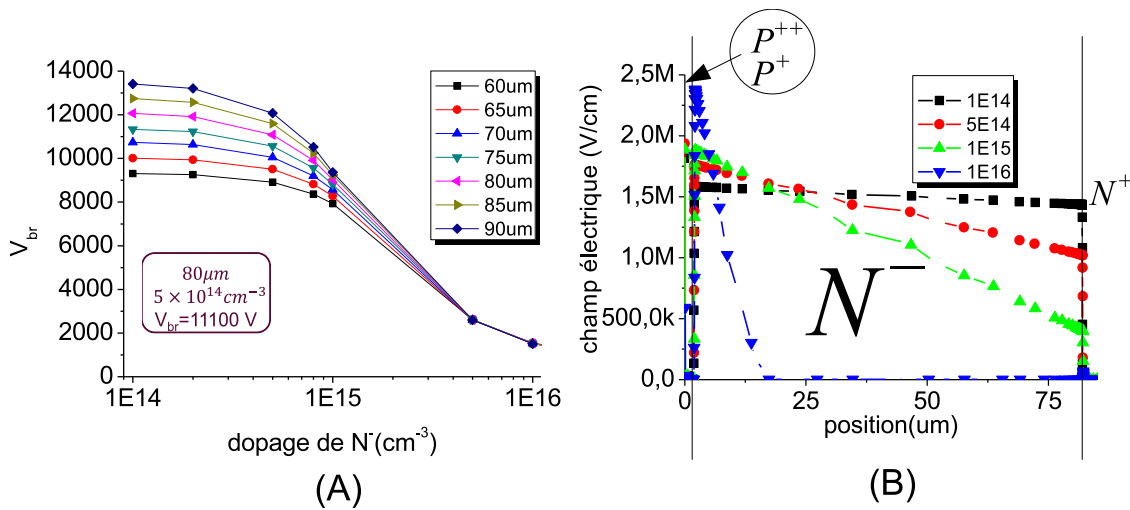


FIGURE 2.3: (A) : Tension de claquage pour différentes épaisseurs de la couche épitaxiée N^- en fonction du dopage. (B) : Tracé des courbes de champ électrique dans l'épitaxie de N^- ($80 \mu m$) au claquage pour les différents dopages de N^-

Pour obtenir une tenue en tension plus grande, la bonne solution est de diminuer la concentration du dopage et augmenter l'épaisseur de N^- [44]. Mais une épitaxie de N^- très peu dopée ou très épaisse diminuera le courant de conduction de la diode à l'état passant. La figure 2.3(A) présente l'évolution de la tenue en tension en fonction du dopage de N^- pour différentes épaisseurs de N^- . Pour toutes les épaisseurs de N^- , si l'épitaxie

de N^- est moins dopée, la tenue en tension varie très peu en fonction du dopage. Lorsque la concentration du dopage dépasse $5 \times 10^{14} \text{cm}^{-3}$, alors la tenue en tension diminue très rapidement. La figure 2.3(B) montre que l'intégration du champ électrique (V_{br}) diminue rapidement en fonction du dopage de N^- depuis le dopage de $5 \times 10^{14} \text{cm}^{-3}$. En effet, la tenue en tension réelle est plus petite que la valeur idéale, surtout qu'il est nécessaire de considérer le claquage périphérique alors une tolérance de V_{br} . Nous utilisons une épitaxie la plus fortement dopée ($5 \times 10^{14} \text{cm}^{-3}$) pour une résistance à l'état passant suffisamment faible, afin d'assurer une tenue en tension suffisamment grande. L'épaisseur d'épitaxie retenue est de $80 \mu\text{m}$. La tenue en tension est de 11 085 V pour les 6 500V visés. Cette marge de sécurité est prise en raison des incertitudes liées au processus technologique (densité de charges à l'interface SiC/SiO_2 provenant de la couche de passivation, variation du dopage et efficacité de la protection périphérique).

Dans le cas où nous considérons le claquage périphérique, le rayon de courbure des équipotentielles tend à se réduire à en périphérie de la jonction. Le pic de champ électrique localisé en bordure du dispositif va provoquer le phénomène d'avalanche prématurée du composant. Pour obtenir une tenue en tension la plus proche de la valeur théorique, il est nécessaire de protéger la périphérie du composant. Dans la partie suivante, nous allons optimiser les paramètres de la protection périphérique mesa/JTE.

2.2.1.2 Simulation de la diode protégée par mesa/JTE

Nous avons obtenu la tenue en tension en volume par la simulation semi-infinie. Mais le claquage en périphérie réduit la valeur idéale. Dans le chapitre 1, nous avons discuté des différentes méthodes de protection périphérique. La jonction terminée par une gravure de mesa "peut éviter" la présence d'un fort champ en périphérie de la zone P^+ . Etant donné que les régions P et P^+ sont réalisées par épitaxie, la protection périphérique de type Mesa est obligatoire. En parallèle, une implantation d'un caisson de type P (JTE) moins dopé que la jonction principale permet d'obtenir deux pics de champ d'amplitude équivalentes au bord de la JTE et à la jonction principale. Une méthode combinant mesa et JTE va être employée pour rehausser la tenue en tension. Dans cette partie, nous allons simuler une conception de diode verticale avec mesa/JTE (figure 2.4). Sous la polarisation inverse, la région de JTE se trouve complètement dépeuplée.

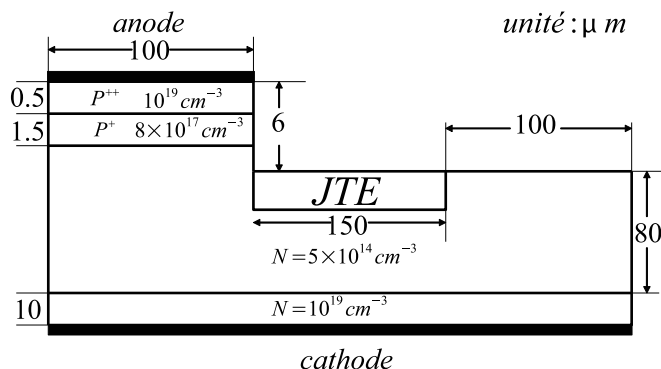


FIGURE 2.4: Vue en coupe d'une diode en SiC-4H avec la protection périphérique de mesa/JTE

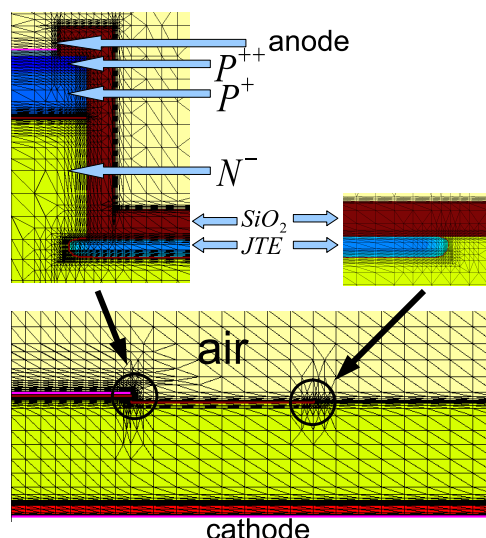


FIGURE 2.5: Maillage d'une diode SiC-4H avec la protection périphérique mesa/JTE

Un premier jeu de simulations a été réalisé en utilisant la structure de la diode illustrée par la figure 2.4 pour différentes profondeurs de gravure de mesa. Ces simulations sont réalisées avec une couche de passivation SiO_2 sans aucune charge à l'interface SiC/SiO_2 . Nous allons simuler deux diodes avec une profondeur de gravure de mesa de $6 \mu m$ et $4 \mu m$. La largeur de l'anode est de $100 \mu m$. Une longueur de poche doit être au moins égale à $150 \mu m$ pour le SiC [9]. Morvan Erwan a développé un simulateur (I^2SiC) d'implantation d'ions dans du carbure de silicium dans sa thèse [16]. La JTE avec le dopage donné par I^2SiC et la longueur de JTE de $150 \mu m$ sont employées. La figure 2.5 présente le maillage utilisé pour les simulations (diode 6,5 kV, diode 10 kV et transistor 6,5 kV). La figure 2.6 représente une coupe du profil du dopage au niveau de la JTE. La couche d'oxyde (SiO_2) avec une épaisseur de $1,5 \mu m$ est utilisée pour la passivation. Les points de résolution se concentrent à l'interface surtout celle entre la JTE et N^- . La table.2.5 représente les résultats obtenus par simulation. Pour une dose de JTE optimale, la tenue en tension augmente légèrement en fonction de la profondeur de la gravure de mesa.

L'optimisation du dopage de la JTE est très importante. Nous allons ensuite faire les mêmes simulations que le modèle semi-infini et déterminer la tenue en tension en fonction de la concentration du dopage de la JTE.

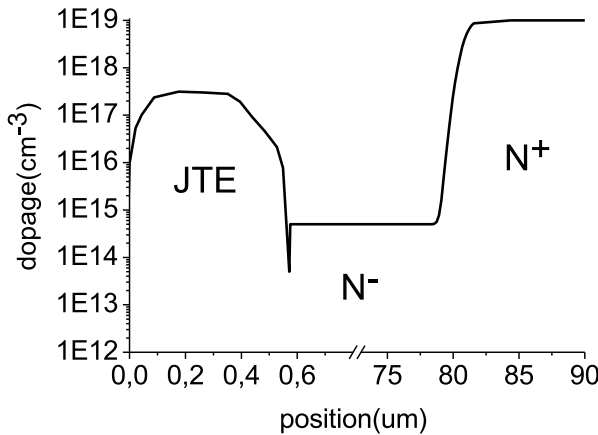
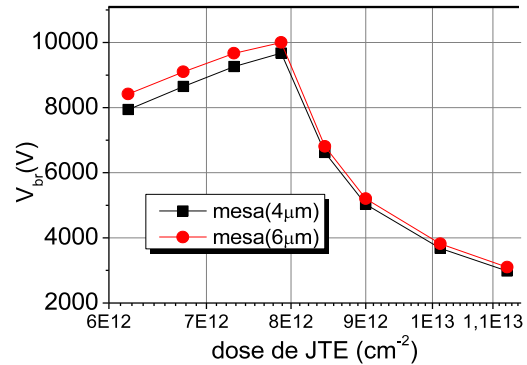


FIGURE 2.6: Concentration des dopants en fonction de la profondeur de la JTE


 FIGURE 2.7: V_{br} en fonction de la dose de JTE pour une diode 6 500 V avec deux profondeurs de gravure 6 μm et 4 μm

$profondeur_{gravure}$	V_{br}	$dose(cm^{-3})$	$V_{br}(idéal)$	$efficacité$
4 μm	9 770V	8×10^{12}	11 085V	88,1
6 μm	10 000V	8×10^{12}	11 085V	90

TABLE 2.5: Récapitulatif du maximum de tenue en tension pour deux profondeurs de gravure.

On trace les courbes de V_{br} en fonction de la dose de la JTE (figure 2.7). V_{br} présente un maximum en fonction de la dose. La table.2.5 présente la tenue en tension maximale pour deux profondeurs de gravure. Le maximum apparaît pour une de $8 \times 10^{12} cm^{-2}$ correspondant à une efficacité de 88,5% pour une profondeur de gravure de 6 μm . Ensuite la tenue en tension diminue en fonction de la dose.

La figure 2.8 présente les vues en coupe du champ électrique en fonction de la position dans le sens X et pour différentes doses de JTE. Pour toutes les courbes, il existe deux pics de champ électrique à la jonction principale et en bout de JTE. Si la JTE est fortement dopée, alors le champ électrique en bout de JTE est plus grand que celui à la jonction principale, donc il y a claquage en bout de JTE. Au contraire, si la JTE est faiblement dopée, le champ électrique maximal à la jonction principale est plus grand que celui en bout de JTE, donc il y a claquage à la jonction principale.

En technologie SiC, le mécanisme de diffusion des dopants est très limité. Les

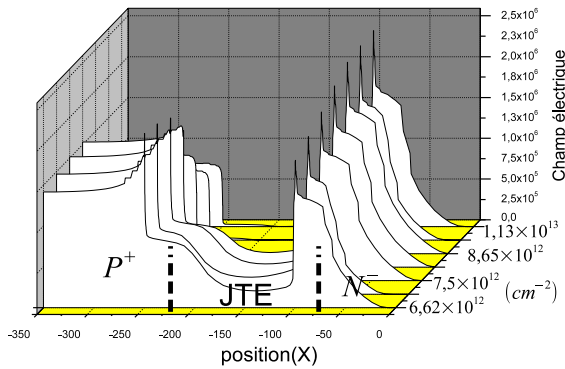


FIGURE 2.8: Les vues en coupe de champ électrique de la JTE de la diode ($80\mu m$, gravure de mesa $6\mu m$) en fonction de la dose de JTE

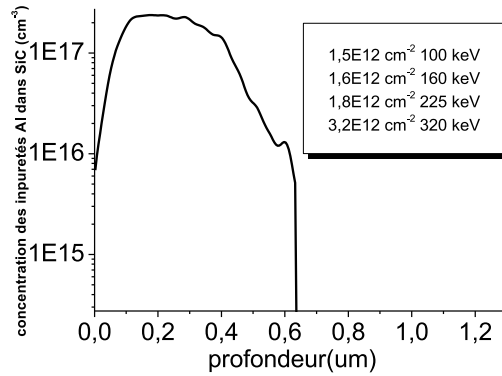


FIGURE 2.9: Profil de concentrations cumulées des impuretés Al dans le SiC en fonction de la profondeur de JTE. Le tableau en encart précise les 4 doses et énergies utilisées.

implantations ioniques sous forte énergie sont nécessaires pour définir la JTE. Pour obtenir un profil de dopage constant, une multi-implantation ionique doit être réalisée. Nous allons faire quatre implantations avec des énergies différentes pour obtenir la courbe de dopage se rapprochant de l'optimale. On simule donc quatre implantations ioniques avec le logiciel *I²SiC*. La figure 2.9 montre la courbe résultante du dopage simulé de JTE avec les énergies et les doses utilisées pour la simulation. Avec ce dopage de JTE, on a obtenu $V_{br} = 9\ 650\ V$ pour une profondeur de mesa de $4\ \mu m$ et $V_{br} = 10\ 000\ V$ pour une profondeur de mesa de $6\ \mu m$. Les efficacités sont respectivement de 87% et de 90%.

2.2.1.3 Simulation de la diode avec la passivation

Une bonne passivation permet d'améliorer les performance du composant en inverse et en commutation. Elle permet de réduire le champ électrique à la surface du composant. Nous avons fait les simulations avec une passivation d'oxyde (SiO_2) d'épaisseur égale à $1,5\ \mu m$ dans la partie précédente. Le but de cette partie est de montrer les simulations avec les passivations. On utilise une JTE avec une longueur de $400\mu m$ (valeur utilisée pour les diodes fabriquées).

La figure 2.10 présente une diode avec une passivation composée du polyimide

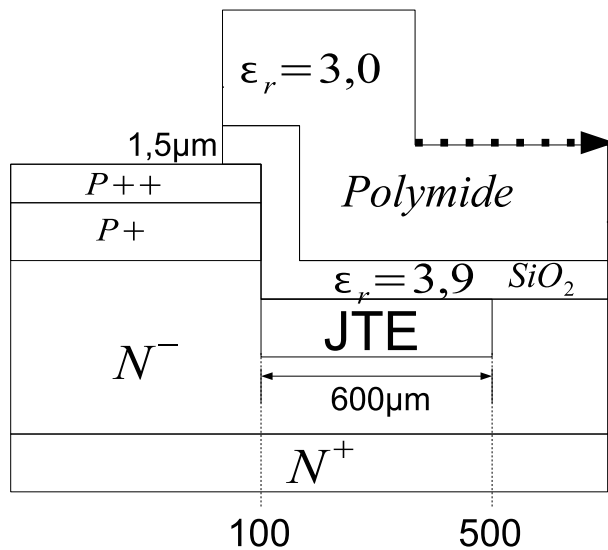


FIGURE 2.10: Vue en coupe de la diode 6,5 kV avec la passivation de SiO_2 et *polyimide* (mesa de $6 \mu m$).

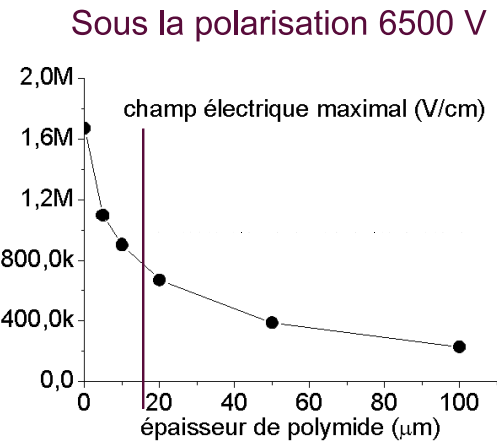


FIGURE 2.11: Champ maximal situé en bout de poche à l'interface polymide/air en fonction de l'épaisseur de polymide.

sur la base d'oxyde. Les permittivités de SiO_2 et du polymide sont de 3,9 et de 3,0 respectivement. On choisit la diode avec la gravure de $6 \mu m$. Ensuite, une couche de polymide est posée sur SiO_2 . Puis, les simulations sont réalisées avec les épaisseurs du polymide différentes ($5 \mu m$ - $100 \mu m$).

La fonction principale du polymide est de supporter le champ électrique et de réduire son amplitude à l'interface avec l'air. Les simulations de l'épaisseur du polymide montrent que la variation de V_{br} est très faible et peut être négligée, mais le champ électrique à la surface du polymide est inversement proportionnel à l'épaisseur du polymide. Le pic de champ électrique se situe en bout de poche. La figure 2.11 présente la valeur maximale du champ électrique en fonction de l'épaisseur du polymide à la surface de la diode sous la polarisation inverse 6,5 kV. Le champ électrique à la surface dans l'air est réduit significativement.

Les matériaux ne sont pas idéaux. Il existe des charges à la surface ou proche de la surface avec le SiC. Nous supposons que les charges fixes sont créées à la surface entre l'oxyde (SiO_2) et le SiC. Ensuite, nous allons déterminer l'influence de la densité de charge sur la performance de la diode par simulation en régime inverse.

La figure 2.12 présente les résultats des simulations avec les charges pour différentes

doses de JTE. S'il existe des charges positives, elles engendrent une diminution de l'efficacité de protection de la JTE, parce qu'elles vont créer une zone de charges négatives dans le SiC alors la zone de charge est réduite. La tenue en tension sera donc diminuée. Au contraire, s'il existe des charges négatives avec une densité plus faible que celle de la JTE, les charges positives créées dans la zone de diffusion vont augmenter l'efficacité de la protection de JTE. Si la densité de charge négative se rapproche de la dose de JTE, il y a trop de charges, elles vont diminuer l'efficacité de la protection de JTE, V_{br} va diminuer en fonction de la densité de la charge négative. La variation de tenue en tension semble plus sensible aux charges positives que négatives.

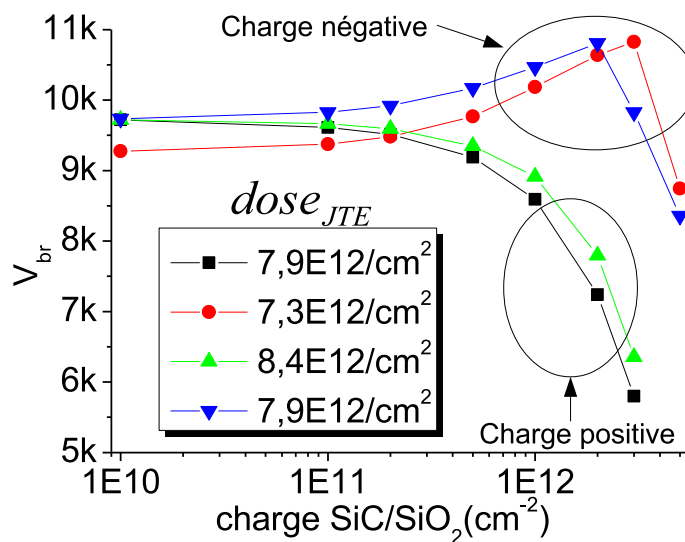


FIGURE 2.12: La tenue en tension en fonction de la densité de charges fixes à l'interface SiO_2/SiC pour différents doses de JTE.

Pour une conception optimale de la protection périphérique, il est nécessaire de connaître la densité de charges à l'interface SiC/SiO_2 ainsi que leur polarité. A partir de ces données, la dose de la JTE devra être ré-optimisée. Si la charge est positive, on peut augmenter la dose de la JTE. Si la charge est négative, on peut diminuer la dose de la JTE.

2.2.2 Simulation en inverse 10 kV

2.2.2.1 Simulation de la structure semi-infinie

En premier lieu, des simulations de la structure semi-infinie sont réalisées pour déterminer le maximum de tenue en tension. Pour obtenir une tolérance de V_{br} assez grande, il faut employer une épitaxie N^- plus épaisse et moins dopée. La région de type P constituée par deux épitaxies de type P ($N_A = 5 * 10^{17} cm^{-3}$) et P^+ ($N_A = 10^{19} cm^{-3}$) (figure 2.13) est réalisée sur l'épithaxie de diffusion. Selon les simulations de la diode 6,5 kV, des simulations similaires sont effectuées pour déterminer l'épaisseur et le dopage d'épithaxie de diffusion (figure 2.14). Nous utilisons une épithaxie la plus fortement dopée ($2 * 10^{14} cm^{-3}$) et la pas trop épaisse ($120 \mu m$) pour une bonne conduction dans l'état passant et afin d'assurer une tolérance de V_{br} assez grande. La tenue en tension est de 16 860 V. Le travail suivant consiste à trouver une solution de protection périphérique possédant une efficacité supérieure à 60%.

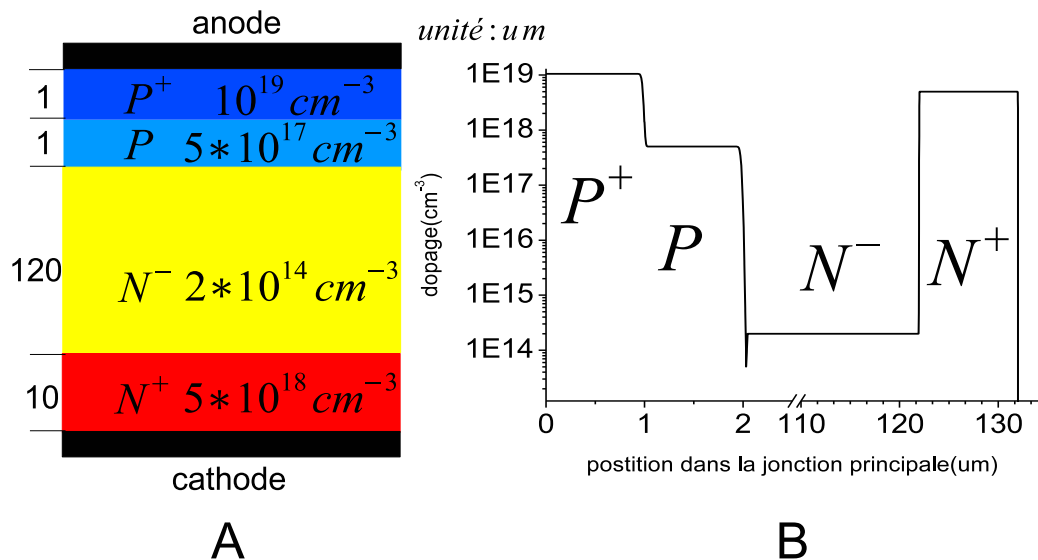


FIGURE 2.13: (A) Vue en coupe de la diode 10 kV semi-infinie avec les paramètres retenus. (B) Concentration des dopants en fonction de la profondeur de la jonction principale de la diode PiN 10 kV en SiC-4H.

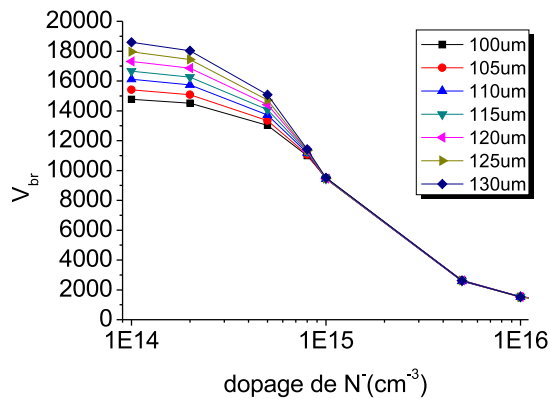


FIGURE 2.14: Tension de claquage pour différentes épaisseurs de la couche épitaxiée N^- en fonction du dopage.

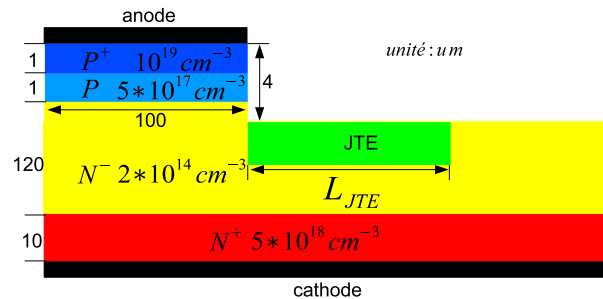


FIGURE 2.15: Vue en coupe de la diode protégée par mesa/JTE

2.2.2.2 Simulation avec la protection de mesa/JTE

Les premières simulations ont été réalisées avec la mesa/JTE. La profondeur de la gravure mesa est fixée à $4 \mu m$. Une optimisation de la JTE pour différentes longueurs de poche (L_{JTE}) et doses d'implantation a été faite pour la protection périphérique (figure 2.15). La figure 2.16 montre les résultats des optimisations du dopage de la JTE avec différentes longueurs de poche. Pour le domaine $(5,6 \times 10^{12} - 7,0 \times 10^{12}) cm^{-2}$, V_{br} augmente doucement en fonction de la dose. Si la dose de JTE dépasse la valeur correspondante au maximum de V_{br} , V_{br} diminue beaucoup plus rapidement. Pour L_{JTE} inférieure à $400 \mu m$, V_{br} est proportionnelle à L_{JTE} . Si L_{JTE} dépasse $400 \mu m$, V_{br} varie très peu. Pour $L_{JTE} = 400 \mu m$ et $L_{JTE} = 600 \mu m$, avec la dose de $7,0 \times 10^{12} cm^{-2}$, nous avons obtenu le maximum de V_{br} $14\ 000\ V$ et $14\ 120\ V$. Avec cette dose de JTE, nous pouvons définir les paramètres d'implantation ionique par I^2SiC .

La figure 2.17 présente le dopage de la JTE simulé par I^2SiC en fonction de la dose de JTE optimale. Les énergies et les doses sont montrées également sur la figure 2.17. Avec ce dopage de JTE, on a obtenu $V_{br} = 13\ 910\ V$ pour JTE ($400 \mu m$) et $V_{br} = 13\ 970\ V$ pour JTE ($600 \mu m$). Les efficacités de protection sont de $82,5\%$ et $82,9\%$. Dans les parties suivantes, nous allons simuler des conceptions de protection périphérique plus complexes et efficaces.

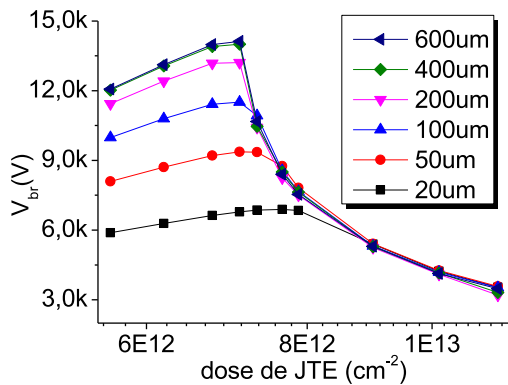


FIGURE 2.16: Tenue en tension de la diode protégée par mesa/JTE en fonction de la dose normalisée de la JTE pour différentes longueurs de la JTE (20 - 600 μm)

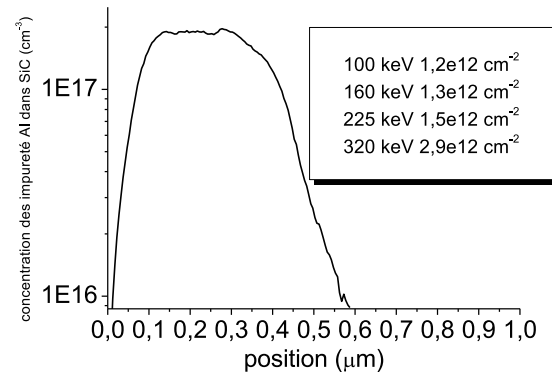


FIGURE 2.17: Concentration des impuretés Al dans le SiC en fonction de la profondeur de la JTE provenant de la simulation I^2SiC

2.2.2.3 Simulation avec anneau de JTE

Il existe une grande sensibilité de la tenue en tension en fonction de la dose de JTE. La structure avec les anneaux de JTE avec le même dopage de JTE permet de désensibiliser le V_{br} vis-à-vis du dopage de la JTE et d'augmenter le maximum de V_{br} . Dans cette partie, nous allons réaliser les simulations de la protection avec les anneaux possédant le même dopage que la JTE.

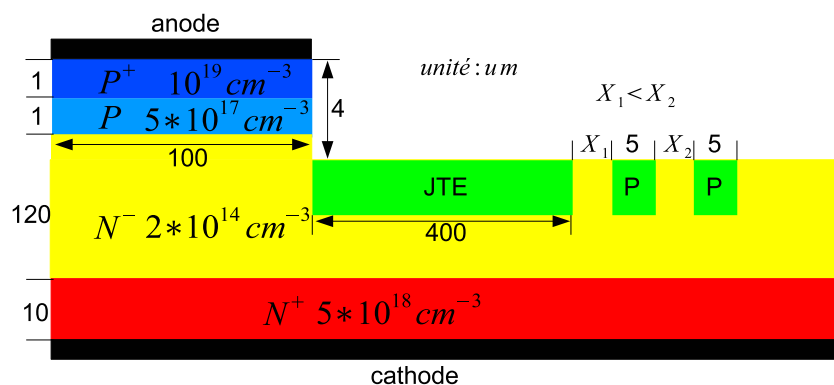


FIGURE 2.18: Vue en coupe de la diode avec la protection périphérique mesa/JTE et deux anneaux de JTE

La figure 2.18 présente une diode avec la protection de JTE et deux anneaux de

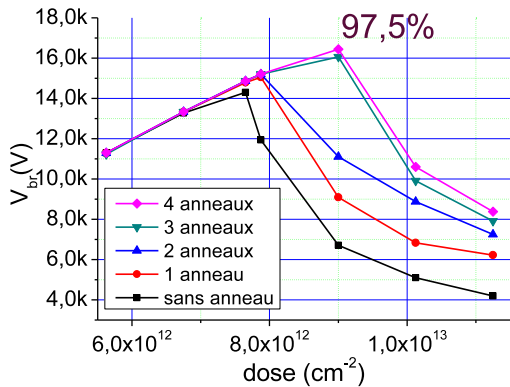


FIGURE 2.19: Tenue en tension en fonction de la dose de JTE pour différents nombres d’anneaux

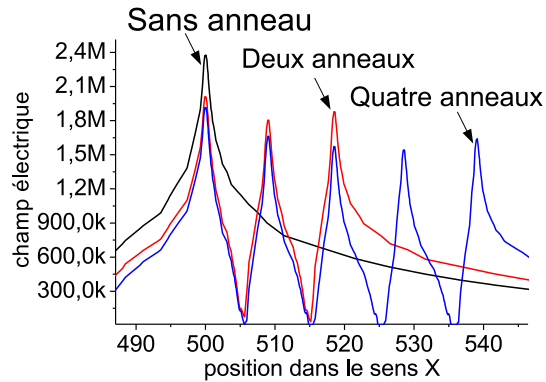


FIGURE 2.20: Vue en coupe du champ électrique dans la JTE sans anneau, avec 2 et 4 anneaux pour une tension de 6 000V

JTE. Ensuite, nous allons faire les simulations de la tenue en tension en fonction de la dose normalisée de la JTE pour différents nombres d’anneaux. Les distances entre les anneaux sont $X_1=4 \mu m$, $X_2=4,5 \mu m$, $X_3=5 \mu m$ et $X_4=5,5 \mu m$.

La figure 2.19 montre qu’avec les anneaux, une dose de JTE plus élevée peut être utilisée. Le maximum de V_{br} est déplacé vers la région fortement dopée de la JTE. Pour le modèle sans anneau, lorsque la dose de JTE est plus élevée, alors il existe un claquage en bout de poche car les lignes équipotentielles se resserrent en ce point. Lorsque on ajoute un anneau de JTE, alors le maximum de champ électrique est diminué en bout de poche car une partie des lignes équipotentielles se resserrent en bout d’anneau. Avec plusieurs anneaux situés à l’extrémité de la JTE, un dopage plus fort pourra être utilisé pour se rapprocher de la valeur V_{br} théorique (simulation semi-infinie). Le gain en tension pour quatre anneaux est faible par rapport à trois anneaux, puisque V_{br} se rapproche de la valeur de la simulation semi-infinie. Ainsi avec des anneaux supplémentaires en bout de JTE, le maximum de V_{br} augmente, et une dose de JTE plus forte peut être utilisée.

La figure 2.20 montre une coupe longitudinale du champ électrique dans la JTE sous la polarisation inverse de 6 000 V pour trois simulations : sans anneau, avec deux anneaux et avec quatre anneaux. Pour la première simulation, la dose de la JTE de $9 \times 10^{12} \text{ cm}^{-2}$ n’est pas optimale. Nous obtenons $V_{br} = 6\,700 \text{ V}$ au lieu de $14\,100 \text{ V}$ pour une dose de $7,6 \times 10^{12} \text{ cm}^{-2}$. Le champ électrique maximal se situe en bout de poche. La deuxième

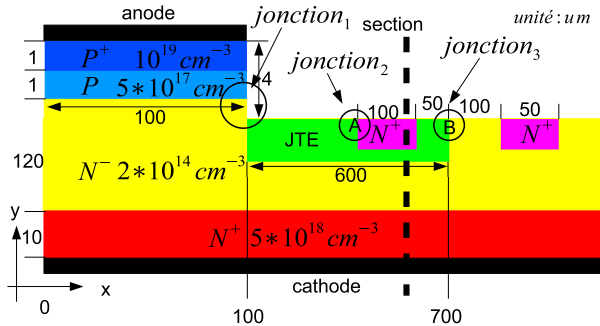


FIGURE 2.21: Vue en coupe de la diode avec un anneau de N^+ dans la JTE. Le trait vertical pointillé représente l'endroit utilisé pour le profil de dopage de la figure 2.22.

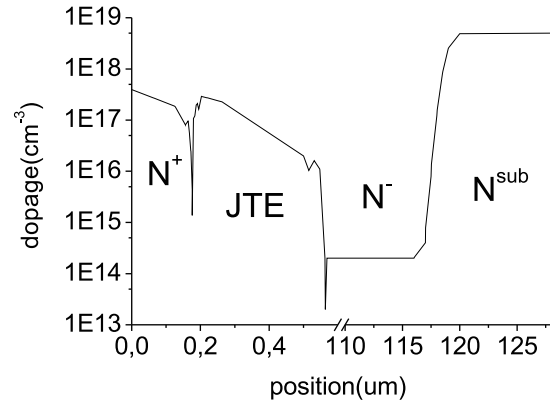


FIGURE 2.22: Profil de dopage de l'anneau N^+ dans la JTE, suivant le pointillé de la figure 2.21.

simulation, deux anneaux pour le même dopage de JTE sont présentés. Le pic de champ électrique en bout de poche est diminué. Nous obtenons $V_{br} = 11\ 100\ V$. Puis, la troisième simulation montre que quatre anneaux peuvent diminuer davantage le champ électrique en bout de poche. Cette fois-ci, nous obtenons $V_{br} = 16\ 440\ V$ comparé à $16\ 860\ V$ correspondant à une efficacité de 97,5%.

2.2.2.4 Simulation avec un anneau de N^+ dans la JTE

Une zone dopée de type N^+ située dans la zone de la JTE permet de créer une jonction supplémentaire afin d'étaler les lignes équipotentiels. Dans cette partie, nous allons donc réaliser un anneau de N^+ ayant une largeur de $100\ \mu m$ et situé à $50\ \mu m$ du bord de la JTE (figure 2.21). La figure 2.22 montre le profil de dopage de l'anneau N^+ dans la JTE. Les simulations inverses sont réalisées pour différentes doses de l'anneau N^+ . Les résultats de simulation sont représentés sur la figure 2.23.

Le maximum de V_{br} est obtenu pour des doses de la JTE de plus en plus élevées. Pour un dopage de l'anneau N^+ ($3 \times 10^{17}\ cm^{-3}$), V_{br} augmente de $2\ 000\ V$ par rapport à la terminaison JTE simple (courbe symbolisée par un dopage nul). Pour un dopage

élevé de N^+ ($4 \times 10^{17} \text{ cm}^{-3}$), le maximum de V_{br} est inférieur à 10 000 V. Ensuite nous allons tracer les courbes de profil du champ électrique sous une polarisation inverse de 8 000 V pour les 3 dopages intéressants N^+ (avec une dose de JTE $dose_{JTE} = 8,4 \times 10^{12} \text{ cm}^{-2}$)(figure 2.24). Les figures 2.21 et 2.22 montrent trois jonctions pour supporter la tension inverse périphérique. D'après la figure 2.23, s'il n'y a pas d'anneau de N^+ dans la JTE, le maximum de V_{br} se situe pour une dose de JTE à $7,9 \times 10^{12} \text{ cm}^{-2}$. Si la JTE est fortement dopée, le claquage se situe à l'extrémité de celle-ci. Un anneau de N^+ nous permet d'utiliser une implantation de JTE plus forte parce que le champ électrique est plus fort au bout de la JTE, supporté par deux jonctions. La figure 2.24 représente les champs électriques de *jonction*₂ et *jonction*₃ sous la polarisation inverse de 8 000 V. Les courbes A et B représentent les pics de champ électrique des deux jonctions. Avec le dopage N^+ ($N_d = 3 \times 10^{17} \text{ cm}^{-3}$), le champ électrique de la *jonction*₂ se rapproche de celui de la *jonction*₃. De plus, on a obtenu une tension maximale de $V_{br} = 16\,465 \text{ V}$, ainsi dans ce cas, l'efficacité de la protection est de 97%. Si la zone de N^+ est trop fortement dopée ($4 \times 10^{17} \text{ cm}^{-3}$), le claquage se situe à la *jonction*₂. En effet, l'effet de la JTE se termine à la *jonction*₂. Au contraire, le claquage se situe à la *jonction*₃ lorsque N^+ est faiblement dopé (figure 2.24).

En conclusion, la combinaison de ces différentes techniques de protection périphérique permet d'augmenter l'efficacité de celle-ci tout en essayant de minimiser l'encombrement de la protection périphérique.

2.2.2.5 Simulation avec la passivation

Dans la partie de la diode 6,5 kV, nous avons réalisé les simulations avec la passivation. Dans cette partie, les simulations de passivation vont être réalisées. Nous allons simuler une diode avec un anneau de N^+ dans la JTE et les anneaux de JTE. Selon le dessin du masque de la diode 10 kV, cette diode est une combinaison des deux types de protection périphérique. La surface est passivée par une couche d'oxyde (SiO_2) et *polymide*. La figure 2.25 représente une vue en coupe d'une diode passivée par SiO_2 ($1,5 \mu\text{m}$) et *polymide* avec une JTE ($400 \mu\text{m}$). A l'interface SiC/ SiO_2 , il existe six pics de champ électrique situés respectivement à l'extrémité de l'anneau N^+ dans la JTE, de la JTE et des quatre anneaux. Au niveau de l'interface polymide/air, pour une épaisseur suffisante de polymide, il ne reste qu'un seul pic de champ électrique au niveau de l'extrémité JTE/anneau. La figure 2.26 montre le champ maximal à l'interface

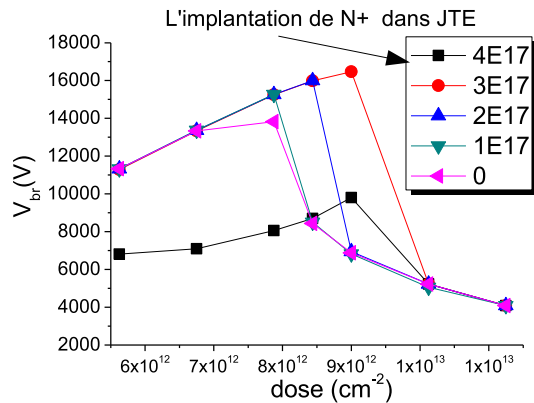


FIGURE 2.23: Courbes de la tenue en tension en fonction de la dose de la JTE (abscisse) pour différents dopages de N^+ .

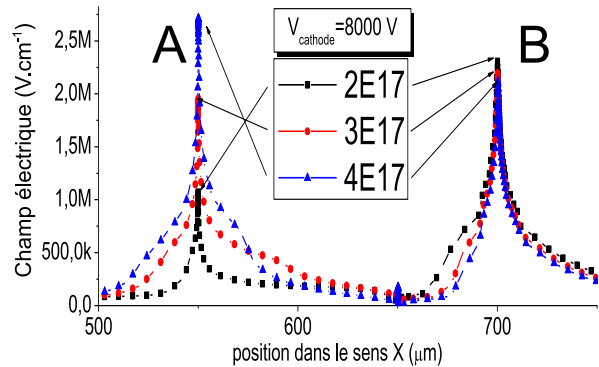


FIGURE 2.24: Vue en coupe du champ électrique maximal avec un anneau N^+ dans la JTE sous polarisation inverse de 8000 V. Les points A et B sont définis dans la figure 2.18.

polymide/air en fonction de l'épaisseur de polymide sous la polarisation inverse 10 kV. Les valeurs des champs électriques sont inversement proportionnelles à l'épaisseur du polymide.

Les résultats de simulation montrent que le polymide peut réduire le champ électrique à la surface du composant. La couche de polymide peut éviter la présence du fort champ électrique à la surface du composant dans l'air.

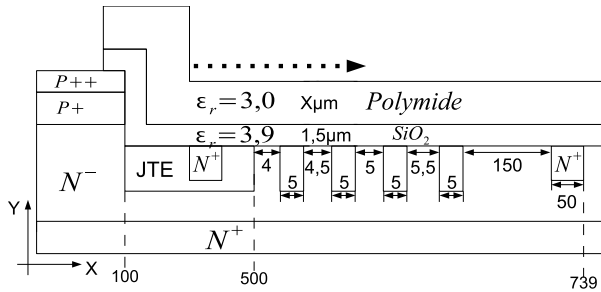


FIGURE 2.25: Vue en coupe de la diode en SiC-4H 10 kV protégée par une JTE (400 μm), trois anneaux de JTE et un anneau de N^+ dans la JTE avec la passivation de SiO_2 et *polyimide*

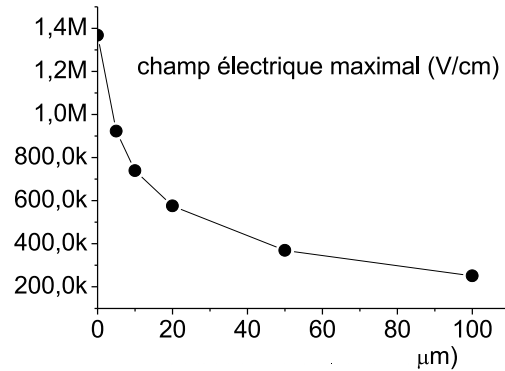


FIGURE 2.26: Champ maximal en fonction de l'épaisseur de polyimide pour la diode 10 kV.

2.3 Conception d'une diode 6,5 kV et 10 kV en direct

La partie précédente présente les conceptions des diodes 6,5 kV et 10 kV en inverse. Dans cette partie nous présentons la conception de ces mêmes diodes en direct. Nous allons tout d'abord déterminer la résistance du contact d'anode à partir de mesures obtenues pour une diode 3,3 kV [39]. Ensuite, les simulations de la durée de vie de porteurs vont être effectuées pour déterminer l'influence de la durée de vie sur la conduction directe.

2.3.1 Simulation de la résistance de contact

La résistance de contact est un paramètre très important qui influence la performance directe. Le but des simulations en direct est de déterminer la résistance de contact (résistance série). A partir de la diode 3,3 kV réalisée au CNM, nous avons extrait la résistance de contact anode uniquement car nous négligeons celle de la cathode. Cette valeur va permettre de déterminer les résistances de contact des diodes 6,5 kV et 10 kV pour une même surface.

En premier lieu, nous allons simuler une diode avec une épaisseur d'épitaxie N^- égale à 40 μm , un dopage de type-N : $N_d = 8 \times 10^{14} \text{ cm}^{-3}$ et une surface de l'anode =

$2,6 \text{ mm}^2$ pour une durée de vie $\tau_n = 500 \text{ ns}$ et $\tau_p = 100 \text{ ns}$. Selon le résultat de la diode 3,3 kV ($I_{AK} = 20 \text{ A}$ et $V_{AK} = 4,5 \text{ V}$), nous avons obtenu une résistance spécifique de contact de $1,82 \times 10^{-3} \Omega.cm^2$. Ensuite les diodes 6,5 kV et 10 kV sont simulées avec la même résistance carrée de contact et la surface d'anode. Les résultats sont présentés sur la figure 2.27.(A). Du fait d'une épitaxie de diffusion moins dopée et plus épaisse, les courants directs des diodes 6,5 kV et 10 kV sont plus petits que celui de la diode 3,3 kV pour une tension donnée, et ce particulièrement pour la diode 10 kV. Nous augmentons ensuite la surface d'anode de la diode pour obtenir un courant direct plus grand ($I_{AK} = 20 \text{ A}$ et $V_{AK} = 4,5 \text{ V}$). La figure 2.27.(B) montre qu'il faut utiliser les surfaces d'anode $3,9 \text{ mm}^2$ et $8,2 \text{ mm}^2$ pour les diodes 6,5 kV et 10 kV.

Pour la diode qui possède une tenue en tension plus grande, à cause de l'utilisation de la couche de drift plus épaisse, la résistance série à l'état passant est plus élevée. Pour obtenir la même résistance série à l'état passant, il faut augmenter la surface.

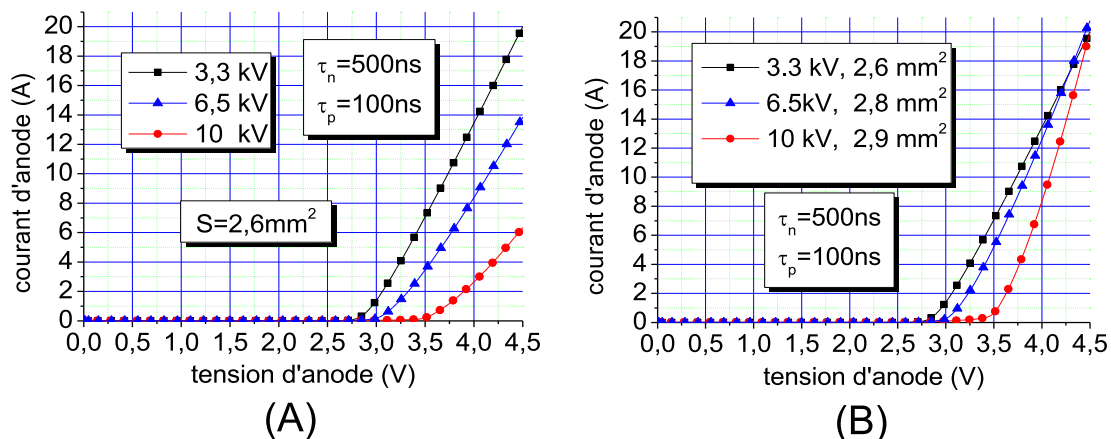


FIGURE 2.27: (A) : Courant direct en fonction de la tension direct pour les diodes : 3,3 kV $2,6 \text{ mm}^2$, 6,5 kV $2,6 \text{ mm}^2$ et 10 kV $2,6 \text{ mm}^2$ à $T=25^\circ C$. (B) : Courant direct en fonction de la tension direct pour les diodes : 3,3 kV $2,6 \text{ mm}^2$, 6,5 kV $3,9 \text{ mm}^2$ et 10 kV $8,2 \text{ mm}^2$ à $T=25^\circ C$.

2.3.2 Simulation de la durée de vie

Les durées de vie des électrons et des trous sont des paramètres très importants qui influencent la performance directe de la diode. Dans le SiC, la durée de vie est plus courte

que dans le cas du silicium. L'augmentation de la durée de vie permet d'augmenter la conduction et de diminuer la résistance à l'état passant. Pour le composant bipolaire, il faut tenir compte des 2 types de porteurs qui ont des déplacements différents (électron et trou). Dans la partie précédente, nous avons utilisé les durées de vie $\tau_n = 500 \text{ ns}$ et $\tau_p = 100 \text{ ns}$. A présent, nous allons réaliser des simulations en direct avec des durées de vie différentes. On suppose a priori un rapport 5 entre les durées de vie des électrons et des trous [34] [13]. Les résultats de la diode 2 mm^2 sont représentés sur la figure 2.28.

On constate que pour τ_p supérieur à 200 ns pour la diode 6,5 kV et supérieur à 400 ns pour la diode 10 kV, les caractéristiques électriques varient très peu. Le régime de forte injection dans la zone faiblement dopée est atteint pour les deux diodes. On constate que la durée de vie doit être d'autant plus grande que l'épaisseur des couches épitaxiées est importante. A surface équivalente, pour une tension directe de 5 V et en régime de forte injection, on a obtenu $I_A = 0,6 \text{ A}$ pour la diode 6,5 kV et 10 kV. Si $\tau_n = 1 \mu\text{s}$ et $V_{AK} = 5 \text{ V}$, $I_A = 0,6 \text{ A}$ pour la diode 6,5 kV et $I_A = 0,55 \text{ A}$ pour la diode 10 kV. Ces simulations ont été réalisées pour une résistance de contact de $1,82 \times 10^{-3} \Omega \cdot \text{cm}^{-2}$.

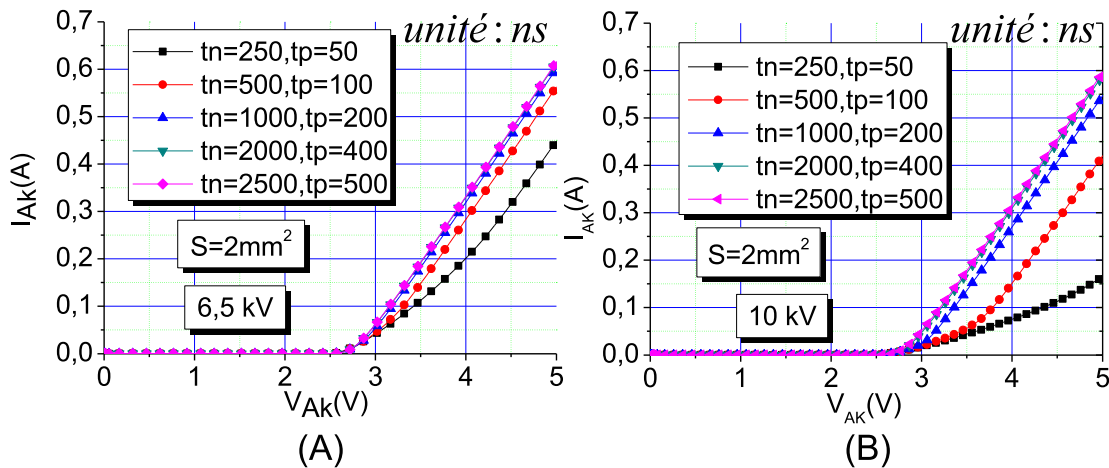


FIGURE 2.28: (A) Courant direct en fonction de la tension directe pour différentes durées de vie de la diode 6,5 kV, pour une surface de 2 mm^2 à $T=25^\circ\text{C}$. (B) Courant direct en fonction de la tension directe pour différentes durées de vie de la diode 10 kV, pour une surface de 2 mm^2 à $T=25^\circ\text{C}$.

2.4 Conclusion

Dans ce chapitre, la conception des diodes 6,5 kV et 10 kV en SiC a été présentée.

Pour les simulations en inverse, en premier lieu, nous avons simulé une diode semi-infinie pour définir les paramètres de la zone N^- . Une dose et une épaisseur optimale ont été employées. En deuxième lieu, nous avons travaillé sur la protection périphérique. La protection de mesa/JTE a été retenue. Ensuite, les optimisations du dopage de la JTE ont été recherchées afin d'obtenir le maximum de tenue en tension. Pour la diode 10 kV, une des principales innovations réside dans la protection périphérique. En effet, nous avons simulé les protections avec les anneaux de JTE à l'extrémité de celle-ci et un anneau de N^+ dans JTE, en les combinant avec une mesa. Pour la passivation, nous avons simulé l'influence des charges à l'interface de SiC/SiO_2 et de l'épaisseur du polymide sur les performances de la diode. Une épaisseur de polymide supérieure à 15 μm est souhaitable. Les résultats des simulations fournissent les données pour la fabrication.

Les simulations directes tiennent compte de la résistance du contact et de l'influence de la durée de vie des porteurs sur les performances directes. Nous avons ensuite comparé les deux diodes. Le chapitre suivant porte sur la fabrication et la caractérisation des diodes 6,5 kV et 10 kV.

Chapitre 3

FABRICATION ET CARACTERISATION DES DIODES 6,5 kV ET 10 kV

Dans le chapitre précédent, nous avons présenté la conception des diodes 6,5 kV et 10 kV en SiC-4H. Les paramètres pour la fabrication sont optimisés grâce aux simulations basées sur la méthode des éléments finis.

Dans le présent chapitre, nous allons exposer la fabrication des diodes 6,5 kV et 10 kV en SiC-4H et la caractérisation des diodes 6,5 kV. A ce jour, la fabrication des diodes 10 kV n'est pas achevée. Les procédés de fabrication des diodes 6,5 kV et 10 kV en SiC sont relativement similaires du fait que ce sont des composants PiN. Ensuite, nous allons respectivement présenter les masques des diodes 6,5 kV et 10 kV en SiC-4H. Les diodes 6 500 V sont réalisées chez IBS et les 10 kV au CNM.

Par la suite, nous allons présenter les caractérisations électriques de la diode 6,5 kV. Au laboratoire AMPERE, les mesures sont effectuées en inverse jusqu'à 400 V dans l'air. Avec la cartographie de la caractérisation 400, nous allons réaliser les caractérisations à haute tension sous vide à l'ISL. Les performances en inverse des diodes des différents wafers vont être comparées. Ensuite, la résistance spécifique va être extraite à partir des mesures de TLM. Enfin, nous allons extraire les performances en régime direct de la diode, la densité de courant à 5 V et la résistance de contact.

3.1 Fabrication des diodes 6,5 kV et 10 kV en SiC-4H

3.1.1 Procédé de fabrication des diodes 6,5 kV et 10 kV en SiC-4H

La partie précédente a présenté les simulations des diodes 6,5 kV et 10 kV sur SiC. Dans la partie suivante, nous allons présenter la réalisation du masque de diode pour la fabrication. Le processus est divisé en 8 étapes : alignement, mesa, implantation de JTE, implantation de N^+ , $ouverture_1$, $métal_{fin}$, $métal_{épais}$ et $passivation$.

Alignement et mesa

Dans la première étape "alignement" (figure 3.1), la structure de la plaque n'est pas altérée, si ce n'est par une gravure peu profonde (100nm) pour le marquage des motifs d'alignement. Dans l'étape suivante, une gravure (figure 3.2) a été effectuée jusqu'à l'épithaxie de N^- pour assurer la tenue en tension. La profondeur de gravure visée est de l'ordre de $4 \mu m$. Il s'agit de l'étape mesa.

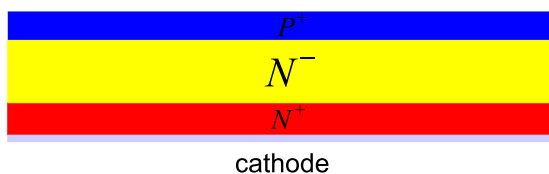


FIGURE 3.1: Vue en coupe de la diode avec le niveau d'alignement

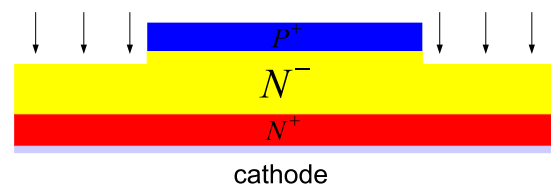


FIGURE 3.2: Vue en coupe de la diode avec le niveau de mesa

Implantation_{JTE} et N^+

Pour la protection périphérique, l'implantation de JTE (figure 3.3) est réalisée après la gravure de mesa. Une multi-implantation d'aluminium est nécessaire dans ce cadre. La région de la JTE pénètre dans la région de mesa. Pour toutes les diodes, un anneau de N^+ (figure 3.4) est implanté pour fixer le potentiel de la cathode en périphérie du composant. Pour des raisons d'alignement, nous avons fait un recouvrement de la JTE de $10 \mu m$ sur l'anode P^+ .

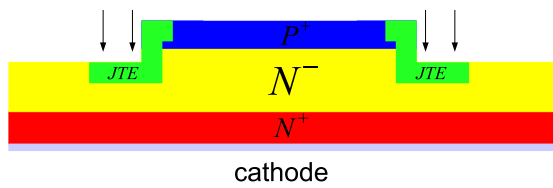


FIGURE 3.3: Vue en coupe de la diode avec le niveau d'implantation de JTE

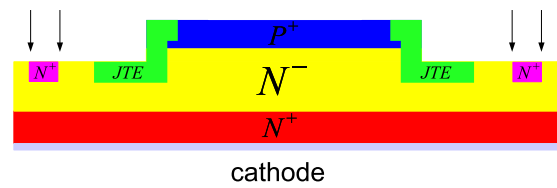


FIGURE 3.4: Vue en coupe de la diode avec le niveau d'implantation de N^+

Ouverture₁ et métal_{fin}

Ensuite, on dépose une couche de passivation ($SiO_2/1,5\mu m$). Après la gravure de la passivation (figure 3.5), une couche de métal_{fin} (figure 3.6) est posée pour créer un contact ohmique avec le SiC. Sa composition est présentée dans la table 3.3. Une métallisation fine de Ni (100nm) est réalisée en face arrière pour former le contact ohmique de la cathode. Un recuit (RTA) post-métallisation est réalisé au CNM sous une température de $950^\circ C$ pendant 2 min.

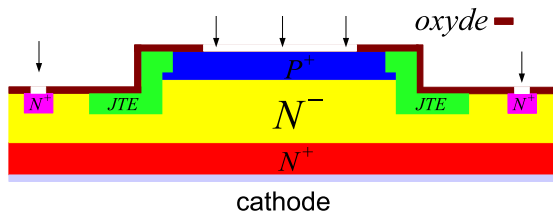


FIGURE 3.5: Vue en coupe de la diode avec le niveau de ouverture₁ d'oxyde

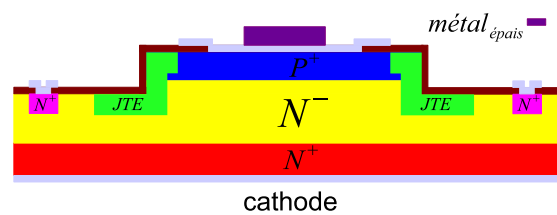


FIGURE 3.6: Vue en coupe de la diode avec le niveau de métal_{épais}

Métal_{épais} et passivation

L'étape métal_{épais} (figure 3.7) a pour rôle de créer un contact avec le circuit, c'est-à-dire déposer une couche épaisse de métal en face avant (FAV) pour fixer les fils de bonding et en face arrière (FAR) pour braser les puces. Selon les échantillons, le métal épais est de l'aluminium ou un composé Ti/Ni/Ag. Ensuite, toute la surface est passivée à l'exception du contact de diode (figure 3.8). La composition exacte est définie dans la table 3.3. Celle-ci récapitule également les caractéristiques des différentes étapes technologiques pour quatre wafers processés.

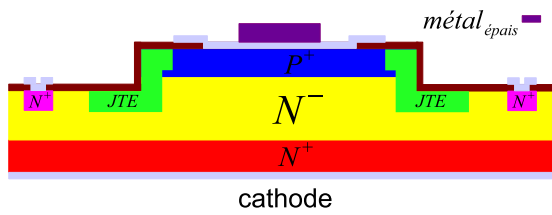


FIGURE 3.7: Vue en coupe de la diode avec le niveau de *métal épais*

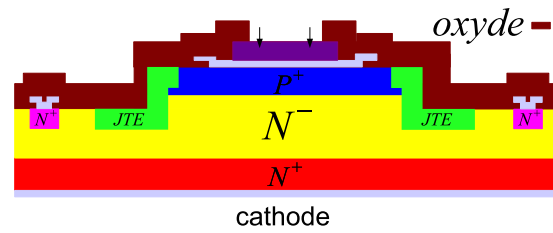


FIGURE 3.8: Vue en coupe de la diode complète avec le niveau de passivation

3.1.2 Masque de la diode 6,5 kV en SiC

La diode 6,5 kV en SiC est réalisée par IBS. La plaque est composée d'un substrat N^+ ($10^{19} cm^{-3}$) avec une épaisseur de l'ordre de $350 \mu m$, puis de l'épitaxie de drift N^- ($5 \times 10^{14} cm^{-3}$, $80 \mu m$), l'épitaxie de P^+ ($10^{18} cm^{-3}$, $1 \mu m$) et P^{++} ($1,5 \times 10^{19} cm^{-3}$ ou $5 \times 10^{19} cm^{-3}$, $1 \mu m$) selon les échantillons (table 3.3). La profondeur de la gravure de mesa est comprise entre 4 et $6 \mu m$. La figure 3.9 présente une vue en coupe de la diode 6,5 kV réalisée. Pour définir la JTE, il faut 5 implantations ioniques dont la dose cumulée ne dépasse pas les $10^{13} cm^{-2}$ et l'énergie maximale est de 320 keV. La largeur de la JTE est de $400 \mu m$. Une multi-implantation d'ions d'azote (5) est nécessaire pour le channel stopper avec une largeur de $50 \mu m$ pour une dose de $3 \times 10^{14} cm^{-3}$. Pour la mise en site des dopants et afin de recristalliser la surface, un recuit de 30 min à $1650^\circ C$ est nécessaire. Un dépôt de $1,5 \mu m$ de SiO_2 a été réalisé par PECVD. Les métaux de la cathode et anode, ainsi que les températures de recuit et compositions des métaux épais sont définis dans la table 3.3.

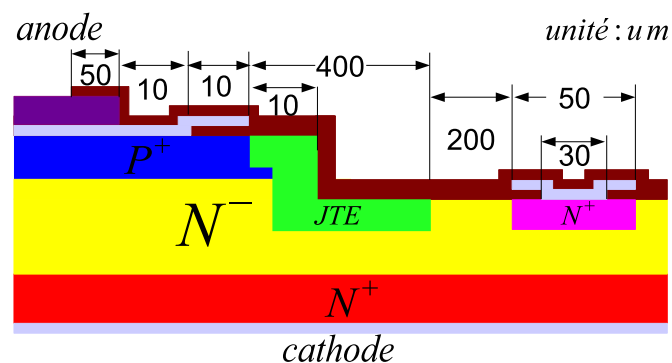


FIGURE 3.9: Vue en coupe de la diode 6.5 kV pour la fabrication avec les différentes tailles.

Nous allons réaliser quatre petites diodes carrées, deux diodes rectangulaires et deux

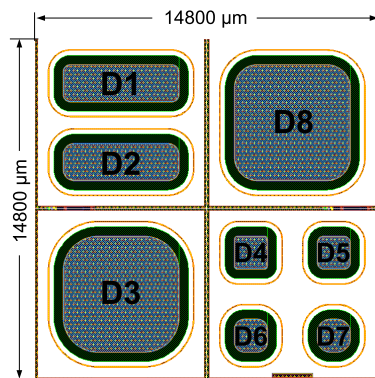


FIGURE 3.10: Un champ total de diodes 6,5 kV pour la fabrication

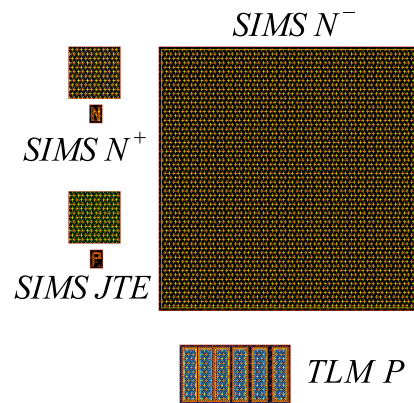


FIGURE 3.11: Les motifs test qui sont placés un champ sur deux à la position de la diode D4

grandes diodes carrées dans un champ de base. La figure 3.10 représente le dessin du champ de base ($14,8\text{ mm} \times 14,8\text{ mm}$) des diodes PiN 6,5 kV. Il se décompose en quatre quadrants. Pour éviter l'effet de pointe, il faut faire des arrondis aux angles. Les tailles des différents composants sont présentées dans la table 3.1. Les motifs de test (TLM P, SIMS JTE, SIMS N^+ et SIMS N^-) sont réalisés uniquement un champ sur deux et dans l'autre, ils sont remplacés par la diode D4 (figure 3.11). Sur un wafer de 3", environ 68 diodes de petite taille (2 mm^2), 33 diodes rectangulaires (8 mm^2) et 35 diodes de grande taille (24 mm^2) vont être réalisées. Les différents rayons de courbure sont employés pour déterminer l'optimal pour une tenue en tension de 6 500 V (table 3.1).

diode	taille	surface(mm^2)	rayon de courbure(μm)
D1	$5\text{ mm} \times 1,6\text{ mm}$	7,91	320
D2	$5\text{ mm} \times 1,6\text{ mm}$	7,80	480
D3	$5\text{ mm} \times 5\text{ mm}$	23,1	1 500
D4	$1,42\text{ mm} \times 1,42\text{ mm}$	2	142
D5	$1,42\text{ mm} \times 1,42\text{ mm}$	1,95	284
D6	$1,42\text{ mm} \times 1,42\text{ mm}$	1,86	426
D7	$1,42\text{ mm} \times 1,42\text{ mm}$	1,74	568
D8	5×5	24,1	1 000

TABLE 3.1: Les surfaces et les rayons de courbure des différentes diodes 6,5 kV

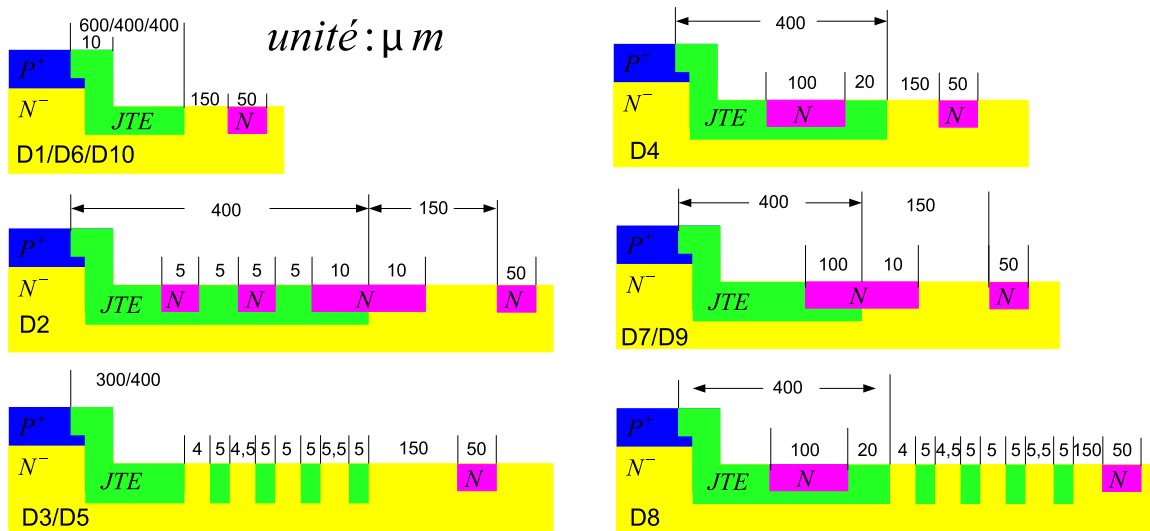


FIGURE 3.12: Vues en coupe des différentes diodes avec leur protection périphérique

3.1.3 Masque de la diode 10 kV en SiC

La diode 10 kV en SiC est réalisée au CNM. Les plaques sont composées d'un substrat N^+ ($5 \times 10^{18} \text{ cm}^{-3}$), avec une épaisseur de l'ordre de $350 \mu m$ puis de 3 épitaxies : N^- ($1 \times 10^{14} \text{ cm}^{-3}$, $117 \mu m$), P^+ ($2 \times 10^{17} \text{ cm}^{-3}$, $1 \mu m$) et P^{++} ($2 \times 10^{19} \text{ cm}^{-3}$, $0,9 \mu m$).

Dans cette partie, la réalisation des huit petites diodes avec un diamètre de $240 \mu m$, des deux grandes diodes avec une largeur de $2020 \mu m$ et les différentes structures de la protection périphérique sont présentées. Les huit petites diodes sont divisées en deux groupes pour intégration dans deux quadrants du champ de base illustré par la figure 3.14. Les deux grandes diodes avec un rayon de courbure de $450 \mu m$ sont mises en oeuvre dans les deux autres quadrants comme indiqué sur la figure 3.14.

La diode carrée est la plus efficace en termes d'optimisation de la surface. Mais l'effet de pointe peut diminuer la tenue en tension de la diode carrée. Un arrondi de la diode 10 kV comme de la diode 6,5 kV avec un rayon de courbure assez grand est très important pour limiter l'effet de pointe. Mais la diode 10 kV a une surface active beaucoup plus petite que la diode 6,5 kV. Pour éviter l'effet de pointe, nous avons décidé de réaliser des petites diodes rondes. Les huit petites diodes réalisées possèdent la même structure. Les différences portent sur les protections périphériques.

Exceptée la protection mesa/JTE de base, nous allons employer plusieurs types

de protection périphérique issus des résultats de simulation (chapitre 2). Ensuite, les différentes protections périphériques sont illustrées par la figure 3.12. La table 3.2 récapitule les paramètres des différentes protections périphériques et la surface des diodes. D1 possède une JTE avec une largeur de $600 \mu m$. Cette diode servira de référence. Ainsi, nous verrons l'apport des nouvelles protections périphériques. D6 et la grande diode D10 possèdent la même protection que D1, sauf que la largeur de la JTE est de $400 \mu m$. La largeur de la JTE de D2 est de $400 \mu m$. De plus, deux anneaux de N^+ avec une largeur de $5 \mu m$ et un anneau de N^+ sur JTE et N^- sont réalisés. Les diodes D3 et D5 sont protégées par JTE avec des largeurs de $300 \mu m$ et $400 \mu m$. Pour améliorer la stabilité de V_{br} à la dose de la JTE, 4 anneaux avec une largeur de $5 \mu m$ sont réalisés avec les décalages : $4 \mu m$, $4.5 \mu m$, $5 \mu m$ et $5.5 \mu m$. D4 possède un anneau de N^+ dans la JTE avec une largeur de $100 \mu m$ et le décalage de $20 \mu m$ au bord de la JTE. D7 et D9 possèdent les mêmes protections avec la JTE ($400 \mu m$) et un anneau de N^+ avec une largeur de $110 \mu m$ sur JTE et N^- . D8 est la combinaison de D4 et D5. Pour toutes les diodes, un anneau de N^+ avec une largeur de $50 \mu m$ et un décalage de $150 \mu m$ à partir du bord de la JTE est réalisé. La figure 3.12 illustre les vues en coupe des différentes diodes réalisées.

<i>nom</i>	taille sans JTE(mm^2)	description
D1	$\pi \times (0.12)^2 = 0.045$	JTE($600\mu m$)
D2	$\pi \times (0.12)^2 = 0.045$	JTE($400\mu m$), $2N_{JTE}^+$, $1N_{inout}^+$
D3	$\pi \times (0.12)^2 = 0.045$	JTE($300\mu m$), 4 anneau _{JTE}
D4	$\pi \times (0.12)^2 = 0.045$	JTE($400\mu m$), $1N_{JTE}^+$
D5	$\pi \times (0.12)^2 = 0.045$	JTE($400\mu m$), 4 anneau _{JTE}
D6	$\pi \times (0.12)^2 = 0.045$	JTE($400\mu m$)
D7	$\pi \times (0.12)^2 = 0.045$	JTE($400\mu m$), $1N_{inout}^+$
D8	$\pi \times (0.12)^2 = 0.045$	JTE($400\mu m$), 4 anneau _{JTE} , $1N_{JTE}^+$
D9	$2.02^2 - (0.45 \times 2)^2 + \pi \times (0.45)^2 = 3.9$	JTE($400\mu m$), $1N_{inout}^+$
D10	$2.02^2 - (0.45 \times 2)^2 + \pi \times (0.45)^2 = 3.9$	JTE($400\mu m$)

TABLE 3.2: Les paramètres des diodes 10 kV réalisées par le CNM

Les deux motifs du tests SIMS (Secondary Ion Mass Spectroscopy) sont développés pour analyser chimiquement l'implantation de la JTE et N^+ . Trois TLM (JTE, N^+ et P^+) sont réalisés spécifiquement pour mesurer les résistances de contact métallique sur N^+ et P^+ , ainsi que les résistances carrées des couches JTE, N^+ et P^+ (figure 3.13).

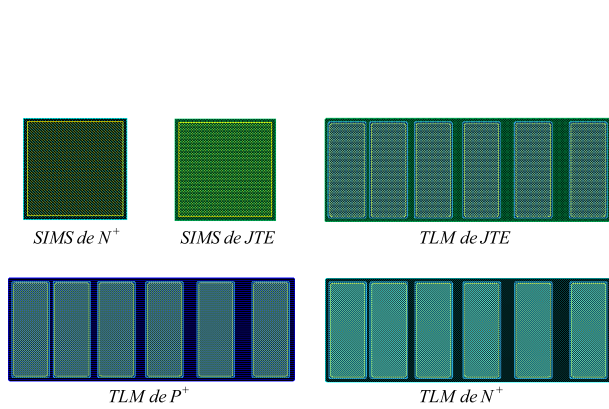


FIGURE 3.13: Schémas des motifs de tests, SIMS de JTE, SIMS de N^+ , TLM de P^+ dans JTE, TLM de N^+ et TLM de P^+ dans P^+

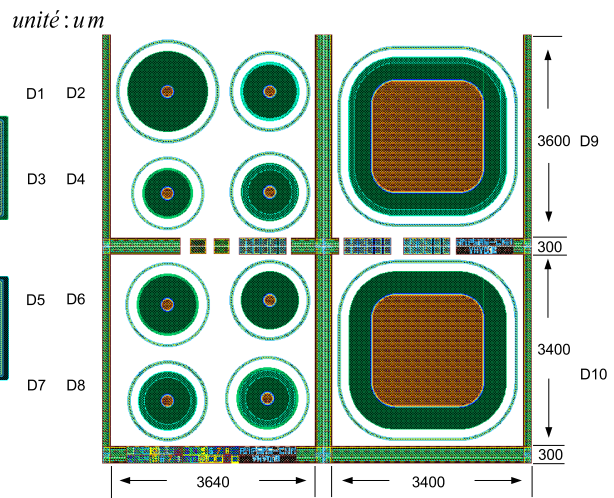


FIGURE 3.14: Schéma du champ total de masque de la diode 10 kV

3.2 Caractérisation de la diode 6,5 kV en SiC-4H

3.2.1 Plaquettes de la diode 6,5 kV en SiC-4H

Les plaquettes de la diode 6,5 kV en SiC-4H sont achetées chez CREE. La fabrication des diodes a eu lieu chez IBS. La figure 3.15 est une photo d'un des wafers de diode 6,5 kV en SiC. On a réalisé 4 wafers (PIN02-PIN05) avec le même masque. La table 3.3 présente les paramètres des quatre wafers.

wafer	<i>PIN02</i> <i>FQ0827</i>	<i>PIN03</i> <i>HT0388</i>	<i>PIN04</i> <i>FA0841</i>	<i>PIN05</i> <i>DJ0993</i>
N^-	$5 \times 10^{14}/80\mu m$	$5 \times 10^{14}/80\mu m$	$5 \times 10^{14}/80\mu m$	$5 \times 10^{14}/80\mu m$
P^+	$10^{18}/1\mu m$	$10^{18}/1\mu m$	$10^{18}/1\mu m$	$10^{18}/1\mu m$
P^{++}	$1,5 \times 10^{19}/1\mu m$	$1,5 \times 10^{19}/1\mu m$	$5 \times 10^{19}/1\mu m$	$1,5 \times 10^{19}/1\mu m$
Recuit activation	<i>CNM</i> 1 650°C/30min argon	<i>CNM</i> 1 650°C/30min argon	<i>IM2NP</i> 1 650°C/30min argon 6N	<i>CNM</i> 1 650°C/30min argon
Métallisation FAV	<i>Alu</i> (3μm)	<i>Alu</i> (3μm)	<i>Ti/Ni/Ag</i> (4μm)	<i>Ti/Ni/Ag</i> (4μm)
Métallisation FAR	<i>Ti/Ni/Ag</i> (30/100/4 000nm)	<i>Ti/Ni/Ag</i> (30/3 000/100nm)	<i>Ti/Ni/Ag</i> (30/100/4 000nm)	<i>Ti/Ni/Ag</i> (30/100/4 000nm)
Métal Anode	<i>Ti/Al/Ti/Ni</i> (5/6/30/100nm)	<i>Ti/Al/Ti/Ni</i> (5/6/30/100nm)	<i>Ti/Al/Ti/Ni</i> (5/6/30/100nm)	<i>Ti/Al/Ti/Ni</i> (5/6/30/100nm)
Métal Cathode	<i>Ni</i> /(100nm)	<i>Ni</i> /(100nm)	<i>Ni</i> /(100nm)	<i>Ni</i> /(100nm)
Passivation primaire	<i>SiO₂</i> /1,5μm	<i>SiO₂</i> /1,5μm	<i>SiO₂</i> /1,5μm	<i>SiO₂</i> /1,5μm
Recuit métal	950°C/2min	900°C/2min	950°C/2min	950°C/2min

TABLE 3.3: Récapitulatif des paramètres de wafer et des différences de puces.

3.2.2 Caractérisation de la tenue en tension

3.2.2.1 Caractérisation inverse à 400 V

Les diodes sont caractérisées sous air. La passivation finale n'étant pas réalisée, la tension inverse est limitée à 400 V. Le traceur de courbes Agilent B1505 a été employé (figure 3.16). Il est couplé à une station sous pointe semi-automatique signatone S460. Le traceur pilote le déplacement via une liaison GPIB. Nous pouvons déterminer les composants qui ont une tenue en tension supérieure à 400 V. Les courants de fuite sont divisés par quatre niveaux pour caractériser la performance inverse des diodes 6,5 kV. Un code de quatre couleurs est employé pour représenter le courant de fuite sous la polarisation inverse de 400 V.

La figure 3.17 présente la cartographie de PIN02. Les défauts en bordure du wafer

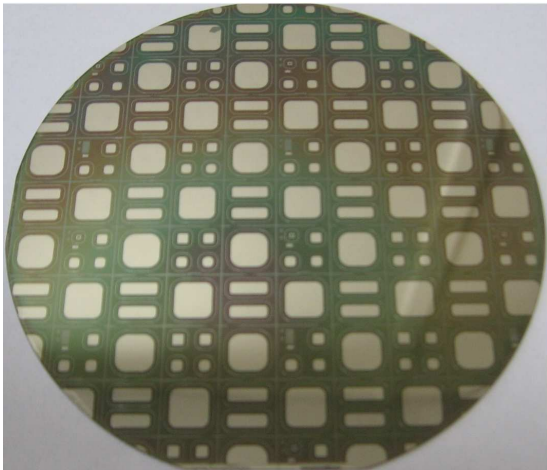


FIGURE 3.15: Photo d'un wafer de diodes réalisées sur SiC-4H avec un objectif de 6,5 kV



FIGURE 3.16: Le système de mesure Agilent B1505 avec la station sous pointes semi-automatique.

conduisent au claquage de la diode. Dans le champ B2, à cause d'un défaut, une petite diode a une faible tenue en tension, tandis qu'une grande diode possède un courant de fuite très grand. Quelques défauts dans la zone 2 conduisent à des tenues en tension faibles de diodes dans les champs B3, C3 et C4. La table dans la figure 3.17 présente les résultats statistiques. Pour 133 diodes, 102 diodes ont une tension en inverse supérieure à 400V. Pour les trois surfaces de diode, on a obtenu des efficacités similaires. Ces résultats montrent que le process technologique n'a pas d'influence sur les caractéristiques électriques des diodes jusqu'à 400 V.

La figure 3.18 présente la cartographie de PIN03. Nous avons observé de nombreux défauts. Les diodes dans les champs B3 et C3 qui sont situées loin du bord du wafer possèdent une tenue en tension supérieure à 400 V. Nous n'avons obtenu que trois grandes diodes, cinq diodes moyennes et quinze petites diodes pour les mesures à haute tension. Le résultat statistique montre que la plupart des diodes ont une tenue en tension très faible due à un fort courant de fuite. Cet échantillon ayant été traité en premier, ceci démontre que la technologie n'était pas tout à fait au point.

Pour PIN04, nous n'avons pas observé beaucoup de défauts (figure 3.19). Les défauts au centre du wafer conduisent au claquage de trois grandes diodes au centre. Le résultat statistique montre que sur 133 diodes, 94 peuvent supporter une tension inverse supérieure

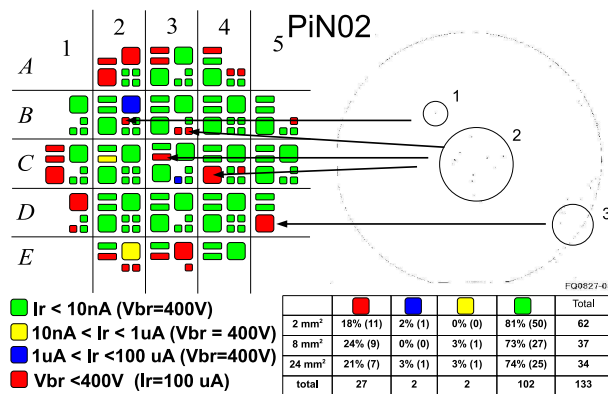


FIGURE 3.17: Cartographie des caractérisations sous polarisation inverse de 400 V de PIN02 réalisées au laboratoire AMPERE.

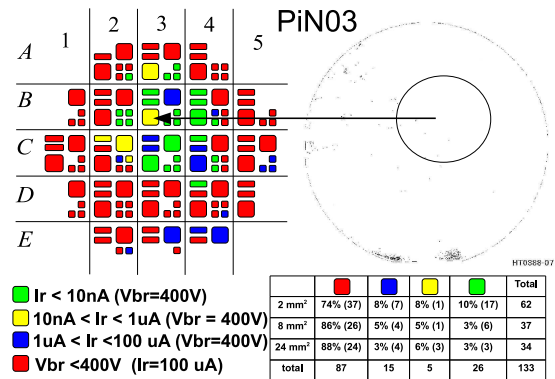


FIGURE 3.18: Cartographie des caractérisations sous polarisation inverse de 400 V de PIN03 réalisées au laboratoire AMPERE.

à 400 V. La surface de 2 mm² est plus efficace car la probabilité de la présence de défaut dans la zone active de la petite diode est plus faible que dans le cas de la grande diode.

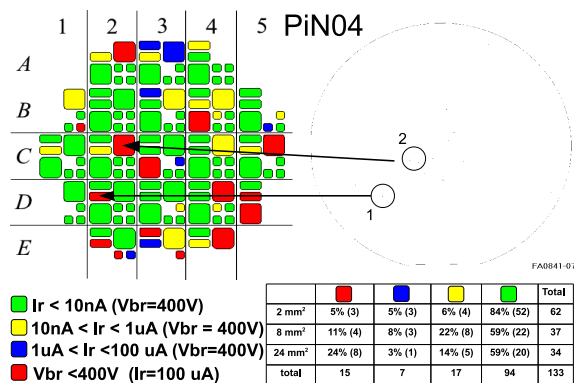


FIGURE 3.19: Cartographie des caractérisations sous polarisation inverse de 400 V de PIN04 réalisées au laboratoire AMPERE.

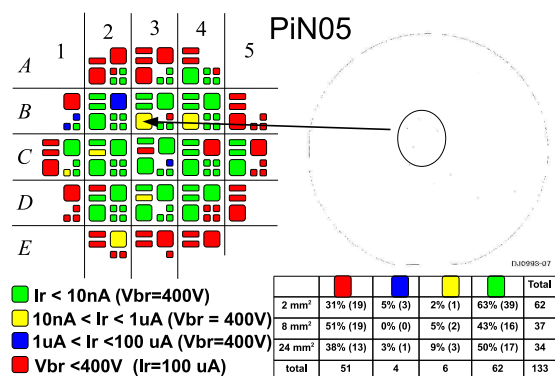


FIGURE 3.20: Cartographie des caractérisations sous polarisation inverse de 400 V de PIN05 réalisées au laboratoire AMPERE.

Pour PIN05, nous n'avons pas observé beaucoup de défauts (figure 3.20). La plupart des diodes au centre du wafer peuvent supporter une tension inverse supérieure à 400V. Les résultats statistiques montrent que la surface de 2 mm² est plus efficace. Ceci est due au fait que la probabilité de rencontrer un défaut sur une surface petite est plus faible. Les caractérisations sous haute tension vont ensuite être effectuées à l'ISL.

En conclusion, PIN03 est un échantillon présentant deux problèmes : le matériau de départ est de qualité moyenne et la technologie n'était pas tout à fait au point. L'avancement de la technologie permet de montrer que les efficacités à 400 V pour les diodes de 2 et 24 mm^2 sont similaires. C'est le cas de PIN02.

3.2.2.2 Caractérisation sous haute tension à l'ISL

Après la caractérisation sous tension inverse de 400 V au laboratoire AMPERE, nous allons effectuer les caractérisations inverses sous haute tension et sous vide à l'Institut franco-allemand de recherche de Saint Louis (ISL). Les performances en inverse de PIN03 ne sont pas satisfaisantes, et par conséquent, nous montrerons uniquement les caractérisations des diodes de PIN02, PIN04 et PIN05. Le banc de mesures de l'ISL est constitué d'un cryostat permettant d'atteindre des niveaux de vide de l'ordre de 10^{-3} *mbar*. Il est couplé à une source haute tension de marque FUG-20 kV. De plus, le chuck est pilotable via une liaison GPIB pour réaliser des cartographies. La figure 3.21 illustre le cryostat avec le chuck motorisé. Les résultats statistiques avec les différentes surfaces de diode et rayons de courbure sont illustrés par la table 3.4. On définit la tenue en tension du composant la tension en inverse sous laquelle le courant de fuite est égal à $1\mu A$.

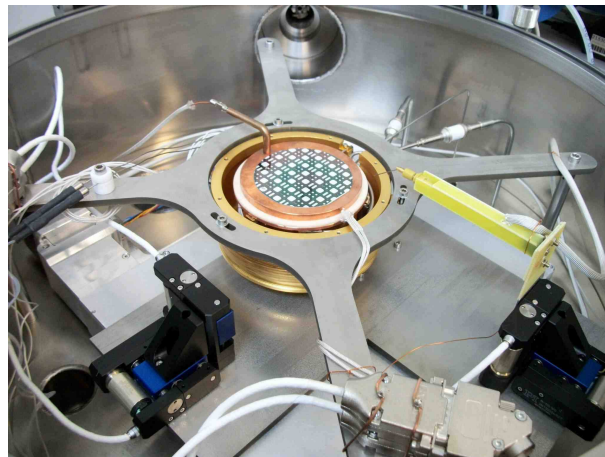


FIGURE 3.21: Le système de mesure FUG-20 kV à l'ISL. Sur cette photographie, le wafer est en place au centre du cryostat.

Sur le masque, nous avons placé des diodes avec différents rayons de courbure pour déterminer l'impact de celui-ci sur la tenue en tension. Mais nous n'avons pas observé de claquage dû à un faible rayon de courbure pour les trois wafers (table 3.4). Par conséquent,

pour une diode de 2 mm^2 , un rayon de courbure de $80 \text{ }\mu\text{m}$ est suffisant. Pour les diodes 8 et 24 mm^2 , un rayon de courbure de $300 \text{ }\mu\text{m}$ est adapté.

La table 3.5 présente les résultats statistiques relatifs aux trois wafers. Pour les trois wafers, la grande diode (24 mm^2) présente une tenue en tension plus petite que la petite diode (2 mm^2), en particulier pour le wafer PIN02. Pour les surfaces de 2 et 24 mm^2 , nous avons observé 1,5 kV de diminution de la tenue en tension ainsi que 0,55 kV et 0,57 kV de diminution pour PIN04 et PIN05. En termes statistiques, PIN02 et PIN05 possèdent des tenues en tension plus grandes. Les diodes de PIN04 présentent des tenues en tension moins homogènes que PIN05 et PIN02, car l'écart-type de PIN04 est plus grand que celui déterminé pour les diodes des wafers PIN05 et PIN02. Le problème peut être attribué au recuit post-implantation du dopage de la JTE de PIN04. PIN04 est moins performant que PIN02, cependant PIN04 présente des diodes de 2 mm^2 qui ont des tenues en tension supérieures à 8 kV avec les courants de fuite les plus faibles. Ceci implique que le maximum de la tenue en tension caractérisant PIN04 est supérieur à celui de PIN02 et de PIN05. Des analyses supplémentaires telles que des SIMS ou mesures de type Effet Hall sont nécessaires pour déterminer les dopages de la JTE. Il est possible que de légères variations de dose fassent varier la tenue en tension. De plus, des mesures optiques telles que l'OBIC sont requises pour remonter au profil du champ et donc déterminer si la dose de la JTE est optimale.

La figure 3.22 montre un exemple de caractéristiques du courant de fuite pour PIN02, PIN04 et PIN05. Le courant de fuite est inversement proportionnel à la surface de diode. Les tenues en tension des petites diodes de PIN02 et PIN04 sont supérieures à 8 000 V. La diode 2 mm^2 de PIN04 présente un courant de fuite très faible jusqu'à 8 000 V. Du fait du recuit post implantation, PIN04 possède des diodes qui ont des tenues en tension plus élevées que les autres. Ceci est dû à une meilleure mise en site des dopants (efficacité JTE). Mais la limite du recuit est sa reproductibilité sur toute la surface du wafer. Pour PIN05, les courants de fuites sont plus élevés que les autres wafers. Ceci peut provenir de l'interface SiC/SiO_2 qui est de moins bonne qualité pour cet échantillon, même si les conditions expérimentales sont similaires pour les trois wafers.

wafer	surface	Rayon de courbure (μm)	Moyenne (kV)	Ecart-type (kV)
PIN02	2 mm ²	80	4,9	1,52
		220	4,94	1,47
		350	4,64	1,89
		500	4,63	1,9
	8 mm ²	300	3,55	1,52
		500	3,43	1,07
	24 mm ²	800	3	1,32
1 300		3,62	1,37	
PIN04	2 mm ²	80	4,07	2,33
		220	3,55	2,32
		350	3,21	2,58
		500	3,63	2,57
	8 mm ²	300	3,27	1,89
		500	2,31	1,93
	24 mm ²	800	3,29	1,79
1 300		2,72	1,66	
PIN05	2 mm ²	80	4,93	1,0
		220	4,24	1,54
		350	4,38	1,31
		500	4,63	1,68
	8 mm ²	300	4,13	1,30
		500	4,31	0,72
	24 mm ²	800	3,9	1,2
1 300		4,02	1,24	

TABLE 3.4: Les résultats statistiques de PIN02, PIN04 et PIN05 en fonction de la surface de la diode et du rayon de courbure.

wafer	surface	Moyenne (kV)	Ecart-type (kV)	valeur maximale (kV)
PIN02	$2mm^2$	4,75	1,71	8
	$8mm^2$	3,49	1,29	7,4
	$24mm^2$	3,24	1,34	6,2
PIN04	$2mm^2$	3,47	2,42	8
	$8mm^2$	2,91	1,92	6,8
	$24mm^2$	2,92	1,68	7,6
PIN05	$2mm^2$	4,48	1,36	4,93
	$8mm^2$	4,21	1,05	5,6
	$24mm^2$	3,91	1,2	6,2

TABLE 3.5: Les résultats statistiques de PIN02, PIN04 et PIN05 en fonction de la surface de la diode.

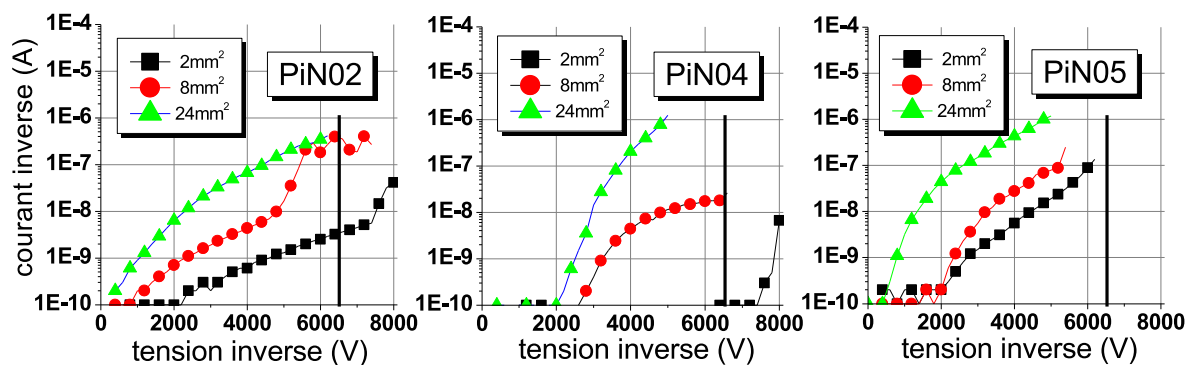


FIGURE 3.22: Exemple de caractéristiques de courant de fuite des diodes 2, 8 et $24 mm^2$ pour PIN02, PIN04 et PIN05.

3.2.3 Caractérisation en direct

Dans cette partie, en premier lieu, dans la caractérisation de la diode sans recuit, la résistance du contact observée est très grande. Le recuit est une étape indispensable pour la formation du contact ohmique sur le SiC. A partir de 800 °C, un comportement ohmique est observé. Au-delà, une température pouvant atteindre 1 000 °C est nécessaire pour obtenir un bon contact ohmique.

3.2.3.1 Transfer Length Method (TLM)

La méthode la plus courante pour extraire la résistance spécifique d'un contact ohmique est la structure dite de Transfer Length Method (TLM) qui consiste à réaliser plusieurs résistances avec des longueurs différentes entre les plots de contact. On a réalisé un motif TLM de P^+ pour déterminer la résistance carrée d'épitaxie P^+ et la résistance du contact entre le métal et l'épitaxie P^+ (figure 3.23). La résistance entre deux plots de contact (R_T) est la somme de la résistance du semi-conducteur (R_{sc}) et des deux résistances de contact (R_c).

$$R_T = 2R_c + R_{sc} \quad (3.1)$$

Puisque la résistance du semi-conducteur varie en fonction de la longueur séparant (d) les deux plots de contact.

$$R_{sh} = \frac{R_c}{L_T} \times W \quad (3.2)$$

$$\rho_C = R_{sh} \times L_T^2 \quad (3.3)$$

avec L_T la longueur de transfert et R_{sh} la résistance carrée.

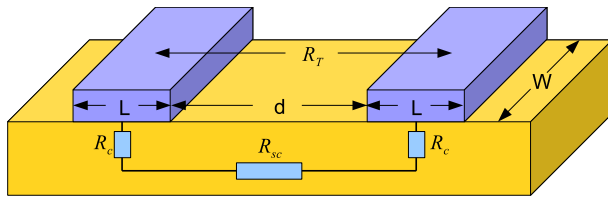


FIGURE 3.23: Description de la structure TLM

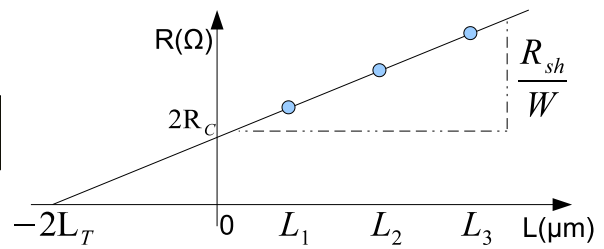


FIGURE 3.24: Caractérisation électrique du motif TLM

3.2.3.2 Caractérisation avant le recuit

La figure 3.25 présente les résultats des caractérisations directes de la diode SiC-4H 6,5 kV avant le recuit. Trois diodes avec les surfaces de 2 mm^2 , 8 mm^2 et 24 mm^2 sont mesurées. Le contact non recuit possédant une résistance spécifique plus élevée, une polarisation directe jusqu'à 10 V est donc appliquée.

Jusqu'à 10 V, de très faibles courants sont observés. Sous une tension directe de 10 V, un courant de 4 mA est mesuré. La tension de seuil de la diode n'est pas évidente à cerner du fait d'une résistance de contact très élevée. Il existe normalement une grande résistance entre la pointe de mesure et la surface du métal. Si nous n'utilisons qu'une seule pointe, le résultat de mesure sera erroné car nous trouverons que la densité de courant de la grande diode sera plus faible que celle de la petite diode. Pour éviter cette erreur, et après recuit de métallisation, les mesures ont été réalisées avec 4 pointes sur l'anode (3 pour la puissance et une pour le Kelvin).

La figure 3.26 présente le résultat de la caractérisation du motif TLM. Lorsque la tension de la polarisation est inférieure à 15 V, seul un courant très faible est mesuré. La résistance du contact est alors très grande. La résistance carrée du semi-conducteur ne peut pas être extraite, car la variation de la résistance en fonction de la longueur de la partie du semi-conducteur est très petite par rapport à la résistance du contact ($\Delta R \ll R_{\text{contact}}$). Nous espérons que nous pourrions extraire la résistance carrée du semi-conducteur après la diminution de la résistance de contact grâce au recuit haute température.

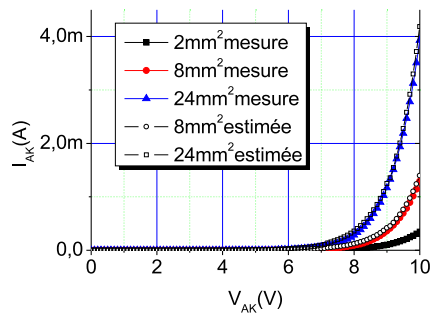


FIGURE 3.25: Caractéristique directe $I(V)$ des trois diodes (2 mm^2 , 8 mm^2 et 24 mm^2) avant le recuit

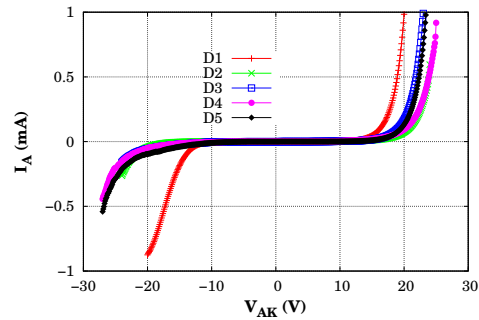


FIGURE 3.26: Caractéristiques de la résistance totale en fonction de la distance des plots. Les courbes sont indiquées $D1=20\ \mu\text{m}$, $D2=30$, $D3=40\ \mu\text{m}$, $D4=50\ \mu\text{m}$, $D5=60\ \mu\text{m}$.

3.2.3.3 Caractérisation directe après recuit

Après le recuit à haute température, le contact est amélioré. La résistance du contact diminue et donc la résistance spécifique peut être extraite par la caractérisation du motif-test TLM. Mais pour tous les échantillons, les mesures TLM montrent que des contacts ohmiques sur du SiC de type P sont difficiles à obtenir. Les mesures de contacts sur type P montrent un effet redresseur. Les figures 3.27, 3.28, 3.29 et 3.30 présentent les caractérisations de TLM. Les extractions de la résistance spécifique pour les échantillons PIN02 - PIN05 sont présentées dans la figure 3.31. Les contacts sur PIN04 semblent un peu moins résistifs que ceux sur PiN02. Ceci est dû au fait que le dopage P^+ de contact de PIN04 ($N_A = 5 \times 10^{19}\text{ cm}^{-3}$) est plus fort que celui de PIN02 ($N_A = 1,5 \times 10^{19}\text{ cm}^{-3}$). On constate que PIN04 est plus conducteur que les autres échantillons donc en régime direct, les diodes de PiN04 sont plus performantes.

Les mesures de TLM précédentes ont été effectuées à température ambiante. La stabilité du contact ohmique est étudiée en fonction de la température. Le test a été réalisé dans l'air à partir de la température ambiante jusqu'à $200\text{ }^\circ\text{C}$. La variation de la résistance spécifique est présentée sur la figure 3.32. Il apparaît que la résistance spécifique diminue en fonction de la température. Après $150\text{ }^\circ\text{C}$, la variation est très faible. Pour des températures plus élevées, la résistance spécifique reste constante [41]. Ces variations pourraient être attribuées à l'effet tunnel.

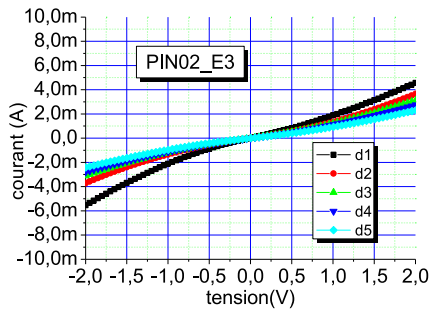


FIGURE 3.27: I(V) du motif TLM sur type P^+ pour différentes distances des plots pour le wafer PIN02.

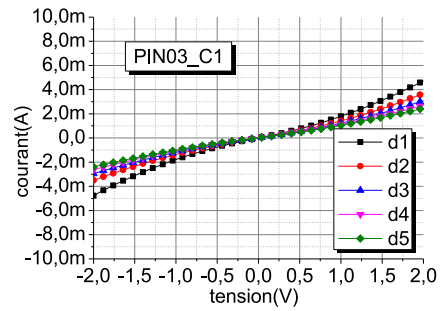


FIGURE 3.28: I(V) du motif TLM sur type P^+ pour différentes distances des plots pour le wafer PIN03.

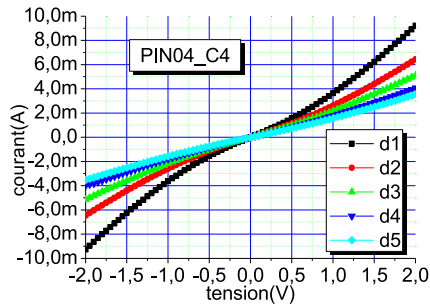


FIGURE 3.29: I(V) du motif TLM sur type P^+ pour différentes distances des plots pour le wafer PIN04.

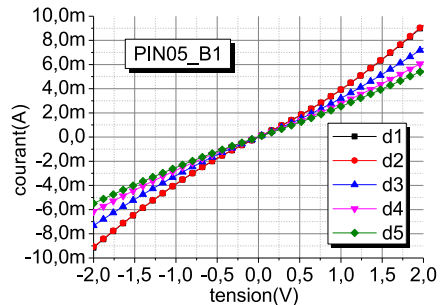


FIGURE 3.30: I(V) du motif TLM sur type P^+ pour différentes distances des plots pour le wafer PIN05.

Les diodes ont été caractérisées en mode DC. La figure 3.33 représente les courants en fonction des tensions directes pour les quatre échantillons. La tension de seuil est de 3 V à comparer à 0,7 V pour une diode en silicium. Ceci est dû au fait que le SiC à une largeur de bande interdite (3 eV) supérieure à celle du Si (1,1 eV).

La figure 3.34 représente la densité de courant de travail possible en fonction des courbes d'iso-puissance. Pour PIN02 et PIN04, les courbes $J(V)$ relatives aux diodes 2 mm^2 et 8 mm^2 sont superposées.

La table 3.7 montre les résultats statistiques des mesures de tension directe des wafers en fonction de la surface des diodes pour une densité de courant de 80 $A.cm^{-2}$. Pour PIN02 et PIN04, les valeurs moyenne et minimum de la tension directe sont similaires : la surface des diodes n'influence donc pas la densité de courant. Cela correspond à la figure

Echantillons	PIN02	PIN03	PIN04	PIN05
$R_{sh}(k\Omega)$	2,8	4	3	1,52
$\rho_C(\Omega.cm^2)$	7×10^{-2}	$2,5 \times 10^{-2}$	$5,2 \times 10^{-3}$	$9,5 \times 10^{-3}$

TABLE 3.6: Résultats de mesure en termes de résistance carrée et de résistivité pour les wafers (PIN02 - PIN05), effectuées sur 2 motifs TLM par wafer

wafer	surface	Moyenne (V)	Ecart-type (V)	valeur minimale (V)
PIN02	$2 mm^2$	4,05	0,13	3,82
	$8 mm^2$	3,93	0,09	3,83
	$24 mm^2$	3,94	0,09	3,8
PIN03	$2 mm^2$	4,03	0,11	3,83
	$8 mm^2$	4,26	0,14	4,05
	$24 mm^2$	4,8	0,27	4,39
PIN04	$2 mm^2$	3,72	0,05	3,65
	$8 mm^2$	3,69	0,03	3,65
	$24 mm^2$	3,75	0,04	3,7
PIN05	$2 mm^2$	3,87	0,04	3,81
	$8 mm^2$	3,89	0,05	3,82
	$24 mm^2$	4,04	0,1	3,96

TABLE 3.7: Les résultats statistiques des mesures directes des wafers en fonction de la surface de diode pour la densité de courant de $80 A.cm^{-2}$.

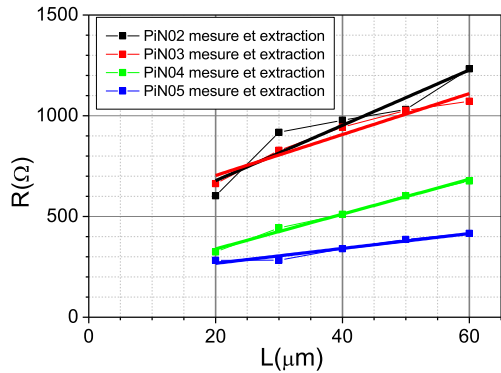


FIGURE 3.31: Caractéristique de la résistance totale pour différentes distances des plots pour les 4 wafers.

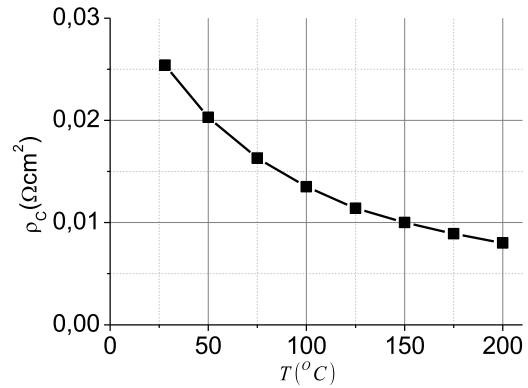


FIGURE 3.32: Evolution de la résistance de contact en fonction de la température pour PIN03.

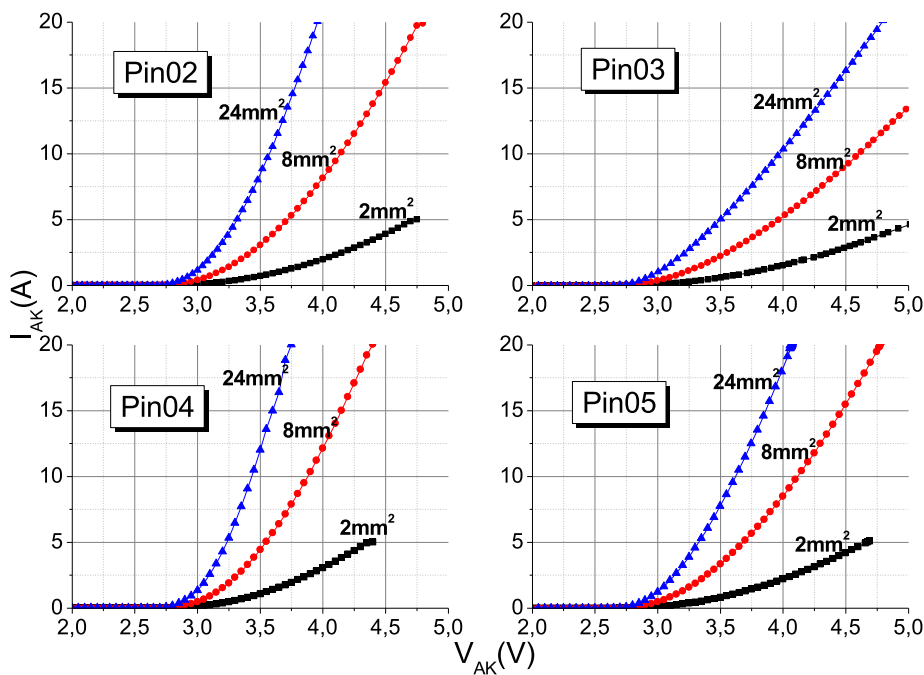


FIGURE 3.33: Exemple de caractéristiques en direct des diodes 2, 8 et 24 mm² pour les 4 wafers à 25 °C pour des impulsions de courant égales à 256 μs.

3.34. Ceci démontre également que le nombre de pointes fixé à 4 semble optimal. Pour PIN03, les valeurs moyenne et le minimum de la tension directe sont proportionnelles à la surface de diode. Ceci implique que la densité de courant est inversement proportionnelle à la surface de la diode. Pour PIN05, la moyenne de tension des diodes 24 mm² est un peu

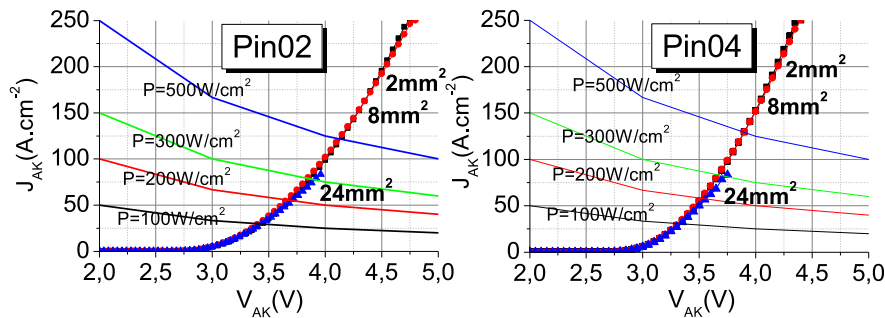


FIGURE 3.34: $J(V)$ en direct des diodes 2, 8 et 24 mm^2 pour les 4 wafers à 25 °C avec les courbe d'iso-puissance.

plus élevée que celle des diodes 2 mm^2 et 8 mm^2 . L'augmentation de ρ pour les grandes diodes peut être expliquée par une augmentation de la résistance série, impliquant une diffusion latérale du courant anisotrope. Egalement, nous pouvons penser que l'accroche du métal ne soit pas uniforme sur tout le plôt d'anode engendrant une qualité du contact ohmique diminuée. Pour ces raisons, la densité de courant de la grande diode est plus faible que pour les moyens et les petits composants.

La figure 3.35 montre les résultats de mesure des diodes 2 mm^2 , 8 mm^2 et 24 mm^2 en comparaison avec les résultats de la simulation, en utilisant la méthode des éléments finis pour les wafers. Pour la diode idéale avec une résistance série constante, à l'état passant, l'augmentation de la tension de polarisation directe est supportée par la résistance série. Au delà de la tension de seuil, la courbe de $I(V)$ est rectiligne avec une pente égale à la résistance série. Mais les caractérisations du motif-test TLM montrent qu'il existe un effet redresseur du contact. La résistance du contact diminue avec l'augmentation de la polarisation. Pour les faibles tensions de polarisation, la résistance de contact est constante. Nous avons utilisé le simulateur *SentaurusTM*, afin de comparer les résultats simulés et les mesures expérimentales. Nous avons ajusté la résistance de contact (R_C) et la durée de vie des électrons (τ_n) et des trous (τ_p) pour les courants inférieurs à 1 A (figure 3.35) de la sorte, nous obtenons une bonne correspondance entre les résultats expérimentaux et simulés.

La résistance de contact ($\rho_c = 13m\Omega cm^2$) de l'échantillon PIN04 est plus petite que celle des autres échantillons, car le dopage P^+ de contact de PIN04 ($N_A = 5 \times 10^{19} cm^{-3}$) est plus grand que celui de PIN02 ($N_A = 1,5 \times 10^{19} cm^{-3}$). Il est clair que vue

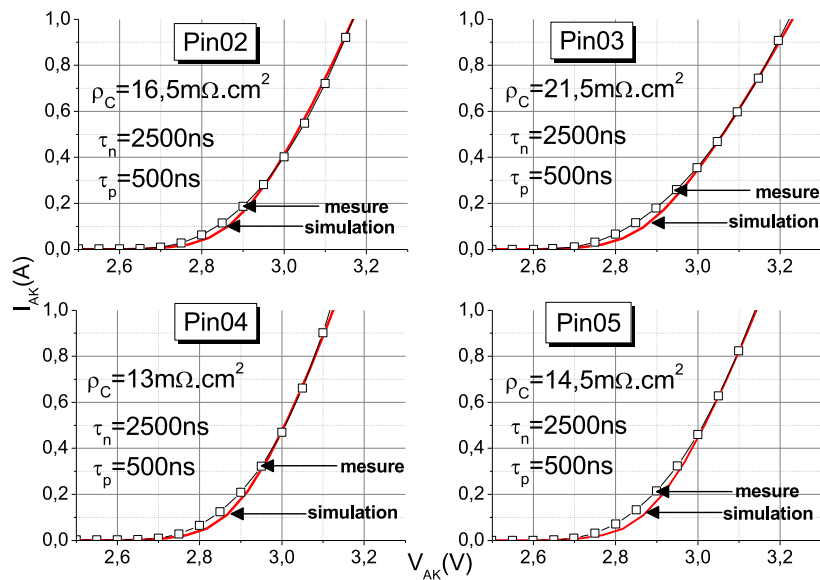


FIGURE 3.35: Comparaison des résultats expérimentaux et simulés pour les diodes de surface égale à 2, 8 et 24 mm^2 .

l'augmentation de V_{th} , il sera nécessaire de disposer de boîtiers permettant de travailler avec une forte densité de puissance.

3.3 Conclusion

Dans ce chapitre, nous avons présenté les masques des diodes 6,5 kV et 10 kV en SiC-4H ainsi que la caractérisation des diodes 6,5 kV. En premier lieu, nous avons explicité le procédé de fabrication des deux diodes. Ensuite, les masques des diodes 6,5 kV et 10 kV ont été présentés respectivement.

Dans la deuxième partie, les wafers de la diode 6,5 kV ont été exposés. Puis, les paramètres du wafer de la diode 6,5 kV ont été résumés. La caractérisation inverse est divisée en deux parties : la caractérisation inverse à 400 V et la caractérisation à haute tension à l'ISL. Ensuite, nous avons fait la caractérisation à haute tension à l'ISL pour les échantillons PIN02, PIN04 et PIN05. Les résultats montrent que la petite diode présente une tenue en tension plus élevée que la grande diode. De plus, les défauts peuvent conduire à un claquage pour les faibles tensions, notamment en bord du wafer.

La partie suivante a présenté la caractérisation en régime direct. Après le recuit métal, la résistance du contact d'anode diminue. Pour le passage du courant en direct, nous avons utilisé plusieurs pointes afin d'obtenir une densité de courant observée pour les grandes diodes équivalente à celles des diodes de tailles moyenne et petite pour une tension donnée. Les extractions de la résistance spécifique de contact montrent que grâce au fort dopage de l'anode P^{++} , la résistance spécifique de contact relative à PIN04 est plus petite que celle des autres échantillons et par conséquent la densité de courant de PIN04 est plus grande que celle des autres wafers.

Chapitre 4

CONCEPTION ET FABRICATION DU TRANSISTOR 6,5 kV

Dans les trois premiers chapitres, nous avons présenté les travaux sur les diodes 6,5 kV et 10 kV en SiC. Dans ce chapitre nous allons maintenant concevoir et réaliser le masque d'un transistor avec une tenue en tension de 6,5 kV et un gain en courant supérieur à 10.

Tout d'abord, nous allons concevoir un transistor avec une structure dite "classique". Le gain en courant et la tenue en tension sont deux caractéristiques très importantes du transistor, mais elles évoluent de façon contradictoire. Nous devons optimiser le dopage et l'épaisseur de la base par simulation. La première série de simulations a pour objectif d'optimiser le dopage et l'épaisseur de la base pour obtenir un bon compromis. Ensuite, nous avons effectué une seconde série de simulations avec pour paramètres la largeur de la base et d'émetteur ainsi que la distance entre la base et l'émetteur. Ceci permet de déterminer l'impact de la géométrie sur le gain en courant. Les travaux suivants portent sur une structure innovante. Avec cette structure, nous pouvons utiliser une base plus mince pour obtenir un gain en courant plus important sans avoir de percement de celle-ci.

Après la conception du transistor, nous avons réalisé le masque du transistor 6,5 kV avec la structure classique. En premier lieu, nous allons présenter le procédé de fabrication du transistor. Ensuite, le masque pour le transistor 6,5 kV va être exposé simplement.

4.1 Conception d'un transistor bipolaire 6,5 kV

Sur la base des travaux de la diode 6,5 kV, nous allons concevoir un transistor bipolaire avec une tenue en tension de 6,5 kV et un gain en courant (β) supérieur à 10. Dans cette partie sont présentées les simulations de la conception du transistor bipolaire 6,5 kV en SiC-4H. Toutes les simulations sont effectuées avec le simulateur *SentaurusTM*.

Pour obtenir une tenue en tension de 6,5 kV identique à celle de la diode 6,5 kV, il faut employer la même jonction principale que la diode 6,5 kV avec une épaisseur de N^- de 80 μm et un dopage de $N_d = 5 \times 10^{14} \text{ cm}^{-3}$ pour la jonction BC. La même protection périphérique sera utilisée pour le transistor 6,5 kV. La majeure partie de notre travail consiste à concevoir la géométrie de la base et de l'émetteur. Nous allons simuler une structure de transistor classique, puis une nouvelle structure du transistor BJT basée sur les travaux de recherche de Mr Qufei Chen en Si va être effectuée [11].

4.1.1 Simulation du transistor "classique"

4.1.1.1 Description de la structure

Dans cette partie la structure décrite par la figure 4.1 va être simulée. Cette figure illustre une vue en coupe de la demie-structure du transistor bipolaire sans protection périphérique. La tenue en tension de notre transistor étant la même que celle de la diode 6,5 kV, l'épithaxie N^- (80 μm et $N_d = 5 \times 10^{14} \text{ cm}^{-3}$) est réalisée sur substrat en SiC-4H ($N_d = 5 \times 10^{18} \text{ cm}^{-3}$).

La région de la base est définie par une épithaxie de type P d'une épaisseur de 2 μm et avec un dopage de $N_d = 2 \times 10^{17} \text{ cm}^{-3}$. Au niveau du contact de base, une région P^+ est réalisée par implantation ionique. Le dopage localisé est de $N_a = 4 \times 10^{19} \text{ cm}^{-3}$. Le rôle de cette zone est de diminuer la résistance du contact de la base. Celle-ci sera égale à $1,82 \times 10^{-3} \Omega \text{ cm}^2$. La largeur du contact de base est de 3 μm . La région d'émetteur comprend deux zones, la première avec une épaisseur de 1 μm est fortement dopée ($N_d = 10^{19} \text{ cm}^{-3}$), la seconde de même épaisseur est plus faiblement dopée ($N_d = 10^{18} \text{ cm}^{-3}$). Le profil de dopage des différentes couches est représenté dans la figure 4.2. La profondeur

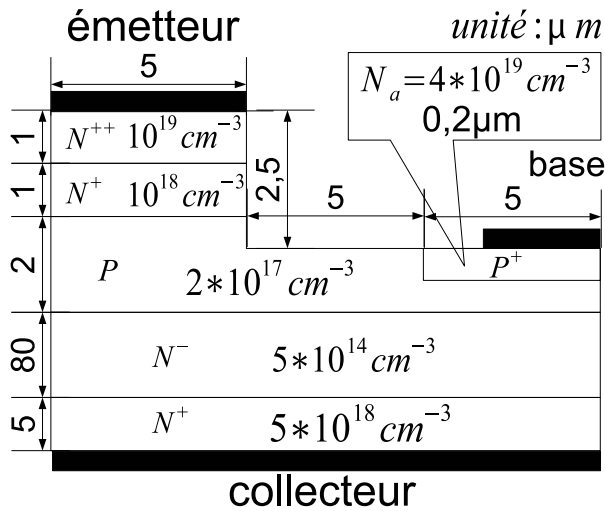


FIGURE 4.1: Vue en coupe du transistor 6,5 kV simulé.

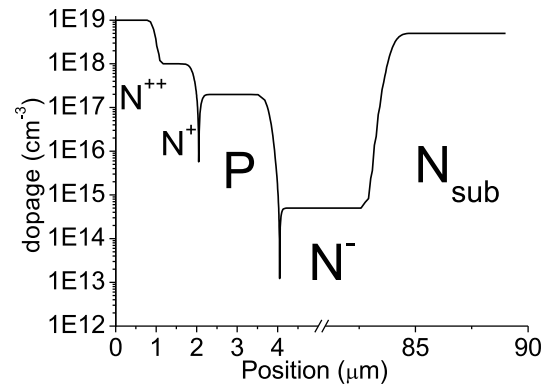


FIGURE 4.2: Concentration des dopants en fonction de la profondeur du transistor 6,5 kV

de gravure est de $2,5 \mu m$. L'intervalle entre la base et l'émetteur est de $5 \mu m$. La surface d'émetteur est de $5 \mu m^2$.

4.1.1.2 Simulation des caractéristiques

A l'aide des premières simulations, nous allons déterminer le courant en fonction de la tension du collecteur pour des courants de base différents afin de vérifier la fonction transistor, correspondant à la structure présentée sur la figure 4.1. Sur la figure 4.3, on a présenté les courbes $J_{collecteur}(V_{collecteur})$ pour une tension telle que $0 \leq V_{collecteur} \leq 60 V$. J_C est déterminée par le rapport entre I_C et la surface du contact de collecteur. J_B quant à elle est définie par le rapport entre I_B et la surface du plot de base. A ce niveau de tension, le transistor se trouve en régime linéaire par $J_b < 80 A/cm^2$. La densité de courant J_c est calculée à partir de la largeur totale du transistor (largeur collecteur). Quant à J_b , elle est calculée à partir de la largeur du plot de base (partie métallisation). Le gain en courant β est défini par la relation : $\beta = I_c/I_b(V_{ce} = 60 V)$

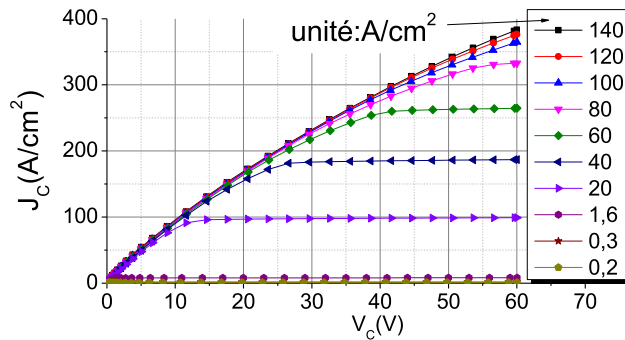


FIGURE 4.3: Caractéristique $J_C(V)$ du transistor, pour les différentes densités de courant de base

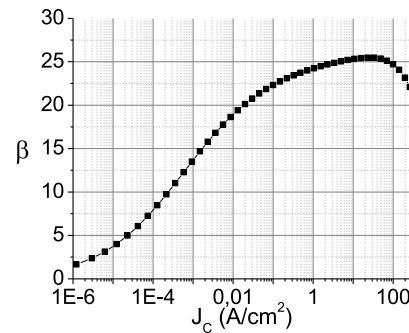


FIGURE 4.4: Le gain en courant β en fonction de la densité de courant de collecteur J_C

4.1.1.3 Simulation du gain en courant

Dans ce paragraphe, nous allons étudier les relations entre le courant collecteur et le gain en courant déterminé à $V_{ce} = 60$ V. On applique une tension de 60 V sur le collecteur et la densité de courant de base augmente jusqu'à 33 A/cm². La courbe du gain en courant en fonction du courant de collecteur est une parabole présentée sur la figure 4.4.

Le gain en courant varie en fonction du courant collecteur. Si le courant collecteur est très petit, le courant de recombinaison dans la zone dépeuplée de l'émetteur et le courant de fuite en surface sont dominants par rapport au courant de diffusion qui traverse la base ; ainsi, l'efficacité est faible. Le gain en courant augmente en fonction du courant de collecteur jusqu'à 25,5 (5 A/cm² $\leq I_{collecteur} \leq 100$ A/cm²). Au-delà, le gain en courant diminue très rapidement, car la densité de porteurs minoritaires se rapproche de la densité de porteurs majoritaires dans la base (régime de forte injection) et l'efficacité de l'émetteur diminue [45].

4.1.1.4 Simulation en fonction de l'épaisseur et du dopage de la région de base

L'épaisseur et le dopage de la région de base ont beaucoup d'influence sur les performances électriques du transistor. Des simulations avec des épaisseurs et dopages différents sont réalisées. Nous avons effectué la simulation de la tenue en tension et la

$dopage_{base}$	$V_{br}(V)$	β_{max}	$J_c(A.cm^{-2})$
$10^{17}cm^{-3}$	11 092	29	366,5
$2 \times 10^{17}cm^{-3}$	11 052	25,5	364,6
$3 \times 10^{17}cm^{-3}$	11 038	23,8	362,8

TABLE 4.1: Gain en courant (β_{max}), tension de claquage (V_{br}) et densité de courant de collecteur (J_c) pour $J_b = 100 A/cm^2$, $V_{ce} = 60 V$) pour les différents dopages de base avec une épaisseur de base de $2\mu m$.

$\acute{e}paisseur_{base}$	$V_{br}(V)$	β_{max}	$J_c(A.cm^{-2})$
$1,5 \mu m$	11 092	35,5	374,9
$2 \mu m$	11 052	25,5	364,6
$2,5 \mu m$	11 052	19,9	319,7

TABLE 4.2: Gain en courant (β_{max}), tension de claquage ($V_{br}(V)$) et densité de courant de collecteur (J_c) pour $J_b = 100 A/cm^2$, $V_{ce} = 60 V$) pour les différentes épaisseurs de base avec un dopage de base de $2 \times 10^{17} cm^{-3}$.

simulation du gain en courant pour des épaisseurs et des dopages différents de la base. Les paramètres et les résultats sont présentés dans les tableaux 4.1 et 4.2.

Pour illustrer les résultats de ces tableaux, nous avons tracé les courbes de $\beta_{max}(J_{collecteur})$ pour les différents épaisseurs et dopages de la base (figure 4.5 et 4.6). Il apparaît que le gain en courant est inversement proportionnel au dopage de la base et à l'épaisseur de celle-ci. L'augmentation de l'épaisseur de la base va conduire à la diminution de l'efficacité de transport dans la base. Pour obtenir un gain en courant plus grand, nous pouvons diminuer l'épaisseur et le dopage de la base, mais cela peut engendrer une pénétration du champ électrique vers la jonction B/E, conduisant à un percement de la base.

La tenue en tension du transistor dépend de la jonction BC. Pour déterminer le V_{br} du transistor, la base est flottante. On relie l'émetteur à la masse et on applique une forte tension sur le collecteur. Les résultats sont présentés également par les tableaux 4.1 et 4.2.

Ces résultats de simulation montrent que la tenue en tension varie très peu avec l'épaisseur et le dopage de la base. La tension de claquage se rapproche de la valeur

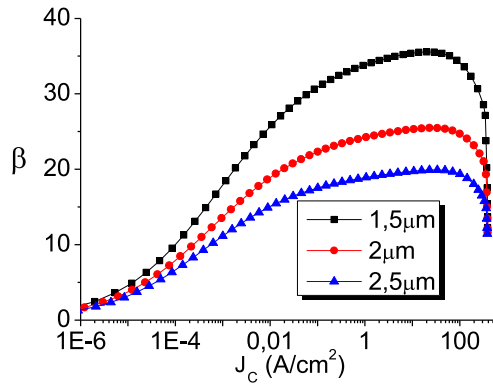


FIGURE 4.5: Gain en courant en fonction de la densité de courant collecteur pour différentes épaisseurs de la base @ $V_{CE} = 60V$.

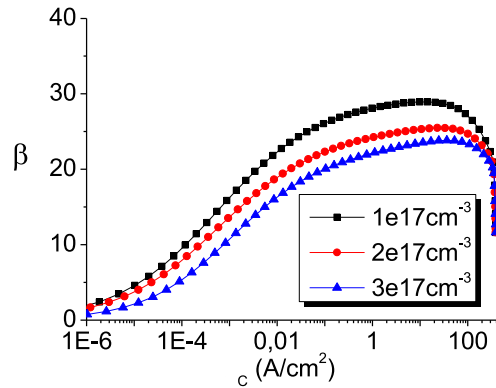


FIGURE 4.6: Gain en courant en fonction de la densité de courant collecteur pour différents dopages de la base.

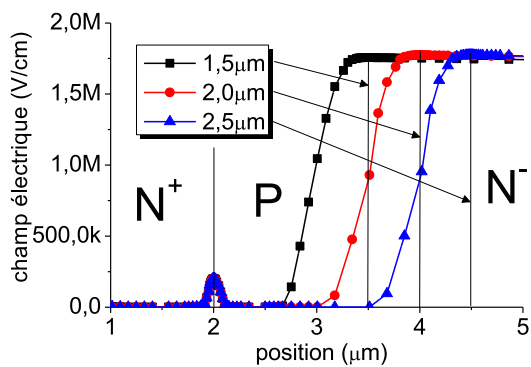


FIGURE 4.7: Profil du champ électrique dans la base pour différentes épaisseurs de la base.

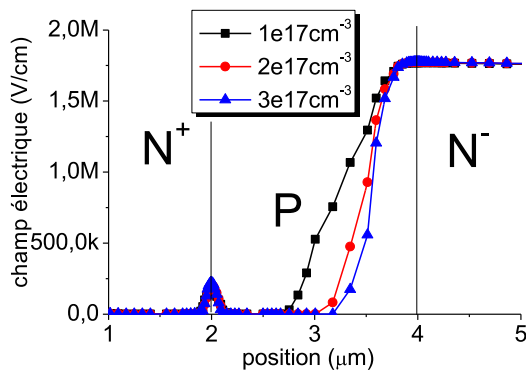


FIGURE 4.8: Profil du champ électrique dans la base pour différents dopages de la base.

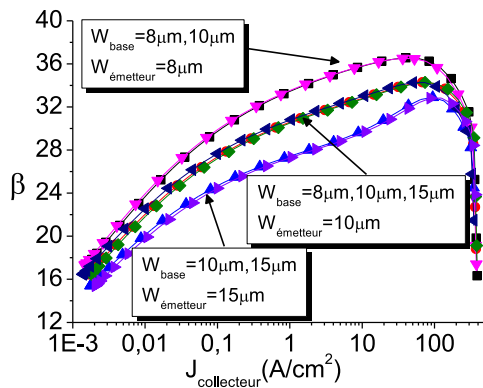


FIGURE 4.9: Réseau de courbes $\beta(J_{\text{collecteur}})$ pour différentes épaisseurs W_{base} et $W_{\text{émetteur}}$ @ $V_{CE} = 60V$.

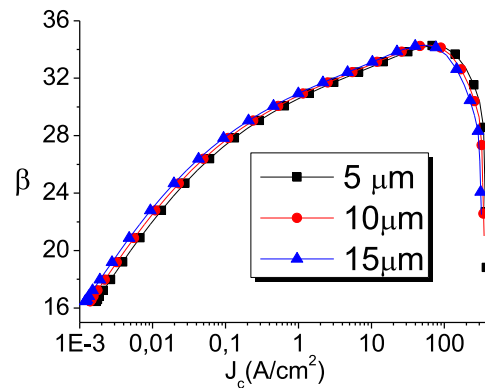


FIGURE 4.10: Réseau de courbes $\beta(J_{\text{collecteur}})$ pour différentes distances entre l'émetteur et la base (W_{be}) @ $V_{CE} = 60V$.

maximale (claquage en volume). Les figures 4.7 et 4.8 présentent respectivement les courbes de champ électrique dans la structure pour différentes épaisseurs et différents dopages de la base à la tension de claquage. Le champ électrique apparaît comme inversement proportionnel au dopage de la base. Si la base est très mince, par exemple $1\mu\text{m}$, la jonction B-C est percée. Ceci conduit donc à la destruction du transistor.

4.1.1.5 Largeur des zones émetteur et base

Les paramètres géométriques ont également beaucoup d'impact sur la performance du transistor, surtout sur le gain en courant. Pour les simulations 2D, la largeur de la base (W_{base}), la largeur d'émetteur ($W_{\text{émetteur}}$) et la distance (décalage) entre la base et l'émetteur ($Deca_{be}$) sont intéressantes. Dans cette partie, nous allons effectuer deux groupes de simulation pour les différentes W_{base} , $W_{\text{émetteur}}$ et $Deca_{be}$. Les résultats sont illustrés par les figures 4.9 et 4.10. La tenue en tension du transistor dépend de la jonction BC. Pour déterminer la tenue en tension du transistor, la base est flottante et on applique une forte tension sur le collecteur.

Le premier groupe de simulations montre que β ne varie pas en fonction de la largeur de la base, mais par contre β est inversement proportionnel à la largeur de l'émetteur. Cela peut être expliqué par la diffusion du courant de trous dans la base. L'électrode de la

base est connectée à la zone fortement dopée (P^+), et ainsi la résistance de cette zone est très faible. Si on change la largeur de la base, la résistance horizontale ne varie quasiment pas, mais la jonction BE est polarisée par le courant de trous fourni par le contact de la base. Dans la partie qui est plus éloignée du contact de la base, la polarisation est plus faible. Ainsi, si on augmente la largeur d'émetteur, β diminue.

La figure 4.10 montre les courbes $\beta(J_C)$ pour les différents décalages (distances) entre l'émetteur et la base (W_{be}). Si on augmente W_{be} , la résistance horizontale ainsi que la tension de polarisation de la base augmentent également. Cependant, β ne varie pas en fonction de W_{be} .

4.1.1.6 Conclusion

Dans cette partie nous avons conçu un transistor 6,5 kV en SiC-4H. Les simulations pour différents épaisseurs et dopages de la base montrent qu'une épaisseur de la base de $1,5 \mu m$ et un dopage de $10^{17} cm^{-3}$ sont les valeurs minimums pour éviter le percement de cette structure de transistor. Pour la fabrication, nous allons employer une base avec une épaisseur de $2 \mu m$ et un dopage de $2 \times 10^{17} cm^{-3}$. Puis, les simulations pour les différentes largeurs de zones émetteur et base W_{base} et $W_{émetteur}$ ont été effectuées. β est inversement proportionnel à la largeur d'émetteur et par conséquent, les transistors seront réalisés avec différentes largeurs de doigts ($16 \mu m$, $20 \mu m$ et $30 \mu m$). Dans la partie suivante, nous allons simuler un transistor avec une structure innovante dans le but d'améliorer la géométrie de la base.

4.1.2 Simulation d'une structure innovante

4.1.2.1 Description de la structure

Dans la partie précédente, nous avons discuté de la structure d'un transistor classique. Dans cette partie, nous allons éprouver un transistor avec une nouvelle structure illustrée par la figure 4.11. Une base plus mince permet de posséder un β_{max} plus grand sans percement. L'épitaxie N^- ($80 \mu m$ et $N_d = 5 \times 10^{14} cm^{-3}$) est réalisée sur un substrat en SiC-4H ($N_d = 5 \times 10^{18} cm^{-3}$). Pour la zone de base, en premier lieu, nous allons réaliser une zone fortement dopée P^+ ($N_d = 10^{19} cm^{-3}$) avec une épaisseur de $0,2 \mu m$ par implantation, puis effectuer une épitaxie de P . La région d'émetteur comprend deux zones; la première avec une épaisseur de $1 \mu m$ est fortement dopée ($N_d = 10^{19} cm^{-3}$), la seconde de même épaisseur est plus faiblement dopée ($N_d = 10^{18} cm^{-3}$). Les largeurs de contact de base et d'émetteur sont de $3 \mu m$ et de $5 \mu m$ respectivement. Les caissons P^+ sont nécessaires pour la base, mais aussi jouent un rôle d'anneaux de garde, ce qui permet de diminuer l'épaisseur de la base.

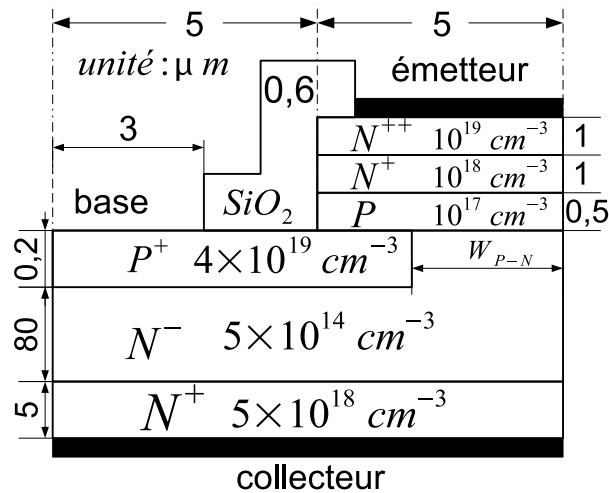


FIGURE 4.11: structure du transistor bipolaire innovant

Dans ce design, on n'a changé que la structure de la base au profit d'une base plus mince sans percement. L'épaisseur de la base est égale à $0,5 \mu m$, impliquant une augmentation du β et une région de base fortement dopée avec une largeur de $7 \mu m$ pour diminuer la résistance du contact de la base. W_{P-N} est égal à $3 \mu m$.

$Epaisseur_{base}$	β_{max}	$V_{br}(V)$	$J_c(A/cm^2)$
$2\mu m$	22	10 410	385,7
$1,5\mu m$	30	10 400	386,5
$1\mu m$	46,8	10 360	387
$0,5\mu m$	108	3 000(<i>percement</i>)	387

TABLE 4.3: Courant de collecteur pour $J_b=100 A/cm^2$, $V_{ce}=60 V$), tension de claquage et gain en courant en fonction de l'épaisseur de base avec un dopage de base de $10^{17} cm^{-3}$, $W_{PN}=3 \mu m$.

$W_{P-N}(\mu m)$	$V_{br}(V)$	β_{max}
$3\mu m$	3 000	108
$2\mu m$	3 500	94
$1\mu m$	5 800	81
$0,5\mu m$	11 040	74

TABLE 4.4: Tenue en tension et β_{max} pour différents W_{P-N} avec une épaisseur de la région de base de $0,5 \mu m$ et un dopage de base de $10^{17} cm^{-3}$.

4.1.2.2 Simulation de la structure du transistor innovant

Les mêmes simulations que pour la première structure classique sont effectuées : les caractérisations sous les polarisations de courant de base différent, la tenue en tension du transistor et le gain en courant. Les simulations sont réalisées avec des épaisseurs de la région P différentes. Les résultats sont présentés par le tableau 4.3.

Pour une base ayant une épaisseur de $1 \mu m$, la jonction B-C du transistor classique est percée. Par contre, pour le transistor innovant, on a obtenu une tenue en tension de 10 500 V. Cela signifie qu'avec cette structure, nous pouvons utiliser une base plus mince pour obtenir un gain en courant plus grand. La nouvelle structure est plus performante que la première. Quand l'épaisseur de la base est $0,5 \mu m$, la région de base est traversée. On diminue ensuite la largeur de l'interface entre la région P et la région N^- . Les résultats des simulations sont présentés par les tableaux 4.3 et 4.4.

Nous avons fait des simulations jusqu'à $0,5 \mu m$ de largeur W_{P-N} . V_{br} augmente jusqu'à 11 040 V. Mais le β_{max} , défini par la relation $\frac{\alpha}{1+\alpha}$ diminue jusqu'à 74 (sous

$V_{CE} = 60V$) du fait de la diminution de l'injection de porteurs dans la base par l'émetteur (α).

4.1.2.3 Conclusion

La table 4.3 montre que le gain en courant est inversement proportionnel à l'épaisseur de la base. La tenue en tension ne varie quasiment pas en fonction de l'épaisseur de base. Si la base est très mince, la jonction de BC va être percée. Le percement est observé pour une épaisseur de base de $0,5 \mu m$. Pour la structure classique, nous avons observé le percement pour une épaisseur de base de $1 \mu m$, impliquant que nous pouvons utiliser une base plus mince dans la structure innovante. Si la région de base est traversée, on peut diminuer W_{P-N} pour augmenter la tenue en tension ; mais, β_{max} diminue en fonction de W_{P-N} pour la structure innovante (table 4.4).

4.2 Fabrication du transistor 6,5 kV sur SiC

Les simulations présentées dans la partie précédente ont permis de définir les paramètres du transistor. Dans ce chapitre, nous allons présenter le dessin du jeu de masques pour la fabrication du transistor avec la structure classique. En premier lieu, le processus de fabrication est expliqué. Ensuite nous allons réaliser les masques des transistors avec les tailles et les structures différentes. Enfin, un champ avec tous les transistors et tous les motifs sera exposé.

4.2.1 Procédé de fabrication

Le transistor va être réalisé sur une plaque dont les caractéristiques sont représentées par la figure 4.12. Le processus est divisé en 12 étapes. La plaque est composée d'un substrat N^+ ($5 \times 10^{18} \text{ cm}^{-3}$) avec une épaisseur de l'ordre de $350 \mu m$ puis de 3 épitaxies : N^- ($5 \times 10^{14} \text{ cm}^{-3}$, $80 \mu m$), P ($2 \times 10^{17} \text{ cm}^{-3}$, $2 \mu m$) et N^+ (10^{19} cm^{-3} , $2 \mu m$).

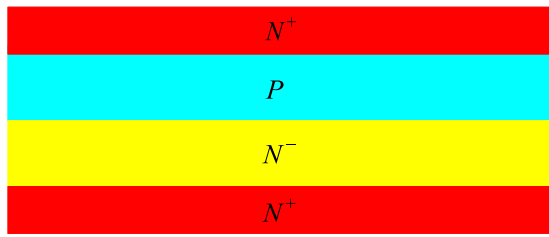


FIGURE 4.12: Vue en coupe des couches épitaxiées

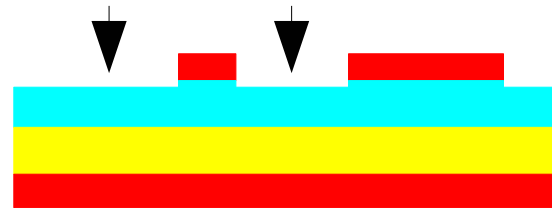


FIGURE 4.13: Vue en coupe de la structure avec la gravure de la base.

4.2.1.1 Alignement

La première étape est l'alignement. Dans cette étape, nous allons faire une gravure des motifs d'alignement peu profonde. Tous les masques pour les étapes suivantes vont être alignés par rapport à ce niveau. Pour la partie du transistor propre à cette étape, nous n'altérons en rien la structure de la plaque.

4.2.1.2 Gravure de base

La deuxième étape est la gravure pour la création de l'émetteur. La profondeur de la gravure est de $2,2 \mu m$ pour atteindre la couche P. Le résultat au niveau de la structure est montré par la figure 4.13.

4.2.1.3 Implantation de P^+

Pour diminuer la résistance du contact de la base, nous allons faire une implantation P^+ . La distance entre la base et l'émetteur a été fixée à une valeur minimale de $5 \mu m$ correspondant à l'optimisation du process et des résultats de simulation (figure 4.14).

4.2.1.4 mesa et JTE

Afin de s'assurer que la tenue en tension est assez grande, nous allons faire une gravure mesa de 5 à $6 \mu m$ de profondeur jusqu'à la couche N^- puis réaliser l'implantation de la JTE pour la protection périphérique (figures 4.15 et 4.16). La JTE aura une largeur de $400 \mu m$. Autour du composant, $10 \mu m$ de la base seront gravés, et la région de

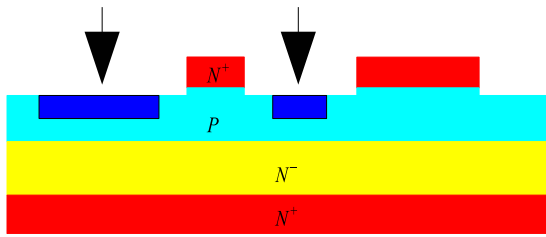


FIGURE 4.14: Vue en coupe pour l'implantation de P^+

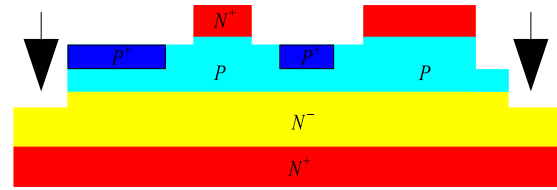


FIGURE 4.15: Vue en coupe de la périphérie mesa.

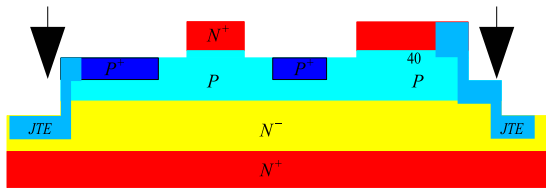


FIGURE 4.16: Vue en coupe d'implantation de JTE

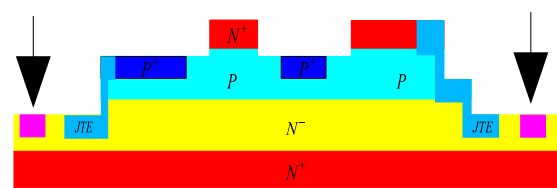


FIGURE 4.17: Vue en coupe d'implantation de N^+ .

l'implantation de la JTE pénètre de $10 \mu m$ dans la région de la base ou l'émetteur. Cela correspond aux marges de sécurité que nous avons employées pour l'alignement.

4.2.1.5 Implantation de N^+

Autour du composant, nous allons mettre en oeuvre un anneau d'implantation de N^+ comme cela est montré sur la figure 4.17, afin de fixer le potentiel du collecteur autour de la protection périphérique lorsque la jonction B/C est polarisée en inverse.

4.2.1.6 Ouverture de contact

Dans l'étape "ouverture de contact", nous déposons une couche d'oxyde avec une épaisseur de $1,5 \mu m$ pour assurer une première passivation du composant. Nous allons faire la gravure en fonction du niveau "ouverture₁". Ainsi, les contacts de base et d'émetteur peuvent être pris (figure 4.18).

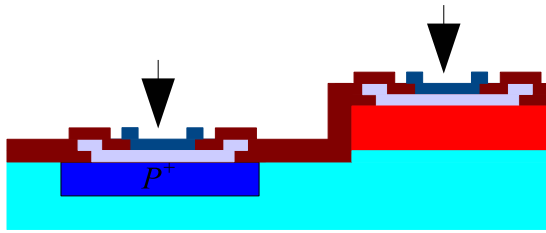
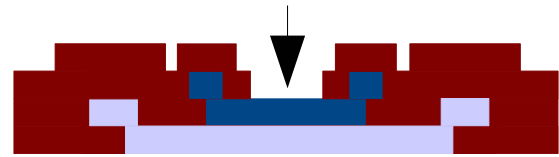
FIGURE 4.22: Vue en coupe de *métal épais*

FIGURE 4.23: Vue en coupe de passivation.

4.2.2 Réalisation des masques du transistor bipolaire

Les masques sont réalisés avec le logiciel "cadence" en fonction du diagramme de cheminement préalablement présenté. Les structures des masques seront décrites par le langage "skill". En fonction de la taille du transistor, nous allons concevoir deux types de composants : un grand et un petit transistor. Ensuite, les motifs de test vont être mis en place pour les caractérisations. Sous cadence, les fonctions du langage "skill" sont utilisées pour décrire le composant ; ceci permet d'augmenter l'efficacité pour la réalisation du jeu de masques du transistor.

4.2.2.1 Petits transistors

La réalisation du jeu de masques repose sur la simulation du transistor. Le but de cette partie est de réaliser 8 petits transistors avec des structures différentes. Deux types de terminaison existent : soit une terminaison avec la base (figure 4.24.A), soit une terminaison avec l'émetteur (figure 4.24.B). La région d'implantation de la JTE pénètre ainsi dans la base ou l'émetteur. Ainsi, nous pouvons déterminer l'impact du type de terminaison sur la tenue en tension du transistor. Pour la largeur des doigts, nous allons employer les valeurs des simulations précédentes, soit $16 \mu m$, $20 \mu m$ et $30 \mu m$.

La figure 4.25 montre les quatre BJT que nous avons conçus et dessinés. Deux gravures mesa et JTE avec une largeur de $400 \mu m$ sont réalisées en périphérie de chaque transistor. La figure 4.27 montre la mesa et la JTE du transistor. Les quatre transistors possèdent les mêmes tailles ($0,79 \times 0,5 = 0,4 \text{ mm}^2$) et la même largeur de doigts ($20 \mu m$). Le plot d'émetteur avec une longueur et une largeur de $200 \mu m$ se situe dans le coin supérieur gauche. La base possédant la même taille que l'émetteur se situe dans

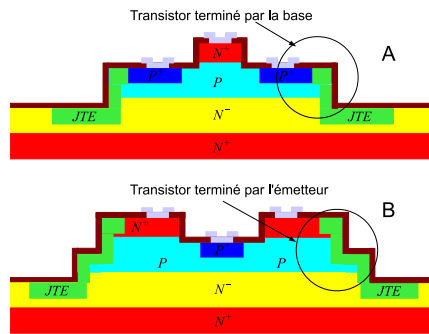


FIGURE 4.24: deux types de terminaison du transistor

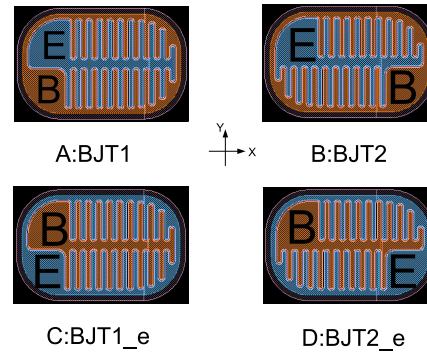


FIGURE 4.25: Les quatre petites transistors bipolaire 6,5 kV en SiC-4H

le coin inférieur gauche (BJT1) ou dans le coin inférieur droite (BJT2). BJT1 et BJT2 sont deux structures qui sont terminées avec la base. Ensuite BJT1-e et BJT2-e sont des structures identiques à BJT1 et BJT2, la seule différence résidant au niveau de la terminaison émetteur (figure 4.24.B).

Les extrémités des doigts d'émetteur et de base ont été arrondies pour la tenue en tension. La figure 4.26 présente le détail des arrondis à l'extrémité des doigts.

Ensuite, 4 petits transistors sont réalisés avec des changements sur la largeur des doigts. La table ?? en donne les détails. Le but de ces variations est de montrer l'impact de la géométrie sur les caractéristiques en direct (β) et les temps de commutation.

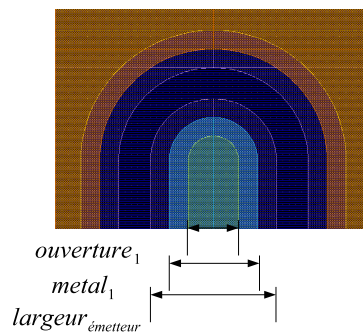


FIGURE 4.26: extrémités des doigts d'émetteur

Pour tous les transistors, on utilise les mêmes protections (mesa, JTE et un anneau de N^+), comme cela est montré sur la figure 4.27. Le rayon de coupure de la mesa du petit transistor est de $200 \mu m$ pour la tenue en tension. Les plots sectoriels ont été placés

sur le masque. La longueur des doigts diminue progressivement lorsque l'on se rapproche des bords.

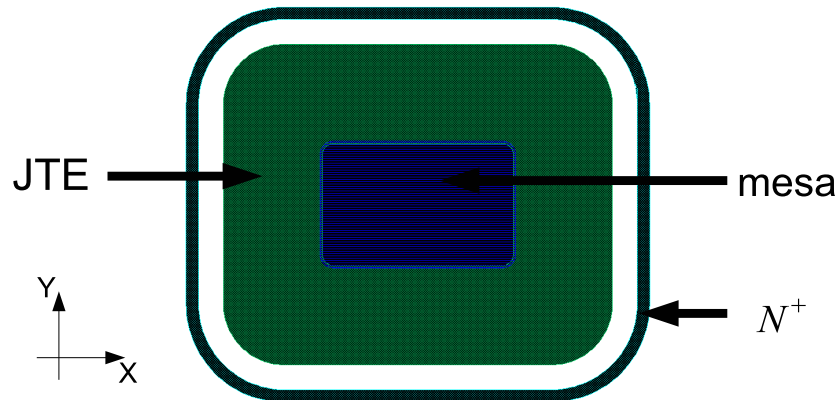


FIGURE 4.27: mesa et JTE du petit transistor

4.2.2.2 Grands transistors

Dans cette partie, nous allons concevoir deux grands transistors en fonction des petits transistors avec des positions de plots différents.

En définissant un axe de symétrie, on peut obtenir deux transistors identiques nommés « grand transistor 1 » et « grand transistor 2 ». Cette procédure est répétée, aboutissant à un jeu de masques complet défini par les figures 4.28 et 4.29.

La figure 4.28 présente la structure intérieure. La largeur des doigts est de $20 \mu m$. La largeur de la barre (zone noire centrale) est de $100 \mu m$. Pour le grand transistor 1, nous avons fait un plot de base dans le coin inférieur droit et 3 plots d'émetteur autour. Pour le grand transistor 2, nous avons fait un plot de base au centre et 4 plots d'émetteur dans les autres zones. La structure de la connexion intérieure est illustrée par la figure 4.28. Les deux grands transistors possèdent la même surface de $7,1 mm^2$. Toutes les parties de la base sont connectées électriquement entre elles (zone d'épitaxie de la base).

Pour connecter tous les plots d'émetteur et réaliser le contact de la base, des ouvertures de contacts de base et d'émetteur, puis la métallisation sont réalisées. Ainsi, nous mis en oeuvre les contacts de base et d'émetteur. Toutes les parties d'émetteur sont connectées par le $métal_3$ (figure 4.29). Afin d'assurer une tenue en tension assez grande,

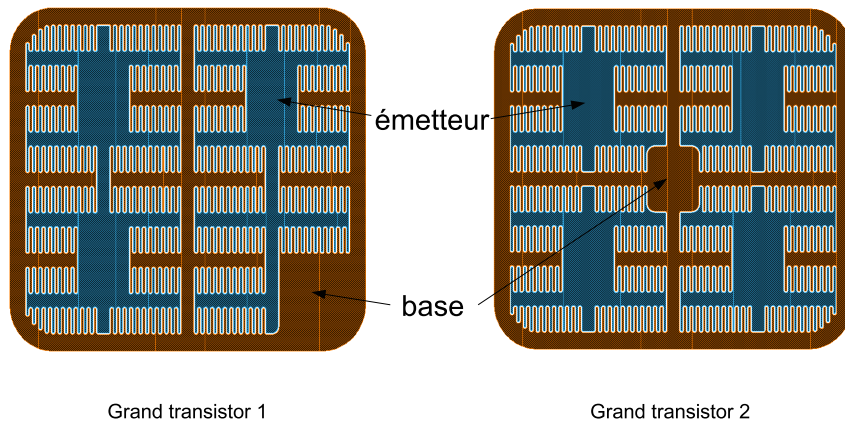


FIGURE 4.28: grand-transistor

une JTE avec une largeur de $400 \mu m$ est réalisée autour de chaque composant de la même façon que pour les petits transistors.

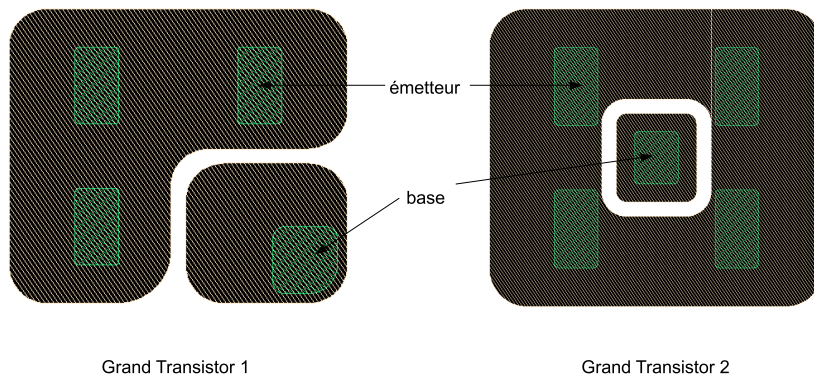


FIGURE 4.29: plots de contacts du grand transistor

4.2.2.3 Conclusion sur le masque du transistor

Dans cette partie nous avons développé 8 petits transistors et 2 grands transistors avec des tailles et des structures différentes. La table 4.5 montre la largeur des doigts et la surface du transistor. Dans la partie suivante, nous allons ajouter les motifs spécifiques de test pour la caractérisation électrique.

<i>transistor</i>	<i>largeur_{doigt}</i>	<i>surface(mm²)</i>
<i>BJT1</i>	20 μm	0,79*0,51=0,4
<i>BJT2</i>	20 μm	0,79*0,51=0,4
<i>BJT1 - e</i>	20 μm	0,79*0,51=0,4
<i>BJT2 - e</i>	20 μm	0,79*0,51=0,4
<i>BJT2 - e - 16</i>	16 μm	0,71*0,51=0,36
<i>BJT1 - 16</i>	16 μm	0,71*0,51=0,36
<i>BJT1 - 30</i>	30 μm	0,99*0,51=0,5
<i>BJT1 - e - 30</i>	30 μm	0,99*0,51=0,5
<i>BJT - grand - 1</i>	20 μm	2,5*2,54=7,11
<i>BJT - grand - 2</i>	20 μm	2,5*2,54=7,11

TABLE 4.5: Paramètres des transistors 6,5 kV

4.2.3 Les motifs de test

Les SIMS, les TLM, les tests de résistance du métal, une diode verticale, ainsi qu'une diode latérale ont été ajoutés sur le jeu de masques. La structure TLM (Transfer Length Method) permet d'extraire les valeurs de la résistance spécifique de contact et de la résistance carrée de la couche. Les figures 4.30.g et h présentent les motifs-test TLM N^+ et P^+ . Les motifs spécifiques pour le test SIMS (figure 4.30.a et b) sont présents pour analyser le profil d'implantation de la JTE et celui du contact de base. Les tests de résistance de $métal_1$ et de $métal_2$ avec différentes largeurs et longueurs sont placés afin de déterminer la conduction des doigts et du peigne de doigts (figures 4.30.c et d). Pour déterminer la tenue en tension de la jonction BC qui supporte la tension inverse, nous avons placé une diode verticale P^+/N (figure 4.30.f). Ensuite une diode latérale (figure 4.30.e) est rajoutée pour la caractérisation de la jonction BE.

4.2.4 Champ complet

La disposition des motifs a été optimisée afin de garantir une distance minimale de 200 μm entre composants. Le champ total est divisé en quatre zones, comme cela est montré sur la figure 4.31. Les huit petits transistors sont placés dans les premier et troisième quadrants. Deux grands transistors sont placés dans les deuxième et quatrième

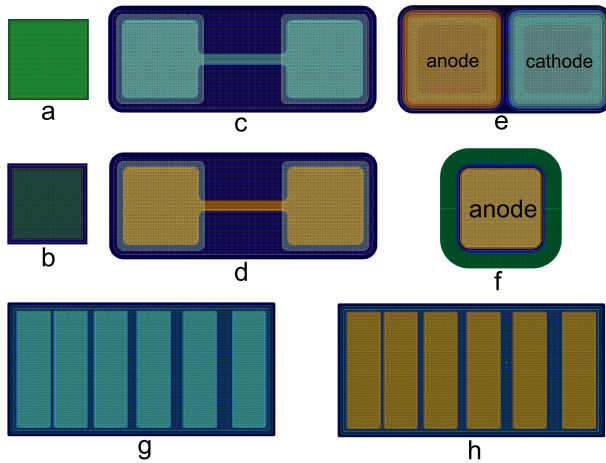


FIGURE 4.30: les motifs spécifiques de test

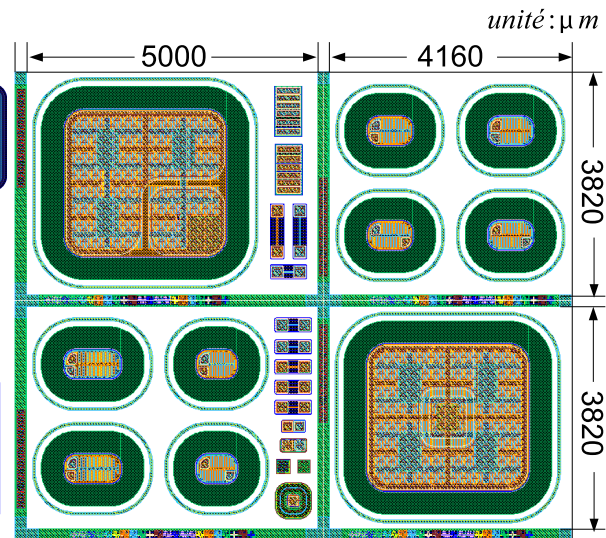


FIGURE 4.31: champ complet du jeu de masque du transistor

quadrants. Ensuite, ce champ total va être répété plusieurs fois sur l'échantillon de SiC. Pour un wafer de 3", on comptabilise ainsi 101 grands transistors et 400 petits transistors, qui sont susceptibles de fonctionner.

4.3 Conclusion

Dans ce chapitre, à l'aide du simulateur *SentaurusTM*, nous avons effectué les simulations pour l'optimisation des deux structures du transistor 6,5 kV. Les paramètres sont optimisés par simulation et serviront pour la fabrication future. Pour la structure dite « innovante », nous pouvons employer une base plus fine que pour la structure classique. La structure innovante permet d'obtenir un gain en courant plus grand sans avoir de perçement. Elle consiste donc une structure potentiellement intéressante. Dans cette thèse, nous allons opter pour la structure classique. Ensuite, nous avons réalisé le masque pour la fabrication. Les huit petits transistors, deux grands transistors et les motifs de test ont été réalisés dans un champ du jeu de masques.

CONCLUSION GENERALE

L'objectif de cette thèse était la conception, la fabrication et la caractérisation de diodes et transistors bipolaires en carbure de silicium. Trois composants de puissance, une diode 6,5 kV, une diode 10 kV et un transistor bipolaire 6,5 kV ont été étudiés. La littérature montre que les composants avec une tenue en tension de 6,5 kV et 10 kV en carbure de silicium sont réalisable. Lors de ce travail de thèse, les travaux de conception portant sur trois composants ont été présentés. Ils se basent sur l'état de l'art des composants de puissance SiC et sur l'utilisation d'un simulateur de dispositifs à semi-conducteurs nommé *SentaurusTM*. Les résultats de conception de deux diodes ont été présentés au sein du chapitre 2. Le chapitre 3 a exposé les résultats électriques propres à la diode 6,5 kV. Le chapitre 4 a présenté quant à lui les résultats de la conception de transistors bipolaires 6,5 kV.

La conception de la diode était axée sur l'amélioration de la tenue en tension. Les paramètres spécifiques du SiC pour les simulations ont été développés dans des travaux précédents. La protection périphérique mesa/JTE a été conçue et optimisée sur la base des travaux de la thèse de P. Brosselard. Pour l'implantation ionique dans le carbure de silicium pour la JTE, le simulateur (*I²SiC*) a été développé par E. Morvan dans sa thèse. Pour la dose de la JTE dans le plage (6×10^{12} - 8×10^{12} cm^{-2}), nous avons obtenu une tenue en tension supérieure à 8 000 V. La valeur optimale est de 10 000 V. A l'aide de (*I²SiC*), nous pouvons déterminer les doses et énergies pour la fabrication de la diode. Ensuite, les simulations électriques prenant en compte une passivation avec du polymide ont montré que le champ électrique à la surface du composant dans l'air est réduit. Les simulations avec les charges positives et négatives à l'interface ont été effectuées. Pour tenir compte de la densité de charges et de leur signe, la dose de la JTE doit être à nouveau optimisée. Les protections périphériques pour la diode 10 kV sont plus complexes pour assurer la

tenue en tension. Les simulations ont montré que les protections avec les anneaux de JTE et l'anneau de N^+ dans la JTE peuvent augmenter la tolérance sur la dose de la JTE, ainsi que la valeur optimale de la tenue en tension. Les simulations avec des durées de vie des porteurs minoritaires influencent la conduction.

Les masques des diodes 6,5 kV et 10 kV ont été réalisés sous *CadenceTM*. Les diodes 6,5 kV ont été fabriquées chez IBS et les 10 kV au CNM. Pour la diode 6,5 kV, quatre wafers de 3" ont été réalisés avec des anodes ayant des surfaces égales à 2 mm^2 , 8 mm^2 et 24 mm^2 . Au laboratoire AMPERE, nous avons effectué les mesures en inverse jusqu'à 400 V. Après avoir établi la cartographie des caractérisations à 400 V, nous avons mis en oeuvre des caractérisations complémentaires sous haute tension en inverse à l'ISL. Nous avons obtenu des diodes avec une tenue en tension supérieure à 8 kV. Des analyses supplémentaires telles que des SIMS sont nécessaires pour déterminer le dopage des JTE. La résistance spécifique du contact ohmique a été extraite à l'aide des mesures électriques sur des motifs-test. Sur la base des mesures en direct, la simulation a permis de quantifier la durée de vie des porteurs et la résistance de contact des diodes.

Dans le quatrième et dernier chapitre, nous avons conçu et réalisé le masque d'un transistor avec une tenue en tension de 6,5 kV et un gain en courant supérieur à 10 en SiC-4H. Celui-ci sera réalisé chez IBS. Pour assurer la tenue en tension, la même protection périphérique que dans le cas de la diode 6,5 kV sera employée. Les conceptions portent sur l'optimisation des paramètres de la base du transistor. Deux structures de transistor ont été simulées, et les résultats liés analysés. La structure « innovante » apparaît comme meilleure que la structure classique. En effet, avec la structure innovante, nous pouvons utiliser une base plus fine et obtenir un gain en courant plus important sans percement. Pour la fabrication, nous avons effectué des simulations avec des largeurs de zones émetteur et base différentes pour analyser leur influence sur le gain en courant.

Bibliographie

- [1] <http://www.cree.com/products/pdf/cm10120d.pdf>.
- [2] A.Blicher. *Field-Effect and bipolar power transistor physics*. Academic Press, 1981.
- [3] A.K. Agarwal, S. Krishnaswami, J. Richmond, C. Capell, Sei-Hyung Ryu, J.W. Palmour, S. Balachandran, T.P. Chow, S. Bayne, B. Geil, C. Scozzie, and K.A. Jones. Evolution of the 1600 V, 20 A, SiC Bipolar Junction Transistors. In *Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, pages 271 – 274, may 2005.
- [4] A.K. Agarwal, Sei-Hyung Ryu, J. Richmond, C. Capell, J.W. Palmour, Yi Tang, S. Balachandran, and T.P. Chow. Large area, 1.3 kV, 17 A, bipolar junction transistors in 4H-SiC. In *Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD '03. 2003 IEEE 15th International Symposium on*, pages 135 – 138, april 2003.
- [5] P. Alexandrov, K. Tone, Y. Luo, J.H. Zhao, T. Burke, M. Pan, and M. Weiner. High performance C plus Al co-implanted 5000 V 4H-SiC P+iN diode. *Electronics Letters*, 37(8) :531 –533, apr 2001.
- [6] S. Balachandran, T.P. Chow, A. Agarwal, C. Scozzie, and K.A. Jones. 4kV 4H-SiC Epitaxial Emitter Bipolar Junction Transistors. In *Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, pages 291 –294, May 2005.
- [7] S. Balachandran, C. Li, P.A. Losee, I.B. Bhat, and T.P. Chow. 6kV 4H-SiC BJTs with Specific On-resistance Below the Unipolar Limit using a Selectively Grown Base Contact Process. In *Power Semiconductor Devices and IC's, 2007. ISPSD '07. 19th International Symposium on*, pages 293 –296, May 2007.

- [8] P Brosselard, D Tournier, M Vellvehi, J Montserrat, P Godignon, and J Millán. New diode designs compatible with vertical 4H-SiC JFET fabrication process. *Materials Science Forum*, 556-557, 2007.
- [9] Pierre BROSELARD. *Conception, Réalisation et Caractérisation d'interrupteurs (thyristors et JFETs) haute tension (5kV) en carbure de silicium*. PhD thesis, INSA de Lyon, 2004.
- [10] Shu-Cheng Chang, Shui-Jinn Wang, Kai-Ming Uang, and Bor-Wen Liou. Investigation of Au/Ti/Al ohmic contact to N-type 4H-SiC. *Solid-State Electronics*, 49(12) :1937 – 1941, 2005.
- [11] Q. Chen and J.K.O. Sin. A new trench base-shielded bipolar transistor. In *Power Semiconductor Devices and ICs, 1998. ISPSD 98. Proceedings of the 10th International Symposium on*, pages 169 –172, jun 1998.
- [12] N. I. Cho, Y. Choi, and S. J. Noh. Cu/Si/Cu multilayer structures for Ohmic contact on n-type 4H-SiC substrates. *Diamond and Related Materials*, 13(4-8) :1154 – 1157, 2004. 14th European Conference on Diamond, Diamond-Like Materials, Carbon Nanotubes, Nitrides and Silicon Carbide.
- [13] Nicolas DHEILLY. *Conception et optimisation de thyristors optiques en carbure de silicium pour des applications d'électronique impulsionnelle*. PhD thesis, INSA de Lyon, 2011.
- [14] M. Domeij, H.-S. Lee, C.-M. Zetterling, M. Ostling, and A. Schoner. SiC power bipolar junction transistors - modeling and improvement of the current gain. In *Power Electronics and Applications, 2005 European Conference on*, 0 2005.
- [15] B. El-Kareh, T.B. Hook, M.E. Johnson, J.J. Lajza, and R.W. McLaughlin. Field-induced instabilities in polyimide passivated lateral PNP transistors. In *Electronic Components and Technology Conference, 1990. Proceedings., 40th*, pages 686 –692 vol.1, may 1990.
- [16] Morvan Erwan. *Modélisation de l'implantation ionique dans alpha - SiC et application à la conception de composants de puissance*. PhD thesis, INSA de Lyon, 1999.
- [17] Y. Gao, Y. Tang, M. Hoshi, and T. P. Chow. Improved ohmic contact on n-type 4H-SiC. *Solid-State Electronics*, 44(10) :1875 – 1878, 2000.
- [18] R. Ghandi, B. Buono, M. Domeij, R. Esteve, A. Scho? andner, Jisheng Han, S. Dimitrijevi, S.A. Reshanov, C.-M. Zetterling, and M. O? andstling.

- Surface-Passivation Effects on the Performance of 4H-SiC BJTs. *Electron Devices, IEEE Transactions on*, 58(1) :259 –265, jan. 2011.
- [19] R. Ghandi, B. Buono, M. Domeij, G. Malm, C.-M. Zetterling, and M. Ostling. High-Voltage 4H-SiC PiN Diodes With Etched Junction Termination Extension. *Electron Device Letters, IEEE*, 30(11) :1170 –1172, nov. 2009.
- [20] Sang Youn Han, Ki Hong Kim, Jong Kyu Kim, Ho Won Jang, Kwang Ho Lee, Nam-Kyun Kim, Eun Dong Kim, and Jong-Lam Lee. Ohmic contact formation mechanism of Ni on n-type 4H-SiC. *Applied Physics Letters*, 79(12) :1816 –1818, sep 2001.
- [21] Chih-Fang Huang and J.A.Jr. Cooper. High-performance power BJTs in 4H-SiC. In *High Performance Devices, 2002. Proceedings. IEEE Lester Eastman Conference on*, pages 50 – 57, 2002.
- [22] Chih-Fang Huang and Jr. Cooper, J.A. High current gain 4H-SiC npn bipolar junction transistors. *Electron Device Letters, IEEE*, 24(6) :396 – 398, 2003.
- [23] Karine ISOIRD. *Etude de la tenue en tension des dispositifs de puissance en carbure de silicium par caractérisations OBIC et électriques*. PhD thesis, INSA de Lyon, 2001.
- [24] Berzelius J. J. Untersuchungen über die Flussspathsäure und deren merkwürdigsten Verbindungen. *Annalen der Physik und Chemie*, 1 :169–230, 1824.
- [25] Jean CAMASSEL Jean-Louis ROBERT, Sylvie CONTRERAS. matériaux semi-conducteurs à grand gap :SiC. *techniques-ingenieur, Référence E1990*, 1998.
- [26] L Kassamakova, R Kakanakov, N Nordell, S Savage, A Kakanakova-Georgieva, and Ts Marinova. Study of the electrical, thermal and chemical properties of Pd ohmic contacts to p-type 4H-SiC : dependence on annealing conditions. *Materials Science and Engineering : B*, 61-62 :291 – 295, 1999.
- [27] B.K. Kim, J. Burm, and C. An. The thermal stability of Ni and Ni/Au ohmic contacts to n-type 4H-SiC. In *Semiconducting and Insulating Materials, 2002. SIMC-XII-2002. 12th International Conference on*, pages 97 – 101, june-5 july 2002.
- [28] Ryohei Konishi, Ryuichi Yasukochi, Osamu Nakatsuka, Yasuo Koide, Miki Moriyama, and Masanori Murakami. Development of Ni/Al and Ni/Ti/Al ohmic contact materials for p-type 4H-SiC. *Materials Science and Engineering B*, 98(3) :286 – 293, 2003.

- [29] A. O. Konstantinov, Q. Wahab, N. Nordell, and U. Lindelfelt. Ionization rates and critical fields in 4H silicon carbide. *Applied Physics Letters*, 71(1) :90–92, jul 1997.
- [30] S. Krishnaswami, A. Agarwal, Sei-Hyung Ryu, C. Capell, J. Richmond, J. Palmour, S. Balachandran, T.P. Chow, S. Bayne, B. Geil, K. Jones, and C. Scozzie. 1000-V, 30-A 4H-SiC BJTs with high current gain. *Electron Device Letters, IEEE*, 26(3) :175–177, 2005.
- [31] Hyung-Seok Lee, M. Domeij, R. Ghandi, C.-M. Zetterling, and M. Ostling. High-Current-Gain SiC BJTs With Regrown Extrinsic Base and Etched JTE. *Electron Devices, IEEE Transactions on*, 55(8) :1894–1898, 2008.
- [32] H. Lendenmann, A. Mukhitdinov, F. Dahlquist, H. Bleichner, M. Irwin, and R. Soderholm. 4.5 kV 4H-SiC diodes with ideal forward characteristic. In *Power Semiconductor Devices and ICs, 2001. ISPSD '01. Proceedings of the 13th International Symposium on*, pages 31–34, 2001.
- [33] Philippe LETURCQ. Tenue en tension des semi-conducteurs de puissance. *techniques-ingenieur, Référence D3104*, page D3 104, November 2000.
- [34] X. Li, Y. Luo, L. Fursin, J. H. Zhao, M. Pan, P. Alexandrov, and M. Weiner. On the temperature coefficient of 4H-SiC BJT current gain. *Solid-State Electronics*, 47(2) :233–239, 2003.
- [35] P.A. Losee, S.K. Balachandran, L. Zhu, C. Li, J. Seiler, T.P. Chow, I.B. Bhat, and R.J. Gutmann. High-voltage 4H-SiC PiN rectifiers with single-implant, multi-zone JTE termination. In *Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04. The 16th International Symposium on*, pages 301–304, may 2004.
- [36] Yanbin Luo, Jianhui Zhang, P. Alexandrov, L. Fursin, J.H. Zhao, and T. Burke. High voltage (>1kV) and high current gain (32) 4H-SiC power BJTs using Al-free ohmic contact to the base. *Electron Device Letters, IEEE*, 24(11) :695–697, nov. 2003.
- [37] Franck NALLET. *Conception, Réalisation et Caractérisation d'un composant limiteur de courant en carbure de silicium*. PhD thesis, INSA de Lyon, 2001.
- [38] R. Perez, D. Tournier, A. Perez-Tomas, P. Godignon, N. Mestres, and J. Millan. Planar edge termination design and technology considerations for 1.7-kV 4H-SiC PiN diodes. *Electron Devices, IEEE Transactions on*, 52(10) :2309–2316, oct. 2005.
- [39] A Perez-Tomas, P Brosselard, J Hassan, X Jorda , P Godignon, M Placidi, A Constant, J Millan, and J P Bergman. Schottky versus bipolar 3.3 kV SiC diodes. *Semiconductor Science and Technology*, 23(12) :125004, 2008.

-
- [40] Dominique Planson. *Contribution à l'étude de composants de puissance haute température en carbure de silicium*. PhD thesis, INSA de Lyon, 1994.
- [41] R. Pérez, N. Mestres, D. Tournier, P. Godignon, and J. Millán. Ni/Ti ohmic and Schottky contacts on 4H-SiC formed with a single thermal treatment. *Diamond and Related Materials*, 14(3-7) :1146 – 1149, 2005. Proceedings of Diamond 2004, the 15th European Conference on Diamond, Diamond-Like Materials, Carbon Nanotubes, Nitrides and Silicon Carbide.
- [42] Sei-Hyung Ryu, A.K. Agarwal, R. Singh, and J.W. Palmour. 1800 V NPN bipolar junction transistors in 4H-SiC. *Electron Device Letters, IEEE*, 22(3) :124 –126, March 2001.
- [43] Zelmat Samir. Etude des propriétés électriques d'un matériau polyimide a haute température : application à la passivation des composants de puissance en carbure de silicium. *université paul sabatier*, page 20, 2006.
- [44] R. Singh, K.G. Irvine, D.C. Capell, J.T. Richmond, D. Berning, A.R. Hefner, and J.W. Palmour. Large area, ultra-high voltage 4H-SiC p-i-n rectifiers. *Electron Devices, IEEE Transactions on*, 49(12) :2308 – 2316, dec 2002.
- [45] S.M.Sze. *Physics of Semiconductor Devices*. JOHN WILEY and SONS, 1981.
- [46] Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour, and T. Hayashi. 12-19 kV 4H-SiC pin diodes with low power loss. In *Power Semiconductor Devices and ICs, 2001. ISPSD '01. Proceedings of the 13th International Symposium on*, pages 27 –30, 2001.
- [47] Y. Tanaka, H. Ohashi, KyungMin Sung, K. Takao, K. Wada, and T. Kanai. Development of 6kV-class SiC-PiN diodes for high-voltage power inverter. In *Power Semiconductor Devices IC's (ISPSD), 2010 22nd International Symposium on*, pages 213 –216, june 2010.
- [48] V.A.K. Temple and W. Tantraporn. Junction termination extension for near-ideal breakdown voltage in p-n junctions. *Electron Devices, IEEE Transactions on*, 33(10) :1601 – 1608, October 1986.
- [49] K. Tone and J.H. Zhao. A comparative study of C plus Al coimplantation and Al implantation in 4H and 6H-SiC. *Electron Devices, IEEE Transactions on*, 46(3) :612 –619, mar 1999.
- [50] Adolf Schoner Akira Saitoh Tsunenobu Kimoto, Nao Miyamoto and Hiroyuki Matsunami. High-energy .MeV. Al and B ion implantations into 4H-SiC and

- fabrication of pin diodes. *JOURNAL OF APPLIED PHYSICS*, 91(7) :4242 –4248, 2002.
- [51] H. Vang, M. Lazar, P. Brosselard, C. Raynaud, P. Cremillieu, J.-L. Leclercq, J.-M. Bluet, S. Scharnholz, and D. Planson. Ni-Al ohmic contact to p-type 4H-SiC. *Superlattices and Microstructures*, 40(4-6) :626 – 631, 2006. E-MRS 2006 Symposium S : Material Science and Technology of Wide Bandgap Semiconductors, 2006 Spring Meeting of the European Materials Research Society.
- [52] Heu Vang. Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium . *insa de lyon*, pages 32,51, 2007.
- [53] K.V Vassilevski, G Constantinidis, N Papanicolaou, N Martin, and K Zekentes. Study of annealing conditions on the formation of ohmic contacts on p+ 4H-SiC layers grown by CVD and LPE. *Materials Science and Engineering : B*, 61-62 :296 – 300, 1999.
- [54] S. J. Yang, C. K. Kim, I. H. Noh, S. W. Jang, K. H. Jung, and N. I. Cho. Study of Co- and Ni-based ohmic contacts to n-type 4H-SiC. *Diamond and Related Materials*, 13(4-8) :1149 – 1153, 2004. 14th European Conference on Diamond, Diamond-Like Materials, Carbon Nanotubes, Nitrides and Silicon Carbide.
- [55] J. Zhang, J.H. Zhao, P. Alexandrov, and T. Burke. Demonstration of first 9.2 kV 4H-SiC bipolar junction transistor. *Electronics Letters*, 40(21) :1381 – 1382, 2004.
- [56] Jianhui Zhang, P. Alexandrov, T. Burke, and J.H. Zhao. 4H-SiC power bipolar junction transistor with a very low specific ON-resistance of 2.9 m Ω ; middot ;cm². *Electron Device Letters, IEEE*, 27(5) :368 – 370, May 2006.
- [57] Jianhui Zhang, P. Alexandrov, J.H. Zhao, and T. Burke. 1677 V, 5.7 m Ω ; middot ;cm² 4H-SiC BJTs. *Electron Device Letters, IEEE*, 26(3) :188 – 190, 2005.
- [58] Jianhui Zhang, Xueqing Li, P. Alexandrov, L. Fursin, Xiaohui Wang, and J.H. Zhao. Fabrication and Characterization of High-Current-Gain 4H-SiC Bipolar Junction Transistors. *Electron Devices, IEEE Transactions on*, 55(8) :1899 –1906, aug. 2008.
- [59] Jianhui Zhang, Y. Luo, P. Alexandrov, L. Fursin, and J.H. Zhao. A high current gain 4H-SiC NPN power bipolar junction transistor. *Electron Device Letters, IEEE*, 24(5) :327 – 329, may 2003.
- [60] Qian Zhang, Yuming Zhang, and Yimen Zhang. Design and optimization of junction termination technology for 4H-SiC BJTs. In *Electron Devices and Solid-State Circuits, 2009. EDSSC 2009. IEEE International Conference of*, pages 498 –500, dec. 2009.

