



Étude et réalisation d'un TDC numérique dans le cadre du trigger du GANIL

A. Boujrad

► To cite this version:

A. Boujrad. Étude et réalisation d'un TDC numérique dans le cadre du trigger du GANIL. Instrumentations et Détecteurs [physics.ins-det]. Université de Caen, 2001. Français. NNT : . tel-00711468

HAL Id: tel-00711468

<https://theses.hal.science/tel-00711468>

Submitted on 25 Jun 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITE de CAEN / BASSE-NORMANDIE

U.F.R. : Sciences

ECOLE DOCTORALE SIMEM

Sciences des Structures, de l'Information, de la Matière Et des Matériaux

THESE

présentée par

Abderrahman BOUJRAD

et soutenue

le 20 Décembre 2001

en vue de l'obtention du

DOCTORAT de l'UNIVERSITE de CAEN
Spécialité : Electronique et microélectronique

Titre :

*Etude et réalisation d'un TDC numérique
dans le cadre du trigger du GANIL*



JURY

Directeur de thèse : Daniel BLOYET Professeur, ISMRA, GREYC Caen

M. Eric PLAGNOL

Directeur de Recherche, CNRS, IPN Orsay

Rapporteur

M. Hugues DELAGRANGE

Directeur de Recherche, CNRS, SUBATECH Nantes

Rapporteur

M. Marek LEWITOWICZ

Directeur de Recherche, CNRS, GANIL Caen

M. Joël CLEMENT

Ingénieur de Recherche, ESRF Grenoble

M. Michel TRIPON

Ingénieur de Recherche, CNRS, GANIL Caen

UNIVERSITE de CAEN / BASSE-NORMANDIE

U.F.R. : Sciences

ECOLE DOCTORALE SIMEM

Sciences des Structures, de l'Information, de la Matière Et des Matériaux

THESE

présentée par

Abderrahman BOUJRAD

et soutenue

le 20 Décembre 2001

en vue de l'obtention du

DOCTORAT de l'UNIVERSITE de CAEN
Spécialité : Electronique et microélectronique

Titre :

*Etude et réalisation d'un TDC numérique
dans le cadre du trigger du GANIL*



JURY

Directeur de thèse : Daniel BLOYET **Professeur, ISMRA, GREYC Caen**

M. Eric PLAGNOL

Directeur de Recherche, CNRS, IPN Orsay

Rapporteur

M. Hugues DELAGRANGE

Directeur de Recherche, CNRS, SUBATECH Nantes

Rapporteur

M. Marek LEWITOWICZ

Directeur de Recherche, CNRS, GANIL Caen

M. Joël CLEMENT

Ingénieur de Recherche, ESRF Grenoble

M. Michel TRIPON

Ingénieur de Recherche, CNRS, GANIL Caen

A la mémoire de mon père.

A ma mère.

A mes frères, sœurs, cousins et cousines.

A toutou et Abdelouahad.

A mon oncle Abdeljabbar pour son soutien et ses encouragements.

A ma Zineb pour ses prières et ses "au revoir" toujours difficiles.

A mon fils Mounir, qui ne cesse de demander : "Papa, quand tu auras fini ton livre est ce que tu pourras jouer avec moi ? "

A Younès, pour son "merti " systématique et son sourire charmeur.

A ma femme, Fatima, qui m' a supporté et soutenu pendant ces années de thèse. Je te remercie de m'avoir comblé avec les deux fleurs de la vie.

Table des matières

Introduction générale	7
Chapitre 1 Etude et réalisation d'un TDC numérique pour le trigger du GANIL.....	13
1 Introduction.....	14
1.1 Non Linéarité Différentielle NLD.....	18
1.2 Les sources d'erreurs	19
2 Les principales architectures de mesure de temps.....	22
2.1 Les systèmes de mesure de temps à architecture analogique.....	22
2.2 Les systèmes de mesure de temps à architecture numérique.....	24
2.2.1 Systèmes à base de compteurs seuls.....	25
2.2.2 Systèmes à base de lignes à retard seules.....	26
2.2.3 Systèmes à base de compteur associé à des lignes à retard.....	26
2.3 Les systèmes mixtes analogiques/numériques	27
2.3.1 Structure à base de CTA associé à un ADC.....	28
2.3.2 Système à expansion analogique de temps.....	29
3 Choix de l'architecture de mesure de temps dans le cadre du trigger	30
4 Etude du TDC numérique proposé.....	33
4.1 Schéma de principe.....	33
4.2 Equations générales	33
4.3 Evolution des sorties de la Ligne A Retard (LAR).....	35
4.4 Ligne à retard parfaite	40
4.5 Delay Locked Loop.....	42
5 Résultats attendus	44
5.1 Lignes à retard commerciales	44
5.2 Contribution des retards intrinsèques dans la résolution du TDC	46

6 Réalisation.....	50
6.1 montage	50
7 Résultats	52
7.1 Résolution de 1 ns.....	52
7.2 Les effets conjugués des défauts de la LAR et du rapport cyclique de l'horloge	53
7.3 Evaluation de la contribution de chacun des paramètres du TDC dans la NLD.....	55
7.4 Fluctuations de l'horloge	56
7.5 Fluctuations du rapport cyclique de l'horloge.....	57
7.6 Le compromis entre la résolution et la linéarité	59
8 Choix de la résolution du TDC dans le cadre du trigger.....	62
Chapitre 2 Etude et conception du trigger général du GANIL.....	65
1 Introduction.....	67
1.1 Les triggers généraux.....	67
1.1.1 Le CALI.....	67
1.1.2 Le Configureur.....	67
1.1.3 Le Module des Coïncidences Rapides.....	68
1.2 Les triggers spécifiques.....	68
2 Le nouveau trigger du GANIL : le Ganil Master Trigger GMT.....	69
2.1 Choix du standard	69
2.2 Constitution du trigger	70
2.3 Les phases de l'acquisition des données	71
2.4 Synoptique simplifié du GMT	72
2.5 La phase de déclenchement et d'analyse du trigger.....	73
2.5.1 Le déclenchement	73
2.5.2 La mémorisation.....	75
2.5.3 Le marquage en temps.....	78
2.5.4 L'analyse	78
2.5.4.1 Les fenêtres d'analyse du GMT	79

2.5.4.2 Analyse des rejets externes	81
2.5.4.3 Echantillonnage	83
2.5.5 Gestion des codeurs	83
2.6 Modes de fonctionnement du trigger	87
2.6.1 Mode normal	87
2.6.2 Mode de codage anticipé.....	92
2.6.3 Mode test	95
2.6.4 Fonctionnement à plusieurs GMT.....	96
2.6.5 Fonctionnement en multi-châssis.....	96
2.7 La phase de lecture.....	96
2.8 La phase de libération.....	98
Chapitre 3 Réalisation du trigger et résultats des marqueurs de temps	99
1 Description de la carte mère	100
2 Description des cartes filles	102
3 Expériences et résultats	104
3.1 Le GMT dans les expériences au GANIL	104
3.1.1 La station d'identification Basse Energie IBE.....	104
3.1.2 Expérience FULIS.....	104
3.1.3 Expérience E369	105
3.1.4 Expériences sur SPEG	105
3.2 Résultats pour les marqueurs de temps du trigger.....	105
Conclusions et perspectives	107
Références	112
Glossaire	119
Annexes	123
Annexe A : Impédances caractéristiques et temps de propagation par unité de longueur pour des lignes « Microstrip » et « Strip ».....	124
Annexe B : Caractéristiques de la ligne à retard.....	126
Annexe C : Labview : définition et panneaux principaux du programme de test	127
Annexe D : Connecteur VXI P2 du GMT	132

Annexe E : Caractéristiques générales du module Universal Marker Module (U2M)	133
Annexe F : Description des signaux VXI dédiés du GMT.....	135
Annexe G : La Carte mère du GMT	137
Annexe H : Les cartes filles du GMT	139
Annexe I : Taux de comptage de quelques dispositifs expérimentaux au GANIL.....	143

Remerciements

Je remercie plus particulièrement le Professeur Daniel Bloyet, mon Directeur de thèse. Il a toujours été disponible et attentionné à mon égard. Lors des nombreuses discussions que nous avons eues, j'ai beaucoup apprécié ses remarques et ses conseils qui ont orientés mon travail de thèse. C'est peu dire que de lui signifier ici ma gratitude.

Je remercie Michel Tripon, le collègue et le compagnon qui n'a pas cessé de me motiver et de me soutenir pendant les périodes les plus difficiles. Je te remercie Michel pour les échanges que nous n'avons pas cessés de maintenir que ce soit dans le cadre de la thèse ou celui des autres projets.

Je remercie Hugues Delagrangé, Directeur de recherche à SUBATECH de Nantes, comme rapporteur de la thèse pour ses remarques constructives et ses encouragements.

Je remercie Eric Plagnol, Directeur de recherche à l'IPN d'Orsay, comme rapporteur de la thèse pour ses encouragements et pour son intérêt pour la recherche en électronique. C'est un grand plaisir de le retrouver dans le jury de la thèse.

Je remercie les Directeurs du GANIL qui m'ont permis de mener ce travail de recherche en parallèle à ma fonction au sein du Groupe Informatique Physique (GIP). Je remercie particulièrement Marek Lewitowicz, le Directeur Adjoint du GANIL, qui m'a fait l'honneur d'examiner la thèse.

Un grand merci à Joël Clément qui dans le passé m'a conseillé lors de mon arrivée au GANIL (le FERA, l'IFV...!) et qui aujourd'hui, accepte de porter un jugement sur mon travail de thèse.

Je remercie :

Remy Anne, Responsable du Secteur Technique de la physique, de m'avoir permis d'accomplir cette thèse.

Bruno Piquet, Responsable du GIP, des facilités qu'ils m'a accordées tout au long de la thèse. Je te remercie Bruno pour tes encouragements et ton soutien durant le déroulement de ma thèse.

Je remercie également tous mes collègues du GIP :

Laurent, Gilles, Maria et Gérard partenaires essentiels dans la conception et la réalisation du trigger.

Plus particulièrement, je salue Laurent et Gilles pour l'aide qu'il m'ont apportée pour la conduite de ce projet et pour les échanges que nous avons menés ensemble.

Charles, Bruno, Frédéric, Grégory sans qui les nouveaux équipements (matériels et logiciels) n'auraient pas vu le jour.

Jean Pierre, , Luc, François, Jean louis, Jean, Laurent, Monique, Chantal, Olivier, Luigi et Daniel.

Michel Lion de son aide dans la recherche bibliographique. Je salue sa sympathie, sa disponibilité et son efficacité.

John Frankland et Amine Cassimi pour leur amitié et leur aide lors de la rédaction de l'article en anglais.

Je remercie Manual Mota, Doctorant au CERN à Genève, et Hervé Lebbolo, Ingénieur au LPN_{HE} à Paris, pour les explications sur le fonctionnement des TDC pour le CERN et le SLAC..

Je remercie tous les physiciens et physiciennes que j'ai côtoyés lors des différentes expériences au GANIL notamment les membres du groupe de réflexion sur le nouveau trigger ainsi que tous les collaborateurs des autres laboratoires (LPC, IPN,...).

Je remercie toute l'équipe de François Dauphin à Cycéron pour leur soutien et leurs encouragements.

Je remercie Omar, Sabrina, Pascal et les autres...

Mes remerciements non nominatifs n'en sont pas moins reconnaissants mais la liste est très longue. Je les adresse à toutes les personnes avec qui j'ai eu le plaisir de discuter durant ces années de thèse.

Introduction générale

Le Grand Accélérateur National d'Ions Lourds (GANIL) est un laboratoire d'accueil pour l'étude expérimentale des réactions en physique nucléaire. Le GANIL propose des faisceaux d'ions allant du Carbone à l'Uranium avec des énergies comprises entre 20 MeV/u pour les ions les plus lourds et 95 MeV/u pour les plus légers. Depuis quelques mois, le GANIL propose un faisceau d'ions exotiques grâce à la mise en service de SPIRAL (Système de Production D'Ions Radioactifs Accélérés en Ligne) [SPIRAL]. Le faisceau principal du GANIL présente les caractéristiques suivantes [Mémento]:

- Domaine d'énergie : de 25 MeV / u pour les faisceaux les plus lourds jusqu'à 95 MeV/u pour les plus légers.
- Intensités : de 10^9 pps (particules par secondes) pour les ions les plus lourds à 10^{13} pps pour les plus légers.
- Fréquence des faisceaux : 7 MHz pour les ions les plus lourds à 14 MHz pour les plus légers.
- Résolution en temps : largeur à mi-hauteur typique de 0.5 ns.

Ces caractéristiques correspondent à des cycles faisceau pouvant atteindre 72 ns pour les ions les plus légers. Ce temps définit, en effet, le temps minimum séparant deux collisions successives.

Le faisceau du GANIL est disponible dans plusieurs salles d'expériences comme le montre la **Figure 1**.

Les expériences de physique nucléaire se ramènent toujours à détecter des particules [Tam 90]. Cette détection renseigne sur leur nature (masse, charge...), sur leurs énergies et permet de les localiser dans l'espace et dans le temps. Les détecteurs délivrent des signaux électriques qui comportent deux informations essentielles :

- l'énergie de la particule proportionnelle à la quantité de charge déposée par la particule dans le détecteur
- l'instant d'arrivée de la particule dans le détecteur donné par le début de création des charges.

A la suite de la collision faisceau / cible, des particules émises à des angles différents atteignent des détecteurs placés autour de la cible **Figure 2**. Cette détection démarre la prise en compte d'un événement et la réaction dans son ensemble constitue l'événement. Les différentes variables à mesurer sont appelées paramètres de l'événement.

Du point de vue de la physique un événement commence dès lors qu'une particule atteint un détecteur bien défini que l'on associe au " trigger " de l'expérience. Deux cas peuvent se présenter :

- l'événement intéresse le physicien, dans ce cas les paramètres de l'événement doivent être mémorisés.
- l'événement n'est pas intéressant, dans ce cas il faut le rejeter et se préparer pour un nouvel événement.

Cette notion d'événement intéressant ou pas est très liée au système de tri et de sélection nommé " trigger ". Précisons que le choix du faisceau, de la cible et des détecteurs peut être considéré comme un premier niveau de sélection. En effet, ces éléments dépendent essentiellement des particules et du phénomène physique à étudier.

Une expérience dont les événements intéressants se produisent à chaque collision faisceau/cible exigerait un temps d'analyse du trigger inférieur à 72 ns (période minimale du faisceau). Ce temps est souvent appelé "temps mort" ou "temps de latence" du trigger. Dans le cas où ce temps est supérieur à la période du faisceau, plusieurs événements seront perdus. Ceci est rarement vrai car, pour la plupart des expériences, la sélection du faisceau et les

statistiques des phénomènes physiques à étudier réduisent de façon drastique la période du faisceau utile.

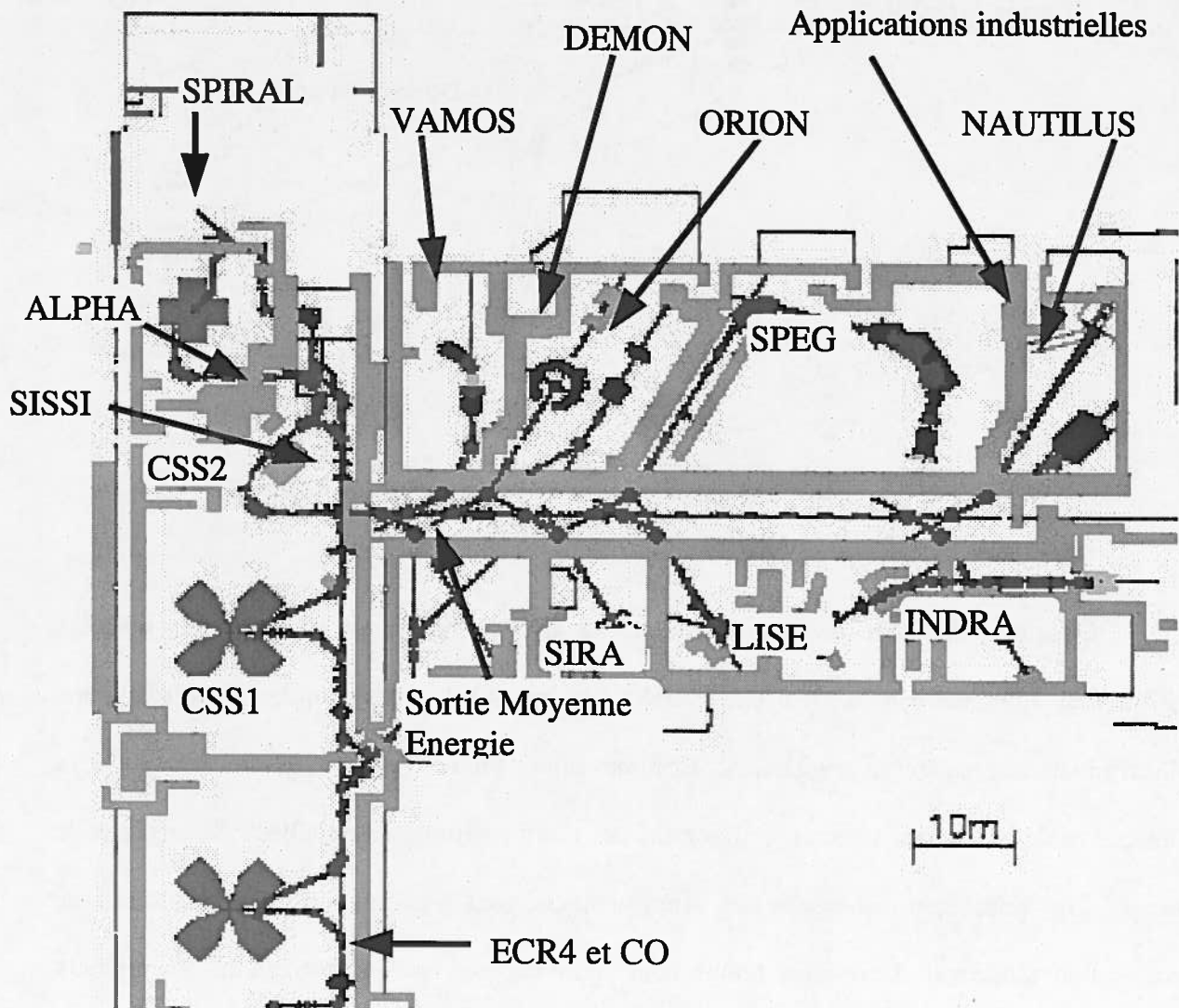


Figure 1 Accélérateur et salles d'expériences du GANIL.

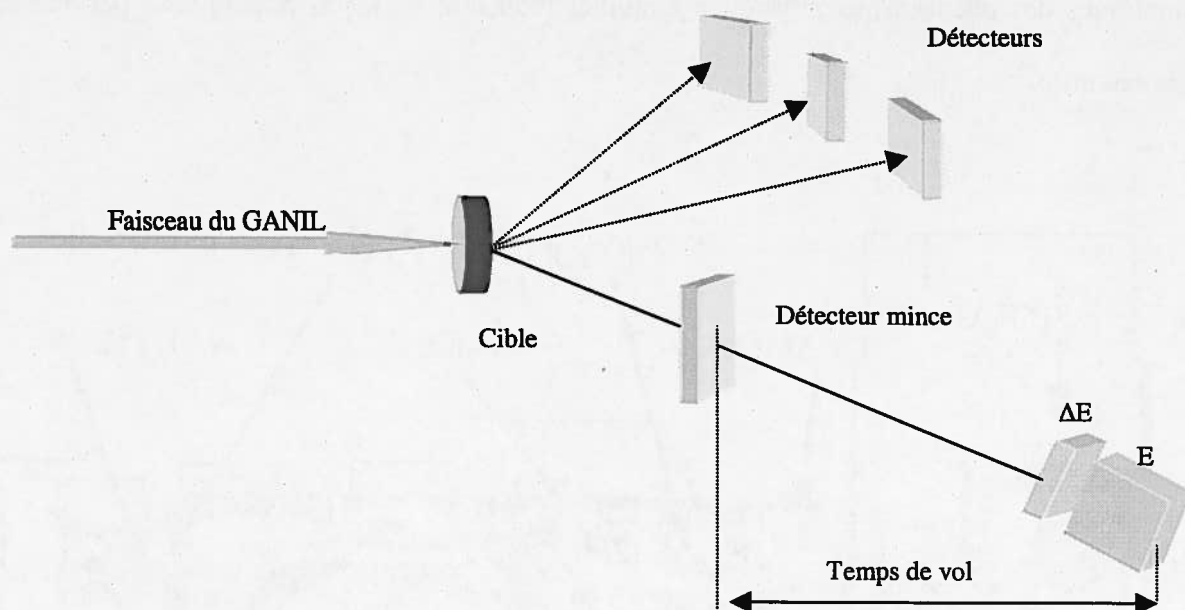


Figure 2 Exemple d'une expérience de physique nucléaire [Pou 84].

Chaque expérience est construite autour d'une chaîne d'acquisition de données (**Figure 3**) qui met en œuvre une variété de modules électroniques (amplificateurs, discriminateurs, codeurs, trigger....). Comme nous l'avons précisé précédemment, les détecteurs délivrent des signaux comportant deux informations essentielles : l'énergie et le temps. Les voies énergies issues des amplificateurs sont transmises vers les modules de conversion (codeurs). Les voies temps sont traduites par les discriminateurs en signaux logiques symbolisant la présence ou l'absence d'un événement sur le ou les détecteurs. Ces signaux logiques sont envoyés vers des modules de mesure de temps et/ou vers les entrées du trigger. Dans certains cas ces impulsions logiques sont envoyées au préalable vers des modules logiques de gestion des multiplicités ([MC2] par exemple). Les sorties issues des multiplicités sont ensuite dirigées vers les entrées du trigger.

Le trigger est l'élément clé dans la plupart des expériences en physique nucléaire. En effet, il est le chef d'orchestre de l'acquisition des données de l'expérience : il permet la

sélection des événements physiques, la gestion des modules de conversion et assure le dialogue avec les processeurs de traitement des données. La diversité des expériences au GANIL, le grand choix de modules de conversion exige un trigger universel et évolutif. Nous avons conçu et réalisé un trigger universel pour les besoins des expériences réalisées à GANIL capable de répondre à leurs exigences actuelles et prévisibles à court terme. En plus, il est suffisamment ouvert pour s'adapter facilement aux nouveaux développements.

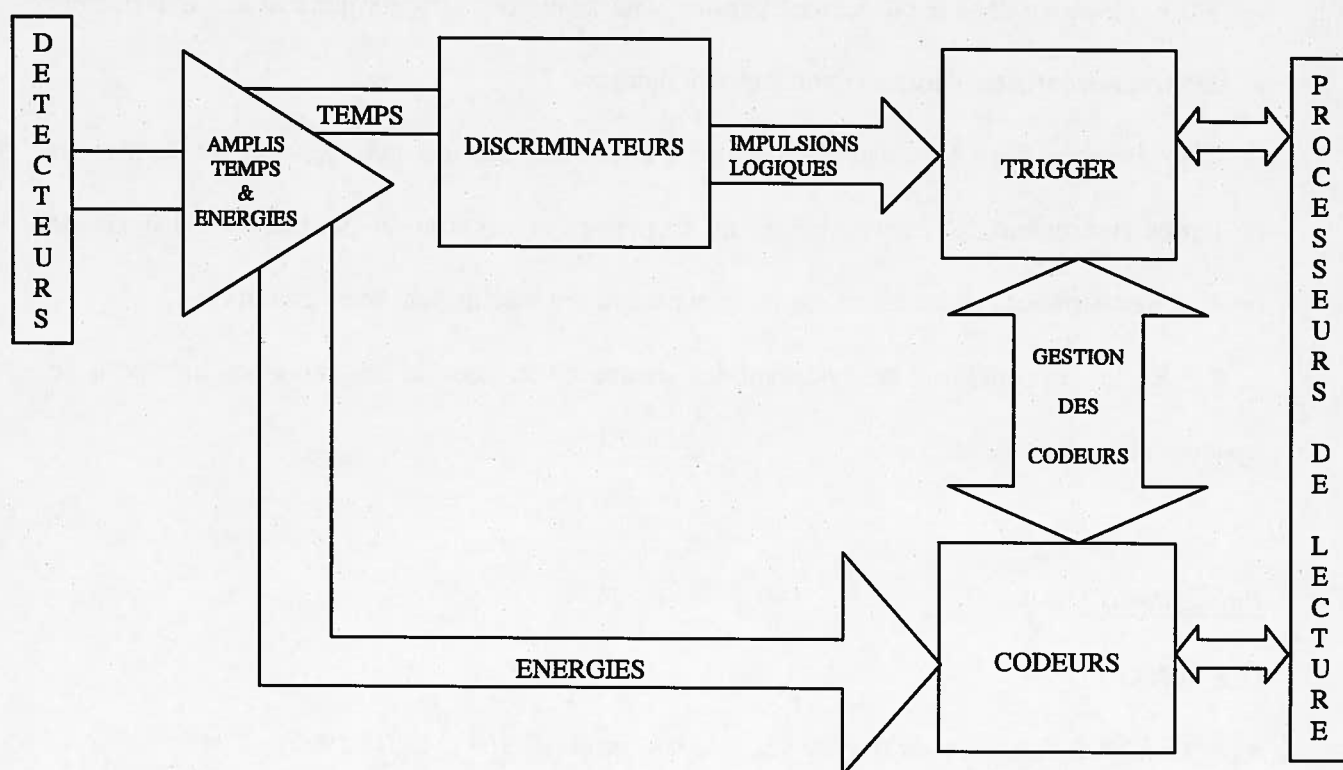


Figure 3 Eléments d'une chaîne d'acquisition.

Lors de la définition du cahier des charges de ce trigger, nous lui avons intégré un système de mesure de temps qui doit donner une information précise sur le temps d'arrivée des impulsions en entrée de celui-ci. Dans ce contexte, j'ai pris en charge la réalisation du trigger et mené en parallèle un travail de recherche sur les systèmes numériques de mesure de temps compatibles avec les spécificités et les contraintes du trigger.

Après une introduction bibliographique sur les systèmes de marquage en temps, je présenterai, dans le premier chapitre, les architectures les plus répandues pour la mesure de temps et choisirai celle qui me paraît la mieux adaptée à notre projet. Je continuerai par l'étude de l'architecture choisie et je préciserai les résolutions et les linéarités obtenues avec plusieurs prototypes.

J'expliquerai dans le deuxième chapitre la nécessité d'un trigger général au GANIL puis je décrirai ses caractéristiques et son fonctionnement.

Je donnerai dans le troisième chapitre les résultats obtenus pour le système de mesure de temps (marqueur de temps) intégré au trigger et présenterai sa pertinence vis à vis de quelques expériences en insistant sur les aspects qui ont facilité leur mise en œuvre.

Enfin, je conclurai en évoquant les perspectives pour le trigger ainsi que pour le système de mesure de temps.

Publications :

Documents

- « *Cahier des charges du trigger* », document interne, GIP GANIL, 1995

Articles

- A. Boujrad et F. Saillant, "The new GANIL data acquisition System", 2000 IEEE Nuclear Science Symposium Conference Record, 15-20 Octobre 2000.
- A. Boujrad, D. Bloyet, et M. Tripon, « A digital TDC with a reduced number of delay line cells », accepté et en cours de publication par le journal NIM.

Chapitre 1

ETUDE ET REALISATION D'UN TDC NUMERIQUE

POUR LE TRIGGER GENERAL DU GANIL

1 Introduction

Comme cela a été montré précédemment les réactions nucléaires induites par l'interaction des ions du faisceau avec des noyaux d'une cible provoquent l'émission des particules et de fragments à des angles caractéristiques. Les détecteurs placés autour de la cible permettent d'identifier les produits de ces réactions grâce à la mesure de leurs propriétés (énergie, masse, vitesse...). Celles-ci sont en général mesurées indirectement car elles sont difficilement accessibles. La mesure du temps d'arrivée des particules sur les détecteurs constitue l'une des mesures indirectes les plus utilisées. Elle est associée à l'une des catégories suivantes :

- le temps de vol
- le marquage en temps.

Le temps de vol

Le temps de vol ou « Time Of Flight (TOF) » est la durée nécessaire à une particule pour parcourir la distance définie par deux détecteurs placés le long de sa trajectoire comme le montre la **Figure 1.1**. La mesure du temps de vol permet l'identification des particules par la mesure de leur vitesse et de leur énergie et donc leur masse. La précision sur la mesure de la masse (ΔA) exige une grande précision sur la mesure du TOF (T) [Cof 85] et [Kle 99]:

$$\frac{\Delta A}{A} = \left[\left(\frac{\Delta E}{E} \right)^2 + \left(\frac{2\Delta T}{T} \right)^2 + \left(\frac{2\Delta L}{L} \right)^2 \right]^{\frac{1}{2}} \quad (1.1)$$

A : masse de la particule

T : temps de vol de la particule

L : la distance entre les deux détecteurs

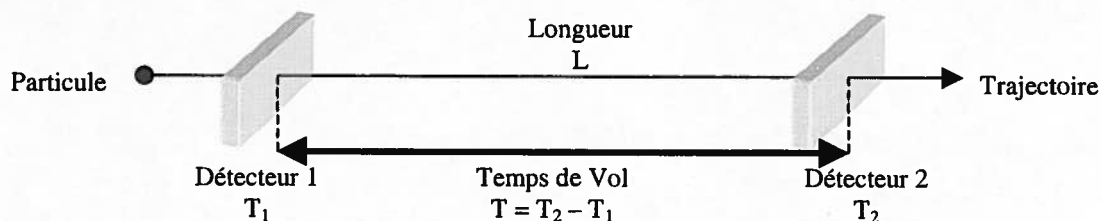


Figure 1.1 : Illustration du temps de vol (TOF) d'une particule.

Le marquage en temps

Le marquage en temps est lié à la notion d'événement et ne nécessite pas une grande précision sur la mesure. Nous appellerons événement chaque collision détectée, entre le projectile et un noyau de la cible. Le marquage en temps est souvent associé au fonctionnement du trigger, le module d'analyse et de décision. En effet, à la suite de son déclenchement, le trigger génère une fenêtre dont la durée peut couvrir plusieurs collisions différentes. Le trigger analyse la coïncidence des impulsions arrivant sur ses voies d'entrées avec la fenêtre d'analyse et décide d'accepter l'événement ou de le rejeter. Les impulsions présentes pendant cette fenêtre sont mémorisées et constituent les « bits patterns » du trigger. Les « bits patterns » nous informent sur la configuration des voies touchées (reflet des détecteurs touchés par les particules issues des collisions) mais n'apportent aucune information sur l'instant exact de leur apparition. Cette information temporelle est très utile et permet une séparation fiable des événements provenant de collisions différentes.

Le signal de déclenchement du trigger est le signal Start du marqueur de temps. Les voies mémorisées pendant la fenêtre d'analyse du trigger constituent les tops d'arrêt individuels (les Stops) de la mesure. Ce mode de fonctionnement correspond au mode dit « Start commun et stops individuels ». Il est illustré sur la **Figure 1.2**.

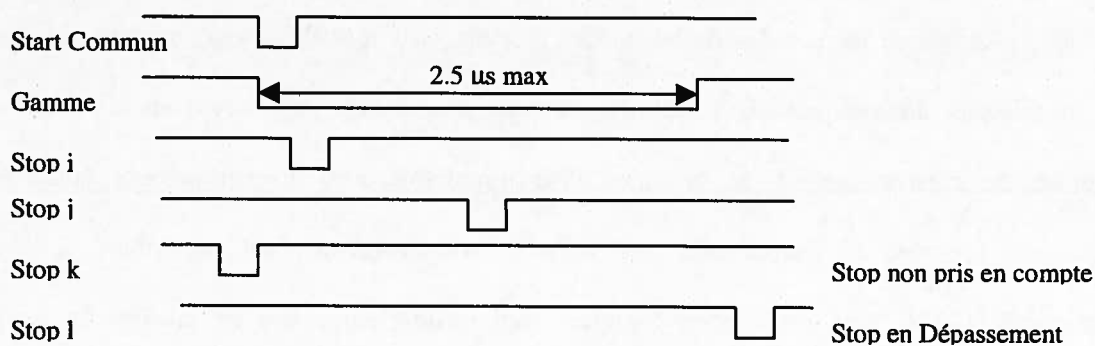


Figure 1.2 Fonctionnement du TDC en Start Commun et Stops individuels

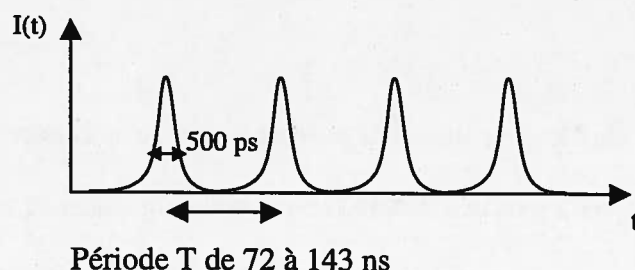


Figure 1.3 : Le faisceau pulsé du GANIL ($I(t)$: intensité du faisceau)

Compte tenu de la période du faisceau de 72 à 143 ns **Figure 1.3** suivant le cas, une résolution de quelques nanosecondes est suffisante pour la mesure de temps. Dans le cadre du projet d'Identification des Noyaux et Détection Avec Résolutions Accrues (INDRA) [Til 92], cette résolution était de 10 ns sur une gamme maximale de 10 μ s.

Dans le cadre de la conception de ce « trigger » (**Chapitre 2**), nous avons intégré l'étude et la réalisation d'un Convertisseur Temps / Numérique (CTN ou TDC) comme marqueur de temps. L'objectif à atteindre était d'obtenir une résolution de 1 à 5 ns sur une gamme maximale de 2.5 μ s. Un paramètre important dans la réalisation du TDC est le temps mort additionnel dû au fonctionnement du TDC (mémorisation, conversion, remise à zéro). C'est ce paramètre qui a guidé le choix de la structure du TDC.

Le « trigger » est un module électronique qui permet le déclenchement de l'acquisition des données, l'analyse de l'événement physique, la gestion des modules de conversion et le dialogue avec les systèmes de lecture des données. Les signaux issus des détecteurs sont le plus souvent des impulsions analogiques. Ces impulsions sont amplifiées puis envoyées en entrées des systèmes de conversions et de modules discriminateurs. Les discriminateurs émettent des impulsions logiques si l'amplitude des impulsions analogiques est supérieure à un seuil programmé [GAN]. Les impulsions logiques sont ensuite envoyées en entrées du trigger et constituent ses voies d'entrées. Une ou plusieurs voies du trigger sont dites voies de déclenchement et permettent d'initier le cycle de fonctionnement du trigger (signal Start). Il commence par la génération d'une fenêtre d'analyse (**Figure 1.4**) pendant laquelle les voies

d'entrées sont mémorisées. Chaque voie, en coïncidence avec la fenêtre d'analyse, est mémorisée et constitue le « Stop » individuel de la mesure de temps. Le TDC fonctionne dans ce cas en mode « Start Commun » : une seule impulsion de départ (Start) et une ou plusieurs impulsions d'arrêt (Stop1, Stop2...) **Figure 1.2.** La durée de la fenêtre d'analyse peut être très grande devant la période du faisceau et peut donc couvrir des événements provenant de plusieurs paquets du faisceau, d'où la nécessité du convertisseur de temps (TDC). Le trigger fournit, à la fin de la fenêtre d'analyse, un signal d'acceptation si l'événement est intéressant ou un signal de rejet dans le cas contraire. La durée nécessaire au trigger pour prendre sa décision d'acceptation ou de rejet de l'événement est le « temps de latence du trigger ». Le temps de latence du trigger doit être de quelques dizaines de nanosecondes en général.

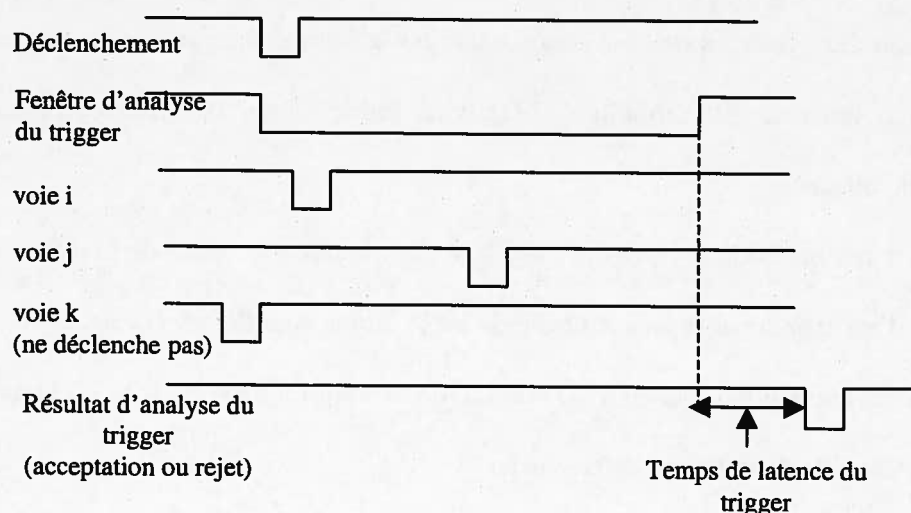


Figure 1.4 Fonctionnement du TDC en Start Commun et Stops individuels

Dans le cas d'un rejet, l'électronique de conversion et le trigger sont réinitialisés rapidement pour prendre en compte et analyser un nouvel événement. Dans le cas d'une acceptation, le trigger génère les signaux de gestion des modules de conversion et prévient le système de lecture de la présence d'un événement valide. A l'issue de la lecture des données, le trigger et l'ensemble des modules de conversion sont initialisés. Un autre cycle peut commencer.

En général, les systèmes de mesure présentent trois phases de fonctionnement : la mesure du signal (amplitude, charge ou temps), la conversion analogique/digital et la remise à zéro. Le temps mort de la mesure est lié à la durée de chacune de ces phases et constitue un paramètre critique dans le cadre du trigger. En effet, la structure choisie pour la réalisation du TDC ne doit en aucun cas prolonger le temps de latence du trigger.

Avant de choisir une structure de TDC pour le trigger, nous allons donner les caractéristiques générales des différentes structures [Por 73] et [Mot 00]. Nous étudierons ensuite la structure la plus adaptée aux caractéristiques du trigger envisagé et l'adopterons pour la réalisation du TDC.

1.1 Non Linéarité Différentielle NLD

L'évaluation des systèmes de conversion analogique / numérique se traduit souvent par la mesure de la non linéarité différentielle (NLD). Une faible valeur de NLD correspond à un système de bonne linéarité.

La NLD est définie comme la valeur maximale du module normalisé de la différence entre la largeur réelle d'un échelon et la valeur idéale du bit le moins significatif (Least Significant Bit, LSB). Le cas idéal correspond à une (NLD = 0 LSB) [MAX]. La mesure de la NLD dans le cas réel peut être obtenue de deux façons différentes :

- la mesure de la fonction de transfert du convertisseur (abscisses : valeur analogique, ordonnée : numéro du canal (valeur numérique))
- la statistique sur un grand nombre de mesures via un histogramme (abscisse : canal, ordonnée : nombre de coups dans le canal)

Nous avons choisi la deuxième option qui implique l'utilisation de la formule suivante pour la non linéarité différentielle NLD [Ren 89] et [Tri 87] pour le canal i:

$$NLD_i = \frac{H_i - H_m}{H_m} \quad (1.2)$$

Où H_i est le nombre de coups dans le canal i et H_m le nombre moyen de coups sur toute la gamme de mesure :

$$H_m = \frac{1}{M} \sum_{i=1}^M H_i \quad (1.3)$$

M : le nombre total des canaux considérés.

La NLD_i indique donc l'écart relatif entre le nombre de coups dans le canal i et le nombre moyen de coups dans la gamme de mesure.

1.2 Les sources d'erreurs

Plusieurs sources influent sur la mesure. Certaines sont facilement évaluables et d'autres le sont moins. Parmi les sources d'erreurs, citons la nature statistique de génération des signaux start/stop, l'erreur de quantification liée au système de mesure de temps, les erreurs induites par les bruits traditionnels et les erreurs liées aux défauts de la structure choisie pour la mesure de temps. Nous représenterons l'ensemble des erreurs liées au système de mesure de temps par l'écart type σ_{sy} dont quelques sources intrinsèques sont citées au §5.2. Nous présenterons dans ce paragraphe l'estimation de l'erreur statistique puis nous définirons les variables qui permettent de vérifier la validité des résultats obtenus.

Le nombre d'événements acquis pendant la durée de la mesure présente une fluctuation statistique décrite par la loi de Poisson [Leo 87] (pages 79-85) et [Tav 84] :

$$P(N) = \frac{\mu^N e^{-\mu}}{N!} \quad (1.4)$$

$P(N)$ est la probabilité de compter N événements pour une durée de mesure donnée. Pour un nombre élevé de mesures, le nombre de coups moyen tend vers la moyenne μ de la loi de Poisson. Dans ce cas la variance est :

$$\sigma^2 = \mu \approx N \quad (1.5)$$

En exprimant l'écart type en pourcentage du nombre d'événements produits nous pouvons apprécier facilement la précision de la mesure [Ged 01] :

$$\sigma_N \% = \frac{\sigma_N}{N} 100\% = \frac{100\%}{\sqrt{N}} \quad (1.6)$$

Ainsi cette précision est d'autant meilleure que le $\sigma_N\%$ est faible (par exemple : pour $N=100$,

$\sigma_N\% = 10\%$ et pour $N=10^6$, $\sigma_N\%=0.1\%$). Le terme $\frac{1}{\sqrt{N}}$ est aussi appelé erreur statistique.

La valeur moyenne obtenue dans un canal est H_m comme nous l'avons définie précédemment. Pour N grand, l'approximation gaussienne de la statistiques de Poisson peut être utilisée. La probabilité d'observer un nombre de coups N_{mes} compris entre :

$H_m - \sigma_s$ et $H_m + \sigma_s$ est de 68.2%

$H_m - 2\sigma_s$ et $H_m + 2\sigma_s$ est de 95.4%

$H_m - 3\sigma_s$ et $H_m + 3\sigma_s$ est de 99.7%

En faisant l'hypothèse qu H_m soit une bonne approximation de N , on peut écrire que :

$$NLD_{mes} = \frac{N_{mes} - N}{N} \quad (1.7)$$

La probabilité d'observer une Non linéarité Différentielle NLD_{mes} donnée est identique à celle d'observer une valeur N_{mes} .

Puisque les erreurs liées au système et les erreurs liées à la statistique sont indépendantes, l'écart type total σ_T de la mesure est la somme quadratique de l'erreur du système σ_{sy} (génération de la durée à mesurer, le système de mesure de temps, le système de lectures des données...) et de l'erreur statistique σ_s :

$$\sigma_T^2 = \sigma_{sy}^2 + \sigma_s^2 \quad (1.8)$$

La valeur de la NLD à un écart type est donc :

$$NLD_{m,T} = \frac{H_m + \sigma_T - H_m}{H_m} \quad (1.9)$$

$$NLD_{m,T} = \frac{\sigma_T}{H_m} = \frac{\sqrt{\sigma_{sy}^2 + \sigma_s^2}}{H_m} \quad (1.10)$$

Suite à l'expression de σ_s nous aboutissons à :

$$NLD_{m,T} = \frac{\sqrt{\sigma_{sy}^2 + H_m}}{H_m} \quad (1.11)$$

On peut déduire de cette équation l'erreur du système en fonction de la NLD totale à un écart type et du nombre de coups moyen, soit:

$$\sigma_{sy} = \sqrt{H_m^2 NLD_{m,T}^2 - H_m} \quad (1.12)$$

Il est donc facile, à la suite de la mesure expérimentale de la $NLD_{m,T}$, et de la moyenne H_m d'évaluer la part de l'erreur statistique et celle de l'erreur du système de mesure de temps. L'évaluation de l'influence des paramètres du système de mesure de temps ne peut être effective que si l'erreur statistique est très faible devant l'erreur systématique :

$$\frac{\sigma_s}{\sigma_{sy}} \ll 1 \quad (1.13)$$

2 Les principales architectures de mesure de temps

L'évolution des technologies analogiques et numériques a permis l'amélioration des architectures existantes et le développement de nouveaux systèmes tirant partie des performances de chacun des deux types de technologies.

Il existe actuellement plusieurs architectures de TDC. Nous les avons classées en trois architectures principales :

- 1- architecture analogique
- 2- architecture numérique
- 3- architecture mixte : numérique/analogique

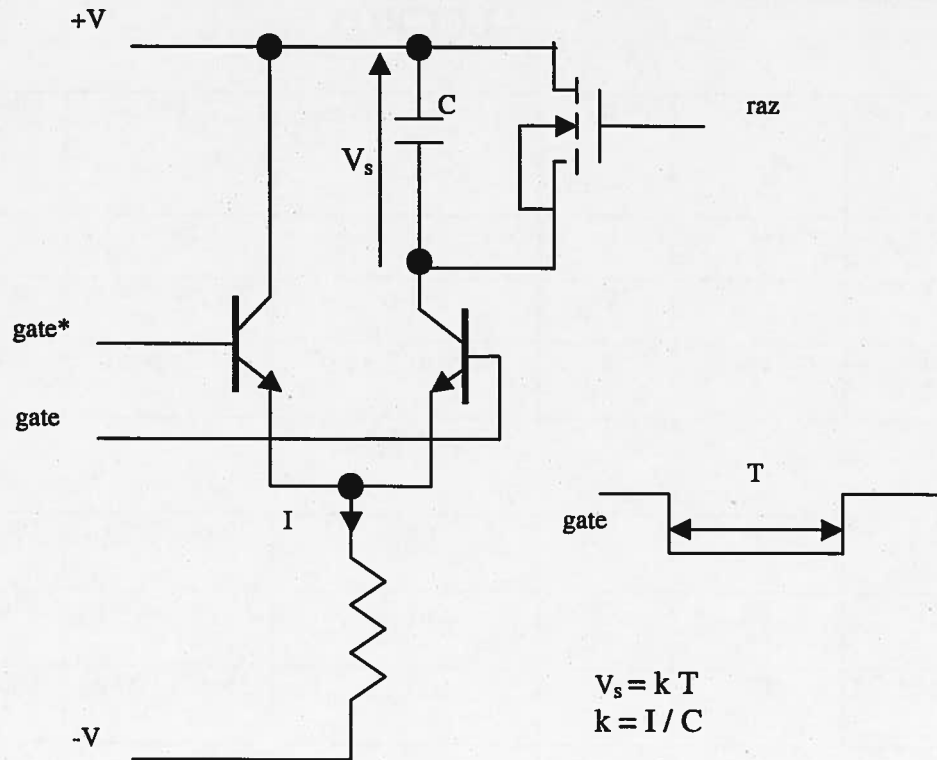
Nous citerons les caractéristiques de chacune d'elles en insistant sur les points qui correspondent à nos contraintes (faibles temps de conversion et de remise à zéro voir § 1.1).

2.1 Les systèmes de mesure de temps à architecture analogique

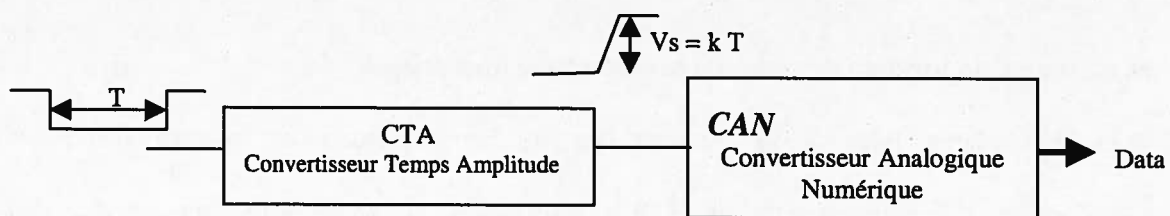
Les architectures analogiques sont largement utilisées en physique nucléaire et permettent d'atteindre de grandes performances [LEC1], [CAE], [Fuj 98] et [Mar 99]. La mesure de temps consiste à transformer la durée (écart de temps entre le Start et le Stop) en une tension qui lui est proportionnelle via un Convertisseur Temps Amplitude (CTA) **Figure 1.5 a**. Cette tension est ensuite convertie en donnée numérique via un Convertisseur Analogique Numérique (CAN) **Figure 1.5 b**.

La durée de conversion dépend de l'ADC utilisé (vitesse de conversion et dynamique de la mesures) et du nombre de voies du TDC. Elle varie de quelques microsecondes à quelques dizaines de microsecondes **Tableau 1.1** (liste non exhaustive). La durée de remise à zéro dépend principalement du temps d'évacuation de la charge du CTA et conditionne la résolution du TDC. Elle varie de quelques centaines de nanosecondes à quelques microsecondes. La stabilité et la linéarité du CTA ainsi que la précision du système de conversion déterminent la résolution du système. Cependant, la résolution dépend de la gamme de conversion du CTA. En général, le

passage à une gamme supérieure se traduit par une perte de résolution (ex : la résolution est de 16 ps pour une gamme de 250 ns alors qu'elle n'est que de 1.6 ns pour une gamme de 25 μ s[Tri 99]).



a) Schéma simplifié d'un Convertisseur Temps Amplitude (CTA)



b) CTA associé à un convertisseur analogique /numérique

Figure 1.5 Schéma de principe d'un TDC à base de Convertisseur Temps Amplitude (CTA).

Modèle	Nombre d'entrées	Nombre de bits	Temps mort	Résolution	Gamme maximale
LECROY					
1875A	64	15	10 μ s + 2.5 μ s / coups	25-800 ps	100 ns / coups + 3.2 μ s
4303	16	11	8.5 μ s	50 ps	100 ns
2228A	8	11	100 μ s	50 / 100 / 250 ps	100 / 200 / 500 ns
3420	16	8	4.5 ou 8.5 μ s	25 ps	<200 ns
CAEN					
C488A	8	12	13 μ s	25 ps / 200 ps	100 ns / 800 ns
V775	32	12	5.7 μ s	35 ps / 300 ps	140 ns / 200 ns
VN1488	64	12	60 μ s	25 ps / 100 ps	100 ns / 800 ns

Tableau 1.1 Récapitulatif (non exhaustif) des caractéristiques des TDC commerciaux à base d'architectures analogiques.

2.2 Les systèmes de mesure de temps à architecture numérique

Les contraintes liées à la mesure des durées extrêmement courtes (quelques picosecondes) et l'implémentation de TDCs multivoies et multicoups ont conduit les chercheurs à proposer de nouvelles architectures et les fabricants de circuits intégrés à développer de nouvelles technologies. Ces architectures ont évolué et se sont améliorées grâce à l'utilisation des Circuits Intégrés à Applications Spécifiques (ASIC) dont les performances ne cessent de croître. Les ASICs permettent une grande intégration et des temps de

propagation très courts. Ils sont généralement caractérisés par une faible consommation et un faible coût pour les grandes quantités.

Les systèmes de mesures de temps à base de structures numériques se présentent sous l'une des trois formes suivantes :

- compteurs seuls
- lignes à retard seules
- compteurs associés à des lignes à retard

2.2.1 Systèmes à base de compteurs seuls

Le compteur fonctionne à haute fréquence (**Figure 1.6**) et mesure le nombre de périodes de l'horloge contenu dans la fenêtre démarrée par le signal Start et arrêtée par le signal Stop. La précision de la mesure est directement liée à la période de l'horloge ([Sas 91], [Gao 91], [Pas 95] et [Ven 98]). Dans certains cas, les deux fronts du signal de l'horloge (front avant et arrière) sont utilisés pour améliorer la résolution (deux fois plus fine).

La structure à compteur permet d'obtenir de grandes gammes de mesure et maintient la même résolution sur toute la gamme. Le temps de conversion est très court et la remise à zéro est très rapide. Cependant, pour des résolutions très fines, des horloges de quelques gigahertz sont nécessaires. De telles fréquences posent beaucoup de problèmes de réalisation (oscillateurs HF et diaphonie) et augmentent la consommation du TDC.

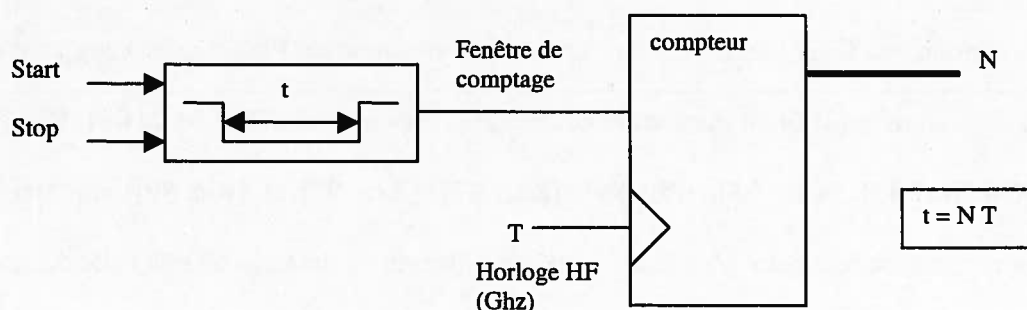


Figure 1.6 TDC à base de compteur seul.

2.2.2 Systèmes à base de lignes à retard seules

Les structures à base de lignes à retard (LAR) seules (Figure 1.7) permettent d'obtenir des résolutions très fines. Cependant, la gamme est limitée à cause de la limite d'intégration et de la grande dispersion des retards quand ils sont en très grand nombre. Il existe cependant des méthodes dites de vernier qui permettent d'obtenir de grandes gammes sans nécessiter un grand nombre de lignes à retard. On peut citer le vernier circulaire [Fot96] et le vernier à double échelle [Gor 97].

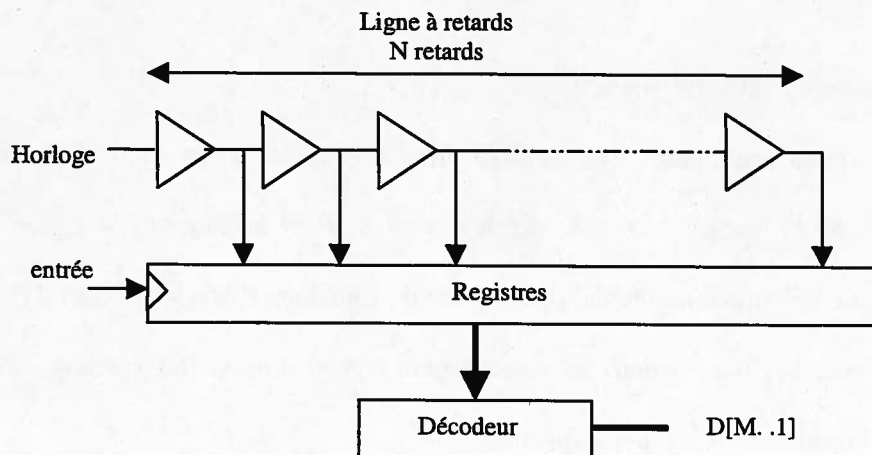


Figure 1. 7 Structure à base de Lignes à retard.

En général, la ligne à retard est associée à un compteur pour réduire la dispersion (moins de retards) et élargir la gamme.

2.2.3 Systèmes à base de compteur associé à des lignes à retard

L'association d'un compteur à une ou plusieurs lignes à retard Figure 1.8 permet d'obtenir des résolutions très fines tout en gardant une grande dynamique. Plusieurs travaux sont rapportés dans la littérature et diffèrent par l'architecture de la mesure fine ([Kle 91], [Gen 92], [Gor 93], [Bai 93], [Bai 99], [Chr 95], [Pin 99], [Zha 97], [Ara 97] et [Big 99]). La fréquence de fonctionnement est beaucoup plus faible (quelques dizaine de mégahertz) que celle des systèmes à compteur seul (quelque gigahertz) pour une même résolution, ce qui réduit la consommation et facilite la réalisation. L'utilisation des lignes à retard pour la précision [Mot 00] permet d'obtenir une résolution comparable à celle des systèmes analogiques. Cette résolution dépendra

essentiellement de la dispersion des pas de la LAR, des caractéristiques de l'horloge du système et de la structure de mémorisation des états de la LAR. Cette structure présente un temps de remise à zéro très rapide (quelques nanosecondes) et le temps de conversion correspond au temps d'établissement des données (~ 10 ns). Ce temps peut limiter l'utilisation du TDC en multi-coups (multihit). En effet, la prise en compte d'une nouvelle mesure n'est possible qu'à la fin du temps d'établissement de la donnée mémorisée.

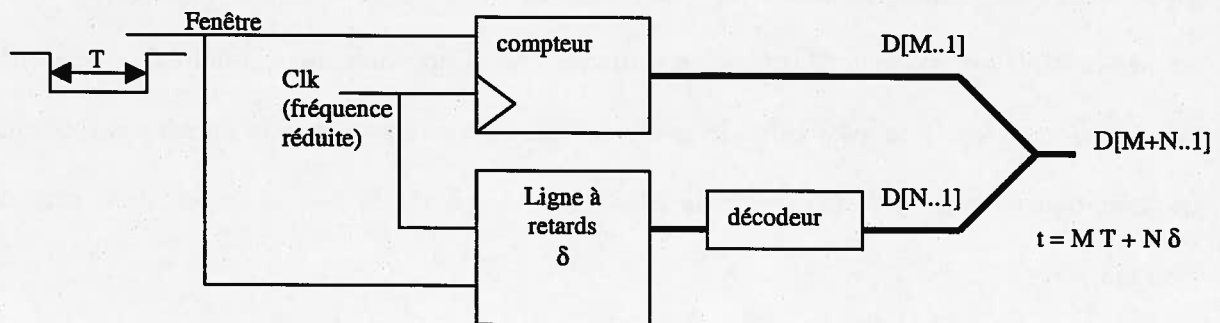


Figure 1. 8 TDC à base de compteur associé à une ligne à retard.

La plupart des structures citées ci-dessus ont été réalisées en technologie ASIC. Notons cependant l'article de Delavallade et al [Del 86] qui présente une structure à base d'un compteur intégré dans un PGA (semi-custom Low Silicon Integrated, LSI) associé à des portes en technologie ECL (Emitter Coupled Logic). Cette structure a permis d'obtenir une résolution de 2ns sur une gamme de 32μs.

2.3 Les systèmes mixtes analogiques/numériques

Ces systèmes permettent de tirer avantage des systèmes analogiques et des systèmes à base de compteurs (§ 2.1 et § 2.2.1). En effet, la structure analogique procure une résolution très fine et la structure à base de compteur permet l'élargissement de la gamme de mesure. Le compteur fonctionne à une fréquence beaucoup plus faible que celle des compteurs seuls et consomme beaucoup moins. La structure analogique de mesure fine se présente sous l'une des ces deux structures :

- structure à base de CTA associée à un ADC
- structure à expansion analogique du temps.

2.3.1 Structure à base de CTA associé à un ADC

La tension en sortie du CTA (§ 2.1) est convertie via un ADC à faible résolution (4 à 8 bits par exemple). Les ADCs Flash utilisés possèdent des temps de conversion très faibles et peuvent fonctionner à des fréquences très élevées. Le temps de remise à zéro de ce système est réduit étant donnée la faible excursion de la tension en sortie du TAC. Cependant, la continuité du système de numérisation (CAN) fine avec celui de la numérisation grossière (compteur) n'est pas évidente. Le fonctionnement à haute fréquence du Flash-ADC augmente la consommation et le coût du système.

Klär et al [Klä 89] ont présenté un travail similaire avec un système de mise en forme en entrée du Flash ADC (Figure 1.9). La résolution obtenue est voisine de 30 ps avec un compteur 100 MHz et un Flash-ADC de 8 bits (la gamme n'est pas définie).

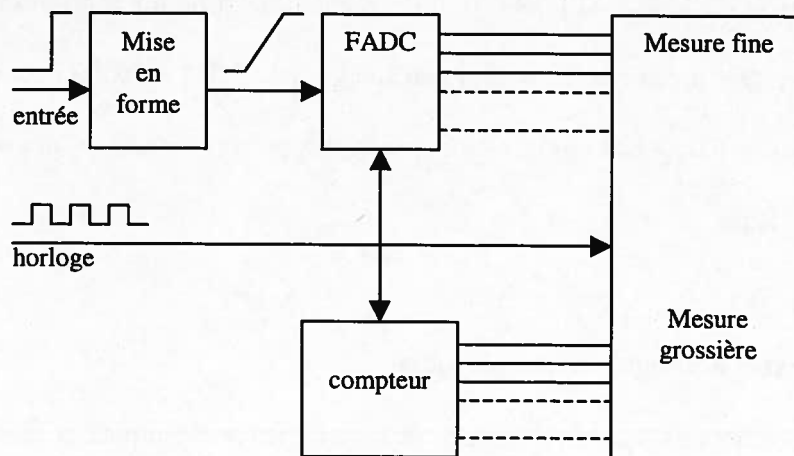


Figure 1.9 Structure à base de compteur associée à un Flash ADC (d'après l'article de Klär et al [Klä 89]).

2.3.2 Système à expansion analogique de temps

Cette structure utilise, pour la mesure fine, une topologie à intégration de courant qui transforme la durée courte à mesurer en une durée beaucoup plus longue. La nouvelle durée est un multiple de la durée initiale et le facteur de multiplication est le facteur d'expansion. Il est plus facile de comprendre le fonctionnement de cette structure en se reportant au chronogramme de la **Figure 1. 10** ([Che 95]). La durée t_m à mesurer est décomposée en trois durées T_1 , T et T_2 tel que:

$$t_m = T_1 + T - T_2 \quad (1.14)$$

Le temps T_1 est l'écart de temps entre le signal Start et le premier front de l'horloge du système. Le temps T_2 est l'écart de temps entre le signal Stop et le premier front de l'horloge qui lui succède. Le compteur mesure la durée T en nombre de période de l'horloge. La durée T_1 (T_2) est transformée en une durée T_1' (T_2') tel que :

$$T_1' = k T_1 \quad (1.15)$$

$$T_2' = k T_2 \quad (1.16)$$

k est le facteur d'interpolation.

La durée T_1' (T_2') étant très grande, il est donc possible de la mesurer en utilisant un compteur cadencé avec l'horloge principale. Un des inconvénients majeurs de cette méthode est le temps mort induit par cette expansion temporelle. La remise à zéro de ce système dépend principalement de la durée d'expansion.

Cette structure a été utilisée par Turko et al en 1978 [Tur 78] et présente de bonnes caractéristiques. La résolution était de **9.76 ps** sur une gamme de **340 ms** soit l'équivalent d'une fréquence de conversion de **102.4 Ghz**. De même, la réalisation de Chemloul et al [Che 95] aboutit à une résolution programmable de **80, 160 et 320 ps** avec une gamme voisine de **20 μ s**.

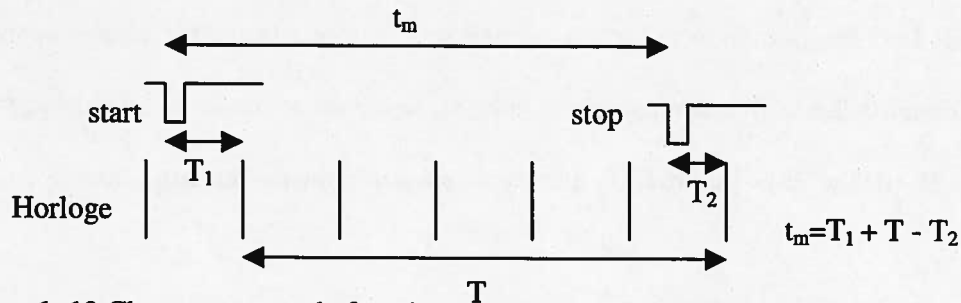


Figure 1. 10 Chronogramme de fonctionnement pour une structure à expansion analogique de temps .

3 Choix de l'architecture de mesure de temps dans le cadre du trigger

Nous avons résumé, dans les **Tableaux 1.2 et 1.3**, les avantages et les inconvénients des différentes architectures de TDC que nous avons citées dans les paragraphes précédents. L'architecture numérique à base de compteur associée à une ligne à retard (§ 2.2.3) est la mieux adaptée à notre projet. En effet, la conversion et la remise à zéro ne durent que quelques dizaines de nanosecondes. Les deux phases, conversion et remise à zéro, ont lieu pendant le temps de latence du trigger et n'introduisent pas de temps mort supplémentaire. Nous avons donc choisi cette architecture dans le cadre du trigger général du GANIL.

Architectures	Avantages	Inconvénients
Analogique temps/amplitude (CTA)	- très bonne résolution - faible consommation	- gamme limitée - longue durée de conversion - longue durée de remise à zéro - faible intégration - sensibilité - fonctions logiques limitées
Compteur	- grande dynamique - pas de temps de conversion - remise à zéro rapide - facilité de conception - grand niveau d'intégration - implémentation facile des fonctions logiques	- résolution limitée - processus à grande vitesse requis - horloges haute fréquence - forte consommation
Lignes à retard seules	- bonne résolution - pas de temps de conversion - remise à zéro rapide - large intégration - conception facile - implémentation facile des fonctions logiques - faible consommation	- ajustage fréquent - gamme réduite - grandes dispersions

Tableau 1.2 Récapitulatif des avantages et inconvénients des architectures simples de TDC.

Architectures	Avantages	Inconvénients
Compteur + CTA+ ADC	- très bonne résolution - grande dynamique - facilité de conception - fréquence réduite - consommation réduite	- la remise à zéro de l'ensemble n'est pas nulle - le temps de conversion n'est pas nul - diaphonie - la consommation dépend de la fréquence du compteur
Compteur + expansion de temps	- très bonne résolution - grande dynamique - consommation réduite - pas de temps de conversion	- la remise à zéro n'est pas nulle - temps mort additionnel dû à l'interpolation - diaphonie - la consommation dépend de la fréquence du compteur
Compteur + LAR	- bonne résolution - grande dynamique - large intégration - temps de conversion négligeable - remise à zéro négligeable - faible consommation - implémentation facile des fonctions logiques	- ajustage fréquent - la consommation dépend de la fréquence du compteur et de la LAR - grandes dispersions

Tableau 1.3 Récapitulatif dans le cas des architectures mixtes de TDC.

4 Etude du TDC numérique proposé

4.1 Schéma de principe

Une horloge CLK de période T, démarrée par un signal Start et arrêtée par un signal Stop, cadence un compteur dont les sorties constituent le poids fort de la donnée **Figure 1.11**. La même horloge est envoyée en entrée d'une ligne à retard LAR, constituée de plusieurs pas identiques de valeurs δ . L'horloge et les sorties de la LAR (S1 à S4) sont mémorisées par un système de mémorisation à base de « LATCH » (sorties L[1] à L[5]), sur l'arrivée du signal Stop. Elles sont ensuite mises en forme par un décodeur et constituent le poids faible de la donnée (DMQT[3..1]). Le compteur donne le nombre de périodes d'horloge présents pendant la durée à mesurer et la LAR affine la mesure.

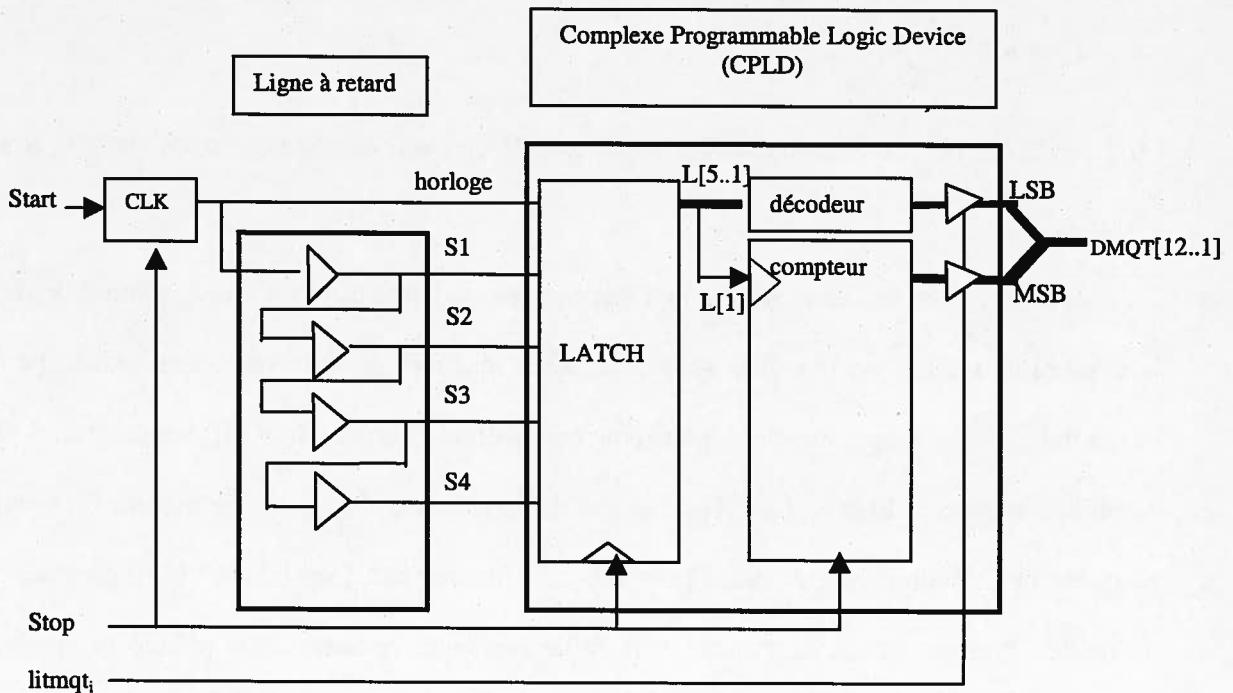


Figure 1.11 TDC numérique à base de compteur (pour la gamme) associé à une ligne à retard (pour la résolution).

4.2 Equations générales

La représentation, sur un axe horizontal, de la durée t_m à mesurer montre que la ligne à retard n'intervient dans la mesure qu'au voisinage de t_m (**Figure 1.12**). Ce qui rend cette

architecture moins sensible à la dispersion des retards de la LAR en comparaison avec l'architecture utilisant un grand nombre de retards (LAR seule).

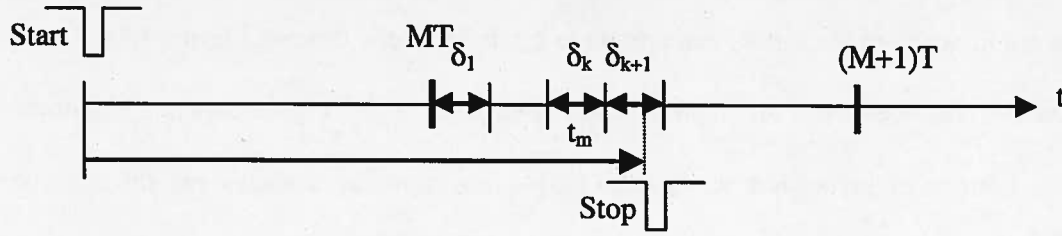


Figure 1.12 La durée t_m à mesurer est comprise entre $(MT + \sum_{i=1}^k \delta_i)$ et $(MT + \sum_{i=1}^{k+1} \delta_i)$.

La mesure de la durée t_m est donnée par :

$$t_m \equiv MT + \sum_{i=1}^{i=k} \delta_i \quad (1.17)$$

où T est la période de l'horloge et M le nombre de coups d'horloge entre les signaux Start et Stop.

L'exploitation des deux phases de l'horloge (phase haute et phase basse) permet de réduire le nombre de retards car des états supplémentaires résultent de cette utilisation. Ainsi, pour un retard unique ($p = 1$), par exemple, nous pouvons distinguer quatre états différents (état1 à état4) comme le montre la **Figure 1.13**. Dans le cas de l'utilisation des fronts de montée de l'horloge uniquement, il faudrait quatre retards pour aboutir à quatre états. Cependant, l'utilisation des deux fronts de l'horloge (front de montée et front de descente) permettrait de réduire le nombre de retards. L'exploitation des fronts de l'horloge nécessite l'emploi de registres pour la mémorisation (un registre par front d'horloge).

Nous avons rejeté cette solution car les systèmes de mémorisation existants et répondant aux contraintes de surface disponible sur nos cartes ne disposent pas d'un nombre suffisant d'entrées dédiées aux horloges. En plus, l'utilisation de registres mémorisant par fronts engendre des aberrations entre la donnée du compteur (donnée de poids fort) et les sorties mémorisées de la LAR (donnée de poids faible). L'une des solutions est l'utilisation d'un bit supplémentaire

[Pin 99] qui permettrait de raccorder le code issu du vernier à la donnée du compteur sans risque d'ambiguïté.

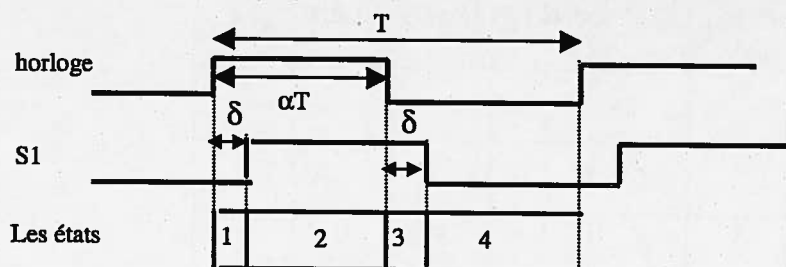


Figure 1.13 L'utilisation d'un seul retard pour la mesure fine du TDC permet l'obtention de quatre états distincts pour ($\alpha T > \delta$, α est le rapport cyclique de l'horloge).

4.3 Evolution des sorties de la Ligne A Retard (LAR)

Les sorties mémorisées de la LAR forment des mots binaires. Considérons la sortie de rang 1 comme le bit de poids faible de la donnée (Least Significant Bit, LSB) et la sortie de rang p (ici $p=1$) comme son bit de poids fort (Most Significant Bit, MSB). Adoptant la représentation hexadécimale pour la donnée, nous pouvons ainsi associer un mot hexadécimal à chacun des états issus des sorties de la LAR. Fixons la période de l'horloge et maintenons sa demi période à une valeur supérieure à la somme des retards de la LAR ($\alpha T > p\delta$, α est le rapport cyclique de l'horloge). Nous pouvons reporter sur le **Tableau 1.4** les états prévisibles (colonnes) en fonction du nombre de pas de la LAR (lignes). Ce tableau montre que pour $p = 0$, nous pouvons distinguer deux états : la phase haute et la phase basse de l'horloge. Pour $p = 1$, nous pouvons distinguer quatre états et ainsi de suite. Nous pouvons ainsi établir une équation de récurrence entre le nombre N d'états attendus et le nombre p de retards utilisés: $N = 2^p + 2$. Remarquons que l'augmentation du nombre de pas de la LAR engendre des états intermédiaires et impose la modification du décodage des sorties mémorisées de la LAR.

	Etat 1	Etat 2	Etat 3	Etat 4	Etat 5	Etat 6	...
1	1	0					
2	1	3	2	0			
3	1	3	7	6	4	0	
...	...	...	...	...	...	...	...
Nombre de retards p							

Tableau 1.4 Les états attendus en fonction du nombre (p) des cellules de la LAR pour $\alpha T > p\delta$.

D'un autre côté, faisons varier le rapport cyclique α de l'horloge en maintenant constante la période de l'horloge ainsi que le nombre de retards ($p = 4$). Nous obtenons le **Tableau 1.5** où nous avons représenté les valeurs du rapport cyclique de l'horloge (lignes) et les états attendus (colonnes). Considérons le cas ($\alpha = 0.5$) comme référence puisqu'il correspond à la valeur idéale de α pour laquelle tous les états attendus sont présents.

Pour $\alpha < 0.5$, nous constatons la disparition de certains codes ($(1F)_{Hex}$ pour $\alpha = 0.3$, $(1F)_{Hex}$ et $(1E)_{Hex}$ pour $\alpha = 0.4$) qui s'accompagne de l'élargissement du code (0).

Pour $\alpha > 0.5$, nous constatons la disparition de certains codes ((0) pour $\alpha = 0.6$, $(10)_{Hex}$ et (0) pour $\alpha = 0.7$) qui s'accompagne de l'élargissement du code $(1F)_{Hex}$.

	Etat1	Etat2	Etat3	Etat4	Etat5	Etat6	Etat7	Etat8	Etat9	Etat10
...	...	...	...	...	...	...	...	...	...	...
0.3	1	3	7	E	1C	18	10	0	0	0
0.4	1	3	7	F	1E	1C	18	10	0	0
0.5	1	3	7	F	1 F	1E	1C	18	10	0
0.6	1	3	7	F	1 F	1 F	1E	1C	18	10
0.7	1	3	7	F	1 F	1 F	1 F	1E	1C	18
...	...	...	...	...	...	...	...	...	...	...
Rapport cyclique α										

Tableau 1.5 : Les états en sorties de la LAR (codes en hexadécimal) en fonction du rapport cyclique α de l'horloge. Les cases ombrées présentent les codes qui s'élargissent lorsque le rapport cyclique de l'horloge s'éloigne de $\alpha = 0.5$.

Dans le cas général, pour p retards, le chronogramme des sorties de la LAR (**Figure 1.14**) montre la présence de $(2p+2)$ états distincts si $\alpha T > p\delta$. Les p retards, avec δ_i le retard d'ordre i , engendrent p états (états 1 à p) par décalages successifs du front avant de l'horloge et p autres états (de $p+2$ à $2p+1$) par décalages successifs de son front arrière. Les deux autres états sont définis comme suit :

- l'état $(p+1)$ correspond à l'état où toutes les sorties de la LAR sont à l'état haut
- l'état $(2p+2)$ correspond à l'état où toutes les sorties de la LAR sont à l'état bas

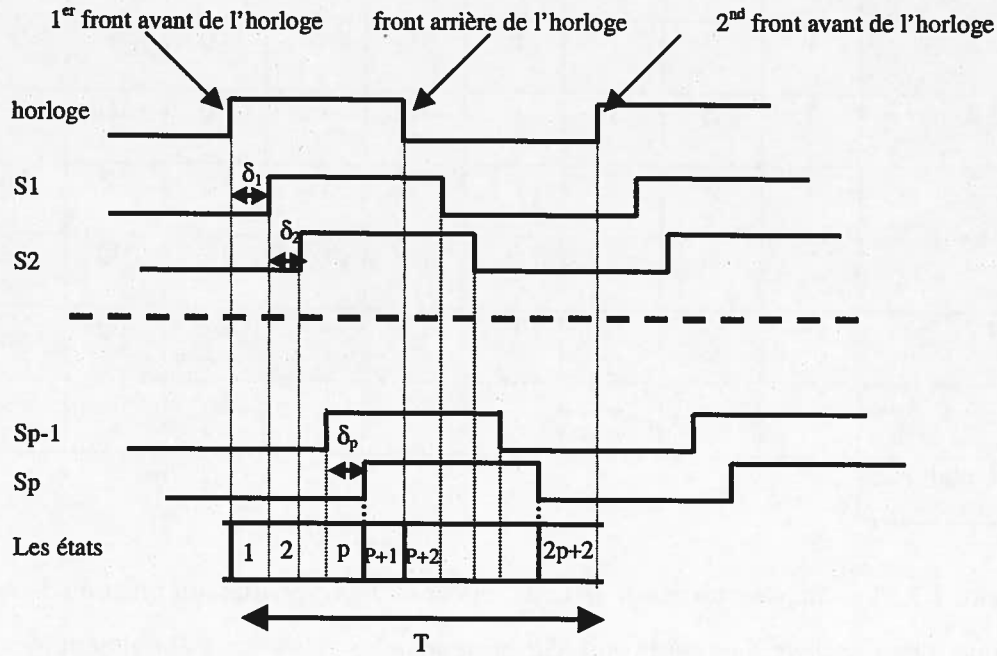


Figure 1.14 Chronogramme des sorties de la ligne à retard dans le cas de p retards.

Si τ_0 et τ_1 sont les durées respectives des états $(p+1)$ et $(2p+2)$, nous pouvons écrire la période T de l'horloge sous la forme:

$$T = 2 \left(\sum_{i=1}^{i=p} \delta_i \right) + \tau_0 + \tau_1 \quad (1.18)$$

Notons δ la valeur moyenne des δ_i et nous pouvons écrire :

$$T = 2 p \delta + \tau_0 + \tau_1 \quad (1.19)$$

Les retards de la LAR ne sont jamais nuls, donc les états qui leur sont associés ont des durées non nulles. Les durées τ_0 et τ_1 dépendent des valeurs des retards de la LAR et des caractéristiques de l'horloge. La linéarité du TDC dépend de la présence des $(2p+2)$ états définis

précédemment. L'absence de l'un de ces états altère la résolution du système. Essayons de déterminer les paramètres qui conditionnent les variations des deux quantités τ_0 et τ_1 . Nous en déduirons ensuite les valeurs des paramètres pour lesquelles τ_0 et/ou τ_1 sont nulles. Nous pouvons écrire d'après le chronogramme de la **Figure 1.14** que :

$$\tau_0 = \alpha T - p \delta \quad (1.20)$$

$$\tau_1 = (1 - \alpha) T - p \delta \quad (1.21)$$

Dans le cas idéal, nous obtenons N états identiques avec $T = N \delta$. En remplaçant T dans les équations précédentes nous obtenons :

$$\tau_0 = (\alpha N - p) \delta \quad (1.22)$$

$$\tau_1 = [(1 - \alpha) N - p] \delta \quad (1.23)$$

Ces deux expressions traduisent la dépendance de τ_0 et τ_1 en fonction de p et de α [$\tau_0 = f(p, \alpha)$; $\tau_1 = g(p, \alpha)$]. Pour un nombre fixe de retards (p), calculons les valeurs de α qui annulent τ_0 et τ_1 . Nous obtenons :

$$\alpha_1 = \frac{p}{2p + 2} \quad (1.24)$$

$$\alpha_u = \frac{p + 2}{2p + 2} \quad (1.25)$$

Le couple (α_1, α_u) délimite l'intervalle où τ_0 et τ_1 ne sont pas nulles (zone 2 de la **Figure 1.15**). En effet, pour tout $(\alpha < \alpha_1)$ la durée τ_0 est nulle (zone 1) et pour tout $(\alpha > \alpha_u)$ la durée τ_1 est nulle (zone 3). Nous avons représenté sur la **Figure 1.15** la fonction $\alpha(p)$ qui illustre la zone de bon fonctionnement du TDC (zone2) pour chaque valeur de p . Les valeurs de p sont entières ce qui implique que la zone réelle de bon fonctionnement se situe sur un intervalle (un trait) entre les deux courbes (C1) et (C2) pour chaque valeur de p . La marge de variation de α autour de la valeur $(\alpha = 0.5)$ est donnée par l'expression $\delta\alpha$ tel que :

$$\delta\alpha = \alpha_u - \alpha_1 = \frac{1}{p + 1} \quad (1.26)$$

Cette marge correspond aux valeurs autorisées de α pour un nombre donné de retards. La marge est grande pour les faibles valeurs de p et tend vers 0 pour les grandes valeurs.

L'augmentation du nombre de pas de la LAR permet de diminuer le pas de quantification ($q = \delta$) ce qui améliore la résolution du TDC et réduit le bruit de quantification ($\frac{q^2}{12}$). Cependant, la marge de fonctionnement est réduite et la réalisation est plus difficile.

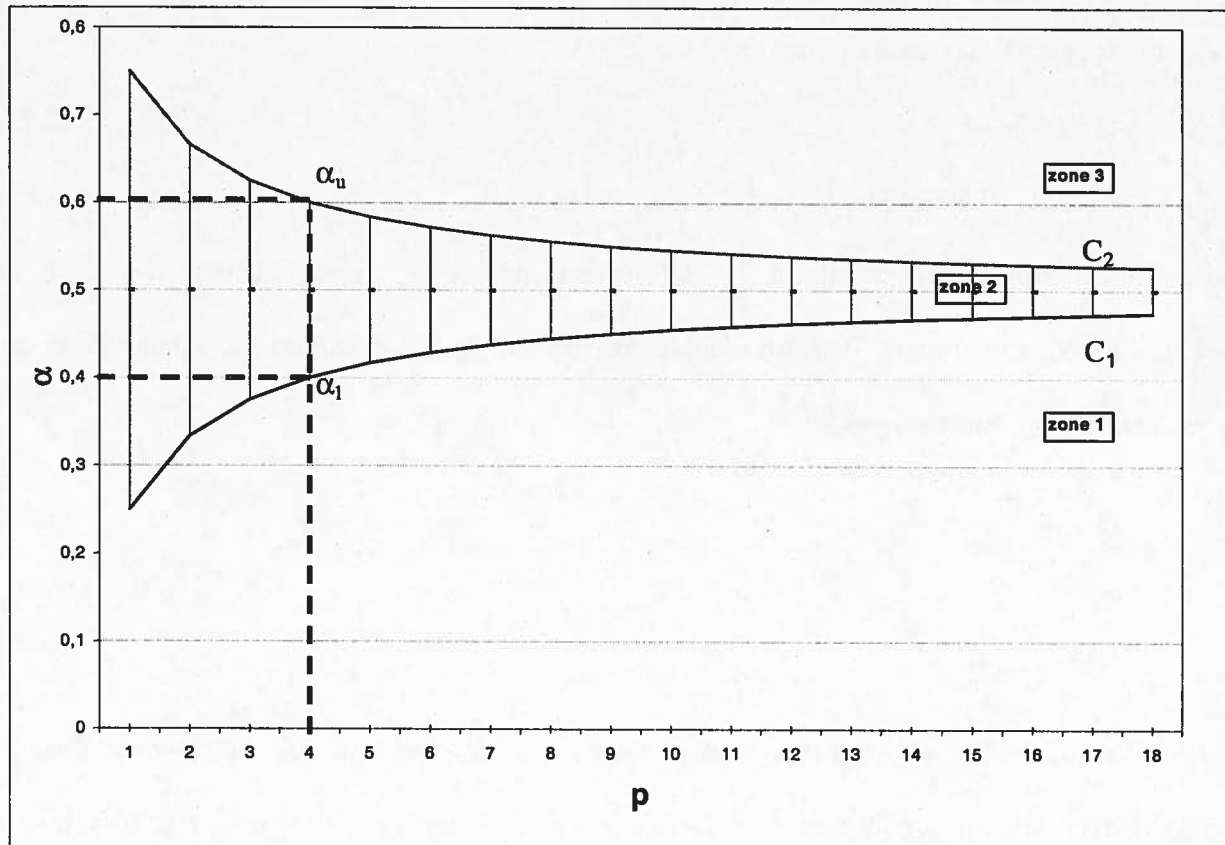


Figure 1.15 Illustration de la zone de fonctionnement du TDC.

4.4 Ligne à retard parfaite

Dans le cas d'une ligne à retard parfaite avec N retards δ ($\delta = \delta_k$, pour tout k), les sorties de la LAR constituent une suite arithmétique de raison δ . Notons le terme d'ordre k de cette suite par Δ_k .

$$\Delta_k = k \delta \quad (1.27)$$

La représentation de la suite sur un axe horizontal **Figure 1.16** permet de comprendre le principe de la mesure de temps. Chaque division de l'axe correspond à un pas de retard. La durée t_m à mesurer est située entre Δ_k et Δ_{k+1} :

$$\Delta_k \leq t_m \leq \Delta_{k+1} \quad (1.28)$$

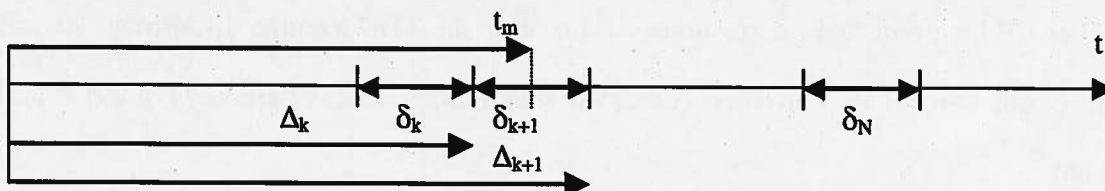


Figure 1.16 : La durée t_m à mesurer est comprise entre Δ_k et Δ_{k+1} .

Les δ_k sont identiques dans le cas idéal et la résolution vaut δ .

On peut exprimer la précision sur la mesure en différenciant l'expression de Δ_k :

$$d\Delta_k = k d\delta + dk \delta \quad (1.29)$$

Ceci montre que le TDC est très sensible aux variations des retards, surtout lorsque leur nombre est très grand.

L'erreur sur la mesure est l'écart entre la valeur à mesurer t_m et la somme Δ_k :

$$\varepsilon = |t_m - \Delta_k| \quad (1.30)$$

Cette erreur est d'autant plus petite que les retards sont faibles.

Une grande dynamique, qui correspond à des grandes valeurs de t_m , nécessite l'utilisation d'un grand nombre de retards. Ainsi pour une dynamique de mille et une résolution de 1 ns des milliers de pas de retards sont nécessaires. Cette intégration reste difficile malgré l'emploi des ASICs.

4.5 Delay Locked Loop

La plupart des LAR utilisées dans les TDC numériques sont à base de Delay Locked Loop (DLL) intégré dans l'ASIC. L'ASIC comporte en plus toute la structure du TDC (compteur et système de lecture). Les DLL sont des LAR contrôlées par tension et asservies de manière à ce que la somme des retards soit égale à la période de l'horloge comme le montre la **Figure 1.20**.

Les DLLs permettent d'améliorer la linéarité du TDC comme l'illustrent les calculs simplifiés qui vont suivre. Les calculs complets sont explicités dans l'article [Toi 99] et la thèse [Mot 00].

Considérons la variation relative $\frac{\Delta\delta}{\delta}$ d'une cellule de la ligne à retard et considérons la variance σ_1 de cette grandeur :

$$\sigma_1^2 = \sigma^2 \left(\frac{\Delta\delta}{\delta} \right) \quad (1.31)$$

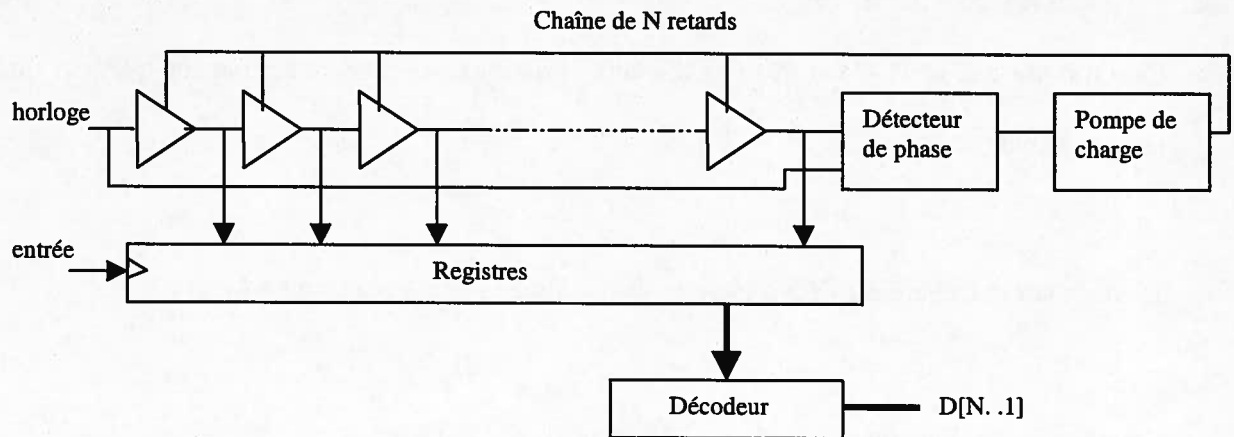


Figure 1.20 TDC à base de Delay Locked Loop (DLL) (le compteur n'est pas représenté).

La variance des retards, pour une LAR non contrôlée, est la somme des variances (σ_1) de ses éléments. Soit pour m cellules :

$$\sigma_m^2 = m\sigma_1^2 \left(\frac{\Delta\delta}{\delta} \right) \quad (1.32)$$

Pour une DLL la somme des retards est ajustée à la période de l'horloge soit :

$$\sum_{k=1}^N \delta_k = T \quad (1.33)$$

Sachant que δ_k est le retard de la cellule k et supposons que sa déviation par rapport à la valeur attendue δ est ϵ_k :

$$\delta_k(x) = x (\delta + \epsilon_k) \quad (1.34)$$

le coefficient x traduit l'effet de la tension de contrôle sur les retards d'après [Toi 99].

Pour calculer la variance d'un retard rapporté à celui d'une cellule parfaite, nous considérons que $\frac{\epsilon_k}{\delta} \ll 1$. Ensuite, nous donnerons une forme approximative de $\frac{\Delta\delta}{\delta}$, ce qui conduit à l'expression :

$$\sigma_m^2 \left(\frac{\Delta\delta}{\delta} \right) = \sigma_1^2 \left[\frac{m(N-m)}{N} \right] \quad (1.35)$$

Le maximum de cette fonction se situe au centre de la DLL, c'est à dire au voisinage des cellules

centrales $m = \frac{N}{2}$, avec

$$\sigma_{N/2}^2 = \frac{N}{4} \sigma_1^2 \quad (1.36)$$

La déviation maximale des retards de la DLL se situe au centre de la DLL et elle est quatre fois plus petite que celle d'une LAR non contrôlée. Cette propriété des lignes à retard contrôlées (DLL) procurent une meilleure linéarité aux TDCs utilisant ce type de structures.

D'une part les DLL commerciales sont quasi absentes et d'autre part dans le cadre du trigger la surface qui doit supporter le marqueur de temps est petite ce qui rend impossible l'emploi de DLL.

5 Résultats attendus

5.1 Lignes à retard commerciales

La plupart des LARs commerciales présentent une tolérance importante qui peut compromettre la résolution du TDC. La mesure des caractéristiques de l'horloge et de la LAR nous permet de tracer l'histogramme semi-théorique (**Figure 1.21**) pour le TDC. Nous avons représenté en abscisses les numéros des états attendus et en ordonnées la durée de chaque état en se basant sur le chronogramme de la **Figure 1.14**. Dans le cas idéal cet histogramme serait plat. Le retard moyen est de 0.96 ns et l'écart maximal est de 0.44 ns. Nous en déduisons une Non Linéarité Différentielle maximale de:

$$NLD_{m,a} = 45.8 \%$$

Pour les résultats expérimentaux nous allons remplacer les numéros des états par les numéros des canaux. Le nombre de coups dans les canaux 1 à 4 et 5 à 9 doit être proportionnel aux durées des retards (canal1 ~ retard 1, canal2 ~ retard2....). Le nombre de coups dans le canal 5 doit être proportionnel à la durée τ_0 et le nombre de coups dans le canal 10 doit être proportionnel à la durée τ_1 . Ainsi, l'histogramme expérimental pour 1 ns de résolution doit avoir la même allure que celle de la **Figure 1.21** et doit lui être proportionnel en tout canal.

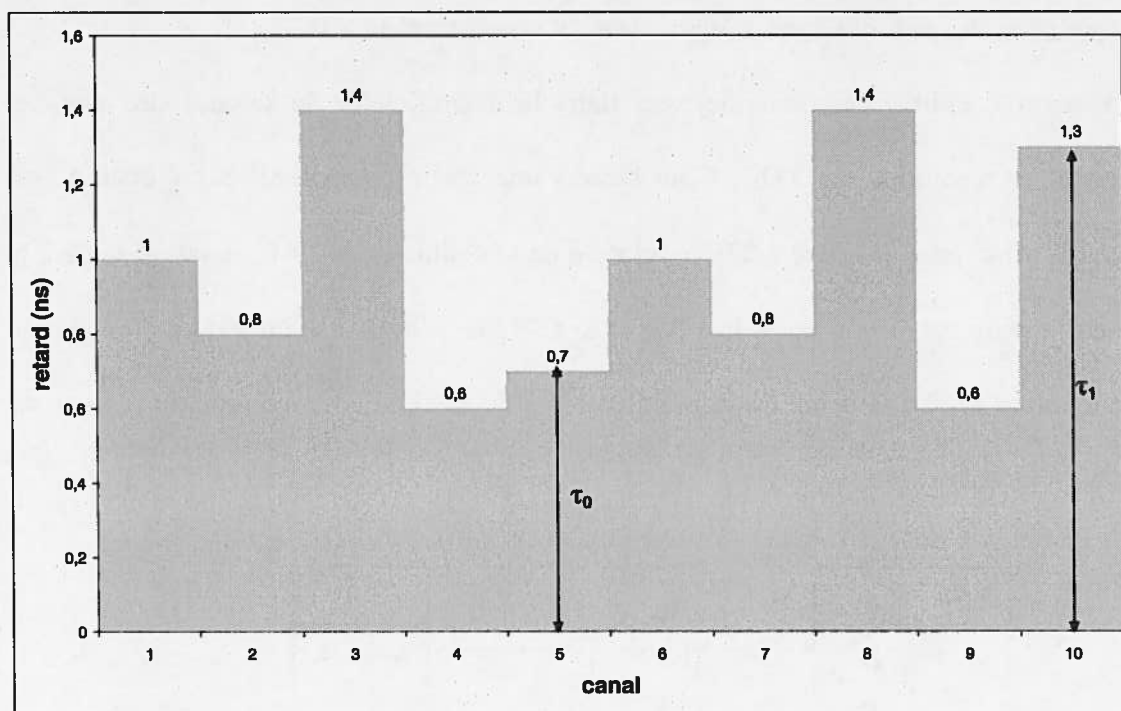


Figure 1.21 Histogramme semi-théorique pour une résolution de 1 ns compte tenu des valeurs des retards (canaux 1 à 4 et 6 à 9) et des caractéristiques de l'horloge (canaux 5 et 10) avec $\alpha = 45\%$ et $T = 10$ ns.

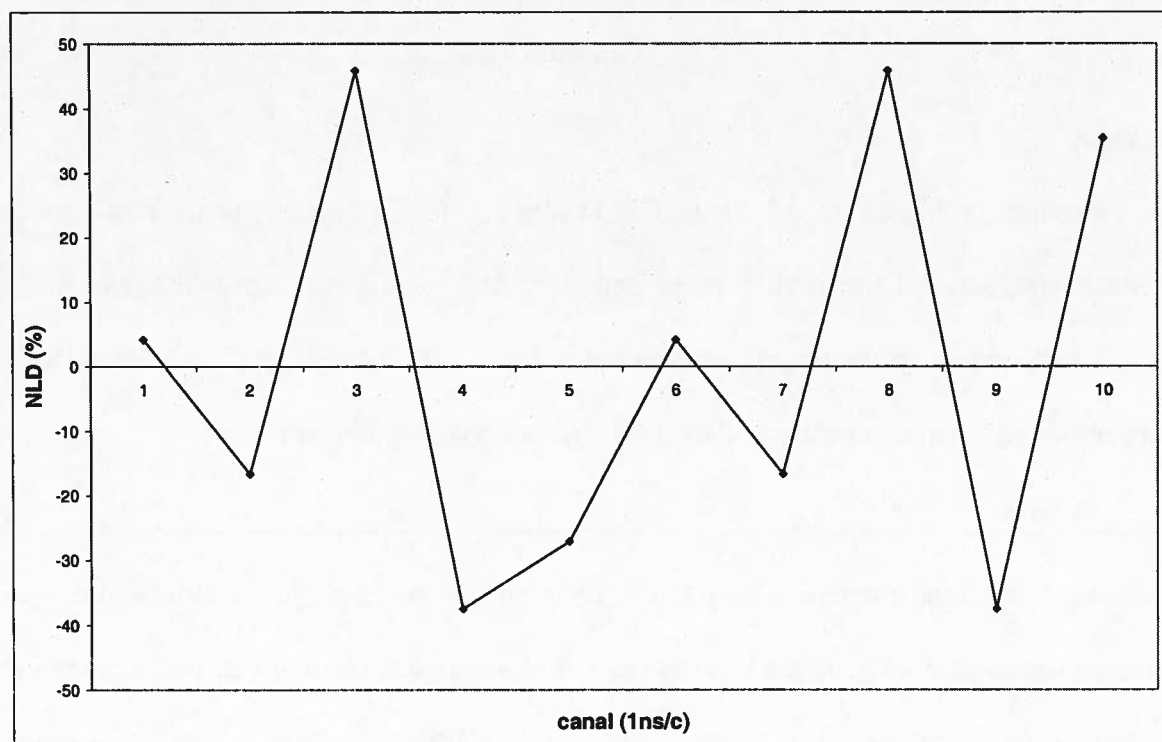


Figure 1.22 NLD semi-théorique associée à la résolution de 1 ns.

5.2 Contribution des retards intrinsèques dans la résolution du TDC

Des retards additionnels interviennent dans la définition de la largeur des états et conditionnent la résolution du TDC. Considérons une sortie de la LAR nous distinguons quatre retards principaux (**Figure 1.23**): le retard δ de la cellule de la LAR, le retard t_l dû à la capacité de la piste de liaison entre la LAR et le CPLD, le retard t_b du buffer d'entrée du CPLD et le retard t_s dû à la pente du signal d'entrée et le seuil de commutation du registre de mémorisation «Latch».

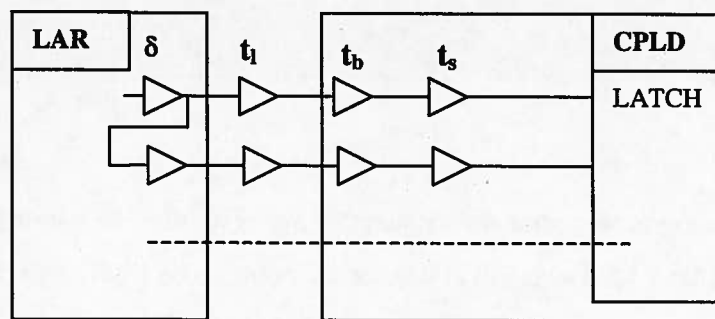


Figure 1.23 Illustration des Retards qui contribuent à la définition de la résolution TDC.

Le retard t_l

Les pistes de liaison de la LAR au CPLD sont courtes (<1cm), ces pistes sont routées sur la face supérieure « Top » de la carte et sont donc des lignes « Microstrip» **Annexe A**. La durée t_l correspond au temps de propagation sur la ligne. Une ligne longue de 1 cm réalisée sur un semi-conducteur de constante diélectrique ($\epsilon_r = 4.5$) crée un retard t_l de :

$$t_l \approx 56 \text{ ps}$$

Dans le cas d'une ligne enterrée « Strip line », ce temps est de 71 ps (les équations ainsi que les courbes issues de ces équations sont données en **Annexe A**). Le temps de propagation est plus faible pour une ligne « Microstrip » dès que $\epsilon_r > 1.28$. En général, pour les circuits imprimés usuels, ϵ_r est supérieur à cette valeur ce qui privilégie les lignes « Microstrip » de ce point de vue. La définition ainsi que les calculs des temps de propagation pour ces deux types

de lignes sont données en **Annexe A**. Ces informations proviennent de [Blo 88]. Les paramètres des lignes (Strip, Microstrips et autres) peuvent être calculés en ligne sur le site Web [EMC].

Le retard t_b :

Le retard t_b correspond au temps de propagation du buffer d'entrée du CPLD. Sa valeur typique est donnée dans le tableau des caractéristiques temporelles du composant [AMD].

$$t_b \approx 300ps$$

Le temps de propagation dans le fil de liaison patte du CPLD / buffer d'entrée est négligeable et largement couvert par cette valeur de t_b .

Le retard t_s :

Les seuils de commutation sont difficiles à mesurer. Nous ne pouvons que constater leurs effets une fois que le circuit est réalisé. Le retard t_s dépend de la pente du signal d'entrée (Figure 1.25) ainsi que de son amplitude et peut être donné par la formule simple [Nay 00] :

$$t_s = \sqrt{\frac{2k}{\frac{dv}{dt}}} \quad (1.41)$$

k est proportionnel à l'énergie nécessaire pour faire basculer le comparateur en entrée du CPLD. Le signal v en entrée du comparateur est régi, en première approximation, par une équation linéaire :

$$v = at ; a : \text{constante} \quad (1.42)$$

Nous avons mesuré, pour le signal en sortie de la LAR, une amplitude de 2 V et un temps de montée de 981 ps, ce qui correspond à une constante a de 2.04 V/ns. La dispersion des seuils de commutation autour de 1.5 V pour la CMOS [AMD] conduit à un décalage voisin de 150 ps. Le temps de descente est de 864 ps et correspond à un retard de 130 ps.

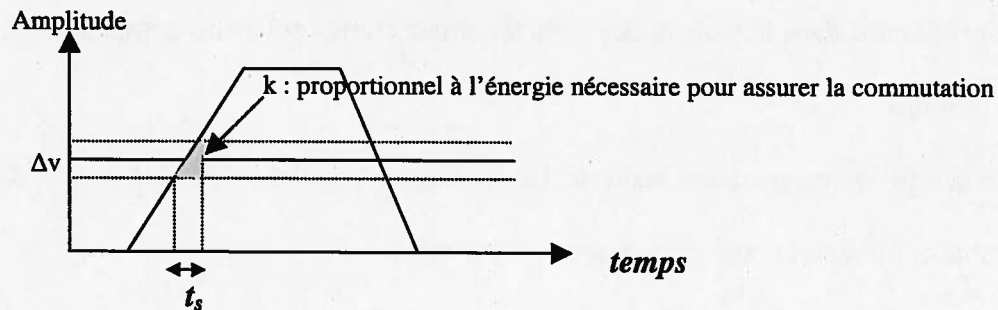


Figure 1.25 Retard dû à la dispersion des seuils de commutation du système de mémorisation et à la pente du signal en sortie de la LAR.

A ces retards il faut ajouter la “gigue” ou “jitter” [LEC2] des signaux en sortie de la LAR qui est une fluctuation temporelle autour d’un instant moyen [Heg 96]. En général, ces fluctuations sont statistiques et correspondent à un écart type qui peut s’écrire sous la forme [Leo 87] (pages 317-318):

$$\sigma_t = \frac{\sigma_v}{\frac{dv}{dt}} \quad (1.43)$$

A partir de ces considérations, nous concluons que la durée t_e d’un état est la somme de ces retards:

$$t_e \approx \delta + t_j + t_i + t_b + t_r \quad (1.44)$$

et que la variance de la durée d'un état est la somme des variances sur chaque retard :

$$\sigma_e^2 \approx \sigma_d^2 + \sigma_j^2 + \sigma_i^2 + \sigma_b^2 + \sigma_r^2 \quad (1.45)$$

6 Réalisation

6.1 montage

Les premiers prototypes utilisent des LARs de Data Delay Device (référéncées sous 3D7110-.5) dont les caractéristiques sont données en **Annexe B**. C'est une LAR de 10 pas de (0.5 ± 0.2 ns). Le système de mémorisation ainsi que le compteur sont intégrés dans un composant programmable de la famille des Complex Programmable Logic Device (CPLD) **Figure 1.26** : le MACH 211-7VC d'AMD [AMD].

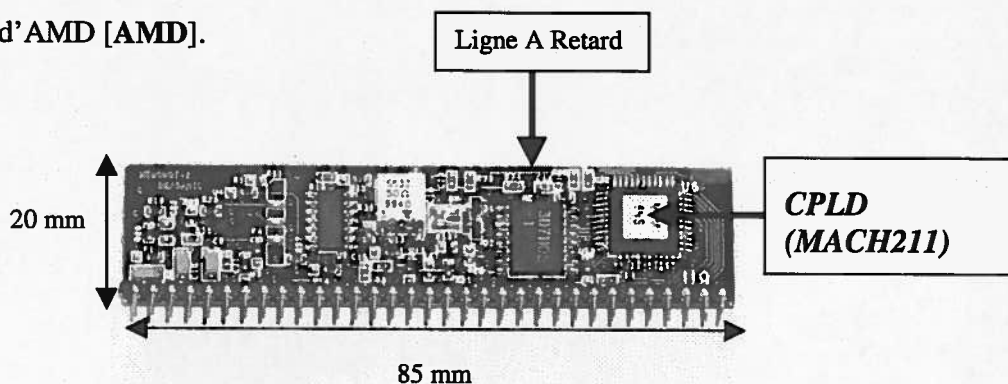


Figure 1.26 Implémentation du TDC sur la carte fille.

Les dimensions des cartes filles (20 x 85 mm) imposent l'utilisation de composants de petite dimension qui n'ont qu'un nombre limité d'entrées dédiées aux horloges (quatre entrées dédiées dans le cas du MACH211), ce qui conditionne le choix de la structure de mémorisation des sorties de la LAR. La ligne à retard est placée le plus près du CPLD pour réduire les retards et la diaphonie entre pistes.

La donnée du TDC est stockée dans le CPLD sur l'arrivée du signal STOP. Ensuite, après acceptation de l'évènement par le trigger, elle est transférée dans le registre de lecture implémenté dans un composant programmable dédié à la lecture de données et situé sur la carte mère du trigger. Seize cartes TDC sont montées, en mezzanine, sur la carte mère du trigger. Le bus de données est partagé par les différentes cartes (**Figure 1.27**) qui sont lues séquentiellement par l'automate de lecture pour une durée totale de 3.2 μ s environ. Les signaux de transfert de données

du CPLD vers le Field Programmable Gate Array (FPGA) de lecture présentaient des temps de montées très courts (~ 3 ns) et engendraient des perturbations sur certains signaux de fonctionnement du trigger. Ces problèmes ont été constatés sur le prototype du GMT et ont été corrigés sur les modules de série moyennant un meilleur routage et un blindage adéquat des signaux sensibles.

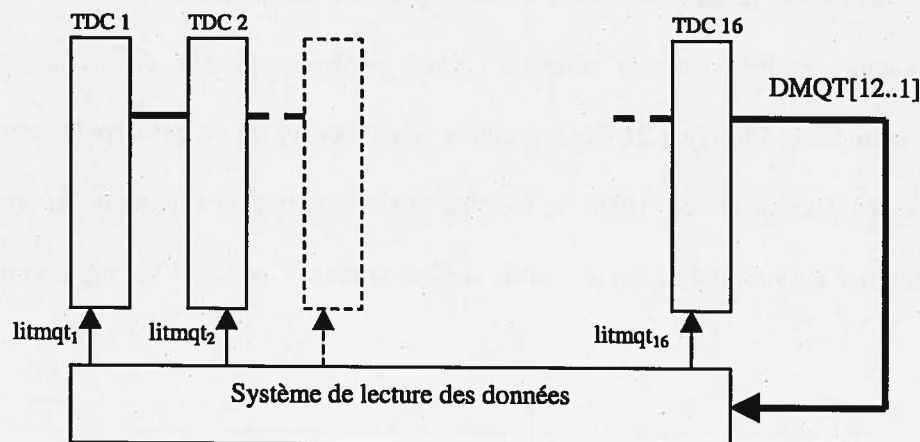


Figure 1.27 Synoptique de la lecture des cartes TDC.

Nous avons testé les premiers prototypes du TDC avec une carte VXI taille C du commerce dédiée au prototypage de cartes. Ensuite, nous avons testé et validé les cartes de série avec la carte mère du GMT (**Chapitre 2**). Le banc de test ainsi que les principaux panneaux LabVIEW [Nat96] sont donnés en annexe (**Annexe C**).

7 Résultats

7.1 Résolution de 1 ns

Nous avons obtenu avec les TDCs prototypes, une résolution de 1 ns comme le montre l'histogramme de la **Figure 1.28**. Nous avons représenté en abscisse les numéros des canaux et en ordonnées le nombre de coups cumulés dans chaque canal. L'histogramme obtenu présente une allure périodique sur toute la gamme. Nous avons représenté un domaine couvrant dix canaux pour faciliter l'analyse des résultats obtenus. Nous pensons que la différence entre cet histogramme et celui de la **Figure 1.21** (histogramme semi-théorique) est principalement due à la différence entre les décalages des fronts de montée et de descente des signaux en sortie de la LAR. Cette différence est particulièrement visible sur les canaux 3 et 4 de l'histogramme.

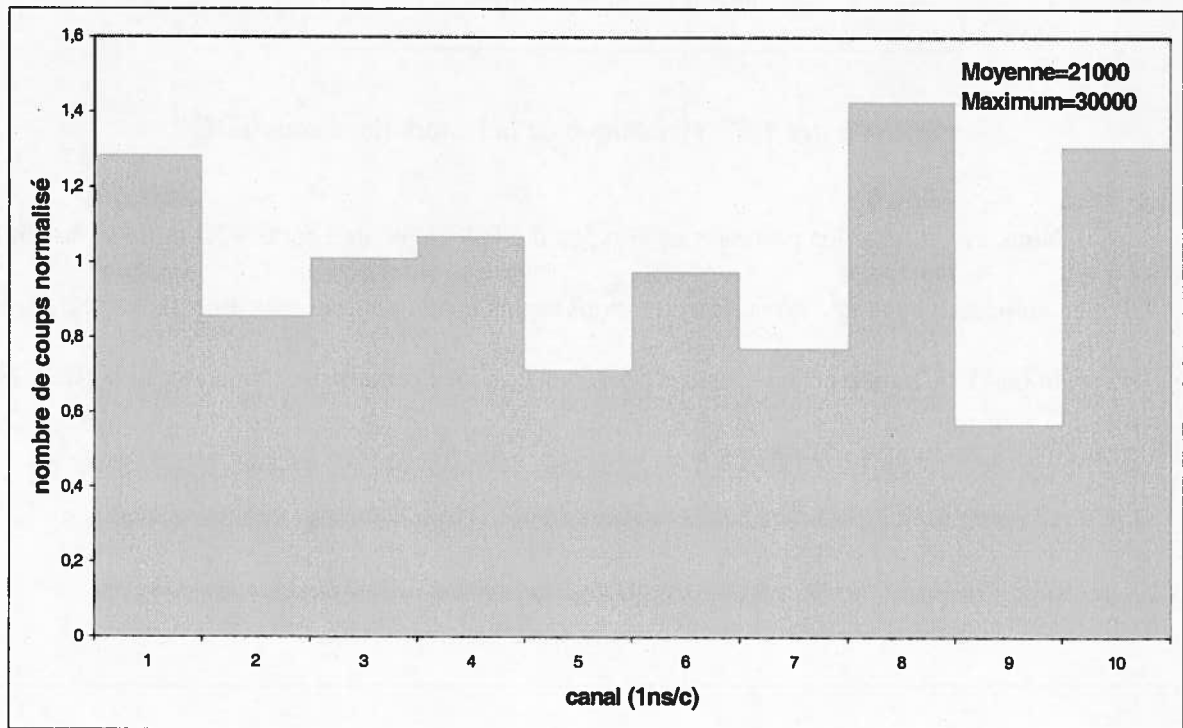


Figure 1.28 Histogramme obtenue pour une résolution de 1 ns.

La **Figure 1.29** donne la courbe de Non Linéarité Différentielle (NLD) associée au TDC de 1 ns de résolution. Notons le nombre de coups moyens par H_m et la NLD maximale par NLD_m :

$$H_m = 21000$$

$$NLD_m = 42.9 \%$$

Cette NLD est principalement due aux imperfections de la LAR puisque le maximum de la NLD se situe dans les canaux (1 à 4) issus de la LAR comme le précise la **Figure 1.21**.

L'écart type dû au système est $\sigma_{sy} = 9008$ et celui dû à la statistique est $\sigma_s = 145$ d'où un rapport voisin de $2 \cdot 10^{-2}$.

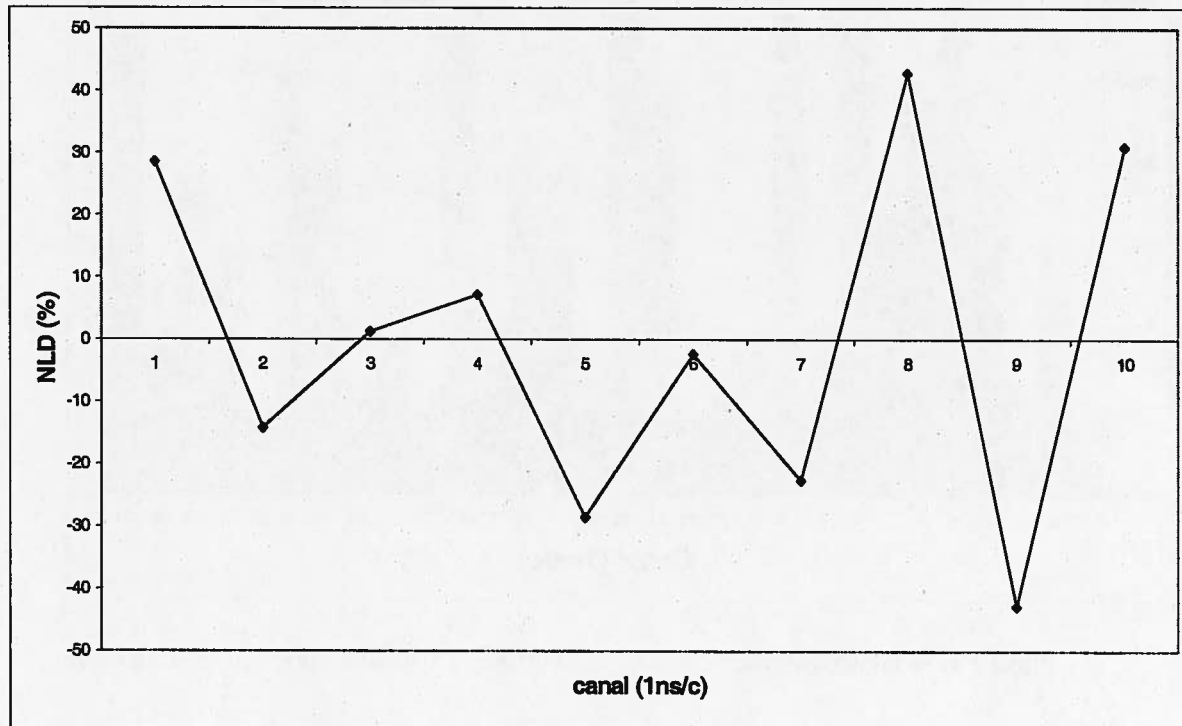


Figure 1.29 NLD associée à la carte d'une nanoseconde de résolution sur dix canaux.

Lorsque la statistique n'est pas suffisante (faible nombre de coups) et s'il existe une corrélation entre les signaux Start et Stop, nous pouvons obtenir un histogramme semblable à celui de la **Figure 1.30** où toute interprétation devient difficile : la périodicité attendue est à peine visible.

7.2 Les effets conjugués des défauts de la LAR et du rapport cyclique de l'horloge

La ligne à retard de 0.5 ns a été arrêtée par le fabricant pour des difficultés de réalisation. Nous avons utilisé, pour les TDCs de la série, des LARs de (1 ± 0.5) ns. La tolérance est trop

importante et ne permet pas d'obtenir une résolution de 1 ns. En plus, les imperfections du système de mesure de temps, notamment les retards cités dans le (§ 5.2), contribuent à la disparition de certains canaux. L'histogramme de la **Figure 1.31**, illustre cet effet qui se manifeste par l'absence du canal 7.

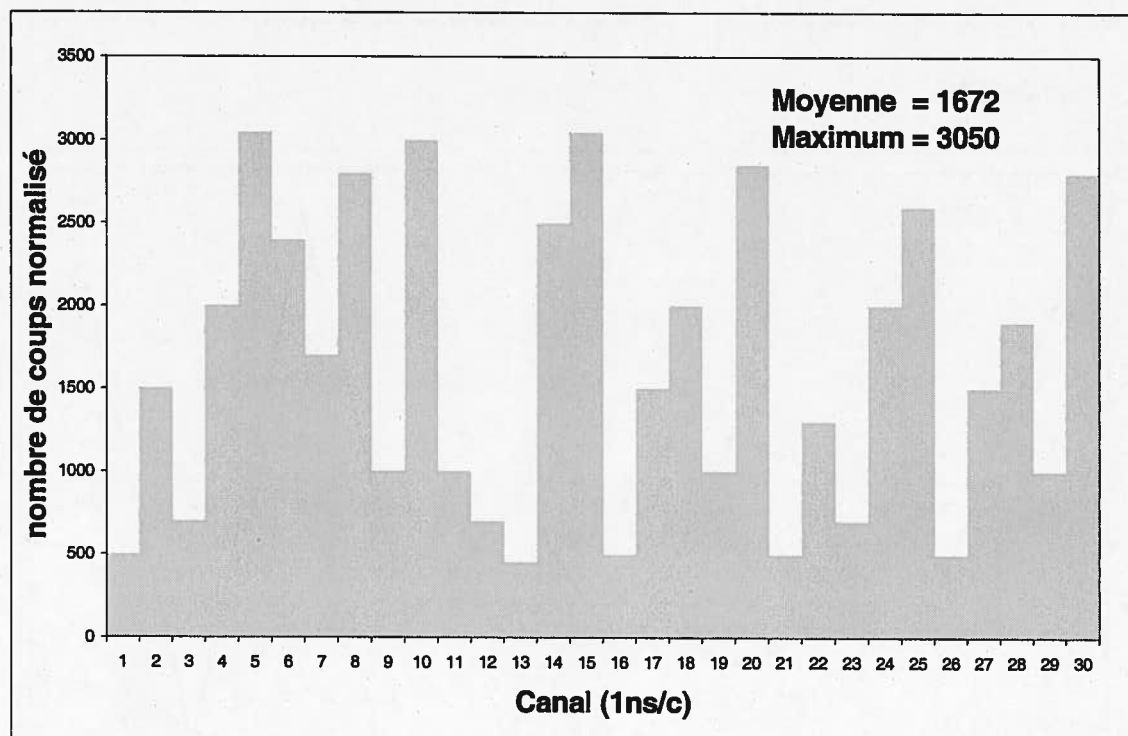


Figure 1.30 Histogramme pour une résolution de 1 ns avec une faible statistique.

Nous avons montré dans le (§ 4.3) que le rapport cyclique de l'horloge peut être responsable de l'absence des canaux (5 ou 10). La **Figure 1.31** obtenue avec un rapport cyclique de l'horloge de 0.37 illustre cet effet par l'absence du canal 5. Le rapport cyclique est en dehors de la zone de fonctionnement du TDC ($0.4 < \alpha < 0.5$) pour ($p = 4$).

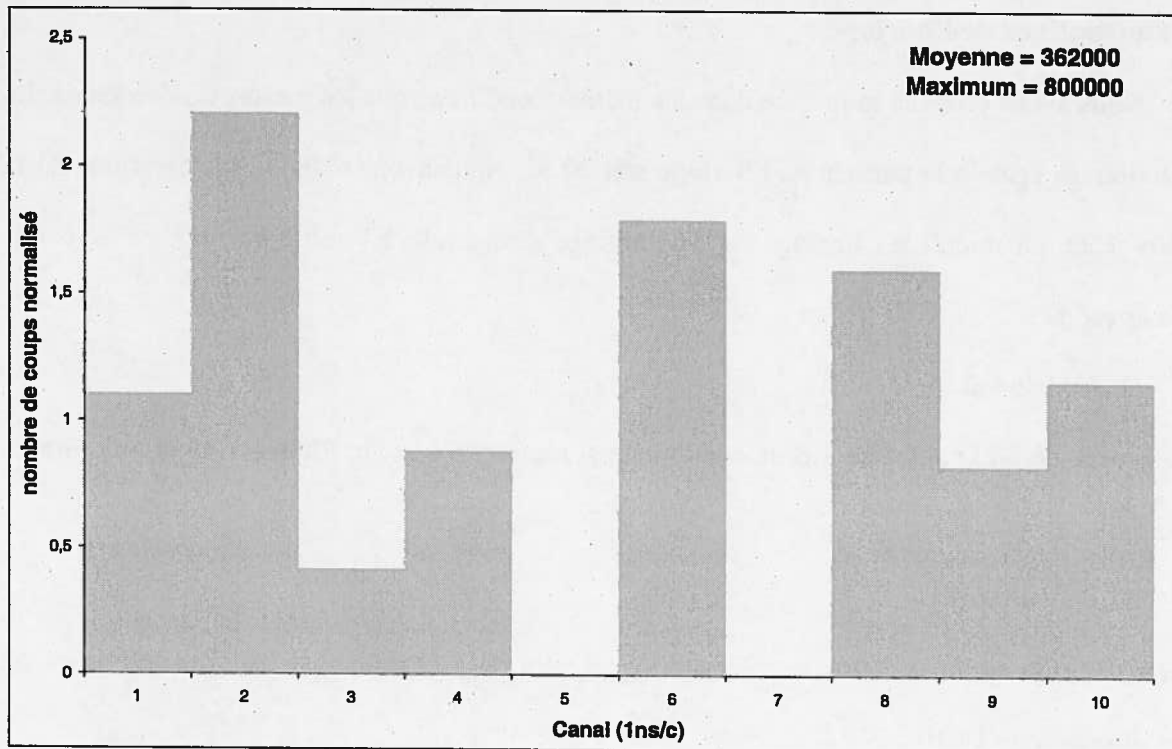


Figure 1.31 Histogramme avec une LAR de (1 ± 0.5) ns montrant deux canaux absents (5 & 7).

7.3 Evaluation de la contribution de chacun des paramètres du TDC dans la NLD

L'histogramme de la **Figure 1.28**, obtenu pour une résolution de 1 ns, résulte de la contribution des différents paramètres du système : horloge, LAR, CPLD et chaîne d'acquisition.

Pour mettre en évidence l'effet de chacun de ces paramètres, nous allons à chaque phase de l'étude éliminer l'un des éléments de la chaîne de mesure et analyser les effets des autres paramètres.

Commençons par étudier les effets de l'horloge. Dans ce cas, nous n'allons pas prendre en compte la donnée du système de mesure fine (LAR+LATCH). L'histogramme obtenu comportera uniquement la donnée émanant du compteur et doit traduire l'évolution de la période de l'horloge. La résolution est de dix nanosecondes et correspond à la période de l'horloge.

7.4 Fluctuations de l'horloge

Nous avons effectué la mesure dans les mêmes conditions que les mesures précédentes. La résolution est égale à la période de l'horloge soit 10 ns. Nous avons obtenu l'histogramme de la **Figure 1.32** qui traduit les fluctuations de l'horloge d'un cycle à l'autre. Le nombre de coups moyens est de :

$$H_{m,H} = 945440$$

et la courbe de NLD associée à cette résolution est représentée sur la **Figure 1.33** et présente un maximum de :

$$NLD_{m,H} = 0.6 \%$$

L'écart type du système est $\sigma_{sy} = 5589$ alors que celui dû à la statistique est $\sigma_s = 972$ d'où un rapport voisin de $17 \cdot 10^{-2}$.

Cette structure haut/bas présente sur la **Figure 1.32** est probablement liée à l'effet de la seconde bascule du compteur qui joue (suivant son état haut ou bas) sur le seuil de commutation de la première bascule du compteur. Cette différence de nombre de coups entre deux canaux successifs correspond à un écart temporel moyen de 60 ps.

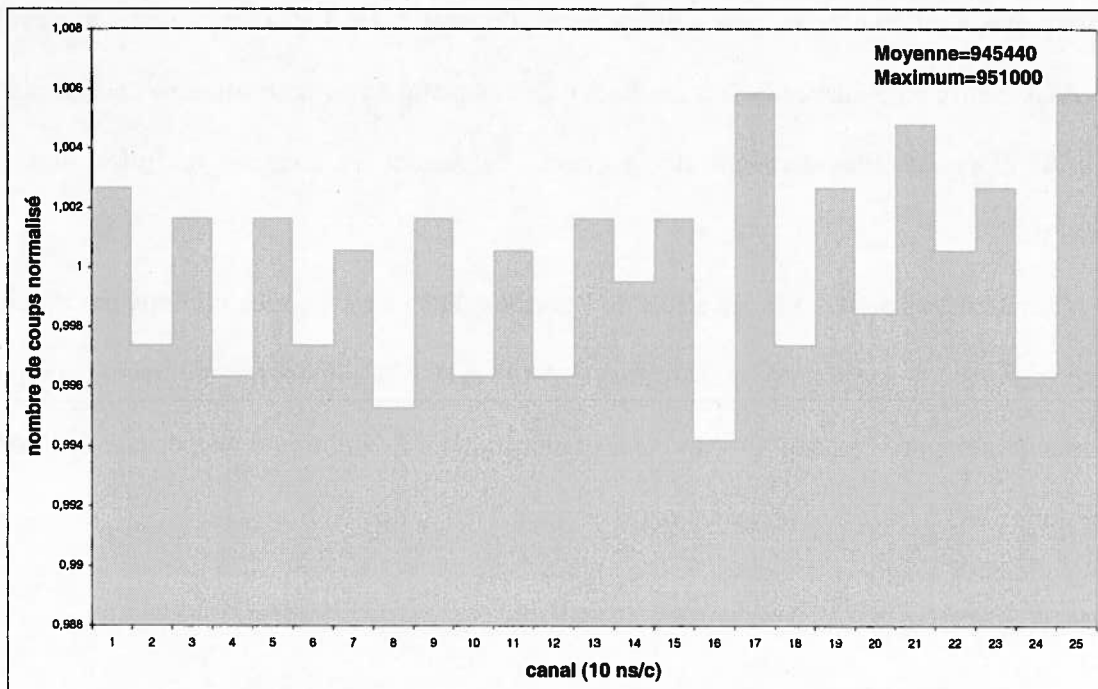


Figure 1.32 Histogramme pour une résolution de 10 ns.

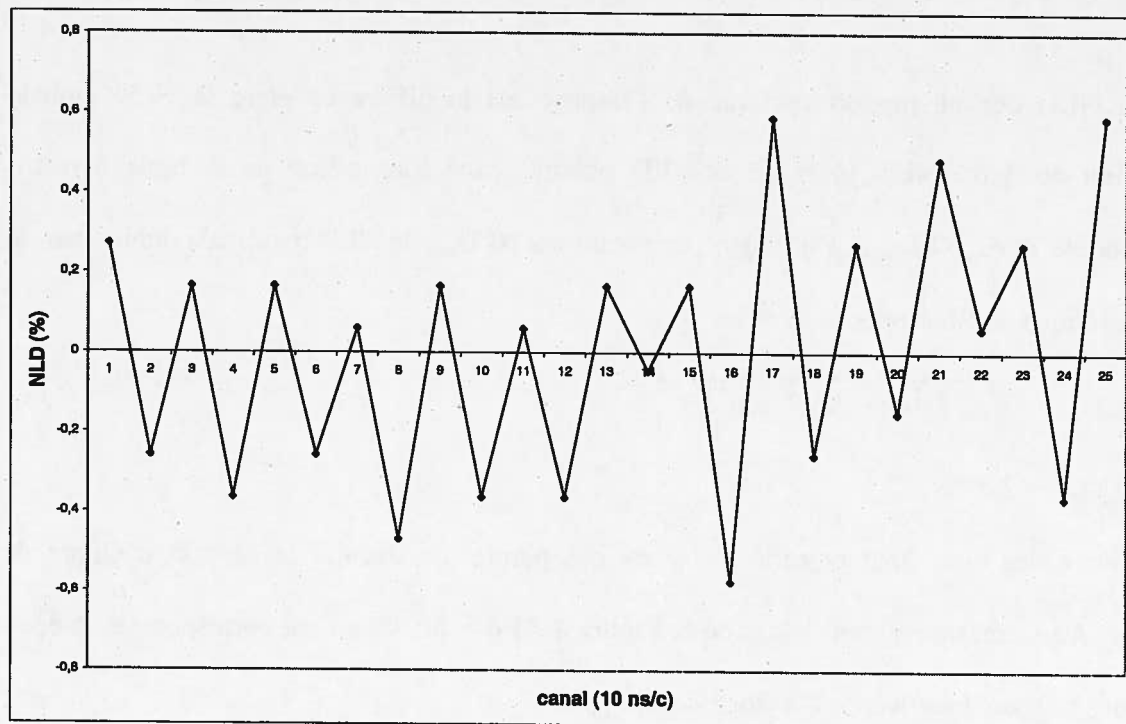


Figure 1.33 NLD associée à la résolution de 10 ns.

7.5 Fluctuations du rapport cyclique de l'horloge

L'utilisation du compteur associé à la mémorisation de l'état de l'horloge (état haut et état bas), sur l'arrivée du signal STOP, permet l'obtention d'une résolution de 5 ns (avec $T=10$ ns). Dans la pratique, les deux phases de l'horloge ne sont pas identiques. Cette différence se manifeste par des hauteurs de canaux différentes sur l'histogramme de mesure. Nous obtenons deux canaux par décade. Le nombre de coups dans le premier canal traduira la durée de la phase haute de l'horloge et le nombre de coups dans l'autre canal reflètera la durée de la phase basse de l'horloge. Nous avons reporté la mesure, pour la résolution de 5 ns, sur la **Figure 1.34**. Cet histogramme présente une allure périodique et une valeur moyenne :

$$H_{m,5} = 646480$$

La NLD associée à cette mesure est représentée sur la **Figure 1.35** et a pour valeur maximale :

$$NLD_{m,5} = 2.6 \%$$

L'écart type du système est $\sigma_{sy} = 16789$ alors que celui dû à la statistique est $\sigma_s = 804$ d'où un rapport voisin de $5 \cdot 10^{-2}$.

La NLD due au rapport cyclique de l'horloge est la différence entre la NLD globale (résolution de 5 ns, $NLD_{m,5}$) et de la NLD obtenue sans l'utilisation de la ligne à retard (résolution de 10 ns, $NLD_{m,H}$). On obtient, en notant par $NLD_{m,\alpha}$ la NLD maximale induite par le rapport cyclique de l'horloge :

$$NLD_{m,\alpha} \approx \sqrt{NLD_{m,5}^2 - NLD_{m,H}^2} \quad (1.46)$$

$$NLD_{m,\alpha} \approx 2.5 \%$$

La moyenne des états haut et celle des états bas permet de déduire le rapport cyclique de l'horloge. Ainsi, on trouve dans le cas de la Figure 1.34 $\alpha = 50.9\%$ ce qui correspond à un écart moyen des largeurs haut/bas de l'horloge de 180 ps.

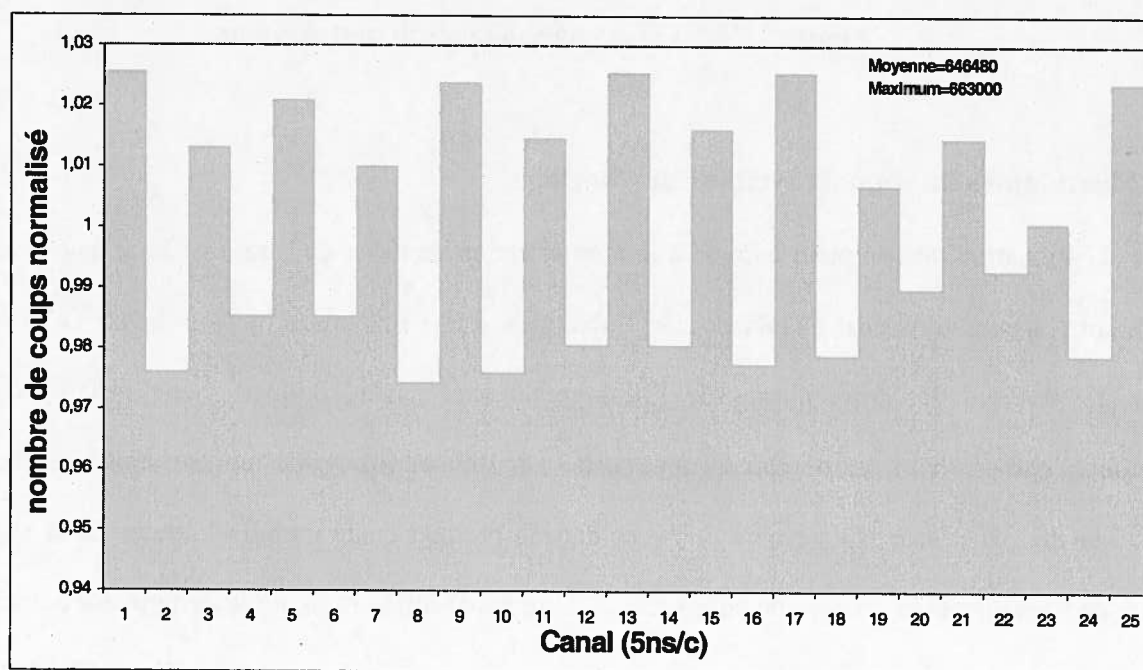


Figure 1.34 Histogramme pour une résolution de 5 ns.

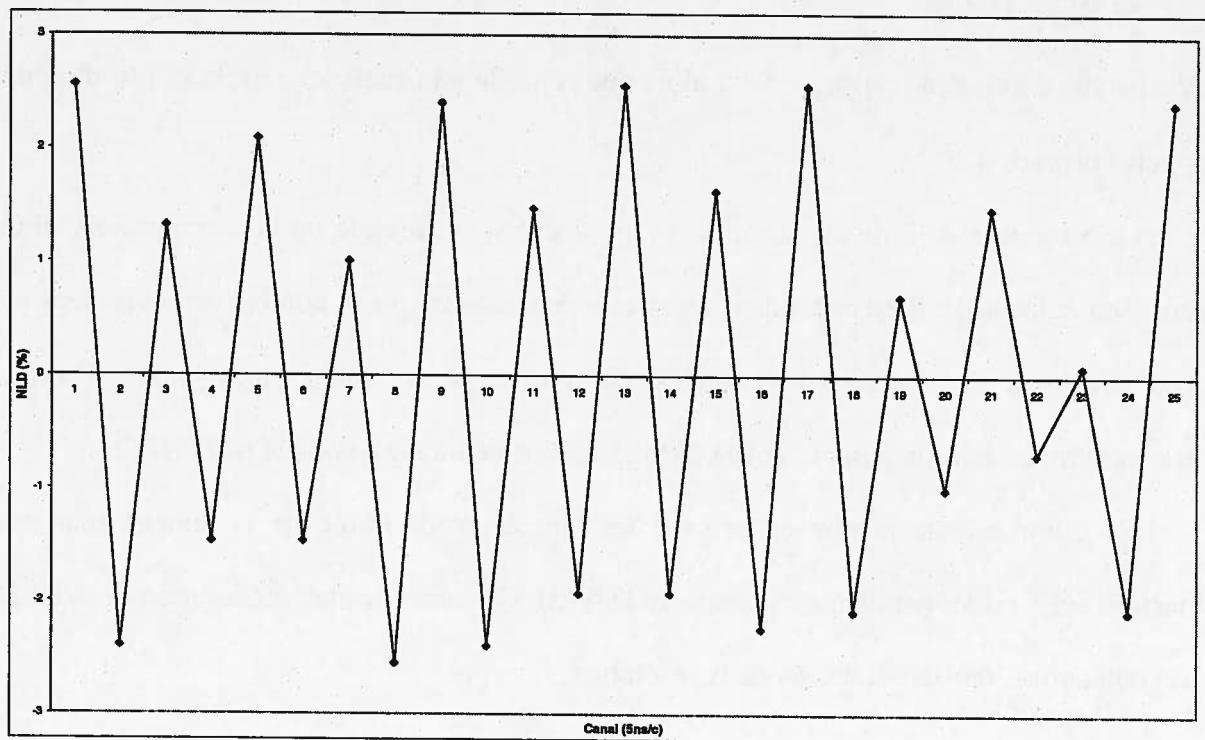


Figure 1.35 NLD associée à la résolution de 5 ns.

7.6 Le compromis entre la résolution et la linéarité

L'absence de l'un des états attendus (les canaux), dans l'histogramme de mesure, altère la résolution du TDC. Dans la plupart des cas, les états absents ne sont pas adjacents et correspondent toujours aux prévisions du paragraphes (§ 4.3) (LAR défectueuse et/ou rapport cyclique asymétrique). Il est donc cependant possible d'obtenir une résolution acceptable en moyennant les canaux adjacents. Ceci réduit le nombre d'états ainsi que la résolution du TDC tout en améliorant la NLD. Dans le cas du résultat de la **Figure 1.31**, où certains états sont absents, si l'on néglige le bit de poids faible de la donnée, nous obtenons cinq canaux représentant chacun la moyenne de deux canaux adjacents. Cette division par deux permet d'obtenir une résolution de 2 ns. L'histogramme de la **Figure 1.36** ne présente aucun canal absent. La moyenne est :

$$H_{m,2} = 21250$$

La NLD a été améliorée par rapport à celle obtenue pour une résolution de 1 ns comme le montre la **Figure 1.37** :

$$NLD_{m,2} = 15.5 \%$$

L'écart type du système est $\sigma_{sy} = 3291$ alors que celui dû à la statistique est $\sigma_s = 146$ d'où un rapport voisin de $4 \cdot 10^{-2}$.

La résolution de 2 ns est facilement reproductible et présente un bon compromis entre résolution et linéarité. Il est cependant nécessaire de s'assurer que le nombre de coups dans un canal adjacent à un canal absent est supérieur à la moyenne des coups sur la gamme. Dans le cas contraire, les canaux absents seront corrigés sans amélioration notable de la NLD.

En éliminant, de proche en proche, les bits de poids faible de la donnée (par des divisions successives par deux), on améliore la NLD. Cependant cette amélioration de la NLD s'accompagne d'une détérioration de la résolution.

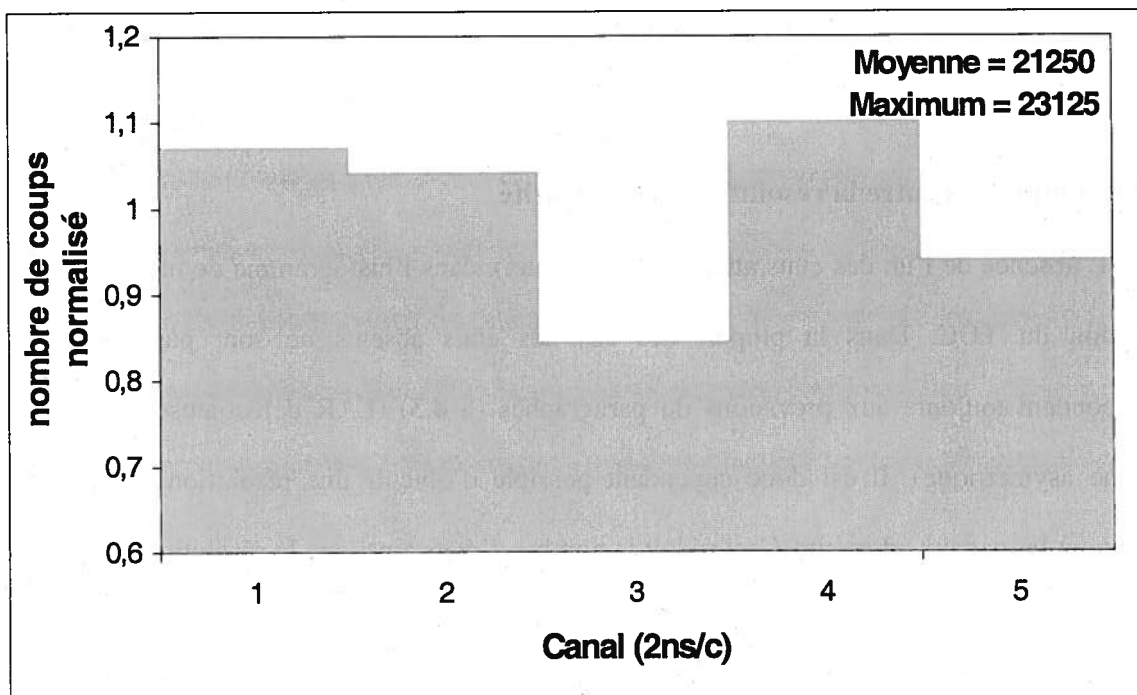


Figure 1.36 Histogramme pour une résolution de 2 ns.

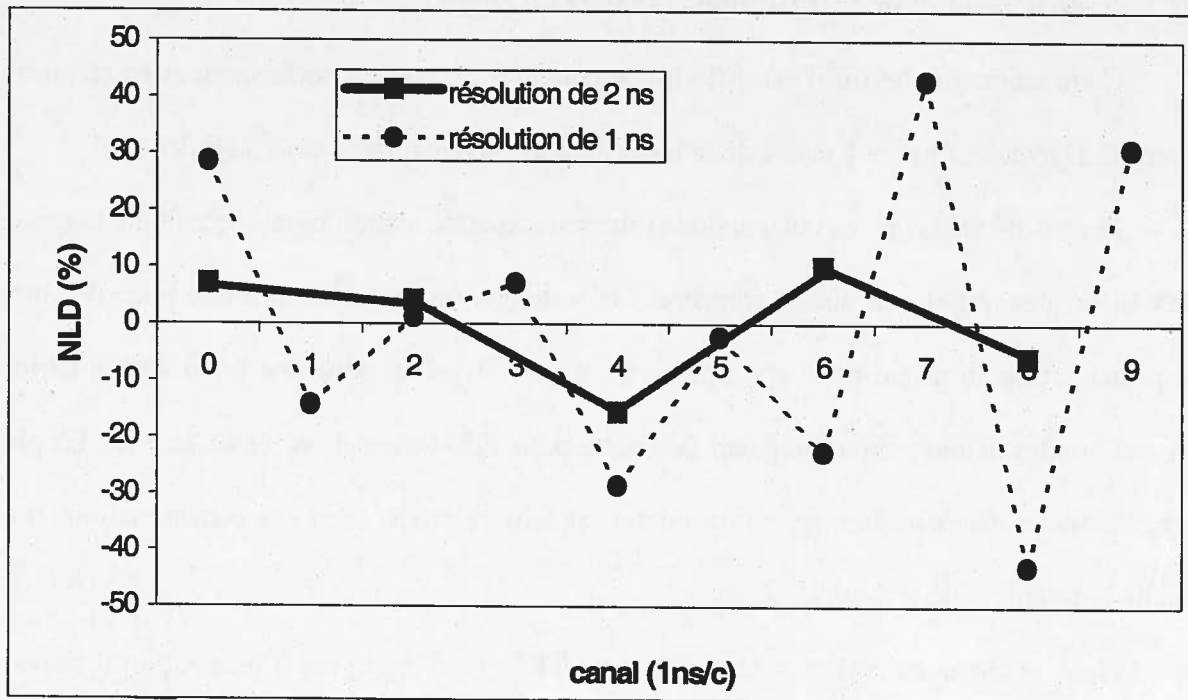


Figure 1.37 Courbes de NLD pour des résolutions de 1 et 2 ns.

8 Choix de la résolution du TDC dans le cadre du trigger

Cette étude montre qu'il est difficile de concilier de bonnes performances en résolution et en NLD avec ces lignes à cause de la large dispersion des retards entre cellules.

Pour s'affranchir de ces dispersions inhérentes à cette technologie, il serait envisageable de réaliser des retards sur circuit imprimé. Or, le temps de propagation d'une piste de circuit imprimé est de 56 ps/cm pour une ligne « Strip » et 71 ps/cm pour une ligne « Microstrip ». Ce qui conduit à une grande longueur de cuivre pour l'obtention d'un retard de 1 ns. En plus, cette méthode nécessite la mise en forme des signaux retardés. Pour ces considérations, il est exclu de retenir cette technique.

Nous avons donc réalisé et testé 32 cartes TDC avec ces lignes à retard; parmi celles ci seules deux présentaient des histogrammes sans codes manquants avec une NLD de 60%. Plusieurs actions ont été envisagées pour corriger les codes absents et améliorer la NLD:

- tri des lignes à retard : Il est exclu de trier les lignes à retard notamment à cause des coûts élevés et du temps nécessaire que cette action engendrerait.
- ajustement des retards : une solution simple consiste à ajouter un condensateur de faible valeur (quelques picofarads) sur la sortie de la ligne à retard responsable de la disparition du canal. Nous avons pu, par exemple, passer d'une NLD de 100% pour un canal manquant à une NLD de 85% dans le meilleur des cas.
- ajout d'un retard programmable : On ajoute un retard programmable, modulo n (le nombre de retards), à chaque mesure et on soustrait la valeur numérique correspondante de la donnée issue du système de mesure de temps [Por 73]. Nous n'avons pas pu mettre en œuvre cette méthode à cause des contraintes d'intégration.
- méthode de NLD explicite : [Sel 99] où la durée (mesurée) est le résultat de la différence entre deux codages : $NLD(\text{codage explicite}) = \text{variance}(NLD(\text{codage implicite}))$. Nous avons exclu cette méthode à cause des limites d'intégration et des

perturbations électromagnétiques qu'engendrerait une horloge qui tournerait en permanence.

- perte de résolution: élimination d'un ou de plusieurs bits de poids faible de la donnée. Cette méthode a le mérite d'être facile à intégrer et améliore la NLD comme le montre la **Figure 1.38** déduite des résultats des paragraphes précédents.

C'est cette dernière méthode que nous avons choisi d'appliquer dans le cas du trigger. En effet, une résolution de quelques nanosecondes est suffisante compte tenu de la période du faisceau (74 à 140 ns). Nous avons retenu la résolution de 5 ns car elle présente une NLD de 2.6% comme le montre la **Figure 1.38** et facilite l'élargissement de la gamme sans grandes modifications

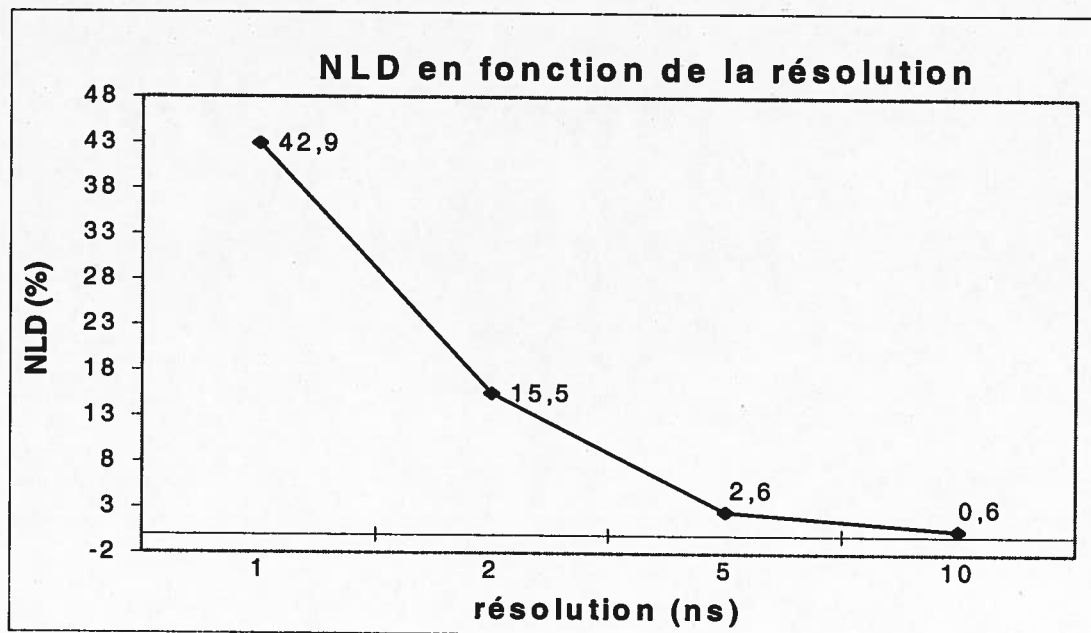


Figure 1.38 Evolution de la Non linéarité Différentielle (NLD) en fonction de la résolution du TDC.

Chapitre 2
ETUDE ET CONCEPTION DU TRIGGER GENERAL
DU GANIL

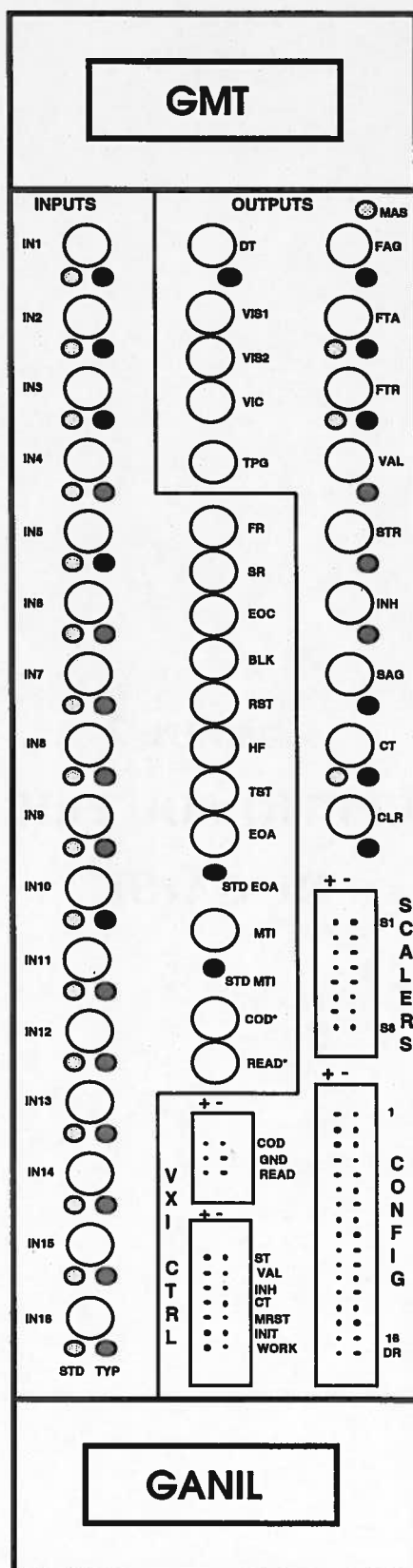


Figure 2.1 Face avant du GMT (Ganil Master Trigger).

1 Introduction

Nous allons donner un historique rapide des triggers utilisés au GANIL qui met en évidence le contexte du trigger au GANIL. Ensuite, nous établirons un tableau synthétique de leurs caractéristiques générales qui a servi en partie à définir les critères pour le développement du nouveau trigger général.

1.1 Les triggers généraux

1.1.1 Le CALI

Ce système, comme le décrit J. Pouthas dans sa thèse [Pou 84] a pour fonction principale de réaliser des " coïncidences " entre des signaux logiques issus des détecteurs d'une expérience de physique nucléaire. Il permet également un tri (et donc un choix) des événements, leur identification par un code associé et la " conversation " de l'expérience avec le système d'acquisition de données. Ce système était utilisé dans plusieurs laboratoires dans la fin des années 70 et jusqu'à la deuxième moitié des années 80. Cependant, le nombre fixe et limité de voies n'était plus adapté aux développements des grands dispositifs expérimentaux en physique nucléaire. Des adaptations successives ont permis de rendre les CALIs modulaires et compatibles avec les expériences de l'époque (1984).

1.1.2 Le Configurateur

Cet ensemble nommé Configurateur [Mar 85], au standard CAMAC (Computer Automated Measurement And Control), constitue la deuxième génération de triggers au GANIL (début des années 80). Sa modularité lui permettait de s'adapter à la plupart des expériences sur plusieurs années. La partie déclenchement et gestion des modules de l'acquisition est implémentée dans le Séquenceur à Usage (SUG). L'analyse rapide est assurée par le Module de Décision Rapide (MDR) alors que le Module de Décision Lente

(MDL) gère l'analyse lente. Un autre niveau de sélection est possible en utilisant le Module d'Echantillonnage Rapide (MER) qui permet de réduire le taux de comptage en éliminant les événements identiques ou appartenant à une même famille. Ces modules et d'autres encore sont décrits en détail dans la documentation du Configurateur [Mar 85].

1.1.3 Le Module des Coïncidences Rapides

Le Module des Coïncidences Rapides (MCR) est équivalent à la fonction **SUG/MDR**. Ce module CAMAC avec cinq voies d'entrée, assure l'analyse rapide seule ainsi que la gestion des modules de conversion [Til 86]. Le MCR présente un temps de latence très court et une utilisation très facile. Ses limitations sont le nombre de voies réduit et le nombre limité de signaux de gestion des codeurs.

1.2 Les triggers spécifiques

Pour les multi-détecteurs (INDRA [Cop 90], [Ber 93], EXOGAM [Fra 99]), des triggers spécifiques [Til 92], [Laz 98] ont été réalisés par les différents collaborateurs aux expériences menées au GANIL. La physique étudiée, le standard choisi et les normes relatives aux protocoles de communications entre les différents modules imposaient des triggers spécifiques qui ne correspondaient plus aux expériences d'usage au GANIL.

D'autres triggers ont été réalisés pour d'autres collaborations nationales et internationales (en particulier pour la physique des hautes énergies). Ils sont ciblés sur des systèmes complexes auxquels ils sont dédiés et présentent des techniques de tri très variées (multiplicité, tri temporel...). Ces systèmes ne correspondent pas à l'aspect généraliste requis pour le trigger du GANIL.

2 Le nouveau trigger du GANIL : le Ganil Master Trigger GMT

Les triggers généraux du GANIL ont prouvé leur robustesse et leur fiabilité pendant des années de fonctionnement. Actuellement, ils ont vieilli et leur électronique est devenue obsolète ; ce qui pose de gros problèmes de maintenance. En plus, ces modules ne correspondent plus aux exigences des nouveaux systèmes d'acquisition.

A partir de ces considérations, nous avons établi une proposition de réalisation d'un nouveau trigger (1994). Parallèlement, un groupe de travail composé de physiciens et de spécialistes des triggers a été nommé par la direction du GANIL. Son rôle est de définir les fonctions fondamentales que doit réaliser cet ensemble [GIP 95].

Les critères importants dans la réalisation du trigger sont le caractère généraliste de son utilisation, la fiabilité et la robustesse de ses modules. Les fonctions retenues sont une synthèse des fonctions assurées par les triggers précédents. D'autres ressources nécessaires à l'utilisation des codeurs VXI déjà réalisé (INDRA, 256 voies...) ou en cours de développement (codeurs VXI-C) ont été prévus dans la réalisation du trigger.

D'autres fonctions complémentaires dont la fonction de mesure de temps pour dater les impulsions en entrées du trigger par rapport à son déclenchement et des fonctions d'aide à la mise point du trigger et de la chaîne d'acquisition ont été retenues.

2.1 Choix du standard

Un point important dans la définition de l'architecture du système d'acquisition est le standard technologique dans lequel va s'intégrer ce trigger. Pour des contraintes de conception telles que la rapidité, la haute intégration fonctionnelle et l'ouverture vers les nouveaux systèmes d'acquisition, nous avons choisi le standard Vme eXtended for Instrumentation (VXI). Le VXI est une norme [VXI] pour le matériel et pour le logiciel. Les ressources matérielles de ce standard permettent la mise en œuvre d'une logique rapide et une communication inter-module intégrée. Les ressources logicielles favorisent la simplicité de

mise en œuvre et d'utilisation des modules. Il existe deux formats VXI : le VXI taille D et le VXI taille C. Le VXI taille D est trop cher et peu de fabricants le commercialisent encore ; c'est pourquoi nous avons choisi le VXI taille C.

2.2 Constitution du trigger

Les études et la synthèse que nous avons menées lors du pré projet « trigger » nous ont conduit à la réalisation de deux modules: le « Ganil Master Trigger » (GMT) et le « Universal Marker Module » (U2M). Ce découpage fonctionnel du trigger correspond à un besoin de modularité et d'intégration électronique.

Le GMT est l'élément principal de l'ensemble trigger. Il assure le déclenchement de l'acquisition des données, l'analyse de l'événement, la gestion des codeurs et le dialogue avec les processeurs de lecture.

Le module U2M permet la mémorisation et le comptage d'impulsions logiques. Il intègre un système de mesure de temps et une horloge universelle [GIP 95]. Le U2M peut fonctionner sans le GMT. Dans le cas d'un fonctionnement avec le GMT, les deux modules bénéficient des ressources de communication "en fond de panier" du bus VXI (Annexe D).

J'ai étudié et réalisé le GMT ainsi que les cartes filles de mémorisation qui intègrent les marqueurs de temps pour le GMT et le U2M. Par conséquent, les paragraphes qui vont suivre ne traiteront que de l'étude et de la réalisation du GMT. L'Annexe E donne les caractéristiques générales de l'U2M.

2.3 Les phases de l'acquisition des données

Dans le cas général, l'acquisition se déroule en cinq phases :

1. la phase de déclenchement et d'analyse du trigger T_a
2. la phase de mémorisation des signaux analogiques dans les codeurs T_g
3. la phase de conversion T_c
4. la phase de lecture T_l
5. la phase de libération T_r

Il existe des cas particuliers où cet ordre n'est pas respecté. Nous les aborderons dans les paragraphes qui décrivent les modes de fonctionnement du trigger.

Nous définissons le temps mort T_M comme la somme des durées de ces phases. Pendant ce temps le trigger est occupé et ne peut prendre en compte un autre événement.

- Le temps T_a se décompose en deux temps :
 - la durée de la fenêtre d'analyse qui est un paramètre réglable
 - le temps d'analyse du trigger qui est un temps fixe, indépendant de la physique, et qui correspond au temps nécessaire au trigger pour prendre sa décision d'acceptation ou de rejet de l'événement.
- Nous verrons dans les paragraphes qui suivent que ce temps peut se prolonger si d'autres phases d'analyse sont autorisées.
- Le temps T_g correspond à la durée de la fenêtre d'encadrement "gate" ou "strobe" de l'impulsion analogique à convertir. Sa durée dépend de la mise en temps des signaux analogiques.
 - Le temps T_c correspond au temps de conversion des codeurs. Il dépend des caractéristiques des codeurs utilisés et varie en général avec le nombre de voies à convertir (de quelques μs à quelques dizaines de μs).

- Le temps T_1 est la durée de lecture des paramètres de l'événement. Elle varie avec le nombre de paramètres à lire. Il dépend du mode de lecture des paramètres de l'événement (§ 2.7), du standard des modules de l'acquisition (CAMAC, VME, VXI...) et du système de lecture (PDOS, LynxOS...).
- La phase de libération T_r comprend la durée d'initialisation des codeurs et le temps de libération du trigger en fin d'événement. La remise à zéro des codeurs est en général très lente devant la libération du trigger. Elle est donc la principale composante de ce temps et peut prendre plusieurs μs .

Le trigger réalise la phase 1 (déclenchement et analyse) et contrôle le déroulement des autres phases.

Afin d'illustrer le fonctionnement du trigger et de faciliter la compréhension de son cycle, nous présenterons un synoptique simplifié du trigger (**Figure 2.2**).

2.4 Synoptique simplifié du GMT

Les signaux en entrées du trigger arrivent via le commutateur (8) au système de déclenchement qui permet de démarrer la prise en compte d'un événement. Ce dernier sera validé ou rejeté par le bloc d'analyse (2). Les écarts de temps entre le déclenchement du trigger (Start commun) et les impulsions mémorisées par ses voies d'entrées (stops individuels) sont mesurés par les marqueurs de temps intégrés au trigger (3). La configuration des voies mémorisées, les voies qui ont déclenché ainsi que les écarts de temps mesurés sont stockées (5) avant d'être lus par les processeurs de lecture.

Le trigger gère le fonctionnement des codeurs via le bloc (4) et dispose des ressources essentielles au couplage de plusieurs ensembles d'acquisition.

Le trigger dialogue via le bloc (6) avec les processeurs de lecture pour initier le cycle de lecture d'un événement et assure, en fin de lecture des paramètres, la libération des modules de l'acquisition des données. Ensuite, il se met en attente d'un nouvel événement.

Dans le mode test, le trigger substitue à ses voies d'entrées, via des blocs (7) et (8), des impulsions de test dont la configuration est contrôlée par une mémoire circulaire. Elle permet de simuler des configurations programmables dont le but est de valider la programmation du GMT et d'étalonner la chaîne d'acquisition des données.

Enfin, Le bloc (9) permet la visualisation des signaux du trigger facilitant ainsi son diagnostic et sa mise en œuvre.

2.5 La phase de déclenchement et d'analyse du trigger

La phase de déclenchement et d'analyse du trigger se décompose en cinq étapes:

- 1- le déclenchement
- 2- la mémorisation des voies rapides
- 3- analyse rapide
- 4- la mémorisation des voies lentes
- 5- l'analyse lente

Le physicien définit une ou plusieurs voies de déclenchements. Dès qu'un signal arrive sur l'une de ces voies, le trigger démarre son cycle (étape 1) et déroule les étapes d'analyse (étapes 2 à 5) à l'issue desquelles il décide d'accepter ou de rejeter l'événement.

2.5.1 Le déclenchement

Le GMT possède seize entrées qui peuvent être associées par programmation à l'une des deux analyses possibles (rapide ou lente). La mise en service ainsi que le standard électrique (NIM ou TTL) des entrées est programmable. Les voies associées à l'analyse

rapide peuvent être programmées en voies de déclenchement du trigger. Toutes les voies associées à l'analyse rapide participent à son analyse qu'elles soient des voies de déclenchement ou non. Une entrée auxiliaire MTI (Master Trigger Input) permet le déclenchement du trigger sans participation à l'analyse.

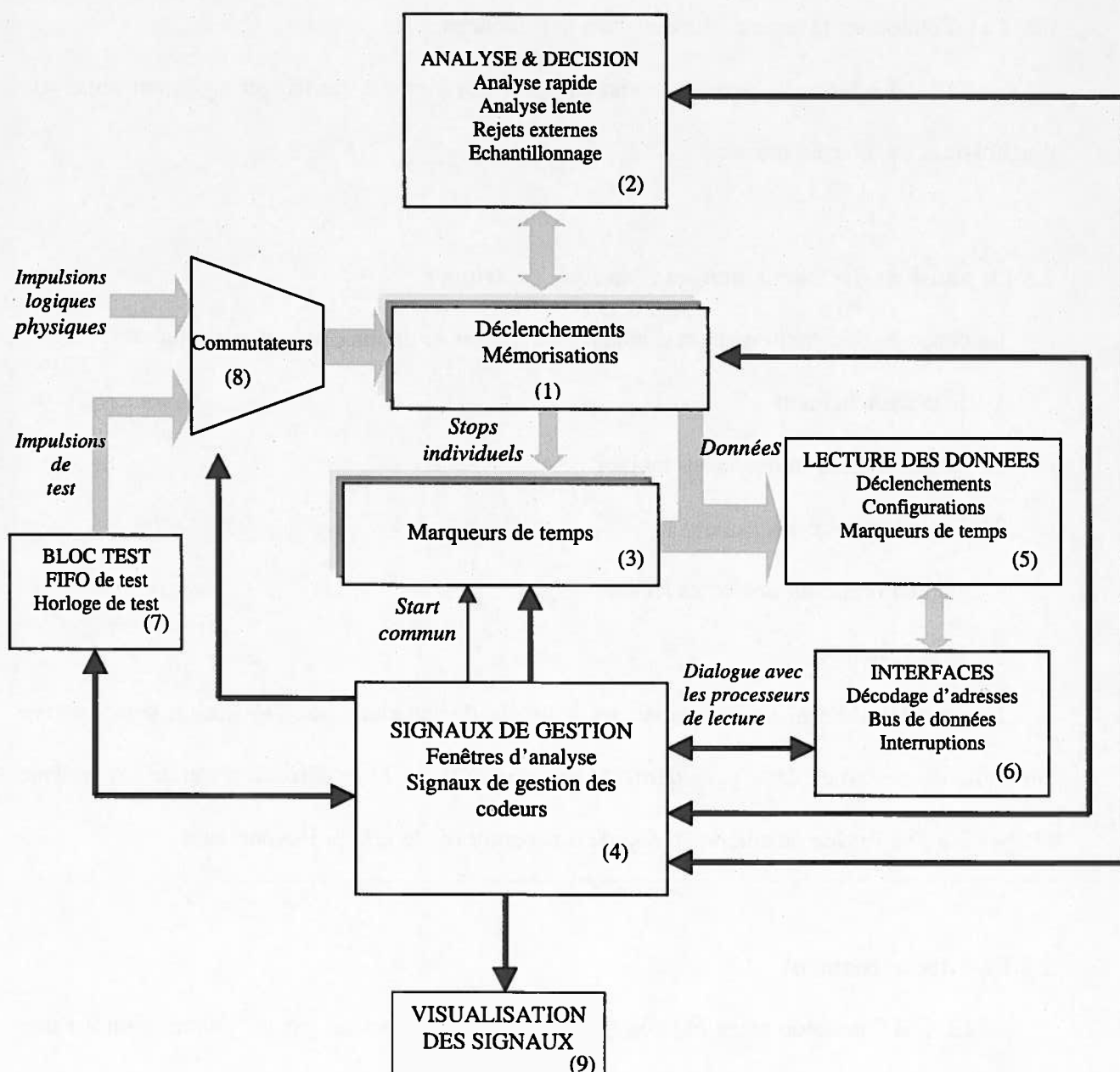


Figure 2.2 Synoptique simplifié du GMT

Si l'une des voies du trigger est programmée en voie lente, les deux cycles d'analyse auront lieu et le trigger fonctionnera en mode d'analyse mixte (analyse rapide suivie de l'analyse lente). Si par contre toutes les voies sont programmées en voies lentes, il est nécessaire de déclencher le trigger par l'entrée MTI pour démarrer directement la phase d'analyse lente du trigger: le trigger fonctionne dans ce cas en analyse lente seule.

Le déclenchement du trigger et l'émission de la fenêtre d'analyse ne durent que quelques ns.

2.5.2 La mémorisation

Le déclenchement du trigger démarre la fenêtre d'analyse rapide (FAG, Fast Analysis Gate). Les voies présentes pendant cette fenêtre sont mémorisées. Ensuite le trigger compare la configuration des voies mémorisées à une table de référence et décide d'accepter ou de rejeter l'événement. Cette fenêtre peut être suivie par une étape de prise en compte de signaux externes provenant d'autres ensembles de décision. Cette étape est appelée phase d'analyse des rejets rapides externes (FRG, Fast Rejection Gate). Les étapes mémorisation, analyse des voies mémorisées du trigger et analyse des rejets externes, composent la phase d'analyse rapide du trigger.

Ensuite, si le résultat d'analyse est positif (FTA, Fast Trigger Accept), une autre phase peut démarrer: la phase d'analyse lente. Elle démarre par la génération d'une fenêtre d'analyse lente (SAG, Slow Analysis Gate). Cette phase est composée de trois étapes: mémorisation des voies d'entrées du trigger, analyse des voies mémorisées avec prise en compte ou pas des rejets lents externes (SRG, Slow Rejection Gate). A la fin de cette deuxième phase, si l'analyse est positive (CT, Coding Trigger), le cycle de traitement de

l'événement continue. Dans le cas contraire, le trigger est libéré et se met en attente d'un nouvel événement.

Les voies rapides résultent essentiellement de prises de temps proches des détecteurs rapides alors que les voies lentes correspondent à une réponse différée en temps [Pou 84]. Les deux phases d'analyse qui leur sont associées sont séquentielles et présentent un fonctionnement à peu près similaire. Nous pouvons donner un schéma simplifié de la succession de ces deux phases qui reste valable dans le cas général **Figure 2.3** (la figure ne traduit pas la durée de chaque phase mais simplement l'ordre de la séquence d'analyse).

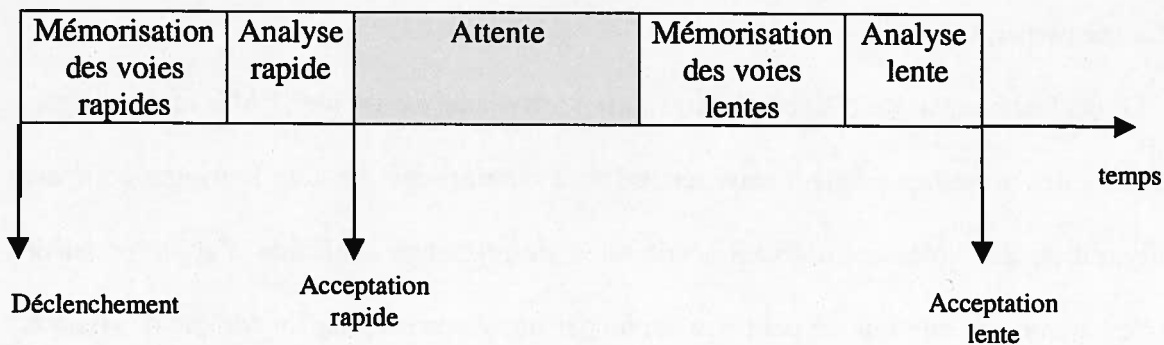


Figure 2.3 Phases d'analyse du trigger dans le cas général.

La mémorisation est liée au concept de *coïncidence* qui *n'est pas simplement une simultanéité (dont la précision serait alors liée à celle des ensembles électroniques de détection) mais elle doit contenir une notion de durée bien définie et ajustable* [Pou 84]. Cette coïncidence doit s'effectuer entre les voies d'entrées du trigger et ses fenêtres d'analyse. Elle se présente généralement sous l'une des deux formes suivantes:

a- Coïncidence par front

Le front avant de l'impulsion en entrée du trigger doit coïncider avec la fenêtre d'analyse **Figure 2.4**. Ce mode est valable pour les deux types d'analyse rapide et lente.

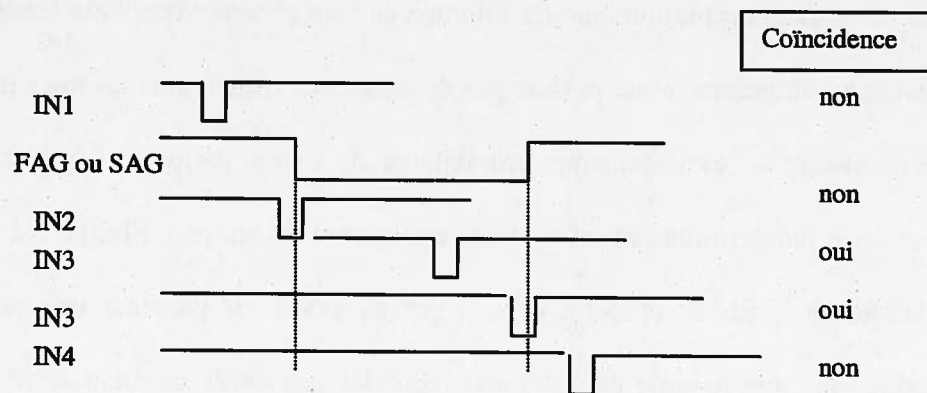


Figure 2.4 Mode de coïncidence par front

b- Coïncidence par recouvrement

L'intersection entre l'impulsion en entrée du GMT et la fenêtre d'analyse doit être non nulle **Figure 2.5**. Ce mode n'est valable que pour l'analyse lente.

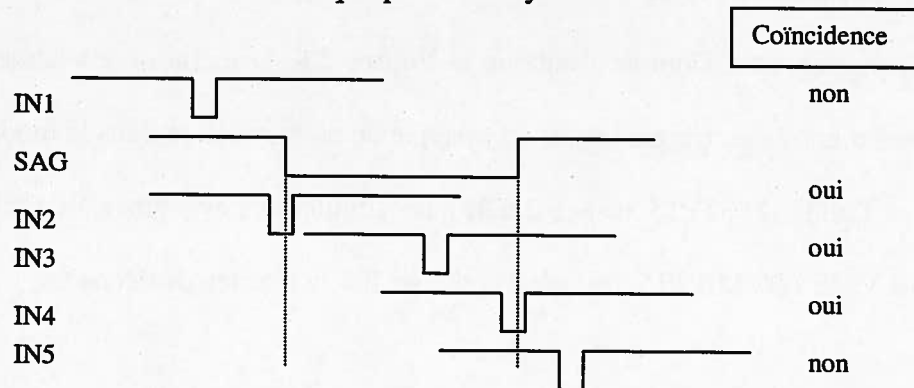


Figure 2.5 Mode de coïncidence par recouvrement.

L'analyse lente n'a lieu que si le trigger accepte l'événement à l'issue de l'analyse rapide. Le trigger ne continue son cycle que si l'analyse lente est positive. Dans le cas contraire, le trigger est remis à zéro et attend un nouveau déclenchement.

2.5.3 Le marquage en temps

La mémorisation indique que les impulsions sont présente dans une fenêtre temporelle. Cette mesure est imprécise et ne permet pas de situer ces impulsions les unes par rapport aux autres ni de savoir si ces impulsions proviennent du même paquet du faisceau du GANIL. Pour lever cette indétermination un système de mesure de temps (**Figure 2.2** bloc (3)) basé sur les études du premier chapitre est intégré au GMT. Il présente une résolution de 5 nanosecondes sur une gamme de 2.5 microsecondes. Le GMT contient seize marqueurs de temps (un par voie). Les **Figures 3.2 et 3.3** présentent les caractéristiques de ces marqueurs de temps.

2.5.4 L'analyse

Le système d'analyse du GMT est constitué d'une mémoire CMOS 64 KO de 12 ns de temps de propagation. Comme l'indique la **Figure 2.6**, la mémoire est adressée soit par les seize voies d'entrée du trigger issues du système de mémorisation dans le mode physique, soit par le bus TEST (DTST<15..0>) (§ 2.6.4) pour simuler des événements dans le mode test ou par le bus VME (DVME <15..0>) pour écrire ou lire la matrice de décision.

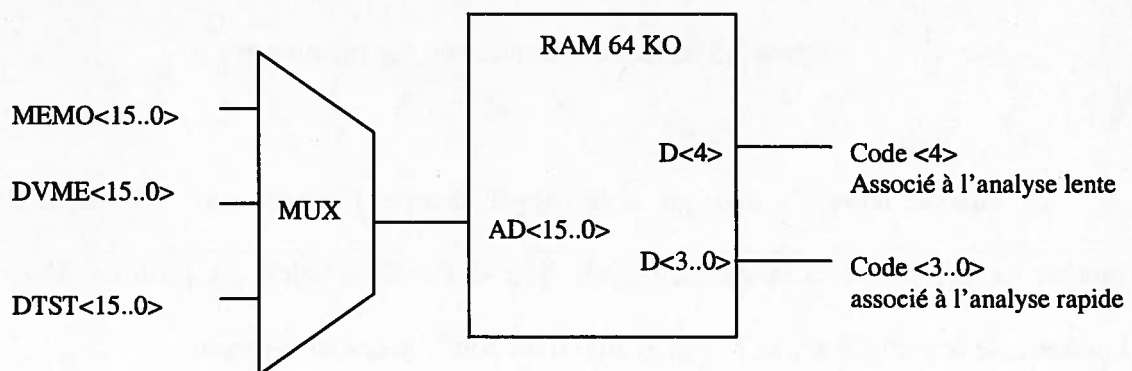


Figure 2.6 Le système d'analyse du GMT.

La donnée en sortie de la mémoire constitue le résultat de l'analyse du trigger. L'adresse de la mémoire est dite « configuration » alors que la donnée est notée « code ». On dira d'une configuration qu'elle est valide si le code qui lui est associé est différent de zéro. Dans le cas contraire, la configuration est non valide. Les quatre bits de poids faible du code sont associés à l'analyse rapide alors que le cinquième bit (le MSB du code) est associé à l'analyse lente. L'association d'un code à un ensemble de configurations différentes permet d'effectuer un traitement commun par bloc de configurations.

2.5.4.1 Les fenêtres d'analyse du GMT

Les fenêtres d'analyse du GMT sont au nombre de quatre : FAG (Fast Analysis Gate), FRG (Fast Rejection Gate), SAG (Slow Analysis Gate) et SRG (Slow Rejection Gate). Les fenêtres FAG et SAG prennent en compte les voies d'entrées du trigger alors que les deux fenêtres FRG et SRG exploitent les impulsions issues d'analyses externes au trigger : FRG pour les rejets rapides externes et SRG pour les rejets lents externes.

Les fenêtres FAG et FRG sont réalisées selon le schéma simplifié de la **Figure 2.7**. Cette structure permet d'obtenir une résolution de 5 ns. En effet, un compteur (8 bits, le MSB de la donnée) fonctionnant à une période de 40 ns permet d'obtenir une durée multiple de la période soit une durée maximale de 10,2 μ s (1024 x 10 nanosecondes). La ligne à retard avec multiplexeur intégré permet d'ajuster cette valeur par pas de 5 ns. Les 3 bits de poids faible de la donnée (durée programmée) contrôlent un multiplexeur intégré à une ligne à retard (pas de 5 nanosecondes) et donne la précision du système. La durée obtenue peut s'écrire (en nanosecondes):

$$\text{Durée} = \text{Data}\langle 11..3 \rangle * 40 + \text{Data}\langle 2..0 \rangle * 5 \quad (2.1)$$

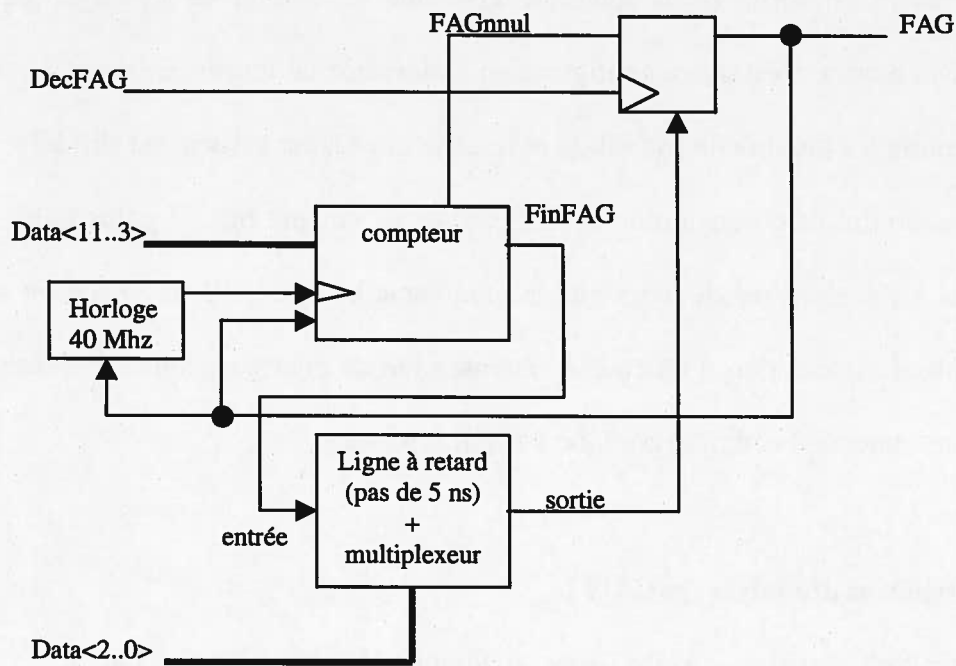


Figure 2.7 Schéma simplifié de la génération de la durée de FAG : le compteur est incrémenté par pas de 40 ns et la ligne à retard ajuste à la valeur programmée par pas de 5 ns.

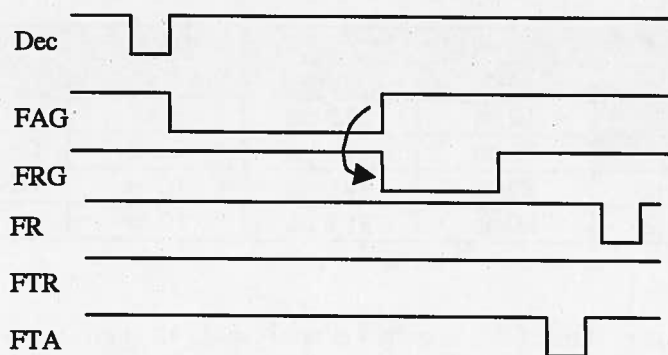
La fenêtre SAG est réalisée dans un CPLD MAX7128PC84-7 d'ALTERA [Altera]. Il intègre les registres de lecture/écriture de la fenêtre ainsi que deux compteurs 100 MHz, un pour le retard à la génération de la fenêtre SAG et un autre pour la génération de sa durée (la durée et le retard maximaux valent 81,9 μ s). La fenêtre SRG possède un retard fixe (quelques ns) et une durée programmable. Elle est réalisée à l'aide d'un compteur (13 bits) cadencé à 100 MHz (durée maximale de 81,9 μ s) dans un CPLD MAX7096PC68-7. Le **Tableau 2.2** donne le récapitulatif des durées des fenêtres d'analyse du GMT.

signal	retard		durée		pas	référence
	min	max	min	max		
FAG			10 ns	10,2 μ s	5 ns	DEC
FRG			10 ns	10,2 μ s	5 ns	DEC/FAG
SAG	20 ns	81,9 μ s	20 ns	81,9 μ s	10 ns	DEC/FTA
SRG	20 ns	81,9 μ s	20 ns	81,9 μ s	10 ns	SAG

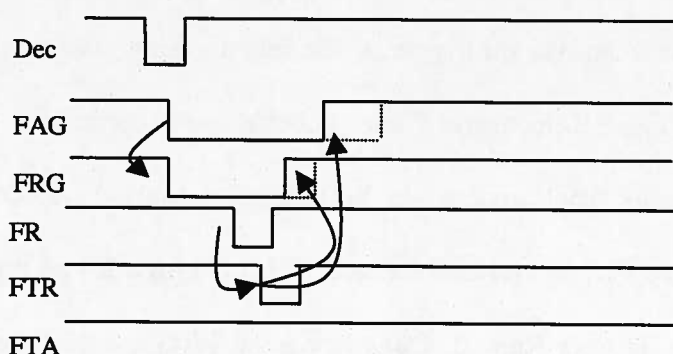
Tableau 2.2 Retards et durées des fenêtres d'analyse du trigger.

2.5.4.2 Analyse des rejets externes

La fenêtre des rejets rapides externes (FRG) n'est générée que si elle est autorisée ce qui permet de réduire le temps mort d'analyse du trigger. Cette fenêtre donne la priorité à un rejet externe sur l'entrée FR (Fast Rejection). Cette fenêtre peut démarrer sur le déclenchement du trigger ou sur le front arrière de la fenêtre d'analyse rapide FAG (Figure 2.8 a). Un signal sur l'entrée FR, en coïncidence avec FRG (Figure 2.8 b) provoque le rejet de l'événement (FTR, Fast Trigger Reject). Dans la cas où FRG est générée sur le déclenchement du trigger, un rejet externe en coïncidence avec FRG, arrête les fenêtres FAG et FRG et libère le trigger. Cette libération intervient sans attendre la fin de la fenêtre d'analyse du trigger et permet de réduire le temps mort d'analyse en cas de rejet.



a) Activation de la fenêtre FRG par le front arrière de la FAG (acceptation).



b) Activation de la fenêtre FRG sur le déclenchement du trigger

(exemple: en cas de rejet, les fenêtres FAG et FRG sont raccourcies).

Figure 2.8 Analyse des rejets rapides externes.

La fenêtre des rejets lents externes (SRG, Slow Rejection Gate), est générée pour prendre en compte une décision externe via l'entrée SR (Slow Rejection). Cette fenêtre peut démarrer en début ou en fin de la fenêtre d'analyse lente SAG. Le mode d'analyse de la coïncidence entre la fenêtre SR et la fenêtre SRG est le même que celui défini pour l'analyse lente : front ou recouvrement.

2.5.4.3 Echantillonnage

Le système d'échantillonnage permet de réduire le taux de comptage en éliminant une partie des événements identiques ou appartenant à une même famille (même code).

La fonction échantillonnage est associée à l'analyse rapide uniquement (pas d'équivalent pour l'analyse lente) et opère sur les quatre bits du code associé aux configurations des voies d'analyse rapide. Les taux d'échantillonnage sont au nombre de seize

et varient de $\frac{1}{2}$ à $\frac{16383}{16384}$.

La fonction échantillonnage est réalisée dans un FPGA XILINX (XC4013) [Xilinx] et développée dans le langage VERILOG. Le choix d'une structure programmable (FPGA) et du langage de programmation VERILOG facilite l'adaptation de la fonction d'échantillonnage à de nouveaux dispositifs expérimentaux (cas de VAMOS [Ann 01]) et permet d'améliorer ses performances. Cette fonction introduit un temps mort supplémentaire d'analyse de 38 nanosecondes qui devient nul quand cette fonction n'est pas autorisée (par programmation).

2.5.5 Gestion des codeurs

Le GMT permet la gestion de différents types de codeurs suivant deux modes de fonctionnement, le mode normal et le mode de codage anticipé. Dans le premier mode, le trigger envoie les signaux d'intégration (fenêtre STR) et de validation (fenêtre VAL) aux modules de conversion à la suite d'une décision rapide positive (signal FTA). Dans le second mode, le trigger valide la chaîne d'acquisition dès son déclenchement.

Il existe deux types de codeurs qui se différencient par le mode de leur gestion par le trigger: mode synchrone et mode asynchrone.

La gestion synchrone (**Figure 2.9**) est utilisée pour les modules CAMAC [CAMAC] en fonctionnement au GANIL depuis plusieurs années et dont la gestion est assurée par les triggers : Séquenceur à Usage Général (SUG) ou Module des Coïncidences Rapides (MCR).

Sur un déclenchement ou une décision positive du "trigger", toutes les voies des codeurs associés sont validées par des fenêtres communes ou individuelles. Ces fenêtres encadrent l'analyse des impulsions analogiques en entrée de chaque voie en vue de leur conversion. En fin de cycle, après conversion et lecture de l'événement, le trigger libère tous les modules de codage.

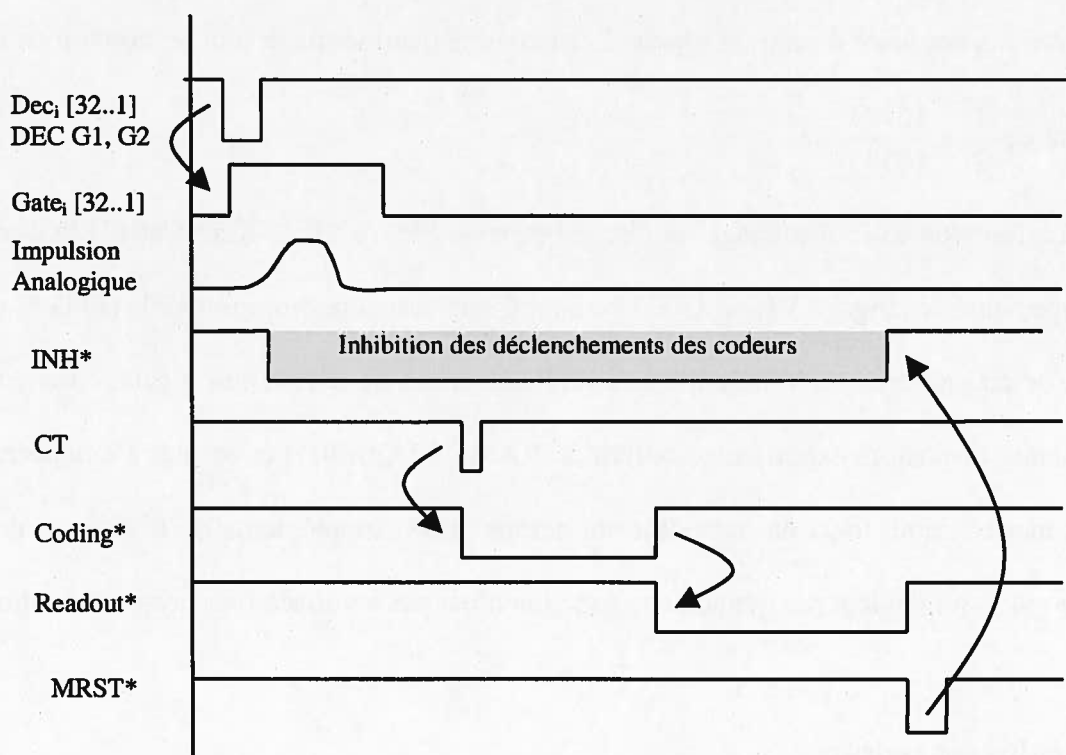


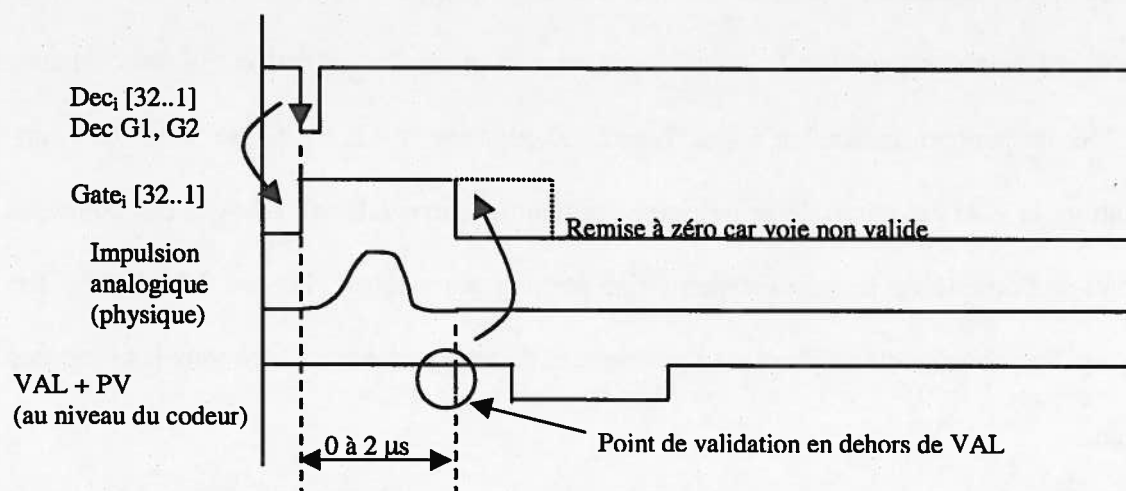
Figure 2.9 Gestion des codeurs synchrones

Pour la gestion asynchrone, le déclenchement et le traitement analogique des voies de codage sont indépendants de la décision du trigger maître. Une voie codeur déclenchée est soit validée par le trigger maître, soit remise à zéro automatiquement. Chacune des voies de l'électronique de conversion est déclenchée individuellement par un discriminateur associé. Le trigger local de la voie déclenchée génère une porte d'intégration (Gate_i) et un point de validation (PV) dont le retard par rapport à son déclenchement est programmable (temps identique pour toutes les voies de codage, de qq 10 ns à qq μs).

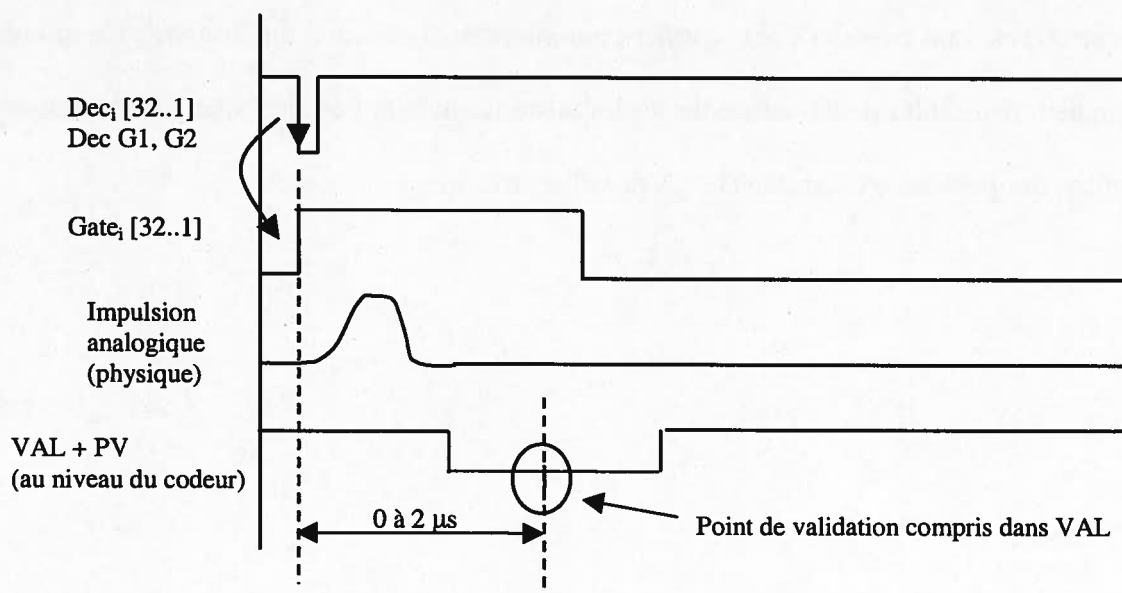
De façon indépendante, le "trigger maître" déclenché, dont la configuration des voies d'entrées est acceptée, envoie aux modules de codage un signal de validation VAL.

Chaque voie codeur examine la coïncidence de son point de validation PV avec la fenêtre VAL. Si le "trigger maître" n'a pas fourni de réponse VAL en phase avec le point de validation, la voie est réinitialisée automatiquement (**Figure 2.10 a**). Dans le cas contraire, le contenu analogique de la voie est mémorisé pour la conversion (**Figure 2.10 b**). En fin de cycle, après conversion et lecture de l'événement, le trigger maître libère tous les modules de codage.

La gestion asynchrone est différente de la gestion synchrone par le fait que le trigger maître n'ouvre pas la porte des codeurs mais vient au contraire les valider par le signal VAL. L'intérêt de ce type de codeur est une analyse immédiate des impulsions analogiques issues des détecteurs, sans besoin de les retarder pour attendre la décision du "trigger". Ce qui réduit la longueur des câbles de liaisons pour les impulsions analogiques ainsi que les atténuations et les bruits qui peuvent exister dans le cas de câbles très longs.



a) voie non valide



b) voie valide

Figure 2.10 Gestion des codeurs asynchrones.

Dans le cas des codeurs au standard VXI (type INDRA, codeur tri-fonctions QDC6414V [QDC] ou XDC3214 [XDC]), la gestion est assurée par des lignes VXI dédiées.

Nous avons maintenu l'affectation des principaux signaux du fond de panier VXI-C servant à

la gestion des codeurs afin d'assurer la compatibilité avec les modules déjà réalisés (INDRA par exemple). Notons que cette affectation est programmable et permet le fonctionnement du trigger dans des configurations différentes.

Ces signaux sont au nombre de neuf et font partie d'une norme VXI aux spécifications IN2P3 (Institut National de Physique Nucléaire et de Physique des Particules) [Ric 90]. Ils sont distribués sur des lignes en "fond de panier" du bus VXI. Sept de ces lignes (VAL*, INH*, INIT*, MRST, CT*, ST et WORK*) partent du GMT vers les modules discriminateurs-codeurs et assurent la gestion des voies de conversion via le "trigger local" associé. Les lignes en retour (COD*, READ*) indiquent au GMT la fin de codage et la fin de lecture. Le suffixe "*" précise que le signal associé est actif à l'état bas (0 Volt). L'allocation d'un signal sur une ligne dédiée du bus VXI se fait de façon dynamique par programmation à l'initialisation. Le nom français du signal décrit dans la norme IN2P3¹ est rappelé entre parenthèse. La description de ces lignes est donnée en Annexe F.

2.6 Modes de fonctionnement du trigger

Nous allons décrire les principaux modes de fonctionnement du trigger. Pour la description détaillée et la programmation du GMT, on pourra se reporter au cahier des charges du trigger [GIP 97].

2.6.1 Mode normal

A la suite d'un déclenchement et sur une acceptation rapide (émission du signal FTA), le GMT génère deux fenêtres STR et VAL (Figures 2.11 et 2.12). Le retard et la durée de ces signaux sont programmables de 20 ns à 81.9 μ s par pas de 10 ns. STR est équivalent à une fenêtre d'intégration ou à un ordre de pré-analyse pour des codeurs synchrones. VAL est le signal de validation des voies pour les codeurs asynchrones. Par programmation, il est

¹ Institut National de la Physique Nucléaire et de la Physique des Particules

possible de synchroniser la génération de STR et VAL sur un signal extérieur HF (High Frequency).

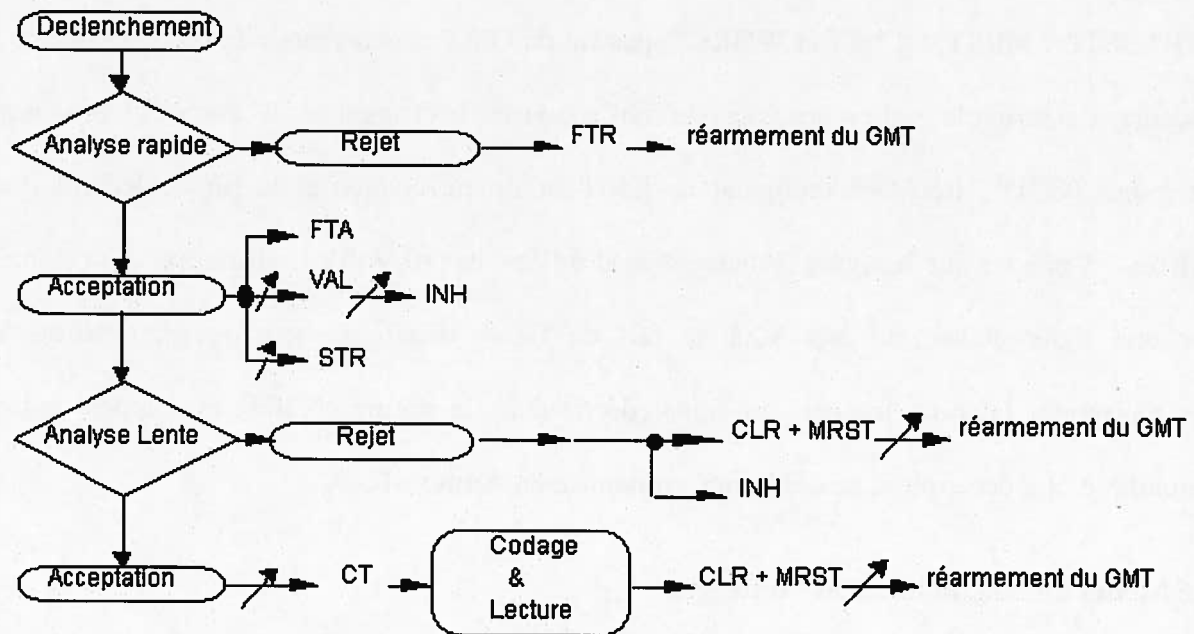


Figure 2.11 Organigramme de fonctionnement pour le mode normal.

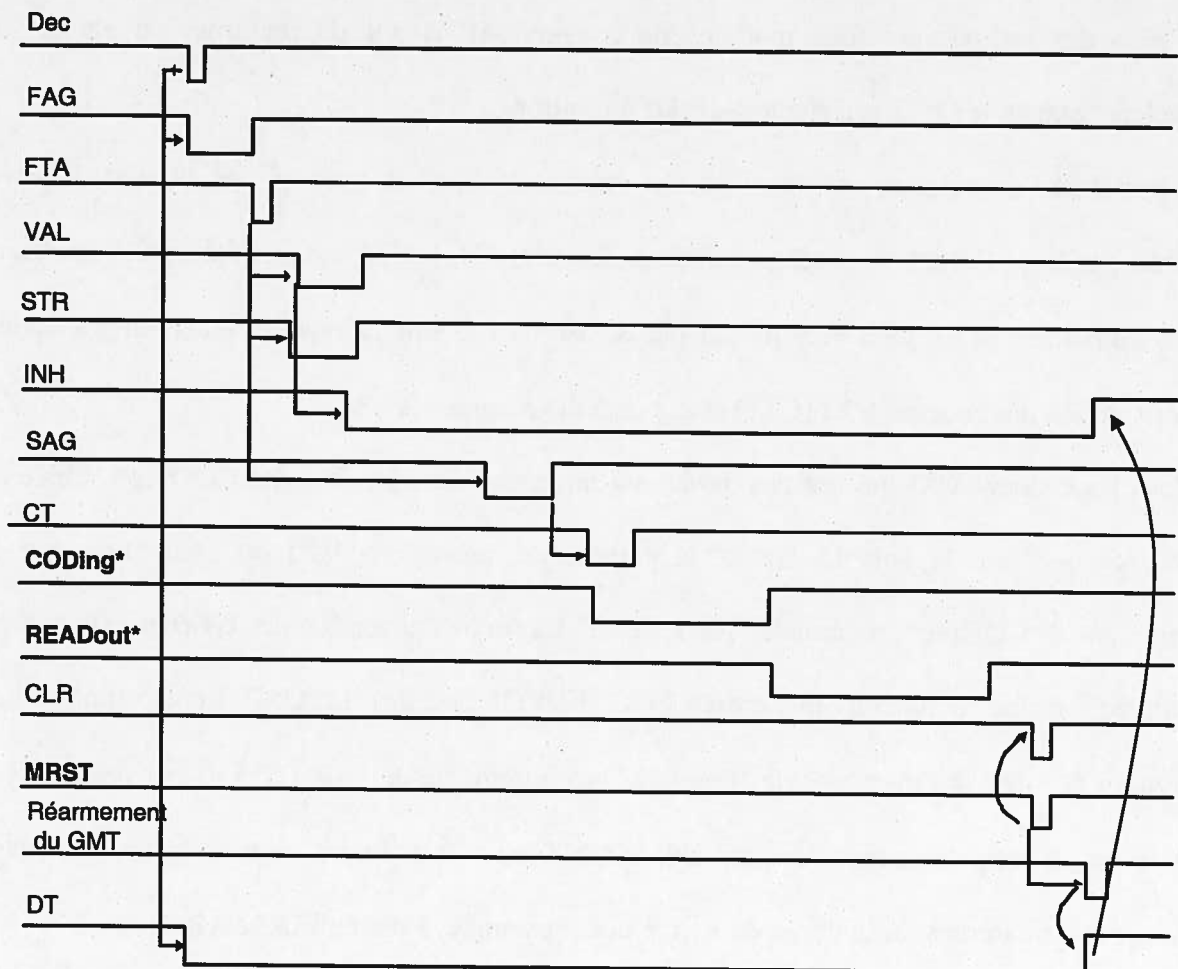


Figure 2.12 Chronogramme de fonctionnement pour le mode normal (cas de l'acceptation de l'événement).

Sur la génération de VAL, le GMT active le signal d'inhibition INH / INH* après un retard programmable de 20 ns à 81.9 μ s par pas de 10 ns.

Dans le cas d'une analyse lente, le rejet de l'évènement est caractérisé par la remise à zéro des codeurs par les signaux CLR en face avant et MRST* sur le bus VXI. De plus un rejet lent force l'activation de INH / INH*. La libération du GMT est effective après un retard programmable de 100 ns à 25.5 μ s par pas de 100 ns. Ce délai correspond au temps de remise

à zéro des intégrateurs (des modules de conversion). Avant de retourner en attente de déclenchement, le GMT relâche le signal d'inhibition.

A partir de l'acceptation rapide, si aucune analyse lente n'est attendue, ou sur une décision lente positive, l'ordre de codage (Coding Trigger) CT / CT* est généré après un retard programmable de 20 ns à 81.9 µs par pas de 10 ns. Ces impulsions lancent la digitalisation des signaux des codeurs VXI (CT*) et des codeurs externes (CT).

Tous les codeurs VXI qui ont des données à numériser activent la ligne CODing* câblée en "ou logique" sur le bus. La fin de la période de conversion VXI est symbolisée par la remontée de CODing*, mémorisée par le GMT. La fin de conversion des codeurs externes est validée par une impulsion sur l'entrée EOC (End Of Coding). Le GMT tient compte de ce signal EOC pendant un temps de "time out" programmable de 1 µs à 255 µs par pas de 1 µs.

A la fin du temps de conversion simulé, le GMT force la mémorisation de la fin de codage des codeurs externes. Si la durée du « time out » est nulle, l'entrée EOC est ignorée.

La fin de conversion est mémorisée par le GMT et ensuite détectée par le système de lecture. Les codeurs VXI qui ont des données valides activent la ligne READout* du bus. Le reflet de cette ligne est également disponible sur le GMT. L'entrée EOA (End Of Acquisition) permet de mémoriser dans le registre d'état la fin de lecture des codeurs externes.

Après la phase de lecture, le système d'acquisition doit générer l'ordre de remise à zéro qui a pour effet d'envoyer aux codeurs les signaux CLR en face avant et MRST* sur le bus VXI. La libération du GMT est effective après un retard programmable. Ce temps d'attente correspond au temps de remise à zéro des intégrateurs. Le signal d'inhibition INH / INH* est relâché sur le réarmement du GMT.

Dans le cas d'un rejet de l'analyse rapide, le signal de rejet Fast Trigger Reject (FTR) est généré. Puisque les fenêtres de validation VAL et d'intégration STR n'ont pas été émises, le GMT peut se réarmer très rapidement sans envoyer les signaux de remise à zéro des codeurs.

Dans le mode normal et pendant l'analyse rapide, il est possible de fonctionner en réarmement automatique **Figure 2.13**. Dans ce mode, on peut réarmer le GMT sur la fin de la fenêtre FAG. Ceci permet de commencer une nouvelle analyse rapide pendant le temps de prise de décision de l'analyse rapide précédente. En cas d'acceptation FTA, cette analyse anticipée est annulée et le GMT poursuit son cycle normal. Si un rejet rapide FTR intervient, la fenêtre FAG démarrée sur le dernier déclenchement du GMT se poursuit. Dans ce mode, le bloc de mémorisation des voies d'entrées du GMT est remis à zéro sur la fin de FAG de manière à pouvoir prendre en compte un nouveau déclenchement pendant le temps d'analyse du GMT. La période de déclenchement doit être supérieure à la durée de FAG augmentée du temps de remis à zéro du bloc de mémorisation (quelques nanosecondes).

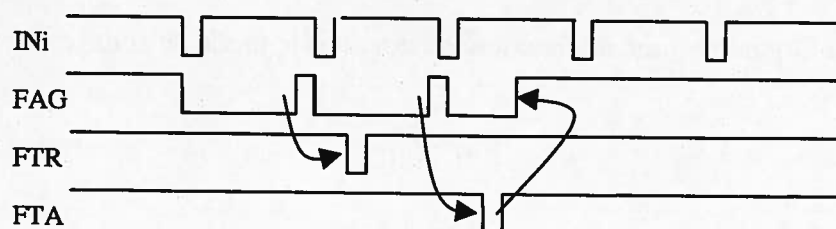


Figure 2.13 Réarmement automatique : pour une période de déclenchement supérieure à la durée de la fenêtre programmée, le trigger prend en compte un nouveau déclenchement pendant le traitement de l'événement précédent.

2.6.2 Mode de codage anticipé

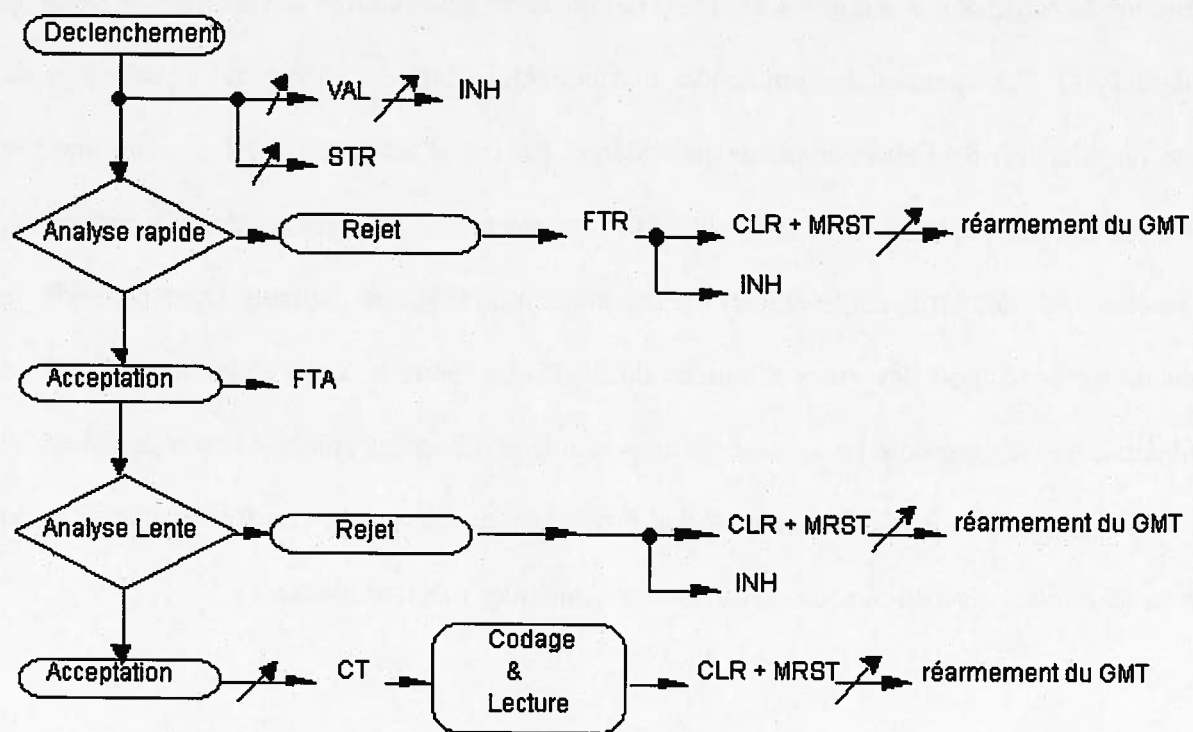


Figure 2.14 Organigramme de fonctionnement dans le mode de codage anticipé.

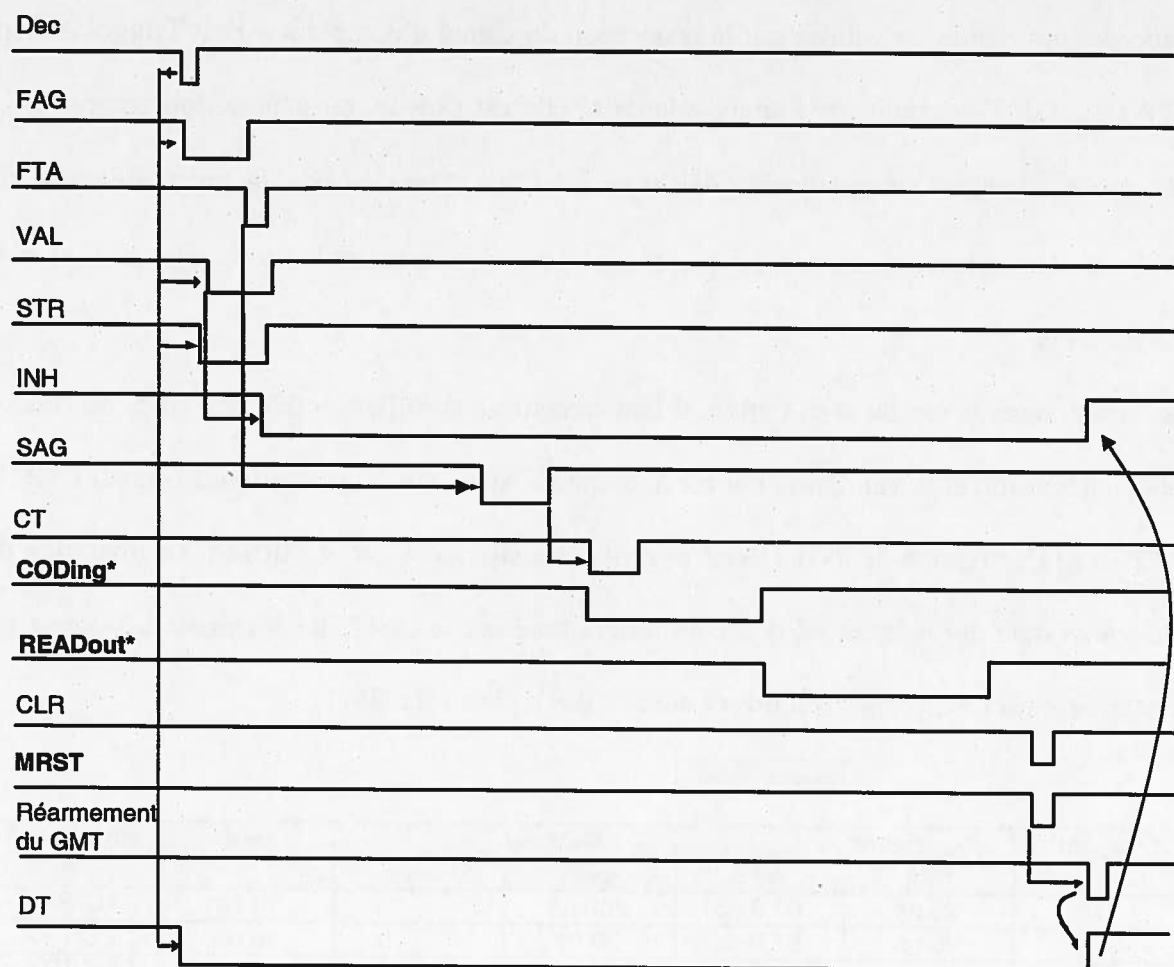


Figure 2.15 Chronogramme de fonctionnement pour le mode de codage anticipé (cas de l'acceptation de l'événement).

Ce mode de fonctionnement programmable dans le GMT (**Figures 2.14 et 2.15**), permet d'anticiper l'intégration et la validation des voies de codage par rapport à la décision du trigger. En effet, sur le déclenchement du GMT les fenêtres STR et FAG sont générées. La programmation de la durée et du retard de ces signaux, la possibilité de les synchroniser sur un signal externe HF, l'activation de INH / INH* sont identiques au mode de fonctionnement normal.

L'acceptation rapide est validée par la génération du signal d'acceptation Fast Trigger Accept (FTA). Le GMT poursuit par l'analyse lente si elle est prévue, ou génère directement CT / CT* après un retard programmable de 20 ns à 81.9µs. Dans ce cas, le fonctionnement du GMT est identique au mode normal que ce soit pour l'acceptation lente, le rejet lent ou sans analyse lente.

Par contre, dans le cas du rejet rapide, il faut remettre à zéro l'ensemble des voies de codage dont l'intégration et la validation ont été anticipées. Ainsi, sur la génération du signal FTR, le GMT force l'activation de INH / INH* et génère les signaux CLR et MRST*. La libération du GMT intervient après le retard d'attente programmé sur le GMT. Le **Tableau 2.3** donne les caractéristiques temporelles (retards et durées) des signaux du GMT.

FÉNETRES

signal	retard		durée		pas	référence
	min	max	min	max		
CT	20 ns	81,9 µs	200 ns		10 ns	FAG/SAG
STR	20 ns	81,9 µs	20 ns	81,9 µs	10 ns	DEC/FTA
VAL	20 ns	81,9 µs	20 ns	81,9 µs	10 ns	DEC/FTA
TSTVAL	20 ns	81,9 µs	20 ns	81,9 µs	10 ns	DEC/FTA
INH	20 ns	81,9 µs			10 ns	VAL
EOSC			1 µs	255 µs	1 µs	CT
RELEASE			100 ns	25,5 µs	100 ns	CLR

DUREE DES SIGNAUX DU GMT

signal	durée
FTA	20 ns
FTR	20 ns
CT	200 ns
INIT	100 ns
DEL	100 ns
CLR	100 ns
MRST	100 ns
ST / TPG	100 ns

CLOCK DE TEST

signal	période		pas
	min	max	
CLKTST	200 ns	1,6 s	100 ns

Tableau 2.3 Caractéristiques temporelles des signaux du GMT.

2.6.3 Mode test

Le mode test permet de valider la configuration du trigger, d'étalonner et de vérifier la stabilité de la chaîne électronique d'acquisition. Le principe est d'injecter dans les entrées du trigger des impulsions simulant des signaux physiques. Ces impulsions sont transmises au rythme d'une horloge interne programmable de 200 ns à 1.6 secondes par pas de 100 ns. Le passage en mode test se fait par programmation ou par un signal sur l'entrée TST. Ce mode n'est actif que si aucun cycle physique n'est en cours. Dans ce mode, le signal Synchro Test (ST) est émis sur le fond de panier VXI sur une des deux lignes ECLTRIG (choix programmable) ou sur la sortie Test Pulse Generator (TPG) en face avant du trigger. Cette impulsion peut être retardée de 200 ns pour prendre en compte les délais inhérents à l'envoi du signal ST vers une électronique éloignée. Au cours d'une expérience de physique nucléaire, il est possible de commuter le trigger dans le mode test pour l'étalonnage ou la vérification de l'ensemble de la chaîne électronique. Le passage en mode test ne prend effet qu'à la fin du cycle physique en cours. Pour prendre en compte les délais propres au déclenchement des codeurs par une impulsion de test, le signal TSTVAL est substitué au signal de validation VAL et permet de garder la mise en temps effectuée dans le mode physique.

Les configurations des voies d'entrées en mode test proviennent d'une mémoire programmée à l'initialisation. Cette mémoire peut contenir jusqu'à 256 configurations. La séquence d'une ou plusieurs configurations est cadencée par l'horloge interne programmable. Chaque case mémoire contient une donnée de 17 bits simulant l'état de chacune des voies du trigger. Le 17^{ème} bit correspond à l'entrée MTI. Le mode test s'arrête par un ordre logiciel ou à la suite de la désactivation du signal TST. La fonction test est réalisée dans un FPGA XC4006-3 de XILINX. Le décodage d'adresses spécifiques à cette fonction est écrit en VERILOG. La mémoire des configurations, l'horloge de test, les compteurs et la gestion de la

mémoire sont réalisés avec des macros de la bibliothèque XBLOX [XBL] de Xilinx. Ces macros permettent d'optimiser l'intégration et de réduire les temps de réaction des fonctions à réaliser.

2.6.4 Fonctionnement à plusieurs GMT

Ce mode de fonctionnement permet d'étendre les voies d'entrées du GMT à $N * 16$ voies dans le cas où N triggers sont couplés. L'un des GMT est déclaré maître et doit gérer les modules de l'acquisition (codeurs, U2M...) ainsi que les triggers esclaves (GMT ou autres). Le GMT maître reçoit les résultats d'analyse de chacun des GMTs esclaves et prend une décision globale pour l'acceptation ou le rejet de l'événement. Les signaux de communication entre les triggers couplés sont transmis en fond de panier VXI via les lignes local bus (Annexe D). Ce qui impose aux modules couplés d'être adjacents.

2.6.5 Fonctionnement en multi-châssis

Pour faciliter la gestion des modules placés dans des châssis autres que celui du trigger maître, nous avons intégré un connecteur en face avant (VXI CTRL) pour émettre les signaux de gestion des codeurs. Le châssis externe peut être dans le standard VXI-C, VXI-D ou dans le standard CAMAC. Le trigger émet les signaux CODing et READout de son propre châssis et reçoit les signaux d'un ou plusieurs châssis distants.

2.7 La phase de lecture

Le GMT mémorise la fin de CODing et/ou le signal EOC (End Of Conversion) en face avant, qui lui annoncent la fin de conversion des modules de son châssis et des codeurs synchrones si le signal EOC est câblé. Le dialogue avec les processeurs se fait de deux manières par "polling" ou par interruption ou les deux à la fois :

- par "polling", les processeurs de lecture scrutent les bits d'état du GMT et décident de lire les paramètres de l'événement.
- par interruption, le GMT prévient les processeurs de lecture en émettant une interruption sur le bus.

Plusieurs sources d'interruption sont possibles et permettent d'optimiser le temps de lecture des paramètres de l'événement.

Le mixage des modes interruption et "polling" permet d'optimiser les temps mort de lecture. Par exemple, on déclenche l'acquisition par une interruption au début du codage et on obtient la fin de codage par polling.

Nous avons intégré plusieurs modes de lecture qui permettent de s'adapter aux standards actuels de lecture au GANIL. Ces modes sont les suivants :

Mode de lecture adressée : on accède à la donnée par son adresse. La donnée est lue qu'elle soit valide ou non. Nous avons mesuré un temps moyen de 2 μ s par donnée.

Mode de lecture par bloc : la donnée n'est lue que si elle est valide (gestion de la donnée en dépassement ou nulle). Les données sont étiquetées (labels) pour une meilleure gestion du flot de données. Le temps de lecture par donnée est voisin de 2 μ s.

Mode de lecture rapide : Ce mode rappelle le mécanisme de lecture des données d'un châssis VXI d'EXOGAM [Ale 91] (lecture des modules en Daisy Chain). Nous avons adapté nos modules à ce mode de lecture qui permet un temps de lecture voisin de 500 ns.

Il est important de noter que ces temps de lecture sont donnés à titre indicatif. Ils sont fluctuants et dépendent de la configuration de l'acquisition (processeurs, système temps réel et algorithmes de lecture).

2.8 La phase de libération

A la mise sous tension, le GMT force la ligne WORKing* en arrêt (5V). Par ordre logiciel, le GMT active cette ligne VXI dans l'état de marche (0V). Tous les modules sensibles à ce signal seront alors dans un état de fonctionnement normal.

Au cours de l'initialisation, un ordre logiciel d'initialisation sur le GMT permet de générer une impulsion (100 ns) sur la ligne VXI INIT*. L'impulsion a pour effet d'initialiser l'ensemble des modules sensibles à cette ligne. L'initialisation du GMT met ses registres dans un état bien défini et remet à zéro toutes ses fonctions matérielles (bascules et autres). En plus, le GMT positionne la ligne WORK* du bus VXI dans l'état arrêt et bloque ses voies d'entrées.

La mise en service des voies du GMT s'effectue par ordre logiciel. Notons que l'entrée BLoKing (BLK) permet de bloquer le GMT pendant la durée de ce signal et que le blocage n'est effectif qu'en l'absence de cycle physique.

La remise à zéro de la chaîne d'acquisition se fait par ordre logiciel, sur l'entrée ReSeT (RST) ou automatiquement si cette fonction est autorisée. Une commande logique de remise à zéro, une impulsion sur RST, ou la remontée du signal READout* du bus VXI permet de générer les signaux de remise à zéro CleaR (CLR) en face avant et Master ReSeT MRST* sur le bus VXI. Après un temps de relâche des intégrateurs de codage (programmable dans le GMT) , le GMT se libère en attente d'un nouveau déclenchement.

Chapitre 3

REALISATION DU TRIGGER ET RESULTATS DES MARQUEURS DE TEMPS

1 Description de la carte mère

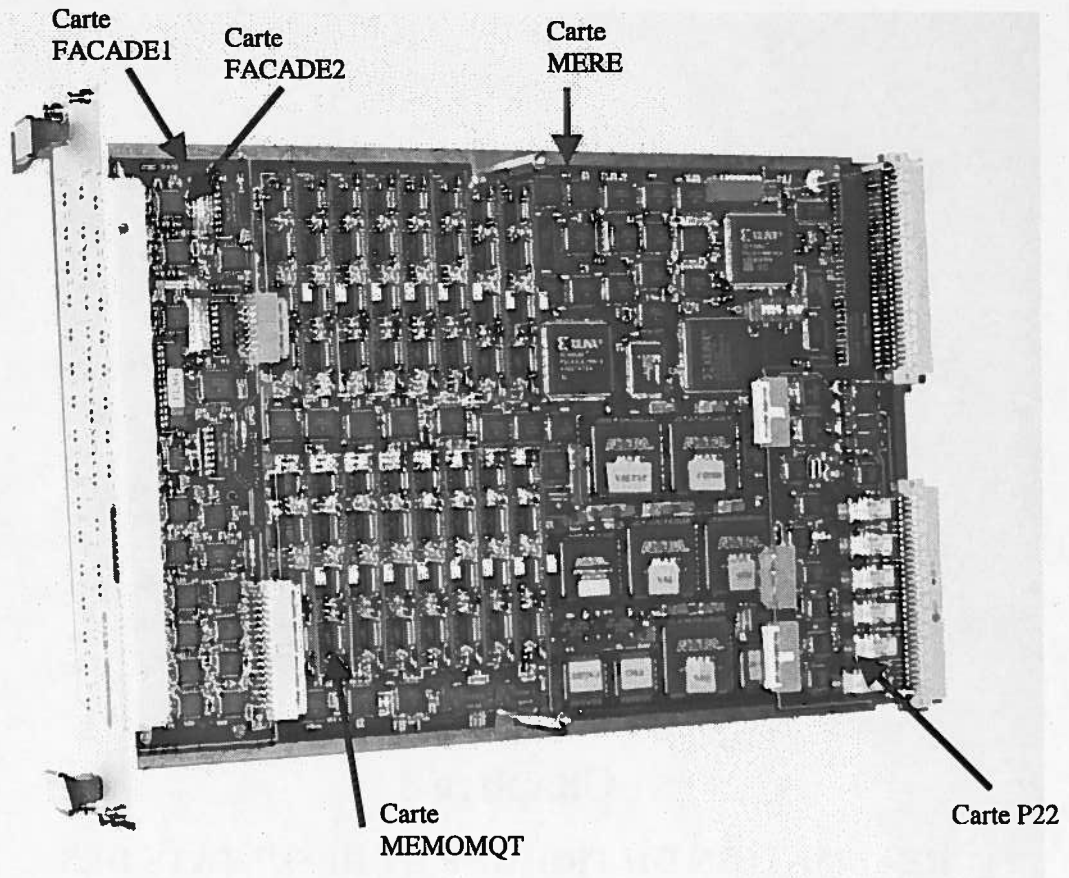


Figure 3.1 Ganil Master Trigger

Le routage des cartes du GMT a été réalisé au GANIL, la fabrication des cuivres et le câblage des cartes ont été sous-traités à une entreprise extérieure.

Le module GMT se compose de plusieurs cartes **Figure 3.1** :

- une carte mère au format VXI taille C.
- deux cartes, FACADE1 et FACADE2, pour la mise en forme des signaux des entrées/sorties en face avant du trigger.
- une carte fille P22 pour le dialogue sur le bus local VXI entre les modules associés au trigger (U2M ...).

- Seize cartes MEMOMQT de mémorisation et de marquage en temps.

La carte mère est réalisée en 12 couches de cuivre dans la classe 5 qui est une norme de routage et de fabrication de cartes électroniques. La classe 5 autorise des pistes très fines (0.16 mm) et très rapprochées ainsi que des trous (vias) de faible diamètre (0.4 mm) pour le passage d'une couche de cuivre à l'autre. Ces caractéristiques apportent plus de facilités de routage que dans le cas de la classe 4. Cependant, la distance inter-pistes est très courte et peut engendrer des phénomènes de diaphonie susceptibles d'altérer le fonctionnement du trigger.

Dans le cas du trigger, nous avons choisi la classe 5 pour permettre l'intégration des principales fonctions du trigger sans détérioration notable de ses performances. L'Annexe G montre les deux faces dessus (top) et dessous (bottom) de la carte mère et rend compte de la densité de la carte.

La carte mère contient les fonctions suivantes :

- les seize voies d'entrées du trigger ainsi que leur mise en forme.
- le système d'analyse du trigger (analyse rapide, analyse lente, analyse des rejets externes et la fonction d'échantillonnage).
- la génération des fenêtres du GMT.
- Les signaux de gestion des modules de l'acquisition.
- le décodage d'adresse, l'interface VXI et la gestion des interruptions.
- la fonction de test.
- le système de lecture des données du trigger (voies qui ont déclenché, voies mémorisées et les données des marqueurs de temps).
- la gestion des signaux TTLTRIG et ECLTRG.

Les fenêtres d'analyse sont réalisées avec des CPLD MACH211-7 d'AMD pour FAG et FRG, des MAX7128-7 et MAX7096-7 d'ALTERA pour les autres fenêtres.

Les signaux de gestion des codeurs et des modules de l'acquisition sont implémentés dans un composant programmable type Field Programmable Gate Array (FPGA), SEQGMTT.

Les fonctions échantillonnage, de test et de gestion des interruptions sont réalisées respectivement dans les FPGAs ECHANNT, GMTSTT et VXGMTT.

Le décodage d'adresse et le système de lecture des données du GMT sont implémentés dans les FPGAs DECODADRT et MQTSEQT.

La gestion du multiplexage des lignes TTLTRIG est effectuée dans un Complex Programmable Logic Device, TRIGMT.

2 Description des cartes filles

Les signaux des entrées / sorties du trigger sont "bufferisés" sur les cartes filles FACADE1 et FACADE2 (**Annexe H**). Ces cartes sont réalisées en 8 couches classe 4. La carte FACADE2 supporte les signaux en sortie du trigger : les signaux de gestion des codeurs, la configuration des voies mémorisées ainsi que le code qui leur est associé.

La carte P22 (**Annexe H**) réalisée en 6 couches, classe 4, intègre la mise en forme des signaux de communication inter modules (GMT / U2M et GMT maître/GMT esclave) ainsi que les relais de commutation de ses signaux sur le bus local VXI.

Les cartes filles MEMOMQT sont réalisées en 6 couches de cuivre (20 mm x 85 mm) et intègrent les fonctions de mémorisation et de marquage de temps des impulsions en entrées du trigger. Les marqueurs de temps sont basés sur le principe développé dans le **chapitre 1** et présentent une résolution de 5 ns sur une gamme de 2.5 μ s.

Pour des raisons de coût et de temps de développement, nous avons réalisé un seul type de circuit imprimé MEMOMQT pour les modules GMT et U2M. Des interrupteurs

"switch" placés sur ces cartes permettent de les configurer pour l'un ou l'autre des deux modules. Cette configuration est réalisée lors du câblage des cartes filles.

Les modes de fonctionnement différents des cartes GMT et U2M ont rendu difficile le routage de ces cartes. En effet, le respect des règles de compatibilité électromagnétique (CEM) et l'optimisation de l'emplacement des terminaisons des signaux au standard ECL n'étaient pas immédiat.

La fonction de mémorisation des voies d'entrées utilise des bascules en technologie ECLinPS de Motorola [MOT1] qui présentent des temps de propagation inférieurs à la nanoseconde et contiennent deux fois plus de fonctions que les séries précédentes (10 K et 10 KH) sans augmentation notable de la consommation.

Pour les transpositions des signaux ECL/TTL, TTL/ECL, ECL/NIM et ECL/ECL différentielle, qui n'existent pas dans la technologie ECLinPS, nous avons utilisé des composants de la série 10 KH (10H125, 10H600 et 10H601) [MOT2]. Cette technologie très rapide est très sensible aux impulsions de courte durée (inférieur à la nanoseconde).

Le programme de test a été réalisé dans l'environnement LabView [Nat 96]. Le banc de test ainsi que les principales fenêtres de contrôle du programme "panels" sont donnés en annexe (Annexe C).

Des générateurs et des modules de distribution de signaux, standard en physique nucléaire, ont été utilisés pour le test des fonctions du GMT. Les programmes développés pour le banc LabView nous ont permis de tester les modules individuellement. Une fois validés sur le banc de test LabView, les modules ont été intégrés dans l'acquisition du GANIL pour des tests complémentaires mettant en œuvre les modules de l'acquisition de données (modules de conversion, U2M ...).

3 Expériences et résultats

3.1 Le GMT dans les expériences au GANIL

L'ensemble constitué du châssis VXI-C, du trigger GMT, du module U2M, des codeurs XDC ainsi que du nouveau système temps réel (lynxOS) est devenu l'acquisition standard du GANIL [Bou 00]. Actuellement tous les sites sont équipés en VXI-C. Nous présenterons dans ce paragraphe quelques expériences pour lesquelles le nouveau trigger du GANIL a été utilisé et nous insisterons à chaque fois sur l'une des caractéristiques du trigger qui a facilité la faisabilité et la réussite de l'expérience.

3.1.1 La station d'identification Basse Energie IBE

Le système d'identification basse énergie IBE [Kan 00] permet d'identifier les noyaux radioactifs et de déterminer leur intensité sur la ligne basse énergie de SPIRAL [SPIRAL], [Kan 00], [Lec 97] et [Mau 98]. Cette identification comprend la vérification de la nature des particules présentes dans le faisceau, la mesure du flux du faisceau, l'identification des particules polluantes et la mesure de leur proportion. Différents modes de fonctionnement impliquent des conditions différentes pour le trigger en fonction des particules à identifier. Les différents modes d'acquisition sont définis par programmation des conditions du trigger dans le GMT avec un programme d'acquisition unique. Ainsi, grâce au "bit pattern" le trigger facilite le contrôle de l'expérience via des sous-programmes de contrôle différents.

3.1.2 Expérience FULIS

L'objectif de l'expérience est la détection de l'ion lourd de numéro atomique 118 par ses désintégrations successives en particules α [Oga 00] et [Pet 00]. La première expérience a nécessité l'utilisation de deux châssis VXI-C composés de deux triggers et deux ensembles de conversions [Sto 99]. En effet, le temps mort cumulé d'un seul ensemble (trigger +

codeurs) dépasse le temps d'apparition du premier α et conduit à une perte certaines des événements intéressants. Les ressources du trigger permettent de disposer de l'un des deux ensembles pendant que l'autre est occupé.

3.1.3 Expérience E369

Cette expérience avait pour but la mesure de l'efficacité de l'ensemble des éléments de la chaîne de l'expérience (détecteurs, ligne de LISE...). L'ion lourd cette fois ci est l'élément 106 et le temps d'apparition du premier α est supérieur à 100 μ s. Le nombre de paramètres à lire est faible ce qui conduit à un temps mort total pour l'ensemble trigger/codeurs inférieur à 90 μ s. L'ensemble trigger / codeur est adapté aux expériences exigeant des temps morts inférieurs à 100 μ s à condition que le nombre de paramètres à lire soit inférieur à 30.

3.1.4 Expériences sur SPEG

Les ressources de fonctionnement en multi-châssis du GMT ont facilité l'exploitation des modules de MUST. En effet, ces modules sont placés dans un châssis VXI-D près du plan focal de SPEG. Le trigger et des modules complémentaires de conversion sont placés dans un châssis VXI-C près de la cible. Le trigger gère les modules de son châssis via les ressources VXI en fond de panier et contrôle les modules de MUST via le Slot 0 du châssis distant (VXI-D) à travers des liaisons différentielles sur une longueur de 12 mètres.

3.2 Résultats pour les marqueurs de temps du trigger

Nous avons représenté sur la **Figure 3.2** les mesures obtenues pour huit voies du trigger (voies TDC) pour une durée Start/Stop fixe et reporté sur la **Figure 3.3**, les mesures obtenues pour des durées Start/Stop variant de 0 à 1.3 μ s. Les différentes voies présentent le même comportement. L'étalonnage des voies du TDC est possible par réglage de la période de

l'horloge sur chaque carte fille ce qui permet d'obtenir, pour une durée fixe, une même réponse sur toutes les voies. On peut aussi procéder à un étalonnage « software » des voies du TDC pour réduire la dispersion des mesures.

Les résultats en mono canal (Figure 3.2) présentent en général deux canaux et les histogrammes de la Figure 3.3 ont une Non Linéarité Différentielle moyenne de 2.5 %.

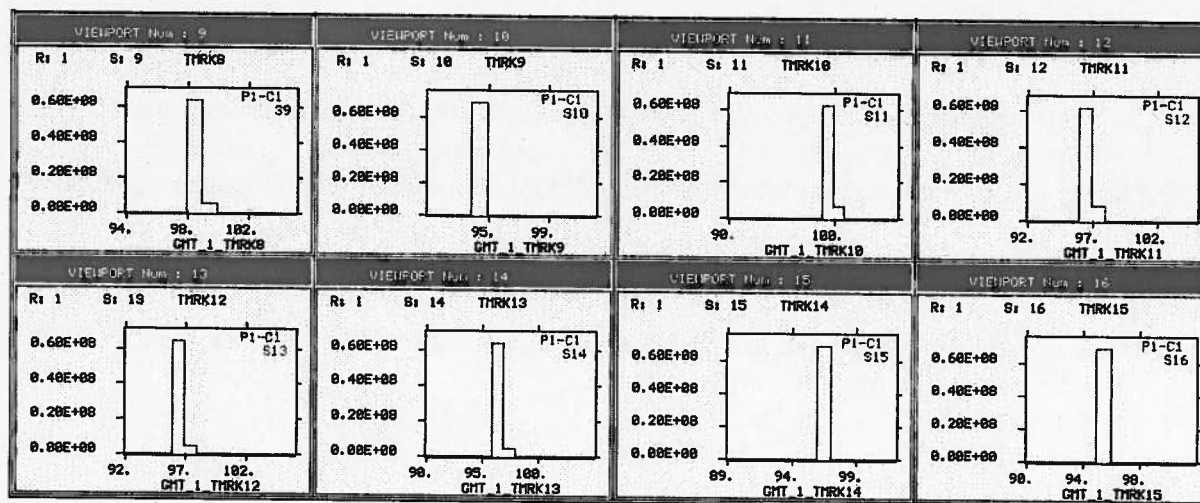


Figure 3.2 Histogrammes associés aux voies 9 à 16 du trigger pour une durée fixe (résolution de 5 ns).

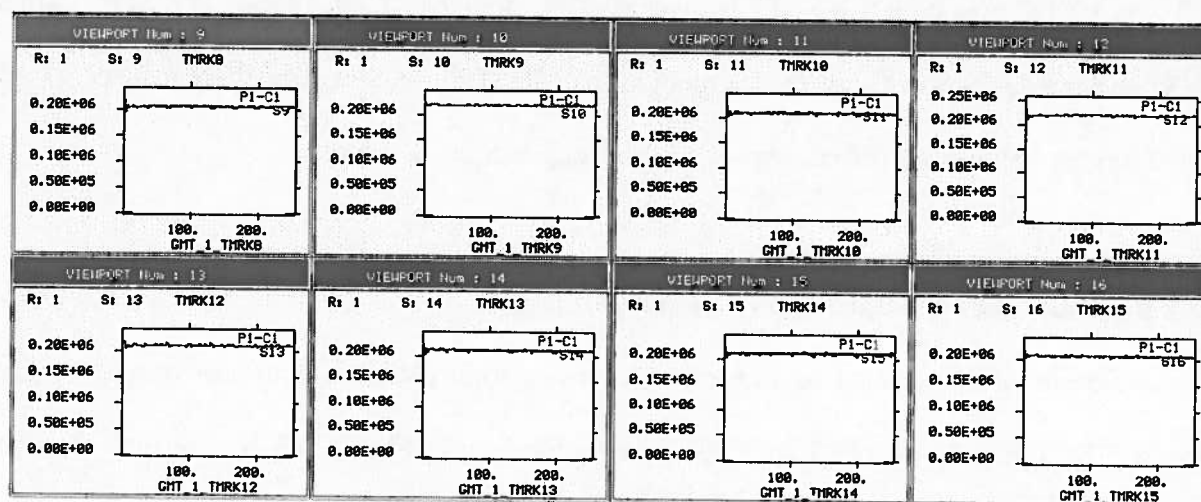


Figure 3.3 Histogrammes associés aux voies 9 à 16 du trigger pour une durée variant de 0 à 1.3 μ s (résolution de 5 ns).

Conclusions et perspectives

Nous avons, tout d'abord, justifié dans le **Chapitre 1** la nécessité d'une fonction de mesure de temps pour le trigger du GANIL. Nous avons privilégié la solution qui ne modifie pas le temps mort du trigger et qui présente une consommation réduite.

Nous avons donc étudié et réalisé une architecture numérique de TDC basée sur un compteur huit bits associé à une ligne à retard. Afin de mettre en évidence les imperfections de ce système, nous avons effectué des mesures de NLD (Non Linéarité Différentielle) pour différentes résolutions allant de 1 à 5 ns. Ces anomalies sont principalement dues à la dispersion des pas de la ligne à retard et à la dissymétrie du rapport cyclique de l'horloge. Nous avons choisi dans le cadre du trigger une résolution de 5 ns sur une gamme de 2,5 μ s qui est en conformité avec le cahier des charges. Ce TDC est spécifique au trigger et répond aux contraintes liées au fonctionnement, à la consommation et à l'encombrement.

A la suite de cette étude nous avons effectué des simulations où le système de mesure fine est à base de portes logiques d'un CPLD dont les temps de propagation varient de 3 à 5 ns selon la famille. L'utilisation d'un grand nombre de retards engendre des états intermédiaires dont les durées sont inférieures aux temps de propagation. Cette méthode permet d'obtenir des résolutions voisines de la nanoseconde. Les résultats de simulation sont encourageants et la réalisation d'un prototype permettrait de vérifier la validité de cette méthode.

D'un autre côté, Les résultats de cette étude nous permettent de proposer un TDC numérique indépendant du trigger intégrant toutes les fonctions d'un système de mesure de temps classique (start commun, stop communs, multicoups...). En effet, nous sommes actuellement capables d'intégrer tous les éléments du TDC (lignes à retard, système de mémorisation, compteur et système de lecture) dans un seul circuit programmable du type

FPGA grâce aux nouvelles technologies qui facilitent l'obtention de résolutions inférieures à la nanoseconde. En plus, la présence de DLL (Delay Locked Loop) dans ce type de circuit permet d'une part de mieux contrôler le rapport cyclique de l'horloge (le Chapitre 1, § 4.3 précise l'effet du rapport cyclique sur la mesure du TDC) et d'autre part de réaliser des lignes à retard contrôlées améliorant ainsi la linéarité du système (Chapitre 1, § 4.5).

Nous avons ensuite décrit, dans le **Chapitre 2**, les modes de fonctionnement du trigger en précisant les choix qui ont conduit à sa réalisation et nous avons donné les résultats obtenus pour les marqueurs de temps intégrés au trigger. Plusieurs GMT sont en exploitation au GANIL depuis quelques années et d'autres sont en cours de fabrication notamment pour des collaborations mettant en œuvre des ensembles de multi-détection (VAMOS et MUST 2 [Pol 01]).

Le trigger répond aux exigences du cahier des charges [GIP 97] et présente les aspects de modularité et d'universalité souhaités pour sa réalisation comme l'illustrent les différentes expériences présentées dans le chapitre précédent. Cependant, l'arrivée des nouveaux équipements expérimentaux (EXOGAM, VAMOS...) pose le problème de leur synchronisation compte tenu de leurs taux de comptage très différents (**Annexe I**).

Nous avons envisagé plusieurs modes de couplage et nous nous sommes arrêtés sur deux possibilités :

- la définition d'un trigger fédérateur de l'ensemble.
- l'utilisation d'une horloge universelle pour dater et numérotter les événements.

Dans la première solution, un trigger est défini en maître et doit synchroniser les ensembles couplés. La différence des taux de comptage et des conditions de déclenchement impose la mise en place d'une logique de gestion du fonctionnement de ces ensembles. Le trigger dans ce cadre dispose des ressources nécessaires pour ce mode de fonctionnement.

La deuxième solution facilite la mise au point au niveau matériel mais demande un traitement logiciel conséquent. Dans ce mode de couplage, les ensembles d'acquisition sont complètement indépendants et fonctionnent à leur rythme. Chaque ensemble interroge l'horloge universelle **CENTRUM [Wit 00]** qui marque l'instant de l'interrogation. Un numéro d'événement associé peut être généré. Les processeurs de lecture prennent en charge la vérification de la cohérence des données et le réarrangement des événements (Event Builder). L'horloge universelle constitue un nouvel élément du trigger nécessité par l'évolution des nouveaux équipements.

Le choix du GMT pour les nouvelles installations résulte de son ouverture et de sa facilité à s'adapter à l'évolution des instruments au GANIL. Il est le lien principal entre le passé (les sites équipé en CAMAC, MUST **[Mar 98]** et **[Ott 98]**,...) le présent (IBE, SPIRAL...) et le futur (VAMOS et MUST2..).

Références

Références

- [Ale 91] J. Alexander, "Eurogam Project : DT32-bus spécification", Version2, April 1991.
- [Altera] "Altera Data Book", Altera Corporation, June 1996 ou <http://www.altera.com/literature/lit-m7k.html>.
- [AMD] "MACH 1, 2,3 and 4 Family Data Book", Advanced Micro Devices, 1995.
- [Ann 01] R. Anne, "Minutes of the VAMOS project ", Coordination meeting held at GANIL on 18 and 19 /01/2001, GANIL.
ou <http://www.ganil.fr/vamos>
- [Ara 97] Y. Arai, J. Christiansen, "Requirements and Specifications of the TDC for ATLAS Precision Muon Tracker", ATLAS Internal Note, MUON-NO-179, 14 May 1997.
- [Bai 93] P. Bailly, J. F. Genat, "A 100 picosecond resolution, 6 microsecond full scale multihit time encoder, in CMOS technology", Third International Conference on Electronics for Future Colliders, New York, May 1993, pp. 57-69.
- [Bai 99] P. Bailly et al., "A 16-channel digital TDC chip with internal buffering and selective readout for DIRC Cherenkov counter of the BaBar experiment", Nucl. Inst. and Meth. A432 (1999) 157.
- [Ber 93] A. Bertaut, "Multidétecteur 4 π INDRA : Etude et réalisation d'un codeur de charge", 156 pages, Thèse de l'université de Caen, 2 juillet 1990.
- [Big 99] F. Bigongiari et R. Roncella, "A 250-ps Time-Resolution CMOS Multihit Time-to-Digital Converter for Nuclear Physics Experiments", IEEE Trans. Nucl. Sci., Vol. 46, No. 2, April 1999, pp. 73-77.
- [Blo 88] W.R. Blood, "MECL system design handbook", Fourth Edition, Motorola, HB205, Rev1, 1988.
- [Bou 00] A. Boujrad et F. Saillant, "The new GANIL data acquisition System", 2000 IEEE Nuclear Science Symposium Conference Record, 15-20 Octobre 2000.

- [CAE] "Short Form Catalog", CAEN, Via Vetràia, 11-55049 Viareggio, Italy.
ou <http://www.caen.it>
- [CAMAC] "EUR 8500-CAMAC : Updated specifications", Volume 1, Commission of the European Communities, Physical Sciences, 1983.
- [Che 95] M. Chemloul, V. Comparat, "A high resolution and fast TDC for sensitive position gas-filled detectors", Nucl. Inst. and Meth. A355 (1995) 532.
- [Chr 95] J. Christiansen, "An integrated CMOS 0.15 ns Digital Timing Generator For TDC's and Clock Distribution Systems", IEEE, Vol. 42, No. 4, August 1995, pp. 753-757.
- [Cof 85] J.P. Coffin, P. Engelstein, "Time of flight systems for heavy ions", Treatise on Heavy-Ion Science, Vol. 4, Edition D. Allan Bromley, 1985, pp. 274-330.
- [Cop 90] N. Copinet, "Multidétecteur 4π INDRA : Simulation de la géométrie et étude des détecteurs au silicium", 126 pages, Thèse de l'université de Caen, 23 Novembre 1990.
- [Del 86] G. Delavallade et J.P. Vanuxem, "The LTD: Fastbus time digitizer for LEP", Nucl. Inst. and Meth. A252 (1986) 596.
- [EMC] <http://www.emclab.umr.edu/pcbtlc>
- [Fra 99] G. de France, "EXO GAM et la détection gamma auprès des faisceaux radioactifs", rencontre Franco-Marocaine de Physique Nucléaire, El Jadida 10-13 mars 1999.
ou <http://www.ganil.fr/exogam>.
- [Fot 96] C. Fota, "Modélisation et étude de faisabilité d'un codeur de temps numérique à haute résolution en technologie intégrée sur silicium et Arséniure de Gallium", 188 pages, Thèse de l'université Pierre et Marie Curie, Paris, 1996.
- [Fuj 98] Y. Fujita et al, "Test of charge-to-time conversion and multi-hit TDC technique for BELLE CDC readout", Nucl. Inst. and Meth. A405 (1998) 105.
- [GAN] "Constant Fraction discriminator FCC8", GAN'ELEC, License from CNRS/IN2P3/GANIL, 1990.

- [Gao 91] G.S. Gao et R. Partridge, "High speed digital TDC for D0 Vertex reconstruction", IEEE Trans. Nucl. Sci., Vol. 38, No. 2, April 1991, pp. 286-289.

- [Ged 01] D.A Gedcke, "How Histogramming and Counting statistics Affect Peak position precision", AN58, Application Note, ORTEC, 2001.

- [Gen 92] J.F.Genat, "High resolution time-to-digital converters", Nucl. Inst. and Meth. A315 Section A (1992) 411.

- [GIP 95] " Trigger VXI-C, cahier des charges ", Groupe Informatique Physique, GANIL, 1995.

- [GIP 97] " Trigger VXI-C, cahier des charges ", Version 2 , Groupe Informatique Physique, GANIL, mai 1997.
ou http://www.ganil.fr/www_ganil/gip/electronique/trigger/docframe.htm

- [Gor 93] M. S. Gorbics et B. Manor, "A new high speed CMOS time digitizer architecture, the MTD133", Proc. Third Int'l. Conf. On Electronics for future Colliders, LeCroy Corporation, 700 Chestnut Ridge Rd, Chestnut Ridge, NY 10977, 1993, pp. 71-77.

- [Gor 97] M. S. Gorbics et al., "A high resolution multihit time to digital converter integrated circuit", IEEE Trans. Nucl. Sci., Vol. 44, No. 3, Juin 1997, pp. 379-384.

- [Heg 96] A. Hegde, " Phase Locked Loop clock generators", AN-155, Integrated Device Technology, 1996.

- [Kan 00] S. Kandri Rody, " Développement d'un système d'identification pour spiral et test d'une cible d'uranium liquide dans le cadre du projet PARRNe ", 158 pages, Thèse de l'université Chouaib Doukkali faculté des sciences Eljadida Maroc, 11 Mars 2000.

- [Klä 89] H. Klär et al., " The flash-TDC ", Nucl. Inst. and Meth. A275 (1989) 197.

- [Kle 91] S. Kleinfelder et al, "MTD132, A new Sub-nanosecond multi-hit CMOS Time-to-Digital Converter", IEEE Trans. Nucl. Sci., Vol. 38, No. 2, April 1991, pp. 97-101.

- [Kle 99] W. Klempt, « Review of particle identification by time of flight techniques », Nucl. Inst. and Meth. A433 (1999) 542.
- [Laz 98] I. Lazarus, " EXOGAM Trigger System ", Nuclear Physics Group CLRC, Daresbury Lab, 29th september 1998.
- [Lec 94] A. Leconte, "Etude et réalisation d'un codeur de charge à double intégration au standard VXI", 141 pages, Mémoire CNAM, Caen, 4 juillet 1994.
- [Lec 97] N. Lecesne, " Etude et production d'ions radioactifs multichargés en ligne", 182 pages, Thèse de l'université de Caen, 8 Octobre 1997.
- [LEC1] <http://www.lecroy.com>
- [LEC2] "Jitter and Timing Analysis", Test & measurement products catalog, LeCroy SARL Les Conquérants-Immeuble Fuji-Yama- 1, Av. de l'Atlantique LP 903- Les Ulis-F-91976 Courtabœuf Cedex, France, pp. 132-148.
- [Leo 87] W.R. Leo, "Techniques for Nuclear and Particle Physics Experiments", Springer-Verlag, 1987, 368 pages.
- [Mar 85] R. Margaria et J. Tillier, "Le configurateur et ses modules", Manuel descriptif des modules et montages, GANIL, Caen, 1985.
- [Mar 98] F. Marechal, "Diffusion de protons par des noyaux instables : Etudes des réactions $^{40}\text{S}(p,p')$ et $^{43}\text{Ar}(p,p')$, Développement du système de détection MUST", 124 pages, Thèse de l'université de Paris-sud, Orsay, 6 Février 1998.
- [Mar 99] I.S.Mart'yanov, N.N. Zastrozhonova, "Charge-to-time converter for multichannel systems", Nucl. Inst. and Meth. A433 (1999) 670.
- [Mau 98] L. Maunoury, "Production de faisceaux d'ions radioactifs multichargés pour SPIRAL: Etudes et réalisation du premier ensemble cible-source", 222 pages, Thèse de l'université de Caen, 13 Novembre 1998.
- [MAX] "Maxim Engineering Journal", Maxim Integrated products, Vol.41, 2000 ou <http://www.maxim-ic.com>

- [MC2] "Notice Multiplicité, MC2", Service d'Electronique Physique, Institut de Physique Nucléaire-Orsay, 1984.
- [Memento] Mémento GANIL, Octobre 1999.
- [Mot 00] M. Mota, "Design and characterization of CMOS high resolution Time to Digital Converters", 210 pages, Thèse de l'université technique de Lisbonne, Institut technique supérieur, Octobre 2000.
- [MOT1] "ECLinPS data", Motorola, DL 140, Rev 1, 1991.
- [MOT2] "MECL data", Motorola, DL 122/D, Rev 5, 1993.
- [Pol 01] E. Pollaco, "MUST II, Proposal ", Rapport interne DSM-DAPNIA, CEA Saclay, 2001.
- [Nat 96] "Manuel de l'utilisateur LabVIEW", National instruments, 1996.
- [Nay 00] P. Nayman, "mesures temporelles et conversion analogique-numérique", Ecole du détecteur à la mesure, IN2P3, Aussois, Décembre 2000.
- [Oga 00] I. Oganessian et al., "A la recherche de l'îlot super lourd", pour la science, n° 269, pages 60-65, Mars 2000.
- [Ott 98] S. Ottini, " Résonance de basse énergie dans le noyau riche en neutrons de ^{48}Ca . Nouveaux dispositifs expérimentaux pour l'étude des noyaux instables : MUST et CATS", 256 pages, Thèse de l'université de Paris-sud, Orsay, 25 Mars 1998.
- [Pas 95] M. Passaseo et al., "A TDC integrated circuit for drift chamber readout ", Nucl. Inst. and Meth. A367 (1995) 418.
- [Pet 00] J.Peter, "1999, une année fertile en résultats et en interrogations ", pour la science, n° 269, page 64, Mars 2000.
- [Pin 99] L. Pinot, "Conception d'une chaîne d'acquisition originale pour le Tomographe Haute Résolution THOR", 112 pages, Mémoire CNAM, Orsay, 1999.

- [Pol 98] E.C. Pollaco et L. Nalpas, "VAMOS, Compte rendu de la réunion électronique & acquisition", Décembre 1998.
- [Por 73] D. I. Porat, "Review of sub-nanosecond time-interval measurements", IEEE Trans. Nucl. Sci., Vol. 20, pp. 36-51, 1973.
- [Pou 84] J. Pouthas, "Système de coïncidence à mémoire (CALI) : Principe et utilisation dans des expériences multidétecteurs en physique nucléaire", 86 pages, Thèse de l'université de Paris-Sud Orsay, 14 juin 1984.
- [Pou 90] J. Poux, "Time to Amplitude Converter ASIC", ISN Grenoble, Juin 1990.
- [QDC] "QDC 6414V-53, codeur de charge", Rapport interne, GIP/ELEC 02/97, Secteur Techniques de la physique, GANIL, Caen, 13 Février 1997.
ou http://www.ganil.fr/gip/electronique/rapqdc6414v_w.html
- [Ren 89] S. Renaud et al., "Méthode d'analyse des dispositifs de conversion A/N en régime dynamique", L'Onde Electrique, Janvier-Février 1989, Vol.69, pp. 47-55.
- [Ric 90] A. Richard, "Compte rendu de la réunion du 5 novembre 1990", IPN-Orsay, Novembre 1990.
- [Sas 91] O. Sasaki, "TKO 32-channel Pipeline TDC module using a 1 Ghz GaAs shift register", IEEE Trans. Nucl. Sci., Vol. 38, No. 2, April 1991, pp. 281-285.
- [Sel 99] R. Sellem, "Time to digital conversion", Institut de Physique Nucléaire-Orsay, Novembre 1999.
<http://www.ipnweb.in2p3.fr/~sep/ecole/EcoleSellem.html>.
- [SPIRAL] "The SPIRAL Radioactive Ion Beam Facility", GANIL Report R94 02 (1994) ou <http://www.ganil.fr/spiral>
- [Sto 99] C. Stodel et al., "Production of Superheavy elements at GANIL", TOURS 2000-Tours symposium on Nuclear Physics IV Septembre 4-7 2000, AIP Conference Proceeding 561, p.344-353.

- [Tam 90] B. Tamain, "Instrumentation Nucléaire", Cours de DEA Matière et rayonnement, Université de Caen, 1990.
- [Tav 84] A. Taverne, "Connaissance et maîtrise de la statistique", 1^{ère} édition, Les éditions de la buissonnière, 1984, Volume 2, 688 pages.
- [Til 86] J. Tillier, "Module des Coïncidences Rapides", Document technique, GANIL, 1985.
- [Til 92] J. Tillier et J. Pouthas, "Le trigger d'INDRA", Manuel technique, LPC, Caen, 1992.
- [Toi 99] T. Toifl et al., "4-Channel Rad-Hard delay generation ASIC with 1 ns timing resolution for LHC", IEEE trans. On Nucl. Sci., Vol. 46, No. 3, June 1999, pp. 139-143.
- [Tri 87] M. Tripon, "Etude et réalisation de codeurs d'amplitude", 142 pages, Mémoire CNAM, Caen, 4 juin 1987.
- [Tri 99] M. Tripon, "TDC6414V codeur de temps 64 entrées, 14 bits, au standard VXI taille D", Rapport interne GANIL, Septembre 1999.
- [Tur 78] B. Turko, "A pico second resolution time digitizer for laser ranging", IEEE Trans. Nucl. Sci., Vol. NS-25, No. 1, June 1978, pp. 75-80.
- [Ven 98] S. Veneziano, "A performance of a multichannel 1 Ghz TDC ASIC for KLOE tracking chamber", Nucl. Inst. and Meth. A409 (1998) 363.
- [VXI] "IEEE standard for VMEbus Extension for Instrumentation : VXIbus", IEEE Computer Society, September 20, 1993.
- [Wit 00] G. Wittwer, "CENTRUM : Clock and Event Number Transmit Receive Universal Module", cahier des charge , GIP, 2000.
- [XBL] Cadence, "XACT Macro libraries : X-BLOX Design Tool", Vol. 2, Juin 1993.
- [XDC] "XDC3214, Codeur VXI taille C", Ver. 2, Groupe Informatique physique, GANIL, Caen, 14 Juillet 1999.
ou http://www.ganil.fr/www_ganil/gip/electronique/xdc3214/docframe.htm

- [Xilinx] "The Programmable Logic Data Book", Xilinx, 1999 ou
<http://www.xilinx.com/partinfo/databook.htm>.
- [Zha 97] B. Zhang, "Développement d'un circuit intégré VLSI assurant mesure de temps et lecture sélective dans l'électronique frontale du compteur DIRC de l'expérience BABAR à SLAC", 198 pages, Thèse de l'université Pierre et Marie Curie, Paris, 1997.

Glossaire

ADC	<i>Analog to Digital Converter</i>
ASIC	<i>Application Specific Integrated Circuit</i>
AWB	<i>Analog WorkBench</i>
CAEN	<i>Costruzioni Apparecchiature Elettroniche Nucleari : via Vetraia, 11 55049 - Viareggio (LU) – Italy</i>
CAMAC	<i>Computed Aided Measurement And Control</i>
CAN	<i>Convertisseur Analogique Numérique</i>
CPLD	<i>Complex Programmable Logic Device</i>
CTA	<i>Convertisseur Temps Amplitude</i>
CTN	<i>Convertisseur Temps Numérique</i>
DLL	<i>Delay Locked Loop</i>
ECL	<i>Emitter Coupled Logic</i>
EXOGAM	<i>EXOtic GAMma</i>
FPGA	<i>Field Programmable Gate Array</i>
GANIL	<i>Grand Accélérateur National d'ions Lourds</i>
GIP	<i>Group Informatique Physique</i>
GMT	<i>Ganil Master Trigger</i>
CT	<i>Coding Trigger</i>
FAG	<i>Fast Analysis Gate</i>
FRG	<i>Fast Rejection Gate</i>
FTA	<i>Fast Trigger Accept</i>
FTR	<i>Fast trigger Reject</i>
SAG	<i>Slow Analysis Gate</i>
SRG	<i>Slow Rjection Gate</i>
MTI	<i>Master Trigger Input</i>
IBE	<i>Identification Basse Energie</i>
INDRA	<i>Identification de Noyaux avec Détection et Résolutions Accrues</i>
IN2P3	<i>Institut National de Physique Nucléaire et de Physique des Particules</i>
LAR	<i>Ligne A Retard</i>
LCA	<i>Logic Cell Area</i>

<i>LeCroy</i>	<i>SARL, Les Conquerants Immeuble Fuji-Yama 1, Avenue de l'Atlantique LP 903 - Les Ulis F91976, Couraboef</i>
<i>LSB</i>	<i>Low Significant Bit</i>
<i>LWB</i>	<i>Logic WorkBench</i>
<i>MCR</i>	<i>Module des Coïncidences Rapides</i>
<i>MDL</i>	<i>Module de Décision Lente</i>
<i>MDR</i>	<i>Module de Décision Rapide</i>
<i>MER</i>	<i>Module d' Echantillonnage Rapide</i>
<i>MSB</i>	<i>Most Significant Bit</i>
<i>MUST</i>	<i>MUR à microSTrip</i>
<i>NIM</i>	<i>Nuclear Instrumentation Modules</i>
<i>NLD</i>	<i>Non Linéarité Différentielle</i>
<i>PLL</i>	<i>Phase Locked Loop</i>
<i>QDC</i>	<i>charge (Q) to Digital Converter</i>
<i>SPIRAL</i>	<i>Système de Production d'Ions Radioactifs Accélérés en Ligne</i>
<i>SUG</i>	<i>Séquenceur à Usage Général</i>
<i>TAC</i>	<i>Time to Amplitude Converter</i>
<i>TDC</i>	<i>Time to Digital Converter</i>
<i>TOF</i>	<i>Time Of Flight</i>
<i>U2M</i>	<i>Universal Marker Module</i>
<i>VAMOS</i>	<i>VARIABLE MOde Spectrometer</i>
<i>VXI</i>	<i>Vmebus eXtensions for Instrumentation</i>
<i>XDC</i>	<i>X (Amplitude, Charge, Time) to Digital Converter</i>

Annexes

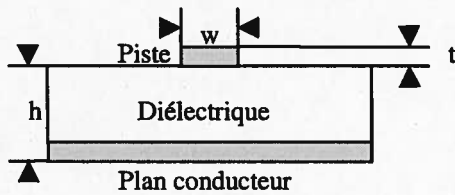
Annexe A

Impédances caractéristiques et temps de propagation par unité de longueur pour les lignes « Microstrip » et « Strip ».

Pour la ligne « Microstrip » :

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98h}{0.8w + t} \right) \quad \Omega \quad (1.37)$$

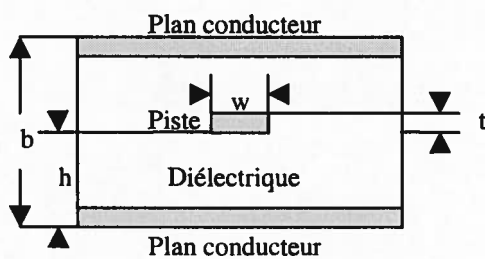
$$t_{pd} = 3.337 \sqrt{0.475\epsilon_r + 0.67} \quad ns/m \quad (1.38)$$



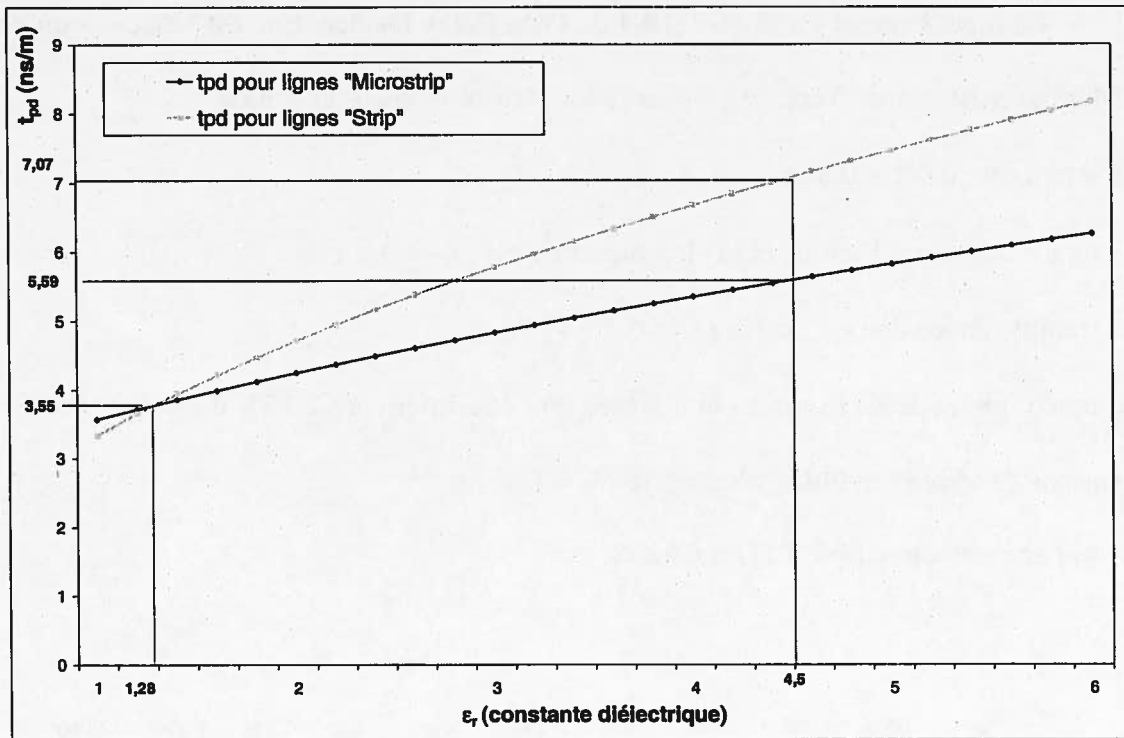
Pour la ligne « Strip » :

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{4b}{0.67\pi w \left(0.8 + \frac{t}{w} \right)} \right) \quad \Omega \quad (1.39)$$

$$t_{pd} = 3.337 \sqrt{\epsilon_r} \quad ns/m \quad (1.40)$$



Annexe A



Temps de propagation par unité de longueur dans le cas des lignes « Microstrip » et des lignes « Strip » (courbes tracées à partir des équations 1.38 et 1.40 [Blo 88]).

Annexe B

Caractéristiques de la ligne à retard

La ligne à retard est la **3D7110-1** de Data Delay Device. Elle est basée sur un procédé CMOS avec 10 retards fixes. Elle présente les caractéristiques suivantes :

Le retard est : $\delta = 1 \pm 0.5 \text{ ns}$

Le retard total entre l'entrée et la dixième sortie est : $\delta_T = 9 \pm 1 \text{ ns}$

La stabilité en tension est de 1% (4.75-5.25 V)

La durée minimale de l'impulsion d'entrée doit être inférieure à 15% du retard total δ_T de la ligne soit le Minimum Pulse Width (MPW) = 1.35 ns.

Cette ligne est compatible TTL et CMOS.

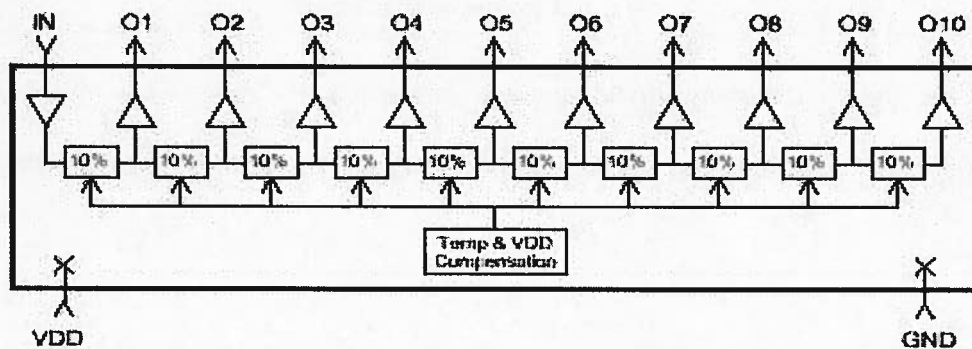
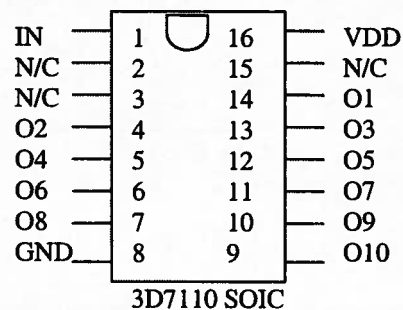


Diagramme fonctionnel de la ligne à retard.



Affectation des entrées /sorties de la ligne à retard

Annexe C

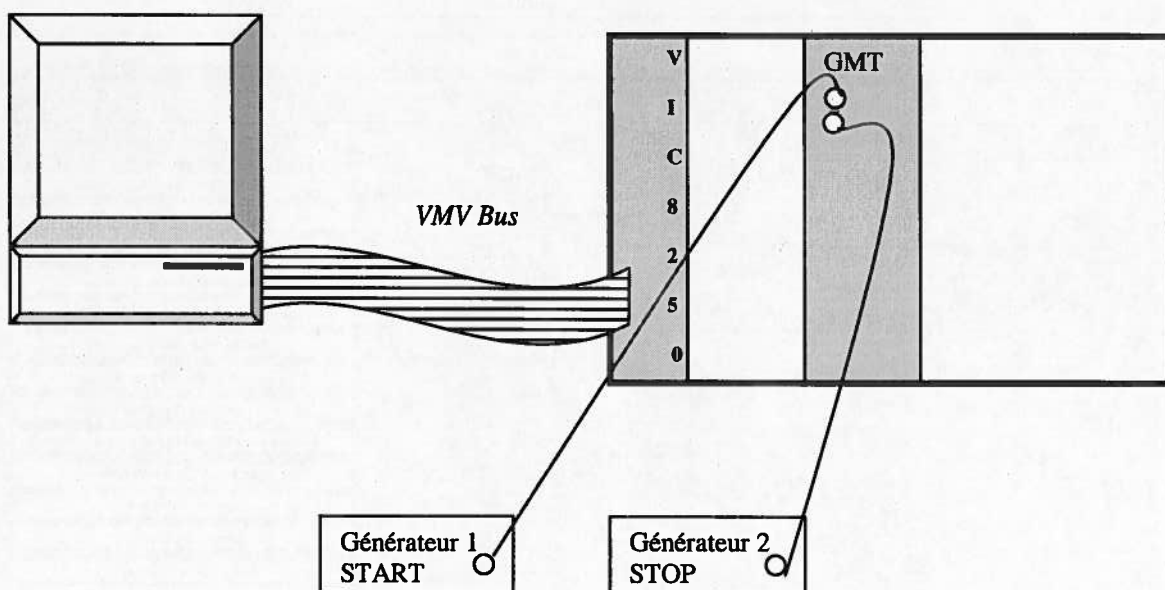
Labview : définition et panneaux principaux du programme de test

Labview est un système de programmation à usage général qui comporte des bibliothèques de fonctions ainsi que des outils de programmation spécialement conçus pour l'acquisition de données et le contrôle d'instruments. Un programme Labview est appelé instrument virtuel (VI pour Virtual Instrument) car sa présentation et son fonctionnement ressemblent à ceux des instruments classiques. Toutefois, les VIs assurent des fonctions similaires à celles des programmes élaborés en langages classiques » [Nat 96] pages 1-1 et 1-2.

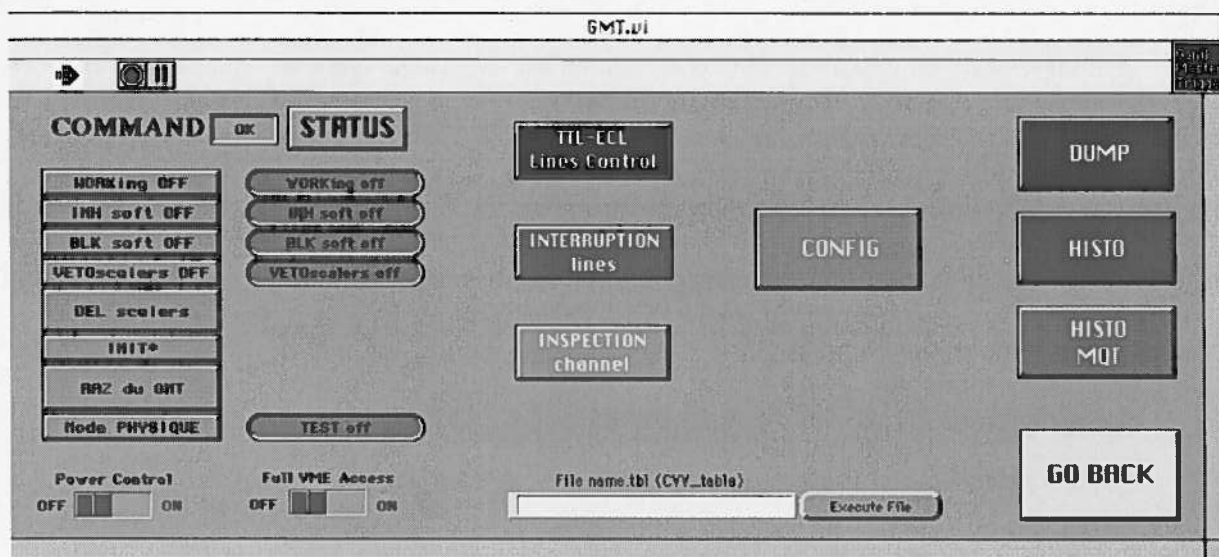
Banc de test

Macintosh (Quadra 650)
Banc LabView
Interface MAC7212

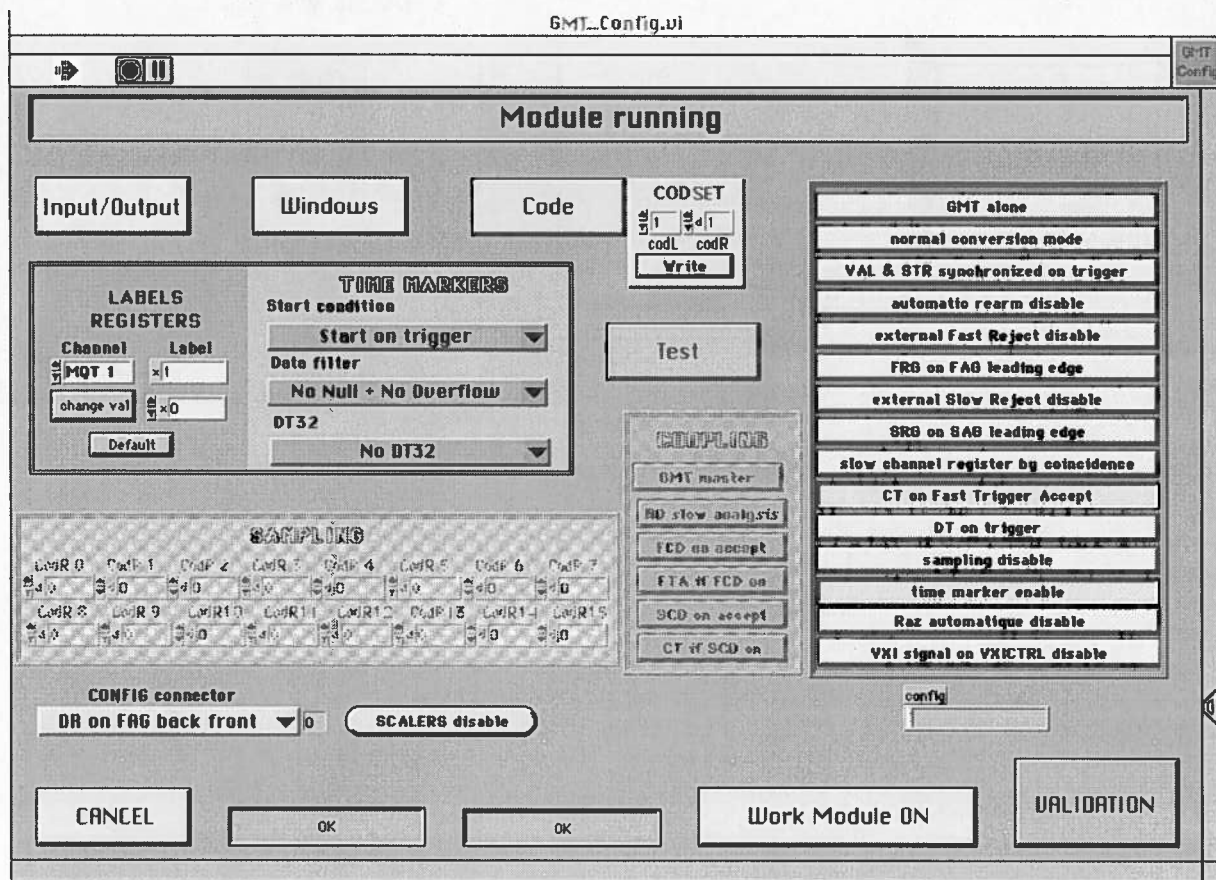
CHASSIS VXI taille C



Principaux panneaux réalisés pour le test du GMT



Panneau principal de la configuration du GMT.



Configuration générale du GMT.

GMT_In/Out.vi

GMT
IN
OUT

GMT_MASK

IN 1

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

IN 1 = 0 : Input channel OFF
= 1 : Input channel ON

MTI OFF

GMT_STAND

IN 1

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IN 1 = 0 : Input channel NIM
= 1 : Input channel TTL

Inputs

MTI NIM

EOA NIM

Outputs

FTA NIM

FTR NIM

CT NIM

GMT_GATING

IN 1

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0

IN 1 = 0 : No triggering input channel
= 1 : Triggering input channel

GMT_TYPE

IN 1

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IN 1 = 0 : Fast analysis input channel
= 1 : Slow analysis input channel

CANCEL

OK

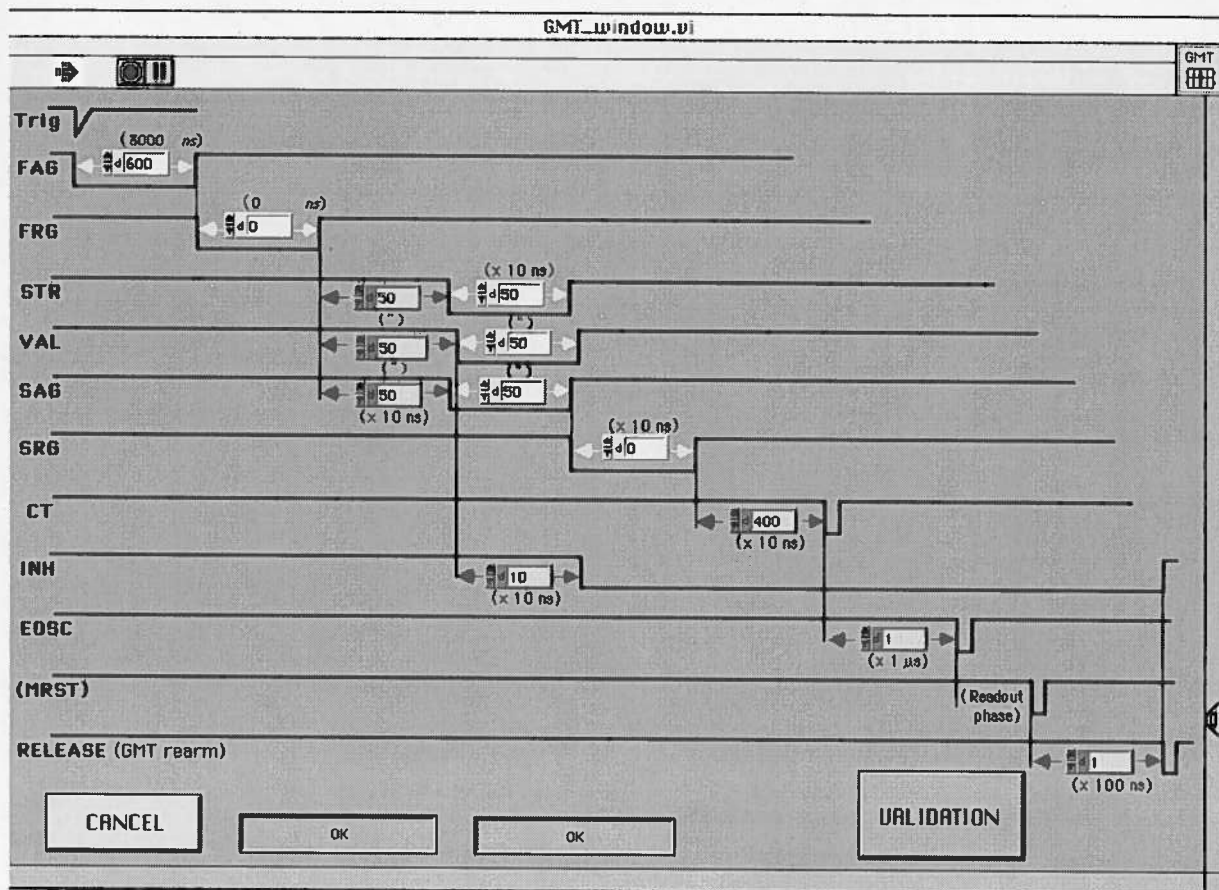
OK

In

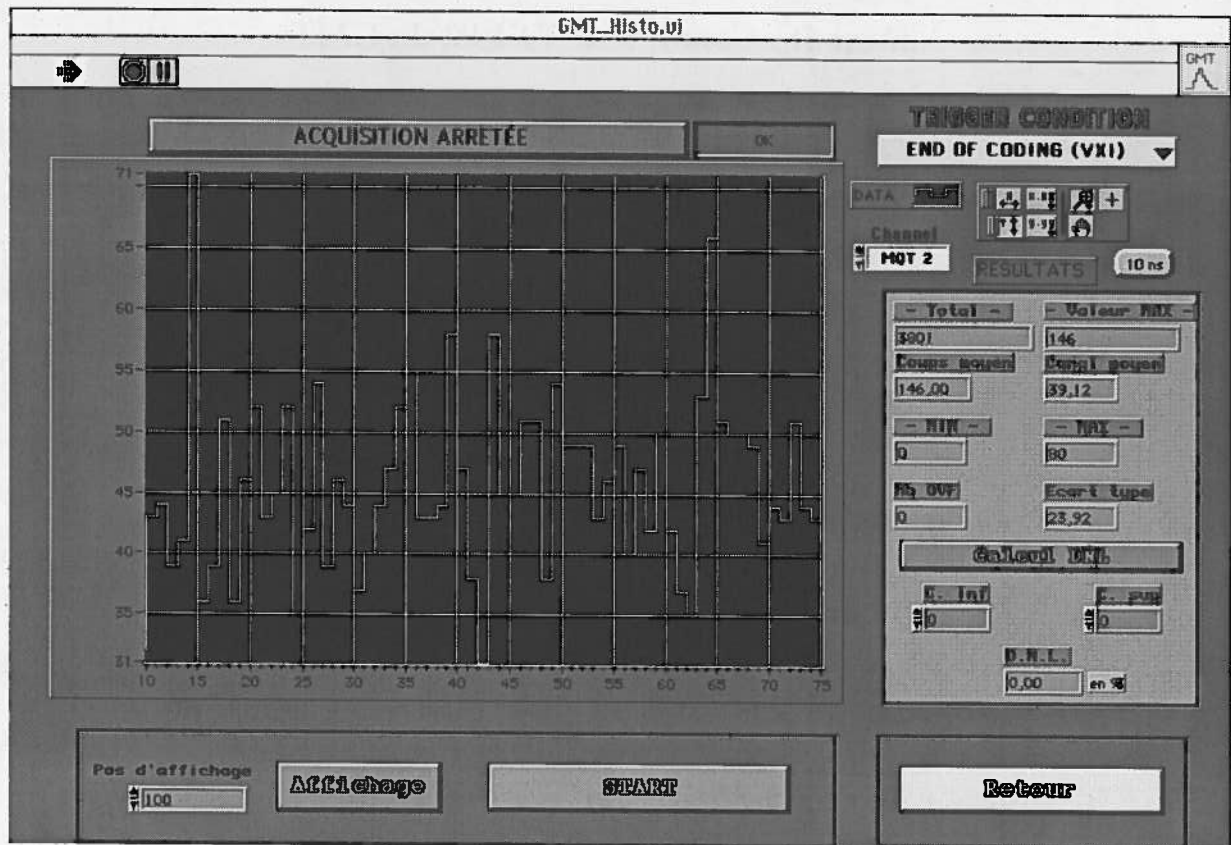
sort

VALIDATION

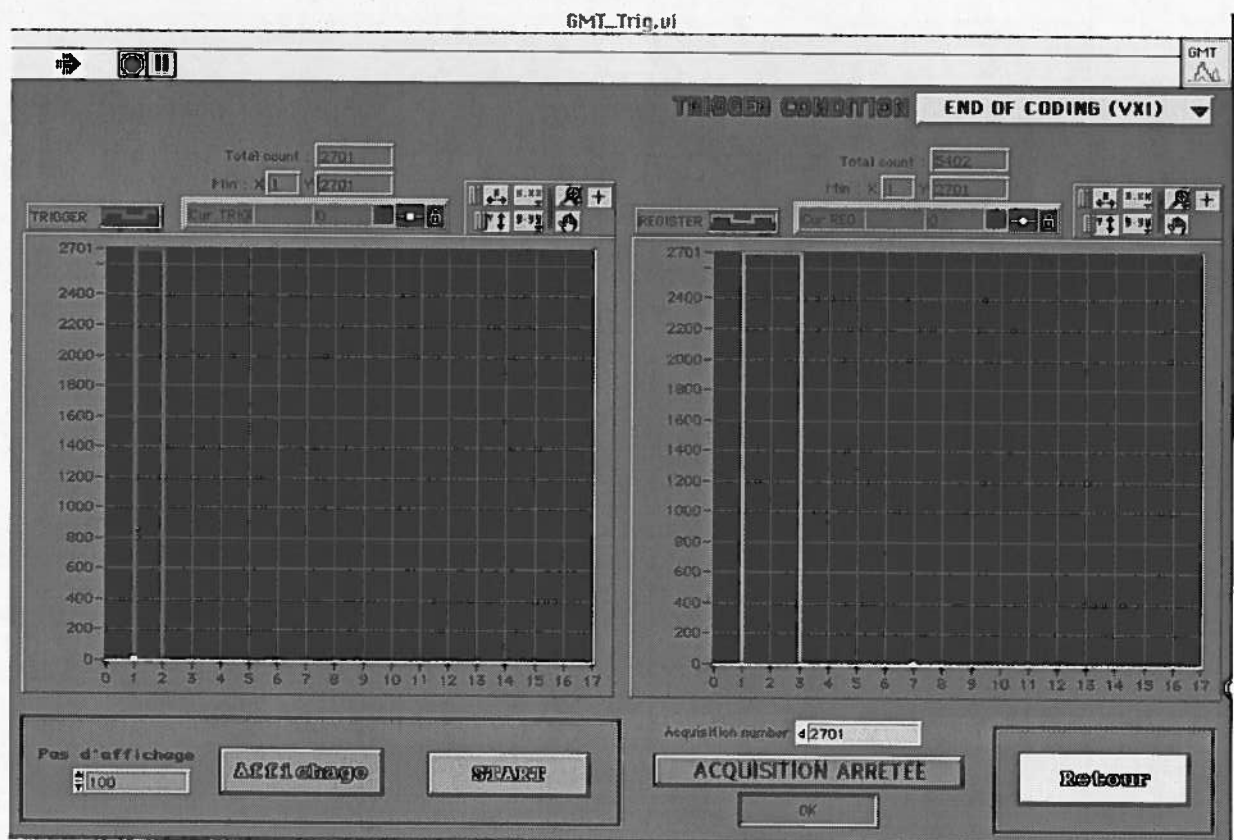
Configuration des voies d'entrées du GMT.



Configuration des fenêtres et des signaux de synchronisation.



Histogramme des marqueurs de temps.



Histogramme des voies de déclenchement et des voies mémorisées.

Annexe D : Connecteur VXI P2 du GMT

PIN NUMBER	ROW a SIGNAL MNEMONIC	ROW b SIGNAL MNEMONIC	ROW c SIGNAL MNEMONIC	PIN NUMBER
1	ECLTRG0 VALIDation (in2p3)	+5V	CLK10 +	1
2	-2V	GND	CLK10 -	2
3	ECLTRG1 Synchro Test ST(in2p3)	RSV1	GND	3
4	GND	A24	-5.2V	4
5	LBUSA00 Fast Common Trigger FCT(ECL)	A25	LBUSC00 Fast Common Trigger FCT(ECL)	5
6	LBUSA01 Fast Common Decision FCD(ECL)	A26	LBUSC01 Fast Common Decision FCD(ECL)	6
7	-5.2V	A27	GND	7
8	LBUSA02 Slow Common Decision SCD(ECL)	A28	LBUSC02 Slow Common Decision SCD(ECL)	8
9	LBUSA03 Slow Common Trigger SCT(ECL)	A29	LBUSC03 Slow Common Trigger SCT(ECL)	9
10	GND	A30	GND	10
11	LBUSA04 RENin	A31	LBUSC04 RENout	11
12	LBUSA05 End of Slow Common Decision ESCD(ECL)	GND	LBUSC05 End Of Slow Common Decision ESCD(ECL)	12
13	-5.2V	+5V	-2V	13
14	LBUSA06 VETO	D16	LBUSC06 VETO	14
15	LBUSA07 Common BLock CBLK(ECL)	D17	LBUSC07 Common BLock CBLK(ECL)	15
16	GND	D18	GND	16
17	LBUSA08 End of Fast Common Decision EFCD(ECL)	D19	LBUSC08 End of Fast Common Decision EFCD(ECL)	17
18	LBUSA09 Logical Inspection LI	D20	LBUSC09 Logical Inspection LI	18
19	-5.2V	D21	-5.2V	19
20	LBUSA10 Common Fast Analysis Gate CFAG(ECL)	D22	LBUSC10 Common Fast Analysis Gate CFAG(ECL)	20
21	LBUSA11 Common Slow Analysis Gate CSAG(ECL)	D23	LBUSC11 Common Slow Analysis Gate CSAG(ECL)	21
22	GND	GND	GND	22
23	TTLTRG0* COD*(in2p3)	D24	TTLTRG1* READ*(in2p3)	23
24	TTLTRG2* DEL*	D25	TTLTRG3* INIT*(in2p3)	24
25	+5V	D26	GND	25
26	TTLTRG4* WORK*(in2p3)	D27	TTLTRG5* MRST* (in2p3)	26
27	TTLTRG6* CT*(in2p3)	D28	TTLTRG7* INH*(in2p3)	27
28	GND	D29	GND	28
29	RSV2	D30	RSV3	29
30	MODID	D31	GND	30
31	GND	GND	+24V	31
32	SUMBUS	+5V	-24V	32

Annexe E

Caractéristiques générales du module Universal Marker Module (U2M)

C'est un module VXI une unité. Il contient :

40 entrées (ECL)

- 40 voies de comptage (échelle) fonctionnant à 100 MHz au maximum (donnée sur 32) bits.
- 40 canaux de mémorisation en coïncidence avec l'une des quatre fenêtres :
 - ❑ FAG, SAG du GMT (Ganil Master Trigger)
 - ❑ EG1 fenêtre externe 1 : 10 ns à 10 μ s par pas de 5 ns
 - ❑ EG2 fenêtre externe 2 : 10 ns à 81 μ s par pas de 10 ns

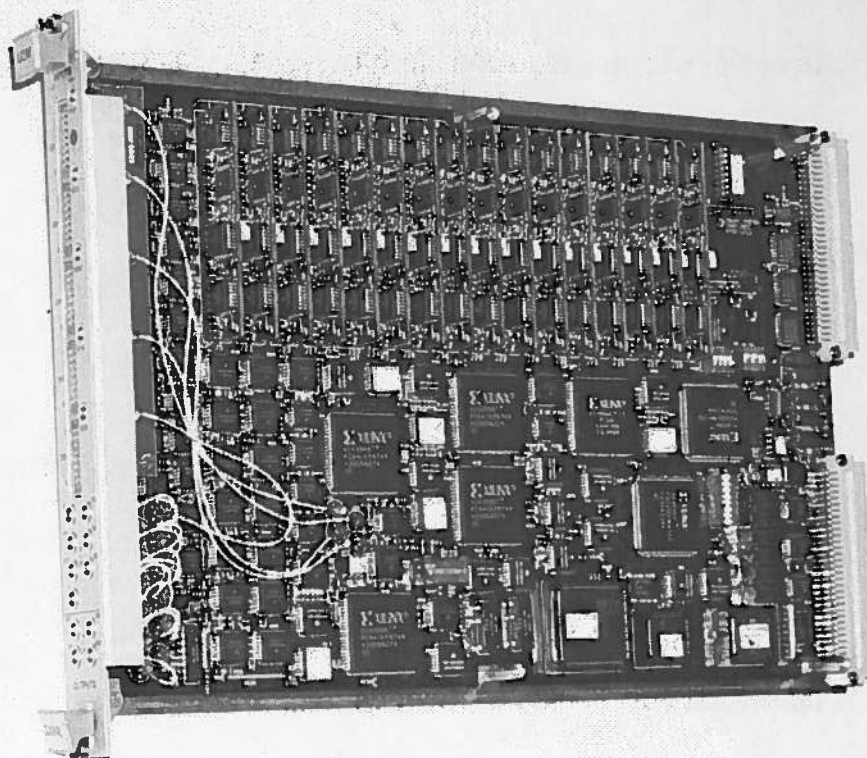
16 marqueurs de temps

- Start ou Stop commun
- Résolution de 5 ns
- Gamme de 2.5 μ s

Horloge universelle

- Période de 100 ns
- Données sur 32 bits

Contrôle à distance des signaux d'inspection



Le module U2M

Annexe F

Description des signaux VXI dédiés du GMT

INITialisation* (INTT*)

L'impulsion générée à la suite d'un ordre logiciel permet d'initialiser ou de remettre à zéro certains registres des modules sensibles à cette ligne.

MasterReSeT* (REVT*)

L'impulsion MRST, de remise à zéro générale, est générée à partir d'un ordre logiciel, de façon automatique, par le signal RST en face avant du GMT ou encore en cas de rejet. MRST permet la remise à zéro et la libération de tous les codeurs puis celle du GMT. Ce signal intervient en fin de lecture de l'événement ou en cas de rejet.

En mode de lecture rapide (§ 2.7), la remise à zéro MRST* est automatique sur la remontée du signal READout*.

WORKing* (MARCHE*)

Un état inactif à 5V bloque le fonctionnement des modules sensibles à cette ligne. La mise en marche du châssis est actif par ordre logiciel sur le GMT.

VALidation gate (Fast Trigger)

La fenêtre VAL permet aux codeurs asynchrones de valider chaque voie de codage dont le point de validation est en coïncidence avec ce signal. Cette ligne est inactive pour les codeurs synchrones.

INHibit* (INH*)

Ce signal d'inhibition actif à 0V peut interdire tout déclenchement au niveau des codeurs. L'activation de INH* est retardée par rapport à la génération du signal VAL. Néanmoins il est possible de forcer l'activation de INH* par ordre logiciel sur le GMT. L'inhibit est désactivé à la fin de la lecture de l'événement, sur la libération du GMT.

En mode de lecture rapide, le front avant de ce signal peut servir également d'ordre de codage pour les modules ADC6414V et XDC3214.

CodingTrigger* (Ordre De Codage*)

A l'issue de l'acceptation finale de l'événement, le GMT envoie sur le bus une impulsion CT,

d'ordre de codage, qui démarre la numérisation de toutes les voies de conversion valides.

En mode de lecture rapide, CT* devient une demande de lecture aux codeurs du châssis qui en réponse activeront leur signal READout*.

SynchronousTest (Synchro Test)

ST permet de tester les voies de codage. Une impulsion sur cette ligne déclenche tous les codeurs en leur injectant une charge définie. Le GMT génère l'ensemble des signaux nécessaires à la gestion du mode test. La fréquence de répétition du signal ST est programmable.

CODing* (CODAGE*)

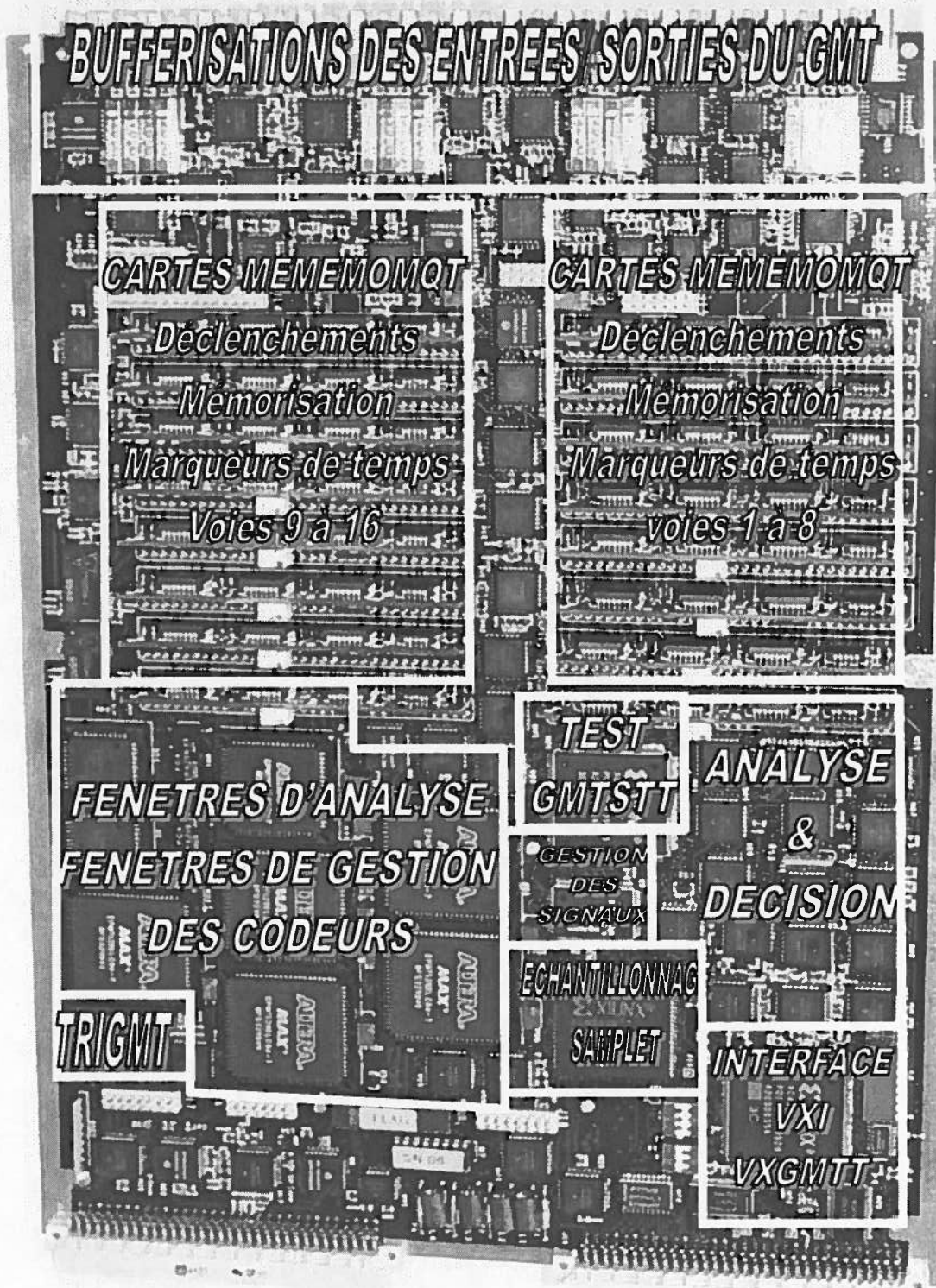
Après avoir reçu un ordre de codage CT (sauf dans le mode de lecture rapide), chaque module de codage qui a des valeurs à numériser tire cette ligne CODing* à 0V. Il la libère dès que la numérisation de toutes les voies valides se termine. La remontée du signal à 5V indique que tous les codeurs ont fini leur conversion.

READout* (LECTURE*)

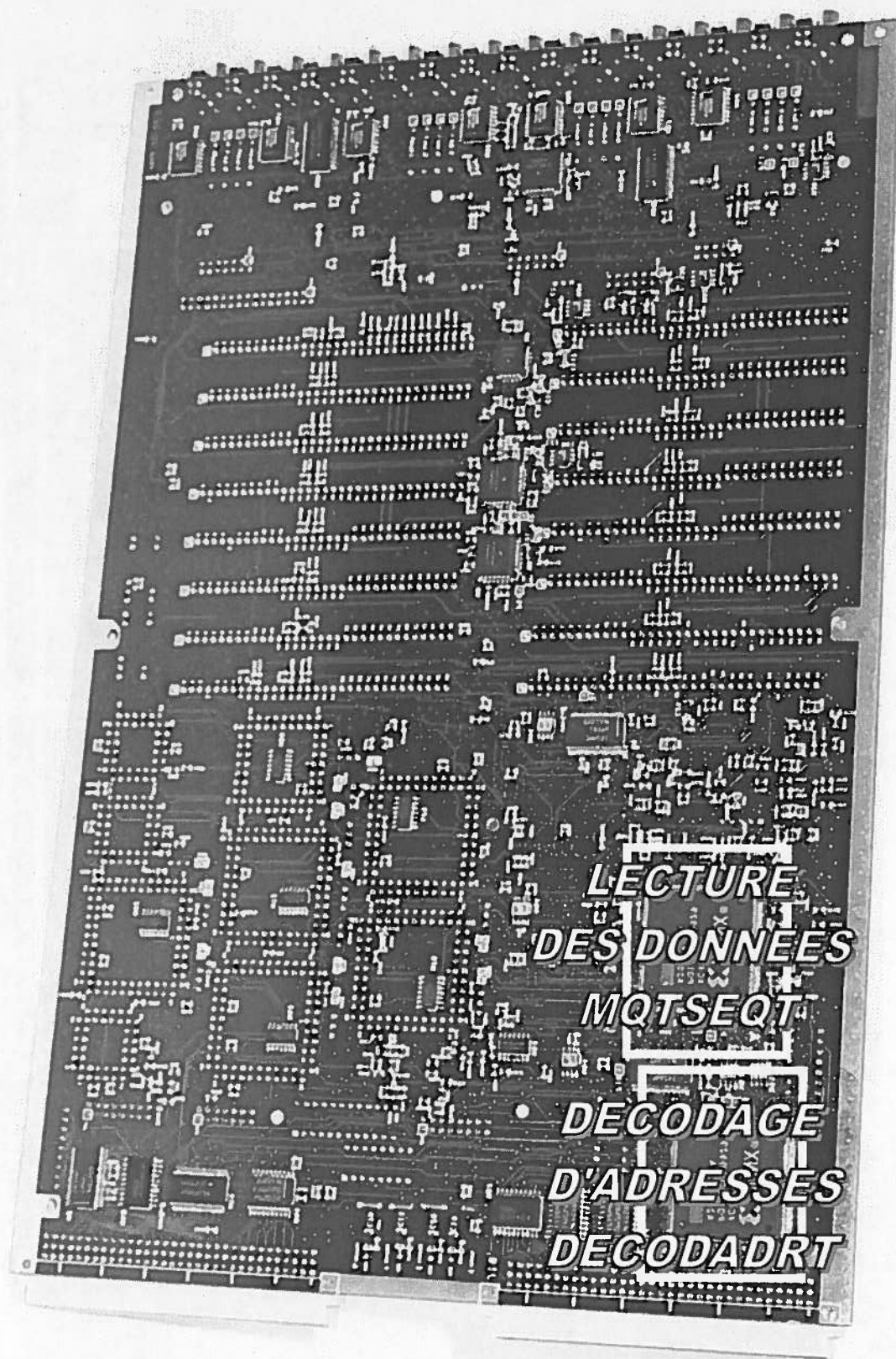
Lorsque la ligne CODing* est désactivée, tout codeur qui a des données valides à transmettre active la ligne READout* à 0V. Un codeur dont les données sont lues par le système de lecture libère cette ligne. A la fin de la lecture de l'évènement, le signal READout* remonte à 5V lorsque tous les codeurs ont été lus.

En mode de lecture rapide, ce signal généré par les codeurs symbolise une autorisation de lecture pour l'automate de lecture rapide.

Annexe G : Carte mère du GMT



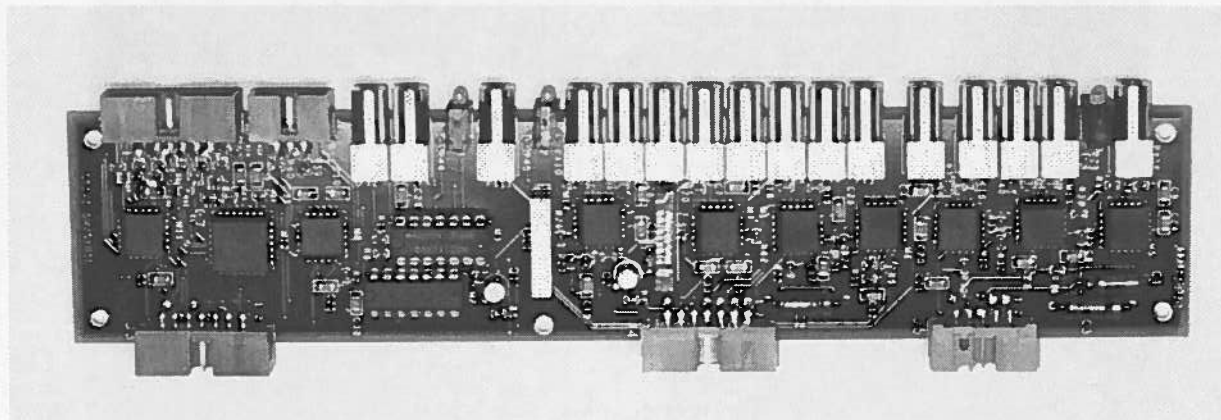
Carte mère du GMT (vue de dessus)



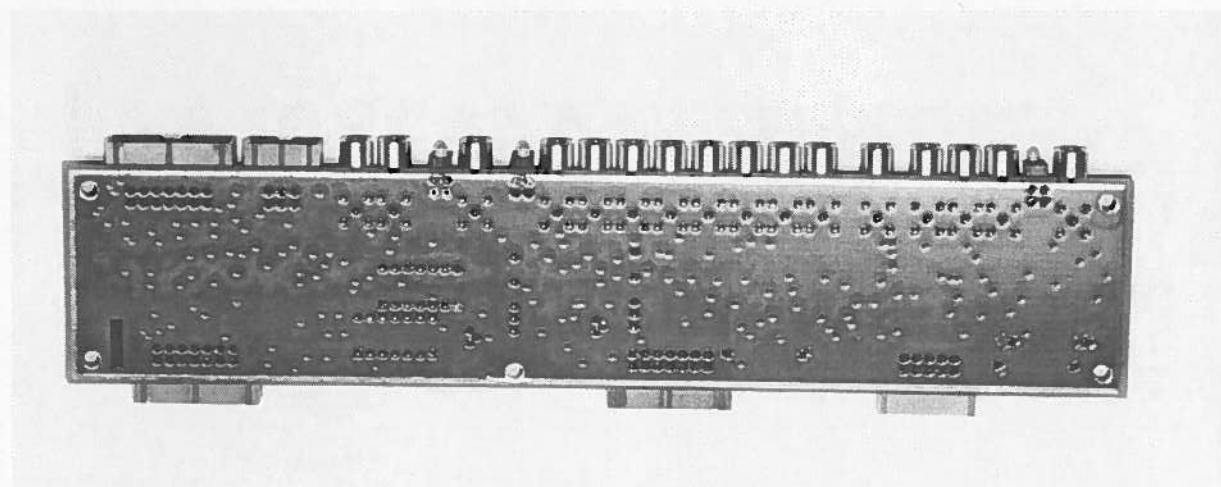
Carte mère du GMT (vue de dessous)

Annexe H

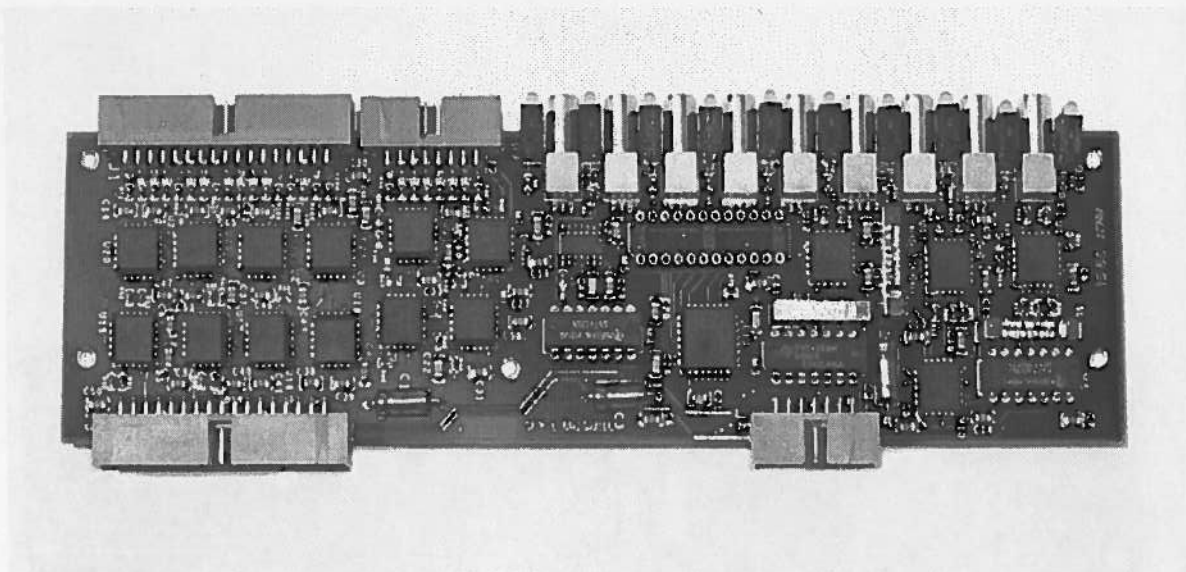
Les cartes filles du GMT



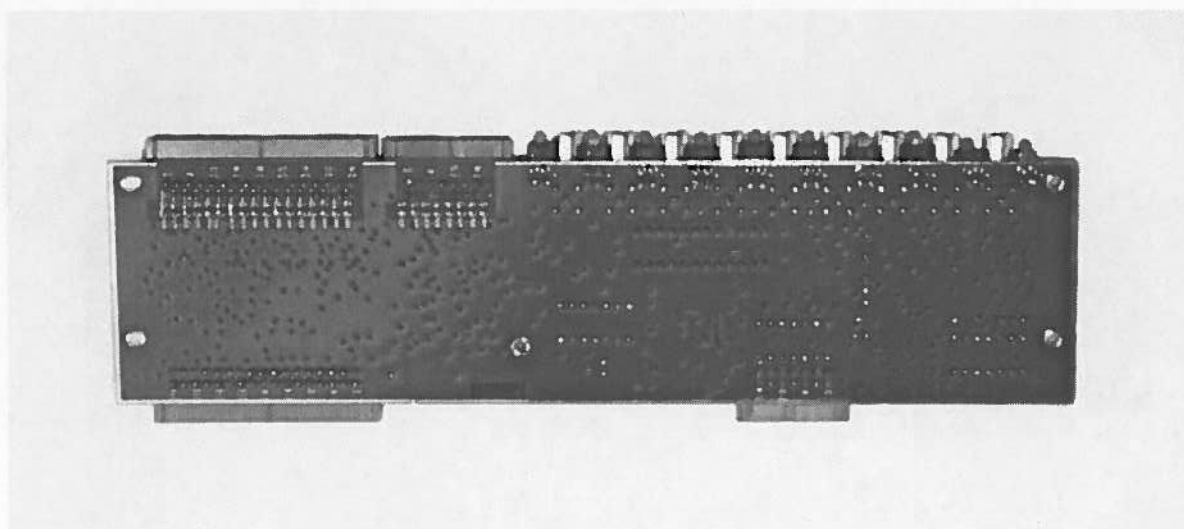
Carte FACADE1 (Vue de dessus)



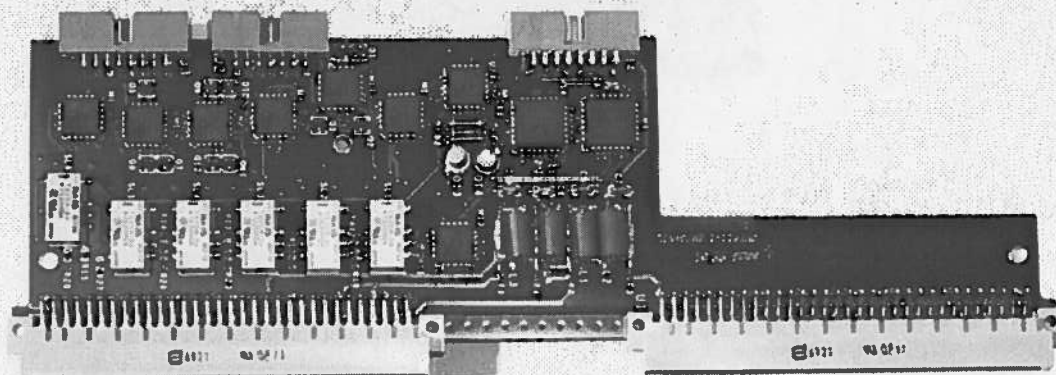
Carte FACADE1 (Vue de dessous)



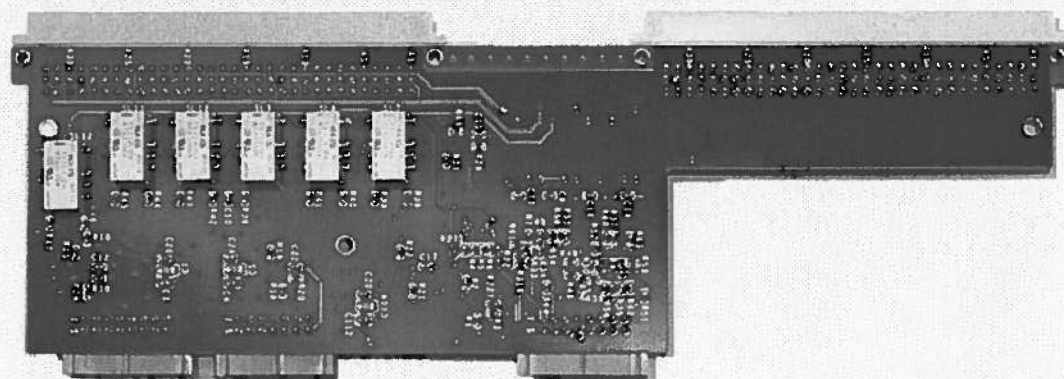
Carte FACADE2 (vue de dessus)



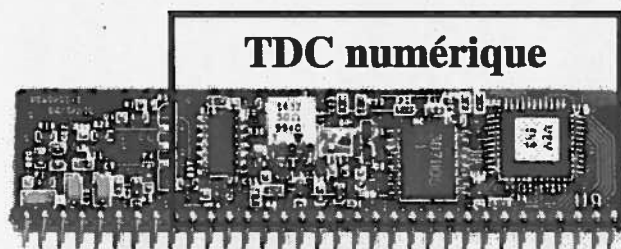
Carte FACADE 2 (Vue de dessous)



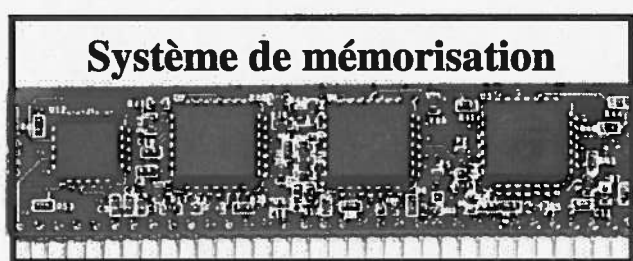
Carte P22 (Vue de dessus)



Carte P22 (Vue dessous)



Carte MEMOMQT (vue de dessus)



Carte MEMOMQT (vue de dessous)

Annexe I

Taux de comptage de certains dispositifs expérimentaux au GANIL

Ces données correspondent à des dispositifs autour de la cible (EXOAM, MUST...) et VAMOS dans le plan focal. Elles sont extraites du compte rendu de la réunion VAMOS de Novembre 1999 [Pol 98].

A/ Taux de comptage et temps de vol des dispositifs cible / VAMOS

Dispositif (cible / VAMOS)	Temps (ns)	Taux de comptage(pps)
EXOAM (γ)	1	~5000
DEMON (n)	50-500	~10
MUST (p)	2-15	~100
INDRA / CHARISSA ($Z \geq 1$)	3-30	~500
ICEMOS (β^-)	2.5	

B/ Taux de comptage pour les détecteurs de VAMOS.

VAMOS	Temps	Taux de comptage (pps)
Plastique	150-300	~500
SED (Secondary Electrons Detectors)	260-2600	0.01-100

Résumé

En physique nucléaire, l'interaction faisceau-cible engendre une multitude d'événements qui ne sont pas tous d'intérêt pour le phénomène physique étudié. Il est donc important de disposer d'un système de sélection nommé trigger. Nous avons étudié et réalisé un nouveau trigger adapté aux expériences menées au GANIL. Nous avons présenté un historique des différents triggers utilisés au GANIL (Grand Accélérateur National d'Ions Lourds) et avons montré la nécessité d'un nouveau trigger modulaire, universel et ouvert. Après une description des différents modes de fonctionnement du nouveau trigger (GANIL Master Trigger, GMT) nous avons décrit les phases de sa conception et de sa réalisation.

Le trigger renseigne sur la configuration des détecteurs touchés à la suite d'une collision faisceau-cible mais ne donne pas de précision temporelle, or cette information peut être fondamentale dans le cas où la fenêtre d'analyse du trigger couvre plusieurs périodes du faisceau.

Nous avons donc proposé une structure de mesure de temps (Time to Digital Converter, TDC) qui permet de lever cette indétermination. Les contraintes de temps mort, d'intégration et de consommation nous ont conduit à proposer une architecture numérique basée sur un compteur associé à une Ligne A Retard (LAR). Des calculs simples ont permis de définir la zone de fonctionnement du TDC. Cette zone dépend du rapport cyclique de l'horloge et des retards de la LAR. Des mesures de Non Linéarité Différentielle (NLD) pour des résolutions différentes (1, 2, 5 et 10 ns) ont permis d'établir les limites de ce système et de mettre en évidence des solutions d'amélioration de ces caractéristiques.

Abstract

In nuclear physics, the interaction between the ion beam and the target produces a large amount of events. Some of these events have no interest for the studied physical phenomenon; the useful events are sorted using a trigger. We have studied and realized a new trigger suitable for the GANIL (Grand Accélérateur National d'Ions Lourds) experiments. After an overview of the triggers used up to now at GANIL, we give the main features of the new trigger (GANIL Master Trigger, GMT) such as modularity, universality and versatility. After a description of the trigger operating modes, we depict the trigger realization steps.

The trigger informs about fired detectors in a beam to target collision but gives no information about timing, nevertheless the timing is a very important piece of information if the trigger analysis duration is several times greater than the beam period.

We suggest a timing measurement structure (Time to Digital Converter, TDC) able to eliminate this imprecision. The dead time, the low level integration and the consumption constraints lead us to prefer a digital architecture based on a digital counter associated with delay lines. Simple equations are given in order to define the operating area of the TDC. This area depends on the clock duty cycle and on the delay line taps. Measures of Differential Non Linearity (DNL) for different time resolutions (1, 2, 5 and 10 ns) allow us to establish the limits of this system and to underline some solutions to improve these features.

Mots-clés

Temps, mesure, Lignes à retard, compteurs numériques, numérisation