HAL
open science

Structures MOS-IGBT sur technologie SOI en vue de l'amélioration des performances à haute température de composants de puissance et de protections ESD

Houssam Arbess

To cite this version:

Houssam Arbess. Structures MOS-IGBT sur technologie SOI en vue de l'amélioration des performances à haute température de composants de puissance et de protections ESD. Autre. Université Paul Sabatier - Toulouse III, 2012. Français. NNT : . tel-00715137

HAL Id: tel-00715137

https://theses.hal.science/tel-00715137

Submitted on 6 Jul 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par *l'Université Toulouse III - Paul Sabatier*
Discipline ou spécialité : *Conception des Circuits Microélectroniques et Microsystèmes*

Présentée et soutenue par *Houssam ARBESS*
Le *22 mai 2012*

Titre : *Structures MOS-IGBT sur technologie SOI en vue de l'amélioration des performances à haute température de composants de puissance et de protections ESD*

JURY

Mme. Marise BAFLEUR, Directrice de recherche, LAAS-CNRS, Toulouse	*Directrice de thèse*
M. David TREMOUILLES, chargé de recherche à l'UPS, Toulouse	*Co-directeur*
M. Philippe GALY, HDR, STMicroelectronics, Crolles	*Rapporteur*
M. Dominique PLANSON, Professeur à l'INSA, Lyon	*Rapporteur*
M. Alain CAZARRE, Professeur à l'UPS, Toulouse	*Examinateur*
M. Bruno ALLARD, Professeur à l'INSA, Lyon	*Examinatuer*

Ecole doctorale : *GEET*
Unité de recherche : *LAAS-CNRS Toulouse*
Directeur(s) de Thèse : *Mme. Marise BAFLEUR*
Rapporteurs : *M. Dominique PLANSON & M. Philippe GALY*

Remerciement

Ces travaux de thèse on été effectués au sein du laboratoire d'analyse d'architecture et des systèmes (LAAS) du Centre National de la Recherche Scientifique (CNRS) et dans le groupe Intégration de Systèmes de Gestion de l'Énergie (ISGE).

Je tiens à remercier premièrement Messieurs Raja CHATILA, Jean-Louis SANCHEZ et Jean ARLAT directeurs successifs du LAAS, pour m'avoir accueilli pendant toute la durée de la thèse. Je voudrais également signaler l'exceptionnelle qualité des moyens logistiques mis à disposition des chercheurs dans ce laboratoire.

Un grand remerciement à ma directrice de thèse et la responsable du groupe ISGE Madame Marise BAFLEUR. Merci pour sa confiance, son soutien, sa disponibilité et pour toutes les discussions que nous avons eu pendant ces trois ans. Merci pour ses remarquables compétences et ses grandes qualités humaines. Elle a grandement contribué à l'aboutissement de ces travaux dans les meilleures conditions.

Je remercie Mr. David TREMOUILLES qui était mon codirecteur de thèse, pour ses conseils et pour toutes les discussions efficaces que nous avons eu.

Je tiens également à remercier Messieurs Philippe GALY de l'institut STMicroelectronics-Crolles et Dominique PLANSON (Professeur des universités à l'INSA de Lyon) pour avoir accepté d'être les rapporteurs de mes travaux de thèse. Je remercie aussi Messieurs Alain CAZARRE (Professeur à l'Université Paul Sabatier de Toulouse) et Bruno ALLARD (Professeur des universités à l'INSA de Lyon), pour avoir accepté d'être des examinateurs dans le jury.

Je voudrais remercier Nicolas MAURAN, technicien au LAAS, qui s'est investi dans les mesures réalisées au LAAS.

Je remercie Camille CAZENEUVE du service du personnel pour tous ses soutiens administratifs durant la thèse.

A mes collègues au LAAS : Moustafa, Elias, Emilie, Adnan, Gaëtan, Peihua, Alonã,… merci beaucoup pour les bons moments que nous avons passé ensembles.

Merci de nouveau à Moustafa et Gaëtan pour toutes les discussions que nous avons eu sur les simulations sur Sentaurus.

Merci à tous mes amis, Khalil Al-Astal, Nadim Nasreddine, Ibrahim Albluwi, Hadi El-Bayda, Ahmad Al Sheikh, Anouar Rachdi, Mahmoud Maksoud, Bahjat El Rez, Ali Shokr, Dr. Rida Hassaïne et tous les amis qui m'ont soutenu pendant ces trois ans

J'aime remercier mes parents, Ma mère, mon père, mes frères et mes sœurs pour m'avoir soutenu et encouragé toutes ces années d'étude, pendant la thèse et même pendant le Master et avant.

Enfin, pour mon épouse Ranim, la mère de mon petit Mouhammad, merci d'être toujours près de moi pour me soutenir, m'écouter et me conseiller.

Merci à toutes les personnes que je n’ai pas citées et qui ont de près ou de loin participé à la réalisation de ce travail.

اللهم علمنا ما ينفعنا وانفعنا بما علمتنا وزدنا علما

Résumé

Structures MOS-IGBT sur technologie SOI en vue de l'amélioration des performances à haute température de composants de puissance et de protections ESD

La miniaturisation ainsi que les nouvelles applications de l'électronique, comme par exemple, l'intégration mécatronique au plus près des moteurs dans l'automobile, requièrent un fonctionnement à haute température des composants. Pour répondre à cette contrainte de la haute température, la technologie SOI (Silicium sur Isolant) permet d'étendre la gamme de températures de fonctionnement tout en garantissant la nécessaire isolation entre les composants.

Dans le cadre du projet FNRAE COTECH, nos travaux avaient pour objectifs d'améliorer le fonctionnement des structures électroniques à haute température d'une technologie SOI (200°C). N'ayant pas la possibilité de modifier les paramètres technologiques de la technologie étudiée, nous avons exploré diverses solutions de conception que ce soit en termes de topologie du composant ou d'architecture de composant.

Après une analyse exhaustive de la bibliographie relative aux effets de la haute température sur les performances et la fiabilité des composants, nous avons recherché la technologie SOI la mieux adaptée pour l'application qui est la conception d'un driver haute température pour la commande d'un onduleur à base de composants JFET SiC. La technologie retenue est une technologie de puissance intelligente comprenant une bibliothèque CMOS basse tension (5V), des transistors de puissance LDMOS (25V, 45V et 80V) et des transistors bipolaires NPN et PNP.

Afin de caractériser cette technologie en température, dans un premier temps, nous avons conçu un véhicule de test en introduisant certaines règles de dessin bénéfiques pour le comportement en température, à la fois pour les composants basse et haute puissance. Nous avons également étudié une nouvelle architecture de composants combinant au sein d'un même composant un composant MOS et un composant IGBT, dans un objectif d'auto-compensation des effets négatifs de la température.

Afin d'optimiser la conception de ces composants mixtes MOS-IGBT, la méthodologie que nous avons adoptée s'est appuyée sur des simulations physiques 2D et 3D Sentaurus. La simulation 3D a été un outil d'optimisation indispensable pour l'optimisation de ces structures mais n'a cependant pu être utilisée que de manière qualitative du fait de l'absence d'accès aux paramètres technologiques. Dans le cadre de ce travail, deux véhicules de test ont été réalisés et caractérisés.

Ces structures mixtes MOS-IGBT ont été proposées en tant que structures de protection contre les décharges électrostatiques (ESD) pour remplacer une structure de protection de type "power clamp". Cette architecture mixte confère plusieurs avantages qui sont la possibilité d'activer le thyristor parasite permettant ainsi d'obtenir une très faible résistance à l'état passant quasiment indépendante de la température, une amélioration significative de la robustesse ESD et un gain en surface considérable

(facteur 10). L'inconvénient majeur associé au déclenchement du thyristor est son faible courant de maintien incompatible avec une immunité du circuit au risque de latch-up.

En s'appuyant sur la simulation 3D, nous avons proposé plusieurs solutions, à la fois topologiques et d'architecture, permettant d'augmenter significativement le niveau de ce courant. Ces diverses solutions ont été validées expérimentalement.

Enfin, les bonnes performances de ces structures mixtes ont motivé leur étude en tant que structures de puissance. Dans ce cas, l'objectif majeur est d'éviter le déclenchement du thyristor parasite. Grâce à la simulation 3D, nous avons proposé plusieurs voies d'optimisation permettant d'exploiter les bonnes performances de ces structures à la fois en température et en commutation.

Abstract

MOS-IGBT structures on SOI technology for improving the high-temperature performance of power components and ESD protections

Miniaturization and new applications of electronics, such as integrating mechatronics as close as possible to automotive engines, require high-temperature operation components. To meet this requirement, SOI technologies (silicon on insulator) allows extending the operation temperature range while providing the necessary isolation between components.

Within the framework of COTECH FNRAE project, the objectives of our work were the improvement of the SOI electronic structures at high-temperature operation (200°C). As the technological parameters of our technology could not be changed, we explored various design solutions like the topology of the component or its architecture.

After an exhaustive analysis of the literature in the field of high-temperature electronics and reliability, we selected the most suitable SOI technology for the application that is a high-temperature driver for the control of a power inverter based on JFET SIC components. The chosen technology is a smart power technology including low voltage CMOS (5 V), LDMOS power transistors (25 V, 45 V and 80 V), NPN and PNP bipolar transistor.

To characterize this technology at different temperatures, as a first step, we designed a test vehicle by introducing specific design rules beneficial for the temperature behavior, both for low and high power components. We also studied new components architecture by combining in a single component a MOS and an IGBT, with an objective of self-compensation of the negative effects of temperature.

To optimize the performance of these components (mixed MOS-IGBT), our methodology was based on using 2D and 3D Sentaurus physical simulation. The 3D simulation was an essential tool for the optimization of these structures, but was only used as a qualitative tool since we could not have access to the technological parameters. As part of this work, two test vehicles were produced and characterized.

These mixed structures MOS-IGBT have been proposed as ESD protection structures (Electro Static Discharge protection structures), to replace the LDMOS of a power clamp circuit. This mixed architecture provides several benefits that are the activation of the parasitic thyristor resulting in a very low on-state resistance almost independent of temperature, a significant improvement in ESD robustness and a considerable area saving (factor 10). The major disadvantage associated with the triggering of the thyristor is its low holding current incompatible with the required latch-up immunity of the circuit.

Based on 3D simulation, we have proposed several solutions, both topological and architectural, to significantly increase the level of the holding current. These various solutions have been experimentally validated.

Finally, the good performance of these mixed structures have motivated their study as power structures. In this case, the major objective is to avoid the triggering of parasitic

thyristor. Thanks to 3D simulation, we have proposed several ways of optimization to take advantage of the good temperature and switching performance of these structures.

Table des matières

Introduction générale ..... **- 13 -**

1 Etat de l'art ..... **- 14 -**

1.1 Introduction ..... - 18 -

1.2 Généralités sur la technologie SOI. ..... - 20 -

1.2.1 Technologie SOI ..... - 20 -

1.2.2 Fabrication d'une plaquette SOI ..... - 20 -

1.2.3 FDSOI, PDSOI et BCD ..... - 24 -

1.2.4 Avantages de la technologie SOI ..... - 25 -

1.2.5 Inconvénients de la technologie SOI. ..... - 28 -

1.3 Impact de la haute température sur les caractéristiques électriques des dispositifs électroniques ..... - 29 -

1.3.1 Impact de la haute température sur la tension de seuil. ..... - 30 -

1.3.2 Courant de fuite à haute température ..... - 32 -

1.3.3 Fonctionnement en logique (I_{ON}/I_{OFF}) ..... - 34 -

1.3.4 Tension de claquage et R_{ON} ..... - 35 -

1.3.5 Fiabilité de l'oxyde de grille ..... - 36 -

1.4 Impact sur le comportement de structures de protection contre les ESD ..... - 38 -

1.4.1 Principaux éléments de protection ESD ..... - 40 -

1.4.2 Protection ESD à haute température ..... - 43 -

1.5 Composants de puissance sur SOI ..... - 43 -

1.6 Etat de l'art des technologies à haute température ..... - 45 -

1.6.1 Electromigration ..... - 46 -

1.6.2 Barrière métallique de contact ..... - 47 -

1.6.3 Epaisseur de l'oxyde grille ..... - 48 -

1.6.4 Techniques de conception ..... - 48 -

1.6.5 Gestion thermique ..... - 49 -

1.7 Technologies SOI pour les applications haute température ..... - 51 -

1.8 Conclusion ..... - 53 -

1.9 Références bibliographiques ..... - 54 -

2 Etude de fonctionnement à haute température des structures à basse tension ..... **- 58 -**

2.1 Introduction ..... - 60 -

2.2 Paramètres de la technologie utilisée ..... - 61 -

2.3 Transistors MOS basse tension de type N ..... - 61 -

2.3.1 Structures proposées ..... - 62 -
2.3.2 Caractérisation des dispositifs NMOS basse tension ..... - 65 -
2.4 Structures MOS basse tension de type P ..... - 72 -
2.4.1 Caractéristiques électriques des dispositifs PMOS basse tension ..... - 72 -
2.5 Conclusion ..... - 76 -
2.6 Références bibliographiques ..... - 77 -
3 Structures mixtes MOS-IGBT dans le domaine de la puissance ..... - 80 -
3.1 Introduction ..... - 82 -
3.2 Structures de puissance MOS et IGBT ..... - 83 -
3.2.1 LDMOS ..... - 83 -
3.2.2 IGBT ..... - 85 -
3.2.3 NLDMOS 25 V et 45 V ..... - 88 -
3.2.4 Présentation des composants ..... - 88 -
3.2.5 Variation de R_{ON} avec la température ..... - 90 -
3.2.6 Variation de la tension de seuil ..... - 91 -
3.2.7 Courant de fuite pour les différents composants en fonction de la température ..... - 92 -
3.2.8 Effet bipolaire parasite ..... - 92 -
3.3 Cas d'un PLDMOS 25 V et 45 V ..... - 94 -
3.4 Structures Mixtes MOS-IGBT ..... - 95 -
3.4.1 Définition ..... - 95 -
3.4.2 Caractérisation électriques ..... - 97 -
3.5 Optimisation des structures mixtes ..... - 99 -
3.5.1 Méthodologie de simulation ..... - 100 -
3.5.2 Description de la structure ..... - 101 -
3.6 Structures mixtes optimisées ..... - 106 -
3.6.1 Caractérisations électriques ..... - 108 -
3.6.2 Autres voies d'optimisation ..... - 115 -
3.7 Conclusion ..... - 117 -
3.8 Références bibliographiques ..... - 118 -
4 Structures mixtes MOS-IGBT pour l'amélioration de la protection ESD ..... - 120 -
4.1 Introduction ..... - 122 -
4.2 Modèles de stress ESD ..... - 124 -
4.2.1 Modèle du corps humain (HBM) ..... - 124 -
4.2.2 Modèle de la machine (MM) ..... - 125 -

4.2.3 Modèle du dispositif chargé (CDM) - 125 -
4.3 Motivation - 127 -
4.3.1 Fonctionnement du LDMOS en protection ESD - 128 -
4.3.2 Fonctionnement d'IGBT en protection ESD - 130 -
4.4 Structures mixtes MOS-IGBT proposées - 131 -
4.4.1 Caractérisation TLP de la structure de protection de TFSMART1 à basse et à haute températures - 131 -
4.4.2 Structure proposée MOS-IGBT - 132 -
4.4.3 Résultats expérimentaux à température ambiante - 134 -
4.4.4 Résultats expérimentaux à haute température - 141 -
4.5 Optimisation des structures - 143 -
4.5.1 Méthodologie de simulation - 144 -
4.5.2 Simulation TCAD trois dimensions - 146 -
4.6 Caractérisation des structures optimisées - 156 -
4.6.1 Caractérisation des structures mixtes type N - 156 -
4.6.2 Caractérisation des structures mixtes de type P - 167 -
4.7 Optimisation par variation de la longueur de la zone de drift, de STI et autres solutions - 173 -
4.8 Conclusion - 176 -
4.9 Références bibliographiques - 178 -

Introduction générale

En 1977, le coût associé à l'électronique dans l'automobile était en moyenne de 110 $ [1]. En 2003, ce même coût avait plus que décuplé avec une moyenne de 1510 $ [2]. Le moment charnière de cette évolution-révolution dans l'électronique automobile a été la réglementation gouvernementale dans les années 1970 rendant obligatoire le contrôle des émissions de CO_2 et les nécessaires économies de carburant pour y aboutir. Le contrôle de la consommation du carburant est une opération complexe ne pouvant pas être accomplie avec les systèmes traditionnels mécaniques. Ainsi, ces réglementations gouvernementales associées aux rapides développements de l'électronique de puissance et de la microélectronique permettant une forte miniaturisation combinée à des coûts attractifs, ont conduit à un accroissement continu de l'électronique dans l'automobile [3].

De plus, la demande croissante de miniaturisation et réduction du poids des convertisseurs de puissance pour l'industrie automobile requiert des circuits électroniques capables de fonctionner à une température plus élevée (175°C ou plus) avec peu ou sans dissipation de chaleur [4]. Un résumé des différentes applications d'électronique à haute température dans l'automobile est présenté dans le Tableau 1. D'autres applications comme celles de l'aéronautique, du spatial et de bien d'autres domaines (forages, nucléaire, solaire…), ont également des besoins de fonctionnement de l'électronique à haute température.

Moteur	150-200 °C
Transmission	150-200 °C
Capteurs ABS des roues	150-200 °C
Pression du cylindre	200-300 °C
Détection sur l'échappement	Ambiante 300 °C

Tableau 1: Gamme de températures maximales dans l'automobile [5]

Ces dernières années, l'évolution vers le véhicule hybride a généré la nécessité d'une électronique à haute température, fiable et peu couteuse pouvant fonctionner à des températures extrêmes localisées sous le capot. Dans ce travail, et dans le cadre du projet COTECH, nous avons étudié le comportement électrique des composants d'une technologie sur silicium sur isolant (SOI) 0,8 µm, qualifiée pour la haute température (200°C ambiante). Le but de ce projet est de concevoir un driver pour un onduleur JFET SiC capable de fonctionner à haute température (200°C ambiante).

Dans ce cadre, notre contribution était d'étudier et d'améliorer les performances en température des composants de cette technologie pour un fonctionnement étendu jusqu'à 250°C. Nous avons principalement focalisé notre étude sur les composants de puissance latéraux MOS et IGBT ainsi que l'amélioration des performances des protections contre les décharges électrostatiques (ESD).

Le premier chapitre de notre mémoire est essentiellement consacré à l'étude bibliographique du domaine. Nous présentons tout d'abord les différentes méthodes de fabrication des plaquettes SOI et nous comparons les performances de composants MOS réalisés en technologie SOI et sur substrat massif. Ensuite, nous rappelons l'impact de la

haute température sur la variation des grandeurs physiques importantes dans le fonctionnement des composants électroniques. Enfin, nous étudions les principales structures de protection ESD et l'effet de la température sur leurs performances. A la fin de ce chapitre, nous donnons un état de l'art des technologies SOI à haute température.

Dans le deuxième chapitre, après une brève présentation de la technologie SOI, TFSMART1, sur laquelle nous avons développé ces travaux, nous étudions le fonctionnement à haute température des composants MOS, basse puissance et basse tension de type N et P, de la technologie. Cette étude porte à la fois sur les cellules de la bibliothèque mais également sur l'impact de différentes topologies. Cette première étude nous a permis de dégager certains principes de conception améliorant les performances à haute température.

Le troisième chapitre est dédié à l'étude et à l'optimisation de structures de puissance (25 et 45 V), de type N et P à haute température. Dans cet objectif, nous proposons un composant mixte de puissance, basé sur un LDMOS et intégrant un LIGBT en remplaçant une partie de la diffusion N+ de la source par une diffusion P+, pour le cas du composant type N et inversement pour le cas du type P. Ces nouvelles structures ont fait l'objet de deux réalisations sur silicium. Leur optimisation s'est appuyée sur la simulation TCAD Sentaurus 3D. Malgré des résultats expérimentaux n'atteignant pas les performances estimées par la simulation car ne disposant pas des paramètres technologiques réels, les solutions proposées ont pu être validées et de nouvelles perspectives d'amélioration envisagées. Il est ainsi démontré qu'il y a un grand intérêt en termes de résistance à l'état passant et courant de saturation à introduire un mode IGBT dans une structure de puissance à basse tension, en particulier, à haute température. Le verrou majeur, comme dans tout IGBT, reste le contrôle du thyristor parasite pour lequel plusieurs solutions efficaces ont pu être validées.

Le quatrième chapitre est consacré à l'étude de structures de protection contre les ESD à haute température. L'étude des composants de puissance nous a permis de voir l'intérêt des structures mixtes MOS-IGBT et en particulier, de leur utilisation comme structure de protection ESD en autorisant cette fois le déclenchement du thyristor parasite qui est le meilleur composant en terme de densité de puissance. La structure de protection envisagée est celle du remplacement d'une protection centralisée basée sur un LDMOS de puissance qui est composée de 11 cellules élémentaires. La nouvelle protection est composée d'une seule de ces cellules élémentaires et intègre un LIGBT par la simple implémentation de zones P+ dans le drain du LDMOS. L'optimisation vis-à-vis des performances ESD a été menée grâce à des simulations TCAD 3D, en particulier, pour améliorer son immunité au latch-up. Nous présentons une caractérisation exhaustive de ces structures à la fois en mesures impulsionnelles de type TLP et en température jusqu'à 200°C. Les gains en performances obtenus grâce à ces composants mixtes sont tout d'abord une surface réduite de 90 %, une robustesse ESD en termes de courant de défaillance passant de 1,7A à 3,8A et jusqu'à 10A selon la topologie de la structure. Les solutions proposées et étudiées en simulation pour améliorer l'immunité au latch-up ont été partiellement validées car encore insuffisantes. Malgré l'aspect qualitatif des simulations, nous avons pu parfaitement corréler expérimentalement les tendances et proposer de nouvelles perspectives d'amélioration.

Enfin, nous rassemblons à la fin de ce mémoire nos conclusions sur les résultats majeurs obtenus au cours de ces travaux et donnons quelques perspectives à leur poursuite.

Chapitre I
Etat de l'art

1.1 Introduction

L'évolution des technologies des semi-conducteurs vers des géométries de plus en plus fines permet un accroissement des performances et des fonctionnalités des circuits intégrés mais s'accompagne simultanément d'une augmentation de la puissance dissipée. Cette évolution dans l'industrie automobile, aéronautique et pétrolière requiert une nouvelle utilisation de l'électronique dans la mécatronique et dans certains cas, les circuits sont fixés au plus près du moteur où la température est élevée, ou sous la terre (le cas de l'industrie du pétrole (Figure 1.1)). Pour répondre à ce besoin, il est nécessaire de concevoir des dispositifs pouvant fonctionner à haute température. On retrouve les mêmes contraintes pour les capteurs qui doivent également fonctionner à haute température [1]**.** Dans ce contexte, de nouvelles architectures d'électronique de puissance sont requises pour répondre à ces nouvelles exigences : haute tension et haute température (200°C) liée à l'intégration mécatronique des modules de puissance.

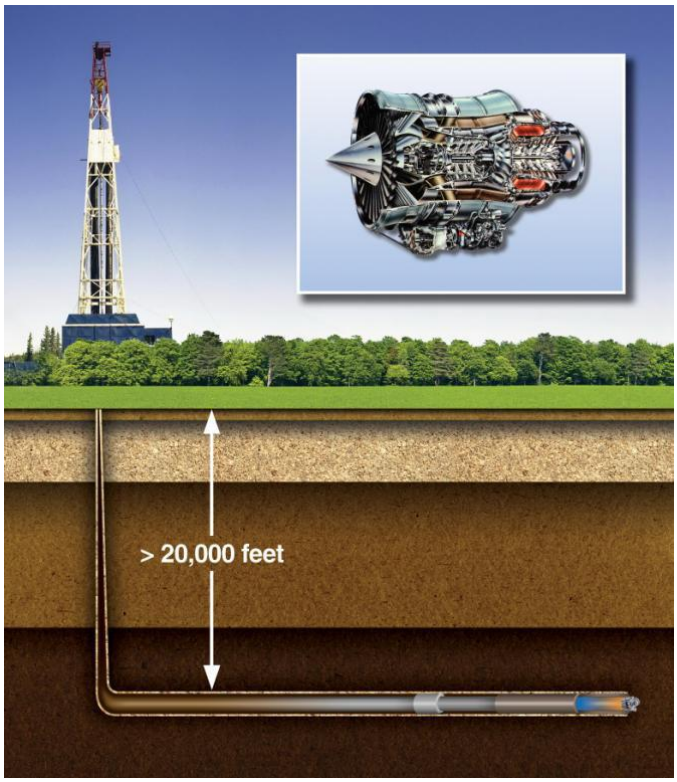

Figure 1.1: Application Haute température [2], [3] (Forage pétrolier et contrôleur du moteur d'avion).

Pour répondre aux contraintes de cette intégration, de nouveaux composants de puissance basés sur les matériaux à grand gap comme le SiC permettent la conception d'onduleurs à faible pertes fonctionnant à haute température et haute tension [4]. Ces modules de puissance de nouvelle génération requièrent cependant une électronique de contrôle et de commande rapprochée qui pour l'instant ne peut être réalisée qu'en silicium. Cette électronique sur silicium devra également pouvoir fonctionner à haute température.

Le cadre de nos travaux est celui du projet COTECH, financé par la Fondation de Recherche pour l'Aéronautique et l'Espace, dont le but est de réaliser un circuit de commande d'un onduleur à JFET SiC. La technologie SOI (« Silicon on insulator » ou « silicium sur

isolant ») est la plus appropriée pour fabriquer ces étages de pilotage. La technologie SOI, outre la réduction des éléments parasites, offre la possibilité d'intégrer conjointement des composants basse et haute tensions, permet une isolation efficace entre blocs et limite la dérive en température des caractéristiques des composants.

Dans ce chapitre consacré à l'état de l'art des technologies pour la haute température, nous avons répertorié les techniques de fabrication des plaquettes SOI, les avantages de cette technologie par rapport à la technologie sur substrat massif et ses inconvénients. Ensuite, nous nous sommes intéressés aux caractéristiques électriques comme la tension de seuil, le courant de fuite, la tension de claquage et la fiabilité de l'oxyde de grille pour deux types de technologies (SOI partiellement dépeuplé PDSOI et SOI totalement dépeuplé FDSOI) à haute température, et nous les avons comparées aux caractéristiques de la technologie sur substrat massif. Nous avons également analysé l'impact de la température élevée sur l'électromigration et sur la diffusion du métal de contact avec le silicium. L'impact de la température sur les structures de protection contre les décharges électrostatiques (ESD) est aussi examiné dans ce rapport car il y a une forte dépendance des paramètres électriques de la protection ESD avec la température.

1.2 Généralités sur la technologie SOI.

Afin de répondre aux besoins d'accroissement de la densité d'intégration et d'éliminer plusieurs problèmes liés au substrat massif dans les technologies nanométriques, la technologie silicium a évolué vers la technologie SOI.

1.2.1 Technologie SOI

La technologie SOI ou S*ilicon On Insulator*, est une structure constituée d'un empilement d'une couche de silicium sur une couche d'isolant (Figure 1.2) (Figure 1.3). L'isolant peut être, de l'oxyde de silicium (SiO_2), du saphir (oxyde d'aluminium) Al_2O_3, ou tout autre genre d'isolant et leur épaisseur peut varier entre 100nm et 3µm. Le substrat dans ce cas joue seulement le rôle d'un support mécanique et peut être constitué par des matériaux divers, mais la matière la plus courante utilisée est le silicium pour les raisons de compatibilité avec les technologies classiques et de coût. La couche de silicium sur isolant, qui est la couche active a une épaisseur dépendante de l'application (basse ou haute tension). Cette épaisseur peut varier entre 50nm et 100µm.

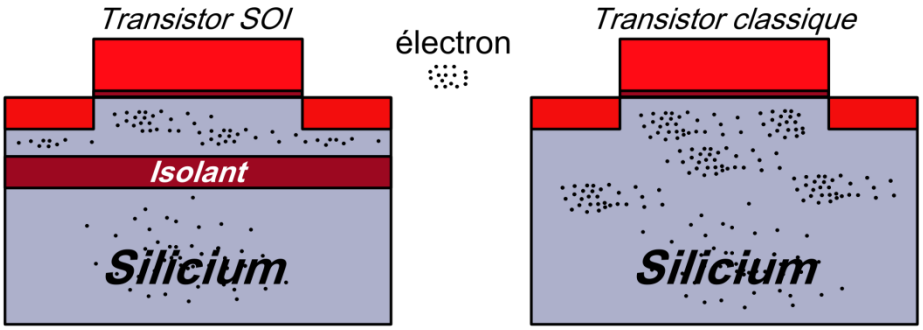

Figure 1.2 : Transistor SOI (gauche) et sur substrat massif (droite)

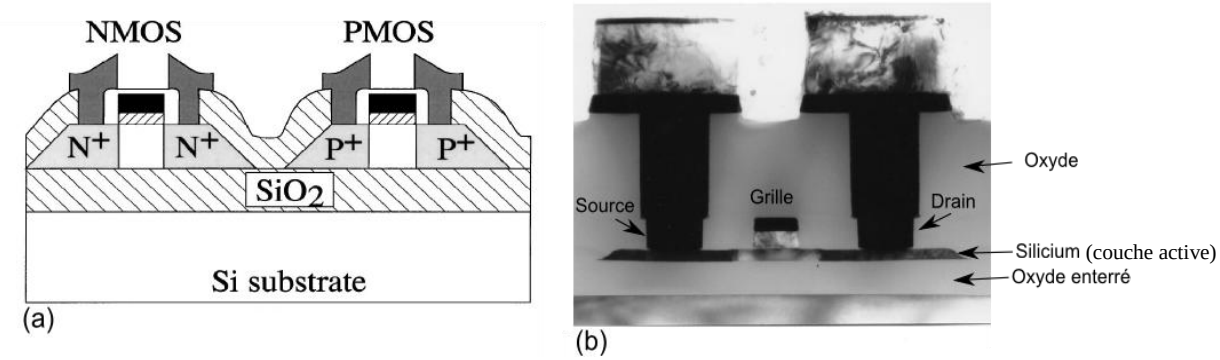

Figure 1.3 : (a) Architecture schématique et (b) photo d'une coupe pour un MOSFET SOI [5]

1.2.2 Fabrication d'une plaquette SOI

Il existe plusieurs méthodes pour réaliser une plaquette SOI, chacune a ses avantages et ses inconvénients. On peut les classer en trois grands groupes de techniques : techniques de collage, techniques d'épitaxie et technique de la conversion du matériau (figure 1.4).

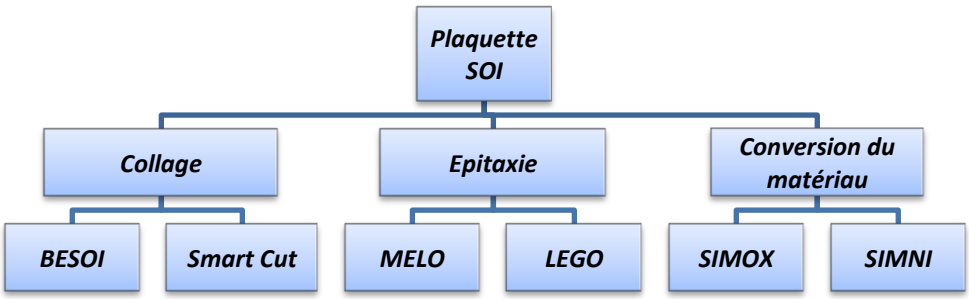

Figure 1.4: Différentes techniques de réalisation d'une plaquette SOI

1.2.2.1 Technique de collage.

Cette technique dite aussi wafer bonding en anglais est divisée en plusieurs technologies (Figure 1.3).

a) BESOI (Bonded and Etchback SOI).

Cette technique consiste à coller deux plaquettes de silicium, dont l'une a une surface oxydée, par les forces de Van der Waals ou liaisons hydrophiles entre les deux surfaces, puis à effectuer un recuit à 1100°C [5]. Cette étape est suivie par un polissage mécano-chimique jusqu'à l'obtention de l'épaisseur de silicium désirée, Figure 1.5.

Cette méthode est simple, mais elle a un inconvénient majeur, qui est son coût, puisqu'on a besoin de deux plaquettes de silicium pour obtenir une seule plaquette SOI.

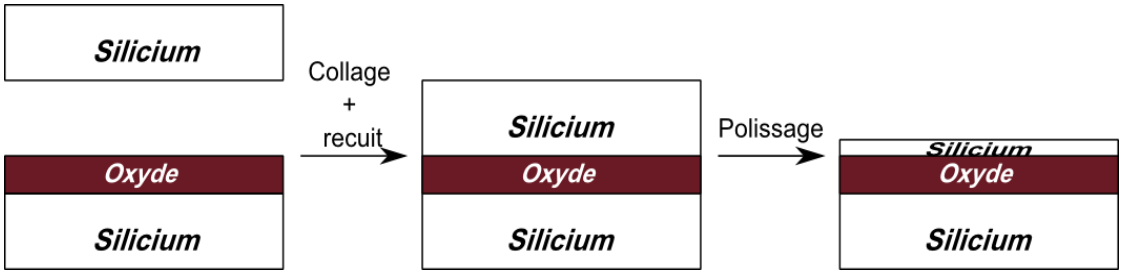

Figure 1.5: Etapes du procédé BESOI

b) SmartCut

Ce procédé [5], [6] est basé sur le même principe de collage de deux plaquettes de silicium. La différence est l'utilisation des ions hydrogènes implantés dans la plaquette supérieure.

Donc on utilise cette fois une plaquette de silicium à surface oxydée et implantée par des ions hydrogènes, où la profondeur est fixée par l'énergie d'implantation [7]. Cette plaquette est collée à une autre par liaisons hydrophiles puis un recuit est réalisé. La première phase de ce recuit, de 400 à 600°C, permet de faire coalescer les microcavités dues à l'implantation, et permettent ainsi la propagation d'une fissure à travers toute la couche implantée d'ions hydrogènes (Figure 1.6). La seconde phase du recuit, au dessus de 1000°C, aide à consolider les liaisons chimiques entre les deux surfaces collées.

Après séparation, la rugosité de surface du silicium sur oxyde est rectifiée par un polissage.

Le reste de la plaquette donneuse est intact et peut être recyclé pour former une autre plaquette SOI, ce qui diminue le coût de fabrication par rapport au procédé BESOI utilisant deux plaquettes.

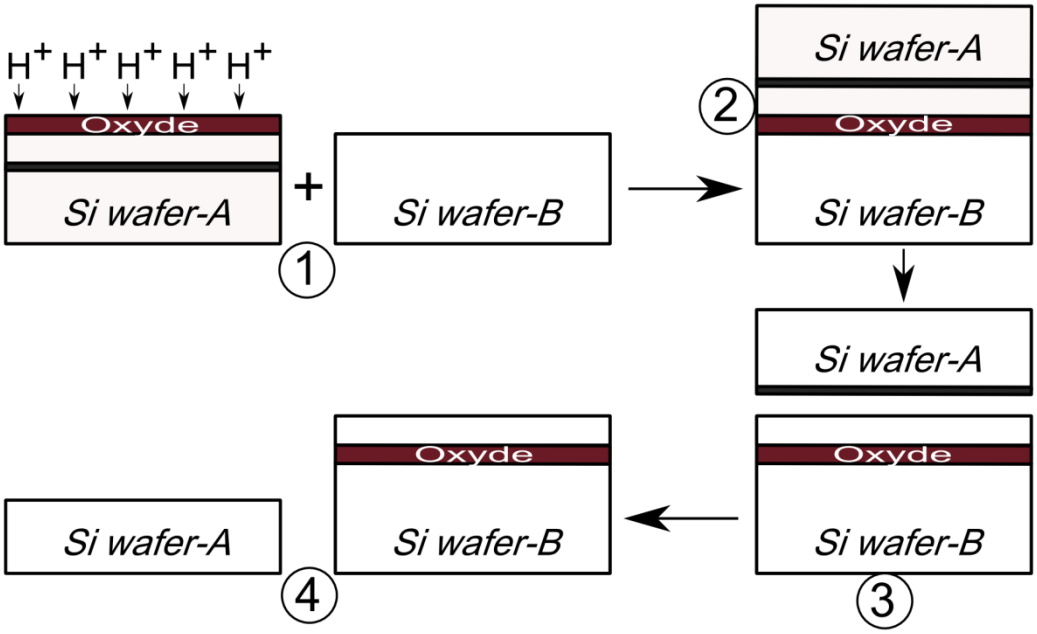

Figure 1.6: Principales étapes du procédé Smart-Cut

Le procédé Smart-Cut sert à obtenir une plaquette SOI de haute qualité, et moins coûteuse. L'ensemble de ces avantages et potentialités fait du Smart-Cut le procédé dominant sur le marché des plaquettes SOI. Il est à noter que l'inventeur et fournisseur de ces plaquettes SOI, la société SOITEC, est français et basé près de Grenoble.

1.2.2.2 Technique d'Epitaxie

La technique de croissance par épitaxie latérale [8] (Epitaxial Lateral Overgrowth : ELO ou Merged Epitaxial Lateral Overgrowth : MELO) est intéressante pour obtenir une couche SOI localisée (Figure 1.7). A partir d'une plaquette de silicium présentant des motifs d'oxyde, on réalise une épitaxie sélective de silicium. Il va donc y avoir croissance de silicium uniquement sur les zones où le substrat de silicium est à nu. La croissance de silicium se fera verticalement au dessus du substrat mais aussi latéralement au dessus du motif d'oxyde. L'épitaxie se poursuit jusqu'à atteindre une dimension latérale suffisante au-dessus de l'oxyde.

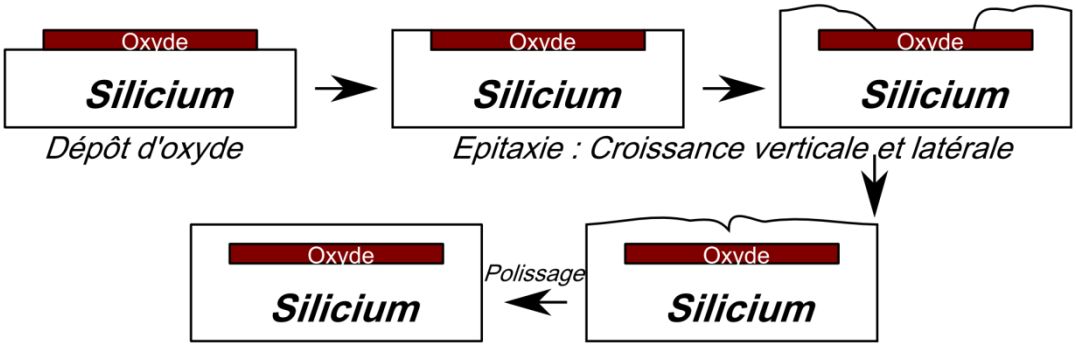

Figure 1.7: Wafer SOI réalisé par le procédé MELO (Epitaxie)

Les couches de silicium sur oxyde ainsi obtenues sont de bonne qualité puisqu'elles proviennent d'une épitaxie de silicium. Cependant, la largeur des motifs ainsi réalisés est limitée par le ratio de croissance maximum (la dimension de l'îlot d'oxyde ne doit pas être trop importante sinon l'épaisseur de silicium obtenue en fin de procédé serait démesurée). L'inconvénient majeur de ce procédé concerne les dimensions latérales d'un substrat SOI réalisé par ELO : les valeurs minimales sont voisines de 150 nm x 150 nm et maximales de 8 µm x 500 µm. Les épaisseurs de SOI sont de l'ordre de 40 à 200 nm. Par ailleurs, cette technique présente quelques étapes critiques comme l'épitaxie sélective ou le polissage mécano-chimique.

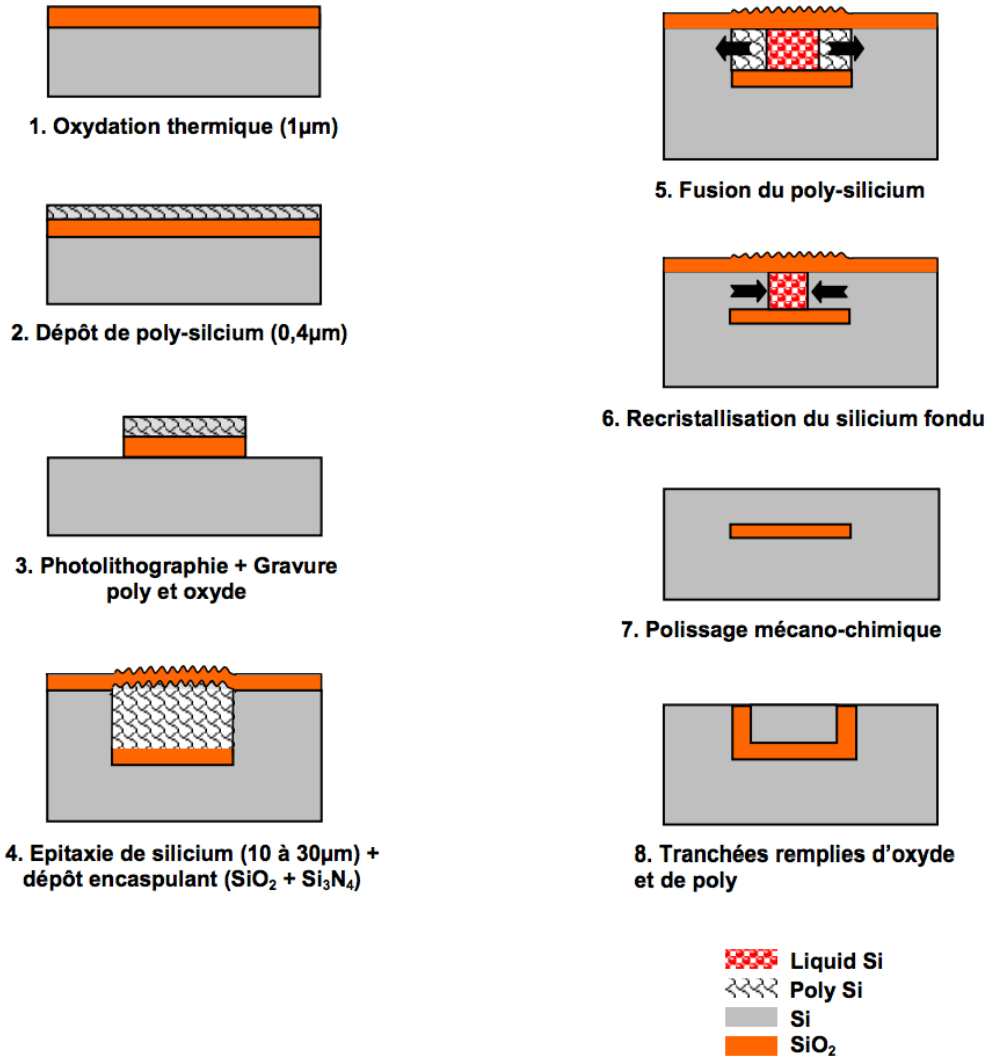

Figure 1.8 : Etapes du procédé LEGO [9]

Le LEGO (Lateral Epitaxial Growth over Oxide) est une technique basée sur la fusion et la recristallisation de motifs épais de silicium poly-cristallin sur oxyde, et qui permet d'obtenir des motifs localisés de SOI sur un substrat de silicium. Elle a été développée en premier lieu par [10] dans les années 80 et a été désormais reconsidérée à cause d'un nouveau marché pour les structures SOI partielles à faible coût, celui de l'intégration de composants de commande et de puissance sur une même puce avec une isolation diélectrique efficace [9]. La Figure 1.8 présente les étapes du procédé LEGO.

1.2.2.3 Technique de conversion du matériau

SIMOX (Separation by implantation of oxygen) [5], [11]. Cette technique consiste à implanter des ions d'oxygène afin d'obtenir la couche d'oxyde. La dose et l'énergie d'implantation permettent de déterminer la profondeur et l'épaisseur de la future couche d'oxyde (Figure 1.9) Après implantation, de nombreux défauts (dislocations et fautes d'empilement) sont générés dans la couche supérieure de silicium. Un recuit à très haute température (1300°C pendant quelques heures ou 1405°C pendant 30 minutes) est donc nécessaire pour rétablir une qualité cristalline acceptable de la couche SOI ainsi que pour lier les atomes d'oxygène avec les atomes de silicium en une couche bien délimitée de SiO_2 enterré (Figure 1.9)

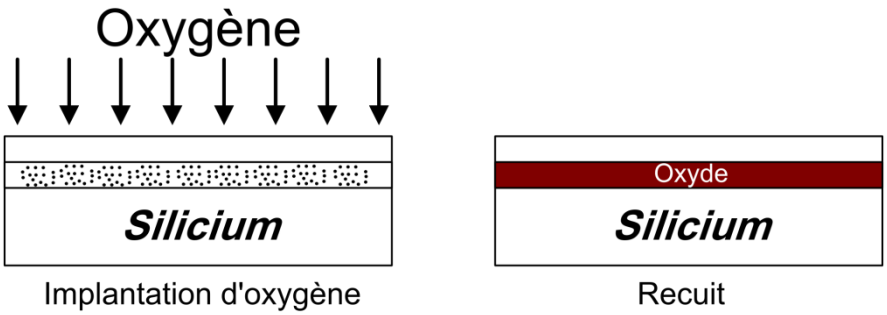

Figure 1.9: Etapes technologiques de la technique SIMOX.

Les couches SOI ainsi obtenues sont de bonne qualité cristalline, mais la couche d'oxyde enterré réalisée par implantation n'a pas les qualités d'un oxyde thermique en terme d'isolation, ce qui est pénalisant pour des applications de puissance. La Figure 1.10 présente l'impact de la température de recuit sur la microstructure de l'interface Si/SiO_2 et SiO_2/Si [5].

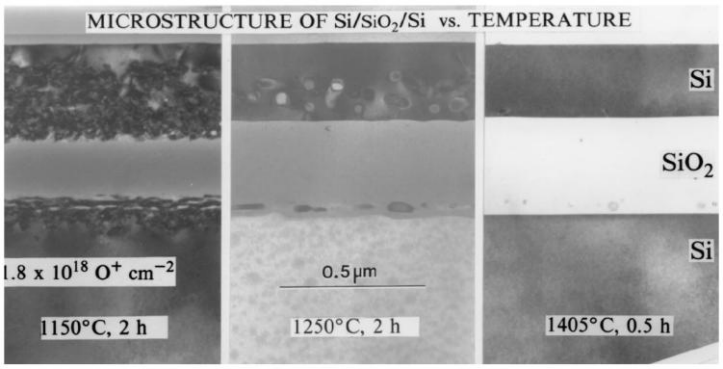

Figure 1.10: Impact de la température de recuit sur la microstructure de SIMOX [5]

La technique SIMNI (Separation by Implantation of Nitrogen) est comme le SIMOX, mais on remplace l'implantation d'oxygène par une implantation d'azote, pour obtenir du nitrure Si_3N_4 [12]. L'intérêt d'utiliser cet isolant est sa conductance thermique qui est 10 fois plus grand que celle de l'oxyde de silicium [20].

1.2.3 FDSOI, PDSOI et BCD

Pour les applications basse tension, il existe 2 types de plaquettes SOI : les plaquettes SOI totalement dépeuplées (FDSOI : Fully Depleted SOI) et des plaquettes SOI partiellement dépeuplées (PDSOI : Partially depleted SOI) (Figure 1.11). La différence entre les deux est

liée à la charge d'espace associée au MOS. Dans le PDSOI où la couche de SOI est mince (de 500 à 800Å) [9], les zones de charge d'espace autour du drain et de la source s'étendent jusqu'à la couche d'oxyde enterrée, mais il subsiste toujours une région quasi neutre quel que soit le régime de fonctionnement. Dans le FDSOI où la couche SOI est très mince (de 150 à 500 Å), la zone entre drain et source est entièrement dépeuplée pour créer le canal. Il n'existe alors plus de région quasi neutre. Ces deux types de transistors participent à l'effort pour un gain en vitesse et en puissance consommée.

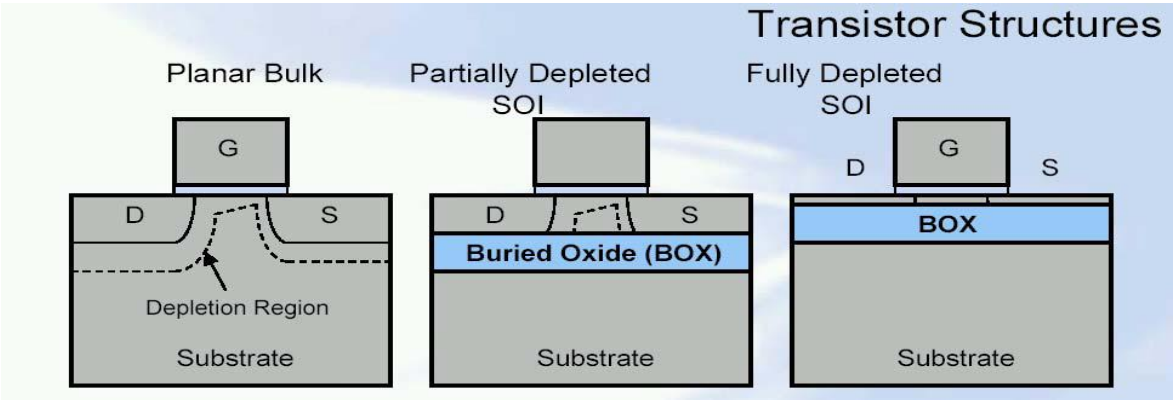

Figure 1.11: Schéma des structures transistors MOS sur Bulk et SOI partiellement et totalement dépeuplées [10].

Il existe également, les technologies de type BCD (bipolar, CMOS, DMOS) où l'épaisseur de silicium actif est plus importante. L'épaisseur de silicium actif est choisi suivant le besoin de la haute tension [13][14]. Dans ce type de technologie il existe des structures basse et haute puissance, ainsi que des IGBT et des thyristors. La Figure 1.12 présente des structures électroniques de puissance réalisées en technologie BCD SOI.

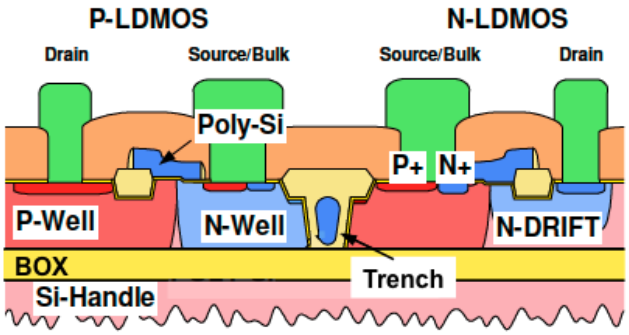

Figure 1.12: Dispositifs électroniques réalisés en Technologie BCD SOI

1.2.4 Avantages de la technologie SOI

Depuis plusieurs années, les grandes industries microélectroniques commencent à utiliser la technologie SOI pour fabriquer leurs produits. Les avantages de cette technologie résultent en une grande amélioration des performances et de la durée de vie des composants dans plusieurs conditions. Nous allons passer en revue ci-après, les avantages de dispositifs sur substrat SOI.

1.2.4.1 Haute fréquence

La fréquence de fonctionnement dans les circuits logiques dépend des temps de propagation ou des temps de commutation. Ces paramètres sont proportionnels à la capacité de sortie du transistor. Les capacités source/substrat (C_{JS}) et drain / substrat (C_{JD}) dans la technologie SOI sont 4 à 7 fois plus faibles que sur silicium massif (Figure 1.13). Tandis que sur silicium massif C_{JS} (resp. C_{JD}) équivaut à la capacité d'une jonction polarisée en inverse, dans le SOI C_{JS} (resp. C_{JD}) est dominée par la capacité de l'oxyde enterré sous la source (resp. le drain), qui est beaucoup plus faible. La réduction des capacités parasites se répercute au niveau du circuit et améliore les performances en hautes fréquences des SOI MOSFETs par rapport au silicium massif [15].

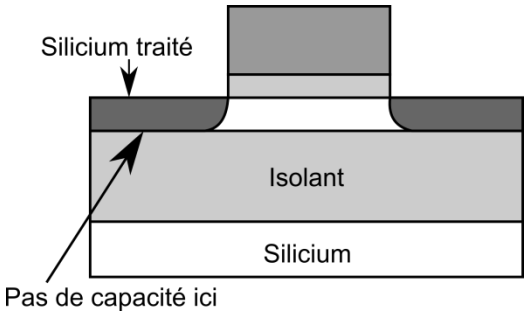

Figure 1.13: MOS à substrat SOI

1.2.4.2 Suppression du phénomène de latch-up

L'effet de latch-up est un phénomène qui induit le déclenchement du thyristor parasite représenté (Figure 1.14) par deux transistors bipolaires NPN et PNP dans les technologies CMOS sur substrat massif. Le déclenchement du latch-up est lié à la proximité des zones N^+ et P^+ de transistors NMOS et PMOS voisins. Sur le SOI, ces zones sont complètement isolées et le claquage entre ces deux zones est impossible quelle que soit la distance qui les sépare.

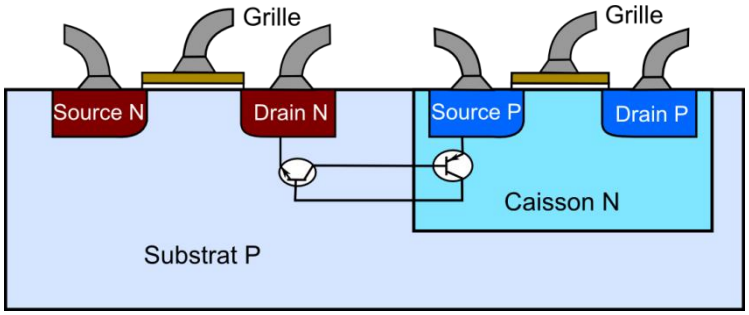

Figure 1.14: Présentation de l'effet de latch-up [16].

1.2.4.3 Faible courant de fuite

Le courant de fuite associé aux jonctions drain/substrat et source/substrat est proportionnel à leur surface. Cette surface est diminuée en utilisant un substrat SOI car les jonctions planes de drain et de source sont éliminées à cause du contact avec l'oxyde enterré (Figure 1.15). Cette diminution du courant de fuite donne un avantage très important qui est la réduction de la consommation, qui constitue un avantage crucial pour les applications nomades et la durée de vie de la batterie.

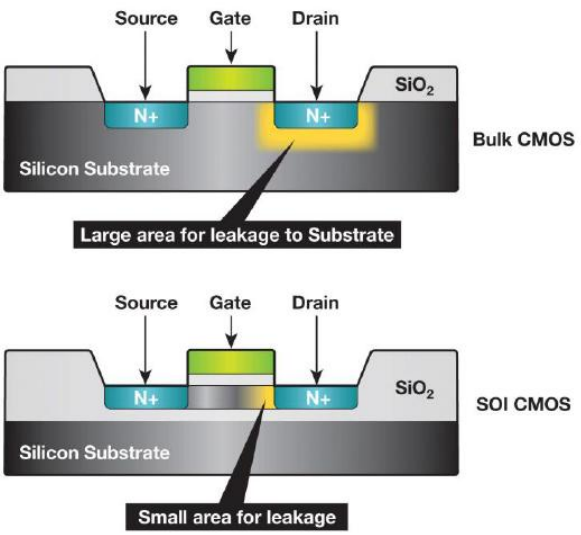

Figure 1.15: Courant de fuite de drain et de source pour un MOS sur substrat massif et un MOS SOI [2]

1.2.4.4 Réduction de l'effet de canal court

La réduction de la longueur de grille et donc du canal est associé à des effets parasites, appelés effets de canal court (Short Channel effects), entraînant une perte de contrôle électrostatique de la grille sur le canal. Le phénomène qui en est principalement responsable, s'appelle le partage de charges (Drain Induced Barrier Lowering) [16].

Pour un transistor long, le potentiel le long du canal est quasiment constant sur l'ensemble de la longueur de grille. Plus la longueur du canal va diminuer, plus l'influence des extensions des zones de charge d'espace des régions source et drain va s'accroître, diminuant ainsi la zone contrôlée par la grille (Figure 1.16). C'est l'effet du partage de charges qui a pour effet de modifier le potentiel au centre du canal et ainsi d'abaisser la barrière de potentiel source/ canal/ drain. La tension de seuil V_T chutant ainsi de manière incontrôlée, on assiste à une augmentation du courant de fuite I_{OFF} du transistor.

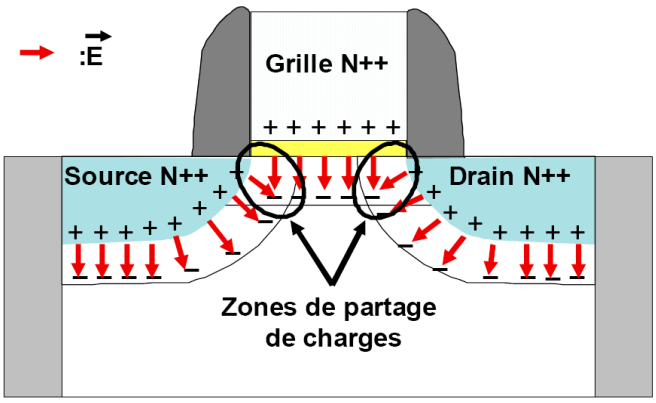

Figure 1.16: Schéma montrant l'effet de partage de charges [17]

Dans la technologie SOI, l'influence des zones de charge d'espace des régions source et drain diminue, ce qui réduit leur impact sur le potentiel du centre du canal et par conséquent limite l'effet d'abaissement de la barrière de potentiel source/ canal/ drain, et donc l'effet de canal court.

1.2.4.5 Augmentation de la densité d'intégration

La miniaturisation de tous les produits électroniques requiert la réduction des tailles des composants et l'accroissement de la densité d'intégration tout en gardant la même performance et la même durée de vie ou plus. L'utilisation d'un substrat SOI permet à la fois une isolation diélectrique verticale parfaite entre les différents composants (puissance, logique et analogique), grâce à la couche diélectrique enterrée et une densité d'intégration plus importante.

1.2.4.6 Meilleure tenue aux radiations

Certaines applications comme l'aéronautique et l'espace sont soumises au rayonnement cosmique. Des forts flux de particules chargées engendrent des « photo-courants » dans les circuits intégrés. Par ailleurs, une particule unique très ionisante (proton ou ion) produit le long de sa trace un plasma conducteur (Figure 1.17) responsable d'effets isolés : claquages ou courts-circuits, tous deux destructifs ; basculement d'un point mémoire ou erreur dans un circuit logique, non destructifs mais entraînant des erreurs graves au niveau système.

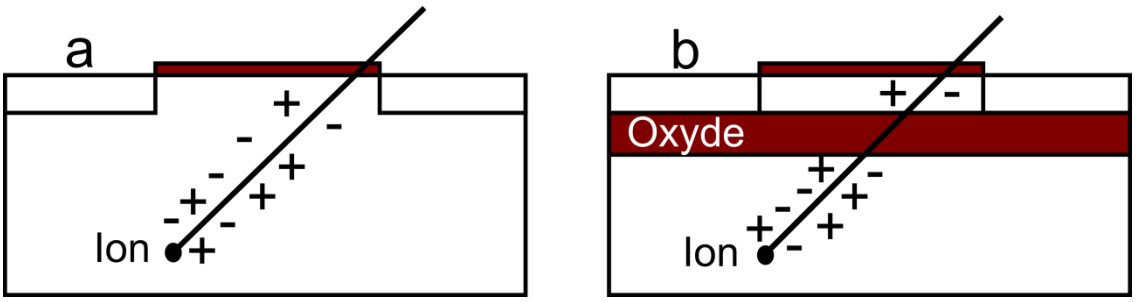

Figure 1.17 : Effet des irradiations (a) sur substrats massifs et (b) sur SOI [10].

Le durcissement [18] vis-à-vis de ces effets est obtenu principalement par la réduction du volume de silicium contenant les composants. L'utilisation de fines couches actives de silicium minimise l'impact des radiations ionisantes sur les performances des composants.

A noter que la technologie BCD, offre des avantages moins significatifs que les technologies de PDSOI et FDSOI, en particulier concernant la haute fréquence de fonctionnement, le faible courant de fuite et la réduction de l'effet de canal court. Par contre, les autres avantages cités sont valides pour toutes les structures de type SOI.

1.2.5 Inconvénients de la technologie SOI.

La technologie SOI a beaucoup d'avantages, mais elle a aussi plusieurs inconvénients qui limitent son utilisation généralisée.

1.2.5.1 Coût des plaquettes

Malgré les nouvelles techniques de fabrication performantes des plaquettes SOI, cette technologie reste plus chère par comparaison à celle sur substrat massif, car elle nécessite plus de matériau (wafer bonding) et plus d'étapes technologiques. A titre d'exemple, selon Virginia Semiconductor, le prix d'une plaquette SOI de 100 mm de diamètre, 400 µm d'épaisseur et dopée au bore est égal à 175 $ par plaquette, alors que le prix d'une plaquette de silicium de 100 mm de diamètre, 500 µm d'épaisseur et dopée au bore varie entre 36 $ et 80 $ suivant la résistivité du silicium [19].

1.2.5.2 Conductivité thermique

Dans l'utilisation d'un SOI, la présence de la couche d'oxyde enterrée empêche la dissipation thermique par la face arrière du substrat et peut alors poser un problème d'auto échauffement pour les composants de puissance. En effet, il y a une grande différence entre les conductivités thermiques du silicium et celle de l'oxyde [20].

$$\kappa th(Si) \approx 100 \times \kappa th(SiO_2)$$ **Equation 1.1**

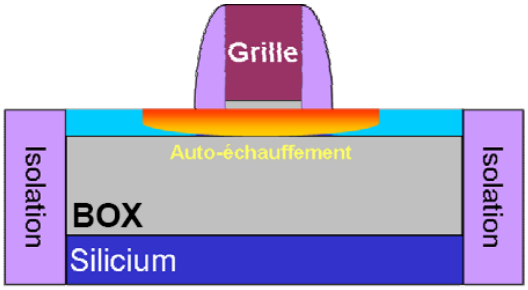

Figure 1.18: Auto échauffement dans un MOS sur substrat SOI à isolant SiO2 [20].

Une solution a été proposée par le CEA LETTI pour diminuer l'auto échauffement, qui est de remplacer l'oxyde de silicium par une couche de Si_3N_4 qui a une conductivité thermique plus élevée que celle de l'oxyde de silicium [20].

$$\kappa th(Si_3N_4) \approx 10 \times \kappa th(SiO_2)$$ **Equation 1.2**

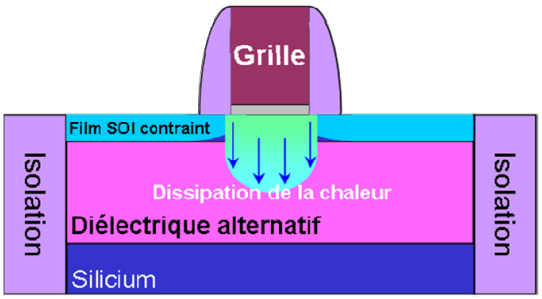

Figure 1.19: Auto échauffement dans un MOS à substrat SOI à isolant Si3N4 [20]

1.3 Impact de la haute température sur les caractéristiques électriques des dispositifs électroniques

L'évolution de nombreuses applications vers le « tout électrique », comme par exemple, dans l'automobile avec le véhicule hybride, requiert de nouvelles architectures d'électronique de puissance pour répondre à ces nouvelles exigences : haute tension et haute température (200°C) liée à l'intégration mécatronique des modules de puissance.

L'élévation de la température a le même impact sur les caractéristiques électriques d'un transistor MOS à substrat SOI et massif (tension de seuil, mobilité, courant de fuite, vitesse de saturation) [21], mais avec des différences significatives comme nous allons le voir ci-après.

1.3.1 Impact de la haute température sur la tension de seuil.

La tension de seuil pour un MOSFET à canal n (Bulk ou SOI), est donnée par [6]:

$$V_{TH} = \Phi_{MS} + 2\Phi_F - Q_{ox}/C_{ox} - Q_{dep}/C_{ox} \qquad \textbf{Equation 1.3}$$

Avec Φ_{MS}, Φ_F, Q_{ox}, Q_{dep} et C_{ox} le travail de sortie métal-semiconducteur, le potentiel de Fermi, la densité de charge dans l'oxyde de grille, la charge dépeuplée contrôlée par la grille et la capacité de l'oxyde de grille, respectivement.

Pour les dispositifs sur substrat massif ou PDSOI, $Q_{dep} = q.Na\ .x_{dmax}$, où x_{dmax} est la largeur maximale de la zone dépeuplée correspondant à la concentration de dopants N_a, qui est égale à $\sqrt{\frac{4\varepsilon\Phi_F}{qNa}}$.

Pour les dispositifs FDSOI, Q_{dep} a une valeur comprise entre $q.Na.t_{si}$ et $q.Na.t_{si}/2$, avec q la charge de l'électron, Na la concentration de dopants et t_{si} l'épaisseur de la couche de silicium. Si on suppose que la grille est en polysilicium N^+, la valeur du travail de sortie est donnée par [6] :

$$\Phi_{MS} = -\frac{E_g}{2} - \Phi_F \quad \textbf{Avec} \quad \Phi_F = \frac{KT}{q}\ln(N_a / n_i) \qquad \textbf{Equation 1.4}$$

La dépendance en température de la concentration intrinsèque de porteurs n_i, est donnée par :

$$n_i = 3{,}9 \times 10^{16}\ T^{3/2}\ e^{-(Eg/2KT)} \qquad \textbf{Equation 1.5}$$

Avec Eg, K et T l'énergie de bande interdite, la constante de Boltzmann et la température, respectivement. La dépendance de la tension de seuil avec la température peut être obtenue à partir des Equation 1.3 et Equation 1.5. Pour des raisons de simplification, on supposera que la charge Q_{ox} est indépendante de la température, et de même pour E_g sur la gamme de températures considérées.

Dans le cas d'un dispositif sur substrat massif ou PDSOI, la variation de la tension de seuil avec la température peut être décrite par la relation suivante.

$$\frac{dV_{TH}}{dT} = \frac{d\Phi_F}{dT}\left[1 + \frac{q}{C_{ox}}\sqrt{\frac{4\varepsilon_{Si}N_a}{KT\ln(Na/ni)}}\right] \qquad \textbf{Equation 1.6}$$

Avec

$$\frac{d\Phi_F}{dT} = 8{,}63x10^{-5}\left[\ln(N_a) - 38{,}2 - \frac{3}{2}\{1+\ln(T)\}\right] \qquad \textbf{Equation 1.7}$$

Dans le cas d'un dispositif FDSOI, la charge dépeuplée Q_{dep}, est égale à qN_at_{si}/n, où la valeur de n varie entre 1 et 2 et dépend de la charge de l'oxyde et de la condition de la

polarisation du substrat (back-gate bias condition). Si on suppose que n est indépendant de la température, la variation de la tension de seuil sera donnée par :

$$\frac{dV_{TH}}{dT} = \frac{d\Phi_F}{dT} \qquad \textbf{Equation 1.8}$$

On peut remarquer par une simple comparaison entre Equation 1.6 et Equation 1.8 que dV_{TH}/dT est plus petit dans les dispositifs FDSOI que dans les dispositifs sur substrat massif et les dispositifs PDSOI. Le rapport entre la variation de la tension de seuil pour des dispositifs sur substrat massif et des dispositifs SOI minces est donné par le terme entre crochets de l'Equation 1.6 et il est typiquement entre 2 et 3, dépendant de l'épaisseur de l'oxyde de grille et de la concentration de dopants du canal. La valeur typique de dV_{TH}/dT varie entre -0,7 et -0,8 mV/K pour les MOSFETs FDSOI. Des valeurs de dV_{TH}/dT beaucoup plus grandes sont observées pour les dispositifs sur substrat massif ou PDSOI comme explicité au Tableau 1.1.

dV_{TH}/dT (mV/K)	*FDSOI T=25°C*	*Bulk T=25°C*	*FDSOI T=200°C*	*Bulk T=200°C*
t_{ox} = 19 nm Na=1,6x10^{17} cm^{-3}	***-0,74***	***-1,87***	***-0,8***	***-2,3***
t_{ox} = 32,5 nm Na = 1,2x10^{17}cm^{-3}	***-0,76***	***-2,42***	***-0,82***	***-3,05***

Tableau 1.1: dV_{TH}/dT (en mV/K), pour les MOSFETs Bulk et SOI (tsi = 100nm). Les données sont présentées pour 2 températures (25 et 200° C) et pour 2 valeurs d'épaisseur d'oxyde t_{ox} et de concentration de dopants Na [6].

Quand la température augmente dans un dispositif à film mince, la concentration des porteurs intrinsèques n_i augmente et Φ_F diminue. Cela donne lieu à une diminution de la zone dépeuplée maximale, de manière que les dispositifs ne se comportent plus totalement comme des dispositifs FDSOI au dessus de la température critique T_k. A cette température, x_{dmax} devient plus petit que $t_{si,eff}$, où $t_{si,eff}$ est l'épaisseur électrique d'un film, c'est-à-dire l'épaisseur du film de silicium moins la zone dépeuplée. Au dessus de T_k, le transistor se comporte comme un MOSFET SOI à film épais (Figure 1.20). On peut noter sur cette figure que le changement de comportement se produit à une température supérieure à 200°C.

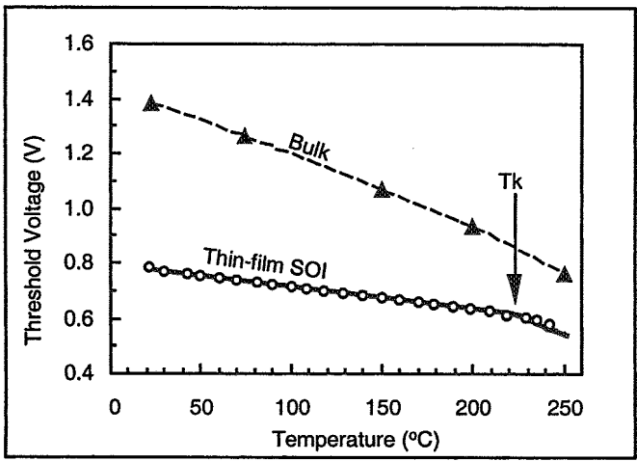

Figure 1.20: Variation de la tension de seuil d'un MOSFET Bulk et FDSOI à canal n avec la température [6].

1.3.2 Courant de fuite à haute température

L'augmentation du courant de fuite des jonctions est l'une des principales causes de l'échec des circuits fonctionnant à haute température. Le courant de fuite de jonction est proportionnel à la surface de jonction. La plus forte composante d'un courant de fuite de CMOS sur substrat massif à haute température, provient de la jonction plane [6]. Le courant de fuite de polarisation inverse N^+/P a pour expression :

$$I_{leak} = qA\left(\frac{D_n}{\tau_n}\right)^{\frac{1}{2}}\frac{ni^2}{N_a} + qA\frac{n_i W}{\tau_e} \qquad \textbf{Equation 1.9}$$

Avec q la charge de l'électron, A la surface de la jonction, D_n le coefficient de diffusion des électrons, τ_n la durée de vie de l'électron dans le silicium neutre de type P, W la largeur de la zone dépeuplée et $\tau_e = (\tau_n + \tau_p)/2$ la durée de vie effective liée au processus de génération thermique dans la zone dépeuplée.

Le premier terme dans l'Equation 1.9 (courant de diffusion) est proportionnel à n_i^2 et le deuxième terme de l'Equation 1.9 (courant de génération) est proportionnel à n_i. Il est expérimentalement observé [6] que le courant de fuite d'un MOSFET SOI et de diodes polarisées en inverse est proportionnel à n_i pour des températures inférieures à 100-150°C et proportionnel à n_i^2 au dessus de ces températures [6], [22]. Il est intéressant de noter que la surface de la jonction A et A.W le volume de la région de charge d'espace associés à cette diode sont beaucoup plus petits pour les dispositifs SOI que pour les dispositifs sur substrat massif.

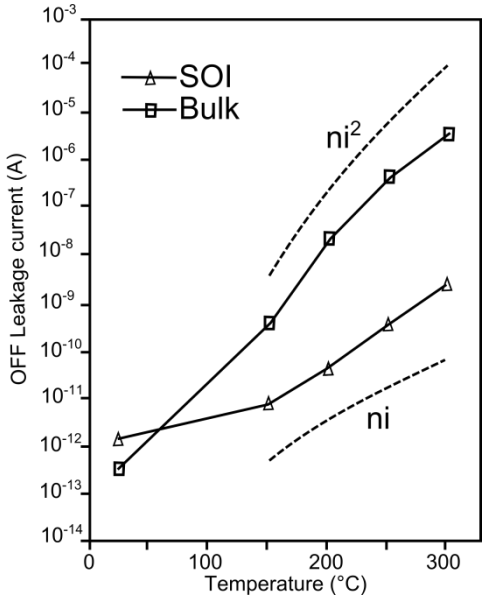

Figure 1.21: Courant de fuite dans des transistors à canal n de même géométrie sur substrats SOI et massif, en fonction de la température [6]

Les courants de fuite pour V_{DS} = 5V pour les transistors sur substrats massif et SOI à canal n de mêmes géométries sont comparés sur la Figure 1.21. A température ambiante, le courant de fuite pour le SOI est un peu plus grand que celui sur substrat massif. A haute

température, le courant de fuite des dispositifs SOI est plus petit de trois ordres de grandeur par rapport à celui des dispositifs sur substrat massif.

La Figure 1.22 [23] présente la variation du courant de fuite en fonction de la température pour différentes géométries de dispositifs p-MOS sur substrat massif et SOI. On peut noter la proportionnalité du courant de fuite à n_i pour les 2 géométries SOI et à n_i^2 pour le dispositif sur substrat massif.

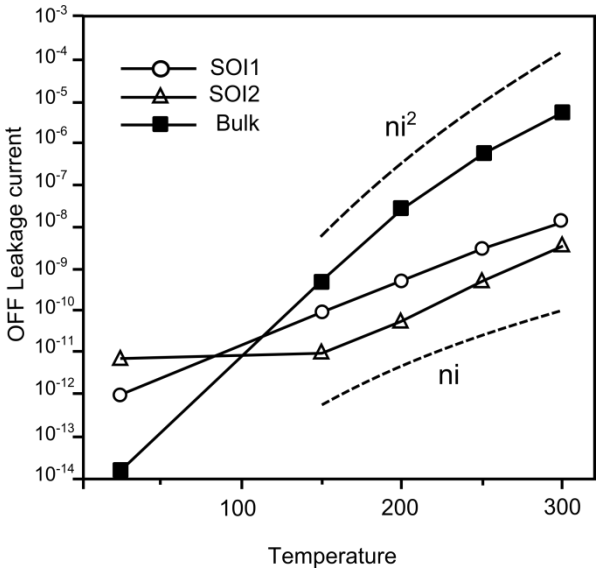

Figure 1.22: Courant de fuite en fonction de la température des dispositifs SOI1 (W/L = 20µm/5µm) et SOI2 (W/L = 3µm/3µm) pour des transistors p-MOS SOI avec une polarisation de zéro pour le substrat et -3 V pour le drain et d'un transistor p-MOS sur substrat massif (W/L = 20µm/5) avec une polarisation de -3V pour le drain et 0V pour le substrat [21].

Si on développe l'expression du courant de diffusion pour le transistor n-MOS on obtient [24]:

$$I_{diff} = q.Z.\sqrt{\frac{D_n}{\tau_{rn}}}.\left(1-e^{-\frac{qV_D}{kT}}\right).\int_0^{d_{Si}} \frac{n_i^2}{N_a}.e^{\frac{q.\varphi(x,T)}{kT}}dx \qquad \textbf{Equation 1.10}$$

Où D_n et D_p sont les constantes de diffusion des électrons et des trous, Z est la largeur du dispositif, τ_{rn} est la durée de vie de recombinaison des électrons et des trous respectivement. $\varphi(x, T)$ représente la distribution de potentiel aux bornes du film de silicium. Pour le transistor PMOS, on a la même équation mais en remplaçant N_d par N_a, D_n par D_p et τ_{rp} par τ_{rn}.

De même pour le courant de génération l'expression devient :

$$I_{gen} = q.d_{si}.Z.\frac{n_i}{\tau_g}\left\{\sqrt{\frac{2.\varepsilon_s.K.T}{q^2.N_a}}\left[\sqrt{\ln\left(\frac{N_a}{n_i}\right)+\frac{q.V_D}{K.T}}-\sqrt{\ln\left(\frac{N_A}{n_i}\right)}\right]\right\} \qquad \textbf{Equation 1.11}$$

Avec d_{si}, l'épaisseur du film de silicium, τ_g la durée de vie de génération. Donc l'épaisseur du film de silicium joue un rôle dans la variation du courant de fuite. La Figure

1.23 présente la dépendance du courant de fuite avec la température mesurée dans des dispositifs SOI pour différentes épaisseurs de film de silicium.

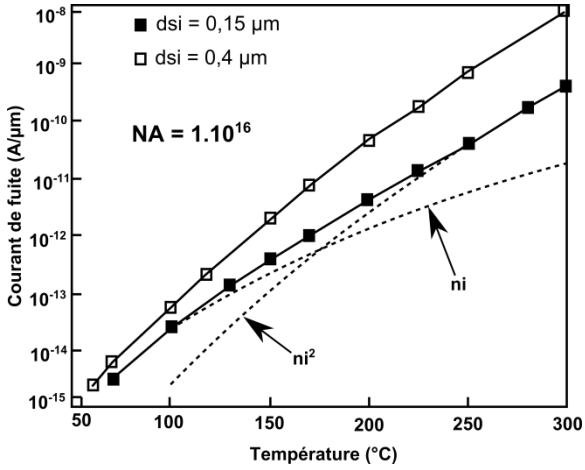

Figure 1.23: Dépendance en température du courant de fuite des MOSFETs SOI pour plusieurs valeurs de l'épaisseur du film de silicium à V_{DS} = 3V et V_{GS} =0 [24]

Sur cette figure (Figure 1.23), on peut voir que le courant de fuite du dispositif qui a une épaisseur de film égale à 0,15µm, est proportionnel à $n_i(T)$ en dessous de 150°C, ce qui démontre que le courant de génération est le courant dominant. A haute température, le courant de fuite varie comme $n_i^2(T)$, ce qui démontre que le courant de diffusion est dominant. Dans le dispositif de 0,4µm d'épaisseur de film, le courant de diffusion devient dominant à partir de 100°C, donc plus l'épaisseur du film de silicium augmente plus le comportement du dispositif SOI devient proche de celui sur substrat massif.

A haute température, l'augmentation de la longueur du canal du transistor permet de diminuer le courant de fuite [25]. En effet, la longueur du canal a un effet direct sur le gain du transistor bipolaire parasite. En augmentant cette longueur, le gain en courant diminue, et par suite, le courant de fuite diminue.

1.3.3 Fonctionnement en logique (I_{ON}/I_{OFF})

La température de fonctionnement étant la même pour tous les circuits, les circuits numériques seront également exposés. Pour maintenir un fonctionnement logique normal, il faut que le rapport de I_{ON}/I_{OFF} soit le plus grand possible. La Figure 1.24 présente le courant de drain en fonction de la tension de grille en mode d'accumulation pour un MOSFET SOI à canal p et pour différentes températures de fonctionnement. Des mesures faites par [24] montrent que des rapports I_{ON}/I_{OFF} égaux à 100 000 à 200°C et 300 à 300°C. Ces valeurs montrent que les circuits SOI restent fonctionnels même à haute température. Par comparaison, le rapport I_{ON}/I_{OFF} pour un transistor sur substrat massif est de l'ordre de 40 à 250°C, alors qu'il est de l'ordre de 5000 pour un transistor SOI, Figure 1.24.

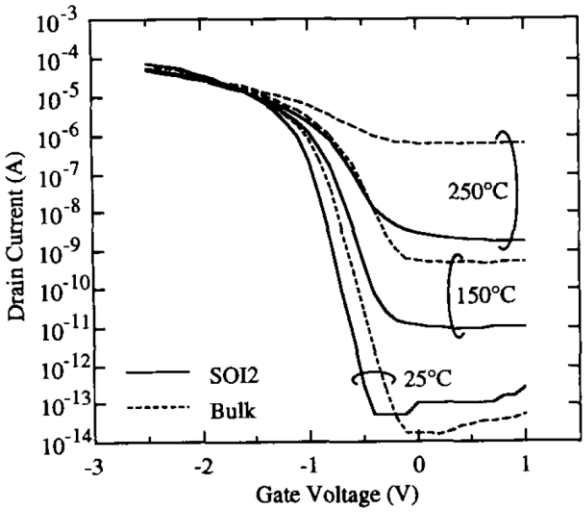

Figure 1.24: Courant de drain en fonction de la tension de grille pour un transistor p-MOS sur substrat massif et SOI, de même géométrie (W= 20µm et L = 5µm) pour différentes températures et pour V_{DS} = -3V [24].

La différence de rapport I_{ON}/I_{OFF} entre la technologie sur substrat massif et SOI montre le grand avantage de l'utilisation de la technologie SOI par rapport au substrat massif. De plus, à technologie comparable, l'aire de jonction de drain et de source est beaucoup plus petite dans les dispositifs SOI que dans les dispositifs massifs, d'un facteur allant de 15 à 100 (selon les règles de conception). Ces caractéristiques peuvent aider à une réduction drastique du courant de consommation à l'état off d'un circuit SOI par rapport à une technologie sur substrat massif.

1.3.4 Tension de claquage et R_{ON}

Les paramètres des composants de puissance, comme la résistance à l'état passant et la tension de claquage, sont également sensibles à la température. Des mesures de tension de claquage de jonction ont été faites sur un LDMOS SOI de largeur de grille de 10µm et de longueur effective de 1µm [26]. La tension de claquage diminue linéairement avec la tension de grille et chute ainsi à 25 V pour V_{GS} = 5V.

Comme le montre la Figure 1.25, pour une tension de grille de 5V, la tension de claquage augmente de 25,5V à 27,5V à 100°C et ensuite se stabilise à 28 V jusqu'à 250°C à partir de laquelle le LDMOS ne fonctionne plus correctement à cause d'un important courant de fuite. La Figure 1.25 montre aussi l'évolution de la tension de claquage en fonction de la température pour V_{GS} = 0,5V et 2V. Dans ce cas, on peut noter que pour V_{GS} = 0,5 V, la variation de la tension de claquage est bien plus importante : elle est proche de 5V, c'est-à-dire proche de 15% de la valeur à température ambiante. Dans le cas du LDMOS, cette propriété lui confère donc une meilleure tenue en tension, ce qui peut être un avantage.

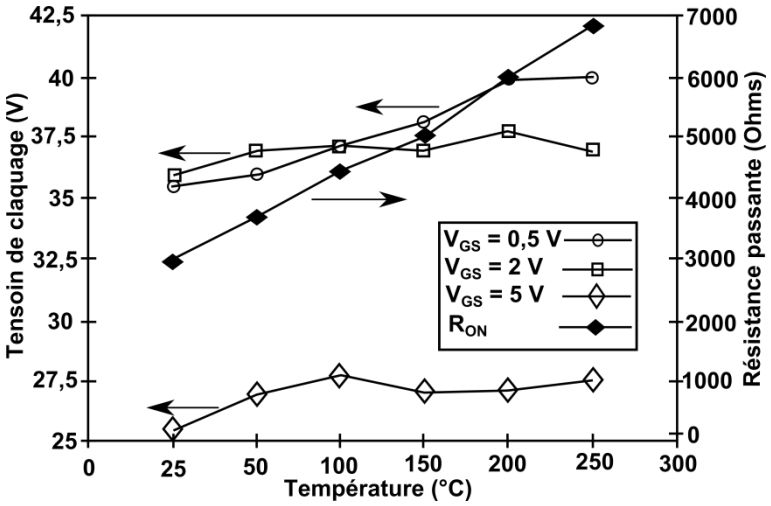

Figure 1.25 : Tension de claquage pour V_{GS} = 0.5V, 2V et 5V. Et la résistance dans le cas passant en fonction de la température d'un transistor LDMOS [26]

La Figure 1.25 montre également que la résistance à l'état passant de ce même MOS augmente linéairement en fonction de la température de 3 kΩ à 27°C jusqu'à 7 kΩ à 250 °C. L'augmentation de la résistance implique une augmentation de la chute de tension et donc de la puissance consommée d'un dispositif.

1.3.5 Fiabilité de l'oxyde de grille

Le claquage de l'oxyde de grille soumis à un stress électrique durant le fonctionnement du dispositif, est considéré comme l'obstacle principal pour la réduction des dimensions des circuits intégrés [27]. En effet, le temps jusqu'au claquage ou t_{BD} (Time to breakdown) de la couche d'oxyde SiO_2 diminue avec la diminution de l'épaisseur de la couche d'oxyde nécessaire pour la réduction des tailles des dispositifs. On caractérise les oxydes par le temps t_{BD} nécessaire pour arriver au claquage en présence d'une tension constante.

L'élévation de la température accélère le claquage de l'oxyde de grille. Des études ont montré l'effet de l'élévation de la température sur le temps de claquage de l'oxyde. L'épaisseur de l'oxyde utilisé dans cette étude varie entre 2,2 et 13,8 nm et le temps de claquage t_{BD} (Time to breakdown) est déterminé à partir de la première discontinuité de la densité du courant.

La Figure 1.26 [27] présente la variation du temps de claquage en fonction de la température pour différentes épaisseurs d'oxyde. L'effet de la haute température sur l'oxyde mince est beaucoup plus dramatique, car il est bien plus important (4 décades) que pour un oxyde épais (1 décade).

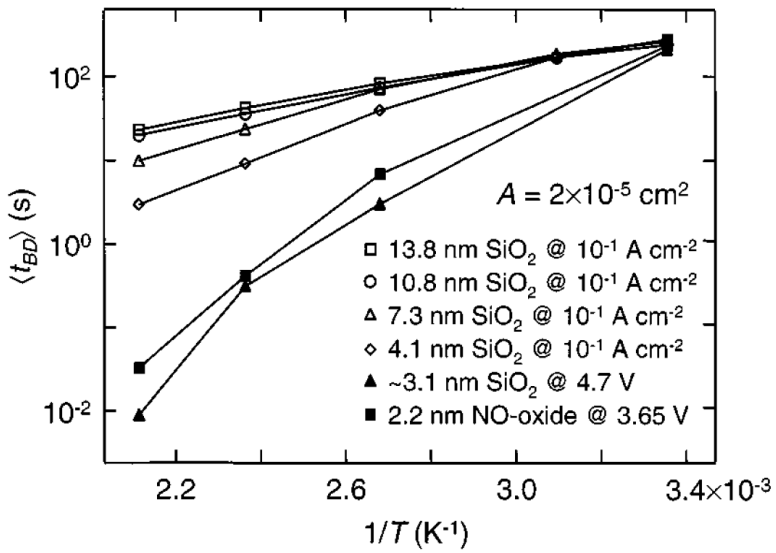

Figure 1.26: L'effet de la haute température sur t_{BD} pour différentes épaisseurs d'oxyde [27]

A température ambiante et lors de tests de l'oxyde sous tension constante, on montre que le t_{BD} est proportionnel à l'exponentielle de $1/E_{ox}$ [28].

$$t_{BD} = \tau_0 \exp\left[\frac{G}{E_{ox}}\right] = \tau_0 \exp\left[\frac{GX_{ox}}{V_{ox}}\right]$$ **Equation 1.12**

Où E_{ox} est le champ électrique dans l'oxyde, X_{ox} est l'épaisseur de l'oxyde, V_{ox} est la tension aux bornes de l'oxyde et G (350 MV/cm) et τ_0 (1 x 10^{-11} s) sont la pente et l'intersection avec l'axe des x, du graphe de ln (t_{BD}) en fonction de $1/E_{ox}$, respectivement. Les mécanismes physiques associés sont la localisation de pièges à l'interface Si/SiO_2 et un changement localisé de la structure chimique ayant pour effet de réduire la barrière de potentiel. L'épaisseur de l'oxyde sera donc moins épaisse, X_{ox} sera remplacé par X_{eff} qui présente l'épaisseur effective de l'oxyde et l'expression du temps de claquage de l'oxyde t_{BD} sera :

$$t_{BD} = \tau_0 \exp\left[\frac{GX_{eff}}{V_{ox}}\right]$$ **Equation 1.13**

L'expression générale de la dépendance en température de t_{BD} est obtenue par l'introduction du paramètre T dans l'expression de G et τ_0 avec E_b l'énergie d'activation.

$$\tau_0(T) = \tau_0 \exp\left(\frac{-E_b}{k}\left[\frac{1}{T} - \frac{1}{300}\right]\right)$$ **Equation 1.14**

Avec k la constante de Boltzman en eV/K et les expressions de G(T) et δ sont les suivantes :

$$G(T) = G\left(1 + \frac{\delta}{k}\left[\frac{1}{T} - \frac{1}{300}\right]\right)$$ **Equation 1.15**

$$\delta \equiv \frac{k}{G}\frac{dG(T)}{d(1/T)}$$ **Equation 1.16**

L'expression générale de t_{bd} en fonction de la température devient [28] :

$$t_{BD}(T) = \tau_0 \exp\left\{\frac{GX_{eff}}{V_{ox}}\left(1+\frac{\delta}{k}\left[\frac{1}{T}-\frac{1}{300}\right]\right)-\frac{E_b}{k}\left[\frac{1}{T}-\frac{1}{300}\right]\right\}$$ **Equation 1.17**

Le temps de claquage dépend donc de la concentration de défauts dans la couche d'oxyde et cette concentration augmente avec l'augmentation de la température pour le même temps de stress comme la Figure 1.27 [27] l'indique. Selon cette figure, on peut remarquer, qu'à haute température, la concentration de défauts nécessaire pour que l'oxyde de grille claque, est plus faible qu'à basse température (presque une décade entre la température ambiante (RT) et 200°C).

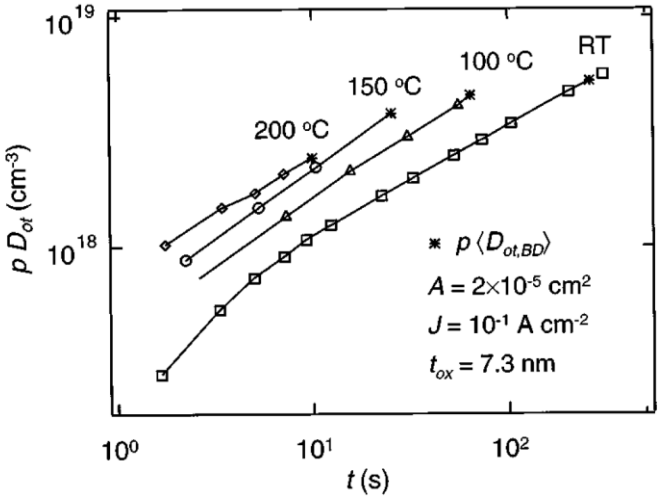

Figure 1.27 : Construction de défauts en fonction de temps de claquage de l'oxyde de grille pour différentes températures et pour tox = 7,3nm (RT = Room temperature) [27]

1.4 Impact sur le comportement de structures de protection contre les ESD

Le nombre de défaillances attribué aux phénomènes de décharges électrostatiques est aujourd'hui considérable, il est donc incontournable pour un fondeur de qualifier le niveau de protection des circuits et cela pour les différents types de décharges électrostatiques. Trois modèles de décharges électrostatiques associés à trois formes d'ondes caractéristiques sont à considérer [29]***:***

– Les décharges électrostatiques induites par le contact humain (HBM : Human Body Model) [30].

– Les décharges électrostatiques produites au contact d'une machine (bras robotisé) (MM : Machine Model) [31].

– Les décharges électrostatiques créées lors de la mise à la masse du circuit après qu'il ait fait l'objet d'une accumulation de charges (CDM Charged Device Model) [32].

Ces trois modèles de décharges électrostatiques sont associés à des procédures de test normalisées permettant la qualification d'un produit en vue de connaître sa robustesse ESD. Ainsi, un circuit peut être robuste vis-à-vis des décharges électrostatiques induites par contact humain sans pour autant résister à une décharge rapide se produisant lors de la mise à la masse du circuit préalablement chargé.

L'origine des décharges électrostatiques est aujourd'hui bien connue et est de manière générale assimilée à un événement bref pouvant fournir un courant élevé sur une durée n'excédant pas 200 ns. Le niveau de courant, la durée et la rapidité de l'onde dépendent de plusieurs facteurs comme l'impédance et l'inductance de la ligne de propagation de la décharge.

La caractérisation TLP (Transmission Line Pulses) [33], [34] est utilisée pour déterminer l'efficacité d'une structure de protection par rapport à son niveau de robustesse et à sa faculté à protéger un circuit. En effet, la forme d'onde HBM en courant (double exponentielle) permet difficilement de mettre en évidence le fonctionnement à fort courant de la protection. L'introduction de générateurs d'impulsions carrées a facilité le développement et l'analyse du niveau de performance d'une protection ESD. Le principe du banc de caractérisation TLP consiste à appliquer successivement des impulsions carrées en incrémentant le niveau de tension. Pour chaque niveau de tension, la réponse en courant de la structure est mesurée. La courbe I/V de sortie associée à une mesure du courant de fuite après chaque impulsion correspond à la signature de conduction de la protection en régime ESD. La Figure 1.28 illustre un exemple de résultat de caractérisation TLP pouvant être attribué à une protection efficace. Une protection ESD est définie comme efficace lorsqu'elle respecte la fenêtre de conception ESD. En effet, cette fenêtre est définie par un niveau bas, en dessous duquel la protection ne doit pas se déclencher, qui est imposé par le régime de fonctionnement du circuit à protéger et par un niveau haut à ne pas dépasser, défini comme la tension maximale au delà de laquelle se produiraient des défaillances irréversibles des transistors à protéger. Cette figure illustre le cas d'une protection se déclenchant à une tension V_t, puis se repliant sur une tension de maintien V_h et enfin présentant une défaillance au point (V_{t2}, I_{t2}).

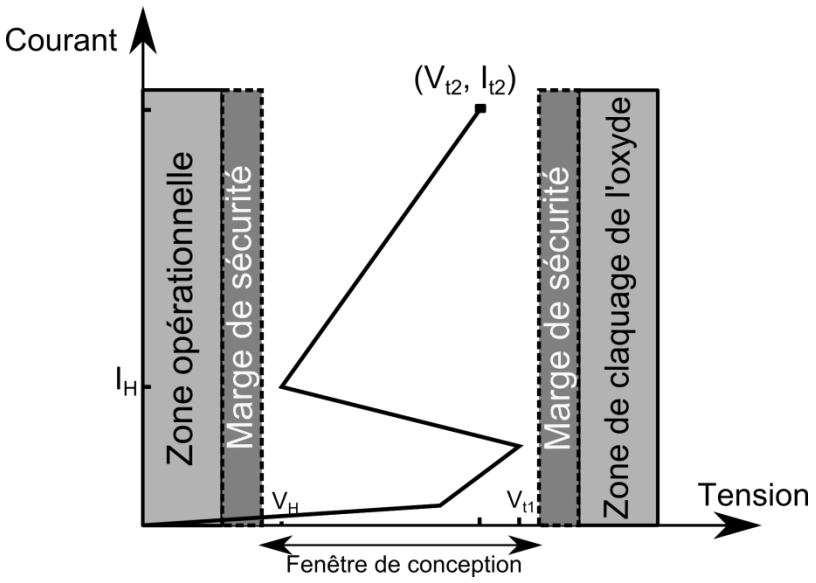

Figure 1.28 : Fenêtre de conception pour une protection ESD.

1.4.1 Principaux éléments de protection ESD

Afin de protéger les dispositifs ou les circuits électroniques contre les décharges électrostatiques, une structure de protection ESD doit résister elle-même à la décharge contre laquelle elle est supposée protéger. Elle doit donc être capable de supporter des champs électriques intenses et dissiper de très fortes densités d'énergie. Les principes de fonctionnement à fort courant sous les conditions ESD sont similaires aux composants semi-conducteurs de puissance [35]. La structure doit se comporter comme un interrupteur ouvert durant le fonctionnement normal du dispositif à protéger et comme un interrupteur fermé lors d'une décharge électrostatique c'est-à-dire, lorsque la tension aux bornes du circuit est plus grande que la tension d'alimentation (VDD). Par ailleurs, il faut que ces structures se déclenchent très rapidement, sinon, il y a risque de détruire le composant à protéger avant que la structure de protection ne se déclenche. Plusieurs composants électroniques peuvent jouer ce rôle de protection comme les diodes, les bipolaires, les MOS et les thyristors.

1.4.1.1 Les diodes

Les diodes sont caractérisées par leur faible résistance à l'état passant entre 20 Ω/µm et 100 Ω /µm [36]. Leur faible tension de déclenchement peut être résolue par la mise en série de plusieurs diodes. Une autre solution pour résoudre le problème de la faible tension de déclenchement, est d'utiliser la diode en inverse en profitant du phénomène d'avalanche, dont la tension varie selon le dopage des régions N et P, et pour les structures submicroniques il est aux alentours de 10 V [36]. La tension de déclenchement de la série de diodes ou de la diode Zener doit être supérieure à la tension d'alimentation du circuit à protéger et avoir une robustesse importante capable de supporter et d'absorber la puissance appliquée par cette décharge électrostatique.

Les diodes sont également, largement utilisées en direct dans le cadre de stratégie de protection centralisée. Une protection centrale placée entre V_{DD} et V_{SS} est dimensionnée pour absorber toutes les décharges sur l'ensemble des entrées-sorties. La décharge est renvoyée sur

cette protection centrale à l'aide de diodes en direct. L'avantage est que la diode peut être de taille relativement faible.

1.4.1.2 Les transistors bipolaires

Un transistor bipolaire en fonctionnement normal a une jonction polarisée en direct, la jonction base-émetteur, qui permet aux porteurs minoritaires d'être injectés au voisinage d'une jonction polarisée en inverse, la jonction base-collecteur [36]. Le transistor bipolaire est passant lorsque sa tension V_{BE} est de l'ordre de 0,6 V.

Pour un fonctionnement en structure de protection contre les décharges électrostatiques, le transistor bipolaire NPN a sa base reliée à l'émetteur soit directement par un court-circuit soit par une résistance. Lorsqu'il y a une décharge positive appliquée au collecteur, et puisque dans ce cas la tension V_{BE} est nulle, c'est au départ le courant de fuite de la jonction collecteur-base qui circule dans ce bipolaire, et en particulier, dans la base. Ce courant circule sur la résistance intrinsèque de la base si le montage est en court-circuit ou sur la résistance externe (Figure 1.29). Lorsque la chute de tension, dans la base (dans le cas où la base et l'émetteur sont en court-circuit), ou aux bornes de la résistance (dans le cas où la base et l'émetteur sont reliés par une résistance), atteint la tension de seuil de la jonction base-émetteur, le transistor se déclenche. Après ce déclenchement, il y a une chute de résistance du bipolaire et par suite une chute de la tension, ce qui explique le repliement observé sur les caractéristiques TLP.

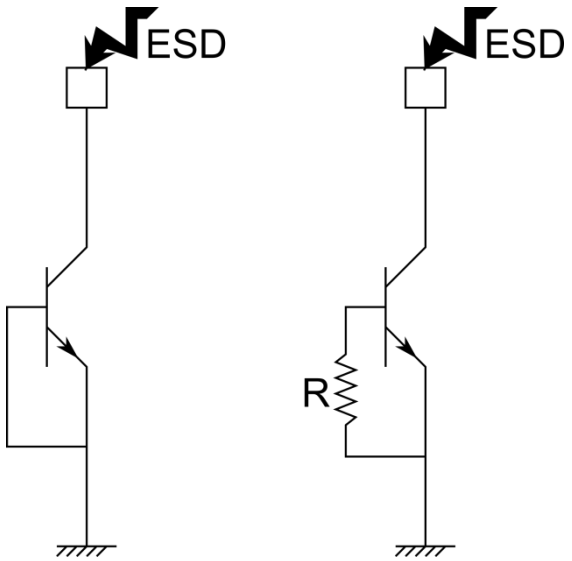

Figure 1.29: Utilisation des bipolaires en protection ESD

1.4.1.3 Les transistors MOS

Le DMOS latéral (LDMOS) est un transistor de puissance qui est couramment utilisé dans la conception des circuits haute tension. Cependant, de très grand dispositifs (W > 10 K µm) peuvent être robustes mais prennent beaucoup de place. Des dispositifs plus petits (W < 5K µm) utilisés dans certaines applications présentent des problèmes de robustesse ESD. Ainsi l'obtention d'une robustesse de 2 kV peut être difficile [37].

L'utilisation de LDMOS dans une protection centrale comme structure principale qui absorbe l'impulsion ESD est présentée dans la Figure 1.30. En effet, les diodes Zener servent à assurer le déclenchement du LDMOS avec une différence de potentiel compatible avec la fenêtre de conception ESD. La diode Zener D1 sert à protéger l'oxyde de grille du LDMOS.

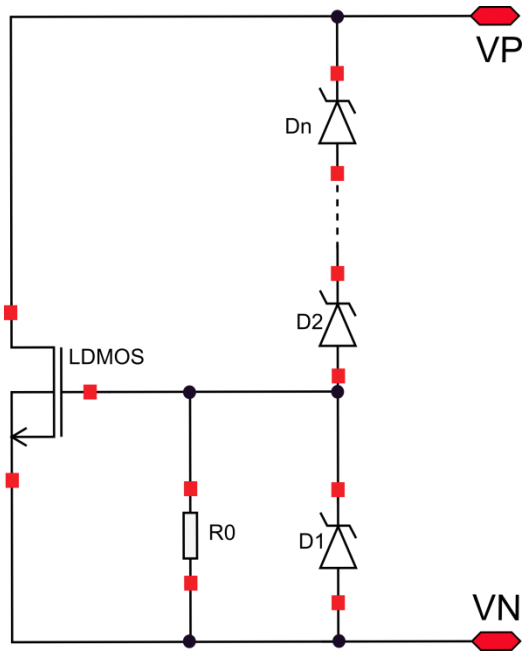

Figure 1.30: LDMOS dans protection ESD centralisée

Il est également possible d'utiliser les transistors MOS comme structure de protection en montage GGMOS (grounded gate MOS) ou MOS avec grille reliée à la masse). Dans cette configuration et dans le cas d'un stress ESD, c'est le transistor bipolaire parasite du MOS qui se déclenche et sert à absorber la décharge électrostatique (voir Figure 1.31).

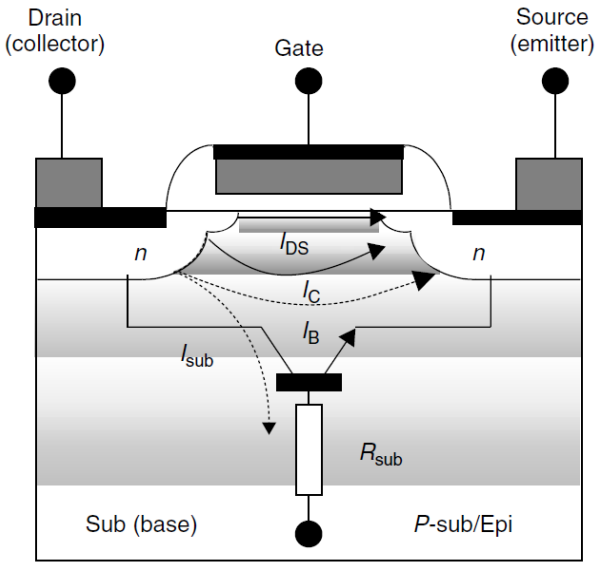

Figure 1.31: Vue en coupe d'un transistor NMOS montrant le bipolaire latéral parasite npn et les courants associés [36]

1.4.2 Protection ESD à haute température

Les travaux qui parlent de l'effet de la température sur les protections ESD sont rares [38–40]. Cependant, à haute température, les quatre paramètres, tension de déclenchement (V_t), tension de maintien (V_h), courant de maintien et résistance à l'état passant, peuvent varier significativement et ne plus être compatibles avec la fenêtre de conception ESD. Si V_t augmente et devient plus grand que la tension de claquage de l'oxyde ou de la défaillance de la structure à protéger, la décharge électrostatique pourrait détruire le dispositif. Le même problème peut survenir avec l'augmentation de la résistance passante de la structure de protection avec la température. Si V_h diminue et se situe dans le domaine de fonctionnement de dispositif, alors le circuit de protection risque de se déclencher pendant le fonctionnement normal du circuit, et induire des dysfonctionnements.

Dans le cas où le circuit de protection est de type SCR, les tensions V_h et V_t diminuent avec l'augmentation de la température. Jung [38] a démontré la diminution de V_h pour les différents types de circuits de protection SCR, DCTSCR (diode-chain triggering SCR), ZDSCR (low-voltage zener diode trigger SCR), LVTSCR (low-voltage trigger SCR) et GCSCR (gate-coupled low-voltage trigger SCR [41]). La diminution de la tension V_h est de l'ordre de 0,3V en passant de 25°C à 130°C. Jung a montré aussi que le problème de la diminution de V_t est résolu dans les deux derniers types de SCR. Dans les structures LVTSCR et GCSCR, V_t augmente avec l'augmentation de la température et dans ce cas, la protection ESD respecte la fenêtre de conception ESD. La Figure 1.32.a et Figure 1.32.b présentent l'augmentation de la tension V_t avec l'augmentation de la température et diminution de la tension V_h, avec l'augmentation de la température pour la protection LVTSCR.

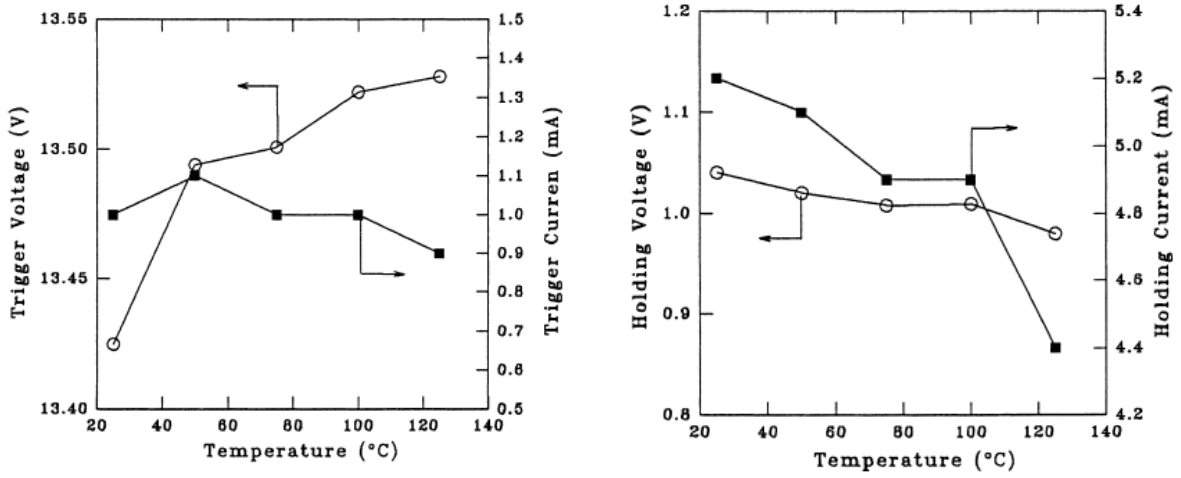

Figure 1.32: Tension de déclenchement (a) et tension de maintien en fonction de la température pour une protection LVTSCR (b) [38].

1.5 Composants de puissance sur SOI

Certains avantages, précédemment cités que la technologie SOI apporte dans l'électronique à faible puissance, comme la diminution de l'effet de canal court et la possibilité d'augmenter la densité d'intégration ne sont pas primordiaux pour l'électronique de puissance [42]. Le principal avantage de la technologie SOI concerne l'isolement quasi idéal. Dans ces circuits, l'isolement est une propriété essentielle car le fonctionnement des

dispositifs de puissance est souvent associé avec l'injection de porteurs dans le substrat de silicium lors d'une surcharge inductive, par exemple.

L'isolation verticale est assurée par l'oxyde enterré. L'isolation latérale peut être réalisée par une gravure mesa, par LOCOS (local oxydation of silicon) pour les couches minces SOI, ou, plus couramment, par la formation de tranchées qui sont remplies avec de l'oxyde ou avec une combinaison d'oxyde de silicium et de poly-silicium et qui pénètrent dans le silicium jusqu'à l'oxyde enterré (voir Figure 1.33).

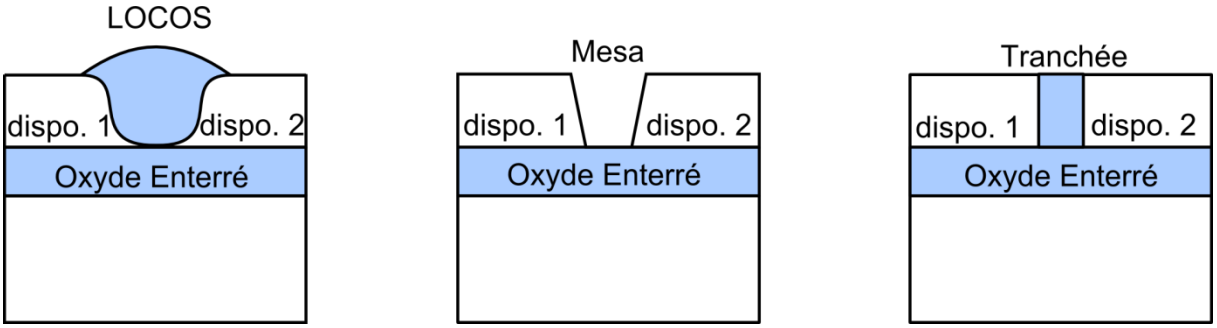

Figure 1.33: Techniques d'isolation pour les circuits intégrés haute tension de type SOI [43]

Les deux principales structures haute tension, le LDMOSFET [43] (lateral double diffused MOSFET) et le LIGBT [44] (lateral insulated gate bipolar transistor), ont eu un impact (temps d'éteinte, courant de fuite, ..) dans la technologie SOI.

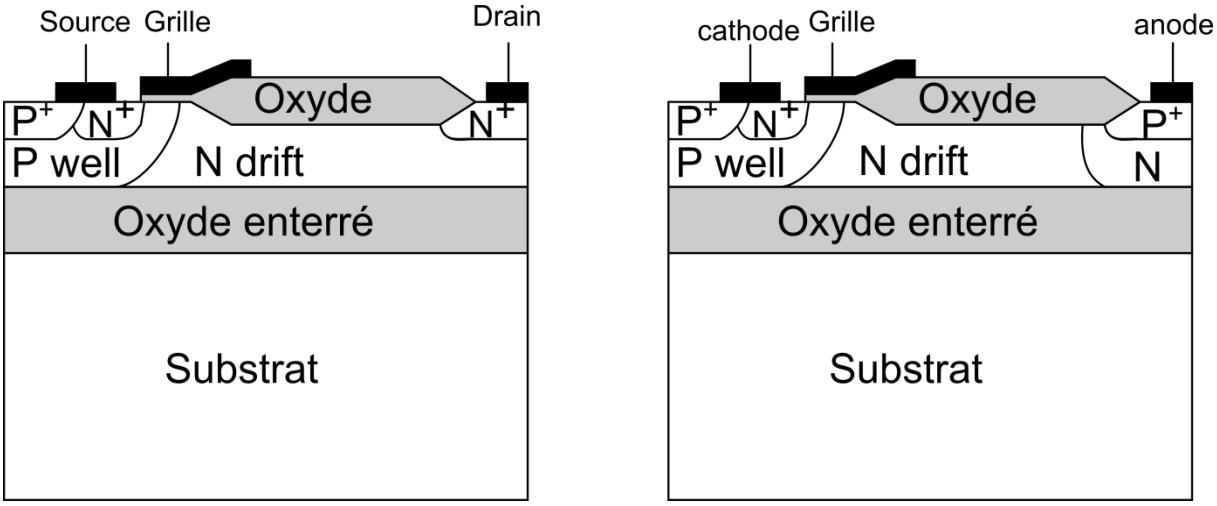

Figure 1.34: Gauche : Vue en coupe d'un LDMOSFET SOI. Droite : Vue en coupe d'un LIGBT SOI

La structure LDMOSFET sur SOI est présentée dans la Figure 1.34. Quand la tension appliquée entre la grille et la source est plus grande que la tension de seuil, le dispositif commence à conduire le courant et reste à l'état passant tant que la tension reste appliquée. Le canal est formé entre le N+ de la source et le N- de la zone de drift qui assure la tenue en tension et permet le transport des électrons depuis la source jusqu'au drain. La résistance à l'état passant du LDMOSFET est donnée par la somme de la résistance du canal et de la résistance de la région N drift. La présence de l'oxyde enterré assure une isolation verticale et réduit la zone dépeuplée ce qui sert à minimiser le courant de fuite du composant.

Le LIGBT SOI est présenté dans la Figure 1.34. Par comparaison avec le LDMOSFET, le LIGBT dispose d'une couche de P+ du coté anode du dispositif. Quand un canal d'électrons est formé sous la grille, et si l'anode est polarisée en direct, des trous sont injectés dans la zone N drift à partir du P+ de l'anode alors que de l'autre coté, des électrons sont injectés dans la zone N drift à travers le canal formé dans le PWell. Comme dans le cas d'une diode de puissance PIN, l'injection de porteurs minoritaires dans la région de drift conduit à une accumulation des électrons et des trous dans cette région et par suite, à une augmentation de la conductivité. Le LIGBT a donc une faible résistance à l'état passant par comparaison avec le LDMOSFET, mais un temps de commutation plus lent puisqu'il a besoin de plus de temps pour l'élimination de l'excès de charges.

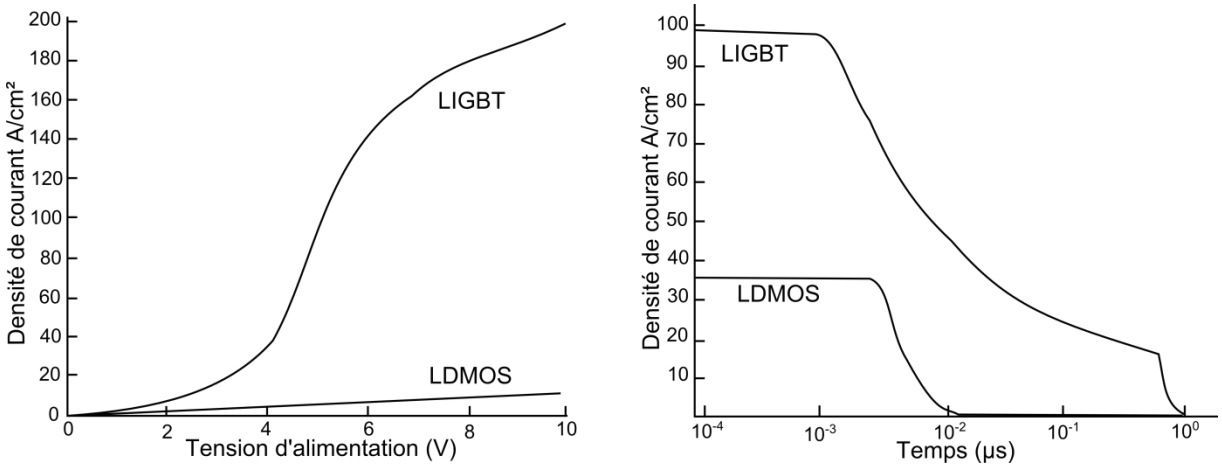

Figure 1.35: Gauche : Caractéristique I-V pour le LDMOSFET 600V et LIGBT 600V SOI. Droite : comparaison de temps d'extinction entre les 2 structures 600V SOI LDMOSFET et LIGBT [42]

La Figure 1.35 présente les caractéristiques I-V pour un LDMOSFET et un LIGBT ayant des dimensions similaires et aussi une tension nominale similaire. Comme prévu, le courant dans le LIGBT augmente plus fortement avec la tension appliquée, mais le temps d'extinction du LIGBT est supérieur à celui du LDMOSFET comme on peut le voir dans la Figure 1.35. L'oxyde enterré joue un rôle supplémentaire dans l'IGBT, qui est d'empêcher l'injection de porteurs dans le substrat. Cet avantage est très important pour le SOI LIGBT par rapport au JI LIGBT sur substrat massif, où l'injection des porteurs dans le substrat est l'origine principale des temps de commutation élevés.

Un autre avantage important pour les dispositifs SOI de puissance est qu'ils peuvent fonctionner à une température ambiante plus grande que celle des dispositifs sur substrat massif, puisque le courant de fuite dans les composants SOI est plus faible d'environ deux ordres de grandeur que dans les composants sur substrat massif [42].

1.6 Etat de l'art des technologies à haute température

La fiabilité d'un dispositif électronique et la compréhension des mécanismes physiques qui le régissent sont essentiels pour la fabrication de circuits intégrés fiables. Nous donnons ci-après quelques solutions permettant d'augmenter la durée de vie des composants vis-à-vis de la haute température.

1.6.1 Electromigration

L'électromigration, c'est le phénomène au cours duquel, des électrons, lors du passage du courant électrique à travers un métal peuvent arracher des ions de ce métal si la densité de courant est grande (Figure 1.36) [45], [46]. Ce phénomène conduit à des courts-circuits ou des circuits ouverts (défaillance fatale). L'électromigration diminue la fiabilité des circuits intégrés et dans le pire des cas, elle conduit à la perte d'une ou de plusieurs connexions et à la défaillance du circuit intégré. Avec la forte miniaturisation, la probabilité de défaillance due à l'électromigration augmente, car la densité du courant augmente. Dans les procédés de fabrication des semi-conducteurs, le cuivre a remplacé l'aluminium comme matériau d'interconnexion. Malgré sa plus grande fragilité dans le processus de fabrication, le cuivre est préféré pour sa conductivité supérieure. Il est aussi moins sensible à l'électromigration.

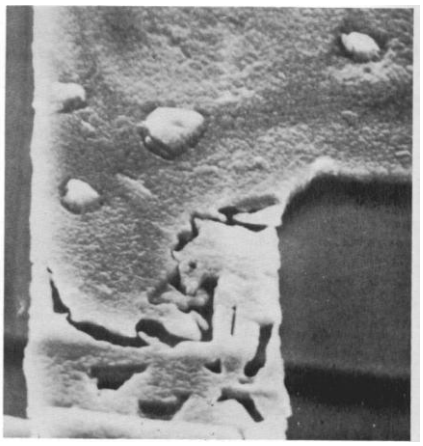

Figure 1.36: L'effet de l'électromigration sur une interconnexion métallique [45].

A la fin des années 60, Black [45] a proposé un modèle reliant la durée de vie médiane à la rupture (MTF - Mean Time to Failure) d'une population d'échantillons soumise à des tests de durée de vie en température T et densité de courant J. L'équation de Black généralisée est la suivante :

$$\frac{wt}{MTF} = AJ^n \exp - \frac{E_b}{kT} \qquad \textbf{Equation 1.18}$$

Avec w la largeur du conducteur, t son épaisseur, n = 2, J la densité du courant, et A un paramètre de Black dépendant des propriétés physiques du matériau. Il n'existe pas aujourd'hui de démonstration rigoureuse de l'équation de Black généralisée en supposant qu'elle soit exacte. Mais elle constitue encore aujourd'hui le modèle de référence en électromigration et est utilisée par toutes les équipes travaillant dans le domaine de l'électromigration des interconnexions. L'approche de Clement [56] permet de mieux comprendre d'où provient l'équation généralisée de Black.

La Figure 1.37 montre la variation de wt/(J^2.MTF) en fonction de la température. A partir de cette figure on peut conclure que le MTF diminue fortement avec l'augmentation de la température. Il est donc nécessaire de bien comprendre les mécanismes de l'électromigration pour en limiter les effets néfastes. Cette problématique constitue d'ailleurs

un des freins majeurs, avec celui de l'assemblage, à l'utilisation de l'électronique à haute température.

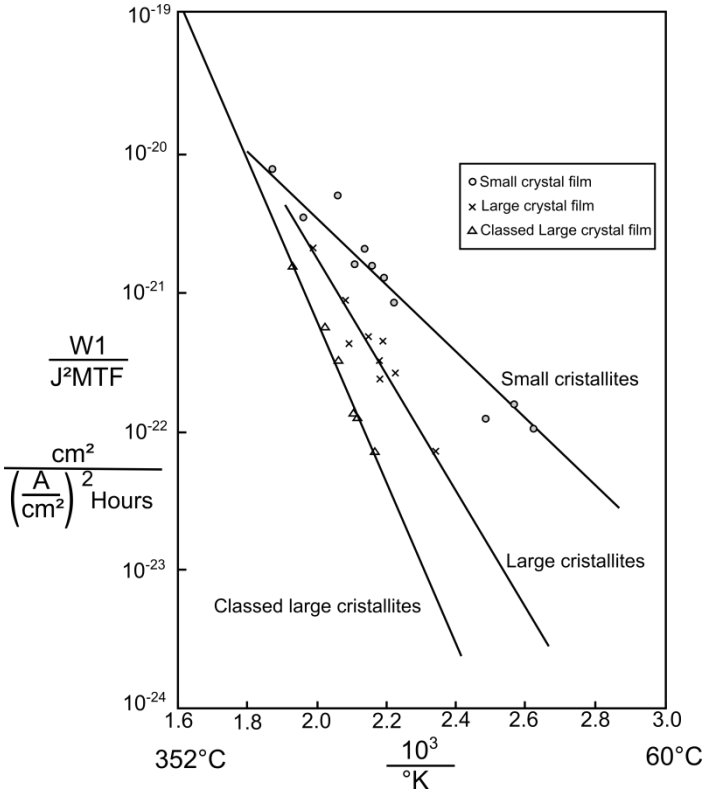

Figure 1.37: Durée de vie moyenne d'un film conducteur d'aluminium en fonction de la température et des dimensions [45].

1.6.2 Barrière métallique de contact

Les propriétés des contacts lors du fonctionnement à haute température sont très proches de celles à basse température [47], mais ces contacts ont une tendance à se dégrader à haute température. Ceci est principalement une conséquence du fait que le substrat semi-conducteur et la métallisation ne sont pas à l'équilibre thermodynamique. Un des effets de la haute température sur les contacts est la diffusion des atomes métalliques du contact dans le substrat de silicium.

Une solution a été proposée pour éliminer ou diminuer l'impact de cet effet. L'utilisation de siliciure entre le contact métallique et le substrat ou l'oxyde grille peut résoudre ce problème. En effet, le siliciure comme NiSi est un matériau qui est transparent pour les électrons et ne laisse pas passer les atomes. Donc, c'est une barrière à la diffusion des atomes métalliques. La Figure 1.38, montre les lieux où il faut mettre le siliciure pour éliminer l'effet de la diffusion des atomes.

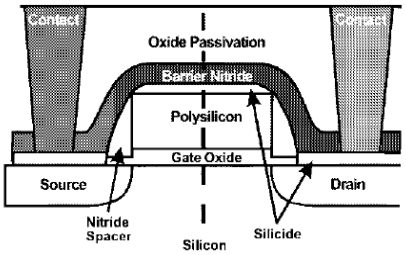

Figure 1.38: Localisation du dépôt de siliciure sous les contacts pour un MOS [48]

1.6.3 Epaisseur de l'oxyde grille

Comme nous l'avons vu précédemment, la durée de vie de l'oxyde de grille varie avec la température et avec l'épaisseur de cet oxyde. Chaque épaisseur d'oxyde, peut supporter une tension de grille maximale, qui varie aussi avec la température. La Figure 1.39 [27] présente la tension maximale de fonctionnement pour une durée de 10 ans pour des dispositifs fonctionnant à des températures de 25 °C (RT), 100 °C et 150 °C en fonction de l'épaisseur de l'oxyde de grille.

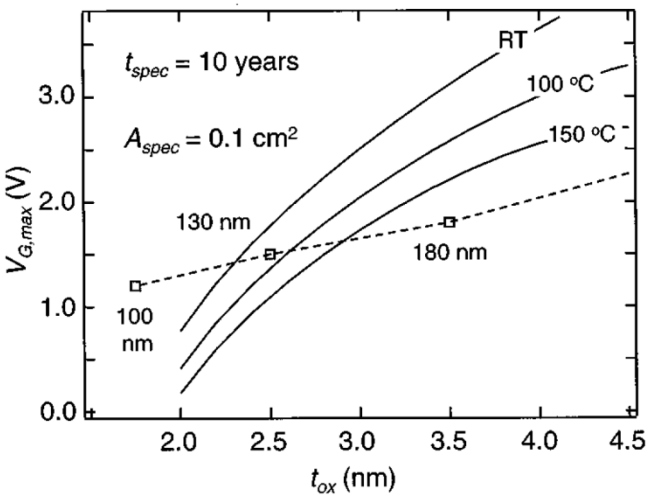

Figure 1.39: Tension de grille maximale en fonction de l'épaisseur de l'oxyde pour différentes températures. En pointillés, est indiquée la dimension minimum du composant MOS correspondante [27]

On remarque que lorsque la température augmente, la tension maximale soutenue par la grille diminue. Par exemple, si on arrive à une température de 150°C, la tension maximale supportée par la grille est égale à 2,5V pour une épaisseur d'oxyde de 4 nm, alors qu'à température ambiante, cette valeur est de 3,7V. Il sera donc important que dans une technologie pour la haute température de travailler avec des transistors ayant une épaisseur d'oxyde supérieure à l'épaisseur typique du nœud technologique.

1.6.4 Techniques de conception

Des nouvelles techniques de conception ont été mises en œuvre pour éviter l'impact de la haute température sur le courant de fuite et sur d'autres problèmes de fonctionnement à température élevée. L'une d'elles est le MOS SOI à grille circulaire [49], dont une simulation à haute température montre que cela permet d'étendre la température de fonctionnement jusqu'à 300°C, pour différentes longueurs de canal et pour différentes épaisseurs de silicium. Selon la position du drain, interne ou externe, (Figure 1.40) [49], le courant de fuite varie: si

le drain est à l'extérieur, il est moins fort que s'il est à l'intérieur et le courant de fuite augmente si la longueur de canal diminue puisque le gain du bipolaire parasite diminue avec l'augmentation de la longueur de la base qui est représenté dans ce cas par la longueur du canal. Cette propriété du courant de fuite plus élevé pour un drain central est spécifique à la topologie circulaire qui induit une augmentation significative (de 30 à 40 % suivant l'épaisseur de SOI) du champ électrique et donc du courant de fuite associé.

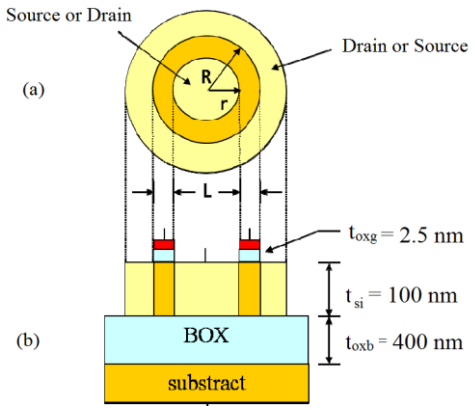

Figure 1.40: Coupe transversale d'un nMOSFET SOI à grille circulaire (a), coupe longitudinale (b)

Une comparaison entre le MOS à grille annulaire et celui à grille rectangulaire est faite par S. Shah [50]. Il montre après une étude expérimentale qu'il n'y a pas de changement de tension de seuil entre transistor annulaire et rectangulaire. Concernant la résistance de sortie, le transistor annulaire à drain interne a la plus grande résistance de sortie R_{out}. Enfin, le transistor annulaire a le meilleur rapport I_{ON}/I_{OFF}. Dans ce cas, c'est la configuration avec le drain interne qui a les meilleures performances : 321000 versus 206000 pour le drain externe à 25 °C et 977 versus 480 à 275 °C.

1.6.5 Gestion thermique

Le packaging et la gestion thermique dans les équipements électroniques sont devenus des enjeux importants en raison de l'augmentation des niveaux de puissance et de la miniaturisation des dispositifs. Dans le domaine de l'avionique, la démarche d'intégration devient une condition de survie et de compétitivité. La miniaturisation permet également d'économiser des ressources et d'ouvrir des nouveaux marchés. Si on s'intéresse aux futures contraintes de réduction des coûts et de masse des équipements, des technologies à plus forte densité sont exigées.

Le refroidissement de l'électronique est effectué dans la plupart des systèmes par l'utilisation de radiateurs à air. Toutefois, une telle solution peut s'avérer insuffisante pour conserver une température acceptable de fonctionnement lorsque les densités de puissance dissipées dans les composants augmentent. Dans ce cas, des solutions de refroidissement par convection forcée, avec ou sans changement de phase, caractérisées par des coefficients d'échange élevés au niveau des composants peuvent remédier au problème de contrôle thermique. Ces solutions font intervenir des systèmes de pompage qui limitent la compacité des systèmes de refroidissement, augmentent leur poids et nécessitent un apport d'énergie.

1.6.5.1 Microcaloducs

Dans le cas de systèmes spatiaux ou aéronautiques miniaturisés, où la masse du système est un paramètre critique, ces solutions par convection forcée sont donc pénalisantes. Il est alors envisageable d'utiliser des systèmes passifs à changement de phase pour extraire la chaleur depuis le composant jusqu'aux échangeurs.

Dans les systèmes spatiaux, des caloducs s'appuyant sur le phénomène de capillarité sont utilisés. La mise en œuvre des caloducs pour une application sur une plage donnée de températures de fonctionnement du composant nécessite un choix rigoureux du fluide.

Un caloduc est un système fermé qui permet, en profitant des changements de phase d'un fluide caloporteur, de prélever de la chaleur à un endroit et de la redistribuer à un autre sans utiliser de pompe ou autre artifice mécanique. Le fonctionnement est schématisé sur la Figure 1.41. On va faire circuler en circuit fermé un liquide dans un tube qui est composé de trois parties : l'évaporateur, le condenseur et la zone adiabatique. Au niveau de l'évaporateur, le liquide va prendre sa forme gazeuse et aller vers le condenseur où il va se reliquéfier. Il va alors être ramené vers l'évaporateur grâce à un réseau capillaire qui va jouer le rôle de moteur du caloduc [51].

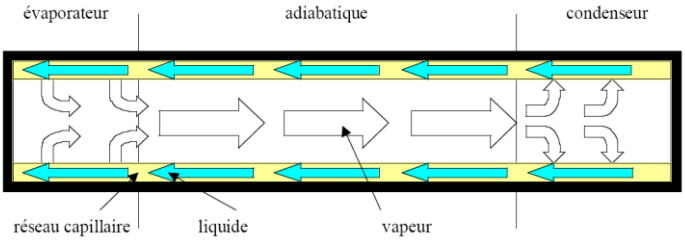

Figure 1.41: Fonctionnement d'un caloduc [51}

La Figure 1.42 montre des microcaloducs réalisés par gravure du silicium (à gauche) et l'effet de ces microcaloducs sur la température d'un dispositif IGBT de puissance (à droite), on remarque la grande différence entre le cas où il y a un fluide dans les microcaloducs et dans le cas où il n'y en a pas. La différence de température entre les deux cas est supérieure à 30 °C.

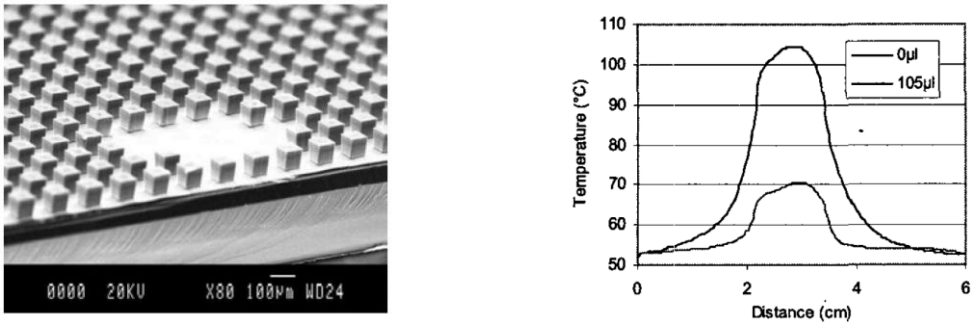

Figure 1.42: Vue d'une surface de silicium comportant des microcaloducs gravés [51] (gauche)
Température d'un IGBT en fonctionnement avec et sans fluide dans le caloduc [52] (droite)

1.7 Technologies SOI pour les applications haute température

La technologie SOI, comme nous l'avons vu, a beaucoup d'avantages à haute température par rapport à celle sur substrat massif, comme la faible variation de la tension de seuil, l'augmentation limitée du courant de fuite et une meilleure isolation électrique verticale et latérale.

Plusieurs industries de semiconducteur ont développé des technologies fonctionnant à haute température, comme par exemple ATMEL qui propose une technologie SOI (appelée SMARTIS 1 MOS 0,18 µm qui peut fonctionner jusqu'à 200°C ambiante). Le fondeur XFAB propose également une technologie SOI CMOS 1µm comportant des dispositifs de puissance haute tension, de tension maximale égale à 42 V (Figure 1.43) qui peut fonctionner à une température de 225°C (température de fonctionnement) [53].

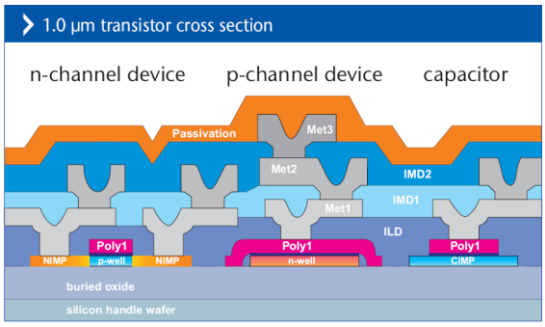

Figure 1.43: Technologie 1µm SOI fabriqué par XFAB [32]

Honeywell fabrique aussi des dispositifs qui fonctionnent à température élevée (jusqu'à 250°C HTMOS) [53]. Dans cette technologie, Honeywell a développé un élément de mémoire non-volatile à grille flottante, sans ajout d'étapes ou de fonctions spéciales fonctionnant à haute température. Le produit HTEEPROM a été validé et testé sur une mémoire de 32 Kbit, à une température ambiante de 250°C. Les résultats indiquent que l'approche peut supporter des millions d'opérations d'écriture et au moins 100 000 cycles de programmation/effacement pour chacun des bits de la mémoire [53].

Honeywell a créé une technologie CMOS qui peut fonctionner dans un environnement difficile et pour une longue durée (5 ans à 225°C). La technologie CMOS SOI est utilisée en raison de ses caractéristiques de faible courant de fuite à haute température, permettant de fonctionner de -55°C jusqu'à plus de 225°C. Comme on peut le voir sur la Figure 1.44, cet industriel a permis avec le développement de cette technologie de considérablement étendre la gamme de températures de fonctionnement de l'électronique associée. La gamme de températures d'utilisation de cette technologie CMOS SOI s'étend de -50°C à une limite de 300°C d'environ [2].

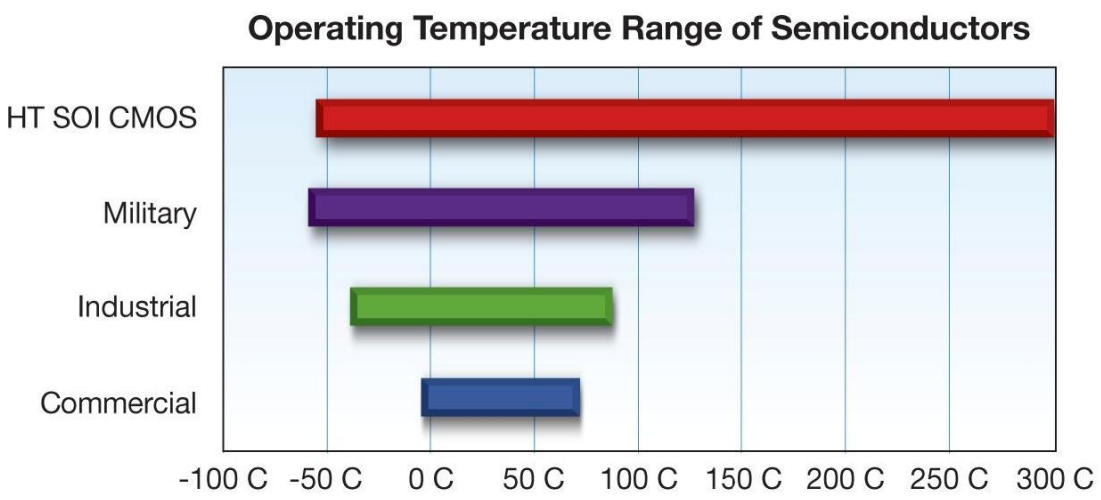

Figure 1.44: Gamme de température de semi-conducteurs

En Europe, l'Institut Fraunhofer IMS (Institut Mikroelectronische Schaltungen und Systeme) a également développé une technologie CMOS sur SOI pour la haute température fonctionnant à 250°C pour les applications des capteurs haute température [54]. La faisabilité d'une mémoire EEPROM 250°C a également été démontrée [55]. Cette technologie utilise les interconnexions en tungstène pour pallier les problèmes d'électromigration à haute température.

1.8 Conclusion

L'utilisation de l'électronique dans de nombreuses applications se généralise et en particulier en environnement sévère comme les moteurs de voitures hybrides et électriques, les moteurs d'avions, l'électronique spatiale et les équipements pour la recherche pétrolière. Dans ces applications, les composants électroniques sont exposés à la haute température.

Dans ce chapitre, nous avons passé en revue les différentes méthodes de fabrication des plaquettes SOI et nous avons détaillé la technique SmartCut qui est la plus économique et possède une bonne qualité d'oxyde et de silicium.

Après avoir décrit les différents avantages de la technologie SOI comme le fonctionnement à haute fréquence, la suppression du latch-up, le faible courant de fuite, la réduction de l'effet de canal court, l'augmentation de la densité d'intégration et la meilleure tenue aux radiations, nous avons également étudié les inconvénients de la technologie SOI comme le coût des plaquettes et la conductivité thermique de la couche d'oxyde enterré qui peut causer un auto-échauffement du dispositif.

Nous avons ensuite comparé les performances de la technologie SOI à celles des technologies sur substrat massif, sur la base de la bibliographie. Nous avons décrit l'impact de la température sur plusieurs éléments physiques des composants électroniques comme la résistance à l'état passant, la tension de claquage des jonctions, la fiabilité de l'oxyde de grille et l'électromigration des interconnexions métalliques.

Les composants de protection ESD ont également été présentés dans ce chapitre, et plus particulièrement l'effet de la température sur les grandeurs importantes, comme la tension de déclenchement, la tension de maintien et le courant de maintien.

Dans ce chapitre, nous avons donné quelques éléments sur des composants de puissance sur technologie SOI comme le LDMOS et le LIGBT qui vont faire l'objet de notre étude. Enfin, nous avons répertorié les différentes technologies SOI travaillant à haute température. Toutes ces technologies ne sont pas facilement accessibles à des universitaires. Cependant, nous avons pu avoir accès à la technologie ATMEL, distribuée par TELEFUNKEN, pour mener notre étude sur des structures innovantes permettant d'améliorer les performances de structures de protection ESD ainsi que de puissance dans un environnement à haute température (250 °C).

1.9 Références bibliographiques

[1] « http://www.achats-industriels.com/dossiers/384.asp ». Décembre 2012.

[2] Honeywell, « Extreme Design: Developing integrated circuits for -55 degC to +250 degC », *www.honeywell.com/hightemp*. .

[3] E. Cilio et J. HOrnberger, « A High-Temperature (225°C+) Silicon-on-Insulator (SOI) Gate Driver IC for Silicon Carbide (Sic) JFET ». IMAPS HiTEC-2008.

[4] H. Ohashi, « Power electronics innovation with next generation advanced power devices », in *Telecommunications Energy Conference, 2003. INTELEC '03. The 25th International*, 2003, p. 9–13.

[5] G. Celler et S. Cristoloveanu, « Frontiers of silicon-on-insulator », *Journal of Applied Physics*, vol. 93, p. 4955, 2003.

[6] J. P. Colinge, *Silicon-on-insulator technology: materials to VLSI*. Kluwer Academic Pub, 2004.

[7] B. Aspar, H. Moriceau, E. Jalaguier, C. Lagahe, A. Soubie, B. Biasse, A. Papon, A. Claverie, J. Grisolia, G. Benassayag, et others, « The generic nature of the Smart-Cut® process for thin film transfer », *Journal of electronic materials*, vol. 30, n°. 7, p. 834–840, 2001.

[8] J. O. Borland, « Silicon epitaxial equipment and processing advances for bipolar base technology », in *Bipolar/BiCMOS Circuits and Technology Meeting, 1992., Proceedings of the 1992*, 1992, p. 16–22.

[9] I. Bertrand, « Réalisation de structures silicium-sur-isolant partielles pour applications aux circuits de puissance », Université de Toulouse, Toulouse, 2006.

[10] G. Celler, « What is SOI? Do we really need it? » MIGAS 2004, 2004.

[11] M. Watanabe et A. Tooi, « Formation Of Sio_2 Films By Oxygen-Ion Bombardment », *Jap. J. Appl. Phys.*, vol. 5, 1966.

[12] M. C. Poon, S. P. Wong, Y. W. Lam, P. K. Chu, et J. K. . Sin, « SIMNI SOI formed by high intensity nitrogen implantation », in *Electron Devices Meeting, 1996., IEEE Hong Kong*, 1996, p. 25–28.

[13] P. Wessels, M. Swanenberg, H. van Zwol, B. Krabbenborg, H. Boezen, M. Berkhout, et A. Grakist, « Advanced BCD technology for automotive, audio and power applications », *Solid-State Electronics*, vol. 51, n°. 2, p. 195–211, févr. 2007.

[14] J. A. van der Pol, A. W. Ludikhuize, H. G. . Huizing, B. van Velzen, R. J. . Hueting, J. F. Mom, G. van Lijnschoten, G. J. . Hessels, E. F. Hooghoudt, R. van Huizen, M. J. Swanenberg, J. H. H. . Egbers, F. van den Elshout, J. J. Koning, H. Schligtenhorst, et J. Soeteman, « A-BCD: An economic 100 V RESURF silicon-on-insulator BCD technology for consumer and automotive applications », in *The 12th International Symposium on Power Semiconductor Devices and ICs, 2000. Proceedings*, 2000, p. 327–330.

[15] D. Munteanu et S. Cristoloveanu, « Modelisation Et Caracterisation Des Transistors Soi: Du Pseudo-Mosfet Au Mosfet Submicronique Ultramince = Modeling And Characterization Of Soi Transistors: From Pseudo-Mosfet To Submicron Ultra-Thin Mosfet »,Thèse INPG, 1999.

[16] M. Bescond, « Modélisation et simulation du transport quantique dans les transistors MOS nanométriques », Université de Provence (Aix-Marseille I), 2004.

[17] Delphine AIME, « Modulation du travail de sortie de grilles métalliques totalement siliciurées pour des dispositifs CMOS Deca-Nanométriques », Thèse de doctorat, INSA Lyon 2007.

[18] M. Dentan, « Effet des radiations et du durcissement », extrait de Scintillations, Journal du département d'astrophysique, de physique des particules, de physique nucléaire et de l'instrumentation associée du CEA, No 43, Septembre 1999.

[19] « Virginia semiconductor ». [Online]. Available: http://www.virginiasemi.com/. [Accessed: 14-déc-2011].

[20] M. KOSTRZEWA, « Conception, fabrication et exploitation d'un transistor nanométrique sur un SOI avec un diélectrique alternatif contraint à forte conductivité thermique ». CEA LETI-2006.

[21] R. Kumar et V. Kursun, « Impact of temperature fluctuations on circuit characteristics in 180nm and 65nm CMOS technologies », in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, 2006, p. 4–pp.

[22] F. Shoucair, « Design consideration in high temperature analog CMOS integrated circuits », *Components, Hybrids, and Manufacturing Technology, IEEE Transactions on*, vol. 9, n°. 3, p. 242–251, 1986.

[23] D. Flandre, A. Terao, P. Francis, B. Gentinne, et J. P. Colinge, « Demonstration of the potential of accumulation-mode MOS transistors on SOI substrates for high-temperature operation (150-300 C) », *Electron Device Letters, IEEE*, vol. 14, n°. 1, p. 10–12, 1993.

[24] T. Rudenko, V. Lysenko, V. Kilchytska, A. Rudenko, et J. P. Colinge, « Properties of high-temperature off-state currents in SOI MOSFETs derived from the diffusion mechanism », in *High Temperature Electronics, 1999. HITEN 99. The Third European Conference on*, 1999, p. 83–86.

[25] Swati Shah, C. M. Liu, H. M Soo, et Chris Hutchens, « Analysis Of Annular Mosfet Leakage At High Temperature », IMAPS HiTECH-2008.

[26] S. Adriaensen, V. Dessard, P. Delatte, J. Querol, D. Flandre, et S. Richter, « High-temperature characterization of a PD SOI CMOS process with LDMOS and lateral bipolar structures », in *High Temperature Electronics, 1999. HITEN 99. The Third European Conference on*, 1999, p. 79–82.

[27] B. Kaczer, R. Degraeve, N. Pangon, et G. Groeseneken, « The influence of elevated temperature on degradation and lifetime prediction of thin silicon-dioxide films », *Electron Devices, IEEE Transactions on*, vol. 47, n°. 7, p. 1514–1521, 2000.

[28] R. Moazzami, J. C. Lee, et C. Hu, « Temperature acceleration of time-dependent dielectric breakdown », *Electron Devices, IEEE Transactions on*, vol. 36, n°. 11, p. 2462–2465, 1989.

[29] Antoine RIVIERE, « Protection des Circuits Intégrés CMOS Profondément Submicroniques contre les Décharges Electrostatiques », thèse de doctorat, UNIVERSITE MONTPELLIER II, mai 2008.

[30] Ming-Dou Ker, Jeng-Jie Peng, et Hsin-Chin Jiang, « ESD test methods on integrated circuits: an overview », in *The 8th IEEE International Conference on Electronics, Circuits and Systems, 2001. ICECS 2001*, 2001, vol. 2, p. 1011–1014 vol.2.

[31] J. A. Walraven, J. M. Soden, E. I. Cole, D. M. Tanner, et R. E. Anderson, « Human Body Model, Machine Model, and Charge Device Model ESD testing of surface micromachined microelectromechanical systems (MEMS) », in *Electrical Overstress/Electrostatic Discharge Symposium, 2001. EOS/ESD '01.*, 2001, p. 236–246.

[32] K. Verhaege, G. V. Groeseneken, H. E. Maes, P. Egger, et H. Gieser, « Influence of tester, test method, and device type on CDM ESD testing », *IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part A*, vol. 18, n°. 2, p. 284–294, juin 1995.

[33] T. Smedes, J. van Zwol, G. de Raad, T. Brodbeck, et H. Wolf, « Relations between system level ESD and (vf-)TLP », in *Electrical Overstress/Electrostatic Discharge Symposium, 2006. EOS/ESD '06.*, 2006, p. 136–143.

[34] J. Barth, K. Verhaege, L. G. Henry, et J. Richner, « TLP calibration, correlation, standards, and new techniques [ESD test] », in *Electrical Overstress/Electrostatic Discharge Symposium Proceedings 2000*, 2000, p. 85–96.

[35] S. K. Ghandhi, *Semiconductor power devices: physics of operation and fabrication technology*. Wiley New York, 1977.

[36] E. A. Amerasekera, C. Duvvury, W. Anderson, H. Gieser, et S. Ramaswamy, *ESD in silicon integrated circuits*. Wiley Online Library, 2002.

[37] C. Duvvury, F. Carvajal, C. Jones, et D. Briggs, « Lateral DMOS design for ESD robustness », in *Electron Devices Meeting, 1997. IEDM '97. Technical Digest., International*, 1997, p. 375–378.

[38] S.-L. Jang et J.-K. Lin, « Temperature-dependence of steady-state characteristics of SCR-type ESD protection circuits », *Solid-State Electronics*, vol. 44, n°. 12, p. 2139–2146, déc. 2000.

[39] E. Sangiorgi, R. L. Johnston, M. R. Pinto, P. F. Bechtold, et W. Fichtner, « Temperature dependence of latch-up phenomena in scaled CMOS structures », *IEEE Electron Device Letters*, vol. 7, n°. 1, p. 28– 31, janv. 1986.

[40] J. G. Dooley et R. C. Jaeger, « Temperature dependence of latchup in CMOS circuits », *IEEE Electron Device Letters*, vol. 5, n°. 2, p. 41– 43, févr. 1984.

[41] Ming-Dou Ker, Hun-Hsien Chang, et Chung-Yu Wu, « A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low-voltage CMOS ICs », *IEEE Journal of Solid-State Circuits*, vol. 32, n°. 1, p. 38–51, janv. 1997.

[42] F. Udrea, D. Garner, K. Sheng, A. Popescu, H. T. Lim, et V. I. Milne, « SOI power devices », *Electronics & Communication Engineering Journal*, vol. 12, n°. 1, p. 27–40, févr. 2000.

[43] R. Sunkavalli, B. Baliga, et Y. Huang, « High temperature performance of dielectrically isolated LDMOSFET, LIGBT and LEST », in *Electron Devices Meeting, 1993. IEDM'93. Technical Digest., International*, 1993, p. 683–686.

[44] D. Disney et J. Plummer, « Fast switching LIGBT devices fabricated in SOI substrates », in *Power Semiconductor Devices and ICs, 1992. ISPSD'92. Proceedings of the 4th International Symposium on*, 1992, p. 48–51.

[45] J. R. Black, « Electromigration failure modes in aluminum metallization for semiconductor devices », *Proceedings of the IEEE*, vol. 57, n°. 9, p. 1587–1594, 1969.

[46] J. Clement, « Reliability analysis for encapsulated interconnect lines under dc and pulsed dc current using a continuum electromigration transport model », *Journal of applied physics*, vol. 82, n°. 12, p. 5991–6000, 1997.

[47] H. J. Fecht, J. Mrosk, et M. Werner, « Electrical contacts and degradation mechanisms », in *High Temperature Electronics, 1999. HITEN 99. The Third European Conference on*, 1999, p. 163–167.

[48] W. Clark, T. Ference, S. Mittl, J. Burnham, et E. Adams, « Improved hot-electron reliability in high-performance, multilevel-metal CMOS using deuterated barrier-nitride processing », *Electron Device Letters, IEEE*, vol. 20, n°. 10, p. 501–503, 1999.

[49] Luciano Mendes Almeida et Marcello Bellodi, « Study of circular gate SOI nMOSFET Devices et High Temperatures », IMAPS HiTEC-2008.

[50] V. Madhuravasal et S. Venkataraman, « Extreme Temperature Switch Mode Power Supply based on vee-square control using Silicon Carbide, Silicon on Sapphire, hybrid technology », IMAPS HiTEC-2008.

[51] Y. Avenas, M. Ivanova, C. Schaeffer, R. Perret, et J.L. Sanchez, « Etude et réalisation de caloducs à réseau capillaire à picots carrés pour le refroidissement en électronique ». Congrès Francais de Thermique , Grenoble, France, 2003, pp. 913–918-2003.

[52] C. Gillot, A. Laï, M. Ivanova, Y. Avenas, C. Schaeffer, et E. Fournier, « Experimental study of a flat silicon heat pipe with microcapillary grooves », in *Thermal and Thermomechanical*

Phenomena in Electronic Systems, 2004. ITHERM'04. The Ninth Intersociety Conference on, 2004, vol. 2, p. 47–51.

[53] Bruce W. Ohme et Thomas B. Lucking, « General Purpose 256KBit Non-volatile Memory for Operation to 250°C », *www.honeywell.com/hightemp*. .

[54] K. Gorontzi, R.G. Lerch, N. Kordes, M. Alfring, et M. Jung, M. Engeln, « DACS-HT - Data acquisistion and control system for high temperature applications, HITEN 2007 », 2007, p. pp. 9 – 13.

[55] « http://www.ims.fhg.de ».

[56] J. Clement, « Reliability analysis for encapsulated interconnect lines under dc and pulsed dc current using a continuum electromigration transport model », Journal of applied physics, vol. 82, n°. 12, p. 5991–6000, 1997.

Chapitre II
Etude du fonctionnement à haute température des structures basses tensions

2.1 Introduction

Le bon fonctionnement de structures électroniques à haute température (200°C ambiante) était notre premier objectif dans le projet COTECH. Comme nous n'avions pas accès aux paramètres technologiques, nous avons concentré nos efforts sur l'impact de la topologie sur le fonctionnement à haute température. Dans le cadre de ce projet, nous avons conçu plusieurs structures (NMOS, PMOS, basse et haute tension, structures de protection, …), dans le but d'acquérir une bonne connaissance de la technologie SOI TFSMART 1 à notre disposition, et de caractériser diverses topologies issues de travaux publiés dans le domaine. Ces structures de test ont été testées dans le cadre du premier lot de silicium, RUN01, auquel nous avons eu accès.

Dans ce chapitre, nous allons étudier et analyser les caractéristiques électriques à haute température des structures électroniques basse tension (5 V) et basse puissance de type N et P à basse et haute températures de la bibliothèque de la technologie SOI.

Outre les structures de la bibliothèque, nous avons conçu des structures basse tension à grille fermée de forme rectangulaire et circulaire et nous avons également orienté des structures de la bibliothèque à 45° pour étudier l'impact de l'orientation cristallographique.

Les grandeurs physiques étudiées en fonction de la température de tous ces composants, sont :

a- Le courant de fuite et sa variation avec la température
b- La variation du niveau de courant à l'état saturé des structures avec la température et l'impact de cette variation, avec la variation de courant de fuite sur le rapport I_{ON}/I_{OFF} pour un fonctionnement en circuit logique
c- La tension de seuil et sa variation avec la température.
d- Enfin l'effet bipolaire parasite et son évolution avec la température et l'impact de cet effet sur le courant de fuite.

Toutes ces caractéristiques sont étudiées dans ce chapitre à la fois pour le transistor NMOS et le transistor PMOS.

2.2 Paramètres de la technologie utilisée

Dans le cadre du projet COTECH, les composants de basse tension et basse puissance vont être utilisés pour faire des circuits de commande d'un onduleur à base de JFET en SIC haute tension (Figure 2.1). Pour cela il est nécessaire de disposer d'une technologie haute tension (50 V). Il faut donc une épaisseur de silicium actif capable de soutenir la haute tension et par conséquent une technologie de type BCD SOI.

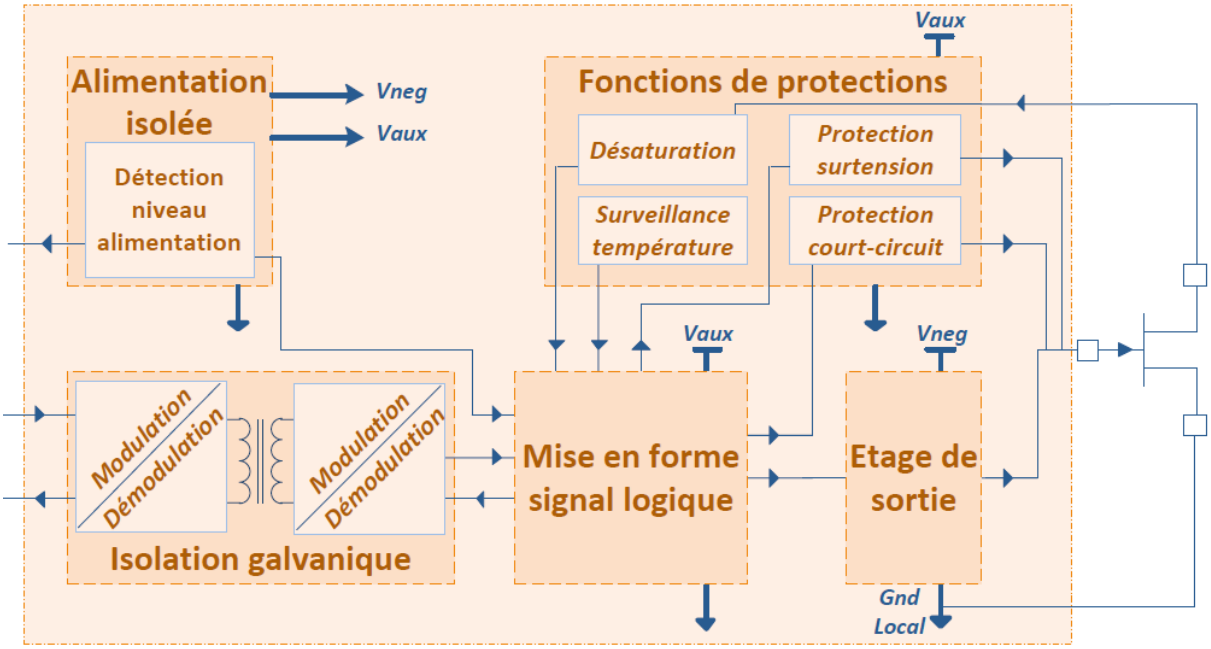

Figure 2.1: Schéma bloc du driver du JFET SIC [17]

Parmi les technologies disponibles, la technologie choisie et la plus facilement accessible est la technologie TFSMART 1. Elle est qualifiée jusqu'à 200 °C. C'est une technologie de type SOI où l'épaisseur de l'oxyde enterré est égale à 500 nm. Cette épaisseur assure une isolation verticale parfaite avec le substrat qui joue, dans ce cas, le rôle d'un support mécanique. Des tranchées d'oxyde de largeur 0,8 µm offre une isolation latérale entre les composants, et empêche la possibilité d'avoir le phénomène de latch-up. Ces tranchées permettent aussi d'augmenter la densité d'intégration des composants et d'avoir des structures voisines de basse et de haute puissance sans aucune interaction.

L'épaisseur de silicium utilisée est égale à 2 µm. Cette épaisseur fait perdre les avantages du SOI concernant la réduction des capacités et du courant de fuite mais il est nécessaire pour un bon fonctionnement des structures de puissance. La plaquette de silicium a un diamètre de 150 mm, est de type P et d'orientation <100>.

La longueur minimum du canal dans cette technologie est de 0,8 µm, avec une épaisseur de l'oxyde de grille égale à 16,5 nm. Trois niveaux de métal sont disponibles dans cette technologie ainsi que des dispositifs électroniques de plusieurs types CMOS 5V, HVNMOS / HVPMOS (25V, 45V, 65V, 80V), LNPN, LPNP, diodes, résistances et condensateurs [1].

2.3 Transistors MOS basse tension de type N

Les transistors MOS sont utilisés dans ce projet pour commander l'onduleur. Pour cette raison, nous allons tester et concevoir de nouvelles architectures de MOS de basse et de haute tension afin d'améliorer leurs caractéristiques à haute température.

Dans ce paragraphe nous allons discuter les caractéristiques électriques des transistors basse tension de type N.

2.3.1 Structures proposées.

A partir d'études bibliographiques, nous avons dessiné de nouvelles architectures des composants basse tension. Pour cela, nous avons utilisé le logiciel Cadence version 5141 accessible par le CNFM (Coordination Nationale Formation Microélectronique) de Montpellier (France).

Avant de faire une topologie complexe, on peut jouer sur le nombre de doigts de grille et la position du contact de drain. En effet, l'utilisation d'un composant MOS classique avec 2 doigts de grille et avec le drain au centre permet de diminuer la surface de jonction de drain et donc le courant de fuite associé. Par exemple, comparons le NMOS de largeur 40 µm à un doigt de grille et le NMOS de largeur 80 µm à 2 doigts de grille de largeur 40 µm. On pourrait s'attendre à avoir un niveau de courant multiplié par deux dans ce deuxième transistor. Le premier a un courant de fuite égal à $3{,}4.10^{-8}$ A et $3{,}9.10^{-7}$ A à 200°C et 250°C, respectivement. Le courant de fuite du deuxième est égal à $4{,}8.10^{-8}$ A et $5{,}9.10^{-7}$ A à 200°C et 250°C, respectivement. Il est donc impératif pour réduire le courant de fuite à haute température d'appliquer cette règle de conception.

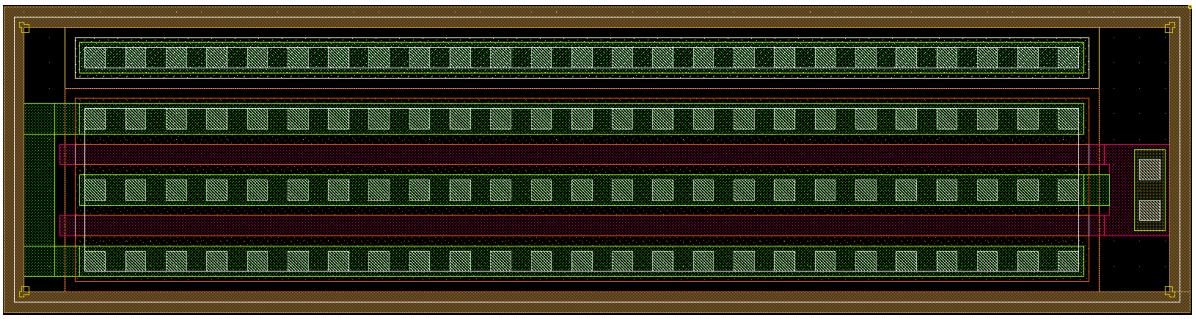

Figure 2. 2: Layout de la structure NMOS rectangulaire à deux doigts et avec une largeur totale W = 80 µm

2.3.1.1 Transistors à grille circulaire fermée basse tension

Les publications qui étudient le MOS à grille circulaire sont nombreuses [2–5]. Selon [4], le courant de fuite d'un transistor MOS à grille circulaire est plus faible que celui d'un MOS rectangulaire classique. En effet, dans le transistor NMOS à grille circulaire la diffusion N+ de contact de drain possède la surface minimum de jonction et par-suite la partie diffusion du courant de fuite est donc minimale. L'amplitude du courant dépend donc du placement de la source et du drain puisque la structure n'est pas symétrique. Pour vérifier cette propriété, nous avons dessiné des transistors NMOS et PMOS à grille circulaire (Figure 2.3) et les avons comparé à ceux de la bibliothèque.

Afin de faire une comparaison raisonnable, la longueur de grille de ces transistors est identique à celle des transistors de la bibliothèque de la technologie utilisée. De même, nous avons utilisé la même distance entre grille et contact de drain et de source, afin que la résistance à l'état passant soit similaire. La méthode que nous avons utilisée pour calculer la largeur équivalente de ce transistor consiste à considérer que la largeur de grille est égale au périmètre d'un cercle de rayon égal à la moyenne de r et R de la grille, avec r le rayon

intérieur de la grille et R son rayon extérieur. L'élément cellulaire de ce transistor circulaire a une largeur égale à 10 µm. Afin d'avoir une structure de 80 µm de largeur, nous avons mis 8 structures en parallèle.

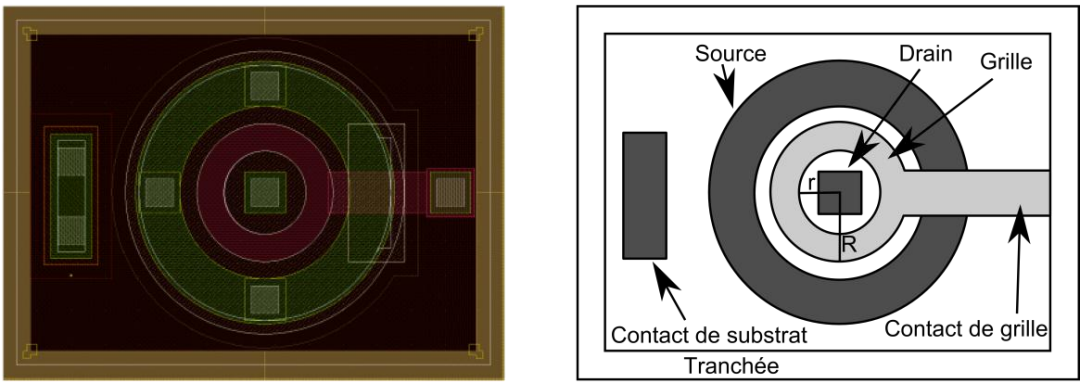

Figure 2.3: Schéma d'un MOS à grille circulaire fermée. Photo d'un layout sous Cadence à gauche et schématique à droite

2.3.1.2 Transistors rectangulaires à grille fermée basse tension

Sur le même principe, nous avons dessiné un transistor rectangulaire dont la grille forme un contour rectangulaire fermé (Figure 2.4). Nous l'appelons transistor rectangulaire fermé. Donc, les deux types de transistors (circulaire et rectangulaire fermé) ont une grille fermée. La seule différence entre les deux est la forme. Nous avons dessiné ces deux formes pour savoir si l'effet de la diminution de courant de fuite vient du changement de l'orientation de silicium dans le cas du transistor à grille circulaire ou s'il y a d'autres causes. La largeur totale de la cellule unitaire de cette forme de transistor est égale à 40 µm.

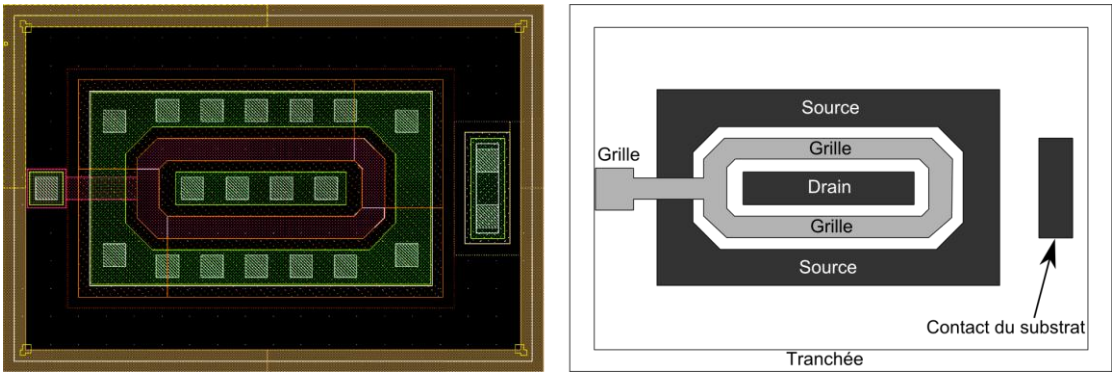

Figure 2.4: Schéma d'un MOS à grille rectangulaire fermée. Photo d'un layout sous Cadence à gauche et schématique à droite

2.3.1.3 Transistors basse tension orientés à 45°

Certains travaux [6], [7] montrent que l'orientation cristalline du silicium influence significativement la mobilité des porteurs. Des travaux menés à Intel [8] pour des composants CMOS de technologie 90 nm, compatible avec les circuits SRAM et eDRAM ont montré également une amélioration de 12 % de la durée de vie, 30 % en performance et 33 % pour le courant de fuite.

Pour notre part, nous avons caractérisé plusieurs structures (protections ESD basées sur des transistors bipolaires) sur un substrat massif orientées à 45° par rapport au méplat. Nous avons pu constater une variation de la résistance à l'état passant R_{ON} (Figure 2.5). En

effet, la résistance du composant orienté perpendiculairement au méplat est égale à 14,7 Ω, par contre, elle est égale à 10 Ω pour le composant tourné de 45 °. Cette opération offre une diminution de la résistance passante de 34 %, ce qui est en accord avec les résultats donnés par [8]. Pour ces raisons, nous avons orienté des transistors NMOS et PMOS de la bibliothèque à 45° dans les 2 sens (rotation droite et gauche).

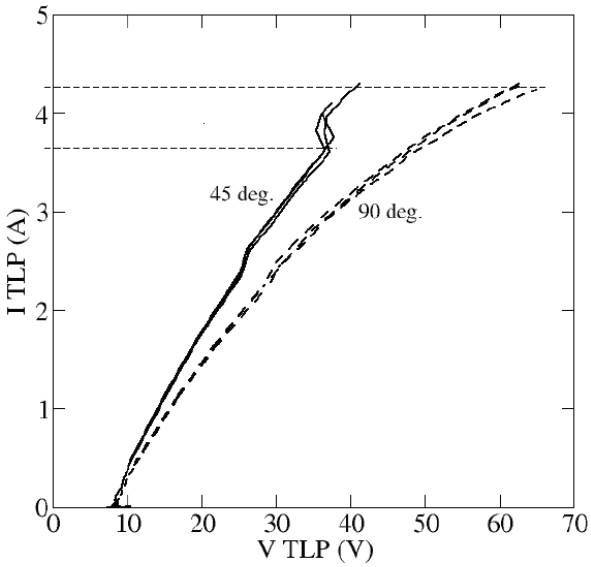

Figure 2.5: Comparaison entre les caractéristiques TLP des structures bipolaires npn auto-polarisé pour 2 orientations, 45° et 90° [7].

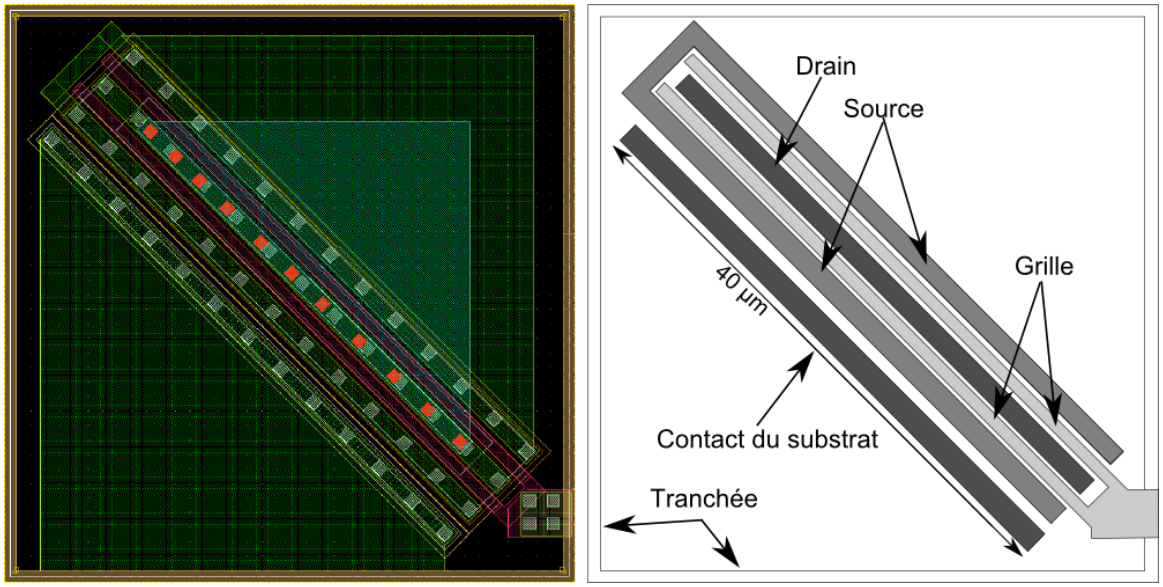

Figure 2.6: Schéma d'un MOS orienté 45 °. Photo d'un layout sous Cadence à gauche et schématique à droite

La Figure 2.6 présente un layout d'un MOS orienté à 45°. Cette orientation n'est pas parfaite puisqu'elle dépend de la dimension des pixels des masques. Pour avoir une orientation parfaite à 45°, il faut tourner la plaquette de silicium lors des étapes de photolithographie (technique utilisée par les équipes de Intel [8]).

On peut également noter que le positionnement à 45° à l'aide de Cadence induit une perte de surface non négligeable puisqu'il n'est pas possible d'orienter également les tranchées d'isolation à 45°.

Outre les transistors à grille circulaire, ceux à grille rectangulaire fermée et ceux orientés à 45°, nous avons également placé dans notre puce des transistors MOS rectangulaires basse tension de la bibliothèque du fondeur.

Afin d'étudier la linéarité du courant en fonction de la topologie, nous avons dessiné plusieurs variations de géométrie : transistor avec un seul doigt pour une largeur de grille de 40µm, transistors à deux doigts pour les largeurs de grille de 80µm et 160µm. Le drain des transistors à deux doigts peut être soit au centre soit en périphérie pour étudier l'impact sur le courant de fuite à haute température.

Ces différentes géométries ont pour but de comparer le courant de fuite, la tension de seuil et la résistance à l'état passant en fonction de la température ambiante de 0°C jusqu'à 250°C.

Pour protéger l'oxyde de grille de ces MOS contre une surtension ou contre un stress ESD, nous avons utilisé des diodes Zener avec une tension de seuil égale à 6,2 V.

Le Tableau 2.1 présente l'ensemble des structures basse tension de type N réalisées.

Topologie	***Nombre de doigts de grille***	***Position source / drain***	***Nom***
Classique (bibliothèque TFSMART1)	1 doigt - W = 40µm		R40
	2 doigts – W = 80µm	Drain au centre	R80S
		Source au centre	R80D
	4 doigts – W = 160µm	Drain au centre	R160S
		Source au centre	R160D
Grille rectangulaire fermé	2 cellules – W = 80µm	Drain au centre	RF80D
		Source au centre	RF80S
Grille circulaire	1 cellule – W = 10 µm	Drain au centre	C10D
		Source au centre	C10S
	8 cellules – W = 80 µm	Drain au centre	C80D
		Source au centre	C80S
Orienté de 45° (W = 80 µm)	2 doigts – à gauche	Drain au centre	RTG
	2 doigts – à droite	Drain au centre	RTD

Tableau 2.1: l'ensemble des structures basse tension dessinées

2.3.2 Caractérisation des dispositifs NMOS basse tension

Dans le but de faire une étude approfondie des composants basse tension à basse et haute températures, nous avons fait les mesures suivantes pour toutes les structures à quatre températures ambiantes de : 25°C, 100°C, 200°C et 250°C.

a- $(I_D\text{-}V_D)_{VG}$: Variation de l'intensité du courant de drain I_D, en fonction de la tension de drain V_{DS}, et pour différentes valeurs de la tension de grille V_{GS}, avec un potentiel nul sur le substrat.

b- $(I_D\text{-}V_G)$: Variation de l'intensité du courant de drain en fonction de la tension de grille V_{GS} avec un potentiel nul sur le substrat, pour un V_{DS} = 100 mV.

c- Courant de fuite: Variation de l'intensité du courant de fuite de drain en fonction de la tension de drain V_{DS}, entre 0 et 5 V, avec un potentiel nul sur la grille et le substrat.

d- Pour bien prendre en compte l'effet du bipolaire parasite dans le NMOS, nous avons effectué des mesures du courant de drain et de substrat en polarisant le transistor MOS comme un bipolaire npn. Le drain dans ce cas joue le rôle d'un collecteur, la source joue le rôle d'un émetteur, la grille est reliée à la masse (en court circuit avec la source) et le substrat joue le rôle d'une base.

A noter que les caractéristiques (I_D-V_{DS}), (I_D-V_{GS}), courant de fuite et effet de bipolaire parasite pour les différentes températures sont faites sur les mêmes structures et sur deux échantillons différents.

2.3.2.1 Caractéristiques électriques (I_D-V_{DS})

Malgré l'augmentation du courant de saturation gagné en passant d'un MOS à substrat massif vers un MOS SOI [9], la diminution de ce courant avec l'augmentation de la température est majeure puisqu'il est proportionnel à la mobilité qui diminue avec la température [10]. Les mesures du courant de saturation sont faites sous une tension de grille V_{GS} = 4 V et avec une largeur de grille W = 80 µm. Les structures R80S et RF80S, pour des raisons inconnues ne fonctionnent pas normalement. La structure C80S ne présentant pas un comportement différent, donc, nous l'avons ignorée dans ce qui suit.

Chacune des structures restantes présente une surface équivalente du drain différente. Si on ne compte que la surface latérale de drain, c'est-à-dire, on néglige la profondeur de la diffusion N+, leur surface respective AD est :

R80D : AD = 40 x 2 = 80 µm²

RF80D : AD = 17,3 x 2 x 2 = 69 µm²

C80D : AD = πR^2 x 8 = π x $(1,2)^2$ x 8 = 36,2 µm²

La surface des structures orientées à 45 ° est similaire à celle de la structure R80D.

La Figure 2.7 présente la variation du courant de saturation pour les différentes structures en fonction de la température. Une petite différence entre toutes ces structures a été remarquée. La structure tournée de 45° à droite présente la plus grande valeur de courant pour toutes les températures. Une autre façon de comparer consiste à quantifier le pourcentage de diminution de courant en passant de 25 °C à 250 °C. Les mesures montrent une diminution de 31,5 %, 31,3 %, 33 %, 33,5 % et 38 % en passant de 25 °C à 250 °C respectivement pour les structures rectangulaire, rectangulaire fermée, circulaire, tournée à droite et tournée à gauche. La différence entre ces mesures est au maximum de 2 % pour les structures rectangulaires fermées et circulaires. Par contre, l'une des orientations à 45 ° permet une amélioration de 3,5 et 5,5 % respectivement à 25 et 250 °C. Il peut donc être tout à fait intéressant d'envisager d'implémenter le circuit en tournant simplement la plaquette de silicium de 45 ° pour gagner en performances.

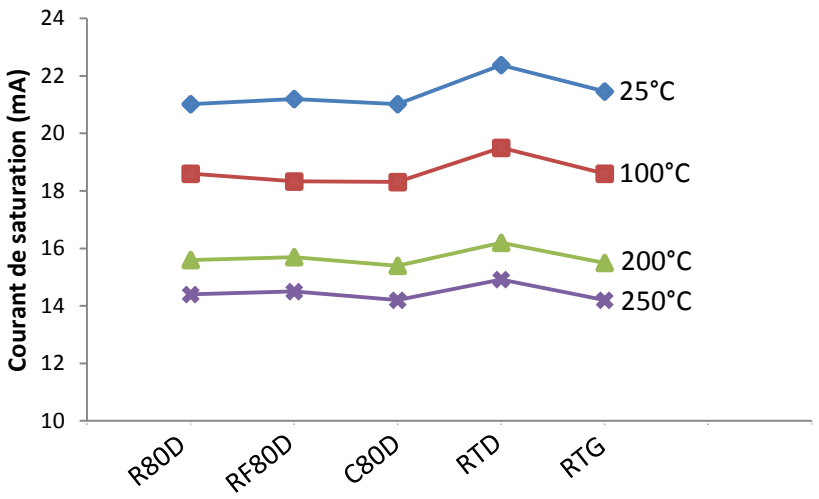

Figure 2.7: Variation du courant de saturation à V_{GS} = 4 V pour les différente structures proposées en fonction de la température ayant toutes une largeur de 80 µm.

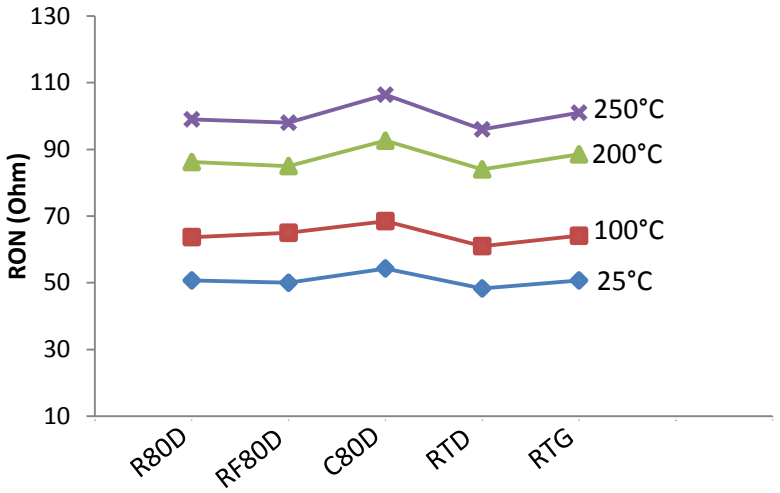

Figure 2.8: Variation de la résistance à l'état passant en fonction de la température pour différentes structures NMOS basse tension et pour une tension V_{GS} = 4 V

La Figure 2.8 présente la variation de la résistance à l'état passant avec la température en fonction des différentes structures NMOS basse tension. On remarque cette fois aussi que la structure RTD (transistor à grille rectangulaire tourné de 45° à droite) a la résistance la plus faible pour les différentes températures. Comme dans le cas de la diminution du courant de saturation, la variation de la résistance avec les structures n'est pas assez significative pour qu'on adopte ces nouvelles topologies.

Cette diminution du courant et l'augmentation de la résistance à l'état passant avec la température associée dégradent le fonctionnement des composants, mais cette dégradation peut être compensée par un surdimensionnement du transistor.

Cette technologie est déjà qualifiée par le fondeur jusqu'à 200 °C. Elle montre cependant un fonctionnement normal jusqu'à 250 °C. Nous n'avons cependant pas fait de tests de vieillissement accéléré pour vérifier le comportement des métallisations et des vias à cette température.

2.3.2.2 Variation de la tension de seuil (Caractéristiques (I_D-V_{GS}))

La variation de tension de seuil avec la température pour les structures SOI est plus petite que celle des structures sur substrat massif [11–13]. Cette différence entre les deux technologies n'implique pas que la variation de la tension de seuil est négligeable. La Figure 2.9 présente la variation (I_D-V_{DS}) à différentes températures et pour une tension V_{DS} = 0,1 V. On peut remarquer l'augmentation de la résistance avec la température et la diminution de la tension de seuil de 0,8 V à 25 °C vers 0,5 V à 250 °C. Cette diminution reste sans effet gênant, surtout pour les applications logiques.

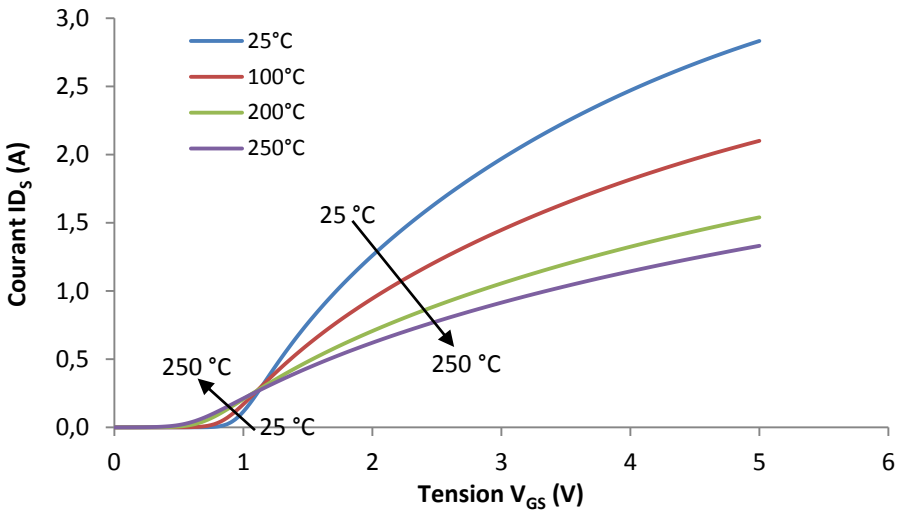

Figure 2.9:Caractéristiques (I_D-V_{DS}) pour la structure NMOS rectangulaire pour différente températures et pour V_{DS} = 0,1 V

Selon [12] l'expression de la variation de la tension de seuil avec la température pour les structures NMOS SOI ne dépend que de la concentration de dopage de PWell au niveau du canal et non de la topologie. A noter que les caractéristiques (I_D-V_{GS}) à différentes températures et pour toutes les structures ont été mesurées et confirment l'hypothèse posée au début de ce paragraphe (tension de seuil constante quelle que soit la topologie).

2.3.2.3 Courant de fuite

Une étude théorique détaillée sur la variation du courant de fuite avec la température pour les structures SOI à film de silicium épais ou mince a été publiée par [14]. Selon [15], des structures MOS de type SOI avec un film de silicium d'épaisseur 0,5, 0,75 et 1 µm peuvent fonctionner jusqu'à 300 °C, alors que des structures sur substrat massif ayant les mêmes caractéristiques n'ont pas pu fonctionner jusqu'à cette température. Selon l'auteur, l'origine en est l'augmentation rapide du courant de fuite au niveau de la jonction.

Pour notre part, nous avons mesuré le courant de fuite pour toutes les structures et à différentes températures. Cette mesure est faite en variant la tension de 0 à 5 V sur le drain et en mettant les autres électrodes à la masse.

I_{Fuite}	25 °C	100 °C	200 °C	250 °C
R80D	$1,24.10^{-10}$	$2,77.10^{-10}$	$4,89.10^{-08}$	$5,91.10^{-07}$
RF80D	$9,92.10^{-10}$	$1,69.10^{-09}$	$5,96.10^{-08}$	$7,45.10^{-07}$
C80D	$9,92.10^{-10}$	$1,69.10^{-09}$	$5,16.10^{-08}$	$6,57.10^{-07}$
RTD	$1,09.10^{-09}$	$1,67.10^{-09}$	$5,78.10^{-08}$	$7,26.10^{-07}$
RTG	$9,92.10^{-10}$	$1,58.10^{-09}$	$5,17.10^{-08}$	$6,61.10^{-07}$

Tableau 2.2: Valeurs du courant de fuite pour toutes les structures et à différentes températures avec une tension V_{DS} = 4 V

Pour bien comparer le courant de fuite avec tous les paramètres, nous avons extrait ces valeurs pour une tension V_{DS} = 4 V. La Figure 2.10 présente la variation du courant de fuite avec les structures pour différentes températures de 25 °C jusqu'à 250 °C en appliquant une tension V_{DS} = 4 V.

Une première remarque que l'on peut faire sur ces mesures est qu'à température ambiante (25 °C), la structure qui est nettement la plus performante est celle de la bibliothèque, R80D, avec drain placé au centre. Les autres topologies ont à peu près la même performance avec un courant de fuite multiplié par 8. A haute température, cet écart se resserre mais c'est toujours la structure R80D qui est la meilleure.

A haute température, ce faible écart peut être expliqué par le fait qu'au dessus de 150°C, le courant de fuite est dominé par le terme de diffusion qui est proportionnel à ni² et rend négligeable l'impact de la surface de jonction, et par l'effet bipolaire, car le bipolaire parasite est probablement déclenché à cette température.

La meilleure performance de R80D est cependant inattendue si l'on s'en tient à la simple comparaison des surfaces de drain. En effet, R80D a la plus grande surface avec 80 µm², celle de RF80D est de 69 µm², celle de C80D est de 36,2 µm² et celle de RTD et RTG est identique à R80D.

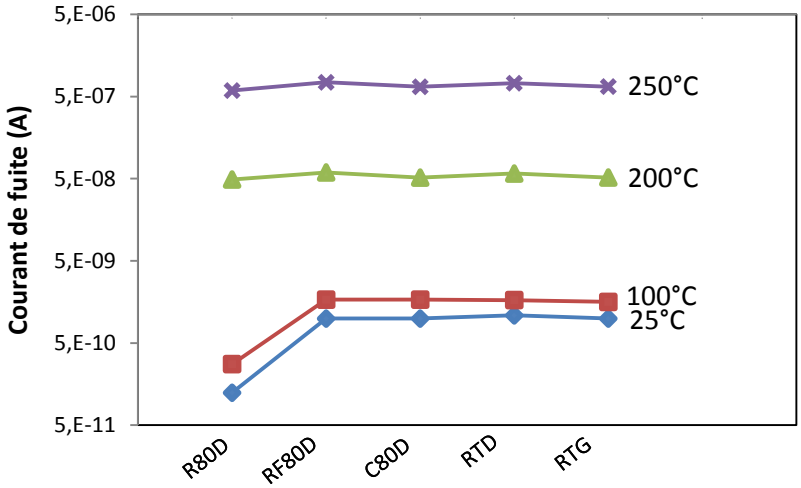

Figure 2.10: Variation du courant de fuite dans les différentes structures, à différentes températures et pour une tension V_{DS} = 4 V

Concernant la structure circulaire, C80D, dont la surface de drain est la plus faible, il a été démontré par L. Mendes Almeida et M. Bellodi [4] que la structure circulaire induit des

champs électriques bien plus élevés et donc un courant de fuite associé également plus important que dans une structure rectangulaire. Ces auteurs recommandent d'ailleurs de placer le drain à l'extérieur du transistor circulaire pour éviter ce problème. On peut supposer que nous avons des effets similaires dans la structure RF80D où une partie de la diffusion de drain est circulaire.

La courbe de la Figure 2.11 présente la variation du courant de fuite pour les différentes structures à 250 °C et pour une tension V_{DS} = 4 V mais en échelle linéaire cette fois pour bien visualiser la différence entre ces composants à cette température.

La Figure 2.10 montre que le courant de fuite varie entre 10^{-9}A à 25°C et presque 10^{-6} A à 250 °C. Suivant ces valeurs, et en utilisant les valeurs du courant de drain à V_{GS} = 4 V et V_{DS} = 4 V, pour le calcul de I_{ON}, on peut déduire que le rapport de I_{ON}/I_{OFF} à 250°C est égal à 10^4. Avec cette valeur on peut dire que ces structures peuvent fonctionner en mode logique à 250 °C.

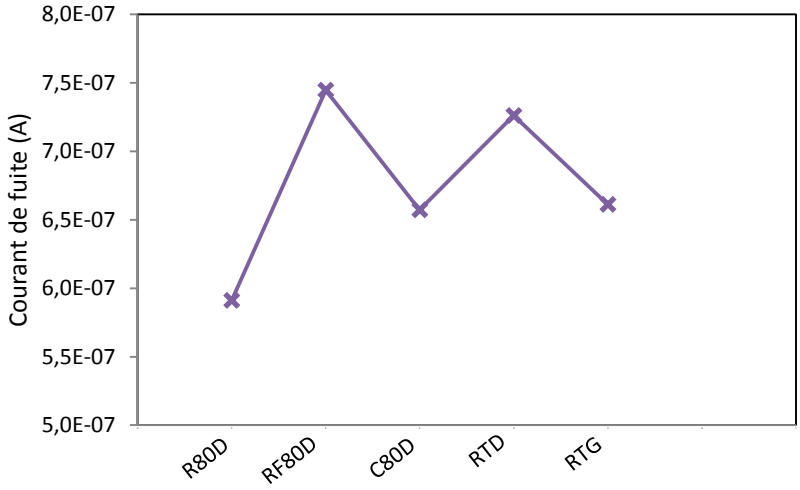

Figure 2.11: Variation du courant de fuite dans les différentes structures et à 250 °C pour une tension V_{DS} = 4 V

2.3.2.4 Effet bipolaire parasite

Le transistor MOS comporte un transistor bipolaire parasite. Si la tension aux bornes de la jonction PN entre le substrat et la source atteint la tension de seuil de cette jonction, il peut être activé. L'augmentation de la température a pour effet d'abaisser la tension de seuil de la jonction (2 mV/degré), et également le courant nécessaire pour déclencher le transistor bipolaire, d'autant plus qu'il y a aussi augmentation de la résistance avec la température.

En effet, le courant de fuite a deux composantes, le courant de diffusion et le courant de génération (Equation 1.9).

Dans notre cas, le courant de génération (deuxième terme de l'équation) représente le courant qui se transforme au niveau du substrat par génération de paires électron-trou. Ce courant constitue donc le courant de base du bipolaire parasite. Plusieurs paramètres dans ce bipolaire parasite peuvent être influencés par l'augmentation de la température. La résistance de la base, la tension de seuil de la jonction base-émetteur, le gain du bipolaire parasite et le courant de diffusion.

Pour étudier le phénomène de bipolaire parasite dans le NMOS, nous avons appliqué une tension V_{DS} = 4 V et une tension sur le substrat variant entre 0 et 1 V. La valeur du gain en courant β est calculée par le rapport de I_D/I_{Sub}.

La Figure 2.12 présente la variation du gain en courant β du bipolaire parasite du NMOS rectangulaire pour les différentes températures et pour une tension V_{DS} = 4 V.

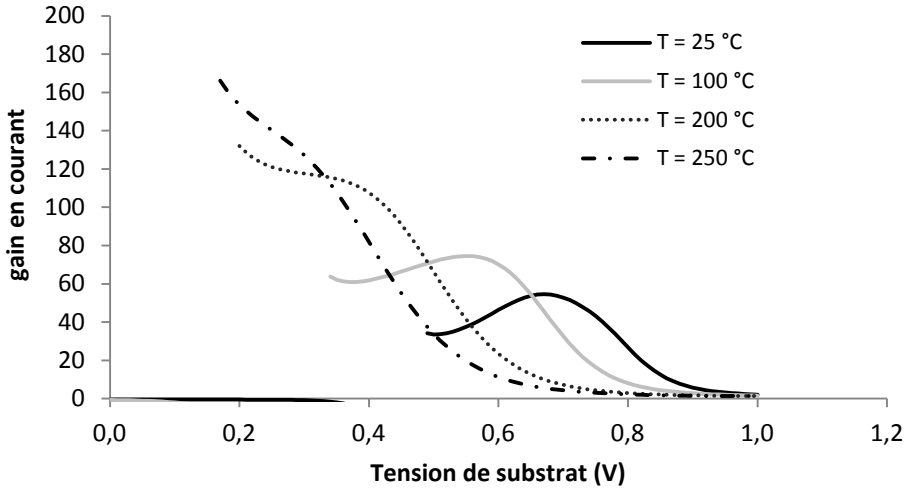

Figure 2.12: Effet bipolaire pour un NMOS rectangulaire à différentes températures et pour une tension V_{DS} = 4V

Dans la Figure 2.12, outre l'augmentation du gain en courant du transistor bipolaire avec la température, la valeur de la tension de substrat correspondant au pic de β diminue. Cette diminution rend la possibilité du déclenchement de ce bipolaire plus grande avec l'augmentation de la température.

Une comparaison des courbes (Tableau 2.3) tracées à différentes températures montre que la structure rectangulaire fermée avec drain au centre, a le plus grand gain en courant pour les différentes conditions. Ce résultat permet d'expliquer pourquoi le courant de fuite de cette structure est le plus grand à 200°C et à 250°C (voir Tableau 2.2).

Bêta	*25 °C*	*100 °C*	*200 °C*	*250 °C*
R80D	54,3	74,5	115,6	135,4
RF80D	62,4	89,4	143,3	159,6
C80D	47,7	72,0	102,5	120,0
RTD	55,5	71,8	104,5	120,0
RTG	49,3	63,2	89,2	103,0

Tableau 2.3: Variation du gain en courant en fonction de la température pour les différentes structures et pour une tension V_{DS} = 4V

Enfin et pour résumer, on peut conclure qu'un changement d'architecture des composants ne sera pas nécessaire puisqu'on n'a pas remarqué une grande amélioration des caractéristiques électriques des dispositifs NMOS basse tension et basse puissance. Les mesures montrent un fonctionnement favorable des structures jusqu'à 250 °C.

Par contre, il sera important dans des structures multi doigts de respecter une règle de dessin avec drain au centre et source à l'extérieur qui minimise le courant de fuite et donc les risques de déclenchement du bipolaire parasite.

2.4 Structures MOS basse tension de type P

Nous avons dessiné exactement les mêmes structures pour les transistors PMOS basse tension. Les rectangulaires, les rectangulaires fermés, les circulaires et les structures tournées de 45° à droite et à gauche toujours pour une largeur de grille égale à 80 µm.

2.4.1 Caractéristiques électriques des dispositifs PMOS basse tension

La procédure de caractérisation des PMOS est similaire à celle des NMOS avec des conditions similaires. Donc nous avons mesuré les caractéristiques (I_D-V_{DS}) et (I_D-V_{GS}), calculé la résistance passante et étudié l'effet de transistor bipolaire parasite pour le PMOS pour toutes les structures et pour différentes températures.

2.4.1.1 Caractéristiques (I_D-V_{DS}) et résistance passante

La variation des caractéristiques I_D-V_{DS} des PMOS en fonction de la température, est un peu plus faible que celle des NMOS.

La diminution du courant de saturation se situe entre 26% et 30% pour le PMOS à comparer aux 33% pour le NMOS. Lorsqu'on compare les valeurs absolues, le courant de saturation des PMOS est plus faible que celui des NMOS conformément à leur différence de mobilité, où la mobilité des électrons dans le silicium à 300 °K est égale à 1450 $cm^2.V^{-1}.s^{-1}$ tandis que celle des trous dans les mêmes conditions est égale à 450 $cm^2.V^{-1}.s^{-1}$.

La structure rectangulaire de la bibliothèque de TFSMART 1 avec drain au centre présente la plus faible variation du courant avec la température. Son courant de saturation diminue de 26,7 % en passant de 25 à 250 °C. Les structures rectangulaires tournées de 45° présentent la plus forte diminution de courant de saturation (30 %) entre 25 et 250 °C, mais également la plus grande valeur de courant aux différentes températures (Figure 2.13).

Une étude de la résistance à l'état passant (Figure 2.14) montre que la résistance à l'état passant des composants PMOS est 4 fois plus grande que celles des NMOS. Son augmentation avec la température atteint 70 % à 250 °C. Les structures tournées de 45° à droite et à gauche présentent la plus faible résistance passante aux différentes températures. Une différence de 8 % et 5 % à 25°C et 250°C respectivement a été observée entre les structures orientées de 45° et la structure R80D. La Figure 2.14 présente la variation de la résistance passante en fonction de la température pour les différentes structures PMOS et pour une tension V_{GS} = -4 V. L'effet de l'orientation du réseau cristallin de silicium est beaucoup plus important dans le cas du PMOS que dans le cas du NMOS.

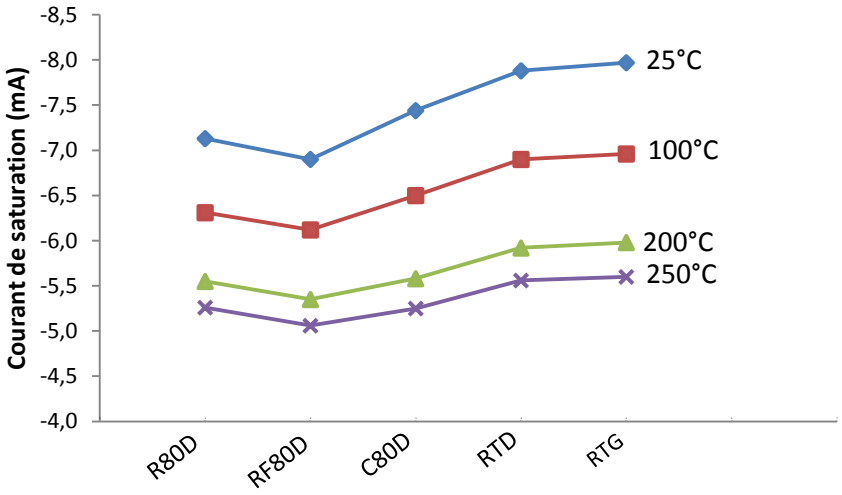

Figure 2.13: Variation du courant de saturation pour toutes les structures PMOS à différentes températures et pour une tension V_{GS} = -4 V

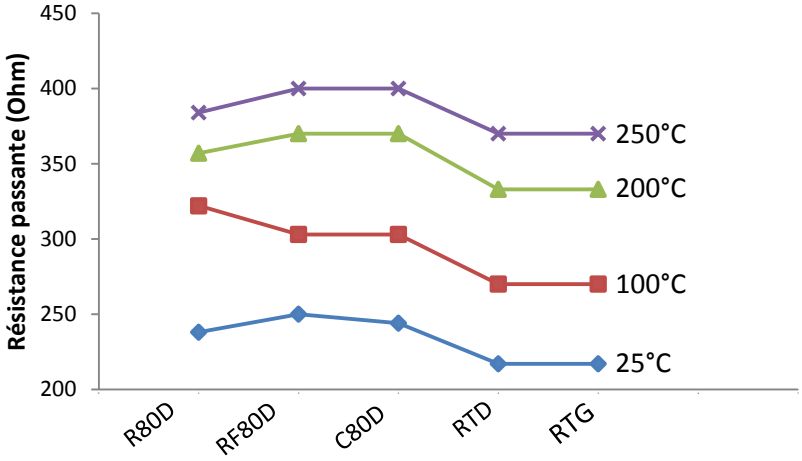

Figure 2.14: Variation de la résistance passante pour toutes les structures à différentes températures et pour une tension V_{GS} = -4V

2.4.1.2 Variation de la tension de seuil (Caractéristique (I_D-V_{GS}))

La différence des caractéristiques électriques (I_D-V_{GS}) entre les structures et en fonction de la température est presque nulle. Nous avons déjà vu que dans le cas du NMOS, la tension de seuil ne dépend pas de la forme géométrique de la grille et cela se confirme également sur les transistors PMOS.

La Figure 2.15 présente la variation des caractéristiques (I_D-V_{GS}) en fonction de la température pour la structure rectangulaire de la bibliothèque de TFSMART 1 et sous une tension de drain V_{DS} = -100 mV. Cette figure montre que la tension de seuil varie entre -1 V à 25 °C et -0,6 V à 250 °C. Dans ce cas aussi, cette variation de la tension de seuil ne pose pas de problème pour le fonctionnement logique et analogique.

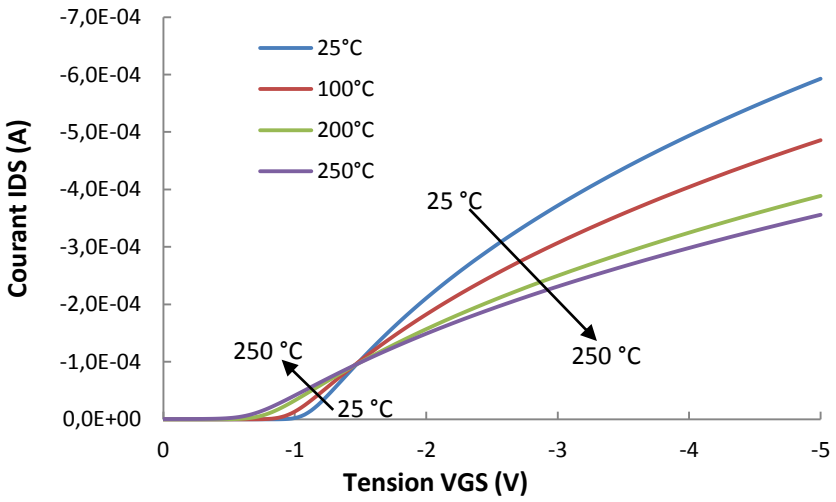

Figure 2.15: Variation des caractéristiques (I_D-V_{GS}) avec la température pour la structure rectangulaire de 80 µm de largeur de grille 80 µm et sous une tension de drain V_{DS} = -100 mV

2.4.1.3 Courant de fuite

La méthode utilisée pour mesurer le courant de fuite des NMOS basse tension, est appliquée aux PMOS basse tension, la tension de drain variant entre 0 et -5V, avec la grille reliée à la source et à la masse.

Ces mesures montrent, comme dans le cas du NMOS, qu'il n'y a pas beaucoup de différence entre les structures testées, surtout à haute température. Le Tableau 2.2 présente les valeurs du courant de fuite pour toutes les structures en fonction de la température et pour une tension V_{DS} = -4V.

I_{Fuite}	25 °C	100 °C	200 °C	250 °C
R80D	$-4{,}78.10^{-10}$	$-7{,}29.10^{-10}$	$-2{,}06.10^{-08}$	$-3{,}09.10^{-07}$
RF80D	$-6{,}04.10^{-10}$	$-6{,}64.10^{-10}$	$-1{,}93.10^{-08}$	$-2{,}95.10^{-07}$
C80D	$-5{,}03.10^{-10}$	$-8{,}66.10^{-10}$	$-1{,}97.10^{-08}$	$-2{,}90.10^{-07}$
RTD	$-8{,}93.10^{-10}$	$-1{,}32.10^{-09}$	$-2{,}23.10^{-08}$	$-3{,}16.10^{-07}$
RTG	$-1{,}07.10^{-09}$	$-1{,}45.10^{-09}$	$-2{,}15.10^{-08}$	$-3{,}13.10^{-07}$

Tableau 2.4: Variation de courant de fuite pour les structures PMOS en fonction de la température avec une tension V_{GS} = -4 V

2.4.1.4 Effet bipolaire parasite

Le gain en courant du bipolaire parasite du PMOS est calculé de la même manière que précédemment pour le NMOS, au signe près de tension pour le substrat.

La Figure 2.16 présente l'effet bipolaire du transistor PMOS rectangulaire R80D en mesurant le gain en courant (rapport de courant de drain sur le courant de substrat) en fonction de la tension appliquée au substrat à différentes températures et pour une tension appliquée au drain égale à -4 V.

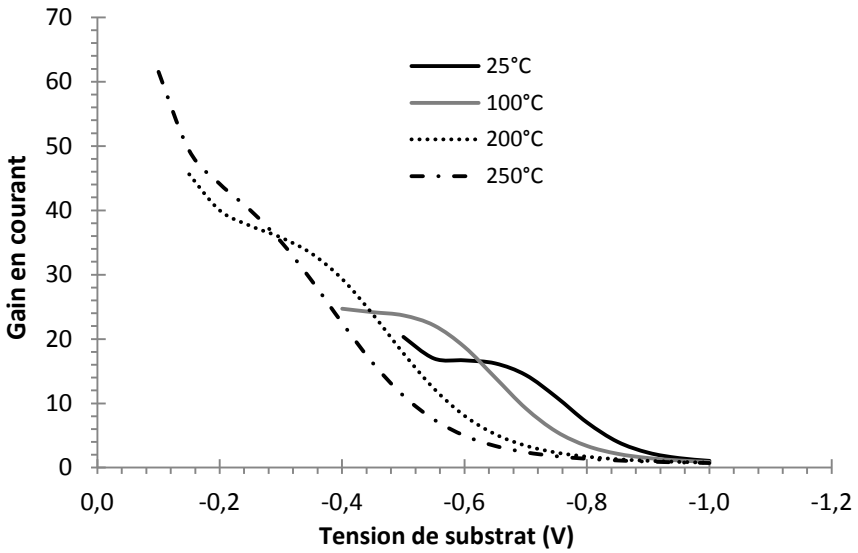

Figure 2.16: Effet bipolaire pour le transistor PMOS rectangulaire de largeur 80µm à différente température et pour une tension de drain V_{DS} = - 4 V

Dans cette figure, on remarque le premier pic de chaque courbe qui est dû au changement de signe du courant de substrat. Le gain en courant, et comme d'habitude pour les structures de silicium [16], augmente avec la température et la tension de substrat correspondant à la valeur maximale de ce gain en courant diminue. Cette diminution rend le déclenchement du bipolaire parasite à haute température plus facile.

Une comparaison avec le NMOS montre que le gain en courant du bipolaire parasite du NMOS est beaucoup plus grand que celui du bipolaire parasite du PMOS (Tableau 2.5). Ce sont donc des composants moins sensibles à la température.

Bêta	***25 °C***	***100 °C***	***200 °C***	***250 °C***
R80D	17	23,7	36	40
RF80D	13,3	19,6	29	32,6
C80D	9,5	13,2	20,3	23,5
RTD	41,7	61,6	91	103
RTG	41,7	66,6	95	106

Tableau 2.5 : Variation du gain en courant en fonction de la température pour les différentes structures et pour une tension V_{DS} = 4V

2.5 Conclusion

Dans ce chapitre, nous avons étudié des structures basse tension (5 V) de la bibliothèque fournie par le fondeur de la technologie utilisée dans notre travail. Nous avons validé expérimentalement l'avantage d'utiliser des structures multi-doigts avec drain au centre pour minimiser l'impact de la température sur le courant de fuite. Cette configuration a aussi l'avantage de minimiser la capacité parasite et donc d'améliorer les performances dynamiques. Des structures de plusieurs formes de grille (circulaire, rectangulaire fermée et tournée de 45°) sont aussi étudiées.

L'étude est divisée en plusieurs parties. Nous avons commencé par les caractéristiques (I-V) pour calculer la résistance à l'état passant et sa variation avec la température, ainsi que la diminution du courant de saturation avec la température. Ensuite, nous avons étudié la variation de la tension de seuil et du courant de fuite avec la température. Finalement nous avons étudié l'effet bipolaire parasite, sa variation avec la température et son effet sur le courant de fuite, surtout à haute température.

Toutes ces études ont été menées pour le NMOS et le PMOS. Les résultats généraux montrent de faibles différences entre les structures étudiées. Les transistors PMOS tournés à 45° présentent un avantage majeur sur la performance à basse et haute températures. Il pourrait être envisagé d'utiliser cette astuce peu coûteuse (rotation de la plaquette de 45 °) pour améliorer les performances (mobilité) des composants et ainsi compenser partiellement leurs dégradations avec la haute température.

Enfin, nous avons trouvé qu'il est futile de changer la topologie des structures car il s'avère que ce sont celles de la bibliothèque de la technologie qui présentent les meilleures performances dans la mesure où on adopte une topologie multi-doigts avec drain au centre.

2.6 Références bibliographiques

[1] « TFSMART1. (http://www.telefunkensemi.com/fileadmin/redakteure/2011/05/TFSMART1_Flyer_4_11.pdf) ». .

[2] M. Bellodi et L. M. Almeida, « Drain Leakage Current Behavior in Circular Gate SOI nMOSFETs Operating from Room Temperature up to 573K », 2007, vol. 11, p. 71–84.

[3] S. P. Gimenez, R. M. Ferreira, et J. A. Martino, « Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 µm Partially-Depleted SOI CMOS Technology », 2007, vol. 4, p. 309–318.

[4] Luciano Mendes Almeida et Marcello Bellodi, « Study of circular gate SOI nMOSFET Devices et High Temperatures ». IMAPS HiTEC-2008.

[5] L. M. Almeida et M. Bellodi, « Study of the Drain Leakage Current Behavior in Circular Gate SOI nMOSFET Using 0.13µm SOI CMOS Technology at High Temperatures », 2007, vol. 9, p. 397–404.

[6] C. L. Anderson et C. R. Crowell, « Threshold Energies for Electron-Hole Pair Production by Impact Ionization in Semiconductors », *Phys. Rev. B*, vol. 5, n°. 6, p. 2267–2272, mars 1972.

[7] D. Tremouilles, Yuan Gao, et M. Bafleur, « Pushing away the silicon limits of ESD protection structures: Exploration of crystallographic orientation », in *Bipolar/BiCMOS Circuits and Technology Meeting, 2008. BCTM 2008. IEEE*, 2008, p. 200–203.

[8] P. Nsame, G. Tang, E. Viau, K. Outama, T. Nigussie, C. Dunston, E. Sziklas, G. Goth, et C. Graas, « Embedded powerPC 405 & 440-based SoC product qualifications on 45°-rotated substrates », in *Reliability Physics Symposium, 2009 IEEE International*, 2009, p. 579–584.

[9] J. C. Sturm, K. Tokunaga, et J.-P. Colinge, « Increased drain saturation current in ultra-thin silicon-on-insulator (SOI) MOS transistors », *IEEE Electron Device Letters*, vol. 9, n°. 9, p. 460–463, sept. 1988.

[10] Y. Tsividis, *Operation and Modeling of the Mos Transistor (The Oxford Series in Electrical and Computer Engineering)*. Oxford University Press, 2004.

[11] J. P. Colinge, *Silicon-on-insulator technology: materials to VLSI*. Kluwer Academic Pub, 2004.

[12] G. Groeseneken, J.-P. Colinge, H. E. Maes, J. C. Alderman, et S. Holt, « Temperature dependence of threshold voltage in thin-film SOI MOSFETs », *IEEE Electron Device Letters*, vol. 11, n°. 8, p. 329–331, août 1990.

[13] I. M. Filanovsky et A. Allam, « Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits », *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, n°. 7, p. 876–884, juill. 2001.

[14] D.-S. Jeon et D. E. Burk, « A temperature-dependent SOI MOSFET model for high-temperature application (27 °C-300 °C) », *IEEE Transactions on Electron Devices*, vol. 38, n°. 9, p. 2101–2111, sept. 1991.

[15] W. A. Krull et J. C. Lee, « Demonstration of the benefits of SOI for high temperature operation », in *, 1988 IEEE SOS/SOI Technology Workshop, 1988. Proceedings*, 1988.

[16] T. H. Ning et R. D. Isaac, « Effect of emitter contact on current gain of silicon bipolar devices », *IEEE Transactions on Electron Devices*, vol. 27, n°. 11, p. 2051– 2055, nov. 1980.

[17] K. EL FALAHI « Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température»,*Thèse de doctorat INSA de Lyon Juin 2012, 188 pages*.

Chapitre III
Structures mixtes MOS-IGBT dans le domaine de la puissance

3.1 Introduction

En électronique de puissance, les fonctions sont principalement liées aux opérations de contrôle et de conversion de l'énergie électrique. Ainsi, les composants semi-conducteurs de puissance sont principalement destinés à des fonctions d'interrupteur dans la mise en œuvre des convertisseurs d'énergie (redresseur, hacheur, onduleur, et.). Toutefois, des fonctions spécifiques de protection des équipements électriques mettent également en jeu des semi-conducteurs de puissance. Les premiers composants de puissance (diodes, transistors bipolaires, thyristors) permettant de contrôler des tensions et des courants élevés furent commercialisés à la fin des années 1950 et depuis, les composants semi-conducteurs se sont progressivement substitués aux solutions électromécaniques pour la réalisation des convertisseurs d'énergie [1].

Dans le contexte d'un développement durable et dans le but d'apporter une solution alternative aux énergies fossiles, les transports deviennent plus électriques et nécessitent de nouvelles générations de dispositifs de puissance et de circuits électroniques. Cependant, les demandes de plus en plus exigeantes de certaines applications industrielles ainsi que les limitations physiques du silicium ont encouragé la poursuite des recherches sur des semi-conducteurs à grande bande interdite comme les composés III-V (GaAs, GaN…) ou le diamant et le carbure de silicium (SiC) [2].

Les nouvelles applications de l'électronique de puissance requièrent dans certains cas de mettre les circuits électroniques de puissance au plus près du moteur et donc un fonctionnement à haute température (200 °C).

Dans le projet COTECH, le circuit de commande de l'onduleur JFET en SiC est nécessairement en technologie Silicium. Le fonctionnement à haute température nécessite cependant d'utiliser une technologie silicium sur isolant (SOI), puisqu'elle permet d'intégrer des dispositifs MOS latéraux de puissance (LDMOS) ainsi que les transistors bipolaires latéraux à grille isolée (LIGBT). Ces deux dispositifs ont leurs avantages et ont aussi un fonctionnement qui se dégrade à haute température. Le LDMOS subit une forte dégradation de sa résistance passante avec l'augmentation de la température, alors que l'IGBT est susceptible de déclencher le latch-up.

Dans ce chapitre, en vue d'améliorer le fonctionnement à haute température, nous proposons une étude d'un nouveau dispositif combinant les avantages du MOS et de l'IGBT.

Après un bref état de l'art sur les différentes structures de puissance, nous allons étudier les caractéristiques électriques des structures mixtes proposées et fabriquées avec la technologie SOI.

Une optimisation de ces nouveaux composants sera étudiée en utilisant la simulation TCAD 3D sur Sentaurus. L'objectif majeur consiste à augmenter la tenue en tension avant le déclenchement du thyristor parasite qui est le problème principal de ces structures.

Ces nouvelles structures optimisées de type NMOS et PMOS seront aussi caractérisées au sein de ce chapitre.

3.2 Structures de puissance MOS et IGBT

Dans la quasi-totalité des applications mettant en œuvre l'énergie électrique, il est nécessaire de la contrôler, la moduler, voire changer sa nature. L'étude des composants, d'électronique de puissance et des modes de contrôles associés, est donc essentielle pour évaluer les dispositifs susceptibles de fonctionner efficacement à haute température. Dans ce travail, nous nous sommes intéressés à étudier les comportements électriques des transistors MOS de puissance (LDMOS), des transistors bipolaires latéraux à grille isolée (LIGBT) et ceux des thyristors à basse et haute températures.

3.2.1 LDMOS

Dans les années 1970, les structures de type MOS (Métal/Oxyde/ Semi-conducteur), caractérisées par une impédance d'entrée élevée, ont permis de s'affranchir des commandes en courant des dispositifs de puissance purement bipolaires. Les premiers transistors MOS de puissance ont donc vu le jour, préfigurant les nombreux composants de puissance basés sur l'association des technologies MOS et bipolaires [1].

Les transistors de puissance à effet de champ Métal-Oxyde-semiconducteur mettent en jeu les mêmes principes physiques que les composants MOS de la microélectronique. La structure est toutefois différente, pour répondre aux exigences de capacité en courant et de tenue en tension propres aux applications de puissance, avec pour aménagements principaux :

a- L'intégration en parallèle, dans un cristal unique, d'un nombre suffisant de cellules élémentaires toutes identiques, connectées aux mêmes contacts terminaux de source, de grille et de drain.

b- L'incorporation dans la jonction de drain d'une région large et peu dopée dans laquelle peut se développer la charge d'espace en situation de blocage (tenue en tension) [2].

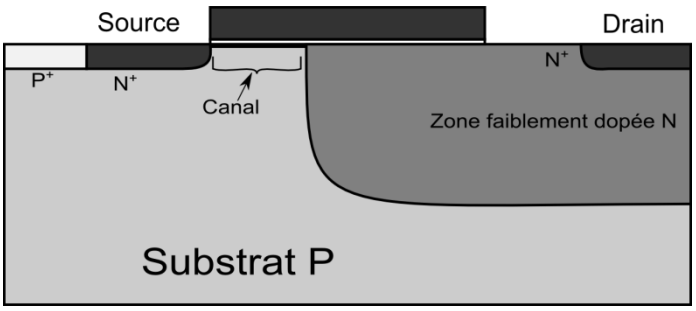

Figure 3.1: Schéma d'une structure MOS latéral de puissance

La résistance passante du transistor LDMOS peut être définie comme la somme de la résistance dans le canal et dans la zone de drift N [3].

$$R_{ON} = R_{canal} + R_{drift}$$ **Equation 3.1**

La résistance du canal peut être écrite comme :

$$R_{canal} = \frac{L}{W\mu_{eff}(T)C_{ox}(V_{gs} - V_{t\square}(T))}$$ **Equation 3.2**

Pour une valeur fixe de la tension de grille, la dépendance en température de la résistance de canal est déterminée par deux mécanismes concurrents. La diminution de la mobilité dans le canal qui induit l'augmentation de la résistance avec la température, tandis que la diminution de la tension de seuil a pour effet de diminuer la résistance (Equation 3.2). Pour une tension de grille élevée, le terme de mobilité dans la variation de la résistance dans le canal est dominant (Figure 3.2).

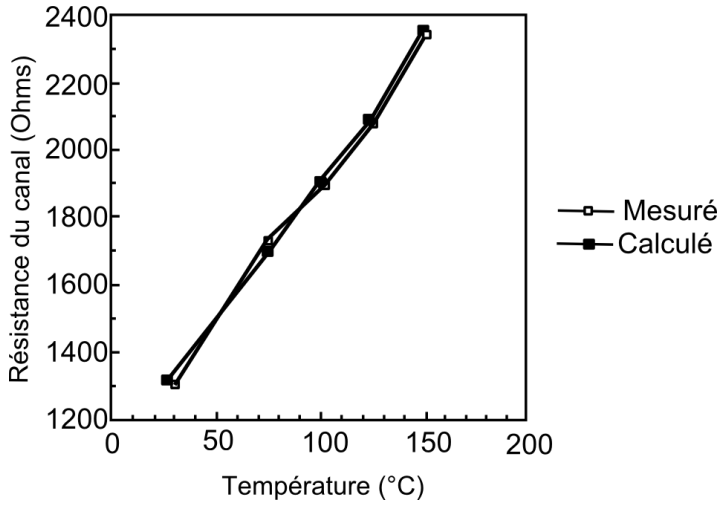

Figure 3.2: Variation de la résistance du canal du LDMOS en fonction de la température avec une tension de grille égale à 6 V [3]

La résistance de la région de drift est exprimée par [4] :

$$R_{drift} = \frac{\rho}{\pi W}\left[ln\left(\frac{L_1 - r_1}{r_1}\right) + ln\left(\frac{L_1 - r_2}{r_2}\right)\right] \qquad \textbf{Equation 3.3}$$

L_1, r_1 et r_2 étant des paramètres géométriques. Le seul terme qui dépend de la température dans cette équation est la résistivité, qui pour un faible dopage de la région de drift présente un coefficient de température positif en raison de la diminution de la mobilité dans cette région avec la température. La Figure 3.3 présente la variation de la résistance passante pour un LDMOS avec la température pour une tension de grille égale à 10 V.

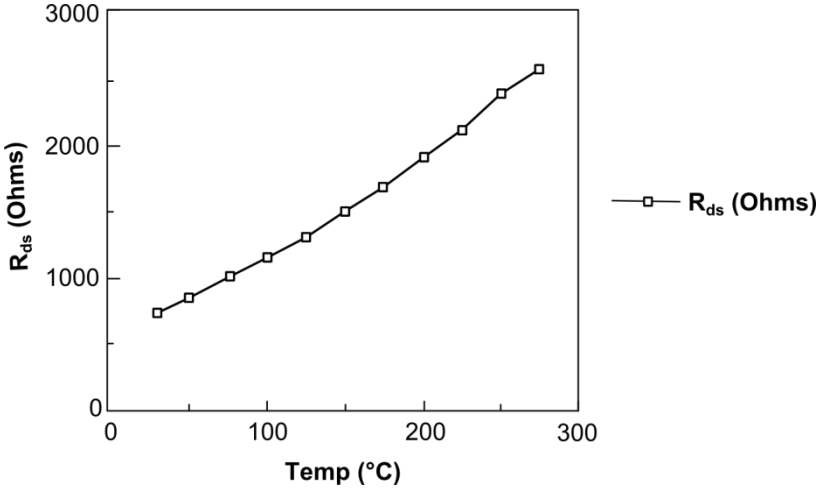

Figure 3.3: Variation de la résistance passante de LDMOS avec la température pour une tension V_{GS} = 10 V [3].

De plus, une grande limitation du LDMOS est que sa résistance est d'autant plus élevée que le calibre en tension est élevé puisqu'il est nécessaire d'abaisser le dopage de cette zone pour l'augmenter.

Il est important de mentionner ici que le LDMOS a un avantage important en température, c'est que le coefficient positif en température a pour résultat un effet d'auto-ballastage qui prévient la focalisation du courant dans ces structures multicellulaires.

Une structure MOS latérale de puissance avec grille en tranchée a été réalisée par [5], [6] (Figure 3.4). Pour une même tenue en tension, la structure MOS à tranchée présente une résistance passante plus faible que la structure MOS latérale classique.

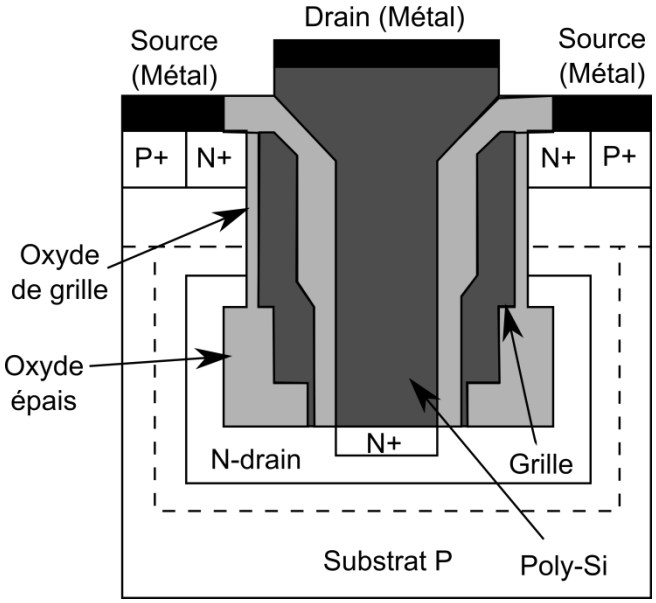

Figure 3.4: Structure MOS latérale de puissance à tranchées [5]

Plusieurs topologies de structures MOS SOI de puissance ont été publiées [7–9]. Les avantages de la technologie SOI, grâce à l'isolation parfaite des structures sont la haute densité d'intégration et une meilleure immunité aux radiations.

3.2.2 IGBT

Au cours des années 1980, un saut technologique fut franchi avec l'IGBT (Insulated Gate Bipolar Transistor) qui est devenu le composant de puissance le plus utilisé pour les applications de moyenne puissance. Depuis une vingtaine d'années, l'intégration en électronique de puissance s'est développée, tirée par des marchés spécifiques comme l'automobile, l'éclairage ou l'électroménager. Suivant les niveaux de puissance et la tenue en tension requise, les solutions d'intégration sont monolithiques ou hybrides [1].

Du point de vue topologique, la seule différence entre le LDMOS et le LIGBT est la diffusion N^+ du drain du NLDMOS qui est remplacée par un P+ pour l'anode du LIGBT. Les transistors bipolaires latéraux à grille isolée (LIGBT), ont attiré beaucoup d'intérêt récemment puisqu'ils sont intégrables, et sont des dispositifs haute tension pour les circuits intégrés de puissance, avec une meilleure résistance passante que les MOSFET de puissance, tout en conservant une commande en tension et une haute impédance d'entrée.

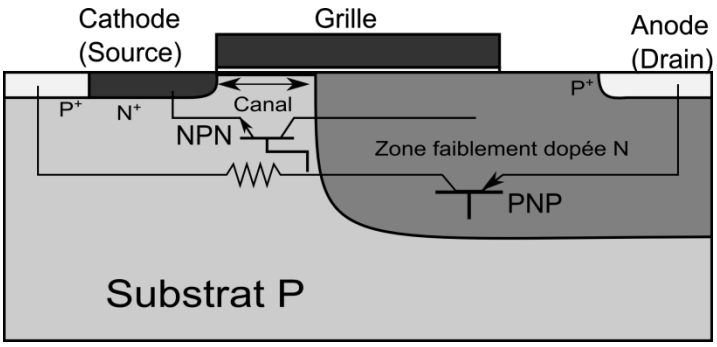

Figure 3. 5: Schéma d'une structure IGBT latérale

La limitation majeure du LIGBT est la présence d'une structure parasite latérale pnpn (thyristor), qui, si activée à l'état passant peut court-circuiter la commande par la grille. Plusieurs techniques, comme une faible surface d'émetteur et une couche enterrée du coté émetteur, ont déjà été proposées pour supprimer le latch-up. Chaque dispositif résultant a un courant de latch-up 5 à 10 fois supérieur au courant de conduction en direct [10–12].

Le schéma équivalent d'un IGBT est présenté dans la Figure 3.6 [13]. L'effet thyristor apparaît quand la tension aux bornes de R_P atteint la tension de seuil de la jonction base-émetteur du NPN. Dans ce cas, cette jonction est polarisée en direct et le transistor NPN est conducteur, ce qui entraîne l'effet thyristor. Dans les IGBTs modernes, cette résistance est rendue suffisamment faible pour que le thyristor ne soit plus déclenché dans le domaine de fonctionnement garanti par le constructeur. Le transistor NPN n'a alors plus d'influence sur le fonctionnement de l'IGBT dans ce domaine et le schéma équivalent se réduit alors à un transistor bipolaire PNP commandé par un MOSFET.

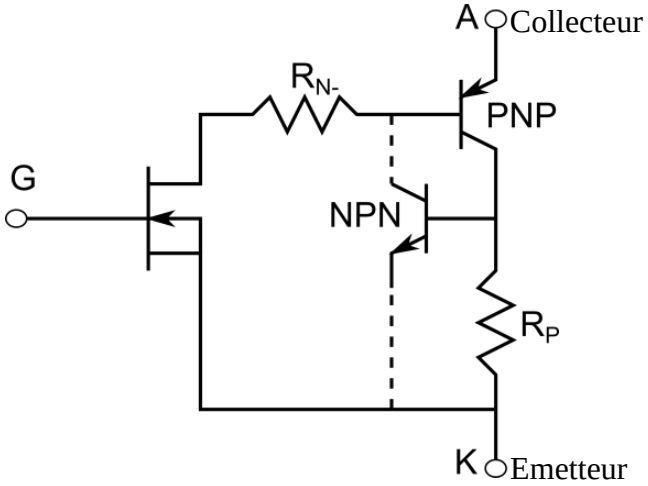

Figure 3.6: Circuit équivalent d'un IGBT incluant le transistor bipolaire NPN parasite.

L'injection de porteurs minoritaires dans la région de drift a pour effet de moduler la conductivité de cette région d'un facteur pouvant varier de dix à cent. Cela a pour résultat de considérablement réduire cette résistance, la rendant quasiment indépendante de la tenue en tension du composant.

Par rapport au MOSFET, un seuil de diode supplémentaire est nécessaire pour la mise en conduction de l'IGBT. Par contre, l'effet bipolaire lui confère une très faible tension de saturation.

En régime de fonctionnement, le courant de l'IGBT peut être décrit au premier ordre par la relation suivante.

$$I_A = I_{MOS} (1 + \beta_{PNP})$$ **Equation 3.4**

Où I_{MOS} le courant circulant dans le canal et β_{PNP} le gain en courant du transistor bipolaire PNP.

La valeur de ce gain est généralement faible et a pour rôle essentiel d'augmenter la conductivité de la zone de drift et donc de réduire la résistance à l'état passant.

En ce qui concerne son comportement en température, comme l'IGBT comporte à la fois un composant MOS et un composant bipolaire dont les coefficients en température sont opposés, il va dépendre du type de composant IGBT (punch through PT, ou non punch through NPT) et du régime en courant de l'IGBT. Lorsque la température augmente, le seuil de diode et la tension de seuil diminuent tandis que la résistance de canal du MOS et le gain en courant du bipolaire augmentent (Figure 3.7).

A faible courant, cela va résulter en un coefficient de température négatif, l'influence de la contribution ohmique étant négligeable. Par contre, à fort courant, le coefficient de température devient positif, car la dégradation de la mobilité et de la résistance de drift est alors dominante.

Un autre inconvénient de la haute température est une plus grande sensibilité au latch-up induite par l'augmentation concomitante des résistances de base R_P et R_N des transistors bipolaires et de leur gain en courant.

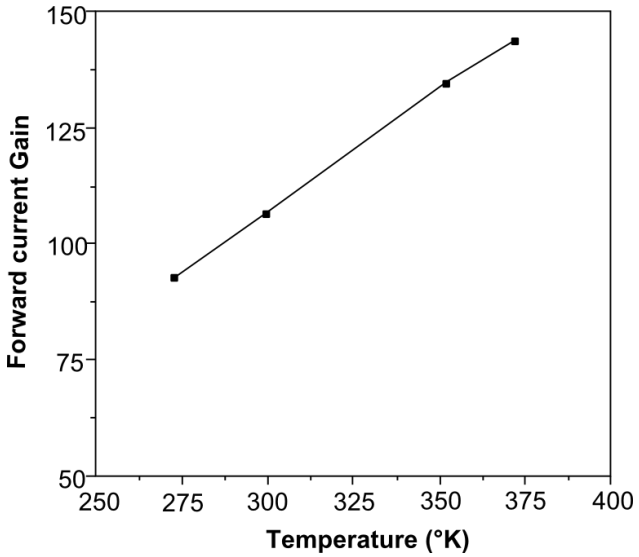

Figure 3.7: Gain en courant en fonction de la température (I_B = 10 µA), [14].

Une autre différence entre le LIGBT et le LDMOS est le temps de commutation. En effet, le temps de commutation et plus particulièrement d'extinction du LIGBT est supérieur à celui du LDMOSFET. Si on parle d'un LIGBT SOI, l'oxyde enterré joue un rôle supplémentaire, qui est d'empêcher l'injection de porteurs dans le substrat. Cet avantage est

très important pour le SOI LIGBT par rapport à celui sur substrat massif où l'injection des porteurs dans le substrat est à l'origine principale de ce temps de commutation élevé [15].

On peut noter d'après le Tableau 3.1, que le passage à l'IGBT apporte une forte amélioration des performances en termes de résistance à l'état passant et de dégradation des performances en température. Cela est obtenu au détriment de la vitesse de commutation.

Caractéristique	MOS	IGBT
Commande	Tension	Tension
R_{ON}	Elevée (≈ $R_{ON(IGBT)}$ x 5 @ 1000V)	Faible
Tension de saturation	Elevée	Faible
Aire de sécurité	Grande	Grande
Vitesse de commutation	Rapide	Moyenne
Dégradation des performances en température	Forte	Moyenne
Robustesse en température	Auto-ballastage	Risque de latch-up

Tableau 3.1 : Comparaison IGBT / MOS pour une même tenue en tension

L'IGBT est en général utilisé pour un calibre en tension supérieur à 600 V. Dans cette étude, nous proposons de combiner un composant IGBT dans un composant LDMOS à basse tension (<100 V) dans un objectif d'améliorer les performances à haute température. L'optimisation vis-à-vis de l'immunité au latch-up va d'ailleurs concerner une part très importante de notre étude.

3.2.3 NLDMOS 25 V et 45 V

Dans cette partie, nous allons présenter le comportement des structures de la bibliothèque de la technologie choisie pour le projet COTECH. Les structures concernées sont des structures NLDMOS 25 V et 45 V. L'étude de ces structures comporte premièrement la résistance passante et la variation de la tension de seuil et du courant de fuite pour les différentes températures.

3.2.4 Présentation des composants

Nous allons d'abord expliquer comment sont réalisés ces composants de la bibliothèque.

Ils sont constitués d'éléments cellulaires composés de 2 doigts de grille avec diffusion de drain placée au centre. Pour réaliser un composant d'un certain calibre en courant, on définit la largeur totale d'une cellule et le nombre d'éléments cellulaires à mettre en parallèle.

Par exemple, pour construire un composant de largeur totale égale à 200 µm, on peut le faire avec 10 cellules en parallèle de 20 µm de largeur de grille chacun, ou 5 cellules de 40 µm de largeur de grille chacunes (Figure 3.8).

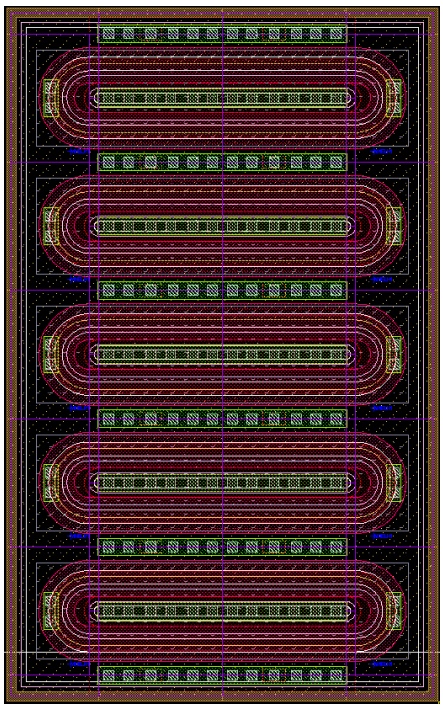

Figure 3.8: NLDMOS de largeur totale égale à 200 µm avec une largeur cellulaire égale à 40 µm

De plus, ces structures sont proposées avec deux topologies différentes (Figure 3.9).

a- La source et le contact de substrat sont court-circuités et les contacts de substrat sont implémentés au sein de la diffusion N+ de la source. Ces structures sont nommées SBC (Source Body Short).

b- Une couche de STI (Shallow Trench Isolation) est insérée entre la source et la diffusion P+ de contact de substrat. Cette structure permet de faire des tests avec substrat polarisé à une tension différente de la source. Ces structures sont nommées SBO (Source Body Open).

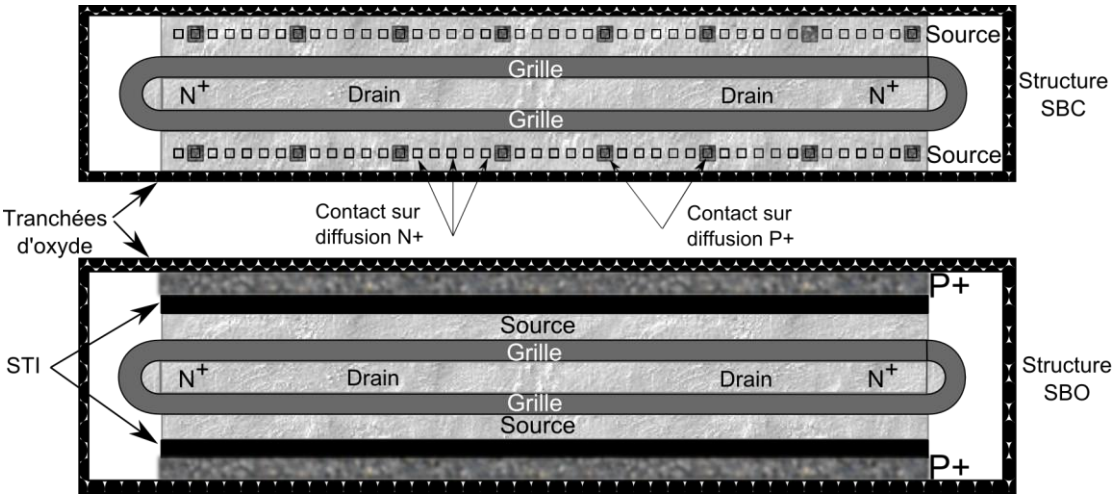

Figure 3.9: Présentation schématique des structures SBC et SBO

La Figure 3.10 présente une coupe schématique d'une demi-cellule de structure, SBC et SBO.

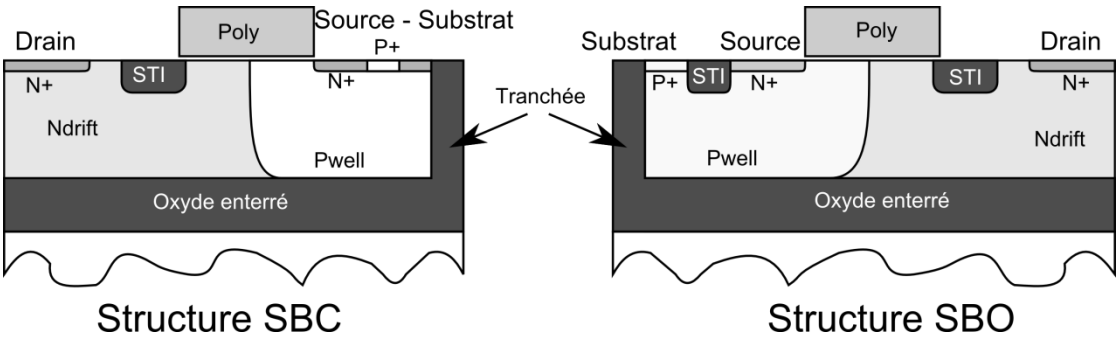

Figure 3.10: Coupes schématiques des structures SBC et SBO

La différence entre les structures 25 V et 45 V est d'une part, la longueur de la zone de drift faiblement dopée, qui est plus grande dans les cellules 45 V et d'autre part, une légère différence de longueur de canal. Chaque structure est formée de deux doigts avec une grille annulaire fermée. Malgré la forme annulaire de la grille, les couches P+ et N+ sous les contacts ont une forme rectangulaire. Il n'y a donc pas de canal dans la partie annulaire (voir Figure 3.9).

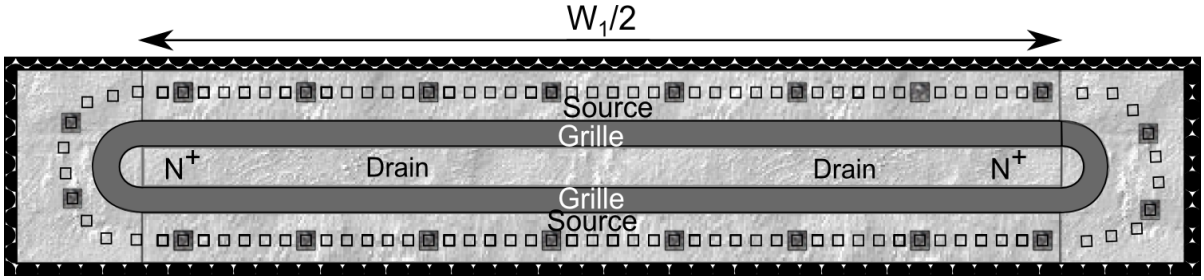

Figure 3.11: Schéma d'une structure NMOS de puissance annulaire

Comme nous l'avions fait pour les MOS basse tension, nous avons modifié la structure pour les rendre annulaires afin d'avoir la même largeur de structure dans une surface plus faible. Nous avons effectué cette modification pour les LDMOS 25 V (voir Figure 3.11) et les LDMOS 45 V. Une comparaison entre les structures initiales et celles modifiées sera présentée dans les paragraphes qui suivent. Pour calculer la nouvelle largeur de la structure, nous avons supposé que la largeur de la partie circulaire est égale au périmètre du cercle ayant un rayon égal au rayon du cercle supérieur plus le rayon du cercle inférieur divisé par deux.

$$W = W_1 + 2.\pi.R \qquad \textbf{Equation 3.5}$$

Avec W_1 la largeur totale des doigts initiaux et $R = (R_1+R_2)/2$ où R_1 est le rayon du cercle interne et R_2 est le rayon du cercle externe.

3.2.5 Variation de R_{ON} avec la température

Concernant la structure LDMOS 25 V SBC, les mesures montrent que le courant de saturation pour un dispositif rectangulaire de 100 µm de largeur est supérieur à celui d'un dispositif annulaire (20 mA pour le premier et 18 mA pour le deuxième). Par conséquent, la résistance passante de la structure annulaire est plus forte que celle de la structure rectangulaire.

Ce résultat est similaire pour toutes les autres structures, c'est-à-dire, pour les structures LDMOS 25 V SBO, 45 V SBC et 45 V SBO. Nous avons mesuré la variation de la

résistance passante avec la température. Le Tableau 3.2 présente la variation de la résistance passante multiplié par la largeur du composant de toutes les structures en fonction de la température. Dans ce tableau, nous avons multiplié la résistance par la largeur totale de composant afin de faciliter la comparaison de la résistance pour les différentes structures, puisqu'ils ont des largeurs différentes.

On peut remarquer que les structures annulaires ne sont pas les meilleures. Deux hypothèses peuvent être émises : d'une part, la portion de grille annulaire n'ayant pas la même orientation cristalline, la mobilité des porteurs associée y est plus faible, d'autre part, le calcul de la largeur équivalente est probablement erroné.

T	25V SBC rect (W = 100 µm)	25V SBC annu (W = 100 µm)	25V SBO rect (W = 54,4 µm)	25V SBO annu (W = 54,4 µm)	45V SBC rect (W = 100 µm)	45V SBO rect (W = 54,4 µm)	45V SBO annu (W = 54,4 µm)
25 °C	1,41 Ω.cm	1,64 Ω.cm	1,32 Ω.cm	1,76 Ω.cm	1,72 Ω.cm	1,65 Ω.cm	2,18 Ω.cm
100 °C	2,00 Ω.cm	2,33 Ω.cm	1,93 Ω.cm	2,48 Ω.cm	2,50 Ω.cm	2,36 Ω.cm	3,20 Ω.cm
200 °C	2,95 Ω.cm	3,33 Ω.cm	2,72 Ω.cm	3,63 Ω.cm	3,70 Ω.cm	3,40 Ω.cm	4,53 Ω.cm

Tableau 3.2: Variation de la résistance passante pour les différentes structures de puissance

La variation du courant de saturation avec la température est similaire pour toutes les structures. Elle est de l'ordre de 34 % en passant de 25 °C à 200 °C.

3.2.6 Variation de la tension de seuil

Les caractérisations (I_D-V_{GS}) montrent que la variation de la tension de seuil est à peu près la même pour toutes les structures. Elle diminue de 0,8 V à 25 °C jusqu'à 0,4 V à 250 °C. La Figure 3.12 présente la variation des caractéristiques (I_D-V_{GS}) pour la structure NLDMOS 25 V SBO annulaire à différentes températures et pour une tension V_{DS} = 0,1 V. On remarque bien dans cette figure la forte augmentation de la résistance passante avec la température. La diminution de la tension de seuil de 50% jusqu'à la moitié ne pose pas un fort problème puisqu'elle reste aux alentours de 0,4 V.

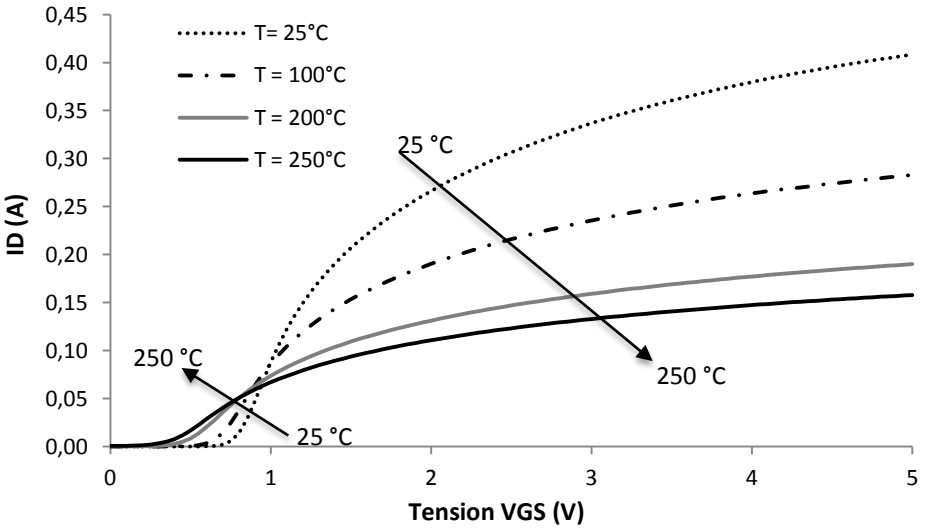

Figure 3.12: Caractéristiques (I_D-V_{GS}) pour la structure NLDMOS 25 V SBO annulaire à différentes températures et pour une tension V_{DS} = 100 mV

3.2.7 Courant de fuite pour les différents composants en fonction de la température

Comme pour tous les composants semi-conducteurs, le courant de fuite est divisé en deux parties, le courant de diffusion et le courant de génération [16]. Le courant de génération est proportionnel à l'épaisseur de silicium actif. Bien que nos structures soient des structures SOI BCD, c'est-à-dire que l'épaisseur du silicium actif est important (2 µm), le courant de fuite pour ce type de technologie (SOI) est cependant plus faible que celui sur substrat massif [15].

Le Tableau 3.3 présente les valeurs du courant de fuite pour les différentes structures. A noter que les structures SBO ont une largeur de 54,4 µm, tandis que les SBC ont une largeur totale égale à 100 µm et que les valeurs de ce courant sont mesurées à une tension V_{DS} = 20 V pour les structures LDMOS 25 V et à V_{DS} = 40 V pour les structures LDMOS 45 V. Une comparaison entre les structures LDMOS 25 V SBO et 45 V SBO montre qu'à basse température les structures 45 V ont un courant de fuite plus grand que celui des 25 V, tandis qu'à haute température, on a le cas contraire. En effet, à basse température, le courant de génération des structures 45 V est plus grand puisque la zone de drift de ces composants est plus longue que celle des structures 25 V. A haute température, comme la longueur du canal des structures 45 V est plus grande que celle des structures 25 V, le gain du bipolaire parasite est donc plus petit résultant en un courant de fuite plus faible.

Une comparaison entre les structures annulaires et rectangulaires, montre que le courant de fuite des premières est plus faible, surtout dans le cas des structures SBO. Dans le paragraphe précédent 3.2.5, nous avons remarqué que le courant de saturation des structures annulaires est plus faible que celui des structures rectangulaires, et il en est de même pour la résistance passante. Comme pour le cas des transistors basse tension, cet effet est probablement lié au calcul erroné de la largeur équivalente du transistor.

	25V SBC rect (W = 100 µm)	25V SBC annu (W = 100 µm)	25V SBO rect (W = 54,4 µm)	25V SBO annu (W = 54,4 µm)	45V SBO rect (W = 54,4 µm)	45V SBO annu (W = 54,4 µm)
25 °C	7.10^{-10} A	$5,6.10^{-10}$ A	$4,2.10^{-10}$ A	$2,2.10^{-10}$ A	$5,0.10^{-10}$ A	$3,0.10^{-10}$ A
100 °C	$9,3.10^{-10}$ A	$7,9.10^{-10}$ A	$6,1.10^{-10}$ A	$3,5.10^{-10}$ A	$6,8.10^{-10}$ A	$4,0.10^{-10}$ A
200 °C	$7,4.10^{-8}$ A	$7,7.10^{-8}$ A	$4,3.10^{-8}$ A	$4,0.10^{-8}$ A	$3,8.10^{-8}$ A	$3,5.10^{-8}$ A
250 °C	$1,1.10^{-6}$ A	$1,0.10^{-6}$ A	$6,2.10^{-7}$ A	$5,7.10^{-7}$ A	$5,3.10^{-7}$ A	$4,6.10^{-7}$ A

Tableau 3.3: Variation du courant de fuite pour les différentes structures en fonction de la température avec une tension V_{DS} = 20 V pour les structures 25 V et 40 V pour les structures 45 V.

3.2.8 Effet bipolaire parasite

Dans le cas des LDMOS, nous ne pouvons tester l'effet bipolaire parasite que pour les structures SBO. En effet, dans les structures SBC, la source et le substrat sont en court-circuit et par suite, nous ne pouvons pas polariser le substrat pour simuler le cas où la chute de tension dans le Pwell atteint le seuil de déclenchement du bipolaire. Cependant, on peut considérer que les caractéristiques du transistor bipolaire parasite des structures SBC sont identiques à celles des SBO.

Les mesures sont faites en appliquant au substrat une tension allant de 0 jusqu'à 1 V. Dans ce cas, la tension aux bornes du drain est égale à 20 V pour les structures LDMOS 25V et 40 V pour les structures LDMOS 45 V. La valeur du gain en courant β est calculée par le rapport de I_D/I_{Sub}, avec I_D le courant qui traverse le drain.

Les mesures en température montrent une augmentation du gain du bipolaire parasite β et une diminution de la tension de substrat pour laquelle ce gain est maximum. La résistance du Pwell et le courant de fuite augmente avec la température. Donc le déclenchement de ce bipolaire parasite devient beaucoup plus facile et résulte en une forte augmentation du courant de fuite. La Figure 3.13 présente la variation de β pour la structure NLDMOS 25 V SBO rectangulaire pour des températures allant de 25 °C jusqu'à 250 °C.

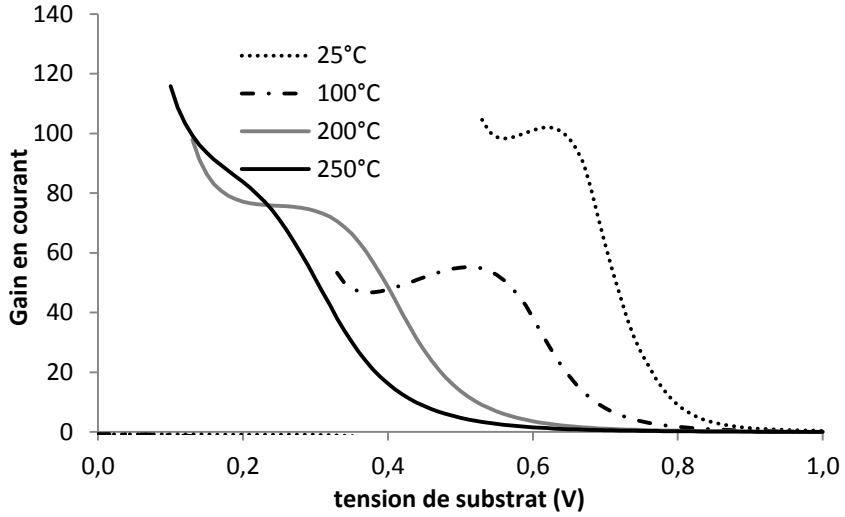

Figure 3.13: Variation du gain du transistor bipolaire parasite en fonction de la tension appliquée au substrat (base) et pour différentes températures pour la structure NLDMOS 25 V SBO rectangulaire et une tension V_{DS} = 20 V.

Une comparaison avec les autres structures montrent une faible différence des valeurs de β. Le Tableau 3.4 présente la variation de β avec la température pour les différentes structures 25 V et 45 V annulaires et rectangulaires. La différence de gain en courant entre les structures 25 V et 45 V revient à la différence de la largeur de base du bipolaire parasite qui est plus grande dans le cas des structures NLDMOS 45 V SBO.

β / T	25V SBO rect (W = 54,4 µm)	25V SBO annu (W = 54,4 µm)	45V SBO rect (W = 54,4 µm)	45V SBO annu (W = 54,4 µm)
25 °C	100	92	90	86
100 °C	55	39	44	34
200 °C	75	52	60	49
250 °C	84	67	72	55

Tableau 3.4 : Variation du Gain en courant des bipolaires parasites pour les structures NLDMOS 25 V SBO et 45 V SBO annulaires et rectangulaires en fonction de la température

Enfin, il n'y a pas une grande différence de caractéristiques entre les structures annulaires et rectangulaires. Toutes les structures montrent un bon fonctionnement à basse et haute températures malgré les inconvénients de la haute température (augmentation de la

résistance passante, diminution de la tension de seuil et augmentation du courant de fuite). Les avantages des structures annulaires sont mineurs pour les utiliser à la place des structures rectangulaires de la bibliothèque de la technologie.

3.3 Cas d'un PLDMOS 25 V et 45 V

Dans le cas d'un PLDMOS, la différence entre les différentes structures est également faible. La résistance à l'état passant est bien sûr plus grande que celle du NLDMOS puisque les porteurs principaux du courant dans les PMOS sont des trous, dont la mobilité est plus faible.

Comme dans les cas des NMOS, la tension de seuil diminue (en valeur absolue) avec la température et passe de -0,8 V à -0,35 V entre 25 °C et 250 °C. Comme attendu, aucune différence entre les structures n'a été remarquée.

Concernant le courant de fuite, la différence entre les structures 25 V et 45 V, peut être attribué à la différence de largeur de base de ces structures qui est plus faible pour les composants 25 V. Le Tableau 3.5 présente la variation du courant de fuite pour les différentes structures 25 et 45V SBC et SBO, annulaires et rectangulaires pour des températures allant de 25 °C jusqu'à 250 °C. A noter que le courant de fuite est mesuré à 20 V pour les structures LDMOS 25 V et à 40 V pour les structures LDMOS 45 V.

	25V SBC rect (W = 100 µm)	25V SBC annu (W = 100 µm)	25V SBO rect (W = 54,4 µm)	25V SBO annu (W = 54,4 µm)	45V SBC rect (W = 100 µm)	45V SBC annu (W = 100 µm)	45V SBO rect (W = 54,4 µm)	45V SBO annu (W = 54,4 µm)
25 °C	$6{,}3.10^{-12}$ A/µm	$4{,}7.10^{-12}$ A/µm	10.10^{-12} A/µm	$6{,}8.10^{-12}$ A/µm	$8{,}4.10^{-12}$ A/µm	$7{,}3.10^{-12}$ A/µm	$14{,}5.10^{-12}$ A/µm	$8{,}8.10^{-12}$ A/µm
100 °C	$10{,}8.10^{-12}$ A/µm	$8{,}7.10^{-12}$ A/µm	16.10^{-12} A/µm	$9{,}7.10^{-12}$ A/µm	$11{,}7.10^{-12}$ A/µm	$10{,}2.10^{-12}$ A/µm	$19{,}3.10^{-12}$ A/µm	$8{,}6.10^{-12}$ A/µm
200 °C	$1{,}2.10^{-9}$ A/µm	$1{,}1.10^{-9}$ A/µm	$1{,}2.10^{-9}$ A/µm	$0{,}4.10^{-9}$ A/µm	$0{,}5.10^{-9}$ A/µm	$0{,}4.10^{-9}$ A/µm	$0{,}55.10^{-9}$ A/µm	$0{,}55.10^{-9}$ A/µm
250 °C	$1{,}3.10^{-8}$ A/µm	$1{,}2.10^{-8}$ A/µm	$1{,}47.10^{-8}$ A/µm	$0{,}7.10^{-8}$ A/µm	$0{,}66.10^{-8}$ A/µm	$0{,}62.10^{-8}$ A/µm	$0{,}72.10^{-8}$ A/µm	$0{,}66.10^{-8}$ A/µm

Tableau 3.5: Variation du courant de fuite pour les différentes structures 25 et 45 V SBC et SBO rectangulaires et annulaires à V_{DS} = 20 V pour les structures 25 V et V_{DS} = 40 V pour les structures 45 V.

La Figure 3.14 présente le gain du bipolaire parasite de la structure annulaire PLDMOS 25 V en fonction de la tension appliquée au substrat pour différentes températures. Dans cette mesure la tension aux bornes du drain est égale à -20 V. De même, dans le cas du PLDMOS, le gain en courant des structures 45 V est légèrement inférieur à celui des 25 V puisque la largeur de base de ce dernier est plus faible que celle des composants 45 V.

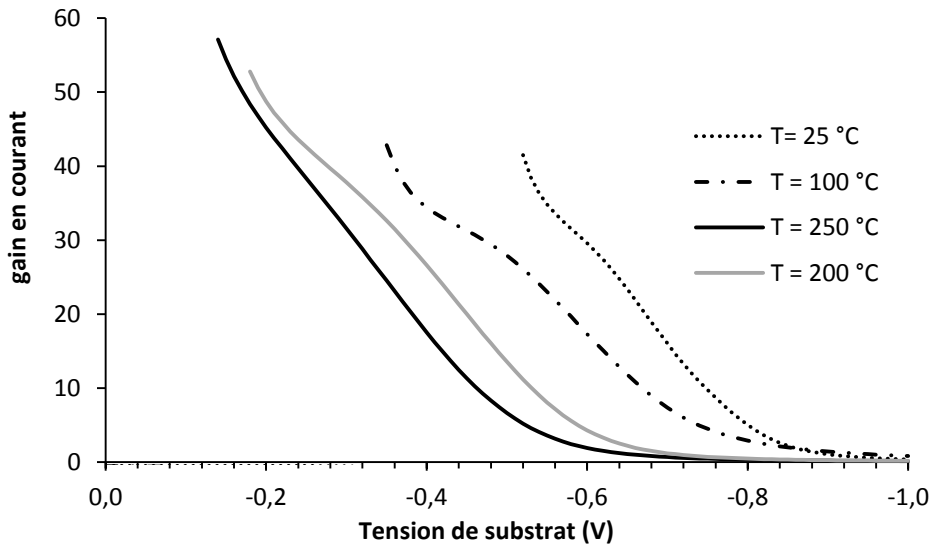

Figure 3.14 : Variation du gain en courant de bipolaire parasite de la structure PLDMOS 25 V SBO annulaire en fonction de la tension appliqué au substrat et à différentes températures. Dans ce cas la tension aux borne de drain est égale à -20 V.

3.4 Structures Mixtes MOS-IGBT

Dans le cadre du projet COTECH, notre but est d'améliorer le fonctionnement des composants électroniques (fabriqués en technologie SOI) à haute température. Dans cet objectif nous avons utilisé la technologie TFSMART1, qui est une technologie BCD, SOI. Comme nous l'avons déjà dit au début de ce chapitre, cette technologie est qualifiée pour la haute température (200°C), mais la haute température dégrade fortement les performances électriques, notamment la résistance passante des composants de puissance.

Nous avons vu dans ce chapitre aussi, que les avantages apportés par la modification de la topologie des structures restent limités. Nous avons donc mené une réflexion sur une nouvelle structure du composant en vue d'améliorer le fonctionnement à haute température.

Le transistor bipolaire à grille isolée (IGBT) a un avantage intéressant à haute température. Sa résistance passante a une faible variation avec l'augmentation de la température. Malgré cet avantage, il existe toujours un risque de latch-up et tout particulièrement à haute température. Pour ces raisons, nous avons proposé de réaliser une structure mixte qui combine à la fois le LDMOS et le LIGBT [23]. De cette façon, nous espérons conserver la rapidité de la structure (avantage de NLDMOS) et la faible variation de la résistance passante avec la température (avantage de l'IGBT) et profiter de cette combinaison de deux composants pour contrecarrer les effets néfastes de la température sur les risques de latch-up dans l'IGBT.

3.4.1 Définition

Afin de réaliser cette structure mixte, nous avons utilisé une structure NLDMOS 25 V de largeur 40 µm. Puisque la différence entre le NLDMOS et le LIGBT est seulement la diffusion N+ du drain du NLDMOS qui est remplacée par une diffusion P+ d'anode, la structure proposée est réalisée en remplaçant la diffusion N+ de drain par une série de diffusions N+ et P+ alternées.

L'insertion de P+ dans le drain de la structure est effectuée selon différents rapports de N+/P+ ou LDMOS/LIGBT. Nous avons réalisé des composants mixtes avec des rapports N+/P+ = 0, ½, 1 et 2. Le rapport 0 indique que la structure est un IGBT pur. Pour les autres rapports, la diffusion P+ remplace 33,3%, 50 % et 66,7 % successivement de la largeur totale du composant (voir Tableau 3.6 et Figure 3.15).

	Rapport N^+/P^+	***% de l'IGBT***
1P2N	2	33,3 %
1P1N	1	50 %
2P1N	0,5	66,7 %
LIGBT	0	100 %

Tableau 3.6: Liste des structures mixtes avec le LIGBT

En ce qui concerne le LIGBT, afin d'éliminer des erreurs de règles de dessin, nous avons conservé une petite diffusion N+ (de largeur égale 4 µm) au centre du composant.

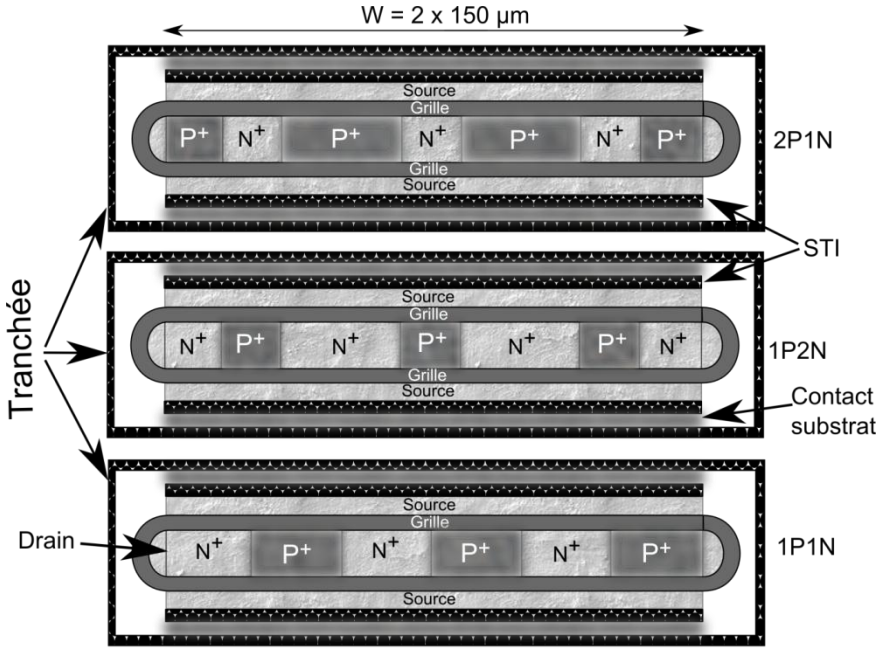

Figure 3.15: Les différentes configurations des structures mixtes : 2P1N (haut), 1P2N (centre) et 1P1N (bas)

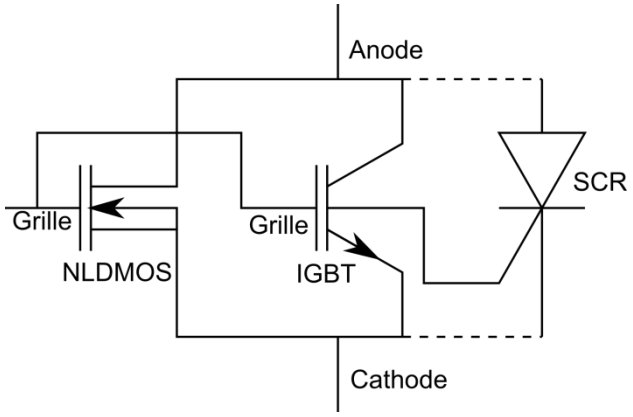

Figure 3.16: Schéma électrique équivalent de la structure mixte LDMOS-LIGBT incluant le SCR parasite.

L'idée principale est donc de combiner dans un même dispositif, un LDMOS, qui commence à fonctionner dès que sa grille est activée, et un IGBT latéral qui devrait réduire la résistance passante de ce dispositif mixte grâce à l'injection des porteurs minoritaires. Malheureusement, comme indiqué dans le schéma de la Figure 3.16, cette structure comprend également un thyristor parasite dont on doit éviter le déclenchement.

Des travaux [17] ont déjà proposé une structure hybride LDMOS/LIGBT en technologie SOI comme composant de puissance (400 V). L'objectif était d'obtenir le meilleur compromis entre performances (R_{ON}, courant de saturation) et surface de silicium. Les auteurs ont aussi défini le rapport optimum LDMOS/LIGBT, et diminué la surface de 25 à 50 % par rapport à un LDMOS selon le courant pic requis. A. Bourennane et al. [18] ont étudié le comportement d'un dispositif vertical MOS thyristor, où le contrôle de la tension de déclenchement du thyristor est obtenu en ajustant la longueur de la diffusion N+ de la cathode.

Les travaux de H. Akiyama et al [19] proposent également une structure mixte MOS-IGBT pour améliorer la performance d'un IGBT vertical à la fois en commutation et en température (125 °C). Cette structure appelée shorted collector (CS-IGBT) permet de minimiser significativement les pertes en commutation à haute température. Concernant le déclenchement du latch-up, la structure CS-IGBT se déclenche à un niveau de courant plus bas que l'IGBT mais compatible avec les spécifications de fonctionnement. L'autre motivation pour introduire des zones de N+ au sein de l'anode est d'intégrer au sein de l'IGBT la diode de roue libre nécessaire en mode inverse. Cette structure CS-IGBT a été démontrée par Rahimo et al [20].

L'originalité de notre travail concerne la mise à profit des avantages de l'IGBT dans des structures de puissance à basse tension (<100 V) en vue d'améliorer les performances en température. Dans notre étude nous étudions l'impact du rapport LDMOS/LIGBT sur ces performances ainsi que des solutions topologiques pour améliorer l'immunité au latch-up de ces structures mixtes.

3.4.2 Caractérisation électriques

La caractérisation de ces structures a été réalisée sous pointes et en utilisant un banc de mesure Cascade (caractérisation DC) ou un traceur de courbes. La Figure 3.17 (haut) montre les caractéristiques (I_D-V_{DS}) pour la structure 2P1N SBO de largeur W = 40 µm, à température ambiante pour différentes tensions V_{GS}. La Figure 3.17 (bas) présente un zoom de ces mêmes caractéristiques. Dans cette figure, on peut remarquer le fonctionnement des différentes parties de la nouvelle structure. Le déclenchement en thyristor se fait à une tension très basse même à température ambiante pour une tension V_{GS} > 2V. Ce passage rapide en mode thyristor est lié à la résistance du Pwell trop élevée entre le canal et la diffusion P+ du contact de substrat. En effet, dès que le LIGBT commence à fonctionner, le courant de trous injecté par la diffusion P+ du drain induit le déclenchement du bipolaire parasite NPN formé par la diffusion N+ de la source, le Pwell et la zone N-drift et par suite l'activation du thyristor parasite.

Pour V_{GS} = 2 V, on peut remarquer que le LIGBT ne se déclenche pas malgré la grande tension V_{DS} appliquée. L'IGBT classique est activé quand la tension collecteur-émetteur assure une polarisation de la jonction P+/N drift ≥ 0,7 V. En revanche, dans la structure mixte MOS-IGBT, puisque le LDMOS est activé avant l'IGBT, le courant de drain circulant dans la région de drift N assure la chute de tension nécessaire pour polariser la jonction P+/N drift. Un faible niveau de tension V_{GS} (égal à 2 V dans notre cas) ne permet pas de développer une chute de tension suffisante. Le niveau de courant nécessaire pour le déclenchement de l'IGBT est en réalité constant pour une température donnée et quelque soit la tension V_{GS}. Cette propriété est validée dans la Figure 3.17 ainsi que par les résultats de la simulation TCAD 3D. Cette valeur, pour la structure 2P1N est d'environ 4 mA.

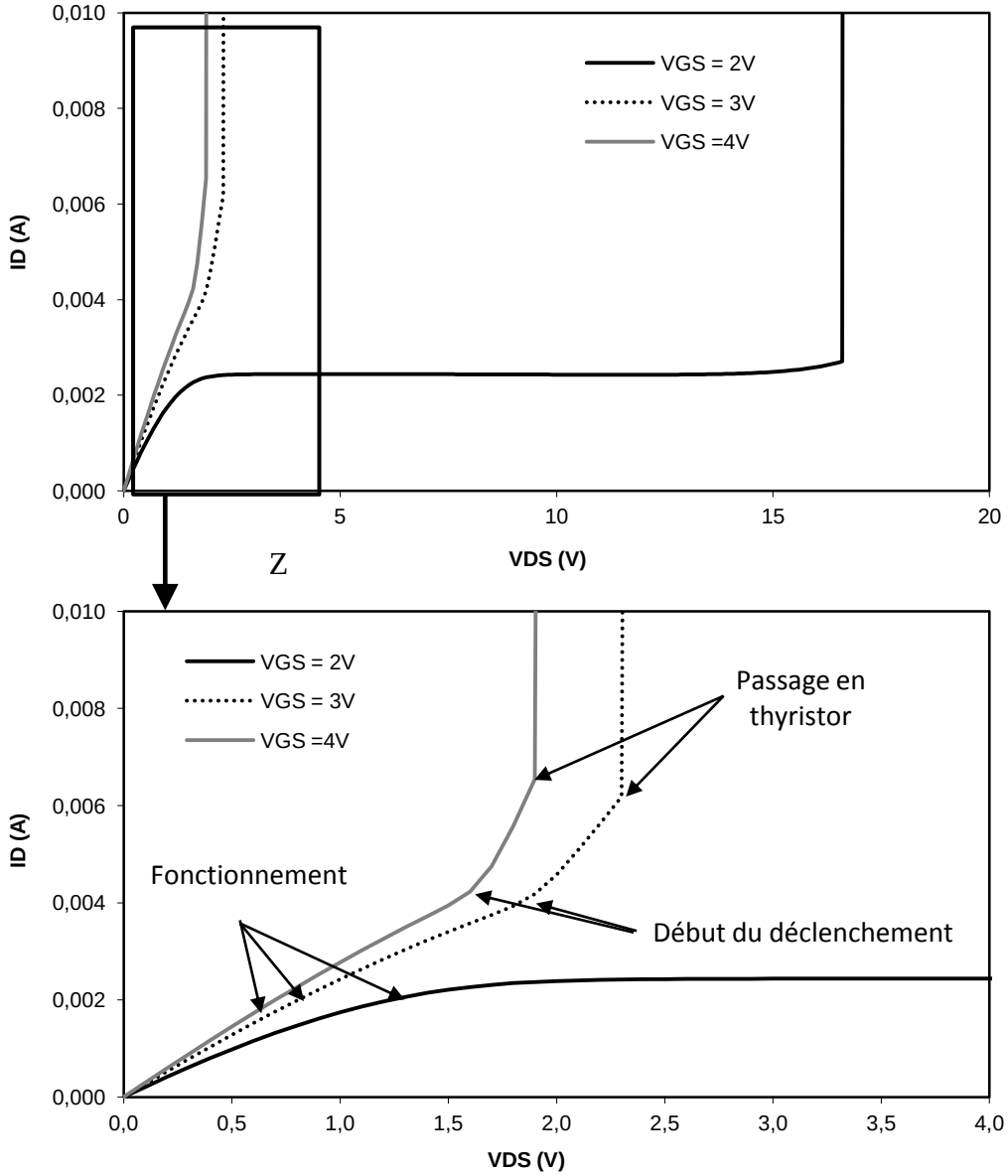

Figure 3.17: Caractéristiques I_D_V_{DS} pour la strutcure 2P1N SBO à température ambiante

La Figure 3.18 présente les caractéristiques (ID-V_{DS}) pour les structures mixtes MOS-IGBT, le NLDMOS et le LIGBT à 200 °C pour une tension V_{GS} = 3V. On peut remarquer

d'après cette figure le passage rapide des structures mixtes et du LIGBT vers le mode SCR. Aussi, on remarque que le comportement du LIGBT n'est pas tout à fait conforme à celui d'un IGBT normal. Le courant commence à croitre à partir de V_{DS} = 0 (comportement d'un MOS). Ce comportement est dû au fait que dans cette structure, nous avons conservé une petite diffusion N+ pour éliminer une erreur de règle de dessin.

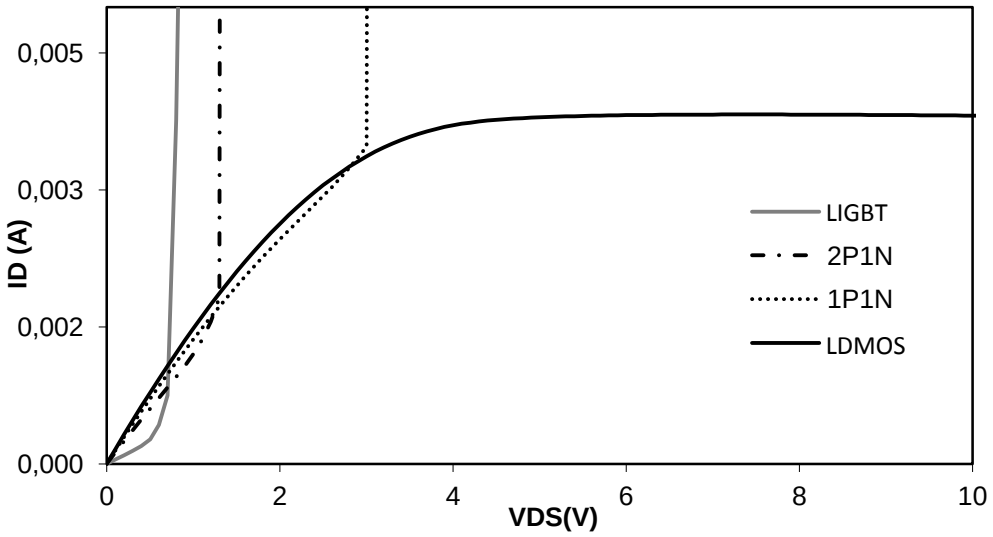

Figure 3.18: Caractéristiques I_D-V_{DS} pour les structures mixtes, NLDMOS et LIGBT à VGS = 3V et à une température T = 200 °C

3.5 Optimisation des structures mixtes

Pour améliorer le fonctionnement des structures proposées, nous n'avons pas la possibilité de modifier des paramètres technologiques mais nous pouvons changer la topologie de la structure selon deux voies.

1- Ingénierie de drain
   a- Augmenter le rapport N+/P+ pour limiter l'injection de trous.
   b- Dégradation locale de l'injection de trous par insertion d'une diffusion N^+ devant la diffusion P^+ de drain
   c- Réduction du gain en courant du bipolaire PNP par augmentation de la longueur de la zone de drift N [22].
2- Ingénierie de source
   a- Utiliser des structures SBC au lieu des structures SBO qui ont une résistance de Pwell associée plus faible.
   b- Mettre la diffusion P+ de contact de substrat dans la diffusion N+ de la source pour diminuer le plus possible la résistance associée au Pwell.
   c- Réduction du canal : Remplacer une partie de la diffusion N+ de la source par une diffusion P+.

Concernant les solutions par ingénierie de drain, nous n'avons pas joué sur les paramètres du gain du PNP. Nous avons choisi de travailler avec des structures 45 V au lieu de 25 V (structures du RUN 1). La dégradation de l'injection de trous est réalisée en interposant une diffusion N+ comme une couche tampon entre l'injecteur P+ et la zone de drift N, dans un objectif d'augmenter le taux de recombinaison dans la zone de drift. Cette

solution n'a pas eu l'effet attendu du fait de la faible profondeur de cette diffusion. Nous avons donc choisi de jouer sur le rapport N+/P+ puisqu'il offre le meilleur compromis en termes de performance et de réduction de surface. Cette solution d'ingénierie de drain a été combinée avec des diverses solutions d'ingénierie de source.

3.5.1 Méthodologie de simulation

Dans le but d'évaluer l'impact de ces solutions proposées, nous avons utilisé la simulation TCAD sur Sentaurus à la fois en 2D et 3D.

Le terme TCAD est l'acronyme anglo-saxon pour «Technology Computer Aided Design». Cet outil de conception assisté par ordinateur permet, dans notre cas, de simuler le comportement électrique d'un composant électronique en prenant en compte sa structure (dopage, nature des matériaux, géométries,…). La simulation TCAD est un outil d'aide à la conception des composants et permet de comprendre les mécanismes physiques qui régissent leur fonctionnement.

La précision quantitative des simulations dépend de la finesse du maillage que l'on applique à la structure : plus celui-ci est fin, meilleur est la précision. Cependant le temps de calcul de ces simulations est proportionnel au carré du nombre de nœuds composant le maillage. La convergence, et la résolution des équations, se compliquent grandement avec un élargissement du maillage. On doit donc trouver un compromis entre précision, temps de calcul et convergence.

Les limites des simulations TCAD sont donc liées au maillage ainsi qu'aux approximations induites par les modèles utilisés. Nous avons utilisé dans ce travail le logiciel Sentaurus, de Synopsys, qui propose un large choix de modèles pré-implémentés.

Dans toutes les simulations, nous avons utilisé des structures SOI ayant les mêmes paramètres dimensionnels que les structures réelles, mais avec des profils de dopages extrapolés à partir d'une technologie SOI similaire et non à partir de profils réels. Sachant que dans une structure de puissance les paramètres de dopage sont essentiels pour le contrôle des différents paramètres (tenue en tension, latch-up, …), nous utiliserons donc ces simulations de manière qualitative et comparative pour montrer les tendances apportées par les solutions proposées.

Toutes les simulations ont été réalisées en utilisant les modèles physiques standards des semi-conducteurs, y compris les modèles de génération par avalanche, où le modèle d'avalanche choisi est celui par défaut (*vanOverstaeten Okuto*). Nous avons pris en compte l'effet de la température dans la plupart des simulations, dans le but de prendre en compte ce paramètre important pour notre étude.

Le modèle physique utilisé est le modèle hydrodynamique qui prend en compte avec précision les phénomènes de porteurs chauds, de vitesse de saturation et d'ionisation par impact. Il est donc particulièrement adapté pour rendre compte des phénomènes de forte injection et pour l'extraction des tensions de claquage, contrairement au modèle thermodynamique qui prend en compte seulement l'échauffement du composant ou l'influence d'une variation de la température ambiante mais où l'énergie des porteurs, et donc leur température, reste égale à celle du réseau cristallin.

3.5.2 Description de la structure

Pour bien simuler le comportement et les interactions physiques entre les différentes parties de la structure mixte, il est préférable d'utiliser la simulation 3D. En première approche, il est cependant intéressant d'utiliser la simulation 2D en effectuant une coupe dans le plan horizontal, puisque notre composant est latéral.

3.5.2.1 Simulation 2D

Pour évaluer et étudier la distribution du courant dans le cas des structures mixtes, nous avons simulé un composant qui représente la structure mixte 1P1N.

C'est une structure composée d'une zone de drift de type N dopée à 5.10^{16} cm^{-3} atomes de phosphore, et un puits Pwell avec une concentration de dopants égale à 10^{17} cm^{-3}. Il y a une grille de chaque coté de cette structure (Figure 3.1). La diffusion N+ est dopée à 10^{20} cm^{-3} d'atomes de phosphore, et la diffusion P+ est dopée à 10^{20} cm^{-3} d'atomes de Bore.

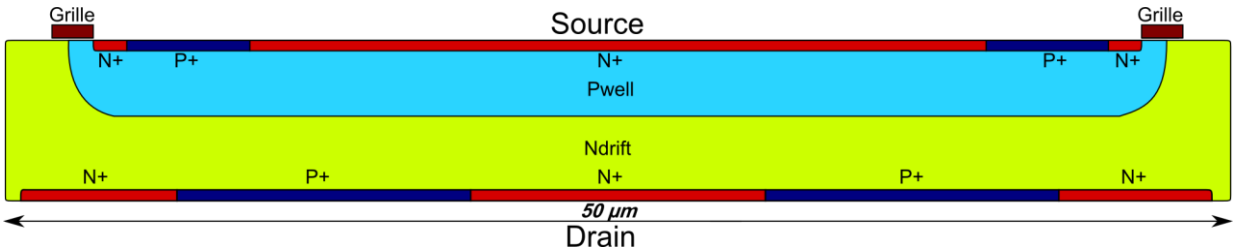

Figure 3.19: Structure 2D, présentant une vue de la structure mixte MOS-IGBT 1P1N

La Figure 3.19 présente la structure utilisée pour la simulation 2D qui est une vue de dessus de la structure mixte MOS-IGBT 1P1N. A l'anode, nous avons mis une grande résistance (1 MΩ) afin de dissiper la variation de la tension aux bornes du dispositif lors du déclenchement du thyristor. Durant cette simulation quasi-stationnaire, on applique une tension allant jusqu'à 10^4 V puisqu'on a à l'entrée une très forte résistance.

La Figure 3.20 présente les caractéristiques (I_D-V_{DS}) avec une tension de grille V_{GS} = 5 V. un déclenchement de thyristor parasite se fait à une tension V_{DS} = 17,8 V.

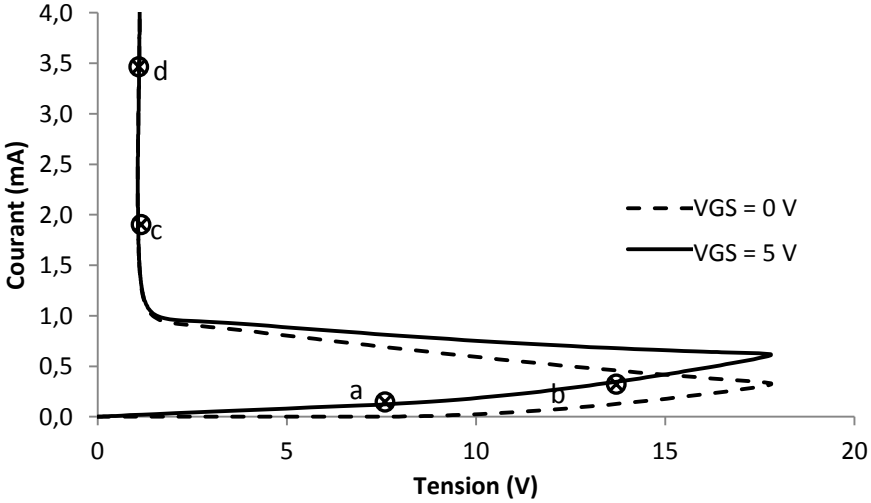

Figure 3.20: Caractéristiques (I_D - V_{AK}) pour la structure MOS-IGBT 1P1N - 2D à température ambiante

La Figure 3.21 présente la distribution en courant pour cette structure pour différentes tensions entre drain et source. Ces quatre phases présentent les différents régimes de

fonctionnement de la structure : MOS, bipolaire, thyristor et enfin une focalisation de courant dans la phase thyristor. Dans la première phase (a), on peut remarquer le fonctionnement de la partie MOS de la structure, la jonction P+ / N drift n'est pas encore activée. La deuxième phase (b) présente le fonctionnement en parallèle de deux structures MOS et bipolaire. Le fonctionnement du bipolaire a commencé à une tension V_{DS} égale à 9V. Dans la troisième phase (c) le thyristor est déclenché et enfin (d), on peut remarquer un phénomène de focalisation de courant.

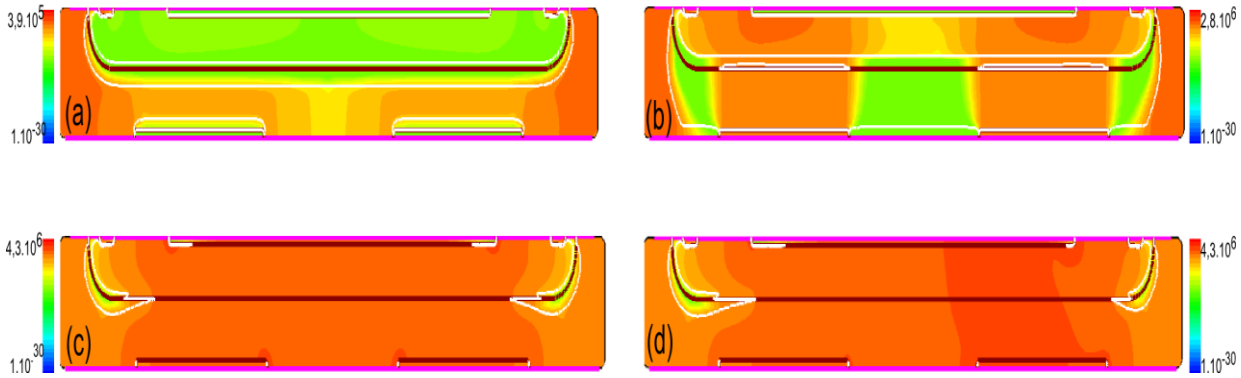

Figure 3.21: Distribution de la densité de courant (A/cm²) à différentes phases de la structure étudiée

3.5.2.2 Simulation 3D

Puisque la simulation 2D ne répond pas à tous nos besoins, nous avons choisi d'utiliser la simulation 3D pour l'étude et l'optimisation des structures proposées et avoir un résultat plus précis.

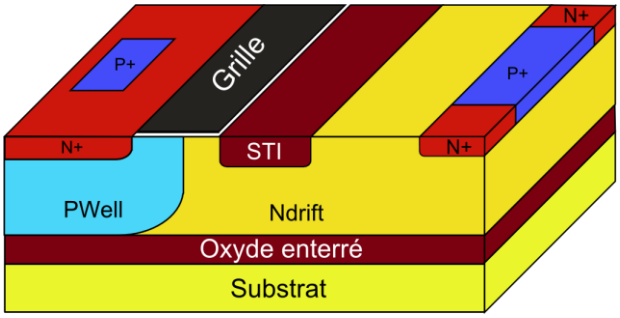

Figure 3.22: Structure mixte 2P1N dont le rapport N+/P+ = 0,5

La structure mixte SOI étudiée est composée d'une zone de drift de type N dopée à 5.10^{16} cm^{-3} atomes de phosphore, et d'un puits Pwell avec une concentration de dopant égale à 10^{17} cm^{-3}, une tranchée d'oxyde peu profonde de type STI (shallow-trench isolation) existe en bord de grille dans la zone de drift (voir Figure 3.22). L'épaisseur de l'oxyde de grille est égale à 16 nm, tandis que celle de l'oxyde enterré est égale à 500 nm. La diffusion N+ est dopée à 10^{20} cm^{-3} d'atomes de phosphore, et la diffusion P+ est dopée à 10^{20} cm^{-3} d'atomes de Bore.

3.5.2.3 Structures optimisées

L'objectif est ici d'optimiser une structure mixte MOS-IGBT ayant une tenue en tension de 25 V. Une technique permettant de retarder le déclenchement du thyristor consiste à réduire la résistance de Pwell et ainsi la chute de tension associée susceptible d'activer le bipolaire NPN formé par la diffusion N+ de la source, le Pwell et la zone de drift N. On peut

diminuer cette résistance de Pwell, en supprimant le STI entre la diffusion N+ de la source et la diffusion P+ de contact du substrat. Cette tranchée d'oxyde augmente la résistance R_2 dans la région Pwell (Figure 3.23). Une première voie d'optimisation est donc d'éliminer la région STI dans le Pwell, c'est-à-dire, en choisissant une structure de la technologie, appelée SBC au lieu de la structure SBO.

Dans cette partie, nous avons travaillé seulement sur une structure mixte 1P1N où le rapport $N^+/P^+ = 1$. La partie P^+ est au milieu du drain et celles de N^+ sont en périphérie. La largeur totale de la structure est égale à 3µm. Elle n'est pas de même largeur que la réelle pour minimiser le temps de calcul.

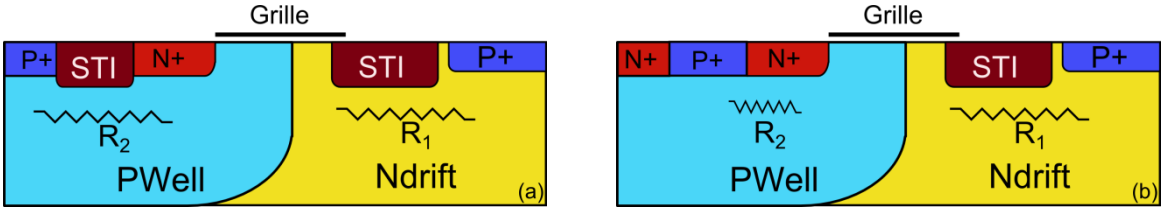

Figure 3.23: Structure mixte de type SBO (a) et SBC (b), avec R1 la résistance de la région N-drift et R2 est celle de la région Pwell

Une deuxième voie consiste à rapprocher la diffusion P^+ le plus près possible du canal afin de diminuer au maximum la résistance dans le Pwell sans réduire la longueur du canal. Juste une partie de la diffusion P^+ est ainsi rapprochée (≈ 1/3 de la longueur totale du canal (Figure 3. 24))

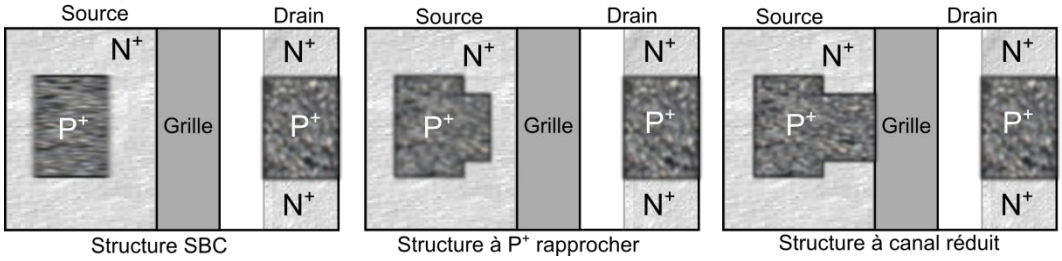

Figure 3. 24: Schéma des différentes structures simulées sous Sentaurus (vue de dessus)

Une troisième voie consiste à diminuer encore plus la résistance dans la région de Pwell, et même d'éliminer localement le transistor bipolaire NPN en réduisant la largeur totale du canal. La réduction du canal, est obtenue par le remplacement de la diffusion N^+ de la source par une diffusion P^+ (Figure 3. 24). Cette opération sert à diminuer largement la distance parcourue par les porteurs majoritaires de Pwell, et par suite, une diminution de la résistance et une augmentation de la tenue en tension. Pour que cette solution soit la plus efficace possible, il faut qu'elle soit en regard de la diffusion P+ d'anode.

La méthode utilisée dans cette simulation 3D est similaire à celle utilisée en 2D (Simulation quasi-stationnaire) où on applique une tension au niveau du drain avec une résistance à l'entrée égale à 10^6 Ω. La Figure 3.25 présente une comparaison entre les caractéristiques (I_D-V_{DS}) pour les structures mixtes 1P1N SBO, 1P1N SBC, 1P1N avec P+ rapproché, 1P1N avec canal réduit et un NLDMOS. Selon la Figure 3.25, la tenue en tension de la structure SBO est de l'ordre de 9 V. En passant à la structure SBC, cette valeur augmente jusqu'à 20 V, mais est encore insuffisante. La structure 1P1N avec P+ rapproché a

la meilleure résistance passante, mais présente une tenue en tension plus faible que celle de la structure à canal réduit.

La Figure 3.27 présente la distribution en courant dans la structure 1P1N aux points de fonctionnement indiqués dans la Figure 3.26. En effet, dans la première figure, on remarque la distribution de courant dans le canal. Dans ce cas, il n'y a pas d'injection des trous par la diffusion P+ de drain (anode) puisque la tension P+/N-drift n'atteint pas encore la tension de seuil de cette jonction. La deuxième figure présente le début du fonctionnement de l'IGBT. La densité de courant de la diffusion P+ du drain commence à augmenter. Dans la troisième figure le courant commence à être saturé, la densité du courant sous la diffusion N+ de la source augmente ce qui conduira au déclenchement du bipolaire NPN et par-suite du thyristor parasite. Ce dernier est présenté dans la quatrième figure où on peut remarquer la distribution du courant dans le volume du silicium actif.

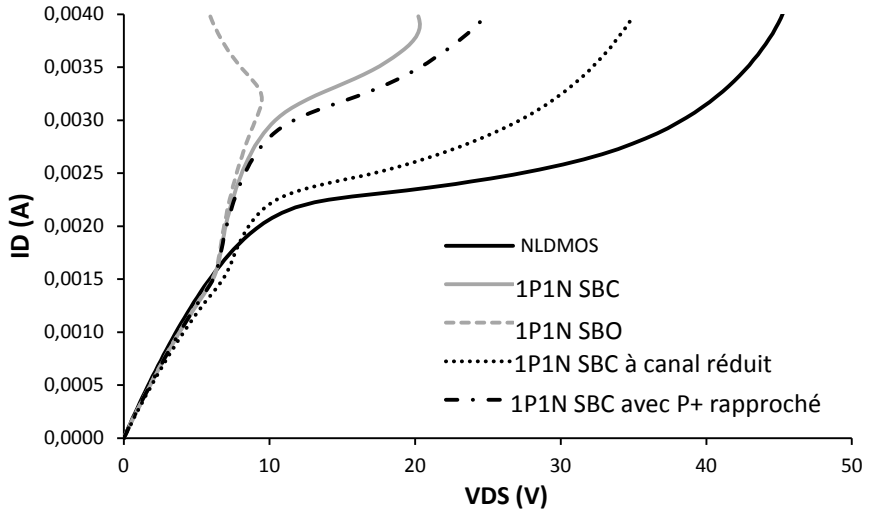

Figure 3.25: Résultat d'une comparaison des simulations TCAD DC pour différentes structures mixte et un NLDMOS à température ambiante et pour une tension V_{GS} = 7 V. De gauche à droite respectivement, mixte 1P1N SBO, SBC, avec P+ rapproché et à canal réduit

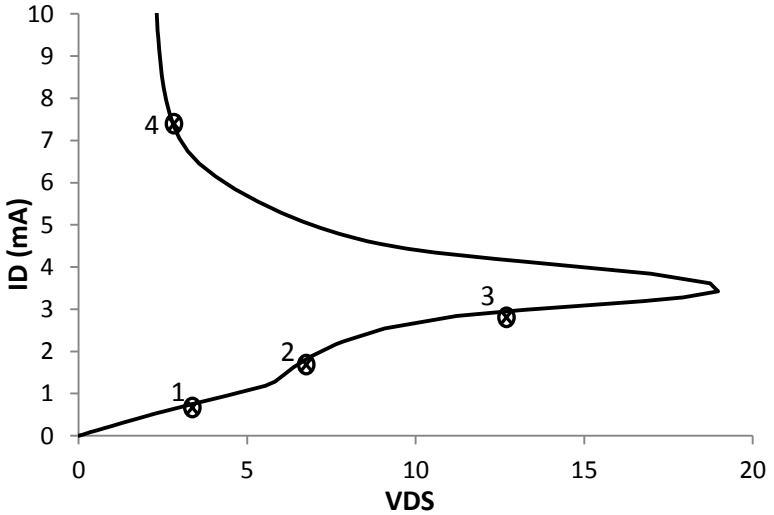

Figure 3.26: Caractéristiques I_D-V_{DS} pour la structure 1P1N SBC à température ambiante et pour une tension V_{GS} = 7V

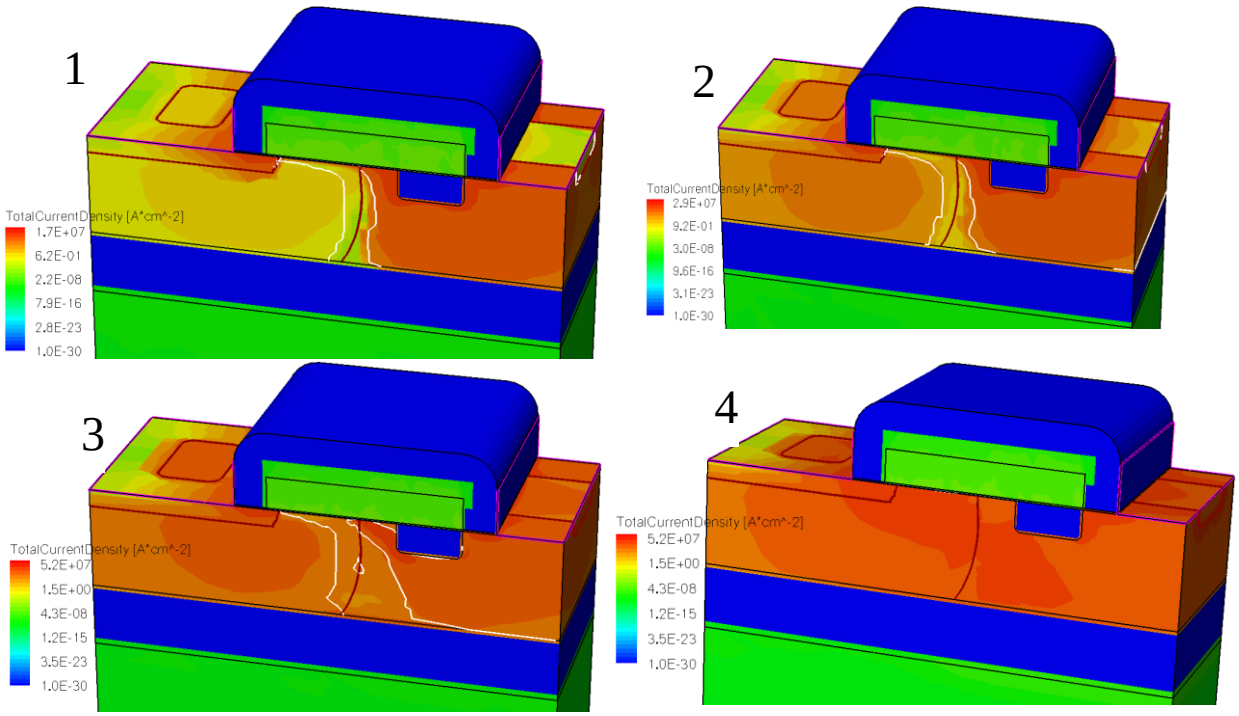

Figure 3.27 : La distribution de courant pour les différents points de fonctionnement indiqués dans la Figure 3.26

Une comparaison de la résistance passante à basse et haute températures entre les structures NLDMOS et mixte 1P1N à canal réduit est présentée en Figure 3. 28. A basse température, on remarque une légère différence de résistance passante entre les deux structures. Cependant, à haute température, la résistance passante est fortement améliorée dans la structure 1P1N. En effet, elle est égale à 3950 Ω pour la structure 1P1N à canal réduit et 4330 Ω pour le NLDMOS à 25 °C. Tandis qu'à 200 °C, elle est égale à 8000 Ω pour la première et 12800 pour la deuxième, toujours pour une structure de 3 µm de largeur.

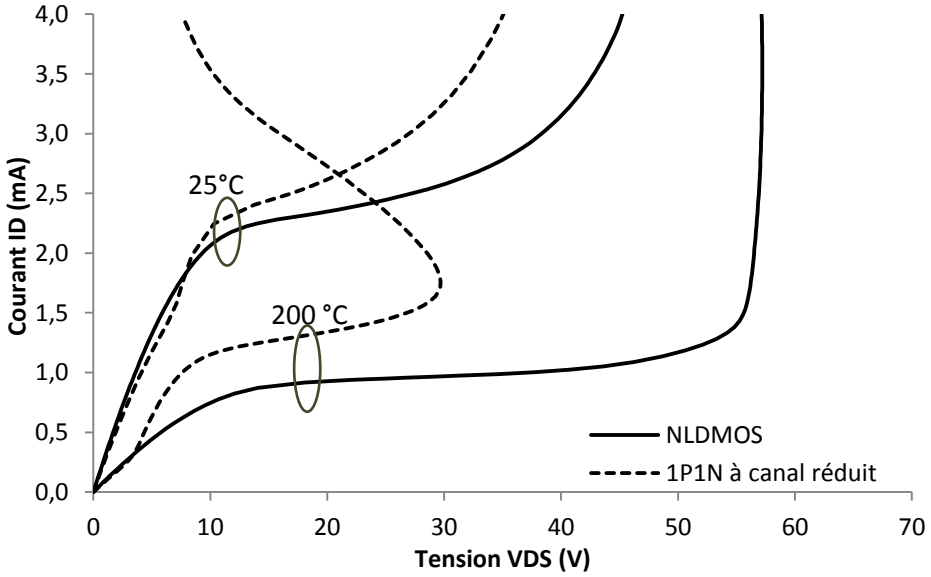

Figure 3. 28: Comparaison des caractéristiques (I_D-V_{DS}) entre le NLDMOS et la structure mixte 1P1N à canal réduit à basse et haute températures et pour une tension V_{GS} = 7V

Outre l'amélioration de la résistance passante, la structure mixte permet d'augmenter très significativement le courant de saturation. L'effet est d'autant plus important à haute température (40 %). On peut noter aussi que la tenue en tension est significativement diminuée.

3.6 Structures mixtes optimisées

Le premier lot de silicium appelé RUN1 était un point de départ pour la conception de nouvelles structures adaptées pour la haute température (200 °C ambiante). Nous avons proposé des structures de puissance basées sur une association MOS-IGBT (le MOS pour conserver la vitesse de déclenchement de la structure avec une grande vitesse, et l'IGBT pour améliorer la résistance passante R_{ON}, le courant de saturation et profiter de l'effet bipolaire qui est plus avantageux à haute température que l'effet MOS). Dans cette structure, outre les composants MOS et IGBT, s'est posé le problème du déclenchement indésiré du thyristor parasite.

Le problème majeur est que ce thyristor, se déclenche à une tension inférieure à la tension de fonctionnement normal du composant. En effet dans les structures initiales réalisées, ce déclenchement du thyristor, se produit à une très faible tension (de l'ordre de 2,5 V) alors qu'elle devrait être supérieure à 25 V.

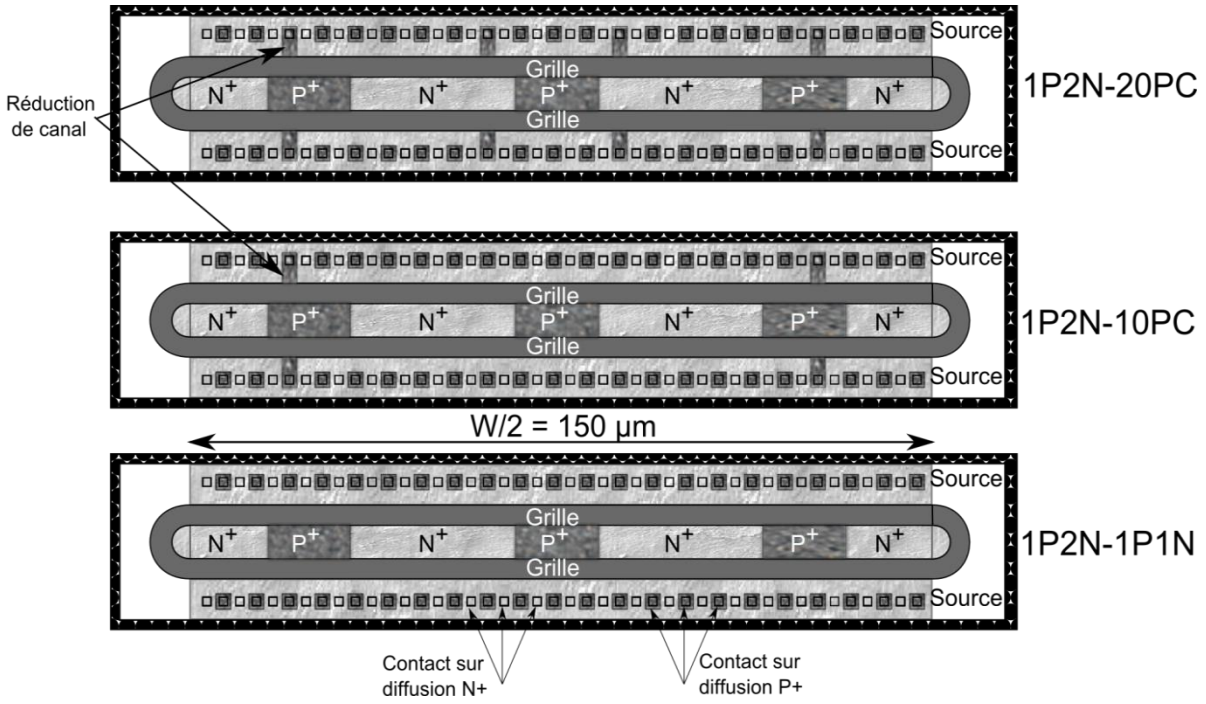

Figure 3.29: Schéma des différentes configurations de la structure mixte 1P2N

Nous avons donc conçu de nouvelles structures de puissance basées sur l'optimisation des structures mixtes à l'aide des simulations 3D en s'appuyant sur l'ingénierie de drain et de source et en choisissant comme structure de base le LDMOS 45 V. Donc, nous avons dessiné des structures mixtes avec un rapport de N^+/P^+ dans le drain variant entre 4 et 0 (4 ; 3 ; 2 ; 1 ; 1/2 ; 1/3 ; 1/4 et 0), et selon trois configurations différentes (coté source) :

1- Le nombre de diffusions P+ dans le Pwell est égal au nombre de diffusions N+. Ces structures s'appellent N_xPyN_1P1N, avec x et y dépendant du rapport de N+/P+ choisi (coté drain).
2- Une réduction de canal de 10% côté source en introduisant une diffusion P+ à la place de la diffusion N+ de source. Ces structures s'appellent N_xPyN_10PC.
3- Une réduction de canal de 20% côté source. Ces structures s'appellent N_xPyN_20PC.

Les configurations 2 et 3 incluent la configuration 1, c'est-à-dire, dans toutes les configurations le nombre de contacts de Pwell dans la diffusion N+ de la source est égal au nombre de contacts de la source (voir Figure 3.29). Toutes les structures ont une largeur totale de 300 µm constituée par deux doigts de grille de 150 µm.

Le Tableau 3.7 présente toutes les structures mixtes de puissance et de type N conçues dans ce deuxième lot appelé RUN2.

	Configuration Coté drain	Configuration Coté source	Nomenclature
Structures mixte NLDMOS-LIGBT 45 V	1P4N	1P1N	N_1P4N_1P1N
		Canal réduit 10%	N_1P4N_10PC
		Canal réduit 20%	N_1P4N_20PC
	1P3N	1P1N	N_1P3N_1P1N
		Canal réduit 10%	N_1P3N_10PC
		Canal réduit 20%	N_1P3N_20PC
	1P2N	1P1N	N_1P2N_1P1N
		Canal réduit 10%	N_1P2N_10PC
		Canal réduit 20%	N_1P2N_20PC
	1P1N	1P1N	N_1P1N_1P1N
		Canal réduit 10%	N_1P1N_10PC
		Canal réduit 20%	N_1P1N_20PC
	2P1N	1P1N	N_2P1N_1P1N
		Canal réduit 10%	N_2P1N_10PC
		Canal réduit 20%	N_2P1N_20PC
	3P1N	1P1N	N_3P1N_1P1N
		Canal réduit 10%	N_3P1N_10PC
		Canal réduit 20%	N_3P1N_20PC
	4P1N	1P1N	N_4P1N_1P1N
		Canal réduit 10%	N_4P1N_10PC
		Canal réduit 20%	N_4P1N_20PC
	LIGBT	1P1N	N_IGBT1_1P1N
		Canal réduit 10%	N_IGBT1_10PC
		Canal réduit 20%	N_IGBT1_20PC

Tableau 3.7 : Les différentes configurations des structures de puissance de type N avec les leurs noms

Les mêmes configurations ont été implémentées pour réaliser une série de structures mixtes de type PLDMOS-LIGBT. En effet, la résistance de Nwell est théoriquement plus faible que celle de Pwell à la même concentration de dopants, et par suite, plus de courant sera nécessaire pour déclencher le thyristor parasite. D'après la documentation de la technologie utilisée, la résistance de Pwell est presque égale au double de celle de NWELL, donc un courant double est nécessaire pour déclencher le thyristor dans le cas des structures mixtes PLDMOS-LIGBT par rapport aux structures mixtes NLDMOS-LIGBT.

Concernant la nomenclature, nous avons juste remplacé le N au début des noms des NMOS par un P. Pour faire des comparaisons, nous avons également placé des structures NLDMOS et PLDMOS SBC de la bibliothèque TFSMART 1 de même largeur (300 µm).

Le placement des structures est réalisé de façon à ce que les plots de grille, drain et source soient dans la même colonne. Les masses (sources) de toutes les structures d'une même ligne sont reliées entre elles. Deux rangées de plots de grille et de drain partagent une même rangée de plots de masse. La Figure 3.30 montre le placement des structures.

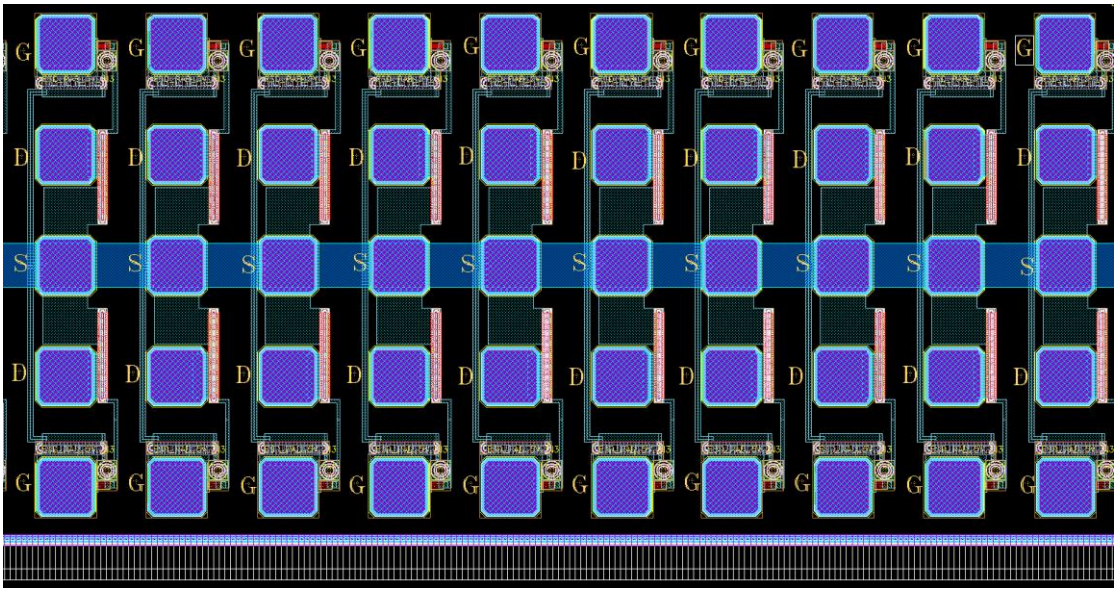

Figure 3.30 : Placement d'une partie des structures de puissance.

3.6.1 Caractérisations électriques

Comme précédemment les caractérisations des structures mixtes sont réalisées sous pointes et en utilisant le banc de mesure Cascade (caractérisation DC) ou le traceur de courbes, à basse et haute températures.

3.6.1.1 Cas des structures mixtes de type N

Toutes les structures sont caractérisées premièrement en DC à basse température pour évaluer l'impact des optimisations. Les mesures montrent peu d'amélioration pour ces structures concernant la tension de déclenchement du thyristor. La Figure 3.31 montre les caractéristiques (I_D-V_{DS}) pour la structure mixte 2P1N avec canal réduit de 20 % à température ambiante et pour plusieurs niveaux de polarisation de grille (V_{GS} = 2, 3, 4 et 5 V). Par contre le niveau de courant pour lequel le thyristor se déclenche est de l'ordre de 21 mA, alors que sur les anciennes structures, il était de 4 mA. En passant à la structure 2P1N-10PC,

où le canal est réduit de 10 %, le niveau de courant de déclenchement du thyristor parasite est égal à 16,5 mA. Donc en passant de 2P1N-10PC à 2P1N-20PC, on réduit la résistance dans le Pwell de presque 22 %. Cependant, le passage de 2P1N-1P1N à 2P1N-10PC n'augmente pas le courant de déclenchement du thyristor.

La Figure 3.32 présente un autre exemple sur la structure 1P2N, le thyristor parasite se déclenche à 30 mA pour la structure 1P2N-1P1N, à 30 mA aussi pour la structure 1P2N-10PC, mais à 50 mA pour la structure 1P2N-20PC.

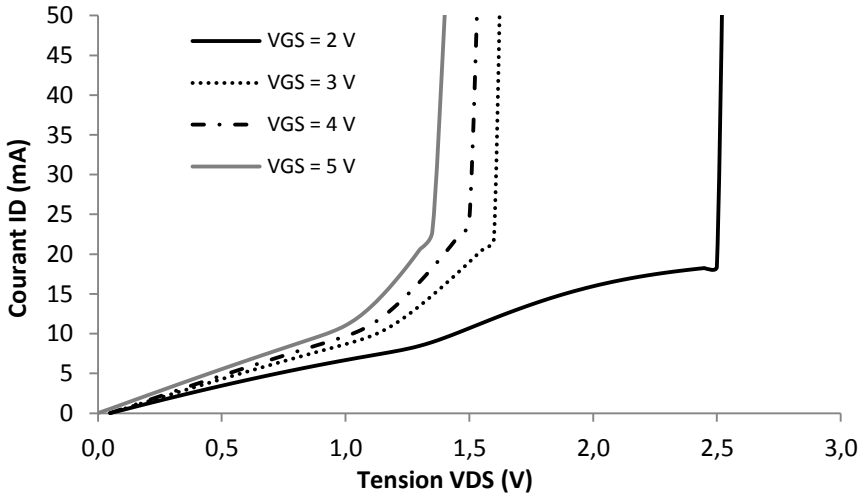

Figure 3.31: Caractéristiques (ID-VDS) pour la structure mixte N-2P1N-20PC avec de canal réduit de 20 % à température ambiante et pour plusieurs niveaux de polarisation de grille.

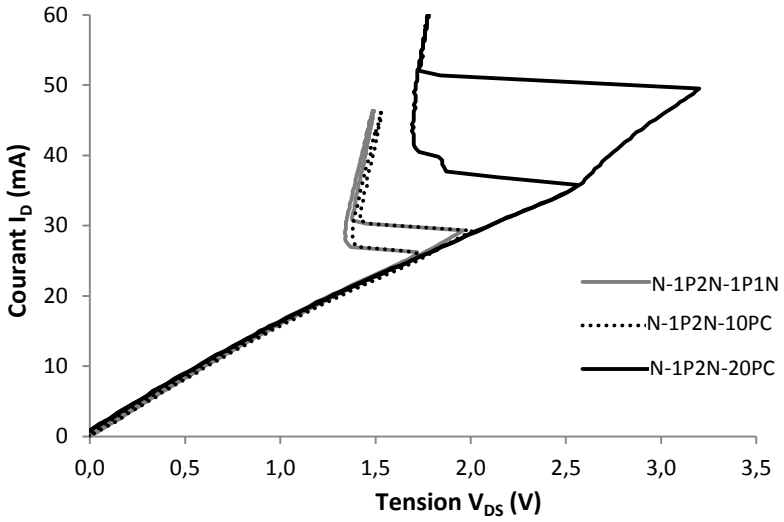

Figure 3.32: Caractéristiques (I_D-V_{DS}) sur le traceur des courbes pour trois configurations de la structure 1P2N à température ambiante et pour une tension V_{GS} = 4V

Parmi les différentes structures implémentées avec une réduction de canal, seules certaines d'entre elles avaient cette réduction de canal en regard de l'anode P+ de l'IGBT comme la structure de la Figure 3.31. Nous avons pu ainsi valider que dans ce cas, le courant de déclenchement du thyristor est plus élevé. En effet, le passage du courant d'injection de trous de l'IGBT sous la diffusion N+ de la source pour atteindre la diffusion P+ est la cause

principale de l'activation du thyristor. L'absence de la diffusion N+ sur le chemin de courant rend ce déclenchement plus difficile ou nécessite un courant plus élevé.

Structure	Courant de déclenchement de SCR (mA)			Tension de déclenchement de SCR (V)		
	VGS = 3 V	VGS = 4 V	VGS = 5 V	VGS = 3 V	VGS = 4 V	VGS = 5 V
1P4N-1P1N	29,1	30,4	30,5	2,3	2,0	1,8
1P4N-10PC	29,0	30,4	31,1	2,4	2,0	1,8
1P4N-20PC	29,0	31,3	31,2	2,6	2,1	1,9
1P3N-1P1N	24,6	25,8	26,1	1,9	1,7	1,5
1P3N-10PC	24,6	26,4	27,0	1,9	1,7	1,6
1P3N-20PC	27,3	28,3	29,7	2,2	1,9	1,7
1P2N-1P1N	26,7	27,7	28,0	2,3	2,0	1,8
1P2N-10PC	26,7	27,9	28,4	2,4	2,0	1,8
1P2N-20PC	**33,6**	**46,6**	**44,8**	**8,4**	**3,2**	**2,6**
1P1N-1P1N	20,0	21,0	22,0	1,8	1,6	1,5
1P1N-10PC	20,5	21,1	22,3	1,8	1,6	1,5
1P1N-20PC	**36,6**	**38,8**	**39,3**	2,9	2,3	2,0
2P1N-1P1N	19,6	20,0	20,2	1,5	1,4	1,3
2P1N-10PC	18,7	19,2	19,4	1,5	1,4	1,3
2P1N-20PC	22,0	24,0	22,8	1,6	1,5	1,4
3P1N-1P1N	14,2	14,4	13,5	1,2	1,2	1,1
3P1N-10PC	17,6	18,7	21,1	1,3	1,3	1,2
3P1N-20PC	20,5	20,2	23,0	1,4	1,3	1,2
4P1N-1P1N	17,0	17,0	15,0	1,2	1,2	1,1
4P1N-10PC	17,0	17,5	17,0	1,3	1,2	1,2
4P1N-20PC	20,0	20,0	22,0	1,4	1,3	1,3
IGBT-1P1N	17,5	17,0	18,0	1,2	1,2	1,1
IGBT-10PC	20,0	20,0	20,0	1,2	1,2	1,1
IGBT-20PC	19,0	19,0	20,0	1,3	1,2	1,1

Tableau 3.8:Variation du courant et de la tension de déclenchement avec la tension V_{GS} pour les différentes structures de puissance de type N à température ambiante

On peut également remarquer dans la Figure 3.31, que le courant de déclenchement du thyristor augmente avec la tension V_{GS}. L'explication de cette différence peut être associée au courant du MOS qui va induire la recombinaison du courant d'injection de trous. L'augmentation de la tension V_{GS}, a ainsi pour effet de nécessiter plus de courant pour le déclenchement du bipolaire NPN et par-conséquent du thyristor.

Le Tableau 3.8 présente les valeurs de la tension et du courant de déclenchement du thyristor parasite pour les différentes structures mixtes de puissance de type N à température ambiante et pour différentes valeurs de V_{GS}.

Une comparaison avec les structures du premier lot RUN 1 qui ont une largeur de 40 µm, montre qu'il n'y a pas une amélioration significative malgré toutes les solutions d'optimisation mises en œuvre et validées par simulation. En effet, deux raisons principales peuvent être à l'origine de ce résultat :

1- Le passage des structures SBO aux structures SBC peut être source d'inhomogénéité du courant de trous de l'IGBT. En effet, dans le premier cas, la diffusion P+ dans le Pwell s'étend sur toute la largeur de la structure, par contre dans le deuxième cas, la diffusion P+ est distribuée dans la largeur de la diffusion de la source et s'étend sur une largeur inférieure à la largeur de la structure (Comparer Figure 3.15 et Figure 3.29).
2- Cette implémentation distribuée de la diffusion P+ de contact de Pwell ne permet pas de réduire suffisamment la résistance de Pwell.
3- Les simulations TCAD sont basées sur des profils de dopage qui ne sont pas ceux de la technologie réelle.

Pour résumer les différentes étapes réalisées pour optimiser le fonctionnement des structures mixtes MOS-IGBT, le diagramme de la Figure 3.33 montrent ces différentes étapes avec les résultats obtenus pour chacun d'entre eux.

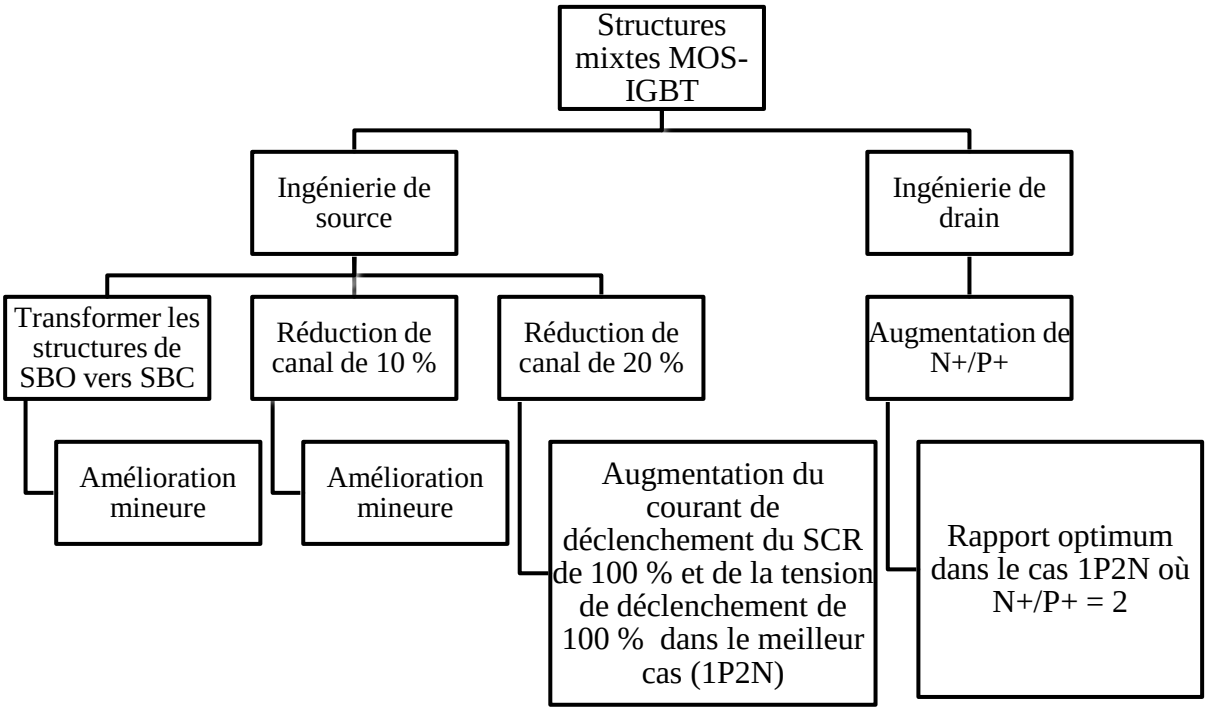

Figure 3.33: Diagramme des étapes réalisées pour l'optimisation des structures mixtes

D'après l'analyse des résultats obtenus, les solutions les plus efficaces consistent à utiliser des structures SBC sans isolation STI entre diffusion N+ de source et diffusion P+ de contact de substrat et de réduire le canal en regard des zones de P+ d'anode.

3.6.1.2 Cas des structures mixtes de type P

Dans ce travail, nous avons conçu des structures mixtes MOS-IGBT de type P, puisque la résistance de Nwell est plus faible que celle de Pwell, donc plus de courant sera nécessaire pour déclencher le bipolaire parasite PNP (diffusion P+ de la source- Nwell- et Pdrift).

Comme dans le cas des structures mixtes de type N, nous avons effectué des mesures en statique pour les structures mixtes MOS-IGBT de type P afin d'évaluer leur comportement et de les comparer à celui des structures mixtes de type N.

La Figure 3.34 présente les caractéristiques I_D-V_{DS} de la structure P-1P2N-20PC, qui correspond à la structure N-2P1N-20PC de type N. On peut remarquer que la tenue en tension pour cette structure est plus grande que dans le cas d'une structure de type N. Cette remarque est généralisée pour toutes les structures de type de P.

Dans cette figure, on remarque aussi le faible niveau de courant pour lequel l'IGBT se déclenche. En effet, le passage du courant MOS dans le P-drift assure la différence de potentiel nécessaire à la polarisation de la jonction P-Drift N+ du drain. La résistance de Pwell étant plus grande que celle de Nwell, moins de courant est nécessaire pour polariser suffisamment la jonction PN.

Outre le niveau de courant de déclenchement de l'IGBT, le courant de déclenchement du SCR est plus élevé dans le cas d'une structure mixte de type P. Deux raisons peuvent être à l'origine de cette différence. Premièrement, le courant MOS des structures de type P est plus faible que celui des types N, et donc, plus de courant est nécessaire pour déclencher la diode qui est responsable de l'activation du SCR. Deuxièmement, la résistance de Pwell dans le cas des structures de type N est plus grande que la résistance Nwell dans le cas des structures de type P, ce qui va également dans le sens d'augmenter le courant nécessaire pour assurer la chute de tension sous la diffusion de source.

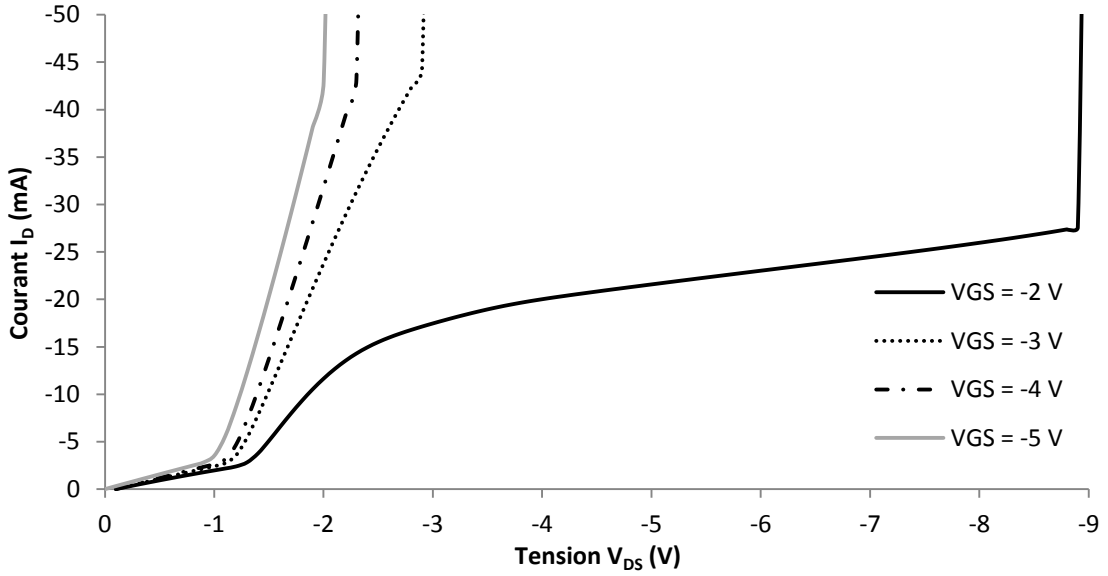

Figure 3.34: Caractéristiques I_D-V_{DS} pour la structure mixte 1P2N-20PC de type P pour différentes valeurs de la tension V_{GS} et à température ambiante

Puisque le déclenchement du SCR nécessite plus de courant dans les structures mixtes de type P, la tension de déclenchement est aussi plus grande que dans le cas des structures mixtes de type N.

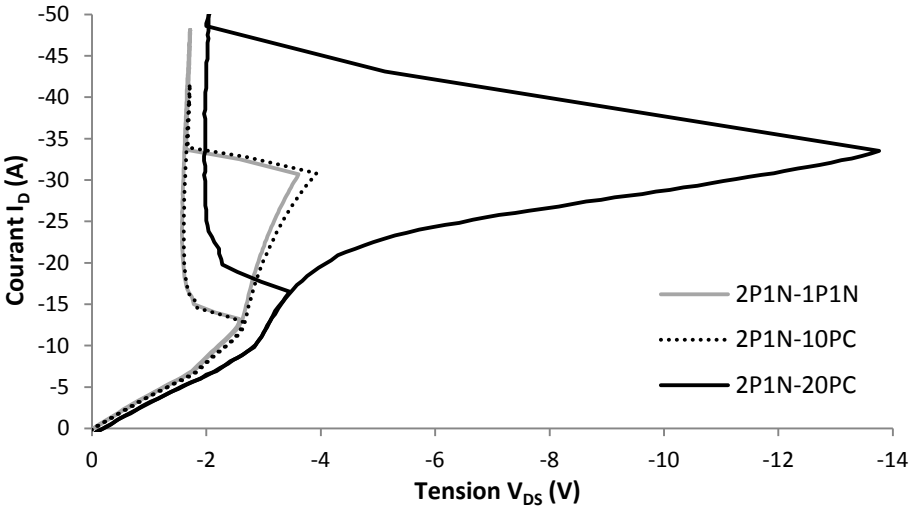

Figure 3.35: Caractéristiques I_D-V_{DS} sur le traceur de courbes pour les différentes configurations de la structure 2P1N à température ambiante et pour une tension VGS = -3 V

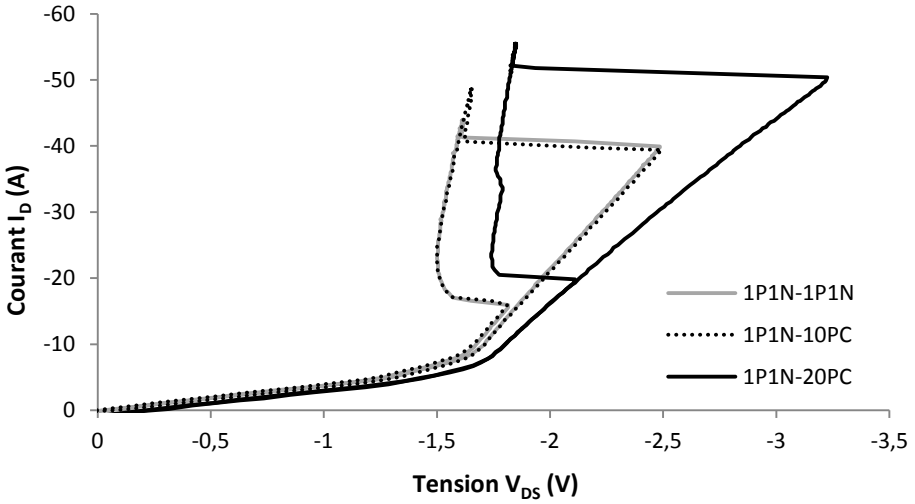

Figure 3.36: Caractéristiques I_D-V_{DS} sur le traceur de courbes pour les différentes configurations de la structure 1P1N à température ambiante et pour une tension VGS = -4 V

Les figures (Figure 3.35 et Figure 3.36) présentent les caractéristiques I_D-V_{DS} sur le traceur de courbes pour les différentes configurations des structures 2P1N et 1P1N respectivement à température ambiante et pour les tensions V_{GS} = -3 et -4 V. Les deux figures montrent également l'augmentation du courant et de la tension de déclenchement du thyristor avec la réduction du canal. On peut remarquer dans la Figure 3.35 que le niveau de courant de déclenchement du SCR parasite de la structure avec une réduction de canal de 20 % est presque égal à celui des autres structures. En effet, la structure 2P1N-20PC arrive à un niveau de tension où il y A le phénomène d'avalanche avant le déclenchement du thyristor. Dans la plupart des cas, la réduction de canal de 10 % a un effet mineur en comparaison de la réduction de 20 %.

Structure	Courant de déclenchement de SCR (mA)			Tension de déclenchement de SCR (V)		
	VGS = 3 V	VGS = 4 V	VGS = 5 V	VGS = 3 V	VGS = 4 V	VGS = 5 V
4P1N-1P1N	-27,2	-27,2	-26,4	-2,68	-2,42	-2,25
4P1N-10PC	-24,9	-25,9	-24,8	-4	-2,78	-2,46
4P1N-20PC	-21,6	-24,4	-22,9	-4,4	-2,88	-2,54
3P1N-1P1N	-27,3	-28	-26,9	-3,01	-2,41	-2,16
3P1N-10PC	-25,8	-27,8	-25,5	-3,17	-2,48	-2,23
3P1N-20PC	-26,5	-28,9	-28,6	-4,41	-2,85	-2,56
2P1N-1P1N	-31,3	-31,9	-28,2	-3,81	-2,78	-2,49
2P1N-10PC	-30,8	-33,3	-29,9	-4	-2,85	-2,51
2P1N-20PC	**-29**	**-50,5**	**-54,9**	**-14,1**	**-4,36**	**-3,47**
1P1N-1P1N	-39	-40	-37,3	-3,21	-2,47	-3,19
1P1N-10PC	-39	-39,4	-36,6	-3,23	-2,46	-2,22
1P1N-20PC	**-39,5**	**-50,4**	**-49,6**	-5,01	-3,15	-2,75
1P2N-1P1N	-46,2	-47,3	-44,6	-2,45	-2,05	-1,91
1P2N-10PC	-42,8	-44,5	-42,9	-2,53	-2,11	-1,92
1P2N-20PC	-45,7	-48,7	-47,3	-3,05	-2,39	-2,13
1P3N-1P1N	**-52,9**	**-54**	**-51,6**	-2,31	-1,96	-1,81
1P3N-10PC	**-51,7**	**-54**	**-51,8**	-2,43	-2,07	-1,89
1P3N-20PC	**-50,7**	**-53,3**	**-51,1**	-2,68	-2,22	-1,99
1P4N-1P1N	**-55,8**	**-56,8**	**-55,4**	-2,29	-1,98	-1,84
1P4N-10PC	**-54,2**	**-56,7**	**-54,6**	-2,41	-2,05	-1,87
1P4N-20PC	**-55**	**-57,8**	**-56**	-2,74	-2,21	-2,04
IGBT1-1P1N	-7,8	-7,9	-7,6	-2,26	-1,95	-1,81
IGBT1-10PC	-7,2	-7,5	-7,2	-2,33	-1,99	-1,86
IGBT1-20PC	-7,5	-7,9	-7,6	-2,62	-2,17	-1,97

Tableau 3.9 : Variation du courant et de la tension de déclenchement avec la tension V_{GS} pour les différentes structures mixtes de puissance de type P à température ambiante.

Le Tableau 3.9 présente les valeurs de la tension et du courant de déclenchement du thyristor parasite pour les différentes structures mixtes de puissance de type P à température ambiante et pour différentes valeurs de V_{GS}.

Il est intéressant de noter que les solutions proposées pour le contrôle du SCR dans les structures de type P s'avèrent un peu plus efficace que dans celles de type N, mais encore insuffisantes. Contrairement aux structures de type N, ce sont les structures avec les plus forts rapports de LIGBT/LDMOS qui permettent d'avoir le courant de déclenchement les plus

élevés. Cependant, si l'on souhaite avoir à la fois un fort courant de déclenchement et une tension de déclenchement élevées, la structure la plus efficace est la structure P-2P1N-20PC.

3.6.2 Autres voies d'optimisation

Malgré toutes les solutions d'optimisation mises en œuvre, les structures mixtes restent inutilisables comme structures de puissance. Une nouvelle voie d'optimisation consiste à augmenter la longueur de la zone de drift N pour augmenter la tenue en tension de ces structures.

Pour valider cette voie, nous avons à nouveau utilisé la simulation TCAD 3D sur Sentaurus. Nous avons simulé la même structure mixte 1P1N déjà utilisée et citée dans les paragraphes précédents. Pour cette structure et avec un canal réduit (une partie de la diffusion N+ de la source est remplacée par une diffusion P+), nous avons augmenté la longueur de la zone de drift N, avec ou sans augmentation de la longueur de la couche STI de la zone de drift.

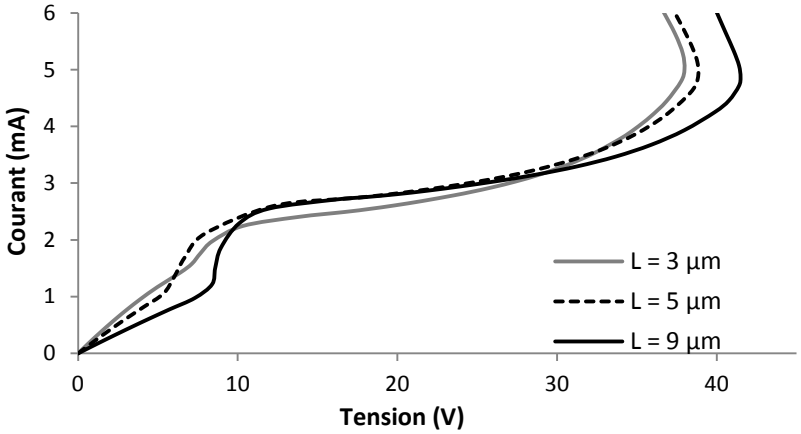

Figure 3.37: Variation des caractéristiques I_D-V_{DS} pour la structure mixte 1P1N pour plusieurs longueurs de la zone de drift, pour une longueur de STI constante, pour une tension V_{GS} = 7V et à température ambiante

La Figure 3.37 présente la variation de la caractéristique I_D-V_{DS} pour la structure 1P1N avec la longueur de la zone de drift N, pour une longueur STI constante et égale à 1 µm, une tension V_{GS} = 7V et à température ambiante. Le résultat le plus marquant est la diminution de la résistance passante avec l'augmentation de la zone de drift. Ce résultat est obtenu grâce au mode IGBT qui permet de rendre la résistance passante indépendante de la tenue en tension.

La Figure 3.38 présente la variation des caractéristiques I_D-V_{DS} pour la structure mixte 1P1N pour une longueur de la zone de drift égale à 9 µm, une longueur de STI de la zone de drift variant entre 1 et 6 µm, une tension V_{GS} = 7V et à température ambiante. Une augmentation de la tenue en tension de 17 % est atteinte en passant la longueur de STI de 1 µm à 6 µm, mais réduit également la résistance passante de 20 %. Par contre, l'augmentation de la longueur de STI de 1 à 4 µm sert à augmenter la tenue en tension de 13 % sans aucun effet sur la résistance passante.

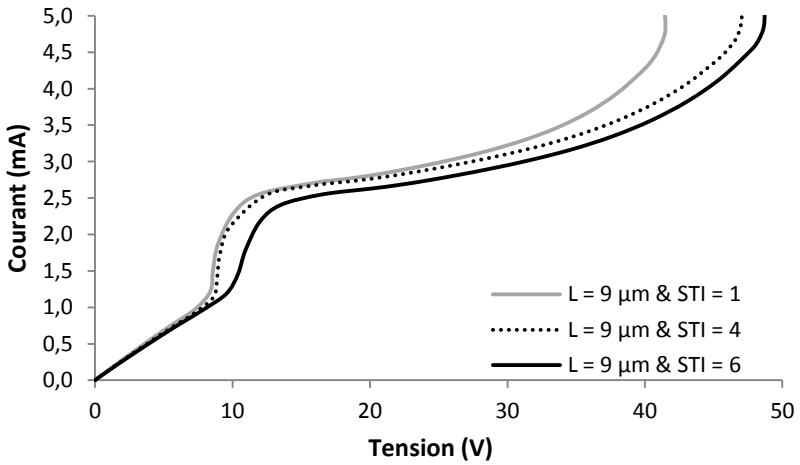

Figure 3.38: Variation des caractéristiques I_D-V_{DS} pour la structure mixte 1P1N pour une longueur de la zone de drift égale à 9 µm, pour une longueur de STI variante en 1 et 6 µm, une tension V_{GS} = 7V et à température ambiante

Ainsi l'augmentation de la longueur de la zone de drift ou de la longueur de STI sert à augmenter la tension de déclenchement, mais le courant de déclenchement du thyristor parasite reste constant.

Dans le travail d'optimisation, il est possible de découpler les solutions de contrôle de la tension de déclenchement du SCR de celles du contrôle de son courant de déclenchement. C'est le cas des solutions d'ingénierie de drain.

Par contre, les solutions d'ingénierie de source comme la réduction du canal impactent à la fois le courant et la tension de déclenchement du SCR.

3.7 Conclusion

Nous avons caractérisé jusqu'à 250 °C des structures de puissance (25 et 45 V) de type N et P de la bibliothèque de la technologie TFSMART1 utilisée dans ce travail. Les mesures montrent un fonctionnement normal des structures à basse et à haute températures avec les inconvénients normaux de l'augmentation de la température, comme l'augmentation de la résistance passante, la diminution de la tension de seuil et l'augmentation du courant de fuite.

Une modification de la topologie de ces structures a été également réalisée (transformation en structures annulaires). Les caractérisations électriques ne montrent pas un avantage significatif par rapport aux structures principales.

Dans ce chapitre, nous avons proposé une structure mixte MOS-IGBT qui combine à la fois les avantages du MOS et de l'IGBT dans un objectif d'amélioration des performances à haute température. La conception de cette nouvelle structure consiste à remplacer la diffusion N+ du drain du NLDMOS par une série de diffusions de N+ et de P+ et pour différents rapports de N+/P+.

Les mesures montrent un déclenchement prématuré du thyristor parasite à très faible tension de drain (entre 1,5 et 4 V).

Dans le but d'optimiser le fonctionnement de cette nouvelle structure, nous avons utilisé la simulation TCAD 3D sur Sentaurus pour étudier les solutions visant la diminution de la résistance du Pwell pour retarder le déclenchement du bipolaire NPN et par conséquence du SCR.

Dans un deuxième lot de silicium, des structures optimisées ont été caractérisées de la même manière que le premier lot des structures, mais cette fois avec des structures mixtes MOS-IGBT de type P et de type N. Une étude détaillée de ces deux types de structures a été réalisée après des caractérisations électriques.

Même si les mesures expérimentales n'ont pas permis de mettre en avant une structure complètement fonctionnelle, en particulier, vis-à-vis de l'immunité au latch-up, il ressort de cette étude :

- D'une part, que l'introduction d'un mode IGBT au sein d'un composant LDMOS de puissance à basse tension présente un fort intérêt vis-à-vis des performances en température, notamment R_{ON} et courant de saturation.
- D'autre part, l'étude des deux types de composants, N et P, a montré que les composants de type P permettaient un meilleur contrôle du déclenchement du SCR.
- Enfin ces travaux ont permis de donner les différentes pistes d'optimisation supplémentaires à mettre en œuvre pour que ce type de composant mixte de puissance puisse être utilisé de manière fiable à haute température.

3.8 Références bibliographiques

[1] J.-L. SANCHEZ et F. MORANCHO, « Composants semi-conducteurs: Intégration de puissance monolithique », *Techniques de l'ingénieur. Génie électrique*, vol. D4, n°. D3110.

[2] Philippe LETURCQ, *Semi-conducteurs de puissance unipolaires et mixtes (partie 2)*. 2002.

[3] G. M. Dolny, G. E. Nostrand, et K. E. Hill, « The effect of temperature on lateral DMOS transistors in a power IC technology », *IEEE Transactions on Electron Devices*, vol. 39, n°. 4, p. 990–995, avr. 1992.

[4] M. D. Pocha et R. W. Dutton, « A computer-aided design model for high-voltage double diffused MOS (DMOS) transistors », *IEEE Journal of Solid-State Circuits*, vol. 11, n°. 5, p. 718–726, oct. 1976.

[5] N. Fujishima et C. A. . Salama, « A trench lateral power MOSFET using self-aligned trench bottom contact holes », in *Electron Devices Meeting, 1997. IEDM '97. Technical Digest., International*, 1997, p. 359–362.

[6] N. Fujishima, A. Sugi, S. Kajiwara, K. Matsubara, Y. Nagayasu, et C. A. . Salama, « A high-density low on-resistance trench lateral power MOSFET with a trench bottom source contact », *IEEE Transactions on Electron Devices*, vol. 49, n°. 8, p. 1462– 1468, août 2002.

[7] Baoxing Duan, Bo Zhang, et Zhaoji Li, « New thin-film power MOSFETs with a buried oxide double step structure », *IEEE Electron Device Letters*, vol. 27, n°. 5, p. 377– 379, mai 2006.

[8] S. Matsumoto, Y. Hiraoka, et T. Sakai, « Radio-frequency performance of a state-of-the-art 0.5-µm-rule thin-film SOI power MOSFET », *IEEE Transactions on Electron Devices*, vol. 48, n°. 6, p. 1251–1255, juin 2001.

[9] S. Matsumoto, Y. Hiraoka, et T. Sakai, « A high-efficiency thin-film SOI power MOSFET having a self-aligned offset gate structure for multi-gigahertz applications », *IEEE Transactions on Electron Devices*, vol. 48, n°. 6, p. 1270–1274, juin 2001.

[10] T. P. Chow, D. N. Pattanayak, B. J. Baliga, et M. S. Adler, « A reverse-channel, high-voltage lateral IGBT », in *Proceedings of the 6th International Symposium on Power Semiconductor Devices and ICs, 1994. ISPSD '94*, 1994, p. 57–61.

[11] A. L. Robinson, D. N. Pattanayak, M. S. Adler, B. J. Baliga, et E. J. Wildi, « Lateral insulated gate transistors with improved latching characteristics », in *Electron Devices Meeting, 1985 International*, 1985, vol. 31, p. 744– 747.

[12] T. P. Chow, D. N. Pattanayak, B. J. Baliga, et M. S. Adler, « Latching in lateral insulated gate bipolar transistors », in *Electron Devices Meeting, 1987 International*, 1987, vol. 33, p. 774– 777.

[13] B. K. Bose, « Evaluation of modern power semiconductor devices and future trends of converters », *IEEE Transactions on Industry Applications*, vol. 28, n°. 2, p. 403–413, avr. 1992.

[14] W. Kung et A. Nathan, « Temperature coefficient of resolution of lateral bipolar magnetotransistors », *IEEE Transactions on Electron Devices*, vol. 40, n°. 5, p. 910–917, mai 1993.

[15] F. Udrea, D. Garner, K. Sheng, A. Popescu, H. T. Lim, et V. I. Milne, « SOI power devices », *Electronics & Communication Engineering Journal*, vol. 12, n°. 1, p. 27–40, févr. 2000.

[16] D.-S. Jeon et D. E. Burk, « A temperature-dependent SOI MOSFET model for high-temperature application (27 °C-300 °C) », *IEEE Transactions on Electron Devices*, vol. 38, n°. 9, p. 2101–2111, sept. 1991.

[17] J. Petruzzello, T. Letavic, H. van Zwol, M. Simpson, et S. Mukherjee, « A thin-layer high-voltage silicon-on-insulator hybrid LDMOS/LIGBT device », in *Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on*, 2002, p. 117–120.

[18] A. Bourennane, M. Breil, J. L. Sanchez, et J. Jalade, « A vertical monolithical MOS thyristor bi-directional device », *Microelectronics journal*, vol. 37, n°. 3, p. 223–230, 2006.

[19] H. Akiyama, T. Minato, M. Harada, Hsinghou Pan, H. Kondoh, et Y. Akasaka, « Effects of shorted collector on characteristics of IGBTs », in *Proceedings of the 2nd International Symposium on Power Semiconductor Devices and ICs, 1990. ISPSD '90*, 1990, p. 131–136.

[20] M. Rahimo, U. Schlapbach, A. Kopta, J. Vobecky, D. Schneider, et A. Baschnagel, « A High Current 3300V Module Employing Reverse Conducting IGBTs Setting a New Benchmark in Output Power Capability », in *20th International Symposium on Power Semiconductor Devices and IC's, 2008. ISPSD '08*, 2008, p. 68–71.

[21] W. E. Brumsickle, D. M. Divan, et T. A. Lipo, « Reduced switching stress in high-voltage IGBT inverters via a three-level structure », in *Applied Power Electronics Conference and Exposition, 1998. APEC '98. Conference Proceedings 1998., Thirteenth Annual*, 1998, vol. 2, p. 544–550 vol.2.

[22] Y. K. Leung, A. K. Paul, J. D. Plummer, et S. S. Wong, « Lateral IGBT in thin SOI for high voltage, high speed power IC », *Electron Devices, IEEE Transactions on*, vol. 45, n°. 10, p. 2251–2254, 1998.

[23] H. Arbess, M. Bafleur, « MOS-IGBT power devices for high-temperature operation in smart power SOI technology », *Microelectronics Reliability*, 2011. 22nd European Symposium on Reliability of Electron Devices, Failure Physics and Analysis ESREF 2011, October 2011 3rd - 7th Bordeaux – France.

Chapitre IV
Structures mixtes MOS-IGBT pour l'amélioration de la protection ESD

4.1 Introduction

Une décharge électrostatique, ou en anglais Electro Static discharge (ESD) est un processus d'équilibrage de charges entre deux objets de potentiels différents [1], [2]. Le phénomène ESD peut souvent être observé dans notre vie quotidienne. Par exemple, des charges électriques peuvent être générées après un frottement entre des matériaux différents. Ces charges accumulées peuvent spontanément être transférées à un autre objet chargé à un potentiel différent, comme par exemple, lorsque vous attrapez une poignée de porte par une journée sèche. La décharge électrostatique ESD donne généralement un léger choc pour les êtres humains. Cependant, si la même quantité de stress ESD est injectée dans un composant microélectronique, elle peut être fatale pour ce dernier.

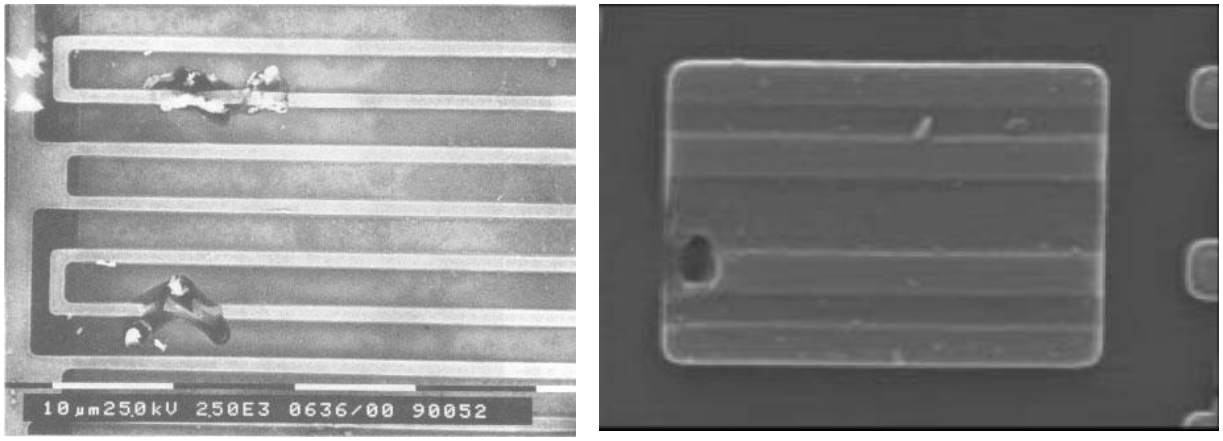

Figure 4.1: Défaillance par ESD pour des dispositifs électronique (Gauche : rupture de jonction, droite : Claquage de l'oxyde de grille) [1]

La décharge électrostatique implique souvent une haute tension (quelques kV) ou un niveau élevé de courant (1 - 10 A) sur des dispositifs de faible dimension. Malgré la courte durée des événements ESD (0,2 - 200 ns), les impulsions massives de courant ou de tension peuvent conduire à une défaillance des circuits intégrés. La Figure 4.1 présente quelques exemples de défaillances ESD dans des circuits modernes, comme une rupture de jonction et l'endommagement de l'oxyde de grille [1].

La probabilité de cette défaillance augmente avec la miniaturisation des technologies utilisées (oxyde de grille plus mince, jonction peu profonde ...), d'où le besoin de structures électroniques pour la protection des puces contre les décharges électrostatiques.

La Figure 4.2 montre la répartition des modes de défaillance observés dans les circuits intégrés. On peut remarquer que les décharges électrostatiques constituent près de 10% de toutes les défaillances [3]. La catégorie la plus importante est celle des surcharges électriques (EOS ou electrical over stress), dont l'ESD est un sous-ensemble. Dans de nombreux cas, les défaillances classées comme EOS pourraient effectivement être dues à l'ESD, ce qui rendrait ce pourcentage encore plus élevé [4].

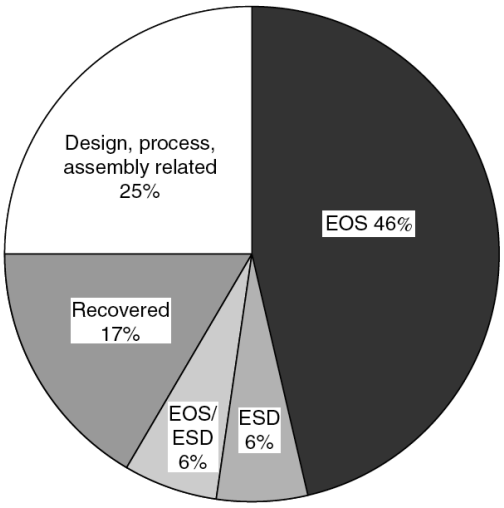

Figure 4.2 : Répartition des modes de défaillance dans les circuits intégrés en silicium [3]

Une stratégie de protection classique contre les ESD consiste à utiliser une protection centralisée basée sur un gros transistor MOS et des diodes fonctionnant en direct permettant de dériver le courant ESD vers cette protection centrale. L'avantage d'une telle protection est qu'elle est facile à modéliser car elle ne nécessite pas de modèles forts courants spécifiques. Elle peut ainsi être optimisée ainsi que son circuit de déclenchement par le concepteur de circuit. Les inconvénients de cette protection sont d'une part, la surface de silicium consommée qui est proportionnelle à la robustesse ESD désirée et d'autre part, la dégradation de la résistance passante avec l'augmentation de la température qui nécessite de surdimensionner ce composant.

Dans ce chapitre, nous proposons des nouvelles structures de protection contre les ESD prenant en compte les contraintes de fonctionnement à haute température. Le but de ces structures est donc d'être compatible avec des applications à haute température d'une part, et avec la miniaturisation de technologies, d'autre part. Des simulations électriques 2D et 3D de type TCAD sur le logiciel Sentaurus ont été mises en œuvre pour comprendre et optimiser le comportement de ces structures. Ces structures ont fait l'objet d'un premier véhicule de test qui a été réalisé sur une technologie CMOS SOI 0,8 µm. Les caractérisations électriques, comparées aux simulations ont permis de valider le concept de ces structures.

Après la présentation des premiers résultats obtenus, nous proposons des solutions d'optimisation de ces structures validées par des simulations 3D, puis par caractérisation des nouvelles structures à basse et à haute températures.

Dans ce chapitre, nous présentons tout d'abord les trois modèles de stress les plus connus qui sont le modèle du corps humain (HBM), le modèle de la machine (MM) et le modèle du dispositif chargé (CDM).

Après un bref état de l'art des structures de protection centralisées et des motivations de ces travaux, nous détaillons les structures de protection proposées qui consistent à combiner dans le même composant un transistor MOS, un IGBT et un SCR.

Une étude détaillée des caractéristiques électriques (courant de maintien, courant de défaillance, tension de déclenchement et tension de maintien) du premier lot des nouvelles

structures proposées de protection en utilisant plusieurs méthodes de mesure (mesure TLP, mesure HBM, mesure en statique et mesures en utilisant le traceur de courbes) constituera les travaux de base de ce chapitre. Des caractéristiques électriques en fonction de la température seront aussi analysées.

Ensuite, l'optimisation de ces structures en utilisant la simulation à trois dimensions sera présentée. L'optimisation a consisté à augmenter le courant de maintien afin de protéger les structures contre le latch up.

Dans la dernière partie de ce chapitre, nous présentons les caractéristiques électriques des nouvelles structures optimisées à basse et à haute températures. Dans le premier lot de mesure, les structures proposées sont de type N. Dans le deuxième lot (structures optimisées), les structures proposées sont à la fois de types N et P afin d'effectuer une comparaison entre les deux.

4.2 Modèles de stress ESD

L'aspect le plus difficile pour la fiabilité ESD est l'efficacité des circuits de protection, en particulier pour les technologies CMOS avancées qui sont très sensibles. La forte réduction des dimensions verticales et horizontales et la présence de siliciure qui réduit les résistances de ballast favorisent une focalisation des courants et dégradent la performance ESD [5], [6].

Actuellement, les modèles les plus couramment utilisés pour décrire les différentes catégories de stress ESD affectant les circuits intégrés sont :

- Modèle du corps humain : Human Body Model (HBM)
- Modèle de la machine : Machine Model (MM)
- Modèle du dispositif chargé : Charged Device Model (CDM).

4.2.1 Modèle du corps humain (HBM)

Le modèle de base pour la protection ESD est le modèle HBM qui simule les ESD causées lors de la manipulation humaine des circuits intégrés. Ce modèle décrit la décharge de la capacité équivalente du corps humain (environ 100 pF) quand un doigt touche la broche du dispositif. Si la charge initiale du corps humain est au niveau de 1000 V ou plus, alors le courant de stress, qui est limité par la résistance du corps (environ 1500 Ω), peut être suffisamment élevé pour détruire le dispositif connecté à la broche. Le test HBM est la méthode la plus largement utilisée pour qualifier la performance ESD de circuits de protection. En général, les événements HBM se produisent à 2 kV - 4 kV, par conséquent, des niveaux de protection dans cette gamme sont requis. La Figure 4.3 présente le circuit électrique équivalent du générateur lié au modèle suivant la norme JEDEC JESD22-A114F [7].

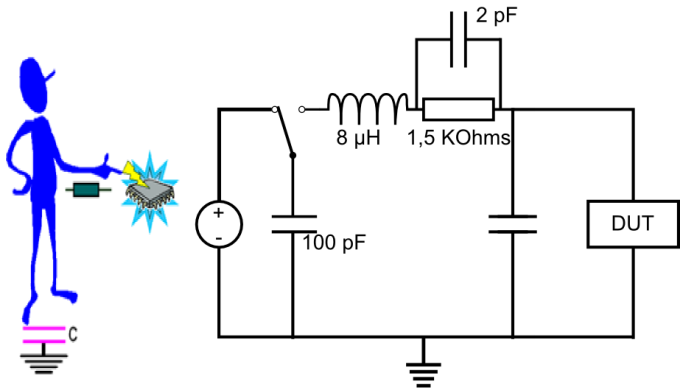

Figure 4.3 : Modèle du corps humain HBM (Human body model)

4.2.2 Modèle de la machine (MM)

En plus de la manipulation humaine, le contact avec les machines peut aussi produire un stress de type ESD. Mais dans ce cas, comme la résistance du corps n'est pas impliquée, le stress est plus intense et il y a une génération d'un niveau de courant très élevé. Ainsi un niveau de protection de 200 V pour ce modèle assure en général la fiabilité des dispositifs.

Le test MM est destiné à modéliser un signal ESD produit par un objet chargé entrant en contact avec un circuit intégré pendant l'assemblage ou pendant les tests. Le testeur MM délivre une oscillation amortie de courant de stress (≈ 20MHz), (le niveau du courant dans la première période est entre 1 A et 10 A). Contrairement au modèle HBM, il n'existe pas une définition unique pour le MM [8].

La Figure 4.4 présente le schéma électrique équivalent du modèle de la machine défini par la norme IEA/JESD22-A115-A [9].

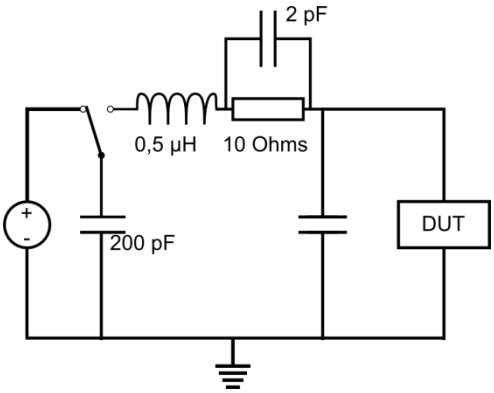

Figure 4.4 : Modèle de la machine MM (Machine model)

4.2.3 Modèle du dispositif chargé (CDM)

Le modèle CDM est destiné à modéliser la décharge d'un circuit intégré préalablement chargé. Les charges peuvent être générées dans les circuits intégrés pendant l'assemblage ou lors du transport [10]. Le testeur CDM charge électriquement le DUT (DUT : Device Under Test ou dispositif sous test) et ensuite le décharge dans la masse, ceci produit une impulsion de fort courant et de courte durée (≈ 10 ns). Comme dans le cas du modèle MM, il n'y a pas un accord industriel unique sur les spécifications de CDM [8], [11]. La norme CDM actuellement la plus reconnue est basée sur la génération de charges dans le composant par

induction (Field-induced CDM). La Figure 4.5 présente le modèle du dispositif chargé défini par la norme JEDEC JESD22-C101C [12].

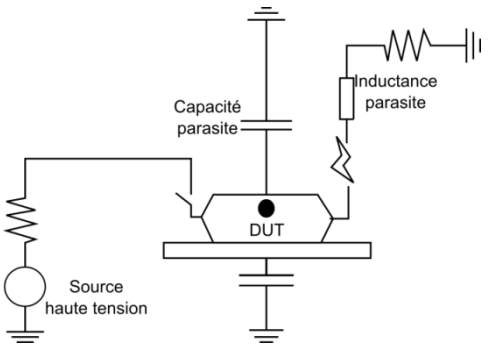

Figure 4.5: Modèle du dispositif chargé CDM (charged device model)

Une structure de protection efficace doit être capable de protéger les circuits intégrés vis-à-vis de n'importe quel modèle de stress cité plus haut.

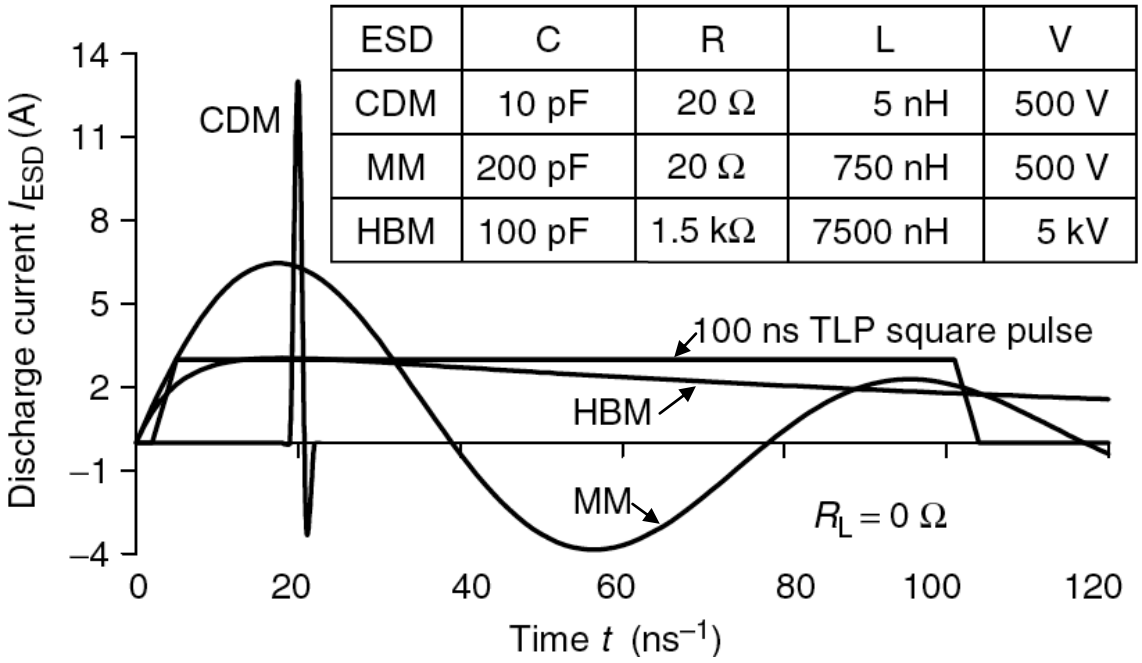

Figure 4.6 : Formes d'onde de courant de décharge pour les trois modèles de stress basiques: HBM, MM, et CDM comparés à une impulsion TLP [10]

La Figure 4.6 montre les formes d'ondes des différents modèles de stress ESD. La forme d'onde du testeur TLP (Transmission Line Pulsing) est la plus proche de celle du modèle HBM. Outre les trois principaux modèles ESD décrits ci-dessus, la technique TLP [13] est la plus appropriée pour le développement et la caractérisation des structures de protection ESD. La durée d'une impulsion TLP est ajustable de quelques nanosecondes jusqu'à une centaine de nanosecondes. Puisque la mesure DC conduit à l'auto échauffement, et ne permet pas de connaître les caractéristiques transitoires des dispositifs, la technique TLP est nécessaire pour caractériser le comportement des dispositifs sur l'échelle de temps ESD concernée.

L'idée de base du testeur TLP est d'appliquer une impulsion carrée au DUT, puis de mesurer le courant et la tension aux bornes de ce dispositif. Le schéma d'un système TLP et le principe de la caractérisation sont illustrés dans la Figure 4.7. Une ligne de transmission est chargée à une tension de test spécifiée et ensuite déchargée dans le DUT lorsque l'interrupteur se ferme. La durée de l'impulsion d'un signal TLP ainsi que l'amplitude de la tension d'entrée au dispositif peuvent être contrôlées par la longueur physique de transmission du câble formant la ligne et de la tension initiale sur ce câble. Actuellement et dans la plupart des cas, la longueur du câble TLP est choisie pour fournir une durée d'impulsion de 100 ns.

Outre la technique TLP, la mesure HBM sous pointes a été utilisée dans ce travail. L'équipement utilisé est le testeur HED-W5000M du Hanwa [14], capable de mesurer la forme d'onde de la tension et du courant durant le stress (Figure 4.8). Le banc HBM utilise un condensateur 100 pF et une résistance série égale à 1,5 kΩ, conduisant à un courant transitoire avec 500 ns de temps de décroissance.

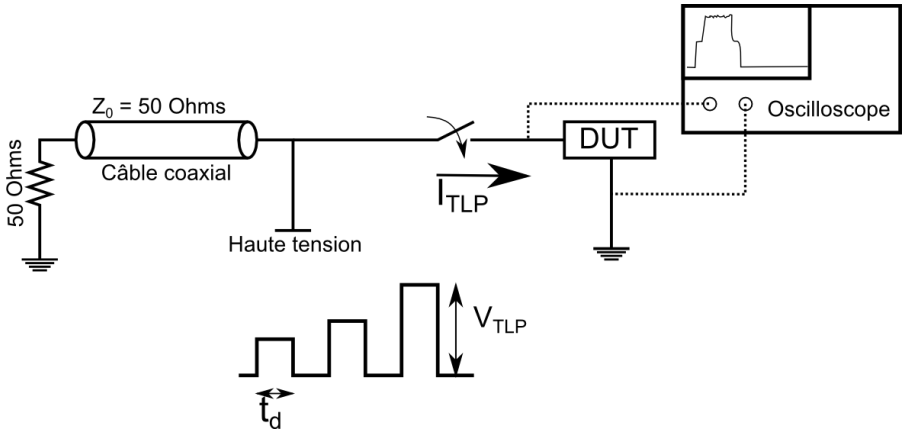

Figure 4.7: Présentation schématique du testeur TLP

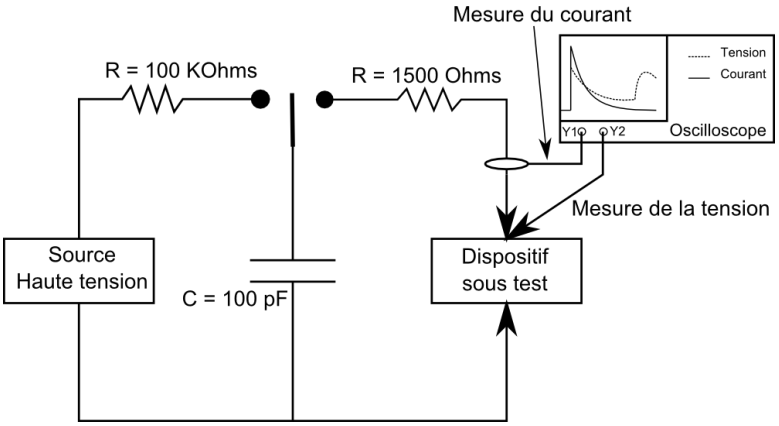

Figure 4.8 : Présentation du circuit équivalent du testeur HBM (Hanwa)

4.3 Motivation

Afin de protéger les circuits intégrés vis-à-vis des ESD, une stratégie classique est d'utiliser une protection centralisée comportant un composant MOS en tant que limiteur de tension (power clamp) aux bornes des alimentations et des diodes sur les entrées sorties comme indiqué sur la Figure 4.9.

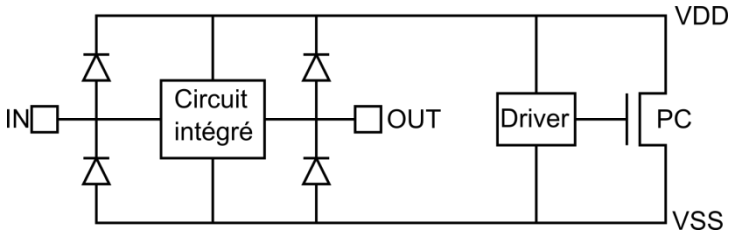

Figure 4.9: Stratégie de protection centralisée

L'avantage de cette stratégie de protection est qu'elle utilise des composants de la bibliothèque de la technologie et qu'elle peut donc être simulée par les concepteurs de circuits.

L'inconvénient majeur est que pour absorber les forts courants ESD, le composant MOS doit être de taille relativement importante, induisant un coût non négligeable de la protection.

L'élévation de la température du composant a plusieurs inconvénients, comme indiqué dans le premier chapitre. L'un de ces inconvénients est l'augmentation de la résistance passante des composants MOS (R_{ON}). Quand cette résistance augmente, il y a un risque d'arriver à une chute de tension dans une structure de protection MOS, plus grande que la tension autorisée (tension de claquage de l'oxyde de grille ou de la jonction) pendant une impulsion ESD. Dans ce cas, on peut dire que l'efficacité de la structure de protection diminue. Pour compenser ce problème, il est possible de surdimensionner le composant MOS mais au détriment de la surface de silicium occupée et donc du coût.

Dans ce chapitre, nous proposons une nouvelle structure de protection ESD. Cette structure répond aux problèmes à venir de l'élévation de la température. Donc l'objectif de ces travaux est d'avoir une faible variation de la résistance passante R_{ON} avec la température tout en conservant une robustesse ESD élevée.

4.3.1 Fonctionnement du LDMOS en protection ESD

Le DMOS latéral (LDMOS) est un transistor de puissance qui est généralement utilisé dans la conception de circuits de puissance haute tension [15]. Bien que les grands dispositifs LDMOS (W>10 mm) peuvent êtres robustes, ceux plus petits (W<5 mm) utilisés dans certaines applications, posent des problèmes de robustesse aux ESD et même l'obtention d'un niveau de robustesse de 2 kV peut être difficile [16].

Un deuxième inconvénient est que la résistance à l'état passant du LDMOS augmente avec la température, même si c'est d'une façon moindre dans le SOI que dans le silicium massif (Figure 4.10). Dans tous les cas cette variation reste importante et gêne le bon fonctionnement des circuits à haute température [17]. Dans un circuit de puissance haute tension, le LDMOS peut être utilisé comme structure de protection ESD.

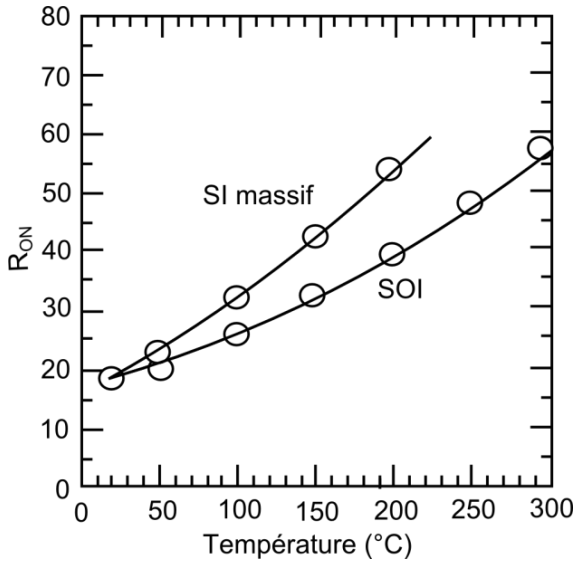

Figure 4.10: Comparaison de la variation de la résistance à l'état passant avec la température entre un LDMOS sur SOI et un autre sur substrat massif [17]

La Figure 4.11 présente l'effet de l'augmentation de la température sur la fenêtre de conception d'une telle structure de protection. En effet, si la température augmente, la résistance R_{ON} augmente et si ce comportement à haute température n'a pas été pris en compte, la caractéristique courant-tension peut se trouver hors de la fenêtre de conception ESD. On peut donc dire que la température a un effet sur la fenêtre de conception de la structure de protection et par-suite, nous devons prendre en compte l'effet de ce paramètre dès la conception des structures de protection ESD.

Un grand avantage du fonctionnement du LDMOS dans le domaine ESD, est sa vitesse de déclenchement [17–19]. Cette propriété est essentielle pour garantir l'efficacité de la protection.

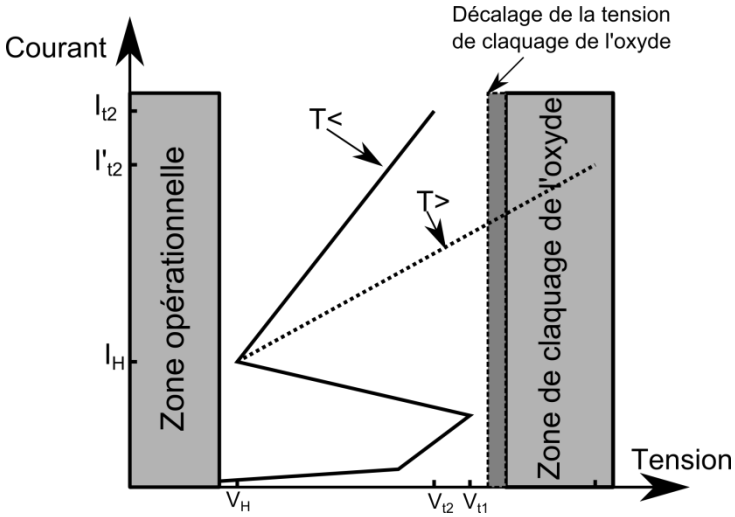

Figure 4.11 : Variation des caractéristiques TLP et fenêtre de conception avec la température

Une autre motivation pour pallier les effets de la température sur la résistance passante des structures de protection concerne l'impact de la température sur le claquage des oxydes. En effet, comme nous l'avons vu au chapitre 1, la durée de vie des oxydes diminue avec la température. Cela a pour impact une diminution de la tension de claquage avec

l'augmentation de la température [20]. Par exemple, pour un oxyde de 1,5 nm, la tension pour laquelle il y a une défaillance au bout de 100 ns passe de 6 V à 25°C à 5,7V à 140 °C. A 250 °C, cette tension devrait encore baisser ayant avec pour conséquence de réduire la fenêtre de conception ESD.

4.3.2 Fonctionnement d'IGBT en protection ESD

Il n'y a pas beaucoup de travaux sur le fonctionnement de l'IGBT comme structure de protection ESD [21], [22]. Une des raisons est liée au temps de déclenchement de l'IGBT qui n'est pas compatible avec la vitesse du transitoire ESD. Cet inconvénient provient du fait que l'IGBT est un composant bipolaire qui nécessite d'une part une tension de seuil de diode supplémentaire au déclenchement par rapport à un LDMOS et d'autre part, la modulation de la conductivité par les porteurs minoritaires lors des commutations. Ainsi, il ne peut pas fonctionner à très haute fréquence (Figure 4.12).

Par contre, la modulation de conductivité apportée par les porteurs minoritaires lui procure une excellente résistance passante indépendante de la tenue en tension, contrairement au cas du LDMOS.

E. Gevinti dans son travail [22] a utilisé un LIGBT 190 V comme structure de protection. Une comparaison de la robustesse avec le LDMOS montre que, pour un composant de 10,4 mm de largeur, la robustesse du LIGBT est égale à 7 A par contre elle est de 2 A pour le LDMOS, ce qui correspond à 670 µA/µm de largeur de canal pour le LIGBT et 200 µA/µm pour le LDMOS.

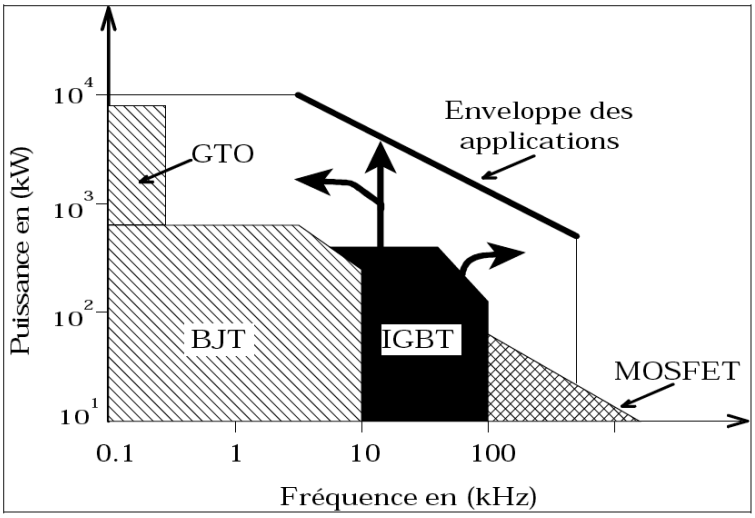

Figure 4.12: Domaine d'application de l'IGBT et des autres dispositifs électroniques

Après avoir cité le fonctionnement des MOS et des IGBT comme structures de protection ESD, et dans le but d'améliorer le fonctionnement des structures de protection déjà existantes dans la bibliothèque de la technologie utilisée dans ce travail, nous avons pensé à profiter des avantages des deux dispositifs déjà cités dans cette section pour avoir une structure de protection ESD compatible avec la haute température et avec la miniaturisation des technologies. Nous avons donc proposé une nouvelle structure MOS-IGBT dans l'objectif

d'une part, d'améliorer la résistance passante en température et d'autre part, la robustesse ESD.

4.4 Structures mixtes MOS-IGBT proposées

Avant de commencer à expliquer les structures proposées, nous allons présenter premièrement le comportement de la structure de protection disponible dans la bibliothèque de la technologie TFSMART1.

4.4.1 Caractérisation TLP de la structure de protection de TFSMART1 à basse et à haute températures

Dans la bibliothèque de la technologie TFSMART1, il existe une structure N-LDMOS 25 V, qui est utilisée comme base pour un circuit de protection ESD à haute tension (19 V). Cette structure élémentaire est formée de deux doigts de grille de 150µm. La topologie comporte un composant N-LDMOS à grille fermée aux deux extrémités avec une diffusion de drain au centre et une diffusion de source en court circuit avec le contact de substrat. Le circuit de protection ESD (Figure 4.13) est ainsi composé de 11 cellules de ce N-LDMOS, de plusieurs diodes Zener et d'une résistance comme circuit de déclenchement. Les trois diodes Zener en série assurent un déclenchement du LDMOS à une tension de 19 V (la tension de seuil de Zener et de l'ordre de 6,2 V). La quatrième Zener protège l'oxyde de grille de la structure de protection contre la surtension pendant le stress ESD. La surface correspondante est de 302 µm x 183 µm et fournit une robustesse HBM de 2 kV (Imax = 1,7 A TLP).

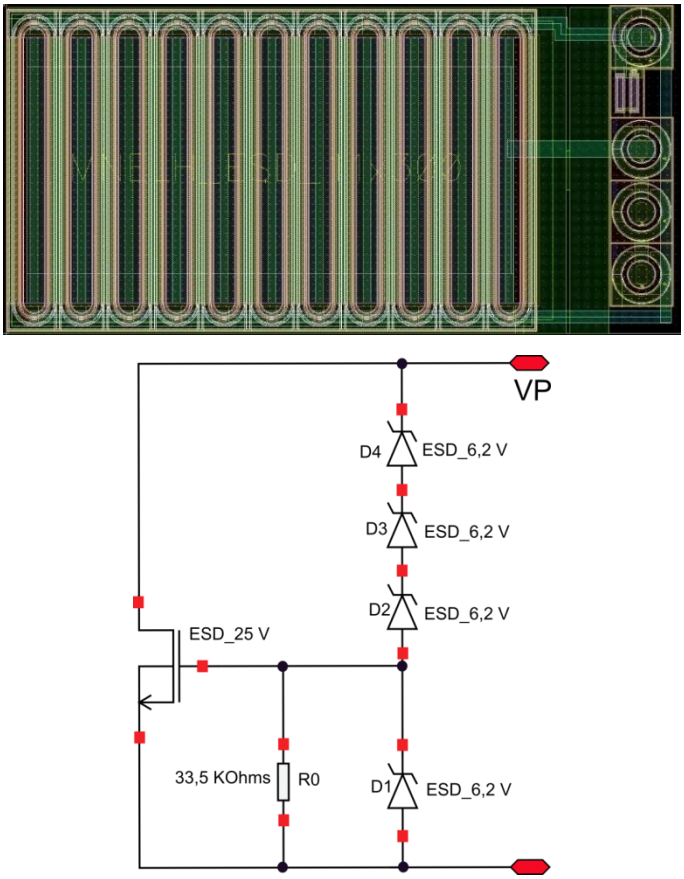

Figure 4.13 : En haut : Layout du circuit de protection. En bas : Schéma électrique de ce circuit de protection

La performance de ce circuit de protection basée sur un transistor MOS est très sensible à la température [23]. Si la variation de R_{ON} avec la température n'est pas prise en compte, il pourrait induire des effets nuisibles comme la défaillance pour un courant plus faible et même conduire à ne pas fournir la protection attendue car ne respectant pas la fenêtre de conception ESD.

La Figure 4.14 présente les caractéristiques TLP du circuit de protection de la bibliothèque TFSMART1 à plusieurs températures de 25 °C à 250 °C. Les mesures TLP ont été réalisées sous pointes (banc Celestron 50 Ω) et sur un porte-substrat chauffant. Avant chaque mesure, un étalonnage du banc permet d'éliminer la résistance série liée aux câbles de connexion. La durée de l'impulsion TLP est de 100ns et son temps de montée est de 1ns.

Dans cette figure, on peut remarquer l'augmentation de la résistance avec la température. La robustesse de ce circuit diminue avec la température et passe de 1,7 A à 25°C à 1,34 A à 200°C. La tension Zener des diodes utilisées est aux alentours de 6 V et devrait être stable en température. Cependant la tension de déclenchement augmente avec la température, ce qui peut être attribué à l'augmentation des résistances d'accès de ces diodes aves la température.

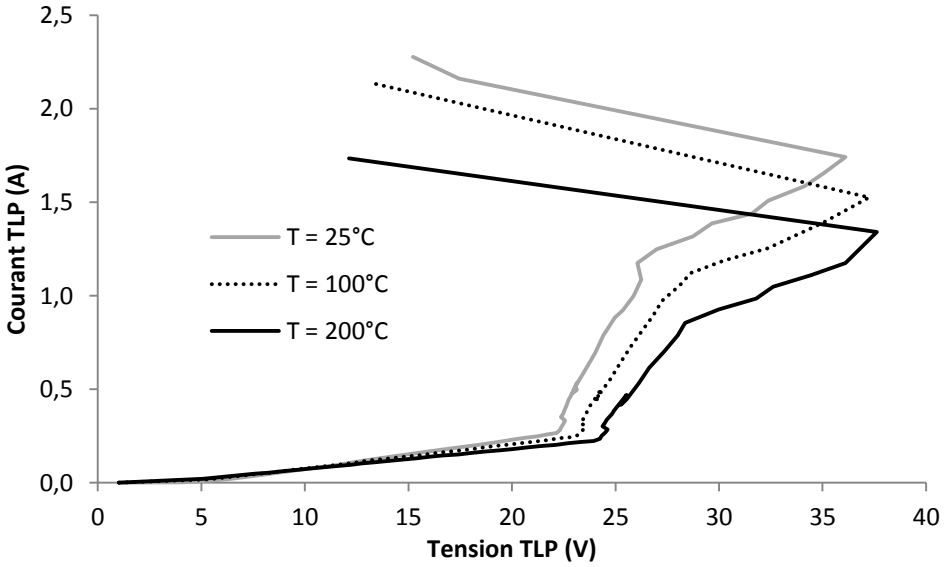

Figure 4.14: Caractéristiques TLP pour le circuit de protection ESD de la bibliothèque TFSMART1

Dans la première partie de la courbe, le LDMOS est polarisé par couplage capacitif lié à la taille importante de la structure. Après le déclenchement, on remarque deux phases de conduction avant le repliement des courbes. La première phase correspond à la zone linéaire des transistors, tandis que, l'autre correspond au début de la zone saturée. Le repliement indique la défaillance de la structure. On considère le point juste avant le repliement comme point de défaillance. Après ce repliement le courant de fuite devient important ce qui est le signe de la défaillance de la structure.

4.4.2 Structure proposée MOS-IGBT

Dans le but d'améliorer le fonctionnement des structures de protection ESD, nous avons développé une nouvelle protection. L'idée principale de cette structure est de combiner et de

fusionner dans le même dispositif LDMOS, qui va fonctionner dès que sa grille est activée, un IGBT latéral qui devrait permettre de réduire la résistance à l'état passant de la structure grâce à l'injection des porteurs minoritaires et au thyristor qui a une forte capacité en courant. Cette structure est présentée sur le schéma électrique dans la Figure 4.15.

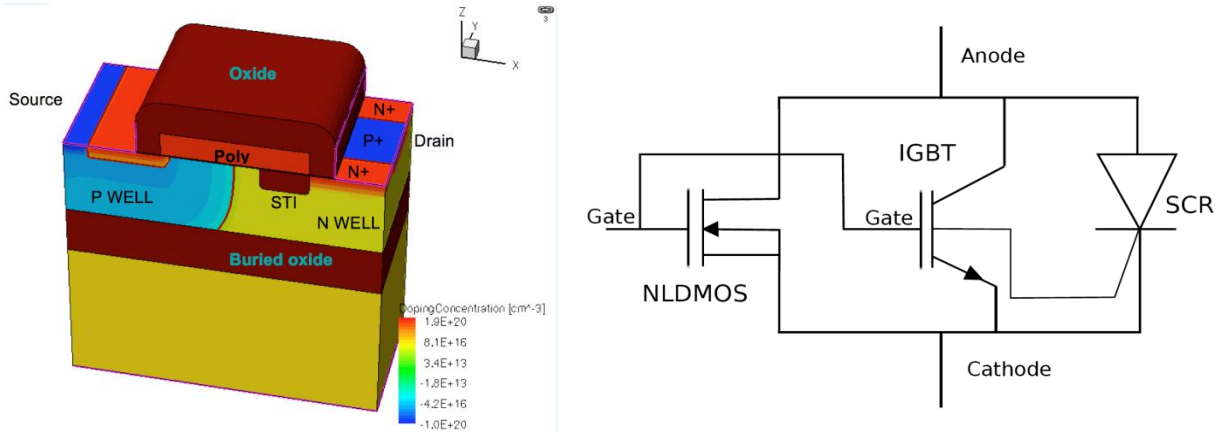

Figure 4.15 : Structure mixte LDMOS-LIGBT avec un rapport N+/P+ égale 1 (gauche), Schéma électrique équivalent de la structure mixte LDMOS-LIGBT (droite)

Pour réaliser une telle structure, nous avons combiné dans la structure du NLDMOS un IGBT latéral en remplaçant certaines parties de la diffusion N^+ par une diffusion P^+ au niveau du drain et cela avec différents rapports de surface. La Figure 4.15 présente cette structure mixte avec un rapport P^+/N^+ égal à 1. Cette structure est déclenchée par sa grille pour pouvoir protéger des circuits à basse tension. Le déclenchement rapide du MOS sert à compenser la réponse lente du LIGBT puis du SCR. Une telle structure MOS-Thyristor a déjà été proposée par H. Tranduc [24] pour améliorer la performance des structures de puissance.

	Rapport N^+/P^+	***% de l'IGBT***
1P2N	2	33,3 %
1P1N	1	50 %
2P1N	0,5	66,7 %
LIGBT	0	100 %

Tableau 4.1 : Liste des structures mixtes avec le LIGBT

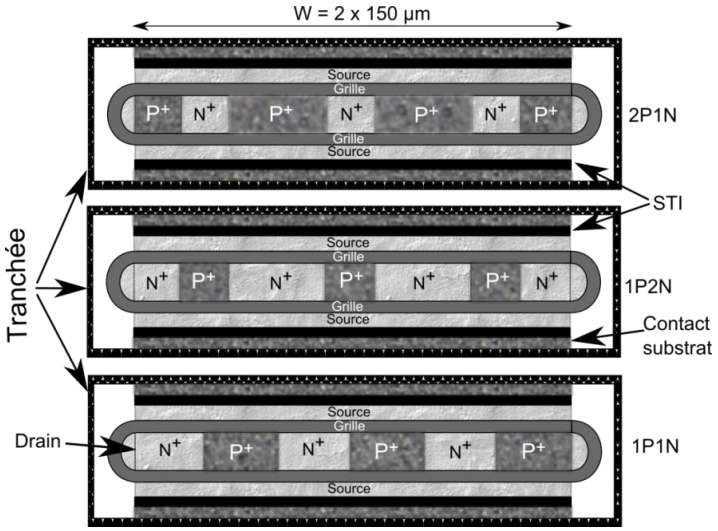

Figure 4.16: Topologie des structures mixtes

Pour étudier l'impact du rapport N+/P+ sur la performance ESD, nous avons conçu un véhicule de test avec différentes structures en partant d'un LDMOS jusqu'à un LIGBT et en passant par les structures mixtes nommées 2P1N, 1P1N et 1P2N (Tableau 4.1), qui ont un rapport N^+/P^+ respectifs égal à 0,5, 1 et 2. Elles sont dessinées de façon à ce que la grille puisse être polarisée de l'extérieur. Ces structures sont basées sur une seule cellule élémentaire NLDMOS25V du circuit de protection de la bibliothèque dont la surface correspondante est égale à 183 x 31,6 µm². La Figure 4.16 présente un ensemble de trois structures mixtes de protection MOS-IGBT 1P1N, 1P2N et 2P1N respectivement de bas en haut. Dans ces cellules, le N^+ du drain au centre est remplacé par une alternance de diffusions de N^+ et de P^+.

4.4.3 Résultats expérimentaux à température ambiante

4.4.3.1 Caractéristiques TLP

4.4.3.1.1 Avec grille reliée à la masse

La première série de mesures pour les différentes structures a été réalisée avec la grille reliée à la masse.

La Figure 4.17 montre les résultats pour les différentes structures mixtes avec le NLDMOS et le LIGBT. Concernant le NLDMOS, on peut remarquer que dès que la tension atteint la tension de déclenchement et malgré l'existence de la résistance de ballast au niveau du drain, il y a défaillance juste après le repliement. Ce comportement est observé pour quatre structures différentes.

Il est important de noter que le LIGBT qui a été dessiné n'est pas tout à fait un vrai IGBT puisqu'il inclut une taille minimale de diffusion N+ dans le centre du drain pour éviter une erreur de règles de dessin. La présence de cette diffusion pourrait induire une focalisation temporaire de courant pouvant expliquer les moins bonnes performances en robustesse de ce composant.

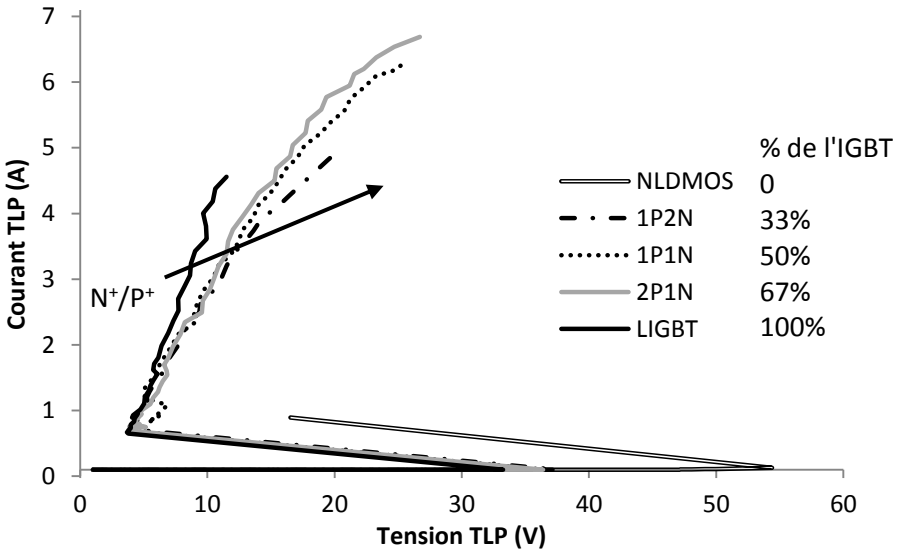

Figure 4.17: Caractéristique TLP pour des structures mixtes MOS-IGBT, de NLDMOS et de LIGBT avec VGS = 0 V. Le dernier point sur la courbe correspond à la défaillance du composant

Pour les structures mixtes et le LIGBT, on peut d'abord remarquer que la tension de déclenchement est inférieure à celle du NLDMOS : autour de 37 V au lieu de 52 V pour le NLDMOS. A noter que lorsque la grille est reliée à la masse, les seuls composants qui se déclenchent sont les composants bipolaires parasites et le SCR. La diminution de la tension de déclenchement est liée à l'insertion de la diffusion P+ dans le drain. La présence de P+ conduit à un effet de perçage (punch-through) dans le dispositif PNP créé par le PWell, N drift et la diffusion P^+ insérée au niveau du drain. En effet, la zone de charge d'espace à proximité du PWell s'étend trop près du drain (Figure 4.18), la barrière de potentiel au drain décroît et des porteurs sont injectés par le P+ du drain vers le PWell en profondeur dans le substrat.

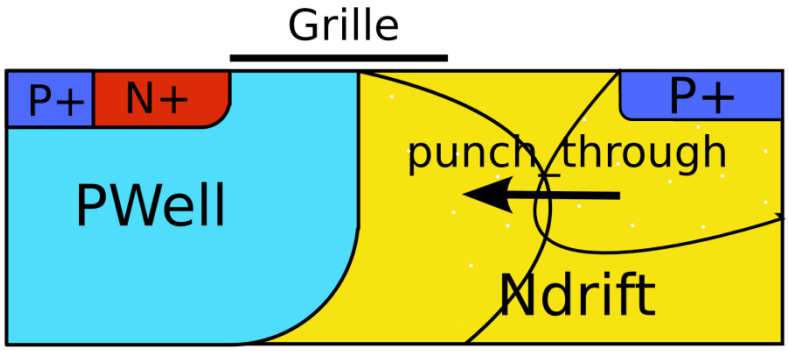

Figure 4.18: Extension des zones de charge d'espace dans le substrat conduisant au phénomène de punch-through

De plus, la Figure 4.17 montre que les quatre structures testées ont une grande robustesse ESD (> 5 A). La valeur du courant de défaillance diminue avec le rapport de N^+/P^+ avec une exception pour le LIGBT. La différence de robustesse entre les différentes structures mixtes est expliquée par la variation de la largeur du bipolaire PNP incluse dans cette structure. En effet, si on a plus de P+ dans le drain, il y a donc plus d'injection des porteurs en profondeur de N-drift, et par suite les porteurs diffusent plus largement dans la structure que dans le cas d'un NLDMOS. Dans le cas du LIGBT, l'explication de cette exception est probablement qu'il y a une focalisation de courant dans cette structure, induisant une défaillance prématurée du composant. La photoémission est le moyen le plus efficace pour valider cette hypothèse.

Structure de protection ESD	Courant maximal (A)	Courant maximal (mA/µm)
Protection centrale LDMOS	1,7	0,515
IGBT	4,5	15
Mixte 2P1N (66% IGBT)	7	23
Mixte 1P1N (50% IGBT)	6,7	22
Mixte 1P2N (33% IGBT)	5,1	17

Tableau 4.2: Comparaison de robustesse entre les structures mixtes le LIGBT et le circuit central de protection basé sur LDMOS

Le déclenchement du thyristor parasite est vérifié par la faible résistance passante R_{ON} après le snap-back et la faible tension de maintien (moins de 2 V). La résistance R_{ON} augmente avec le rapport de N^+/P^+ ce qui est normal puisque la partie IGBT devient plus petite en augmentant ce rapport. Donc, pour une surface de silicium réduite de 90%, les

structures proposées offrent une robustesse beaucoup plus grande (Tableau 4.2) que le circuit de protection initial qui a un niveau de courant de défaillance maximal égal à 1,7 A.

L'utilisation d'une structure mixte MOS-IGBT permet d'augmenter la robustesse en courant par unité de longueur d'un facteur 30 à 40 selon le rapport de N+/P+.

4.4.3.1.2 Avec grille polarisée

Les structures ont également été caractérisées en fonction de la tension de grille V_{GS}. Comme le montre la Figure 4.19 pour une tension de polarisation de grille égale à 2V, la tension de déclenchement peut facilement être abaissée et ajustée pour être compatible avec la fenêtre de conception ESD d'un circuit à basse tension. Comme dans le cas d'une grille reliée à la masse, le courant de défaillance est élevé. Cependant, quand une tension de grille est appliquée, les structures proposées commencent à fonctionner comme un LDMOS, puis comme un IGBT et enfin, quand un certain niveau de tension et de courant est atteint, le thyristor parasite se déclenche. Toutefois, le mode IGBT n'est pas visible dans la figure. Nous avons donc effectué des mesures DC qui ont permis de vérifier que les structures passent vers le mode SCR dès que l'IGBT est activé. Il doit être noté que la tension de déclenchement du SCR dépend du rapport de N^+/P^+. Plus ce rapport est petit, plus la tension de déclenchement est faible.

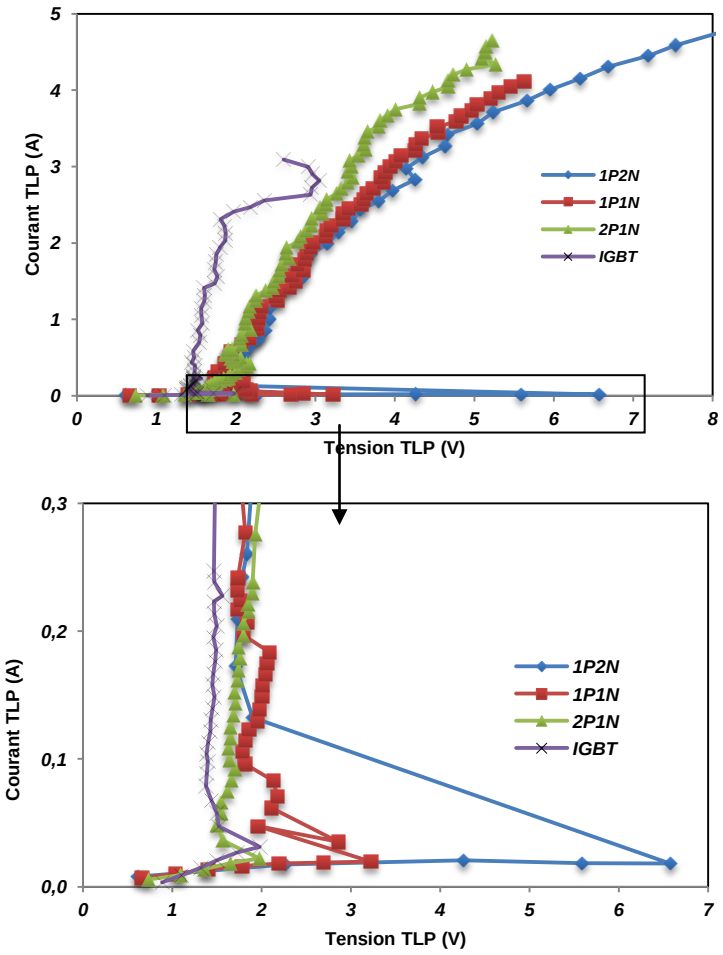

Figure 4.19: Caractéristique TLP pour les structures mixtes et l'IGBT avec VGS = 2V. (En haut : courbes pleines, en bas : courbes détaillées sur la zone de déclenchement)

Ces mesures ne sont pas effectuées jusqu'à la défaillance des structures de façon à pouvoir réaliser des mesures à hautes températures ultérieurement. Cependant, on peut remarquer que le LIGBT, bien qu'ayant une meilleure résistance R_{ON}, présente un comportement de forte résistance au dessus de 2,3 A, cela revient peut être au petit segment de la diffusion N^+ ajouté pour éviter une erreur sur Cadence.

4.4.3.2 Caractéristique HBM

Comme nous venons de le voir, dans le régime de fort courant, le thyristor parasite se déclenche pour toutes les structures mixtes, ce qui est très bénéfique pour la résistance R_{ON} de ces structures. Dans cette étude préliminaire, nous n'avons pas optimisé le courant de maintien pour garantir une immunité vis-à-vis du latch-up. L'utilisation du testeur TLP 50 Ω et 500 Ω, ne permet pas d'extraire la vraie valeur du courant de maintien pour le thyristor parasite. En effet, la meilleure méthode pour mesurer le courant de maintien de SCR consiste à diminuer continuellement le courant ESD jusqu'à extinction du SCR. La mesure TLP est une mesure en impulsion qui ne permet pas de faire ce type de mesure. Le TLP multi niveaux (multilevel TLP) pourrait être une solution, mais la technique que nous avons choisie est la mesure HBM-IV, qui est beaucoup plus simple à réaliser [25].

On a donc utilisé un testeur (wafer-level HBM tester) de Hanwa qui permet d'acquérir les caractéristiques I-V avec une forme d'onde HBM réelle. La partie descendante de la forme d'onde HBM de courant et de tension est utilisée pour déterminer le courant de maintien du SCR. En effet, dans cette partie du signal HBM, le thyristor est à l'état passant et conduit du courant qui diminue avec le temps. A l'instant où le courant devient insuffisant pour maintenir le fonctionnement du thyristor (c'est-à-dire le courant de maintien), la tension aux bornes du dispositif augmente rapidement (Figure 4.20).

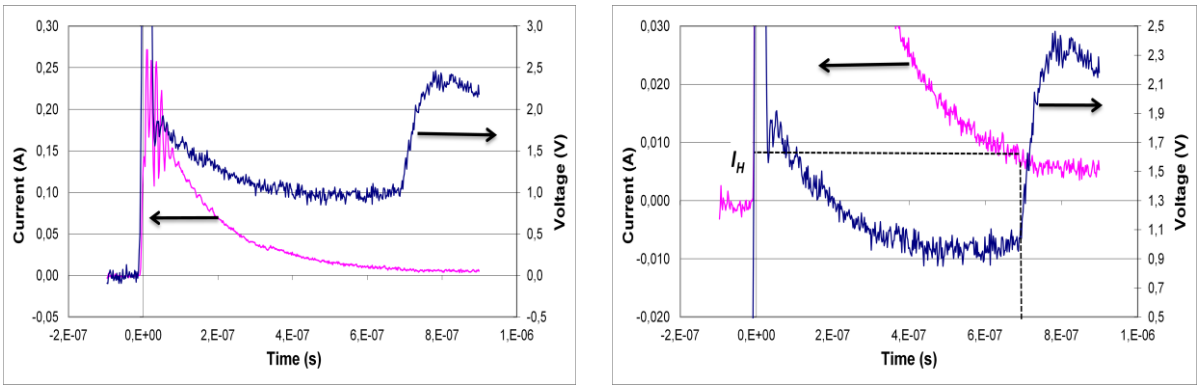

Figure 4.20: Caractéristiques courant-tension de la mesure HBM pour la structure 1P1N avec V_{GS} = 0 V. (la figure à droite est un zoom de la figure à gauche pour bien extraire la valeur de I_H

Les valeurs du courant de maintien pour les structures proposées sont présentées dans le Tableau 4.3 à température ambiante. Ce tableau montre que les valeurs du courant de maintien sont trop faibles pour garantir un fonctionnement sans latch-up [26]. En effet, pour s'assurer qu'un thyristor ne part pas en latch-up lors du fonctionnement normal du circuit intégré, une première solution consiste à ce que la tension de maintien du thyristor soit plus grande que la tension d'alimentation de la structure à protéger. Or, la tension de maintien dans la plupart des cas, y compris le notre est plus faible que la tension d'alimentation. La deuxième solution consiste à ce que le courant de maintien ne puisse pas être fourni par

l'alimentation, même si la tension est inférieure à la tension d'alimentation. Cette considération permet d'agrandir la fenêtre de conception en incluant une nouvelle région à basse tension et fort courant (Figure 4.21). La plupart des tests de latch-up se font pour une valeur de courant de 100 mA. Donc si le passage en thyristor se passe à ce niveau de courant (courant de maintien), il n'y aura pas de risque de latch-up.

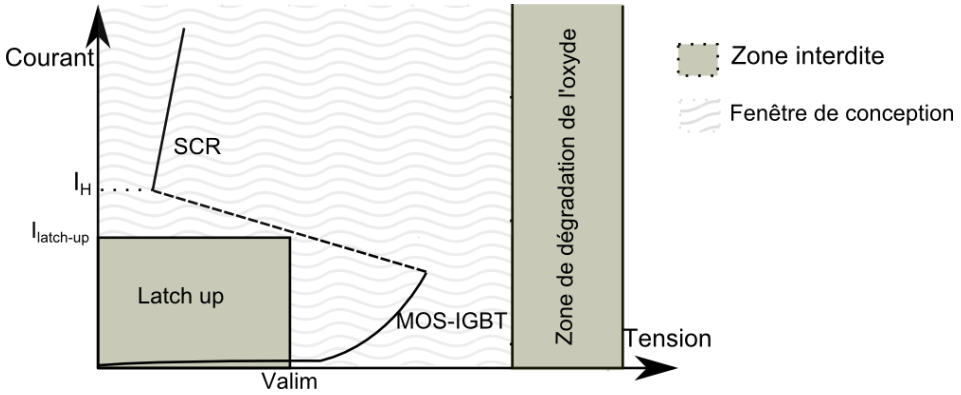

Figure 4.21: Fenêtre de conception intégrant la limite en courant de l'alimentation (ILatch-up) et caractéristique électrique vérifiant cette spécification

La mesure du courant de maintien, en utilisant la technique HBM, montre que la valeur de I_H est trop faible pour toutes les structures mixtes même pour l'IGBT, il varie entre 7 et 7,2 mA. De plus, le rapport de N^+/P^+ n'a aucune influence sur la variation de I_H.

Structure	*Courant de maintien I_H*
LIGBT	7,0 mA
2P1N	7,0 mA
1P1N	7,0 mA
1P2N	7,2 mA

Tableau 4.3 : Courant de maintien mesuré pour différentes structures en utilisant la mesure HBM à température ambiante

En effet, en étudiant l'expression de I_H (Equation 4.1) [27], où β_n et β_p sont les gains en courant des transistors bipolaires NPN et PNP, respectivement, et I_{NW} et I_{PW} sont l'intensité du courant respective dans Nwell et dans Pwell, le courant de maintien devrait augmenter avec le rapport N^+/P^+. Avec la faible valeur des I_H, il est difficile de capter une différence entre ces différentes structures, en effet, cette différence peut être proche de l'erreur de mesure.

$$I_H = \frac{\beta_p(\beta_n+1)\cdot I_{NW} + \beta_n(\beta_p+1)\cdot I_{PW}}{\beta_n\beta_p - 1} \qquad \textbf{Equation 4.1}$$

4.4.3.3 Caractéristiques électriques en utilisant le traceur des courbes

Un traceur de courbes est un appareil de test électronique utilisé pour analyser les caractéristiques des dispositifs à semi-conducteurs discrets tels que des diodes, transistors, thyristors etc. Basé sur un oscilloscope, le dispositif contient également des sources de tension et de courant qui peuvent être utilisées pour stimuler le dispositif sous test (DUT) [28]. Le principe de fonctionnement de base du dispositif est d'appliquer une tension variable aux

bornes principales du DUT tout en mesurant la quantité de courant que le dispositif dissipe. L'opérateur peut contrôler la valeur maximale de la tension appliquée à l'appareil, la polarité de la tension appliquée (y compris l'application automatique des deux polarités positives et négatives), et la résistance de charge insérée en série.

4.4.3.3.1 *Mesure en statique*

La caractérisation électrique en statique des nouvelles structures est nécessaire afin d'étudier leur comportement. La Figure 4.22 présente les caractéristiques DC pour la structure 1P2N à température ambiante avec une tension V_{GS} qui varie de 1 V à 4 V. On peut remarquer sur la vue zoomée que le dispositif conduit tout d'abord en mode MOS, puis passe en mode IGBT (pour un niveau de courant, ≈ 20 mA, identique pour les deux valeurs de V_{GS}) et très rapidement commute en mode SCR. L'introduction du composant IGBT a donc fortement dégradé la tenue en tension du composant.

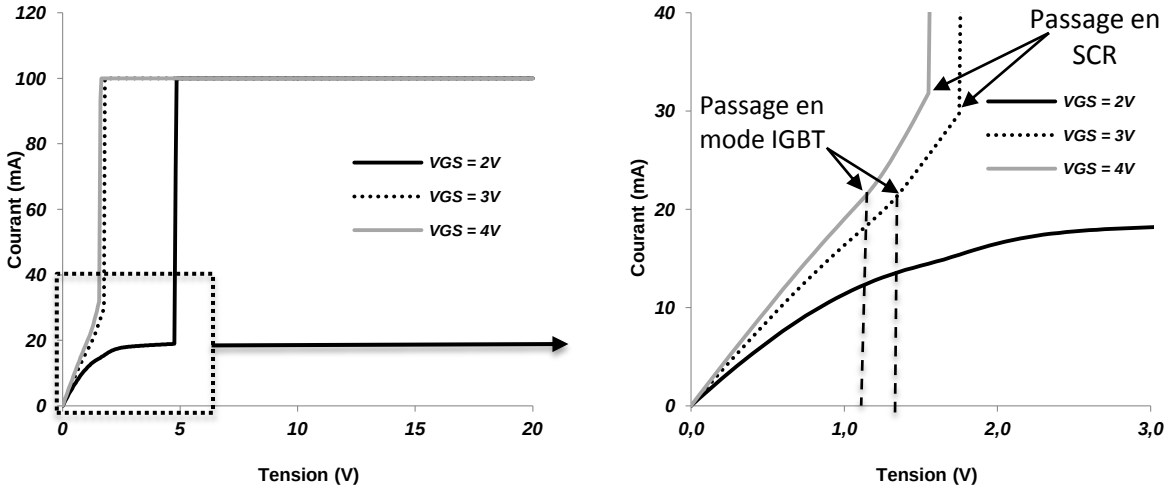

Figure 4.22: Caractéristiques DC pour la structure mixte 1P2N à température ambiante et avec V_{GS} allant de 1 à 4V

4.4.3.3.2 Mesure sur le traceur des courbes

La même mesure a été faite, mais cette fois à l'aide d'un traceur de courbes (Figure 4.23). Ce dernier confirme que le dispositif passe en mode IGBT. On a observé presque le même comportement quel que soit le rapport N^+/P^+. Dans cette technologie, l'IGBT n'est pas encore optimisé, et en conséquence, le thyristor parasite est déclenché dès que l'IGBT est activé.

Le traceur monte en tension de façon continue puis redescend de la même façon et mesure le courant suivant un pas dépendant de la tension maximale choisie et du nombre des courbes. Cette façon de mesurer permet d'extraire le courant de maintien dans la partie descendante de la courbe. Malgré les avantages des mesures HBM pour extraire le courant de maintien, le traceur des courbes est plus facile et peut être plus précis que la mesure HBM.

Les valeurs du courant de maintien à V_{GS} = 0V mesurées par le testeur HBM sont confondues avec celles mesurées en utilisant le traceur des courbes. Cet appareil ne peut pas mesurer la robustesse des dispositifs ESD, mais il permet, par contre, de mesurer I_H avec une grille polarisée ce qui est plus compliqué à faire en utilisant le testeur HBM.

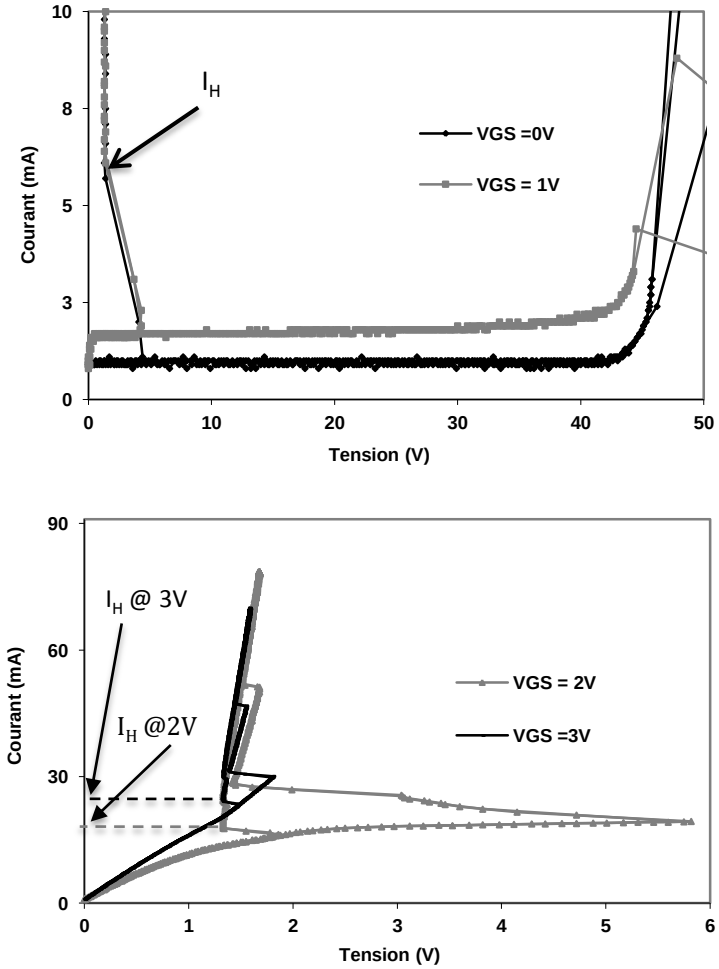

Figure 4.23: Caractéristique sur le traceur de courbes pour la structure 1P2N à température ambiante, pour V_{GS} = 0 et 1 V en haut et pour V_{GS} = 2 et 3 V en bas.

Dans le premier lot des mesures, on a remarqué que le courant de maintien augmente avec la tension V_{GS}. Cette variation peut nous aider à optimiser ces nouvelles structures mixtes en augmentant le courant de maintien I_H.

V_{GS}	0 V	1 V	2 V	3 V
I_H (1P2N) mA	6	6	17,5	24
I_H (1P1N) mA	5,5	6	17	23
I_H (2P1N) mA	4,5	5,2	17	23
I_H (IGBT) mA	5,5	7	18	23

Tableau 4.4: L'impact de la tension de Grille V_{GS} sur le courant de maintien pour les différentes structures

Le Tableau 4.4 présente la variation de I_H avec la tension de grille pour les différentes structures. En partant d'une grille reliée à la masse et en arrivant à une tension V_{GS} = 3V, le courant de maintien augmente d'un facteur 4 à 5.

On a attribué l'effet de la polarisation de grille sur le courant de maintien, au courant de MOS (courant de canal). En effet, le courant de maintien mesuré, qui est le courant

d'extinction du thyristor, est égal à la somme des courants totaux de MOS et de thyristor. En augmentant la tension de polarisation de la grille, le courant qui passe dans le canal augmente. Ce courant d'électrons permet d'augmenter le courant de recombinaison au niveau de la zone de drift N, en conséquence, moins de courant circule sous la diffusion N+ de la source et coupe ainsi le thyristor parasite.

4.4.4 Résultats expérimentaux à haute température

Dans le cadre du projet COTECH et dans le but d'avoir un bon fonctionnement des composants électroniques à haute température jusqu'à 250°C, les structures doivent être optimisées pour répondre aux besoins de fonctionnement à cette condition. En effet, avec la forte demande pour des applications à haute température (automobile, aéronautique, spatial, etc) et le besoin croissant d'une grande robustesse ESD pour les systèmes de puissance, il est intéressant de prendre en compte ce paramètre pour la conception des structures de protection ESD.

Dans le cas normal, l'augmentation de la température induit une augmentation de la résistance, ce qui résulte en une diminution du courant maximal de la fenêtre de conception ESD, même si la valeur de ce courant est beaucoup plus faible que le courant de défaillance de la structure de protection. La raison de cette diminution est déjà expliquée dans le premier chapitre.

Même si l'augmentation de la résistance de la structure n'augmente pas de façon significative sur la fenêtre de conception, la robustesse des structures de protection diminue avec l'augmentation de la température.

4.4.4.1 Caractéristiques TLP

Les mesures TLP sont effectuées sous pointes à différentes températures de 25 °C, 50 °C, 100 °C et 200 °C. La Figure 4.24 présente les caractéristiques TLP des structures LIGBT et mixtes 2P1N, 1P1N et 1P2N avec un rapport N^+/P^+ respectif égal à 0,5, 1 et 2 à 100°C et pour une grille reliée à la masse. Ces mesures ne sont pas effectuées jusqu'à la défaillance des structures afin de pouvoir faire les mêmes tests et pour les mêmes structures avec grille polarisée.

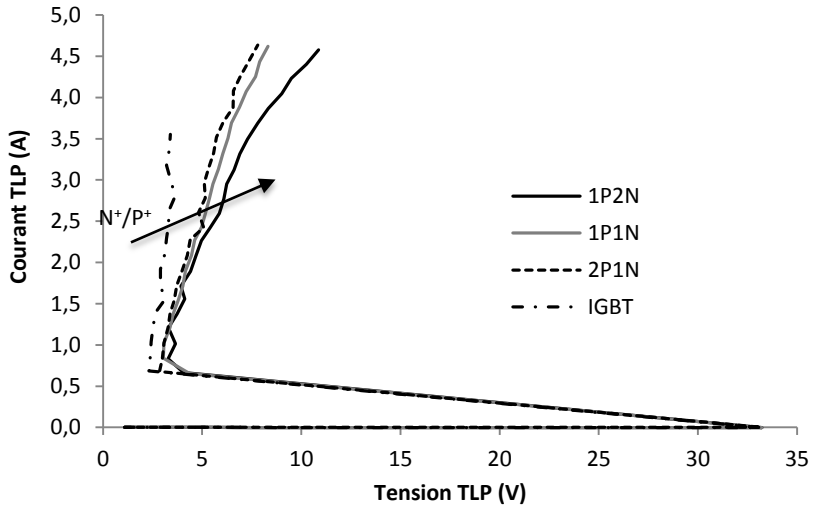

Figure 4.24: Caractéristiques TLP pour les structures mixtes et LIGBT à 100°C et avec grille reliée à la masse.

Dans cette figure, on peut remarquer que, comme à température ambiante, la résistance à l'état passant des structures augmente avec le rapport de N+/P+.

Pour comparer le comportement des structures aux autres températures (50 °C, 150 °C et 200 °C), nous avons représenté dans la Figure 4.25 la variation de la résistance à l'état passant de toutes les structures mixtes et LIGBT à différentes températures. On peut remarquer que l'effet de la température devient plus important en augmentant le rapport de $N+/P^+$. Cette résistance varie de 75% en passant de 25 °C vers 200 °C pour un rapport N^+/P^+ = 0, tandis que pour la structure avec le plus grand rapport N^+/P^+, elle varie de 135 %.

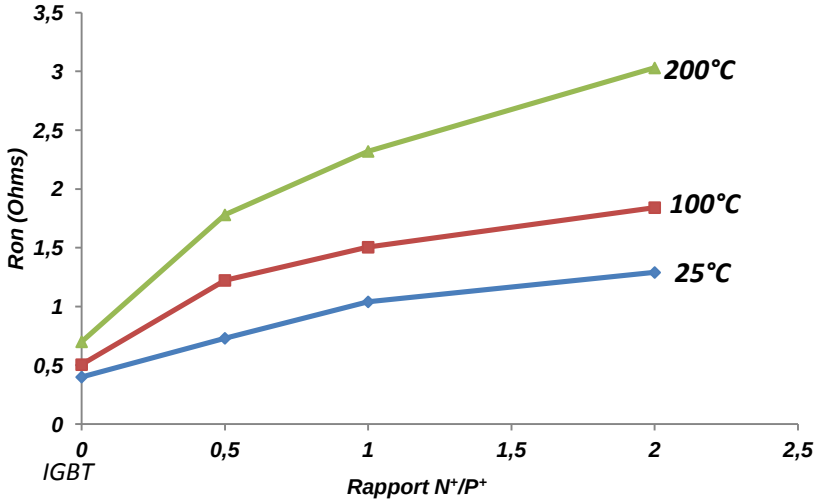

Figure 4.25: Mesure de la résistance à l'état passante pour le LIGBT et les autre structures mixtes 2P1N 1P1N 1P2N, ayant les rapports N+/P+ respectives 0,5, 1 et 2 à différentes températures

Les principaux avantages des structures de protection ESD présentant une faible dépendance avec la température sont, d'une part, de garantir qu'elles soient adaptées à la fenêtre de conception ESD quelles que soient les conditions de température, et d'autre part, de limiter la surface de silicium. Comme on peut conclure à partir des résultats de la Figure 4.25, les meilleures performances seront obtenues avec les structures les plus proches d'un IGBT. Le meilleur compromis à trouver sera défini par une structure capable de résister au latch-up.

4.4.4.2 Caractéristique HBM

Pour étudier les comportements de ces nouvelles structures dans les conditions de température, des tests HBM ont été effectués dans le but de connaitre la variation du courant de maintien avec la température.

La Figure 4.26 présente les caractéristiques courant-tension en mesure HBM pour la structure 1P2N avec V_{GS} = 0 V et une température de 150°C. Après avoir mesuré les valeurs du courant de maintien pour toutes les structures, nous avons trouvé une diminution de 25 % en passant de 25 °C à 150 °C (Tableau 4.5). Cette diminution de I_H complexifie le défi d'améliorer les nouvelles structures contre le latch-up. Ce résultat montre que l'effet de l'augmentation de la résistance de N-drift et de Pwell sur le courant de maintien est plus grand que celui de l'augmentation de l'effet bipolaire (Equation 4.1). Donc, le fait de diminuer la résistance du trajet des porteurs dans les structures sert à diminuer l'effet de la température sur le courant de maintien (partie optimisation).

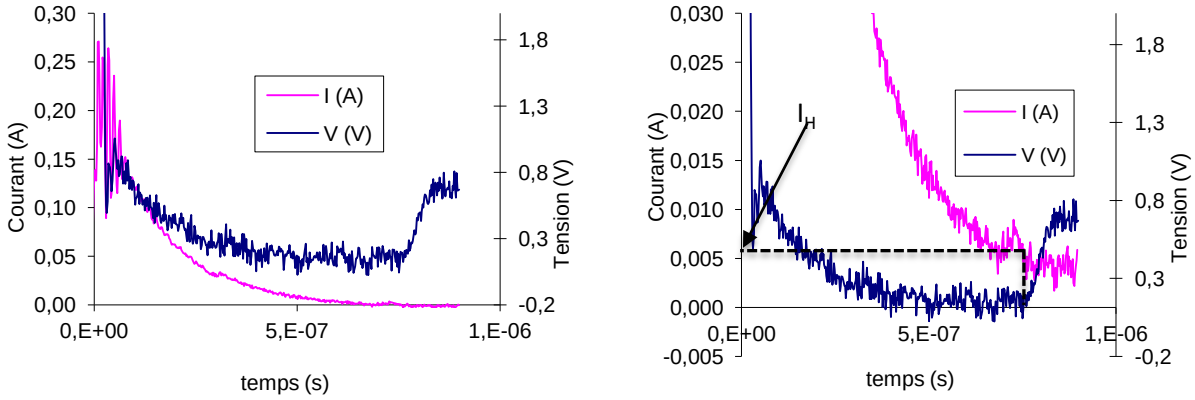

Figure 4.26: Caractéristiques courant-tension en mesure HBM pour la structure 1P2N avec VGS = 0 V et T = 150 °C. (La figure à droite est une vue zoomé de la figure à gauche

	25°C	*50°C*	*100°C*	*150°C*
LIGBT	7,0 mA	6,7 mA	5,3 mA	5,0 mA
2P1N	7,0 mA	6,3 mA	4,7 mA	5,0 mA
1P1N	7,0 mA	6,5 mA	5,7 mA	5,3 mA
1P2N	7,2 mA	6,7 mA	5,0 mA	4,8 mA

Tableau 4.5: Courant de maintien mesuré pour différentes structures en utilisant la mesure HBM à différentes températures

4.5 Optimisation des structures

Les premières mesures faites sur les structures mixtes de protection ESD, montrent une grande robustesse, une très faible résistance à l'état passant et un déclenchement en thyristor parasite, c'est-à-dire un risque de latch-up. Le risque de latch-up peut être résolu de deux façons. La première, consiste à augmenter le courant de maintien jusqu'à une valeur de 100 mA (valeurs standard de test de latch-up qui doit être plus grand que le courant fourni par l'alimentation) [26], dans le but d'élargir la fenêtre de conception. La deuxième façon consiste à augmenter la tension de maintien pour qu'elle soit supérieure à la tension de fonctionnement du composant à protéger et inférieure à la tension de défaillance de ce composant.

La deuxième méthode peut induire une augmentation de la résistance à l'état passant des structures, donc une diminution de la puissance maximale supportée par ces structures et donc de la robustesse.

Pour augmenter la valeur du courant de maintien dans les structures mixtes, nous nous sommes appuyés sur Equation 4.1. Suivant cette expression, on peut jouer sur le gain des transistors bipolaires parasites ou bien sur la résistance de Nwell et de Pwell dans les structures. Le fait de diminuer la résistance de Nwell c'est-à-dire augmenter le taux de N^+ au niveau du drain revient à augmenter le rapport de N^+/P^+. En regardant le Tableau 4.4, on peut remarquer que cette variation a un effet très faible sur le courant de maintien, et des inconvénients sur la valeur de la résistance à l'état passant (Figure 4.25).

Nous avons donc choisi d'ajuster la valeur de la résistance de Pwell. Dans ce but, nous avons effectué des simulations TCAD sur Sentaurus afin d'étudier la variation du courant de maintien en fonction de la résistance de Pwell à la fois en 2D et 3D.

4.5.1 Méthodologie de simulation

La méthodologie de simulation adoptée pour l'optimisation de ces structures est similaire à celle que nous avons mise en œuvre pour les structures de puissance et qui est décrite au paragraphe 3.5.1.

4.5.1.1 Méthode de simulation

Pour réaliser une simulation des structures mixtes en utilisant l'outil Sentaurus à deux dimensions, il est nécessaire de simuler un système à deux structures, le LDMOS d'une part et le LIGBT d'autre part. Afin d'avoir une large diffusion et circulation des porteurs entre les deux structures du LDMOS et du LIGBT, tous les contacts sont communs entres les composants. De plus, nous avons mis un contact commun entre le N-drift de chaque composant afin de laisser passer les porteurs de diffusion N+ du drain du LDMOS au N-drift du LIGBT et du P+ de l'anode de LIGBT au N-drift du LDMOS.

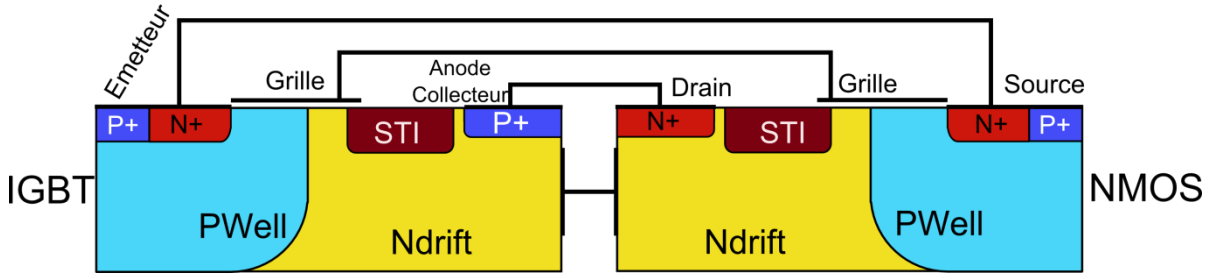

Figure 4. 27: Schéma des deux structures LDMOS et LIGBT connectées en parallèle

Afin d'étudier l'effet de la variation de la résistance dans la partie N-drift et PWell de la structure de protection sur le courant de maintien, nous avons utilisé une structure de LDMOS 120 V SOI. Notre but était de faire une comparaison entre les structures de rapport N^+/P^+ différents. Le choix de la simulation à deux dimensions permet d'éviter des temps de simulation élevés. Dans ce type de simulation, chaque structure est formée de 5700 points et 11200 éléments.

Malgré la rapidité de la simulation à deux dimensions, nous avons rencontré plusieurs problèmes.

a- On ne peut pas avoir une structure similaire à la réalité, car les deux structures sont simplement mise en parallèle.

b- Il est impossible d'avoir les interactions physiques entre les deux parties de la structure qui existent effectivement en 3D dans la structure réelle.

Pour ces raisons, nous avons abandonné cette approche et nous avons essayé de faire une simulation selon une coupe dans le plan horizontal de la structure. C'est-à-dire une coupe qui contient la diffusion N+ et celle P+ de drain, le Pwell et le Nwell.

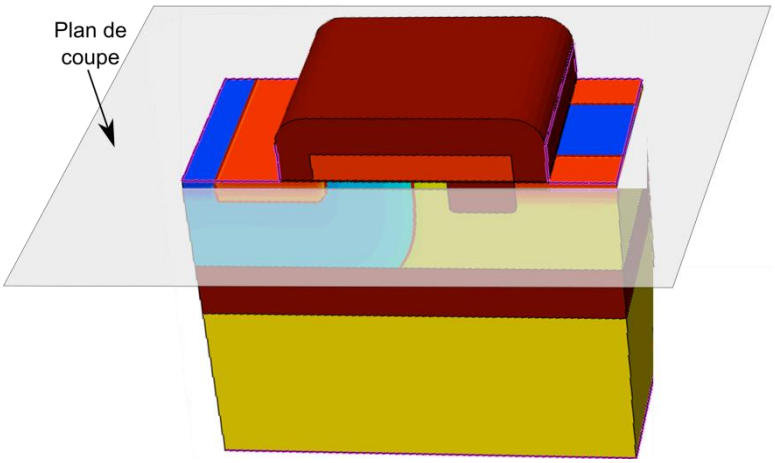

Figure 4. 28: Plan de coupe de la structure 2D

La Figure 4.29 présente un schéma de cette coupe de la structure mixte. Les coupes de la Figure 4.30 présentent la répartition de la densité de courant de trous dans cette structure. Au début (a), la distribution de courant montre le déclenchement des deux bipolaires PNP de cette structure. Dès qu'on a un niveau de courant suffisant pour déclencher la jonction PN de (Pwell / N+) (b), le thyristor parasite se déclenche. Dès que le thyristor se déclenche, une focalisation de courant apparait (c) et le deuxième bipolaire s'éteint (d).

Cette simulation est faite en utilisant la méthode quasi stationnaire, où on applique une tension continue à l'anode au travers d'une résistance série de forte valeur pour absorber le repliement de la tension.

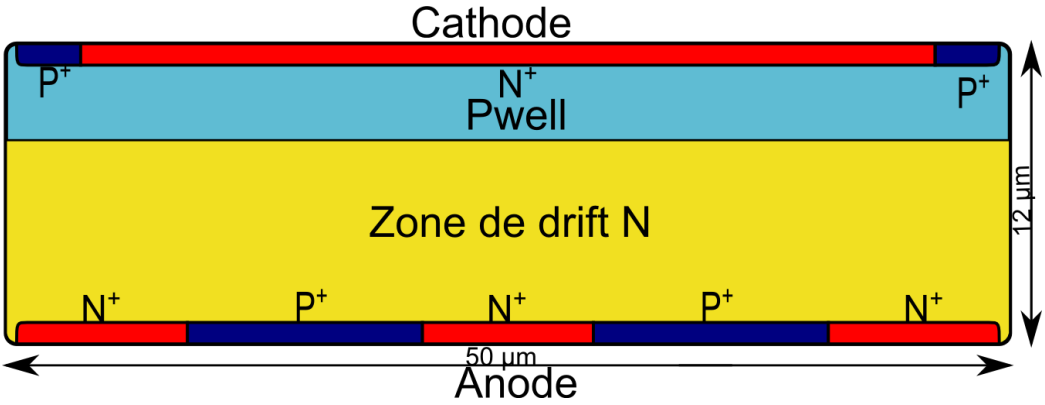

Figure 4.29: Schéma présentant une vue en coupe horizontale d'une structure 1P1N selon le plan indiqué Figure 4. 28

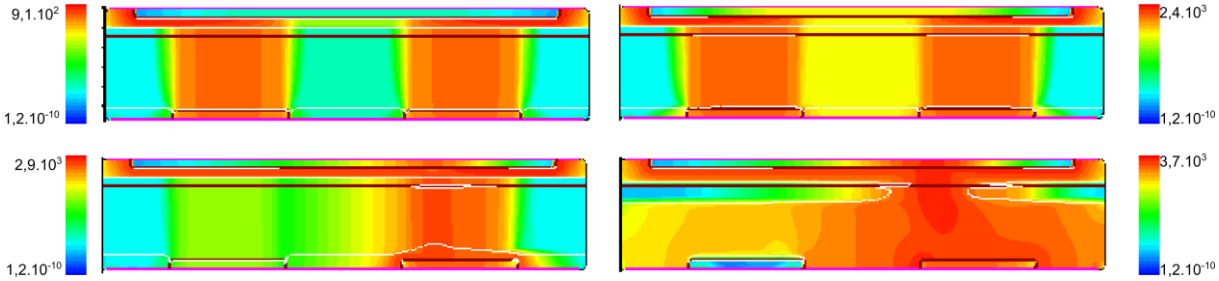

Figure 4.30: Distribution de courant dans la structure pour les différents niveaux de courant

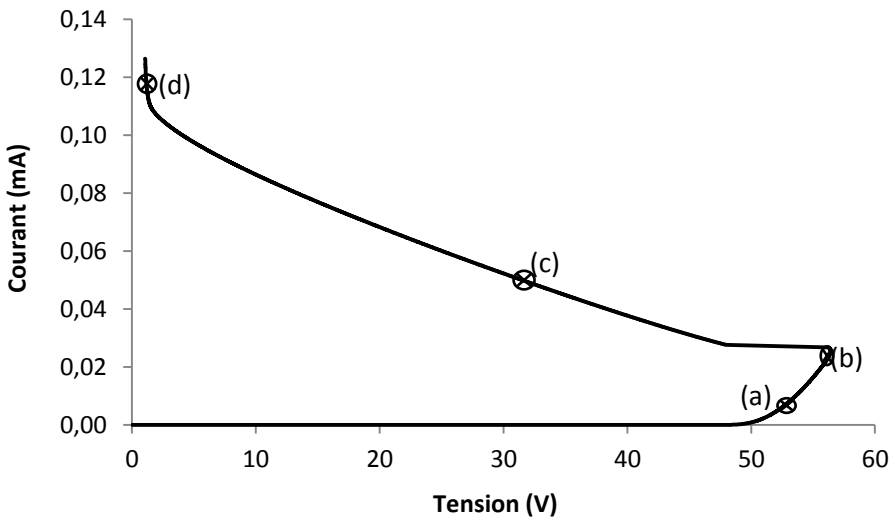

Figure 4. 31: Caractéristiques courant-tension de la structure de la Figure 4.29

4.5.2 Simulation TCAD trois dimensions

Vue les limitations de la simulation 2D, nous avons décidé de passer à la simulation 3D afin d'avoir un résultat plus précis pour le travail d'optimisation des structures. Comme dans le cas à deux dimensions, nous avons commencé nos simulations avec une structure LDMOS de 120 V (Figure 4.32).

4.5.2.1 Description de la structure

Il s'agit d'une structure LDMOS sur SOI, composée d'une zone de drift de type N dopée à 5.10^{16} cm^{-3} atomes de phosphore, et de Pwell avec une concentration de dopage égale à 10^{17} cm^{-3}, et d'une tranchée d'oxyde peu profonde de type STI (shallow-trench isolation) en bord de grille dans la zone de drift. L'épaisseur de l'oxyde de grille est égale à 16 nm, tandis que celle de l'oxyde enterré est égale à 500 nm. La diffusion N+ est dopée à 10^{20} cm^{-3} d'atomes de phosphore, et la diffusion P+ est dopée à 10^{20} cm^{-3} d'atomes de Bore.

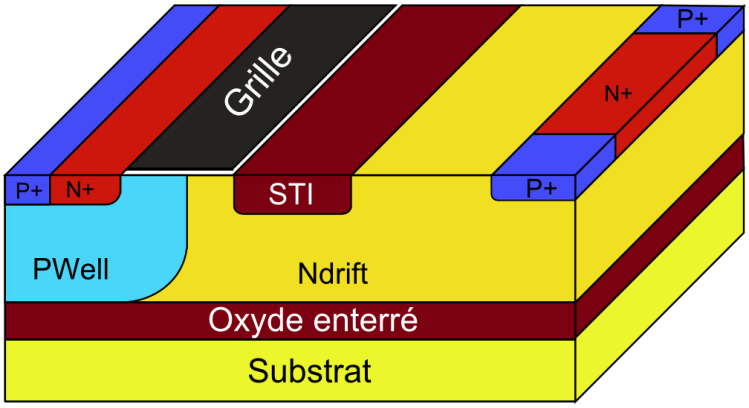

Figure 4.32: Structure mixte 1P2N dont le rapport N+/P+ = 0,5

La limitation des simulations à trois dimensions est liée au nombre élevé de points de maillage nécessaires pour une bonne précision. Cependant, dans notre structure il y a 31000 points ce qui correspond à presque 232000 éléments. Dans le premier essai, nous avons lancé

les simulations de 5 structures en parallèle, ce qui ralentit la vitesse de calcul, et ces simulations ont pris plus d'un mois.

4.5.2.2 Premières études sur la structure LDMOS 120 V

Dans une première étude, nous avons appliqué une rampe de courant de 0,01 A sur 100 ns avec la grille reliée à la masse. Cette simulation de la structure LDMOS 120 V où la longueur de la région de drift de type N est égale à 9 µm est faite pour valider les modèles physiques utilisés et pour s'assurer du fonctionnement de la structure mixte en simulation avant de l'optimiser. La Figure 4.33 présente la variation de la tension de claquage en fonction du rapport N+/P+ (coté gauche), et la variation de la tension et du courant de maintien en fonction de N^+/P^+ aussi. La tension de claquage varie pour les mêmes raisons que celles indiquées au paragraphe 4.3.1. La variation du courant de maintien est compatible avec l'Equation 4.1. La tension de maintien augmente avec la résistance de la structure, donc, avec le rapport de N^+/P^+.

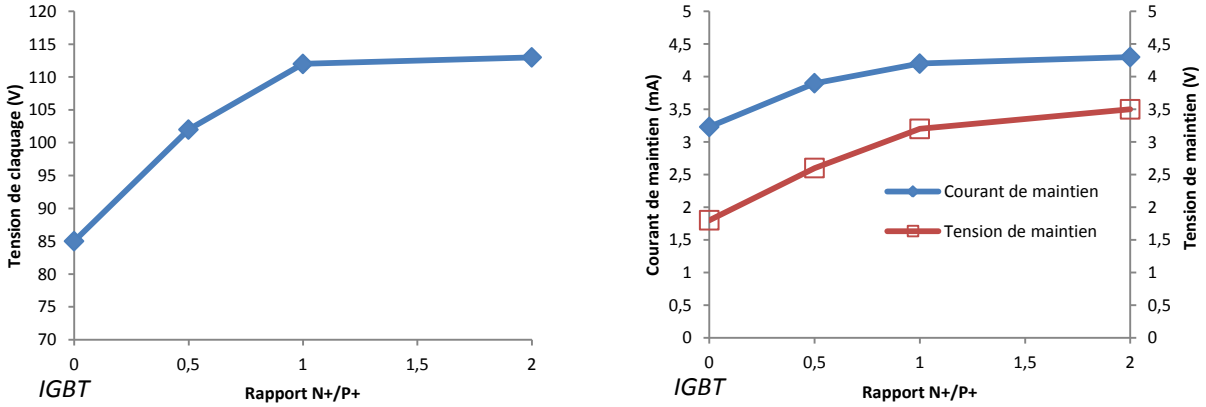

Figure 4.33: Variation de la tension de claquage, du courant de maintien et de la tension de maintien en fonction du rapport N+/P+ pour des structures mixtes et IGBT

4.5.2.3 Structures optimisées

Selon l'Equation 4.1, on peut augmenter le courant de maintien en diminuant la résistance de N-drift ou celle de Pwell. Les structures déjà caractérisées dans la partie 4.3 que nous appellerons SBO possèdent une tranchée d'oxyde peu profonde de type STI entre la diffusion N+ de la source et la diffusion P+ de contact du substrat Pwell. Cette tranchée d'oxyde augmente la résistance R_2 dans la région Pwell (Figure 4.34.a). Une première voie d'optimisation est donc d'éliminer la partie STI dans le Pwell, c'est-à-dire, transformer la structure SBO en une structure que nous appellerons SBC.

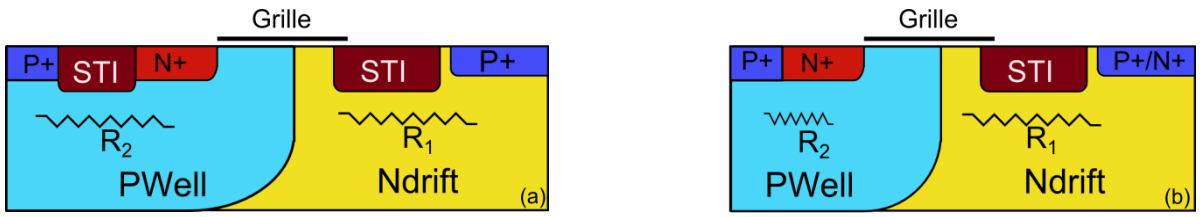

Figure 4.34: Structure mixte de type SBO (a) et SBC (b), avec R1 la résistance de la région N-drift et R2 celle de la région Pwell

Dans cette partie, nous avons travaillé seulement sur une structure mixte 1P1N où le rapport $N^+/P^+ = 1$. La partie P^+ est au milieu du drain et celles de N^+ sont en périphérie. La largeur totale de la structure est de 3µm. Cette largeur très réduite par rapport à la structure réelle est nécessaire pour minimiser le temps de calcul. La longueur de la zone de drift de type N est diminuée pour se rapprocher le plus possible de celle des structures déjà testées expérimentalement.

Calculer le facteur d'échelle pour passer de cette structure à la réelle n'est pas évident. En effet en augmentant la largeur de la structure, le risque de focalisation de courant augmente [29].

Une deuxième voie consiste à rapprocher la diffusion P^+ le plus près possible du canal afin de diminuer au maximum la résistance dans le Pwell sans réduire la longueur du canal. Juste une partie de la diffusion P^+ est rapprochée (≈ 1/3 de la longueur totale du canal (Figure 4.35)) afin de pouvoir placer des contacts sur la source N+.

Une troisième voie consiste à diminuer encore plus la résistance dans la région de Pwell, mais cette fois en réduisant la largeur totale du canal. La réduction du canal, c'est-à-dire, on élimine une partie de la diffusion N^+ de la source et on la remplace par une diffusion P^+ (Figure 4.35). Cette opération sert à diminuer largement la distance parcourue par les porteurs majoritaires de Pwell, et par suite, une diminution de la résistance et une augmentation du courant de maintien.

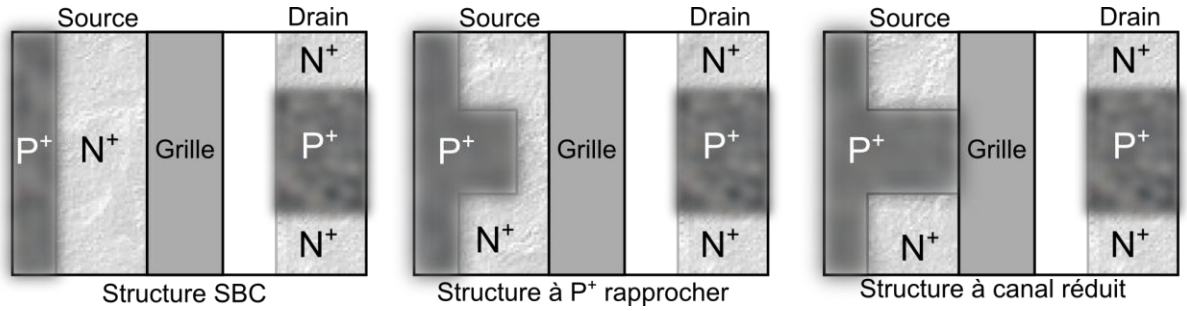

Figure 4.35 : Schéma des différentes structures simulées sous Sentaurus

Dans le premier cas de simulation, nous avons appliqué une rampe de courant sur une durée donnée, c'est la méthode transitoire de calcul. Cette méthode, parfois utilisée pour résoudre des problèmes de convergence, prend ici beaucoup plus de temps que le quasi-stationnaire (continu). Pour cette raison et dans le but de gagner du temps dans les différentes simulations, nous avons adopté la méthode quasi stationnaire, mais avec une grande résistance sur le drain afin de visualiser le repliement après le déclenchement du thyristor parasite.

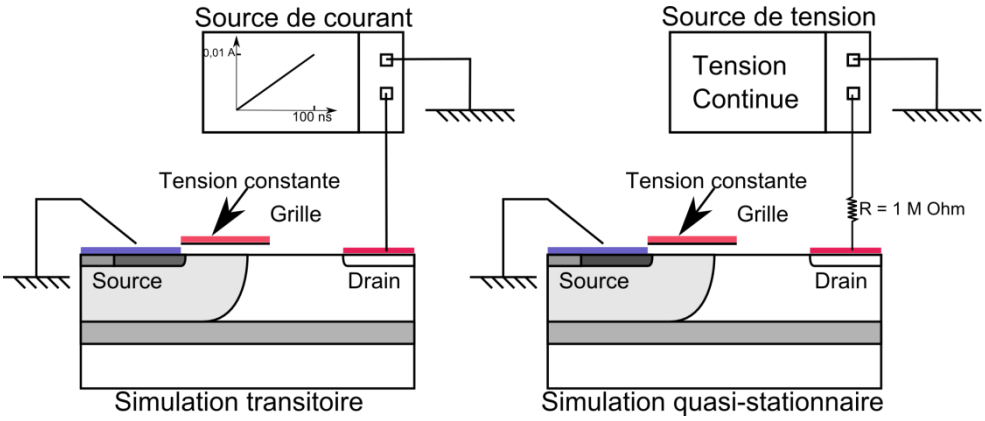

Figure 4.36: Différence entre simulation transitoire et celle quasi-stationnaire

Les résultats montrent, que les caractéristiques courant-tension en utilisant une simulation quasi stationnaire avec une résistance sur le drain, sont presque confondues avec celles obtenues en transitoire (Figure 4.37). Les pas de calcul en transitoire sont beaucoup plus petits que ceux en quasi stationnaire (presque 10 fois plus de points, donc 10 fois plus de détails dans les courbes, et 20 fois plus de temps, chaque pas prenant presque une durée double par rapport à la simulation quasi stationnaire). Il reste des cas où la simulation ne converge pas, dans ces cas là, nous avons dû utiliser une simulation transitoire.

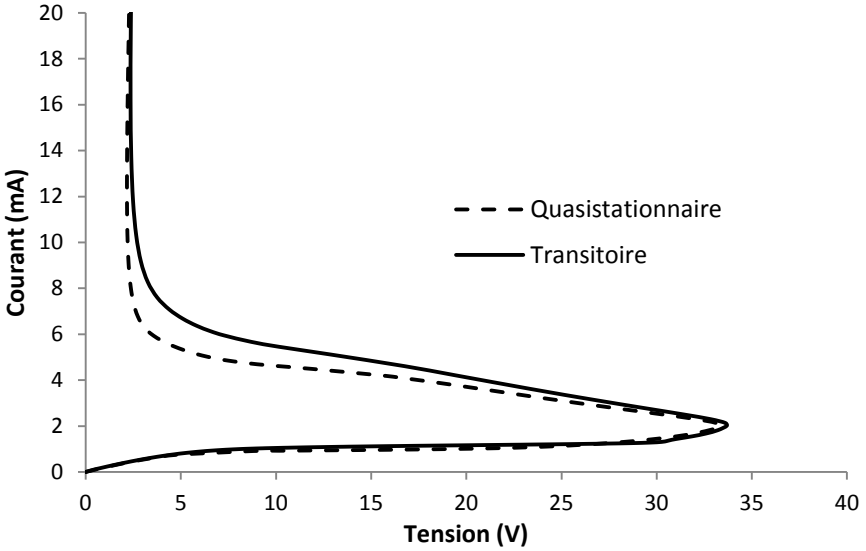

Figure 4.37: Comaprasion entre la simulation transitoire et la sumulation quasistationnaire pour la structure 1P1N SBC avec une tension V_{GS} = 5V et à température ambiante

La Figure 4.38 montre les caractéristiques courant-tension des quatre types des structures (SBO, SBC, SBC avec P+ rapproché et celle à canal réduit) avec grille reliée à la masse. On peut remarquer que le passage d'une structure SBO vers une structure SBC n'a pas une grande influence sur la valeur de I_H. En effet, la valeur de I_H est égale à 6,3 mA et 8,5 mA respectivement pour les structures SBO et SBC. Bien qu'on observe une augmentation de 35% du courant, cela est largement insuffisant. Par contre, le courant de maintien pour le composant à canal réduit est égal à 48 mA, c'est-à-dire 8 fois plus grande. Cette augmentation de 8 fois nous a donné l'espoir d'avoir un courant de maintien proche ou supérieur à 100 mA pour les structures à grille polarisée.

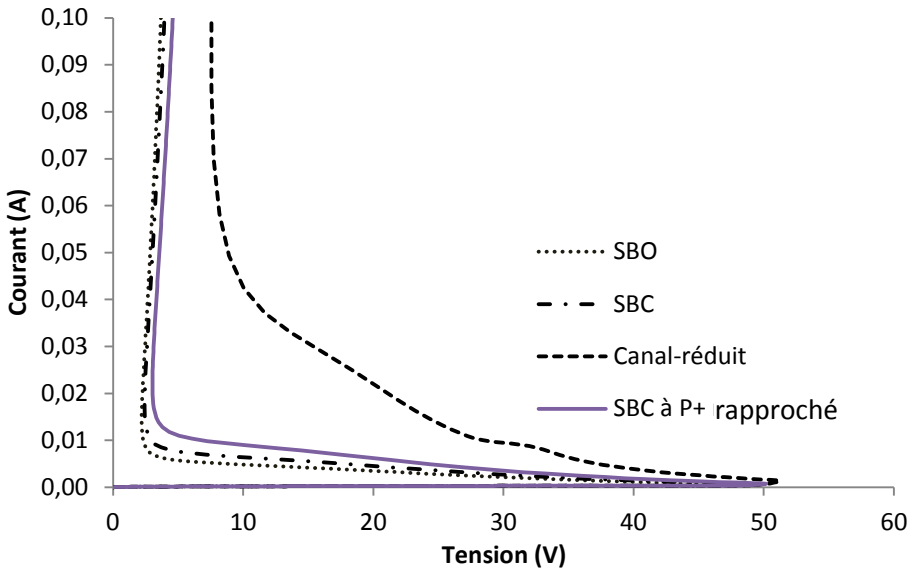

Figure 4.38: Simulation des caractéristiques TLP pour une structure 1P1N de type SBO, SBC et à canal réduit, à température ambiante et à avec la grille reliée à la masse

Nous avons également comparé le courant de maintien entre deux structures à canal réduit, l'une avec grille reliée à la masse et l'autre avec grille polarisée à 5 V. La Figure 4.39 présente cette comparaison où la différence de I_H entre ces deux cas est beaucoup plus faible en pourcentage par rapport aux résultats expérimentaux obtenus pour les structures SBO. Le passage de courant dans le canal induit une réduction de la tension de maintien de 7,5 V à 6,8 V.

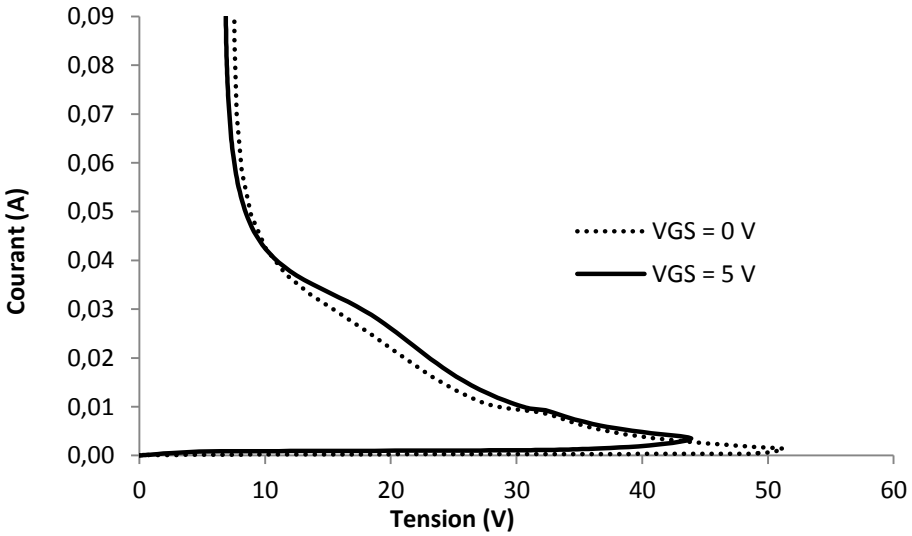

Figure 4.39: Comparaison de I_H pour entre structure 1P1N à température ambiante et avec une grille reliée à la masse et celle avec une grille polarisée de 5 V

Toutes les simulations ont été effectuées à température ambiante (300 °K). Notre objectif initial était d'optimiser le fonctionnement des composants électroniques à haute température, et par suite les composants de protection ESD. Donc, nous devons simuler toutes ses structures à température élevée pour valider leur bon fonctionnement.

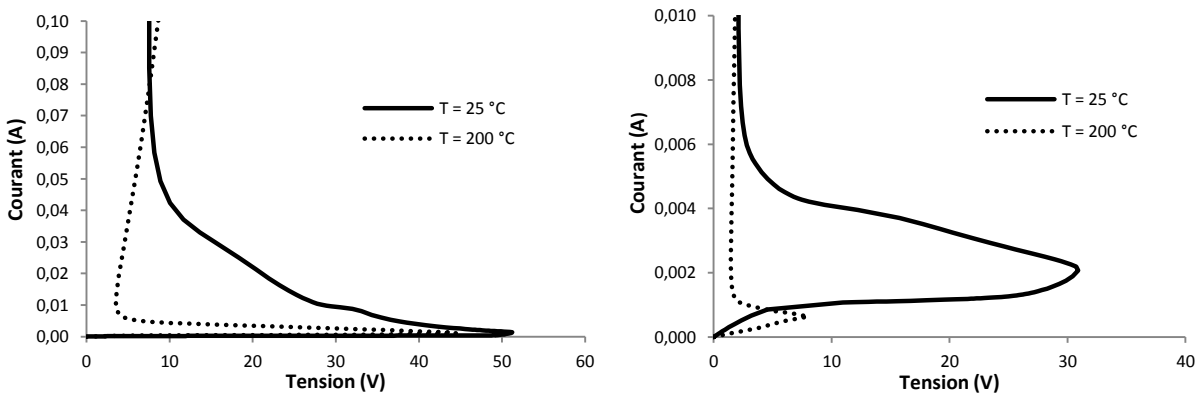

Figure 4.40: Caractéristiques TLP à 25 °C et 200 °C pour les structures à canal réduit (gauche) et SBO (droite) avec une grille polarisée à 5 V

La Figure 4.40 présente une comparaison des caractéristiques obtenues à 25 °C et 200°C, pour les structures à canal réduit (gauche) et SBO (droite) avec une tension V_{GS} = 5V. Cette figure montre une grande diminution du courant de maintien avec l'augmentation de la température, ce qui est en accord avec les mesures expérimentales, mais cette fois la diminution est beaucoup plus importante. Cette diminution montre que l'effet de la variation de résistance dans les deux régions de la structure est dominant par rapport à celui de la variation du gain des bipolaires parasites.

4.5.2.4 Discussion

La simulation TCAD donne des informations très importantes sur les comportements électriques de nos structures et sur les conditions que nous choisissons. Il faut choisir les modèles physiques de simulation suivant les besoins.

Le modèle thermodynamique prend en compte l'échauffement du composant ou l'influence d'une variation de la température ambiante. Dans ce modèle, l'énergie des porteurs, et donc leur température, reste égale à celle du réseau cristallin.

Le modèle hydrodynamique prend en compte avec précision les phénomènes de porteurs chauds, de vitesse de saturation et d'ionisation par impact, contrairement au modèle thermodynamique. Il est donc particulièrement adapté pour rendre compte des phénomènes de forte injection et pour l'extraction des tensions de claquage.

Seule la méthode Monte-Carlo est plus précise que le modèle hydrodynamique mais requiert une puissance de calcul trop importante pour envisager de simuler le transistor dans son ensemble.

Le but des simulations que nous avons effectuées était donc avant tout qualitatif plutôt que quantitatif. Nous ne cherchions pas à prédire avec précision les valeurs des caractéristiques électriques du transistor, mais à déterminer leur évolution selon divers paramètres et ainsi comprendre le fonctionnement physique.

Dans cette étude, toutes les simulations sont faites avec des paramètres de dopage probablement différents de ceux de la structure réelle dont nous ne connaissons pas les paramètres de la technologie exacte. Bien que la simulation fournit bien l'évolution des caractéristiques électriques avec le changement des paramètres, nécessaire pour les voies

d'optimisation, il n'est pas possible d'utiliser ces résultats d'une manière quantitative pour mieux dimensionner nos choix de conception. Or les paramètres des dopages ont une grande influence sur la tension de déclenchement, la tension de maintien et le courant de maintien. Donc sur les points les plus importants dans notre travail.

Un deuxième problème est la taille des structures à simuler, qui est beaucoup plus petite que les réelles (100 fois plus petites). Ce problème concerne le courant de maintien qui dépend fortement de la focalisation du courant. En augmentant la largeur de la structure le phénomène de focalisation de courant augmente, ce qui empêche de faire une extrapolation correcte.

Le défaut de convergence constitue le troisième problème, surtout pour une simulation 3D et en plus en transitoire. Dans certain cas, il peut se passer une semaine avant que la simulation s'arrête par défaut de convergence. Il faut alors augmenter le nombre de points de calcul, ou diminuer le pas.

Enfin, le problème majeur que nous avons rencontré dans les simulations est l'extraction du courant de maintien. En effet, par définition, le courant de maintien est le niveau du courant où le thyristor s'éteint. Dans la plupart des cas, ce niveau de courant est inférieur à celui de déclenchement du thyristor. Durant les simulations, nous avons essayé d'appliquer une rampe de courant de 0 à 0,01 A puis de 0,01 A à 0 A pour connaître le niveau du courant où le thyristor s'éteint afin d'extraire le courant de maintien. Dans tous les cas, nous avons trouvé que la réponse associée à la rampe montante du courant, est confondue avec celle associée à la rampe descendante. Ces résultats proviennent probablement du fait que nous utilisons une très forte résistance (1MΩ) pour la simulation qui permet d'accéder directement à la valeur réelle de I_H.

Malgré tous ces problèmes, la simulation sur Sentaurus a fourni beaucoup d'informations sur le fonctionnement des structures, nous a aidé à connaître les tendances de variation du courant de maintien en fonction des paramètres physiques, ce qui était très important avant de faire une nouvelle conception des structures.

4.5.2.5 Conception des structures mixtes optimisées

En partant de l'expression du courant de maintien et à l'aide des simulations TCAD, nous avons conçu un certain nombre de structures mixtes optimisées. Nous avons dessiné des structures mixtes avec un rapport de N^+/P^+ dans le drain variant entre 0 et 4 (0; 1/4 ; 1/3; 1/2; 1; 2; 3 et 4) selon 2 à 4 configurations différentes pour chaque rapport (sauf l'IGBT) (Tableau 4.6).

Selon la valeur du rapport N^+/P^+, la diffusion de drain doit être partitionnée en un nombre de diffusions élémentaires N^+ ou P^+ proportionnel à ce rapport. Ce partitionnement diffère donc d'une structure à l'autre.

Par exemple, nous avons réalisé deux configurations pour l'agencement des zones N^+ et P^+ dans le drain pour la structure 4P1N.

a- Dans la première, la diffusion de drain est constituée de deux parties de N^+ et trois parties de P^+ avec les diffusions P^+ aux extrémités du drain. Cette structure est

nommée Nmixte_4p1n_3P1

b- Dans la deuxième, la diffusion de drain est constituée de deux parties de diffusion N^+ et une seule partie de diffusion P^+ avec les diffusions N^+ aux extrémités du drain. Cette structure est nommée Nmixte_4p1n_2N1

Par contre, nous avons réalisé quatre configurations pour l'agencement des zones N^+ et P^+ dans le drain pour la structure 3P1N.

a- Dans la première, la diffusion de drain est constituée de deux parties de N^+ et trois parties de P^+ avec les diffusions P^+ aux extrémités du drain. Cette structure est nommée 3P1N_3P1.

b- Dans la deuxième la diffusion de drain est constituée de deux parties de diffusion N^+, mais une seule partie de diffusion P^+ avec N^+ aux extrémités du drain. Cette structure est nommée 3P1N_2N.

c- Dans la troisième configuration, la diffusion N^+ est divisée en trois parties, et celle de P^+ en quatre parties, avec les diffusions P^+ aux extrémités du drain. Cette structure est nommée 3P1N_4P.

d- Dans la dernière, la diffusion N^+ est divisée en trois parties avec deux parties pour la diffusion P^+, avec les diffusions N^+ aux extrémités du drain. Cette structure est nommée 3P1N_3N.

Les structures de base utilisées sont des structures LDMOS 25V ESD de type SBO de la bibliothèque SMARTIS, dont une tranchée d'oxyde peu profonde (STI) sépare la source et le contact du substrat. Ceci a pour effet d'augmenter la résistance du Pwell (ou du Nwell). Pour diminuer cette résistance de Pwell. Nous avons également proposé différentes configurations pour la source. Pour chaque structure, nous avons introduit des ilots de P^+ de largeur égale à 3,2 μm au sein du N^+ de source. Ces ilots sont implémentés selon 2 configurations. Dans la première (config 1), ils constituent 1/8 de la largeur des structures et dans la deuxième (config 2) ils en constituent 1/4. Une dernière configuration consiste à relier toute la largeur de N^+ de la source au P^+ du substrat, c'est-à-dire de transformer la structure de type de SBO en type SBC.

Le Tableau 4.6 résume les configurations des structures mixtes avec les différentes configurations proposées pour les drains et sources des structures. Si on ajoute l'IGBT à cette liste, il y a au total 21 structures. Il y a aussi 21 structures ayant des ilots P^+ constituant 1/8 de la largeur totale de la structure. Le dernier chiffre à la fin du nom des structures indique la configuration de source, 1 pour config 1 et 2 pour config 2. Enfin, les mêmes configurations des drains ont été dessinée pour des structures de type SBC, au nombre de 8 (1 pour chaque rapport de N^+/P^+ et l'IGBT), sont nommées successivement de la plus grande valeur de N^+ à la plus petite : Nmixte_4p1n_3P_SBC, Nmixte_3p1n_4P_SBC…

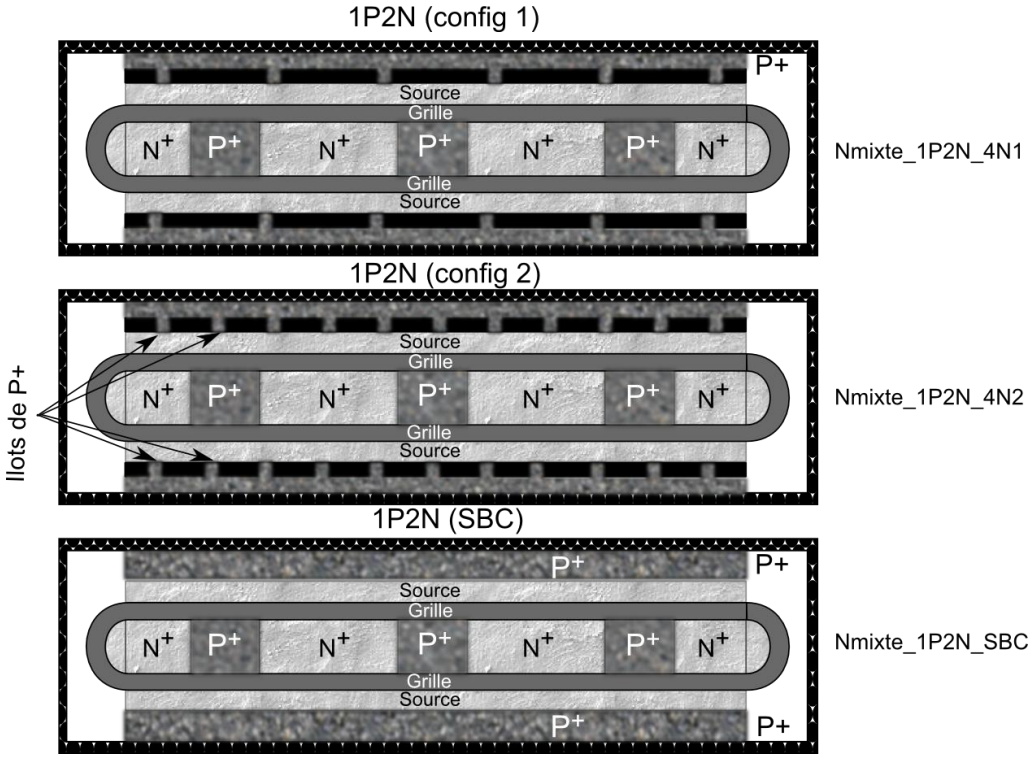

Figure 4.41: Schéma des différentes configurations de source des structures de protection pour la structure 1P2N_4N

En conclusion, et pour bien comprendre la nomenclature adoptée pour nommer les structures, la première partie indique le type de MOS (exemple : Nmixte), la deuxième partie indique le rapport N^+/P^+ (ex : 4P1N) et la troisième partie le nombre et le type de la diffusion aux extrémités du drain.

La même approche a été adoptée pour les structures PMOS, dont les noms sont semblables mais démarrent par P au lieu de N. Les dispositifs N et P constituent donc une ensemble de 100 structures de protection.

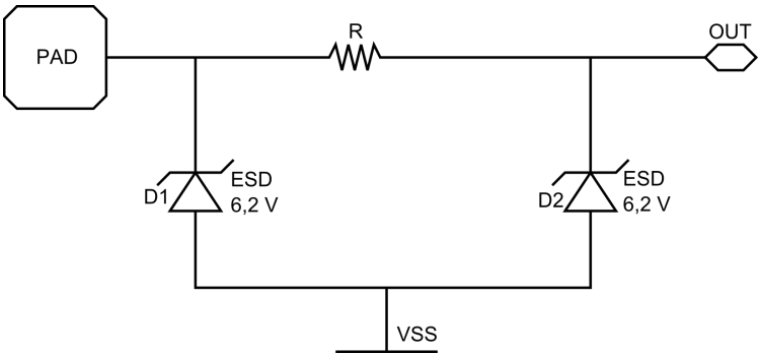

Figure 4.42: Circuit de protection de l'oxyde de grille

NMOS-IGBT	Diffusion en périphérie de drain	*Largeur de N^+ et P^+ dans le drain (µm)*	*Nomenclature (config 1)*	*Nomenclature (config 2)*	*Nomenclature (SBC)*
4P1N	P Périphérique	40-15-40-15-40 P-N-P-N-P	Nmixte_4p1n_3P1	Nmixte_4p1n_3P2	Nmixte_4p1n_3P_SBC
	N Périphérique	15-120-15 N-P-N	Nmixte_4p1n_2N1	Nmixte_4p1n_2N2	
3P1N	P Périphérique	37-19,5-37-19,5-37 P-N-P-N-P	Nmixte_3p1n_3P1	Nmixte_3p1n_3P2	Nmixte_3p1n_4P_SBC
		28-13-27,5-13-27,5-13-28 P-N-P-N-P-N-P	Nmixte_3p1n_4P1	Nmixte_3p1n_4P2	
	N Périphérique	19-112-19 N-P-N	Nmixte_3p1n_2N1	Nmixte_3p1n_2N2	
		13-55,5-13-55,5-13 N-P-N-P-N	Nmixte_3p1n_3N1	Nmixte_3p1n_3N2	
2P1N	P Périphérique	33-25,5-33-25,5-33 P-N-P-N-P	Nmixte_2p1n_3P1	Nmixte_2p1n_3P2	Nmixte_2p1n_4P_SBC
		25-17-25-17-25-17-25 P-N-P-N-P-N-P	Nmixte_2p1n_4P1	Nmixte_2p1n_4P2	
	N Périphérique	17-49,5-17-49,5-17 N-P-N-P-N	Nmixte_2p1n_3N1	Nmixte_2p1n_3N2	
1P1N	P Périphérique	25-37,5-25-37,5-25 P-N-P-N-P	Nmixte_1p1n_3P1	Nmixte_1p1n_3P2	Nmixte_1p1n_3P_SBC
	N Périphérique	25-37,5-25-37,5-25 N-P-N-P-N	Nmixte_1p1n_3N1	Nmixte_1p1n_3N2	
1P2N	P Périphérique	17-49,5-17-49,5-17 P-N-P-N-P	Nmixte_1p2n_3P1	Nmixte_1p2n_3P2	Nmixte_1p2n_4N_SBC
	N Périphérique	33-25,5-33-25,5-33 N-P-N-P-N	Nmixte_1p2n_3N1	Nmixte_1p2n_3N2	
		24,5-17-25-17-25-17-24,5 N-P-N-P-N-P-N	Nmixte_1p2n_4N1	Nmixte_1p2n_4N2	
1P3N	P Périphérique	19-112-19 P-N-P	Nmixte_1p3n_2P1	Nmixte_1p3n_2P2	Nmixte_1p3n_4N_SBC
		13-55,5-13-55,5-13 P-N-P-N-P	Nmixte_1p3n_3P1	Nmixte_1p3n_3P2	
	N Périphérique	37-19,5-37-19,5-37 N-P-N-P-N	Nmixte_1p3n_3N1	Nmixte_1p3n_3N2	
		28-13-27,5-13-27,5-13-28 N-P-N-P-N-P-N	Nmixte_1p3n_4N1	Nmixte_1p3n_4N2	
1P4N	P Périphérique	15-120-15 P-N-P	Nmixte_1p4n_2P1	Nmixte_1p4n_2P2	Nmixte_1p4n_3N_SBC
	N Périphérique	40-15-40-15-40 N-P-N-P-N	Nmixte_1p3n_3N1	Nmixte_1p3n_3N2	

Tableau 4.6: Configuration des structures mixtes de type N avec leurs nomenclatures

Afin de permettre une caractérisation sécurisée vis-à-vis des décharges électrostatiques, nous avons associé au plot de grille de chaque dispositif des structures de protection ESD pour protéger l'oxyde de grille. Dans ce but, nous avons utilisé deux diodes Zener ayant une tension de seuil en inverse égale à 6,2V, celle de l'étage primaire (D1) étant plus grande de façon à ce que celle de l'étage secondaire (D2) se déclenche en premier et serve à déclencher la plus grande à l'aide de la résistance R3 indiquée sur la Figure 4.42. Il faut noter que Vss est connecté à la source du NMOS.

Nous n'avions pas mis initialement dans cette liste des composants à canal réduit, car nous pensions que leur robustesse allait diminuer. En effet, la simulation a montré que la tension de maintien pour les structures à canal réduit est beaucoup plus grande que les autres,

donc si on suppose que la puissance maximale à défaillance est constante pour ces structures, à surface égale, leur robustesse devait diminuer d'un pourcentage proportionnel à l'augmentation de la tension de maintien.

Cependant, nous avons tout de même étudié expérimentalement l'effet de la réduction de canal sur le courant de maintien en utilisant les structures dédiées pour le domaine de puissance. La seule différence entre les deux types des structures (protection ESD et puissance) est la résistance de ballast au niveau du drain qui a pour but d'augmenter la robustesse des composants de protection ESD.

4.6 Caractérisation des structures optimisées

4.6.1 Caractérisation des structures mixtes type N

Pour le lot RUN1, nous avons utilisé trois méthodes de mesures pour caractériser les structures, et extraire les caractéristiques intéressantes de ces composants, comme la robustesse ESD, la tension de déclenchement et le courant de maintien. Puisque le traceur de courbes permet d'extraire facilement le courant de maintien et la mesure TLP de caractériser la robustesse ESD des structures, nous avons choisi de préférence cette technique pour l'extraction du courant de maintien. Les deux techniques TLP et traceur de courbe, seront donc les deux méthodes de mesures utilisées à basse et à haute température pour la caractérisation des structures optimisées du deuxième silicium appelé RUN2.

4.6.1.1 Caractéristiques TLP

Nous avons utilisé les mêmes conditions que celles du RUN1 pour la caractérisation TLP des structures du lot RUN2 en ajoutant cette fois des mesures du comportement transitoire effectuées sur un système VFTLP (Very Fast TLP (2,5 ns)). Les mesures TLP ont également été effectuées à la fois avec grille reliée à la masse et grille polarisée.

4.6.1.1.1 Caractérisation avec grille reliée à la masse

Dans le but de connaître et d'étudier les meilleures configurations des structures déjà citées dans le paragraphe 6.1, nous avons fait les mesures TLP pour toutes ces structures.

Les résultats montrent une augmentation de la robustesse en diminuant le rapport N^+/P^+ avec une seule exception qui est l'IGBT. La Figure 4.43 présente la variation des caractéristiques TLP en fonction de la température pour les structures 1P4N (gauche) où le rapport $N^+/P^+ = 4$, et la structure 4P1N où le rapport de $N^+/P^+ = ¼$. Les mesures sont faites jusqu'à la défaillance des structures où le courant de fuite devient important. En passant de $N^+/P^+ = 4$ à $N^+/P^+ = ¼$, la robustesse augmente de 3,8 A à 10 A respectivement. En effet, la présence de P^+ dans le drain permet à la partie IGBT de se déclencher en thyristor, et ainsi au courant de se distribuer dans le volume du silicium. Ainsi dans le cas d'une structure mixte, la plupart du courant circule dans la partie thyristor du composant (résistance plus faible), donc si cette partie est plus grande, la structure supporte plus de courant et le contraire est aussi vrai.

La Figure 4.44 montre une photoémission d'une structure 1P2N_4N1 où la partie IGBT est divisée en trois parties. Cette figure présente une photo émission capturée à un courant de 4 A. Elle montre clairement que le courant est bien distribué sur les différentes

parties IGBT de la structure (3 zones d'émission de lumière) qui correspondent aux 3 zones P+ de cette structure (voir Figure 4.41). A ce niveau de courant, on n'observe pas de phénomène de focalisation du courant. On peut noter également que dans cette structure, qui comporte deux doigts, un courant plus important circule dans le doigt supérieur (émission de lumière plus intense) que dans le doigt inférieur. Le doigt supérieur se déclenche naturellement le premier du fait des plus faibles résistances d'accès des interconnexions de source.

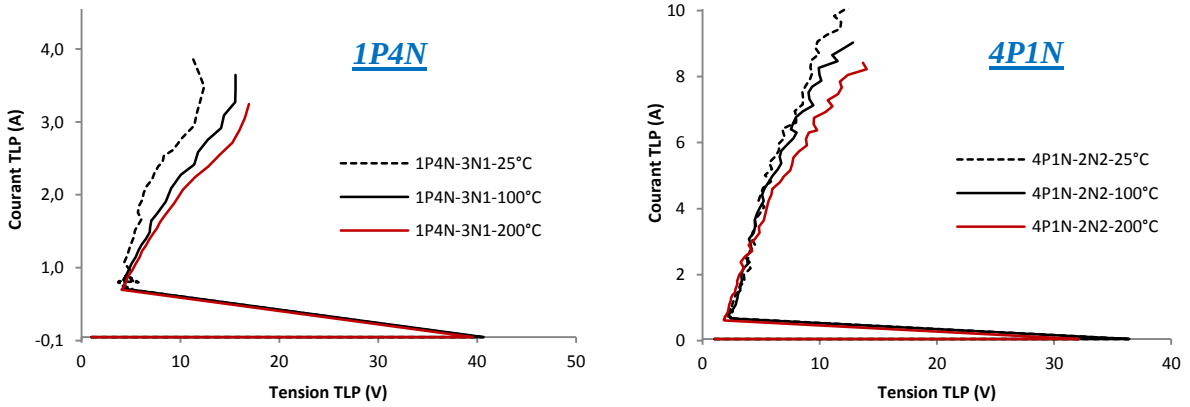

Figure 4.43: Variation des caractéristiques TLP en fonction de la température et du rapport de P^+/N^+

L'augmentation de la température ambiante induit une défaillance prématurée du composant par l'augmentation concomitante de la température de jonction, résultant en un niveau de courant de défaillance plus faible qu'à température ambiante. Cette diminution de la robustesse est cependant relativement faible. Par exemple, si on monte en température de 25°C à 200°C, la robustesse de la structure 4P1N diminue de 10 A à 8,4 A (Figure 4.43). L'augmentation de la résistance passante avec la température est normale et a déjà été observée dans le RUN1.

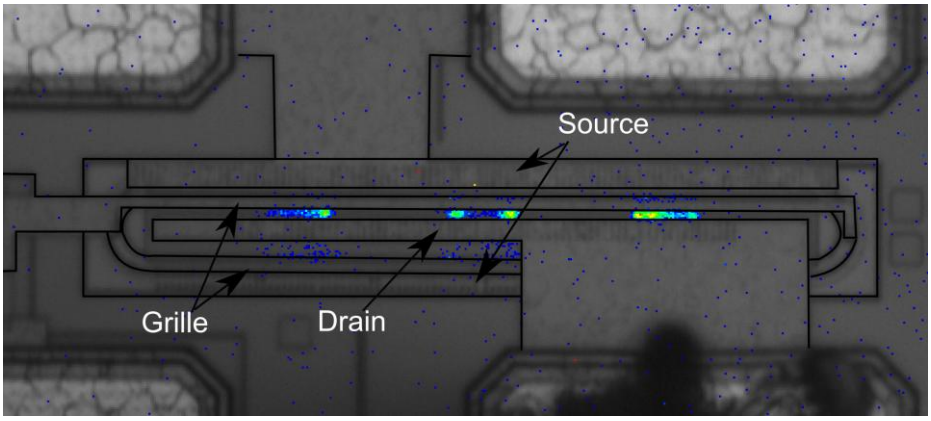

Figure 4.44: Photoémission de la structure 1P2N_4N1 où le courant est égal à 4 A à température ambiante.

Nous n'avons pas remarqué de différence de robustesse pour un rapport de N^+/P^+ donné, en changeant la configuration coté drain ou source. Donc la largeur des bandes de P+ dans le drain n'a aucune influence sur la robustesse des structures.

La Figure 4.45 présente les caractéristiques TLP pour la structure LIGBT avec une grille reliée à la masse et pour différentes températures (25 °C, 100 °C et 200 °C). Nous avons

constaté que la robustesse des structures augmente avec le pourcentage de P^+ dans le drain avec une seule exception qui est le LIGBT. En passant de la structure 4P1N (pourcentage de P+ dans le drain = 80 %) vers le LIGBT la robustesse diminue de 10 A à 7,5 A. L'extrapolation linéaire de la robustesse avec le pourcentage de P^+ dans le drain (Figure 4.49) conduit à une robustesse de LIGBT aux alentours de 13 A. La première hypothèse que l'on peut émettre pour expliquer cette faible valeur de I_{t2} du LIGBT est qu'il y a une focalisation de courant dans cette structure, et que cette focalisation n'existe pas dans le cas des structures mixtes. Or, une observation en photoémission pour le LIGBT à 6A, montre que le courant dans ce dernier est homogène. Même sur la périphérie du drain, où il y a une possibilité d'avoir un courant fort susceptible d'induire la défaillance de cette structure, nous n'avons pas remarqué cet effet.

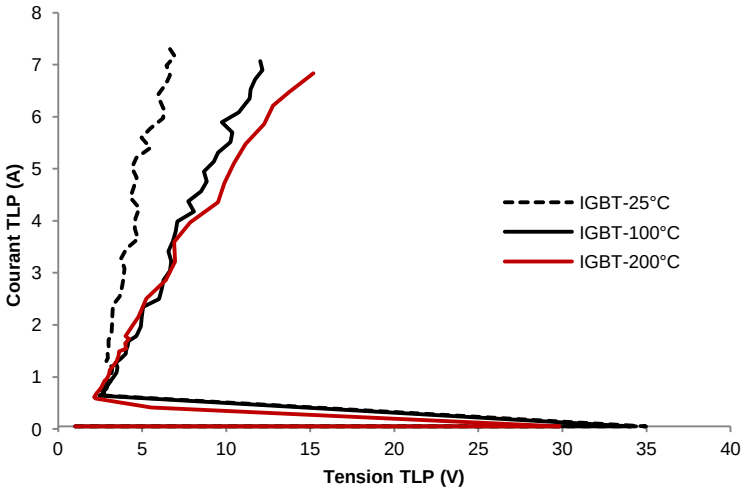

Figure 4.45: Caractéristique TLP pour le LIGBT à différentes températures, avec une grille reliée à la masse

Selon Pogany [30], le courant du SCR s'initialise en une seule ou plusieurs régions ponctuelles avant de se propager dans toute la structure. Il a montré que le temps de propagation du flux de courant dépend de nombre de régions déclenchées. La Figure 4.46 présente la distribution de courant dans un SCR à plusieurs instants suite à une impulsion TLP de 100 ns de durée et 1 A d'amplitude. On peut remarquer sur cette figure, que malgré la propagation de courant dans toute la structure à 35 ns, la densité de courant dans les régions aux extrémités de la structure est plus élevée.

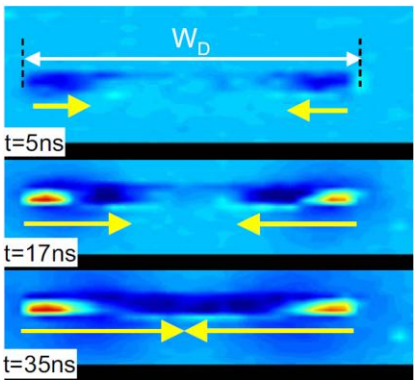

Figure 4.46: Mesure instantanée de la distribution de courant dans un SCR à différents temps suite à une impulsion TLP de 100 ns [30].

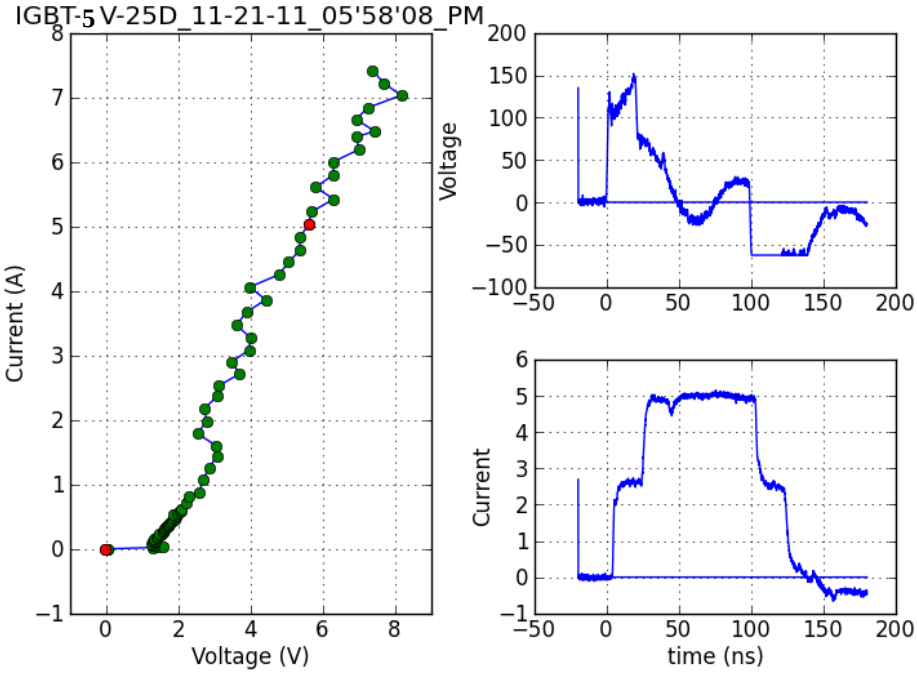

Figure 4. 47: Caractéristiques TLP de la structure LIGBT (à gauche) et formes d'onde de la tension et du courant (à droite) pour I_{TLP} = 5A et V_{GS} = 5V

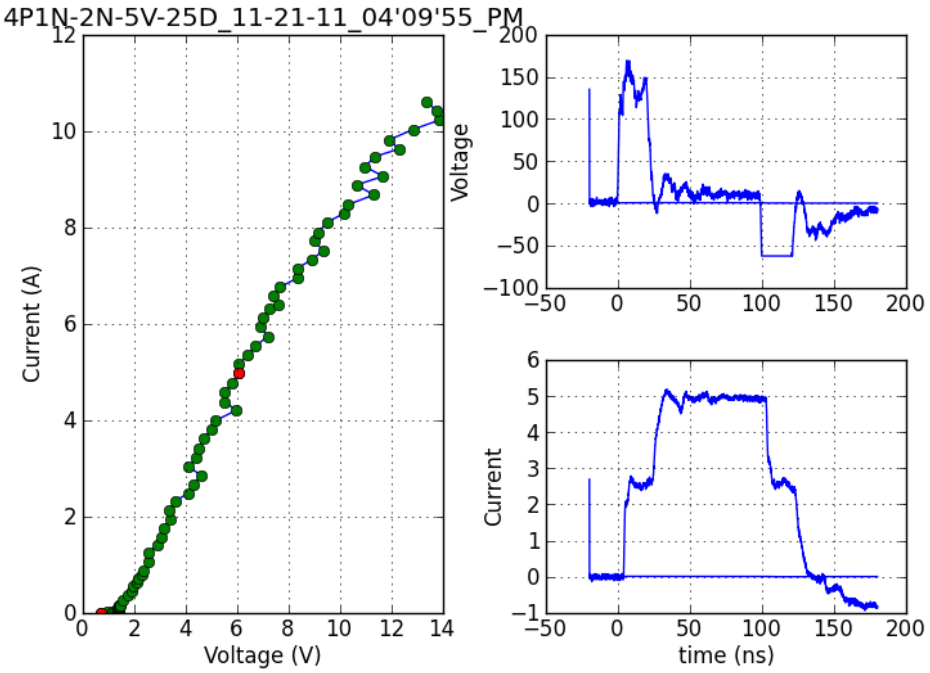

Figure 4. 48: Caractéristiques TLP de la structure 4P1N-2N (à gauche) et formes d'onde de la tension et du courant (à droite) pour ITLP = 5A et V_{GS} = 5V

Une étude de la forme d'onde de la tension aux bornes de la structure et mesurée sur l'oscilloscope montre que dans l'IGBT, le SCR a besoin de plus de temps pour se propager dans toute la structure et avoir donc la chute de tension la plus petite. En effet, la Figure 4. 47 présente la caractéristique TLP d'un LIGBT pour une tension V_{GS} = 5V sur la figure de

gauche et les formes d'ondes du courant (en bas) et de tension (en haut) à droite pour une valeur de I_{TLP} = 5A. La Figure 4. 48 présente les mêmes courbes, mais pour la structure 4P1N-2N. Dans le premier cas, la chute de tension ou repliement arrive en 2 temps à 75 V à t = 25 ns, puis continue à diminuer linéairement jusqu'à 50 ns. Dans le deuxième cas, la chute de tension est abrupte. Donc on peut conclure que dans le LIGBT ce délai génère un phénomène d'auto-échauffement est plus important que dans les structures mixtes.

La Figure 4.49 (a) présente en fonction du pourcentage de P^+ dans le drain, la variation du courant de défaillance et de la résistance. Dans cette figure, on remarque bien, que malgré une résistance à l'état passant plus faible que toutes les structures mixtes, la robustesse du LIGBT est plus faible. D'après la Figure 4.49 (b), on peut constater que la puissance à défaillance du LIGBT est presque égale à celle de la structure 1P3N où le pourcentage de P^+ dans le drain est égal à 25%.

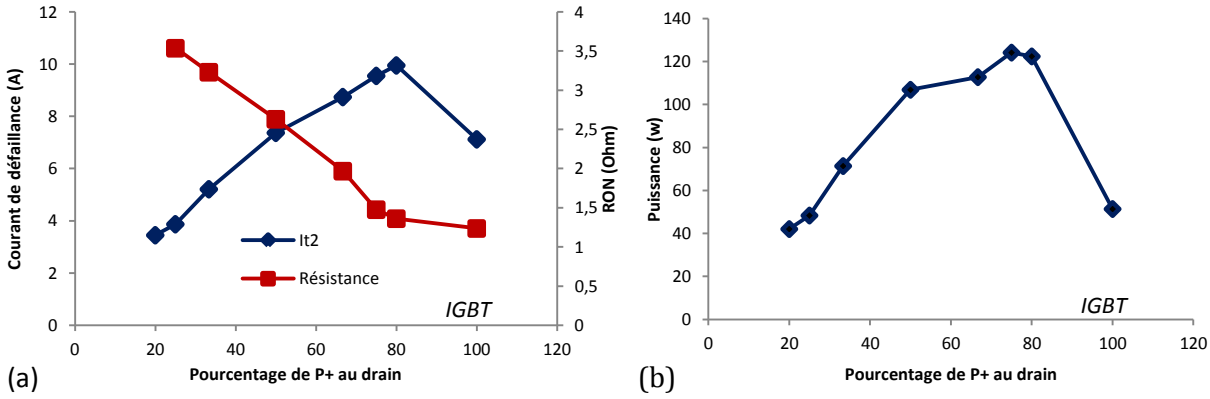

Figure 4.49; Variation du courant de défaillance et de la résistance à l'état passant en fonction de pourcentage de P^+ dans le drain (a) et variation de la puissance à défaillance en fonction du pourcentage de P^+ dans le drain (b) à température ambiante et avec grille reliée à la masse

Nous allons maintenant commencer à caractériser les structures de puissance déjà citées dans le chapitre III, pour extraire les grandeurs ESD, comme le courant de maintien, la résistance passante et la robustesse. Comme nous avons vu dans le chapitre III, ces structures sont de type SBC, elles sont configurées du coté drain comme les structures de protection ESD. Du coté source, ces structures ont 3 configurations différentes. La première nommée 1P1N, correspond à une configuration où le nombre de contacts de P^+ est égal à ceux de N^+. La deuxième nommée 10PC signifie qu'il y a une réduction de canal de 10 % (N^+ de source remplacé par P^+), La troisième signifie qu'il y a une réduction de canal de 20 %.

La Figure 4.50 présente les différentes configurations (coté source) de la structure de puissance 1P2N. Elles sont de haut en bas respectivement : Structure 1P2N avec une réduction de canal de 20 %, structure 1P2N avec une réduction de canal de 10 % et structure 1P1N-1P1N.

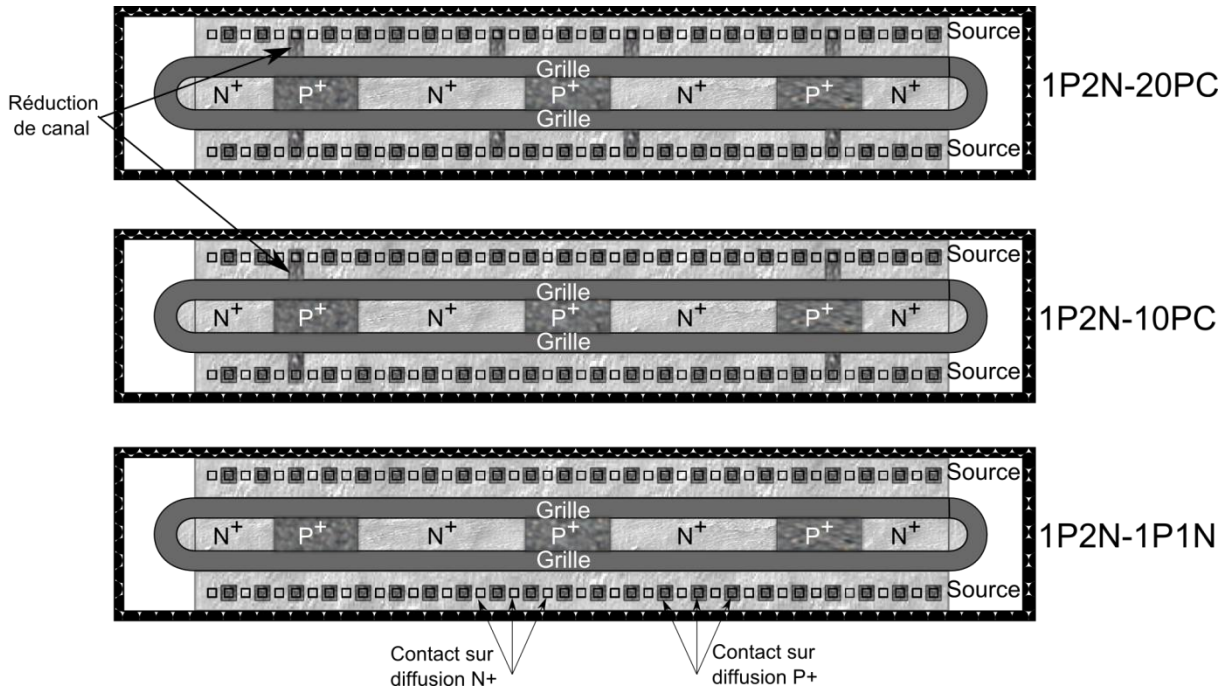

Figure 4.50: Schéma des différentes configurations (coté source) de la structure de puissance 1P2N

Tout d'abord, nous avons étudié l'effet de la réduction de canal sur la robustesse et sur la résistance à l'état passant des structures. Nous avons déjà présenté dans le paragraphe 6.1, des structures à canal réduit. Ceux sont des structures de puissance et la seule différence avec la structure de protection ESD, est la résistance de ballast plus faible au niveau du drain qui sert à augmenter la robustesse des structures de protection ESD.

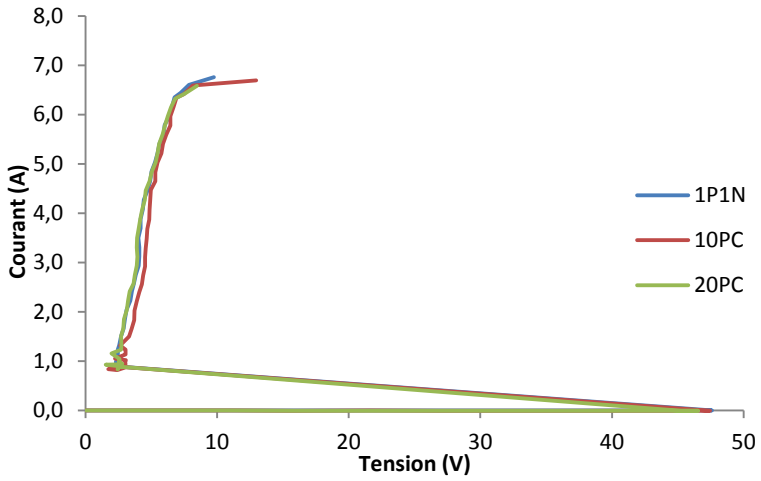

Figure 4.51: Caractéristiques TLP jusqu'à défaillance pour la structure 4P1N avec trois configurations coté source (normal, canal réduit de 10 % et canal réduit de 20 %) à température ambiante et avec grille reliée à la masse

La Figure 4.51 présente les caractéristiques TLP de la structure de puissance 4P1N, avec les trois configurations différentes coté source. Dans cette figure, les trois courbes sont presque confondues, c'est-à-dire qu'il n'y a pas de changement de résistance ou de robustesse.

En effet, la simulation montre que la densité de courant au niveau du drain est plus homogène dans la partie où il y a une réduction du canal que dans l'autre partie de la structure

(Figure 4.52). Cette figure présente la densité du courant dans la structure 1P1N, le coté gauche correspond à la partie IGBT de la structure devant la partie source où il n'y a pas de réduction de canal. Le coté droit correspond à la partie IGBT de la structure où il y a une réduction de canal. On remarque la diminution de la densité de courant dans la région de la source côté réduction du canal. On peut observer que coté réduction du canal, le courant dans le transistor NPN est beaucoup plus faible confirmant l'efficacité de cette solution pour contrôler l'activation du thyristor.

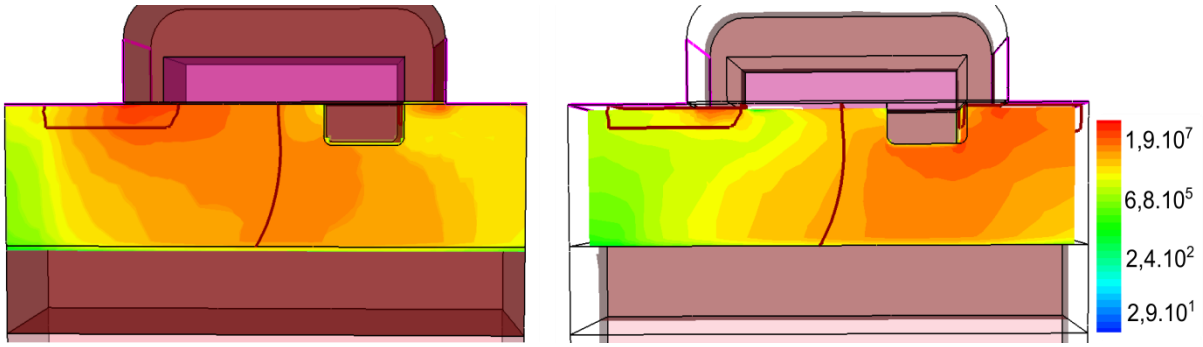

Figure 4.52: Distribution de la densité de courant dans deux cas (gauche: pas de réduction de canal), (droite: avec une réduction de canal)

4.6.1.1.2 Caractérisation avec grille polarisée

Les caractéristiques TLP des structures mixtes avec grille polarisée ont été étudiées dans le RUN1. Cette fois aussi, nous avons essayé de savoir si la polarisation a un effet sur la robustesse ou sur la résistance à l'état passant des structures.

Les mesures sur la défaillance des structures, montrent que la robustesse ne change pas en changeant la polarisation de la grille. Il en est de même pour la résistance à l'état passant. En effet, en augmentant la tension V_{GS}, les variations affectent les deux premières zones de la courbe (zone linéaire et zone saturée) mais quand on passe au thyristor, aucune polarisation de la grille n'a un rôle.

Cette fois, nous avons fait des mesures TLP transitoires en utilisant le système Very Fast TLP avec une durée de l'impulsion égale à 2,5 ns et un temps de montée égal à 100 ps. Le but de cette mesure est d'évaluer la surtension vue par le DUT avant le déclenchement de la structure de protection.

Une méthodologie un peu complexe, développée par A. Delmas [33], permet l'extraction des formes d'onde de tension et de courant aux bornes et à travers le DUT.

Les résultats montrent une surtension qui diminue en augmentant la polarisation de grille. Cette diminution devient plus importante quand on augmente le pourcentage d'IGBT dans la structure.

La forte valeur de la surtension peut être une cause de défaillance du composant ou du circuit à protéger si elle est supérieure à la tension de défaillance de ce composant. Plusieurs méthodes peuvent être envisagées comme solution à ce problème et constituent une perspective de ce travail.

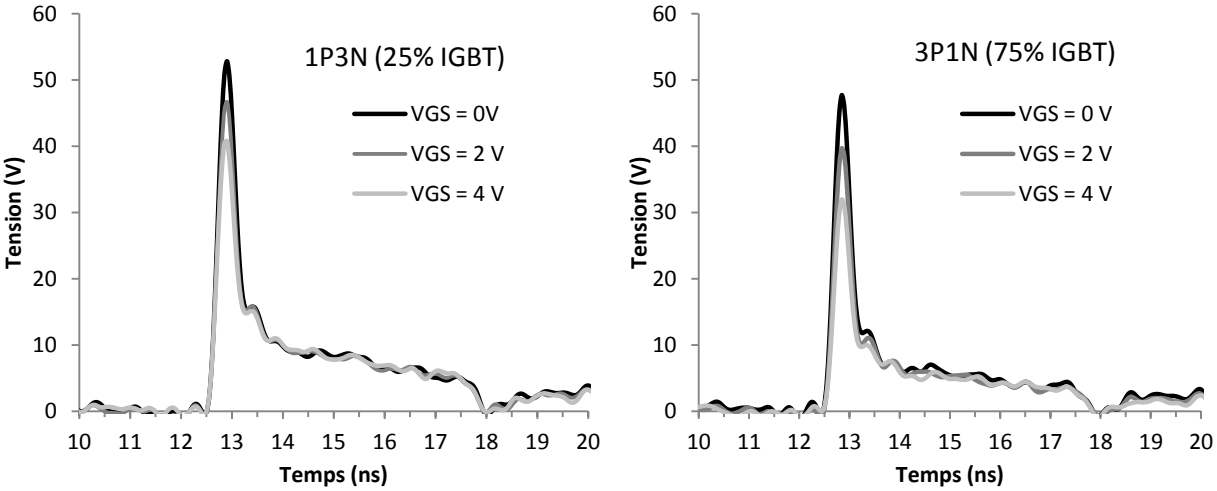

Figure 4.53: Forme d'onde de la tension aux bornes de la structure 1P3N (25% IGBT) (Gauche) et la structure 3P1N (75 % IGBT) (droite) pour plusieurs polarisations de grille à température constante et un signal initiale d'amplitude 100V.

4.6.1.2 Extraction du courant de maintien sur le traceur de courbes

Dans cette partie, nous allons étudier la variation du courant de maintien pour les différentes configurations des structures mixtes de type N. Nous allons également étudier les caractéristiques des structures de puissance sur le traceur de courbes afin d'évaluer l'effet du canal réduit sur le courant de maintien. L'effet de la température sur le courant de maintien est aussi étudié au sein de ce paragraphe.

Nous allons commencer cette étude par les structures de protection ESD. La première constatation, est la quasi-indépendance du courant de maintien selon les différentes configurations coté source (SBO, avec des îlots de P^+ entre le N^+ de la source et le P^+ du substrat, et SBC). Cela signifie que ces configurations ont une faible influence sur la résistance dans le PWELL. Le Tableau 4.7 présente la variation du courant de maintien pour ces différentes configurations pour une tension V_{GS} = 3 V. Les faibles différences des valeurs I_H entre config 1, config 2 et SBC proviennent peut être des erreurs de mesures. La différence observée n'est pas assez significative pour établir une conclusion quant à l'impact de la configuration de source.

	VGS = 3 V		
	Config 1	***Config 2***	***SBC***
	Courant de maintien (mA)		
1P4N	28	27,5	27,5
1P3N	29	28,5	28
1P2N	27,5	27	26,5
1P1N	24	24	22
2P1N	22	23	22
3P1N	22,5	23,5	21,5
4P1N	23	23	22
NIGBT	26	26	24

Tableau 4.7: Variation du courant d maintien pour les différentes configurations (coté source) et pour une tension V_{GS} = 3 V

Nous avons ensuite analysé l'impact de la configuration de drain, c'est-à-dire la variation du pourcentage de P^+ dans le drain. Normalement, le courant de maintien augmente avec le rapport de N^+/P^+ à l'exception du LIGBT. Nous ne savons pas si cette exception a une relation avec la robustesse du LIGBT qui est aussi une exception. La Figure 4.54 présente la variation de I_H pour les trois configurations coté source et pour les différentes configurations coté drain de gauche à droite respectivement config 1, config 2 et SBC.

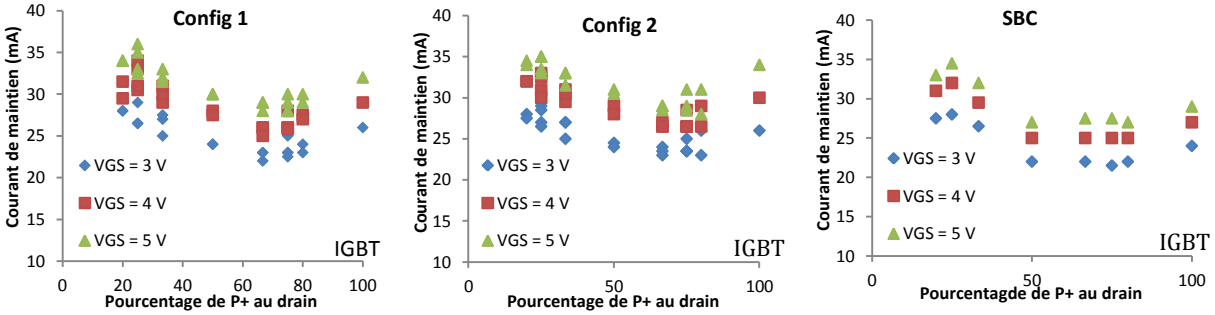

Figure 4.54: Variation du courant de maintien en fonction du pourcentage de P+ dans le drain à température ambiante, plusieurs valeurs de VGS et pour les trois configurations de source.

Dans cette figure, on remarque plusieurs points pour un seul pourcentage de P^+, ces points correspondent à différentes largeurs de P^+ pour un même pourcentage de ce P^+ dans le drain. Après plusieurs mesures de I_H pour toutes les structures et toutes les configurations coté drain et source, on ne peut pas constater une formule de variation de I_H avec le pourcentage de P+ dans le drain. Ce pourcentage, comme nous avions vu dans le troisième chapitre, joue également un rôle sur la tenue en tension des structures, c'est-à-dire sur la tension de déclenchement du thyristor parasite. On voit tout de même qu'au-delà de 50 %, on dégrade fortement I_H et qu'il vaut mieux se déplacer vers des pourcentages faibles.

La Figure 4.54 comme la Figure 4.55, montre l'augmentation du courant de maintien avec la polarisation de la grille. Cette augmentation est déjà expliquée dans la partie 4.3.3. La Figure 4.55 présente les caractéristiques I-V pour la structure 1P3N mesurées sur le traceur de courbes, à température ambiante, et pour une tension V_{GS} variant entre 3 V et 5 V. La partie droite est une vue zoomée de cette même courbe.

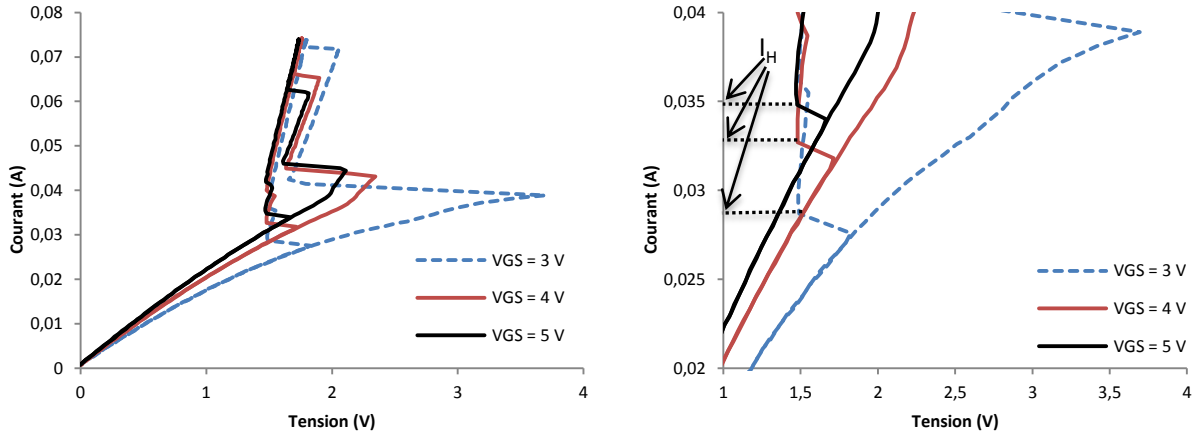

Figure 4.55 : Caractéristiques ID-VD pour la structure 1P3N mesurée sur le traceur de courbes pour différentes valeurs de V_{GS} et à température ambiante. La courbe de droite est une vue zoomée.

Pour étudier l'effet de la réduction de canal sur la valeur du courant de maintien, nous avons fait des mesures pour toutes les structures de puissance et plusieurs fois en utilisant le traceur de courbes afin d'avoir des valeurs plus précises.

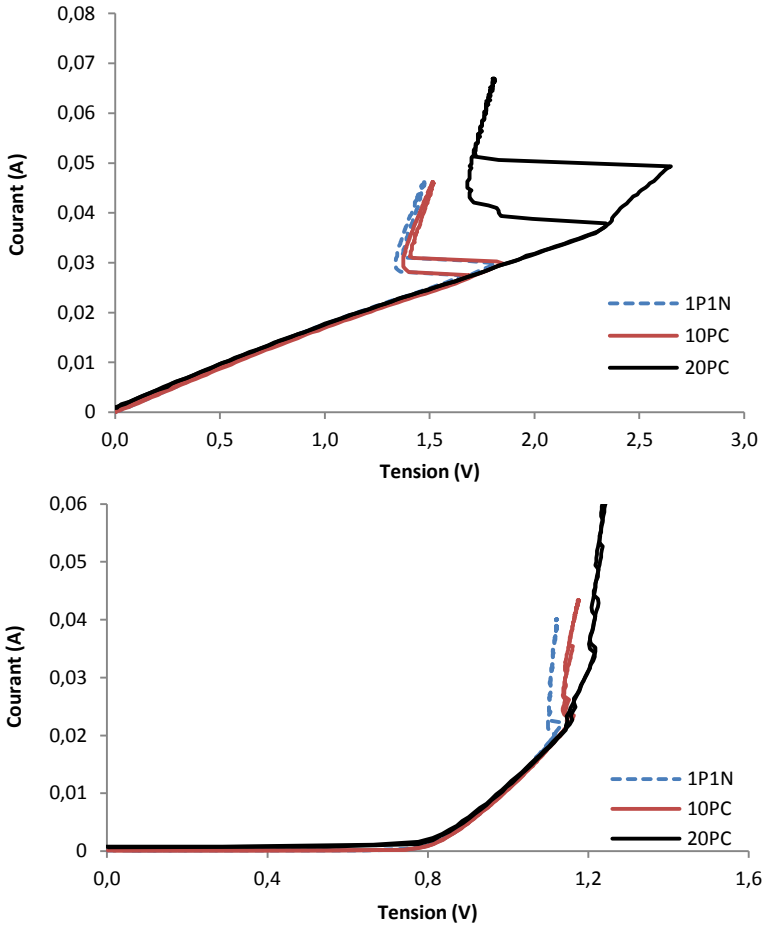

Figure 4.56: Caractéristiques I-V pour les structures 1P2N (haut) et LIGBT (bas) à température ambiante, une tension V_{GS} = 5V et pour plusieurs configurations de source

La Figure 4.56 présente les caractéristiques I-V pour les 1P2N (pourcentage de P^+ dans le drain = 66,6 %) et LIGBT mesurées sur le traceur de courbes à température ambiante et avec une tension V_{GS} = 5 V. On peut remarquer sur cette figure que le passage d'une structure normale à une structure avec réduction de canal de 10% a très peu d'impact. Par contre, le passage de 10% vers 20 % à un effet important. Il concerne aussi bien la tension de déclenchement que le courant de maintien du thyristor parasite comme constaté dans le chapitre III. On constate cette différence pour toutes les structures comme le montre le Tableau 4.8. Sur la Figure 4.56 bas, pour la configuration 20PC, et après le déclenchement du thyristor, on peut remarquer que les caractéristiques du LIGBT passent d'une zone à une autre. Ces passages peuvent être dus aux différentes phases de distribution du courant. Chaque passage montre qu'il y a un nouveau filament de courant qui s'ouvre. En photoémission, nous avons observé un courant homogène dans le LIGBT. Ces passages montrent le contraire mais à un niveau de courant plus faible que celui où on a effectué la photoémission (6 A). D'après cette figure, et si on fait une réduction de canal de plus de 20%, il est probable d'augmenter la tension de maintien à une valeur supérieure à la tension d'alimentation des structures basse

tension, et permettant ainsi de s'affranchir du besoin de l'augmentation du courant de maintien.

	VGS = 3 V	VGS = 4 V	VGS = 5 V
Structure	**IH (mA)**	**IH (mA)**	**IH (mA)**
1P4N-1P1N	25	27	29
1P4N-10PC	25	27	29
1P4N-20PC	25,5	28	30
1P3N-1P1N	22,5	25	26
1P3N-10PC	22,5	25	26
1P3N-20PC	24,5	27,5	29
1P2N-1P1N	25	27	28
1P2N-10PC	24,5	27	28
1P2N-20PC	**34**	**37**	**40**
1P1N-1P1N	21	22	23,5
1P1N-10PC	21	23	23,5
1P1N-20PC	26	28	30
2P1N-1P1N	18	20	21
2P1N-10PC	18	20	21
2P1N-20PC	20,5	23	25
3P1N-1P1N	16,2	18	19
3P1N-10PC	18	20	22
3P1N-20PC	20	22,5	24
4P1N-1P1N	17	19	20
4P1N-10PC	18	20	21
4P1N-20PC	20	23	24
IGBT-1P1N	18	20	21
IGBT-10PC	19	22	24
IGBT-20PC	19	22	24

Tableau 4.8: Variation du courant de maintien pour toutes les configurations à température ambiante

Le Tableau 4.8 présente le courant de maintien pour toutes les configurations à température ambiante et pour des tensions de grille égales à 3, 4 et 5 V. La première partie des noms correspond aux configurations coté drain. La deuxième partie correspond aux configurations coté source. Dans la structure initiale, les diffusions P^+ correspondent aux contacts du substrat implantés dans la diffusion N^+ de la source. L'extension 1P1N du nom des structures signifie que le nombre des contacts du substrat et ceux de la source sont égaux. L'extension 10PC signifie qu'il y une réduction de canal de 10 % et celle 20PC signifie qu'il y a une réduction de canal de 20 %.

4.6.1.2.1 Variation du courant de maintien avec la température

Les mesures montrent qu'en augmentant la température, le courant de maintien diminue. Ces mesures n'avaient pas été faites dans le lot RUN 1. Le Tableau 4.9 montre ces mesures pour trois structures et trois valeurs de V_{GS}. Avec cette diminution, il sera difficile

d'avoir une structure mixte de protection qui fonctionne à haute température. Il est donc nécessaire de réfléchir pour le contrôle de la valeur de la tension de maintien.

	1P1N-20PC			1P2N-20PC			1P3N-20PC		
VGS	**3 V**	**4 V**	**5 V**	**3 V**	**4 V**	**5 V**	**3 V**	**4 V**	**5 V**
I_H à 25 °C	26	28	30	36	38,5	40	24	26,5	28
I_H à 100 °C	17	18,5	20	23	24,5	26	15	16,5	18
I_H à 200 °C	11	11,5	13	13	13,5	14	9	9,5	10

Tableau 4.9: Variation du courant de maintien en mA avec la température

4.6.2 Caractérisation des structures mixtes de type P

Dans les structures mixtes de type N, le transistor bipolaire le plus efficace est celui lié à la diffusion Pwell du composant car il a la base la plus courte et de plus, c'est un transistor bipolaire NPN.

Nous avons choisi de concevoir des structures mixtes de type P car le gain du bipolaire PNP constitué par la diffusion P^+ de la source, le Nwell et le P-drift, est plus faible que celui dans le cas de type N. En plus, la résistance de Nwell est plus petite que celle de Pwell ce qui résulte dans le cas normal, en une augmentation du courant de maintien I_H.

Comme dans le cas des structures mixtes de type N, nous avons fait des caractéristiques TLP pour étudier la robustesse de ces structures, et leur résistance à l'état passant en utilisant le banc TLP, ainsi que des mesures au traceur de courbes pour étudier le courant de maintien.

4.6.2.1 Caractéristiques TLP

Les mesures TLP jusqu'à défaillance des structures, montrent que la robustesse de ces structures augmentent avec le rapport de N^+/P^+ c'est-à-dire, en augmentant le pourcentage de N^+ dans le drain ou le pourcentage de l'IGBT dans le MOS. Cette fois aussi le LIGBT constitue une exception à cette loi. La robustesse augmente de 3 A pour la structure 4P1N à 9 A pour la structure 1P4N où le LIGBT constitue 80 % de la structure. Notre exception, le LIGBT, a une robustesse de 9 A c'est-à-dire meilleure que dans le cas des structures mixtes type N. De plus, une faible variation avec la température a été observée.

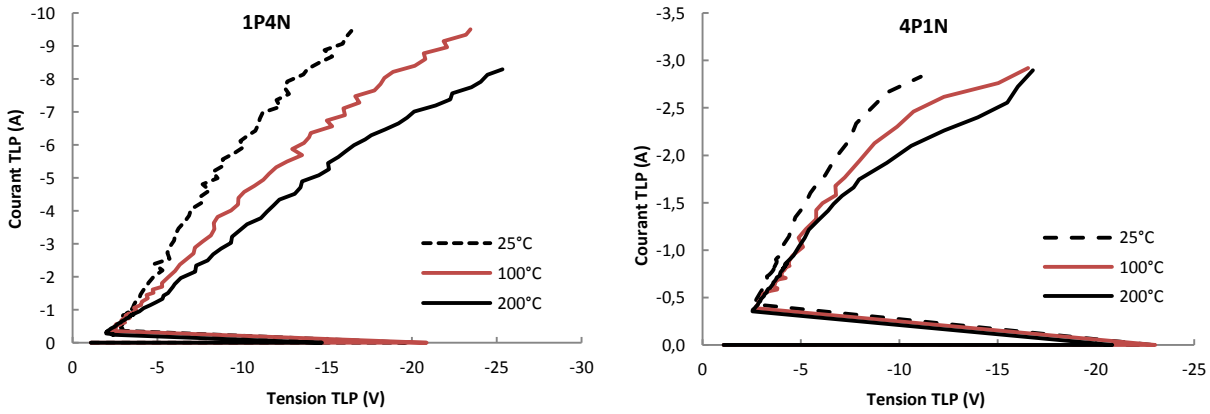

Figure 4.57: Caractéristiques TLP pour les structures 1P4N et 4P1N à plusieurs températures et avec grille reliée à la masse

La Figure 4.57 présente les caractéristiques TLP pour les structures 1P4N et 4P1N avec grille reliée à la masse et pour plusieurs températures. Une augmentation de la résistance en augmentant le taux du PMOS dans la structure est normale, et ces raisons ont déjà été expliquées dans le cas de type N.

Les courbes de la Figure 4.58 présentent la variation de la résistance à l'état passant, la variation de la défaillance et celle de la puissance à défaillance en fonction du pourcentage de N^+ dans le drain. La résistance de ces structures diminue linéairement avec le pourcentage de N^+, le LIGBT dans ce cas suit cette loi. La robustesse du LIGBT est meilleure que dans le cas du LIGBT de type N, mais elle reste plus faible (9 A) que celle attendue par extrapolation de la courbe (≈ 12 A). La Figure 4.58 montre alors que la puissance à défaillance du LIGBT est proche de celle de 1P1N (50 %) alors qu'elle devrait être plus grande que celle de 1P4N (pourcentage de N^+ = 80 %). L'origine est probablement la même que celle du LIGBT de type N. Par comparaison avec les structures de type N, les valeurs de la résistance à l'état passant sont presque similaires, en effet la longueur des N-drift et de Pwell sont presque égales et par suite si on change l'une par l'autre, rien ne change du point de vue de la résistance.

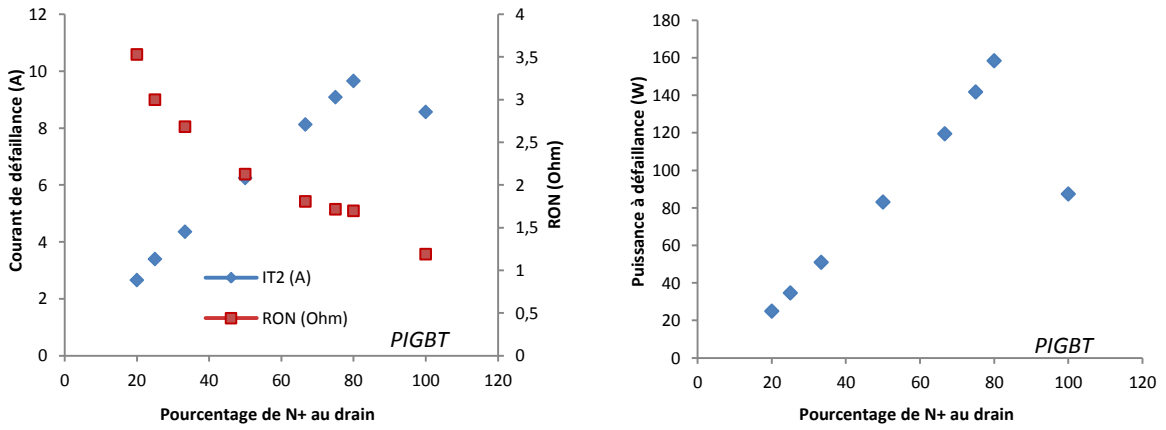

Figure 4.58: Variation de courant de défaillance, de la résistance à l'état passant et de la puissance à la défaillance à température ambiante et pour une grille reliée à la masse

4.6.2.2 Extraction du courant de maintien en utilisant le traceur de courbes

Quand nous avons choisi de concevoir des structures mixtes de protection de type P, on avait l'espoir d'avoir un courant de maintien plus grand que celui des structures de type N. Les caractéristiques I-V sur le traceur de courbes, montrent des valeurs de I_H beaucoup plus faibles que celles extraites dans le cas des structures de type N.

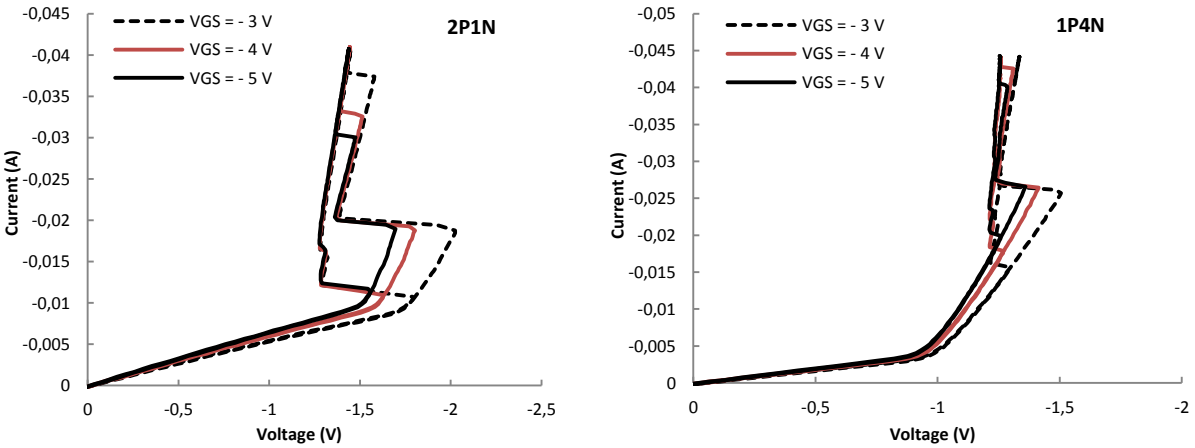

Figure 4.59 : Caractéristiques I-V sur le traceur de courbes à température ambiante et pour différentes VGS

En commençant par les structures de protection ESD, la Figure 4.59 présente les caractéristiques I-V pour les structures 2P1N et 1P4N à température ambiante et pour différentes valeurs de V_{GS}. La première constatation est que l'effet de la tension V_{GS} n'est pas le même que sur les structures de type N, il est beaucoup moins important. Une deuxième remarque sur ces mesures, est l'augmentation du courant de maintien avec le pourcentage de N^+ dans le drain c'est-à-dire avec le pourcentage de l'IGBT dans la structure jusqu'à ce qu'on arrive à l'IGBT (Figure 4.60). Cette fois, l'IGBT ne joue plus le rôle d'une exception. Aussi, si on fait une comparaison entre les structures de type N et celles de type P, on remarque que le courant de maintien dans les premières augmente avec le pourcentage de LDMOS dans la structure (exception IGBT), par contre dans les deuxièmes ce courant augmente avec le pourcentage de LIGBT. Face à ce comportement inattendu, nous avons réalisé une simulation pour comprendre cet effet. La simulation donne un résultat contraire à celui observé expérimentalement. C'est-à-dire dans la simulation le courant de maintien du LIGBT de type P a un courant de maintien plus faible que celui d'une structure mixte 1P1N de type P.

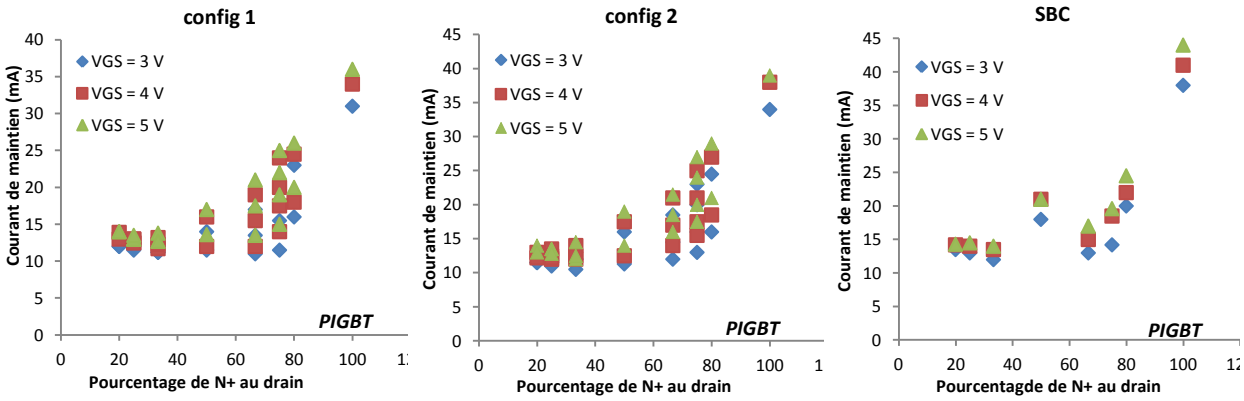

Figure 4.60: Variation du courant de maintien en fonction du pourcentage de N+ (ou pourcentage d'IGBT) dans le drain à température ambiante, plusieurs valeurs de V_{GS} et pour les trois configurations de source

A partir de ces mesures, on peut également constater que le courant de maintien augmente avec la largeur de la diffusion N^+ au niveau du drain, c'est-à-dire avec le pourcentage de LIGBT dans la structure pour un même pourcentage de N^+ dans le drain. Même chose pour la tension de déclenchement, c'est-à-dire la partie LIGBT de la structure est

plus efficace si la largeur de LIGBT est plus grande, c'est-à-dire pour un pourcentage plus élevé de N^+ dans le drain. L'augmentation du courant I_H avec le pourcentage de N^+ dans le drain pour les différentes configurations proposées est résumée dans le Tableau 4.10.

La première remarque que l'on peut faire sur ces résultats concerne tout d'abord la différence de valeur de courant de maintien entre PLIGBT et NLIGBT. Elle peut être expliquée simplement par les caractéristiques intrinsèques de ces deux composants. En effet, le courant responsable du déclenchement du thyristor dans le PLIGBT est le courant de collecteur du transistor bipolaire NPN, I_{CN} qui circule dans le body (ici Nwell). De même, pour le NLIGBT, c'est le courant du transistor bipolaire PNP, I_{CP} qui circule dans le body (ici Pwell). Or, la résistance de Nwell est trois fois plus faible que celle de Pwell. Donc, pour induire la même chute de tension (~0,7V), I_{CN} doit être trois fois plus grand que I_{CP}. Le courant de drain mesuré est en fait la somme du courant de collecteur et du courant MOS qui est trois fois plus faible dans le PLIGBT que dans le NLIGBT. Cette différence permet d'expliquer que le courant de maintien du PLIGBT soit seulement 1,5 fois plus élevé que celui du NLIGBT.

Il est intéressant de noter ici que, contrairement aux structures de type N, il est préférable dans le cas des structures de type P d'utiliser un PLIGBT plutôt qu'une structure mixte MOS/IGBT.

Le résultat le plus marquant de cette partie concerne la variation du courant de maintien avec la configuration de drain (segmentation N^+/P^+) que nous avons proposée au début du paragraphe 6.1. La Figure 4.60 présente la variation du courant de maintien en fonction du pourcentage de N^+ (ou du LIGBT) dans le drain à température ambiante, pour les différentes segmentations de N^+/P^+ dans le drain, plusieurs valeurs de V_{GS} et les trois configurations de source. Dans les deux premières configurations de source, config1 et config2, les différents points pour un même pourcentage de diffusion de N^+ et une même valeur de V_{GS} correspondent à différentes segmentations N^+/P^+. Les points associés aux valeurs les plus élevées de I_H pour chaque pourcentage d'IGBT correspondent aux composants avec un nombre de segmentations le plus faible. Par exemple, pour un pourcentage de N^+/P^+ égal à 80%, deux segmentations ont été dessinées : une première avec une seule zone de N^+ de largeur 120µm et deux zones de P^+ de largeur 15µ ; une deuxième avec trois zones de N^+ de 40µm chacune et deux zones de P^+ de largeur 15µ. La configuration qui induit la valeur de I_H la plus élevée est dans ce cas la première configuration, c'est-à-dire la plus faiblement segmentée. On peut noter que l'écart entre les structures fortement et faiblement segmentées est tout à fait significatif et atteint plus de 10mA. Nous n'avons pas observé ce comportement sur les structures de type N. Un autre effet la segmentation est son impact sur la résistance de base du transistor NPN. Considérons les deux structures en config1 avec 80% d'IGBT, la première possède un N+ de 120um alors que la deuxième a trois segments de 40um (120um/3). En supposant qu'un seul des segments reste fonctionnel avant que le thyristor ne s'éteigne, en première approximation, le courant de maintien pourrait donc être un tiers de celui mesuré pour un seul segment soit 25mA/3 soit 8,33mA. Or, ce courant de maintien s'élève à environ 18mA en pratique. Cette valeur plus élevée peut être expliquée par la diminution de la résistance de base dans les structures segmentées. En effet, la prise de contact de base étant latérale au N^+, la résistance moyenne de base est localement plus faible

pour de plus petites sections de N^+. Ainsi, la segmentation tend à diminuer la valeur du courant de maintien sous l'effet de la non-uniformité, mais celui-ci se voit partiellement compensé par la diminution concomitante de la résistance de base qui tend à augmenter le courant de maintien d'une section.

On constate également, et pour les mêmes raisons, que le courant de maintien augmente avec la proportion d'IGBT. En effet, globalement, plus la section N^+ est large, plus le courant de maintien est grand.

Nous avons donc analysé les différences majeures entre les deux structures qui permettraient d'expliquer cette différence de comportement. Cette sensibilité à la segmentation nous entraine à penser qu'il y a des problèmes d'inhomogénéité de distribution du courant dans les structures les plus segmentées. En effet, le transistor bipolaire qui injecte des porteurs minoritaires dans le PLIGBT est un bipolaire NPN, qui possède un gain en courant plus élevé que celui du PNP impliqué dans le NLIGBT. Dans le cas où on a plusieurs segmentations de la zone N^+, il est fort probable qu'une seule de ces zones se déclenche et conduise à une focalisation du courant dans ce segment permettant le déclenchement du thyristor à une valeur de courant de maintien plus faible. Cet effet n'est pas observé dans le cas des structures mixtes de type N du fait du plus faible gain en courant du transistor bipolaire PNP.

Dans les cas où le pourcentage de l'IGBT dans la structure est inférieur à 50 %, l'effet des configurations proposées est négligeable.

		Courant de maintien I_H (mA)							
VGS = -5 V	***Structure***	***4P1N***	***3P1N***	***2P1N***	***1P1N***	***1P2N***	***1P3N***	***1P4N***	***PIGBT***
	% de N+	***20***	***25***	***33,33***	***50***	***66,67***	***75***	***80***	***100***
	Config 1	12	11.2	13	16	19	24	26	34
	Config 2	11.7	12.2	12	18	20	27	28	38
	SBC	13	13	13	20	22	29	30	42

Tableau 4.10 : Courant de maintien en mA pour plusieurs structures en fonction des configurations coté source et coté drain à température ambiante

Nous avons ensuite étudié l'effet de la réduction de la largeur du canal sur le courant de maintien des structures mixtes de type P et du PIGBT en utilisant les structures de puissance. Comme dans le cas des structures de protection ESD, le courant de maintien dans les structures de puissance est très peu dépendant de la tension V_{GS}.

La première remarque que l'on peut faire à partir de ces mesures, est que l'effet de la réduction de canal n'est pas la même pour toutes les structures. Nous avons constaté que l'effet de la réduction de canal est important quand la partie éliminée de la diffusion de P^+ de la source est placée en face de la partie IGBT de la structure. En effet, ce placement permet d'éliminer localement le thyristor tout en diminuant la résistance du Nwell et donc le courant de maintien.

Le Tableau 4.11 présente la variation du courant de maintien pour toutes les configurations (coté drain et source), pour trois tensions de grille et à température ambiante.

Après toutes ces études, on peut résumer les différents points qui ont joué un rôle dans l'optimisation de nos structures mixtes.

Dans l'ingénierie de drain, la variation du rapport de N^+/P^+ dans le cas des structures de type N n'a pas un impact linéaire (Figure 4.54). En effet, cette figure avec le Tableau 4.8 montre que la structure optimale est la structure 1P2N-20PC. La valeur de I_H diminue avec l'augmentation du rapport de N^+/P^+ jusqu'à la structure 2P1N puis, elle recommence à augmenter.

Dans le cas des structures de type P, le courant de maintien augmente avec le rapport de N^+/P^+ jusqu'à ce qu'on arrive à l'IGBT.

Dans l'ingénierie de source, il y avait les ilots de P^+ entre la diffusion N^+ de la source et la diffusion P^+ du contact de substrat, la structure SBC, les structures de puissance SBC et les structures de puissance avec une réduction de canal de 10 % et de 20 %. Les ilots de P^+ n'ont pas montré des améliorations, par contre la réduction de canal de 20 % s'est avérée la meilleure.

	VGS = 3 V	*VGS = 4 V*	*VGS = 5 V*
Structure	***IH (mA)***	***IH (mA)***	***IH (mA)***
4P1N-1P1N	19	20	21
4P1N-10PC	15	18	19
4P1N-20PC	15	18	19
3P1N-1P1N	18	20	21
3P1N-10PC	15	19	20
3P1N-20PC	15	20	21
2P1N-1P1N	15	15	15
2P1N-10PC	16	16	16
2P1N-20PC	23	25	26
1P1N-1P1N	14	17	18
1P1N-10PC	15	17	18
1P1N-20PC	15	20	24
1P2N-1P1N	25	28	31
1P2N-10PC	23	27	30
1P2N-20PC	23	27	30
1P3N-1P1N	31	35	37
1P3N-10PC	30	34	37
1P3N-20PC	30	34	37
1P4N-1P1N	33	37	40
1P4N-10PC	32	35	38
1P4N-20PC	32	37	40
IGBT1-1P1N	**47**	**52**	**54**
IGBT1-10PC	**48**	**51**	**55**
IGBT1-20PC	**45**	**52**	**55**

Tableau 4.11: Variation du courant de maintien pour les différentes configurations des structures mixtes de type P à température ambiante

4.7 Optimisation par variation de la longueur de la zone de drift, de STI et autres solutions

L'inconvénient majeur de l'augmentation de la température dans nos structures de protection ESD, est la forte diminution du courant de maintien. La valeur définie par la norme de latch-up est de 100 mA. En augmentant la température, I_H diminue de plus de 50 % en passant de 25 °C à 200 °C. Ainsi, afin d'avoir un bon fonctionnement de ces structures à haute température, I_H doit être de l'ordre de 200 mA à 25 °C. Malgré toutes les optimisations proposées, nous avons seulement obtenu un courant de maintien de 50 mA.

Une dernière voie d'optimisation consiste à avoir une tension de maintien plus grande que celle de fonctionnement de la structure à protéger. Le but des composants mixtes de protection proposés est de protéger des structures de basse tension (5 V). Les simulations présentent une tension de maintien plus grande que 5 V, par contre toutes les mesures présentent une tension de maintien de l'ordre de 1,5 V. Cette absence de corrélation entre simulation et mesure provient de la non connaissance des paramètres technologiques (Concentration de dopants de P+, Pwell,…).

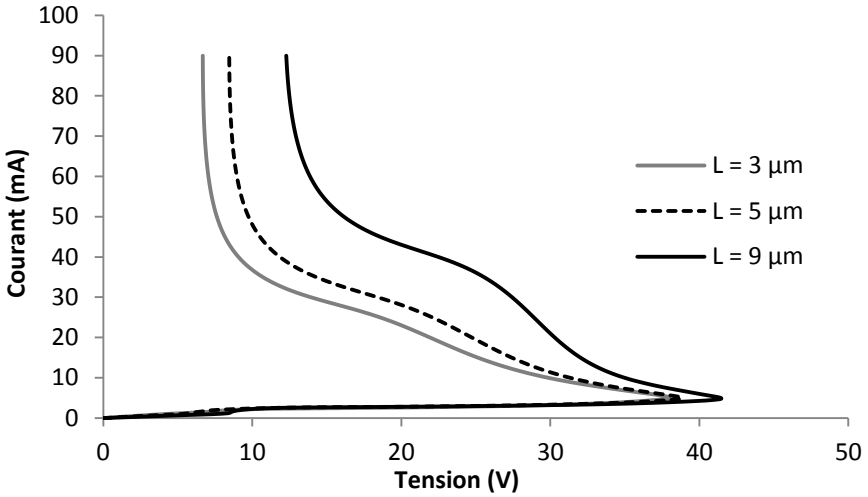

Figure 4.61: Variation des caractéristiques électriques de la structure 1P1N en fonction de la longueur de la zone de drift L (Résultat de simulation) à température ambiante et sous une tension de grille V_{GS} = 7 V

La simulation montre une augmentation de la tension de maintien en augmentant la longueur de la zone de drift (Figure 4.61). Cette augmentation est de l'ordre de 100 % en passant de 3 µm à 9µm de longueur de la zone de drift. Si une augmentation d'un même pourcentage se passe en pratique, cela sera une valeur de 3 V.

Une autre solution consiste à mettre en série deux ou trois structures, ce qui permet d'obtenir une tension de maintien deux ou trois fois plus forte. La mesure de la tension de maintien de deux structures mixtes en série donne une valeur de 2,9 V.

En mettant en série trois structures mixtes (Figure 4.62), nous obtenons une tension de maintien plus élevée. Par ailleurs, si on considère le courant de maintien, le fait de mettre plusieurs structures en série a pour impact de diminuer le courant de maintien. Par contre, si on met deux structures de protection en parallèle, le courant de maintien sera doublé.

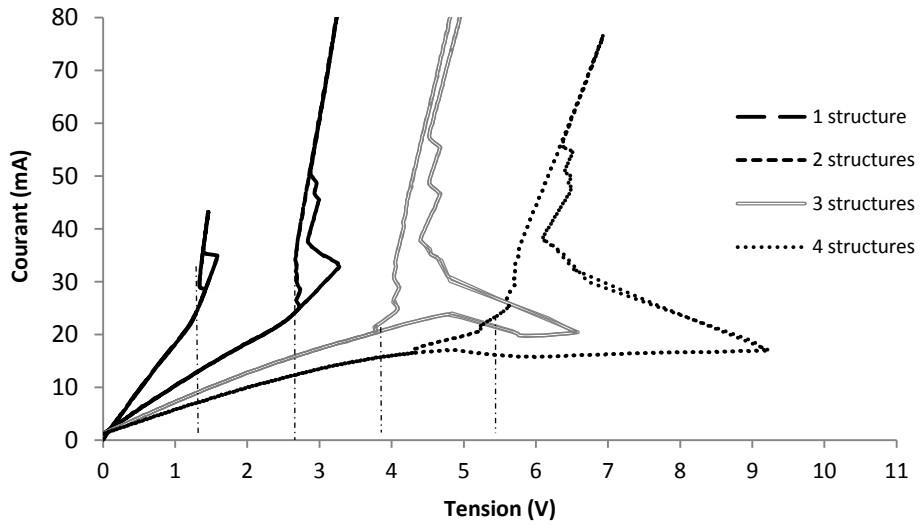

Figure 4.62: Présentation de l'augmentation de la tension de maintien mesurée pour plusieurs structures 1P1N-3P1 en série

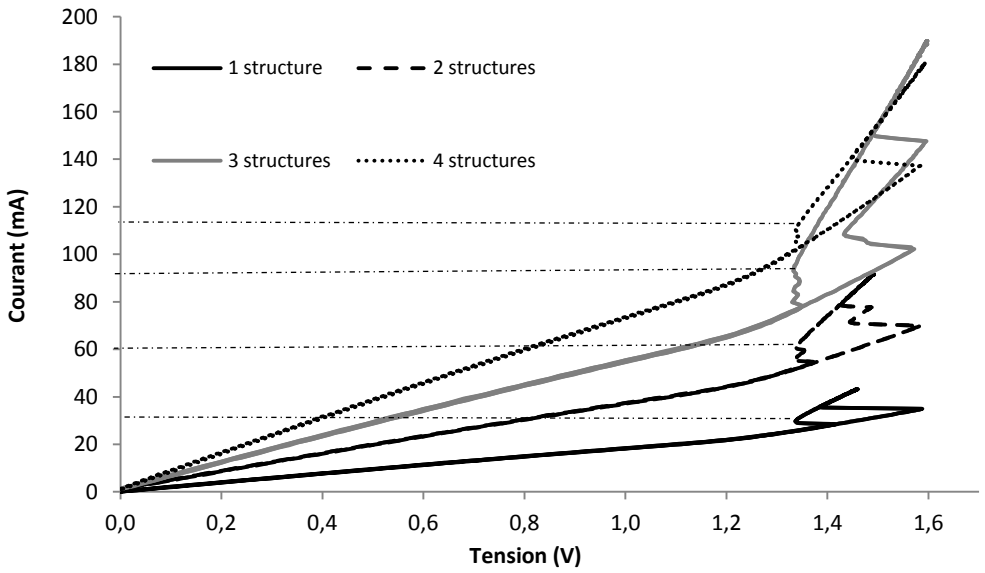

Figure 4.63: Augmentation du courant de maintien mesuré pour plusieurs structures 1P1N-3P1 de type N en parallèle

Les mesures montrent que le courant de maintien de deux structures en parallèle est égal à la somme de chacun d'eux (Figure 4.63). Deux autres avantages de cette dernière solution, sont l'augmentation du courant de défaillance et la diminution de la résistance passante.

Selon P. Besse et al [31], la robustesse ESD d'une structure LDMOS est très dépendante du facteur de forme du composant. Par exemple, une structure composée de deux doigts de 300 µm est plus performante qu'une structure avec un seul doigt de 600 µm de largeur. La Figure 4.64 présente la variation de la robustesse d'un GGLDMOS en fonction du facteur de forme des structures, pour une même largeur totale. Il pourrait donc être intéressant d'étudier également l'impact du facteur de forme pour améliorer la robustesse des structures, en particulier, LIGBT.

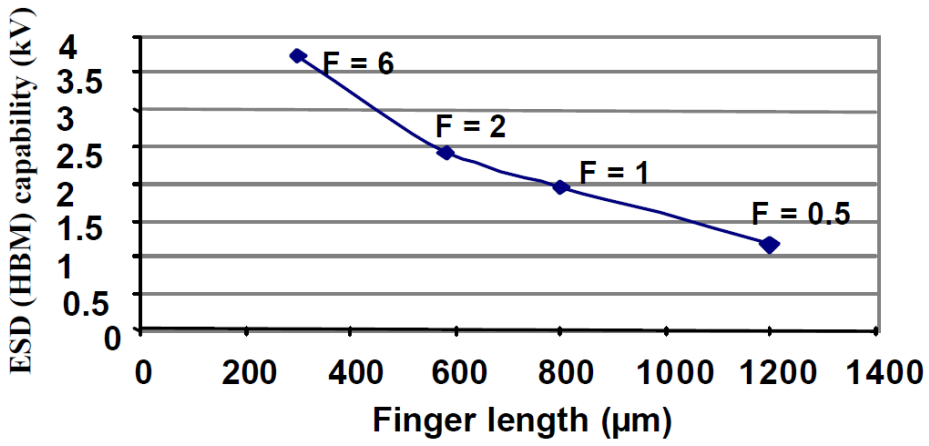

Figure 4.64: Variation de la robustesse en fonction de la largeur des structures avec F est le facteur de Forme (il est égal au rapport entre la longueur totale de la structure et sa largeur)

4.8 Conclusion

Dans ce chapitre nous avons proposé et étudié une structure de protection originale contre les ESD destinée à améliorer les performances de robustesse et le fonctionnement à haute température.

La structure de protection initiale est une protection centrale, basée sur un NLDMOS. Cette protection a deux inconvénients majeurs : la surface de silicium associée et la forte dégradation de ses performances en température, notamment sa résistance passante, R_{ON}.

Pour pallier ces deux problèmes, nous avons proposé de combiner dans une même structure un LDMOS et un LIGBT et d'autoriser également le déclenchement du thyristor parasite. L'adjonction des deux composants bipolaires LIGBT et SCR permet de compenser les effets négatifs de la température sur le R_{ON} et également de réduire la surface de silicium nécessaire pour un niveau de robustesse ESD donné.

Ainsi, par rapport à la structure d'origine, la surface de silicium a été divisée par 11 pour une amélioration de la robustesse ESD > 6 A à comparer aux 1,7 A, initialement.

Un premier lot de structures mixtes MOS-IGBT a permis de valider le concept proposé sur une technologie SOI en termes de robustesse ESD et de R_{ON} en fonction de la température. Cependant, ces structures, non optimisées, possèdent une tension et un courant de maintien SCR incompatibles avec une bonne immunité au latch-up.

Afin d'optimiser les propriétés vis-à-vis du latch-up, nous avons utilisé la simulation physique 3D pour analyser différentes solutions destinées à augmenter significativement le courant de maintien du SCR :

- D'une part, l'ingénierie du drain
- D'autre part, l'ingénierie de la source

Un deuxième véhicule de test comportant une centaine de structures mixtes optimisées à la fois en type N et P a donc été réalisé et caractérisé.

Les solutions qui se sont avérées les plus efficaces pour augmenter le courant de maintien du SCR sont :

- Les modifications de la configuration de la source et en particulier, la solution consistant à réduire partiellement le canal en introduisant une diffusion P+ à la place de la diffusion de source N^+. Cette solution a permis d'atteindre un courant de maintien de 55 mA, c'est-à-dire un facteur 2 par rapport à sa valeur initiale, mais toujours insuffisante vis-à-vis des risques de latch-up.
- L'utilisation d'une structure mixte de type P est également une solution intéressante qui permet d'atteindre un courant de maintien de 50 mA.

L'absence de données sur la technologie a seulement permis de faire des simulations qualitatives et les résultats expérimentaux ont bien validé les tendances observées en simulation.

Bien que les valeurs requises pour le courant de maintien n'aient pas été atteintes, la bonne tendance des solutions implémentées permettent de penser qu'une dernière

optimisation jouant sur la longueur de la zone de drift et une meilleure implémentation des solutions de canal réduit suffira à atteindre les performances nécessaires.

Enfin, nous avons également démontré qu'il était possible d'utiliser de façon sure vis-à-vis du latch-up, les structures optimisées du deuxième lot de silicium en montage série et, en parallèle pour atteindre les valeurs de courant et de tension de maintien désirées.

4.9 Références bibliographiques

[1] E. A. Amerasekera, C. Duvvury, W. Anderson, H. Gieser, et S. Ramaswamy, *ESD in silicon integrated circuits*. Wiley Online Library, 2002.

[2] S. Dabral, T. J. Maloney, D. S. Dabral, et D. T. J. Maloney, *Basic esd and I/O Design*. Wiley, 1998.

[3] T. Green, « A review of EOS/ESD field failures in military equipment », in Proceedings of the 10th EOS/ESD Symposium, p. 7–14, 1988.

[4] R. Merrill et E. Issaq, « ESD design methodology. », in *the Electrical Overstress/Electrostatic Discharge Symposium*, 1993, p. 233–237.

[5] K. L. Chen, G. Giles, et D. Scott, « Electrostatic discharge protection for one micron CMOS devices and circuits », in *Electron Devices Meeting, 1986 International*, 1986, vol. 32, p. 484–487.

[6] C. Duvvury, R. McPhee, D. Baglee, et R. Rountree, « ESD Protection Reliability in 1µm CMOS Technologies », in *Reliability Physics Symposium, 1986. 24th Annual*, 1986, p. 199–205.

[7] « Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM), JEDEC standard JESD22-A114F, December 2008. » .

[8] C. Diaz, S. Kang, et C. Duvvury, « Electrical overstress and electrostatic discharge », *Reliability, IEEE Transactions on*, vol. 44, nº. 1, p. 2–5, 1995.

[9] « Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM), IEA/JEDEC standard IEA/JESD22-A115-A, October 1997 ». .

[10] H. Gieser, *METHOD AND DEVICE FOR CHARGING INTEGRATED CIRCUITS AND STRUCTURES WITH A PULSED HIGH INTENSITY CURRENT*. 2002.

[11] A. J. Wallash, « Field-induced charged device model testing of magnetoresistive recording heads », in *Electrical Overstress/Electrostatic Discharge Symposium, 1996. Proceedings*, 1996, p. 8–13.

[12] « Field-Induced Charged-Device Model: Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components, JEDEC standard JESD22-C101C, December 2004. » .

[13] G. Meneghesso, S. Santirosi, E. Novarini, C. Contiero, et E. Zanoni, « ESD robustness of smart-power protection structures evaluated by means of HBM and TLP tests », in *Reliability Physics Symposium, 2000. Proceedings. 38th Annual 2000 IEEE International*, 2000, p. 270–275.

[14] HANWA, *http://www.hanwa-ei.co.jp/english/seihin_13.html*. .

[15] C. Duvvury, F. Carvajal, C. Jones, et D. Briggs, « Lateral DMOS design for ESD robustness », in *Electron Devices Meeting, 1997. IEDM'97. Technical Digest., International*, 1997, p. 375–378.

[16] Y. Gao, « Stratégies de modélisation et protection vis à vis des décharges électrostatiques (ESD) adaptées aux exigences de la norme du composant chargé (CDM) », Thèse de doctorat de l'INP de Toulouse, 13 fev 2009.

[17] E. Arnold, T. Letavic, S. Merchant, et H. Bhimnathwala, « High-temperature performance of SOI and bulk-silicon RESURF LDMOS transistors », in *Power Semiconductor Devices and ICs, 1996. ISPSD'96 Proceedings., 8th International Symposium on*, 1996, p. 93–96.

[18] V. Vashchenko, N. Olson, D. Farrenkopf, V. Kuznetsov, P. Hopper, et E. Rosenbaum, « Mixed device-circuit solution for ESD protection of high-voltage fast pins », in *Reliability physics symposium, 2007. proceedings. 45th annual. ieee international*, 2007, p. 602–603.

[19] S. Pendharkar, R. Teggatz, J. Devore, J. Carpenter, T. Efland, et C. Y. Tsai, « SCR-LDMOS. A novel LDMOS device with ESD robustness », in *Power Semiconductor Devices and ICs, 2000. Proceedings. The 12th International Symposium on*, 2000, p. 341–344.

[20] A. Ille, W. Stadler, A. Kerber, T. Pompl, T. Brodbeck, K. Esmark, et A. Bravaix, « Ultra-thin gate oxide reliability in the ESD time domain », in *Electrical Overstress/Electrostatic Discharge Symposium, 2006. EOS/ESD '06.*, 2006, p. 285–294.

[21] M. Shrivastava, J. Schneider, R. Jain, M. S. Baghini, H. Gossner, et V. Ramgopal Rao, « IGBT plugged in SCR device for ESD protection in advanced CMOS technology », in *EOS/ESD Symposium, 2009 31st*, 2009, p. 1–9.

[22] E. Gevinti, L. Cerati, M. Sambi, M. Dissegna, L. Cecchetto, A. Andreini, A. Tazzoli, et G. Meneghesso, « Novel 190V LIGBT-based ESD protection for 0.35 µm Smart Power technology realized on SOI substrate », in *Electrical Overstress/Electrostatic Discharge Symposium, 2008. EOS/ESD 2008. 30th*, 2008, p. 211–220.

[23] T. J. Maloney et S. Dabral, « Novel clamp circuits for IC power supply protection », *Components, Packaging, and Manufacturing Technology, Part C, IEEE Transactions on*, vol. 19, n°. 3, p. 150–161, 1996.

[24] H. Tranduc, P. Rossel, M. Gharbi, J. Sanchez, G. Charitat, et others, « Le transistor-thyristor métal-oxyde-semiconducteur (T2 MOS) », *Revue de physique appliquée*, vol. 20, n°. 8, p. 575–581, 1985.

[25] M. Scholz, S. Thijs, D. Linten, D. Trémouilles, M. Sawada, T. Nakaei, T. Hasebe, M. Natarajan, et G. Groeseneken, « Calibrated wafer-level HBM measurements for quasi-static and transient device analysis », in *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*, 2007, p. 2A–2.

[26] M. P. J. Mergens, C. C. Russ, K. G. Verhaege, J. Armer, P. C. Jozwiak, et R. Mohn, « High holding current SCRs (HHI-SCR) for ESD protection and latch-up immune IC operation », *Microelectronics Reliability*, vol. 43, n°. 7, p. 993–1000, juill. 2003.

[27] R. R. Troutman, *Latchup in CMOS technology: the problem and its cure*, vol. 13. Springer, 1986.

[28] « traceur de courbe semi-conducteurs ». [Online]. Available: http://dicotop.kegtux.org/traceur_de_courbe_semi-conducteurs. [Accessed: 24-nov-2011].

[29] A. Romanescu, « Modèle compact paramétrable du SCR pour applications ESD et RF », Thèse du doctorat, IMEP-LAHC, 2011.

[30] D. Pogany, D. Johnsson, S. Bychikhin, K. Esmark, P. Rodin, E. Gornik, M. Stecher, et H. Gossner, « Nonlinear dynamics approach in modeling of the on-state-spreading - related voltage and current transients in 90nm CMOS silicon controlled rectifiers », in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, p. 1–4.

[31] P. Besse, N. Nolhier, M. Bafleur, M. Zecri, et Y. Chung, « Investigation for a Smart Power and self-protected device under ESD stress through geometry and design considerations for automotive applications », in *2002 Electrical Overstress/Electrostatic Discharge Symposium, 2002. EOS/ESD '02.*, 2002, p. 351–356.

[32] H. Arbess, D. Tremouilles, et M. Bafleur, « High-temperature operation MOS-IGBT power clamp for improved ESD protection in smart power SOI technology », *33rd Annual Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD),* Anaheim USA, 11-16 september 2011

[33] A. Delmas, D. Tremouilles, N. Nolhier, M. Bafleur, N. Mauran, et A. Gendron, « Accurate transient behavior measurement of high-voltage ESD protections based on a very fast transmission-line pulse system », in *EOS/ESD Symposium, 2009 31st*, 2009, p. 1 –8.

Conclusion générale

Dans ce travail, réalisé dans le cadre du projet COTECH financé par la Fondation de Recherche pour l'Aéronautique et l'Espace, notre contribution a porté sur l'étude d'une technologie SOI commerciale pour une utilisation étendue à haute température (250°C). Les paramètres technologiques de cette technologie étant figés, l'originalité de notre étude a consisté à étudier de nouvelles topologies permettant une amélioration significative des performances électriques à ces hautes températures. Nous avons focalisé notre étude, d'une part, sur l'amélioration des performances des composants LDMOS de puissance à basse tension (<100V) et d'autre part, sur la proposition d'une nouvelle stratégie de protection ESD centralisée. Dans les deux cas, l'innovation de l'approche réside dans la combinaison, au sein d'un même composant, d'un mode de fonctionnement MOS et d'un autre bipolaire, dans un objectif d'obtenir une compensation des effets négatifs de la température.

Dans ce travail nous avons cité les différentes méthodes de fabrication des plaquettes SOI, ainsi que les avantages et les inconvénients des composants réalisés sur cette technologie. La variation des caractéristiques électriques des composants SOI, ainsi que la défaillance des éléments constituant ces composants avec la température sont également détaillés. Nous avons donné une liste des structures de protection les plus utilisées avec leur mode de fonctionnement dans la protection des composants et des circuits intégrés.

Nous avons dessiné et caractérisé plusieurs topologies des composants basse tension afin d'améliorer leurs performances à haute température. L'utilisation des transistors multi-doigts avec drain placé au centre a prouvé son efficacité pour une diminution du courant de fuite à basse et haute températures. Outre les transistors MOS multi-doigts une comparaison a été réalisée entre les transistors à grille circulaire, des transistors à grille rectangulaire fermée et des transistors orientés à 45°. La faible différence, observée, entre ces différentes formes topologiques ne justifie pas leur utilisation. Cependant une exception dans le cas du transistor PMOS, où les structures orientées à 45 ° présente une amélioration significative du courant de fuite, de la résistance passante et du courant de saturation mérite, que cette solution soit explorée et mieux exploitée (rotation de plaquette et non par layout).

Dans ce travail, nous avons proposé une structure mixte MOS-IGBT comme structure de puissance de 25 V, qui contient à la fois un LDMOS et un LIGBT. L'objectif était de mettre à profit les avantages de ces deux composants. Les premières structures implémentées sur silicium ont montré un mauvais fonctionnement du fait du déclenchement d'un thyristor parasite à très basse tension. En utilisant la simulation TCAD sur Sentaurus, nous sommes arrivé à avoir un déclenchement du thyristor parasite à haute tension (> 25 V) avec un avantage important de résistance passante et du courant de saturation avec le LDMOS, surtout à haute température. La solution d'optimisation proposée est la modification de la structure SBC de la bibliothèque, en introduisant une réduction de canal de 10 % et une réduction de canal de 20%. Ces solutions ont été validées sur silicium à la fois pour des structures de type N et de type P. La structure mixte MOS-IGBT de type P présente un avantage par rapport à la structure MOS-IGBT de type N. Les mesures montrent une meilleure tenue en tension

(jusqu'à 14 V) comparées au PLDMOS, ces structures montrent une amélioration de la résistance et du courant de saturation atteignant de 100%. La méconnaissance des paramètres technologiques de dopage ne nous a pas permis d'exploiter quantitativement les résultats de simulations et explique les écarts avec les mesures.

Ces structures mixtes MOS-IGBT ont été utilisées en tant que structures de protection contre les décharges électrostatiques (ESD) pour remplacer une structure de protection de type "power clamp". Cette architecture mixte confère plusieurs avantages qui sont la possibilité d'activer le thyristor parasite permettant ainsi d'obtenir une très faible résistance à l'état passant quasiment indépendante de la température, une amélioration significative de la robustesse ESD (30 à 40 fois selon le rapport de N^+/P^+) et un gain en surface considérable (facteur 10). L'inconvénient majeur associé au déclenchement du thyristor est son faible courant de maintien incompatible avec une immunité du circuit au risque de latch-up. En s'appuyant également sur la simulation 3D, nous avons proposé plusieurs solutions, à la fois topologiques et d'architecture de la protection, permettant d'augmenter significativement le niveau de ce courant. Comme dans le cas des structures de puissance, les solutions consistent à diminuer le plus possible la résistance de Pwell dans le cas des structures de type N. Les solutions d'optimisation les plus efficaces pour augmenter le courant de maintien du thyristor sont celles comportant un canal réduit de 20 %. Cette tendance a bien été validée expérimentalement mais pas dans les proportions prédites par la simulation. Une amélioration d'un facteur 2 a cependant été obtenue par rapport aux structures initiales. En particulier, il est intéressant de noter que le PLIGBT offre une amélioration significative du contrôle du thyristor. Nous avons également montré expérimentalement que les structures actuelles peuvent être utilisées soit en série, soit en parallèle, pour obtenir la valeur de tension ou de courant de maintien souhaitée, respectivement.

En termes de perspectives de ce travail, nous avons proposé de nouvelles idées pour optimiser ces structures que nous avons validées en simulation. En effet, l'ingénierie de la longueur de la zone de drift a un effet positif à la fois sur la tenue en tension et sur le courant de maintien des structures de protection ESD. De plus le facteur de forme de la structure et la mise en parallèle de cellules élémentaires peuvent être un paramètre important dans la prochaine optimisation.

Il est intéressant de mentionner que les différentes solutions pour améliorer les performances de ces structures pourraient également être mises à profit pour améliorer la tenue aux radiations de ces composants, en particulier, vis-à-vis de l'évènement de Single Event Burnout (SEB) [1].

[1] M.ZERARKA P.AUSTIN M.BAFLEUR "Comparative study of sensitive volume and triggering criteria of SEB in 600V planar and trench IGBTs", Microelectronics Reliability, Vol.53, N°9-11, pp.1990-1994, Septembre 2011

Liste des conférences et publications

- H. Arbess, M. Bafleur, « MOS-IGBT power devices for high-temperature operation in smart power SOI technology », *Microelectronics Reliability*, Vol.51, N°9-11, pp.1980-1984, Octobre 2011. 22nd European Symposium on Reliability of Electron Devices, Failure Physics and Analysis ESREF 2011, October 2011 3rd - 7th Bordeaux – France.

- H. Arbess, D. Tremouilles, et M. Bafleur, « High-temperature operation MOS-IGBT power clamp for improved ESD protection in smart power SOI technology », *33rd Annual Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD),* Anaheim USA, 11-16 september 2011

- H. Arbess « Structures mixtes MOS-IGBT pour l'amélioration de la protection ESD à haute température en technologie SOI », Journée de l'école doctorale GEET, Toulouse, France, 17 Mars 2011.

- H. Arbess, "High-temperature design approaches in SOI technology" (poster). Symposium SPEC (Safran Power Electronic Center), Paris, 18 - 19 Nov 2009.

- H. Arbess "High-temperature design approaches in SOI technology" (poster). GDR ISP3D, Lyon, Oct 2009.

- H. Arbess "MOS-IGBT power devices for high temperature operation in smart power SOI technology" (poster). Symposium du SPEC, Lyon, 7 - 9 Nov 2011.