



**HAL**  
open science

# Contrôle et intégration d'amplificateurs de classe D à commande numérique pour la téléphonie mobile

Remy Cellier

► **To cite this version:**

Remy Cellier. Contrôle et intégration d'amplificateurs de classe D à commande numérique pour la téléphonie mobile. Autre. INSA de Lyon, 2011. Français. NNT : 2011ISAL0063 . tel-00735795

**HAL Id: tel-00735795**

**<https://theses.hal.science/tel-00735795>**

Submitted on 26 Sep 2012

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON**

N°ordre 2011ISAL0063

## **THÈSE**

pour obtenir le grade de

### **DOCTEUR DE L'INSA DE LYON**

Spécialité : Micro Électronique

préparée au laboratoire **INL** dans le cadre de  
**l'École Doctorale** Électronique Électrotechnique Automatique

présentée et soutenue par

**Rémy CELLIER**

le 11 Juillet 2011

Titre :

### **CONTRÔLE ET INTÉGRATION D'AMPLIFICATEURS DE CLASSE D À COMMANDE NUMÉRIQUE POUR LA TÉLÉPHONIE MOBILE**

Directeur de thèse : M<sup>r</sup> Nacer Abouchi  
Co-directeur : M<sup>r</sup> Gaël Pillonnet

### **Jury**

Pr. Daniel BARBIER,  
Pr. Yann DEVAL,  
Pr. Pascal NOUET,  
Pr. Nacer ABOUCHI,  
M<sup>r</sup>. Angelo NAGARI,  
Dr. Gaël PILLONNET,  
Dr. Cyril CONDEMINÉ,

Président  
Rapporteur  
Rapporteur  
Directeur de Thèse  
Encadrant Industriel  
Co-directeur  
Examinateur



À ma grand mère,  
Qui aurait tant voulu être là,

À mon ami d'enfance, Manu,  
Parti beaucoup trop tôt,

Et parce que la vie est un cycle,  
À mon bout de chou à venir et à sa maman.





# Remerciements

Cette thèse s'est déroulée au sein de la société ST-Ericsson dans le cadre d'une convention CIFRE avec l'équipe conception de l'Institut des Nanotechnologie de Lyon.

Je tiens, dans un premier temps, à remercier tout particulièrement :

- Gaël Pillonnet, Co-directeur de ce travail de thèse, pour son soutien et son aide au long de ces trois années,
- Angelo Magari, Encadrant industriel, pour sa confiance et tous les moyens mis à ma disposition,
- Nacer Abouchi, Directeur de thèse, pour son encadrement et sa direction lors de mes travaux de thèse,
- Monique Chiollaz, pour sa patience lors des nombreuses relectures de ce manuscrit.

Je remercie également M. Yann Deval, de l'IMS et M. Pascal Pouet, du LIRMM, qui ont accepté la délicate tâche d'être rapporteurs de ce travail de thèse et dont les nombreuses remarques ont permis d'améliorer grandement la qualité et la rigueur de ce manuscrit.

Un grand merci également à mes parents, Jean Paul et Patricia Cellier, qui m'ont toujours soutenu tout au long de mes études, et qui m'ont donné la chance d'être complètement épanoui pendant tout ce temps, et pour de nombreuses années encore. Merci papa pour le jambon du pot de thèse et merci maman pour les nombreux petits plats pendant toutes ces années.

J'exprime toute ma gratitude aux deux stagiaires que j'ai eu l'occasion

d'encadrer et qui ont pleinement contribué à la qualité de ce travail de thèse : Otavio Casagrande pour son aide et la qualité de son travail sur l'implémentation du modulateur numérique, et Souha Hacine, pour sa participation à la conception analogique de l'amplificateur présenté dans le chapitre deux.

Je remercie également Achille Donida et les professeurs Piero Malcovati et Andrea Baschirrotto pour leur aide dans la conception du convertisseur de la structure DD3.

Merci également à toutes les personnes que j'ai eu l'occasion de cotoyer pendant ma thèse et qui ont participé, de près ou de loin, à ce travail. En vrac, un grand merci au personnel de SCE : Emmanuel Allier, l'homme aux chemises trop serrées, François Amiard pour ses champignons aux pieds et Vincent Binet pour ses petits textos, mes trois compagnons d'infortune dans l'équipe Audio. Merci également aux personnes de l'équipe SMP : Xavier Bramca, dit la poutre, pour ses lunettes de soleil, Cédric Rechatin, pour la chaude ambiance des matchs de hand du MATHB et Sébastien Ortet pour ses bons plans champignons. Merci à Severin Crochut, alias Rodolphe l'homme qui a tout compris, (C'est My Patent) et Sébastien Cliquennois pour leurs aides sur LaTeX, Matlab et pour leurs matrices Jacobiennes. Un remerciement tout particulier à Simon Valcin, pour toute son aide précieuse. Merci à Christian Fraisse, pour son bruit hors bande et sa calculatrice. Merci aux secrétaires de SCE et notamment Chrystèle Bernard.

Un grand merci aussi aux petits thésards du laboratoire avec qui j'ai eu le plaisir de passer beaucoup de bons moments : Eric Sturtzger, l'homme au blason, Patrice Russo et sa maman pour ses tupperwares, Firas Yengui, qui pose son troisième MOS, Roberto M'Rad, pour son séjour Chasse et Pêche au Liban, Pavel Fiedorow, pour son polo rose et Ghulam Abbas pour sa cuisine à l'huile. Merci aux électrons libres, Alexandre Huffenus et Vratislav Michal, pour les bons (et moins bons) conseils qu'ils m'ont donné.

Je n'oublie pas tous les enseignants, personnels et étudiants de CPE et des classes préparatoires intégrées que j'ai eu l'occasion de rencontrer et qui m'ont fait passer de bons moments. Je tiens à remercier particulièrement, dans le corps enseignant, Evelynne Steffem pour ses nombreux ragots et Thierry Cixier pour m'avoir sauvé d'une mort par asphyxie certaine en me donnant son bureau.

Je tiens par ailleurs à remercier François Pinault, enseignant au lycée Bénée Cassin à Carare, pour m'avoir fait découvrir l'électronique et susciter une vocation qui m'a conduite jusqu'à cette thèse.

Et pour terminer, un remerciement tout particulier à ma compagne, Julie Veron, pour ses nombreux encouragements, pour m'avoir supporté toutes ces longues années et j'espère pour de nombreuses années encore.

Rémy Cellier



# Résumé

L'intégration de nombreuses fonctions complexes dans les systèmes embarqués, tels que les téléphones portables, conduit à optimiser la consommation d'énergie pour maintenir l'autonomie de fonctionnement. Concernant la chaîne de reproduction sonore, la consommation a été réduite par l'utilisation d'amplificateurs de classe D analogique, mais la nature numérique de la source audio impose encore un convertisseur numérique analogique en amont. La forte consommation de ce CAN et la qualité de reproduction sonore de l'amplificateur sont actuellement les principales limitations de cette approche. Ce travail de recherche, réalisé en quatre phases, a donc pour objectifs d'apporter des améliorations et de proposer de nouvelles architectures pour réduire ces limitations.

Concernant l'amplificateur de classe D analogique, une boucle d'asservissement analogique basée sur un modulateur auto-oscillant à hystérésis a été développée pour réduire la consommation et augmenter sa qualité de reproduction. Cette approche a permis de supprimer le signal de référence nécessaire à la modulation par largeur d'impulsion, d'augmenter la bande passante du contrôle et d'étaler le spectre des émissions électromagnétiques. Cette étude a été validée par la réalisation d'un circuit en technologie CMOS 130 nm.

La possibilité de piloter l'amplificateur de classe D directement par un signal de commande numérique a ensuite été envisagée. Cette approche vise à réduire la consommation en supprimant le convertisseur numérique analogique en amont de l'amplificateur. Le train d'impulsions nécessaire à la commande de l'étage de puissance est obtenu par modulation numérique de la source audio. Un modulateur numérique comprenant une interpolation, une modulation  $\Sigma\Delta$  et une modulation par largeur d'impulsion numérique a été intégré en technologie CMOS 130 nm et le circuit réalisé atteint les performances audio attendues.

L'utilisation en boucle ouverte de l'étage de puissance ne permet néanmoins pas d'obtenir un signal audio de sortie insensible aux variations de l'alimentation. Un asservissement analogique local autour de l'étage de puissance est donc nécessaire. Il s'agit d'une boucle de contrôle non linéaire dont l'action est d'asservir les trains d'impulsions d'entrée et de sortie. La réalisation en technologie CMOS 130 nm de cette architecture a permis la validation des études effectuées (fonctionnement, stabilité, bande passante, modélisations des éléments non linéaires,...).

Dans la solution précédente, l'interface entre le modulateur numérique et la partie analogique est très sensible aux perturbations. Un asservissement numérique global de l'amplificateur de classe D à commande numérique a donc été étudié pour contrôler cette interface. Une étape de conversion analogique numérique est alors introduite dans la boucle de retour. Les spécifications de cette conversion ont conduit à la conception d'un CNA  $\Sigma\Delta$  à temps continu. Bien qu'elle présente des contraintes pour la conception analogique, la technologie CMOS 40 nm a été retenue pour réduire la surface du contrôle numérique. Un prototype de cet asservissement est en cours de réalisation.



# Summary

*Traduction du texte précédent.*

The integration of many complex functions in embedded systems such as mobile phones, led to optimize energy consumption to maintain operational autonomy. Concerning the chain of sound reproduction, consumption was reduced by the use of analog Class D amplifiers, but the nature of the digital audio source requires a digital to analog converter further upstream. The high consumption of the ADC and the quality of sound reproduction of the amplifier are currently the main limitations of this approach. This research, conducted in four phases, thus aims to make improvements and propose new architectures to reduce these limitations. Regarding the Class D amplifier analog control loop an analog modulator based on a self-oscillating hysteresis has been developed to reduce consumption and increase its quality of reproduction. This study was validated by the realization of a circuit in CMOS 130 nm. The ability to control the class D amplifier directly from a digital control signal was then considered. The train of pulses needed to control the power stage is obtained by digital modulation of the audio source. The use of open-loop output stage, however, does not produce an audio signal output insensitive to variations in the load. A local analog servo around the power stage is required. Realization in CMOS 130 nm of this architecture has allowed the validation studies (operation, stability, bandwidth, modeling non-linear elements ,...). The interface between the digital modulator and the analog part is very sensitive to disturbance. A digital control overall Class D amplifier with digital control has been studied to control the interface. A prototype of this control is in progress.





# Table des matières

<b>Introduction</b>	<b>1</b>
<b>1 Généralités et état de l'art concernant les amplificateurs audio</b>	<b>7</b>
1.1 Introduction	7
1.2 Généralités concernant les amplificateurs audio	8
1.2.1 Principe de fonctionnement et modélisation électrique du haut-parleur	9
1.2.2 Source de puissance électrique	11
1.2.3 Définition des critères de qualité de la reproduction sonore	12
1.2.3.1 Évaluations subjectives	12
1.2.3.2 Évaluations objectives	12
1.2.4 Spécifications d'un amplificateur audio	14
1.2.4.1 Caractérisation et conditions de mesure	15
1.2.4.2 Taux de distorsion harmonique plus bruit - THD+N	15
1.2.4.3 Niveau de bruit	16
1.2.4.4 Réjection d'alimentation	18
1.2.4.5 Homogénéité de l'amplification dans la bande audio	19
1.2.4.6 Rendement et puissance dissipée	20
1.2.4.7 Émissions électromagnétiques	20
1.2.5 Plateforme d'un téléphone cellulaire	21
1.2.6 Applications pour la chaîne de reproduction sonore	21
1.3 Les différentes classes d'amplification	23
1.4 Les amplificateurs linéaires	23
1.4.1 Amplificateur de classe A	24
1.4.2 Amplificateur de classe B	25
1.4.3 Amplificateur de classe AB	27
1.4.4 Amplificateur de classe C	28
1.5 Les amplificateurs commutés	29
1.5.1 Introduction aux amplificateurs non linéaires	29
1.5.1.1 Principe de fonctionnement	29
1.5.1.2 Analogie avec un système hydroélectrique	31
1.5.1.3 Leur histoire et leurs défis	32
1.5.1.4 Amplificateur analogique ou numérique?	33
1.5.1.5 Configuration de l'étage de puissance	33
1.5.1.6 Perturbations de l'amplificateur de classe D	35
1.5.2 Amplificateur de classe D en boucle ouverte	37
1.5.2.1 Amplificateur de classe D analogique	37
1.5.2.2 Amplificateur de classe D numérique	37

1.5.2.3	Inconvénients de la structure en boucle ouverte . . . . .	38
1.5.3	Amplif cateur de classe D en boucle fermée . . . . .	38
1.5.3.1	Asservissement analogique synchrone . . . . .	39
1.5.3.2	Asservissement analogique asynchrone . . . . .	43
1.5.3.3	Asservissement local analogique . . . . .	47
1.5.3.4	Asservissement mixte pour amplif cateurs à entrée analogique . . . . .	47
1.5.3.5	Asservissement pour amplif cateurs à entrée numérique . . . . .	49
1.5.4	Comparaisons des performances des contrôles . . . . .	55
1.6	Rendement de l'amplif cateur de classe D . . . . .	56
1.6.1	Puissance de sortie . . . . .	56
1.6.2	Perte par conduction . . . . .	56
1.6.3	Perte par commutation . . . . .	57
1.6.4	Perte par conduction des fréquences porteuses . . . . .	57
1.6.5	Bilan de puissance . . . . .	58
1.7	Analyse de la modulation par largeur d'impulsion . . . . .	59
1.7.1	Généralité sur le codage par largeur d'impulsion . . . . .	59
1.7.2	Principe de modulation par largeur d'impulsion . . . . .	60
1.7.3	Schémas de modulation par largeur d'impulsion . . . . .	61
1.7.4	Nature des signaux . . . . .	63
1.8	Cahier des charges . . . . .	64
1.9	Conclusion de l'état de l'art . . . . .	65
<b>2</b>	<b>Étude et réalisation d'un amplif cateur de classe D analogique auto oscillant</b>	<b>67</b>
2.1	Introduction . . . . .	67
2.2	Limitations de l'amplif cateur de classe D en boucle fermée utilisant une MLI . . . . .	68
2.2.1	Limitation architecturale . . . . .	68
2.2.1.1	Amplif cateur de classe D en boucle fermée basé sur une MLI . . . . .	68
2.2.1.2	Linéarisation des éléments commutés . . . . .	68
2.2.1.3	Comportement en boucle fermée et étude de la stabilité petits signaux . . . . .	69
2.2.1.4	Second critère de stabilité lié à la nature commutée du système . . . . .	70
2.2.1.5	Amélioration de la <i>NTF</i> par action double pôle . . . . .	71
2.2.2	Limitations électriques . . . . .	72
2.2.3	Conclusion . . . . .	72
2.3	Étude et réalisation d'un amplif cateur de classe D auto oscillant . . . . .	73
2.3.1	Introduction aux systèmes auto oscillants . . . . .	73
2.3.1.1	Principe . . . . .	73
2.3.1.2	Méthode de prévision de la fréquence de commutation . . . . .	74
2.3.1.3	Déf inition de la structure et des paramètres d'asservissement . . . . .	76
2.3.1.4	Passage en mode différentiel et modulation ternaire . . . . .	77
2.3.1.5	Effet du caractère non idéal de l'action intégrale . . . . .	79
2.3.1.6	Solution retenue . . . . .	80
2.3.2	Intégration d'un amplif cateur de classe D auto-oscillant . . . . .	80
2.3.2.1	Architecture d'une voie d'amplif cation . . . . .	80
2.3.2.2	Effet des variations de mode commun du cycle d'hysteresis . . . . .	83
2.3.2.3	Implémentation en technologie CMOS 130nm . . . . .	86
2.3.3	Performances et comparaison . . . . .	97
2.3.3.1	Mesures effectuées sur le circuit réalisé . . . . .	97

2.3.3.2	Comparaison . . . . .	102
2.4	Conclusion . . . . .	102
<b>3</b>	<b>Principe et analyse de la modulation numérique</b>	<b>105</b>
3.1	Introduction . . . . .	105
3.2	Analyse de la Modulation par Largeur d'Impulsion Numérique (MLIN) . . . . .	106
3.2.1	Principe . . . . .	106
3.2.2	Effet de la quantification du signal . . . . .	107
3.2.3	Effet de l'échantillonnage du signal de référence $V_{ref}$ . . . . .	108
3.2.4	Prédiction de la linéarité du procédé de MLIN . . . . .	109
3.2.5	Réalisation d'une MLIN . . . . .	113
3.3	Analyse du bruit de la MLIN . . . . .	119
3.3.1	Définition du bruit de quantification . . . . .	119
3.3.1.1	Bruit de quantification . . . . .	119
3.3.1.2	Signal utile . . . . .	119
3.3.2	SNR et sur-échantillonnage . . . . .	120
3.3.3	SNR et modulation $\Sigma\Delta$ . . . . .	121
3.3.3.1	Cas du modulateur d'ordre 1 . . . . .	122
3.3.3.2	Cas du modulateur d'ordre 2 . . . . .	124
3.3.3.3	Cas du modulateur d'ordre $k$ . . . . .	124
3.3.4	Modulation par Densité d'Impulsion Numérique (MDIN) . . . . .	125
3.4	Intégration de la chaîne de MLIN . . . . .	125
3.4.1	Vue d'ensemble . . . . .	125
3.4.2	Interpolation . . . . .	126
3.4.3	Réduction de la quantification et mise en forme du bruit . . . . .	131
3.4.4	Réalisation de la MLIN . . . . .	134
3.4.5	Effet du bruit de phase de l'horloge . . . . .	134
3.4.6	Conclusion sur l'implémentation . . . . .	137
3.5	Utilisation d'un étage de puissance en boucle ouverte . . . . .	138
3.5.1	Principe . . . . .	138
3.5.2	Réalisation . . . . .	138
3.5.3	Analyse des performances . . . . .	139
3.6	Conclusion . . . . .	140
<b>4</b>	<b>Asservissement analogique local de l'étage de puissance</b>	<b>141</b>
4.1	Introduction . . . . .	141
4.2	Principe de l'asservissement analogique local non linéaire . . . . .	142
4.2.1	Principe . . . . .	143
4.2.2	Fonctionnement . . . . .	144
4.2.2.1	Phase 1 : $V_{in} = V_{ana}$ & $V_{out} = V_{bat}$ . . . . .	145
4.2.2.2	Phase 2, 3 & 4 . . . . .	146
4.2.3	Potentiel de référence . . . . .	146
4.2.4	Critère de stabilité "grands signaux" . . . . .	148
4.2.4.1	Condition de stabilité liée à l'état 4 . . . . .	149
4.2.4.2	Condition de stabilité liée à l'état 2 . . . . .	149
4.2.4.3	Condition de stabilité générale . . . . .	150
4.2.5	Critère de non saturation . . . . .	150
4.2.6	Critère de basculement . . . . .	152

4.2.7	Inf uence du délai de boucle . . . . .	153
4.2.8	Inf uence du réseau de compensation . . . . .	154
4.2.9	Conclusion . . . . .	154
4.3	Modélisation des éléments commutés et analyse fréquentielle . . . . .	155
4.3.1	Modélisation . . . . .	155
4.3.2	Réponse fréquentielle de la boucle de contrôle non linéaire . . . . .	157
4.3.2.1	Cas de l'action intégrale d'ordre un . . . . .	157
4.3.2.2	Cas de l'action intégrale d'ordre deux . . . . .	158
4.3.3	Méthode de réduction des EMI . . . . .	164
4.4	Intégration de l'asservissement analogique local . . . . .	166
4.4.1	Architecture . . . . .	166
4.4.2	Conception du contrôle en CMOS 130nm . . . . .	168
4.4.3	Conception du circuit test . . . . .	169
4.4.3.1	Gestion des alimentations 169	
4.4.3.2	Circuit et carte de mesure 171	
4.5	Caractérisation du circuit réalisé . . . . .	171
4.5.1	Performances audio . . . . .	172
4.5.2	Réjection des perturbations sur l'alimentation . . . . .	174
4.5.3	Aspect EMI . . . . .	175
4.6	Conclusion . . . . .	178
<b>5</b>	<b>Asservissement numérique global de la chaîne de reproduction sonore</b>	<b>179</b>
5.1	Introduction . . . . .	179
5.2	Analyse du système en boucle ouverte . . . . .	180
5.2.1	Analyse et comparaison des structures de CAN . . . . .	180
5.2.1.1	CAN Flash . . . . .	181
5.2.1.2	CAN SAR . . . . .	183
5.2.1.3	CAN sur-échantillonné . . . . .	184
5.2.1.4	Compromis architectural . . . . .	185
5.2.1.5	CAN et contraintes du système . . . . .	185
5.2.1.6	Etude du compromis ordre, sur-échantillonnage, résolution et SNR des CAN $\Sigma\Delta$ . . . . .	188
5.2.2	Architecture d'un CAN $\Sigma\Delta$ à temps continu . . . . .	191
5.2.2.1	Structure du filtre de boucle . . . . .	193
5.2.2.2	CNA de retour . . . . .	195
5.2.2.3	Filtre anti-repliement intrinsèque . . . . .	198
5.2.2.4	Architecture retenue . . . . .	199
5.2.2.5	Réalisation en technologie CMOS 40nm . . . . .	200
5.3	Analyse du système en boucle fermée . . . . .	201
5.3.1	Etudes des possibilités de fermeture de boucle . . . . .	201
5.3.2	Effets de numérisation : cycles limites et erreurs d'arrondi . . . . .	204
5.3.2.1	Erreurs d'arrondi . . . . .	204
5.3.2.2	Cycles limites . . . . .	205
5.3.3	Stratégie de contrôle . . . . .	206
5.3.3.1	Modélisation du système . . . . .	207
5.3.3.2	Approche Proportionnelle Intégrale . . . . .	208

5.4	Réalisation d'un prototype . . . . .	210
5.5	Amélioration du contrôle . . . . .	211
5.6	Conclusion . . . . .	212
<b>Conclusion</b>		<b>I</b>
<b>Annexes</b>		<b>I</b>
<b>A Réalisation électrique d'action intégrale</b>		<b>III</b>
A.1	Intégrateur dit " $g_m C$ " . . . . .	III
A.2	Intégrateur dit "actif $g_m C$ " . . . . .	V
A.3	Intégrateur dit "actif $RC$ " . . . . .	V
A.4	Intégrateur dit "actif MOS-C" . . . . .	VII
A.5	Comparaison et conclusion . . . . .	VII
<b>B Conception CMOS de l'amplificateur d'erreur</b>		<b>IX</b>
B.1	Étage différentielle d'entrée : structure, bruit et tension de décalage . . . . .	IX
B.1.1	Minimisation du bruit . . . . .	IX
B.1.2	Étude de la tension de décalage $V_d$ . . . . .	XII
B.1.3	Excursion du signal d'entrée . . . . .	XIII
B.1.4	Étage d'entrée de type cascode replié . . . . .	XIV
B.1.4.1	Principe et étude du bruit . . . . .	XIV
B.1.4.2	Comportement dynamique . . . . .	XVII
B.2	Étage de gain . . . . .	XVIII
B.3	Dimensionnement de l'amplificateur . . . . .	XIX
<b>C Réalisation des filtres FIR d'interpolation</b>		<b>XXI</b>
C.1	Solution 1 : Filtre FIR1, FIR2 et FIR3 d'interpolation . . . . .	XXI
C.2	Solution 2 : Filtre FIR de compensation . . . . .	XXI
<b>D Implémentation FPGA de la boucle de contrôle numérique</b>		<b>XXIII</b>
<b>Bibliographie</b>		<b>XV</b>



# Liste des figures

1	Architecture d'une fonction audio dans un système embarqué . . . . .	1
1.1	Structure d'un haut-parleur . . . . .	9
1.2	Modèles électriques du Haut Parleur . . . . .	11
1.3	Profil de décharge d'une batterie Li-Ion . . . . .	11
1.4	Condition de mesure . . . . .	15
1.5	Exemple de mesure de linéarité extraite de la datasheet du circuit TS4962 . . . . .	16
1.6	Courbes d'isotonie - Robinson et Datsou, 1957 . . . . .	17
1.7	Gabarit des filtres A-Weighted (Bleu) & ITU-R468 (Noir) . . . . .	18
1.8	Mesure du PSRR . . . . .	19
1.9	Gain de l'amplificateur en fonction de la fréquence d'entrée . . . . .	19
1.10	Rendement en fonction de la puissance de sortie . . . . .	20
1.11	Synoptique d'une plate-forme de téléphonie mobile . . . . .	21
1.12	Publicité pour un téléphone cellulaire . . . . .	22
1.13	Zone d'amplification pour les différentes classes . . . . .	24
1.14	Principe de polarisation en classe A . . . . .	24
1.15	Principe de polarisation en classe B . . . . .	26
1.16	Principe de polarisation en classe AB . . . . .	27
1.17	Principe de polarisation en classe C . . . . .	28
1.18	Principe du Classe D analogique . . . . .	30
1.19	Principaux signaux de l'amplificateur dans le cas d'une MLI . . . . .	30
1.20	Analogie hydraulique . . . . .	31
1.21	Connexion du haut parleur . . . . .	34
1.22	Principales perturbations introduites . . . . .	35
1.23	Chaîne totale de la reproduction audio classe D analogique . . . . .	37
1.24	Chaîne totale de la reproduction audio classe D numérique . . . . .	38
1.25	Schéma de principe du contrôle linéaire par MLI . . . . .	40
1.26	Principe de modulation $\Sigma\Delta$ analogique pour amplificateur de classe D . . . . .	42
1.27	Modulation $\Sigma\Delta$ sur 1 & 1.5 bit . . . . .	42
1.28	Schéma de principe d'un amplificateur de classe D en boucle fermée . . . . .	44
1.29	Boucle auto-oscillante à déphasage . . . . .	45
1.30	Connexion de la charge sur un système auto-oscillant . . . . .	45
1.31	Principe d'un contrôleur à hystérésis . . . . .	46
1.32	Principe d'un amplificateur de classe D numérique localement asservi . . . . .	47
1.33	Asservissement mixte avec correcteur numérique pour amplificateur de classe D . . . . .	48
1.34	Asservissement mixte avec correcteur analogique pour amplificateur de classe D . . . . .	49
1.35	Principe de la compensation numérique des variations de la batterie . . . . .	50
1.36	Régulation par modulation PWM numérique . . . . .	51



1.37	Régulation par modulation PWM numérique avec action PI . . . . .	52
1.38	Régulation par modulation PWM numérique avec pré-compensation . . . . .	53
1.39	Régulation par modulation PWM numérique avec IMC . . . . .	53
1.40	Régulation par modulation PDM numérique avec IMC . . . . .	54
1.41	Principe du modulateur $\Sigma\Delta$ sans latence . . . . .	54
1.42	Exemple de rendements de l'amplificateur de classe D . . . . .	58
1.43	Compromis entre $f_s$ , $\eta$ et la taille des composants passifs . . . . .	60
1.44	Principe d'une modulation par largeur d'impulsion double rampe . . . . .	60
1.45	Réalisation d'une MLI binaire et ternaire . . . . .	61
1.46	Spectres des MLI binaire et ternaire . . . . .	62
2.1	Amplificateur de classe D en boucle fermée basé sur une MLI . . . . .	68
2.2	Éléments commutés . . . . .	69
2.3	Schéma bloc linéaire équivalent . . . . .	70
2.4	Limite de stabilité "grand signaux" . . . . .	71
2.5	Schéma de principe d'un amplificateur de classe D . . . . .	74
2.6	Exemple de boucle auto-oscillante à déphasage . . . . .	75
2.7	Schéma minimaliste d'un amplificateur de classe D HSO . . . . .	76
2.8	Lien entre le CNA et la modulation de l'amplificateur de classe D . . . . .	77
2.9	Principe de couplage des signaux d'erreurs de deux voies auto oscillante . . . . .	78
2.10	Signal de sortie : effet de la synchronisation . . . . .	79
2.11	Effet de la bande passante $BP$ du correcteur $C$ sur la fréquence de commutation $F_s$ . . . . .	79
2.12	Architecture retenue . . . . .	80
2.13	Implémentation électrique de l'architecture retenue . . . . .	81
2.14	Allure des signaux $V_e$ , $V_s$ et $V_c$ pendant une période . . . . .	82
2.15	Effet du mode commun de la surface d'erreur sur $V_s$ . . . . .	83
2.16	Cycle d'hystérésis de type "Trigger de Schmitt" . . . . .	84
2.17	Fenêtre d'hystérésis à mode commun constant . . . . .	85
2.18	Génération des limites de la fenêtre d'hystérésis . . . . .	85
2.19	Blocs élémentaires constituant l'amplificateur proposé . . . . .	87
2.20	Architecture interne de l'amplificateur d'erreur . . . . .	88
2.21	Schéma de l'amplificateur d'erreur . . . . .	89
2.22	Schéma bloc de l'amplificateur d'erreur dans son environnement . . . . .	90
2.23	Représentation de $A(s)$ dans un lieu de Bode . . . . .	90
2.24	Diagramme structurel de l'amplificateur . . . . .	91
2.25	Diagramme structurel de l'amplificateur avec compensation fréquentielle . . . . .	91
2.26	Représentation de $A(s)$ compensé dans un lieu de Bode . . . . .	92
2.27	Architecture interne du comparateur . . . . .	93
2.28	Schéma du comparateur . . . . .	95
2.29	Dessin des masques du contrôle de l'amplificateur proposé . . . . .	96
2.30	Répartition en surface et en puissance des différents éléments . . . . .	97
2.31	Circuit réalisé et carte de test . . . . .	97
2.32	Effet temporel de la synchronisation . . . . .	98
2.33	Effet de la synchronisation sur les performances . . . . .	99
2.34	Agressions conduites et rayonnées d'un système commuté dans son environne- ment . . . . .	100
2.35	Spectre du signal de sortie pour différentes amplitudes . . . . .	100

2.36	Carte de champs magnétique radiale $B_r$ proche . . . . .	101
2.37	Spectre des perturbations rejetées sur l'alimentation . . . . .	102
3.1	Structure d'un amplificateur de classe D numérique . . . . .	105
3.2	Modulation naturelle et uniforme . . . . .	107
3.3	Effet de l'échantillonnage sur la linéarité de la MLIN . . . . .	108
3.4	Spectres des signaux $a_1(t)$ , $a_2(t)$ et $a_3(t)$ . . . . .	109
3.5	Modèle de Hammerstein du procédé de MLIN . . . . .	110
3.6	Fonctionnement de la fonction $f_{mlin}$ . . . . .	111
3.7	Principe de correction prédictive d'une MLIN . . . . .	112
3.8	Spectre d'une MLI et d'une MLIN . . . . .	113
3.9	MLIN basée sur un compteur . . . . .	114
3.10	MLIN basée sur une ligne de délais . . . . .	114
3.11	Cellule de délai programmable . . . . .	115
3.12	MLIN basée sur une approche hybride . . . . .	116
3.13	Mise en forme du bruit de quantification . . . . .	117
3.14	Architecture du modulateur numérique . . . . .	118
3.15	Densité spectrale de bruit de quantification à Fe et $OSR \cdot Fe$ . . . . .	121
3.16	Principe d'un modulateur $\Sigma\Delta$ . . . . .	121
3.17	Modulateur $\Sigma\Delta$ d'ordre 1 . . . . .	122
3.18	Evolution normalisée de la NTF d'un modulateur $\Sigma\Delta$ d'ordre 1 . . . . .	123
3.19	Schéma du modulateur $\Sigma\Delta$ d'ordre 2 . . . . .	124
3.20	Principe d'une opération d'interpolation . . . . .	126
3.21	Signaux intermédiaires lors d'une opération d'interpolation - $OSR=3$ . . . . .	127
3.22	Filtre FIR d'interpolation : réponse fréquentielle globale . . . . .	128
3.23	Filtre FIR d'interpolation : réponse fréquentielle locale . . . . .	128
3.24	Structure de la chaîne d'interpolation . . . . .	128
3.25	Principe d'interpolation linéaire par morceau . . . . .	129
3.26	Réalisation de l'interpolation linéaire par morceau . . . . .	129
3.27	Gabarit d'un filtre biquad . . . . .	130
3.28	Réponse en bande audio des éléments de l'interpolateur linéaire par morceaux . . . . .	130
3.29	Structure de la chaîne d'interpolation réalisée . . . . .	131
3.30	Architecture du modulateur $\Sigma\Delta$ MASH 22 . . . . .	132
3.31	Spectre de $Y(z)$ . . . . .	133
3.32	Modulateur $\Sigma\Delta$ MASH 22 - Représentation en virgule fixe . . . . .	134
3.33	Répartition spectrale de phase $S_\phi(\omega)$ . . . . .	134
3.34	Spectre asymptotique de phase d'une horloge réelle . . . . .	135
3.35	Spectre de phase d'une horloge . . . . .	136
3.36	Densité spectrale de puissance du signal de sortie d'une MLIN . . . . .	137
3.37	Principe de réalisation de la structure DD1 . . . . .	138
3.38	Circuit réalisé et carte de test . . . . .	139
3.39	PSRR de la structure DD1 . . . . .	140
4.1	Principe de la structure DD2 . . . . .	142
4.2	Schéma électrique d'une boucle à accroche de phase . . . . .	143
4.3	Du Classe D PWM au Classe D DD2 . . . . .	144
4.4	Évolution générale de $V_{in}$ , $V_{out}$ et $V_i$ . . . . .	145
4.5	Phase 1 . . . . .	146

4.6	Phase 4,3 et 2 (Ordre chronologique) . . . . .	146
4.7	Courant dans la capacité à chaque phase de fonctionnement . . . . .	147
4.8	Influence de $V_{ref}$ sur la linéarité du système bouclé . . . . .	148
4.9	Principe d'instabilité non linéaire . . . . .	149
4.10	Limite d'excursion de la sortie de l'intégrateur . . . . .	151
4.11	Effet d'une petite impulsion de commande . . . . .	153
4.12	Influence du délai sur le fonctionnement de la boucle . . . . .	154
4.13	Modélisation des éléments commutés . . . . .	155
4.14	Décomposition du mode commun contenu dans le signal d'entrée $V_{in}$ . . . . .	156
4.15	Création d'une rampe virtuelle via la tension de mode commun du signal d'entrée	157
4.16	Réalisation de l'action intégrale double . . . . .	159
4.17	Schéma-bloc de la structure "Pôles Cascadés" . . . . .	160
4.18	Gabarit du filtre de boucle entre $V_c$ et $V_{in}$ . . . . .	161
4.19	Lieu de bode de $BO_{PD}(p)$ . . . . .	163
4.20	Asservissement analogique local avec connexion <i>BTL</i> . . . . .	164
4.21	Signaux différentiels et signaux de mode commun . . . . .	165
4.22	Principe de l'étalement du spectre de la MLIN . . . . .	165
4.23	Spectres des signaux $V_{outp}$ . . . . .	166
4.24	Spectres des signaux $V_{hp}$ . . . . .	166
4.25	Architecture de la partie analogique du circuit test . . . . .	169
4.26	Contenu du circuit test . . . . .	170
4.27	Contenu du circuit test . . . . .	171
4.28	THD+N (dBr) en fonction de l'amplitude du signal d'entrée . . . . .	172
4.29	Intermodulation à 16kHz et 18kHz . . . . .	173
4.30	Réponse en bande audio pour $V_{hp} = -20dBFS$ . . . . .	174
4.31	Mesure du PSRR pour la structure <i>DD2</i> . . . . .	174
4.32	Spectres mesurés des signaux $V_{outp}$ . . . . .	175
4.33	Zoom sur les spectres des signaux $V_{hp}$ originaux et modifiés autour de $f_{MLIN}$ .	176
4.34	Rendement de l'amplificateur avec et sans modifications des signaux . . . . .	177
4.35	Spectres mesurés du signal $V_{hp}$ . . . . .	177
4.36	Origine du bruit résiduel . . . . .	177
5.1	Structure d'un amplificateur de classe D à asservissement numérique . . . . .	180
5.2	Boucle ouverte de l'amplificateur de classe D numérique . . . . .	180
5.3	Famille de CAN . . . . .	181
5.4	Principe d'un CAN Flash . . . . .	182
5.5	Principe d'un CAN SAR . . . . .	183
5.6	Principe d'un CAN $\Sigma\Delta$ . . . . .	184
5.7	Compromis architectural des familles de CAN . . . . .	185
5.8	Nature d'un CAN $\Sigma\Delta$ . . . . .	186
5.9	Spectre du signal à échantillonner . . . . .	187
5.10	Variation du SNR en fonction des paramètres du CAN $\Sigma\Delta$ CT . . . . .	188
5.11	Principe d'un résonnateur local sur CAN $\Sigma\Delta$ CT . . . . .	190
5.12	Architecture du CAN $\Sigma\Delta$ CT retenue . . . . .	191
5.13	PSD du CAN $\Sigma\Delta$ CT retenu idéal . . . . .	192
5.14	Exemple d'implémentation de l'action intégrale $I_2$ dans le filtre de boucle du CAN $\Sigma\Delta$ CT . . . . .	193
5.15	Architecture des amplificateurs réalisant les actions $I_2$ et $I_3$ . . . . .	195

5.16	Architecture de l'amplificateur réalisant l'action $I_1$ . . . . .	196
5.17	Architecture du CNA au niveau d'une polarité d'une boucle de rétroaction . . . . .	197
5.18	Réprésentation d'un CNA $\Sigma\Delta$ CT modifié . . . . .	198
5.19	Schéma simplifié du CAN . . . . .	200
5.20	Boucle ouverte de la structure DD3 . . . . .	201
5.21	Boucle fermée - structure $BF_1$ . . . . .	202
5.22	Boucle fermée - structure $BF_2$ . . . . .	202
5.23	Boucle fermée - structure $BF_3$ . . . . .	202
5.24	Architecture de l'amplificateur DD3 . . . . .	204
5.25	Principe d'un cycle limite . . . . .	206
5.26	Schéma bloc minimaliste de l'architecture DD3 . . . . .	207
5.27	Lieu de Nyquist de $BO_{DD3}(z)$ . . . . .	209
5.28	Lieu de Bode de $NTF(z)$ . . . . .	210
5.29	Stratégie de contrôle pour l'amplificateur DD3 . . . . .	212
A.1	Intégrateur " $g_m C$ " . . . . .	IV
A.2	Intégrateur "actif $g_m C$ " . . . . .	V
A.3	Intégrateur "actif $RC$ " . . . . .	VI
A.4	Intégrateur "MOS- $C$ " . . . . .	VII
B.1	Schéma équivalent en bruit en tension d'un transistor MOS . . . . .	X
B.2	Étage différentiel de type PMOS . . . . .	XI
B.3	Architecture d'un étage d'entrée cascode replié . . . . .	XIV
B.4	Schéma dynamique équivalent en bruit . . . . .	XV
B.5	Schémas dynamiques équivalents . . . . .	XVII
B.6	Schéma dynamique petits signaux équivalent . . . . .	XVII
B.7	Schémas électrique et dynamique équivalent d'un étage de gain "source commune" . . . . .	XIX
D.1	Interface FPGA - Quartus II . . . . .	XXIII
D.2	Banc de test et de mesure du modulateur numérique version FPGA . . . . .	XXIV
D.3	HIM de gestion des registres du modulateur numérique . . . . .	XXV



# Liste des tableaux

1.1	Standard d'émission . . . . .	21
1.2	Amplificateurs de Classe D industriels utilisant une MLI . . . . .	41
1.3	Amplificateurs de Classe D industriels utilisant une modulation $\Sigma\Delta$ . . . . .	43
2.1	Fréquence de commutation $F_s$ en fonction du délai $t_d$ . . . . .	76
2.2	Dimensions des principaux éléments constituant l'amplificateur d'erreur . . . . .	88
2.3	Dimensions des principaux éléments constituant le comparateur . . . . .	94
2.4	Temps de commutation du comparateur . . . . .	94
2.5	Tableau récapitulatif des principales mesures . . . . .	98
2.6	Table de comparaison du circuit réalisé . . . . .	103
4.1	THD et SNR en fonction du délai de boucle . . . . .	153
4.2	Choix des composants passifs pour les architectures $PD$ et $PC$ . . . . .	168
4.3	Tableau récapitulatif des principales mesures . . . . .	172
5.1	Tableau comparatif des approches DT et CT pour CAN $\Sigma\Delta$ . . . . .	186
5.2	$SNR = f(k, OSR)$ pour un CAN $\Sigma\Delta$ CT $m = 1$ bit . . . . .	189
5.3	Valeurs des composants passifs résistifs du CAN . . . . .	200
5.4	Valeurs des composants passifs capacitifs du CAN . . . . .	200
5.5	Compromis des structures $BF1 - 3$ . . . . .	203
A.1	Comparaison qualitative des implémentations d'intégrateur . . . . .	VIII
B.1	Effet de la taille des transistor sur le décalage statique . . . . .	XIII
D.1	Dimensions des principaux éléments constituant le modulateur numérique . . . . .	XXIV



Faire une thèse, c'est bien, mais ne pas faire une thèse, c'est bien aussi.  
**E. Allier**

Si les questions vous angoissent, ne soyez pas scientifique.  
**B. Cyrulnik**

Dans les milieux scientifiques, la connerie n'est pas absente, mais moins épaisse qu'ailleurs.  
**B. Léandri**





# Introduction

L'intégration de nombreuses fonctions de plus en plus complexes dans les systèmes embarqués conduit à optimiser leur consommation d'énergie pour maintenir l'autonomie de fonctionnement. Cette thèse porte sur l'amélioration des performances des fonctions de restitution sonore existantes dans de nombreux systèmes embarqués tels que les téléphone portables, les GPS... Le choix des circuits intégrés audio réalisant ces fonctions est lié à la qualité de la reproduction sonore mais aussi aux performances électriques de ces circuits. L'effort de recherche dans ce domaine est donc indispensable pour les industriels du semi-conducteur (STMicroelectronics/ST-Ericsson, Texas Instrument, Analog Devices, National,...) et les fabricants d'objets nomades (Nokia, Sony Ericson, Motorola, Apple...). Dans ce contexte, ce travail de recherche a pour objectif d'étudier les différentes structures de reproduction sonore afin d'améliorer l'autonomie et la qualité des systèmes embarqués. L'application visée est la téléphonie mobile.

L'architecture classiquement utilisée pour la restitution d'un signal audio dans un mobile est la suivante :

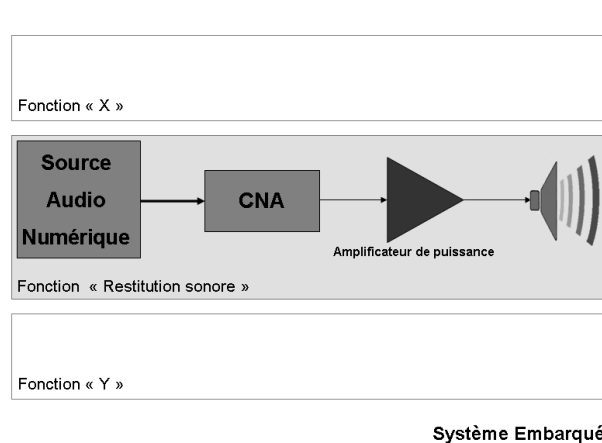


FIGURE 1 – Architecture d'une fonction audio dans un système embarqué

Les fonctions X et Y peuvent être, par exemple, la fonction "communication GSM", la fonc-

tion "affichage" etc. La fonction de "restitution sonore" comprend une source audio numérique, une chaîne de Conversion Numérique Analogique (CNA) et un amplificateur analogique de puissance. Dans une application de téléphonie mobile, cet amplificateur doit être capable de délivrer une puissance de 50 mW pour une application de type casque et jusqu'à quelques Watts pour une application de type main-libre.

Deux familles d'amplificateurs peuvent être utilisés. Les amplificateurs linéaires possèdent un faible rendement électrique limitant l'autonomie et provoquant une forte dissipation thermique à l'intérieur du circuit intégré mais ont une très bonne linéarité. Les amplificateurs à découpage (couramment nommés amplificateurs de classe D) présentent un rendement électrique nettement supérieur et provoquent donc peu de dissipation thermique mais la qualité de reproduction sonore est limitée. Malgré cette limitation, leur emploi permet d'optimiser la consommation et la dissipation thermique du circuit intégré. C'est pourquoi les nouvelles générations de systèmes embarqués intègrent ce type de dispositifs pour les applications nécessitant des puissances de l'ordre du Watt. La présence de composantes hautes fréquences dans le signal de sortie peut être un risque de pollution électromagnétique pour les fonctions environnantes.

L'objectif de ce travail de recherche est d'étudier les différentes architectures des chaînes d'amplification à découpage afin d'optimiser le rendement tout en prenant en compte les contraintes d'intégration et les performances de reproduction sonore, telles que le rapport signal à bruit, la distorsion harmonique et la réjection de l'alimentation.

Ce travail de thèse s'est effectué dans le cadre d'une collaboration entre l'Institut des Nanotechnologies de Lyon (INL) et le groupe STMicroelectronics (devenu ST NXP Wireless, puis ST-Ericsson).

L'organisation de ce manuscrit de thèse est la suivante :

### **Chapitre 1 : Généralités et état de l'art concernant les amplificateurs audio**

Ce chapitre présente les problématiques principales liées aux systèmes de reproduction sonore. Une première partie sera consacrée à des notions générales concernant les amplificateurs audio et à la description des techniques d'amplifications linéaires et commutées. Une fois l'intérêt de l'amplificateur à découpage démontré, la seconde partie sera consacrée à un état de l'art des solutions existantes pour amplifier un signal audio à l'aide d'amplificateurs à découpage. Deux familles principales de solutions se distinguent alors : les amplificateurs à commande analo-

gique et ceux à commande numérique avec dans chaque famille, des amplificateurs en boucle ouverte, partiellement contrôlés ou complètement contrôlés. Cet état de l'art a permis d'identifier deux axes de recherche :

1. L'amélioration des performances de l'amplificateur de classe D à commande analogique.
2. La faisabilité d'une commande numérique pour les amplificateurs de classe D.

Le chapitre 2 reprendra les études et réalisations effectuées sur le premier axe de recherche. Les chapitres 3 à 5 seront consacrés au second axe de recherche constituant la contribution majeure de ce travail de thèse.

## **Chapitre 2 : Asservissement auto-oscillant d'un amplificateur de classe D à entrée analogique**

Le chapitre 2 présente les études réalisées sur la conception d'amplificateurs de classe D dans le but d'améliorer les performances existantes. Il s'agit ici d'amplificateurs à entrée analogique (qui nécessitent donc un Convertisseur Numérique Analogique en amont dans une chaîne de reproduction sonore) et à contrôle analogique. Après avoir exposé les limitations intrinsèques de la solution couramment utilisée, à savoir la bande passante et la nécessité d'une porteuse de haute qualité pour la modulation, une nouvelle approche de modulation de type auto oscillante est proposée. Cette modulation ne requiert plus de signaux extérieurs à l'amplificateur (horloge, dent de scie,...), ce qui réduit fortement les contraintes électriques du système et supprime une source d'erreur non corrigible. De plus, une telle approche augmente la bande passante du système. Plusieurs procédés sont possibles pour créer la condition d'oscillation de la boucle de contrôle analogique, et bien qu'à priori semblables, ils présentent des différences majeures dans leur comportement dynamique. Suite aux études d'architectures effectuées, la structure proposant le meilleur compromis a été détaillée afin de l'intégrer dans une technologie analogique CMOS 130nm. Le circuit ainsi réalisé a permis de valider les études théoriques autour de ce type de structure, et les performances mesurées sont égales ou supérieures aux solutions actuelles. Cette solution est réalisable seulement avec une entrée de type analogique. Le rendement global de la chaîne complète reste limité par le CNA en amont de l'amplificateur. L'étude de solutions acceptant une entrée numérique permettra de supprimer le CNA. C'est l'objet des chapitres suivants.

## **Chapitre 3 : Principe et analyse d'une modulation numérique par largeur d'impulsion**

Ce troisième chapitre présente les problématiques associées à la modulation numérique. Cette étape est en effet le cœur de tous les amplificateurs de classe D à entrée numérique. Il est en effet possible de piloter directement l'étage de puissance avec les signaux de sortie du modulateur. Cette solution est appelée *amplificateur de classe D numérique en boucle ouverte*. Après avoir exposé les principes généraux et les verrous techniques de ce type de modulation, des solutions seront présentées pour réaliser cette opération. Une fois les paramètres limitant la linéarité de cette étape identifiés, des opérations d'interpolation, de sur-échantillonnage ou de pré-correction seront introduites pour améliorer la qualité du procédé de modulation numérique. Un circuit intégré en technologie CMOS 130nm comprenant le modulateur numérique et un étage de puissance a permis de valider la faisabilité de cette structure. Cependant, la solution présentée n'est pas indépendante des tensions d'alimentation de puissance et ne corrige pas les erreurs introduites au niveau de l'étage de puissance. Pour remédier à cela, un asservissement analogique local autour de l'étage de puissance a été envisagé

### **Chapitre 4 : Asservissement analogique local de l'amplificateur de classe D à entrée numérique**

Le chapitre 4 traite de la solution appelée *amplificateur de classe D numérique localement asservi*. Deux circuits en technologie CMOS 130nm, intégrant le modulateur digital en boucle ouverte et l'étage de puissance contrôlée, ont été réalisés afin de valider les études théoriques autour de cette structure. De plus, afin de limiter les émissions Electro-Magnétiques, des méthodes numériques d'étalement du spectre des composantes liées à la modulation dans le signal de sortie ont été introduites. Cette solution permet d'atteindre des performances audio et électriques correctes par rapport aux spécifications. Elle est aujourd'hui utilisée dans certaines plateformes développées par ST-Ericsson pour la téléphonie mobile haut de gamme. Cependant, des problèmes subsistent. En effet, la boucle de contrôle analogique est limitée en bande passante par la fréquence de commutation. De plus, l'interface entre la partie numérique et la partie analogique, qui a le rôle de CNA, n'est pas maîtrisée et introduit du bruit. Cette structure n'est donc pas idéale pour réaliser des amplificateurs faible bruit.

### **Chapitre 5 : Asservissement numérique global de l'amplificateur de classe D à entrée numérique**

Dans le chapitre 5, le contrôle numérique de l'amplificateur de classe D a été envisagé afin d'introduire l'interface N/A dans la boucle de contrôle et donc corriger ses erreurs. Cette approche

nécessite un convertisseur analogique numérique (CAN) haute résolution et faible consommation dans la chaîne de retour. Ce verrou technique a été levé grâce à la conception d'un CAN basé sur une structure  $\Sigma\Delta$  multi-bits à temps continu. Les méthodes de contrôle classique (RST,...) ne permettent pas d'atteindre les spécifications requises en produit "gain boucle", notamment à cause de la latence au niveau de la boucle de retour qui provoque rapidement l'instabilité du système. Les performances dynamiques maximales atteignables ont été quantifiées pour les différentes topologies de correction. Ensuite, une solution de contrôle prédictif basé sur un modèle interne a été proposée pour s'affranchir des délais de boucle et atteindre les spécifications du projet. Une maquette intégrant l'étage de puissance, le CAN de retour en technologie sub-micronique (CMOS 40nm) et la boucle de contrôle implémentée sur FPGA est en cours de réalisation afin de valider l'étude théorique et les performances du contrôleur. L'objectif à court terme est de réaliser un circuit intégrant la totalité de la boucle de contrôle, l'étage de puissance et le CNA afin de proposer un amplificateur de classe D à entrée numérique et à contrôle numérique.

### **Conclusion**

La conclusion rappellera les objectifs de ce travail de recherche, résumera les résultats présentés dans ce manuscrit de thèse, et proposera une discussion critique sur les solutions apportées aux problématiques soulevées lors de l'analyse de l'état de l'art. Des perspectives de recherche seront alors proposés.



# Chapitre 1

## Généralités et état de l'art concernant les amplificateurs audio

*J'aurais dû faire une biblio avant la fin de ma thèse!*  
X. Branca

### Sommaire

---

<b>1.1</b>	<b>Introduction</b>	<b>7</b>
<b>1.2</b>	<b>Généralités concernant les amplificateurs audio</b>	<b>8</b>
<b>1.3</b>	<b>Les différentes classes d'amplification</b>	<b>23</b>
<b>1.4</b>	<b>Les amplificateurs linéaires</b>	<b>23</b>
<b>1.5</b>	<b>Les amplificateurs commutés</b>	<b>29</b>
<b>1.6</b>	<b>Rendement de l'amplificateur de classe D</b>	<b>56</b>
<b>1.7</b>	<b>Analyse de la modulation par largeur d'impulsion</b>	<b>59</b>
<b>1.8</b>	<b>Cahier des charges</b>	<b>64</b>
<b>1.9</b>	<b>Conclusion de l'état de l'art</b>	<b>65</b>

---

### 1.1 Introduction

L'objectif de ce chapitre est, dans une première partie, d'introduire des notions générales concernant les amplificateurs audio nécessaires à la bonne compréhension de ce manuscrit de thèse et de situer le contexte de la recherche. La seconde partie est consacrée à un état de l'art sur les différentes classes d'amplificateurs audio et leurs performances. La première partie (section 1.2) est composée des paragraphes suivants :

- Description de l'environnement du système de restitution sonore (le haut parleur, la source d'énergie,...),
- Définition des critères de jugement de la qualité de restitution sonore,
- Spécification des performances d'un amplificateur audio,



- Définition d'une plateforme cellulaire,
- Définition des différentes applications des amplificateurs audio dans une plateforme cellulaire.

Ensuite, la seconde partie (sections 1.3, 1.4 et 1.5) présente les architectures existantes permettant de réaliser des amplificateurs audio dans l'ordre suivant :

- Introduction des différentes classes d'amplification (section 1.3),
- Principe de l'amplification linéaire (section 1.4),
- Problématique et état de l'art de l'amplification non linéaire (section 1.5),
  - Amplificateurs de classe D en boucle ouverte,
  - Amplificateurs de classe D en boucle fermée,

Cette analyse des problématiques et solutions existantes pour concevoir une chaîne de reproduction sonore va permettre d'extraire plusieurs axes de recherche qui seront traités par la suite. Les sections 1.6 et 1.7 de la troisième partie de ce chapitre d'introduction reprennent succinctement les analyses effectuées dans [1] et permettent de mieux situer ce travail de thèse :

- Analyse des paramètres influant le rendement d'un amplificateur de classe D (section 1.6),
- Analyse des différentes modulations par largeur d'impulsion (section 1.7).

Ces informations sont pertinentes pour maîtriser tous les compromis nécessaires lors de la réalisation d'un amplificateur de classe D.

## 1.2 Généralités concernant les amplificateurs audio

De manière générale, la chaîne de reproduction sonore est considérée comme un convertisseur d'énergie. Elle convertit une énergie électrique en énergie mécanique puis acoustique. En effet, l'utilisateur perçoit une variation de la pression de l'air qui est l'image d'un signal électrique converti en énergie mécanique par le transducteur électro-mécano-acoustique (communément un haut-parleur). Dans cette chaîne, l'amplificateur a pour rôle de piloter le transducteur en lui fournissant la puissance électrique nécessaire à la création de la vibration acoustique. La fidélité de reproduction sonore est un des critères principaux de la spécification d'une chaîne de reproduction sonore. Les critères de qualité peuvent être subjectifs (chaleur du son, profondeur) ou objectifs (distorsion harmonique, niveau de bruit, réponse en fréquence, etc...). Pour mieux comprendre les spécifications et les caractéristiques techniques d'un amplificateur, son

environnement et les paramètres d'évaluation couramment utilisés sont décrits dans les paragraphes suivants. La gamme de fréquence audible par l'oreille humaine s'étalant au mieux de 20Hz à 24kHz<sup>1</sup>, les performances électriques sont donc mesurées en se limitant à cette bande de fréquence.

### 1.2.1 Principe de fonctionnement et modélisation électrique du haut-parleur

Le haut-parleur<sup>2</sup> est un transducteur électro-mécano-acoustique. Il permet de convertir un signal électrique en vibration acoustique. Son principe de fonctionnement est l'inverse de celui d'un microphone.

La structure simplifiée d'un haut parleur électro-dynamique est illustrée figure 1.1. Elle comprend :

- un aimant permanent créant un champ magnétique constant de norme  $\mathbf{B}$ ,
- une bobine d'inductance  $\mathbf{L}$  et de résistance  $\mathbf{R}$ ,
- une membrane de masse  $\mathbf{m}$  fixée à la bobine et reliée à la structure du haut parleur par des ressorts de raideur  $\mathbf{k}$ .

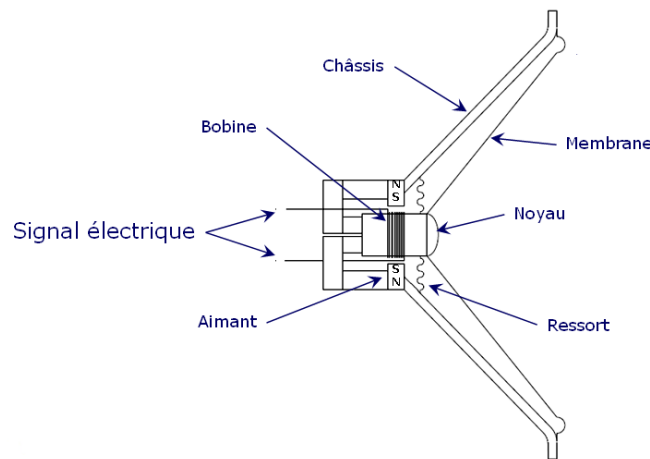


FIGURE 1.1 – Structure d'un haut-parleur

Pour simuler un amplificateur audio avec précision, un modèle du comportement de sa charge est nécessaire. Décrire de manière exacte le comportement d'un haut-parleur est un problème complexe et pluridisciplinaire dans lequel interviennent des lois de l'électricité, de la

1. Spécification HiFi

2. Seul le haut parleur électro-dynamique sera décrit dans ce manuscrit, car c'est le plus utilisé dans les systèmes embarqués. Cependant, d'autres solutions, comme le haut parleur électro-statique, existent mais sont peu utilisées.

mécanique et du magnétisme. Le courant électrique circulant à travers la bobine va être soumis à la force de Lorentz due au champ magnétique  $\mathbf{B}$  créé par l'aimant. Cette force va mettre en mouvement l'ensemble bobine/membrane, ce qui va provoquer l'apparition d'une onde acoustique (onde mécanique, de type pression, se propageant sur un support, ici l'air). En théorie, la décomposition spectrale de l'onde sonore est identique à celle du courant électrique qui l'a provoquée. En pratique, ce n'est pas le cas car de nombreux effets non linéaires n'ont pas été considérés (force de rappel, non linéarité des composants électriques, effet réductant, courant de Foucault... [2]).

Les démarches pour modéliser un haut parleur de manière précise sont multiples et ne prennent en compte qu'un nombre fini de paramètres (et donc de non linéarités). A partir des équations physiques décrivant les phénomènes électriques, mécaniques et magnétiques dans un haut parleur, une analogie électrique permet de construire un schéma électrique équivalent au haut-parleur. Le principe de cette analogie est de modéliser les actions intégrales et dérivés des lois de la mécanique et du magnétisme par des éléments électriques de type inductif et capacitif. Le nombre de lois modélisées et les caractéristiques des paramètres de ces lois définissent alors la précision du modèle.

Le modèle de *Thiele & Small* (Fig 1.2(a)) a permis de prendre en compte de manière électrique l'aspect mécanique de la vibration de la membrane. Par application de la seconde loi de Newton sur cette membrane, une relation entre la force de Lorentz appliquée  $f_L$ , proportionnelle à  $I_L$ , et le déplacement  $x$  peut être établie. Le facteur de force  $1 : Bl$  (où  $l$  représente la longueur du bobinage soumis à  $B$ ) permet d'obtenir une information de type tension qui est en réalité l'image du déplacement de la membrane. Les paramètres physiques du haut parleur (masse  $m$ , raideur des ressorts  $k$ , géométrie,...) peuvent alors être vus comme des paramètres électriques passifs  $r_m$ ,  $c_m$  et  $m_m$ . Le grand intérêt de ce modèle est donc de prédire de manière électrique le déplacement de la membrane et de tenir compte des effets inductifs. Un article du LAUM (Laboratoire d'Acoustique de l'Université du Maine - Fig 1.2(b) [2]) complète le modèle précédent avec les variations non linéaires liées au déplacement de la membrane des paramètres  $1 : Bl(x)$ ,  $L(x)$  et  $c_m(x)$ . Le modèle le plus basique (Fig 1.2(c)) est construit à partir de l'étude présentée dans [3]. Il s'agit d'un modèle électrique simple ne comportant que des éléments passifs. Les figures 1.2(c), 1.2(a) et 1.2(b) montrent les schémas électriques équivalents de ces trois étapes de modélisation.

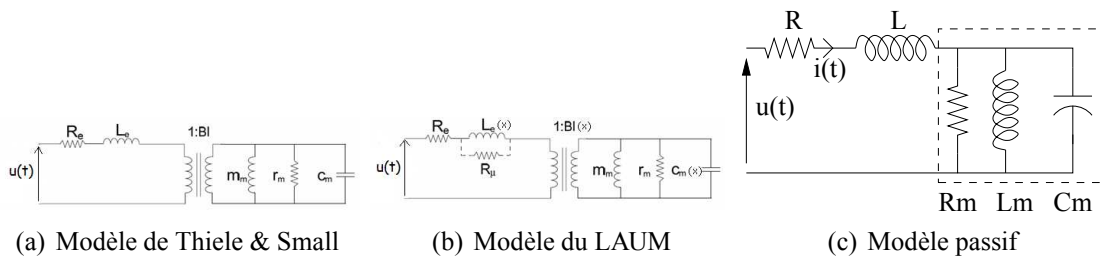


FIGURE 1.2 – Modèles électriques du Haut Parleur

Le modèle dit "passif" ne prend en compte que l'aspect électrique passif du haut parleur. Ainsi,  $R$  représente la résistance équivalente vue aux bornes du haut parleur et  $L$  son inductance. La force contre-électromotrice générée par induction lorsque le bobinage est en mouvement dans le champ magnétique créé par l'aimant n'est donc pas prise en compte. De plus, ce modèle ne donne aucune information sur les contraintes mécaniques liées à la constitution du haut parleur. Dans le cas des haut-parleurs 1W utilisés en téléphonie mobile, le modèle électrique utilisé est généralement simplifié à deux éléments : une résistance et une inductance (de 4 à  $8\Omega$  et de 25 à  $100\mu H$  selon les modèles).

### 1.2.2 Source de puissance électrique

Dans la téléphonie mobile, ainsi que dans tous les systèmes embarqués, la source de puissance électrique est une réserve finie : la batterie. Les batteries utilisées sont généralement des batteries Li-Ion qui présentent des profils de décharge complexes (illustré fig 1.3).

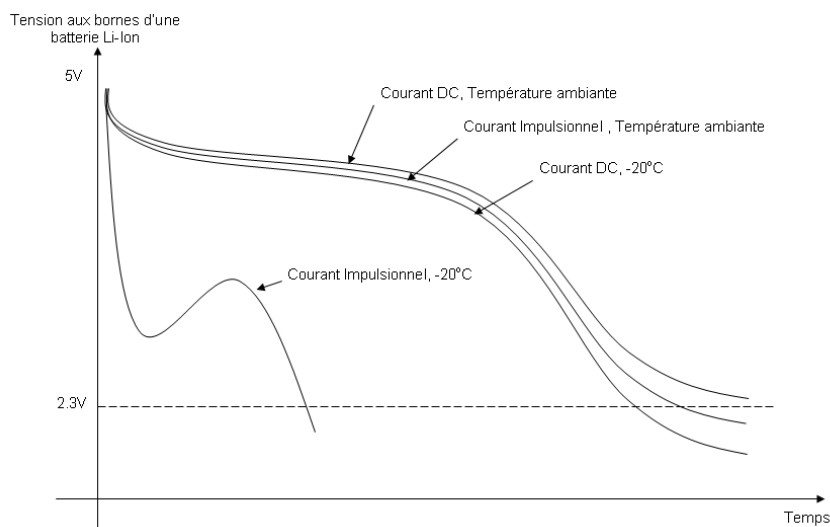


FIGURE 1.3 – Profil de décharge d'une batterie Li-Ion

L'alimentation des amplificateurs audio peut donc être comprise entre 5V et 2.3V. Les performances audio doivent rester fixes dans toute cette gamme d'alimentation. L'amplitude du signal de sortie (et donc le gain de la chaîne de reproduction sonore) doit donc être insensible à cette variation.

### 1.2.3 Définition des critères de qualité de la reproduction sonore

#### 1.2.3.1 Évaluations subjectives

La qualité sonore peut être évaluée subjectivement par des sujets humains qui comparent et notent des signaux sonores lors de tests d'écoute. L'objectif est d'obtenir une note qui représente de manière fiable la qualité du son tel qu'il est perçu. Cependant, ces méthodes ne peuvent pas servir lors de la conception d'un amplificateur et des méthodes d'évaluation objective sont donc utilisées.

#### 1.2.3.2 Évaluations objectives

##### 1.2.3.2.1 Méthode PEAQ

Le développement récent de la psycho-acoustique a facilité l'élaboration de nouvelles méthodes pour mesurer objectivement la qualité sonore des systèmes audio. Une de ces méthodes, baptisée PEAQ (Perceptual Evaluation of Audio Quality - évaluation perceptuelle de la qualité sonore) a été normalisée par l'Union Internationale des Télécommunications. Cette "oreille électronique" mesure objectivement la qualité perçue d'un signal audio grâce à un modèle informatique de l'oreille humaine. Ce modèle analyse les deux signaux audio (un signal de référence et une version dégradée à évaluer) et donne instantanément un score équivalent à la note moyenne qui résulterait d'une évaluation subjective formelle faite par un groupe d'auditeurs. Ce modèle est décrit dans la recommandation **BS-1387** de l'UIT. Cette méthode est difficilement utilisable pour l'instant lors de la conception d'amplificateurs car elle nécessiterait plusieurs secondes de simulation effective, mais a déjà été mise en œuvre dans [4] pour comparer différents amplificateurs entre eux d'un point de vue fonctionnel.

##### 1.2.3.2.2 Évaluation du niveau de bruit

Les performances de bruit d'un amplificateur sont évaluées en utilisant deux paramètres. Il s'agit soit du rapport signal à bruit, soit du niveau de bruit sans signal. Le rapport signal à bruit (*SNR - Signal to Noise Ratio* en anglais) est un terme utilisé en ingénierie, en traitement

du signal ou en théorie de l'information pour désigner le rapport entre la grandeur d'un signal (information utile, significative) et celle du bruit (information inutile, non significative), exprimé généralement en décibels. Le rapport signal à bruit mesure le niveau relatif de la puissance moyenne du signal  $\overline{P_{signal}}$  par rapport à la puissance moyenne du bruit dans la bande audio  $\overline{P_{Baudio}}$  (en excluant les éventuelles harmoniques du signal) :

$$SNR_{dB} = 10 \cdot \log\left(\frac{\overline{P_{signal}}}{\overline{P_{Baudio}}}\right) \quad (1.1)$$

Le niveau de bruit sans signal (*ICN - Idle Channel Noise* en anglais) désigne, quant à lui, la tension efficace en sortie de l'amplificateur lorsque le signal d'entrée est nul.

### 1.2.3.2.3 Évaluation de la linéarité

La linéarité d'un amplificateur audio est une propriété primordiale. Elle s'évalue à l'aide de plusieurs critères tels que le taux de distorsion harmonique, les niveaux d'intermodulation et la réponse fréquentielle.

Le taux de distorsion harmonique (*THD - Total Harmonic Distortion* en anglais) est le rapport inverse de la puissance moyenne du signal  $\overline{P_{signal}}$  sur la puissance moyenne de toutes ses harmoniques  $\overline{P_{harmonique}}$  dans la bande audio) :

$$THD_{dB} = 10 \cdot \log\left(\frac{\overline{P_{harmonique}}}{\overline{P_{signal}}}\right) \quad (1.2)$$

La THD n'est pas à confondre avec le taux de distorsion harmonique plus bruit, nommé THD+N. Ce dernier est défini par la puissance moyenne du signal sur la puissance moyenne du bruit sommée à celle des composantes harmoniques dans la bande audio.

Le taux de distorsion d'intermodulation (*IMD - Inter Modulation Distortion* en anglais) est le rapport inverse entre la puissance quadratique moyenne de deux signaux à fréquences différentes ( $f_1$  et  $f_2$ ) et la puissance de toutes les harmoniques d'intermodulation :

$$IMD = \frac{\sqrt{\sum_{n=-\infty}^{\infty} \sum_{m=-\infty}^{\infty} (V_{nf_2+mf_1}^2)}}{\sqrt{V_{f_2}^2 + V_{f_1}^2}} \quad (1.3)$$

La gain en fréquence  $G(f)$  est donné par le rapport entre la valeur efficace de sortie  $V_{sortie}(f)$  à une fréquence  $f$  et la valeur efficace d'entrée  $V_{entree}(f)$ .

$$G(f)_{dB} = 20 \cdot \log\left(\frac{V_{sortie}(f)}{V_{entree}(f)}\right) \quad (1.4)$$

Ces trois performances sont quelquefois exprimées en % au lieu du décibel (dB).

#### 1.2.3.2.4 Évaluation de l'immunité à l'environnement

L'amplificateur audio doit être le plus insensible possible à son environnement. Pour les systèmes embarqués, alimentés par une batterie, l'immunité à la tension d'alimentation est une performance qui doit être évaluée. Le taux de réjection d'alimentation (*PSRR - Power Supply Rejection Ratio* en anglais) est systématiquement utilisé dans les spécifications des amplificateurs audio. Il permet de décrire la capacité à rejeter les variations de l'alimentation à une fréquence donnée.

Le PSRR à une fréquence  $f$  est donc défini par le rapport entre la tension efficace mesurée en sortie  $V_{sortie}(f)$  à la fréquence  $f$  et la valeur efficace de la perturbation  $V_{bat}(f)$  lorsque le signal d'entrée est nul.

$$PSRR(f)_{dB} = 20 \cdot \log\left(\frac{V_{sortie}(f)}{V_{bat}(f)}\right) \quad (1.5)$$

### 1.2.4 Spécifications d'un amplificateur audio

Les fabricants et les utilisateurs d'amplificateurs audio ont identifié les paramètres clés pour formaliser leurs offres et leurs demandes. Ce sont (des exemples de valeurs pour l'application téléphonie mobile sont donnés entre parenthèses) :

- la plage de tension d'alimentation  $V_{BAT}$  (2,3 à 5 V),
- la puissance maximale pour un taux de distorsion et une tension de batterie donnés (1W @ 1% THD+N -  $V_{BAT}=5V$ ),
- la consommation statique  $I_0$  (quelques mA),
- le rendement  $\eta$  à puissance maximale (90%),
- le rapport signal à bruit  $SNR_{dB}$  (95dB),
- le niveau de bruit sans signal  $ICN$  ( $30 \mu V_{rms}$ ),
- la réjection d'alimentation à une fréquence donnée  $PSRR(f)_{dB}$  (60dB@217Hz),
- la tension d'offset en sortie  $V_{off}$  (quelques mV),
- la réjection de mode commun en cas de structure différentielle  $CMRR$  (60dB),
- la consommation résiduelle lorsque le circuit est éteint  $I_{PD}$  (quelques nA),
- la présence d'un contrôle "anti pop" et de protection contre les court-circuits et le réchauffement.

### 1.2.4.1 Caractérisation et conditions de mesure

La caractérisation des amplificateurs est effectuée à l'aide d'analyseurs de spectre spécialisés. Les deux fabricants d'analyseurs audio reconnus sont Audio Precision (AP, modèle AP2700) et Rohdes & Schwarz (R&V, modèle UPV ou UPD). Les conditions de mesure sont illustrées par la figure 1.4 où DUT représente le circuit à tester (*Device Under Test* en anglais).

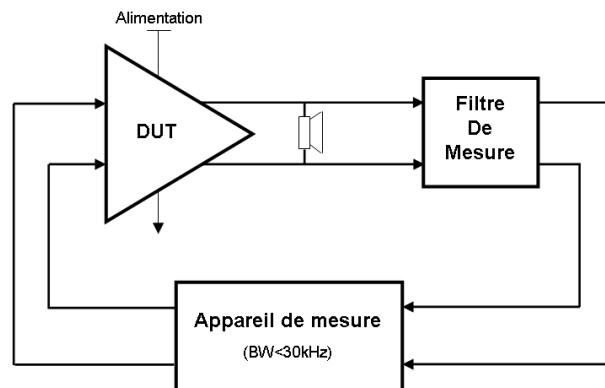


FIGURE 1.4 – Condition de mesure

L'appareil de mesure sert à la fois de générateur de signal et d'analyseur de spectre. Sa bande passante est limitée à la bande audio. Dans le cas d'un amplificateur audio à découpage, un filtre de mesure doit être placé entre le circuit à tester et l'analyseur afin de réduire le contenu harmonique hors bande audio qui risquerait de surcharger les entrées de l'appareil. Ces filtres de mesure doivent être réalisés avec précaution afin de ne pas dégrader les performances audio. En général, les fabricants proposent des filtres de mesure dont le gabarit est parfaitement calibré afin de ne pas fausser les manipulations.

### 1.2.4.2 Taux de distorsion harmonique plus bruit - THD+N

L'amplificateur doit présenter une fonction de transfert la plus linéaire possible dans la bande audio. Le taux de distorsion harmonique plus bruit (THD+N) peut être mesuré en fonction de la fréquence à un niveau de puissance donné (figure 1.5(a)) ou en fonction de la puissance de sortie à une fréquence donnée (figure 1.5(b)).



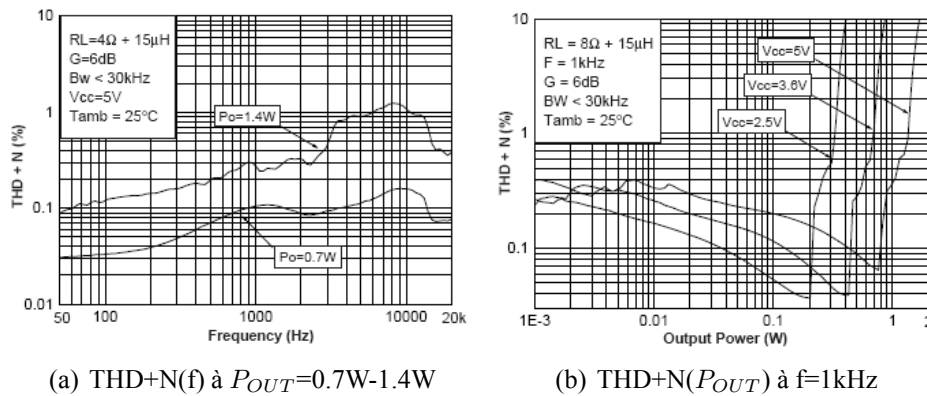


FIGURE 1.5 – Exemple de mesure de linéarité extraite de la datasheet du circuit TS4962

Le niveau de THD+N spécifié pour la téléphonie mobile est de l'ordre de 0,1% (soit -60dB) pour les applications 1W. En effet, les hauts-parleurs utilisés dans les téléphones cellulaires ont une mauvaise qualité de reproduction électro-mécanique-acoustique (rendement inférieur à 5% et THD de l'ordre de 0,1%). Pour l'application casque en revanche, le taux de distorsion demandé est inférieur d'un ordre de grandeur (<0,01%). L'indice de THD+N devient similaire à celui du SNR à faible niveau de signal de sortie, car la distorsion harmonique devient inférieure au niveau de bruit.

### 1.2.4.3 Niveau de bruit

Il existe plusieurs approches pour caractériser le niveau du bruit d'un amplificateur. Les différentes approches sont équivalentes. La première est d'appliquer un signal d'entrée nul et de mesurer l'efficacité du signal de sortie dans la bande audio, typiquement quelques dizaines de micro Volts. Une deuxième méthode est de calculer le rapport de la puissance maximale en sortie, que peut délivrer l'amplificateur, sur celle du bruit en sortie sans signal. Le rapport obtenu caractérise la dynamique de l'amplificateur (appelé en anglais *DR - Dynamic Range*). Enfin, une troisième manière de calculer le niveau de bruit est d'appliquer un signal de faible amplitude (1/1000 du signal maximal, équivalent à -60 dB par rapport à la pleine échelle, noté -60dBFS) et de calculer le rapport de THD+N. A cette amplitude de signal, on peut considérer que les composantes harmoniques issues de la distorsion du signal d'entrée sont noyées dans le bruit et n'influent donc pas sur la hauteur du plancher de bruit. Ainsi, la mesure de la THD+N équivaut à mesurer seulement un niveau de bruit.

Toute mesure de bruit doit se faire à bande passante limitée correspondant ici à la bande audio. La sensibilité de l'oreille humaine n'est pas constante en fonction de la fréquence et de

l'amplitude de signal audio. Ainsi, pour une mesure cohérente du niveau de bruit d'un amplificateur audio, un filtre est intercalé entre l'amplificateur et l'appareil de mesure. Ce filtre représente donc la sensibilité de l'oreille humaine à 40 phones (le phone est l'unité de la perception acoustique) issue des courbes de Fletcher. La figure 1.6 montre ces courbes telles qu'elles ont été définies par Robinson & Datsun en 1957.

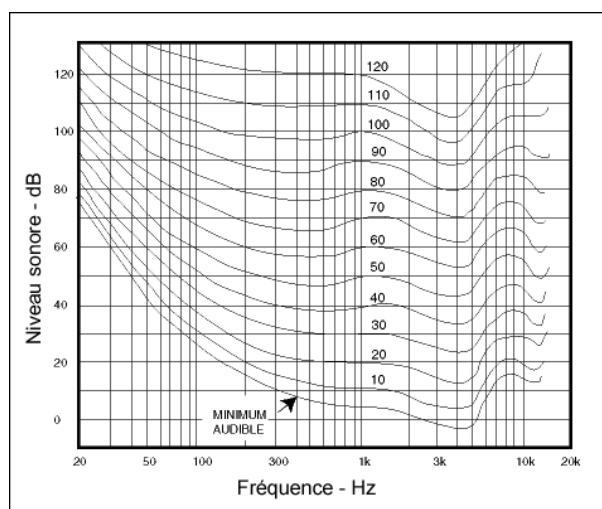


FIGURE 1.6 – Courbes d'isophonie - Robinson et Datsun, 1957

Ainsi, un son équivalent en terme de puissance acoustique est perçu différemment selon sa fréquence. Par exemple, une vibration acoustique de puissance  $40dB_{SPL}$  est inaudible à 50Hz alors qu'elle est clairement perçue à 1kHz.

A partir de ces courbes, deux échelles perceptives ont été définies :

- l'échelle dB-A (référéncé ISO226) accorde un poids différent aux fréquences correspondant à la courbe d'isophonie à 40 phones,
- l'échelle dB-C accorde un poids différent aux fréquences correspondant grossièrement à la courbe d'isophonie à 100 phones

L'échelle dB-A correspond à la perception d'un murmure. Elle est donc utilisée pour mesurer des niveaux de bruit. L'échelle dB-C correspond au seuil de la douleur acoustique pour l'oreille et est donc utilisée pour les mesures de gêne acoustique (transport aérien, concert, etc...).

Un filtre électrique ayant exactement le gabarit de l'échelle dB-A est difficilement réalisable. Pour cela, des approximations sont utilisées. La figure 1.7 représente les deux approximations les plus courantes (filtre A-Weighted et filtre ITU-R468) qui font office de standard lors de la caractérisation d'un amplificateur.

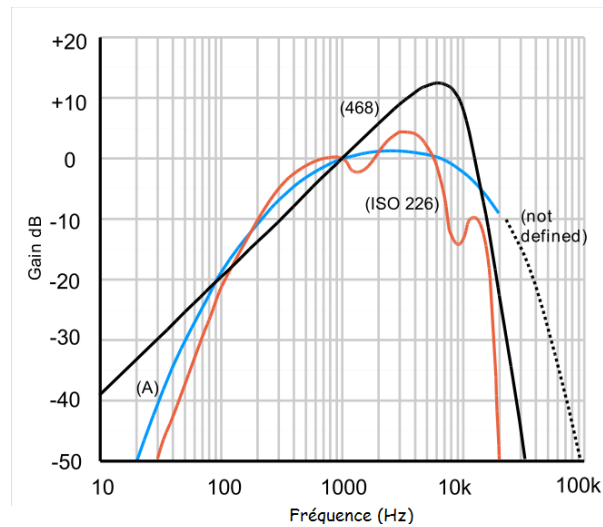


FIGURE 1.7 – Gabarit des filtres A-Weighted (Bleu) & ITU-R468 (Noir)

Le filtre dit *A-Weighted* est très proche de la norme ISO226 dans la gamme de fréquences 200Hz-6kHz et est donc utilisé dans les systèmes qui présentent des profils de bruit blanc. Le filtre ITU-R468 est cohérent surtout dans les hautes fréquences (supérieur à 10kHz). Il est utilisé pour la mesure de systèmes audio qui intègrent une mise en forme du bruit basé sur de la modulation  $\Sigma\Delta$ .

En général, ces filtres sont présents dans les appareils de mesure, et pour chaque mesure de bruit, le filtre utilisé doit être précisé afin de rendre l'information pertinente.

#### 1.2.4.4 Réjection d'alimentation

La batterie du téléphone sert d'alimentation à tous les blocs constituant la plateforme de téléphonie mobile (voir fig. 1.11, p 21). Il est donc indispensable que l'amplification du signal soit indépendante des perturbations de la batterie pour supprimer, par exemple, le "bip bip ..." audible généré par l'envoi d'une communication. Cette perturbation est due à la mauvaise réjection des variations de tension de la batterie causées par l'émission des trames GSM. Le schéma de mesure typique, illustré à la figure 1.8(a), mesure les perturbations sur la tension de sortie lors d'une variation de la tension de batterie. La figure 1.8(b) présente un extrait de la notice de l'amplificateur classe D TS4962 de STMicroelectronics.

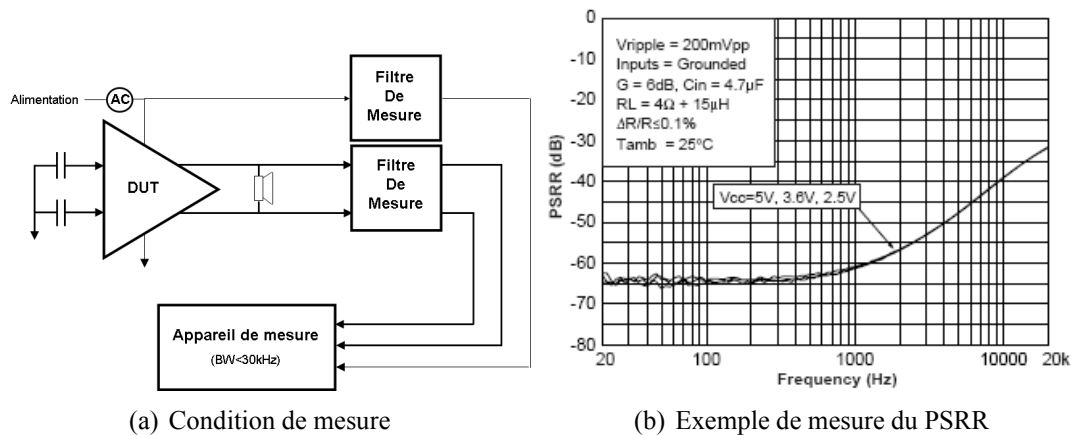


FIGURE 1.8 – Mesure du PSRR

### 1.2.4.5 Homogénéité de l'amplification dans la bande audio

D'après des études psycho-acoustique [5], l'oreille n'est pas sensible à une variation inférieure à 1 dB de l'amplitude du signal. L'oscillation du gain de l'amplificateur tolérée dans la bande audio est donc égale à  $\pm 0,5\text{dB}$ . Un exemple de mesure effectuée sur le circuit intégré TS4962 est donné par la figure 1.9.

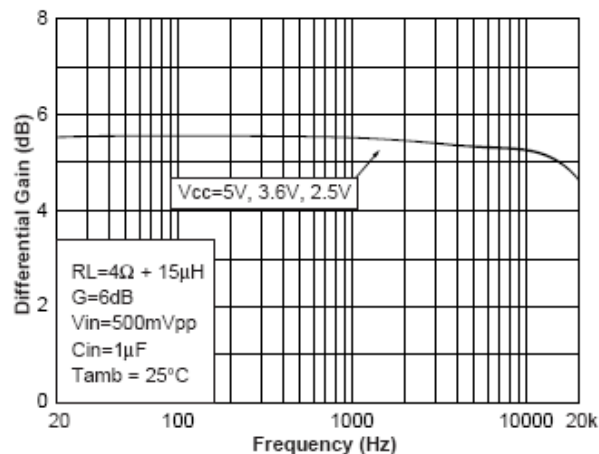


FIGURE 1.9 – Gain de l'amplificateur en fonction de la fréquence d'entrée

Le déphasage apporté par la fonction de transfert d'amplification est rarement précisé dans les spécifications d'un amplificateur. Cependant, une phase non-linéaire provoque la déformation temporelle du signal. Il serait donc pertinent d'inclure dans les spécifications un écart maximal de la phase par rapport à un déphasage linéaire.

### 1.2.4.6 Rendement et puissance dissipée

Le rendement est une des principales caractéristiques d'un amplificateur. La figure 1.10 montre un exemple de mesure de rendement de l'amplificateur classe D TS4962 de STMicroelectronics.

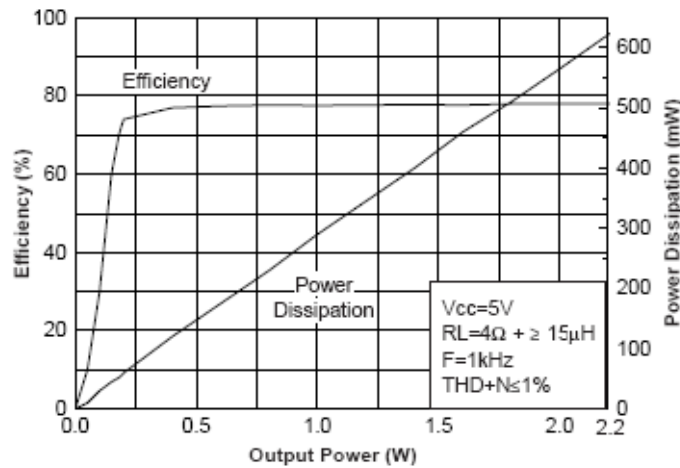


FIGURE 1.10 – Rendement en fonction de la puissance de sortie

Lors de l'écoute d'un signal, de type musique ou parole, le *Cress Factor* (CF - rapport entre la valeur maximale et la valeur efficace d'un signal) est compris entre -12dB et -20dB. L'amplificateur est donc le plus souvent utilisé à un centième de sa puissance maximale. Son rendement est systématiquement spécifié à pleine puissance alors qu'il serait plus pertinent de le caractériser dans des conditions normales d'écoute. Pour être un peu plus proche de la réalité, il faudrait utiliser un signal test avec une densité d'énergie gaussienne [6]. Le signal test IEC-268 est utilisé pour caractériser au mieux la dissipation d'énergie dans les amplificateurs. Ce signal possède une distribution gaussienne en amplitude et en fréquence.

### 1.2.4.7 Émissions électromagnétiques

Il n'existe actuellement aucune spécification qui permet de quantifier la signature EM que doit avoir un amplificateur audio. Les normes utilisées sont les normes FCC (Radiated Emissions Standards) et CE, résumées au tableau 1.1. Ces normes concernent en réalité la compatibilité EM d'un système complet par rapport à un autre système proche (distance de l'ordre du mètre), et non pas un circuit par rapport à d'autres circuits à l'intérieur d'un même système, voire à l'intérieur d'un même circuit intégré. Les normes FCC étant sous-évaluées, tous les amplificateurs de classe D, mais aussi les différents autres systèmes qui fonctionnent en

Plage de fréquence (MHz)	FCC class B (dB $\mu$ V)	CE class B (dB $\mu$ V)
0,45 à 1,705	48	
1,705	48	
0,15 à 0,5		56
0,5 à 5		56
5 à 30		60

TABLE 1.1 – Standard d'émission

commutation (Convertisseur commuté DC/DC, Pompe de charge, etc...) satisfont à cette norme.

### 1.2.5 Plateforme d'un téléphone cellulaire

Cette étude concerne l'intégration d'amplificateurs audio dans un téléphone cellulaire. Le schéma 1.11 représente une plateforme de téléphonie mobile avec tous ces éléments.

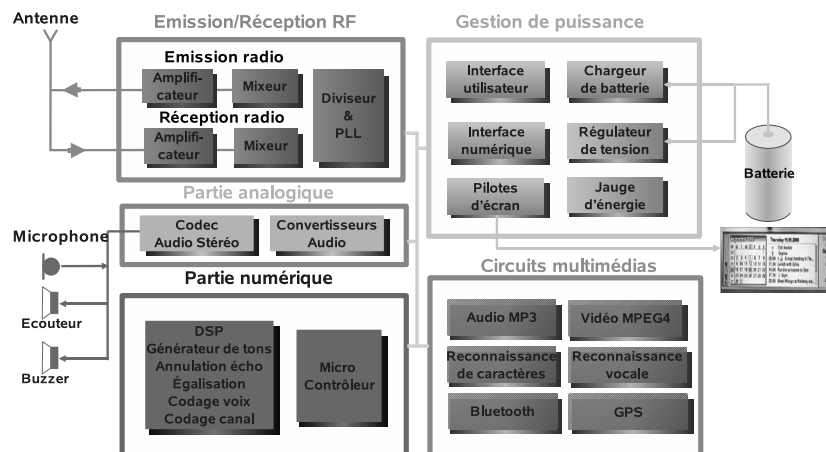


FIGURE 1.11 – Synoptique d'une plate-forme de téléphonie mobile

Les fonctions audio sont devenues les principaux éléments différenciateurs pour le choix d'un téléphone cellulaire. Les constructeurs basent leurs campagnes de communication sur cet aspect (f.g. 1.12). Par exemple, l'autonomie d'écoute en mode MP3 ou en communication sont deux paramètres apparaissant clairement sur la notice commerciale, influençant donc l'acheteur dans ses choix. Les sorties audio comportent plusieurs voies commandant les différents haut parleurs du téléphone, détaillées dans la section suivante.

### 1.2.6 Applications pour la chaîne de reproduction sonore

Il existe quatre utilisations d'amplificateur audio dans une plateforme de téléphonie mobile :



FIGURE 1.12 – Publicité pour un téléphone cellulaire

1. Application *main libre* (appelé *HandFree*)
2. Application *écoute* (appelé *HeadPhone*)
3. Application *casque* (appelé *HeadSet*)
4. Application *vibrante* (appelé *Vibra*)

La première application de l'amplificateur audio est la commande du haut parleur principal, appelé *Hand Free* (main libre), pour notamment les sonneries et le mode conférence. Dans cette application, l'objectif recherché est la diminution de la consommation car l'amplificateur est conçu pour délivrer une puissance électrique de l'ordre de 1 W au haut parleur (certains téléphones récents proposent une puissance de 3W en mode conférence). En contre partie, les spécifications en terme de qualité de reproduction sonore sont moins exigeantes car la qualité de la conversion électro-acoustique du micro haut-parleur est très faible ( $<1\%$  THD).

Le *headphone*, haut-parleur pour sonoriser les conversations téléphoniques, a besoin d'un amplificateur à rendement élevé et d'une qualité de reproduction sonore de qualité.

La troisième application est la commande du casque, dit *HeadSet*. La résistance équivalente du casque est évaluée entre 16 et 32  $\Omega$ . La puissance électrique maximale délivrée en sortie est de l'ordre de la centaine de mW sous 5V, mais la puissance d'écoute moyenne est inférieure à 1mW. Le niveau d'écoute est plus faible que pour l'application main libre car le rendement de la conversion électro-acoustique d'un casque est excellent ( $100dB_{SPL}/W/cm$ ).

Enfin, la dernière application, le *Vibra*, est un amplificateur de type classe D à faible performance utilisé pour commander non pas un haut parleur mais un petit moteur chargé de faire vibrer le téléphone (mode silencieux, jeux, etc...).

## 1.3 Les différentes classes d'amplification

Avant l'apparition des amplificateurs commutés, les amplificateurs linéaires étaient les seuls dispositifs électroniques capables d'amplifier un signal audio. Ils sont encore très utilisés dans de nombreuses applications dont la téléphonie mobile grâce à leur très bonne linéarité donnant lieu à une reproduction sonore de qualité.

Il existe trois familles d'amplificateurs répertoriés par classe<sup>3</sup> :

- Amplificateurs linéaires : classe A, B, AB, C
- Amplificateurs commutés : classe D, E, F
- Amplificateurs hybrides : classe G, H, K

Les sections suivantes décrivent le fonctionnement de chacun d'eux.

## 1.4 Les amplificateurs linéaires

Les circuits amplificateurs qui sont classés dans les catégories A, B, AB et C sont des amplificateurs linéaires, c'est à dire qu'ils utilisent la partie linéaire de la caractéristique électrique du composant actif (généralement un ou plusieurs transistors, de type BJT, FET ou MOS). Chaque classe définit la proportion du signal d'entrée qui est utilisée par chaque composant actif pour arriver au signal amplifié (figure 1.13). La notion d'angle de conduction  $\alpha$  permet de quantifier cette proportion :

- Classe A : la totalité du signal d'entrée (100 %) est utilisée ( $\alpha = 360^\circ$ ),
- Classe B : la moitié du signal (50 %) est utilisée ( $\alpha = 180^\circ$ ),
- Classe AB : plus de la moitié du signal (50 à 100 %) est utilisée ( $180^\circ < \alpha < 360^\circ$ ),
- Classe C : moins de la moitié (0 à 50 %) du signal est utilisée ( $0 < \alpha < 180^\circ$ ).

Les amplificateurs de classe AB se nomment ainsi car ils fonctionnent comme des classe A pour les signaux de faible amplitude, puis ils passent progressivement en classe B au fur et à mesure que l'amplitude du signal augmente.

---

3. Il existe dans la littérature des amplificateurs de classe T, S, etc... Il s'agit seulement de sigle commerciaux n'ayant aucune justification scientifique



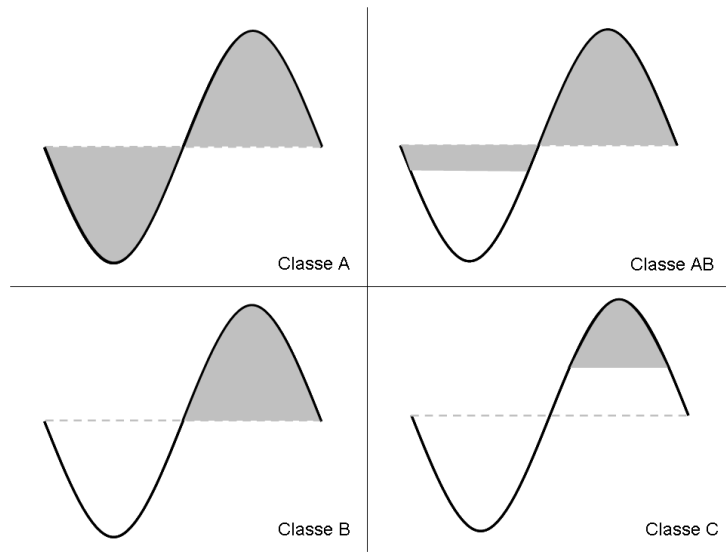


FIGURE 1.13 – Zone d'amplification pour les différentes classes

### 1.4.1 Amplificateur de classe A

Dans un amplificateur de classe A, le ou les composants actifs sont toujours en conduction (f.g. 1.14(a)). Ces amplificateurs amplifient tout le signal d'entrée, limitant ainsi les distorsions sur le signal de sortie. Ils dissipent une puissance constante quelle que soit l'amplitude du signal d'entrée. Ainsi, ces amplificateurs atteignent leur rendement maximum lorsque l'amplitude du signal de sortie est aux limites de ce que peut fournir l'amplificateur.

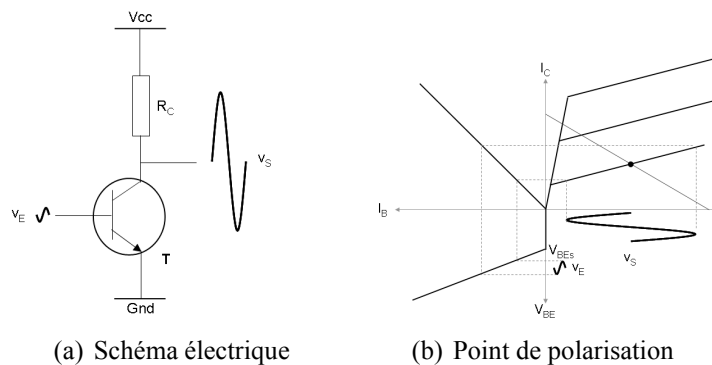


FIGURE 1.14 – Principe de polarisation en classe A

Pour un montage à émetteur commun, une polarisation en classe A signifie que les tensions de repos ont été choisies de façon à ce que l'amplificateur ne sature pas (n'écrite pas le signal) lorsqu'on lui applique un signal d'entrée d'amplitude maximale. Le point de polarisation est généralement choisi plus important que le strict minimum afin de travailler dans la partie la plus linéaire possible des caractéristiques du composant amplificateur. Un montage à émetteur

commun est un montage à connexion capacitive. En classe A, la puissance qu'il absorbe est constante et vaut :

$$P_{abs} = V_{cc} * I_{C0}$$

avec  $V_{cc}$  la tension d'alimentation et  $I_{C0}$  le courant de polarisation.

La puissance fournie à la charge dépend de l'amplitude du signal de sortie :

$$P_s = V_{seff} * I_{seff}$$

Avec  $V_{seff}$  la valeur efficace de la tension de sortie et  $I_{seff}$  la valeur efficace du courant de sortie.

La puissance maximale dont peut disposer un tel amplificateur en sortie est obtenue lorsque le courant et la tension de sortie sont aux limites de ce que l'amplificateur peut fournir. L'amplitude crête-crête de la tension de sortie ne peut dépasser  $V_{cc}$  tandis que celle du courant est limitée par  $I_{C0}$  :

$$P_s = \frac{V_{scc}}{2\sqrt{2}} * \frac{I_{sC0}}{2\sqrt{2}} = \frac{V_{cc}I_{C0}}{8}$$

Le calcul du rendement maximum  $\eta_A$  donne :

$$\eta_A = \frac{P_s}{P_{abs}} = \frac{1}{8} = 12.5\%$$

En raison de leur faible rendement, les amplificateurs de classe A sont généralement utilisés pour faire des amplificateurs de faible puissance (inférieur au mW). Pour chaque Watt délivré à la charge, l'amplificateur dissipera, au mieux, 8 Watt dans les applications classiques. Les amplificateurs de classe A nécessitent de larges dissipateurs thermiques afin d'évacuer l'énergie perdue.

Les amplificateurs de classe A sont généralement utilisés pour réaliser des étages pré-amplificateurs, des amplificateurs audio, des amplificateurs hautes fréquences à large bande ainsi que des oscillateurs hautes fréquences. Bien que la majorité des amplificateurs audio utilisent un étage de sortie en classe B, certains audiophiles considèrent que ce sont les amplificateurs de classe A qui donnent la meilleure qualité sonore, de par leur linéarité.

### 1.4.2 Amplificateur de classe B

Les amplificateurs de classe B n'amplifient que la moitié du signal d'entrée (fig. 1.15(a)). Ils créent donc beaucoup de distorsion, mais leur rendement est grandement amélioré. Les amplificateurs de classe B sont généralement utilisés pour réaliser des amplificateurs de basse et

moyenne fréquence. Dans ce cas, ils sont utilisés dans des configurations dites " push-pull ". Les montages push-pull utilisent deux transistors : un pour amplifier la partie négative du signal et un second pour sa partie positive. Chaque transistor fonctionne en " classe B ". La totalité du signal étant amplifiée, les montages push-pull possèdent un taux de distorsion plus faible que les amplificateurs classe B classiques tout en gardant un bon rendement.

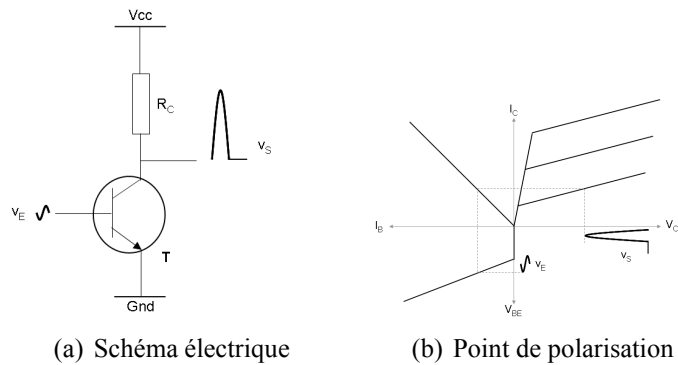


FIGURE 1.15 – Principe de polarisation en classe B

Pour un montage à émetteur commun, une polarisation en classe B signifie que la tension de repos a été choisie égale à la tension de seuil de conduction du transistor (fg. 1.15(a)). Ainsi, tout signal négatif apposé à la base du transistor l'amènera en dessous de son seuil de conduction et ne sera pas amplifié. A contrario, tout signal positif amènera le transistor dans la zone linéaire de sa caractéristique  $I_b = f(V_{be})$  et sera donc amplifié.

La puissance moyenne, normalisée sur une période, fournie par la source  $P_{abs}$  se calcule de la façon suivante, dans le cas d'un signal sinusoïdal de période  $T = \frac{2\pi}{\omega}$  :

$$P_{abs} = \frac{1}{2\pi} \int_0^\pi V_{cc} i(\theta) d\theta = \frac{V_{cc}}{2\pi} \int_0^\pi \frac{V_s}{R} \sin(\theta) d\theta = \frac{V_{cc} V_s}{\pi R}$$

Pour un montage à émetteur commun polarisé en classe B et dont tous les composants sont considérés comme parfaits, la puissance moyenne normalisée  $P_s$  fournie à la charge est :

$$P_s = \frac{1}{2\pi} \int_0^\pi \frac{V_s(\theta)^2}{R} d\theta = \frac{V_s^2}{2\pi R} \int_0^\pi \sin^2(\theta) d\theta = \frac{V_s^2}{4R}$$

Le rendement  $\eta_B$  s'exprime de la façon suivante :

$$\eta_B = \frac{P_s}{P_{abs}} = \frac{\pi V_s}{4 V_{cc}}$$

Le rendement est maximum quand  $V_s$  vaut  $V_{cc}$  :

$$\eta_B = \frac{\pi}{4} = 78.5\%$$

Les montages push-pull introduisent une discontinuité à l'endroit où les deux moitiés du signal issues de chacun des transistors se rejoignent. Ce phénomène se nomme "distorsion de croisement" (en anglais, *Cross-distortion*).

Les amplificateurs de classe B de type push-pull sont très utilisés en électronique. Ils se trouvent dans l'étage de sortie des amplificateurs continus utilisés dans les boucles d'asservissements linéaires, les générateurs de fonctions, les amplificateurs en circuits intégrés, ainsi que dans l'étage de sortie de la majorité des amplificateurs audio faible puissance.

### 1.4.3 Amplificateur de classe AB

La classe AB est un compromis entre la classe A et la classe B : le point de repos de l'amplificateur se situe entre celui d'un amplificateur de classe A et celui d'un amplificateur de classe B. Une telle méthode de polarisation permet à la classe AB de fonctionner en classe A pour les signaux de faible amplitude puis de se comporter comme un amplificateur de classe B pour les signaux de forte amplitude. Tout comme pour les amplificateurs de classe B, les amplificateurs de classe AB sont souvent utilisés en configuration "push-pull" afin de diminuer le taux de distorsion lors de l'amplification de signaux de forte amplitude.

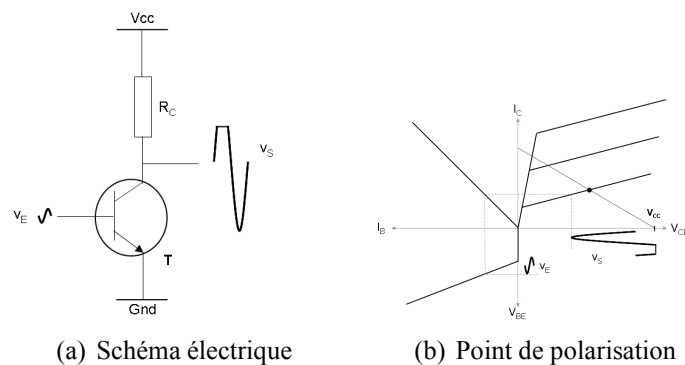


FIGURE 1.16 – Principe de polarisation en classe AB

Le principal inconvénient des étages "push-pull" de classe AB survient lorsqu'il amplifie des signaux de forte amplitude : une partie du signal est amplifiée par deux transistors (zone de fonctionnement en classe A) tandis que le reste du signal est amplifié par un seul transistor (zone de fonctionnement en classe B). Ainsi, le gain en courant du montage n'est pas constant au cours d'un cycle d'amplification. Cette variation du gain en courant engendre des distorsions hautes fréquences lors du passage entre la zone où deux composants amplifient le signal et celle où un seul composant l'amplifie.

Les amplificateurs de classe AB sont les circuits les plus couramment utilisés en audio [7]. L'amplificateur classe AB est considéré comme étant le meilleur compromis entre rendement et qualité de reproduction sonore pour les amplificateurs audio. En effet, il se comporte comme un amplificateur classe A si l'amplitude est faible et comme un classe B pour des volumes plus élevés. De cette façon, les signaux de faible amplitude sont reproduits avec la plus grande fidélité possible tandis que les signaux de forte amplitude sont reproduits avec des distorsions négligeables.

### 1.4.4 Amplificateur de classe C

Les amplificateurs de classe C amplifient moins de 50 % du signal d'entrée car le point de repos de l'amplificateur est choisi inférieur à son seuil de conduction. Le taux de distorsion est important, mais leur rendement maximum théorique est compris entre 78,5 % et 100 % suivant l'angle de conduction de l'amplificateur.

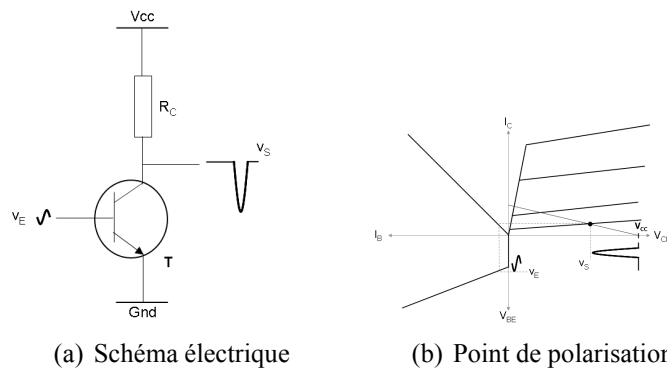


FIGURE 1.17 – Principe de polarisation en classe C

Pour un montage à émetteur commun, une polarisation en classe C signifie que la tension de repos a été choisie inférieure à la tension seuil de conduction du transistor. Ainsi, le signal ne sera pas amplifié tant qu'il ne porte pas la tension base-émetteur du transistor au-dessus de sa tension limite de conduction (figure 1.17(a)). Les amplificateurs de classe C sont utilisés pour réaliser des amplificateurs ultrasoniques et micro-ondes ainsi que des oscillateurs hautes fréquences. Certaines applications qui peuvent tolérer un taux de distorsion élevé, comme les mégaphones par exemple, utilisent également des amplificateurs de classe C.

## 1.5 Les amplif cateurs commutés

Un amplif cateur commuté est un amplif cateur dont tous les composants de puissance sont utilisés comme des interrupteurs. La plupart du temps, ce terme s'applique à des amplif cateurs qui doivent reproduire des signaux dont la bande passante est plus faible que la fréquence de commutation (voir f.g. 1.18). Le signal d'entrée est converti, par un modulateur, en une série d'impulsions dont la valeur moyenne est directement proportionnelle à l'amplitude du signal à l'instant considéré. La fréquence des impulsions est généralement au moins dix fois supérieure à la plus haute fréquence que l'on veut reproduire. Le spectre de la sortie d'un tel amplif cateur contient des fréquences non désirées (par exemple, la fréquence de découpage et ses harmoniques) qui doivent être supprimées par filtrage.

Plusieurs techniques d'amplif cation à découpage sont utilisées (classe D, E, F). Elle sont également associées dans certains cas avec une technique d'amplif cation linéaire (classe K, G, H). Ce chapitre étudie l'état de l'art des amplif cateurs classe D, seule technique d'amplif cation commutée utilisée pour les applications audio de la téléphonie mobile.

Le principal avantage de l'amplif cateur de classe D est son rendement [8]. Les impulsions de sortie étant d'amplitude constante, les interrupteurs (en général des transistors de type MOS, mais les transistors à effet de champ ou les transistors bipolaires peuvent être aussi utilisés) travaillent en mode bloqué ou ohmique plutôt qu'en régime de saturation. Cela entraîne qu'en dehors de leurs ouvertures ou fermetures, les composants actifs dissipent très peu d'énergie. La puissance instantanée dissipée dans un transistor, qui est le produit courant tension, est faible en mode ohmique et bloqué car soit le courant soit la tension sont quasiment nuls pendant ces états. Les faibles pertes engendrées par ce type d'amplif cateur permet d'utiliser des dissipateurs et des alimentations de taille plus faible.

### 1.5.1 Introduction aux amplif cateurs non linéaires

#### 1.5.1.1 Principe de fonctionnement

Le schéma de principe d'une amplif cation de classe D ainsi que les spectres des différents signaux sont représentés par les figures 1.18. Dans le cadre d'une Modulation par Largeur d'Impulsion (MLI), le signal  $V_{pulse}$  est le résultat de la comparaison entre le signal audio d'entrée  $V_e$  et une rampe  $V_r$  à haute fréquence de répétition (f.g. 1.19 - cas d'une fréquence de rampe faible pour illustrer le principe). Le comparateur génère un train d'impulsions  $V_{pulse}$  avec des

largeurs proportionnelles à l'amplitude du signal audio  $V_e$ . Le train d'impulsions pilote l'étage de puissance qui, via la tension de batterie, fournit la puissance nécessaire au haut parleur. Le signal audio modulé et amplifié est reconstitué par un filtre passe bas, atténuant les composantes hautes fréquences liées à la modulation. Ce filtre est généralement constitué par un réseau LC, formant ainsi un système du second ordre de type "passe bas".

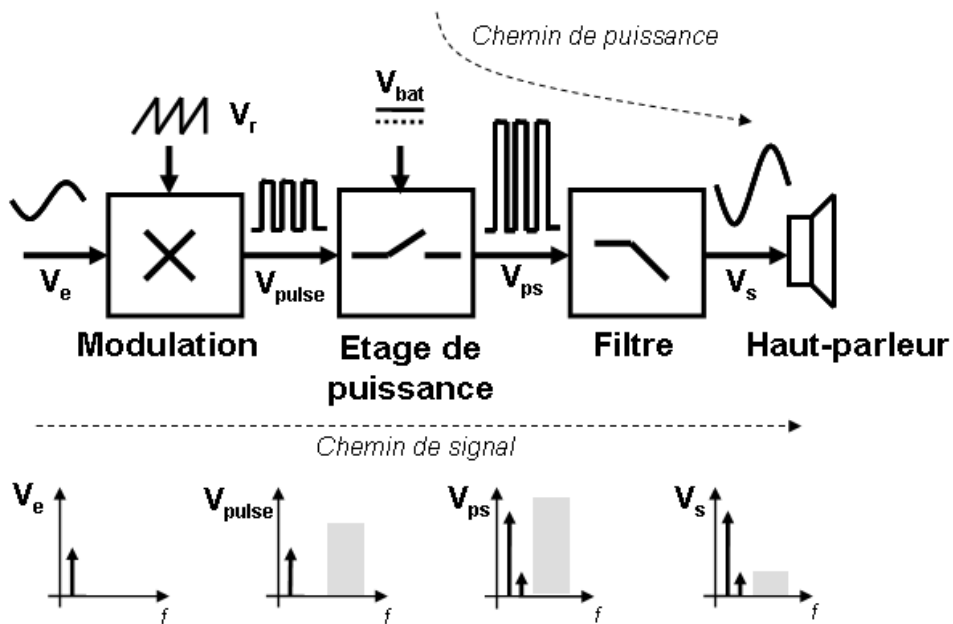


FIGURE 1.18 – Principe du Classe D analogique

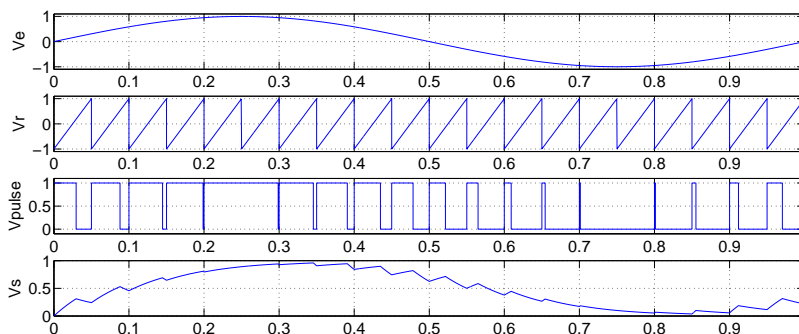


FIGURE 1.19 – Principaux signaux de l'amplificateur dans la cas d'une MLI

La bande passante du système auditif humain varie selon les individus et est comprise entre 20Hz et 20kHz. Le contenu fréquentiel haute fréquence dû à la modulation [1] n'est donc pas gênant à l'écoute car l'oreille est un excellent filtre passe bas. Cependant, les composantes hautes fréquences doivent être filtrées pour des raisons de compatibilité électromagnétique, de rendement et pour protéger le haut-parleur contre les signaux de forte amplitude à fréquence

élevée. Pour cela, un filtre reconstructeur peut être utilisé en sortie de l'amplificateur.

### 1.5.1.2 Analogie avec un système hydroélectrique

Une analogie avec un système hydraulique convertissant une énergie mécanique en énergie électrique permet de mieux comprendre le fonctionnement d'un amplificateur à découpage. Les mots entre parenthèses permettent de faire le lien avec l'amplificateur audio.

Un moulin, ou plus récemment une centrale hydroélectrique, utilise la hauteur de la chute d'eau (tension de batterie) et le débit du cours d'eau (courant) pour la production d'électricité. L'amplificateur audio peut être apparenté au contrôle d'un moulin. L'énergie de l'écoulement de l'eau sur la roue à palettes est l'image de l'énergie délivrée au haut parleur.

La solution la plus simple pour contrôler le débit du fluide, et donc la production d'énergie, est l'utilisation d'une vanne régulatrice de débit (figure de gauche 1.20). Le meunier contrôle la vitesse de rotation du moulin proportionnellement au courant de l'eau et de la chute d'eau. Le produit du courant et de la hauteur de la chute crée une puissance mécanique convertie par l'alternateur en puissance électrique. Cette première solution est l'analogie du fonctionnement des amplificateurs linéaires. Ils commandent de façon proportionnelle la puissance transmise à la charge par la tension appliquée à la grille de leurs transistors (cf. 1.4).

La seconde solution est d'utiliser une vanne d'arrêt (arrêt ou passage total de l'eau) et un réservoir percé (fig. 1.20 à droite). Dans ce cas, le meunier contrôle le temps d'ouverture de la vanne d'arrêt proportionnellement au débit voulu (modulation par largeur d'impulsion). L'eau se déverse dans le réservoir filtrant l'écoulement de l'eau (filtre de sortie). Le débit de l'eau s'échappant du réservoir est continu et proportionnel à la hauteur de l'eau stockée dans le réservoir et au diamètre de l'échappement.

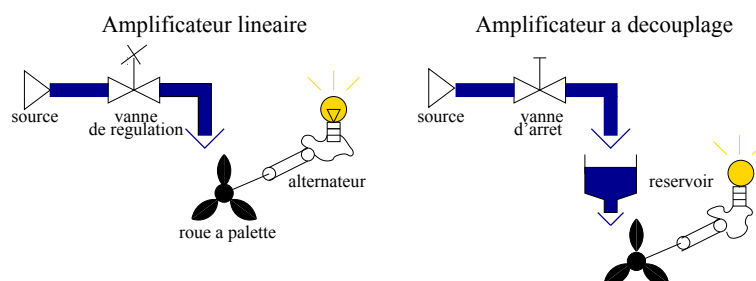


FIGURE 1.20 – Analogie hydraulique

Cependant, l'analogie hydraulique n'explique pas pourquoi l'utilisation d'une vanne d'arrêt et d'un réservoir permet un meilleur rendement que l'utilisation d'une vanne de régulation de



débit. En fait, il faut considérer que l'effort pour contrôler la vanne de régulation de débit demande plus d'énergie au meunier que la vanne d'arrêt. Dans ce cas, le meunier aurait sûrement utilisé la seconde solution.

L'analogie permet de comprendre les contraintes liées à la deuxième solution. Il faut que le meunier ait des réactions rapides pour fermer et ouvrir constamment la vanne. De plus, le réservoir (fltre) est un élément supplémentaire qui encombre le moulin (téléphone). Pour réduire la taille du réservoir, le meunier peut augmenter sa fréquence de commande de la vanne mais il va bien sûr se fatiguer plus. Enfin, le flet d'eau sortant de l'arrivée d'eau n'est pas continu et tombe directement dans le réservoir. Le choc de l'eau peut éclabousser le reste du moulin. Ce problème peut être mis en parallèle avec les problèmes de compatibilité électromagnétique de l'amplificateur à découpage.

### 1.5.1.3 Leur histoire et leurs défis

Le principe de l'amplificateur Classe D a été décrit en 1959 par Baxandall. Son principal atout est le rendement de l'amplification. En effet, le mode de fonctionnement de son étage de puissance en bloqué/passant permet de supprimer, en théorie, les pertes dans les éléments actifs. La disparition des pertes, et donc de l'échauffement, permet de l'intégrer plus facilement. De plus l'amplificateur classe D augmente l'autonomie d'écoute pour l'utilisateur final en limitant la puissance demandée à la batterie. Pour ces deux raisons, les amplificateurs de classe D proposent une alternative très intéressante aux amplificateurs linéaires dans les systèmes embarqués.

Historiquement, le développement des amplificateurs à découpage a été limité par les tubes, peu efficaces en commutation, réduisant fortement l'efficacité. A la fin des années 60, le transistor bipolaire devient une alternative aux tubes et les premières implémentations d'amplificateurs commutés ont été réalisées. Cependant, pour des fréquences de commutation bien supérieures à la bande de fréquence audio, les caractéristiques des transistors bipolaires limitaient encore trop le rendement. Dans les années 80, l'utilisation de la technologie MOS permet d'obtenir des transistors performants grâce à l'augmentation de leurs vitesses de commutation et la diminution des pertes en régime ohmique (meilleure optimisation du ratio capacité grille sur résistance de conduction). Ainsi, depuis une dizaine d'années, les amplificateurs de classe D deviennent une alternative pertinentes aux convertisseurs linéaires.

Avant le milieu des années 90, les communications scientifiques sur les amplificateurs

commutés sont quasi inexistantes. Seuls les amplificateurs linéaires étaient utilisés. Depuis la forte croissance du secteur de l'électronique par la multiplication des applications embarquées grand public, l'amplificateur classe D devient un des axes pour l'amélioration de l'autonomie d'écoute. Les premiers circuits apparaissent pour faire écho aux demandes client dans ce domaine. Les grands groupes du secteur de l'électronique grand public ont investi fortement dans cette technologie : Texas Instrument [9], Philips [10], Analog Devices [11] et ST-Microelectronics [12].

Le nombre de brevets et de publications sur l'amplificateur Classe D témoigne de la forte activité de recherche dans ce domaine. Deux cents soixante sept brevets sont répertoriés dans la catégorie US 330-251 (Amplifier - Including Class D amplifier). L'amplificateur classe D est également répertorié dans d'autres catégories comme les convertisseurs commutés DC/AC. Enfin, de nombreuses recherches sur les convertisseurs DC/DC peuvent être appliquées à l'amplificateur classe D. En effet, le convertisseur DC/DC utilise le même principe de fonctionnement mais n'est pas appliqué au même type de charge. Les solutions mises en place dans les convertisseurs DC/DC sont très différentes car les contraintes du suivi de la tension de référence ne sont pas de même nature.

#### **1.5.1.4 L'amplificateur de classe D : un amplificateur analogique ou numérique ?**

Les dénominations de l'amplificateur de classe D sont très variées selon le public concerné. Dans les notices grand public, l'amplificateur à découpage est vue comme un amplificateur digital car le signal en sortie ne peut prendre en théorie que deux valeurs. C'est un point de vue "système". En réalité, l'étude du fonctionnement de l'amplificateur classe D, et surtout l'étage d'amplification de puissance, relève de l'électronique analogique. Le train d'impulsion n'est pas seulement sur deux niveaux car de nombreux paramètres électriques des transistors sont à prendre en compte lors des commutations.

#### **1.5.1.5 Configuration de l'étage de puissance**

Le haut parleur est directement commandé par l'amplificateur classe D par l'intermédiaire d'un filtre reconstituteur (voir fig 1.18). A l'instar d'un moteur électrique, deux types d'architectures peuvent être utilisées pour connecter la charge à l'étage de puissance : le demi-pont et le pont en H (fig. 1.21(a) et 1.21(b)).

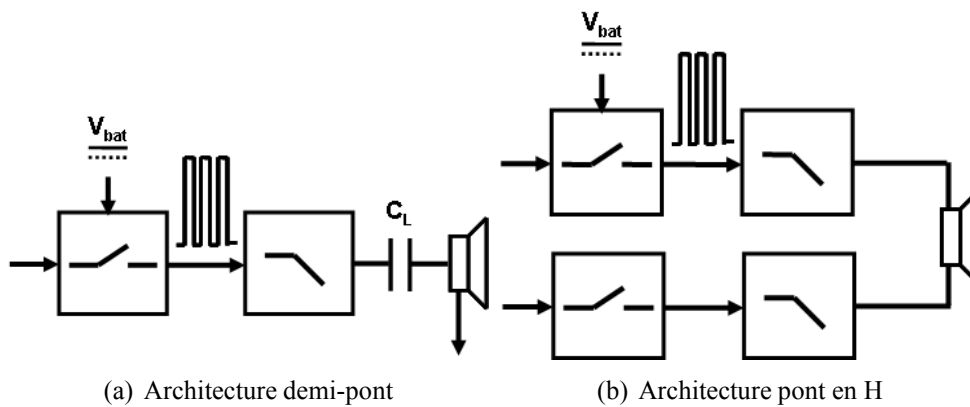


FIGURE 1.21 – Connexion du haut parleur

Le pont en H permet de générer une dynamique deux fois plus importante que le demi-pont. En effet, la dynamique de la tension aux bornes du haut parleur est de  $2V_{bat}$  pour un pont en H. A tension de batterie égale, la puissance délivrée (proportionnel à  $V^2$ ) par un pont en H est donc quatre fois supérieure à celle d'une structure demi-pont. Dans notre application, la tension de batterie est relativement faible. Il est donc préférable d'utiliser l'architecture en pont en H pour maximiser la puissance délivrée. De plus, la structure demi-pont impose l'utilisation d'un condensateur de liaison  $C_L$  entre le filtre et le haut parleur. En effet l'apparition d'une tension continue aux bornes du haut-parleur provoquerait le déplacement de sa membrane dans une position statique autre que celle prévue ce qui modifierait fortement son comportement dynamique. La fréquence de coupure de la cellule passe haut  $C_L R_{HP}$  ainsi réalisée avec le haut parleur devrait être très inférieure à la limite basse de la bande audio, soit une dizaine de hertz. Avec  $R_{HP}$  égal à  $8\Omega$ , le condensateur  $C_L$  serait tel que :

$$F_c = \frac{1}{2\pi R_{HP} C_L} \ll F_{AUDIO_{min}} = 20Hz \Rightarrow C_L \gg \frac{1}{2\pi R_{HP} F_{AUDIO_{min}}} = 1mF$$

Une telle valeur de capacité conduirait à l'utilisation d'un condensateur encombrant et dont la caractéristique  $I/U$  serait fortement non linéaire.

Pour ces deux raisons (puissance de sortie et nécessité de condensateurs de liaison), et d'autres qui seront introduites plus tard dans ce manuscrit (EMI et Rendement), la connexion de la charge se fait en pont en H. Il est intéressant de noter que la connectique de l'application casque (de type jack, mono ou stéréo) rend impossible cette solution ce qui peut être problématique pour l'utilisation d'un amplificateur de classe D. En effet, la masse électrique des deux haut-parleurs constituant le casque est commune.

### 1.5.1.6 Principales perturbations intrinsèques à l'amplificateur de classe D

Les amplificateurs commutés ont un comportement fortement non linéaire comparés aux amplificateurs linéaires. L'utilisation de l'amplificateur classe D dans des applications audio impose la maîtrise des problèmes de linéarité de l'amplification.

Il est indispensable de connaître les différentes sources d'imperfection pour pouvoir optimiser les performances audio de la chaîne. La figure 1.5.1.6 illustre les principaux paramètres influant sur les performances audio et électriques. Les paragraphes suivants décrivent brièvement ces phénomènes par ordre d'importance.

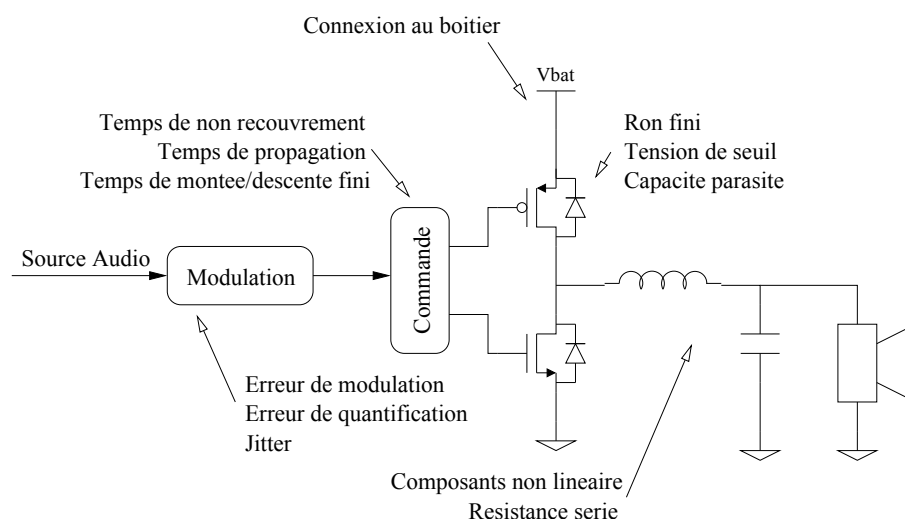


FIGURE 1.22 – Principales perturbations introduites

#### 1.5.1.6.1 L'étage de puissance

L'analyse précise de la commutation permet de comprendre les différents phénomènes de non linéarité dans la reproduction du signal d'entrée. Ces erreurs peuvent être divisées en deux catégories : les erreurs temporelles et les erreurs d'amplitude [1].

Les erreurs temporelles se traduisent par des retards ou des temps introduits pour la commutation :

- le temps de non recouvrement correspondant au retard ajouté entre la commande successive des deux transistors de puissance
- le temps de commutation traduisant le temps pour rendre passant ou bloqué le transistor
- le temps de montée et de descente

Les erreurs d'amplitude sont introduites par :

- la tension d'alimentation et les perturbations d'alimentation influençant directement les amplitudes des signaux de sortie
- la résistance équivalente des MOS,  $R_{ON}$ , introduisant une chute de potentiel non désirée

De manière générale, les erreurs temporelles sont la cause principale des non linéarités d'un amplificateur de classe D. L'erreur temporelle liée aux temps morts lors d'une commutation a la contribution la plus importante sur la distorsion harmonique de la structure. Quelques nano secondes de temps-morts peuvent facilement générer 1% de distorsion harmonique [13].

#### 1.5.1.6.2 La modulation

Quelque soit le type (MLI, MDI,...)<sup>4</sup> de modulation utilisée, les erreurs liées à la modulation peuvent être divisées en deux catégories. Il y a d'abord les erreurs liées à la nature des signaux puis les erreurs liées aux composants électriques non idéaux qui réalisent cette modulation. La première catégorie d'erreur fait l'objet d'une étude dans le chapitre 3.

#### 1.5.1.6.3 La connexion au boîtier

La connexion du boîtier aux tensions externes introduit une inductance, une capacité et une résistance parasites. L'accès résistif de l'alimentation à l'étage de puissance produit une chute de potentiel non désirée. Les entrées/sorties, notamment celles de l'étage de puissance, sont de plus très sensibles aux appels de courant, provoquant une oscillation en tension proportionnelle à la valeur des inductances parasites ( $U_L = L \frac{di}{dt}$ ). Les connexions au boîtier sont donc optimisées pour réduire au maximum cet effet en utilisant, par exemple, des fils d'or de longueur minimale. Quand les transistors commutent rapidement, l'énergie contenue dans les inductances parasites est dissipée dans les éléments de puissance. Les dépassements de tension sont directement proportionnels à la valeur de l'inductance et à la variation de courant. Malgré la faible valeur de l'inductance (quelques nH), le phénomène n'est pas négligeable et influence sur la tension de sortie. En effet, à chaque commutation, l'appel de courant sur l'alimentation peut être de l'ordre de plusieurs centaines de mA sur quelques nano secondes. L'oscillation atteint donc rapidement plusieurs centaines de millivolts à chaque commutation. La destruction des transistors de puissance est possible dans certaines conditions.

---

4. MLI = Modulation à Largeur d'Impulsion, notée *PWM* en anglais. MDI = Modulation à Densité d'impulsion, notée *PDM* en anglais

#### 1.5.1.6.4 Le comportement non linéaire du filtre passe bas

Les composants du filtre passe-bas contribuent aussi à la dégradation du signal audio. Le comportement non linéaire de l'inductance dû à la saturation de son champ magnétique implique une fonction de transfert non linéaire. L'adaptation d'impédance entre le filtre reconstituteur et le haut parleur peut également introduire des défauts.

### 1.5.2 Amplificateur de classe D en boucle ouverte

Dans certaines applications, l'amplificateur de classe D est utilisé en boucle ouverte, c'est à dire que le signal de sortie n'est pas contrôlé. Les amplificateurs de classe D en boucle ouverte peuvent être commandés de façon analogique ou numérique comme décrit dans les deux paragraphes suivants.

#### 1.5.2.1 Amplificateur de classe D analogique

Dans le schéma de principe donné précédemment, fig 1.18, l'architecture de l'amplificateur de classe D analogique est donc composée d'une étape de modulation analogique pour convertir le signal d'entrée analogique en un train d'impulsions, d'une étape d'amplification réalisée par l'étage de puissance puis d'un filtrage afin de piloter le haut parleur.

Si le signal d'entrée est de nature numérique (ce qui est le cas en téléphonie mobile, codé sur 24bits à 48kHz<sup>5</sup> par exemple), le système est alors précédé d'un Convertisseur Numérique Analogique (CNA), transformant l'information numérique  $V_e(n)$  en signal analogique  $V_e(t)$  (fig. 1.23).

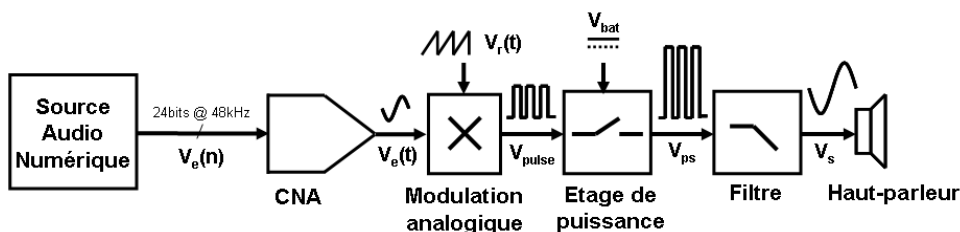


FIGURE 1.23 – Chaîne totale de la reproduction audio classe D analogique

#### 1.5.2.2 Amplificateur de classe D numérique

Dans le cas où le signal d'entrée est de nature numérique, l'ensemble {CNA, Modulation analogique} de la figure 1.23 peut alors être remplacé par un modulateur numérique qui générera

5. Cette quantification correspond au format  $I_2S$ , codage audio standard [14]

directement le train d'impulsions nécessaire au pilotage de l'étage de puissance par un procédé purement numérique à partir de la commande (fig 1.24). Les contraintes de cette approche sont totalement différentes de part la nature du procédé.

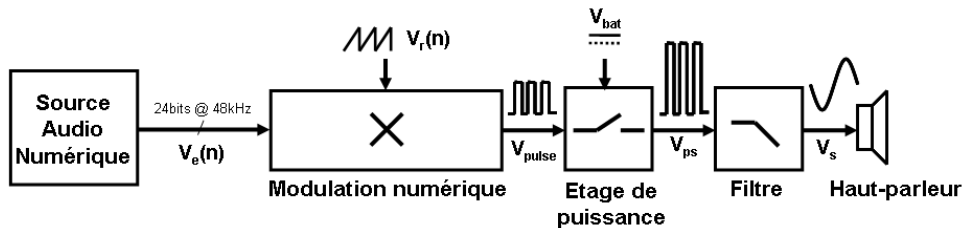


FIGURE 1.24 – Chaîne totale de la reproduction audio classe D numérique

### 1.5.2.3 Inconvénients de la structure en boucle ouverte

L'absence de réjection des perturbations d'alimentation existantes dans la chaîne directe est le principal inconvénient de cette architecture. Seul le choix de l'utilisation d'une modulation ternaire permet une faible immunité aux variations d'alimentation (voir section 1.7). De plus, l'amplificateur de classe D a un comportement fortement non linéaire, limitant ainsi la fidélité de reproduction sonore. L'utilisation d'un amplificateur de classe D en boucle ouverte n'est donc possible que dans des situations bien particulières où les tensions d'alimentation sont maîtrisées et où les erreurs introduites par l'étage de puissance peuvent être ignorées. On trouve ainsi ce type de structure dans les télévisions, certains systèmes automobiles, certains systèmes de forte puissance tels que des enceintes pour concert (ou c'est surtout le caractère non dissipatif des structures de classe D qui est alors intéressant),... Pour tous les systèmes embarqués, où l'amplificateur est directement connecté à la batterie, dont la tension délivrée présente une forte dynamique et peut être très bruitée par des éléments du voisinage (telle que la partie RF dans un téléphone portable), une utilisation de l'amplificateur de classe D en boucle ouverte n'est pas envisageable. Ainsi, des méthodes de contrôle sont mises en place afin d'asservir l'information en sortie de l'amplificateur.

### 1.5.3 Amplificateur de classe D en boucle fermée

Les nombreuses sources d'erreurs (modulation, commutations, variation de la tension de batterie) réduisent la fidélité de reproduction sonore de l'amplificateur classe D. Dans la plupart des applications embarquées, ces amplificateurs sont donc asservis pour obtenir une meilleure

fidélité de reproduction sonore. La difficulté d'une bibliographie exhaustive est mise en évidence par les 141 brevets traitant des contrôles par modulation d'impulsion (catégorie US 327/172 "Rectangular or pulse waveform width control").

Pour augmenter la linéarité du système, de nombreuses structures analogiques et numériques ont été mises en place, corrigeant les erreurs introduites par l'amplificateur de classe D :

- Asservissement synchrone analogique pour amplificateur de classe D à entrée analogique (1.5.3.1),
  1. Contrôle par MLI,
  2. Contrôle par modulation  $\Sigma\Delta$ ,
  3. Contrôle en un cycle,
- Asservissement asynchrone analogique pour amplificateur de classe D à entrée analogique (1.5.3.2),
  1. Contrôle auto-oscillant à déphasage,
  2. Contrôle auto-oscillant à hystérésis,
- Asservissement local analogique pour amplificateur de classe D à entrée numérique (1.5.3.3),
- Asservissement local mixte pour amplificateur de classe D à entrée numérique (1.5.3.4),
- Asservissement numérique pour amplificateur de classe D à entrée numérique (1.5.3.5),

### 1.5.3.1 Asservissement analogique synchrone pour amplificateurs à entrée analogique

#### 1.5.3.1.1 Contrôle linéaire par modulation à largeur d'impulsion

La correction des perturbations introduites par l'amplification peut s'effectuer à l'aide d'une régulation linéaire classique puis d'une modulation à largeur d'impulsion du signal d'erreur. Le schéma 1.25 illustre ce principe de fonctionnement. La tension de sortie est renvoyée à l'entrée pour être soustraite par l'intermédiaire d'un gain  $\beta$ . Le signal d'erreur ( $V_e$ ), résultant de cette différence, est mis en forme par un correcteur, de fonction de transfert  $C(s)$ . La sortie du correcteur est modulée en largeur d'impulsion (fonction de transfert  $P(s)$ ) pour pouvoir commander l'amplificateur classe D.

La MLI et l'étage de puissance peuvent être assimilés à un système linéaire en moyennant leurs dynamiques [15, 16, 17]. La fonction de transfert  $P(s)$  s'exprime alors par :

$$P(s) = \frac{V_{bat}}{\Delta V_r} e^{-t_d s} \quad (1.6)$$



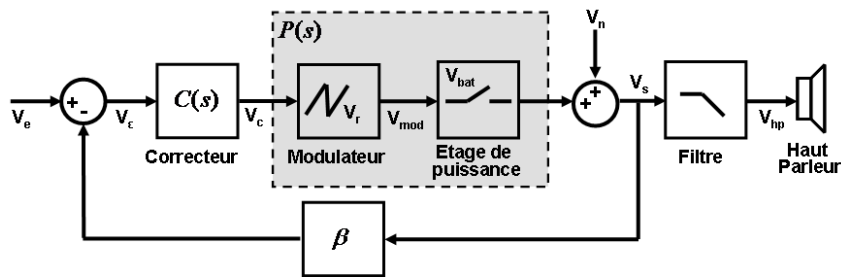


FIGURE 1.25 – Schéma de principe du contrôle linéaire par MLI

avec  $V_{bat}$  la tension de batterie,  $\Delta V_r$  l'amplitude de la porteuse  $V_r$  de la modulation et  $t_d$  le retard appliqué sur la commande de l'étage de puissance. Cette modélisation n'est valable que pour une gamme de fréquences largement inférieures à la fréquence de commutation. Des méthodes de modélisation pour les éléments de commutation sont plus amplement décrites dans [16, 17].

La régulation par modulation PWM analogique réduit les effets des perturbations de la chaîne directe sur la tension de sortie. La fonction de transfert  $C(s)$  est conçue pour avoir un maximum de gain en bande audio tout en maintenant la stabilité du système. En effet, les perturbations  $V_n$  sont réduites d'un facteur  $(1 + \beta A)$ , où  $\beta$  est le rapport d'atténuation de la boucle de retour et  $A = C \times P$  le gain de la chaîne directe. Les erreurs introduites par la cellule de commutation et le taux de distorsion sont directement réduites par le gain de boucle.

Si  $V_e$  est une entrée sinusoïdale et  $V_n$  représente les perturbations aux fréquences harmoniques d'ordre  $n$ , le taux de distorsion harmonique s'exprime alors, dans le cas d'une structure en boucle ouverte (cf. définition en 1.2.3.2.3) :

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} V_n^2}}{GV_e} \quad (1.7)$$

En boucle fermée, le taux de distorsion harmonique devient :

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} V_n^2}}{GV_e(1 + A\beta)} \quad (1.8)$$

avec  $G$  la fonction de transfert de la chaîne directe et  $A$  la fonction de la chaîne directe intégrée dans la boucle,  $C(s) \times P(s)$ .

La fonction de transfert du correcteur  $C(s)$  doit avoir un maximum de gain dans la bande audio (donc en basses fréquences) pour corriger le plus possible les erreurs introduites par l'étage de puissance. Un correcteur PI (action Proportionnelle et Intégrale) est le plus souvent utilisé ([18, 19, 20, 21, 22]) car il présente le meilleur compromis performances/complexité/stabilité.

Fabricant	Référence	THD (% @1kHz)	PSRR (dB @20kHz)	Io (mA)	Eff cacité (% - $P_{MAX}$ )	SNR (dB-Aw)
TI	TPA2010	0.18	40	2.8	90	97
TI	TPA2037	0.04	60	1.5	94	97
MAXIM	MAX9701	0.08	50	4.5	87.4	88.5
STM	TS4962	0.4	30	2.3	88	85
ONSEMI	NCP2823	0.09	32	2.6	97	90

TABLE 1.2 – Amplif cateurs de Classe D industriels utilisant une MLI

D'autres correcteurs, plus complexes, ont été utilisés [23, 15, 24] mais ne présentent pas forcément de meilleures performances audio tout en ayant des consommations statiques plus élevées. Bien souvent, la qualité de l'implémentation électrique domine les effets des actions complexes des précédents correcteurs, notamment la linéarité de la rampe utilisée pour la MLI [25]. Dans [24], un correcteur dit MAE (pour *Minimum Aliasing Error*) est proposé pour agir tout particulièrement sur le repliement dû à la modulation.

L'asservissement de l'amplif cateur peut s'effectuer en incluant ou non le filtre reconstituteur de sortie. Si c'est le cas, le comportement dynamique de ce filtre doit être pris en compte dans l'étude de la stabilité de la boucle.

Les amplif cateurs de classe D analogique actuellement proposés par les sociétés *STMicroelectronics*, *Texas Instrument*, *Maxim* et *ON semiconductor* utilisent cette architecture de contrôle. Le tableau 1.2 résume certains de ces circuits pour une application 1W dans  $8\Omega$  sous 3,6V .

### 1.5.3.1.2 Contrôle par modulation $\Sigma\Delta$

Il suffit de remplacer la modulation PWM dans l'architecture précédente par un modulateur  $\Sigma\Delta$  pour obtenir un amplif cateur de classe D utilisant une Modulation par Densité d'Impulsion (MDI). Ces modulateurs sont donc à temps discret, synchronisés sur une horloge externe H comme le représente la figure 1.26.

La modulation  $\Sigma\Delta$  est une technique de régulation couramment utilisée pour les applications où le rendement n'est pas un facteur déterminant. L'architecture est complexe à réaliser car l'ordre du filtre  $H(s)$  doit être élevé pour obtenir de bonnes performances. De plus, la fréquence de commutation est plus élevée car il faut atteindre un facteur de sur-échantillonnage (OSR - *Over Sampling Ratio*) important. Les articles [26, 27, 28, 29, 30] montrent des amplif cateurs de classe D utilisant une modulation par densité d'impulsion basée sur des modulateurs

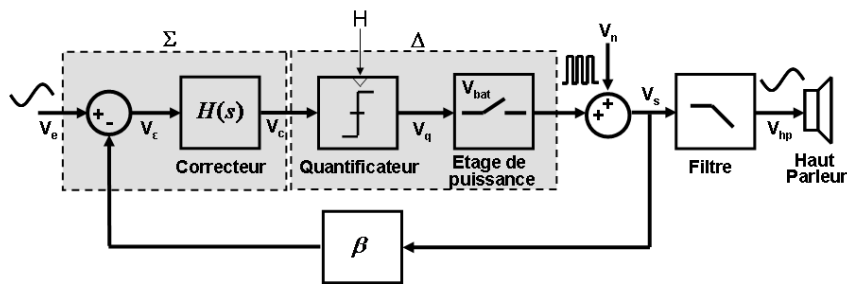


FIGURE 1.26 – Principe de modulation  $\Sigma\Delta$  analogique pour amplificateur de classe D

$\Sigma\Delta$ . Ils présentent des performances en bruit généralement supérieures à leurs homologues basés sur des MLI mais consomment également plus. La fréquence des commutations du signal de sortie est variable en fonction de l'amplitude du signal ce qui permet d'obtenir un spectre fréquentiel de la modulation différent d'une MLI. L'article [31] montre qu'une modulation  $\Sigma\Delta$  sur 1 bit n'est pas suffisante pour réaliser un amplificateur audio haut de gamme. Le modulateur  $\Sigma\Delta$  ne pourra pas être stable à pleine échelle tout en évitant l'apparition de cycles limites. Grâce à l'utilisation d'un pont en H pour connecter le haut parleur, une quantification sur 1.5 bit (illustrée figure 1.27) est possible et permet de s'affranchir du problème précédent. Un bloc de logique combinatoire  $C$  transforme les informations venant des deux modulateurs  $\Sigma\Delta$  afin de transformer la modulation. Cette approche, utilisée dans [26], permet d'améliorer le rendement à faible signal en limitant le nombre de commutations. Le signal de sortie différentiel présente cependant un mode commun variable et nécessite donc une correction au niveau de la boucle de contrôle.

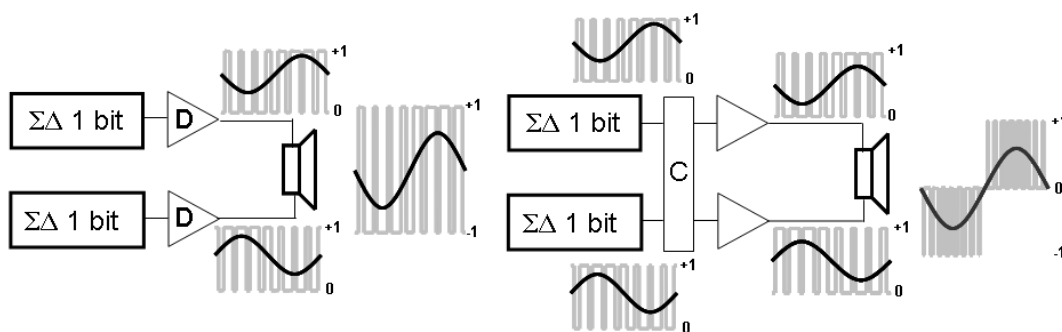


FIGURE 1.27 – Modulation  $\Sigma\Delta$  sur 1 & 1.5 bit

Il existe quelques circuits industriels utilisant des modulateurs  $\Sigma\Delta$  réalisés par *Analog Devices* et *Cirrius Logic*, résumés dans le tableau 1.3 pour l'application 1W - 8 $\Omega$ .

Fabricant	Référence	THD (% @1kHz)	PSRR (dB @20kHz)	Io (mA)	Eff cacité (% - $P_{MAX}$ )	SNR (dB)
Cirrus	CS3501	0.02	NR	1	89	97
AD	SSM2301	0.1	50	3.5	82	98

TABLE 1.3 – Amplif cateurs de Classe D industriels utilisant une modulation  $\Sigma\Delta$

### 1.5.3.1.3 Contrôle en un cycle

Une technique de contrôle non linéaire, appelée "contrôle en un cycle" (OCC - One Cycle Control en anglais), corrige la largeur d'impulsion en "temps réel" pour obtenir à chaque cycle la valeur moyenne de la référence. Les articles [32, 33] (brevet associé [34]) montrent que des convertisseurs DC/DC contrôlés avec cette méthode présentent une dynamique rapide. En effet, le circuit répond en un cycle aux variations dues à l'alimentation ou à la tension de référence. Cet avantage est particulièrement intéressant pour les convertisseurs DC/DC, nécessitant des performances transitoires rapides.

Le principe de ce type de régulation est d'accumuler l'erreur entre un signal de commande et le signal de sortie via une action intégrale. Le temps de cumul est défini par une horloge externe. A la fin de ce temps, une impulsion de largeur variable selon la quantité d'erreur accumulée est générée. La remise à zéro nécessaire de l'intégrateur à chaque période de commutation génère de la distorsion harmonique, peu gênante dans le cas d'un système convertisseur DC/DC mais problématique pour un amplif cateur audio. S. Smedley [35] a appliqué cette méthode à un amplif cateur audio de classe D. Les performances sont faibles par rapport aux autres solutions : PSRR égal à 40dB à 100 Hz et 0,3% de THD. Le brevet [36] propose une alternative en reportant le problème de la remise à zéro sur un circuit annexe commandant la durée de l'impulsion. Le brevet [37], et l'article associé [38], mettent en évidence un effet d'instabilité créant des sous harmoniques. Les auteurs proposent plusieurs solutions de circuit permettant de limiter cet inconvénient sans toutefois le supprimer. La technique par contrôle en un cycle offre de bonnes performances en terme de rapidité mais reste limitée au vu des non linéarités créées par la remise à zéro. Ce type de contrôle, bien que séduisant, ne peut donc pas être exploité dans le cadre d'applications audio requérant une faible distorsion harmonique.

### 1.5.3.2 Asservissement analogique asynchrone pour amplif cateurs à entrée analogique

#### 1.5.3.2.1 Contrôle auto-oscillant à déphasage

La technique d'auto-oscillation est un contrôle de type non linéaire. La modulation par auto-

oscillation est obtenue en plaçant une boucle comprenant un élément fonctionnant en commutation (un comparateur par exemple) dans une configuration "linéairement non stable". Ainsi, ce type de modulation n'est pas réalisable pour des structures en boucle ouverte. Les travaux menés sur ce type de modulation sont récents, bien que dès 1959, Baxandall [39] ait décrit le fonctionnement de l'amplificateur classe D en auto-oscillation. De manière générale, un amplificateur de classe D en boucle fermée peut être représenté par le schéma 1.28.

La boucle de retour peut se faire soit avant soit après le filtre de reconstruction. Le bloc X

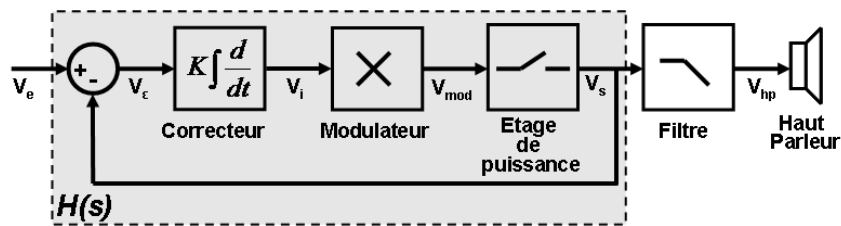


FIGURE 1.28 – Schéma de principe d'un amplificateur de classe D en boucle fermée

détermine le type de modulation. Le système en boucle fermée va osciller lorsqu'il est dans les conditions dites de *Berkhausen*. La boucle ouverte  $H(s)$  doit avoir un gain unitaire lorsque le déphasage entre le signal de sortie  $V_s$  et le signal d'entrée  $V_e$  est égal à  $\pi[2\pi]$ . Le bloc commuté présentant un gain qui s'ajuste automatiquement à  $0dB$  à la fréquence de commutation [40], seule l'information de phase est pertinente ici. La fréquence de commutation  $F_S$  de cette boucle est déterminée uniquement via l'étude de la phase de la boucle ouverte de  $H(s)$ . Le temps de propagation  $t_d$  des signaux à travers le comparateur et l'étage de puissance ajoute un déphasage de valeur  $\Delta\varphi = 2\pi t_d F_S$ .

Les articles [40, 41, 42, 43] proposent des amplificateurs de classe D basés sur ce principe. Dans ces solutions, le bloc  $H(s)$  est systématiquement constitué d'un intégrateur de phase  $\varphi_{INT} = -\frac{\pi}{2}$ . L'intérêt de l'action intégrale est d'avoir une boucle qui présentera une erreur statique nulle. Le complément de phase est apporté soit par un réseau passif dans la boucle de retour ([40, 42], soit par le filtre de reconstruction ([41]). Dans tous les cas, d'autres pôles/zéros peuvent être ajoutés afin de contrôler plus précisément  $F_S$  (l'idée étant d'augmenter  $\frac{d\varphi}{d\omega}$  autour de  $\omega_S = 2\pi F_S$  afin d'être moins sensible aux variations du procédé de fabrication). Les schémas de principe de ces trois solutions sont donnés sur les figures 1.29(a), 1.29(b) et 1.29(c).

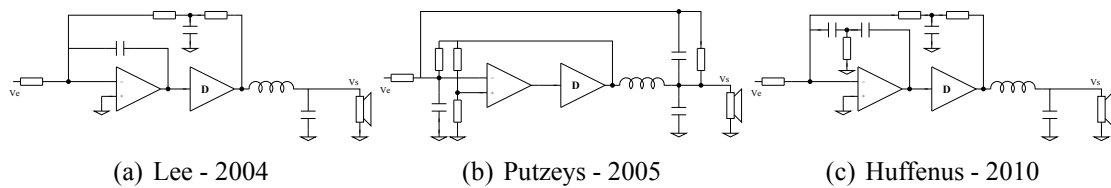


FIGURE 1.29 – Boucle auto-oscillante à déphasage

Afin d'utiliser ce type de contrôle en modulation sur trois niveaux (voir section 1.7), il faut prévoir l'utilisation de deux boucles distinctes, pilotant chacune une des polarités du haut parleur, comme illustré sur la figure 1.30.

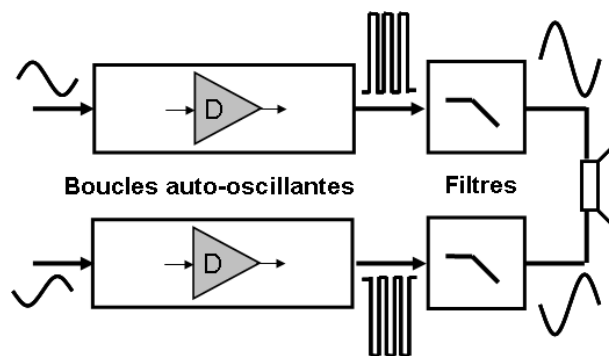


FIGURE 1.30 – Connexion de la charge sur un système auto-oscillant

Comme la fréquence d'oscillation n'est plus fixée extérieurement, comme dans le cas d'une modulation MLI ou  $\Sigma\Delta$ , mais par les paramètres internes de la boucle, une différence de fréquence d'oscillation entre les deux voies va être introduite par les variations technologiques et les dérives temporelles. Ainsi, la forme du signal modulé en sortie ne sera pas parfaitement synchronisée et le bénéfice de rendement lié à l'utilisation d'une modulation sur trois niveaux sera perdu [40]. Pour cela, un système de synchronisation entre les deux voies est mis en place dans [40, 42] (brevet associé [44]). Cette méthode de synchronisation entre boucles auto-oscillantes est également utilisée dans d'autres domaines (par exemple dans les amplificateurs RF [45]). Dans tous les cas, la fréquence instantanée de commutation  $F_C$  est dépendante de la profondeur de modulation  $M$  et est majorée par la fréquence d'auto-oscillation "à vide"  $F_S$ . Quelque soit la structure utilisée,  $F_C$  est de la forme :

$$F_C = F_S (1 - M^2)^\beta \quad (1.9)$$

Le paramètre  $\beta$  dépend de la structure. Il n'existe actuellement pas de travaux permettant de prédire ce paramètre. Dans [42] par exemple,  $\beta$  est égale 0,6.

Les amplificateurs de classe D basés sur des contrôles auto-oscillants à déphasage cités précédemment ont des performances audio comparables à leurs homologues basés sur des MLI. Cependant, leur boucle de contrôle ne nécessitant pas la génération d'une rampe (comparé à une MLI), ou comportant de multiples intégrateurs (comparé à une modulation  $\Sigma\Delta$ ), l'implémentation électrique est donc très simplifiée et consomme beaucoup moins. De plus, la fréquence de commutation est variable et diminue rapidement lorsque l'index de modulation s'éloigne de 0,5. L'article [46] compare plus précisément les différentes topologies de contrôles auto-oscillants et synchronisés.

### 1.5.3.2.2 Contrôle auto-oscillant à hystérésis

Comme son homologue à déphasage, le contrôle auto oscillant à hystérésis (également nommé dans la littérature contrôle "Bang Bang" ou contrôle par mode glissant) est une approche de régulation utilisant la condition d'instabilité d'une boucle fermée. Cette fois, le délai est apporté par un cycle d'hystérésis au niveau du comparateur. En effet, le temps que le signal d'erreur parcourt entièrement le cycle peut être vu comme un délai  $t_d$ , dont la valeur est inversement proportionnelle à la pente du signal d'erreur et proportionnelle à la largeur du cycle d'hystérésis en question. La structure élémentaire d'un amplificateur de classe D auto oscillant à hystérésis est illustrée figure 1.31.

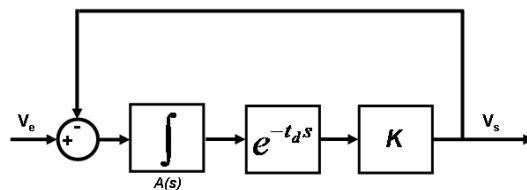


FIGURE 1.31 – Principe d'un contrôleur à hystérésis

L'état de l'art de la recherche dans ce domaine permet de comprendre l'intérêt de ce type de régulation en audio [47, 48, 49, 50, 51, 52, 53, 54, 55]. Bien que la structure de base de toutes ces solutions soit identique à celle représentée sur la figure 1.31, chacune propose des améliorations supposées améliorer un point précis des performances du système (retour en courant, augmentation de l'ordre de l'action intégrale, action dérivée, variation du cycle d'hystérésis, implémentation, etc). Il n'existe pas de meilleure solution, mais seulement un compromis selon les performances voulues et les contraintes du système. Le principe de fonctionnement de ce type d'amplification sera plus longuement analysé dans le chapitre 2.

### 1.5.3.3 Asservissement local analogique pour amplificateurs de classe D à entrée numérique

L'utilisation d'un modulateur numérique suivi d'un étage de puissance en boucle ouverte ne permet pas de réaliser un amplificateur de classe D pour un système embarqué à cause de son manque de réjection des perturbations d'alimentation. Des solutions de contrôle analogique local ont été mises en œuvre afin de conserver l'entrée numérique de la structure et de contrôler le signal de sortie comme l'illustre la figure 1.32.

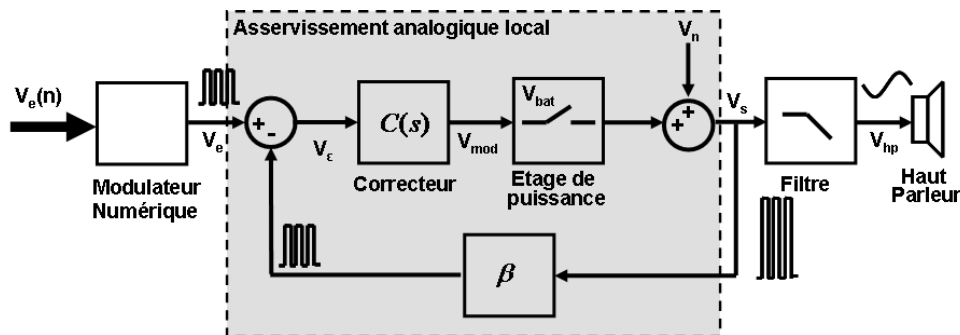


FIGURE 1.32 – Principe d'un amplificateur de classe D numérique localement asservi

Un modulateur numérique, comme celui décrit dans le chapitre 3, convertit le mot d'entrée numérique en train d'impulsions. Ce signal sert à piloter une boucle d'asservissement analogique qui corrige les erreurs liées à la commutation de l'étage de puissance et aux sources d'alimentation. La boucle analogique peut être réalisée de différentes manières, selon les performances souhaitées et l'application. Dans tous les cas, une action intégrale est nécessaire dans la boucle d'asservissement pour assurer une erreur statique nulle et filtrer le contenu spectral des signaux d'entrée et de retour. Les articles [56, 57, 58, 59, 60, 61] présentent des amplificateurs de classe D intégrant donc un modulateur numérique en boucle ouverte et un asservissement analogique autour de l'étage de puissance. Dans [56, 57, 58, 60], l'application téléphonie mobile est discutée. Ces quatre solutions sont équivalentes en terme de performances et diffèrent principalement au niveau de l'environnement de l'amplificateur. L'étude de cette approche ainsi que des contraintes liées au fonctionnement et à la stabilité de la boucle d'asservissement sera détaillée dans le chapitre 4.

### 1.5.3.4 Asservissement mixte pour amplificateurs à entrée analogique

#### 1.5.3.4.1 Contrôle mixte par numérisation de l'erreur

L'article [62] propose une approche mixte pour asservir le signal de sortie. La figure 1.33



illustre le principe de cet asservissement. Le train d'impulsion de sortie  $V_s$  est comparé à celui d'entrée  $V_e$  et une action intégrale analogique extrait l'erreur moyenne  $V_e(t)$  entre ces deux signaux. Cette erreur est ensuite numérisée et le signal  $V_e(z)$  sert de référence à un correcteur numérique  $PWC_N$  (*Pulse Width Corrector* - correcteur de largeur d'impulsions en anglais) intégrant une étape de modulation numérique afin de pouvoir piloter l'étage de puissance directement. Le principe de fonctionnement de ce correcteur numérique est d'élargir ou de réduire le train d'impulsions issu du signal d'entrée  $V_e$  en fonction de la valeur du signal d'erreur  $V_e(z)$ .

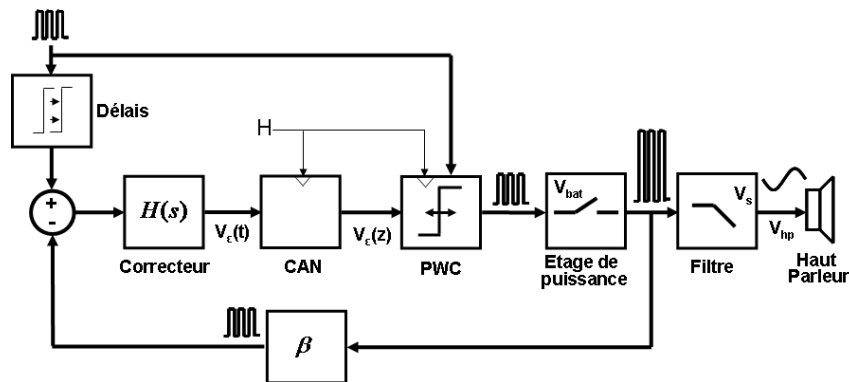


FIGURE 1.33 – Asservissement mixte avec correcteur numérique pour amplificateur de classe D

Cette architecture est utilisée dans des systèmes "forte puissance" ( $P_{OUT} \gg 1W$ ) où la consommation statique  $I_0$  ( $I_0 \gg mA$ ) du contrôle n'est pas un facteur limitant le rendement. Pour une application de type téléphonie mobile, la complexité et la consommation ne permettent pas l'utilisation de ce type de solution.

#### 1.5.3.4.2 Contrôle mixte par compensation analogique du signal de sortie

Dans [63], K. Nielsen propose une approche similaire dans le principe, c'est à dire faire varier de façon analogique la largeur des impulsions de référence en fonction d'une erreur moyenne extraite de manière analogique. La figure 1.34 montre l'architecture de cette solution. La nouveauté de cette approche est l'utilisation d'un correcteur de largeur d'impulsions analogique  $PWC_A$  qui permet de s'affranchir des étapes de conversion interne à la boucle nécessaires dans la solution précédente.

En supprimant toute la correction numérique, et donc le CAN de la boucle, K. Nielsen a réduit la consommation statique de la boucle. Cependant, ce n'est pas assez par rapport aux solutions de type asservissement analogique local (paragraphe précédent) pour pouvoir les concurer.

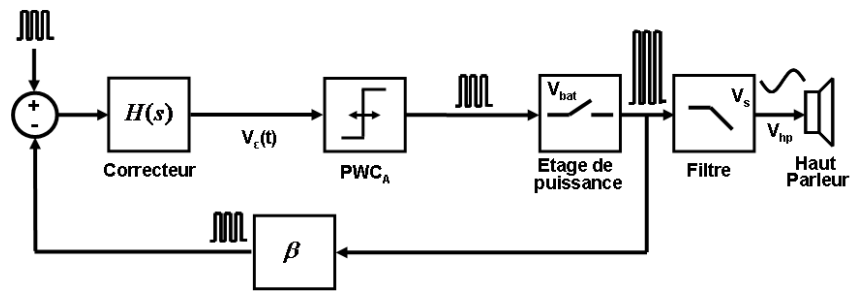


FIGURE 1.34 – Asservissement mixte avec correcteur analogique pour amplificateur de classe D

rener.

### 1.5.3.5 Asservissement pour amplificateurs à entrée numérique

Les amplificateurs de classe D à entrée numérique sont attractifs car ils présentent un rendement global de la chaîne d'amplification supérieur. En effet, la conversion NA en amont de l'amplificateur classe D analogique n'est plus utile.

Toutes les grandes entreprises fabriquant des amplificateurs de classe D (Freescale, Philips, Nokia, TI, Bang & Olusen, etc...) ont publié sur le sujet. Ces papiers traitent des solutions intégrant une correction numérique des perturbations existantes dans la partie analogique (oscillation sur la tension de batterie, imperfection de l'étage de puissance). Ces différentes techniques seront présentées et analysées dans les paragraphes suivants. Cependant, il n'existe pas à l'heure actuelle d'amplificateurs de classe D intégrés commandés de manière numérique (certains circuits tel que le SSM2517 [64] proposent une entrée numérique, mais ils intègrent en réalité une conversion NA et un amplificateur de classe D à entrée analogique).

#### 1.5.3.5.1 Compensation numérique des variations de la batterie

Le principe de cette approche, proposée dans [65, 66] est de compenser les variations de batterie par une boucle numérique comprenant un convertisseur rapide de haute résolution et un système de correction dans la chaîne directe (f.g. 1.35). Cette solution permet de réduire la complexité de l'architecture globale de l'amplificateur classe D numérique par rapport à une solution de retour numérique (paragraphe 1.5.3.5.2).

L'entreprise Cirrus Logic a développé une solution intégrant le convertisseur AN et le système de correction associé [66]. La réjection d'alimentation obtenue est médiocre à faible fréquence (60dB). De plus, le contrôle n'est plus efficace en fn de bande audio.

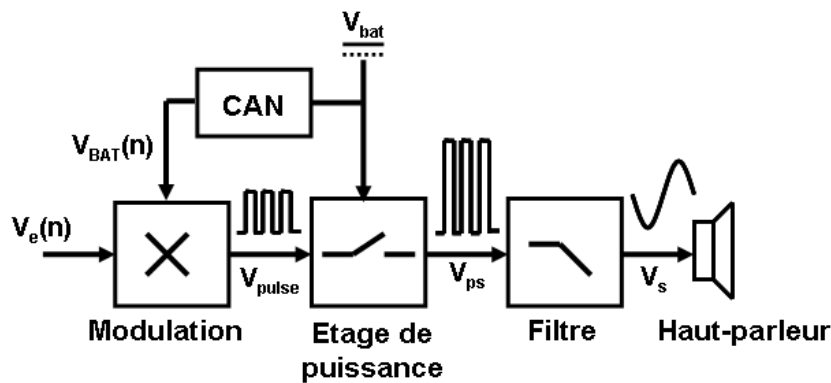


FIGURE 1.35 – Principe de la compensation numérique des variations de la batterie

Philips a présenté à une récente convention AES<sup>6</sup> le même type de système [65]. La numérisation est effectuée par un convertisseur AN  $\Sigma\Delta$  1 bit. Il présente un faible temps de conversion, une bonne résolution (peu de bruit de quantification) et une bonne linéarité (faible distorsion). Plus la numérisation du signal d'alimentation et la génération de la correction sont rapides, plus la réjection d'alimentation est importante. Avec ce système et un convertisseur de fréquence d'échantillonnage de 18 MHz, la réjection d'alimentation est de 60 dB à une fréquence de perturbation de 100 Hz. Pour une perturbation de 10 kHz, le taux de réjection est de 10 dB. Les résultats obtenus par [65] ne sont pas plus intéressants que [66] dans le cadre d'une application embarquée, notamment en téléphonie mobile.

La correction de l'alimentation par une boucle numérique de ce type n'est donc pas une solution efficace pour obtenir une bonne réjection d'alimentation. De plus, elle ne corrige pas les non linéarités introduites par l'étage d'amplification.

### 1.5.3.5.2 Régulation avec une modulation par largeur d'impulsion numérique

Le principe est d'utiliser un Convertisseur Analogique Numérique (CAN) pour corriger numériquement la tension de sortie. L'intérêt est de compenser les variations de batterie et les perturbations introduites par l'étage d'amplification. La figure 1.36 représente l'architecture de la régulation numérique. Le bloc  $H(z^{-1})$  est le correcteur discret. Il consiste en une fonction de transfert discrète permettant de corriger efficacement les perturbations introduites par l'amplificateur classe D. Le CAN est placé dans la boucle de retour, précédé d'un filtre anti-repliement (AAF - *Anti Aliasing Filter* en anglais). Le bloc *DPWM* (Digital PWM en anglais) permet de coder l'information numérique du signal d'erreur en un train d'impulsions exploitable par

6. AES : Audio Engineering Society

l'étage de puissance.

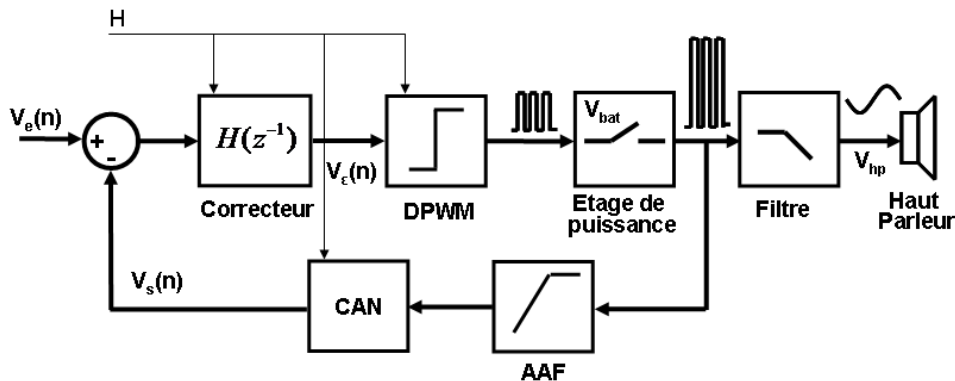


FIGURE 1.36 – Régulation par modulation PWM numérique

Bien que séduisante, cette approche n'a jamais encore été utilisée industriellement. Cependant, afin de répondre aux exigences d'économie de puissance consommée, elle est actuellement fortement étudiée comme le montrent les très récentes publications suivantes et fera l'objet d'une étude approfondie dans le dernier chapitre de ce manuscrit de thèse. Dans tous les cas, le signal d'entrée  $V_e(n)$  est codé suivant le standard  $I_2S$ , soit quantifié sur 24 bits et échantillonné à 48kHz.

Le brevet [67] présente une méthode de retour numérique. Il intègre le signal de sortie avant de le numériser. Un algorithme numérique permet de comparer l'aire de chaque impulsion entre le signal de référence et le signal délivré en sortie. Mais les inventeurs ne donnent aucune contrainte sur le convertisseur A/N.

### 1.5.3.5.3 Correction numérique par MLI

Les articles [68], [69] et [70] présentent des amplificateurs de classe D à contrôle numérique et utilisant une MLI pour piloter l'étage de puissance.

Dans [68], un correcteur PI d'ordre 1 échantillonné à 2.8MHz est utilisé pour corriger le signal (fig 1.37). La modulation, de type MLI discrète, est réalisée sur 3 bits. Dans la boucle de retour, un CAN avec un ENOB<sup>7</sup> de 16 bits est mis en œuvre. Le filtre de reconstruction est compris dans la boucle et joue alors également le rôle de filtre anti-repliement. On montrera dans la chapitre 4 que ce type de contrôle ne peut pas satisfaire de bonnes performances en terme de PSRR dû notamment au délai de boucle qui diminue la marge de phase de l'asservissement.

7. ENOB : Equivalent Number Of Bit en anglais - correspond à la résolution d'un CAN dit de Nyquist nécessaire pour obtenir un SNR identique

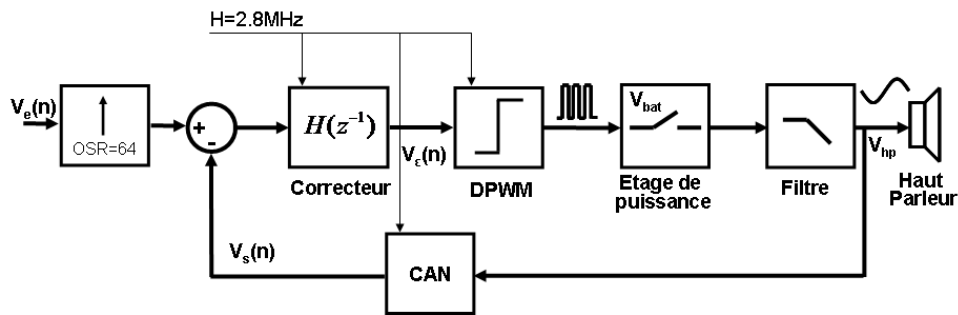


FIGURE 1.37 – Régulation par modulation PWM numérique avec action PI

Ce système a été imaginé pour des applications très faible puissance (de l'ordre du mW) avec une charge de type demi-pont. L'auteur propose de réaliser un CAN de type SAR<sup>8</sup> avec une résolution de 16 bits. Le système a été développé sans étage de puissance et donc les pertes de commutations liées à la haute fréquence utilisée pour la MLI (2.8MHz) ne sont pas prises en compte. Cette solution n'a donc, pour l'instant, pas abouti.

Dans [69], une solution est présentée pour des systèmes forte puissance et donc alimentés par des tensions élevées (de l'ordre de plusieurs dizaine de Volt). Le filtre de reconstruction est inclus dans la boucle de contrôle et sert également de filtre anti-repliement en atténuant fortement les composantes spectrales liées à la modulation en amont de la conversion. Des zéros sont insérés dans le filtre de boucle  $H(z^{-1})$  afin de compenser le délai dû aux pôles de ce filtre reconstituer. De plus, la boucle inclut une pré-correction de la MLI numérique basée sur un système de tables préprogrammées (*Look Up Table* en anglais). La partie numérique de ce contrôle est cadencée à 19.6MHz et la modulation est réalisée sur 7 bits, ce qui nécessite une horloge à 98.304MHz. L'auteur précise que la distorsion introduite par ce rapport d'horloge 1/5 est négligeable si le filtre de reconstruction a une fréquence de coupure suffisamment basse devant la fréquence d'échantillonnage la plus faible du contrôle. La boucle d'asservissement intègre de plus un système de compensation des oscillations introduites par le procédé de modulation représenté par le bloc RP (*Ripple Compensation* en anglais). Ainsi, le procédé  $G(z^{-1})$  a le comportement discret inverse de la fonction de transfert du filtre de reconstruction.

Cette approche requiert donc une forte densité d'intégration due aux tables préprogrammées, ce qui est possible dans une application forte puissance, mais qui n'est pas compatible avec nos contraintes de consommation et d'intégration. La forte valeur d'horloge requise pour la modulation est aussi une limitation à l'utilisation de cette solution dans un système embarqué.

8. SAR : *Successive Approximation Register* en anglais - Convertisseur à approximation successive

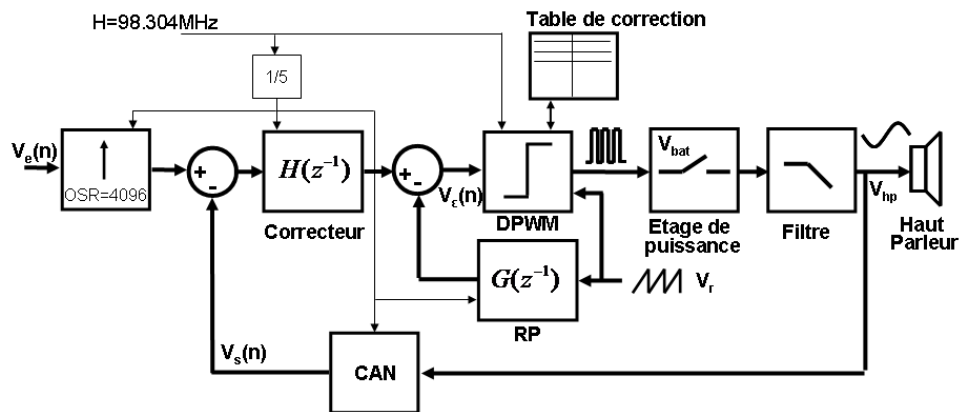


FIGURE 1.38 – Régulation par modulation PWM numérique avec pré-compensation

Enfin, un troisième article [70] a récemment proposé une approche avec un contrôleur prédictif. Partant de la constatation que les méthodes de contrôle classique ne permettaient pas d'atteindre des performances correctes en PSRR, une boucle basée sur un modèle interne a été conçue. Le système propose une pré-correction de la MLI numérique basée sur un modèle mathématique (voir chapitre 3) ainsi qu'un contrôle basé sur un modèle interne (f g 1.39).

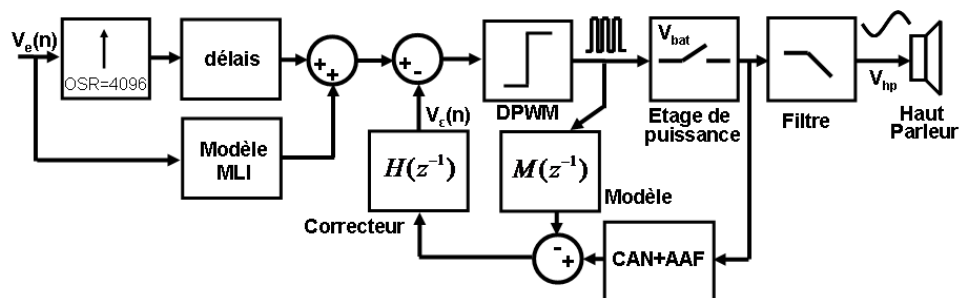


FIGURE 1.39 – Régulation par modulation PWM numérique avec IMC

Le contrôle prédictif de système commuté basé sur modèle interne (**IMC** - *Internal Model Control*) fait l'objet d'une étude plus poussée dans le chapitre 5 car il s'agit d'une solution possible pour répondre à nos objectifs.

#### 1.5.3.5.4 Correction numérique par $\Sigma\Delta$

En marge des solutions basées sur des MLI numériques, l'article [71] propose l'utilisation d'une modulation à densité d'impulsion pour piloter l'étage de puissance (voir f g 1.40). Bien que la fréquence de fonctionnement du modulateur  $\Sigma\Delta$  soit de  $6MHz$ , la fréquence de commutation effective de l'étage de puissance est ramenée à quelques centaines de kHz grâce à l'utilisation d'une quantification sur 1.5 bit (soit l'équivalent d'une MLI ternaire) au niveau du

"quantizer"  $Q$ . Le bouclage est partiellement effectué à partir du signal après l'étage de puissance et avec celui avant l'étage de puissance. Cette méthode permet de stabiliser la boucle selon l'auteur. En fait, il s'agit là aussi d'une variante d'IMC car, d'un point de vue signal, l'étage de puissance se comporte simplement comme un gain constant.

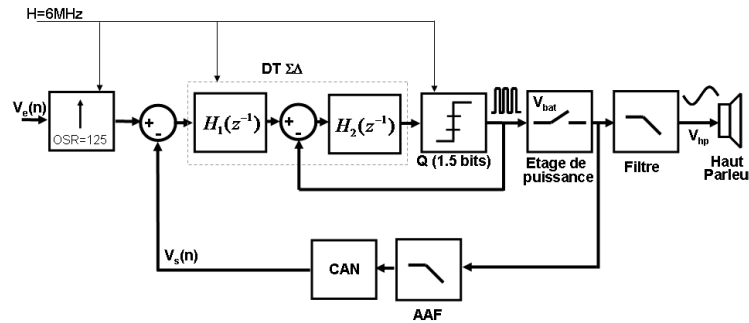


FIGURE 1.40 – Régulation par modulation PDM numérique avec IMC

Le correcteur de la modulation  $\Sigma\Delta$  se décompose en deux sous parties notées  $H_1$  et  $H_2$  qui corrigent respectivement le signal d'erreur réel et le signal d'erreur estimé par modèle interne. Ainsi, les actions intégrales d'ordre élevé ne subissent pas le délai dû à la conversion dans la boucle de retour et sont ainsi plus simples à stabiliser. Dans [71],  $H_1$  comporte trois intégrateurs et  $H_2$  en comporte deux. Le modulateur  $\Sigma\Delta$  de la chaîne directe est construit sans latence afin d'avoir  $STF(z^{-1}) = 1$  (au lieu de  $STF(z^{-1}) = z^{-n}$  où  $n$  représente le nombre d'intégrateurs en cascade - *Signal Transfert Function* en anglais) selon le principe de la figure 1.41.

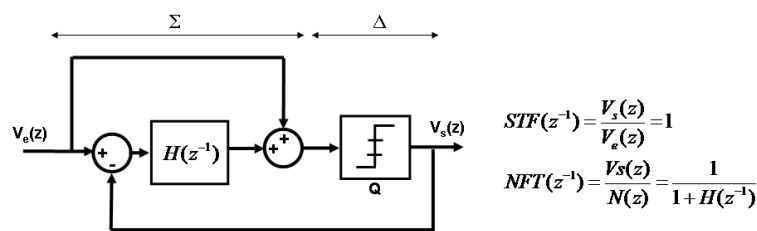


FIGURE 1.41 – Principe du modulateur  $\Sigma\Delta$  sans latence

Bien que la latence de la chaîne directe soit minimisée, c'est la latence de la chaîne de retour (incluant le filtre jouant le rôle d'anti repliement et le convertisseur analogique numérique) qui limite le gain de boucle (et donc principalement le PSRR). Le CAN de retour utilisé dans [71] est un convertisseur  $\Sigma\Delta$  à capacités commutées de résolution équivalente à  $\text{ENOB}=16\text{bits}$ . Le signal de retour est codé sur un bit ce qui limite la profondeur de modulation à  $M=0.8$  avant l'apparition de cycles limites (et donc de distorsion).

#### 1.5.3.5.5 Correction par numérisation de l'erreur

Le brevet de Nokia [72] propose une solution avec un convertisseur de résolution un bit qui soustrait l'aire du signal de référence de l'aire du signal de sortie. Le comparateur convertit le signe de la différence entre les deux aires. Aucune performance ni aucune solution d'implémentation n'est avancée par les auteurs.

Des concepteurs de Texas Instrument ont publié [73, 28] une solution de correction numérique. Elle limite la résolution du convertisseur à quatre bits en remettant en forme le bruit de quantification. Leur solution n'atteint pas les performances demandées dans nos spécifications ( $SNR < 80\text{dB}$ ).

### 1.5.4 Comparaisons des performances des contrôles

Des comparaisons de performance entre les différentes méthodes de contrôle ont été publiées [46, 74, 75]. Dans le domaine des boucles analogiques pour amplificateur à entrée analogique, le contrôle auto-oscillant par hystérésis présente la bande passante la plus importante par rapport aux autres approches. D'un point de vue pratique cependant, toutes les méthodes de contrôle décrites précédemment atteignent un niveau de linéarité plus que suffisant pour une application audio classique. C'est surtout la qualité de l'implémentation électrique de l'architecture (notamment de l'étage de puissance et de la modulation) qui limite bien souvent les performances. La capacité de piloter l'amplificateur de classe D par un signal de nature numérique est de plus en plus recherchée afin de gagner en autonomie en supprimant la conversion NA dans la chaîne de reproduction sonore. Les deux approches possibles sont alors l'utilisation d'un modulateur numérique en boucle ouverte qui pilote une boucle de contrôle analogique autour de l'étage de puissance ou alors une structure de contrôle numérique globale intégrant une conversion A/N dans le retour. Ces deux approches seront amplement détaillées dans les chapitres 3, 4 et 5 de ce manuscrit de thèse. Quelques circuits commerciaux intègrent la première approche tandis que la seconde approche est actuellement à l'état de Recherche et Développement (R&D). Encore une fois, les performances audio de ces structures sont globalement équivalentes. Ce sont plutôt l'environnement et l'application qui agissent comme éléments différenciateurs entre les différentes solutions.



## 1.6 Rendement de l'amplificateur de classe D

Les paragraphes précédents ont montré que l'efficacité des amplificateurs linéaires ne pouvait pas dépasser 78%. L'utilisation de l'amplificateur classe D a été introduit pour son rendement élevé. Le fonctionnement des transistors de l'étage de puissance en régime bloqué ou passant explique les faibles pertes par effets Joule. Si les transistors sont considérés comme idéaux (pas de perte de commutation, ni de perte résistive), le rendement est égale à 100%.

En réalité, le comportement non idéal des transistors introduit des pertes. Les principales caractéristiques diminuant le rendement, dans le cas d'un amplificateur intégré en technologie CMOS, sont :

- la résistance de conduction  $R_{ON}$ ,
- la capacité équivalente de grille  $C_g$ ,
- la conduction de la diode substrat des transistors MOS.

De plus, l'impédance de la ligne d'alimentation (inductance et résistance) et de celle de sortie augmentent les pertes. Enfin, les composantes hautes fréquences dues à la modulation PWM peuvent ajouter des pertes en fonction du profil de la charge. Si l'amplificateur est en boucle fermée, il faudra alors ajouter la consommation statique notée  $I_0$  du système d'asservissement.

### 1.6.1 Puissance de sortie

La puissance utile de sortie  $P_{charge}$  est définie comme le rapport de la valeur efficace de la tension de sortie  $V_s$  au carré sur la partie réelle de l'impédance de la charge  $R$ . Soit :

$$P_{charge} = \frac{V_s^2}{R} \quad (1.10)$$

### 1.6.2 Perte par conduction

Il s'agit de la puissance dissipée par effet Joule dans les éléments résistifs de l'amplificateur classe D à savoir, les résistances  $R_{on}$  des MOS ainsi que les résistances  $R_p$  de la ligne d'alimentation. Dans le cas d'un pont en H, cette perte s'exprime par :

$$P_{con} = (2R_{on} + 2R_p)I_s^2 = (2R_{on} + 2R_p)\left(\frac{V_s}{R}\right)^2 \quad (1.11)$$

En pratique, la somme des résistances est de l'ordre de quelques centaines de mΩ. La perte par conduction est proportionnelle au niveau délivré par l'amplificateur. A faible niveau, ces pertes sont négligeables devant la perte par commutation.

### 1.6.3 Perte par commutation

La perte par commutation regroupe la puissance perdue dans l'amplificateur classe D pendant la commutation. Lorsque le classe D est commandé, il faut charger (ou décharger) les grilles des transistors de puissance. La perte est donc proportionnelle à la capacité de grille et donc à la taille des transistors de puissance. Cette puissance s'exprime alors facilement par :

$$P_{Cg} = (C_{gN} + C_{gP})V_{bat}^2 f_s \quad (1.12)$$

avec  $C_{gN}$ ,  $C_{gP}$  les valeurs des capacités de grille parasites des transistors N et PMOS et  $f_s$  la fréquence de commutation.

La ligne d'alimentation est de nature inductive. A chaque commutation, l'inductance de la ligne est chargée (ou déchargée). La puissance s'exprime par :

$$P_{Lb} = \frac{1}{2}L_p i_c^2 f_s \quad (1.13)$$

avec  $i_c$  le courant traversant l'inductance pendant les instants de commutation,  $L_b$  la valeur totale de l'inductance parasite.

La capacité de drain/source des transistors de puissance se charge ou se décharge à chaque transition. Pour une architecture en pont en H, les quatre transistors perdent une énergie correspondant à l'énergie stockée dans leur capacité  $C_{ds}$ . Soit :

$$P_{Cds} = \frac{1}{2}C_{ds}V_{bat}^2 4f_s \quad (1.14)$$

La perte par commutation s'exprime donc par :

$$P_{com} = P_{Cg} + P_{Lb} + P_{Cds} \quad (1.15)$$

### 1.6.4 Perte par conduction des fréquences porteuses

Les amplificateurs de classe D utilisent un signal modulé pour transmettre la puissance à la charge. Dans le cas d'une modulation PWM ternaire (équation 1.19, p. 61), la puissance perdue dans la charge par les harmoniques est égale :

$$\begin{aligned} P_H &= \frac{V_{rmsH}(\omega)^2}{|Z_{charge}(\omega)|} \\ &= (4V_{bat} \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\pm \infty} \frac{J_n(M.m.\frac{\pi}{2})}{m.\pi\sqrt{2}} \cdot \sin((m+n).\frac{\pi}{2}) \cdot \sin(n.\frac{\pi}{2}))^2 \frac{1}{|Z_{charge}(m.\omega_s + n.\omega)|} \end{aligned} \quad (1.16)$$

avec  $\omega_s$  et  $\omega$  les pulsations de la modulation PWM et du signal,  $V_{rmsH}(\omega)$  la tension efficace du signal à la pulsation  $\omega$ ,  $|Z_{charge}(\omega)|$  le module de l'impédance de la charge à  $\omega$  et  $J_n(x)$  la fonction de Bessel.

Si la charge est purement résistive, le module de l'impédance est égal à la valeur de la résistance ( $|Z_{charge}(m.\omega_s + n.\omega)| = R$ ). Les composantes spectrales à haute fréquence vont donc créer des pertes Joules dans la charge. Un filtre passe bas, atténuant les composantes à haute fréquence aux bornes de la résistance, limite donc ces pertes Joules. Dans ce cas, les pertes introduites par les composantes du signal de sortie à hautes fréquences sont limitées. En d'autres termes, le rendement dépend fortement des caractéristiques de la charge et du filtre reconstituteur.

### 1.6.5 Bilan de puissance

Le rendement de l'amplification  $\eta$  est défini par la relation suivante :

$$\eta = \frac{P_{charge}}{P_{charge} + P_{con} + P_{com} + P_H} \quad (1.17)$$

L'évolution globale du rendement pour une application où  $R = 8\Omega$  est présentée à la figure 1.42. La fréquence du fondamental de la modulation PWM est fixée à  $300kHz$  ou  $1MHz$ . Les pertes ohmiques sont définies par les résistances de conduction de  $0,4\Omega$  ou  $0,8\Omega$ .

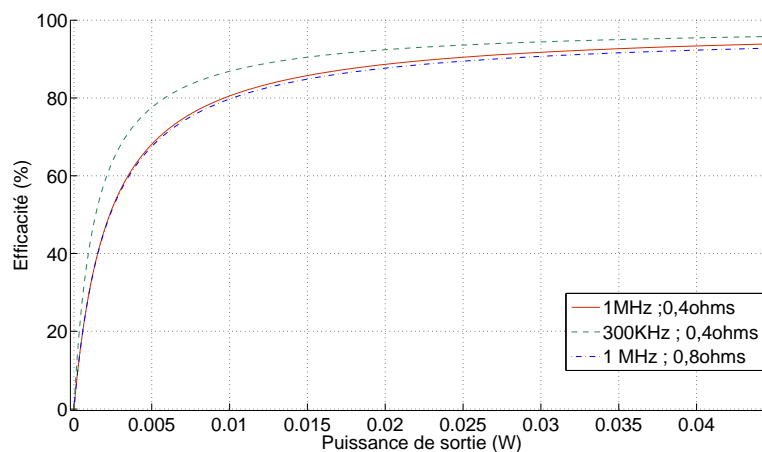


FIGURE 1.42 – Exemple de rendements de l'amplificateur de classe D

A forte puissance délivrée, le rendement dépend essentiellement des pertes par conduction ( $R_{on} + R_p$ ). A faible niveau, il dépend principalement de la fréquence de commutation  $f_s$ . La plupart des documents techniques présente la valeur de l'efficacité à fort niveau pour des considérations commerciales. Dans une utilisation normale, l'amplificateur est rarement à puissance

maximale. Les tests d'écoute montrent que la tension efficace de sortie est en moyenne de 100 mV ( $-30dB$  de la pleine échelle), soit 0,3 mW. Dans ce cas, le rendement est inférieur à 10 %. L'optimisation de la taille de l'étage de puissance (capacité de grille) et la diminution de l'inductance de la ligne d'alimentation sont donc des paramètres importants par rapport aux pertes par conduction.

## 1.7 Analyse de la modulation par largeur d'impulsion

La Modulation par Largeur d'Impulsion (MLI - ou *Pulse Width Modulation - PWM* en anglais) est majoritairement utilisée dans les amplificateurs de classe D pour plusieurs raisons qui sont notamment sa simplicité de mise en oeuvre et la prédictibilité de ses harmoniques. L'objectif de ce paragraphe est de rappeler les principales propriétés d'une MLI et de voir comment agissent les paramètres de la modulation (fréquence et nature de la rampe...) sur les performances de l'amplificateur de classe D.

### 1.7.1 Généralité sur le codage par largeur d'impulsion

La MLI est un codage par largeur d'impulsion. Un des paramètres importants d'un codage est le PRF (Pulse Repetition Frequency). Le spectre d'un signal modulé par largeur d'impulsion est déterminé en HF par le PRF, ce qui correspond à la fréquence de répétition de la rampe. Qualitativement, les harmoniques liées à la modulation contenues dans le spectre du signal de sortie décroissent en  $1/n$ . Ainsi, un PRF à basse fréquence est favorable à l'amplificateur classe D pour deux raisons : une plus faible richesse harmonique à fréquence élevée et une perte par commutation réduite. Mais une PRF trop faible impose des fortes contraintes sur le filtre sortie, augmentant la valeur des composants externes afin de minimiser les pertes par conduction des fréquences porteuses (voir paragraphe 1.6.4). Ce compromis est illustré par la figure 1.43

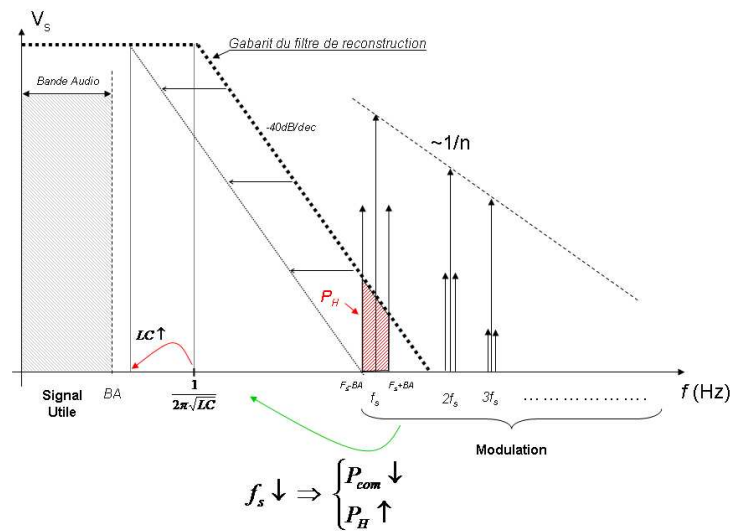


FIGURE 1.43 – Compromis entre  $f_s$ ,  $\eta$  et la taille des composants passifs

## 1.7.2 Principe de modulation par largeur d'impulsion

La figure 1.44 illustre le principe de base d'une MLI. Le signal basse fréquence (audio dans notre cas)  $V_e$  est comparé à un signal de référence  $V_r$  de plus haute fréquence afin de créer un train d'impulsion dont la largeur de chaque impulsion est proportionnelle au niveau du signal à moduler. Le rapport  $M$  entre l'amplitude du signal de sortie  $V_s$  et l'amplitude du signal à moduler  $V_e$  est appelé profondeur de modulation (ou index de modulation, indice de modulation). Le signal de référence est généralement une dent de scie ou un signal triangulaire, ce qui correspond respectivement à une modulation nommée "simple rampe"<sup>9</sup> ou "double rampe"<sup>10</sup>.

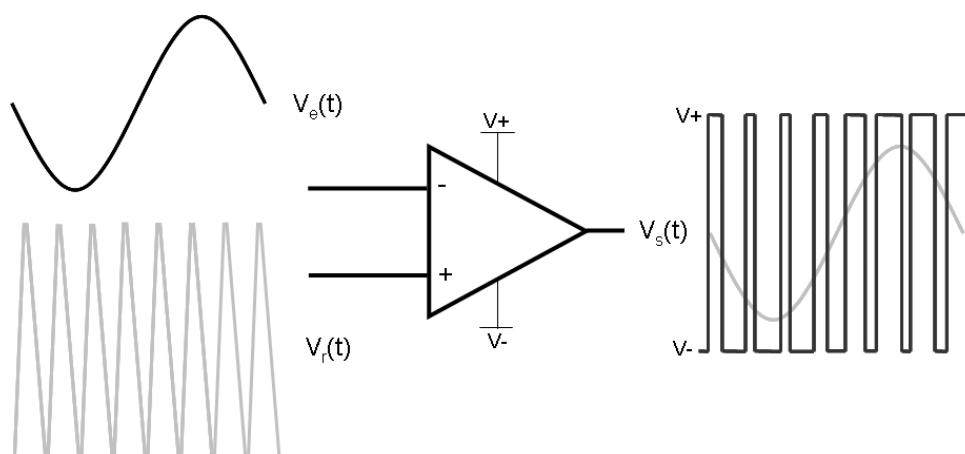


FIGURE 1.44 – Principe d'une modulation par largeur d'impulsion double rampe

La décomposition spectrale de la modulation par largeur d'impulsion d'un signal  $V_e(t) =$

9. en anglais : leading or trailing edge modulation

10. en anglais : double sided modulation

$U.\cos(\omega.t)$  a été étudiée par Black ([76], [77]). Le signal  $V_{sb}(t)$  obtenu avec une double rampe comme illustré sur la figure 1.44 s'exprime par :

$$\begin{aligned}
 V_{sb}(t) = & M.V_{bat}.\cos(\omega t) \\
 & + 4.U.\sum_{m=1}^{\infty} \frac{J_0(M.m.\frac{\pi}{2})}{m.\pi}.\sin(m.\frac{\pi}{2}).\cos(m.\omega_q.t) \\
 & + 4.U.\sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\pm\infty} \frac{J_n(M.m.\frac{\pi}{2})}{m.\pi}.\sin((m+n).\frac{\pi}{2}).\cos(m.\omega_q.t + n.\omega.t)
 \end{aligned}
 \tag{1.18}$$

où  $M$  représente la profondeur de modulation,  $V_{bat} = V^+ - V^-$  l'amplitude des impulsions de  $V_s$ ,  $\omega_s$  la pulsation de la rampe,  $J_n$  la fonction de Bessel à l'ordre  $n$ ,  $n$  l'indice des harmoniques du signal  $V_e$  et  $m$  l'indice des harmoniques du signal modulant  $V_r$ .

### 1.7.3 Schémas de modulation par largeur d'impulsion

Dans le cas très fréquent où le signal de sortie  $V_s$  est différentiel, deux schémas de modulation sont possibles comme illustrés sur la figure 1.45. Si  $V_s$  ne prends que deux valeurs (soit 1 ou -1), alors la modulation sera dite "binaire". Au contraire, si  $V_s$  peut prendre trois valeurs (1, 0, -1), alors la modulation sera dite "ternaire".

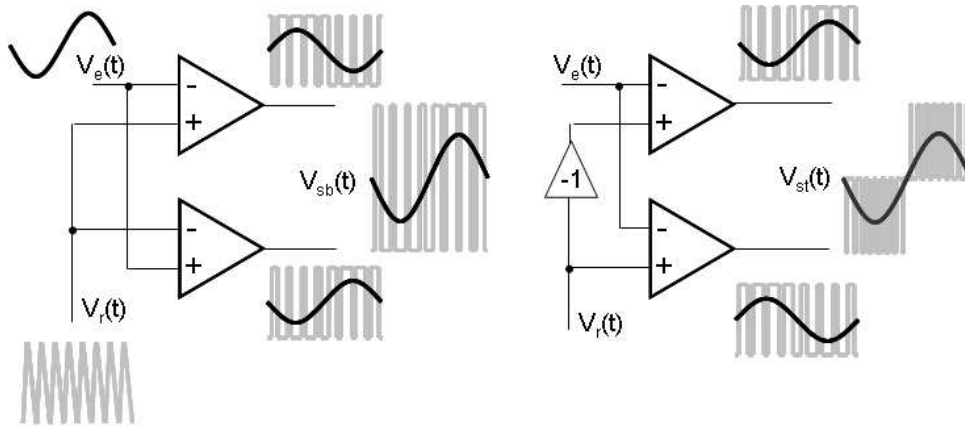


FIGURE 1.45 – Réalisation d'une MLI binaire et ternaire

La relation 1.18 correspond à la décomposition spectrale d'une MLI binaire. Dans le cas d'une MLI ternaire, cette relation devient :

$$\begin{aligned}
 V_{st}(t) = & M.V_{bat}.\cos(\omega t) \\
 & - 4.U.\sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\pm\infty} \frac{J_n(M.m.\frac{\pi}{2})}{m.\pi}.\sin((m+n).\frac{\pi}{2}).\sin(n.\frac{\pi}{2}).\sin(m.\omega_s.t + n.\omega.t - n.\frac{\pi}{2})
 \end{aligned}
 \tag{1.19}$$

L'étude des décompositions en série de Fourier des signaux  $V_{sb}$  et  $V_{st}$  (relation 1.18 et 1.19) permet d'extraire les caractéristiques "hautes fréquences" principales des signaux de sortie d'un amplificateur de classe D utilisant une MLI. La figure 1.46(a) représente l'analyse spectrale d'une MLI binaire et ternaire pour un faible indice de modulation ( $M=0.1$ ) pour une tension de sortie unitaire et une fréquence du signal de référence  $V_r$  égale à  $f_r = 1MHz$ . La modulation ternaire a une densité spectrale limitée car elle ne comporte pas de composantes impaires (car le signal  $V_{st}$  est impair). Quand l'indice de modulation est nul, le spectre de la modulation ternaire est nul car la sortie différentielle est égale à zéro. En effet, les deux voies se compensent en commutant en même temps.

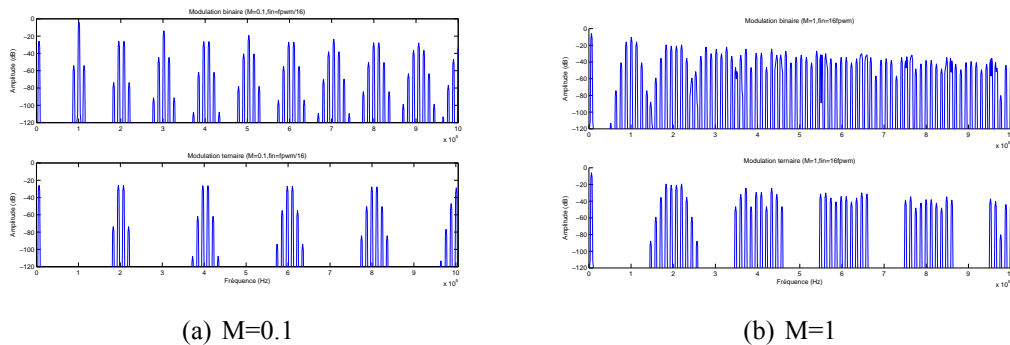


FIGURE 1.46 – Spectres des MLI binaire et ternaire

Quand l'indice de modulation augmente (f.g. 1.46(b)), le spectre s'étale sur une plage de fréquence plus large que précédemment autour des harmoniques de  $f_r$ .

La concentration d'énergie haute fréquence la plus importante se situe dans le cas d'un signal carré (ce qui correspond à un signal d'entrée  $V_e$  nul). En effet, le spectre du signal modulé se concentre sur la fréquence fondamentale de la rampe et sur ses harmoniques (signal carré). Dans tous les cas, en basse fréquence (c'est à dire en bande utile), la modulation n'apporte pas de composante. Ainsi, les spectres utiles des signaux  $V_{sb}$  et  $V_{st}$  sont identiques à celui du signal d'origine  $V_e$ . Ceci reste vrai tant que l'étalement spectral du signal modulé  $V_s$  autour du fondamental du signal de référence  $V_r$  reste supérieur à la bande utile de  $V_e$ . Pour assurer cette condition, il suffit que la fréquence du signal de référence  $f_r$  soit au moins deux fois supérieure à la fréquence maximale du signal  $V_e$ . Il s'agit simplement du critère de Shannon car la modulation peut être vue comme un échantillonnage à  $f_r$ .

A partir des équations et des figures précédentes, les principales caractéristiques et différences entre le signal modulé en binaire et ternaire sont observées :

- En modulations ternaire et binaire, aucune harmonique du modulant est présente dans la

bande audio. Les premières composantes sont vers  $2f_r$  pour la modulation ternaire et à  $f_r$  pour la modulation binaire. Cela permet de diminuer la fréquence de la rampe de la modulation ternaire par deux, et donc de limiter les pertes par commutation, pour obtenir un contenu spectral équivalent.

- Les composantes d'inter modulation entre  $V_r$  et  $V_e$  diminuent avec la profondeur de modulation  $M$ .
- Le spectre différentiel pour un signal nul en modulation ternaire est nul.

La MLI ternaire présente d'autres avantages liés à sa réalisation :

- Une MLI ternaire a une réjection d'alimentation intrinsèque supérieure à la modulation binaire quand le signal d'entrée n'est pas à pleine échelle. Dans le cas extrême où le signal d'entrée est nul, la réjection d'alimentation intrinsèque au procédé en modulation ternaire est "inf nie", alors qu'elle est limitée à 6dB en binaire.
- En modulation ternaire, le courant traversant l'inductance du filtre reconstituteur est limité à faible indice de modulation (signal d'entrée faible). Cet effet réduit les pertes par effet Joule dans la résistance parasite de l'inductance et des transistors de puissance.
- La modulation ternaire limite les émissions électro-magnétiques à hautes fréquences car le spectre du signal modulé est moins dense. Ainsi, le filtre de reconstruction peut être supprimé car le haut parleur agit comme un filtre passe bas également.

Le prix à payer à ses bénéfices est la nécessité de générer deux signaux de référence  $V_r$  identiques mais en opposition de phase. Ceci peut être délicat et provoquera une consommation statique supplémentaire dans tous les cas. La plupart des circuits industriels utilisent la modulation ternaire pour ces trois raisons (réjection d'alimentation intrinsèque, rendement amélioré et émissions électromagnétiques limitées) malgré le léger surcoût en consommation statique.

#### 1.7.4 Nature des signaux

La modulation peut être de nature analogique ou numérique. La modulation est dite "naturelle" (*NPWM*<sup>11</sup>) si les signaux  $V_e$  et  $V_r$  sont de nature analogique et "uniforme" (*UPWM*<sup>12</sup>) si ils sont de nature numérique. Les considérations précédentes sont indépendantes de la nature des signaux et restent valables dans tous les cas. Cependant, la discrétisation de la modulation peut introduire de la distorsion harmonique corrigible [78]. Ce procédé sera étudié plus en détail

---

11. Natural Pulse Width Modulation

12. Uniform Pulse Width Modulation



dans le chapitre 3 de ce manuscrit.

## 1.8 Cahier des charges

Tous les amplificateurs audio de classe D présentés dans ce manuscrit de thèse ont été réalisés pour atteindre les performances audio et électriques en rapport avec l'application "téléphonie mobile", coeur de métier de l'entreprise ST-Ericsson. Ainsi, le cahier des charges, commun à toutes les réalisations, est le suivant :

### 1. Performances électriques

- Rendement pleine puissance supérieur à  $\eta = 85\%$ ,
- Consommation statique sans signal  $I_0 < 1mA$  par voie, charge connectée,
- Surface silicium totale occupée inférieure à  $1mm^2$ , par voie, étage de puissance inclus,
- Puissance efficace maximale fournie à la charge égale à 0.7W sous 3.6V d'alimentation, et de 1W sous 5V d'alimentation, mesurée à 1% de THD,
- Offset en sortie inférieure à 5mV,

### 2. Performances audio

- Distorsion harmonique inférieure à 0.1% (soit supérieure à 60dB), pour un signal pleine échelle à 6kHz (pire cas),
- Immunité aux variations d'alimentations, quantifiée pour un signal carré de fréquence 217Hz et d'amplitude 300mVpp avec signal d'entrée pleine échelle à 1kHz<sup>13</sup>,
- Niveau de bruit en sortie inférieur à  $30\mu V$
- Rapport signal à bruit, pondéré par un filtre  $Aw$ <sup>14</sup>, supérieur à  $SNR_A = 90dB$ ,

### 3. Autres Performances

- Alimentation variable de 2.3V à 5V (voir 5.5V si présence d'un DC/DC de type "boost" au niveau de l'alimentation de puissance)
- Mode Stéréo possible (soit présence de deux amplificateurs indépendants l'un de l'autre),
- Possibilité de connexion de la charge sans filtre de reconstruction,
- Réduction des émissions EM rayonnées en sortie et conduites aux niveaux des alimentations de puissances.

---

13. Cette perturbation correspond aux variations réelles de l'alimentation au fonction de l'émetteur RF lors d'une émission/reception de trame GSM

14. Voir 1.2.4.3

## 1.9 Conclusion de l'état de l'art

Le principal avantage de l'amplificateur de classe D est donc son rendement élevé, de plus en plus nécessaire dans les applications embarquées. Il permet de limiter la demande en courant sur la batterie et de gagner en autonomie d'écoute et de fonctionnement. De plus, les faibles pertes thermiques permettent l'intégration de l'amplificateur commuté pour des applications de forte puissance car il nécessite une faible surface de dissipation.

Ainsi, l'état de l'art a mis en évidence les spécificités de l'amplificateur de classe D par rapport aux méthodes d'amplification linéaire. A partir de cette étude, deux axes de recherche ont été définis correspondant respectivement aux chapitres 2 et 3 à 5 de cette thèse :

### **La nécessité d'augmenter les performances de reproduction sonore et le rendement**

L'état de l'art a permis de constater que les performances de reproduction sonore d'un amplificateur de classe D sont des éléments différenciateurs dans le choix d'une architecture. Les amplificateurs de classe D à entrée analogique sont principalement basés sur des systèmes intégrant une MLI. Les systèmes auto-oscillants, notamment ceux basés sur un cycle d'hystérésis, permettent d'augmenter la bande passante de la correction et ainsi d'obtenir des performances audio supérieures. Ainsi, en se basant sur les limites intrinsèques des circuits utilisant une MLI, le chapitre 2 exposera la conception et la réalisation d'un amplificateur de classe D analogique auto-oscillant. La solution proposée mettra en évidence un gain au niveau de la qualité de la reproduction sonore et du rendement. Cependant, cette approche reste limitée par la nécessité d'une conversion numérique analogique en amont de l'amplificateur.

### **La nécessité de piloter l'amplificateur de classe D de manière numérique**

Quelque soit le système embarqué considéré, la source audio de base est la plupart du temps de nature numérique. L'utilisation d'un CNA haute fréquence est donc requis afin de piloter les amplificateurs de puissance. A l'intérieur de ceux-ci, une étape de modulation va de nouveau transformer le signal d'entrée (ou le signal d'erreur dans le cas d'un amplificateur asservi) de nature analogique en un train d'impulsions afin de piloter l'étage de puissance. Ainsi, il peut sembler inutile de passer en analogique si il est possible de générer les commandes de l'étage de puissance par un système numérique. Par cette approche, le CNA ne serait plus nécessaire et

l'économie d'énergie serait alors importante. Ainsi, dans le chapitre 3, les méthodes de modulation numérique seront analysées et adaptées aux contraintes de la téléphonie mobile. Ensuite, dans le chapitre 4, une première architecture d'amplificateur de classe D à entrée numérique, intégrant le modulateur décrit dans le chapitre 3 sera présentée. Cette solution intègrera une boucle de contrôle local analogique autour de l'étage de puissance afin d'asservir le signal de sortie. Finalement, une étude concernant la faisabilité d'une nouvelle architecture numérique, incluant une conversion analogique-numérique dans la chaîne de retour sera traitée dans le chapitre 5.

# Chapitre 2

## Étude et réalisation d'un amplificateur de classe D analogique auto oscillant

*L'étage de puissance, c'est juste un gros inverseur.  
E. Fraisse*

### Sommaire

---

<b>2.1</b>	<b>Introduction</b>	<b>67</b>
<b>2.2</b>	<b>Limitations de l'amplificateur de classe D en boucle fermée utilisant une MLI</b>	<b>68</b>
<b>2.3</b>	<b>Étude et réalisation d'un amplificateur de classe D auto oscillant</b>	<b>73</b>
<b>2.4</b>	<b>Conclusion</b>	<b>102</b>

---

### 2.1 Introduction

Ce chapitre expose la conception d'un amplificateur de classe D analogique à performances et rendement élevés par rapport à la solution classique basée sur une MLI. Il s'agit d'une structure d'asservissement auto-oscillante basée sur un modulateur à hystérésis. Ce chapitre est organisé de la manière suivante :

- Description des limitations architecturales et électriques de l'amplificateur de classe D analogique basé sur une MLI,
- Étude des approches auto-oscillantes,
- Définition d'une architecture innovante à performances élevées,
- Conception et intégration en technologie CMOS 130nm de l'architecture retenue,
- Caractérisation de la solution proposée.

## 2.2 Limitations de l'amplificateur de classe D en boucle fermée utilisant une MLI

Les amplificateurs de classe D à entrée analogique intégrant une modulation à largeur d'impulsion sont limités par leur architecture en terme de performances. De plus, certains signaux nécessaires au fonctionnement de cette architecture sont particulièrement sensibles, comme par exemple le signal de référence  $V_r$  de la modulation (voir figure 2.1(a)). Ces limitations majeures sont explicitées et quantifiées dans les deux paragraphes suivants (2.2.1 et 2.2.2).

### 2.2.1 Limitation architecturale

#### 2.2.1.1 Amplificateur de classe D en boucle fermée basé sur une MLI

Le schéma de principe minimaliste d'un amplificateur de classe D en boucle fermée basé sur une MLI ainsi que le schéma bloc associé sont représentés sur les figures 2.1(a) et 2.1(b). Ils comprennent un étage de puissance  $P$ , un étage de modulation  $M$  et un correcteur  $C$ . Les blocs  $\alpha$  et  $\beta$  représentent la mise en forme des signaux  $V_e$  et  $V_s$  pour obtenir la grandeur d'erreur :  $V_e$ .

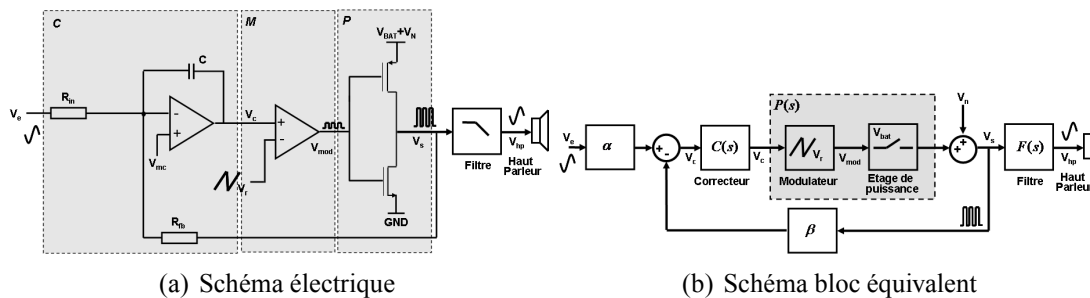


FIGURE 2.1 – Amplificateur de classe D en boucle fermée basé sur une MLI

Avec :

$$\beta = \frac{R_{in}}{R_{in} + R_{fb}}; \quad \alpha = -\frac{R_{fb}}{R_{in} + R_{fb}}; \quad C(s) = \frac{1}{1 + \tau s}; \quad \tau = \frac{R_{in} R_{fb}}{R_{in} + R_{fb}} C \quad (2.1)$$

L'action intégrale contenue dans  $C(s)$  est nécessaire pour assurer une erreur statique nulle entre  $V_e$  et  $V_s$  et pour filtrer le contenu spectral de  $V_s$  lorsque le signal asservi est choisi avant le filtre de reconstruction (ce qui est très souvent le cas car c'est le haut parleur qui fait office de filtre).

#### 2.2.1.2 Linéarisation des éléments commutés

Le bloc de modulation et l'étage de puissance sont des éléments qui fonctionnent en commutation et qui peuvent être linéarisés en moyennant leur comportement sur une période de

commutation. Cette modélisation sera valable seulement pour des fréquences très inférieures à la fréquence de commutation, notée ici  $F_r$ . Les figures 2.2(a) et 2.2(b) montrent les éléments non linéaires de la structure d'un amplificateur de classe D en boucle fermée basé sur une MLI et les principaux signaux de fonctionnement de ces éléments.

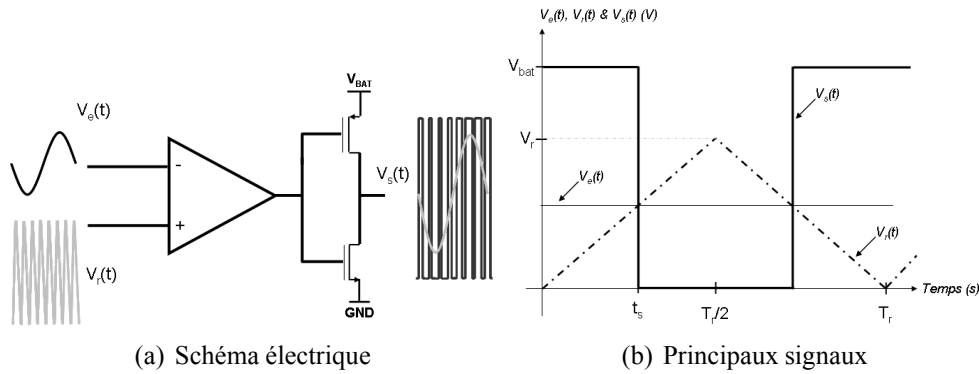


FIGURE 2.2 – Éléments commutés

Sur un cycle, c'est à dire pendant  $T_r = \frac{1}{F_r}$ , le signal  $V_e$  est supposé constant. La valeur moyenne du signal de sortie  $\overline{V_s}$  se calcule de la manière suivante :

$$\overline{V_s}_{[0-T_r]} = 2 \times \overline{V_s}_{[0-\frac{T_r}{2}]} = \frac{2 t_s V_{bat}}{T_r} \quad (2.2)$$

Or, par thalès,

$$t_s = \frac{V_e T_r}{2 V_r} \quad (2.3)$$

Donc,

$$\overline{V_s}_{[0-T_r]} = \frac{V_{bat} V_e}{V_r} \quad (2.4)$$

Ainsi, le gain moyen de l'ensemble modulation et étage de puissance  $G_{MLI}$  s'exprime :

$$G_{MLI[0-T_r]} = \frac{\overline{V_s}}{V_e} = \frac{V_{bat}}{V_r} \quad (2.5)$$

Ce résultat doit être multiplié par 2 si le schéma de modulation est ternaire au lieu d'être binaire.

### 2.2.1.3 Comportement en boucle fermée et étude de la stabilité petits signaux

En utilisant le modèle linéaire des éléments commutés d'après la relation 2.5, le schéma bloc équivalent de la figure 2.1(b) devient :

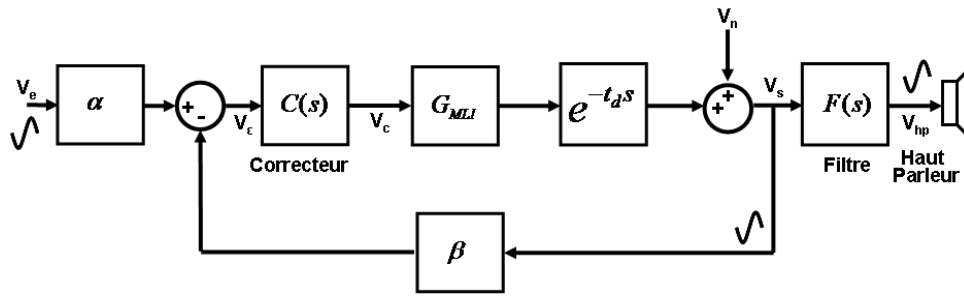


FIGURE 2.3 – Schéma bloc linéaire équivalent

Dans cette figure,  $t_d$  représente le délai de propagation du signal à travers le comparateur du bloc de modulation auquel s'ajoute le délai dû à l'étage de puissance (temps de non recouvrement principalement - voir 1.5.1.6.1). Dans le cas de la figure 2.1(a), le correcteur  $C(s)$  a un pôle et pas de zéro. Ainsi, la marge de phase  $M_\varphi$  de la boucle est forcément supérieure à  $-\frac{\pi}{2}$ . Les fonctions de transfert d'un point de vue signal  $STF(s)$  et perturbations  $NTF(s)$  s'écrivent alors :

$$STF(s) = \frac{V_s}{V_e} = \frac{-R_{fb}}{\underbrace{R_{in}}_{G_0}} \frac{1}{1 + \underbrace{\frac{F_{fb}}{G_{MLI}} C s}_\tau} \quad (2.6)$$

et

$$NTF(s) = \frac{V_s}{V_n} = \frac{\frac{F_{fb}}{G_{MLI}} C s}{1 + \frac{F_{fb}}{G_{MLI}} C s} \quad (2.7)$$

D'un point de vue signal, dans la gamme de fréquences inférieures à  $F_r$ , l'amplificateur de classe D MLI se comporte comme un système du premier ordre dont le gain statique  $G_0$  est fixé par le rapport de résistance  $\frac{R_{fb}}{R_{in}}$  et avec une bande passante  $f_c$  égale à :

$$f_c = \frac{1}{2\pi\tau} = \frac{G_{MLI}}{2\pi R_{fb} C} \quad (2.8)$$

La valeur de  $f_c$  sera systématiquement choisie au moins deux fois supérieure à la limite haute de la bande audio afin de garantir un gain constant en bande audio.

#### 2.2.1.4 Second critère de stabilité lié à la nature commutée du système

L'étude de la stabilité d'un système commuté comme un amplificateur de classe D doit également porter sur l'étude des commutations non contrôlées (*self commutation* en anglais). Il faut pour cela identifier sur chaque architecture où se situent les risques d'auto-commutation et déterminer la ou les conditions à respecter afin d'éviter ce phénomène. Dans le cas de l'amplificateur de classe D de la figure 2.1(a), cette instabilité comportementale peut arriver si la pente

du signal à la sortie du correcteur  $V_c$  devient supérieure en valeur absolue à la pente du signal de référence  $V_r$  comme illustré sur les figures 2.4(a) et 2.4(b). La stabilité est alors assurée si les signaux  $V_r$  et  $V_c$  vérifient la relation 2.9 :

$$\frac{d}{dt} (V_r(t)) > \frac{d}{dt} (V_c(t)) \quad (2.9)$$

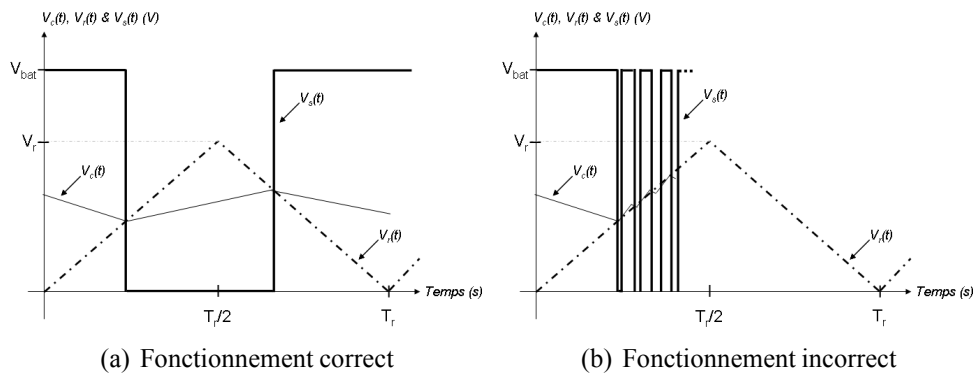


FIGURE 2.4 – Limite de stabilité "grand signaux"

Si la tension  $V_{bat}$  est supérieure au produit du gain statique et du signal d'entrée  $G_0 \times V_e$ , ce qui doit être le cas pour éviter la saturation du signal de sortie, alors la quantité  $\frac{d}{dt} (V_c(t))$  peut être majorée par  $\frac{V_{bat}}{R_{fb}C}$ . La relation 2.9 devient :

$$2V_r F_r \geq \frac{V_{bat}}{R_{fb}C} \implies F_r > \frac{V_{bat}}{2V_r R_{fb}C} \quad (2.10)$$

Les relations 2.8 et 2.10 conduisent à la relation 2.11 :

$$f_c < \frac{F_r}{\pi} \quad (2.11)$$

### 2.2.1.5 Amélioration de la $NTF$ par action double pôle

Bien qu'elle soit démontrée pour un asservissement possédant une simple action intégrale, la relation 2.11 peut être retrouvée en changeant l'action intégrale simple par une action intégrale d'ordre plus élevé. L'augmentation de l'ordre de cette action se justifie par l'amélioration de la  $NTF$  à faible fréquence (et donc dans la bande audio). Ainsi, une perturbation basse fréquences présente en sortie de boucle sera plus fortement atténuée. De manière générale, le meilleur compromis entre performances de la  $NTF$  et stabilité pour le contrôle d'un amplificateur de classe D basé sur une MLI est une action intégrale double. Au delà, c'est la stabilité petits signaux qui pose problème, notamment à cause du délai de propagation de l'ensemble modulation et étage de puissance. Ainsi, en limitant la fréquence de commutation à quelques centaines de  $kHz$  pour



conserver un rendement élevé, le pôle dominant de la  $NTF$  et de la  $STF$  du système asservi est placé au mieux à une centaine de  $kHz$ . La bande passante désirée a une limite supérieure égale à  $20kHz$ , soit à peine une décade en dessous du pôle dominant du système, ce qui limite fortement la performance de PSRR. Cet effet est très visible sur la figure 1.8(b). La pente de la courbe  $PSRR(f)$  est de  $40dB/dec$ , ce qui indique que le contrôle présente une action intégrale d'ordre 2.

## 2.2.2 Limitations électriques

En plus de cette limitation architecturale intrinsèque, les amplificateurs de classe D basés sur une MLI ont un autre défaut majeur : la présence d'un signal de référence  $V_r$ . Ce signal, indispensable à la MLI, est situé hors asservissement d'un point de vue contrôle. Ainsi, toute imperfection présente sur ce signal est reproduite, sans correction possible, sur le signal de sortie. Les principales imperfections sont :

- Le bruit de phase<sup>1</sup> de l'horloge générant  $V_r$ ,
- La bande passante limitée des composants actifs générants ce signal,
- Les couplages parasites par le substrat.

L'utilisation d'une modulation ternaire permet de limiter fortement l'influence du bruit de phase car les erreurs temporelles ainsi générées se compensent mutuellement [79]. Il est impossible de quantifier par simulation l'impact de l'imperfection dû aux couplages sur les performances électriques de l'amplificateur de classe D car elles sont directement liées à la qualité électrique de l'implémentation (et au dessin des masques<sup>2</sup> dans le cas d'un circuit intégré). Les autres sources d'imperfections électriques majeures, telle que l'implémentation de l'étage de puissance, sont, quant à elles, en parties corrigées par la boucle d'asservissement.

## 2.2.3 Conclusion

Afin d'éviter l'apparition de commutations non désirées, la bande passante de la boucle d'asservissement d'un amplificateur de classe D analogique basé sur une MLI ne peut pas être supérieure à  $\frac{F_r}{\pi}$  [22, 80] (avec  $F_r$  fréquence de la référence de la modulation). Cette contrainte limite donc les performances dynamiques de cette régulation par rapport aux performances électriques. En effet, le rendement d'un amplificateur de classe D diminue lorsque la fréquence de

---

1. *Jitter* en anglais  
2. *Layout* en anglais

commutation  $F_r$  augmente (1.6). Un fort compromis entre le rendement de l'amplificateur et le  $PSRR$  existe donc et le choix de la fréquence de référence  $F_r$  doit se faire en tenant compte de cet aspect. Le compromis entre bande passante (et donc rendement) et stabilité, auquel s'ajoute la difficulté électrique de créer un signal de référence propre, rend l'amplificateur de classe D basé sur une MLI limitée en terme de performance. Ainsi, la suite de ce chapitre porte sur l'étude et la réalisation d'un amplificateur de classe D sans signal de référence et présentant une bande passante améliorée.

## 2.3 Étude et réalisation d'un amplificateur de classe D auto oscillant

Un amplificateur de classe D basé sur un asservissement auto oscillant peut être obtenu simplement en plaçant un étage de puissance dans une boucle oscillante. La condition d'oscillation de la boucle impose la fréquence de commutation  $f_0$  du système sans signal d'entrée. Un signal d'entrée  $V_e$ , de fréquence  $f_e \ll f_0$ , vient moduler la fréquence de commutation afin que la valeur moyenne du signal de sortie  $V_s$  reste égale à celle de  $V_e$  à un gain près. Cette approche permet donc de s'affranchir de la nécessité d'un signal de référence. De plus, à fréquence de commutation équivalente, un système auto oscillant présente une bande passante plus forte qu'un système basé sur une MLI [75].

### 2.3.1 Introduction aux systèmes auto oscillants

#### 2.3.1.1 Principe

Un système auto oscillant peut être réalisé en introduisant du délai dans un système bouclé. Ce délai  $t_d$  correspond à une variation de phase qui dépend de la fréquence,  $\Delta\varphi(f)$ , suivant la relation :

$$\Delta\varphi(f) = 2\pi t_d f \quad (2.12)$$

Le délai, associé à la fonction de transfert du système en boucle ouverte, apporte la quantité de phase nécessaire à faire osciller le système en boucle fermée.

##### 2.3.1.1.1 Terminologie

L'origine du délai peut être soit un réseau de déphasage soit un cycle d'hystérésis au niveau du comparateur. Dans le cas d'un réseau de déphasage, l'amplificateur sera basé sur un PSSO, pour

*Phase Shift based Self Oscillating Modulator*, soit, en français, un modulateur auto-oscillant à déphasage. Si le délai est apporté par un cycle d'hystérésis, l'amplificateur sera de type HSO, pour *Hysteresis based Self Oscillating Modulator*, soit, en français, un modulateur auto-oscillant à hystérésis.

### 2.3.1.2 Méthode de prévision de la fréquence de commutation

De manière générale, un amplificateur de classe D en boucle fermée peut être représenté par le schéma 2.5.

Le délai  $t_d$  va fortement fixer le comportement de la boucle si le filtre de boucle  $H(s)$  comporte

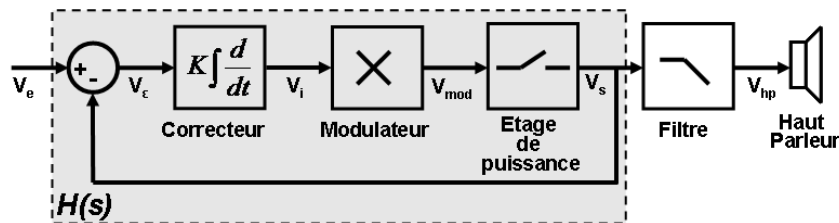


FIGURE 2.5 – Schéma de principe d'un amplificateur de classe D

un ou deux pôles de plus que de zéros (dans les autres cas, le délai va seulement faire varier légèrement la fréquence d'oscillation). Pour déterminer  $F_S$ , il faut résoudre l'équation 2.13, qui traduit la rotation de phase de la boucle ouverte  $H(s)$  :

$$\varphi(\underline{H}(j2\pi F_S)) = \pi \quad (2.13)$$

En réalité, l'utilisation du critère de *Berkhausen* pour déterminer  $F_S$  n'est pas parfaitement adaptée car le signal de sortie  $V_s$  n'est pas un signal sinusoïdal mais un signal carré. Il faut donc également tenir compte du contenu harmonique de  $V_s$ . De plus aucune information n'est disponible quant au comportement dynamique de l'amplificateur dans ce cas car la relation 2.13 ne permet de connaître que la valeur de  $F_S$  à signal d'entrée nul. Un travail récent [55] a proposé une nouvelle approche afin de remédier à ces deux limitations. En considérant le contenu harmonique du signal de sortie par décomposition de Fourier, et en conservant le modèle linéaire de la boucle  $H(s)$ , la méthode proposée conduit à l'équation suivante :

$$\varphi \left( \sum_{n=1}^{\infty} \frac{(1 - e^{-2j\pi n h})(1 - e^{2j\pi n h})}{2n} \cdot \underline{H}(j\omega_s n) \right) = 0 \quad (2.14)$$

Dans cette relation,  $h$  représente le rapport cyclique du signal de sortie, compris entre  $[0; 1]$ . Le cas particulier où  $h = 0.5$  et  $n = 1$  conduit à la relation 2.13. En effet, le contenu harmonique

n'est pas pris en compte (cas  $n=1$ ) et un rapport cyclique  $h = 0.5$  correspond à un signal nul en moyenne. La résolution de l'équation 2.14 avec  $h = 0.9^3$  par exemple, permet de connaître l'excursion maximale de la fréquence de commutation, ce qui était à priori impossible en utilisant la relation 2.13.

Ainsi, la valeur de  $F_s$  donnée par l'équation 2.13 est une approximation de celle donnée par l'équation 2.14. Cette approximation est d'autant meilleure que le délai de boucle  $t_d$  est faible. Pour illustrer cette approximation et l'utilisation des équations 2.13 et 2.14, considérons la boucle de la figure 2.6(a).

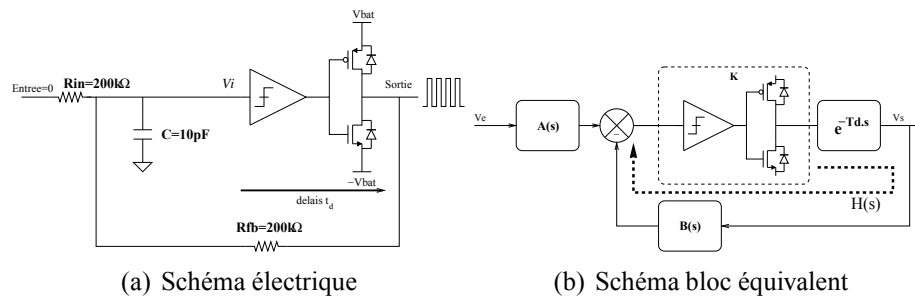


FIGURE 2.6 – Exemple de boucle auto-oscillante à déphasage

La simulation électrique de ce système permet de trouver la valeur de la fréquence  $F_s$  du signal de sortie  $V_s$  en fonction de la valeur du délai  $t_d$  lorsque le signal d'entrée est nul. Ces valeurs sont répertoriées dans le tableau 2.1. Le schéma bloc équivalent à la boucle est donné figure 2.6(b), avec :

$$\begin{aligned} \underline{A}(j\omega) &= \frac{R_{fb}}{R_{in} + R_{fb}} \frac{1}{1 + j\tau\omega} \\ \underline{B}(j\omega) &= -\frac{R_{in}}{R_{in} + R_{fb}} \frac{1}{1 + j\tau\omega} \\ \tau &= \frac{R_{in} R_{fb}}{R_{in} + R_{fb}} C \end{aligned} \quad (2.15)$$

Ainsi, la fonction de transfert de la boucle ouverte  $H(s)$  lorsque le signal d'entrée est nul s'exprime :

$$\underline{H}(j\omega) = -K(j\omega) \frac{1}{1 + j\tau\omega} \times e^{-j t_d \omega} \quad (2.16)$$

Le gain  $K(j\omega)$  représente le modèle linéaire équivalent des éléments commutés. Contrairement à une MLI, il n'est pas possible de prédire sa valeur en moyennant ses signaux d'entrée et de sortie car sa fréquence de commutation n'est pas connue à priori. C'est pour cela que les relations 2.13 et 2.14 ne s'intéressent qu'à l'information de phase. En injectant cette expression de

3. Ce rapport cyclique correspond à la limite haute des signaux que l'on peut asservir avec un amplificateur de classe D à cause des chutes de tensions non désirées dans les éléments ohmiques parasites de l'étage de puissance

$H(s)$  dans les équations 2.13 et 2.14, les valeurs de  $F_S$  en fonction de  $t_d$  peuvent être déterminées. Le tableau 2.1 résume les différentes valeurs de  $F_S$  avec leur écart relatif par rapport à la simulation.

$t_d$	$F_S$ eq 2.13	$F_S$ eq 2.14	$F_S$ simulation
10ns	24.9 MHz 0.9%	25.09 MHz 0.12%	25.12 MHz
100ns	2.49 MHz 5%	2.61 MHz 0.4%	2.62 MHz
1µs	249 kHz 30%	334 kHz 0.3%	335 kHz

TABLE 2.1 – Fréquence de commutation  $F_s$  en fonction du délai  $t_d$

La relation 2.14 donne des résultats plus proches de la simulation transistorique que la relation 2.13. Cependant, la relation approchée peut être utilisée pour des délais de boucle de l'ordre de la nano-seconde correspondant à un ordre de grandeur réaliste pour les systèmes étudiés dans ce manuscrit.

### 2.3.1.3 Définition de la structure et des paramètres d'asservissement

La structure minimaliste d'un amplificateur de classe D HSO est rappelée figure 2.7.

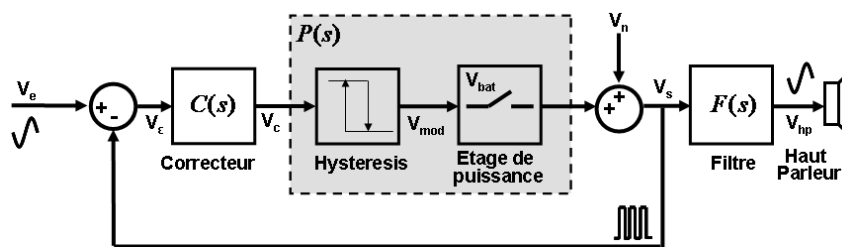


FIGURE 2.7 – Schéma minimaliste d'un amplificateur de classe D HSO

Le correcteur  $C(s)$  comprend au moins une action intégrale pour, d'une part, assurer une erreur statique nulle, et d'autre part, filtrer "passe bas" le signal de sortie  $V_s$  afin d'extraire le signal d'erreur moyen et non pas un signal d'erreur instantané. Ainsi, aucune action dérivée n'est possible pour augmenter la rapidité de la boucle car l'effet inverse est recherché. La présence du cycle d'hystérésis permet à l'erreur de s'accumuler avant de déclencher le basculement de l'état du signal de sortie  $V_s$ . Il permet donc également de borner la valeur de la fréquence de commutation. Dans la suite de ce chapitre, la largeur du cycle d'hystérésis sera noté  $\Delta$ . Ainsi, avec  $C(s) = \frac{1}{\tau_s}$ , l'application de la relation 2.13 permet de déterminer la fréquence de commutation

à vide  $F_{s0}$  de la boucle proposée sur la figure 2.7 :

$$F_{s0} = \frac{1}{4\Delta\tau} \quad (2.17)$$

Le cycle d'hystérésis force le signal  $V_c$  à être à valeur moyenne nulle, ce qui implique que l'ordre de la réjection des perturbations  $V_n$  est de deux malgré le fait que  $C$ , et donc la  $NTF = \frac{V_s}{V_n}$ , ne soit que d'ordre un [75]. Ainsi, l'augmentation de l'ordre du correcteur  $C$  n'est pas nécessaire comme c'est classiquement le cas dans un amplificateur de classe D basé sur une MLI ou sur une PSSO [75, 42]. Une forte économie d'espace silicium est réalisée à ordre de réjection équivalente. En effet, augmenter l'ordre de l'action intégrale équivaut à rajouter un amplificateur et donc une capacité, augmentant ainsi la surface du circuit et donc son coût.

Le compromis entre rendement et performance dynamique borne le choix de la valeur de la fréquence de commutation à vide. Afin de conserver un rendement élevé, notamment à faible puissance, la valeur maximale de la fréquence de basculement sera limitée à quelques centaines de  $kHz$ . De même, les contraintes de la téléphonie mobile impose une réjection des perturbations au moins égale à 50dB à  $20kHz$ . Ainsi, la fréquence de commutation à vide sera choisie égale à  $384kHz$ . Un multiple de  $f_e = 48kHz$  a été retenu car en amont de l'amplificateur de classe D se trouve un CNA  $\Sigma\Delta$  à capacités commutées dont le signal de sortie présente un spectre minimal à ces fréquences (voir figure 2.8). Le repliement spectral lié à la modulation est ainsi minimisé.

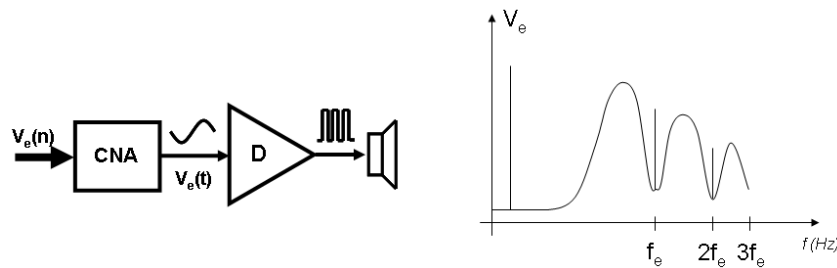


FIGURE 2.8 – Lien entre le CNA et la modulation de l'amplificateur de classe D

Pour limiter l'excursion du signal  $V_c$ , et ainsi préserver la linéarité de l'amplificateur réalisant la fonction  $C(s)$ , la largeur du cycle d'hystérésis  $\Delta$  sera prise de l'ordre de grandeur de quelques centaines de  $mV$ .

### 2.3.1.4 Passage en mode différentiel et modulation ternaire

La reconstruction du signal différentiel sur trois niveaux en sortie est basé sur la synchronisation parfaite de deux voies indépendantes l'une de l'autre. En pratique, il existera forcément

un décalage entre la valeur des paramètres des deux boucles, créant ainsi une désynchronisation. Ce phénomène, mis en évidence dans les oscillateurs RF [45], peut être en partie résolu à l'aide d'un réseau de synchronisation entre les deux voies. L'application de cette technique à un amplificateur audio de classe D basé sur une HSO fait l'objet d'un dépôt de brevet en cours [81]. Le principe de cette synchronisation, illustré figure 2.9, est d'injecter dans les signaux d'erreur de chaque voie une partie de l'erreur de l'autre voie, forçant ainsi les signaux d'erreurs à être égaux entre eux lorsque le signal d'entrée passe par zéro.

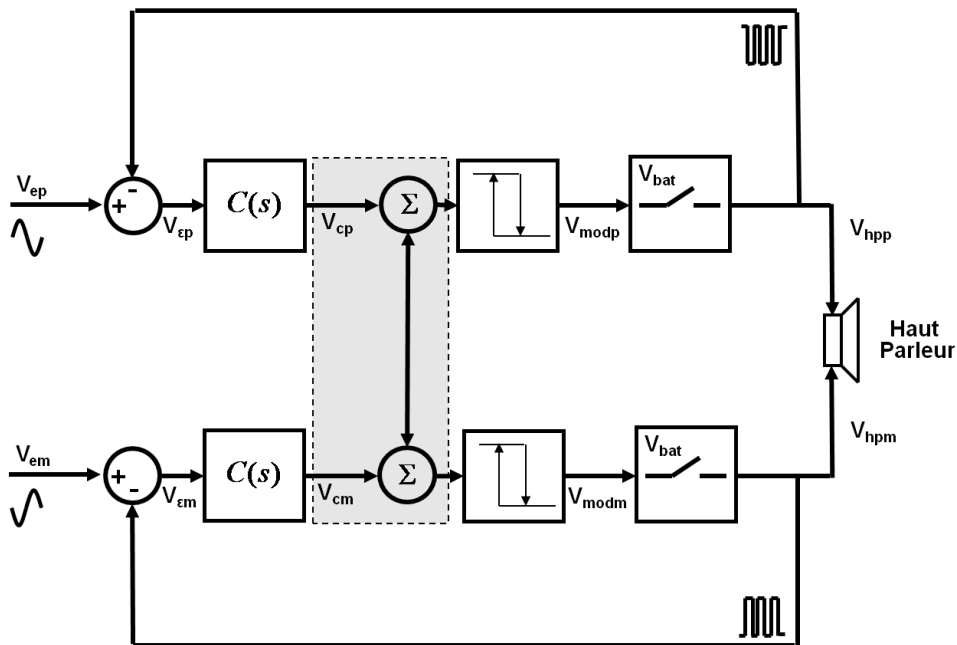


FIGURE 2.9 – Principe de couplage des signaux d'erreurs de deux voies auto oscillante

Plus la partie injectée est importante, meilleure est la synchronisation entre les deux voies, ceci malgré d'importantes variations des paramètres de la boucle d'asservissement. Les figures 2.10(a) et 2.10(b) illustrent la reconstruction du signal de sortie lorsque les deux boucles sont identiques, excepté une variation de 10% sur la capacité d'intégration fixant la valeur de  $\tau$ . La figure 2.10(a) est sans couplage, tandis que pour la figure 2.10(b), un couplage de 10% ( $K_C = 10$ ) est appliqué entre les deux voies réalisant l'amplificateur.

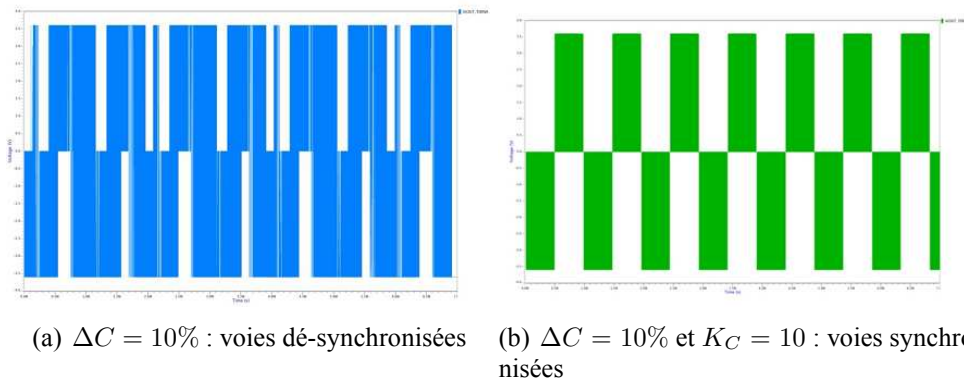


FIGURE 2.10 – Signal de sortie : effet de la synchronisation

Cependant, cette correction vient changer de manière dynamique le comportement de la boucle et ainsi créer de la distorsion harmonique. Un couplage de 10% permet de contrer les variations technologiques standards présentes sur le procédé utilisé tout en réduisant la linéarité globale de la structure de moins de 7dB. Cette valeur de constante de synchronisation  $K_C$  sera donc utilisée dans l'amplificateur de classe D. Le circuit test sera réalisé avec un contrôle permettant d'activer ou non la synchronisation et de changer la valeur de la constante.

### 2.3.1.5 Effet du caractère non idéal de l'action intégrale

La non idéalité de l'action intégrale modifie le fonctionnement de la boucle. Par exemple, l'impact de la bande passante  $BP$  de l'intégrateur sur la fréquence de commutation d'une voie de l'amplificateur est illustré sur la figure 2.11.

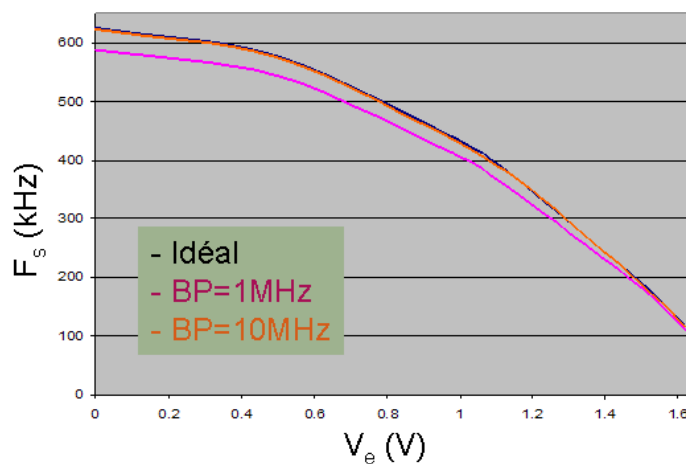


FIGURE 2.11 – Effet de la bande passante  $BP$  du correcteur  $C$  sur la fréquence de commutation  $F_s$

Ainsi, une bande passante de  $10\text{MHz}$  de l'action intégrale permet d'obtenir une fidélité de



fonctionnement suffisante par rapport aux valeurs de  $F_s$ .

### 2.3.1.6 Solution retenue

La figure 2.12 illustre le schéma de principe de l'architecture retenue pour l'amplificateur de classe D réalisé. Le correcteur  $C(s)$  est donc constitué d'une unique action intégrale. Le produit entre la constante de temps de cette action et la largeur du cycle d'hystérésis permet de fixer la limite haute de la fréquence de basculement, égale à  $384kHz$ . Un réseau de synchronisation dont la constante vaut  $K_C = 10$  entre les deux voies permet d'assurer la réalisation d'une modulation sur trois niveaux en sortie malgré des variations entre les paramètres des voies.

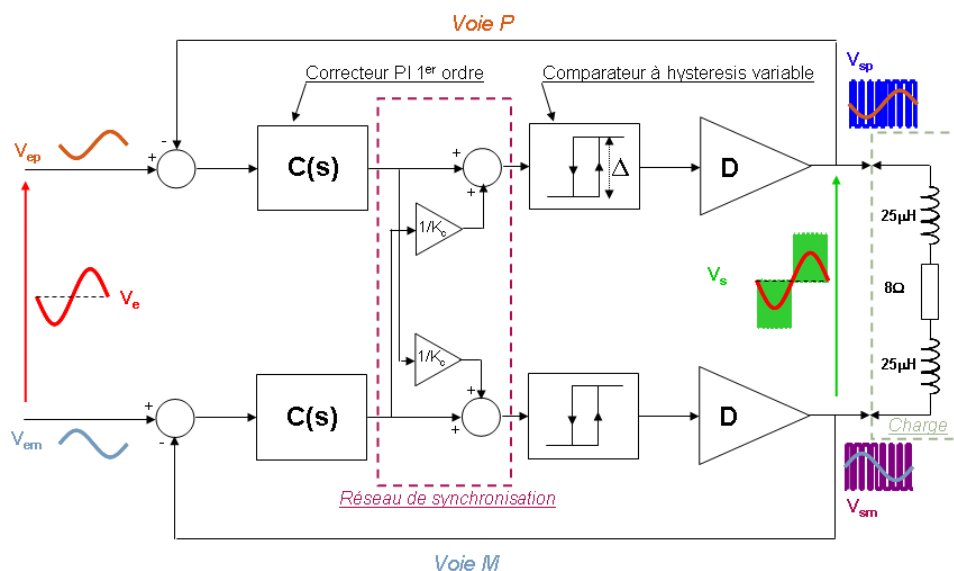


FIGURE 2.12 – Architecture retenue

## 2.3.2 Intégration d'un amplificateur de classe D auto-oscillant

Cette architecture a été implémentée dans un procédé CMOS double oxyde 130nm. Les contraintes électriques sont celles de la téléphonie mobile (voir 1.2.4). La charge est simulée par un ensemble  $RL$  avec  $R = 8\Omega$  et  $L = 50\mu H$ .

### 2.3.2.1 Architecture d'une voie d'amplification

Le schéma électrique correspondant à l'architecture retenue 2.12 dans la section précédente est illustré sur la figure 2.13.

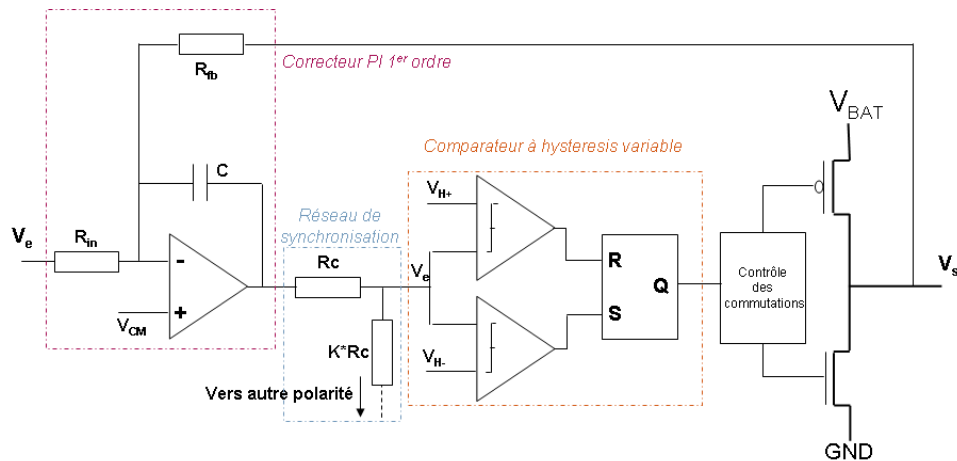


FIGURE 2.13 – Implémentation électrique de l'architecture retenue

Il comprends un correcteur PI de pôle dominant  $\tau = R_{fb}C$ , un cycle d'hystérésis de largeur  $\Delta = 2\alpha V_{bat}$  et un étage de puissance. Ce système présente un gain statique  $G_0$  égal au rapport de la résistance  $R_{fb}$  sur  $R_{in}$ . Le correcteur  $C(s)$  représente un intégrateur à temps continu qui peut être réalisé électriquement de nombreuses manières, dont les principales sont :

- Intégrateur  $g_m C$
- Intégrateur  $g_m C$  actif
- Intégrateur  $MOS - C$  actif
- Intégrateur  $RC$  actif

Le principe de fonctionnement de chaque approche, ainsi que leurs avantages et inconvénients, sont discutés dans l'annexe A. Parce qu'elle présente le meilleur compromis entre linéarité et consommation, la solution "RC actif" a été choisie pour l'implémentation du correcteur. De plus, à cause du réseau de synchronisation, le bloc  $C(s)$  voit une charge en partie résistive, ce qui n'est possible qu'avec une approche "RC actif".

Pour connaître l'excursion des variations de la fréquence des commutations avec l'amplitude du signal d'entrée, une étude temporelle des signaux est nécessaire. En effet, par application de la relation 2.13, seule la fréquence de commutation à vide est connue pour l'instant. Cette étude est menée en ignorant l'effet du réseau de synchronisation. En supposant la fréquence de commutation  $F_s$  très supérieure à la fréquence du signal d'entrée  $F_e$ <sup>4</sup>, alors le signal d'entrée peut être supposé constant pendant une commutation. Les signaux  $V_e$ ,  $V_c$  et  $V_s$  ont alors l'allure suivante :

4. ce qui est le cas car  $F_{eMAX} = 20kHz$  et  $F_s = 384kHz$

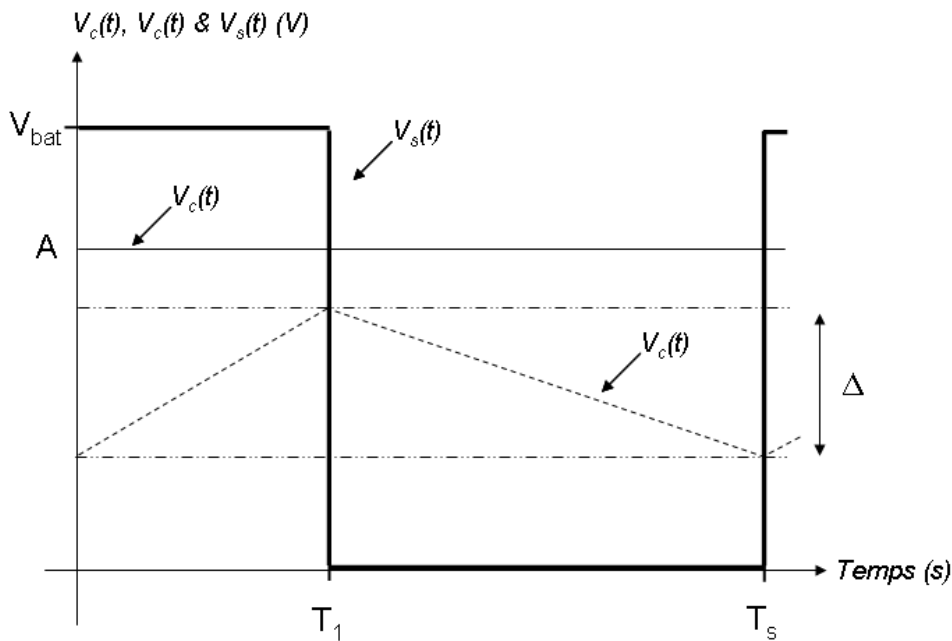


FIGURE 2.14 – Allure des signaux  $V_e$ ,  $V_s$  et  $V_c$  pendant une période

D'un point de vue dynamique, c'est à dire en ignorant les tensions de mode commun des différents signaux, les signaux  $V_s$  et  $V_r$  varient respectivement entre  $-\frac{V_{BAT}}{2}$  et  $+\frac{V_{BAT}}{2}$  et  $-\frac{\Delta}{2}$  et  $+\frac{\Delta}{2}$ .  $A$  représente l'amplitude du signal d'entrée  $V_e$  par rapport à son mode commun<sup>5</sup>. Ainsi, de  $T = 0$  à  $T = T_1$ ,

$$v_{c1}(T) = \frac{1}{\tau} \int_0^T \left( A - \frac{V_{bat}}{2} \right) dt - \frac{\Delta}{2}$$

De même, de  $T = T_1$  à  $T = T_s$ ,

$$v_{c2}(T) = \frac{1}{\tau} \int_{T_1}^{T_s} \left( A + \frac{V_{bat}}{2} \right) dt + \frac{\Delta}{2}$$

Les conditions de continuité aux limites imposent :

$$v_{c1}(T_1) = v_{c2}(T_1) \frac{\Delta}{2} \text{ et } v_{c2}(T_s) = v_{c1}(T_s) = -\frac{\Delta}{2}$$

d'où l'expression de  $F_s = \frac{1}{T_s}$  :

$$F_s = \frac{1 - 4 \left( \frac{A \times G_{DC}}{V_{bat}} \right)^2}{4\Delta\tau} = F_{s0} (1 - M^2)$$

avec

$$F_{s0} = \frac{1}{4\Delta\tau}, \quad M = \frac{2A \times G_{DC}}{V_{bat}} \text{ et } G_{DC} = \frac{R_{fb}}{R_{in}}$$

5. C'est à dire que l'amplitude réelle  $A_r$  du signal d'entrée est égale à  $A_r = V_{ana} + A$ , où  $V_{ana}$  représente le mode commun du signal d'entrée

Ainsi,  $F_s$  est bien de la forme attendue.  $M$  représente la profondeur de modulation rapportée en entrée en tenant compte du gain petit signal  $G_{DC}$  de l'amplificateur.

Cette relation est juste si le mode commun de l'intégrateur  $V_{CM}$  est égal à la moyenne pondérée des modes communs des signaux d'entrée  $V_e$  et de sortie  $V_s$  respectivement égaux à  $\frac{V_{ana}}{2}$  (fixé par le CNA en amont) et  $\frac{V_{BAT}}{2}$ . Ainsi,  $V_{CM}$  s'exprime :

$$V_{CM} = \frac{V_{ana}}{2} \frac{R_{fb}}{R_{in} + R_{fb}} + \frac{V_{bat}}{2} \frac{R_{in}}{R_{in} + R_{fb}}$$

### 2.3.2.2 Effet des variations de mode commun du cycle d'hysteresis

Le comparateur à hystérésis doit avoir une largeur qui varie avec la tension d'alimentation  $V_{bat}$  afin de rendre la fréquence de commutation, et donc la bande passante du contrôle, indépendante de  $V_{bat}$ . En plus, le mode commun de cette fenêtre d'hystérésis doit être constant, car le mode commun du signal d'erreur  $V_e$  fixe celui du signal de sortie  $V_s$  (et également celui du signal d'entrée  $V_e$ ) à cause de l'action dérivée présente entre  $V_e$  et  $V_s - V_e$  due au correcteur  $C(s)$  (Voir figure 2.15) [82, 83].

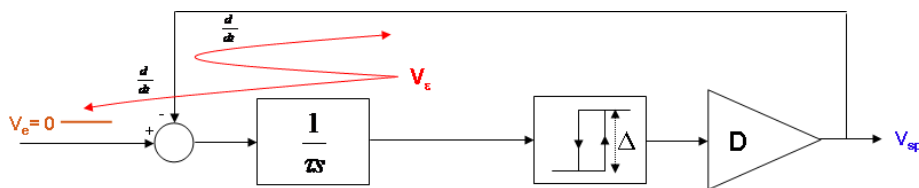


FIGURE 2.15 – Effet du mode commun de la surface d'erreur sur  $V_s$

L'architecture classique d'un comparateur à hystérésis est basée sur un trigger de Schmitt comme illustrée sur les figures 2.16(a) et 2.16(b). Elle ne peut pas être utilisée car elle réalise un cycle d'hystérésis de mode commun dépendant de l'alimentation et donc de ses variations (voir relation 2.18), soit exactement l'inverse de l'objectif.

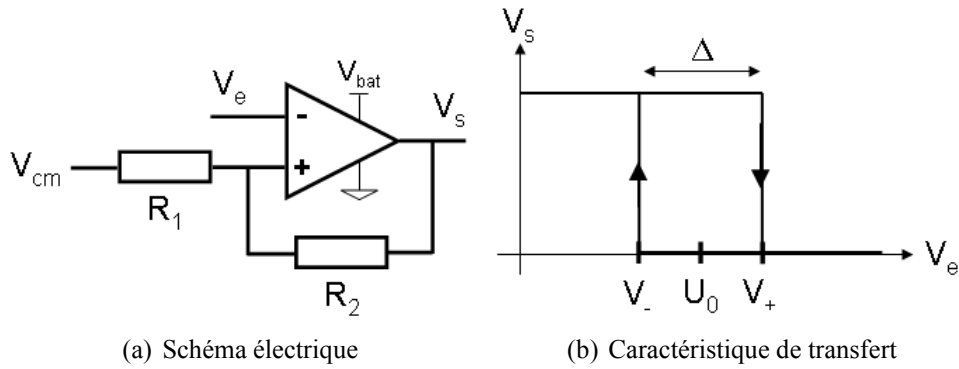


FIGURE 2.16 – Cycle d'hystérésis de type "Trigger de Schmitt"

Avec cette configuration, la performance de  $PSRR$  est limitée par l'architecture du comparateur à hystérésis. La performance maximale en terme de  $PSRR$  peut être calculée de la manière suivante, en posant :

$$k_1 = \frac{R_1}{R_1 + R_2} \quad \text{et} \quad k_2 = \frac{R_2}{R_1 + R_2}$$

Les caractéristiques de la fenêtre d'hystérésis sont alors :

$$\left. \begin{array}{l} V_- = k_2 V_{cm} \\ V_+ = k_2 V_{cm} + k_1 V_{bat} \end{array} \right\} \Rightarrow U_0 = \frac{k_1 V_{bat}}{2} = f(V_{bat}) \quad (2.18)$$

Lorsque le signal d'entrée est nul, le signal de sortie moyen  $\overline{V_s}$  de la figure 2.15 s'exprime par :

$$\overline{V_s}(t) = \tau \frac{d}{dt} (U_0(t)) = \frac{k_1 \tau}{2} \frac{d}{dt} (V_{bat}(t)) \quad (2.19)$$

Si  $V_{bat}(t) = V_{bat0} + a_0 \sin(2\pi f_{bat} t)$ , alors le  $PSRR$  de cette structure s'exprime :

$$PSRR_{dB} = 20 \log \left( \frac{\overline{V_s}}{V_{bat}} \right) = 20 \log (\tau k_1 \pi f_{bat}) \quad (2.20)$$

Or, à signal d'entrée nul,  $f_s = \frac{V_{bat}}{4\Delta\tau}$  et  $\Delta = k_1 V_{bat}$ , donc la relation 2.20 devient :

$$PSRR_{dB} = 20 \log \left( \frac{\pi f_{bat}}{4 f_s} \right) \quad (2.21)$$

En limite supérieure de bande audio, c'est à dire à  $f_{bat} = 20kHz$ , pour  $f_s = 400kHz$ , la réjection des perturbations d'alimentation est limitée par l'architecture du cycle d'hystérésis à 30dB environ. Cette valeur de  $PSRR$  est inférieure de plus d'une décade par rapport à la valeur du cahier des charges (voir 1.8). Pour cette raison, un cycle d'hystérésis à mode commun constant doit être conçu. Dans ce cas, la relation 2.19 devient :

$$\overline{V_s}(t) = \tau \frac{d}{dt} (U_0(t)) = 0 \quad (2.22)$$

La réjection d'alimentation liée au cycle d'hystérésis devient inf nie en terme d'architecture. Un comparateur avec cycle d'hystérésis à mode commun constant peut être réalisé de la façon suivante, illustrée sur la figure 2.17

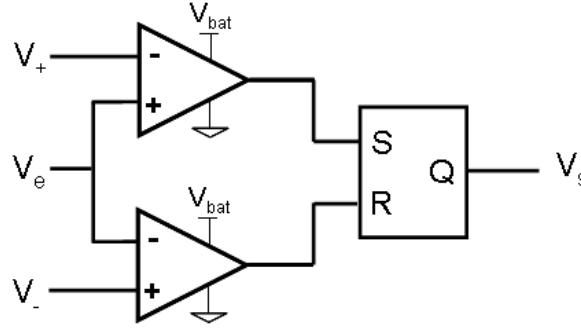


FIGURE 2.17 – Fenêtre d'hystérésis à mode commun constant

Pour rendre  $U_0$  constant, il faut choisir judicieusement les limites  $V_-$  et  $V_+$  du cycle afin qu'elles soient de la forme :

$$\begin{cases} V_- = V_{cm} - \alpha V_{bat} \\ V_+ = V_{cm} + \alpha V_{bat} \end{cases} \Rightarrow \begin{cases} U_0 = V_{cm} \\ \Delta = 2\alpha V_{bat} \end{cases} \quad (2.23)$$

Pour cela, les tensions  $V_-$  et  $V_+$  sont construites à partir d'une tension de référence de type "Band Gap"<sup>6</sup> et de la tension d'alimentation via le montage suivant :

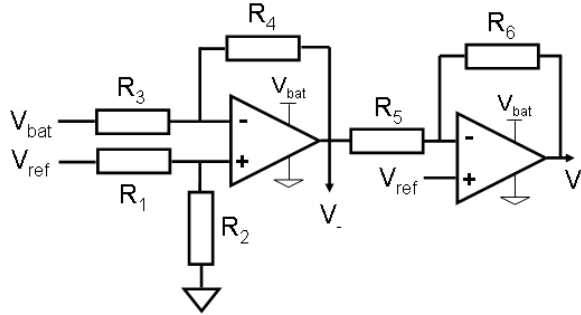


FIGURE 2.18 – Génération des limites de la fenêtre d'hystérésis

Dans ce montage, par application du théorème de superposition, la tension  $V_-$  s'exprime :

$$V_- = \frac{R_2}{R_1 + R_2} \left( \frac{R_3 + R_4}{R_3} \right) V_{ref} - \frac{R_4}{R_3} (V_{bat}) = V_{ref} - \alpha V_{bat} \quad (2.24)$$

L'expression de  $V_-$  est bien de la forme attendue si  $R_1 = R_4$  et  $R_2 = R_3$ . De même, l'expression de  $V_+$  est :

$$V_+ = -\frac{R_6}{R_5} V_- + V_{ref} \left( 1 + \frac{R_6}{R_5} \right) = \frac{R_6 R_4}{R_5 R_3} V_{bat} + \left( \left( \frac{R_5 + R_6}{R_5} \right) - \left( \frac{R_2}{R_1 + R_2} \right) \left( \frac{R_3 + R_4}{R_3} \right) \right) V_{ref} \quad (2.25)$$

6. Référence de tension très précise et fortement indépendante de la température [84]

En choisissant  $R_5 = R_6$ ,  $V_+$  est bien de la forme  $V_+ = V_{ref} + \alpha V_{bat}$ . Ainsi, les caractéristiques du cycle d'hystérésis sont bien celles définies dans la relation 2.23.

### 2.3.2.3 Implémentation en technologie CMOS 130nm

Pour réaliser cet amplificateur, la liste des cellules de base nécessaires est la suivante :

- Polarisation et référence de tension
  - Générateur de référence de tension de type "Band Gap"
  - Bloc générateur de courant de référence
  - Gestion des alimentations de mode commun (3 AOs de type "buffer")
- Contrôle
  - Correcteur (1 AO/voie)
  - Cycle d'hystérésis (2 AOs en commun pour la génération des bornes, auxquels s'ajoutent deux comparateurs par voie)
  - Réseau de synchronisation
- Etage de puissance
  - Transistors de puissance (une paire P/N par voie)
  - Contrôle des commutations

La figure 2.19 illustre la totalité des cellules analogiques élémentaires requises pour réaliser une voie de l'amplificateur audio de classe D proposé dans ce chapitre. Les blocs en pointillés sont des cellules déjà existantes et qui ont donc été réutilisées directement sans modification.

L'étage de puissance est déjà existant dans cette technologie et est utilisé dans des amplificateurs de classe D de type MLI. L'utilisation du même étage de puissance permet alors de conclure sur les performances de la méthode de contrôle. Les autres cellules sont détaillées dans les paragraphes suivants. La consommation statique de l'ensemble de ces blocs est minimisée afin de conserver un rendement élevé.

#### 2.3.2.3.1 Conception du bloc de correction

Le choix de la valeur des composants passifs ( $R_{in}$ ,  $R_{fb}$  et  $C$ ) est en partie imposé par les caractéristiques  $\tau$  et  $G_0$  de l'architecture. Le degré de liberté restant sera fixé par la performance en bruit de la structure. Le bruit thermique des résistances  $R_{in}$  et  $R_{fb}$  est la source de bruit dominante. Afin d'avoir un SNR de l'ordre de 100dB, avec un signal utile en sortie de l'ordre du  $V$ , le niveau de bruit moyen en sortie de l'amplificateur  $\overline{s_B}$  doit être inférieur à  $10\mu V_{RMS}$  sur

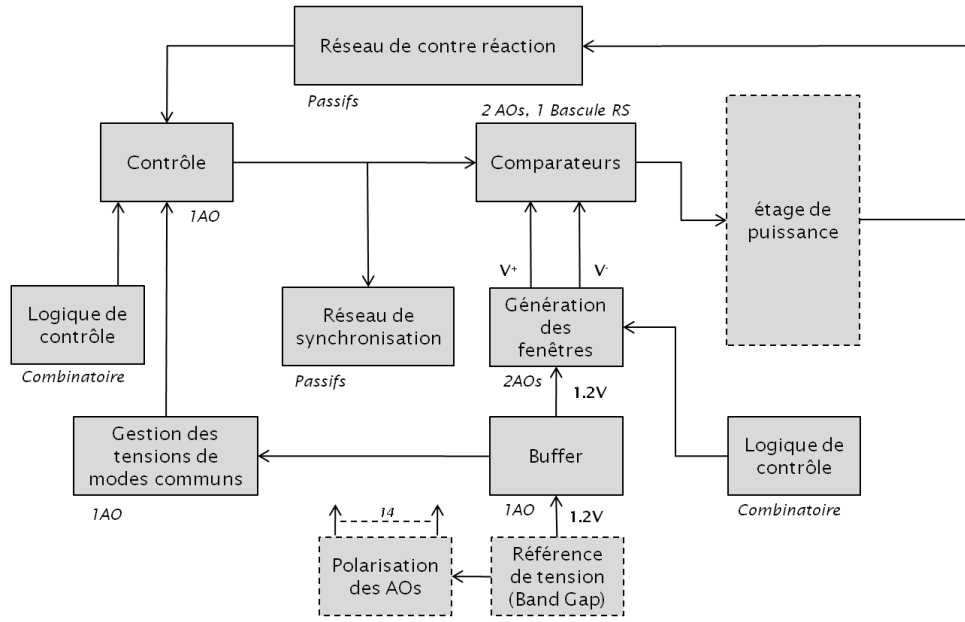


FIGURE 2.19 – Blocs élémentaires constituant l'amplificateur proposé

la bande audio. La source de bruit équivalente à la résistance  $R_{in}$ , noté  $\overline{e_B^2}$ , s'exprime :

$$\overline{e_B^2} = 4k_B T R_{in} \Delta f \quad (2.26)$$

Où  $k_B$  représentant la constante de Boltzmann<sup>7</sup>,  $T$  la température en Kelvin et  $\Delta f$  la bande passante considérée. Le niveau de bruit en sortie  $\overline{s_B^2}$  vaut alors :

$$\overline{s_B^2} = \sqrt{G_0} 4k_B T R_{in} \Delta f \quad (2.27)$$

La relation 2.27 permet de déterminer la valeur maximale que peut prendre  $R_{in}$  :

$$\overline{s_B} < 10^{-5} \Rightarrow R_{in} < \frac{\overline{s_{B_{lim}}}^2}{4\sqrt{G_0} k_B T \Delta f} \approx 1M\Omega \quad (2.28)$$

La valeur de  $R_{in}$  sera donc fixée suffisamment grande pour limiter la consommation statique, réduire au mieux la taille de  $C$  et favoriser l'appariement entre les deux voies de l'amplificateur. Ainsi, la valeur retenue des composants passifs est :

$$\begin{aligned} R_{in} &= 100k\Omega \\ R_{fb} &= R_{in} \times G_0 = 200k\Omega \\ C &= \frac{\tau}{R_{fb}} = 10pF \end{aligned} \quad (2.29)$$

La bande passante de l'amplificateur d'erreur doit être au minimum de  $10MHz$  (2.3.1.5) afin que le pôle dominant de l'amplificateur n'ait pas d'influence sur le comportement de la boucle, et notamment sur la valeur de  $F_s$ . Cet amplificateur a été réalisé par une structure comprenant

7.  $k_B = 1.3806 \times 10^{-23} JK^{-1}$



deux étages de gain : un étage d'entrée différentiel de type PMOS ( $M_1, M_2$ ) à charge P ( $M_5, M_6$ ) cascode repliée ( $M_3, M_4$ ), puis un étage de gain de type PMOS source commune ( $M_8$ ) comme illustrée sur la figure de principe 2.20.

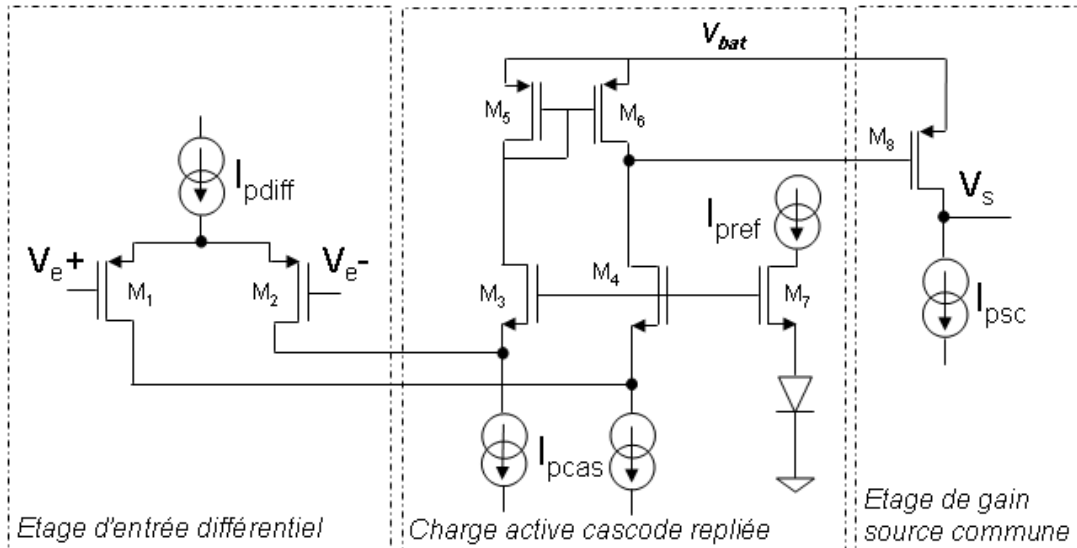


FIGURE 2.20 – Architecture interne de l'amplificateur d'erreur

Le choix de la construction de l'étage d'entrée de cet amplificateur autour d'une paire PMOS à charge P cascode repliée est basé sur le compromis entre la dynamique d'entrée, l'offset et le bruit de la structure. Cette étude est détaillée dans l'annexe B. L'amplificateur ainsi réalisé est illustré sur la figure 2.21. Les dimensions des principaux éléments constituant cet amplificateur sont détaillées dans le tableau 2.2.

Fonction	Transistors	W ( $\mu m$ )	L ( $\mu m$ )	$I_D(\mu A)$
Paire Différentielle	PMOS $M_1, M_2$	100	2	10
Charge active	PMOS $M_5, M_6$	10	2	40
Cascode	NMOS $M_3, M_4, M_7$	5	5	40
Polarisation charge	NMOS $M_{21}, M_{22}, M_{23}$	40	2	50
Source commune	PMOS $M_8$	10	2	120

TABLE 2.2 – Dimensions des principaux éléments constituant l'amplificateur d'erreur

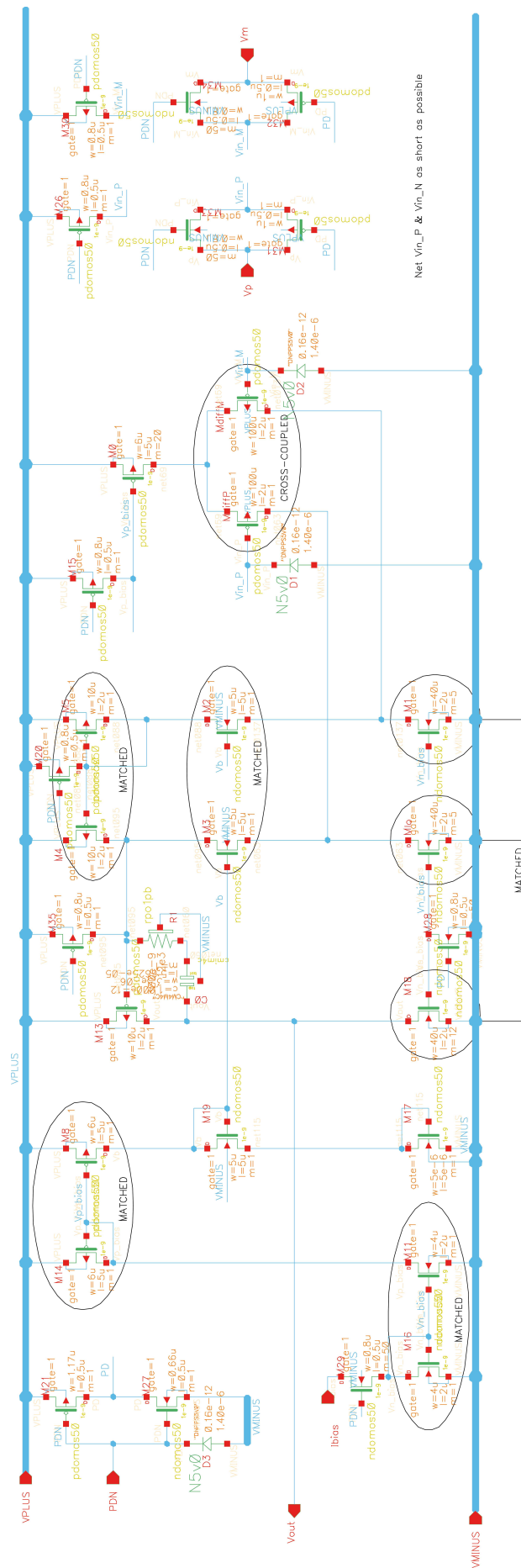


FIGURE 2.21. Schéma de l'amplificateur d'erreur

2.3.2.3.2 Stabilité du bloc de correction

Cet amplif cateur, de fonction de transfert  $A(s)$  est utilisé pour construire une action intégrale selon une approche "active RC" (voir f gure A.3). Le schéma bloc équivalent à cette solution est :

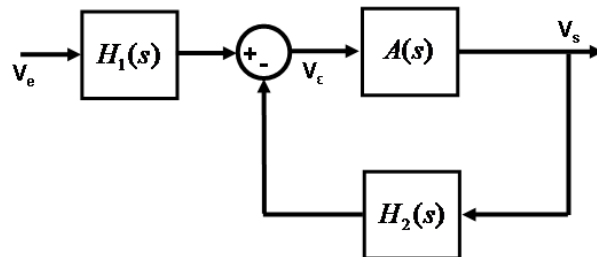


FIGURE 2.22 – Schéma bloc de l’amplif cateur d’erreur dans son environnement

Avec

$$H_1(s) = -\frac{1}{1+RCs}$$

$$H_2(s) = \frac{RCs}{1+RCs}$$

L’étude de la boucle ouverte  $BO(s) = A(s)H_2(s)$  inclura la charge de l’amplif cateur qui n’est pas représentée dans la f gure 2.22. Tous les pôles de  $A(s)$  sont, pour l’instant, issus de capacités parasites des différenst transistors qui composent  $A(s)$  et sont tous situés dans la même gamme de fréquences. La représentation de  $A(s)$  (f gure 2.23 dans un lieu de Bode montre notamment la présence des deux pôles dominants de  $A(s)$  autour de  $100kHz$ . Il s’agit des pôles correspondant aux capacités parasites des jonctions grille-drain  $C_{Jgd}$  ramenées par effet Miller sur les noeuds hautes-impédances de l’AO.

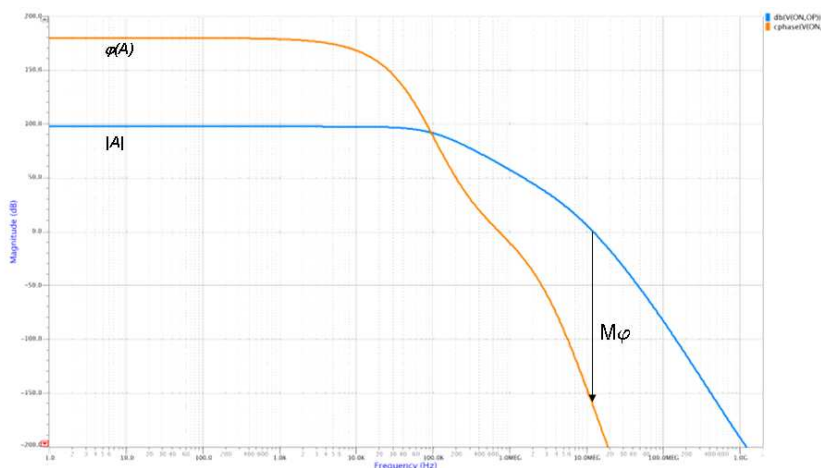


FIGURE 2.23 – Représentation de  $A(s)$  dans un lieu de Bode

En l’état, l’amplif cateur est donc fortement instable. La stabilité de cet amplif cateur est assurée en suiveur, ce qui représente le pire cas en terme de stabilité car la contre réaction est

unitaire (et donc maximale). Ainsi, l'amplificateur sera également stable dans toutes les autres configurations de contre réaction passive. D'après sa réalisation (voir annexe B), l'amplificateur est composé de deux étages de gain représentés par leur transconductance  $g_1$  et  $g_2$  mises en cascade (figure 2.24). En sortie de chaque étage sont représentées les résistances de sortie  $r_1$  et  $r_2$  ainsi que l'ensemble des capacités d'entrée de l'étage suivant. Ce sont ces deux pôles qui sont dominants et qui apparaissent sur la figure 2.23.

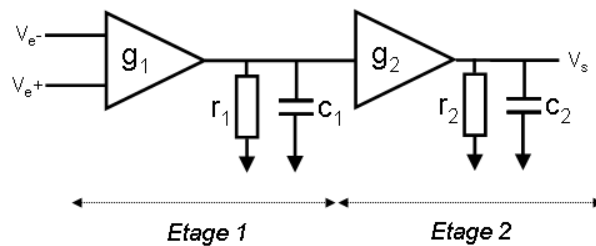


FIGURE 2.24 – Diagramme structurel de l'amplificateur

Pour stabiliser cet amplificateur, il faut écarter l'action de ces deux pôles dans le domaine fréquentiel. Cela revient à ajouter une forte capacité en parallèle de  $c_1$ . Cette forte capacité, non intégrable car de valeur élevée, va être introduite par effet Miller comme illustré sur la figure 2.25.

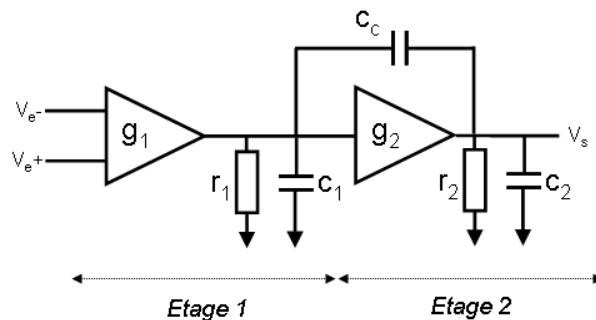


FIGURE 2.25 – Diagramme structurel de l'amplificateur avec compensation fréquentielle

Par effet Miller, une capacité équivalente à  $(1 + A) \times C_C$  où  $A$  représente le gain de l'étage 2 ( $A = g_2 r_2$ ) va être placée en parallèle de  $C_1$ , déplaçant ainsi le pôle associé en basse fréquence. La compensation fréquentielle sera d'autant plus facile à mettre en place que l'étage  $g_2$  présente du gain. Le gain statique de  $A(s)$  étant égal à 100dB environ, la bande passante de l'amplificateur doit être de  $100\text{Hz}$ . Il faut donc déplacer le pôle dominant de trois décades en fréquence, soit placer en parallèle de  $c_1$  une capacité de l'ordre du  $nF$  ( $c_1$  étant de l'ordre du  $pF$ ). Comme le gain de l'étage 2 est d'environ 50dB, soit environ 300, alors la valeur de  $C_C$

doit être d'environ  $3,3pF$ . Par simulation, la valeur retenue pour  $C_C$  est de  $4pF$ , ce qui conduit à la représentation de Bode suivante :

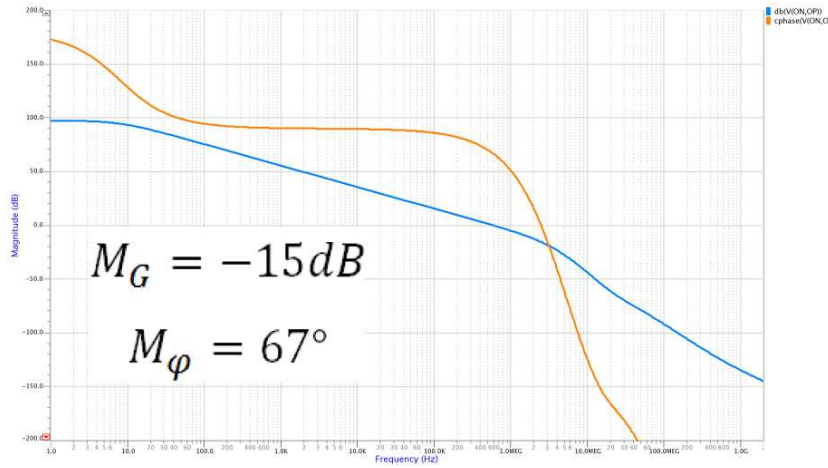


FIGURE 2.26 – Représentation de  $A(s)$  compensé dans un lieu de Bode

La capacité  $C_C$  est également à l'origine d'un zéro à partie réelle négative haute fréquence dans l'expression de  $A(s)$ . Afin de supprimer l'influence de ce zéro, une résistance  $R_Z$  égale à  $12k\Omega$  est rajoutée en série de  $C_C$  ce qui a pour effet de transformer ce zéro à partie réelle négative en un zéro à partie réelle positive, améliorant ainsi les marges de gain et de phase de  $A(s)$  [85].

### 2.3.2.3.3 Conception du comparateur

Pour ne pas perdre le comportant auto-oscillant de la boucle dû au cycle d'hystérésis [75], il faut que le délai de propagation  $t_P$  de l'ensemble comparateurs et étage de puissance reste très inférieur au délai équivalent du cycle d'hystérésis  $t_H$ . La pente maximale du signal en sortie de l'intégrateur est  $\frac{V_{BAT}}{\tau}$ . La largeur du cycle d'hystérésis  $\Delta$  étant égale à  $2\alpha V_{BAT}$ , alors le délai  $t_{H_{min}}$  vaut :

$$t_{H_{min}} = \frac{\Delta\tau}{V_{BAT}} = \frac{2\alpha V_{BAT} R_{fb} C}{V_{BAT}} = 0.4\mu s$$

Le délai de propagation de l'étage de puissance est de l'ordre de la dizaine de  $ns$ . Le délai de propagation au niveau des comparateurs réalisant le cycle d'hystérésis (voir figure 2.17) doit donc être du même ordre de grandeur afin de conserver un rapport d'environ cent entre  $t_P$  et  $t_H$  et assurer ainsi une boucle oscillante à hystérésis. Afin de réaliser un comparateur rapide, symétrique et consommant peu, l'architecture suivante a été utilisée (illustrée ici avec le comparateur détectant la limite basse du cycle d'hystérésis  $V_{H-}$ ) :

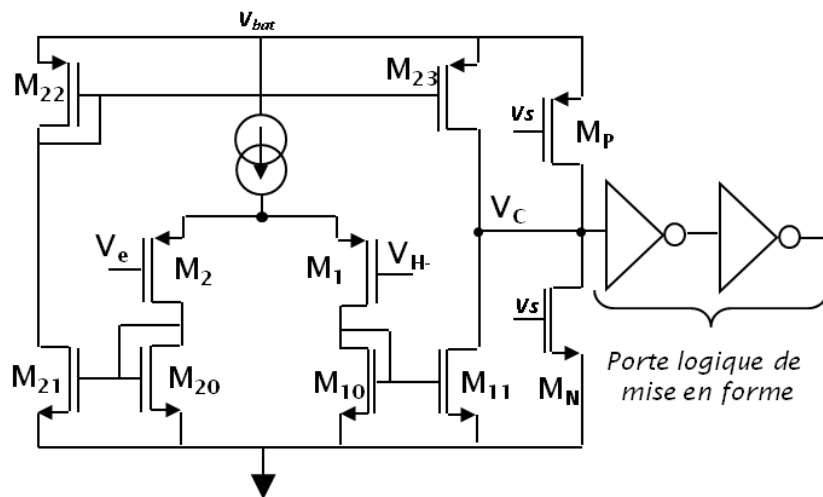


FIGURE 2.27 – Architecture interne du comparateur

Ce comparateur est construit autour d'une paire différentielle PMOS  $M_1, M_2$  dont la charge est assurée par des miroirs de courant. Si le potentiel  $V_e$  devient supérieur à  $V_{H-}$ , alors la source de courant  $M_{23}$  est dominée par la source de courant  $M_{11}$  et le nœud  $V_c$  monte à  $V_{BAT}$ . Les deux portes logiques inverseuses dites de "mise en forme" servent à rendre la transition plus raide en augmentant la pente du signal lors d'un changement d'état. La tension de décalage, ainsi que le bruit de la structure ne sont pas des sources d'erreurs importantes. En effet, la présence d'une légère tension de décalage va seulement modifier la largeur du cycle d'hystérésis et donc modifier la valeur nominale de la fréquence de commutation de l'amplificateur de classe D. Dans le pire cas, c'est à dire à tension d'alimentation minimale, la largeur du cycle d'hystérésis est égale à  $\Delta_{min} = 2\alpha * V_{BAT_{min}} = 0.46V$ . Ainsi, une tension de décalage importante, soit de l'ordre de 5mV (valeur bien supérieure à ce qui est réalisable facilement par des techniques de dessin des masques comme le couplage croisé<sup>8</sup> et l'appariement<sup>9</sup> des transistors de la paire différentielle) sera à l'origine d'une déviation de 1.1% de la fréquence de commutation. Cette déviation est fortement négligeable devant celle introduite par la constante de temps de l'intégrateur  $\tau$  due à l'intégration des résistances et des capacités<sup>10</sup>. Le signal de sortie du comparateur étant de nature logique, la source de bruit équivalente du comparateur n'a également pas d'importance. La difficulté de conception de cette structure vient de la nécessité d'obtenir des temps de commutation faibles (de l'ordre de la dizaine de ns) et symétriques dans tous les cas, c'est à dire en

8. *Cross Coupling* en Anglais

9. *Matching* en Anglais

10. déviation procédé standard pour un composant passif (R ou C) : 20%

Fonction	Transistors	W ( $\mu m$ )	L ( $\mu m$ )
Paire Différentielle	PMOS $M_1, M_2$	150	1
Charge active	NMOS $M_{10}, M_{11}, M_{20}, M_{21}$	3	1
Miroir de courant	PMOS $M_{22}, M_{23}$	9	1
Accélération 0 $\rightarrow$ 1	PMOS $M_P$	1	25
Accélération 1 $\rightarrow$ 0	NMOS $M_N$	1	50

TABLE 2.3 – Dimensions des principaux éléments constituant le comparateur

	Temps de montée $T_m(ns)$	Temps de descente $T_d(ns)$
TYP/27°	9.4	9.7
SSA/130°	12.2	13.7
FFA/-30°	7.5	7

TABLE 2.4 – Temps de commutation du comparateur

prenant compte les variations de tensions d'alimentation, de température et du procédé de fabrication. Dans le but d'augmenter la rapidité des commutations sans augmenter la polarisation statique de la cellule, les transistors  $M_N$  et  $M_P$  jouant le rôle de résistances ont été connectés entre le nœuds  $V_c$  et les rails d'alimentation. Leur rôle est de préparer le comparateur à la prochaine commutation. Par exemple, lorsque  $V_s$  est à l'état haut, ce qui signifie que  $V_c$  l'est aussi, que  $M_{23}$  est passant tandis que  $M_{11}$  est bloqué, le transistor  $M_N$  conduit et permet de diminuer le potentiel  $V_c$  afin de le rapprocher du seuil de commutation sans le franchir. Ainsi, lorsque la paire différentielle bascule, l'excursion de  $V_c$  est minimisée et le temps de propagation également. Les transistors  $M_N$  et  $M_P$  sont délicats à dimensionner car la valeur de la résistance équivalente d'un MOS en régime ohmique  $R_{on}$  varie fortement avec les variations du procédé. Cette technique d'accélération demande de maîtriser parfaitement les bornes minimales et maximales de la pente des signaux d'entrée dans le but d'éviter toutes multiples commutations. Les dimensions des principaux transistors constituant ce comparateur sont résumées dans le tableau 2.3. Le schéma global interne est donné figure 2.28.

Le tableau 2.4 résume les temps de commutation du comparateur pour un procédé typique et à température ambiante, pour le cas le plus défavorable (Procédé SSA<sup>11</sup>, température maximale) et pour le cas le plus favorable (procédé FFA<sup>12</sup>, température minimale). La contrainte temporelle et la symétrie des temps de commutation sont bien respectées. La consommation statique de la cellule est de  $20\mu A$ .

11. Slow Digital Slow Analog

12. Fast Digital Fast Analog

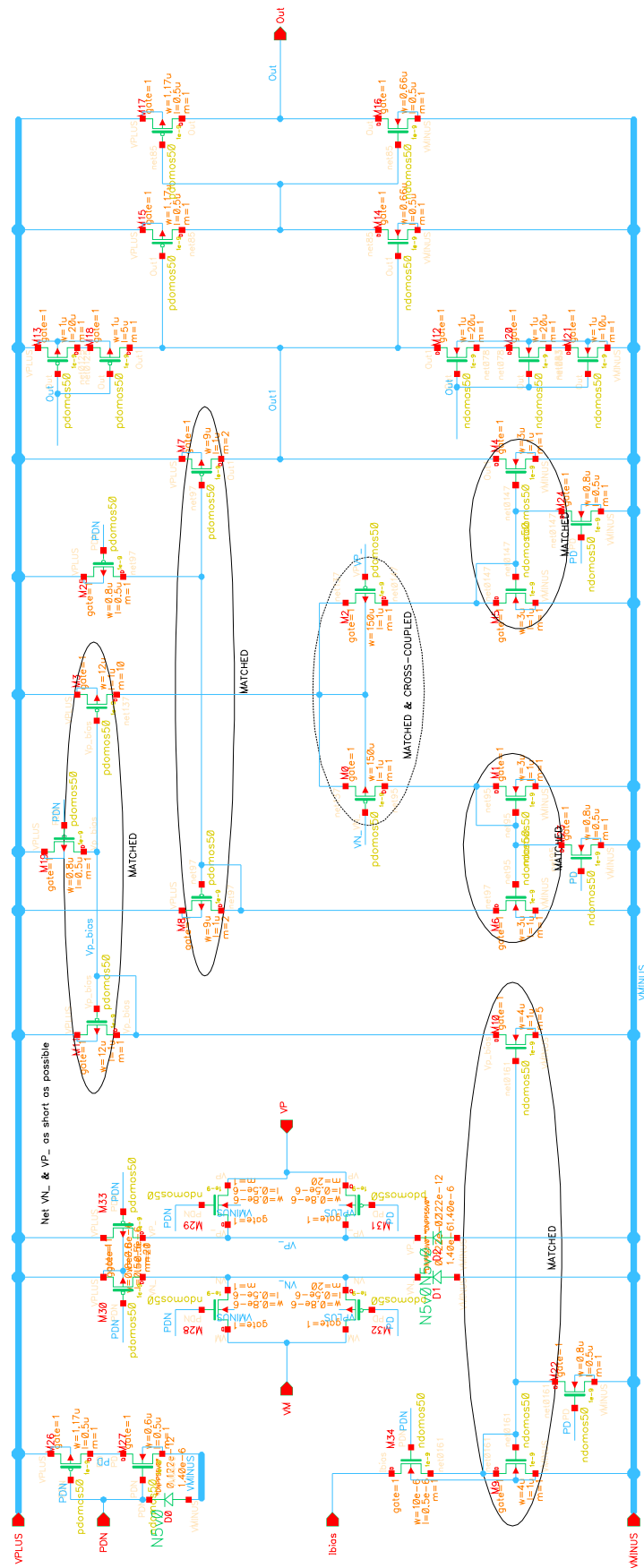


FIGURE 2.28 – Schéma du comparateur



### 2.3.2.3.4 Autres blocs, dessin des masques et circuit test

Les autres cellules réalisées dans le cadre de cet amplificateur ne seront pas détaillées dans ce manuscrit. Il s'agit notamment d'amplificateurs de type OTA à deux étages, compensés par capacité Miller. Ces amplificateurs sont utilisés pour générer les tensions limites de la fenêtre d'hystérésis  $V_{H+}$  et  $V_{H-}$  comme illustré sur la figure 2.18. Ils sont également utilisés comme buffers sur la tension  $V_{ref}$  issue de la cellule "Band Gap". Dans le cadre du circuit réalisé, des modes de test ont été mis en place, permettant notamment de :

- Activer/désactiver le réseau de synchronisation,
- Modifier la valeur nominale de la fréquence de commutation (trois valeurs programmables)

Le dessin des masques correspondant à l'ensemble du contrôle de l'amplificateur de classe D proposé est montré sur la figure 2.29. Une symétrie gauche/droite est respectée, représentant respectivement les voies P et M de l'amplificateur. Chaque cellule élémentaire est également localement symétrique.

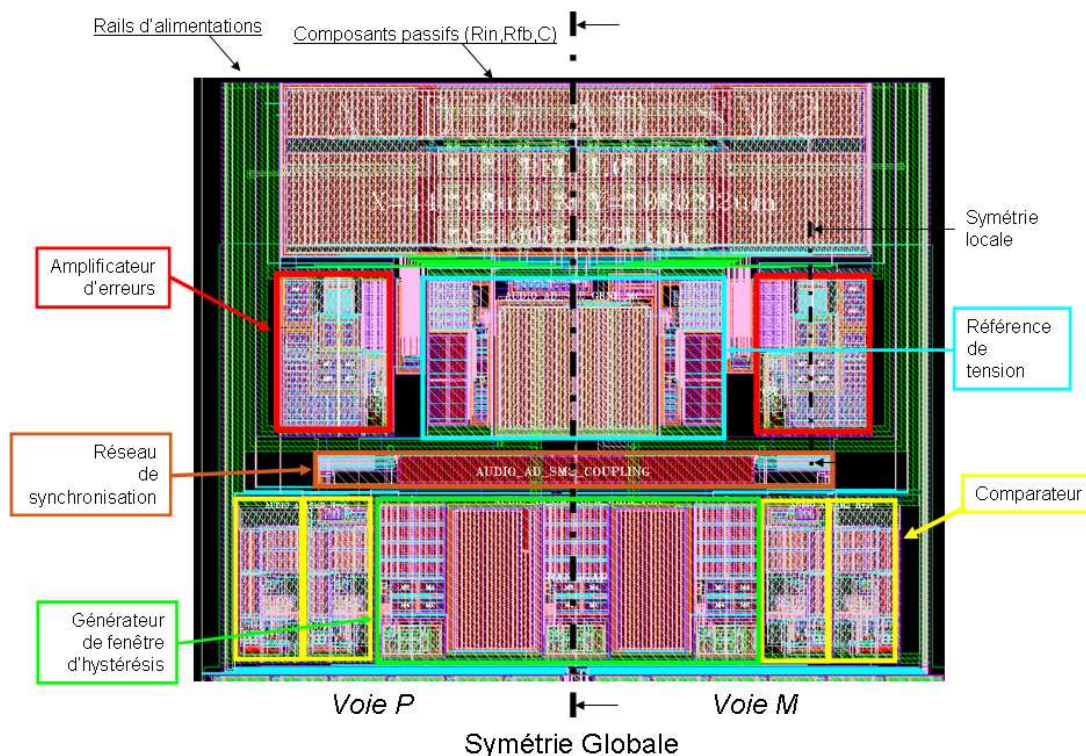


FIGURE 2.29 – Dessin des masques du contrôle de l'amplificateur proposé

La surface de la partie contrôle est égale à  $0.15mm^2$ . L'étage de puissance occupe une surface de  $0.31mm^2$ , portant la surface globale de l'amplificateur à  $0.45mm^2$  par voie, respectant ainsi le cahier des charges fixé 1.8. La répartition en surface et en puissance de cet amplificateur

est illustrée figure 2.30.

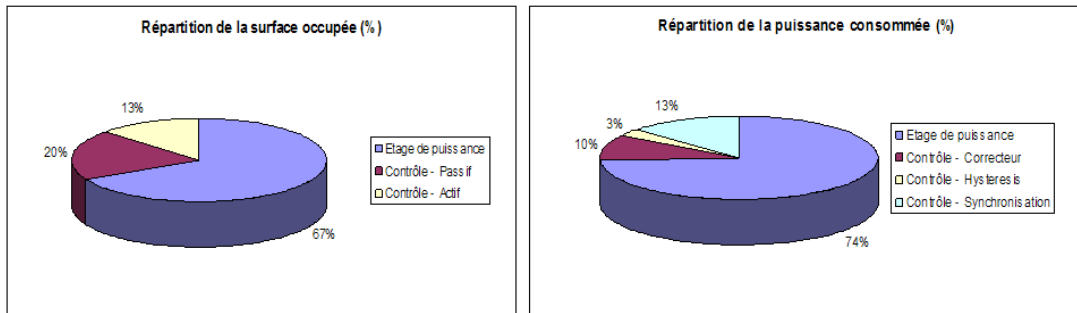


FIGURE 2.30 – Répartition en surface et en puissance des différents éléments

### 2.3.3 Performances et comparaison

Le circuit réalisé a été inséré dans un boîtier type TQFP 44 broches (figure 2.31(a)). La connectique entre le circuit silicium et les broches du boîtier est réalisée par des fils d'or afin de minimiser les effets inductifs et résistifs parasites des accès, notamment ceux de puissances. La carte de test permettant de mesurer les performances du circuit est représentée sur la figure 2.31(b). Le schéma complet de cette carte est donné en annexe ??.

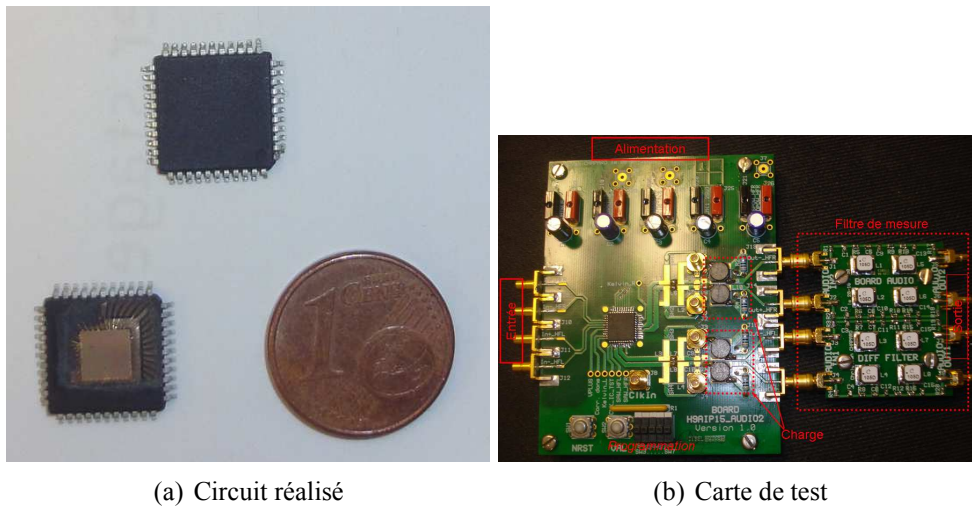


FIGURE 2.31 – Circuit réalisé et carte de test

#### 2.3.3.1 Mesures effectuées sur le circuit réalisé

Un ensemble détaillé des mesures effectuées sur le circuit réalisé est en annexe ?? de ce manuscrit de thèse. Cette section reprend seulement les mesures principales permettant de valider les études théoriques présentées dans ce chapitre. Les performances électriques et audio sont conformes aux attentes comme le montre le tableau 2.5.

	Cahier des Charges	Simulation Fonctionnelle	Simulation Électrique	Mesure
$f_{s0}$ (kHz)	348	348	348	348
SNR (dB)	> 90	-	100	97.5
THD @0.7W - 1kHz (%)	< 0.1	0.01	0.02	0.05
PSRR @217Hz - $V_e=0$ (dB)	> 60	> 100	> 100	80
Rendement @1W (%)	85	-	-	87
Rendement @0.1W (%)	50	-	-	70
ICN ( $\mu V_{RMS}$ )	< 50	-	15	27
Consommation statique (mA)	< 2	-	1.5	4
Offset (mV)	< 5	-	-	4

TABLE 2.5 – Tableau récapitulatif des principales mesures

### 2.3.3.1.1 Linéarité et rendement : effet de la synchronisation

Un point novateur dans la structure proposée est la présence d'un réseau de synchronisation. Il permet de corriger les variations technologiques de chaque boucle afin de faire en sorte qu'elles soient synchronisées l'une avec l'autre dans le but de créer un signal différentiel sur trois niveaux propres en sortie. Cette synchronisation modifie le comportement de la boucle de manière dynamique, réduisant ainsi la linéarité de la structure. La figure 2.32 montre l'effet de la synchronisation des trains d'impulsions des voies P et M en sortie lorsque les signaux d'entrées sont nuls.

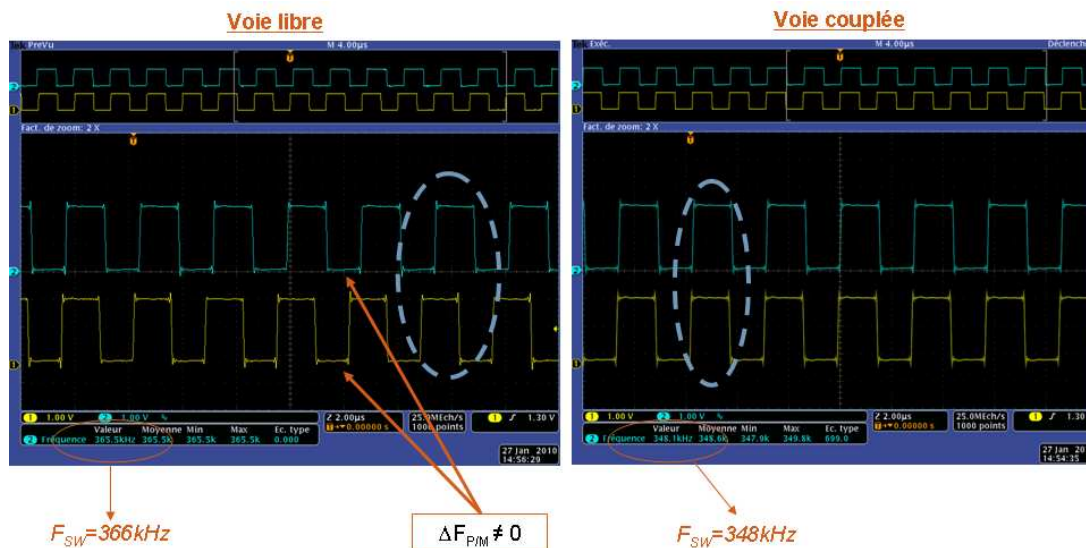


FIGURE 2.32 – Effet temporel de la synchronisation

En principe, les deux signaux de sortie sont des signaux carrés avec un rapport cyclique de 50% et une fréquence  $F_{s0}$  égale à 348kHz. Les variations technologiques sur les composants fixant cette valeur créent donc une légère différence entre la fréquence de commutation théo-

rique et celle mesurée (ici 366kHz). Cette variation est différente d'un circuit à l'autre, mais reste faible car ils sont issus d'un même lot de fabrication. En cas d'industrialisation, la répartition statique de cette variation sera donc plus importante.

La désynchronisation temporelle dans les commutations se traduit par la présence d'un courant instantanément non nul mais à valeur moyenne nulle dans la charge. Ce courant représente une quantité d'énergie qui est simplement perdue et donc détériore fortement le rendement à faible niveau. En couplant les voies P et M, les deux signaux de sortie se synchronisent comme le montre la figure 2.32. La synchronisation ralentit l'évolution du signal en sortie de l'intégrateur et diminue donc la fréquence de commutation. La constante de couplage est égale à  $K_C=0,1$  soit 10%. La fréquence de commutation mesurée est de 348kHz ce qui était parfaitement prévisible. En effet, un couplage de 100% aurait pour effet de diviser la fréquence de commutation par deux. Un couplage de 10% diminue la fréquence de commutation de  $\frac{1}{2} \times 0.1 = 0.05$  et donc  $366kHz \times (1 - 0.05) = 348kHz$ . Les figures 2.33(a) et 2.33(b) montrent les mesures de la linéarité (via le paramètre THD - figure 2.33(b)) et du rendement (figure 2.33(a)) avec et sans synchronisation en fonction de la puissance de sortie. Ces courbes ont été tracées pour un signal d'entrée de fréquence 1kHz avec une charge de  $8\Omega$ .

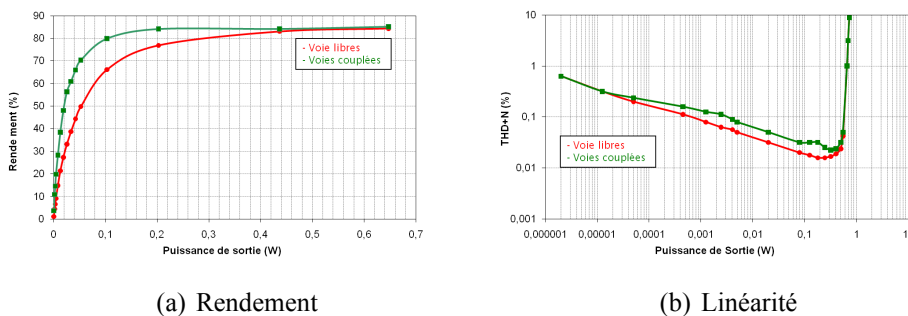


FIGURE 2.33 – Effet de la synchronisation sur les performances

Comme prévu, la synchronisation réduit la linéarité mais augmente le rendement. Pour une puissance de sortie égale à 0.1W par exemple, la THD est dégradée de 5dB et le rendement est amélioré de 15%. La consommation statique est plus forte que prévue. Cela s'explique par la légère désynchronisation résiduelle entre les deux voies lorsque le signal d'entrée est nul. Dès que un signal est appliqué, cette consommation devient rapidement négligeable devant le courant délivré à la charge.

Le système de synchronisation pour boucle auto-oscillante à hystérésis fait l'objet d'un dépôt



de brevet en cours [81].

### 2.3.3.1.2 Signature CEM

Un second aspect, généralement présenté comme un bénéfice des systèmes auto-oscillants par rapport aux systèmes basés sur une MLI, est l'étalement du spectre du signal de sortie. Il faut différencier les émissions conduites des émissions rayonnées (voir figure 2.34).

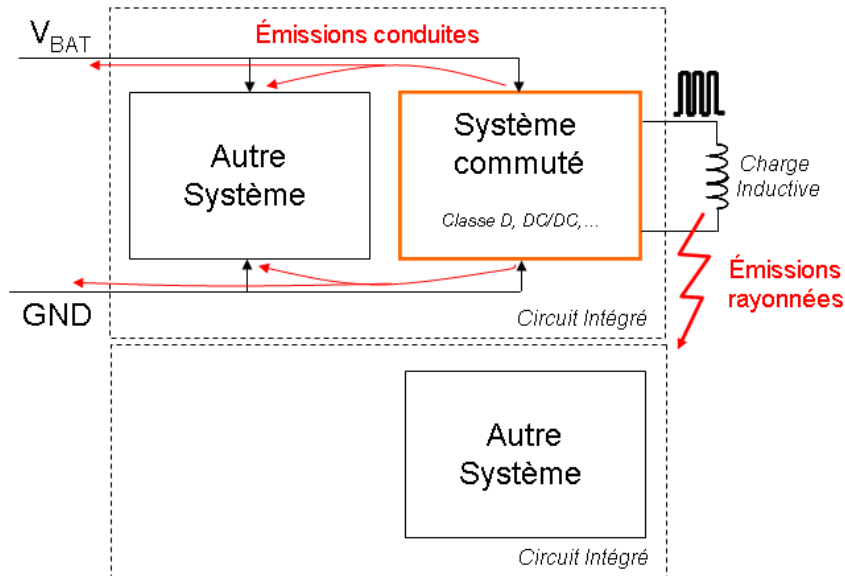


FIGURE 2.34 – Agressions conduites et rayonnées d'un système commuté dans son environnement

Dans les deux cas, l'amplificateur de classe D est un système agresseur pour son environnement. La figure 2.35 montre le spectre du signal de sortie pour différentes valeurs efficaces. Plus la profondeur de modulation est importante, plus l'excursion de la fréquence de commutation est grande et donc le spectre du signal de sortie s'étale vers les faibles fréquences. Dans cette figure, la fréquence de commutation au repos  $F_{s0}$  a été choisie maximale (soit 512kHz) pour bien visualiser l'étalement spectral.

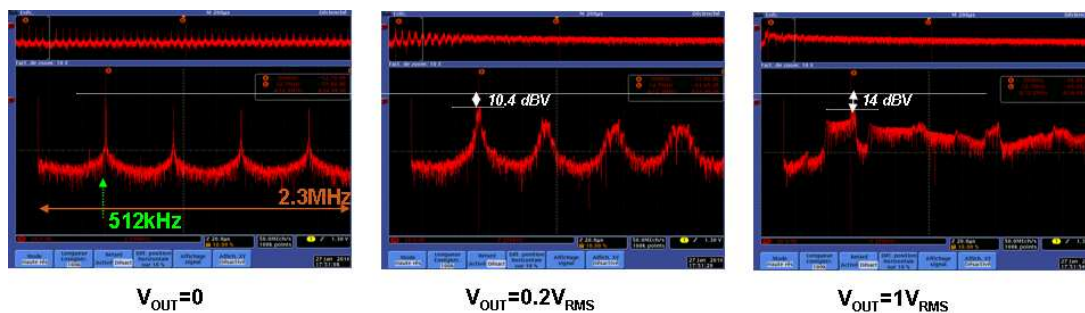


FIGURE 2.35 – Spectre du signal de sortie pour différentes amplitudes

La quantité d'énergie du signal de sortie est équivalente à une modulation MLI, mais la répartition spectrale de cette énergie est étalée. La mesure de l'amplitude de la composante radiale  $B_r$  du champ magnétique (figure 2.36) proche du circuit confirme cet étalement énergétique. Cette mesure a été réalisée en cage de Faraday, sous 4.8V d'alimentation, avec un signal pleine échelle (soit  $1.2V_{RMS}$  en sortie) dans  $8\Omega$ . En point de référence, une première mesure a été effectuée avec un circuit équivalent intégrant une MLI (carte de test, *package* TQFP44 du circuit, étage de puissance,... identiques). L'énergie rayonnée sous forme de champ magnétique est bien majoritairement localisée autour des harmoniques de la fréquence de MLI alors qu'elle est étalée pour un système auto-oscillant.

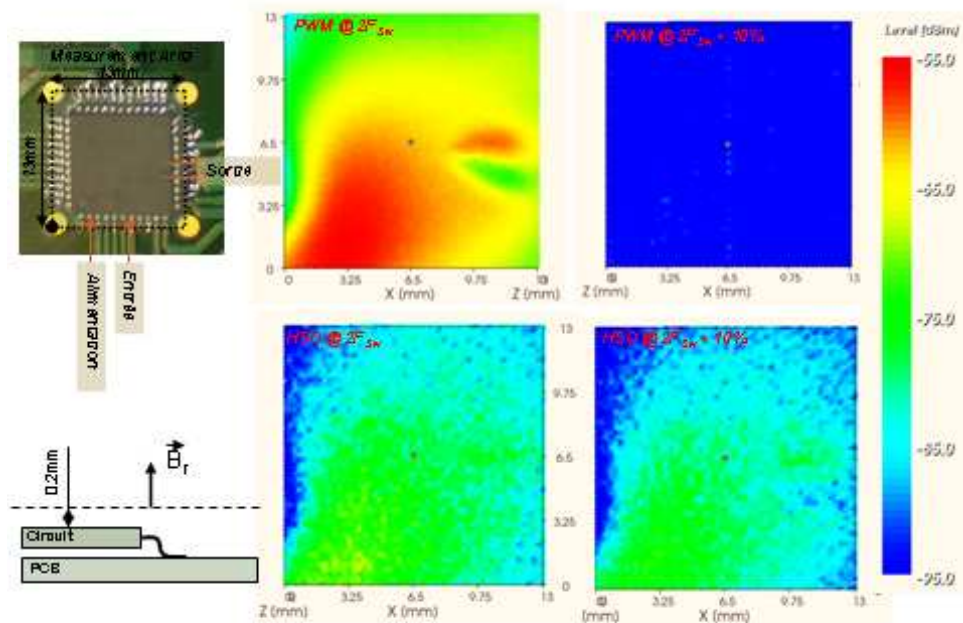


FIGURE 2.36 – Carte de champs magnétique radiale  $B_r$  proche

L'étude des émissions conduites a été également réalisée par comparaison avec un amplificateur de classe D basé sur une MLI. Des Réseaux Stabilisateurs d'Impédance de Ligne (RSIL<sup>13</sup>) ont été utilisés afin d'adapter les lignes d'alimentation à l'analyseur de spectre utilisé. Le principe de fonctionnement d'un RSIL ainsi que quelques précautions de mesures sont détaillés dans [86, 87].

13. LISN - Line Stabilisation Impedance Network en anglais

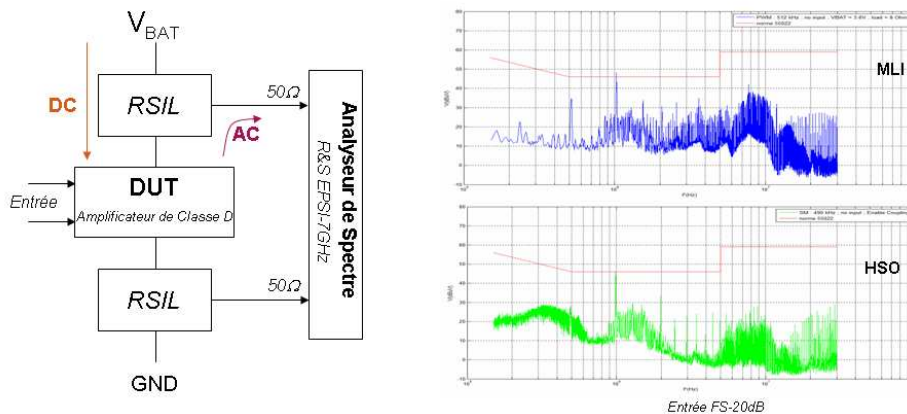


FIGURE 2.37 – Spectre des perturbations rejetées sur l'alimentation

Le bénéfice d'une modulation auto-oscillante d'un point de vue perturbation AC rejetée sur les lignes d'alimentation est relativement faible. La différence majeure entre une modulation MLI et HSO vient de l'absence de raie autour de  $F_{s0}$ , due à la consommation du générateur de référence dans le cas de la MLI.

### 2.3.3.2 Comparaison

Le tableau 2.3.3.2 compare les performances audio et électrique de l'amplificateur réalisé avec les solutions existantes (publications et commerciales). Il s'agit :

- du procédé de fabrication (majoritairement de type CMOS),
- de la surface réelle occupée par le circuit,
- de la linéarité (évalué par le paramètre  $THD$ , à  $1kHz$  pour  $P_{OUT} = 500mW$ ),
- de la consommation statique en charge,
- du rendement,
- du SNR.

Les champs notés *nr* signifient que la performance n'est pas renseignée. Il s'agit notamment du procédé de fabrication et de la surface du circuit dans le cas de produits industriels. Dans [40], la consommation statique est mesurée sans charge. Dans [54], la THD est évaluée à 80mW.

## 2.4 Conclusion

L'étude d'un amplificateur de classe D basé sur une modulation auto-oscillante a été détaillée dans ce chapitre. Le point de départ de la réflexion s'est situé sur la présence de limites intrinsèques liées à la modulation MLI. Pour s'affranchir des problèmes dûs à la présence du

	Procédé CMOS	Topologie	Surface ( $mm^2$ )	THD (%) @1kHz/500mW	$I_0$ (mA) $8\Omega$	Rendement (%) $0.1P_{MAX} - P_{MAX}$	SNR ( $dB_A$ )
Cette étude	130nm	HSO	0.45	0.02	3.9	70-87	97.5
[42] (2010)	250nm	PSSO	1.28	0.02	2.04	nr - 88	97
[88] (2010)	45nm	MLI	0.42	0.1	3	30 - 82	100
[40] (2004)	350nm	PSSO	1.2	0.025	1.3	65 - 90	95
[54] (2007)	500nm	HSO	1.31	0.05	nr	62 - 88	92
[60] (2005)	BCD	MLI	2	nr	5.8	nr	110
[89] (2009)	nr	MLI	nr	0.05	1.5	75 - 95	95
[90] (2007)	nr	$\Sigma\Delta$	nr	0.2	4.5	70 - 92	100

TABLE 2.6 – Table de comparaison du circuit réalisé

signal de référence, une approche auto oscillante à été proposée. Le comportement auto oscillatoire peut être obtenu de deux manières différentes (par déphasage ou pas hystérésis). Une analyse sur leur comportement dynamique a été menée et a permis de constater que le contrôle par hystérésis possédait une bande passante plus importante que son homologue à déphasage, à fréquence de commutation égale. De plus, l'ordre de la réjection des perturbations est également plus important à ordre de correcteur équivalent. La réalisation d'une modulation sur trois niveaux, pour améliorer le rendement à faible signal et réduire le contenu harmonique du signal de sortie, pose un problème de synchronisation entre les voies. Pour corriger cela, un réseau de synchronisation a été envisagé. Le circuit test réalisé en technologie CMOS 130nm a permis de valider les études théoriques menées sur la solution proposée notamment sur les aspects de la prédiction de la fréquence de commutation, sur l'efficacité du réseau de synchronisation et sur l'étalement du spectre hautes fréquences du signal de sortie. Les performances audio et électriques sont conformes au cahier des charges relatifs à la téléphonie mobile 1.8. Cependant le rendement global de la chaîne d'amplification reste limité par la nécessité d'un convertisseur N/A en amont de la solution proposée. Les chapitres suivants portent donc sur la possibilité de commander et de contrôler un amplificateur de classe D à entrée numérique.





# Chapitre 3

## Principe et analyse de la modulation numérique

R. C. F. M.  
E. Crippa

### Sommaire

3.1	Introduction . . . . .	105
3.2	Analyse de la Modulation par Largeur d'Impulsion Numérique (MLIN) .	106
3.3	Analyse du bruit de la MLIN . . . . .	119
3.4	Intégration de la chaîne de MLIN . . . . .	125
3.5	Utilisation d'un étage de puissance en boucle ouverte . . . . .	138
3.6	Conclusion . . . . .	140

### 3.1 Introduction

Ce chapitre décrit le principe de réalisation d'une Modulation par Largeur d'Impulsion Numérique (MLIN). Le schéma de principe d'un amplificateur de classe D numérique, défini dans le chapitre 1 à la section 1.5.2.2 est rappelé sur la figure 3.1.

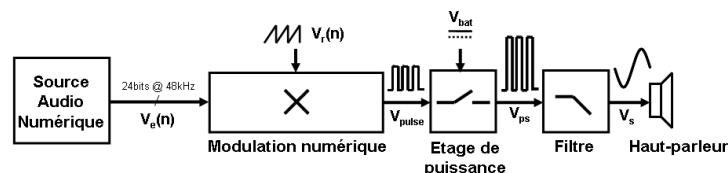


FIGURE 3.1 – Structure d'un amplificateur de classe D numérique

Ce chapitre est organisé de la manière suivante :

- Description et analyse du procédé de MLIN,

- Analyse du bruit de quantification du procédé,
- Réalisation d'une MLIN,
- Intégration d'un amplificateur de classe D à commande numérique en boucle ouverte.

## 3.2 Description et analyse de la Modulation par Largeur d'Impulsion Numérique (MLIN)

Dans cette section, le principe d'une MLI numérique ainsi que les effets de numérisation des différents signaux seront analysés et quantifiés.

### 3.2.1 Principe

Une modulation par largeur d'impulsion numérique peut être réalisée de manière semblable à une MLI analogique, c'est à dire par comparaison du signal à moduler avec un signal de référence de type dent de scie (voir figure 3.2). Le procédé sera dit naturel (NPWM) lorsqu'il est de nature analogique et uniforme (UPWM) lorsqu'il est de nature numérique. Ainsi, les différentes terminologies possibles dans la littérature pour nommer une MLI de nature numérique sont :

- MLIN : Modulation à Largeur d'Impulsion Numérique,
- UPWM : Uniform Pulse Width Modulation,
- DPWM : Digital Pulse Width Modulation.

Toutes les considérations exposées dans le chapitre 1.7 sur les avantages et inconvénients des différentes MLI restent valables quelque soit la nature du procédé de la MLI. La différence majeure qui existe entre les modulations MLI et MLIN est le fait que le signal à moduler  $V_{sig}$  est échantillonné à la fréquence  $F_s$ . La figure 3.2 illustre cette différence pour les signaux  $V_{sig}$ ,  $V_{sig1}$  et  $V_{sig3}$  avec  $V_{sig1}$  et  $V_{sig3}$  l'équivalent discret du signal  $V_{sig}$  respectivement échantillonné à  $F_s$  et  $3F_s$ . Dans chaque cas, le point d'intersection entre le signal à moduler et le signal de référence  $V_{ref}$  est différent. Les signaux issus des procédés de MLI et de MLIN  $V_{mli}$ ,  $V_{mli1}$  et  $V_{mli3}$  diffèrent donc les uns des autres. Plus la fréquence d'échantillonnage du signal  $V_{sig}$  est faible, plus l'erreur commise entre une MLIN et une MLI est importante.

Le train d'impulsion issu de la modulation MLIN est donc une reproduction imparfaite de la modulation MLI, qui introduit de la distorsion [91], analysée plus précisément dans les sections suivantes (3.2.4). Dans le cas d'une MLI analogique, le comparateur est un circuit analogique, alors que dans le cas de la MLIN, il sera de nature numérique, c'est à dire réalisé avec un

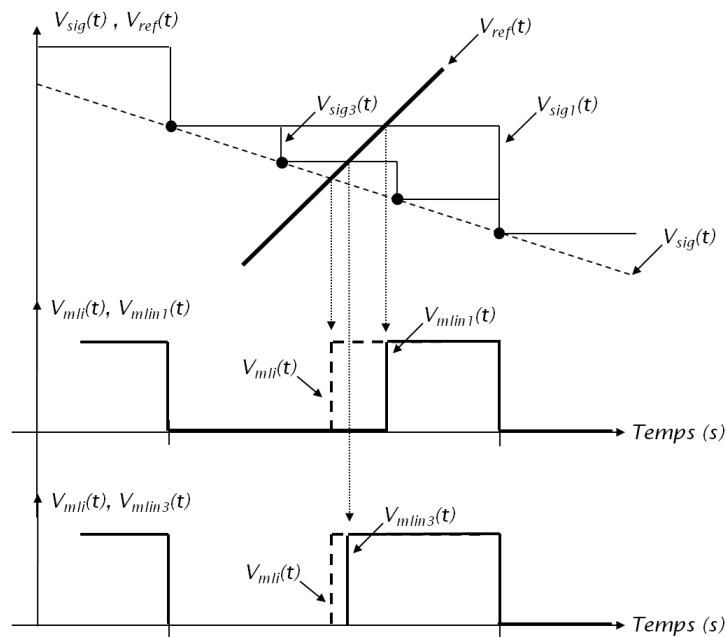


FIGURE 3.2 – Modulation naturelle et uniforme

ensemble de comparaisons bit à bit. Ainsi, si les signaux sont quantifiés sur  $n$  bits, alors la réalisation de cette comparaison nécessite  $2n$  portes logiques élémentaires.

### 3.2.2 Effet de la quantification du signal

La figure 3.2 a illustré le fait que le procédé de MLIN est une forme imparfaite de la MLI. Plus la période d'échantillonnage du signal à moduler est grande et moins l'erreur commise est importante. La figure 3.3 quantifie la linéarité du procédé de MLIN en fonction de la période d'échantillonnage du signal  $V_{sig}$ . Dans cette étude,  $V_{sig}$  représente un signal audio. Ainsi, la fréquence d'échantillonnage minimale est de  $F_s = 48kHz$ . La résolution du signal d'entrée est de  $n = 24$  bits. Dans la figure 3.3, l'axe des abscisses représentant la fréquence d'échantillonnage du signal à moduler n'est pas gradué en fonction de  $F_s$  mais de  $OSR * F_s$  avec  $OSR$  un rapport d'interpolation entier.

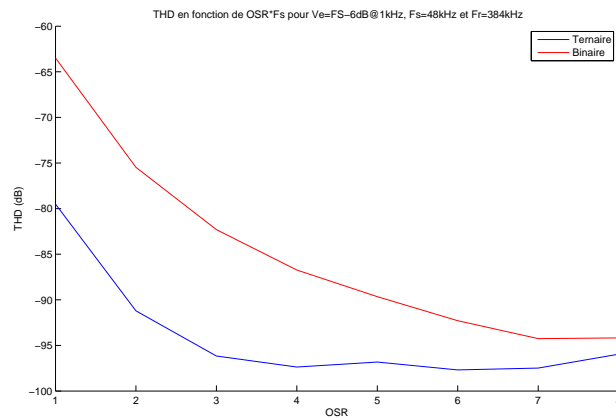


FIGURE 3.3 – Effet de l'échantillonnage sur la linéarité de la MLIN

Ainsi, en modulation ternaire, à partir de  $OSR = 4$ , soit  $OSR * F_s = 192kHz$ , le procédé de MLIN présente une linéarité inférieure aux autres sources de non linéarité (notamment les temps morts de l'étage de puissance, voir 1.5.1.6.1). Continuer à augmenter la fréquence d'échantillonnage du signal à moduler ne présente pas de gain en terme de linéarité du procédé, augmente la fréquence des commutations et donc diminue le rendement de l'amplificateur. Pour améliorer la linéarité dans une situation où l'opération de sur échantillonnage n'est pas réalisable, il est possible d'interpoler mathématiquement le point de croisement entre les signaux  $V_{ref}$  et  $V_{sig}$  afin de limiter l'erreur commise par le procédé de MLIN [78, 92].

### 3.2.3 Effet de l'échantillonnage du signal de référence $V_{ref}$

Les erreurs temporelles dues à la discrétisation du signal de référence  $V_{ref}$  sont négligeables devant celles dues à la discrétisation du signal  $V_{sig}$ . Pour la situation standard où la résolution de  $V_{sig}$  est de  $n = 24$  bits échantillonnés à  $F_s = 48kHz$ , alors l'erreur temporelle maximale  $\epsilon_{MAX}$  liée à la quantification de la rampe vaut :

$$\epsilon_{MAX} = \frac{T_s}{2^n} = \frac{1}{2^n F_s} = \frac{1}{2^{24} \times 48 \times 10^3} = 1.24ps$$

Cette valeur est bien inférieure à l'erreur temporelle due à l'échantillonnage de  $V_{sig}$ , et dans une moindre mesure, bien inférieure aux temps morts de l'étage de puissance. De plus, cette erreur temporelle est compensée d'une voie à l'autre en cas de modulation différentielle (que ce soit binaire ou ternaire).

### 3.2.4 Prédiction de la linéarité du procédé de MLIN

L'analyse en valeur moyenne menée dans la section 2.2.1.2 du chapitre précédent a montré que le procédé de modulation par largeur d'impulsion (analogique ou numérique) peut être considéré comme un simple gain (voir équation 2.5). Par contre, de manière instantanée, ce procédé est fortement non linéaire. Soit deux signaux  $a_1(t)$  et  $a_2(t)$  de type sinus de fréquence  $f$  et d'amplitude respective  $A_1$  et  $A_2$ . Les spectres de ces signaux, ainsi que celui du signal  $a_3(t) = a_1(t) + a_2(t)$  sont donnés sur la figure suivante :

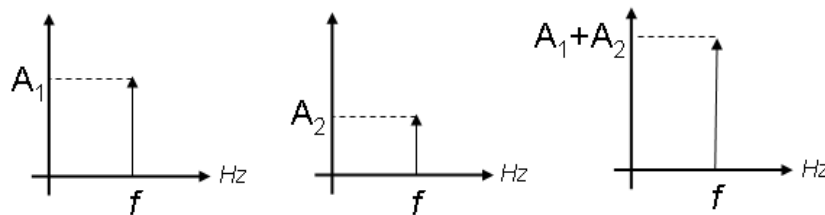


FIGURE 3.4 – Spectres des signaux  $a_1(t)$ ,  $a_2(t)$  et  $a_3(t)$

Les signaux  $b_1(t)$ ,  $b_2(t)$  et  $b_3(t)$  sont les images des signaux  $a_1(t)$ ,  $a_2(t)$  et  $a_3(t)$  par la fonction qui définit la MLI, notée  $f_{mli}$ , et qui associe au signal  $a_i$ , pendant un instant  $T$ , un signal  $b_i$  :

$$f_{mli} : a_i(t) \mapsto b_i(t) = f_{mli}(a_i, T)$$

Ainsi, la fonction  $b_3(t) = f_{mli}(a_3, T)$  est de la forme :

$$b_3(t) = \begin{cases} 1 & \text{pour } t \in \left\{ T - Tr; T - Tr + \frac{(A_1 + A_2)Tr}{V_r} \right\} \\ 0 & \text{pour } t \in \left\{ T - Tr + \frac{(A_1 + A_2)Tr}{V_r}; T \right\} \end{cases}$$

Où  $T$  représente le segment temporel pendant lequel est effectué la modulation<sup>1</sup> et  $Tr$ ,  $V_r$  représentent respectivement la période et l'amplitude du signal de référence. De même, les fonctions  $b_1(t)$  et  $b_2(t)$  sont :

$$b_1(t) = \begin{cases} 1 & \text{pour } t \in \left\{ T - Tr; T - Tr + \frac{A_1 Tr}{V_r} \right\} \\ 0 & \text{pour } t \in \left\{ T - Tr + \frac{A_1 Tr}{V_r}; T \right\} \end{cases}$$

$$b_2(t) = \begin{cases} 1 & \text{pour } t \in \left\{ T - Tr; T - Tr + \frac{A_2 Tr}{V_r} \right\} \\ 0 & \text{pour } t \in \left\{ T - Tr + \frac{A_2 Tr}{V_r}; T \right\} \end{cases}$$

1. et pendant lequel  $a_3(t)$  est supposée constante, soit  $a_3(t) = A_3$

La valeur moyenne de la fonction  $b_i(t)$  sur l'intervalle  $T_r$  est noté  $\bar{b}_i$ . En normalisant l'amplitude du signal de référence<sup>2</sup>, alors :

$$\begin{cases} \bar{b}_3 = \bar{b}_1 + \bar{b}_2 \\ b_3(t) \neq b_1(t) + b_2(t) \end{cases}$$

avec  $\bar{b}_i = A_i$  comme déjà démontré dans le chapitre 2. Le procédé de modulation par largeur d'impulsion est donc localement fortement non linéaire. La nature analogique du dit procédé permet, en moyennant son action, d'éliminer cette non linéarité. Par contre, ce comportement moyen n'a plus de sens si les signaux sont discrets, et notamment si la période de discrétisation du signal à moduler est grande devant la période du signal de référence. Le comportement observé sur la figure 3.3 est ainsi expliqué. Il est possible d'aller plus loin dans l'analyse de la MLIN. Le signal discret à moduler est noté  $x(j)$ , où  $x$  est un vecteur de valeur d'indice  $j$ <sup>3</sup>. Les fréquences d'échantillonnage du signal  $F_s$  et de la référence  $F_r$  sont choisies unitaires pour simplifier les expressions. Un modèle discret moyen conceptuel du procédé de MLIN, dit modèle de Hammerstein<sup>4</sup> [93, 94, 95], est :

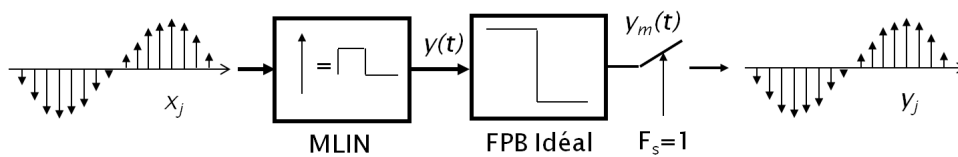


FIGURE 3.5 – Modèle de Hammerstein du procédé de MLIN

En sortie du bloc MLIN, le signal  $y(t)$ , correspondant à  $V_{mlin}(t)$ , est défini comme :

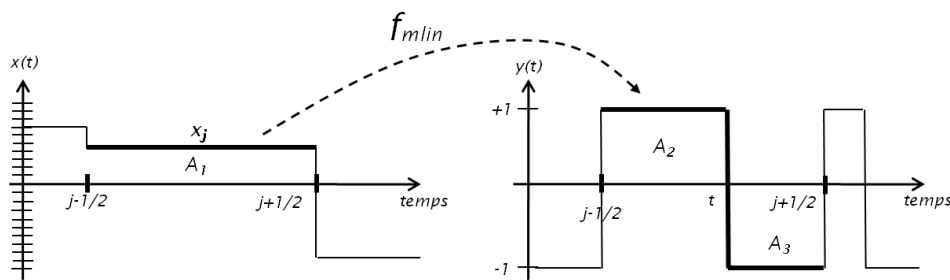
$$y(t) = f_{mlin}(x_j, t)$$

Où la fonction  $f_{mlin}$  associe à un signal  $x_j$  une porte comme définie précédemment et illustrée sur la figure 3.6.

2. c'est à dire  $V_r=1$

3. la valeur de  $x_j$  définit donc la fonction sur l'intervalle  $\{j - \frac{1}{2}; j + \frac{1}{2}\}$

4. L'approche de Hammerstein consiste à modéliser un procédé non linéaire comme un ensemble de gains non linéaires suivis de procédés linéaires


 FIGURE 3.6 – Fonctionnement de la fonction  $f_{mlin}$ 

L'instant  $t$  est défini de telle sorte que l'aire  $A_1$  soit égale à la somme algébrique des aires  $A_2$  et  $A_3$ . Ainsi :

$$A_1 = A_2 + A_3 \Leftrightarrow x_j \times \underbrace{\left( \left( j + \frac{1}{2} \right) - \left( j - \frac{1}{2} \right) \right)}_{A_1} = \underbrace{(+1) \times t}_{A_2} + \underbrace{(-1) \times (1 - t)}_{A_3} \Leftrightarrow t = \frac{x_j}{2}$$

En moyennant cette fonction par application d'un filtre passe bas idéal de fréquence de coupure demi-unitaire (correspondant donc à la fréquence de Nyquist, soit  $F_s/2$  si les calculs n'étaient pas normalisés) :

$$y_m(t) = f_{mlin}(x_j, t) * h(t) = \int_{-\infty}^{+\infty} f_{mlin}(x_j, \tau) h(t - \tau) d\tau$$

Par échantillonnage du signal  $y_m(t)$ , et en utilisant l'expression normalisée de la fonction  $f_{mlin}$ , la convolution devient :

$$y(k) = \sum_{j=-\infty}^{+\infty} \left( \int_{j-\frac{1}{2}}^{j+\frac{x_j}{2}} \underbrace{(+1)}_{f_{mlin}} h(k - \tau) d\tau + \int_{j+\frac{x_j}{2}}^{j+\frac{1}{2}} \underbrace{(-1)}_{f_{mlin}} h(k - \tau) d\tau \right)$$

Par changement de variables,

$$y(k) = \sum_{j=-\infty}^{+\infty} \left( \int_{-\frac{1}{2}}^{\frac{x_j}{2}} h(k - j - \tau) d\tau - \int_{\frac{x_j}{2}}^{\frac{1}{2}} h(k - j - \tau) d\tau \right)$$

En développant  $x_j$  en série de Taylor :

$$y(k) = \sum_{j=-\infty}^{+\infty} \left( \sum_{n=-\infty}^{+\infty} \frac{1}{n!} \left[ \frac{d^n}{dx_j^n} \left( \int_{-\frac{1}{2}}^{\frac{x_j}{2}} h(k - j - \tau) d\tau - \int_{\frac{x_j}{2}}^{\frac{1}{2}} h(k - j - \tau) d\tau \right) \right]_{x_j=0} \right)$$



Soit, avec la règle de Leibnitz<sup>5</sup>,

$$y(k) = \sum_{j=-\infty}^{+\infty} \left( \sum_{n=-\infty}^{+\infty} \frac{1}{n!} h^{(n-1)'}(k-j) \left(\frac{-1}{2}\right)^{n-1} x_j^n \right)$$

En développant les termes en  $n$  :

$$y(k) = x_k + \sum_{j=-\infty}^{+\infty} \frac{-1}{4} h'(k-j)x_j^2 + \sum_{j=-\infty}^{+\infty} \frac{1}{24} h''(k-j)x_j^3 + \dots$$

Enf  $n$ , en faisant apparaître les convolutions :

$$y_k = x_k + \underbrace{\frac{-1}{4} h'(k) * x_k^2}_{H_2} + \underbrace{\frac{1}{24} h''(k) * x_k^3}_{H_3} + \dots + \underbrace{\left(\frac{-1}{n!}\right) \left(\frac{-1}{2}\right)^{n-1} h^n(k) * x_k^n}_{H_n} \quad (3.1)$$

Dans la relation 3.1, les termes dus aux non linéarités du procédé de MLIN apparaissent clairement. Cette relation permet donc de prédire la distorsion d'une MLIN. Il est alors possible de réaliser une pré-correction en ajoutant en amont du procédé les termes opposés à  $H_n$  afin d'annuler tous les termes non voulus et ainsi obtenir  $y_k = x_k$  comme illustrée sur la figure 3.7 :

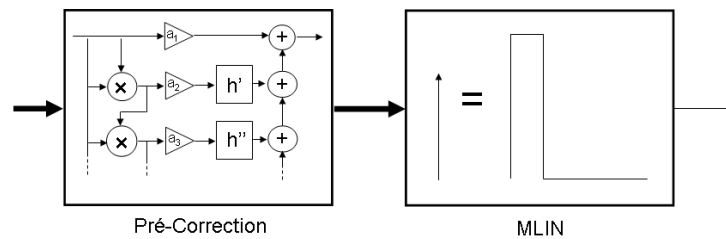


FIGURE 3.7 – Principe de correction prédictive d'une MLIN

Le coefficient  $a_n$  correspondant à la correction du terme d'ordre  $n$  est défini d'après la relation 3.1 :

$$a_n = -\frac{1}{n!} \left(\frac{-1}{2}\right)^{n-1}$$

Les figures 3.8(a), 3.8(b), 3.8(c) et 3.8(d) montrent respectivement les spectres des signaux en sortie d'une MLI, d'une MLIN, d'une MLIN avec correction de  $H_2$  et d'une MLIN avec correction de  $H_2$  et  $H_3$ . Ces figures ont été obtenues avec un signal d'entrée sinusoïdal de fréquence égale à  $1kHz$ , échantillonné sur 24 bits à  $48kHz$  et avec un signal de référence de type simple rampe à  $384kHz$ . Le contenu haute fréquence des signaux de sortie a été filtré pour une meilleure lisibilité.

5. Pour  $x \in \{x_0; x_1\}$ ,  $\frac{d}{dx} \int_{y_0}^{y_1} f(x, y) dy = \int_{y_0}^{y_1} \frac{\partial f}{\partial x}(x, y) dy$  si  $f$  et  $\frac{\partial f}{\partial x}$  sont toutes deux continues sur  $\{[x_0; x_1] \times [y_0; y_1]\}$

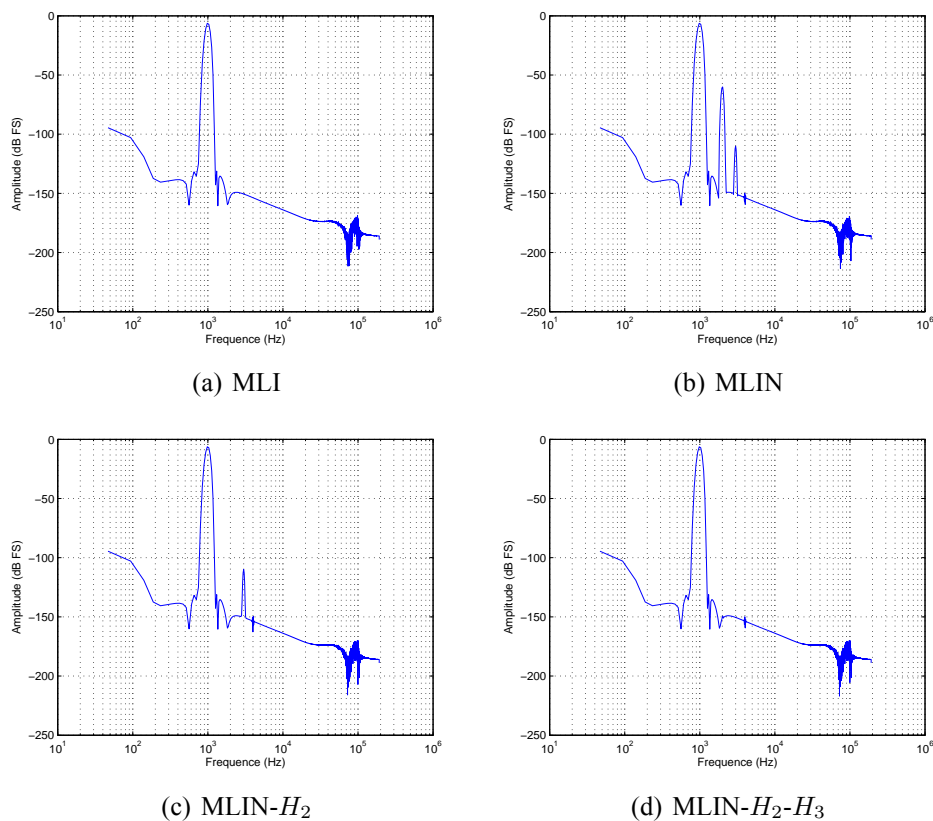


FIGURE 3.8 – Spectres des signaux de sortie d'une MLI et d'une MLIN avec et sans correction

Ce type de correction est indispensable lorsque la fréquence d'échantillonnage du signal à moduler est inférieure à quelques centaines de kHz. Elle est utilisée dans la gamme d'amplificateurs numériques de Texas Instrument *PurePath<sup>TM</sup>* [96, 97], et dans quelques publications récentes proposant des amplificateurs de classe D à commande numérique [70]. Une autre approche pour améliorer la linéarité du procédé de MLIN consiste en l'interpolation du signal entre deux échantillons successifs. Cette interpolation peut être réalisée de différentes manières (linéaire, polynomiale d'ordre plus ou moins élevé de type Lagrange, etc...). Cette approche, notamment utilisée dans [98, 99, 100, 101] nécessite une forte capacité de calcul numérique par rapport à la méthode de pré-correction présentée dans ce manuscrit.

### 3.2.5 Réalisation d'une MLIN

La réalisation pratique d'une MLIN nécessite la génération d'un signal de référence de type dent de scie discrète. Il existe deux approches possibles pour parvenir à ce résultat :

- les réalisations basées sur un compteur  $n$  bits [102]
- les réalisations basées sur une ligne de délais [103]

Dans le premiers cas, un compteur  $n$  bits, cadencé à  $F_{mli}$ , compte un par un les pas de discrétisation pendant chaque période d'échantillonnage  $1/F_e$  du signal d'entrée  $V_e$ . Lorsque le compteur atteint son maximum, il se met à zéro automatiquement et redémarre une séquence.

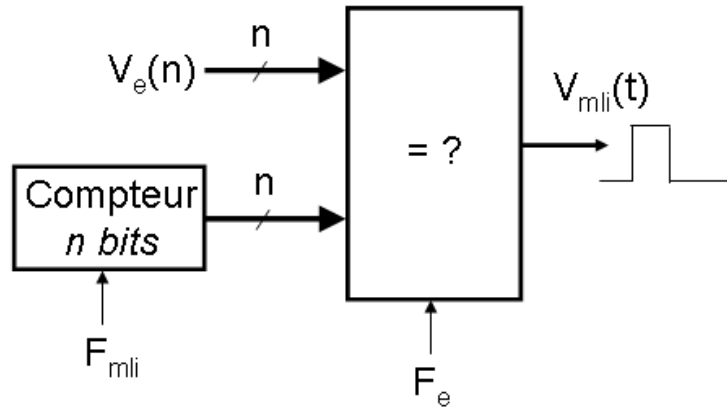


FIGURE 3.9 – MLIN basée sur un compteur

La réalisation de cette solution est peu complexe. Il suffit de  $n$  bascules D pour réaliser le compteur et de  $2n$  portes logiques OU exclusive (XOR) pour réaliser le bloc de combinatoire. La résolution  $n$  du signal d'entrée  $V_e$  et sa période d'échantillonnage  $F_e$  imposent la valeur de la fréquence du compteur :

$$F_{mli} = 2^n F_e \tag{3.2}$$

Dans le cas d'un signal audio de norme Hi-Fi, comme dans la téléphonie mobile par exemple, le signal  $V_e$  est codé sur 24 bits à  $48kHz$ . La fréquence nécessaire à l'implémentation d'une MLIN basée sur un compteur est donc égale à  $2^{24} \times 48kHz = 805.3GHz$ .

La seconde approche possible pour réaliser une MLIN est l'utilisation d'une ligne de délais comme illustré sur la figure 3.10.

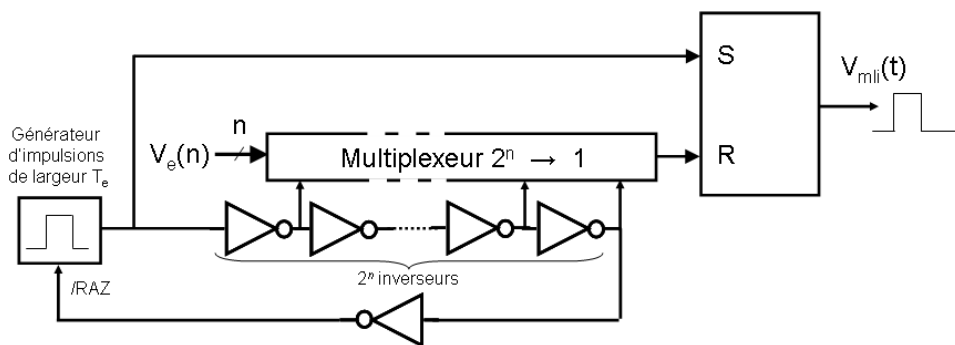


FIGURE 3.10 – MLIN basée sur une ligne de délais

Dans les conditions précédentes, chaque porte logique inverseuse réalisant la ligne doit avoir un délai de propagation  $t_d$  égal à :

$$t_d = \frac{T_e}{2^n} = 1.24ps$$

En l'état, cette approche requiert  $2^n + 1$  portes logiques inverseuses de base pour la ligne de délais, un générateur d'impulsion, un multiplexeur et une bascule RS. Ainsi, cette solution est plus coûteuse que l'approche basée sur un compteur. De plus, il est pratiquement impossible de réaliser une ligne de délais où toutes les portes logiques ont des délais égaux entre eux. Ainsi, cette ligne de délais devra être programmable et incluse dans une DLL (Delay Lock Loop - Boucle à verrouillage de délais, équivalent discret d'une boucle à verrouillage de phase). L'architecture d'une porte inverseuse de base à délai programmable est donnée figure 3.11. Si  $\Delta t$  est le délai de base d'une porte NAND, alors cette structure permet de générer un délai compris entre  $\Delta t$  et  $m\Delta t$ . Le choix de la valeur du délai se fait par un code thermométrique au niveaux des  $m$  entrées de sélection  $a_1$ - $a_m$ .

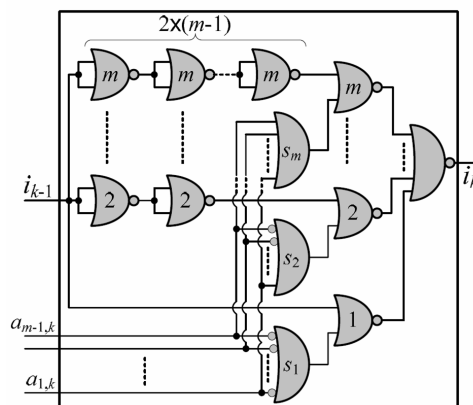


FIGURE 3.11 – Cellule de délai programmable

Il est possible de mélanger les deux approches précédentes en utilisant une solution hybride [104, 105]. L'idée consiste à générer via un compteur une impulsion pour les  $m$  bits de poids le plus fort (MSB pour Most Significant Bit en anglais) puis d'utiliser une ligne de délais pour retarder la dite impulsion. Ce principe est illustré sur la figure 3.12.

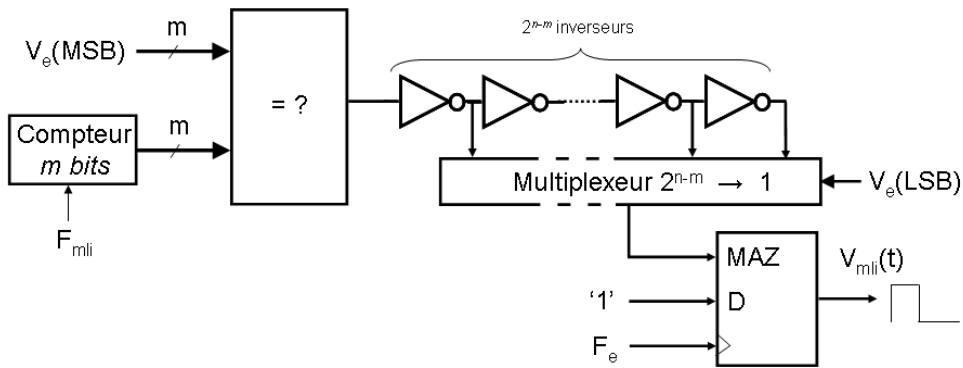


FIGURE 3.12 – MLIN basée sur une approche hybride

Dans une application téléphonique mobile, l'horloge de plus haute fréquence disponible est de  $f_{MCLK} = 38.4MHz$ . Le nombre de bits maximal  $m$  codable par une approche compteur est alors<sup>6</sup> :

$$m = E \left( \frac{\log \left( \frac{F_{MCLK}}{F_e} \right)}{\log(2)} \right) = 9$$

Sans tenir compte de la ligne de délais, cette résolution correspondrait à un signal de SNR égal environ à 55dB. Les  $n - m = 15$  bits de résolution restants nécessitent alors la construction d'une ligne de délais dont le délai élémentaire  $t_d$  vaut :

$$t_d = \frac{\frac{1}{F_e} - 2^m \frac{1}{F_{MCLK}}}{2^{n-m}} = 0.23ns$$

En résumé, pour les technologies CMOS actuelles, il n'est pas possible d'avoir :

- une fréquence d'horloge égale à  $f = 805GHz$  comme le requiert une MLIN basée sur compteur,
- une porte logique programmable avec  $t_d = 1.24ps$  comme le requiert une MLIN basée sur une ligne de délais,
- une porte logique programmable avec  $t_d = 0.23ns$  comme le requiert une MLIN hybride.

Les MLIN hybrides sont couramment utilisées dans les convertisseurs DC/DC numériques, car la résolution des signaux est bien plus faible que celle d'un signal audio. Ainsi, la réalisation directe d'une MLIN est impossible dans le cadre d'une application audio sans dégrader la qualité (le SNR) des signaux.

Pour sa facilité d'intégration, l'approche basée sur un compteur est privilégiée dans la construction du modulateur numérique. Afin de la rendre réalisable, la valeur de  $F_{mli}$  doit être fortement diminuée pour devenir inférieure à  $f_{MCLK} = 38.4MHz$ . La relation 3.2 permet de

6.  $E(x)$  représente la fonction Partie Entière Inférieure

constater que  $F_{mli}$  est proportionnelle à  $F_e$  et à  $2^n$ . La réduction de  $f_{MLIN}$  ne peut passer que par la réduction de la résolution du signal d'entrée vu que  $F_e = 48kHz$  est minimaliste et égale au critère de Shannon pour un signal audio. Cependant cette diminution de résolution  $n$  va augmenter le niveau de bruit de quantification. Une solution consiste alors à mettre en forme ce bruit afin de le repousser hors de la bande utile (ici la bande audio). Pour cela, l'étape de troncature du signal  $V_e$ , permettant la réduction de sa résolution, va être insérée dans une boucle de mise en forme du bruit de quantification comme illustré sur la figure 3.13.

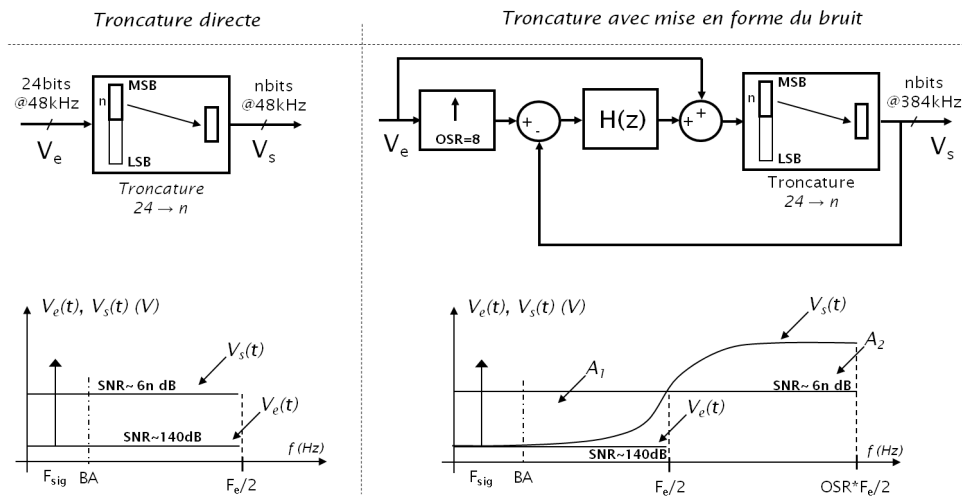


FIGURE 3.13 – Mise en forme du bruit de quantification

Il s'agit d'une structure  $\Sigma\Delta$  requérant donc une étape d'interpolation en amont afin d'augmenter la fréquence d'échantillonnage du signal. D'après le théorème de *Gerzon-Craven*<sup>7</sup>, l'augmentation de puissance moyenne de bruit entre  $F_e/2$  et  $OSR * F_e/2$  par rapport au spectre sans mise en forme de bruit (représentée par la surface  $A_2$  sur la figure 3.13) est supérieure ou égale à la réduction de puissance moyenne de bruit entre 0 et  $F_e/2$  (représentée par la surface  $A_1$  sur la figure 3.13) [31, 106]. L'égalité entre  $A_1$  et  $A_2$  sera assurée si le filtre de boucle  $H(z)$  est à phase minimale. Avec cette approche, un compteur réalisant une MLIN, pour  $OSR = 8$  et  $m = 5$  par exemple, devra être cadencé à :

$$F_{mli} = 2^n F_e \Rightarrow F_{mli} = 2^m OSR \times F_e = 12.288MHz \quad (3.3)$$

Cette fréquence d'horloge est inférieure à  $f_{MCLK} = 38.4MHz$  et rend donc réalisable la MLIN pour l'application téléphonie en s'affranchissant d'une boucle à verrouillage de phase numérique générant une horloge de fréquence plus élevée. La linéarité de la MLIN est fortement

7. Couramment appelé *Noise Shaping Theorem* en anglais et dans la littérature, il s'agit en fait d'une déduction directe du théorème de Parseval

améliorée par le sur-échantillonnage, de telle sorte qu'une pré-correction n'est plus nécessaire. L'architecture finale du modulateur numérique est donc représentée sur la figure 3.14. Elle comprend une interpolation par un  $OSR = 8$ , une mise en forme du bruit de quantification basée sur un modulateur  $\Sigma\Delta$  du 4<sup>ème</sup> ordre avec une résolution en sortie de 5 bits, puis une MLIN différentielle basée sur un compteur 5 bits. Le choix de ces paramètres résulte de l'étude des différentes solutions possibles en tenant compte des considérations suivantes :

- Sur-échantillonnage  $OSR$  multiple de deux, le plus grand possible, tout en maintenant  $2^m \times OSR \times F_S$  inférieur à  $F_{MCLK}$ ,
- Ordre  $k$  le plus faible possible,
- Résolution  $m$  comprise entre 1 et 6 bits, tout en maintenant également  $2^m \times OSR \times F_S$  inférieur à  $F_{MCLK}$ .

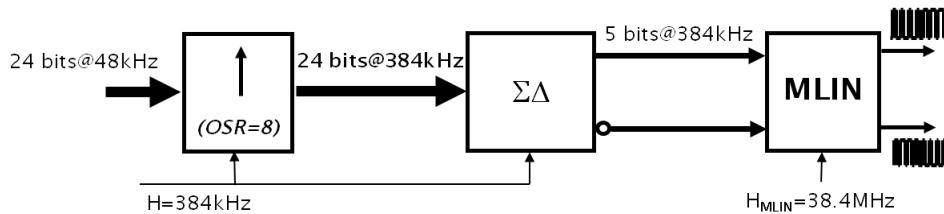


FIGURE 3.14 – Architecture du modulateur numérique

La réalisation des blocs d'interpolation, de mise en forme du bruit et de MLIN sera détaillée dans la section 3.4. Si l'horloge de la MLIN,  $H_{mlin}$ , est différente de l'horloge idéale,  $H_{id}$  prédite par la relation 3.3, alors la MLIN aura du gain d'un point de vue signal. Dans le cas de la figure 3.14,  $H_{mlin} = 38.4 MHz$  alors que  $H_{id} = 24.576 MHz$ . L'amplitude du signal de dent de scie numérique sera donc supérieure à l'amplitude maximale du signal. Le nombre théorique de niveaux balayés par le compteur est donc supérieur au nombre de niveaux possibles du signal à moduler. Le signal de MLIN en sortie de procédé ne pourra ainsi jamais être maximal, même si le signal à moduler est maximal. Dans ce cas, la MLIN présente donc un gain inférieur à 1. Ce gain  $G_{mlin}$  s'exprime comme le rapport entre le nombre de niveaux du signal,  $n_{sig}$ , sur le nombre de niveaux de la référence,  $n_{ref}$ , et est donc directement défini par les paramètres du modulateur numérique par la relation :

$$G_{mlin} = \frac{n_{sig}}{n_{ref}} = \frac{2^m OSR \times F_e}{F_{MCLK}} = \frac{2^5 \times 8 \times 48 \times 10^3}{38.4 \times 10^6} = 0.32 \approx -10dB \quad (3.4)$$

Il faudra tenir compte de ce gain lors de l'évaluation du gain de la chaîne totale de reproduction sonore (comme par exemple dans un réglage de volume ou tout autre procédé visant à modifier l'amplitude du signal audio de sortie).

### 3.3 Etude du bruit de quantification d'une MLIN

Cette section a pour but d'établir les expressions globales du SNR pour différentes approches de discrétisation. Le SNR dépend du niveau de bruit de quantification en bande utile, soit ici en bande audio. Afin de concevoir correctement les étapes d'interpolation et de mise en forme du bruit de quantification de la MLIN proposée à la section précédente, la prédiction du SNR de ces étapes est indispensable.

#### 3.3.1 Définition du bruit de quantification

Le bruit de quantification  $V_\epsilon$  est le facteur qui limite la précision des échantillons numériques. Celle-ci est définie par le rapport signal sur bruit (*SNR : Signal to Noise Ratio*) par la relation :

$$SNR_{dB} = 10 \log\left(\frac{P(V_{in})}{P(V_\epsilon)}\right) \quad (3.5)$$

où  $P(V_X)$  est la puissance moyenne du signal  $V_X$ .

##### 3.3.1.1 Bruit de quantification

Le bruit de quantification est assimilable à un bruit blanc, de moyenne nulle, d'égale probabilité dans l'intervalle  $[-q/2; q/2]$  où  $q$  est l'intervalle de quantification. La densité de probabilité  $F_q$  est :

$$F_q = \frac{1}{q} \times 1_{[-\frac{q}{2}; \frac{q}{2}]} \quad (3.6)$$

La puissance moyenne du bruit de quantification vaut donc :

$$P(V_\epsilon) = \int_{-\infty}^{\infty} x^2 f_q(x) dx \quad (3.7)$$

$$= \frac{1}{q} \int_{-\frac{q}{2}}^{\frac{q}{2}} x^2 dx \quad (3.8)$$

$$= \frac{q^2}{12} \quad (3.9)$$

##### 3.3.1.2 Signal utile

Un signal  $V_{in}$ , centré, d'écart type  $\sigma_{in}$  a une puissance moyenne de :

$$P(V_{in}) = \sigma_{in}^2 \quad (3.10)$$



En injectant les expressions 3.10 et 3.9 dans l'expression générale du SNR, la relation 3.5 devient alors :

$$SNR_{dB} = 10 \log\left(\frac{12 * \sigma_{in}^2}{q^2}\right) \quad (3.11)$$

Cette relation générale peut être appliquée à un signal analogique sinusoïdal pur d'amplitude  $A$  et de fréquence  $f : V_{in} = A \cdot \sin(2\pi ft)$ . Pour que la conversion n'apporte pas de gain (ni d'atténuation), l'amplitude  $A$  du signal, le quantum de quantification  $q$  et le nombre de bits  $N$  de la quantification doivent être liés par la relation suivante :

$$q = \frac{2A}{2^N - 1} \quad (3.12)$$

La puissance moyenne du signal devient alors :

$$P(V_{in}) = \frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} V_{in}^2(t) dt \quad (3.13)$$

$$= \frac{A^2}{2} \quad (3.14)$$

$$= \frac{(2^N - 1)^2 \cdot q^2}{8} \quad (3.15)$$

L'expression du SNR devient alors :

$$SNR_{dB} = 10 \log\left(\frac{(2^N - 1)^2 \cdot q^2}{8} \cdot \frac{12}{q^2}\right) \quad (3.16)$$

$$= N * 20 \log(2) + 10 \log\left(\frac{12}{8}\right) \quad (3.17)$$

$$= 6.02 * N + 1.76 \quad (3.18)$$

La relation 3.18 est communément retenue pour quantifier la précision d'une étape de quantification. Ainsi, un bit de précision supplémentaire augmente le SNR de 6dB.

### 3.3.2 SNR et sur-échantillonnage

Le bruit de quantification est un bruit blanc sur la bande  $[-F_e/2; F_e/2]$  et de puissance  $\frac{q^2}{12}$ . Cette puissance étant indépendante de la fréquence d'échantillonnage, la densité spectrale de bruit varie donc de manière inversement proportionnelle à la fréquence d'échantillonnage comme l'illustre la figure 3.15. Le rapport entre la fréquence d'échantillonnage utilisée et la fréquence d'échantillonnage minimale  $F_e$  (définie par le critère de *Nyquist Shannon*) est appelé *OSR (Over Sampling Ratio)*.

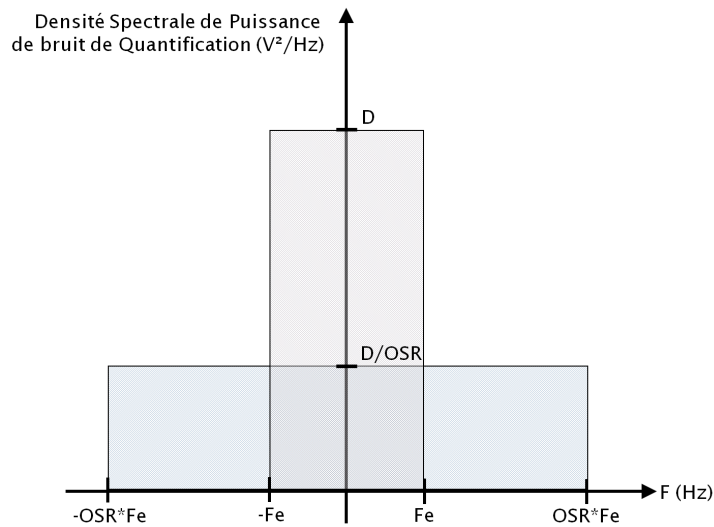


FIGURE 3.15 – Densité spectrale de bruit de quantification à  $F_e$  et  $OSR \cdot F_e$

Ainsi, par restriction du calcul du SNR à la bande utile du signal<sup>8</sup>, la puissance de bruit est réduite d'autant que la fréquence est augmentée. L'expression du SNR devient alors :

$$SNR_{dB} = 10 \log\left(\frac{P(V_{in})}{P_{utile}(V_\epsilon)}\right) = 10 \log\left(\frac{P(V_{in}) * OSR}{P_{total\epsilon}(V_\epsilon)}\right) = 6.02 * N + 1.76 + 10 \log(OSR) \quad (3.19)$$

Doubler la fréquence d'échantillonnage permet donc d'augmenter le SNR de 3dB.

### 3.3.3 SNR et modulation $\Sigma\Delta$

La technique de sur-échantillonnage est cependant vite limitée car la fréquence d'échantillonnage ne peut être augmentée indéfiniment. De même, l'augmentation du nombre de bits  $N$  est aussi rapidement limitée par les contraintes de réalisations. Pour obtenir une meilleure précision, il faut alors changer d'approche et chercher à mettre en forme le bruit afin de réduire son énergie en bande utile. C'est le principe de la modulation  $\Sigma\Delta$  dont le schéma général est donné figure 3.16.

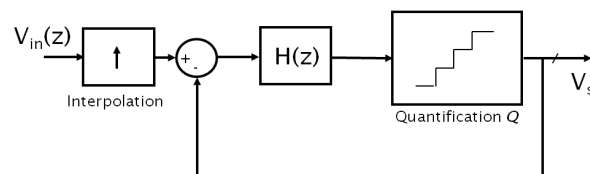


FIGURE 3.16 – Principe d'un modulateur  $\Sigma\Delta$

De manière générale, les modulateurs  $\Sigma\Delta$  se caractérisent par :

8. Pour les applications audio, la bande utile du signal est [20Hz-20kHz]

- Un sur-échantillonnage du signal d'entrée (caractéristique limitante sur  $F_{e_{max}}$ ),
- Un modulateur avec une sortie sur un faible nombre de bits, à fréquence élevée, suivi éventuellement par des filtres décimateurs avec une sortie sur un grand nombre de bits à la fréquence de Nyquist Shannon,
- Une mise en forme du bruit de quantification : le bruit est repoussé hors de la bande utile,
- Une conversion continue du signal d'entrée : adaptée au domaine de l'audio, de la vidéo et de l'instrumentation.

### 3.3.3.1 Cas du modulateur d'ordre 1

Les schémas de telles structures sont donnés figures 3.17(a) et 3.17(b). Le modulateur est constitué d'un intégrateur et d'un quantificateur (pour un système de résolution égale à un, un simple comparateur suffit). Le bruit de quantification  $E(z)$  apporté par le quantificateur  $Q$  se trouvant dans la chaîne directe, il est mis en forme par la boucle.

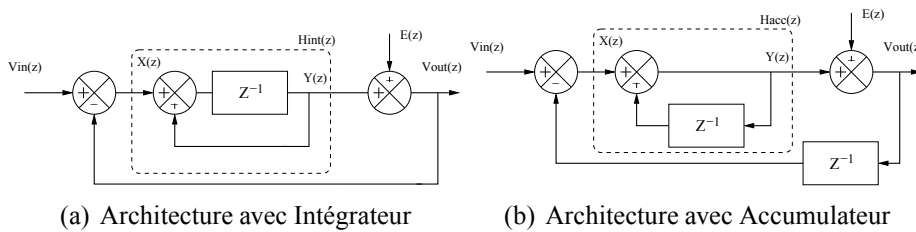


FIGURE 3.17 – Modulateur  $\Sigma\Delta$  d'ordre 1

Avec,

$$H_{INT}(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (3.20)$$

$$H_{ACC}(z) = \frac{1}{1 - z^{-1}} \quad (3.21)$$

$$(3.22)$$

Puis, pour la structure avec intégrateur,

$$V_{out}(z) = E(z) + (V_{in}(z) - V_{out}(z)) \frac{z^{-1}}{1 - z^{-1}} \quad (3.23)$$

$$= \underbrace{z^{-1}}_{STF} V_{in}(z) + \underbrace{(1 - z^{-1})}_{NTF} E(z) \quad (3.24)$$

Le signal de sortie est donc la somme du signal d'entrée retardé d'une période d'échantillonnage et du bruit de quantification mis en forme par  $NTF(z)$  (*Noise Transfer Function*).

Par contre, pour la structure avec accumulateur,

$$V_{out}(z) = E(z) + (V_{in}(z) - z^{-1} * V_{out}(z)) \frac{1}{1 - z^{-1}} \quad (3.25)$$

$$= \underbrace{1}_{STF} V_{in}(z) + \underbrace{(1 - z^{-1})}_{NTF} E(z) \quad (3.26)$$

La mise en forme du bruit est identique dans les deux cas. Par contre, la structure avec accumulateur ne présente pas de retard d'un échantillon en sortie. En effet, le retard nécessaire pour le comportement intégrateur se trouve dans la boucle de retour.

Dans les deux cas, on a :

$$NTF(z) = 1 - z^{-1} \Rightarrow NTF(f) = 1 - e^{(-\frac{2i\pi f}{f_e})} \quad (3.27)$$

Ainsi, pour un bruit de quantification blanc normalisé (c'est à dire  $E(f) = 1$ ), le bruit en sortie du modulateur a pour expression  $NTF(f)$ . La figure 3.18 montre l'évolution de la  $NTF$  pour  $E(f) = 1$ . Le bruit est effectivement mis en forme de telle sorte qu'en bande utile, le SNR augmente. Le bruit  $N(z)$  en sortie s'exprime alors :

$$N(z) = E(z) * NTF(z) = (1 - z^{-1}) \times E(z) \Rightarrow |N(f)| = 2E(f) \left| \sin \left( \frac{\pi f}{f_e} \right) \right| \quad (3.28)$$

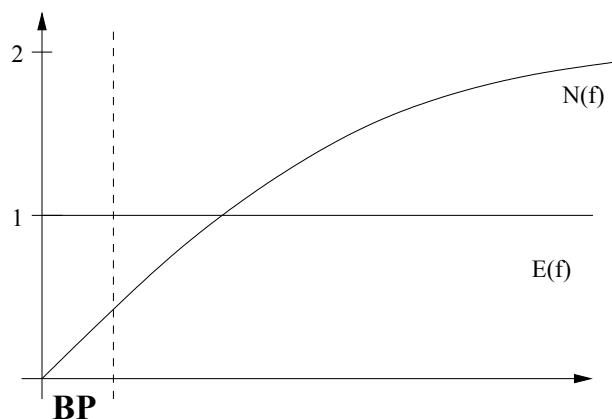


FIGURE 3.18 – Evolution normalisée de la NTF d'un modulateur  $\Sigma\Delta$  d'ordre 1

La puissance moyenne du bruit devient :

$$P(V_\epsilon) = \int_{-\frac{f_{nyq}}{2}}^{\frac{f_{nyq}}{2}} |N(f)| df \quad (3.29)$$

$$= E(f) \int_{-\frac{f_{nyq}}{2}}^{\frac{f_{nyq}}{2}} |NTF(f)| df \quad (3.30)$$

$$= \frac{q^2}{12} \frac{3}{f_e} \int_{-\frac{f_{nyq}}{2}}^{\frac{f_{nyq}}{2}} \sin^2 \left( \frac{\pi f}{f_e} \right) df \quad (3.31)$$

$$= \frac{q^2}{12} \frac{\pi^2}{3} \left( \frac{1}{OSR} \right)^3 \quad (3.32)$$

D'où l'expression du SNR :

$$SNR_{dB} = 10 \log \left( \frac{3}{2} (2^N - 1)^2 \frac{3}{\pi^2} OSR^3 \right) \quad (3.33)$$

$$= 1.76 + 6.02 * N - 5.17 + 30 \log(OSR) \quad (3.34)$$

### 3.3.3.2 Cas du modulateur d'ordre 2

La chaîne directe est cette fois constituée de deux intégrateurs (ici, deux accumulateurs) comme l'illustre la figure 3.19. Dans ce cas, on a :

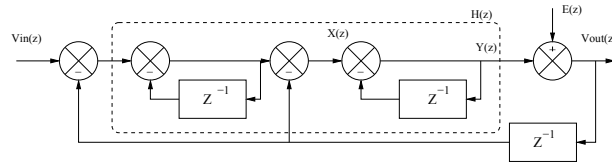


FIGURE 3.19 – Schéma du modulateur  $\Sigma\Delta$  d'ordre 2

$$H(z) = \frac{1}{(1 - z^{-1})^2} \quad (3.35)$$

D'où,

$$V_{out}(z) = V_{in}(z)z^{-1} + E(z)(1 - z^{-1})^2$$

$$\Rightarrow |N(f)|^2 = 4E^2(f) \left[ \sin \left( \frac{\pi f}{f_e} \right) \right]^4$$

$$\begin{aligned} \Rightarrow SNR_{dB} &= 10 \log \left( \frac{3}{2} (2^N - 1)^2 \frac{5}{\pi^4} OSR^5 \right) \\ &= 1.76 + 6.02 * N - 12.9 + 50 \log(OSR) \end{aligned}$$

### 3.3.3.3 Cas du modulateur d'ordre $k$

Dans le cas d'un modulateur  $\Sigma\Delta$  d'ordre  $k$  (c'est à dire comportant  $k$  intégrateurs) :

$$H(z) = \frac{1}{(1 - z^{-1})^k} \quad (3.36)$$

D'où,

$$\begin{aligned}
 V_{out}(z) &= V_{in}(z)z^{-1} + E(z)(1 - z^{-1})^k \\
 \Rightarrow |N(f)|^2 &= 4E^2(f) \left[ \sin\left(\frac{\pi f}{f_e}\right) \right]^{2k} \\
 \Rightarrow SNR_{dB} &= 10 \log\left(\frac{3}{2}(2^N - 1)^2 \frac{2k+1}{\pi^{2k}} OSR^{2k+1}\right) \\
 &= 1.76 + 6.02 * N + 10 \log\left(\frac{2k+1}{\pi^{2k}}\right) + 10(2k + 1) \log(OSR)
 \end{aligned} \tag{3.37}$$

Pratiquement, l'augmentation de l'ordre du modulateur  $\Sigma\Delta$  pose rapidement des problèmes de stabilité dès que  $k > 2$ . Afin d'obtenir le SNR désiré, la conception de telles structures doit être réalisée en trouvant le meilleur compromis entre OSR, ordre et résolution. Il existe d'autres architectures (MASH, parallèle, etc...) permettant d'augmenter l'ordre en limitant les contraintes sur la stabilité.

### 3.3.4 Modulation par Densité d'Impulsion Numérique (MDIN)

Le but d'un modulateur numérique est d'obtenir un train d'impulsions hautes fréquences, image du signal audio. La MLIN présentée est une modulation à largeur d'impulsion, c'est à dire comprenant des impulsions régulières dont la largeur est fonction du signal à moduler. Il est possible, dans la chaîne telle qu'elle est présentée à la figure 3.14, de supprimer la MLIN et de choisir la quantification en sortie du modulateur  $\Sigma\Delta$  égale à un bit. Dans ce cas, une modulation à densité d'impulsions (MDIN) est réalisée. Cette approche n'est pas optimale pour deux principales raisons :

1. A fréquence équivalente, le SNR d'une MLIN sur  $n$  bits est environ  $6ndB$  supérieur à celui d'une MDIN. Avec les paramètres retenus pour la MLIN proposée dans ce manuscrit, soit  $m = 5$ ,  $k = 4$  et  $F_s = 384kHz$ , il faudrait cadencer le modulateur  $\Sigma\Delta$  à  $F'_s = 4 \times F_s$ , ce qui se répercuterait par une diminution du rendement de l'étage de puissance.
2. Un modulateur  $\Sigma\Delta$  dont la quantification de sortie est 1 bit ne peut pas être stable à pleine échelle et ne pas avoir de cycles limites à faibles niveaux [31].

Ainsi, pour réaliser une modulation numérique, une MLIN est utilisée.

## 3.4 Intégration de la chaîne de MLIN

### 3.4.1 Vue d'ensemble

La réalisation de la MLIN sera donc effectuée en trois étapes :

1. Interpolation du signal,
2. Réduction de la quantification par modulation  $\Sigma\Delta$ ,
3. Modulation par largeur d'impulsion numérique.

La réalisation de chaque étape est détaillée dans les sections suivantes.

### 3.4.2 Interpolation

La fonction de l'étape d'interpolation est d'augmenter la fréquence d'échantillonnage  $F_e$  du signal d'entrée  $V_e$  nécessaire à la modulation  $\Sigma\Delta$  en aval, de repousser les motifs répétés du spectre du signal d'entrée numérique à plus haute fréquence et ainsi minimiser les pertes par conduction hors bande dans la charge. La réalisation de l'interpolation par OSR consiste en l'insertion de  $(OSR - 1)$  échantillons entre deux échantillons successifs du signal à interpoler. Le calcul de ces  $(OSR - 1)$  échantillons se fait en insérant  $(OSR - 1)$  échantillons nuls puis en filtrant passe bas à  $F_e/2$  afin de moyennner le signal [107]. Afin de conserver l'amplitude du signal d'entrée, il faut compenser l'atténuation du signal dû aux  $(OSR - 1)$  échantillons nuls et donc multiplier le signal par un gain de valeur  $OSR$ . Ce principe, ainsi que l'allure temporelle des différents signaux sont représentés sur les figures 3.20 et 3.21.

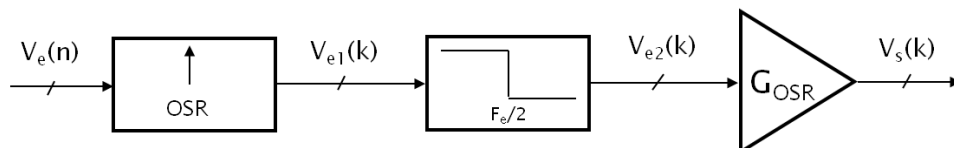


FIGURE 3.20 – Principe d'une opération d'interpolation

Le filtrage passe bas est l'opération délicate de ce procédé. Pour une application audio, le filtre doit être à phase linéaire afin de ne pas déformer l'enveloppe temporelle du signal. Soit  $H$  la fonction de transfert du filtre, si  $H$  est à phase linéaire, alors :

$$\varphi(\underline{H}(e^{j\omega})) = k\omega \quad (k \in \mathfrak{R})$$

Lorsqu'un filtre présente une phase linéaire, alors son retard de groupe  $G$  est constant, et par conséquent, l'effet de la phase sur le signal est un simple décalage temporel. Les filtres à Réponse Impulsionnelle Finie (RIF - FIR pour *Finite Impulse Response* en anglais) permettent de réaliser des filtres à phase linéaire. Elle sera assurée si :

$$h\left(\frac{N}{2} - i\right) = h\left(\frac{N}{2} + i\right) \quad i \in \left[0 - \frac{N}{2}\right]$$

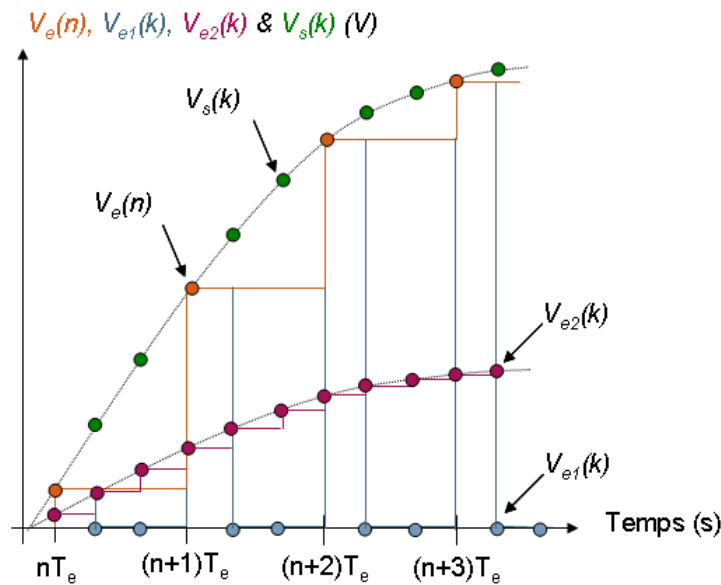


FIGURE 3.21 – Signaux intermédiaires lors d'une opération d'interpolation - OSR=3

où  $N$  représente le nombre de point de la réponse impulsionnelle et  $h(i)$  le coefficient  $i$ . Ce type de filtre produit un retard de  $N$  échantillons. Les filtres RIF sont des filtres discrets non récursifs, c'est à dire ne possédant pas de boucle dans leur structure. Leur équation de récurrence s'écrit :

$$y(n) = \sum_{i=0}^N h_i \times x(n - i)$$

Afin de minimiser la taille du filtre, l'interpolation par un OSR de 8 sera réalisée en trois étapes. Le filtre d'interpolation réalisé sera donc un système à cadences multiples comportant trois étapes d'interpolation par deux. Le filtre comportant le plus de coefficients qui est le premier dans la chaîne travaille à fréquence minimale ce qui permet d'optimiser la consommation statique du procédé [108, 109]. La synthèse des coefficients de ces filtres a été réalisée sous Matlab, pour obtenir un ensemble avec  $\pm 0.1dB$  d'oscillation en bande passante et  $60dB$  d'atténuation hors bande. Les figures 3.22(a) et 3.22(b) illustrent les réponses en fréquence de la cascade de filtres.



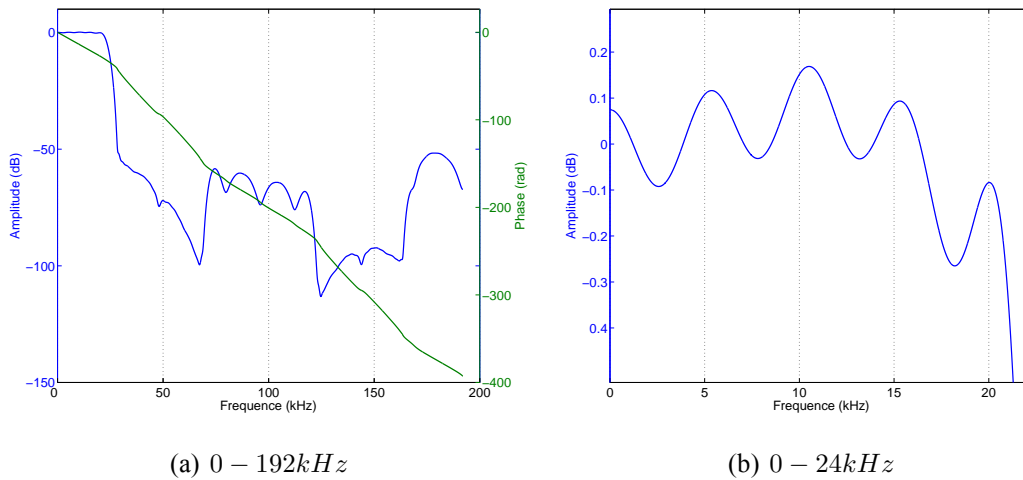


FIGURE 3.22 – Filtre FIR d’interpolation : réponse fréquentielle globale

Les filtres nommés *FIR1*, *FIR2* et *FIR3* sont composés respectivement de 37, 12 et 5 coefficients, calculés par le programme Matlab donné en annexe C. Les réponses fréquentielles de ces trois filtres sont illustrées sur les figures 3.23(a), 3.23(b) et 3.23(c). La courbe en pointillée correspond aux coefficients entiers et la courbe continue aux coefficients quantifiés sur 16 bits.

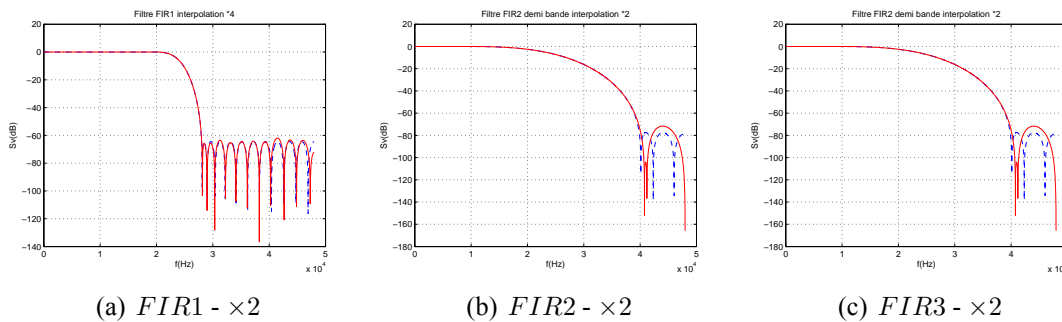


FIGURE 3.23 – Filtre FIR d’interpolation : réponse fréquentielle locale

La chaîne d’interpolation globale est illustrée sur la figure 3.24.

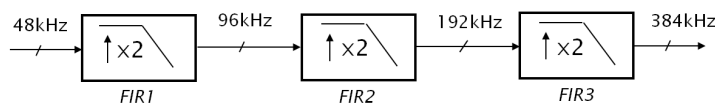


FIGURE 3.24 – Structure de la chaîne d’interpolation

Dans le but de minimiser le nombre de portes logiques élémentaires requises par la réalisation de l’interpolateur, une seconde approche, dite interpolation linéaire par morceaux a été étudiée et implémentée. Il s’agit de calculer la différence  $\Delta$  entre deux échantillons successifs et de rajouter  $\Delta/OSR$  entre les échantillons. Le principe de cette opération est illustré figure

3.25.

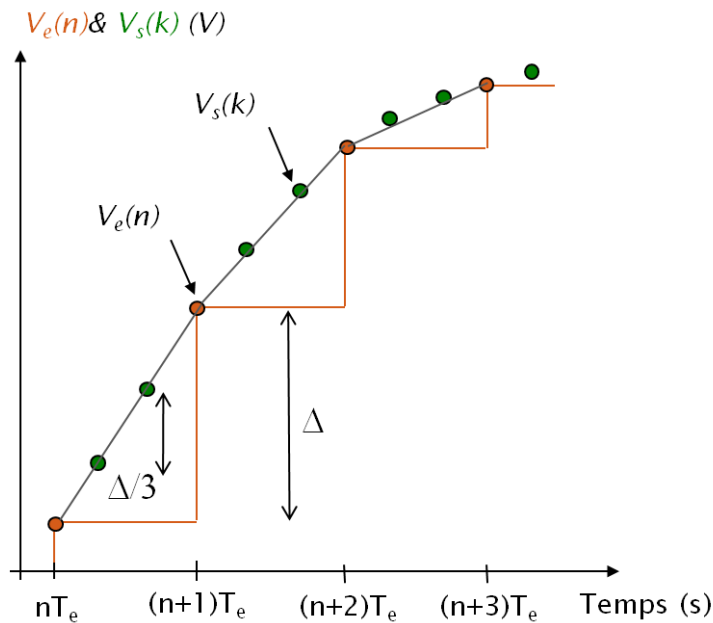


FIGURE 3.25 – Principe d’interpolation linéaire par morceau

L’intérêt de cette approche est qu’elle peut être réalisée très facilement par une structure de logique séquentielle directe. En contre partie, la linéarité du procédé n’est plus parfaite. En effet, cette méthode apporte du contenu haute fréquence due aux cassures présentes sur le signal interpolé  $V_s$  à cause de l’approximation linéaire entre deux échantillons. Les non linéarités apportées étant hautes fréquences, elles ne sont pas gênantes en bande audio. Une interpolation par  $OSR = 8$  linéaire par morceau est donc réalisée par la structure logique suivante (f g 3.26) :

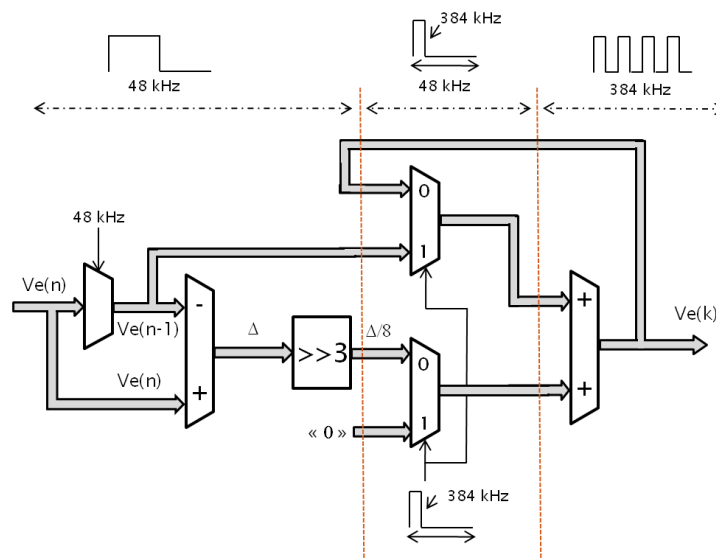


FIGURE 3.26 – Réalisation de l’interpolation linéaire par morceau

Cette approche réalise un filtre d'interpolation dont le gabarit est de type sinus cardinal d'ordre deux dont les noeuds sont situés aux fréquences multiples de  $48kHz$ . En l'état, l'atténuation en bande passante est importante car le lobe principal de la fonction  $f : x \mapsto sinc(x)^2$  décroît rapidement. Ainsi, un filtre FIR de type *biquad* corrigeant cette atténuation a été réalisé à la suite de la structure présentée sur la figure 3.26. Un filtre *biquad* est un filtre dont la fonction de transfert  $H_{BQ}$  est le quotient de deux systèmes du second ordre (d'où le terme *biquadratique*) présentant tous deux un amortissement modéré (typiquement, un amortissement de  $m=0.7$  est retenu pour les deux systèmes). Ce filtre est donc de la forme :

$$H_{BQ}(p) = \frac{N(p)}{D(p)} = \frac{k_2p^2 + k_1p + k_0}{p^2 + \frac{m}{\omega_0}p + \omega_0^2} \tag{3.38}$$

La fréquence propre  $f_0N$  de  $N(p)$  est choisie inférieure à celle de  $D(p)$  afin d'obtenir le gabarit suivant :

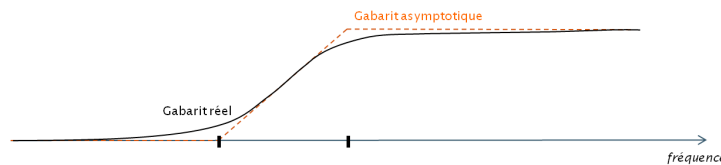
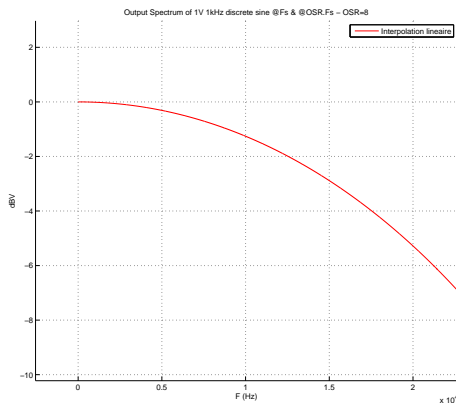
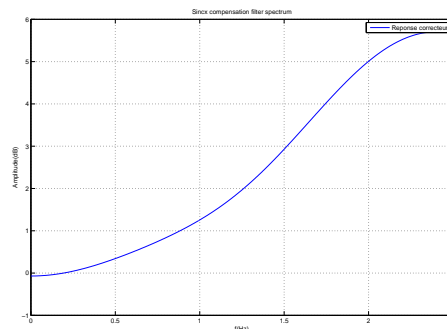


FIGURE 3.27 – Gabarit d'un filtre biquad

La méthode de calcul des coefficients du filtre *biquad* permettant de compenser parfaitement l'atténuation du filtre *sinc*, ainsi que le gabarit du filtre obtenu sont détaillés dans l'annexe C. Ce filtre est constitué de 9 coefficients. Les réponses fréquentielles de l'interpolateur linéaire par morceaux et du filtre *biquad* dans la bande audio sont données sur les figures 3.28(a) et 3.28(b).



(a) Interpolateur (type *sinc*<sup>2</sup>)



(b) Filtre correcteur *biquad*

FIGURE 3.28 – Réponse en bande audio des éléments de l'interpolateur linéaire par morceaux

La chaîne d'interpolation retenue a donc la structure suivante de la figure 3.29 et présente une réponse en bande atténuée type  $\text{sinc}^2$  avec une oscillation en bande audio égale à  $\pm 0.1\text{dB}$ .

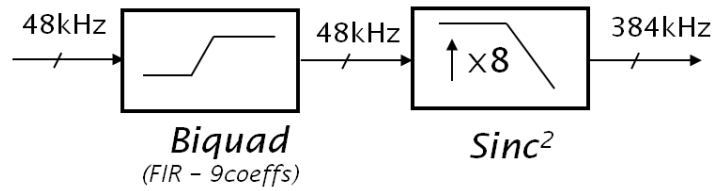


FIGURE 3.29 – Structure de la chaîne d'interpolation réalisée

### 3.4.3 Réduction de la quantification et mise en forme du bruit

La mise en forme du bruit de quantification nécessaire pour la réalisation de la MLIN se fait grâce à l'utilisation d'un modulateur  $\Sigma\Delta$  discret. Le SNR de ces structures est défini par l'ordre  $k$  du modulateur, son taux de sur échantillonnage  $OSR$  et sa résolution en sortie  $m$  (relation 3.37). Afin de conserver un rendement élevé pour l'amplificateur de classe D, la fréquence des commutations est limitée à quelques centaines de  $\text{kHz}$ . Ainsi, la valeur du rapport de sur échantillonnage retenu est  $OSR = 8$ . La fréquence d'horloge disponible maximale étant égale à  $F_{MCLK} = 38.4\text{MHz}$  pour réaliser le MLIN, la résolution de sortie  $m$  du modulateur  $\Sigma\Delta$  est alors limitée à :

$$m_{\max} = E \left( \frac{\log \left( \frac{F_{MCLK}}{OSR \times F_e} \right)}{\log(2)} \right) = 6$$

Pour conserver un SNR équivalent à la résolution du signal d'entrée, la relation 3.37, impose que le modulateur  $\Sigma\Delta$  soit au moins  $k = 4$ . Le cahier des charges, qui requiert un SNR de l'ordre de  $100\text{dB}$ , permet de fixer les paramètres pour le modulateur  $\Sigma\Delta$  à  $OSR = 8$ ,  $m = 5$  et  $k = 4$ . Le choix de la structure du modulateur  $\Sigma\Delta$  s'est orienté vers une structure MASH (Multi-stage noise SHaping) pour des raisons de stabilité. En effet, une structure classique d'intégrateurs cascades type CIFB ou CIFF pose des problèmes de stabilité dès que l'ordre du modulateur devient supérieur à  $k = 2$ . La structure retenue est représentée sur la figure 3.30. Elle comprend deux boucles d'ordre 2 comprenant chacune une opération de troncature, représentée par leur source de bruit équivalente  $E_1$  et  $E_2$ . La boucle  $B_2$  permet de ramener à résolution équivalente le bruit  $E_1$  créé par la troncature présente dans  $B_1$  dans le but de le supprimer. Le filtre passe haut  $PH$  en sortie de  $B_2$  filtre  $-E_1$  pour créer la réplique opposée exacte du contenu de  $Y_1$  en terme de bruit. Ainsi, le signal de sortie  $Y$  ne comportera que le bruit de quantification  $E_2$  mis en forme par la boucle  $B_2$  et le filtre  $PH$ .

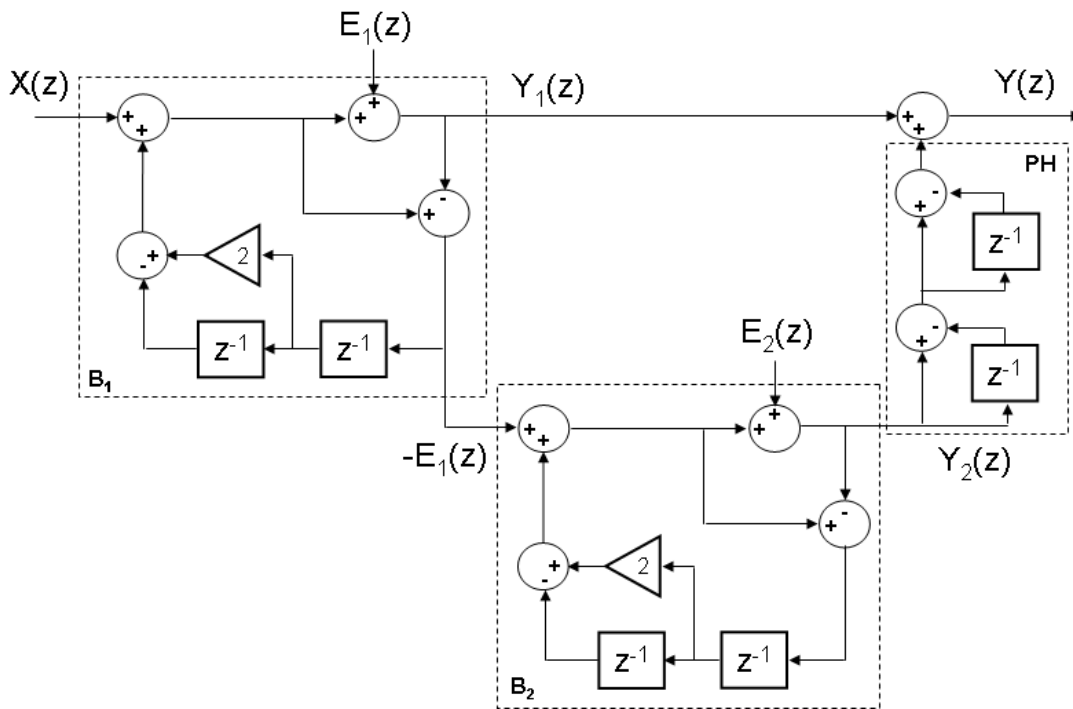


FIGURE 3.30 – Architecture du modulateur  $\Sigma\Delta$  MASH 22

Le signal de sortie  $Y(z)$  s'exprime :

$$Y(z) = Y_1(z) + (1 - z^{-1})^2 \times Y_2(z)$$

Or, dans  $B_1$ ,

$$Y_1(z) = E_1(z) + X(z) - (2z^{-1} - z^{-2}) E_1(z)$$

Soit,

$$Y_1(z) = X(z) + E_1(z) (1 - z^{-1})^2$$

De même dans  $B_2$ ,

$$Y_2(z) = -E_1(z) + E_2(z) (1 - z^{-1})^2$$

D'où,

$$Y(z) = X(z) + E_1(z) (1 - z^{-1})^2 + (1 - z^{-1})^2 \left( -E_1(z) + E_2(z) (1 - z^{-1})^2 \right)$$

Ce qui donne, après simplification,

$$Y(z) = X(z) + E_2(z) (1 - z^{-1})^4 \tag{3.39}$$

D'un point de vue signal, le modulateur a une fonction de transfert  $STF(z)$  égale à :

$$STF(z) = \left. \frac{Y(z)}{X(z)} \right|_{E_{1,2}(z)=0} = 1 \tag{3.40}$$

De même, d'un point de vue bruit,

$$NTF(z) = \frac{Y(z)}{E_2(z)} \Big|_{X(z)=0} = (1 - z^{-1})^4 \quad (3.41)$$

Le bruit de quantification  $E_1$  est bien compensé à l'intérieur du modulateur. Seul  $E_2$  est présent à la sortie du modulateur, mais mis en forme par  $(1 - z^{-1})^4$ , c'est à dire par un filtre passe haut d'ordre  $k = 4$ . Le modulateur  $\Sigma\Delta$  étant cadencé à  $F_s = 384kHz$ , la fréquence de coupure du filtre passe haut de mise en forme du bruit est égale à  $F_s/2$ . La figure 3.31 montre le spectre de  $Y(z)$ , quantifié sur 5 bits à  $384kHz$  lorsque  $X(z)$  est un signal sinusoïdal d'amplitude  $-6dBFS$  et de fréquence  $1kHz$  quantifié sur 24 bits à  $384kHz$ . La pente de la mise en forme du bruit est bien de  $80dB/dec$  comme prédit par la relation 3.41.

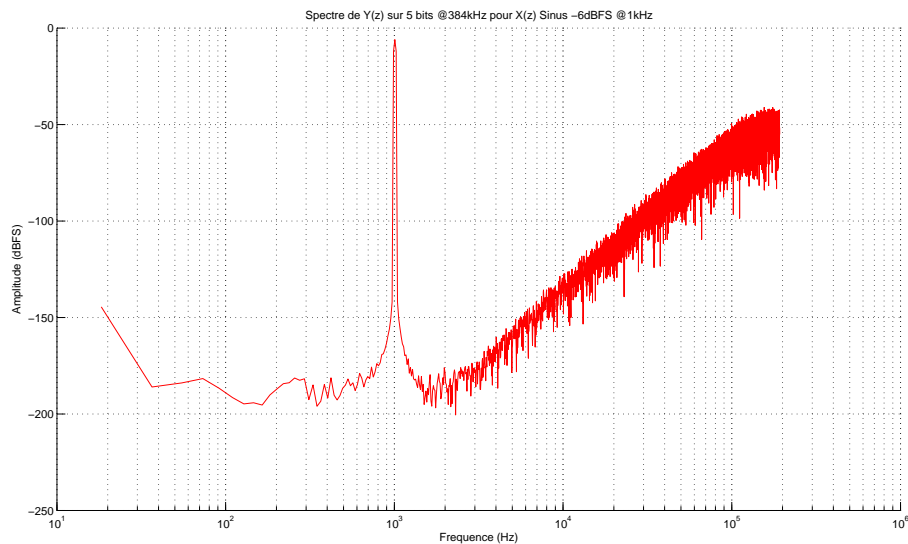


FIGURE 3.31 – Spectre de  $Y(z)$

En virgule fixe, en tenant compte de la quantification des signaux, le modulateur devient :

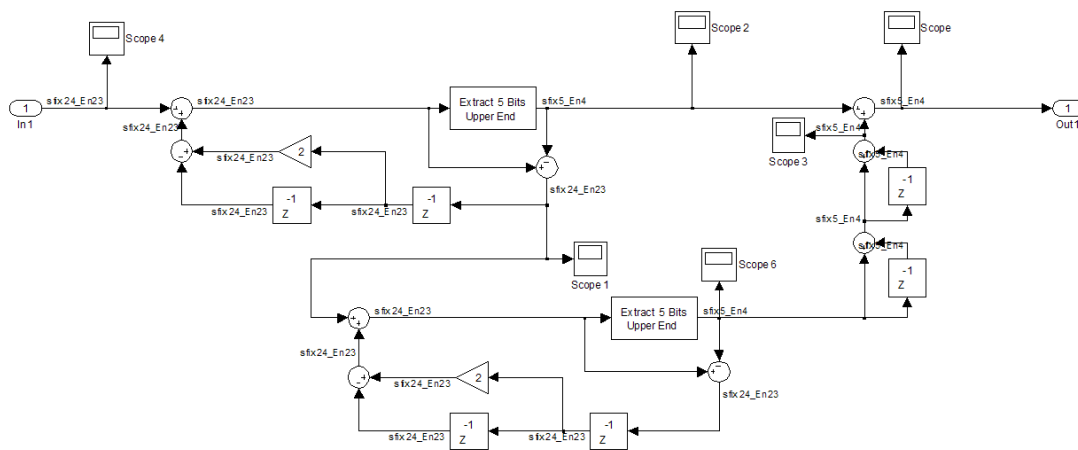


FIGURE 3.32 – Modulateur  $\Sigma\Delta$  MASH 22 - Représentation en virgule fixe

### 3.4.4 Réalisation de la MLIN

Comme expliqué dans la section 3.2.5, la MLIN est réalisée via un compteur 5 bits cadencé à  $f_{MCLK} = 38.4MHz$  avec un signal d'entrée quantifié sur 5 bits à  $384kHz$ . Le gain de la MLIN est donc égale à  $-10dB$ .

### 3.4.5 Effet du bruit de phase de l'horloge

L'étude du bruit de phase<sup>9</sup> de l'horloge cadencant un système numérique est indispensable afin de déterminer l'erreur temporelle maximale admissible sur l'horloge sans dégrader les performances de bruit du système. Une horloge idéale est un oscillateur dont la répartition spectrale de phase  $S_\phi(\omega)$  est un dirac tandis qu'une horloge réelle aura des variations de phases, comme illustré sur les figures 3.33(a) et 3.33(b)

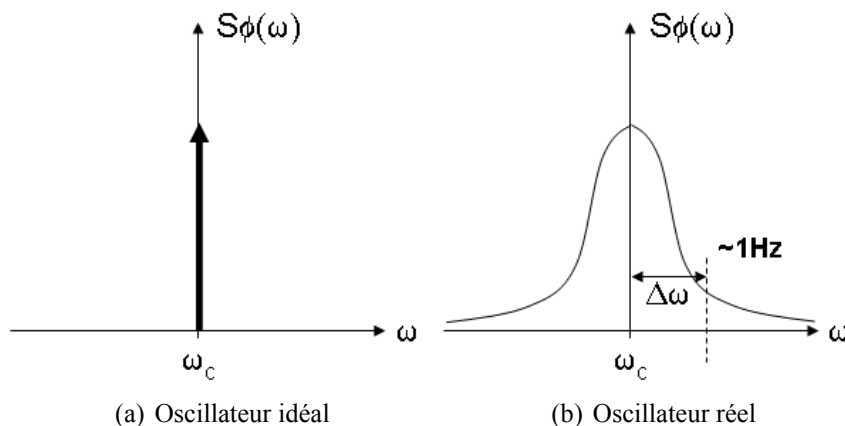


FIGURE 3.33 – Répartition spectrale de phase  $S_\phi(\omega)$

9. Communément nommé *Jitter* en anglais

Le bruit de phase est quantifié par la grandeur  $L(\Delta\omega)$  telle que :

$$L(\Delta\omega) = \frac{S_\phi(\Delta\omega)}{2}$$

$L(\Delta\omega)$  s'exprime en  $dBc/Hz$ , et correspond à la densité de bruit de phase sur une bande de  $1Hz$  normalisée par rapport à l'énergie de la porteuse à  $\omega_c$  ( $c$  pour carrier en anglais). La répartition spectrale de phase d'une horloge réelle possède trois régions distinctes [110, 111]. Elles sont illustrées sur la figure 3.34. Chaque régions  $R_i$  a une origine distincte :

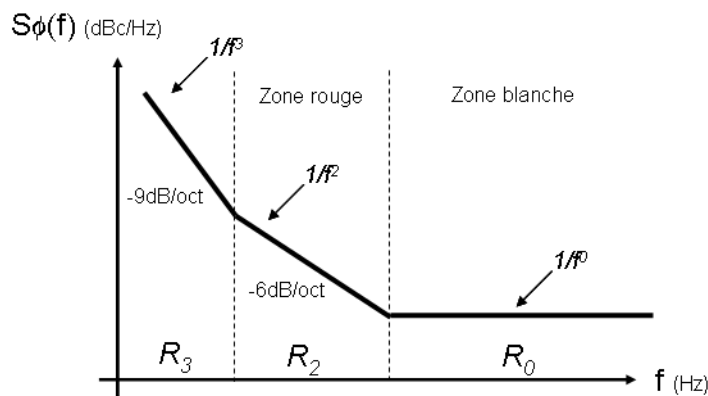


FIGURE 3.34 – Spectre asymptotique de phase d'une horloge réelle

- $R_0$  : Bruit thermique (donc blanc) ajouté entre l'origine de l'horloge et le système soumis à cette horloge,
- $R_2$  : Bruit de phase issu de l'action intégrale de phase inhérente à toute génération d'horloge. Cette composante est couramment appelée bruit de phase rouge. Par exemple, un bruit blanc en entrée d'un VCO (*Voltage Controlled Oscillator* en anglais) émergera en bruit rouge en sortie.
- $R_3$  : Bruit de type "Flicker" des composants actifs constituant le générateur d'horloge.

Les zones  $R_3$  et  $R_2$  s'étendent en général sur des bandes de fréquences très faibles, de l'ordre du  $Hz$ . Ainsi, bien souvent, seule la zone blanche,  $R_0$ , est d'intérêt. La quantité de bruit de phase  $L(\Delta\omega)$  est généralement spécifiée, non pas en  $dBc/Hz$ , mais en seconde  $s$ . Cette valeur représente alors l'écart type temporel entre le signal d'horloge idéal et le signal d'horloge réel et se calcule sur une bande de fréquences  $f$  nie qui est la bande passante du système considéré. Soit par exemple une horloge de fréquence centrale  $F_0 = 100MHz$  présentant la densité spectrale de phase suivante :



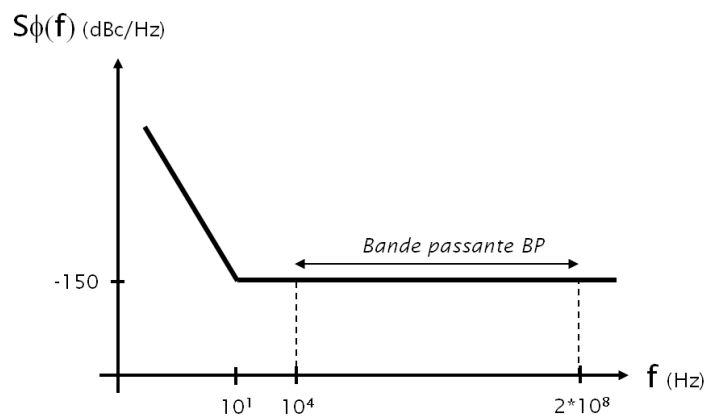


FIGURE 3.35 – Spectre de phase d'une horloge

La puissance moyenne du bruit de phase sur la bande passante  $BP$ , notée  $S_{\phi}[BP]$ , exprimée en  $dBc$  vaut :

$$S_{\phi A} = -150dBc + 10 \log \left( (200 - 0.01) \times 10^6 \right) = -67dBc$$

Le bruit de phase efficace,  $\phi_{RMS}$ , équivalent s'exprime alors :

$$\phi_{RMS} = \sqrt{2 \times 10^{\frac{S_{\phi A}}{10}}} = 6.32 \times 10^{-4} rad$$

L'erreur temporelle en valeur efficace est donc égale à :

$$t_{RMS} = \frac{\phi_{RMS}}{2\pi F_0} = 1ps$$

Pour un modulateur numérique comme proposé dans ce chapitre, c'est l'étape de modulation par largeur d'impulsion numérique qui est la plus sensible au bruit de phase de l'horloge car elle est cadencée avec l'horloge de plus haute fréquence. Ce bruit de phase a deux conséquences :

1. Il génère une erreur temporelle au niveau des impulsions du signal de sortie, impactant la linéarité du procédé de MLIN,
2. Il génère du bruit autour des raies hautes fréquences de la modulation qui peut être non négligeable en bande audio.

La première conséquence n'est pas gênante car les erreurs temporelles d'amplitude inférieure à la période de génération de la rampe n'impactent pas la linéarité de manière perceptible. La seconde par contre peut limiter les  $SNR$  d'une application audio si la densité spectrale de bruit de phase autour des harmoniques de la modulation domine en bande audio comme illustré sur la figure 3.36.

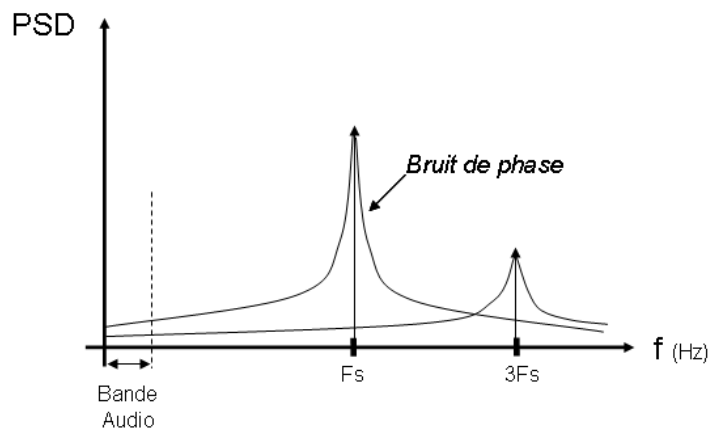


FIGURE 3.36 – Densité spectrale de puissance du signal de sortie d'une MLIN

Lors de l'analyse du bruit, le système est étudié avec un signal d'entrée nul, ce qui correspond donc à un signal de sortie carré dans le cas d'une MLIN. Son spectre ne comporte donc que des raies aux harmoniques impaires de  $F_s$ . Le bruit de phase sur l'horloge cadencant la MLIN produit donc un étalement spectral autour de la raie à  $F_s$  et de ses harmoniques impaires. En supposant qu'en bande audio, seule la composante blanche du bruit de phase est présente et que le bruit de phase issu du fondamental de  $F_s$  domine celui de ses harmoniques, alors pour obtenir un  $SNR = 100dB$ , des calculs similaires aux précédents démontrent qu'une horloge dont la densité spectrale de phase est d'au plus  $-96dBc/Hz$  à  $F_s \pm 20kHz$  est nécessaire. Dans le cas d'une application mobile, le système final intègre, pour le système de communication GSM, une horloge dont le bruit de phase est bien plus faible que cette limite. Ainsi, aucune erreur liée au bruit de phase des horloges ne sera perceptible au niveau du modulateur numérique.

### 3.4.6 Conclusion sur l'implémentation

La réalisation d'une MLIN s'effectue donc en trois étapes qui sont l'interpolation du signal d'entrée, la réduction de la quantification et mise en forme du bruit apporté par modulation  $\Sigma\Delta$ , et la modulation par largeur d'impulsion numérique. Ces trois étapes sont nécessaires pour rendre la MLIN d'un signal audio haute résolution réalisable en technologie CMOS standard avec des horloges de fréquences limitées à quelques dizaines de  $MHz$ . Il est possible d'augmenter la précision du procédé mais cela n'est pas utile vis à vis de l'utilisation finale et aux performances d'un étage de puissance type classe D. L'augmentation de la précision peut se faire au niveau de la MLIN, par l'utilisation de signaux de plus forte résolution, ou par interpolation mathématique du point de croisement. Dans les deux cas, le coût en terme de ressource

(implémentation en logique cablée) nécessaire n'est pas négligeable.

## 3.5 Utilisation d'un étage de puissance en boucle ouverte

### 3.5.1 Principe

Les signaux de sortie du modulateur numérique sont utilisés directement pour piloter un étage de puissance de type classe D afin de délivrer la puissance électrique requise par la charge. Le schéma de principe de cette solution, appelée DD1 dans la suite de ce manuscrit, est donné figure sur la 3.37.

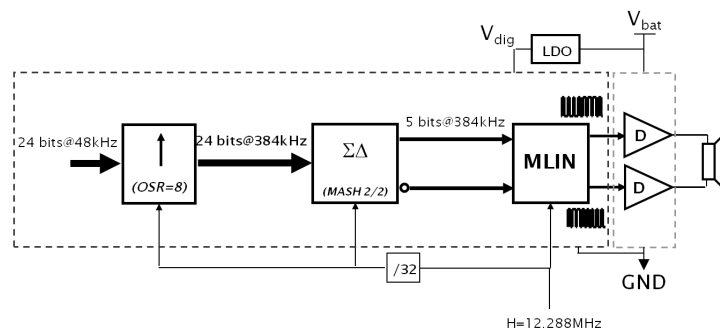
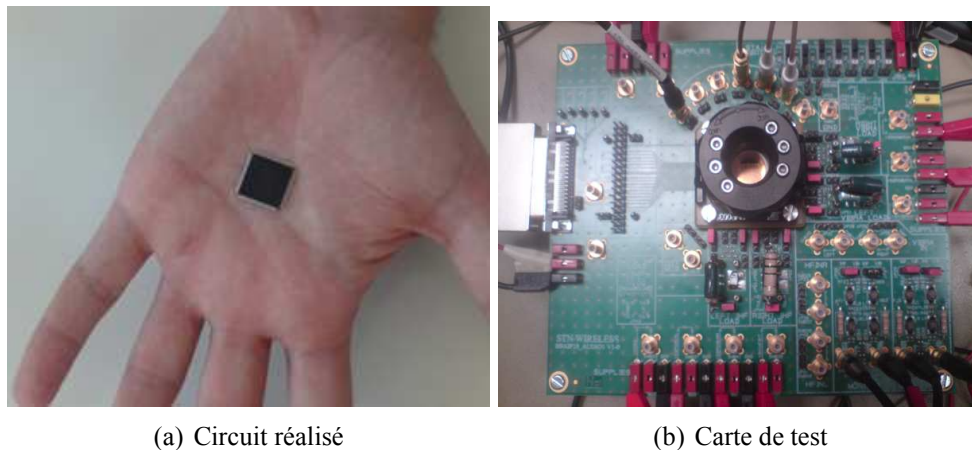


FIGURE 3.37 – Principe de réalisation de la structure DD1

Comme le signal à la sortie de l'étage de puissance n'est pas contrôlé, la structure DD1 est un *amplificateur de classe D numérique en boucle ouverte*. L'étage de puissance est alimenté directement par la batterie, à la tension  $V_{bat}$ , tandis que la partie numérique sera quant à elle alimentée à la tension  $V_{dig}$  via un régulateur linéaire (de type LDO, pour *Low Drop Out Regulateur* en anglais).

### 3.5.2 Réalisation

Le modulateur numérique ainsi que l'étage de puissance ont été intégrés en technologie CMOS 130nm, identique à celle utilisée dans le chapitre précédent. La logique équivalente à la MLIN comporte environ 2000 portes logiques de base dont la répartition est détaillée dans l'annexe D. L'étage de puissance est identique à celui utilisé dans les circuits réalisés des chapitres 2 et 4. Le circuit réalisé est commun avec la solution présentée dans le chapitre suivant. L'ensemble est intégré dans un boîtier TQFP88 qui, avec la carte de test, est représenté sur les figures 3.38(a) et 3.38(b). Le schéma électrique complet de la carte de test (figure 3.38(b)) est fourni en annexe de ce manuscrit (annexe D).



(a) Circuit réalisé

(b) Carte de test

FIGURE 3.38 – Circuit réalisé et carte de test

### 3.5.3 Analyse des performances

L'amplificateur de classe D numérique présenté dans ce chapitre a une linéarité mesurée équivalente à celle de l'amplificateur analogique auto-oscillant présenté dans le chapitre précédent. Les non linéarités dépendent essentiellement de l'étage de puissance car la MLIN n'apporte pas de non linéarités mesurables. L'utilisation de l'étage de puissance en boucle ouverte présente cependant deux inconvénients :

1. Un gain variable avec la tension d'alimentation,
2. Une faible réjection d'alimentation, notamment à fort signal.

En effet, le gain équivalent à l'étage de puissance  $G_{PS}$  est égal au rapport de la tension d'alimentation de puissance  $V_{bat}$  sur la tension d'alimentation de la partie numérique  $V_{dig}$  qui est régulée. Le signal de sortie de la MLIN est fortement indépendant des variations de la tension de batterie (le PSRR d'une LDO est de l'ordre de  $80dB$  pire cas) et donc  $G_{PS}$  sera fonction de  $V_{bat}$ , ce qui empêche tout contrôle du niveau sonore en sortie de l'amplificateur. Comme l'étage de puissance est en boucle ouverte, toutes les variations présentes sur l'alimentation de puissance sont directement reproduites sur le signal de sortie, impliquant un PSRR nul. Cependant, l'utilisation d'une structure en H permet d'obtenir un peu de réjection d'alimentation, notamment lorsque la profondeur de modulation est faible ( $M$  environ égal à 0.5). Le PSRR mesuré est illustré sur la figure 3.39, pour une variation sinusoïdale d'amplitude  $200mV_{pp}$  à  $F_p = 1kHz$ , avec un signal d'entrée constant de niveau variant entre 0 et  $FS - 6dB$ . Pour un signal d'entrée nul, c'est à dire que la sortie est un signal de rapport cyclique égale à 50% (cas  $M=0.5$ ), le PSRR est théoriquement infini vu que les deux voies sont supposées commu-

ter en même temps. En réalité, à cause des différences d'intégration entre les deux étages de puissance, il est limité à environ  $-80dB$ .

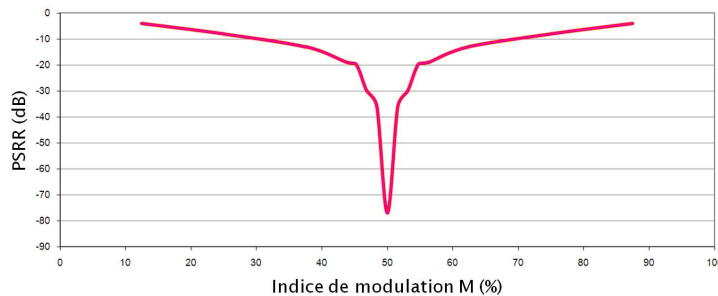


FIGURE 3.39 – PSRR de la structure DD1

### 3.6 Conclusion

Un amplificateur de classe D à commande numérique peut être réalisé par l'association d'un modulateur par largeur d'impulsion numérique et d'un étage de puissance en boucle ouverte. Les étapes nécessaires à la réalisation du modulateur numérique sont l'interpolation, la mise en forme et la modulation. Chaque étape a été analysée et les contraintes de réalisation ont été quantifiées. Le procédé de MLIN, bien que non linéaire, peut être corrigé afin d'obtenir une qualité de reproduction sonore satisfaisante et comparable à un amplificateur de classe D à commande analogique. La MLIN est préférée à la MDIN car une MDIN ne peut pas atteindre les performances requises. L'influence du bruit de phase de l'horloge cadencant ce modulateur a également été quantifiée. Des mesures effectuées sur un circuit intégré dans une technologie CMOS 130nm comportant la MLIN et un étage de puissance ont permis de valider les études théoriques menées autour de la linéarité du procédé de MLIN. Ainsi, la possibilité de commander directement l'amplificateur de classe D de manière numérique a été démontrée, supprimant ainsi la présence de la conversion N/A utilisée dans les fonctions de restitution sonores de nombreux systèmes embarqués. Cependant, cette structure présente des limitations qui la rendent inutilisable dans le cas d'une application embarquée, dont l'alimentation est soumise à de fortes perturbations. Pour remédier à ce problème, un asservissement analogique local autour de l'étage de puissance est envisagé dans le chapitre suivant.

# Chapitre 4

## Asservissement analogique local de l'étage de puissance

*Si le Cestchip démarre, je paye le champagne!*  
E. Allier

### Sommaire

---

<b>4.1</b>	<b>Introduction</b>	<b>141</b>
<b>4.2</b>	<b>Principe de l'asservissement analogique local non linéaire</b>	<b>142</b>
<b>4.3</b>	<b>Modélisation des éléments commutés et analyse fréquentielle</b>	<b>155</b>
<b>4.4</b>	<b>Intégration de l'asservissement analogique local</b>	<b>166</b>
<b>4.5</b>	<b>Caractérisation du circuit réalisé</b>	<b>171</b>
<b>4.6</b>	<b>Conclusion</b>	<b>178</b>

---

### 4.1 Introduction

Le but de ce chapitre est de décrire la réalisation d'un amplificateur de classe D à commande numérique dont l'étage de puissance est localement asservi de manière analogique. En effet, les études menées dans le chapitre précédent ont montré qu'il était possible de réaliser un amplificateur de classe D numérique grâce à l'utilisation d'un modulateur numérique et d'un étage de puissance en boucle ouverte. Bien qu'utilisée dans de nombreux domaines (télévision, aide auditive...), cette approche n'est pas satisfaisante en téléphonie mobile car le signal de sortie est fortement dépendant de l'alimentation de l'étage de puissance qui est variable et bruitée. Ainsi, dans le but de contrôler le signal de sortie, un asservissement analogique local autour de l'étage de puissance a été envisagé comme illustré sur la figure 4.1. Ce chapitre est organisé de la manière suivante :

- Description, analyse du fonctionnement de l'asservissement local et stabilité "grands signaux",
- Modélisation fréquentielle et étude de la stabilité "petits signaux",
- Implémentation de la solution proposée en CMOS 130nm,
- Mesure des performances du circuit réalisé.

## 4.2 Principe de l'asservissement analogique local non linéaire

Le rôle de l'étage de puissance est de reproduire fidèlement le signal issu du modulateur numérique. L'utilisation en boucle ouverte de l'étage de puissance n'est pas envisageable car les perturbations introduites par les variations de tension d'alimentation et celles introduites par la nature non linéaire de l'étage de puissance ne seraient pas corrigées [1, 56] (voir chapitre 3). Le principe de cet amplificateur, nommé DD2, est illustré sur la figure 4.1

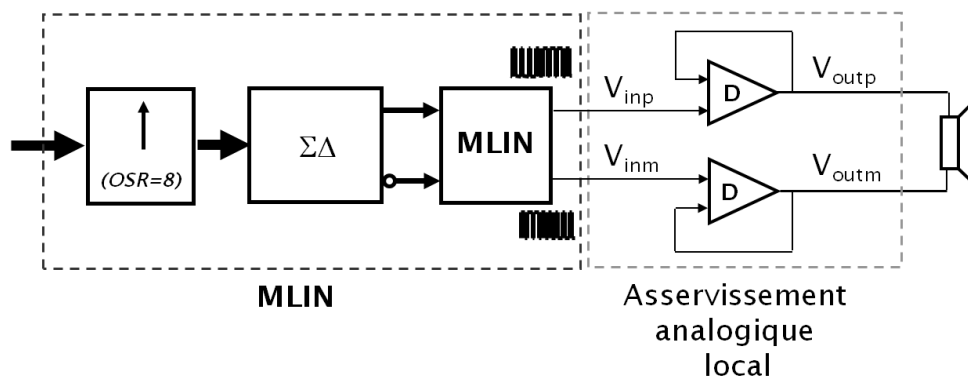


FIGURE 4.1 – Principe de la structure DD2

Afin de contrôler les trains d'impulsions  $V_{outp}$  et  $V_{outm}$  en sortie de chaque voie, l'asservissement de l'énergie moyenne en sortie de boucle peut être réalisé en comparant l'aire des signaux d'entrée  $V_{inp/m}$  et de sortie  $V_{outp/m}$ . L'action intégrale nécessaire au calcul de l'erreur moyenne permet également de filtrer le fort contenu harmonique lié à la modulation des signaux. Comme les signaux de sortie sont, sous conditions idéales, identiques aux signaux d'entrée, ce type d'asservissement est couramment appelé *boucle à accroche de phase* [56, 57, 58]. Cette dénomination vient du fait que c'est un changement d'état du signal d'entrée  $V_{in}$  qui est à l'origine d'un changement d'état du signal de sortie  $V_{out}$ .

### 4.2.1 Principe

Le schéma électrique d'une boucle analogique non linéaire, dite à *accroche de phase* est donné sur la figure 4.2. Le changement d'état du signal de sortie  $V_{out}$  est commandé par la tension  $V_i$  en sortie du correcteur, qui est directement lié à la tension aux bornes de la capacité  $C$  d'intégration. La charge (et la décharge) de  $C$  dépend des sources de courant constituées par les résistances  $R_{in}$  et  $R_{fb}$ .

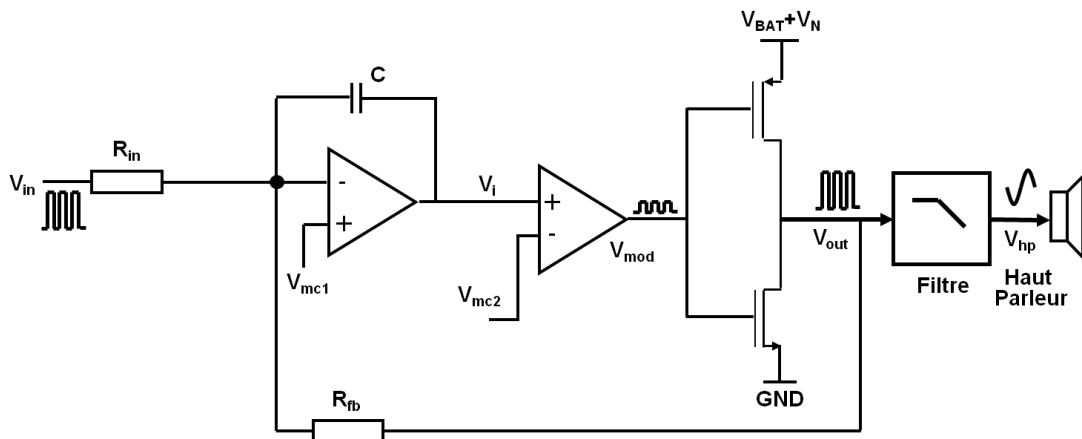


FIGURE 4.2 – Schéma électrique d'une boucle à accroche de phase

En réalité, il s'agit d'une évolution de l'amplificateur de classe D basée sur une modulation MLI comme illustré dans l'état de l'art de ce manuscrit (voir figure 2.1(a)). Le signal  $V_r$ , de type dent de scie, appliqué sur le comparateur est reporté en entrée du système. Les étapes  $E1$  à  $E4$  permettant conceptuellement de passer du classe D MLI au classe D DD2 sont illustrées sur les figures 4.3(a), 4.3(b), 4.3(c) et 4.3(d).



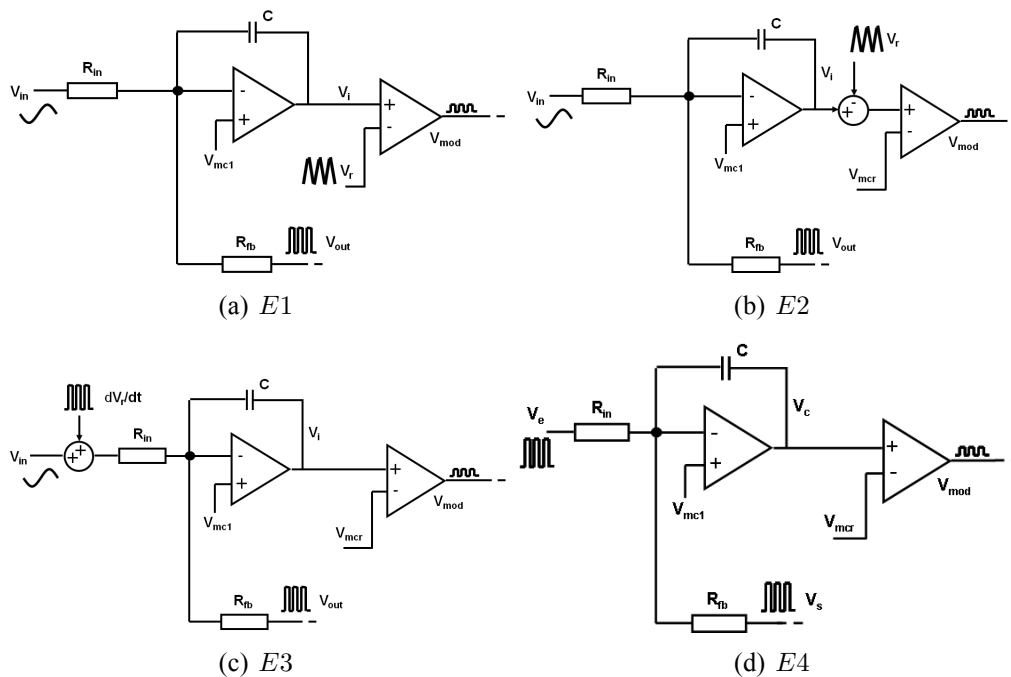


FIGURE 4.3 – Du Classe D PWM au Classe D DD2

Le passage de  $E1$  à  $E2$  s'effectue en constatant que comparer le signal  $V_i$  à  $V_r$  revient à comparer  $V_i - V_r$  à zéro (soit un mode commun, noté  $V_{mc2}$  en statique). L'addition d'un signal triangulaire en sortie d'un montage intégrateur est équivalent à l'addition d'un signal carré en entrée à condition que la fréquence du signal  $V_r$  soit supérieure à la fréquence de coupure de l'intégrateur (définie par la constante de temps de l'action intégrale et le gain statique de l'amplificateur opérationnel la réalisant). Ceci explique l'équivalence entre  $E2$  et  $E3$ . D'un point de vue dynamique faible fréquence, c'est à dire aux fréquences audio (donc très inférieures à la fréquence du signal de modulation  $V_r$ ), l'addition d'un signal carré en entrée est équivalente à rajouter une tension de mode commun (de valeur égale à la valeur moyenne du signal carré). Ainsi, d'un point de vue signal, les étapes  $E3$  et  $E4$  sont équivalentes.

## 4.2.2 Fonctionnement

Comme les tensions  $V_{in}$  et  $V_{out}$  ne prennent théoriquement que deux valeurs correspondant à des états logiques haut et bas respectivement en entrée et sortie du système, le fonctionnement de la boucle analogique se réduit à quatre phases distinctes :

- Phase 1 :  $V_{in} = 1$  et  $V_{out} = 1$
- Phase 2 :  $V_{in} = 0$  et  $V_{out} = 1$
- Phase 3 :  $V_{in} = 0$  et  $V_{out} = 0$

– Phase 4 :  $V_{in} = 1$  et  $V_{out} = 0$

Les courbes de la figure 4.4 illustrent ces quatre zones de fonctionnement.

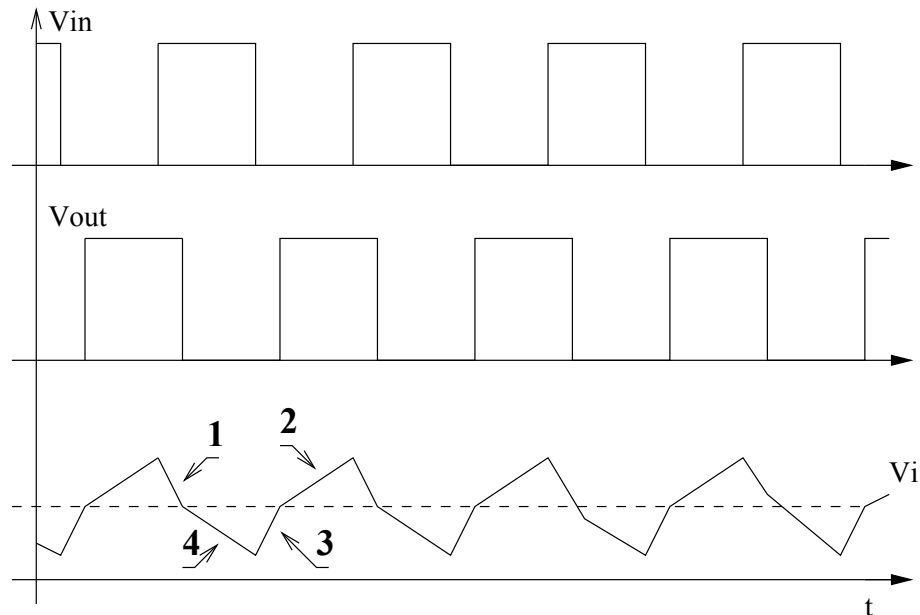


FIGURE 4.4 – Évolution générale de  $V_{in}$ ,  $V_{out}$  et  $V_i$

La valeur de l'état logique haut du signal d'entrée est généralement différente de celle du signal de sortie. En effet, le modulateur numérique en amont de l'étage de puissance est alimenté par des tensions faibles tandis que l'étage de puissance peut être alimenté par des tensions plus élevées, dépendant de la charge et de la puissance de sortie désirée. Afin d'établir des relations les plus générales possibles, les deux niveaux haut seront donc indépendants et notés  $V_{ana}$  et  $V_{bat}$  pour l'entrée et la sortie respectivement.

#### 4.2.2.1 Phase 1 : $V_{in} = V_{ana}$ & $V_{out} = V_{bat}$

Lorsque  $V_{in}$  et  $V_{out}$  sont dans l'état logique haut (fig 4.5), les deux résistances  $R_{in}$  et  $R_{fb}$  se comportent comme des sources de courant qui vont charger  $C$ . Comme le potentiel supérieur de  $U_C$  est fixé à  $V_{ref}$ , la charge de  $C$  va se traduire par la diminution du potentiel  $V_i$ .

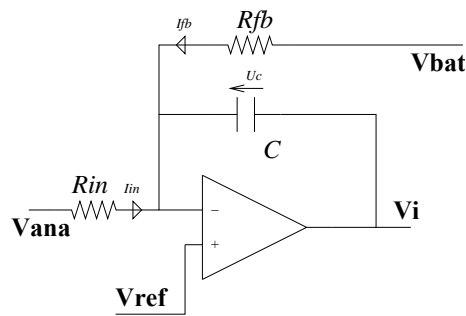


FIGURE 4.5 – Phase 1

La décroissance de  $V_i$  est constante jusqu'à atteindre le seuil  $V_{CM2}$  qui entraîne alors la commutation de l'étage de sortie. Dès lors, la source de courant  $I_{fb}$  change de valeur et surtout de sens puisqu'elle va absorber du courant au lieu d'en fournir au condensateur  $C$ . Il apparaît donc à cet instant de fonctionnement un risque d'instabilité dans la commutation. En effet, l'évolution de  $V_i$  doit rester monotone lorsque la sortie change d'état afin d'éviter une nouvelle commutation quasi instantanée et ainsi entrer dans un mode de fonctionnement instable. Ce risque sera détaillé dans la section 4.2.4.

#### 4.2.2.2 Phase 2, 3 & 4

Un raisonnement similaire est possible pour les phases 2 à 4. Il existe un autre risque d'instabilité au passage de l'état 3 à 2. Les figures 4.6(a), 4.6(b) et 4.6(c) illustrent les différentes phases avec le sens d'évolution de  $V_i$  correspondant.

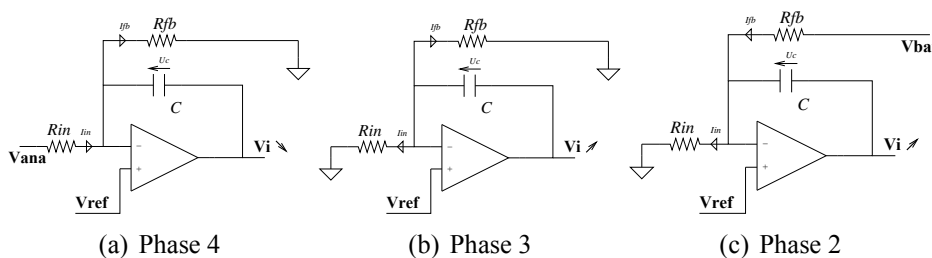


FIGURE 4.6 – Phase 4,3 et 2 (Ordre chronologique)

### 4.2.3 Potentiel de référence

L'analyse du fonctionnement a montré quatre phases distinctes de fonctionnement, regroupables en deux groupes :

- Phase 1 et 3 : Entrée et Sortie dans des états logiques opposés, système en fonction afin de suivre la consigne (*working phases - WP*).

- Phase 2 et 4 : Entrée et Sortie dans les mêmes états, système en attente d'un changement de consigne (*idle phases - IP*).

La figure 4.7 résume l'état du courant chargeant la capacité d'intégration lors de ces quatre phases. Afin que la boucle soit la plus linéaire possible, il faut que le délai entre un changement de consigne et le basculement en sortie soit le même entre un passage de l'état haut à l'état bas et inversement. C'est à dire que le temps de charge de la capacité à la phase 1 et son temps de décharge à la phase 3 doivent être égaux.

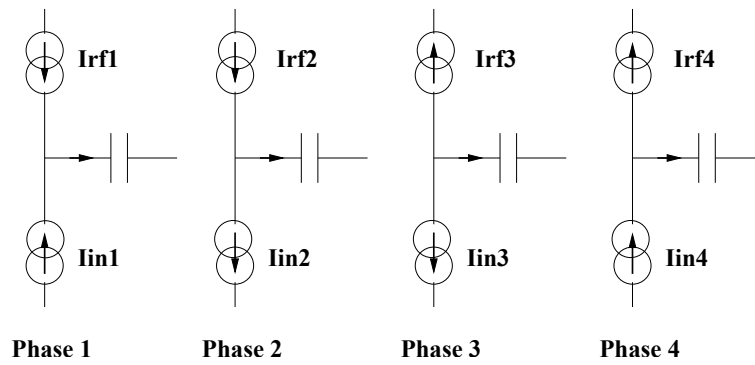


FIGURE 4.7 – Courant dans la capacité à chaque phase de fonctionnement

A chaque phase, le courant traversant la capacité est constant et sa valeur ne dépend que des deux sources de courant que sont les résistances  $R_{in}$  et  $R_{fb}$ . La linéarité de la boucle est donc optimale lorsque  $I_{C2} = I_{C4}$  et  $I_{C1} = I_{C3}$ . Les expressions des différentes sources de courants sont résumées ci dessous.

$$\begin{aligned}
 I_{R_{in}1} &= \frac{V_{ana} - V_{ref}}{R_{in}} & I_{R_{fb}1} &= \frac{V_{bat} - V_{ref}}{R_{fb}} \\
 I_{R_{in}2} &= \frac{V_{ref}}{R_{in}} & I_{R_{fb}2} &= \frac{V_{bat} - V_{ref}}{R_{fb}} \\
 I_{R_{in}3} &= \frac{V_{ref}}{R_{in}} & I_{R_{fb}3} &= \frac{V_{ref}}{R_{fb}} \\
 I_{R_{in}4} &= \frac{V_{ana} - V_{ref}}{R_{in}} & I_{R_{fb}4} &= \frac{V_{ref}}{R_{fb}}
 \end{aligned}$$

Comme les paramètres  $R_{in}$  et  $R_{fb}$  sont utilisés pour éviter les commutations non désirées du système (voir 4.2.4), seul  $V_{ref}$  est ajustable pour satisfaire la linéarité du système.

Les conditions  $I_{C2} = I_{C4}$  et  $I_{C1} = I_{C3}$  deviennent :

$$I_{C2} = I_{C4} \Leftrightarrow \frac{V_{bat} - V_{ref}}{R_{fb}} - \frac{V_{ref}}{R_{in}} = \frac{V_{ref}}{R_{fb}} - \frac{V_{ana} - V_{ref}}{R_{in}} \quad (4.1)$$

$$\Leftrightarrow V_{ref} = \frac{1}{2} V_{bat} \frac{R_{in}}{R_{fb} + R_{in}} + \frac{1}{2} V_{ana} \frac{R_{fb}}{R_{fb} + R_{in}} \quad (4.2)$$

et

$$I_{C1} = I_{C3} \Leftrightarrow \frac{V_{bat} - V_{ref}}{R_{fb}} + \frac{V_{ana} - V_{ref}}{R_{in}} = \frac{V_{ref}}{R_{fb}} + \frac{V_{ref}}{R_{in}} \quad (4.3)$$

$$\Leftrightarrow V_{ref} = \frac{1}{2}V_{bat} \frac{R_{in}}{R_{fb} + R_{in}} + \frac{1}{2}V_{ana} \frac{R_{fb}}{R_{fb} + R_{in}} \quad (4.4)$$

Ainsi, la tension  $V_{ref}$  peut être utilisée pour assurer une des conditions de linéarité du système bouclé. Les figures 4.8(a) et 4.8(b) montrent l'influence des variations de  $V_{ref}$ . Les simulations ont été faites pour  $V_{ana} = 2.5V$ ,  $V_{bat} = 3.6V$ ,  $R_{in} = 100k\Omega$  et  $R_{fb} = 200k\Omega$ . Ces valeurs donnent  $V_{ref_{TH}} = 1.433V$

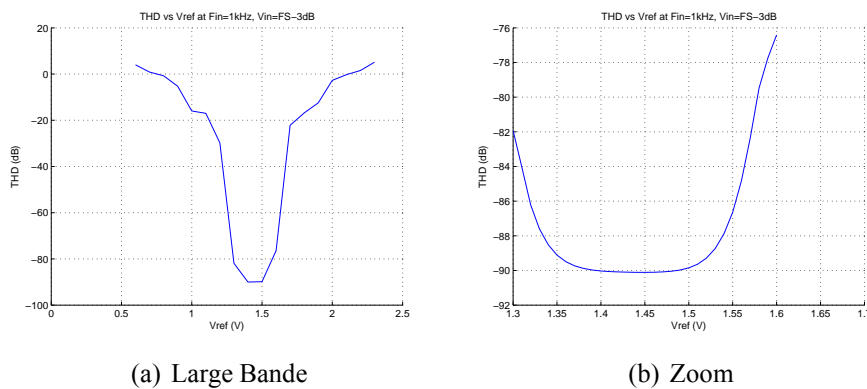


FIGURE 4.8 – Influence de  $V_{ref}$  sur la linéarité du système bouclé

Les simulations confirment bien la valeur théorique de  $V_{ref}$ . Cette valeur de  $V_{ref}$  est logique. Il s'agit en effet de la moyenne des modes communs du signal d'entrée ( $V_{ana}/2$ ) et de sortie ( $V_{bat}/2$ ) pondérée par le rapport des résistances. Ainsi, l'amplificateur opérationnel voit un signal d'entrée sans mode commun. Lorsque  $V_{ref}$  s'écarte de cette valeur idéale, un signal avec une composante continue apparaît aux bornes de l'amplificateur opérationnel. Ainsi, plus le taux de réjection de mode commun (CMRR) de l'AO est important, plus le système pourra tolérer des variations sur  $V_{ref}$  sans détérioration de la linéarité. Par exemple, sur la figure précédente (4.8(b)), on a  $\Delta V_{ref} = 0.25V$ .

#### 4.2.4 Critère de stabilité "grands signaux"

L'analyse précédente du fonctionnement de la boucle a montré que lors du basculement, le signe du courant  $I_C$  doit rester constant jusqu'au prochain changement de consigne. En effet, si le signe de  $I_C$  s'inverse lorsque  $V_{out}$  change d'état, la boucle bascule de nouveau immédiatement et entre dans un état instable avec de multiples basculements quasi-instantanés. Seul le délai de propagation de la boucle limite ce phénomène. Ce fonctionnement est appelé *instabilité non*

linéaire ou *instabilité grand signal* dans la littérature car il s'agit d'un fonctionnement instable de la boucle mais qui n'a rien à voir avec la définition habituelle de la stabilité d'un système linéaire. Ces risques d'instabilité sont illustrés sur la figure 4.9.

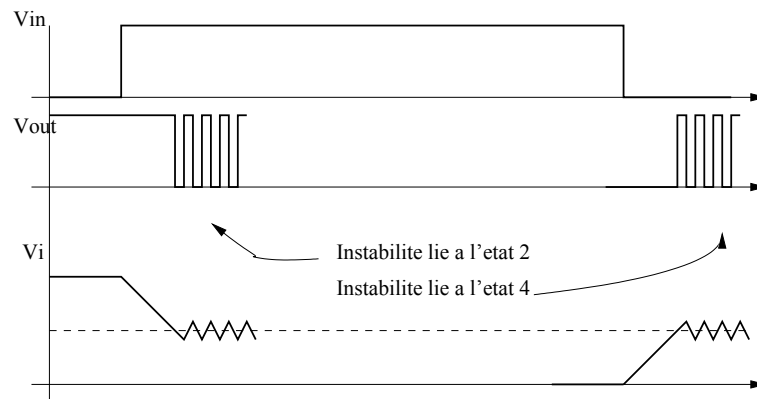


FIGURE 4.9 – Principe d'instabilité non linéaire

#### 4.2.4.1 Condition de stabilité liée à l'état 4

Afin de maintenir le sens d'évolution de  $V_i$ , la charge de C doit se poursuivre. Or, la sortie  $V_{out}$  étant passé à l'état bas, le courant  $I_{R_{fb}}$  s'est inversé. Il faut donc que le courant fourni par  $V_{in}$  soit supérieur en absolu à celui prélevé par  $V_{out}$  (voir figure 4.6(a)). La stabilité se traduit donc par :

$$|I_{R_{fb}}| \leq |I_{R_{in}}| \quad (4.5)$$

Soit,

$$\frac{V_{ana} - V_{ref}}{R_{in}} \geq \frac{V_{ref}}{R_{fb}} \quad (4.6)$$

$$\Leftrightarrow \frac{R_{in}}{R_{fb}} \leq \frac{V_{ana}}{V_{ref}} - 1 \quad (4.7)$$

#### 4.2.4.2 Condition de stabilité liée à l'état 2

Il s'agit ici de l'état opposé au cas précédent, c'est à dire que  $V_{in}$  est à l'état bas et  $V_{out}$  est à l'état haut. Il faut donc, pour que la décharge de C continue, que le courant prélevé par  $V_{in}$  soit supérieur à celui fournit par  $V_{out}$  (voir figure 4.6(c)). La stabilité se traduit donc par :

$$|I_{R_{in}}| \geq |I_{R_{fb}}| \quad (4.8)$$

Soit,

$$\frac{V_{ref}}{R_{in}} \geq \frac{V_{bat} - V_{ref}}{R_{fb}} \quad (4.9)$$

$$\Leftrightarrow \frac{R_{in}}{R_{fb}} \leq \frac{V_{ref}}{V_{bat} - V_{ref}} \quad (4.10)$$

#### 4.2.4.3 Condition de stabilité générale

Si la valeur idéale théorique de  $V_{ref}$  établie en 4.4 est réinjectée dans les équations 4.7 et 4.10, les deux conditions de stabilité (4.7 & 4.10) deviennent équivalentes et aboutissent à :

$$\frac{R_{in}}{R_{fb}} \leq \frac{V_{ana}}{V_{ref}} - 1 \quad (4.11)$$

$$\Leftrightarrow \frac{R_{in}+R_{fb}}{R_{fb}} \leq \frac{2V_{ana}(R_{in}+R_{fb})}{V_{bat}R_{in}+V_{ana}R_{fb}} \quad (4.12)$$

$$\Leftrightarrow 2R_{fb}V_{ana} \geq V_{bat}R_{in} + R_{fb}V_{ana} \quad (4.13)$$

$$\Leftrightarrow \frac{R_{fb}}{R_{in}} \geq \frac{V_{bat}}{V_{ana}} \quad (4.14)$$

En injectant  $V_{ref}$  (4.4) dans la condition de stabilité liée à l'état 4 (4.10), en développant la condition issue de 4.7 qui impose  $V_{ana} \geq V_{ref}$ , ou en utilisant la condition issue de 4.7 comme précédemment, alors la relation 4.14 est retrouvée à chaque fois. Cette relation sera retenue comme condition de stabilité de la boucle à accroche de phase. Le rapport  $G_{dc} = \frac{R_{fb}}{R_{in}}$  représente le gain petits signaux du système. Ainsi, le signal audio contenu dans le train d'impulsions d'entrée sera amplifié par le rapport  $G_{dc}$ . Dans la majorité des cas, la tension  $V_{ana}$ , représentant l'alimentation du modulateur numérique, sera inférieure à la tension  $V_{bat}$ , représentant l'alimentation de la partie puissance. De ce fait, pour fonctionner correctement, la boucle d'asservissement analogique local doit avoir du gain.

#### 4.2.5 Critère de non saturation

Lors des phases d'attente (phases 2 et 4), la tension en sortie de l'amplificateur continue d'évoluer de façon monotone par rapport aux états précédents pour assurer la stabilité du montage (voir 4.2.4). De ce fait, si la phase d'attente est trop longue, la tension  $V_i$  peut atteindre la limite d'excursion de la sortie de l'amplificateur opérationnel et ainsi se bloquer aux tensions d'alimentation de l'AO. Ce problème est illustré sur la figure suivante (4.10).

Lorsque la tension  $V_i$  sature, le prochain basculement sera effectué de manière anticipée par rapport à l'instant normal (voir 4.10). De ce fait, la forme du signal issu du comparateur, et donc la quantité d'énergie fournie à la charge, n'est plus contrôlée efficacement. Ceci détériore directement la linéarité de la structure donc le taux de distorsion harmonique (THD).

Soit  $T$  le temps où  $V_{in}$  reste dans un état.  $V_i$  ne doit pas atteindre une des limites d'excursion durant ce temps  $T$ . Comme cette saturation peut se produire de manière symétrique, le seuil de comparaison qui pilote l'étage de puissance est naturellement choisi comme le milieu de la

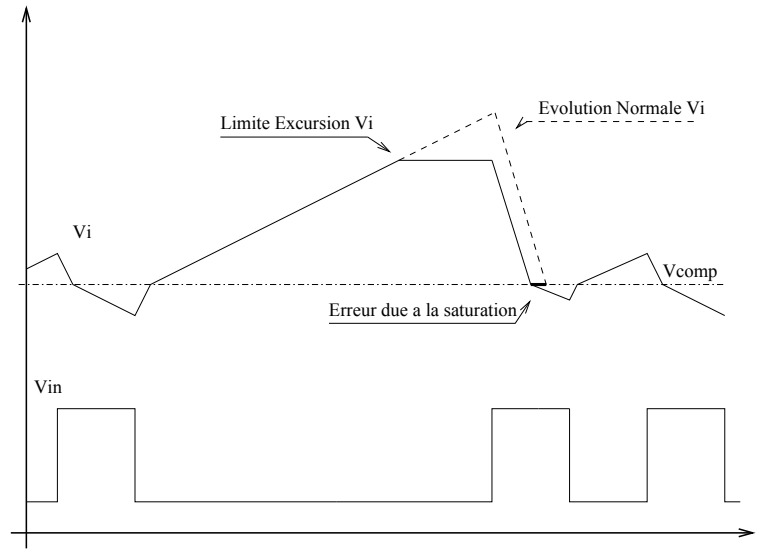


FIGURE 4.10 – Limite d'excursion de la sortie de l'intégrateur

dynamique d'alimentation. Ainsi,

$$V_{comp} = \frac{V_{bat}}{2} \quad (4.15)$$

Ainsi, pour éviter la saturation,  $V_i$  doit avoir une excursion strictement inférieure à  $\frac{V_{bat}}{2}$  lors d'une phase d'attente de durée notée  $T$ . Il faut donc :

$$\Delta V_i(T) < \frac{V_{bat}}{2} \quad (4.16)$$

La pente de  $V_i$  est liée à la capacité  $C$  et aux sources de courant par la relation suivante :

$$\frac{dV_i}{dt} = -\frac{i_c}{C} \quad (4.17)$$

Avec, dans le cas où  $V_{out} = V_{bat}$  et  $V_{ana} = 0$  (phase d'attente 4)<sup>1</sup>,

$$i_c = \frac{V_{bat} - V_{ref}}{R_{fb}} - \frac{V_{ref}}{R_{in}} = \frac{V_{bat}R_{in} - V_{ref}(R_{in} + R_{fb})}{R_{in}R_{fb}} \quad (4.18)$$

Donc,

$$\Delta V_i(T) < \frac{V_{bat}}{2} \iff \frac{-i_c}{C}T < \frac{V_{bat}}{2} \quad (4.19)$$

$$\Rightarrow T < \frac{CV_{bat}}{-2i_c} = \frac{R_{in}R_{fb}CV_{bat}}{2(V_{ref}(R_{in} + R_{fb}) - V_{bat}R_{in})} \quad (4.20)$$

En utilisant la valeur idéale théorique de  $V_{ref}$  (4.4), la relation 4.20 devient :

$$T < \frac{R_{in}R_{fb}CV_{bat}}{V_{ana}R_{fb} - V_{bat}R_{in}} \quad (4.21)$$

1. Un calcul similaire peut être mené pour la phase d'attente 2, qui conduit au même résultat vu la symétrie de la structure.



On peut majorer  $T$  par  $\frac{T_{MLIN}}{2}$  qui représente la demi période du signal de référence utilisé lors de la modulation numérique en amont. Durant ce temps, il y a forcément intersection entre le signal audio et la rampe, ce qui implique la présence d'un front sur le train d'impulsions issu du modulateur. Ainsi, le temps d'attente  $T$  est forcément inférieur à la demi période de la rampe. La relation 4.21 devient :

$$\frac{T_{MLIN}}{2} < \frac{R_{in}R_{fb}CV_{bat}}{V_{ana}R_{fb} - V_{bat}R_{in}} \quad (4.22)$$

Cette relation implique une valeur minimale pour  $C$  qui est de :

$$C_{MIN} = \frac{V_{ana}R_{fb} - V_{bat}R_{in}}{2F_{MLIN}(R_{in}R_{fb}V_{bat})} \quad (4.23)$$

Remarques :

- Le dénominateur de la relation précédente doit forcément être positif, ce qui est équivalent à la relation de stabilité générale définie par la relation 4.14.
- Pour optimiser les performances de l'amplificateur, des réseaux de compensation plus évolués qu'un simple pôle peuvent être utilisés. Cependant, en hautes fréquences<sup>2</sup>, quelque soit le type de compensation, seul un pôle agit et il est positionné par une simple capacité. Il sera donc toujours possible d'extraire une valeur unique pour  $C$ .

## 4.2.6 Critère de basculement

L'effet inverse peut également se produire si l'impulsion d'entrée est trop faible comme illustré sur la figure 4.11(a). Le signal de sortie ne contiendra pas d'impulsion et ne sera donc plus une recopie du train d'impulsions d'entrée. Cette configuration n'est pas gênante car la commutation suivante arrivera plus tôt et compensera le manque d'énergie dû à l'impulsion ratée comme illustré figure 4.11(b). En moyenne, comme le signal d'erreur  $V_i$  a subi une évolution due à cette faible impulsion d'entrée, le signal de sortie est donc énergétiquement correct même si localement, il manque une information.

---

2. C'est à dire dans un domaine de fréquences bien supérieur à la bande audio.

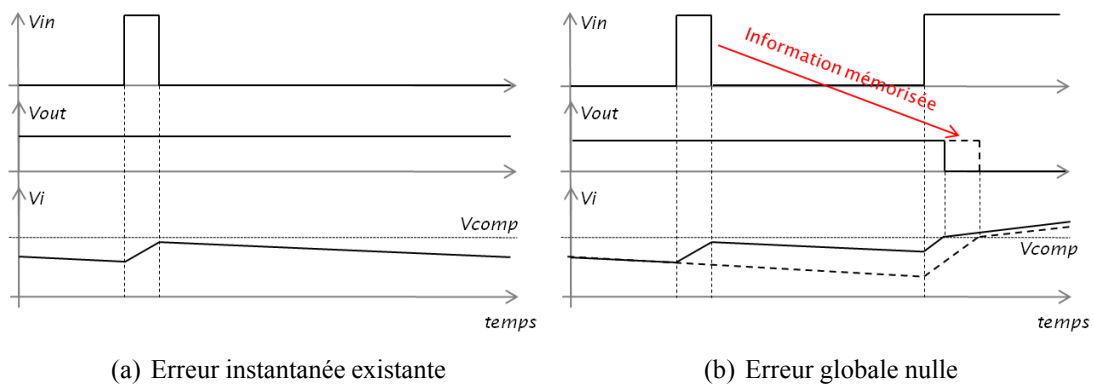


FIGURE 4.11 – Effet d'une petite impulsion de commande

### 4.2.7 Influence du délai de boucle

Le délai global de la boucle n'a pas d'incidence sur les performances audio. En effet, il agit comme un décalage temporel au niveau du signal de sortie du comparateur et ne fait donc que déphaser le signal de sortie. Cependant, certaines restrictions sont nécessaires :

1. Le délai doit être constant. C'est à dire qu'un délai de type structurel est admissible (typiquement le temps de propagation du signal à travers la logique qui pilote l'étage de puissance par exemple), tandis qu'un délai de type comportemental (comme une évolution dissymétrique des composants dans le temps) peut poser problème.
2. Le délai doit être symétrique pour que le train d'impulsions conserve son rapport cyclique initial (Les temps de commutation du comparateur sont la principale cause d'assymétrie du délai).
3. Le délai ne doit pas être trop important sinon la boucle sera aveugle à certaines impulsions du signal d'entrée, comme illustré sur la figure 4.12.

La table 4.1, obtenue par simulation de la structure avec des composants idéaux et un délai symétrique, confirme ces résultats.

délai $T_d$ (s)	1n	10n	100n	1 $\mu$	10 $\mu$	100 $\mu$
THD (dB)	110	110	110	70	55	12
SNR (dB)	100	100	100	85	10	5

TABLE 4.1 – THD et SNR en fonction du délai de boucle

Le train d'impulsions issu du modulateur numérique possède deux fronts pour chaque période du signal de référence de la modulation (une dent de scie simple ou double rampe selon le type de modulation désirée). Ainsi, pour être sûr de ne pas rater d'impulsion, le délai de

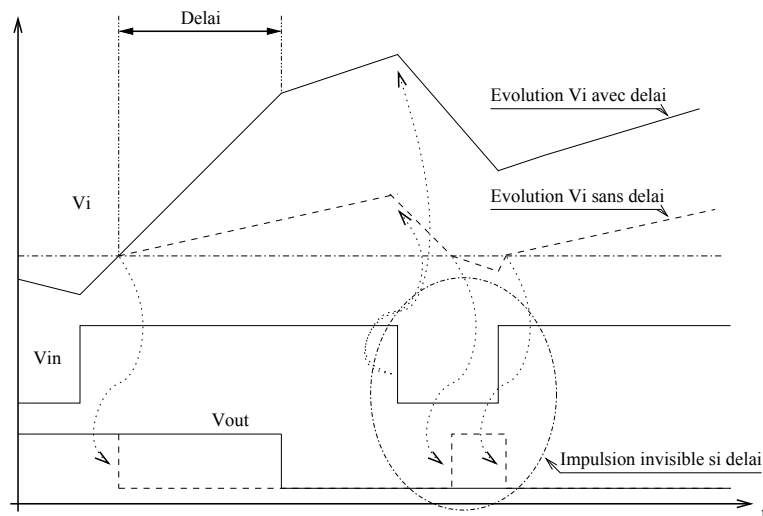


FIGURE 4.12 – Influence du délai sur le fonctionnement de la boucle

boucle ne doit pas être supérieur à  $\frac{2}{M.F_{rampe}}$  où M représente la profondeur de modulation. Plus la fréquence de modulation diminue, moins la contrainte sur le délai de boucle est importante.

#### 4.2.8 Influence du réseau de compensation

Il est possible d'utiliser des réseaux de compensation plus évolués afin de modifier le comportement basse fréquence du correcteur et ainsi améliorer les performances audio. Plusieurs approches sont possibles mais toutes reviennent à augmenter l'ordre de l'intégrateur [57, 58, 112, 113]. Cependant, afin de garantir le bon fonctionnement de la structure, le correcteur utilisé doit conserver un comportement haute fréquence<sup>3</sup> identique à celui décrit précédemment.

#### 4.2.9 Conclusion

Un asservissement analogique local autour d'un étage de puissance d'un amplificateur de classe D peut être réalisé par l'utilisation d'une boucle à accroche de phase. Le principe de fonctionnement de cette boucle est de copier un train d'impulsions en asservissant la différence d'aire moyenne entre les signaux d'entrée et de sortie, ce qui correspond à l'énergie du signal. Les paramètres nécessaires pour garantir le fonctionnement correct de cet asservissement local analogique ont été décrits et analysés dans cette première partie. La structure possède un gain et des alimentations paramétrables. Cependant, ces deux spécifications sont liées entre elles pour garantir le bon fonctionnement de la boucle de contrôle en évitant l'apparition de commutations non désirées. La linéarité de la structure est assurée d'une part par le point de

3. Haute Fréquence représente ici des fréquences supérieures à la bande audio et à la fréquence des pôles/zéros BF amenés par la modification du correcteur

polarisation statique en fonction des paramètres de la boucle et d'autre part par le caractère plus ou moins idéal des éléments composant la boucle. Les effets transistoirs non linéaires (saturation des intégrateurs, délai de boucle,...) ont été étudiés et les critères de dimensionnement de la boucle permettant d'éviter ces effets ont été établis. Les sections suivantes traitent de l'étude fréquentielle et des performances de telles structures, de l'architecture retenue et de son implémentation en technologie CMOS 130nm.

### 4.3 Modélisation des éléments commutés et analyse fréquentielle

Afin de pouvoir étudier la réponse fréquentielle de la boucle de contrôle analogique, une analyse *petits signaux* linéaire est nécessaire. Pour cela, la linéarisation des éléments commutés doit être réalisée. L'approche utilisée dans le chapitre 2, qui consistait à moyennner la dynamique des éléments commutés sur une période de commutation n'est plus réalisable car la période des commutations n'est plus connue.

#### 4.3.1 Modélisation

Par analogie avec une modulation MLI comme vu au début de ce chapitre, il est possible de modéliser la boucle de contrôle analogique local. Elle est rappelée figure 4.13(a). En supposant l'amplificateur opérationnel idéal, cette boucle peut se modéliser comme illustré sur la figure 4.13(b).

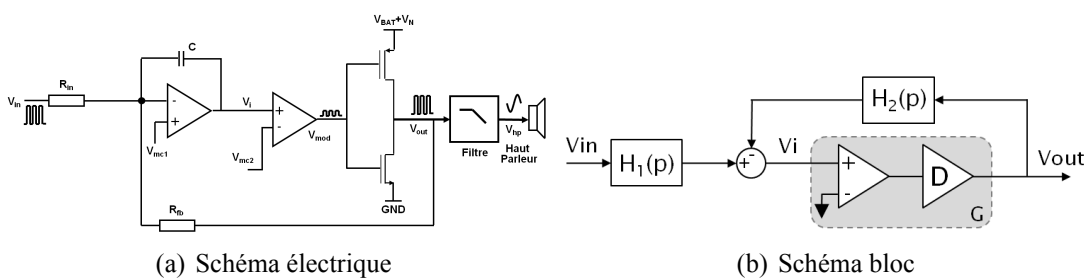


FIGURE 4.13 – Modélisation des éléments commutés

La modélisation de l'ensemble comprenant le comparateur et l'étage de puissance, nommé  $G$  sur la figure 4.13(b) pose problème. Les deux autres blocs,  $H_1$  et  $H_2$  sont définis par :

$$H_1(p) = -\frac{1}{R_{in}Cp} \quad \text{et} \quad H_2(p) = \frac{1}{R_{fb}Cp}$$

Le signal  $V_i(p)$  s'exprime :

$$V_i(p) = H_1(p) \times V_{in}(p) - H_2(p) \times V_{out}(p) \quad (4.24)$$

Or le signal d'entrée de la boucle,  $V_{in}$ , est un train d'impulsions d'amplitude  $V_{ana}$ . Ce train d'impulsions peut être décomposé en deux signaux distincts noté  $V_{in50}$  et  $V_{audio}$  comme illustré sur la figure 4.14. Le signal  $V_{in50}$  est un signal de rapport cyclique  $\alpha = 0.5$ , d'amplitude  $V_{ana}$  alors que le train d'impulsions portant l'information audio,  $V_{audio}$ , prendra des valeurs égales à  $-V_{ana}$ , 0 ou  $V_{ana}$ . Ainsi Le signal  $V_{in}(p)$  vérifie :

$$V_{in}(t) = V_{audio}(t) + V_{in50}(t) \quad (4.25)$$

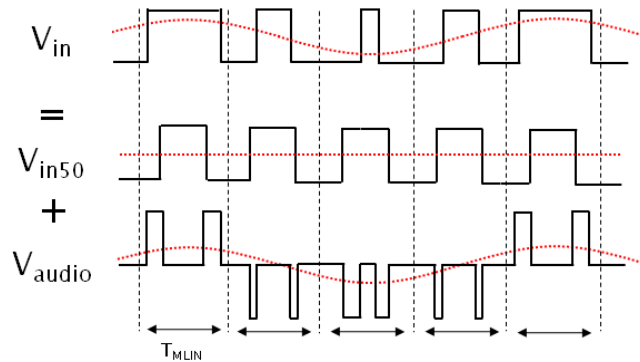


FIGURE 4.14 – Décomposition du mode commun contenu dans le signal d'entrée  $V_{in}$

L'action du comparateur est de vérifier la condition :

$$V_i(t) > 0 \quad (4.26)$$

Pour une gamme de fréquences faibles devant  $F_{mlin}$ , soit la fréquence du signal carré  $V_{in50}$ , il est possible de séparer l'action de  $H_1$  en deux actions distinctes dans le domaine fréquentiel :

- En basse fréquence devant  $F_{mlin}$ ,  $H_1$  agit sur le contenu audio du signal  $V_{in}$ , soit sur  $V_{audio}$ ,
- Ailleurs,  $H_1$  intègre le signal carré  $V_{in50}$  pour créer une rampe.

Le schéma bloc de la figure 4.13(b) est équivalent à celui de la figure 4.15. Cette équivalence est donc valable pour des fréquences inférieures à la fréquence de génération du procédé de MLIN, c'est à dire  $384kHz$  dans la solution présentée dans ce manuscrit. L'action intégrale du bloc  $H_1$  crée donc une rampe virtuelle au niveau du comparateur. Cette approche permet de mettre en évidence deux points importants sur le fonctionnement d'une boucle à accroche de phase :

1. C'est la tension de mode commun qui permet à la boucle de fonctionner,
2. La fréquence des commutations est imposée par la fréquence de la MLIN en amont du système analogique.

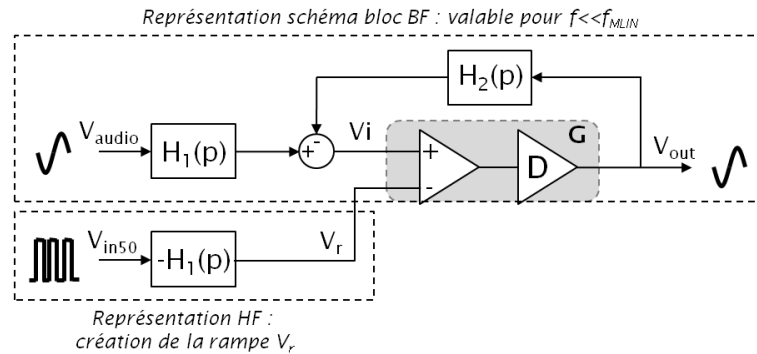


FIGURE 4.15 – Création d'une rampe virtuelle via la tension de mode commun du signal d'entrée

L'ensemble des éléments non linéaires peut donc être modélisé pour les signaux audio comme une MLI en calculant l'amplitude de la rampe virtuelle  $V_r$  de la figure 4.15. Par analogie avec une MLI (voir paragraphe 2.2.1.2 - équation 2.5), le gain équivalent du bloc  $G$  a pour expression :

$$G = \frac{V_{bat}}{V_r}$$

Dans cette relation,  $V_{bat}$  représente l'amplitude de la tension d'alimentation de l'étage de puissance et  $V_r$  l'amplitude du signal de rampe virtuel. Pour une étude fréquentielle, le signal  $V_{in50}$  prend comme valeurs  $-V_{ana}/2$  et  $V_{ana}/2$ . Le calcul de l'amplitude du signal  $V_r$  dépend également de la structure du correcteur. Dans le paragraphe suivant, deux exemples seront traités.

## 4.3.2 Réponse fréquentielle de la boucle de contrôle non linéaire

### 4.3.2.1 Cas de l'action intégrale d'ordre un

Dans la structure de principe avec une action intégrale d'ordre un, comme présenté à la figure 4.13(a), le signal de rampe virtuel  $V_r(p)$  s'exprime :

$$V_r(p) = \frac{V_{in50}(p)}{R_{in}Cp}$$

L'amplitude  $V_r$  du signal  $V_r(p)$  est :

$$V_r = \underbrace{\frac{V_{ana}}{2R_{in}C}}_{\text{pente}} \times \underbrace{\frac{T_{MLIN}}{2}}_{\text{temps}} = \frac{V_{ana}}{4f_{MLIN}R_{in}C}$$

Le gain équivalent des éléments non linéaires  $G$ , par analogie avec une MLI, s'exprime donc :

$$G = \frac{V_{bat}}{V_r} = 4 \frac{V_{bat}}{V_{ana}} f_{MLIN} R_{in} C$$

La fonction de transfert du système en boucle fermée,  $STF(p)$ , est :

$$STF(p) = \frac{V_{out}(p)}{V_{in}(p)} = -H_1(p) \frac{G}{1 + GH_2(p)} = -\frac{R_{fb}}{R_{in}} \frac{1}{1 + \underbrace{\frac{R_{fb}C}{G}}_{\tau_c} p}$$

La boucle de contrôle analogique avec une action intégrale d'ordre un se comporte comme un système du premier ordre, de gain statique  $G_{DC} = -\frac{R_{fb}}{R_{in}}$  et de fréquence de coupure  $f_c$  :

$$f_c = \frac{1}{2\pi\tau_c} = \frac{G}{2\pi R_{fb}C} = 2f_{MLIN} \frac{V_{bat}}{V_{ana}} \frac{R_{in}}{R_{fb}}$$

La stabilité dite *grands signaux* impose, d'après l'étude menée dans la section 4.2.4 de ce chapitre :

$$\frac{R_{fb}}{R_{in}} \geq \frac{V_{bat}}{V_{ana}} \Rightarrow \frac{V_{bat}}{V_{ana}} \frac{R_{in}}{R_{fb}} \leq 1$$

Ainsi, la boucle d'asservissement analogique d'ordre un aura une bande passante au mieux égale à  $2f_{MLIN}$ , valeur limitée par la condition de stabilité *grands signaux*. L'étude de la stabilité *petits signaux* se fait en étudiant la boucle ouverte  $BO(p)$  du système qui s'exprime :

$$BO(p) = GH_2(p) = 4 \frac{V_{bat}}{V_{ana}} \frac{R_{in}}{R_{fb}} f_{MLIN} p$$

Comme  $BO(p)$  comporte seulement un pôle à l'origine, alors la phase de  $BO(p)$  est constante et vaut :

$$\varphi(BO(p)) = -\frac{\pi}{2}$$

Le système est donc inconditionnellement stable car sa marge de phase  $M\varphi$  est constante et vaut  $M\varphi = \frac{\pi}{2}$ .

### 4.3.2.2 Cas de l'action intégrale d'ordre deux

#### 4.3.2.2.1 Architecture et comportement fréquentiel

Comme dans un amplificateur de classe D analogique basé sur une MLI, l'augmentation de l'ordre de l'action intégrale peut sembler judicieuse pour augmenter le gain de la boucle en bande audio et ainsi augmenter les performances de reproduction sonore tel que le *PSRR* [75]. Cette modification peut se faire de deux façons :

1. En utilisant un réseau de contre-réaction d'ordre 2 au niveau de l'AO réalisant l'action intégrale (figure 4.16(a)),
2. En cascade de deux actions intégrales d'ordre un (figure 4.16(b))

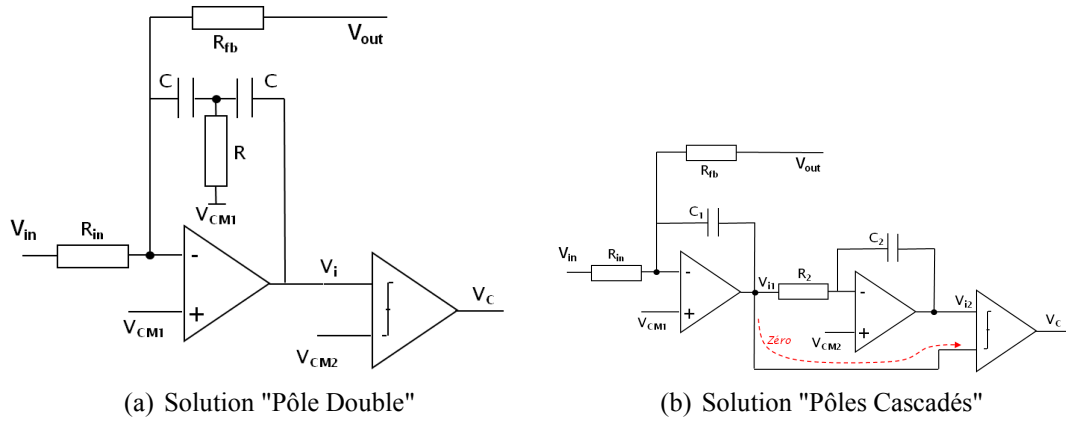


FIGURE 4.16 – Réalisation de l'action intégrale double

Dans les deux cas, un zéro doit être présent dans la boucle d'asservissement pour éviter que le système oscille à cause du délai de propagation au niveau de l'étage de puissance. Dans la solution dite "Pôle Double" (PD) (fig 4.16(a)), le zéro est intrinsèque à la réalisation des deux pôles tandis que dans la solution "Pôles Cascadés" (fig 4.16(b)), le zéro est introduit mathématiquement par la soustraction des signaux  $V_{i1}$  et  $V_{i2}$  au niveau du comparateur.

En supposant l'AO idéal, le schéma-bloc de la solution "Pôle Double" est similaire à celui de la solution avec action intégrale d'ordre un, avec :

$$H_1(p) = -\frac{1 + 2RCp}{R_{in}RC^2p^2} \quad \text{et} \quad H_2(p) = \frac{1 + 2RCp}{R_{fb}RC^2p^2}$$

La fonction de transfert du système en boucle fermée  $STF_{PD}(p)$  s'écrit alors :

$$STF_{PD}(p) = \frac{V_{out}(p)}{V_{in}(p)} = -H_1(p) \frac{G}{1 + GH_2(p)} = -\frac{R_{fb}}{R_{in}} \frac{1 + 2RCp}{1 + 2RCp + \frac{R_{fb}RC^2}{G}p^2}$$

Le comportement du système est donc d'ordre deux avec les caractéristiques (fréquence propre  $f_0$  et amortissement  $m$ ) suivantes :

$$f_{0PD} = \frac{1}{2\pi} \sqrt{\frac{G}{R_{fb}RC^2}} \quad \text{et} \quad m_{PD} = \sqrt{\frac{R}{R_{fb}}G}$$

Dans le cas de la structure "Pôles Cascadés" (PC), le schéma-bloc devient (figure 4.17) :



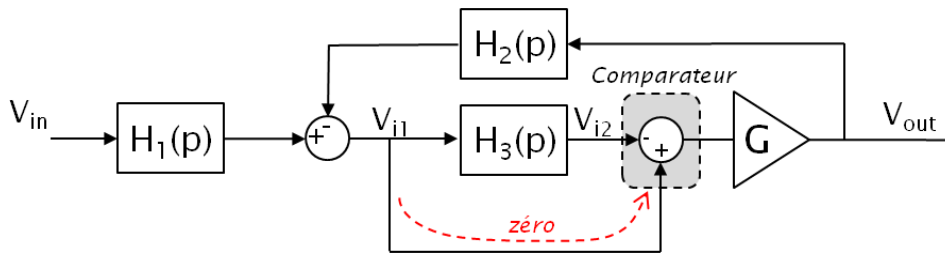


FIGURE 4.17 – Schéma-bloc de la structure "Pôles Cascadés"

Avec :

$$H_1(p) = -\frac{1}{R_{in}Cp} \quad , \quad H_2(p) = \frac{1}{R_{fb}Cp} \quad \text{et} \quad H_3(p) = -\frac{1}{R_2C_2p}$$

Un raisonnement similaire au précédent conduit alors à :

$$STF_{PC}(p) = \frac{V_{out}(p)}{V_{in}(p)} = H_1(p) \frac{G(1 - H_3(p))}{1 + H_2(p)G(1 - H_3(p))} = -\frac{R_{fb}}{R_{in}} \frac{1 + R_2C_2p}{1 + R_2C_2p + \frac{R_2C_2R_{fb}C_1}{G}p^2}$$

dont les caractéristiques sont :

$$f_{0PC} = \frac{1}{2\pi} \sqrt{\frac{G}{R_{fb}R_2C_1C_2}} \quad \text{et} \quad m_{PC} = \sqrt{\frac{R_2}{R_{fb}}} G$$

Pour les deux solutions, l'amortissement du système est lié à la position du zéro. Les deux approches sont parfaitement équivalentes d'un point de vue fonction de transfert en considérant les AOs idéaux d'une part et en respectant les égalités suivantes d'autre part (en supposant le terme  $G$  identique dans les deux expressions<sup>4</sup>) :

$$\begin{cases} R_2C_2 = 2RC \\ R_2C_1C_2 = RC^2 \end{cases}$$

L'espace des solutions est de dimension  $n = 2$ , de base :

$$\begin{cases} R_2 = 2R \\ C_2 = C \\ C_1 = \frac{C}{2} \end{cases}$$

Bien que semblables au niveau des fonctions de transfert (en signal et en bruit), ces deux approches sont différentes d'un point de vue architecture. Il s'agit de la nature du zéro, nécessaire à la stabilité de la boucle en étude *petits signaux*. Dans le cas de la structure "Pôle Double", le zéro existe réellement dans la boucle, via la résistance  $R$ . Au contraire, dans la structure "Pôles Cascadés", le zéro est ramené dans la fonction de transfert via l'action du comparateur, et n'est donc pas présent dans la boucle de manière réelle. Cette nuance a toute son importance au niveau

4. Supposition qui s'avère fausse - voir plus loin dans ce chapitre

du comparateur. En effet, le comparateur transforme le signal d'erreur continu  $V_c$  en un train d'impulsions de fréquence  $F_{MLIN}$ . Cette opération peut être vue comme un échantillonnage, créant donc du repliement spectral si le spectre du signal à l'entrée du comparateur contient encore des composantes à  $F_{MLIN}/2$ . Or, par nature, les signaux  $V_{in}$  et  $V_{out}$  ont tous les deux un contenu harmonique dense jusqu'à plus de  $F_{MLIN}$ . Ce contenu doit donc être atténué au maximum. La structure "Pôles Cascadés" est plus avantageuse car le zéro n'est pas présent dans le filtre de boucle. La figure 4.18 illustre le gabarit du rapport entre le signal qui est discrétisé  $V_i$  et le signal d'entrée  $V_{in}$ . Pour les structures  $PC$  et  $PD$ , des gabarits similaires sont possibles pour le rapport  $V_i$  sur  $V_{out}$ , mais comme la stabilité *grands signaux* impose  $R_{fb} > R_{in}$ , alors le cas le plus défavorable est celui illustré.

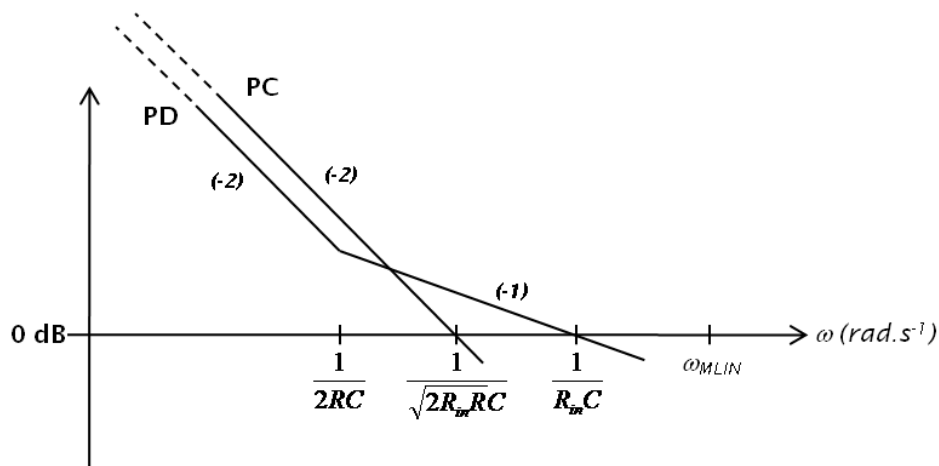


FIGURE 4.18 – Gabarit du filtre de boucle entre  $V_c$  et  $V_{in}$

La structure  $PC$  offre donc, à fonction de transfert équivalente, plus de souplesse au niveau du placement des pôles de la boucle. Ceci permet de maximiser le gain en bande passante et de minimiser le repliement spectral au niveau du comparateur. Les mesures effectuées sur le circuit test réalisé, intégrant les deux structures, ont permis de valider ces études théoriques (voir section 4.5).

#### 4.3.2.2.2 Signaux de rampe virtuels

Pour les deux architectures présentées, l'analyse de la stabilité *petits signaux* peut être menée via la modélisation des éléments commutés présentée dans ce chapitre. Le calcul de l'expression de  $G$  et de son domaine de validité doit donc être réalisé pour chaque structure. Ici encore, la structure  $PC$  présente un avantage sur la structure  $PD$ . L'amplitude des signaux de rampe virtuels  $V_{rPD}$  et  $V_{rPC}$ , correspondant respectivement aux architectures  $PD$  et  $PC$ , dépend de la

nature du bloc  $H_1(p)$ . Pour  $G_{PC}$ ,  $H_{1PC}(p) = -\frac{1}{R_{in}Cp}$ . Comme dans le cas de l'action intégrale d'ordre un, l'amplitude de la rampe virtuelle  $V_{rPC}$  s'exprime :

$$V_{rPC} = \underbrace{\frac{V_{ana}}{2R_{in}C}}_{\text{pente}} \times \underbrace{\frac{T_{MLIN}}{2}}_{\text{temps}} = \frac{V_{ana}}{4f_{MLIN}R_{in}C}$$

De même, pour la structure  $PD$ ,  $H_{1PD}(p) = -\frac{1+2RCp}{R_{in}RC^2p^2} \approx -\frac{2}{R_{in}Cp}$ . Ainsi,

$$V_{rPD} = \frac{V_{ana}}{2f_{MLIN}R_{in}C}$$

L'amplitude de la rampe virtuelle  $V_{rPD}$  est deux fois plus grande que celle de  $V_{rPC}$ . Le gain équivalent aux éléments commutés dans la structure  $PD$ ,  $G_{PD}$ , est donc deux fois supérieur à celui de la structure  $PC$ ,  $G_{PC}$ . La structure  $PD$ , de part son plus grand gain  $G_{PD}$ , aura une réjection des variations d'alimentation supérieure de  $6dB$ . Cependant, le calcul de l'expression de  $H_{1PD}$  est une approximation valable pour  $RCp \gg 1$ , c'est à dire pour des fréquences relativement élevées par rapport à la bande audio. Ainsi, le signal de rampe virtuel  $V_{rPD}$  n'est pas parfaitement triangulaire créant ainsi de la distorsion harmonique non corrigable dans la boucle. De plus, en considérant les expressions de  $G_{PD}$  et  $G_{PC}$ , les relations d'équivalence des fonctions de transfert vu précédemment sont légèrement modifiées et conduisent à :

$$C_1 = \frac{C}{4}$$

Ainsi, le filtrage effectué par l'action intégrale double est encore plus favorable d'un rapport  $1/\sqrt{2}$ , soit  $-3dB$ , que celui illustré sur la figure 4.18. Le pôle double,  $f_{p^2}$  de l'action intégrale cascadée n'est plus situé à  $f_{p^2} = 1/(2\pi\sqrt{2R_{in}RC})$  mais à  $f_{p^2} = 1/(2\pi 2\sqrt{R_{in}RC})$ . Enfin, d'un point de vue intégration, la taille globale des composants passifs est plus faible pour la structure  $PC$  que pour la structure  $PD$ , favorisant la diminution de la surface silicium occupée par la boucle d'asservissement analogique.

#### 4.3.2.2.3 Stabilité petits signaux

L'étude de la stabilité *petits signaux* des architectures  $PD$  et  $PC$  peut être réalisée par l'étude des boucles ouvertes  $BO_{PD}(p)$  et  $BO_{PC}(p)$ , respectivement définies, d'après les figures 4.13(b) et 4.17, par :

$$\begin{cases} BO_{PD}(p) = G_{PD}H_2(p) \\ BO_{PC}(p) = G_{PC}H_2(p)(1 - H_3(p)) \end{cases}$$

Ainsi,

$$BO_{PD}(p) = 2\frac{V_{bat}}{V_{ana}} \frac{1 + 2RCp}{\frac{R_{fb}}{R_{in}} \frac{RC}{f_{MLIN}} p^2} = \frac{1 + \frac{p}{\omega_{zPD}}}{\frac{p^2}{\omega_{pPD}^2}}$$

Avec

$$\omega_{zPD} = \frac{1}{2RC} \quad \text{et} \quad \omega_{pPD} = \sqrt{2 \frac{V_{bat}}{V_{ana}} \frac{R_{in}}{R_{fb}} \frac{f_{MLIN}}{RC}}$$

Selon la position fréquentielle relative du zéro  $\omega_{zPD}$  par rapport à celle du pôle double  $\omega_{pPD}$ , deux cas de figure sont possibles (figures 4.19(a) et 4.19(b)) :

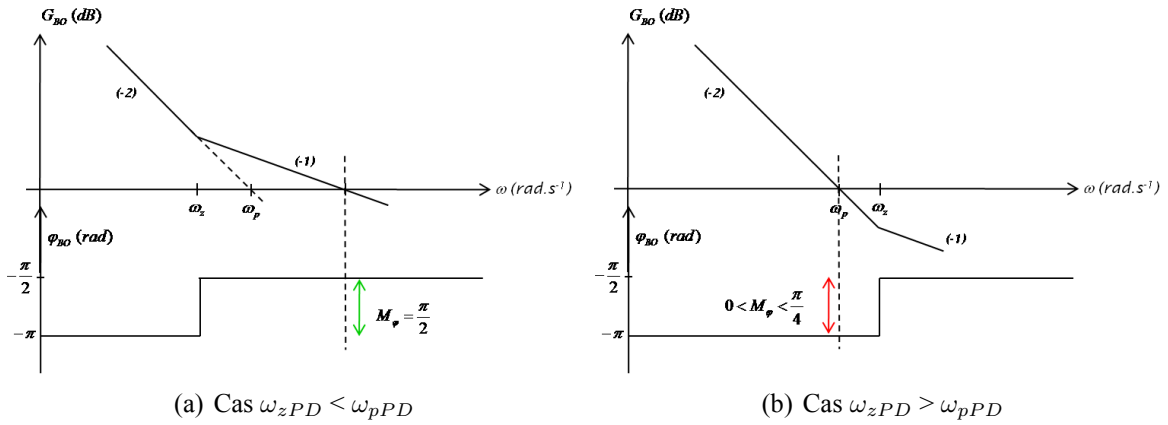


FIGURE 4.19 – Lieu de bode de  $BO_{PD}(p)$

Le cas limite où  $\omega_{zPD} = \omega_{pPD}$  conduit à  $M_\varphi = \pi/4$ , qui correspond à la limite de la stabilité physique<sup>5</sup>. La stabilité *petits signaux* de la structure *PD* est donc assurée dans le cas où :

$$\omega_{zPD} \leq \omega_{pPD}$$

Soit,

$$\frac{1}{2RC} \leq \sqrt{2 \frac{V_{bat}}{V_{ana}} \frac{R_{in}}{R_{fb}} \frac{f_{MLIN}}{RC}}$$

Ce qui conduit à :

$$R \geq \frac{R_{fb}}{8R_{in}C} \frac{V_{ana}}{V_{bat}} \quad (4.27)$$

De même, pour la structure *PC* :

$$BO_{PC}(p) = 4 \frac{V_{bat}}{V_{ana}} \frac{1 + R_2 C_2 p}{R_2 R_{fb} C_2 C_1 p^2} f_{MLIN} R_{in} C_1 = \frac{1 + \frac{p}{\omega_{zPC}}}{\frac{p^2}{\omega_{pPC}^2}}$$

Avec

$$\omega_{zPC} = \frac{1}{R_2 C_2} \quad \text{et} \quad \omega_{pPC} = \sqrt{4 \frac{V_{bat}}{V_{ana}} \frac{f_{MLIN} R_{in}}{R_2 R_{fb} C_2}}$$

La valeur de la capacité  $C_1$ , donc la position fréquentielle du pôle double, est indépendante de la stabilité. Il sera donc possible, sur la structure *PC*, d'augmenter la bande passante jusqu'à

5. La stabilité théorique est assurée à  $M_\varphi > 0$ , en pratique, pour éviter les réponses transitoires oscillantes peu amorties, il faut  $M_\varphi > \pi/4$  (soit une réponse temporelle caractérisée par  $m > 0.7$ )

sa valeur maximale, limitée par le critère de non saturation *grands signaux* (voir paragraphe 4.2.5). Comme pour la structure *PD*, deux cas de figure sont possibles pour l'approche *PC*. Un raisonnement similaire au précédent conduit à :

$$R_2 \geq \frac{R_{fb} V_{ana}}{4R_{in} V_{bat}} \frac{1}{C_2 f_{MLIN}} \quad (4.28)$$

La relation 4.28 est identique à la relation 4.27 si les considérations d'équivalence des fonctions de transfert vues plus tôt dans ce manuscrit sont appliquées.

### 4.3.3 Méthode de réduction des EMI

La technique de réduction des harmoniques liées à la MLIN mise en place dans la structure étudiée dans ce chapitre utilise le fait que la charge est dans une configuration pont en H (soit en connexion dite *BTL*<sup>6</sup> - voir figure 4.20). Un signal différentiel nul aux bornes du haut parleur peut avoir deux origines. En effet, pour obtenir  $V_{hp} = 0$ , il faut que  $V_{outm} = V_{outp}$ , soit deux configurations possibles :

1.  $V_{outm} = V_{outp} = 1$
2.  $V_{outm} = V_{outp} = 0$

où 1 et 0 représentent les niveaux haut et bas du train d'impulsions de sortie.

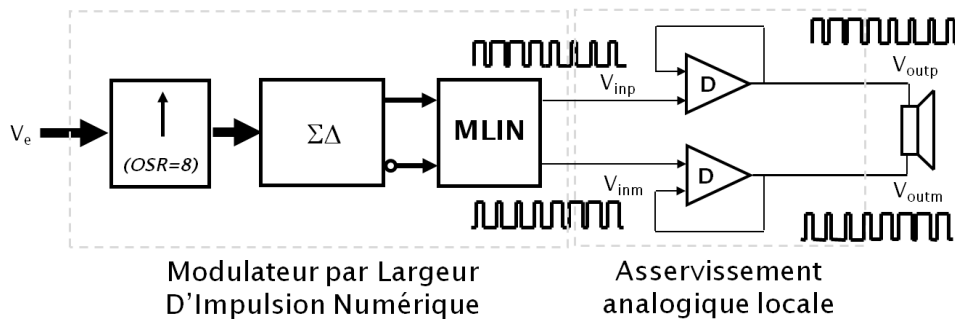


FIGURE 4.20 – Asservissement analogique local avec connexion *BTL*

L'origine des émissions électro-magnétiques autour du circuit intégré sont les pistes reliant le circuit à sa charge, qui ne voient que le signal de mode commun (voir fig 4.21). Il a donc été envisagé de modifier les spectres des signaux de mode commun (soit  $V_{outp}$  et  $V_{outm}$ ) sans modifier le signal différentiel  $V_{hp}$  pour répartir leur contenu énergétique et ainsi limiter les émissions locales d'énergie. Un signal aléatoire  $V_N$  est ajouté aux deux signaux d'entrée  $V_{inp}$  et  $V_{inm}$ , afin de modifier les spectres des signaux  $V_{outp}$  et  $V_{outm}$  tout en conservant les signaux différentiels d'entrée  $V_{in}$  et de sortie  $V_{hp}$  identiques.

6. Bridge Tied Load

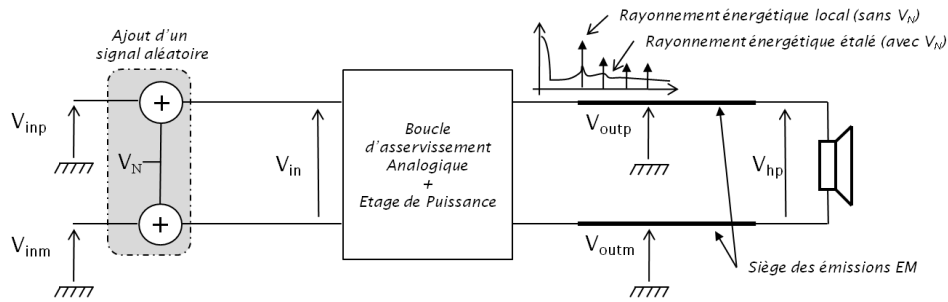


FIGURE 4.21 – Signaux différentiels et signaux de mode commun

L'allure des différents signaux de l'architecture étudiée dans ce chapitre est représentée sur la figure 4.22(a). Le rôle des boucles d'asservissement analogiques  $P$  et  $M$  est de reproduire à l'identique les trains d'impulsions d'entrée  $V_{inp}$  et  $V_{inm}$ . L'ajout du signal  $V_N$  se fait en pratique par l'introduction de commutations aléatoires sur les états identiques des signaux  $V_{inm}$  et  $V_{inp}$  comme illustré sur les figures 4.22(a) et 4.22(b). La choix des commutations se fait via l'utilisation d'un bit de contrôle  $N$ , tiré de manière aléatoire toutes les demi périodes de  $MLIN$ , soit à  $f_N = 768kHz$ , avec une probabilité de valeur à 1 réglable (tirage réussi signifie commutation des états identiques). Cette probabilité sera choisie faible afin de limiter le nombre de commutations rajoutées et donc limiter la perte de rendement au niveau de l'étage de puissance.

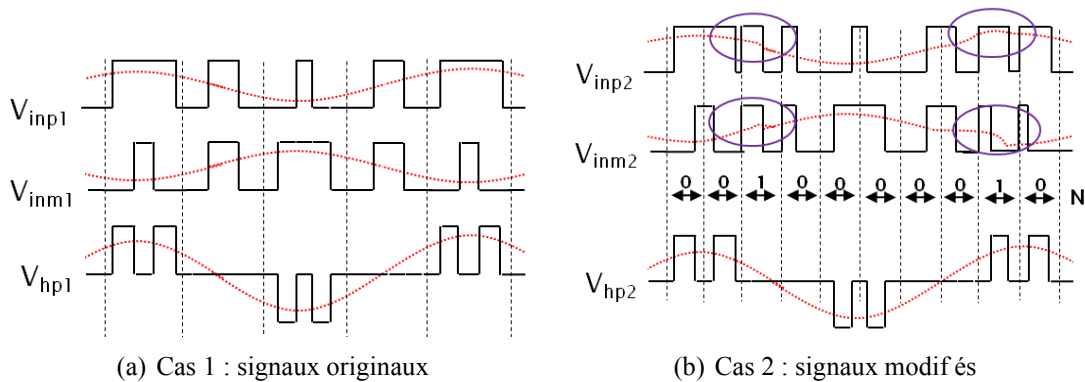


FIGURE 4.22 – Principe de l'étalement du spectre de la MLIN

Dans les cas 1 et 2, la tension aux bornes du haut parleur,  $V_{hp1}$  et  $V_{hp2}$ , est donc identique et l'information audio n'est pas modifiée. Le fait d'ajouter un signal  $V_N$  de forme aléatoire permet d'obtenir un étalement des spectres des signaux de mode commun  $V_{outm}$  et  $V_{outp}$  tout en conservant le spectre original du signal différentiel associé à ces deux signaux de mode commun. Les spectres des signaux  $V_{outp}$  sont illustrés sur les figures 4.23(a), 4.23(b), respectivement sans et avec modification due à l'ajout de  $V_N$ . De même, les figures 4.24(a) et 4.24(b) montrent les spectres des signaux de sortie différentiels  $V_{hp}$  avec un signal d'entrée de fréquence  $1kHz$  et

d'amplitude  $-6dBFS$ , respectivement sans et avec modification due à l'ajout de  $V_N$ .

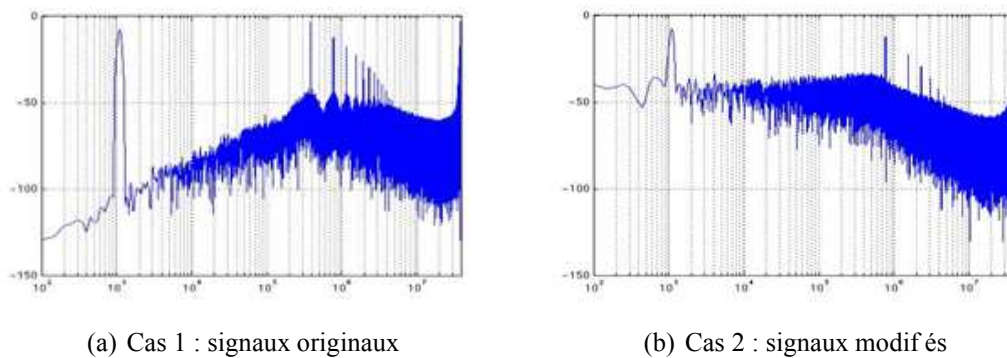


FIGURE 4.23 – Spectres des signaux  $V_{outp}$

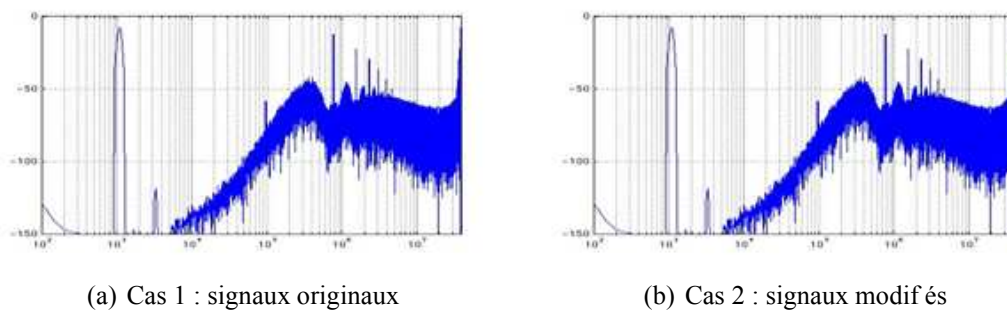


FIGURE 4.24 – Spectres des signaux  $V_{hp}$

La mise en fonctionnement de l'insertion d'erreurs aléatoires sur les voies  $P$  et  $M$  de l'amplificateur ainsi que la fréquence de ces erreurs seront contrôlées de l'extérieur afin de vérifier le bon fonctionnement du système.

## 4.4 Intégration de l'asservissement analogique local

L'ensemble modulateur numérique et boucle d'asservissement analogique a été intégré en technologie CMOS 130nm dans un circuit test identique à celui du chapitre 3. La carte d'évaluation et l'étage de puissance utilisé sont également identiques à ceux utilisés dans les circuits des chapitres 2 et 3.

### 4.4.1 Architecture

Les architectures  $PD$  et  $PC$  ont été toutes deux intégrées avec des fonctions de transferts équivalentes. Le choix des valeurs des composants passifs a été réalisé en tenant compte de toutes les contraintes présentées dans ce chapitre :

1. Fonctionnement *grand signaux* (voir 4.2.5),
2. Stabilité *grands signaux* (voir 4.2.4),
3. Réponse fréquentielle (voir 4.3.2.2.1),
4. Stabilité *petits signaux* (voir 4.3.2.2.3).

Le rapport entre les composants  $R_{fb}$  et  $R_{in}$  impose en premier lieu le gain audio de la boucle d'asservissement analogique. La stabilité *grands signaux* du système nécessite un gain supérieur au rapport de l'alimentation de puissance  $V_{bat}$  sur l'alimentation numérique  $V_{ana}$ . D'un point de vue système, cette contrainte est bénéfique car en réalisant une boucle d'asservissement avec un gain, il est possible de limiter l'amplitude de sortie des signaux du modulateur numérique tout en conservant une amplitude maximale en sortie de la boucle analogique. Ainsi, le modulateur  $\Sigma\Delta$  compris à l'intérieur du modulateur numérique ne fonctionnera jamais à pleine échelle et ne saturera donc pas. La tension d'entrée  $V_{ana}$  est fixée à 2.5V, tandis que la tension d'alimentation de l'étage de puissance  $V_{bat}$  peut varier de 2.3V à 4.8V. Le cas le plus défavorable à la vérification de l'inéquation caractérisant la stabilité *grands signaux* de la boucle d'asservissement (4.14) correspond à  $V_{bat} = 4.8V$ . Il faut donc :

$$\frac{R_{fb}}{R_{in}} > \frac{V_{bat}}{V_{ana}} = \frac{4.8}{2.5} = 1.92$$

Ainsi, pour respecter la condition de stabilité ci-dessus, et tenir compte du compromis entre bruit thermique (comme vu dans le chapitre 2) et consommation statique, les valeurs retenues pour les composants  $R_{fb}$  et  $R_{in}$  sont :

$$\begin{aligned} R_{in} &= 100k\Omega \\ R_{fb} &= 200k\Omega \end{aligned}$$

Ensuite, la condition de non saturation des signaux d'erreur fixe la valeur minimale possible pour la capacité d'intégration (équation 4.23), donc la valeur maximale du pôle déterminant la bande passante du système :

$$C_{MIN} = \frac{V_{ana}R_{fb} - V_{bat}R_{in}}{2F_{MLIN}(R_{in}R_{fb}V_{bat})}$$

Le pire cas est atteint pour  $V_{bat} = 4.8V$ , et la relation précédente donne :

$$C_{MIN} = 7.65pF$$

Comme la valeur exacte d'une capacité intégrée en technologie CMOS subit une forte variation, de l'ordre de 20%, il faut prendre de la marge par rapport à la valeur de  $C_{MIN}$ . Plus la valeur



de  $C$  est faible, plus la bande passante de l'asservissement sera faible et plus l'atténuation sera forte, évitant ainsi le repliement spectral au niveau du comparateur. L'analyse de tous ces compromis a conduit au choix de  $C = 17.5pF$ . Enfin, la valeur de  $R$  doit être minimale pour placer le zéro le plus haut possible en fréquence (et donc avoir un gain en bande audio important) tout en conservant la stabilité *petits signaux*, définie par la relation 4.27. Ainsi, la valeur retenue est  $R = 100k\Omega$ . Le tableau 4.2 résume la valeur des composants passifs de la boucle d'asservissement pour assurer une équivalence d'un point de vue fonction de transfert des structures  $PD$  et  $PC$ .

	$PD$	$PC$
$R_{in}$	$100k\Omega$	$100k\Omega$
$R_{fb}$	$200k\Omega$	$200k\Omega$
$R$	$100k\Omega$	$100k\Omega$
$R_2$	-	$200k\Omega$
$C$	$17.5pF$	-
$C_1$	-	$4.375pF$
$C_2$	-	$17.5pF$

TABLE 4.2 – Choix des composants passifs pour les architectures  $PD$  et  $PC$

#### 4.4.2 Conception du contrôle en CMOS 130nm

La figure 4.25 représente la liste des cellules analogiques élémentaires requises pour une voie de l'amplificateur. Seul le bloc "Contrôle" diffèrera selon l'architecture ( $PD$  ou  $PC$ ) utilisée. Les blocs représentés en pointillés ont été réutilisés. Les schémas électriques de toutes les cellules conçues pour cet amplificateur sont donnés dans l'annexe ??.

Les amplificateurs opérationnels réalisant les fonctions mathématiques simples requises dans les blocs de génération de tensions de mode commun et les suiveurs adaptant l'impédance de la tension de référence sont identiques et ont les caractéristiques typiques (et pire cas Monte Carlo) suivantes :

$$GBW = 1MHz(870kHz) \quad - \quad M_\varphi = 68^\circ(41^\circ) \quad - \quad I_0 = 20\mu A$$

Il s'agit d'amplificateur à deux étages (étage d'entrée différentielle PMOS à charge active NMOS puis étage de gain NMOS source commune polarisé en classe A). Comme ces amplificateurs ne sont chargés que par d'autres blocs analogiques, ils ne requièrent pas d'étage

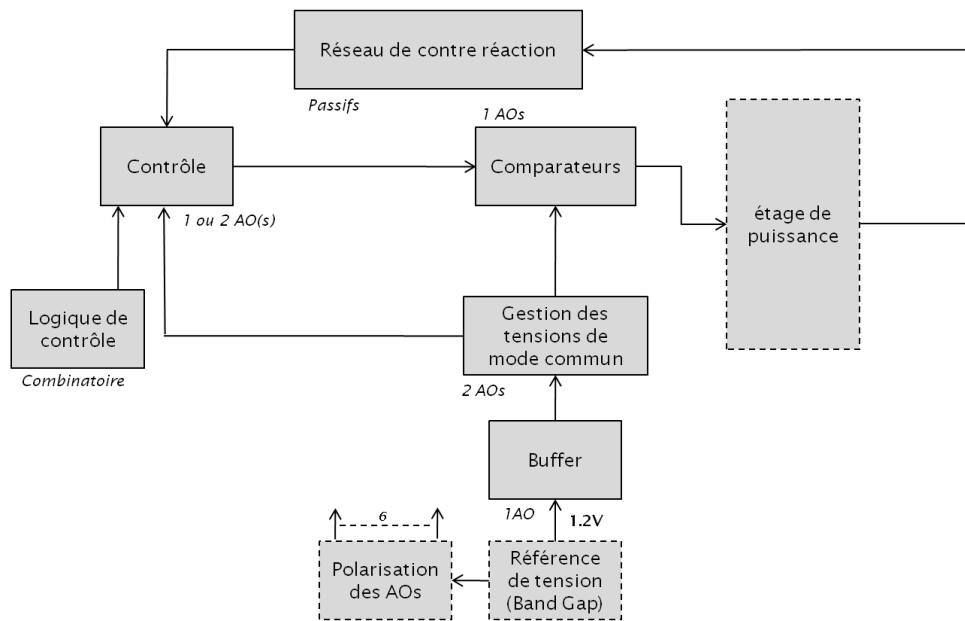


FIGURE 4.25 – Architecture de la partie analogique du circuit test

de sortie particulier. Les amplificateurs opérationnels réalisant le bloc de contrôle, ont, quant à eux, les caractéristiques typiques (et pire cas Monte Carlo) suivantes :

$$GBW = 10MHz(7.42MHz) \quad - \quad M_{\varphi} = 59^{\circ}(37^{\circ}) \quad - \quad I_0 = 70\mu A$$

Il s'agit d'amplificateur à deux étages, mais dont l'étage d'entrée est à charge cascode repliée afin d'augmenter le produit gain-bande de l'ensemble et tolérer une excursion plus importante des signaux d'entrée (de type train d'impulsions). Tous les amplificateurs opérationnels cités ci-dessus ont été conçus en veillant à ce que leur bruit équivalent reste inférieur à  $5\mu V_{RMS}$  sur la bande audio. Enfin, le comparateur est quasiment identique à celui présenté dans le chapitre 2 (voir figure 2.27). Seuls les transistors assurant l'accélération du basculement ont été redimensionnés afin de satisfaire le bon fonctionnement de la cellule avec des signaux d'entrée de forme différente.

## 4.4.3 Conception du circuit test

### 4.4.3.1 Gestion des alimentations

En réalité, le modulateur numérique est alimenté par  $V_{dig} = 1.2V$  et non pas  $V_{ana} = 2.5V$  afin de minimiser la consommation de la partie numérique et permettre l'utilisation de transistors MOS type GO1, c'est à dire à faible épaisseur d'oxyde. Des translateurs de niveaux<sup>7</sup>

7. "level shifter (LS)" en anglais

ont donc été insérés entre le modulateur numérique et la boucle d'asservissement analogique afin de compenser la faible valeur d'alimentation numérique. Cette solution a été préférée au redimensionnement des résistances  $R_{fb}$  et  $R_{in}$  sinon le trop grand écart entre  $V_{bat} = 4.8$  et  $V_{num} = 1.1V$  imposait l'utilisation de grandes valeurs de résistance, sources de bruit thermique trop important (voir section 2.3.2.3.1). Le circuit test comprend donc tous les blocs suivants (f.g. 4.26) :

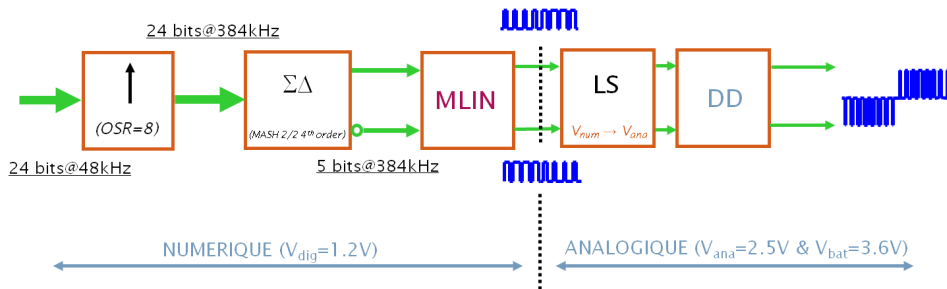


FIGURE 4.26 – Contenu du circuit test

Le gain global de toute la structure se répartit donc en trois gains d'origine distincte :

1. le gain  $G_{MLIN}$  au niveau de la modulation par largeur d'impulsion numérique, dû à l'utilisation d'horloges différentes (voir 3.2.5),
2. le gain dû aux translateurs de niveaux,  $G_{LS}$ , égal au rapport des tensions d'entrée et de sortie du bloc en question,
3. le gain de la boucle d'asservissement analogique,  $G_{DC}$ , défini par le rapport des résistances  $R_{fb}$  et  $R_{in}$ .

Avec :

$$G_{MLIN} = \frac{2^m \times OSR \times F_s}{F_{MCLK}} = -3.9dB, \quad G_{LS} = \frac{V_{ana}}{V_{num}} = 6.35dB \text{ et } G_{DC} = \frac{R_{fb}}{R_{in}} = 6dB$$

Le gain total de la chaîne de reproduction sonore présentée dans ce chapitre est donc égal à  $G_{totale} = 8.45dB$ .

#### 4.4.3.1.1 Dessins des masques

La figure 4.27 montre le dessin des masques pour le circuit test réalisé. Il comprend le modulateur numérique du chapitre 3, ainsi que les boucles d'asservissement analogiques présentées dans ce chapitre.

Une voie de la solution  $PD$  mesure  $0.52mm^2$  tandis qu'une voie de la solution  $PC$  mesure  $0.45mm^2$ . La principale différence vient de la taille des composants passifs capacitifs plus

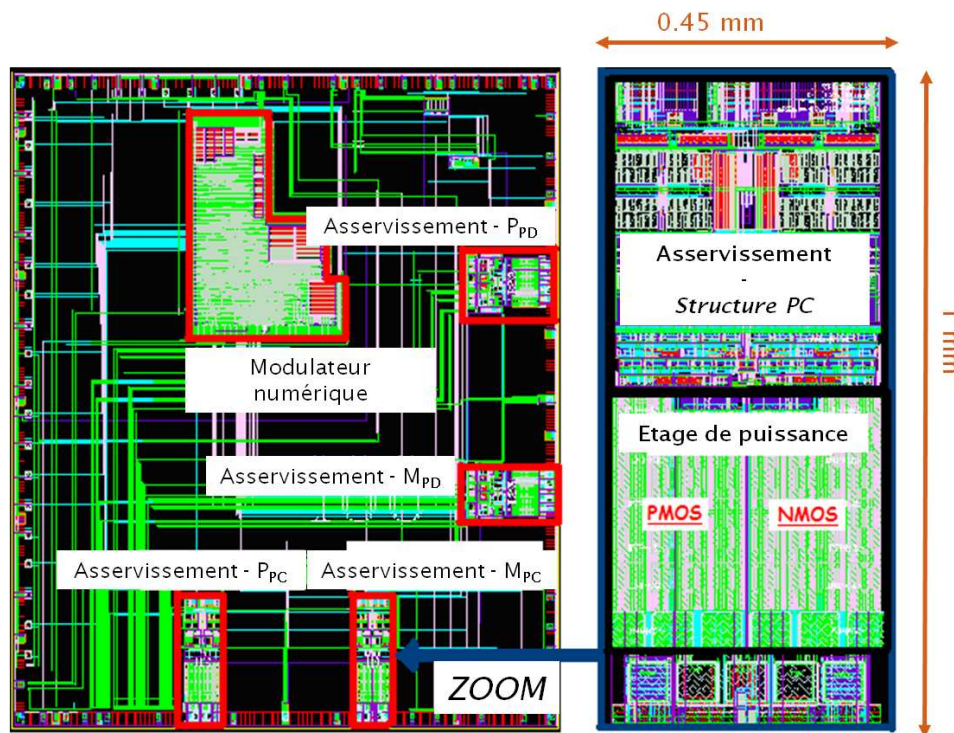


FIGURE 4.27 – Contenu du circuit test

importante pour la solution  $PD$ . Dans le procédé utilisé, la densité d'intégration des capacités MIM<sup>8</sup> est de  $5\text{ fF}/\mu\text{m}^2$ .

#### 4.4.3.2 Circuit et carte de mesure

Le circuit réalisé ainsi que la carte de test sont identiques à ceux du chapitre 3. Ils sont illustrés sur les figures 3.38(a) et 3.38(b).

## 4.5 Caractérisation du circuit réalisé

Comme pour l'amplificateur de classe D à commande analogique auto-oscillant, un rapport de mesures complet est disponible dans l'annexe ???. Seules les mesures permettant de confirmer les aspects théoriques sur les structures  $PD$  et  $PC$  ainsi que sur le fonctionnement de la réduction des harmoniques liées à la modulation seront présentées dans le corps de ce manuscrit de thèse. Les principales performances audio et électriques sont résumées dans le tableau 4.3. Les performances audio et électriques des structures  $PC$  et  $PD$  sont semblables sauf sur deux points, exposés dans la section suivante. Dans l'ensemble, les circuits réalisés répondent

8. Metal - Insulator - Metal

	Cahier des Charges	Simulation Fonctionnelle	Simulation Électrique	Mesure
SNR (dB)	> 90	-	95	85(PD) - 93(PC)
THD @0.7W - 1kHz (%)	< 0.1	0.01	0.02	0.05
PSRR @217Hz - Ve=0 (dB)	> 60	> 100	> 100	80
Rendement @0.7W (%)	85	-	-	87
Rendement @0.1W (%)	50	-	-	61
ICN ( $\mu V_{RMS}$ )	< 50	-	15	29
Consommation statique (mA)	< 2	-	1.5	1.7
Offset (mV)	< 5	-	-	4(PD) - 8(PC)

TABLE 4.3 – Tableau récapitulatif des principales mesures

favorablement au cahier des charges présenté dans la section 1.8.

### 4.5.1 Performances audio

La figure 4.28 représente les mesures du niveau de THD+N pour les architectures *PD* et *PC* en fonction du niveau du signal d'entrée. A partir d'une amplitude de  $-20\text{dbFS}$ , les harmoniques du signal sont noyées dans le bruit qui présente un profil constant.

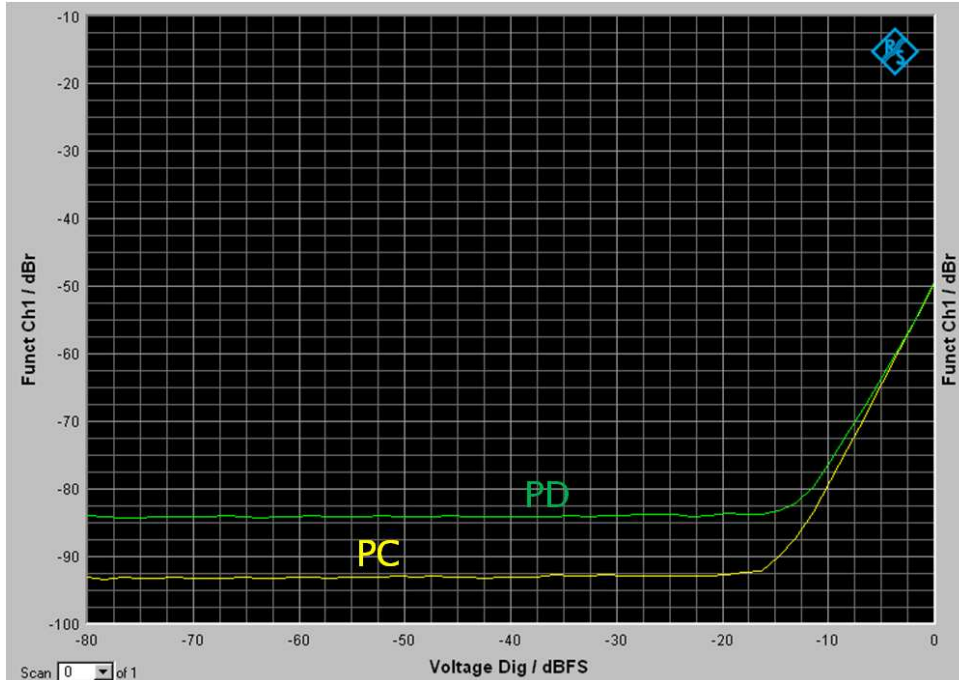


FIGURE 4.28 – THD+N (dBr) en fonction de l'amplitude du signal d'entrée

Le niveau de SNR des architectures *PD* et *PC* sont donc respectivement égaux à  $SNR_{PD} = 85\text{dB}$  et  $SNR_{PC} = 93\text{dB}$ . Afin de bien identifier l'origine de cette différence en terme de bruit, il faut regarder l'allure des spectres des signaux de sortie sur la bande audio. La figure

4.29 montre les spectres des signaux de sortie des structures  $PD$  et  $PC$  pour un signal d'entrée sommant deux tones  $V_1$  et  $V_2$  d'amplitude  $-20dBFS$ , respectivement à  $f_{in1} = 16kHz$  et  $f_{in2} = 18kHz$ . Cette mesure est utilisée pour quantifier la linéarité par calcul des niveaux d'intermodulation haute fréquence audio. L'étude de ces spectres permet de tirer deux conclusions :

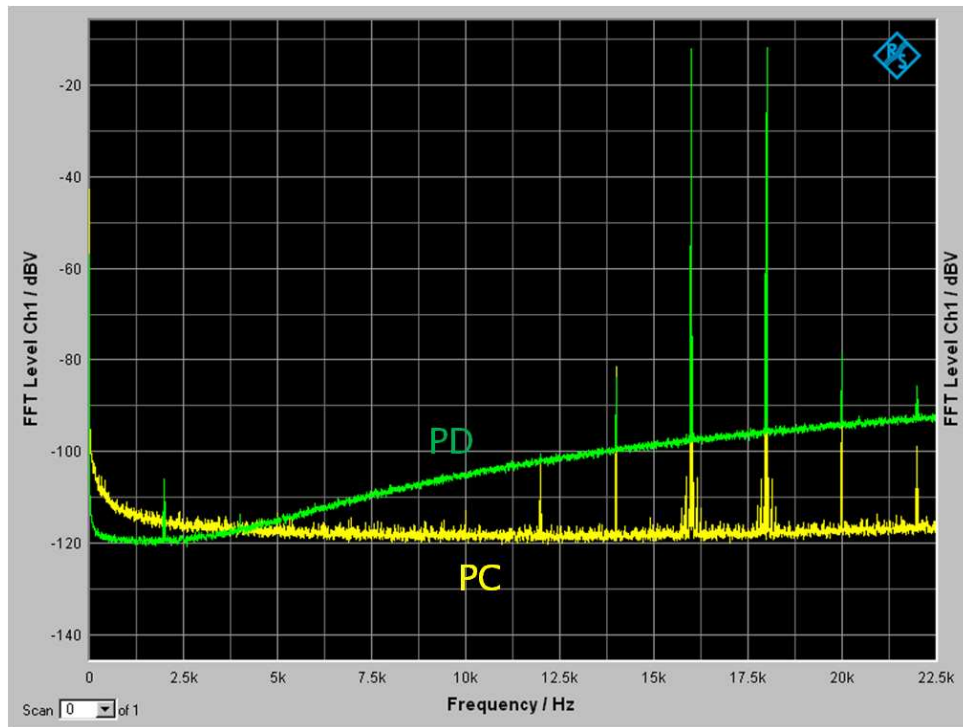


FIGURE 4.29 – Intermodulation à 16kHz et 18kHz

1. Les architectures  $PD$  et  $PC$  sont équivalentes en terme de linéarité car elles présentent des niveaux d'intermodulation identiques,
2. Le profil du bruit en bande audio pour la structure  $PD$  fait penser au repliement spectral de la mise en forme de bruit par modulation  $\Sigma\Delta$  présente dans le modulateur numérique.

Une étude comportementale a permis de confirmer la présence de repliement spectral au niveau du comparateur. La structure  $PD$  filtre moins bien le contenu harmonique des signaux d'entrée et de retour à cause de la présence du zéro au niveau de la fonction de transfert. La figure 4.30 montre le gabarit de la réponse en fréquence des architectures  $PC$  et  $PD$  sur la bande audio. Dans les deux cas, le signal de sortie devrait se situer à  $-20dBFS$ . La fréquence de coupure à  $20kHz$  qui apparait sur cette mesure n'est pas celle de l'amplificateur mais celle de l'analyseur de spectre. La structure  $PD$  présente donc une variation en bande audio égale à  $0.5dB$  tandis que celle de la structure  $PC$  vaut  $0.35dB$ . Dans les deux cas, ces variations respectent le cahier

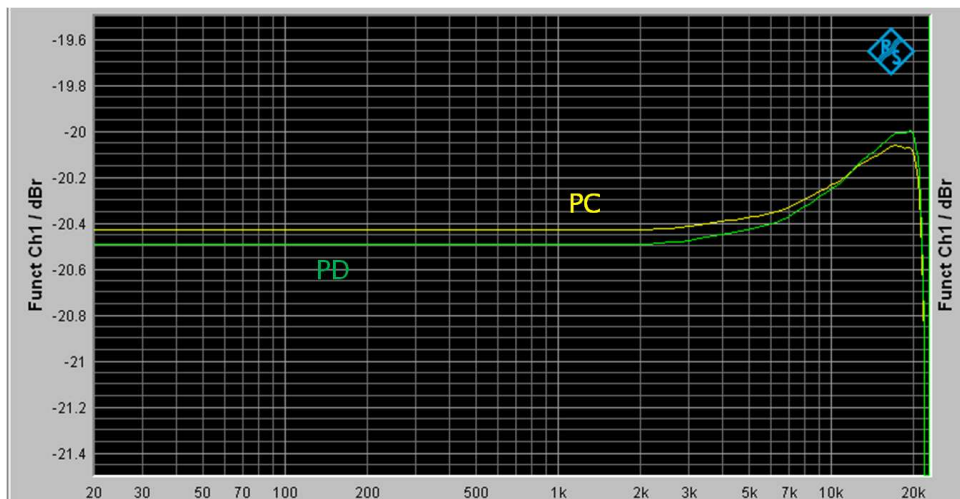


FIGURE 4.30 – Réponse en bande audio pour  $V_{hp} = -20dBFS$

des charges. La structure  $PC$  présente une surtension plus faible autour de  $20kHz$  car son coefficient d'amortissement  $m_{PC}$  est plus fort que celui de la structure  $PD$ .

#### 4.5.2 Réjection des perturbations sur l'alimentation

La motivation principale de la boucle d'asservissement analogique autour de l'étage de puissance était l'absence d'immunité du système aux variations de l'alimentation et la présence d'un gain variable au niveau de l'étage de puissance. Les sections précédentes ont démontrées que la boucle d'asservissement permettait de fixer le gain de l'étage de puissance à  $G_{DC} = R_{in}/R_{fb}$ . La figure 4.31 montre l'apport de l'asservissement sur les performances en réjection des perturbations d'alimentation. Les mesures ont été effectuées dans des conditions identiques à la figure 3.39.

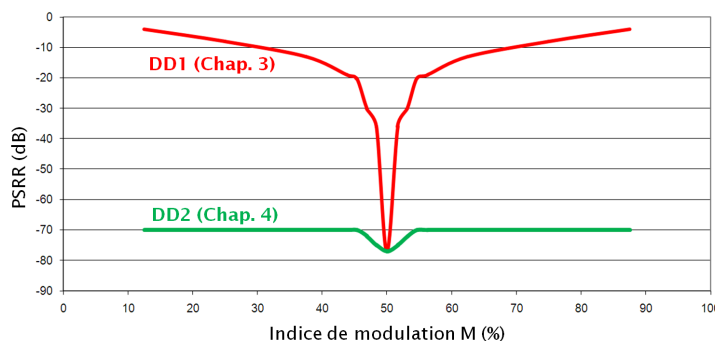


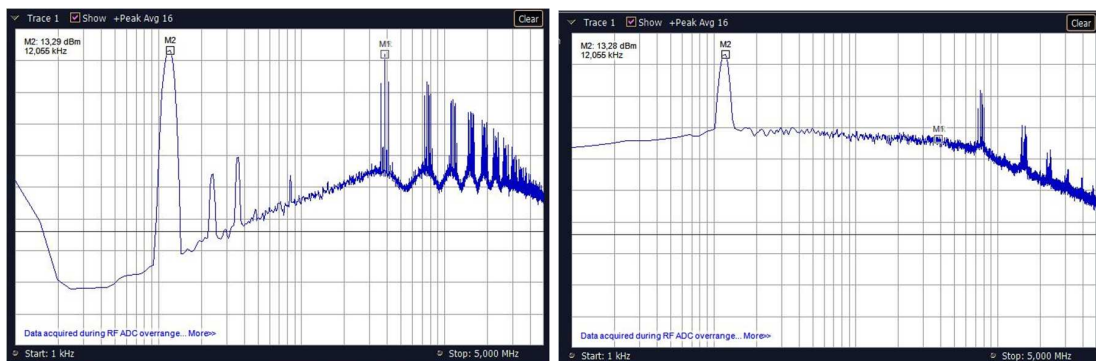
FIGURE 4.31 – Mesure du PSRR pour la structure  $DD2$

La boucle d'asservissement analogique remplit bien son rôle par rapport aux performances de PSRR, ce qui permet à l'amplificateur de classe D présenté dans ce chapitre d'avoir une com-

mande numérique et de rentrer complètement dans le cahier des charges présenté à la section 1.8.

### 4.5.3 Aspect EMI

Les figures 4.32(a) et 4.32(b) montrent les spectres du signal de sortie de mode commun  $V_{outp}$  avec et sans la modification aléatoire des signaux de commande. Ces spectres mesurés sont parfaitement en accord avec ceux simulés lors de la mise en place de cette fonctionnalité (voir les figures 4.23(a) et 4.23(b)).



(a) Cas 1 : signaux originaux

(b) Cas 2 : signaux modifiés

FIGURE 4.32 – Spectres mesurés des signaux  $V_{outp}$

Le contenu harmonique des signaux de mode commun est donc fortement diminué et étalé afin d'éviter la présence d'émissions énergétiques localisées en fréquence. La figure 4.33 montre plus précisément cet étalement autour du fondamental de la modulation (c'est à dire autour de  $f_{MLIN} = 384kHz$ ). Les harmoniques impaires de la modulation sont complètement étalées tandis que les harmoniques paires sont réduites mais toujours présentes.



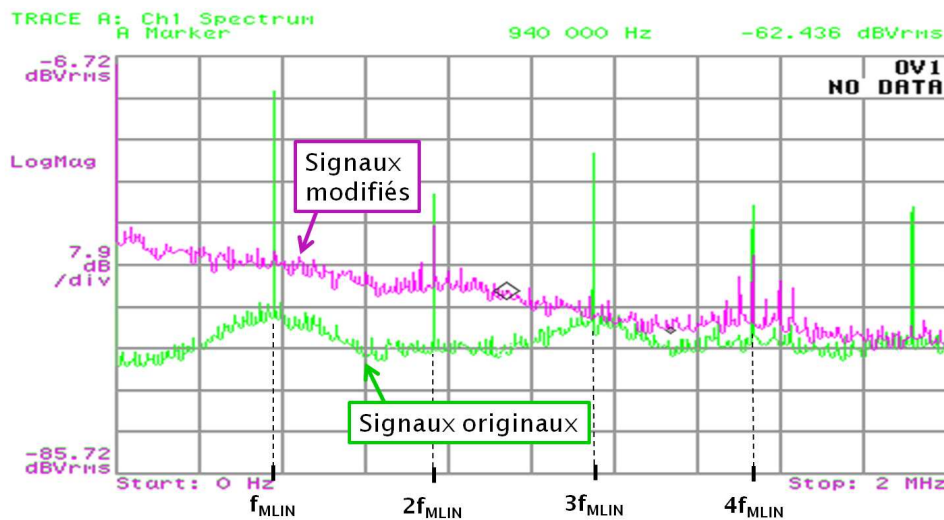


FIGURE 4.33 – Zoom sur les spectres des signaux  $V_{hp}$  originaux et modifiés autour de  $f_{MLIN}$

La figure 4.34 montre le rendement de l'amplificateur réalisé avec et sans commutation des états identiques sur les signaux d'entrée de la boucle d'asservissement analogique. Pour cette mesure, la probabilité d'un tirage positif pour le bit de sélection  $N$  est de  $1/49$ . La perte de rendement due aux commutations rajoutées est très faible, et n'est visible que pour les puissances de sortie moyenne (zone où les pertes par commutation dominant).

La fonctionnalité d'étalement de spectre lié à la modulation remplit donc bien son rôle mais présente un second aspect gênant. En effet, lorsque cette fonctionnalité est active, une forte augmentation du plancher de bruit en bande audio a été constatée. Cette augmentation n'est pas constante, mais dépend de l'amplitude du signal comme illustré sur les figure 4.35(a) et 4.35(b).

L'origine de cette remontée du plancher de bruit en fréquence audio est la dissymétrie des deux boucles d'asservissement analogiques  $P$  et  $M$ . Cette dissymétrie est due aux différences structurelles et fonctionnelles qu'il existe entre les deux voies  $P$  et  $M$  et qui mettent en forme le signal aléatoire  $N$  ajouté en amont dans la chaîne (voir figure 4.36). De ce fait, la contribution en sortie du signal  $V_N$  est mise en forme différemment par les facteurs  $k_P$  et  $k_M$  selon les voies et le signal différentiel  $V_{hp}$  contient du bruit résiduel.

Pour s'affranchir de ce problème, il aurait fallu insérer l'addition du signal  $V_N$  à l'intérieur de la boucle du modulateur  $\Sigma\Delta$  dans le but de mettre en forme le bruit rajouté en haute fréquence et ainsi conserver un plancher de bruit en bande audio identique avec ou sans modification des signaux. Cette modification n'a pas été réalisée par faute de fabrication d'un nouveau circuit

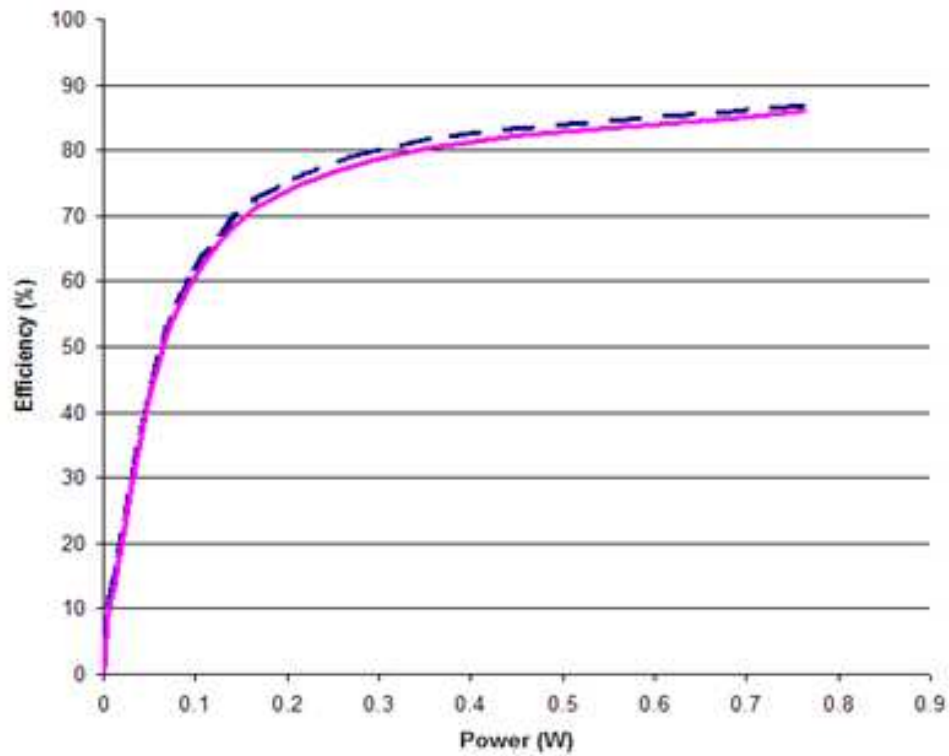
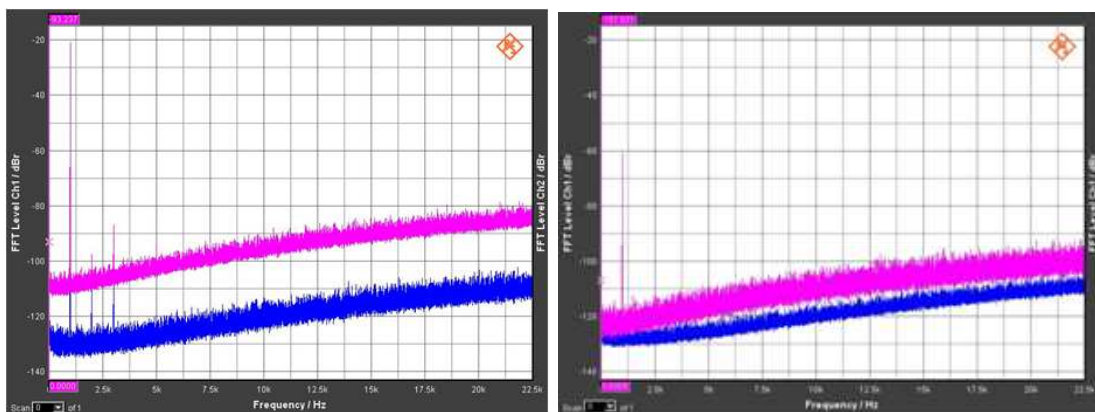


FIGURE 4.34 – Rendement de l'amplificateur avec et sans modifications des signaux



(a)  $V_{hp} = FS - 20dB$

(b)  $V_{hp} = FS - 60dB$

FIGURE 4.35 – Spectres mesurés du signal  $V_{hp}$

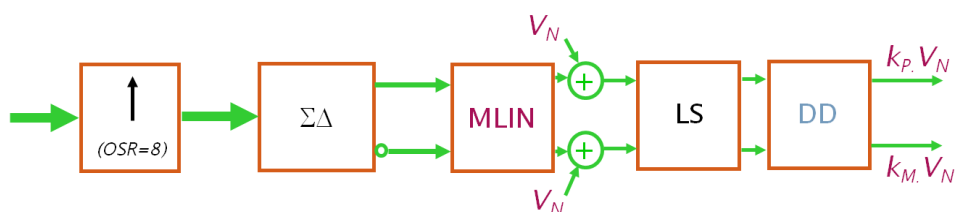


FIGURE 4.36 – Origine du bruit résiduel

test de la part de STE.

## 4.6 Conclusion

La réalisation d'un asservissement analogique local autour de l'étage de puissance a été présentée dans ce chapitre. Cet asservissement a permis de corriger les deux points limitants que présentait l'architecture d'amplificateur numérique intégrant une MLIN et un étage de puissance en boucle ouverte présentée dans le chapitre 3. En effet, le gain de la chaîne de reproduction sonore est maintenant constant et ne varie plus avec le niveau de l'alimentation de puissance. De plus, les perturbations présentes sur cette alimentation sont corrigées afin de ne pas perturber le signal de sortie. L'amplificateur ainsi réalisé répond à toutes les demandes présentes dans le cahier des charges de la téléphonie mobile présenté au chapitre 1.8. Néanmoins, l'interface entre le modulateur numérique et la boucle d'asservissement analogique qui fait office d'interface N/A est en réalité une connexion directe, sensible à son environnement. Cette structure ne permet pas d'atteindre des performances en bruit très élevées (soit un SNR de l'ordre de 100dB) dû à cette interface non contrôlée. Ainsi, il a été envisagé, dans la dernière partie de ce travail de thèse, d'intégrer le modulateur numérique dans la boucle de contrôle en construisant donc un asservissement numérique global pour l'amplificateur de classe D à commande numérique.

# Chapitre 5

## Asservissement numérique global de la chaîne de reproduction sonore

*Vai! C'est la motivation technique*  
*A. Nagari*

### Sommaire

---

<b>5.1</b>	<b>Introduction</b>	<b>179</b>
<b>5.2</b>	<b>Analyse du système en boucle ouverte</b>	<b>180</b>
<b>5.3</b>	<b>Analyse du système en boucle fermée</b>	<b>201</b>
<b>5.4</b>	<b>Réalisation d'un prototype</b>	<b>210</b>
<b>5.5</b>	<b>Amélioration du contrôle</b>	<b>211</b>
<b>5.6</b>	<b>Conclusion</b>	<b>212</b>

---

### 5.1 Introduction

Ce chapitre expose les travaux menés sur la réalisation d'un asservissement numérique global pour l'amplificateur de classe D. Le principe de cette approche, appelée *DD3*, est rappelé sur la figure 5.1. Le signal de sortie étant toujours de nature analogique, la présence d'un Convertisseur Analogique Numérique (CAN) est nécessaire dans la boucle de retour. En revanche, l'asservissement analogique local de l'étage de puissance traité dans le chapitre 4 n'est plus nécessaire car la correction des variations d'alimentation sera effectuée par la boucle numérique. Le but de cette asservissement global est de contrôler l'interface entre le modulateur numérique et l'étage de puissance afin de permettre la réalisation d'un amplificateur de classe D avec un SNR de 100dB au lieu de 90dB comme spécifié dans le cahier des charges (voir 1.8).

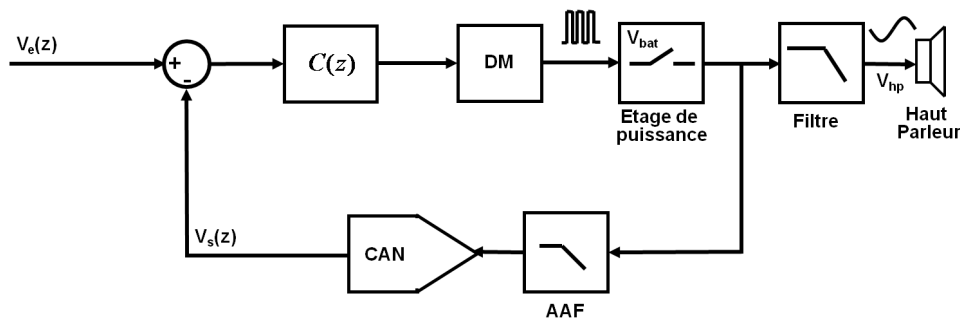


FIGURE 5.1 – Structure d'un amplificateur de classe D à asservissement numérique

Un amplificateur de classe D à commande numérique et à contrôle numérique comprend donc les éléments suivants :

- Un CAN dans la boucle de retour,
- Un étage de puissance  $PS$ ,
- Un modulateur numérique  $DM$ ,
- Un correcteur numérique  $C$ .

## 5.2 Analyse du système en boucle ouverte

D'après la figure 5.1, la boucle ouverte équivalente au système est composée des éléments représentés sur la figure 5.2. Cette chaîne ne tient pas compte du bloc de correction nécessaire et qui sera donc ajouté plus tard. Elle sera utilisée pour définir l'architecture de la boucle de régulation.

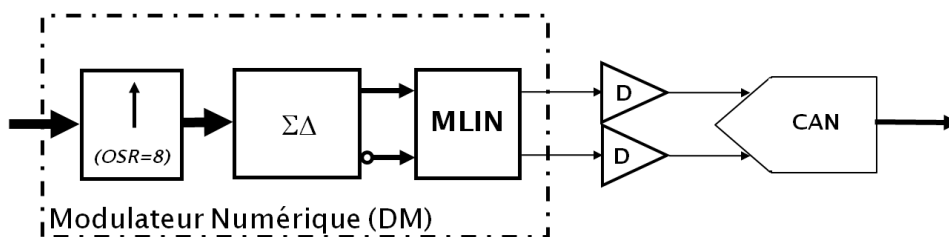


FIGURE 5.2 – Boucle ouverte de l'amplificateur de classe D numérique

Le modulateur numérique est identique à celui présenté dans le chapitre 3. Le premier verrou technique identifié est le CAN nécessaire dans la boucle de retour.

### 5.2.1 Analyse et comparaison des structures de CAN

Les deux caractéristiques principales d'un CAN sont la résolution et la rapidité. Dans l'application étudiée, le CAN est dans la boucle de contrôle. La latence de la conversion doit donc

être la plus faible possible. Ceci permet de minimiser le délai de propagation des signaux dans la boucle d'asservissement pour éviter de rajouter des variations de phase qui limiteraient la stabilité du système en boucle fermée. La résolution du CAN fixera la performance globale de la structure en terme de bruit car le bruit de quantification ajouté dans la chaîne de retour ne peut être corrigé. La précision des échantillons numériques de retour est donc le facteur limitant la précision du système complet.

Il existe trois grandes familles de CAN présentant chacune des compromis résolution/rapidité différents, comme illustré sur la figure 5.3.

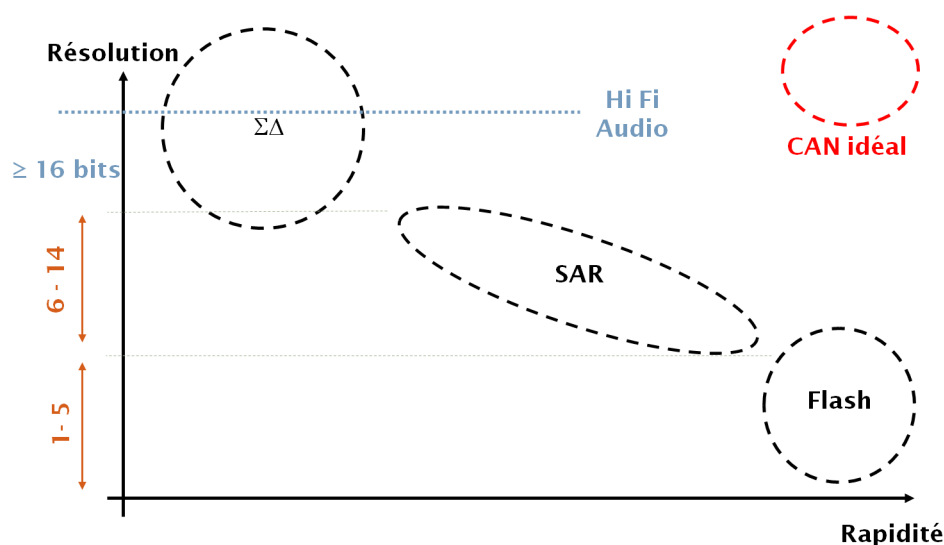


FIGURE 5.3 – Famille de CAN

Le principe de fonctionnement de chacune de ces trois familles, ainsi que leurs principales caractéristiques sont discutés dans les trois paragraphes suivants. Les CAN couramment nommés "Pipeline" sont une amélioration des CAN Flash et seront donc décrits dans famille.

### 5.2.1.1 CAN Flash

Le principe d'un Convertisseur Analogique Numérique Flash est très simple et donc un CAN Flash est très rapide. Il consiste en la comparaison d'un signal d'entrée analogique  $V_e$  avec  $2^n - 1$  niveaux de référence généralement générés par un réseau diviseur résistif comme illustré sur la figure 5.4.

Un CAN Flash  $n$  bits requiert  $2^n - 1$  comparateurs et  $2^n$  résistances. Le niveau de comparaison d'un comparateur est situé un LSB au dessus du comparateur précédent. Les comparateurs sont en général constitués d'une cascade d'étages faible gain et forte bande passante. La tension

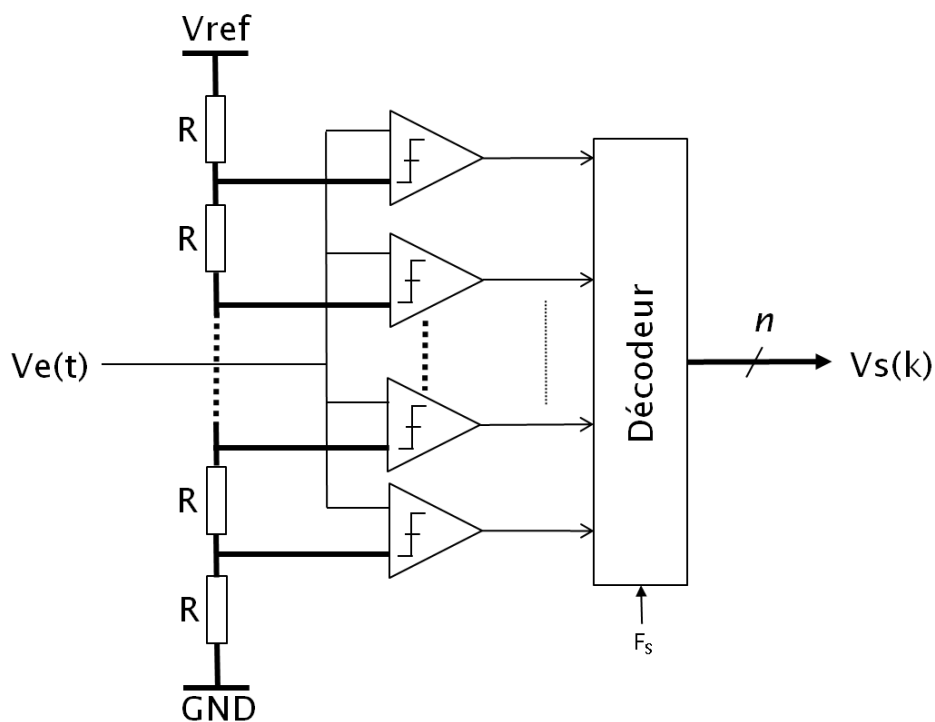


FIGURE 5.4 – Principe d'un CAN Flash

de décalage des comparateurs et la génération des niveaux de comparaison sont rapidement limitants pour la résolution de ce type de structure. Pratiquement, pour des systèmes alimentés par quelques  $V$  avec une consommation raisonnable, la résolution atteignable est de l'ordre de 5 ou 6 bits grâce à l'utilisation de techniques analogiques de calibrations et de superpositions temporelles<sup>1</sup> [114, 115]. Les CAN Flash sont usuellement réservés pour les systèmes à large bande passante, c'est à dire dont la période des échantillons est très faible. Il s'agit principalement des domaines de la RF, des radio-communications et des oscillateurs HF.

De manière à limiter le nombre total de comparateurs, ces convertisseurs utilisent plusieurs étages flash de précision réduite (typiquement 3 bits) chaînés. Chaque flash pilote un convertisseur numérique-analogique dont la sortie est soustraite au signal analogique d'entrée. L'étage suivant code le résultat de la différence, améliorant ainsi la précision finale. Un convertisseur semi-flash effectue l'ensemble des opérations en un seul cycle d'horloge, ce qui limite sa vitesse au temps de propagation total le long de la chaîne. En revanche, un convertisseur pipeline utilise un cycle d'horloge par étage. Ce séquençement nécessite un échantillonneur-bloqueur et un registre par étage mais permet d'être plus rapide puisque plusieurs échantillons sont traités simultanément.

1. Techniques nommées "Time Interleaved Flash ADC"

### 5.2.1.2 CAN SAR

Les initiales SAR signifient *Successive Approximation Register*, soit *Registre à Approximations Successives* en français. Le schéma de principe d'une CAN SAR est donné sur la figure 5.5.

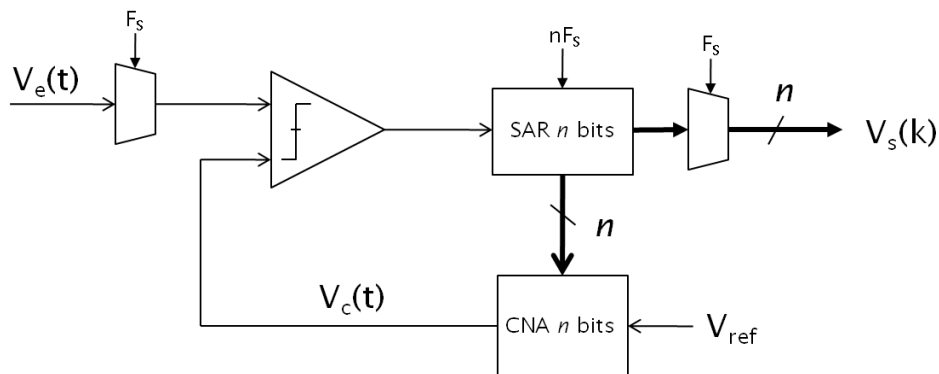


FIGURE 5.5 – Principe d'un CAN SAR

Le signal analogique d'entrée du CAN,  $V_e(t)$  est échantillonné-bloqué à l'entrée à la fréquence  $F_s$ . Pendant ce temps, l'ensemble comprenant le registre SAR, un CNA  $n$  bits et un comparateur permet de coder le signal  $V_e$  sur  $n$  bit par comparaisons successives. Ainsi, en début de cycle, le SAR est préchargé à moitié (soit 1 pour le MSB et 0 pour les  $n - 1$  autres bits). Le signal d'entrée est alors comparé à  $V_{ref}/2$ . Cette comparaison permet, via son résultat, de fixer le MSB. Ce cycle est ensuite répété pour les autres bits successivement, du plus fort au plus faible. La dernière comparaison fixe donc le LSB du mot numérique de sortie  $V_s$ . Le signal est mémorisé à la fin du cycle par le registre de sortie et un nouveau cycle peut commencer. Cette approche permet d'éliminer la forte contrainte sur le nombre et l'influence de la tension de décalage du comparateur analogique lorsque la résolution du CAN augmente. En contrepartie, un CAN SAR aura besoin de  $n$  coups d'horloge pour délivrer chaque échantillon de sortie. Plus un CAN SAR sera rapide, moins il sera précis et inversement. Pratiquement, la gamme de CAN SAR s'étale, selon leurs contraintes de consommation et de rapidité, sur des résolutions allant de 3-4 bits à 14-15 bits. Comme pour les CAN Flash, de nombreuses techniques d'amélioration sont possibles. Parmi celles-ci, les plus courantes sont les superpositions temporelles [116], l'utilisation de structures dites *pipelinées* [117] et la calibration [118].



### 5.2.1.3 CAN sur-échantillonné

Les CAN sur-échantillonnés, souvent nommés CAN  $\Sigma\Delta$ , numérisent la différence entre deux échantillons successifs plutôt que la valeur de l'échantillon comme dans les approches précédentes. Le sur-échantillonnage permet réduire la quantification du signal numérique de sortie tout en conservant un niveau de bruit de quantification faible. Ceci est dû à la mise en forme du bruit de quantification par la boucle de rétroaction permettant d'évaluer la différence entre deux échantillons successifs. La reconstruction du mot de sortie numérique s'effectue ensuite par décimation comme illustré sur la figure 5.6.

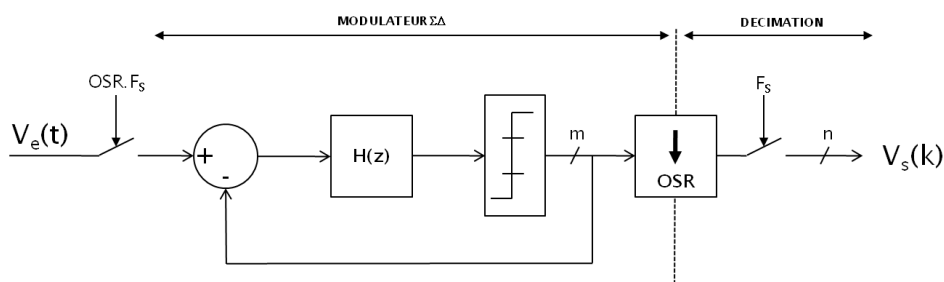


FIGURE 5.6 – Principe d'un CAN  $\Sigma\Delta$

Les déclinaisons de ce type d'architecture sont très nombreuses, et permettent d'adresser un grand nombre d'applications. Les principaux éléments différenciateurs sont :

1. Le facteur de sur-échantillonnage en entrée,  $OSR$ , fixant ainsi une contrainte forte sur la fréquence d'échantillonnage finale,
2. L'ordre  $k$ , soit le nombre d'actions intégrales, du filtre de boucle  $H(z)$ , qui peut poser des problèmes de stabilité dès que  $k \geq 2$ ,
3. La résolution du signal de sortie  $m$  du modulateur  $\Sigma\Delta$ , limitant la complexité de la quantification et du CNA éventuellement requis dans la boucle de rétro-action,
4. La structure à temps continu ou à temps discret du filtre de boucle,
5. La structure (rétroaction<sup>2</sup> et/ou réaction<sup>3</sup>) et le nombre de boucles imbriquées,
6. L'ordre des filtres de décimation, supérieur ou égal à  $k + 1$ .

Lorsque la bande passante du signal à numériser est faible, cette approche permet d'atteindre des résolutions effectives de conversion supérieures à 20 bits. Les différents compromis d'archi-

2. Feedback  
3. Feedforward

ture d'un CAN  $\Sigma\Delta$  ont été largement étudiés [119, 120, 121, 122, 123] et seront en parties détaillés dans les paragraphes suivants.

#### 5.2.1.4 Compromis architectural

Les trois figures 5.7(a), 5.7(b) et 5.7(c) résument de manière qualitative l'influence de la structure du CAN sur une caractéristique de conversion en fonction de la résolution.

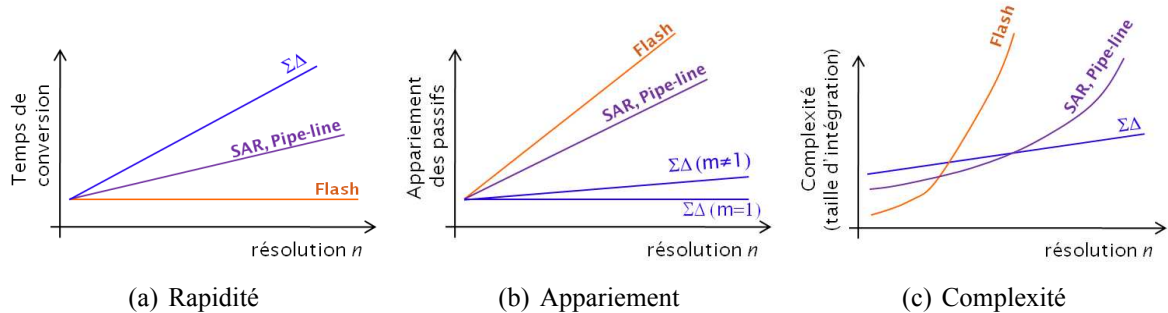


FIGURE 5.7 – Compromis architectural des familles de CAN

#### 5.2.1.5 CAN et contraintes du système

Les performances liées au niveau du bruit en sortie de l'amplificateur de classe D numérique impose la résolution du CAN dans la boucle de retour. La précision des échantillons numériques prélevés en sortie de l'amplificateur fixe en effet la précision de la structure complète. L'asservissement ne peut pas corriger les variations d'amplitudes inférieures au pas de quantification des signaux à la sortie du convertisseur. Comme le cahier des charges (voir 1.8) impose un SNR de l'ordre de 100dB, la résolution équivalente en bande audio, appelée *ENOB* (pour *Equivalent Number Of Bit* en anglais), du CAN de retour doit vérifier la relation :

$$6.02 \times ENOB + 1.76 > 100 \quad \Rightarrow \quad ENOB > \frac{100 - 1.76}{6.02} = 16.32$$

La résolution effective du CAN de retour doit donc être au moins de 17 bits. Pour atteindre cette résolution tout en conservant une consommation et une complexité cohérente avec un système embarqué, le CAN retenu sera de type  $\Sigma\Delta$ . Deux approches fondamentalement différentes sont possibles pour cette famille de CAN : les CAN  $\Sigma\Delta$  à temps discret (CAN DT) et les CAN  $\Sigma\Delta$  à temps continu (CAN CT). Bien qu'elles partagent la même architecture de base, ces deux approches diffèrent par la nature du filtre de boucle et le lieu de l'échantillonnage des signaux, comme illustré sur les figures 5.8(a) et 5.8(b).

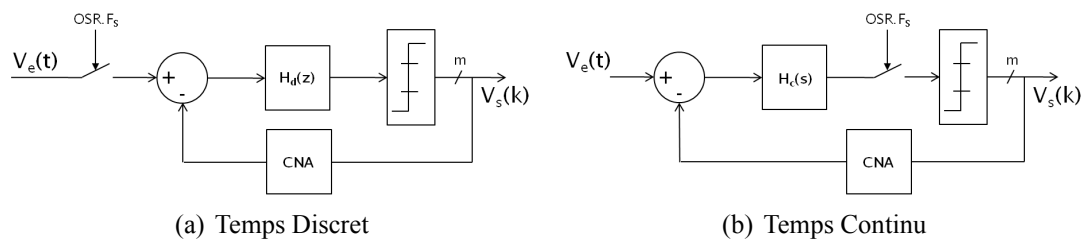


FIGURE 5.8 – Nature d'un CAN  $\Sigma\Delta$

Le tableau 5.1 résume les différences entre ces deux approches [124, 125, 126] :

	CAN $\Sigma\Delta$ DT	CAN $\Sigma\Delta$ CT
Capacité de faible alimentation	-	+
Fréquence d'échantillonnage	-	+
Filtre anti-repliment	-	+
Consommation	-	+
Sensibilité au bruit de phase	+	-

TABLE 5.1 – Tableau comparatif des approches DT et CT pour CAN  $\Sigma\Delta$

Les filtres de boucle  $H_d(z)$  d'un CAN  $\Sigma\Delta$  à temps discret sont réalisés par des intégrateurs à capacités commutées. Les amplificateurs opérationnels réalisant ces intégrateurs doivent avoir une fréquence de transition  $f_T$  au moins cinq fois supérieure à la fréquence d'échantillonnage  $F_s$  afin que les imperfections de l'AO n'influencent pas la fonction réalisée [127]. Pour une structure CT, il suffit d'avoir  $f_T \cong F_s$  car les variations de courant sont continues et les phénomènes transitoires sont donc de faible amplitude. De plus, la nature analogique du filtre de boucle  $H_c(s)$  permet de filtrer passe bas le signal avant échantillonnage. Selon les constituants de  $H_c(s)$ , le filtre anti-repliement habituellement placé en amont de tout CAN peut être évité. Le signal à convertir est le signal de sortie du procédé de MLIN. Le spectre de ce signal, rappelé sur la figure 5.9 pour un sinus d'amplitude  $-6dBFS@1kHz$  avec une MLIN ternaire double rampe à 384kHz, est très riche en contenu harmonique haute fréquence.

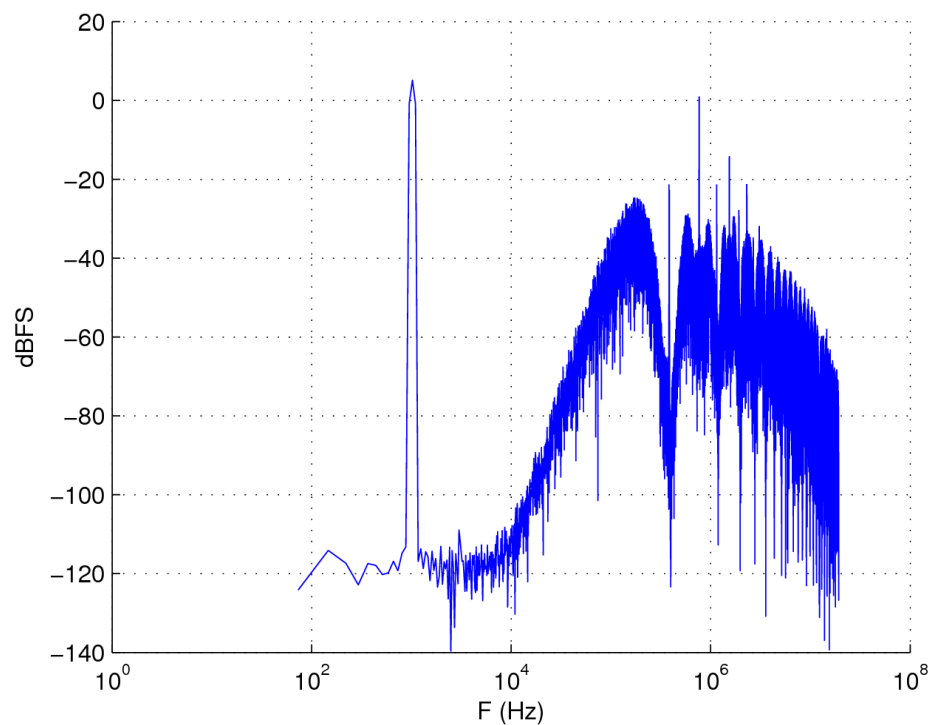


FIGURE 5.9 – Spectre du signal à échantillonner

Les avantages d'une approche  $\Sigma\Delta$  CT (faible consommation et filtre anti-repliement intrinsèque) sont particulièrement intéressants par rapport aux contraintes de la téléphonie mobile et au cahier des charges. La présence d'un filtre anti-repliement intrasèque à la structure permet de supprimer un coûteux filtre analogique passif entre l'étage de puissance et le CAN. Une étude approfondie des performances et des imperfections du CNA de retour, de la capacité de filtrage intrinsèque et des autres limitations est réalisée dans la section suivante.

### 5.2.1.6 Etude du compromis ordre, sur-échantillonnage, résolution et SNR des CAN $\Sigma\Delta$

La relation donnant le SNR d'une conversion A/N de type  $\Sigma\Delta$  basée sur une structure CIFB (pour *Cascade of Integrator with FeedBack* en anglais) a été démontrée dans le chapitre 3 et s'exprime en fonction de la résolution de sortie  $m$ , de l'ordre du filtre de boucle (DT ou CT)  $k$  et du rapport de sur-échantillonnage  $OSR$  entre la fréquence des échantillons  $F_s$  et la bande utile du signal, ici  $2 \times BA$  (où  $BA$  représente la bande audio, soit  $BA = 24kHz$ ) :

$$SNR_{dB} = 1.76 + 6.02 \times m + 10 \log\left(\frac{2k+1}{\pi^{2k}}\right) + 10(2k+1) \log(OSR)$$

Atteindre un SNR donné, comme par exemple 100dB dans notre cas, permet de fixer un des trois degrés de liberté dans la relation ci-dessus. Il n'existe pas d'autres contraintes pour déterminer les deux autres degrés de liberté de manière systématique. Des études [128, 129] donnent quelques pistes selon les applications, le budget de consommation, l'ordre de grandeur des fréquences utiles et d'échantillonnage. De manière générale, les variations du SNR avec les paramètres de boucle sont représentées sur les figures 5.10(a), 5.10(b) et 5.10(c).

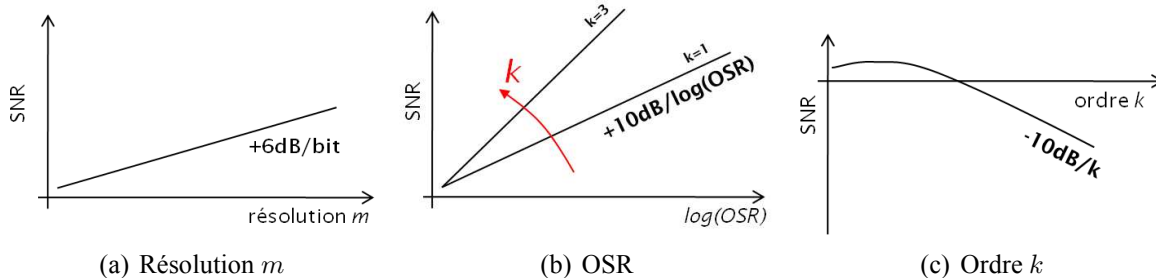


FIGURE 5.10 – Variation du SNR en fonction des paramètres du CAN  $\Sigma\Delta$  CT

L'augmentation de l'ordre du filtre de boucle  $k$  a deux effets : d'une part, il permet d'augmenter la pente de la caractéristique  $SNR = f(OSR)$  ce qui est bénéfique, mais d'autre part, il diminue la pente de la caractéristique  $SNR = f(k)$ . En effet, plus l'ordre de la boucle augmente, plus il existe un fort coefficient de rebouclage au niveau de l'action intégrale d'ordre le plus élevé, ce qui se traduit par l'injection de bruit de quantification peu filtré. En revanche, la diminution du SNR avec l'ordre  $k$  du filtre de boucle est très rapidement dominée par la forte augmentation de SNR dû à  $OSR$ . Le tableau 5.2 quantifie le SNR pour un CAN 1 bit ( $m = 1$ ) en fonction de  $OSR$  et  $k$ .

Il est également possible de changer la structure du filtre de boucle avec des boucles de réaction (structure CIFF - pour *Cascaded Integrator with FeedForward* en anglais) en plus

SNR	k=1	k=2	k=3	k=4
OSR=2	2	1	-1	-3
OSR=4	11	16	20	23
OSR=8	20	31	41	50
OSR=16	29	46	62	77
OSR=32	38	61	83	104
OSR=64	47	76	104	131

TABLE 5.2 –  $SNR = f(k, OSR)$  pour un CAN  $\Sigma\Delta$  CT  $m = 1$  bit

des boucles de rétroaction, voir l'utilisation des deux simultanément. En général, les structures CIFF/FB sont utilisées pour décorrélérer les  $STF$  et  $NTF$  d'un CAN  $\Sigma\Delta$  à temps continu [126, 122]. Lorsque le filtre de boucle est une cascade d'intégrateur, tous les zéros de la  $NTF$  sont situés à l'origine. Il est possible de placer des boucles de retour local autour d'une paire d'intégrateurs pour déplacer un zéro dans la bande utile et améliorer ainsi encore le SNR [122]. Ce principe est illustré sur les figures 5.11(a) et 5.11(b) avec un CAN  $\Sigma\Delta$  CT d'ordre  $k = 5$  CIFF (exemple tiré de [130]). Pour chaque structure, les intégrateurs  $I_2$  à  $I_4$  du filtre de boucle sont représentés avec leur rétroaction respective, pondérée par les coefficients  $k_{fb3}$  et  $k_{fb4}$ . Les courbes asymptotiques des puissances spectrales de bruit de quantification (traits continus, repérés "Quant.") et de bruit électrique (traits discontinus, repérés "Elec.") sont tracées ainsi que la puissance spectrale de bruit total  $IBN$  (trait rouge). La boucle passive locale entre la sortie de  $I_4$  et l'entrée de  $I_3$  a pour conséquence la création d'une paire de zéros complexes conjugués à partie réelle négative. La valeur du coefficient  $k_r$  fixe la fréquence de résonance de ce système. Afin que l'apport de ce résonateur soit efficace, il faut que l'amortissement du système du second ordre créé soit très faible (cas de la figure 5.11(b)). Cette technique permet de gagner jusqu'à 6dB de SNR [122]. Pour qu'elle soit réalisable, il faut cependant que l'ordre du filtre de boucle soit strictement supérieur à  $k = 2$ , ce qui peut être la cause de problèmes de stabilité.

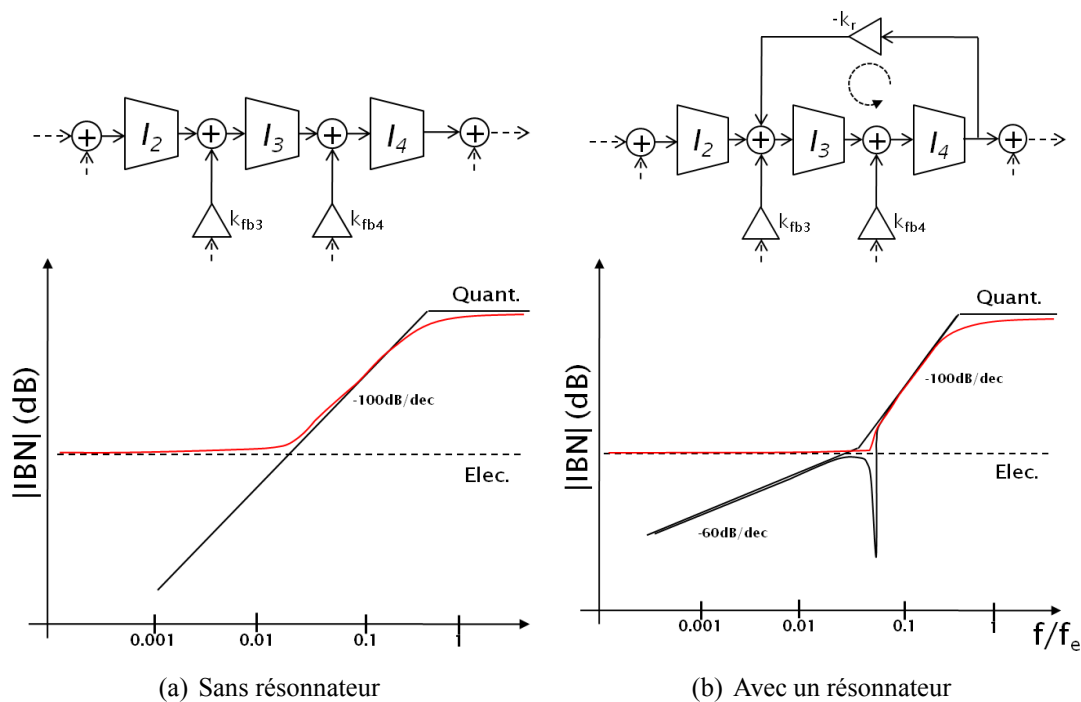


FIGURE 5.11 – Principe d’un résonateur local sur CAN  $\Sigma\Delta$  CT

L’étude de tous ces compromis a permis de fixer les paramètres du CAN  $\Sigma\Delta$  CT utilisé pour la réalisation de l’amplificateur de classe D numérique à contrôle numérique :

- $OSR = 64$ , soit  $OSR.F_s = OSR \times 2 \times BA = 64 \times 2 \times 24k = 3.072MHz$ . Cette valeur est choisie afin d’être une puissance de deux telle que  $OSR.F_s$  soit maximale mais inférieure à  $F_{MCLK} = 38.4MHz$ , afin de profiter au plus du sur-échantillonnage sans complexifier les opérations de décimation en aval du CAN,
- $m = 5 bits$ , correspondant à des niveaux de tension du CNA de retour équivalents à  $V_{lim}/(2^m) = 34mV$ ,
- $k = 3$ , pour obtenir un SNR lié à l’architecture  $20dB$  supérieur à la spécification.

En théorie, via une structure CIFB, le SNR atteint par un CNA  $\Sigma\Delta$  ayant les paramètres précédents est égal à :

$$SNR_{dB} = 1.76 + 6.02 \times m + 10 \log\left(\frac{2k + 1}{\pi^{2k}}\right) + 10(2k + 1) \log(OSR) \approx 137dB$$

Cette valeur correspond à la limite architecturale du convertisseur par rapport au seul bruit de quantification. En réalité, en tenant compte des imperfections du convertisseur (non linéarité du CNA, produit Gain-Bande  $GBW$  fini des intégrateurs, délais de boucle, appariement des passifs...), ainsi que des bruits intrinsèques (bruits thermiques des passifs, bruits type Flicker des actifs,...) et extrinsèques (bruit de phase de l’horloge,...), le SNR réel sera plus faible. En

général, une marge de 30 à 40dB est retenue entre la spécification et la valeur du SNR lié au seul bruit de quantification.

### 5.2.2 Architecture d'un CAN $\Sigma\Delta$ 5 bits du 3<sup>ème</sup> ordre à temps continu avec OSR=64

L'architecture retenue pour le CNA  $\Sigma\Delta$  CT est donc une structure CIFB, illustrée sur la figure 5.12 avec les paramètres décrits dans la section précédente. Les trois boucles de contre-réaction sont pondérées par les coefficients  $k_{FB1}$  à  $k_{FB3}$ . De plus, un chemin de réaction pondéré par  $k_{FF}$  autorise une décorrélation entre  $STF$  et  $NTF$ . Un résonnateur local entre les intégrateurs  $I_2$  et  $I_3$  est également ajouté pour augmenter le SNR architectural du CAN en déplaçant un zéro de la  $NTF$  de l'origine vers la bande passante. Le coefficient de pondération de ce résonnateur  $k_R$  permet de choisir la fréquence de localisation du zéro.

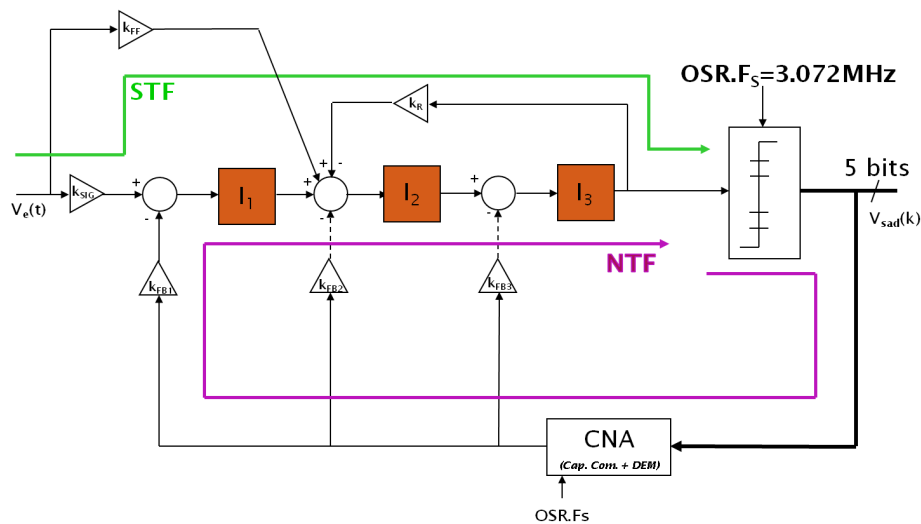


FIGURE 5.12 – Architecture du CAN  $\Sigma\Delta$  CT retenue

Le rôle du coefficient  $k_{SIG}$  est de réduire la dynamique du signal d'entrée afin de l'adapter au niveau d'alimentation  $V_{dig}$  du CAN (soit  $V_{dig} = 1.1V$ ). Comme la valeur maximale de l'alimentation de puissance est  $V_{bat} = 4.8V$ , alors :

$$k_{SIG} = \frac{V_{dig}}{V_{bat}} = \frac{1.1}{4.8} = 0.23$$

Les valeurs des autres coefficients,  $k_{FF}$ ,  $k_{FB1}$  à  $k_{FB3}$  et  $k_R$ , ont été déterminées à partir des expressions des  $STF$  et  $NTF$  désirées en utilisant la Toolbox Matlab de R. Schreier [131] et en réalisant une équivalence  $DT \Rightarrow CT$  pour chacune des deux fonctions de transfert comme



expliqué dans [122, 126]. Les coefficients ainsi déterminés sont :

$$k_{FB1} = k_{FF} = 0.044, \quad k_{FB2} = 0.287, \quad k_{FB3} = 0.8, \quad k_R = 0.001$$

Les intégrateurs sont pour l'instant supposés idéaux, c'est à dire que les blocs  $I_1$  à  $I_3$  sont égaux et sont représentés par la fonction de transfert suivante :

$$I_{1-3}(p) = \frac{1}{\tau p} = \frac{2\pi \times OSR \times F_S}{p} \quad \text{avec} \quad \tau = \frac{1}{2\pi \times OSR \times F_S}$$

La figure 5.13 montre la réponse fréquentielle du CAN décrit précédemment, représentée idéalement, via la PSD (Power Spectral Density) en fonction de la fréquence. La courbe verte correspond à la réponse sans signal et la courbe bleue à la réponse avec un signal d'entrée sinusoïdal à  $8kHz$ .

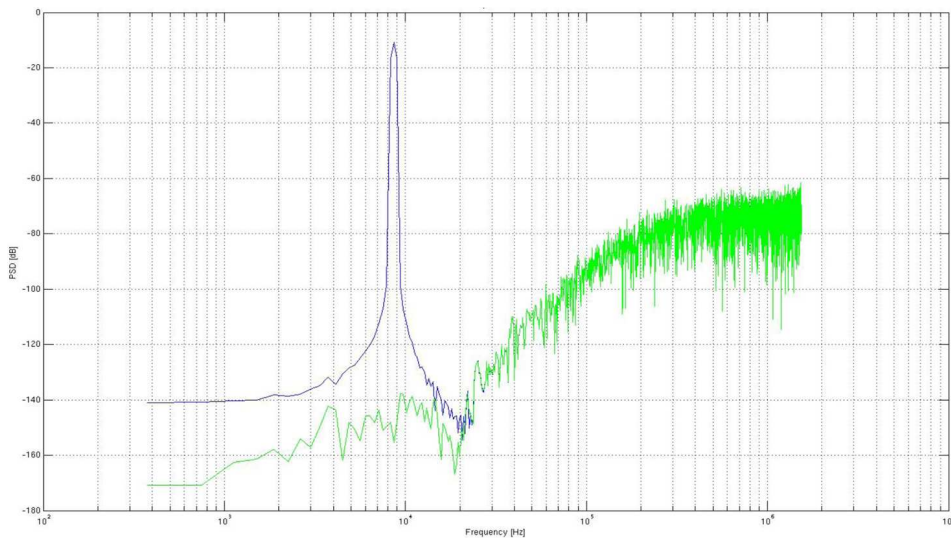


FIGURE 5.13 – PSD du CAN  $\Sigma\Delta$  CT retenu idéal

Le SDNR (Signal Distortion and Noise Ratio) du CAN est égal à 120dB, ce qui correspond à un ENOB de 19 bits. L'effet du résonateur, placé à  $f_r = 20kHz$ , est bien visible sur la courbe de bruit (courbe verte). Le SNR simulé est légèrement inférieur à celui prédit dans la section précédente car la relation utilisée est une relation démontrée pour les CAN  $\Sigma\Delta$  DT, ne tenant donc pas compte du CNA de retour dans la boucle locale du CAN et de l'échantillonnage en amont de la quantification.

La conception du CAN a été réalisée en collaboration avec l'Université de Pavia, Italie car les contraintes en termes de conception analogique sont très fortes pour conserver un SNR de 100dB. L'équipe de l'université de Pavia possède une solide expérience pour la réalisation de CAN  $\Sigma\Delta$ . L'intégration du CAN en technologie CMOS 40nm a été réalisée par Achille Donida

dans le cadre de son travail de thèse encadré par les professeurs P. Malcovati et A. Baschirrotto, portant sur l'étude et la réalisation de CAN  $\Sigma\Delta$  faible bruit. Les trois paragraphes suivants détaillent succinctement les études menées en collaboration avec A. Donida pour l'adaptation des imperfections du CAN aux performances spécifiées pour la réalisation d'un amplificateur de classe D.

### 5.2.2.1 Structure du filtre de boucle

Les trois intégrateurs ont été réalisés par des structures "actives RC" afin d'obtenir une bande passante de l'ordre de  $OSR.F_S$ . Les limitations de l'amplificateur opérationnel n'ont pas d'influence sur la  $STF$  et la  $NTF$  [132] du CAN. De plus, cette approche permet de séparer simplement les effets des différentes branches (réaction, contre réaction ou résonnateur) à l'entrée d'un bloc intégrateur, tout en permettant à l'information d'être transmise en courant ou en tension comme illustré sur les figures 5.14(a) et 5.14(b). Enfin, la structure "active RC" est particulièrement bien adaptée aux traitements des signaux différentiels ce qui est le cas lors de la réalisation de l'amplificateur de classe D proposée sur la figure 5.1.

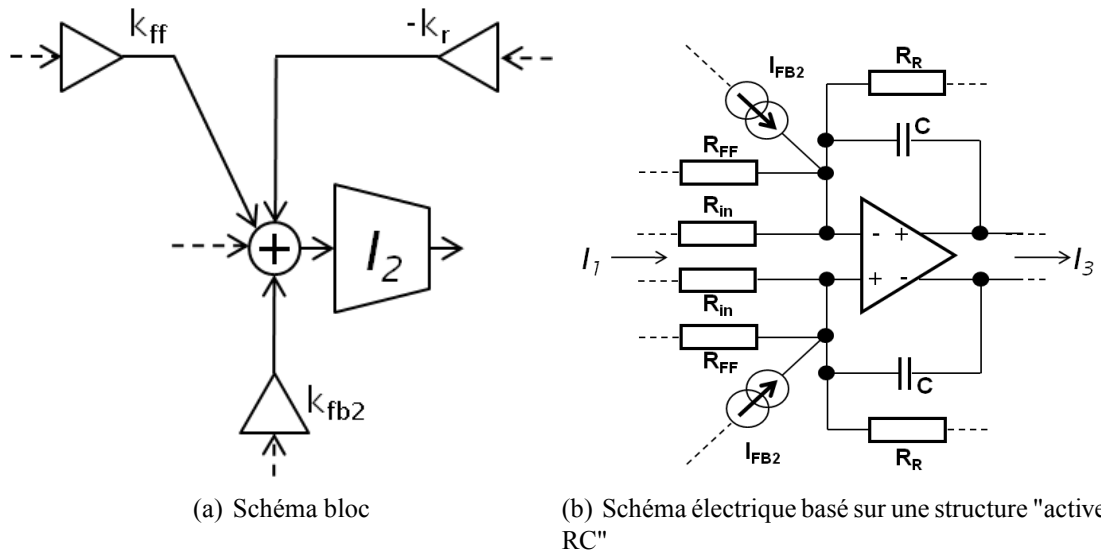


FIGURE 5.14 – Exemple d'implémentation de l'action intégrale  $I_2$  dans le filtre de boucle du CAN  $\Sigma\Delta$  CT

Le produit  $R_{IN}C$  permet de fixer la constante de temps de l'action intégrale. Pour une branche pilotée en tension, comme la branche de réaction par exemple, le rapport  $R_{IN}/R_{FF}$  doit être égal à  $k_{FF}$ , ce qui fixe la valeur de  $R_{FF}$ . Pour une branche pilotée en courant, comme la branche de contre-réaction par exemple, le coefficient  $k_{FB2}$  fixe la valeur de la transconductance

$G_{FB2}$  de la source de courant  $I_{FB2}$  (qui s'exprime en  $\Omega^{-1}$ , avec  $k_{FB2} = R_{IN} \times G_{FB2}$  et  $I_{FB2} = V_{ref} \times G_{FB2}$ ).

L'amplificateur réalisant la première action intégrale  $I_1(p)$  est l'amplificateur le plus critique par rapport à la tension de décalage et au bruit. En effet, ramenés à l'entrée, les défauts statiques et le bruit équivalent des actions intégrales  $I_2(p)$  et  $I_3(p)$  sont divisés par les gains statiques des étages précédents, soit respectivement  $I_1(0)$  et  $I_1(0) \times I_2(0)$ . Comme pour l'asservissement analogique local (voir chapitre 4), l'amplificateur opérationnel réalisant cette opération sera donc plus délicat à concevoir et devra posséder des caractéristiques (en produit GBW et en niveau de bruit équivalent) supérieures aux autres. La faible valeur de tension d'alimentation  $V_{dig} = 1.1V$  est contraignante vis à vis de l'utilisation de structures cascodes permettant d'obtenir de bonnes performances électriques. Les amplificateurs opérationnels des actions intégrales  $I_2(p)$  et  $I_3(p)$  sont réalisés avec des structures à deux étages avec un étage d'entrée différentiel NMOS ( $M_1, M_2$ ) puis deux étages de gain type source commune PMOS polarisés en classe A ( $M_5, M_6$ ). Une compensation fréquentielle de type "Miller" ( $C_M, R_M$ ) est placée en parallèle de chaque étage de gain source commune. La boucle de retour en mode commun (CMFB), qui permet de polariser les grilles du miroir réalisant la charge active PMOS ( $M_3, M_4$ ) de la paire différentielle à  $V_{bp}$  est réalisée à l'aide d'un amplificateur différentiel à étage unique NMOS ( $M_{CM1}, M_{CM2}$ ) chargé par des charges actives PMOS ( $M_{CM3}, M_{CM4}$ , identiques à  $M_3, M_4$ ), ne posant donc pas de problème de stabilité. Cette étage différentiel annule la différence entre la tension  $V_{CM}$  imposée et la tension de mode commun des signaux de sortie  $V_{sc} = (V_{s+} + V_{s-})/2$  re-injectée via le pont résistif moyenneur  $R - R$ . Le schéma de principe de ces amplificateurs est donné figure 5.15.

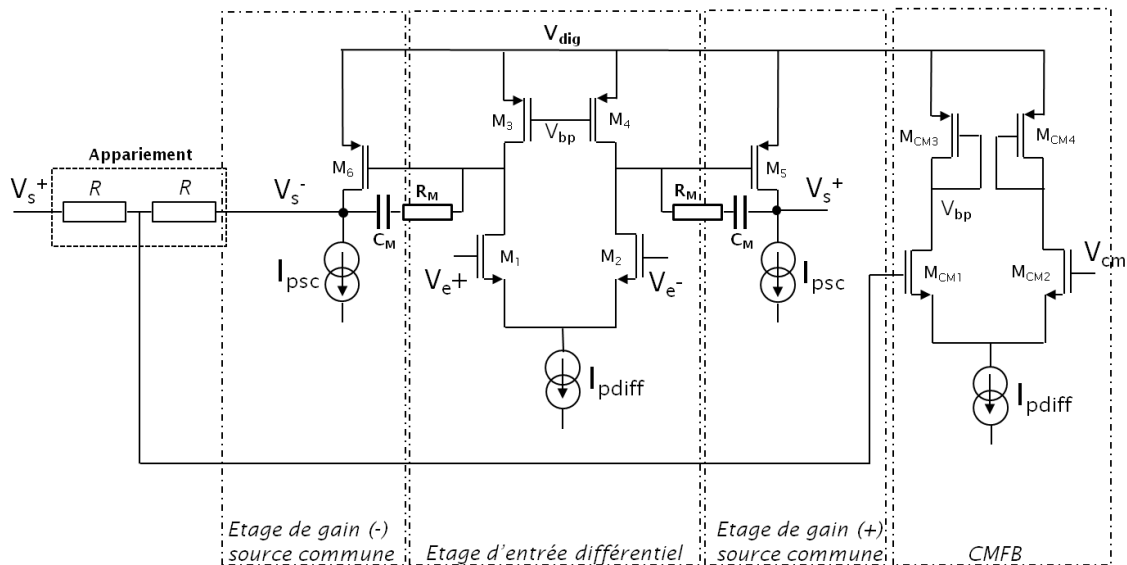


FIGURE 5.15 – Architecture des amplif cateurs réalisant les actions  $I_2$  et  $I_3$

Les performances typiques (et pire cas Monte Carlo) de cet amplif cateur sont :

$$\begin{aligned} GBW &= 45MHz \text{ (} 37MHz \text{)} & - & \quad M_\varphi = 58^\circ \text{ (} 43^\circ \text{)} & - & \quad I_0 = 100\mu A \\ GBW_{CMFB} &= 1.2MHz \text{ (} 1MHz \text{)} \end{aligned}$$

L'amplif cateur (f g 5.16) réalisant la première action intégrale  $I_1$  est un amplif cateur opérationnel à deux étages non cascodés (car les rails d'alimentation sont trop bas pour envisager une structure cascode). Le premier étage de gain est un étage différentiel construit autour de la paire différentielle NMOS ( $M_1$ ,  $M_2$ ) chargé par le miroir PMOS ( $M_3$ ,  $M_4$ ). La polarisation de ce miroir est assurée par la boucle de rétro-action de mode commun, effectuée par l'amplif cateur différentiel  $CMFB$  ( $M_{CM1}$ ,  $M_{CM2}$ ,  $M_{CM3}$ ,  $M_{CM4}$ ). Le second étage est un étage de gain polarisé en classe AB de type *Monticelli* [133]. La polarisation et le contrôle de cet étage sont réalisés par les transistors *NMOS* et *PMOS* tête-bêche ( $M_{PM}$ ,  $M_{PP}$ ).

Les performances typiques (et pire cas Monte Carlo) de cet amplif cateur sont :

$$\begin{aligned} GBW &= 83MHz \text{ (} 74MHz \text{)} & - & \quad M_\varphi = 58^\circ \text{ (} 41^\circ \text{)} & - & \quad I_0 = 150\mu A \\ GBW_{CMFB} &= 1.2MHz \text{ (} 1MHz \text{)} \end{aligned}$$

### 5.2.2.2 CNA de retour

Les imperfections du CNA présent dans la boucle d'asservissement du CAN (voir figure 5.12) sont critiques vis à vis des performances du CAN. Toutes les erreurs de conversion sont directement injectées dans le filtre de boucle à travers les différentes branches de contre-réaction. Les imperfections sont, dans l'ordre d'importance, :

1. L'influence du bruit de phase de l'horloge

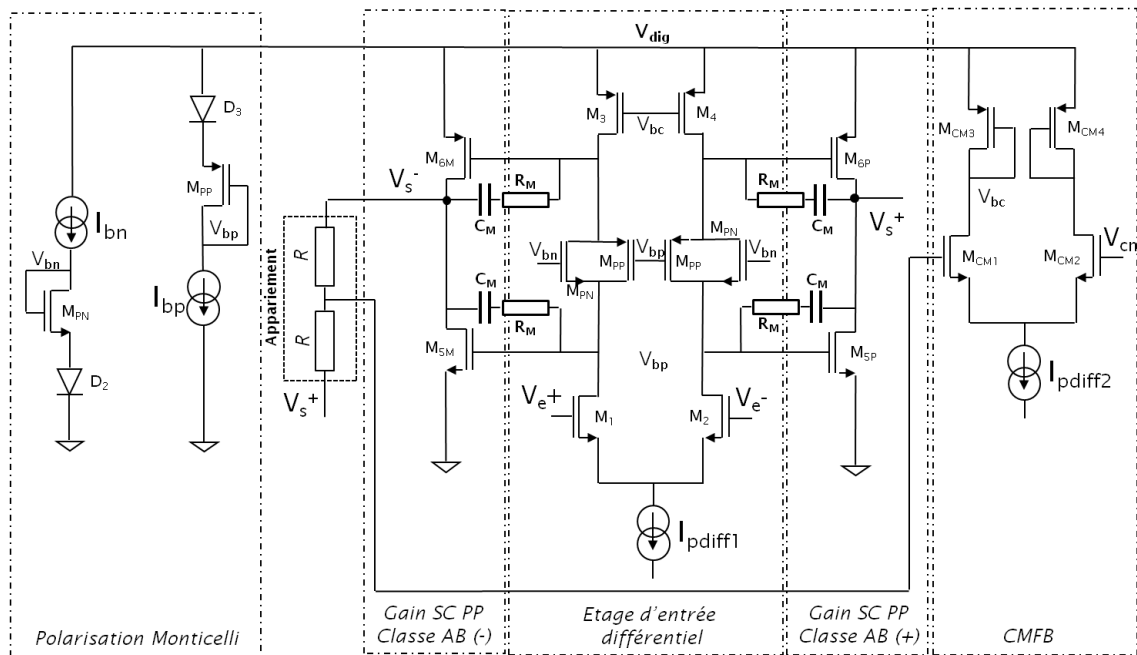


FIGURE 5.16 – Architecture de l’amplificateur réalisant l’action  $I_1$

2. Le délai de conversion  $\tau_d$ , appelé *Excess Loop Delay* en anglais,
3. Les pentes de montée et de descente  $f$  nies des impulsions de sortie du CNA,
4. L’appariement entre les niveaux de sortie en cas de CNA multi-bit.

Afin de pallier à tous ces problèmes, de nombreuses solutions existent, entraînant une complexification de la structure du CNA et donc une consommation statique et une surface d’intégration plus importante. De plus, la forme temporelle des signaux de sortie de CNA impacte les *STF* et *NTF* du CAN [134, 135].

Les erreurs temporelles liées au bruit de phase de l’horloge du CNA de retour sont très critiques dans les CAN  $\Sigma\Delta$  CT et ont été largement analysées dans la littérature [136, 137, 138, 139]. De nombreuses techniques permettent de réduire leur influence, comme l’utilisation de CNA multi-bits [140, 141] ( la puissance moyenne de bruit de phase est réduite de 6dB par bit de résolution supplémentaire [142]), l’utilisation de signaux mis en forme au lieu de rectangulaires à la sortie de CNA [143, 144], l’ajout de filtres dans les boucles de contre-réaction [145, 146], l’ajout de ligne de délais pour contrôler l’horloge du CNA [147] ou encore par modification de la *NTF* directement pour mettre en forme le bruit de phase [148].

Comme la structure du CAN proposée dans ce chapitre est multi-bit ( $m = 5$ ), la puissance moyenne du bruit de phase de l’horloge est intrinsèquement réduit de 30dB. En plus, les motifs de sortie du CNA sont mis en forme par un réseau *S – CR* pour *Switch Capacitor Resistance*

(soit Commutation de Capacité et Résistance). Pour s'affranchir des problèmes d'injection de charges dans les capacités commutées, des commutateurs factices sont insérés entre les capacités et les commutateurs réels.

Pour éliminer l'influence du délai de conversion [149, 150], et ainsi éviter les problèmes d'ISI (pour *Inter Symbol Interference* en anglais, soit Interférences entre Symboles successifs), une technique classique est d'utiliser un CNA avec retour à zero (RTZ) pendant la moitié du temps d'échantillonnage. Ainsi, le délai de conversion est compensé à chaque cycle d'échantillonnage et la valeur d'un échantillon ne modifiera pas le suivant. En contre partie, l'horloge du CNA doit être de fréquence deux fois supérieure à celle des échantillons afin de pouvoir générer deux signaux de sortie pendant sa période d'échantillonnage.

Enfin, pour assurer la linéarité de la conversion, un algorithme de DEM (pour *Dynamic Element Matching* en anglais), sera utilisé pour chaque coefficient. Cette technique, classique dans les CNA multi-niveaux [151, 152], consiste à changer entre eux, au cours du temps, les éléments passifs réalisant les niveaux de sortie. Ainsi, les effets de non-appariement sont moyennés sur tous les niveaux de sortie au lieu d'être localisés à des niveaux de sortie particuliers.

La figure 5.17 montre la structure de principe du CNA utilisée pour une polarité d'une boucle de rétro-action, sachant que le CNA comportera au final trois boucles de rétro-action différentielles, soit 6 fois le circuit illustré sur cette figure. Les commutateurs factices, ainsi que les commutateurs associés au DEM ne sont volontairement pas représentés sur la figure pour plus de clareté.

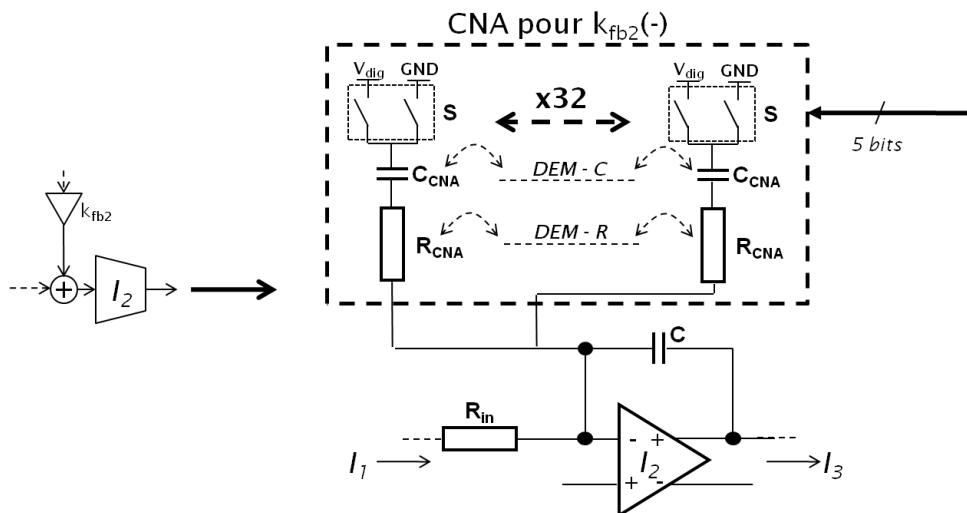


FIGURE 5.17 – Architecture du CNA au niveau d'une polarité d'une boucle de rétroaction

### 5.2.2.3 Filtre anti-repliement intrinsèque

La structure analogique du filtre de boucle ( $I_{2/3}$ ) réalise un filtre passe-bas en amont de l'opération d'échantillonnage (voir figure 5.12). Le signal à échantillonner est constitué du signal d'entrée et du signal de retour. A cause du coefficient de réaction  $k_{FF}$ , l'intégrateur  $I_1$  ne participe pas au filtre anti-repliement. L'étude du gabarit exact du filtre anti-repliement réalisé par le filtre de boucle d'un CAN  $\Sigma\Delta$  CT a été menée dans [153]. Le principe de cette étude est de répartir l'action du filtre de boucle sur le signal d'entrée et le signal de retour du CNA comme illustré sur les figures 5.18(a) et 5.18(b).

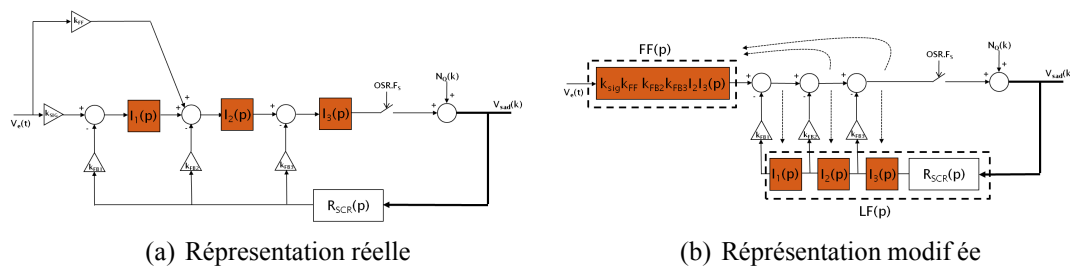


FIGURE 5.18 – Représentation d'un CNA  $\Sigma\Delta$  CT modifié

L'intérêt de cette représentation modifiée est de faire apparaître deux éléments :

1. Un filtre à temps continu agissant seulement sur le signal d'entrée, noté  $FF(p)$ ,
2. Un filtre à temps continu agissant seulement sur le signal de retroaction, noté  $LF(p)$ .

Comme le filtre  $LF(p)$  agit sur le signal issu du CNA, son action effective vis à vis du signal de sortie sera l'équivalent discret de ce filtre, noté  $LF(z = e^{pT_s})$ , et intégrant la fonction de transfert discrète du CNA, définie selon la forme de son motif de sortie (soit un réseau  $S - CR$  pour le CNA proposé). La fonction de transfert idéale,  $R_{SCR}(p)$ , d'un CNA basé sur un motif de conversion  $S - CR$  est [122] :

$$R_{S-CR}(p) = \frac{(1 - e^{pT_s})}{1 + \tau p} \quad \tau = RC$$

D'après [124], l'expression de la fonction de transfert du filtre anti-repliement intrasèque,  $F_{AAF}(p)$ , s'écrit :

$$F_{AAF}(p) = \frac{FF(p)}{FF(z = e^{pT_s})}$$

Dans cette relation,  $FF(p)$  représente le filtre de réaction (*Forward Filter*) constitué des actions intégrales  $I_2$  et  $I_3$  et le dénominateur représente le filtre à temps discret équivalent à

$FF(p)$ . De même, une approche similaire permet d'établir les expressions exactes des  $STF$  et  $NTF$  qui sont :

$$STF(p) = \frac{k_{sig}FF(p)}{1 - k_{sig}LF(z = e^{pT_S})} \quad \text{et} \quad NTF(z = e^{pT_S}) = \frac{1}{1 - LF(z = e^{pT_S})}$$

Pour le CAN proposé dans ce chapitre,

$$FF(p) = k_{FF}I_2(p)I_3(p) = k_{FF} \left( \frac{2\pi \times OSR \times F_S}{p} \right)^2$$

D'où

$$|F_{AAF}(\omega)| = \left| \frac{FF(j\omega)}{FF(z = e^{j\omega T_S})} \right| = \left| \left( \frac{\frac{2\pi \times OSR \times F_S}{j\omega}}{\left| \frac{z^{-1}}{1-z^{-1}} \right|_{z=e^{j\omega T_S}}} \right)^2 \right| \approx \text{sinc}^2 \left( \frac{f}{OSR \times F_S} \right)$$

Les composantes spectrales qui peuvent être repliées en bande audio,  $BA$ , sont celles situées à  $\pm BA$  autour des multiples de  $OSR \times F_S$ . Comme le gabarit du filtre anti-repliement intrasèque est de type sinus cardinal, l'atténuation de ce filtre est la plus faible à l'extrémité de la bande d'intérêt  $BA$  autour des multiples de  $OSR \times F_S$ . Ainsi, la bande d'intérêt pour éviter tout repliement se situe à  $OSR \times F_S/2 \pm BA = 1.536MHz \pm 24kHz$ . Aux extrémités de cette bande, l'atténuation du filtre est la moins forte et est égale à  $117dB$ . Le filtre de boucle est donc suffisant pour empêcher tout repliement spectral du signal de sortie (voir spectre figure 5.9) en bande audio lors de l'échantillonnage.

#### 5.2.2.4 Architecture retenue

Le schéma simplifié de la structure interne du CNA est illustré figure 5.19.



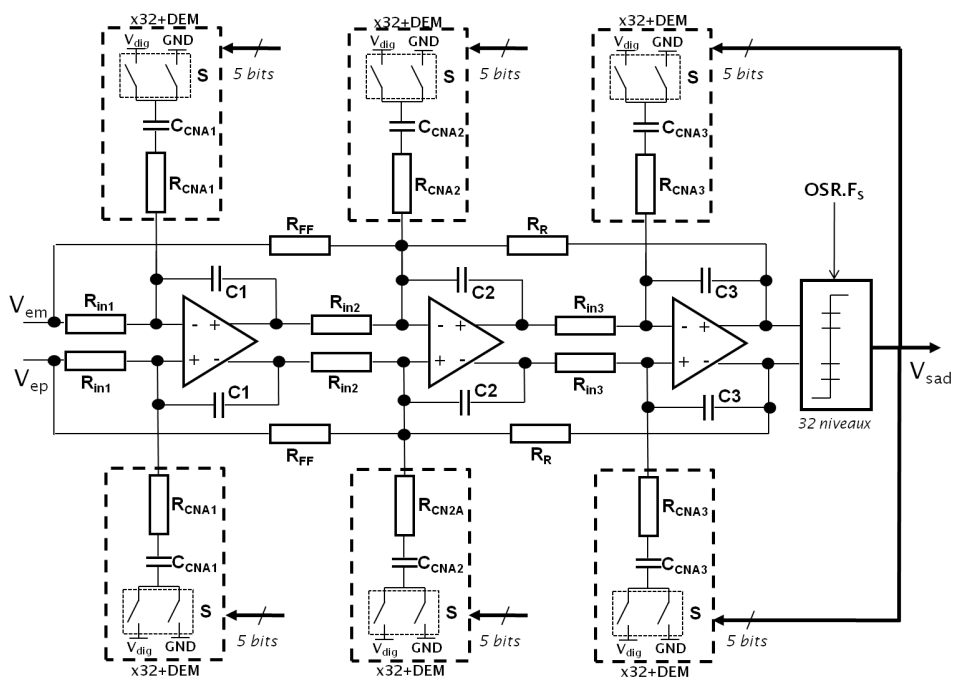


FIGURE 5.19 – Schéma simplifié du CAN

Les valeurs des composants passifs sont résumées dans les tableaux 5.3 et 5.4.

$R_{in1}$	$R_{in2}$	$R_{in3}$	$R_{FF}$	$R_R$	$R_{CNA1-3}$	Total $R$
$163k\Omega$	$320k\Omega$	$50k\Omega$	$60k\Omega$	$820\Omega$	$20k\Omega$	$11.5M\Omega$

TABLE 5.3 – Valeurs des composants passifs résistifs du CAN

$C_1$	$C_2$	$C_3$	$C_{CNA1}$	$C_{CNA2}$	$C_{CNA3}$	Total $C$
$81pF$	$13pF$	$6.5pF$	$600fF$	$55fF$	$150fF$	$295pF$

TABLE 5.4 – Valeurs des composants passifs capacitifs du CAN

### 5.2.2.5 Réalisation en technologie CMOS 40nm

Le procédé technologique CMOS 40nm de STMicroelectronics ne possède pas de capacité type MIM (Pour Métal - Isolant - Métal). L'intégralité des passifs capacitifs est donc intégrée en capacité MOM (Métal - Oxyde - Métal), de faible densité ( $2fF/\mu m^2$ ) et non superposable par rapport à la MIM. Comme la quantité totale de passifs capacitifs intégrés est égale à  $260pF$ , l'espace total occupé est de l'ordre de  $0.13mm^2$ . De même, pour les passifs résistifs, l'espace occupé est de l'ordre de  $0.07mm^2$ . La consommation totale typique du CAN, obtenue en simulation électrique complète, est égale à  $0.85mA$ . En intégrant toutes les sources de

bruits électriques (bruit thermiques des résistances, bruit Flicker des amplificateurs opérationnels réalisant les intégrateurs, bruit de phase d'horloge,...), le SDNR simulé est de 105dB, soit un ENOB de 17bit (2 bits de moins que l'ENOB lié seulement au bruit de quantification).

Le CAN sera intégré dans le prochain circuit test CMOS 40nm lancé par STE en juillet 2011. Les mesures du circuit sont prévues pour octobre 2011.

### 5.3 Analyse du système en boucle fermée

La boucle ouverte, sans le contrôle, de l'amplificateur *DD3* étudié dans ce chapitre se présente donc comme illustré sur la figure 5.20.

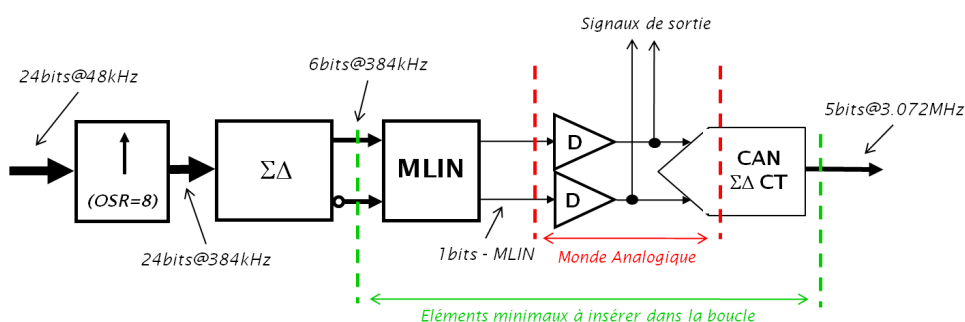


FIGURE 5.20 – Boucle ouverte de la structure DD3

Les positions possibles pour fermer la boucle et contrôler le système sont multiples. Le but de cet asservissement est de corriger les erreurs temporelles liées à la commutation de l'étage de puissance et les erreurs d'amplitude liées aux variations de l'alimentation de puissance. Les blocs *MLIN*, étage de puissance *D* et *CAN* de retour seront forcément intégrés dans la boucle.

#### 5.3.1 Etudes des possibilités de fermeture de boucle

Les trois différentes structures de boucle fermée  $BF_1$  à  $BF_3$  possibles sont décrites dans un premier temps, puis une comparaison entre leurs avantages et inconvénients est ensuite réalisée pour sélectionner la structure de boucle la plus adéquate aux spécifications et aux cahiers des charges de l'amplificateur *DD3* (voir 1.8).

La position élémentaire de la boucle de rétroaction, nommée structure  $BF_1$ , est au début de la boucle ouverte (figure 5.21). Le signal à ce niveau est échantillonné à  $24\text{kHz}$ . Dans cette configuration, une étape de décimation par  $DSR = 3.072\text{M}/48\text{k} = 64$  à la sortie du *CAN* est requise. La décimation rajoute un délai de propagation réduisant la marge de phase de la boucle d'autant plus que le rapport de décimation est important.

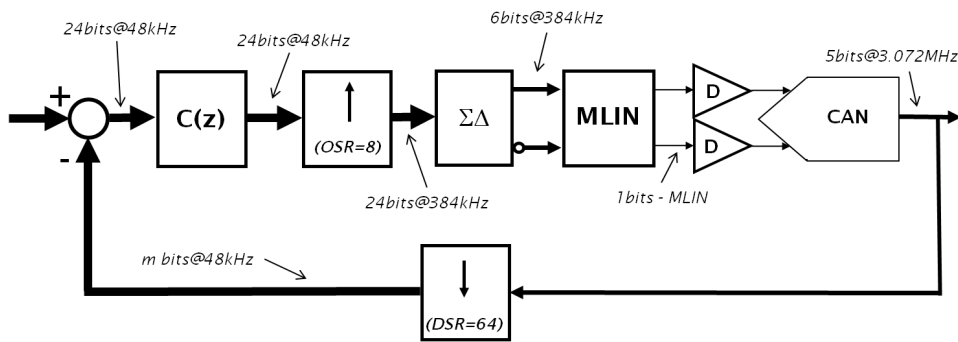


FIGURE 5.21 – Boucle fermée - structure  $BF_1$

Le bloc d'interpolation n'apporte pas d'erreur, il n'a donc pas besoin d'être à l'intérieur de la boucle de contrôle. Ainsi, la structure  $BF_2$  (voir figure 5.22) est identique à la structure  $BF_1$  avec rétro-action en aval du bloc d'interpolation. Dans ce cas, la décimation nécessaire dans la boucle de retour est seulement d'un rapport  $DSR = 3.072M/384k = 8$  dans cette structure.

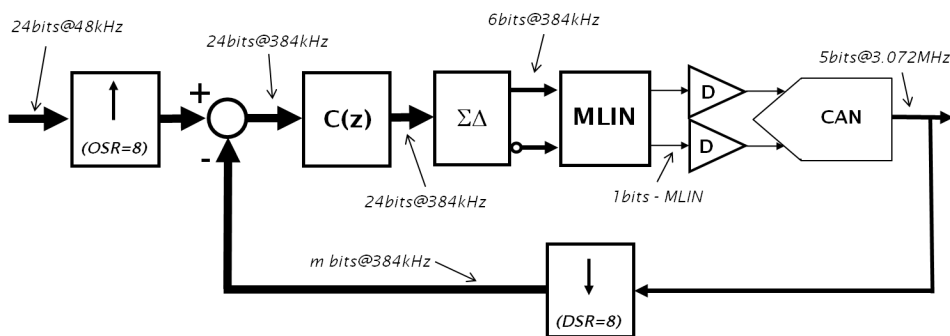


FIGURE 5.22 – Boucle fermée - structure  $BF_2$

Il est possible de retirer toutes les opérations de décimation et d'interpolation en rebouclant directement à  $f = 3.072MHz$  comme illustré sur la figure 5.23.

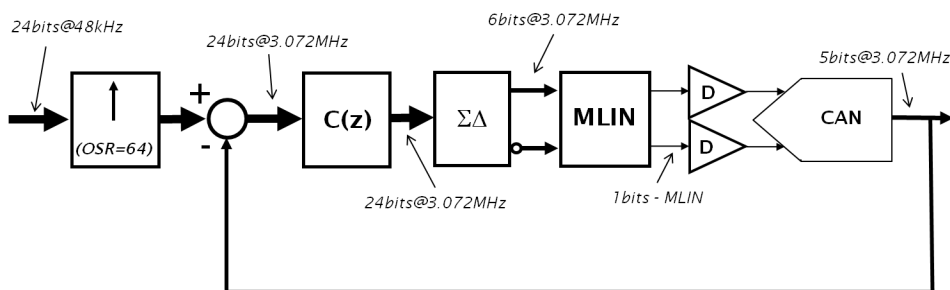


FIGURE 5.23 – Boucle fermée - structure  $BF_3$

Le tableau 5.5 résume les principaux avantages et inconvénients des trois structures de boucle fermée précédentes. Les points de comparaison sont :

1. La présence d'interpolation (**I**) ou de décimation (**D**) à l'intérieur de la boucle. Le délai associé à ces opérations réduiront la marge de phase de la boucle de contrôle, créant des risques d'instabilité.
2. La fréquence de fonctionnement du correcteur discret  $F_{cor}$ . Plus cette fréquence est importante, plus la bande passante de la boucle peut être importante.
3. La présence de bruit hors bande non atténué dans la boucle, risque de créer un retour à gain positif pour les fréquences concernées ( $> MHz$ ).
4. La fréquence des commutations de l'étage de puissance  $F_{com}$ , directement liée au rendement de la structure.

La solution  $BF_1$  est éliminée directement car elle présente de fortes contraintes :

- Forte latence de boucle due aux opérations de décimation et d'interpolation, ce qui réduit fortement la marge de phase de la boucle et rend délicat tout contrôle,
- Faible fréquence d'échantillonnage au niveau du correcteur, ce qui limite fortement en fréquence les actions de contrôle possibles,

La solution  $BF_2$  a l'inconvénient d'avoir une étape de décimation à l'intérieur de la boucle, mais a l'avantage de filtrer tout le bruit hautes fréquences (HF signifie ici  $> 100kHz$ ) dû au CAN  $\Sigma\Delta$ . À l'inverse, la solution  $BF_3$  n'a pas de latence, mais a du bruit HF non atténué qui est retro-actionné dans la boucle. De plus, la solution  $BF_3$  augmente d'un facteur huit la fréquence des commutations de l'étage de puissance, ce qui augmente les pertes par commutation au niveau de l'étage de puissance et limite le rendement. Une solution possible serait d'insérer une étape de décimation avant la MLIN, ce qui ramène au point de départ en supprimant l'avantage de cette structure  $BF_3$  par rapport à  $BF_2$ . C'est donc la rétroaction type  $BF_2$  qui est retenue pour concevoir l'amplificateur de classe D à commande numérique et à contrôle numérique. Le schéma bloc détaillé de cette solution est représenté sur la figure 5.24. Il est également possible d'envisager une commande analogique sur cette structure si le signal d'entrée est appliqué directement au niveau des entrées du CAN.

Structure	$BF_1$	$BF_2$	$BF_3$
Latence (I/D)	forte (I8, D64)	modéré (D8)	aucune
$F_{cor}$	$48kHz$	$384kHz$	$3.072MHz$
Bruit	non	non	oui
$F_{com}$	$384kHz$	$384kHz$	$3.072MHz$

TABLE 5.5 – Compromis des structures  $BF_1 - 3$

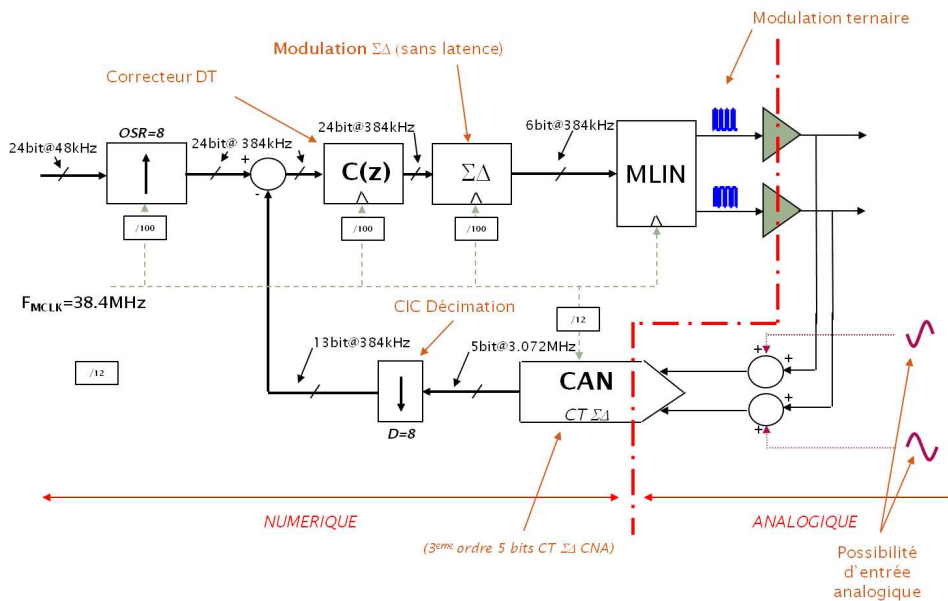


FIGURE 5.24 – Architecture de l’amplificateur DD3

L’architecture proposée contient donc un bloc de correction à temps discret  $C(z)$  échantillonné à  $OSR \times F_s = 384kHz$ . Un modulateur numérique comme étudié dans le chapitre 3 délivre les deux trains d’impulsions à  $OSR \times F_s = 384kHz$  qui réalisent une modulation ternaire différentielle. Deux étages de puissance, permettant une connexion en pont en H de la charge effectuent l’amplification de puissance du signal. Les signaux de sortie sont convertis par un CNA  $\Sigma\Delta$  CT. Le signal numérique est ensuite décimé afin d’être compatible avec la résolution du correcteur. Cette structure présente l’avantage d’être compatible avec une entrée analogique par injection d’un signal de commande au niveau du CAN.

### 5.3.2 Effets de numérisation : cycles limites et erreurs d’arrondi

Les deux effets principaux de quantification limitant la performance et la stabilité d’une boucle de régulation numérique sont les erreurs d’arrondi et le risque d’apparition de cycles limites [154].

#### 5.3.2.1 Erreurs d’arrondi

La quantification des signaux sur un nombre fini de niveaux possibles rend un grand nombre d’opérations réalisées approchées. Ainsi, des erreurs d’arrondi apparaissent. Ces erreurs se propagent dans la boucle au fur et à mesure de la succession des opérations et il en résulte deux conséquences :

1. Une erreur de positionnement en régime établi,
2. Un risque d'instabilité.

En régime établi, l'erreur de positionnement  $\varepsilon_{SS}(\infty)$  en sortie de régulation due à une multiplication est bornée par la relation de *Bertram* [154] :

$$\varepsilon_{SS}(\infty) \leq |H(1)| \frac{q}{2}$$

où  $q$  représente le pas de quantification,  $H(z)$  la fonction de transfert discrète entre la multiplication et la sortie de la boucle de régulation et donc  $H(1)$  le gain statique de cette fonction de transfert. Une estimation totale de l'ensemble des erreurs d'arrondi sur le positionnement du niveau de sortie en régime établi peut être réalisée par une relation de Lyapunov discrète (voir [154]) et montre qu'au delà de 16 bits de quantification, cette erreur est négligeable.

Concernant le risque d'instabilité dû à la divergence du résultat d'une multiplication, il n'existe pas d'étude quantifiée permettant de l'éliminer complètement. L'application de quelques règles simples permettent néanmoins d'éviter ces instabilités dans une grande majorité de cas. Par exemple, allouer localement des bits de précision supplémentaires dans une boucle comportant des multiplications, et les tronquer à la fin du calcul, est une solution systématiquement utilisée limitant fortement le risque d'instabilité.

### 5.3.2.2 Cycles limites

La seconde limitation intrinsèque aux boucles de régulation numérique est le risque d'apparition de cycles limites. Un cycle limite est une conséquence de la discrétisation des commandes du procédé à réguler. Le nombre d'états possibles pour le système est fini. Ainsi, pour passer d'un état  $(X_0, Y_0)$  à un état  $(X_1, Y_1)$ , le système va suivre une trajectoire dans sa représentation d'état définie par sa dynamique de poursuite. A l'approche de l'état  $(X_1, Y_1)$ , il est possible que le système se mette à osciller autour de  $(X_1, Y_1)$  au lieu de se stabiliser dans un l'état possible le plus proche de  $(X_1, Y_1)$ . Ce phénomène, représenté sur la figure 5.25, est nommé cycle limite.

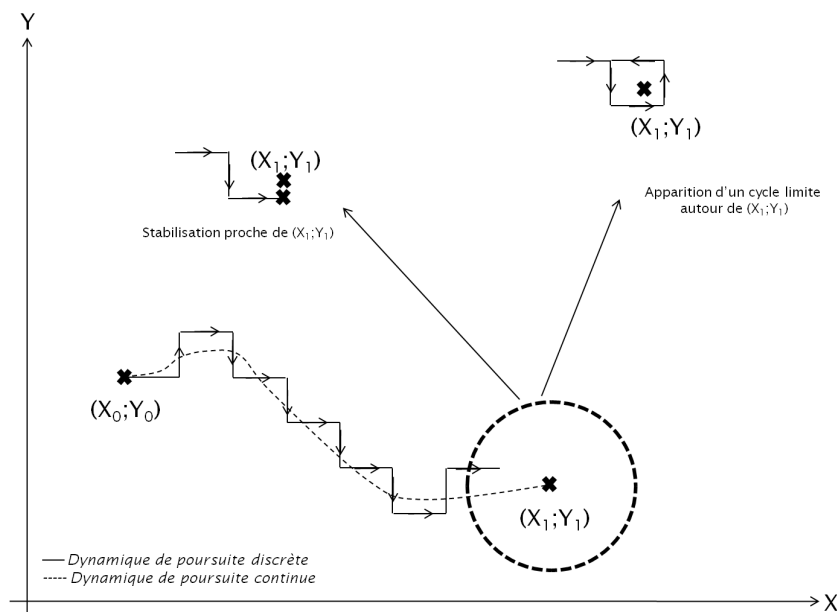


FIGURE 5.25 – Principe d'un cycle limite

Ce phénomène est généralement observé à faible niveau sur les modulateurs  $\Sigma\Delta$  car la précision du signal de sortie est très faible (peu de résolution). La technique couramment employée alors est l'utilisation de *dither* [155]. C'est à dire qu'une faible variation aléatoire est volontairement ajoutée en aval de la quantification du modulateur  $\Sigma\Delta$  afin d'éviter toute entrée dans un cycle limite particulier.

Dans le cas de l'amplificateur numérique de classe D proposé, le risque d'apparition de cycles limites est directement lié aux résolutions de la MLIN et du CAN de retour. Si la précision des échantillons de retour est inférieure à la précision des échantillons de la commande du procédé, alors l'apparition de cycle limite est peu probable [156, 157]. En nommant  $G_0$  le gain statique du procédé,  $q_{MLIN}$  la résolution de la MLIN et  $q_{CAN}$  la résolution du CAN, alors il suffit de vérifier la relation suivante pour éviter l'apparition de cycles limites :

$$G_0 \times q_{MLIN} > q_{CAN}$$

Le cas le plus défavorable pour l'amplificateur *DD3* survient pour  $V_{bat} = V_{bat_{min}} = 2.3V$ . Dans ce cas,  $G_0 = V_{bat}/V_{dig} = 2.1$  or  $q_{MLIN} = 1/(2^6)$  et  $q_{CAN} = 1/2^5$ . La relation reste donc vérifiée dans ce cas là. Ainsi, la structure *DD3* n'est pas sujette à l'apparition de cycle limite.

### 5.3.3 Stratégie de contrôle

La conception de l'asservissement nécessite la définition d'une dynamique de poursuite et d'une dynamique de régulation pour la structure *DD3*. Ces deux dynamiques peuvent être

différentes en automatique des systèmes discrets alors qu'elles sont forcément liées l'une à l'autre en automatique des systèmes continus. Pour répondre au cahier des charges (voir section 1.8), une dynamique de poursuite du second ordre passe bas est suffisante et présente le meilleur compromis rapidité/stabilité. Cette dynamique de poursuite,  $H_P$ , est de la forme :

$$H_P(p) = \frac{K_0}{1 + 2\frac{m}{\omega_0}p + \frac{p^2}{\omega_0^2}}$$

Avec

$$\begin{cases} K_0 = 0dB = 1 \\ m = 0.7 \\ \omega_0 \gg 2\pi f_0 = 2\pi \times 20k = 125.7k \text{ rad.s}^{-1} \end{cases}$$

Le système *DD3* répond comme un système du second ordre, avec une bande passante très supérieure à  $20kHz$  afin d'avoir un gain et une phase le plus constant possible en bande audio. Le choix de l'amortissement égal à  $m = 0.7$  est un choix permettant d'obtenir le meilleur compromis entre rapidité et stabilité du système.

### 5.3.3.1 Modélisation du système

D'un point de vue signal, la structure *DD3* peut être modélisée de façon minimaliste en BF (Basses Fréquences, soit des fréquences très inférieures à  $384kHz$ ) par le schéma bloc de la figure 5.26. En effet, les éléments de réalisation de la *MLIN* n'ont aucune action sur le contenu BF du signal (contenu audio), mais seulement sur sa représentation. Seules les étapes de modulation et de gain de puissance présente du gain en signal comme vu dans le chapitre 3. En première approximation, le *CAN* de retour et la décimation peuvent être vu comme un délai pur.

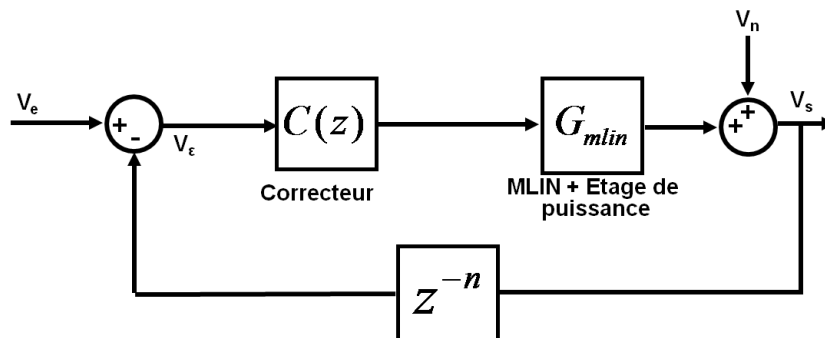


FIGURE 5.26 – Schéma bloc minimaliste de l'architecture *DD3*

Le délai  $t_d$  du *CAN*, de l'étape de décimation et des diverses re-synchronisations présentes dans le modulateur numérique est estimé à  $t_d = 20\mu s$ . Cette valeur est volontairement sur-estimée afin de se placer dans un pire cas vis à vis de la stabilité de la boucle. Le nombre exact



de retards purs  $n^*$  correspondant au modèle simplifié BF du CAN est donc égal à :

$$n^* = t_d \times F_e = 20\mu s \times 384kHz = 7.68$$

Le nombre approché de délais purs utilisés pour la synthèse du correcteur  $C(z)$  est donc  $n = 8$ .

### 5.3.3.2 Approche Proportionnelle Intégrale

Un correcteur ayant une action proportionnelle et intégrale, dit correcteur PI, est proposé. Ce choix se justifie par l'identification du contrôleur discret aux contrôleurs classiquement utilisés dans les amplificateurs de classe D analogiques. Ce type de correcteur permet en effet de maximiser le gain de boucle dans une bande de fréquence démarrant à fréquence nulle. C'est typiquement le cas des systèmes de reproduction sonore. La fonction de transfert  $C_d$  discrète d'un correcteur PI est :

$$C_d(z) = \frac{KT_s(z+1)}{2(z-1)}$$

Il s'agit de la correspondance bilinéaire d'un correcteur PI continu de fonction de transfert :

$$C_c(p) = C_0 \left( 1 + \frac{\omega_0}{p} \right)$$

La fonction de transfert en boucle ouverte  $BO_{DD3}(z)$  de l'architecture DD3 s'exprime donc :

$$BO_{DD3}(z) = G_{min} \frac{K.T_s}{2(z-1)} z^{-n}$$

A cause de la présence du délai pur, le système ne sera stable que si  $K$  ne dépasse pas une valeur limite  $K_{lim}$  qui se détermine en fonction des marges de phase et de gain assurant la stabilité et la rapidité du système. A la limite de la stabilité,  $K_{lim}$  est tiré des relations suivantes qui caractérisent la juste stabilité mathématique :

$$\begin{cases} \|BO_{DD3}(z) + 1\| = 0 \\ \varphi(BO_{DD3}(z)) = \pi \end{cases}$$

La présence du délai pur va faire tourbillonner la représentation de  $BO_{DD3}(z)$  dans le lieu de Nyquist. Selon la valeur de  $K$ , la représentation de  $BO_{DD3}(z)$  va ou ne va pas laisser le point critique ( $z = -1$ ) sur sa gauche, critère dit du revers, définissant la stabilité inconditionnelle au sens BIBO<sup>4</sup> d'un système en boucle fermée. L'utilisation d'un lieu de Nyquist est plus pratique pour étudier la stabilité d'un système comportant un nombre important de délais purs par rapport aux autres lieux de représentation comme les lieux de Bode, d'Evans ou de Black. La figure 5.27 montre la représentation de  $BO_{DD3}(z)$  pour deux valeurs de  $K$  définies telles que  $K_1 < K_{lim} < K_2$ .

---

4. *Borned Input Borned Output* en anglais, soit à Entrée Finie correspond une Sortie Finie

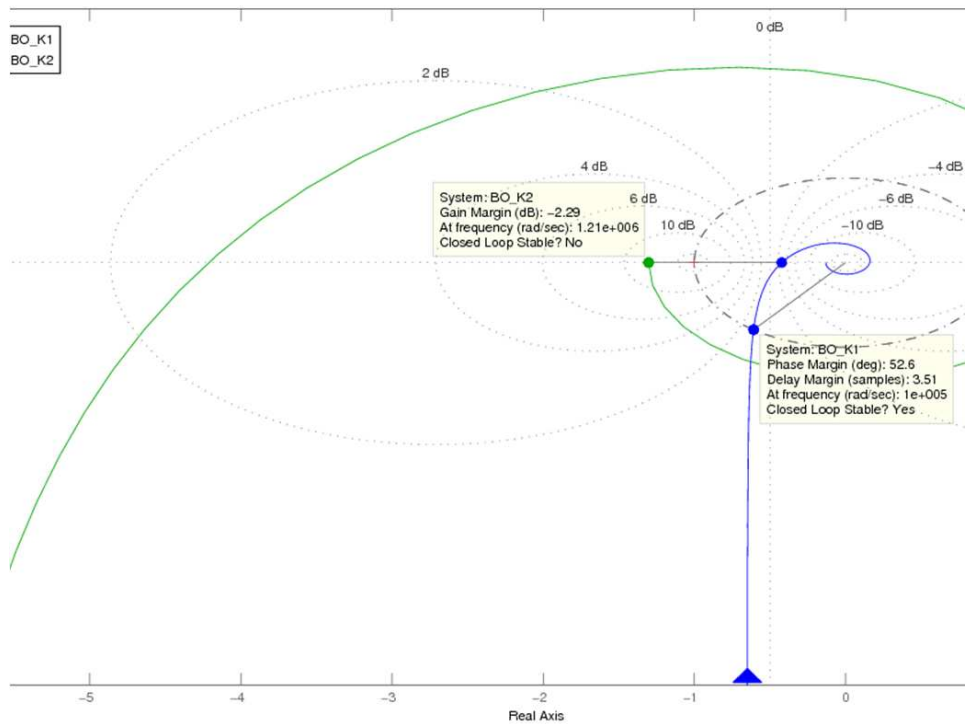


FIGURE 5.27 – Lieu de Nyquist de  $BO_{DD3}(z)$

Pour obtenir la marge de phase nécessaire au comportement en boucle fermée de la structure  $DD3$  comme défini précédemment, la valeur de  $K$  obtenue est :

$$K = 3.84 \times 10^4$$

Le contrôleur réalisant l'action PI a donc pour expression :

$$C(z^{-1}) = \frac{0.05 + 0.05z^{-1}}{1 - z^{-1}}$$

Il peut être implémenté comme un filtre numérique récursif de type RII (Réponse Impulsionnelle Inf nie). La  $NTF$  de la boucle s'exprime alors :

$$NTF(z) = \frac{z^9 - z^8}{z^9 - z^8 + 0.05z + 0.05}$$

Le lieu de Bode du gain de la  $NTF$ , représentant donc la performance en PSRR de la structure, est donné sur la figure 5.28.

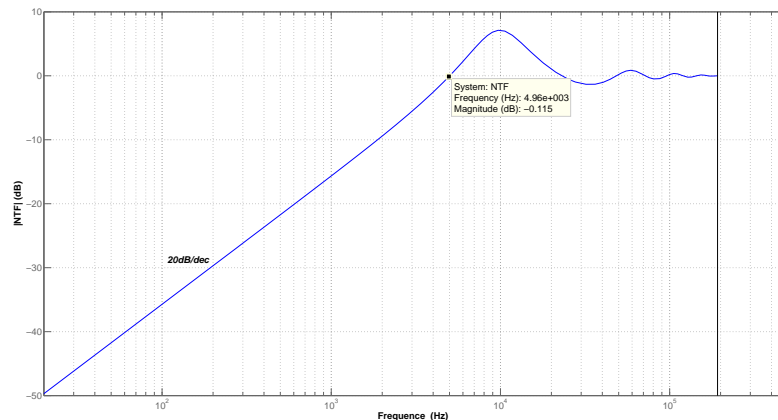


FIGURE 5.28 – Lieu de Bode de  $NTF(z)$

A cause du fort délai présent en boucle de retour, et de la faible valeur de fréquence d'échantillonnage, le système est très contraint. Ainsi, la boucle intégrant un correcteur PI du premier ordre stable avec une marge de phase de  $45^\circ$  possède une bande passante égale à  $5\text{kHz}$ . En deçà de cette fréquence, l'atténuation des perturbations est de  $20\text{dB/dec}$ . L'augmentation de l'ordre de l'action intégrale ne changera pas la valeur de la bande passante, mais augmentera l'atténuation des perturbations de  $20\text{dB/dec}$  par ordre d'action intégrale. En relaxant la contrainte de stabilité à  $20^\circ$  de marge de phase, la nouvelle valeur de  $K$  est :

$$K = 6.14 \times 10^4$$

Dans ce cas, la bande passante du système est augmentée à  $20\text{kHz}$ , mais l'atténuation des perturbations à cette fréquence est quasi nulle.

## 5.4 Réalisation d'un prototype

Afin de valider la faisabilité de la boucle, la réalisation d'un prototype de la structure  $DD3$  est en cours. Ce prototype comprend :

- le CAN en CMOS 40nm,
- l'étage de puissance en CMOS 40nm,
- un FPGA intégrant le modulateur numérique, le contrôle numérique et la décimation.

La réalisation de ce prototype est en cours bien que le contrôle proposé ne permette pas pour l'instant d'atteindre toutes les spécifications requises par le cahier des charges. Ceci permettra de pouvoir valider les études réalisées sur la structure de la boucle, en proposant un

environnement facilement modifiable. De plus, cette étape de validation intermédiaire va permettre de caractériser précisément les deux cellules analogiques (CAN et étage de puissance) afin d'intégrer un maximum d'information lors de la conception d'un contrôle plus performant. Le circuit en technologie CMOS 40nm intégrant le CAN et l'étage de puissance sera disponible pour octobre 2011. Il est électriquement complètement conçu et est en phase de dessins de masques.

## 5.5 Amélioration du contrôle

Comme la structure *DD3* présente un fort délai de propagation dans sa boucle de retour, les techniques de contrôle classiques ne sont pas efficaces. Ce délai, estimé à  $t_d = 20\mu s$ , a plusieurs origines. Une partie est due au filtre de boucle du CAN (estimé à  $t_{CNA} = 6\mu s$ , soit environ trois échantillons), une partie est due au filtre de décimation, type CIC, (un peu plus d'un échantillon) et une dernière partie est pour l'instant due à des bascules de synchronisation dans la chaîne directe, ce qui représente trois échantillons de retard environ.

D'un point de vue automatique, les retards purs ont donc de multiples localisations dans la boucle. Ceux qui sont dans la chaîne directe seront gérés par un prédictor de Schmitt. Cette approche est très performante et facilement synthétisable. Le principe d'un prédictor de Smith est de synthétiser un régulateur  $H_0(z)$  pour le procédé discrétisé  $P(z)$  auquel le retard pur  $z^{-n}$  a été enlevé et dans un deuxième temps, de calculer un correcteur adapté au procédé avec retard  $H_r(z)$ , à partir du correcteur  $H_0(z)$ . Ainsi, les calculs sont beaucoup plus simples car le retard pur peut introduire un nombre de pôles à l'origine important et donc, des fonctions de transfert d'ordre élevé à manipuler. L'expression de  $H_r(z)$  s'obtient alors par la relation :

$$H_r(z) = \frac{H_0(z)}{1 + H_0(z)(1 - z^{-n})P(z)}$$

Dans le cas de la structure *DD3*, le procédé  $P(z)$  correspond à l'étage de puissance et au modulateur numérique. Ainsi, en négligeant les temps morts lors des commutations (de l'ordre d'une dizaine de *ns*) devant les autres délais du système (de l'ordre de plusieurs  $\mu s$ ), le procédé est un simple gain qui s'exprime  $P(z) = G_{min} \times V_{bat}/V_{dig}$ .

En revanche, les retards purs présents dans la chaîne de retour, c'est à dire le délai du CNA et de la décimation, ne peuvent pas être pris en compte par un prédictor de Schmitt. Comme la moitié du délai total dans la boucle se situe dans la chaîne directe, alors une approche PI couplée à un prédictor de schmitt permet d'obtenir une bande passante de  $20kHz$  avec une atténuation

à cette fréquence d'environ  $20dB$ . Pour compenser l'influence des délais présents dans la boucle de retour, une solution envisagée est le contrôle par modèle interne. Le principe de cette stratégie de contrôle est de réaliser un modèle discret  $M(z)$  d'un procédé  $P(p)$  à réguler. Les contrôles par modèle interne, *IMC* pour *Internal Model Control*, se caractérisent par [158] :

- la compensation possible des délais de boucle,
- la mise en forme possible de la dynamique de poursuite et de régulation indépendamment l'une de l'autre,
- une erreur statique nulle.

La difficulté de ce type d'approche réside dans la réalisation d'un modèle réaliste du procédé à réguler [159, 160]. Dans le cas d'un amplificateur audio de classe D numérique, ce problème ne se pose pas car le comportement idéal du procédé (c'est à dire l'étage de puissance) est un gain pur. Cependant, la modélisation du CAN devra tenir compte des variations du procédé. Ainsi, l'application d'une stratégie de contrôle par modèle interne (correcteur  $C_{IMC}(z)$ ) et par prédicteur de Schmitt ( $C_{SC}(z)$ ) pour l'amplificateur de classe D numérique *DD3* conduit à la mise en oeuvre du système représenté sur la figure 5.29.

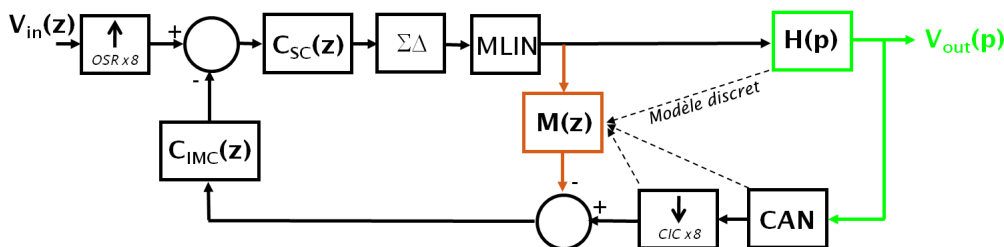


FIGURE 5.29 – Stratégie de contrôle pour l'amplificateur *DD3*

## 5.6 Conclusion

Dans ce chapitre, le contrôle numérique global de l'amplificateur de classe D a été envisagé. L'intérêt de cette approche était, d'une part, de contrôler l'interface entre le modulateur numérique et l'étage de puissance, et d'autre part, de permettre la dissociation des dynamiques de poursuite et de régulation pour l'amplificateur de classe D. L'utilisation d'une boucle de contrôle discrète présente aussi un avantage d'intégration par rapport à l'évolution technologique engagée à STE. Dans un premier temps, la nécessité d'une conversion analogique numérique de forte résolution dans la boucle de retour a conduit à l'étude et à la réalisation d'un CAN  $\Sigma\Delta$  à temps continu. Ce CAN, intégré en technologie CMOS 40nm, a été conçu en colla-

laboration avec l'Université de Pavia, Italie. Ensuite, les différentes architectures possibles pour fermer la boucle de contrôle ont été discutées. Elles présentent chacune des avantages et des inconvénients d'un point de vue contrôle et intégration. L'architecture *BF2* est la plus adaptée à la réalisation d'un amplificateur de classe D numérique et a été retenue. Enfin, les fortes contraintes de stabilité liées à la présence de nombreux délais dans la boucle ont été analysées. Cette analyse a montré la limite en terme de rejection d'alimentation des approches de contrôle classique type PID (RS et RST en numérique). Des solutions de contrôle avancées, basées à la fois sur un prédictif de Schmitt et sur une commande prédictive par modèle interne sont en cours d'étude pour repousser cette limitation. En parallèle, un prototype intégrant le CAN et l'étage de puissance en CMOS 40nm ainsi que la boucle de contrôle PI à performances limitées est en cours de réalisation. L'optimisation des systèmes commutés de puissance en technologie fine (de type CMOS 40nm, CMOS 28nm) ainsi que la faisabilité des techniques de contrôle prédictives pour les systèmes commutés va faire l'objet d'un nouveau travail de thèse à la suite de celui présenté dans ce manuscrit.



# Conclusion

L'intégration de nombreuses fonctions de plus en plus complexes dans les systèmes embarqués, tels que les téléphones portables, conduit à optimiser leur consommation d'énergie pour maintenir l'autonomie de fonctionnement. Le but de ce travail est de proposer de nouvelles architectures à base d'amplificateur de classe D afin d'augmenter le rendement de la chaîne de reproduction sonore dans les systèmes embarqués. Ce travail de recherche s'est effectué en cinq phases :

- l'état de l'art et l'analyse des amplificateurs de classe D,
- la réalisation d'un amplificateur de classe D auto-oscillant à commande analogique à rendement élevé,
- l'étude des techniques de modulation numérique,
- la réalisation d'un amplificateur de classe D à commande numérique localement asservi de manière analogique,
- l'étude d'un amplificateur de classe D à commande numérique globalement asservi de manière numérique.

**L'état de l'art** a confirmé les spécificités de l'amplificateur de classe D par rapport aux méthodes linéaires. Le principal avantage de l'amplificateur de classe D est donc son rendement élevé, de plus en plus nécessaire dans les applications embarquées. Il permet de limiter la demande en courant sur la batterie et de gagner en autonomie d'écoute et de fonctionnement. De plus, les faibles pertes thermiques permettent l'intégration de l'amplificateur commuté pour des applications de forte puissance car il nécessite une faible surface de dissipation. A partir de cette étude, deux axes de recherche ont été définis :

## 1. La nécessité d'augmenter les performances de reproduction sonore et le rendement.

L'état de l'art a en effet permis de constater que les performances de reproduction sonore d'un amplificateur de classe D sont des éléments différenciateurs dans le choix d'une architecture. Les amplificateurs de classe D à entrée analogique sont principalement basés



sur des systèmes intégrant une MLI. Ce type d'architecture possédant des défauts intrinsèques limitant ses performances et son rendement, des amplificateurs de classe D proposant d'autre type de modulation ont été étudiés.

2. **La nécessité de piloter l'amplificateur de classe D de manière numérique.** En effet, quelque soit le système embarqué considéré, la source audio de base est de nature numérique. L'utilisation d'un CNA haute fidélité est donc requis afin de piloter les amplificateurs de puissance. Il est ainsi intéressant de générer les commandes de l'étage de puissance par un système numérique. Par cette approche, le CNA ne serait plus nécessaire et l'économie d'énergie serait alors importante. L'étude d'amplificateur de classe D à commande numérique a donc été proposée.

Suite à l'état de l'art, les travaux de recherches ont porté sur **l'étude d'un amplificateur de classe D basé sur une modulation auto-oscillante**. Le point de départ de la réflexion s'est situé sur la présence de limites intrinsèques liées à la modulation MLI. Pour s'affranchir des problèmes dus à la présence du signal de référence, une approche auto oscillante a été proposée. Le comportement auto oscillatoire peut être obtenu de deux manières différentes (par déphasage ou pas hystérésis). Une analyse sur leur comportement dynamique a été menée et a permis de constater que le contrôle par hystérésis possédait une bande passante plus importante que son homologue à déphasage, à fréquence de commutation égale. De plus, l'ordre de la réjection des perturbations est également plus important à ordre de correcteur équivalent. La réalisation d'une modulation sur trois niveaux, pour améliorer le rendement à faible signal et réduire le contenu harmonique du signal de sortie, pose un problème de synchronisation entre les voies. Pour corriger cela, un réseau de synchronisation a été envisagé. Le circuit test réalisé en technologie CMOS 130nm a permis de valider les études théoriques menées sur la solution proposée notamment sur les aspects de la prédiction de la fréquence de commutation, sur l'efficacité du réseau de synchronisation et sur l'étalement du spectre hautes fréquences du signal de sortie. Les performances audio et électriques sont conformes au cahier des charges relatifs à la téléphonie mobile.

Bien que la solution proposée dépasse les limitations de la solution classique, le rendement global de la chaîne d'amplification reste limité par la nécessité d'un convertisseur N/A en amont de l'amplificateur. Pour remédier à cette limitation, **l'étude d'un amplificateur de classe D à commande numérique** a été menée. Un amplificateur de classe D à commande numérique peut ainsi être réalisé par l'association d'un modulateur par largeur d'impulsion numérique et d'un

étage de puissance en boucle ouverte. Les étapes nécessaires à la réalisation du modulateur numérique sont l'interpolation, la mise en forme et la modulation. Chaque étape a été analysée et les contraintes de réalisation ont été quantifiées. Le procédé de MLIN, bien que non linéaire, peut être corrigé afin d'obtenir une qualité de reproduction sonore satisfaisante et comparable à un amplificateur de classe D à commande analogique (la MLIN est préférée à la MDIN car cette dernière présente des performances moindres). L'influence du bruit de phase de l'horloge cadencant ce modulateur a également été quantifiée. Des mesures effectuées sur un circuit intégré dans une technologie CMOS 130nm comportant la MLIN et un étage de puissance ont permis de valider les études théoriques menées autour de la linéarité du procédé de MLIN. Ainsi, la possibilité de commander directement l'amplificateur de classe D de manière numérique a été démontrée, supprimant ainsi la présence de la conversion N/A utilisée dans les fonctions de restitution sonore de nombreux systèmes embarqués.

Cependant, cette structure présente des limitations qui la rendent inutilisable dans le cas d'une application embarquée, dont l'alimentation est soumise à de forte perturbation. Pour remédier à ce problème, **un asservissement analogique local autour de l'étage de puissance** a ainsi été étudiée. Cet asservissement a permis de corriger les deux points limitants que présentait l'architecture d'amplificateur numérique intégrant une MLIN et un étage de puissance en boucle ouverte. En effet, le gain de la chaîne de reproduction sonore est maintenant constant et ne varie plus avec le niveau de l'alimentation de puissance. De plus, les perturbations présentes sur cette alimentation sont corrigées afin de ne pas perturber le signal de sortie. L'amplificateur ainsi réalisé répond à toutes les demandes présentes dans le cahier des charges de la téléphonie mobile. Néanmoins, l'interface entre le modulateur numérique et la boucle d'asservissement analogique très sensible à son environnement dégrade le SNR de la structure. Elle ne permet donc pas d'atteindre des performances en bruit très élevées (soit un SNR de l'ordre de 100dB) dues à de cette interface non contrôlée.

Il a donc été envisagé d'intégrer le modulateur numérique dans la boucle d'asservissement. **Le contrôle numérique global de l'amplificateur de classe D** présente un double intérêt : d'une part, de contrôler l'interface entre le modulateur numérique et l'étage de puissance, et d'autre part, permettre la dissociation des dynamiques de poursuite et de régulation pour l'amplificateur de classe D. Cette solution présentant un fort contenu numérique, une technologie plus fine a été utilisée. La nécessité d'une conversion analogique numérique de forte résolution dans la boucle de retour a conduit à l'étude et à la réalisation d'un CAN  $\Sigma\Delta$  à temps continu.

Une collaboration avec l'Université de Pavia, Italie a permis la réalisation de ce CAN en technologie CMOS 40nm. Différentes architectures possibles d'asservissement numérique ont été discutées. Elles présentent chacune des avantages et des inconvénients par rapport à l'application de la téléphonie mobile. L'architecture *BF2* a été retenue pour réaliser l'asservissement numérique de l'amplificateur. Les fortes contraintes de stabilité liées à la présence de nombreux délais dans la boucle ont été analysées. Cette analyse a montré la limite en terme de performances des approches de contrôle classique type PID (RS et RST en numérique). Des solutions de contrôle avancées, basées à la fois sur un prédictor de Schmitt et sur une commande prédictive par modèle interne sont en cours d'étude pour repousser cette limitation. Un prototype intégrant le CAN et l'étage de puissance en CMOS 40nm ainsi que la boucle de contrôle à performances limitées est également en cours de réalisation afin de valider les études théoriques sur l'asservissement et de caractériser les parties analogiques du système.

L'optimisation des systèmes commutés de puissance en technologie fine (de type CMOS 40nm, CMOS 28nm) ainsi que la faisabilité des techniques de contrôle prédictives pour les systèmes commutés vont faire l'objet d'un nouveau travail de thèse à la suite de celui présenté dans ce manuscrit. C'est dans cette optique de recherche que se poursuit la collaboration entre STE et l'Institut des Nanotechnologie de Lyon.



# Annexe A

## Réalisation électrique d'action intégrale

Dans cette annexe, les principales possibilités d'implémentations électriques d'intégrateurs à temps continu sont présentées et discutées. Il s'agit des schémas suivants :

- Intégrateur dit " $g_m C$ "
- Intégrateur dit "actif  $g_m C$ "
- Intégrateur dit "actif  $RC$ "
- Intégrateur dit "actif MOS-C"

Il existe d'autres solutions techniques pour réaliser la fonction intégrale (*Résonateur LC* pour la RF, *Intégrateur en mode courant* et sa déclinaison *Intégrateur "log-domaine"*, intégrateur à convoyeur de courant...) [122, 161].

Dans toute cette annexe, l'objectif est de réaliser électriquement, le plus fidèlement possible, la fonction :

$$H(s) = \frac{1}{\tau s} \quad (\text{A.1})$$

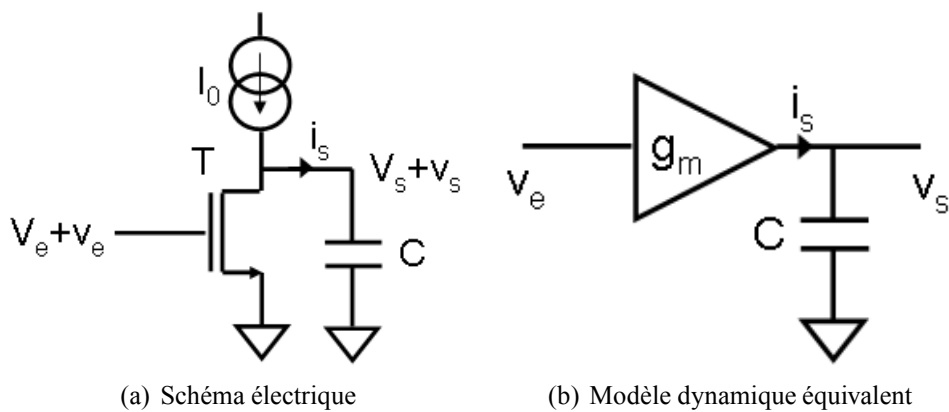
### A.1 Intégrateur dit " $g_m C$ "

Un intégrateur  $g_m C$  est basé sur la transconductance  $g_m$  d'un TMOS et d'un condensateur  $C$  comme illustré sur les figures A.1(a) et A.1(b).

Dans A.1(b),

$$\left. \begin{array}{l} i_s = g_m v_e \\ v_s = \frac{i_s}{C s} \end{array} \right\} \Rightarrow H(s) = \frac{v_s}{v_e} = \frac{g_m}{C s} \quad (\text{A.2})$$

Ainsi,  $H(s)$  est de la forme voulue, avec  $\tau = \frac{C}{g_m}$ . Cette implémentation possède des avantages considérables par rapport aux autres approches. Les structures basées sur des intégrateurs " $g_m C$ " sont facilement modifiables, consomment peu et génèrent peu de rotation de phase excessive [122]. L'amplificateur de transconductance est requis pour conserver une dynamique de

FIGURE A.1 – Intégrateur " $g_m C$ "

sortie maximale. Afin d'augmenter le gain statique de cette approche, des techniques de cascades sont généralement employées. Dans ce cas, si la dynamique de sortie est importante (c'est à dire supérieure à quelques centaines de mV), les sources de courant deviennent alors la source majeure de bruit de la structure [162]. Ainsi, les intégrateurs " $g_m C$ " sont réservés aux structures dites "faible tension" (soit une alimentation statique de l'ordre du volt). Un second inconvénient de cette approche est la sensibilité aux capacités parasites sur le noeud de sortie de l'intégrateur qui altère directement la constante de temps du système. Pour conserver une faible consommation statique, la valeur de  $g_m$  est limitée, ce qui impose une valeur de  $C$  de quelques centaines de  $pF$ . Les capacités parasites ne sont donc pas forcément négligeables, et pour augmenter  $C$ , il faut augmenter  $g_m$ , ce qui revient à augmenter  $I_0$  (et donc le bruit équivalent de ces sources). Le compromis précision - consommation - bruit est le facteur limitant de cette approche. La non linéarité de la conversion  $V/I$  limite la THD de l'intégrateur. L'utilisation d'une structure différentielle réduit de manière significative les harmoniques impaires [163] mais augmente la consommation statique dû à la nécessité d'une boucle de contre réaction de mode commun. Il existe une autre technique de minimisation des harmoniques impaires qui consiste en l'utilisation de sources de polarisation dégénérées [164], mais qui augmente la consommation statique. En général, les intégrateurs " $g_m C$ " sont utilisés dans des circuits faible tension pour réaliser des filtres à temps continu, comme par exemple dans un modulateur  $\Sigma\Delta$ . Ils sont souvent précédés d'un premier intégrateur de type "actif  $RC$ ".

Une amélioration de la structure " $g_m C$ " consiste à utiliser un amplificateur actif en cascade de l'amplificateur de transconductance.

## A.2 Intégrateur dit "actif $g_m C$ "

Afin de réduire l'influence des non linéarités de l'intégrateur " $g_m C$ ", un amplificateur actif est donc rajouté en sortie de l'amplificateur de transconductance. Une masse virtuelle est alors réalisée ce qui permet d'augmenter l'ordre de la réjection des erreurs [161].

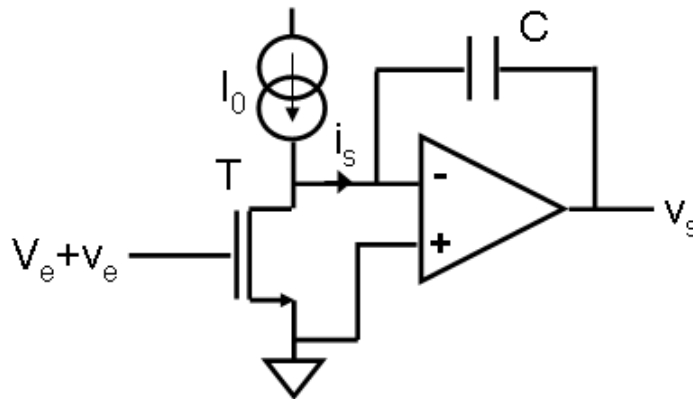


FIGURE A.2 – Intégrateur "actif  $g_m C$ "

Le schéma dynamique équivalent, ainsi que la fonction de transfert  $H(s)$  sont identiques au cas précédent (figure A.1(b) et relation A.2). Les bénéfices de cette approche sont [161] :

- La réduction de l'influence des capacités parasites,
- La suppression de l'influence de l'impédance de sortie de l'amplificateur de transconductance,
- La réduction de l'amplificateur actif à un simple étage différentiel car la charge est purement capacitive.

En contre partie, et malgré la simplicité de l'amplificateur actif, la consommation statique est augmentée. De plus, la linéarité est toujours limitée par la conversion  $V/I$  au niveau de l'amplificateur de transconductance.

## A.3 Intégrateur dit "actif $RC$ "

L'intégrateur de type "actif  $RC$ " est une approche très utilisée. Elle est similaire dans le principe à l'intégrateur "actif  $g_m C$ ", sauf que la conversion  $V/I$  est réalisée par une résistance  $R$  comme illustrée sur la figure A.3. Plus le gain statique de l'amplificateur est grand, plus le nœud d'entrée peut être considéré comme une masse virtuelle et donc plus la linéarité de la conversion  $V/I$  est bonne. Contrairement au cas précédent, l'amplificateur actif ne peut donc

plus être simplement constitué d'un étage différentiel car sa charge est en partie résistive et il doit avoir un très fort gain.

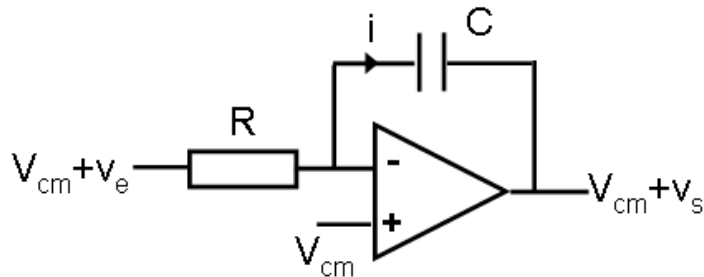


FIGURE A.3 – Intégrateur "actif RC"

Si l'amplificateur est considéré comme idéal, alors :

$$\left. \begin{array}{l} i = \frac{v_e}{R} \\ i = Cs v_s \end{array} \right\} \Rightarrow H(s) = \frac{v_s}{v_e} = \frac{1}{RCs} \quad (\text{A.3})$$

Les limitations en terme de linéarité d'une telle approche sont de deux ordres. Le grand gain statique, mais fini, de l'amplificateur conduit à la présence d'un faible, mais existant, signal dynamique au niveau de la masse virtuelle. Les non linéarités liées au procédé de réalisation des composants passifs  $R$  et  $C$  sont la seconde cause majeure de limitation.

Cette seconde limitation peut être améliorée en augmentant la taille<sup>1</sup> des composants passifs, au coût d'une surface d'intégration plus importante ou en augmentant le gain statique de l'amplificateur au coût d'une consommation statique plus élevée. Dans le cas de structure différentielle, le non appariement des composants cause l'apparition d'harmoniques impaires. Dans les technologies actuelles standard, ces limitations conduisent à une THD de l'ordre de -90dB [165], ce qui est supérieur de plus d'une décade à la linéarité d'une structure " $g_m C$ ". L'augmentation de la valeur de  $R$  conduit en plus à l'augmentation du bruit thermique, qui fixe le SNR de la structure globale.

La linéarité de l'intégration de  $C$  est en général moins critique que celle de  $R$  car la linéarité inhérente au procédé de fabrication d'une capacité est meilleure que celle d'une résistance d'une part, et d'autre part,  $C$  est situé dans la boucle de contre réaction de l'amplificateur et ses non linéarités sont donc réduites [165]. Dans le cas d'une structure différentielle, la dépendance de l'impédance de sortie à la tension rajoute une source d'erreur [166]. Une amélioration fréquente de la structure "active RC" consiste à insérer une résistance  $R_z$  en série avec  $C$ . Cette résistance

1. ici, la taille réfère non pas à la valeur intrinsèque de la résistance en  $\Omega$  mais à la surface de silicium occupée par le composant à résistance équivalente.



déplace ainsi le zéro à partie réelle positive<sup>2</sup> qui résulte du rapport entre la transconductance  $g_m$  de l'étage d'entrée différentielle et de  $C$  à l'infini [162].

## A.4 Intégrateur dit "actif MOS-C"

Les intégrateurs de type "actif MOS-C" sont similaires aux "actif RC" où la résistance d'entrée  $R$  est remplacée par un transistor de type MOS fonctionnant en régime ohmique (figure A.4). Pour cela, le signal  $v_e$  doit rester inférieur à  $v_{DSAT}$ .

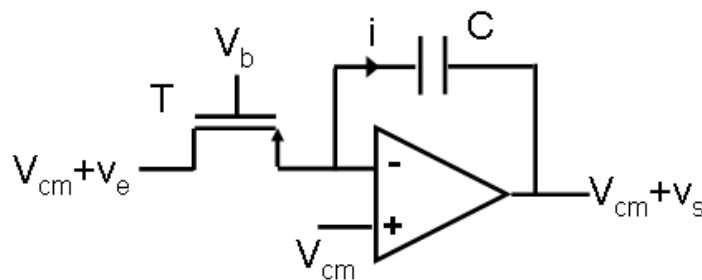


FIGURE A.4 – Intégrateur "MOS-C"

$$\left. \begin{array}{l} i = \frac{v_e}{r_{on}} \\ i = C s v_s \end{array} \right\} \Rightarrow C(s) = \frac{v_s}{v_e} = \frac{1}{r_{on} C s} \quad (\text{A.4})$$

L'avantage principal de ce type d'implémentation est de pouvoir modifier facilement la valeur de la constante d'intégration en jouant sur la polarisation de T. La linéarité à faible signal est intrinsèquement limitée à 40/60dB. Elle peut être fortement améliorée par l'approche dite de "Czarnul-Song" [167].

## A.5 Comparaison et conclusion

Il apparaît d'après les sections précédentes que chaque implémentation possède des avantages et des inconvénients selon la performance recherchée. Le tableau A.5 résume et compare qualitativement ces quatre implémentations les unes par rapport aux autres selon la ou les performances critiques. Dans A.5, 1 signifie "peu adapté" et 4 "très adapté".

L'architecture d'intégrateur "active RC" est considérée comme le meilleur compromis entre performances et consommation et est fortement utilisée. L'approche  $g_m C$  est très intéressante dans les applications faible puissance car elle consomme peu, notamment si la linéarité n'est

2. Communément nommé "RHP Zero" pour Right Half Plan Zero en anglais

	$g_m C$	Actif $g_m C$	Actif $RC$	Actif MOS- $C$
Bande passante	4	3	2	3
Linéarité	1	3	4	2
Consommation	4	3	2	2
Excursion en sortie	2	1	3	2
Faible tension	1	2	3	2
Sensibilité à l'appariement	3	2	1	1
Paramétrabilité	2	2	1	4

TABLE A.1 – Comparaison qualitative des implémentations d'intégrateur

pas un paramètre primordial. Lorsque l'ordre de l'action intégrale est élevé, ce qui est souvent le cas, surtout pour des filtres de boucle de type  $\Sigma\Delta$  à temps continu, une solution consiste à cascader différentes implémentations d'intégrateurs pour bénéficier au mieux de leurs avantages respectifs. Ainsi, le premier étage est généralement un intégrateur "actif  $RC$ " auquel s'ajoute ensuite des intégrateurs  $g_m C$ , ce qui permet de minimiser la consommation statique, tout en corrigeant les non linéarités introduites par les  $g_m C$  grâce à la première action intégrale. Cette approche est utilisée dans tous les types d'asservissement à temps continu ( Amplificateur de classe D à MLI [18], Amplificateur de classe D  $\Sigma\Delta$  [26], Convertisseur Analogique Numérique  $\Sigma\Delta$  à temps continus [125, 168, 138]...).

# Annexe B

## Conception CMOS de l'amplificateur d'erreur

Le but de cette annexe est de détailler la conception de l'amplificateur opérationnel d'erreur qui sert de base à la réalisation d'une action intégrale pour la boucle d'asservissement de l'amplificateur de classe D auto-oscillant.

L'étage d'entrée de l'amplificateur est réalisé à partir d'une structure différentielle. Son intérêt principal réside dans la suppression des tensions de mode commun et des tensions parasites présentes en entrée de l'amplificateur. En effet, les deux entrées étant affectées de manière identique, la sortie qui en effectue la différence supprime ces contributions si la paire est parfaitement symétrique. Ensuite, un second étage de type source commune sera cascader afin d'augmenter le gain de la structure.

### B.1 Étage différentielle d'entrée : structure, bruit et tension de décalage

#### B.1.1 Minimisation du bruit

Le modèle équivalent d'un transistor NMOS en termes de bruit est présenté par la figure B.1 où  $M_{Ideal}$  représente un transistor NMOS idéal et  $e_{eq}^2$  la source de bruit équivalente ramenée à la grille du transistor.

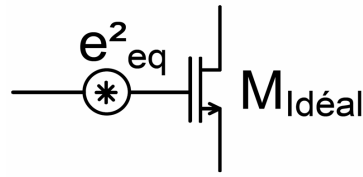


FIGURE B.1 – Schéma équivalent en bruit en tension d'un transistor MOS

Les contributions majeures en bruit du transistor MOS sont d'origine thermique<sup>1</sup> et de scintillation<sup>2</sup>. Le bruit thermique est un bruit blanc, tandis que le bruit de scintillation est un bruit dont la densité spectrale diminue en  $\frac{1}{f^\alpha}$  ( $\alpha$  est un facteur compris entre 0.8 et 1.3 et dépend du matériau). L'origine du bruit thermique est l'agitation des porteurs de charge à l'intérieur du réseau cristallin que constitue le semi-conducteur. Celle du bruit de scintillation est en partie la présence d'impuretés dans les semi-conducteurs dopés qui libèrent des porteurs de charges (électrons ou trous) de manière aléatoire [169]. La source de bruit  $e_{eq}$  est donc la somme quadratique du bruit thermique  $e_{th}$  et du bruit de scintillation  $e_{Fl}$ . Elle s'exprime :

$$e_{eq}^2 = \underbrace{\frac{8 k_B T}{3 g_m}}_{e_{th}^2} + \underbrace{\frac{K_F}{W L C_{ox} f}}_{e_{Fl}^2} \quad (B.1)$$

Les sources  $e_{eq}^2$ ,  $e_{th}^2$  et  $e_{Fl}^2$  représente des distributions spectrales de bruit. Elles s'expriment en  $V^2/Hz$ . Dans la relation B.1,  $k_B$  est la constante de Boltzman,  $T$  la température,  $g_m$  la transconductance de  $M_{ideal}$ ,  $K_F$  une constante qui s'exprime en  $V^2 m^2 F$  liée à la nature du semi-conducteur constituant le transistor,  $W$  et  $L$  respectivement la largeur et la longueur du canal du transistor,  $C_{ox}$  la capacité d'oxyde du transistor et  $f$  la fréquence. La transconductance  $g_m$  d'un transistor MOS dépend de son point de polarisation statique  $I_D$  et de ses paramètres physiques  $W, L, C_{ox}$  :

$$g_m = 2 \sqrt{K_N \frac{W}{L} I_D} \quad \text{avec} \quad K_N = \frac{\mu_0 C_{ox}}{2n} \quad (B.2)$$

Dans la relation B.2,  $\mu_0$  représente la mobilité des porteurs (des électrons dans le cas d'un NMOS, ou des trous dans le cas d'un PMOS) et  $n$  un facteur de correction, toujours supérieur à 1, fonction de la technologie et qui permet de faire le lien entre le modèle du transistor en saturation et en régime linéaire [170]. Très souvent,  $n$  est proche de 1 et est ignoré.

L'expression de  $e_{eq}^2$  (relation B.1) permet de constater que le bruit de scintillation est d'autant plus faible que la taille du transistor est importante. A transconductances égales, un transistor

1. également nommé bruit de Johnson  
2. couramment nommé *bruit de Flicker*

PMOS est plus grand qu'un transistor NMOS. Ainsi, une paire d'entrée de type PMOS est préférée afin de minimiser l'influence du bruit de scintillation.

L'étage d'entrée différentiel de type PMOS se construit en chargeant la paire différentielle ( $M_2, M_3$ ) par un miroir de courant NMOS ( $M_4, M_5$ ) comme illustré sur la figure B.2(a). Les transistors  $M_0$  et  $M_1$  forment un miroir de courant dont le but est de polariser la structure amplificatrice. Leur contribution au bruit global du système peut être négligée car ils ne participent pas activement au régime dynamique.

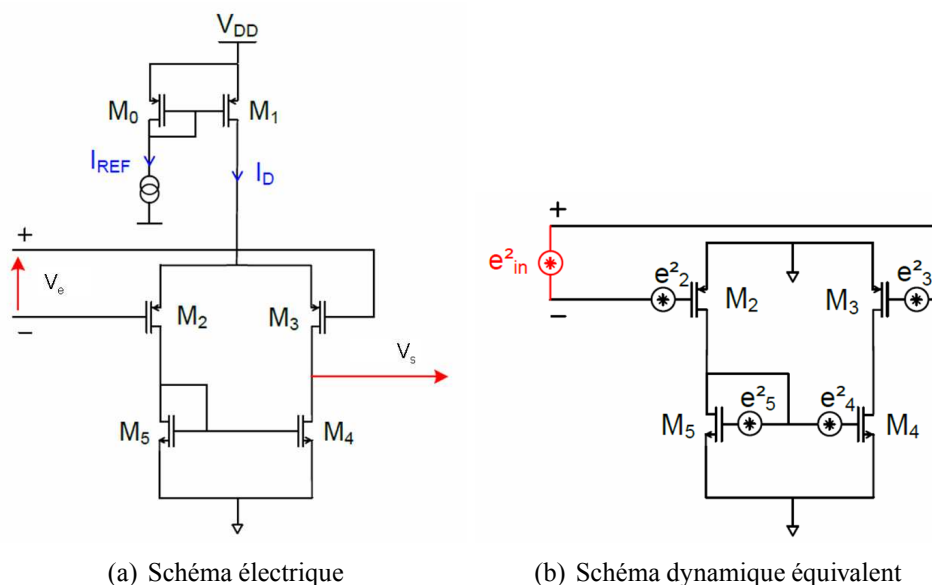


FIGURE B.2 – Étage différentiel de type PMOS

En considérant que les transistors  $M_2$  et  $M_3$  d'une part,  $M_4$  et  $M_5$  d'autre part, sont parfaitement identiques, alors :

$$g_{m2} = g_{m3} = g_{mP} \text{ et } g_{m4} = g_{m5} = g_{mN}$$

$$e_2^2 = e_3^2 = e_P^2 \text{ et } e_4^2 = e_5^2 = e_N^2$$

De plus, un transistor monté en source commune ramène au niveau de son drain une source de bruit équivalente égale à  $e_D^2 = g_m^2 e_G^2$  et inversement. Ainsi, la source de bruit globale équivalente ramenée à l'entrée  $e_{in}^2$  de la figure B.2(b) s'exprime :

$$e_{in}^2 = 2 \left( e_P^2 + \frac{g_{mN}^2}{g_{mP}^2} e_N^2 \right) \quad (\text{B.3})$$

Et comme, d'après B.2,

$$\frac{g_{mN}^2}{g_{mP}^2} = \frac{K_N W_N / L_N}{K_P W_P / L_P}$$

Alors, en injectant l'expression de  $e^2$  (relation B.1) dans B.3,  $e_{in}^2$  s'exprime :

$$\begin{aligned}
 e_{in}^2 &= e_{in,Th}^2 + e_{in,Fl}^2 \\
 &= \underbrace{\frac{8}{3} \frac{k_B T}{\sqrt{K_P \frac{W_P}{L_P} \frac{I_D}{2}}} \left[ 1 + \sqrt{\frac{K_N W_N / L_N}{K_P W_P / L_P}} \right]}_{e_{in,Th}^2} + \underbrace{\frac{2}{f} \frac{K_{FP}}{W_P L_P C_{ox}} \left[ 1 + \frac{K_{FN} K_N}{K_{FP} K_P} \left( \frac{L_P}{L_N} \right)^2 \right]}_{e_{in,Fl}^2}
 \end{aligned} \tag{B.4}$$

La relation B.4 permet d'identifier des règles de conception permettant de réaliser un étage d'entrée faible bruit. Le bruit thermique,  $e_{in,Th}^2$ , sera d'autant plus faible que :

- La polarisation statique de la paire différentielle  $I_D$  est importante,
- Le rapport  $W_P/L_P$  est grand, c'est à dire que les transistors de la paire différentielle ont un  $g_m$  élevé,
- Le rapport  $W_N/L_N$  est faible, c'est à dire que les transistors de la charge active ont un  $g_m$  faible.

De même, le bruit de scintillation,  $e_{in,Fl}^2$ , sera d'autant plus faible que :

- $W_P$  est grand devant  $L_P$ ,
- $L_N$  est important.

Ainsi, l'optimisation en bruit d'un étage d'entrée différentielle s'obtient par l'utilisation d'une paire de type PMOS à fort  $g_m$  chargée par un miroir NMOS à faible  $g_m$ . L'augmentation du courant statique de polarisation permet de diminuer la contribution thermique du bruit, au détriment de la consommation de la structure.

### B.1.2 Étude de la tension de décalage $V_d$

La source principale de tension de décalage<sup>3</sup>  $V_d$  dans un amplificateur est la dissymétrie de la paire différentielle d'entrée (et celle de la charge active dans une proportion moindre) [85]. Les transistors  $M_4$  et  $M_5$  sont polarisés de manière à ce que les potentiels de mode commun de leur grille soient identiques. En pratique, ces transistors ne sont pas parfaitement identiques, créant ainsi une petite différence de polarisation provoquant l'apparition d'une différence de potentiels statique en entrée de l'amplificateur. Les grandeurs d'un transistor MOS subissant le plus de dispersion d'un point de vue technologique sont la tension de seuil  $V_T$  et la transconductance  $g_m$ . Ces dispersions dépendent de facteurs technologiques ( $A_{V_T}$ ,  $A_{g_m}$  et  $B_{g_m}$ ) et de la

3. Très couramment nommée *tension d'offset*, voir *offset* dans la littérature

taille du transistor ( $W$  et  $L$ ) [85] :

$$\begin{aligned}\sigma_{V_T} &= \frac{A_{V_T}}{\sqrt{W \times L}} \\ \sigma_{g_m} &= \frac{A_{g_m}}{\sqrt{W \times L}} + B_{g_m} \times g_m\end{aligned}\quad (\text{B.5})$$

Pour minimiser la tension de décalage statique  $V_d$  de la paire différentielle d'entrée, et donc celle de l'amplificateur dans sa globalité, il faut minimiser les dispersions technologiques et donc maximiser la taille des transistors. Le décalage dynamique  $\sigma_{g_m}$  peut également être réduit via l'augmentation du courant de polarisation. Ce décalage est cependant beaucoup moins critique que le décalage statique. Le tableau B.1.2 illustre l'impact de cet effet d'appariement statique sur  $V_d$  pour une paire différentielle de type P à  $g_m$  constant en technologie CMOS 130nm. Ces résultats sont obtenus par simulations dites de *Monte Carlo*, permettant de prendre en compte les variations technologiques du procédé.

En conclusion, l'optimisation de la tension de décalage peut donc se faire en même temps que celle du bruit, toutes deux au détriment de la taille du circuit, de la dynamique d'entrée et de la consommation statique.

### B.1.3 Excursion du signal d'entrée

Plus la taille d'un transistor MOS est grande, plus la valeur de leur tension de seuil  $V_T$  est grande également. Sur la figure B.2(a), la dynamique basse du signal d'entrée peut donc poser problème, notamment à faible  $V_{DD}$ . La tension d'alimentation minimale spécifiée par les contraintes de téléphonie mobile est  $V_{DD_{MIN}} = 2.3V$ . Ainsi, les limites basse  $V_{eb}$  et haute  $V_{eh}$  de l'excursion du signal d'entrée sont :

$$\begin{aligned}V_{eb} &= V_{GS5} - V_{DS2} + V_{GS2} \approx 2V_T - V_{DS_{SAT}} \approx 1.1V \\ V_{eh} &= V_{DD} - V_{DS1} - V_{GS2} \approx V_{DD} - V_T - V_{DS_{SAT}} \approx 1.4V\end{aligned}\quad (\text{B.6})$$

Ainsi, due à la polarisation de la charge active, la limite basse  $V_{eb}$  de l'excursion en entrée est trop limitée lorsque  $V_{DD}$  devient faible. Il est possible de réduire  $V_{eb}$  d'environ 0.5V (un  $V_{DS_{SAT}}$  remplace un  $V_T$  dans B.6) en supprimant le miroir de courant ( $M_4, M_5$ ) et en polarisant ces deux transistors directement via une source de tension, au prix d'une forte diminution des

W/L	$V_d$ ( $\mu\text{V}$ )	Écart type (mV)
$\frac{40}{0.4}$	38.2	0.6
$\frac{200}{2}$	5.7	0.3
$\frac{400}{4}$	1.2	0.2

TABLE B.1 – Effet de la taille des transistor sur le décalage statique

performances dynamiques. Pour remédier à ce problème, un étage d'entrée de type cascode replié est privilégié.

### B.1.4 Étage d'entrée de type cascode replié

#### B.1.4.1 Principe et étude du bruit

Une solution pour réduire fortement l'influence de la charge de la paire différentielle d'entrée est de dissocier la polarisation de cette charge de celle de la paire différentielle. Ceci peut être réalisé par le schéma de la figure B.3.

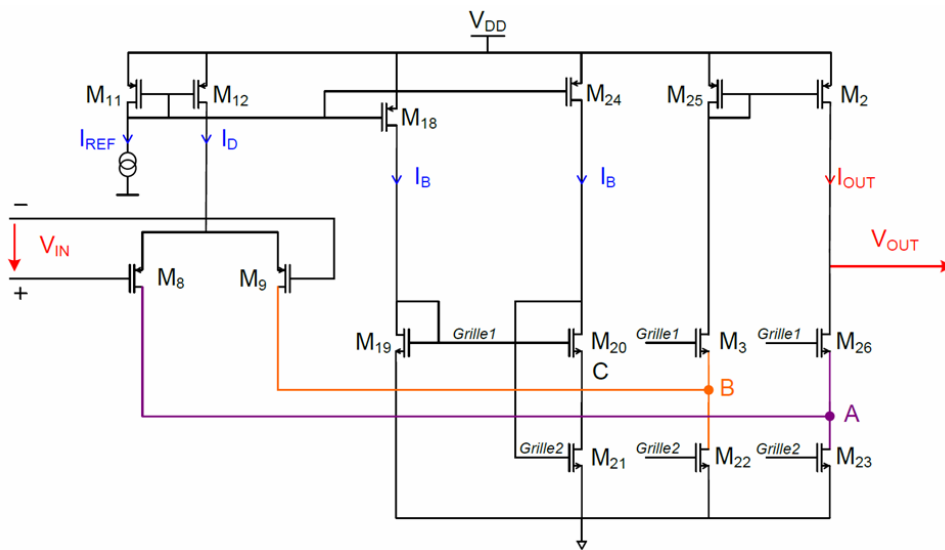


FIGURE B.3 – Architecture d'un étage d'entrée cascode replié

Les nœuds A et B correspondent respectivement aux drains de  $M_8$  et  $M_9$ , transistors de la paire PMOS différentielle d'entrée. L'intérêt de cette structure est que ces potentiels sont fixés de manière indépendante de la polarisation de  $M_8$  et  $M_9$ . Le potentiel de ces nœuds est donné par :

$$\begin{aligned} V_A &= V_{GS19} - V_{GS26} \\ V_B &= V_{GS19} - V_{GS3} \\ V_C &= V_{GS19} - V_{GS20} \end{aligned}$$

En choisissant les transistors  $M_{26}$ ,  $M_{20}$  et  $M_3$  identiques, alors  $V_A = V_B = V_C$ . Pour assurer la saturation des transistors  $M_{21}$ ,  $M_{22}$  et  $M_{23}$ , ces potentiels sont maintenus autour d'un  $V_{DSSAT}$  en jouant sur  $M_{19}$ ,  $M_{20}$  et  $M_{21}$ . Ainsi, la limite basse de l'excursion du signal d'entrée  $V_{eb}$  est ramenée à :

$$V_{eb} = V_{DS23} - V_{DS8} + V_{GS8} \approx V_T + V_{DSSAT} - V_{DSSAT} \approx 0.7V$$



L'étude en bruit de cette structure est menée de manière identique au cas précédent. Le schéma électrique dynamique équivalent à la figure B.3 est donné figure B.4.

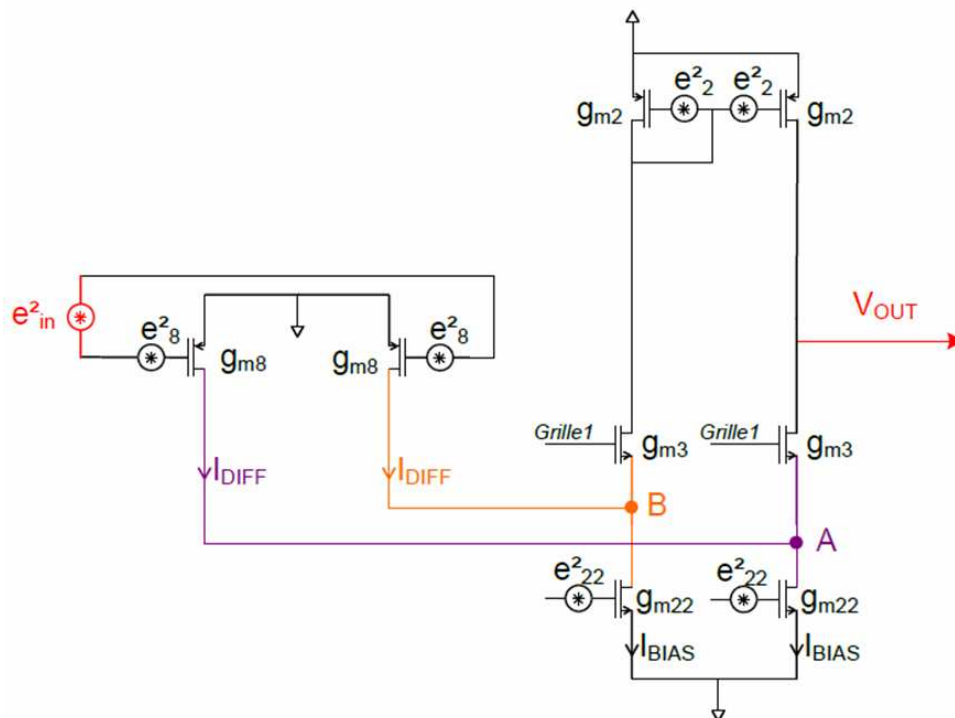


FIGURE B.4 – Schéma dynamique équivalent en bruit

Dans cette figure, sont supposés identiques entre eux :

- Les transistors formant la paire différentielle  $M_8$  et  $M_9$ , et donc leur source de bruit équivalente ( $e_8^2$ ,  $e_9^2$ ) et leur transconductance ( $g_{m8}$ ,  $g_{m9}$ ),
- Les transistors formant la charge active  $M_2$  et  $M_5$ ,
- Les transistors polarisant cette charge active  $M_{22}$  et  $M_{23}$ ,
- Les transistors fixant les potentiels  $V_A$  et  $V_B$  :  $M_3$  et  $M_6$ .

Les transistors  $M_3$  et  $M_6$  étant polarisés en source commune, une source de bruit  $e_D^2$  présente sur leur drain est ramenée sur leur source par la relation :

$$e_S^2 = \frac{e_D^2}{1 + g_m r_{DS}} \quad (\text{B.7})$$

Compte tenu des hypothèses précédentes, les sources de bruit équivalentes au nœuds A et B sont identiques et s'expriment :

$$e_A^2 = e_B^2 = e_{22}^2 g_{m22} + \frac{g_{m2}^2}{(1 + g_{m3} r_{DS3})^2} e_2^2 \quad (\text{B.8})$$

La source de bruit équivalente ramenée à l'entrée  $e_{in}^2$  est donc :

$$e_{in}^2 = 2e_8^2 + \frac{e_A^2 + e_B^2}{g_{m8}^2} = 2 \left( e_8^2 + e_{22}^2 \left( \frac{g_{m22}}{g_{m8}} \right)^2 + e_2^2 \left( \frac{g_{m2}}{g_{m8}g_{m3}r_{DS3}} \right)^2 \right) \quad (B.9)$$

Or, d'après B.2,

$$\begin{cases} \left( \frac{g_{m22}}{g_{m8}} \right)^2 = \frac{K_P}{K_N} \frac{W_{22}/L_{22}}{W_8/L_8} \frac{I_{Bias}}{I_{Diff}} \\ \left( \frac{g_{m2}}{g_{m8}g_{m3}r_{DS3}} \right)^2 = \frac{1}{r_{DS3}^2} \frac{1}{K_N I_{Diff}} \frac{W_2/L_2}{W_3/L_3 \times W_8/L_8} \end{cases} \quad (B.10)$$

En réinjectant B.10 dans B.9, et d'après B.1,  $e_{in}^2$  peut alors s'écrire sous la forme  $e_{in}^2 = e_{in,Th}^2 + e_{in,Fl}^2$ , où les termes  $e_{in,Th}^2$  et  $e_{in,Fl}^2$  sont égaux à :

$$e_{in,Th}^2 = \frac{8}{3} \frac{k_B T}{\sqrt{K_P W_8/L_8 I_{Diff}}} \left[ 1 + C_1 \sqrt{\frac{W_{22}/L_{22}}{W_8/L_8}} + C_2 \sqrt{\frac{W_2/L_2}{W_3/L_3 \times W_8/L_8}} \right] \quad (B.11)$$

Avec

$$C_1 = \sqrt{\frac{I_{Bias} K_N}{I_{Diff} K_P}} \quad \text{et} \quad C_2 = \frac{1}{K_N r_{DS3}^2 \sqrt{I_{Diff} (I_{Bias} - I_{Diff})}}$$

Et

$$e_{in,Fl}^2 = \frac{2}{f} \frac{K_{FP}}{W_8 L_8 C_{ox}} \left[ 1 + C_3 \left( \frac{L_8}{L_{22}} \right)^2 + C_4 \left( \frac{L_8}{L_2} \right)^2 \frac{L_3}{W_3} \right] \quad (B.12)$$

Avec

$$C_3 = 2 \frac{K_N}{K_P} \left( 1 - \frac{I_{Bias} - I_{Diff}}{I_{Diff}} \right) \quad \text{et} \quad C_4 = 2 \frac{K_{FP}}{K_{FN}} \frac{1}{K_N r_{DS3} I_{Diff}}$$

D'après B.11, la contribution du bruit thermique est d'autant plus faible que :

- La polarisation statique de la paire différentielle  $I_{Diff}$  est importante,
- Le rapport  $W_8/L_8$  est grand, c'est à dire que les transistors de la paire différentielle ont un  $g_m$  élevé,
- Les rapports  $W_2/L_2$  et  $W_{22}/L_{22}$  sont faibles, c'est à dire que les transistors de la charge active cascodée ont un  $g_m$  faible.

De même, d'après B.12, le bruit de scintillation,  $e_{in,Fl}^2$ , est d'autant plus faible que :

- $W_8$  est grand devant  $L_8$ ,
- $L_2$  et  $L_{22}$  sont importants,
- $W_3$  est important et  $L_3$  faible,
- $I_{Diff}$  est grand.

Ainsi, la minimisation en bruit d'un étage différentiel à cascode replié s'effectue en choisissant une paire différentielle de type P construite avec des PMOS à fort  $g_m$ , et chargée par un miroir PMOS à faible  $g_m$  polarisé par des sources de courant NMOS également à faible  $g_m$ .

### B.1.4.2 Comportement dynamique

Les schémas dynamiques équivalents à la figure B.3 sont donnés sur les figures B.5(a) et B.5(b).

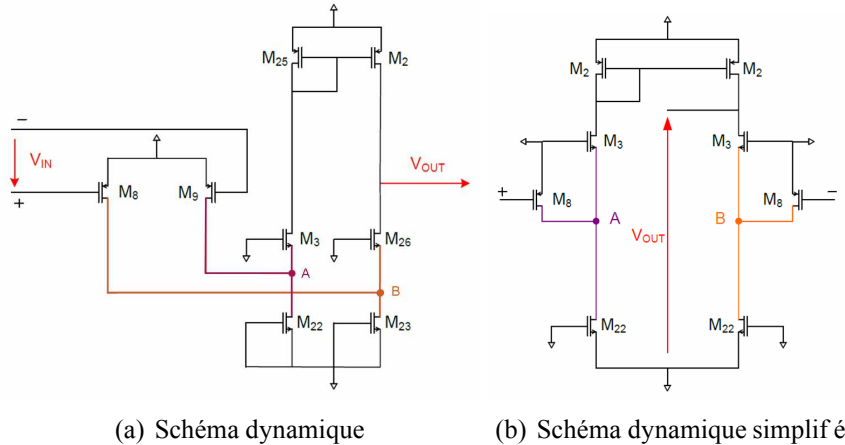


FIGURE B.5 – Schémas dynamiques équivalents

En supposant le signal d'entrée  $v_{in}$  parfaitement différentiel, les transistors de la paire différentielle  $M_8$  et  $M_9$  sont alors équivalents à des générateurs de courant  $g_{m8}v_{in}/2$ . La figure B.5(b) est une version simplifiée ( $M_{25} = M_2$ ,  $M_9 = M_8$ ,  $M_{26} = M_3$  et  $M_{23} = M_{22}$ ) de la figure B.5(a) et permet de bien mettre en évidence le lien créé par le miroir de courant  $M_2$  entre la partie droite et la partie gauche de la structure. Ainsi, le schéma dynamique petits signaux équivalent à la figure B.5(b) peut être décomposé en deux parties :

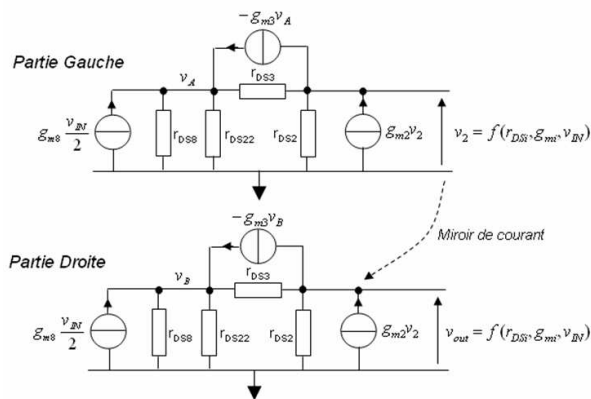


FIGURE B.6 – Schéma dynamique petits signaux équivalent

La branche de gauche, constituée des transistors  $M_9$ ,  $M_3$ ,  $M_{22}$  et  $M_{25}$ , va fixer la tension  $v_2$

à travers le jeu de relations :

$$\begin{aligned} i_{r_{DS3}} &= \frac{v_A - v_2}{r_{DS3}} \\ v_A &= r_{DS8} // r_{DS22} \left( g_{m8} \frac{v_{IN}}{2} + i_{r_{DS3}} - g_{m3} v_A \right) \\ v_2 &= r_{DS2} \left( g_{m2} v_2 - i_{r_{DS3}} + g_{m3} v_A \right) \end{aligned}$$

Ce système de trois équations à trois inconnues ( $v_A$ ,  $i_{r_{DS3}}$  &  $v_2$ ) permet de déterminer  $v_2$ . La mise en équation de la partie droite est, de même :

$$\begin{aligned} i_{r_{DS3}} &= \frac{v_B - v_{OUT}}{r_{DS3}} \\ v_B &= r_{DS8} // r_{DS22} \left( g_{m8} \frac{v_{IN}}{2} + i_{r_{DS3}} - g_{m3} v_B \right) \\ v_{OUT} &= r_{DS2} \left( g_{m2} v_2 - i_{r_{DS3}} + g_{m3} v_B \right) \end{aligned}$$

Tout calcul mené, et en tenant compte des ordres de grandeur des différents  $g_m$  dus aux considérations de bruit, le gain dynamique  $A_{v0}$  de cette structure s'exprime :

$$A_{v0} = \frac{v_{OUT}}{v_{IN}} \cong g_{m8} r_{DS2} \quad (\text{B.13})$$

De même, un raisonnement similaire peut être mené pour calculer la valeur de l'impédance de sortie du système  $r_{OUT}$  qui s'exprime alors :

$$r_{OUT} = \left. \frac{v_{OUT}}{i_{OUT}} \right|_{v_{IN}=0} = r_{DS2} // (r_{DS3} + r_{DS8} // r_{DS22}) \quad (\text{B.14})$$

Le gain dynamique d'un étage différentiel cascode replié est donc fixé principalement par les caractéristiques des transistors constituant la paire différentielle d'entrée et ceux constituant la charge active. Une structure cascode peut donc être vue comme un simple étage de gain, exactement comme l'était la structure de base de la figure B.2(a). La charge capacitive de cet étage  $C_{out}$  va alors fixer le pôle de sortie  $p_{OUT}$  via  $r_{out}$  par la relation :

$$p_{OUT} = -\frac{1}{r_{OUT} C_{OUT}}$$

Ce pôle sera dominant s'il n'existe pas d'autre pôle de valeur inférieure au produit  $p_{OUT} \times A_{v0}$ , ce qui sera le cas vu la faible valeur de  $A_{v0}$ . Les pôles non dominants se trouvent principalement aux nœuds A et B, ainsi qu'aux drains des transistors  $M_{22}$  et  $M_{23}$ . Ils sont égaux à l'inverse du produit de la résistance et de la capacité que voient ses nœuds par rapport à la masse.

## B.2 Étage de gain

Pour atteindre le produit gain bande spécifié dans l'étude architecturale, l'étage d'entrée cascode replié précédent n'est pas suffisant. Un second étage de gain, de type source commune

PMOS est donc utilisé en cascade. La charge équivalente de l'amplificateur d'erreur étant fortement résistive (due au réseau de synchronisation), il ne sera pas nécessaire d'ajouter un étage de sortie à faible impédance à la suite. L'amplificateur d'erreur sera donc polarisé en classe A afin d'obtenir une structure fortement linéaire. Un étage de gain de type source commune est représenté sur la figure B.7(a). Le bruit de cet étage n'est pas à minimiser car la source de bruit équivalente ramenée en entrée sera divisée par le gain de l'étage précédent.

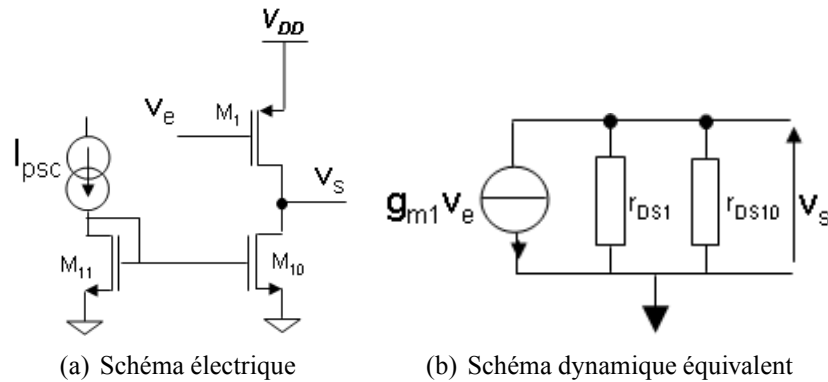


FIGURE B.7 – Schémas électrique et dynamique équivalent d'un étage de gain "source commune"

Les transistors NMOS  $M_{10}$  et  $M_{11}$  assurent la polarisation de  $M_1$ . Le gain dynamique et la résistance de sortie de cet étage s'expriment, d'après la figure B.7(b) :

$$A_{v0} = \frac{v_s}{v_e} = -g_{m1} (r_{DS10} // r_{DS1})$$

$$r_{OUT} = \left. \frac{v_s}{i_s} \right|_{v_e=0} = r_{DS1} // r_{DS10}$$

La source de courant  $M_{10}$  sera cascodée afin d'augmenter le gain dynamique de la structure, notamment en faible fréquence.

### B.3 Dimensionnement de l'amplificateur

La procédure de dimensionnement des transistors des figures B.2(a) et B.7(a) a été réalisée en conservant les considérations décrites précédemment pour minimiser le bruit de la structure, tout en suivant les spécifications ci dessous :

1. Polarisation statique des branches de sortie  $M_2$ ,  $M_{26}$ ,  $M_{23}$  et  $M_1$ ,  $M_{10}$  pour respecter la contrainte de vitesse de balayement en sortie<sup>4</sup> en fonction des valeurs de la charge capacitive de chaque étage.

4. *Slew Rate* en anglais

2. Polarisation statique de la charge active  $M_{25}$ ,  $M_2$  légèrement supérieure (un coefficient de 1.25 est généralement utilisé) afin d'éviter un courant nul dans les branches de sortie.
3. Dimensionnement de  $M_{23}$  (et donc de  $M_{22}$ ,  $M_{21}$ ),  $M_{26}$  (et donc de  $M_3$ ,  $M_{20}$ ) selon la dynamique maximale de  $v_{OUT}$  afin d'assurer leur saturation.
4. Dimensionnement de  $M_2$  (et donc de  $M_{25}$ ) selon la dynamique minimale de  $v_{OUT}$  afin d'assurer leur saturation.
5. Dimensionnement de  $M_8$ ,  $M_9$  selon le produit gain bande voulu.
6. Dimensionnement de  $M_{12}$  selon la dynamique minimale d'entrée.

Cette procédure est donnée à titre indicatif afin de comprendre le rôle de chaque transistor cité dans les performances globales. L'ajustement du point de polarisation et des dimensions de chaque transistor doit être finalisé manuellement, en tenant compte entre autre des variations technologiques (Analyse de type *Monte Carlo*), des variations de l'environnement (Alimentation variant de 2.3V à 4.8V par exemple)... Le schéma électrique final de l'amplificateur d'erreur est donné figure 2.21.

# Annexe C

## Réalisation des filtres FIR d'interpolation

### C.1 Solution 1 : Filtre FIR1, FIR2 et FIR3 d'interpolation

Les trois filtres FIR d'interpolation demi-bande ont été réalisés via l'outil *FDATOOL*, disponible sous Matlab. Leur gabarit a été déterminé par le compromis entre leur complexité (nombres de coefficients) et leurs contraintes (amplitude des oscillations en bande, raideur de la fréquence de la bande de transition, atténuation hors bande).

### C.2 Solution 2 : Filtre FIR de compensation

La réponse fréquentielle de l'interpolateur linéaire par morceaux est de type *sinc* d'ordre deux. Le code Matlab permettant de déterminer les coefficients d'un filtre biquadratique permettant de compenser l'atténuation en bande passante de l'interpolateur suit les étapes suivantes :

```
Algo biquad
```

Un programme Matlab a été utilisé pour définir, à partir d'un coefficient donné *valeur*, quantifié sur 16 bits, le coefficient arrondi proche réalisable uniquement par opération arithmétique simple, c'est à dire addition, soustraction et décalage (correspondant donc à des multiplication/-division par des puissances de deux). Ce programme renvoie le résultat suivant, qui indique la réalisation optimale d'une multiplication par un coefficient complexe en 6 opérations simples. Dans le cas illustré, l'erreur relative entre le coefficient idéal et le coefficient réalisé est de 0.0015%, soit strictement égale au pas de quantification.

```
valeur =  
  
    0.344745811372210  
  
Shift >> 2
```

```
Shift + >> 3
valueout =
    0.3750000000000000
Shift - >> 5
valueout =
    0.3437500000000000
Shift + >> 10
valueout =
    0.3447265625000000
Shift + >> 16
valueout =
    0.344741821289063
Finish!
>>
```



## Annexe D

# Implémentation FPGA de la boucle de contrôle numérique

Le modulateur numérique des chapitres 3 et 5 a été implanté dans un FPGA Quartus II. L'interface entre le code VHDL et le FPGA est illustré sur la figure D.1.

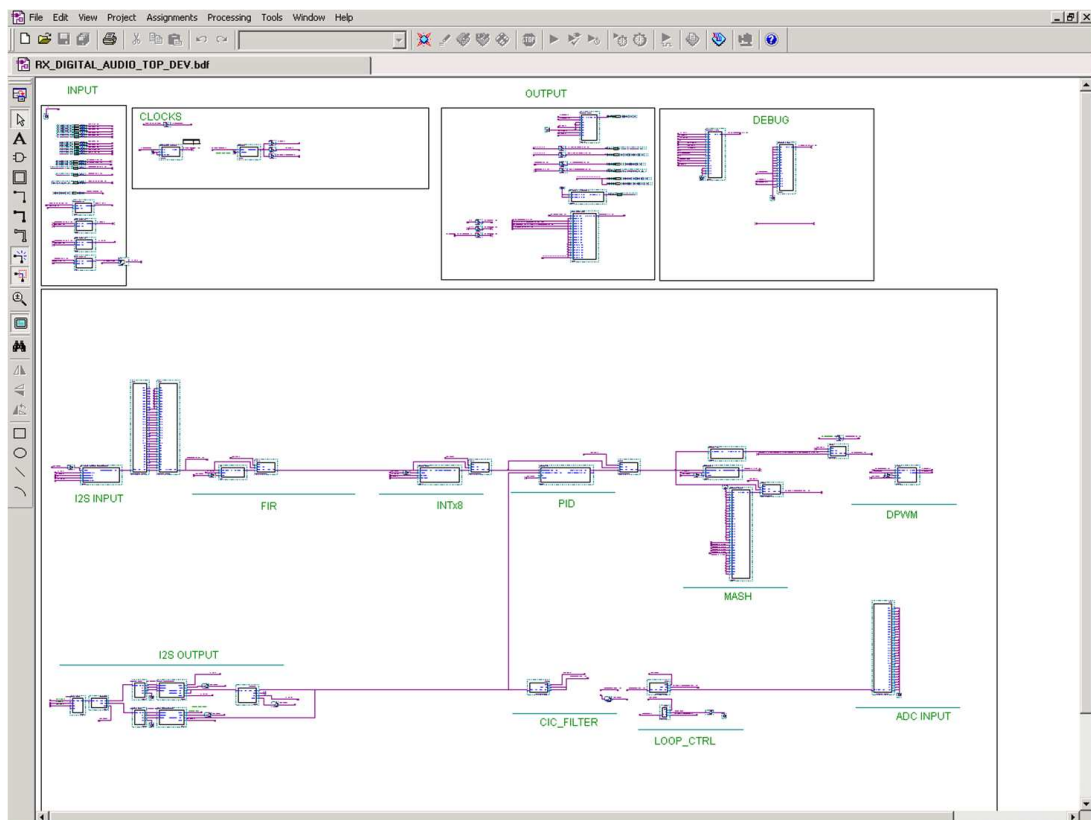


FIGURE D.1 – Interface FPGA - Quartus II

La capacité d'intégration de ce FPGA est de  $80k$  portes logiques. L'ensemble du modulateur numérique présenté dans ce manuscrit est intégrable en  $2k$  porte logique, dont la répartition est donnée dans le tableau D.1. A cela s'ajoute les  $8k$  portes nécessaire à la gestion des interfaces

Fonction	Dimension (portes)
FIR Biquad	1k
Interpolateur	250
MASH	150
DPWM	150
CIC	450

TABLE D.1 – Dimensions des principaux éléments constituant le modulateur numérique

USB et I<sub>2</sub>C réalisée par un  $\mu P$  type NIOS. Le tableau montre que la contribution la plus importante en terme de ressource logiques est le filtre FIR biquad nécessaire à la correction de l'interpolateur. En effet, c'est la seule partie du modulateur numérique dont les opérations sont complexes (multiplications par des nombres n'étant pas des puissances de deux). La taille des bloc de contrôle pour la structure DD3 n'est pas connue à l'instant de rédaction de ce manuscrit.

Le banc de mesure utilisé pour la validation du modulateur numérique présenté dans le chapitre 3 et de la boucle de contrôle numérique présentée dans le chapitre 5 est celui des figures D.2(a) et D.2(b).

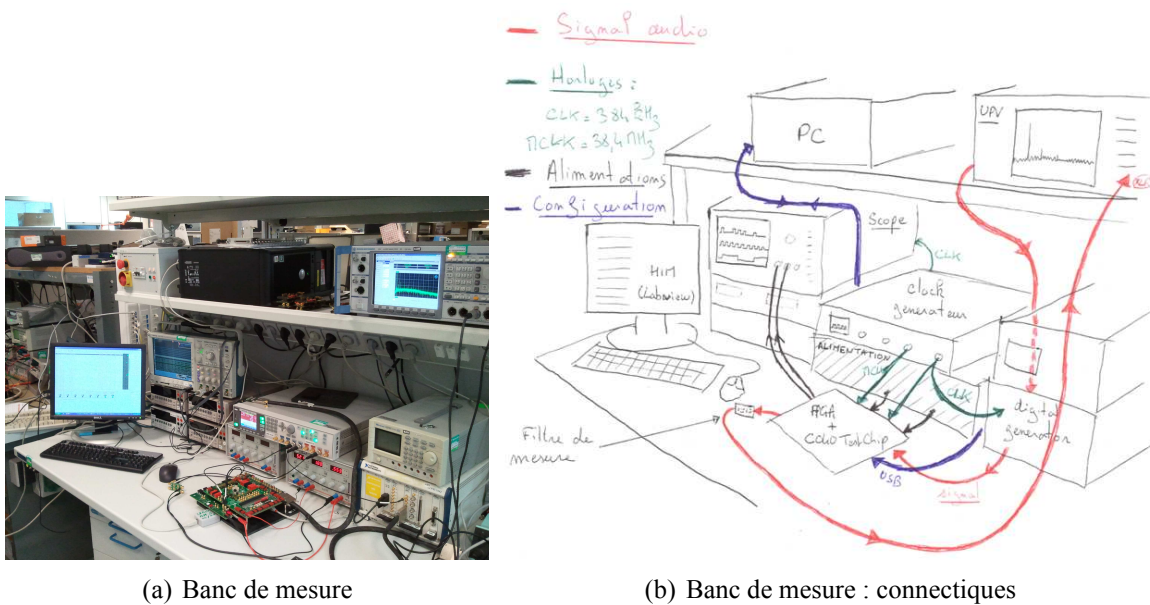


FIGURE D.2 – Banc de test et de mesure du modulateur numérique version FPGA

Tous les registres et la gestion des initialisations du modulateur numérique sont gérés via une interface I<sub>2</sub>C et un programme Labview :

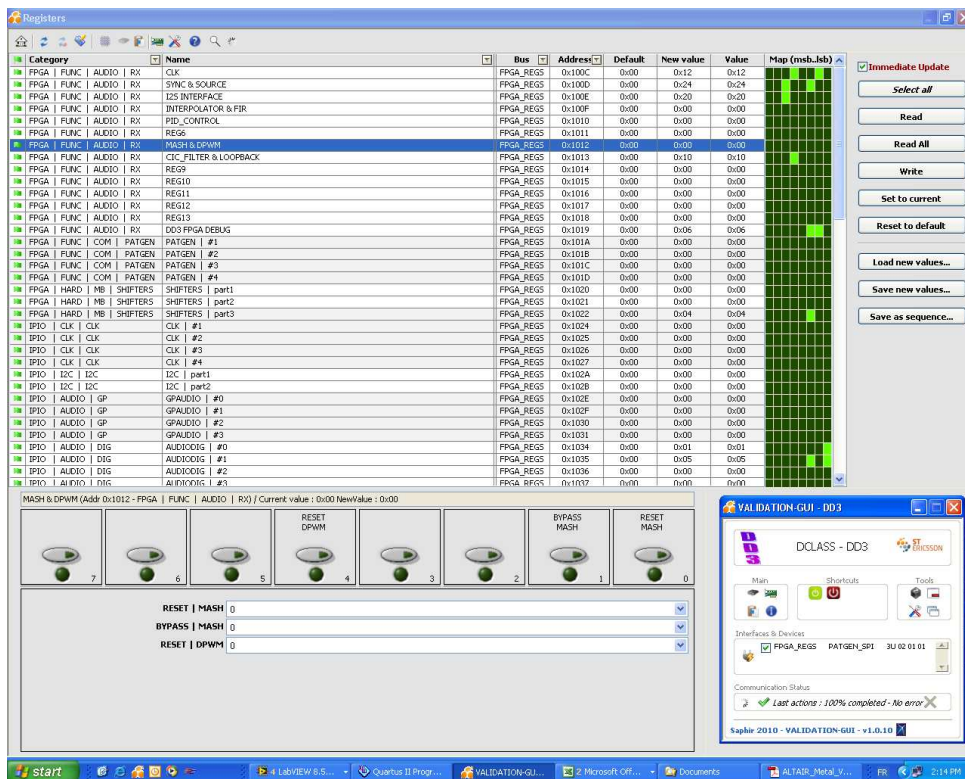


FIGURE D.3 – HIM de gestion des registres du modulateur numérique



# Bibliographie

- [1] Gaël Pillonnet. *Intégration d'une chaîne de conversion numérique analogique utilisant la modulation par largeur d'impulsion pour la téléphonie mobile*. PhD thesis, INSA de Lyon, 2007, 290 p.
- [2] Dobrucki A. Lemarquand V., Lemarquand G. Motor nonlinearities in electrodynamic loudspeakers : Modelling and measurement. *Archives Of Acoustics*, Vol. 4 :407–418, 2009.
- [3] ENS Cachan. Base de donnée des expériences - [en ligne] - Disponible sur <<http://www.physique.ens-cachan.fr>> (consulté le 10.06.2008).
- [4] Salovarda M. et al. Estimating perceptual audio system quality using PEAQ algorithm. In *Proceedings of IEEE 18<sup>th</sup> International Conference on Applied Electromagnetics and Communications*, pages 22–26, 2005.
- [5] Beaumier J. Louis. Introduction à la psychoacoustique [en ligne] - Disponible sur <<http://psychoacoustique.free.fr/>> (consulté le 22.10.2008).
- [6] Van Der Zee R. *High Efficiency Audio Power Amplifier Design & Pratical Use*. PhD thesis, Twente University, 1999, 128 pages.
- [7] Kih J. et al. Class AB large swing CMOS buffer amplifier with controlled bias current. *IEEE Journal of Solid-State Circuits*, Vol. 28 :1350–1353, Dec 1993.
- [8] D. Burrow, S. Grant. Efficiency of low power audio amplifiers and loudspeakers. *IEEE Transactions on Consumer Electronics*, Vol. 47 :622–630, 2001.
- [9] TI. Gamme d'amplificateur de classe D - [en ligne] - Disponible sur <<http://focus.ti.com>> (consulté le 10.06.08).
- [10] NXP. Gamme d'amplificateur de classe D. [en ligne] - Disponible sur <<http://www.nxp.com/>> (consulté le 10.06.08).

- [11] AD. Gamme d'amplificateur de classe D. [en ligne] - Disponible sur <<http://www.analog.com>> (consulté le 10.06.08).
- [12] STMicroelectronics. Gamme d'amplificateur de classe D - [en ligne] - Disponible sur <<http://www.st.com>> (consulté le 10.06.08).
- [13] International Rectifier. Class D audio basics [en ligne] - Disponible sur <<http://www.irf.com/technical-info/appnotes/an-1071.pdf>> (consulté le 20.10.2008).
- [14] NXP. Définition du format I2S [en ligne] - Disponible sur <[http://www.nxp.com/acrobat\\_download2/various/i2sbus.pdf](http://www.nxp.com/acrobat_download2/various/i2sbus.pdf)> (consulté le 01.06.2008).
- [15] P. Dondon and J.M. Micouleau. An original approach for the design of a class D power switching amplifier-an audio application. In *Proceedings of the 6<sup>th</sup> IEEE International Conference on Electronics, Circuits and Systems*, pages 161–164, 1999.
- [16] L. Risbo. Discrete-time modeling of continuous-time pulse width modulator loops. In *Proceedings of the 125<sup>th</sup> AES Convention*, pages 15–19, 2005.
- [17] L. Risbo, M. Hoyerby, and M. Andersen. A versatile discrete-time approach for modeling switch-mode controllers. In *Proceedings of the IEEE Power Electronics Specialists Conference*, pages 1008–1014, 2008.
- [18] Bernard Pilloud and Willem H. Groeneweg. A 650mW filterless class D audio power amplifier for mobile applications in 65nm technology. In *Proceedings of the IEEE International Symposium on Circuits and Systems*, pages 1173–1176, 2009.
- [19] W.H. Groeneweg. Analog signal processing for a class D audio amplifier in 65 nm CMOS technology. In *Proceedings of the 34<sup>th</sup> European Solid-State Circuits Conference*, pages 322–325, 2008.
- [20] S. Krit, H. Amrani, H. Qjidaa, and H. Cordonnier. Class D audio amplifier design theory and design implementation for portable applications. In *Proceedings of the International Symposium on Computational Intelligence and Intelligent Informatics*, pages 239–245, 2007.
- [21] B. Forejt, V. Rentala, G. Burra, and J. Arteaga. A 250 mw class D design with direct battery hookup in a 90 nm process. In *Proceedings of the IEEE Custom Integrated Circuits Conference*, pages 169–172, 2004.

- [22] Marco Berkhout. Integrated class D amplifier. In *Proceedings of the 95<sup>th</sup> AES Convention*, pages 54–58, 2002.
- [23] A.R. Oliva, S.S. Ang, and T.V. Vo. A multi-loop voltage feedback filterless class D switching audio amplifier using unipolar pulse-width-modulation. *IEEE Transactions on Consumer Electronics*, Vol. 50 :312–319, 2004.
- [24] L. Risbo. PWM amplifier control loops with minimum aliasing distortion. In *Proceedings of the 120<sup>th</sup> AES Convention*, pages 8–12, 2006.
- [25] Meng Tong Tan, J.S. Chang, Hock Chuan Chua, and Bah Hwee Gwee. An investigation into the parameters affecting THD in low-voltage low-power class D amplifiers. *IEEE Transactions on Circuits and Systems I*, Vol. 50 :1304–1315, 2003.
- [26] Matamura Atsushi, Naoaki Nishimura, and Bill Yang Liu. Filterless multi-level  $\Sigma\Delta$  class D amplifier for portable applications. In *International IEEE Symposium on Circuits and Systems*, pages 1177–1180, 2009.
- [27] E. Gaalaas, B.Y. Liu, and N. Nishimura. Integrated stereo  $\Sigma\Delta$  class D amplifier. In *Digest of Technical Papers of IEEE International Solid-State Circuits Conference*, pages 520–528, 2005.
- [28] C. Trehan and K.S. Chao. A high performance class D amplifier with cascaded  $\Sigma\Delta$  modulators. In *Proceedings of the 47<sup>th</sup> Midwest Symposium on Circuits and Systems*, pages 345–353, 2004.
- [29] V.M. Tousi, F. Sahandi, M. Atarodi, and M. Shojaei. A 3.3V-1W class D audio power amplifier with 103 dB DR and 90% efficiency. In *Proceedings of the 23<sup>rd</sup> International Conference on Microelectronics*, pages 581–584, 2002.
- [30] T. et al. Ido. A digital input controller for audio class D amplifiers with 0.004% THD+N and 113dB DR. *Digest of Technical Papers of IEEE International Solid-State Circuits Conference*, Vol. 5 :1366–1375, 2006.
- [31] Vanderkoy Jhon. Why 1bit  $\Sigma\Delta$  conversion is unsuitable for high-quality applications. In *Proceedings of the 115<sup>th</sup> AES Convention*, pages 55–59, 2001.
- [32] K.M. Smedley and S. Cuk. One-cycle control of switching converters. *IEEE Transactions on Power Electronics*, Vol. 10 :625–633, 1995.
- [33] K.M. Smedley and S. Cuk. One-cycle control of switching converters. *Proceedings of the 22<sup>nd</sup> Annual IEEE Power Electronics Specialists Conference*, Vol. 8 :888–896, 1991.

- [34] K.M. Smedley. One-cycle controlled switching circuit - US5278490 - Publié le 11.01.1994.
- [35] Zheren Lai and K.M. Smedley. A low distortion switching audio power amplifier. In *Record of the 26<sup>th</sup> Annual IEEE Power Electronics Specialists Conference*, pages 174–180, 1995.
- [36] K.M. Smedley. PWM controller with one cycle response - US6084450 - Publié le 04.06.2000.
- [37] Z. Lai. One cycle control of bipolar switching power amplifiers - US5617306 - Publié le 01.04.1997.
- [38] Z. Lai and K.M. Smedley. A new extension of one-cycle control and its application to switching power amplifiers. *IEEE Transactions on Power Electronics*, Vol. 11 :99–105, 1996.
- [39] P.J. Baxandall. Transistors sine wave LC oscillators. In *Proceeding of Industrial Electric Engineer Convention*, Vol. 106 :748–758, 1959.
- [40] Soo-Hyoung Lee et al. A 2W, 92% efficiency and 0.01% THD+N class D audio power amplifier for mobile applications, based on the novel SCOM architecture. In *Proceedings of the IEEE Custom Integrated Circuits Conference*, pages 291–294, 2004.
- [41] B. Putzeys. Simple self-oscillating class D amplifier with full output filter control. In *Proceedings of the 118<sup>th</sup> AES Convention*, pages 10–14, 2005.
- [42] A. et al. Huffenus. A phase-shift self-oscillating stereo class D amplifier for battery-powered applications. In *Proceedings of IEEE International Symposium on Circuits and Systems*,, pages 769–772, 2010.
- [43] Wenfeng Yu, Wei Shu, and Joseph S. Chang. A low THD analog class D amplifier based on self-oscillating modulation with complete feedback network. In *IEEE International Symposium on Circuits and Systems*, pages 2729–2732, 2009.
- [44] K. Nielsen. Synchronized controlled oscillation modulator - US7119629 - Publié le 10.10.2006, 2006.
- [45] T. Piessens and M. Steyaert. Oscillator pulling and synchronisation issues in self-oscillating class D power amplifiers. In *Proceedings of the 29<sup>th</sup> European Solid-State Circuits Conference*, pages 529–532, 2003.



- [46] M.C.W. Hoyerby and M.A.E. Andersen. A comparative study of analog voltage-mode control methods for ultra-fast tracking power supplies. In *Proceedings of IEEE Power Electronics Specialists Conference*, pages 2970–2975, 2007.
- [47] S. Poulsen and M.A.E. Andersen. Simple PWM modulator topology with excellent dynamic behavior. In *Proceeding of the 19<sup>th</sup> IEEE Applied Power Electronics Conference and Exposition*, pages 486–492, 2004.
- [48] R. Groenenberg. An asynchronous switching high-end power amplifier. In *Proceedings of the 112<sup>nd</sup> AES Convention*, pages 48–52, 2002.
- [49] A. Veltman. Amplifier circuit having output filter capacitance current feedback - US6552606 - Publié le 22.04.2003.
- [50] S.C. Li, V.C.-C. Lin, K. Nandhasri, and J. Ngarmnil. New high-efficiency 2.5V/0.45W RWDM class D audio amplifier for portable consumer electronics. *IEEE Transactions on Circuits and Systems I*, Vol. 52 :1767–1774, 2005.
- [51] K. Nandhasri, J. Ngarmnil, and K. Moolpho. A 2.8v RWDM BTL class D power amplifier using an FGMOS comparator. In *Proceedings of IEEE International Symposium on Circuits and Systems*, pages 261–264, 2002.
- [52] Sang-Hwa Jung, Nam-In Kim, and Gyu-Hyeong Cho. Class D audio power amplifier with fine hysteresis control. *Electronics Letters*, Vol. 38 :1302–1303, 2002.
- [53] C.-H. Kao, W.-P. Lin, and W.-C. Chen. High efficiency and low distortion switching power amplifier for hearing aids. *IEE Transaction on Circuits, Devices and Systems*, Vol. 153 :143–147, 2006.
- [54] M.A. Rojas-Gonzalez and E. Sanchez-Sinencio. Design of a class D audio amplifier using sliding mode control and negative feedback. *IEEE Transactions on Consumer Electronics*, Vol. 53 :609–617, 2007.
- [55] B. Putzeys. Globally modulated self oscillating amplifier with improved linearity. In *Proceedings of 37<sup>th</sup> AES Conference*, pages 56–64, 2009.
- [56] R. Cellier, G. Pillonnet, A. Nagari, and N. Abouchi. A review of fully digital audio class D amplifiers topologies. In *Proceedings of the Joint IEEE North-East Workshop on Circuits and Systems and TAISA Conference*, pages 84–88, 2009.

- [57] K. Philips, J. van den Homberg, and C. Dijkmans. PowerDAC : a single-chip audio DAC with a 70% efficient power stage in  $0.5\mu\text{m}$  CMOS. In *Digest of Technical Papers of IEEE International Solid-State Circuits Conference.*, pages 154–155, 1999.
- [58] S. et al. Ramaswamy. A high-performance digital-input class D amplifier with direct battery connection in a 90nm digital cmos process. In *Digest of Technical Papers of the IEEE International Solid-State Circuits Conference*, pages 436–625, 2008.
- [59] E. Botti, A. Grosso, C. Meroni, and F. Stefani. Digital input audio power amplifiers in  $0.6\mu\text{m}$  BCD technology : two examples. In *Proceedings of 16<sup>th</sup> International Symposium on the Power Semiconductor Devices and ICs*, pages 93–96, 2004.
- [60] T.S. et al. Doorn. An audio FIR-DAC in a BCD process for high power class D amplifiers. In *Proceedings of the 31<sup>st</sup> European Solid-State Circuits Conference*, pages 459–462, 2005.
- [61] K. Nielsen. A review and comparison of digital PWM methods for digital pulse modulation amplifier (PMA) systems. In *Proceedings of the 107<sup>th</sup> AES Convention*, pages 56–64, 1999.
- [62] P. Midya. High performance digital feedback for PWM digital audio amplifiers. In *Proceedings of the 121<sup>th</sup> AES Convention*, pages 85–90, 2006.
- [63] K. Nielsen. Pulse edge delay error correction (PEDEC)-a novel power stage error correction principle for power digital-analog conversion. In *Proceedings of the 103<sup>rd</sup> AES Convention*, pages 78–82, 1997.
- [64] Analog Devices. Documentation technique SSM2517 - [en ligne] - Disponible sur <[http://www.analog.com/static/imported-files/data\\_sheets/ssm2517.pdf](http://www.analog.com/static/imported-files/data_sheets/ssm2517.pdf)> (consulté le 10.10.2008).
- [65] J. Tol et al. A digital class D amplifier with power supply correction. In *Proceedings of the 121<sup>th</sup> AES Convention*, pages 36–42, 2006.
- [66] Cirrus Logic. Documentation technique cs4461 [en ligne] - Disponible sur <<http://www.cirrus.com/en/products/cs4461.html>> (consulté le 18.12.2009).
- [67] L. Lennartson. Class D amplifier with digital feedback - US6759899 - Publié le 06.07.2004.
- [68] Mason R. Forzley T. A scalable class D audio amplifier for low power applications. In *Proceedings of the 37<sup>th</sup> AES International Conference*, pages 11–20, 2009.

- [69] Putzeys B. Mouton T. Control of a PWM switching amplifier with global feedback. In *Proceedings of the AES 37<sup>th</sup> International Conference*, pages 108–117, 2009.
- [70] P. Craven. Digital PWM amplifier using nonlinear feedback and predistortion. In *Proceedings of the 128<sup>th</sup> AES Convention*, pages 72–76, 2010.
- [71] Dufaza C. Ihs, H. Digital-input class D audio amplifier. In *Proceedings of the 128<sup>th</sup> AES Convention*, pages 42–46, 2010.
- [72] A. Ruha. Method and apparatus providing digital error correction for a class D power stage - US6466087 - Publié le 15.10.2002.
- [73] C. Trehan and K.S. Chao. A high performance class D power amplifier using error feedback architecture. In *Proceedings of the 48<sup>th</sup> Midwest Symposium on Circuits and Systems*, pages 396–399, 2005.
- [74] M. A. Andersen. Comparing nonlinear with linear control methods for error correction in switching audio amplifier output stages. In *Proceedings of the 104<sup>th</sup> AES Convention*, pages 36 – 40, 1998.
- [75] M. Berkhout. Class D audio amplifiers in mobile applications. In *Proceedings of IEEE International Symposium on Circuits and Systems*, pages 1169–1172, 2009.
- [76] Harold Stephen Black. *Modulation Theory - 363 pages*. Van Nostrand, 1953.
- [77] K. Nielsen. High-fidelity PWM-based amplifier concept for active loudspeaker systems with very low energy consumption. *Journal of AES*, Vol. 45 :554–570, 1996.
- [78] C. Pascual, Zukui Song, P.T. Krein, D.V. Sarwate, P. Midya, and W.J. Roeckner. High-fidelity PWM inverter for digital audio amplification : Spectral analysis, real-time DSP implementation, and results. *IEEE Transactions on Power Electronics*, Vol. 18 :473–485, 2003.
- [79] M. Berkhout. Clock jitter in class D audio power amplifiers. In *Proceedings of the 33<sup>rd</sup> IEEE European Solid State Circuits Conference*, pages 444–447, 2007.
- [80] S. Poulsen and M.A.E. Andersen. Self oscillating PWM modulators, a topological comparison. In *Record of the 26<sup>th</sup> International Workshop on High-Voltage Power Modulator.*, pages 403–407, 2004.
- [81] R. Cellier. Self oscillating modulator - pct en cours de dépôt - Déposé le 10.05.2010.

- [82] G. Pillonnet, N. Abouchi, R. Cellier, and A. Nagari. A 0.01% THD, 70dB PSRR single ended class D using variable hysteresis control for headphone amplifiers. In *Proceedings of the IEEE International Symposium on Circuits and Systems*, pages 1181–1184, 2009.
- [83] G. Cellier, R. Pillonnet. Switching amplifier - US a1-0290646 - Publié le 18.11.2010.
- [84] P. Gray and R. G. Meyer. *Analysis and Design of Analog Integrated Circuits - 5<sup>th</sup> edition - 878 pages - ISBN 9780470245996*. Wiley, 1984.
- [85] P. E. ; Holberg D. R. Allen. *CMOS Analog Circuit design - 784 pages - ISBN 0195116445*. Oxford University Press, 2002.
- [86] Gerke Daryl Kimmel Bill. EMI and emissions : rules, regulations, and options - [en ligne] - Disponible sur <<http://www.edn.com/contents/images/81915.pdf>>. Technical report, ednmag, 2001.
- [87] J.A. Ferreira, P.R. Willcock, and S.R. Holm. Sources, paths and traps of conducted EMI in switch mode circuits. In *Record of the 32<sup>nd</sup> IEEE Conference on Industry Applications*, pages 1584–1591, 1997.
- [88] S. Samala, V. Mishra, and K.C. Chakravarthi. 45nm CMOS class D audio driver with 79% efficiency and 100dB SNR. In *Digest of Technical Papers of IEEE International Solid-State Circuits Conference*, , pages 86–87, 2010.
- [89] Texas Instrument. Documentation technique TPA2039 - [en ligne] - Disponible sur <<http://focus.ti.com/lit/ds/slos652a/slos652a.pdf>> (consulté le 10.10.2008).
- [90] Analog Devices. Documentation technique SSM2311 [en ligne] - Disponible sur <<http://www.analog.com>> (consulté le 25.03.2009).
- [91] P.H. Mellor, S.P. Leigh, and B.M.G. Cheetham. Digital sampling process for audio class D, pulse width modulated power amplifiers. *Electronics Letters*, Vol. 28 :56–58, 1992.
- [92] R. et al. Bassoli. A robust pseudo-ternary modulation scheme for filter-less digital class D amplifiers. In *Proceedings of the 129<sup>th</sup> Audio Engineering Society Convention*, pages 68–72, 2010.
- [93] F. et al. Alonge. Identification of a Hammerstein model for DC/DC converters operating in CCM. In *Proceedings of the 35<sup>th</sup> Annual IEEE Power Electronics Specialists Conference*, pages 3798 – 3802, 2004.

- [94] F. Alonge, F. D’Ippolito, and T. Cangemi. Identification and robust control of DC/DC converter Hammerstein model. *IEEE Transactions on Power Electronics*, Vol. 23 :2990 – 3003, 2008.
- [95] Er-Wei Bai. Frequency domain identification of Hammerstein models. *IEEE Transactions on Automatic Control*, Vol. 48 :530 – 542, 2003.
- [96] Texas Instrument. Purepath digital amplifiers - [en ligne] - Disponible sur <<http://focus.ti.com/lit/sg/slyt312/slyt312.pdf>> (consulté le 10.10.2009).
- [97] C. et al. Neesgaard. Class D digital power amp (purepath digital) high Q musical content. In *Proceedings of the 16<sup>th</sup> International Symposium on Power Semiconductor Devices and ICs*, pages 97–100, 2004.
- [98] V. Adrian, J. S. Chang, and B.-H. Gwee. A low-voltage micropower digital class D amplifier modulator for hearing aids. *IEEE Transactions on Circuits and Systems I*, Vol. 56 :337–349, 2009.
- [99] S. Saponara, L. Fanucci, and P. Terreni. Oversampled and noise-shaped pulse-width modulator for high-fidelity digital audio amplifier. In *Proceedings of the 13<sup>th</sup> IEEE International Conference on Electronics, Circuits and Systems*,, pages 830–833, 2006.
- [100] Bah-Hwee Gwee, J.S. Chang, and V. Adrian. A micropower low-distortion digital class D amplifier based on an algorithmic pulsewidth modulator. *IEEE Transactions on Circuits and Systems I*, Vol. 52 :2007–2022, 2005.
- [101] V. Adrian, Bah-Hwee Gwee, and J.S. Chang. A combined interpolatorless interpolation and high accuracy sampling process for digital class D amplifiers. In *Proceedings of IEEE International Symposium on Circuits and Systems*, pages 210–214, 2005.
- [102] Gu-Yeon Wei and M. Horowitz. A low power switching power supply for self-clocked systems. In *Proceedings of the International Symposium on Low Power Electronics and Design*,, pages 313 –317, 1996.
- [103] A.P. Dancy and A.P. Chandrakasan. Ultra low power control circuits for PWM converters. In *Record of the 28<sup>th</sup> Annual IEEE Power Electronics Specialists Conference*, pages 21–27, 1997.
- [104] V. Yousefzadeh, T. Takayama, and D. Maksimovi. Hybrid DPWM with digital delay-locked loop. In *Proceedings of IEEE Workshops on Computers in Power Electronics*, pages 142–148, 2006.

- [105] Shuibao Guo et al. Digital PWM controller for high-frequency low-power DC/DC switching mode power supply. In *Proceedings of the 6<sup>th</sup> IEEE International Power Electronics and Motion Control Conference.*, pages 1340–1346, 2009.
- [106] Peter G. Gerzon, Michael A. ; Craven. Optimal noise shaping and dither of digital signals. In *Proceedings of the 87<sup>th</sup> Audio Engineering Society Convention*, pages 32–38, 1989.
- [107] M. B. Sandler. Digital to analogue conversion using pulse width modulation. *Electronics & Communication Engineering Journal*, Vol. 1 :339–348, 1993.
- [108] I. Fujimori and T. Sugimoto. A 1.5V, 4.1mW dual-channel audio  $\Sigma\Delta$  D/A converter. *IEEE Journal of Solid-State Circuits*, Vol. 33 :1863–1870, 1998.
- [109] I. Fujimori, A. Nogi, and T. Sugimoto. A multibit  $\Sigma\Delta$  audio DAC with 120dB DR. *IEEE Journal of Solid-State Circuits*, Vol. 35 :1066 –1073, 2000.
- [110] Chris Travis. Specifying the jitter in audio application. In *Proceedings of the 117<sup>th</sup> AES Convention*, pages 30–45, 2004.
- [111] B. Putzeys. Effects of jitter on AD/DA conversion - clock and interface jitter specifications. In *Proceedings of the 116<sup>th</sup> AES Convention*, pages 96–100, 2004.
- [112] P. et al. Adduci. PWM power audio amplifier with voltage/current mixed feedback for high-efficiency speakers. *IEEE Transactions on Industrial Electronics*, Vol. 54 :1141–1149, 2007.
- [113] R. Cellier. A fully differential digital class D amplifier with EMI spreading method for portable application. In *Proceedings of 37<sup>th</sup> AES Conference*, pages 54–58, 2009.
- [114] M. El-Chammas and B. Murmann. A 12 GS/s 81mW 5bits time-interleaved flash ADC with background timing skew calibration. *IEEE Journal of Solid-State Circuits*, Vol. 46 :838 –847, 2011.
- [115] Chun-Cheng Huang, Chung-Yi Wang, and Jieh-Tsorng Wu. A CMOS 6bits 16GS/s time-interleaved ADC using digital background calibration techniques. *IEEE Journal of Solid-State Circuits*, Vol. 46 :848–858, 2011.
- [116] Young-Hwa Kim, Jaewon Lee, and SeongHwan Cho. A 10bits 300MS/s pipelined ADC using time-interleaved SAR ADC for front-end stages. In *Proceedings of the IEEE International Symposium on Circuits and Systems*, pages 4041–4044, 2010.

- [117] M. Furuta, M. Nozawa, and T. Itakura. A 10-bit, 40MS/s, 1.21mW pipelined SAR ADC using single-ended 1.5-bit/cycle conversion technique. *IEEE Journal of Solid-State Circuits*, Vol. 35 :45–46, 2011.
- [118] M. Yoshioka, K. Ishikawa, T. Takayama, and S. Tsukamoto. A 10b 50MS/s 820 $\mu$ W SAR ADC with on-chip digital calibration. In *Digest of Technical Papers of IEEE International Solid-State Circuits Conference*,, pages 384–385, 2010.
- [119] Gabor C. Temes Steven R. Norsworthy, Richard Schreier.  $\Sigma\Delta$  *Data Converters : Theory, Design, and Simulation - 512 pages - ISBN 0780310454*. Wiley-IEEE Press, 1996.
- [120] Gabor C. Temes James C. Candy. *Oversampling  $\Sigma\Delta$  Data Converters : Theory, Design, and Simulation - 512 pages - ISBN 0879422858*. Wiley-IEEE Press, 1991.
- [121] K. Philips.  $\Sigma\Delta$  *A/D Conversion for Signal Conditionning - 227 pages - ISBN 1402046790*. 2006.
- [122] Ortmanns M. Gerfers F. *Continuous-Time  $\Sigma\Delta$  A/D Conversion - 241 pages - ISBN 9783540284062*. Springer, 2006.
- [123] D. Martin, K. ; Johns. *Analog integrated Circuit Design - 706 pages - ISBN 0471144487*. Wiley, 1997.
- [124] Omid Shoaei. *Continuous-Time  $\Sigma\Delta$  A/D Converters for High Speed Applications - 230 pages*. PhD thesis, Carleton University, 1995.
- [125] H. et al. Aboushady. A 3<sup>rd</sup> current-mode continuous-time  $\Sigma\Delta$  modulator. In *Proceedings of the 6<sup>th</sup> IEEE International Conference on Electronics, Circuits and Systems*, pages 1697–1700, 1999.
- [126] Continuous-time  $\Sigma\Delta$  modulation - cours de m. aboushady.
- [127] Adam Dabrowski. *Multirate and Multiphase Switched-capacitor Circuits - 312 pages - ISBN 0412724901*. Springer, 1996.
- [128] A. Marques, V. Peluso, M.S. Steyaert, and W.M. Sansen. Optimal parameters for  $\Sigma\Delta$  modulator topologies. *IEEE Transactions on Circuits and Systems II*, Vol. 45 :1232–1241, 1998.
- [129] P. Benabes and S. Guessab. A  $\Sigma\Delta$  converter with adjustable tradeoff between resolution and consumption. In *Proceedings of 14th IEEE International Conference on Electronics, Circuits and Systems*, pages 230–233, 2007.

- [130] K. et al. Matsukawa. A 5<sup>th</sup> order continuous-time  $\Sigma\Delta$  modulator with single-opamp resonator. *IEEE Journal of Solid-State Circuits*, Vol. 45 :697–706, 2010.
- [131] R. Schreier.  $\sigma\delta$  matlab toolbox [en ligne] - Disponible sur <<http://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox>> (consulté le 08.02.2009).
- [132] M. Ortmanns, F. Gerfers, and Y. Manoli. Compensation of finite gain-bandwidth induced errors in continuous time  $\Sigma\Delta$  modulators. *IEEE Transactions on Circuits and Systems I*, Vol. 51 :1088–1099, 2004.
- [133] D.M. Monticelli. A quad CMOS single-supply op amp with rail-to-rail output swing. *IEEE Journal of Solid-State Circuits*, Vol. 21 :1026 – 1034, 1986.
- [134] O. Oliaei. Effect of feedback waveform in continuous-time  $\Sigma\Delta$  modulators. *Electronics Letters*, Vol. 37 :878–879, 2001.
- [135] A. Latiri, H. Aboushady, and N. Beilleau. Design of continuous-time  $\Sigma\Delta$  modulators with sine-shaped feedback DAC. In *Proceedings of IEEE International Symposium on Circuits and Systems*, pages 3672–3675, 2005.
- [136] Saed G. Younis. Method and apparatus for eliminating clock jitter in ct  $\Sigma\Delta$  AD converters - US6184812 - Publié le 06.02.2001.
- [137] M. Ortmanns, F. Gerfers, and Y. Manoli. Increased jitter sensitivity in continuous and discrete time  $\Sigma\Delta$  modulators due to finite opamp settling speed. In *IEEE International Symposium on Circuits and Systems*, pages 2543–2546, 2005.
- [138] M. Ortmanns, F. Gerfers, and Y. Manoli. A continuous-time  $\Sigma\Delta$  modulator with reduced sensitivity to clock jitter through SCR feedback. *IEEE Transactions on Circuits and Systems I*, Vol. 52 :875–884, 2005.
- [139] F. Gerfers, M. Ortmanns, and Y. Manoli. Design issues and performance limitations of a clock jitter insensitive multibit DAC architecture for high-performance low-power CT  $\Sigma\Delta$  modulators. In *Proceedings of the IEEE International Symposium on Circuits and Systems*, pages 140–144, 2004.
- [140] K. Nguyen, R. Adams, K. Sweetland, and Huaijin Chen. A 106dB SNR hybrid oversampling analog-to-digital converter for digital audio. *IEEE Journal of Solid-State Circuits*, Vol. 40 :2408 – 2415, 2005.



- [141] S. Yan and E. Sanchez-Sinencio. A continuous-time  $\Sigma\Delta$  modulator with 88dB DR and 1.1MHz signal bandwidth. *IEEE Journal of Solid-State Circuits*, Vol. 39 :75 – 86, 2004.
- [142] K.Q. Adams, R. Nguyen. A 113 dB SNR oversampling DAC with segmented noise-shaped scrambling. *IEEE Journal of Solid-State Circuits*, Vol. 33 :1871 – 1878, 1998.
- [143] J.A. Cherry and W.M. Snelgrove. Loop delay and jitter in continuous-time  $\Sigma\Delta$  modulators. In *Proceedings of the IEEE International Symposium on Circuits and Systems*,, pages 596–599, 1998.
- [144] Lars Risbo.  *$\Sigma\Delta$  Modulators : Stability Analysis and Optimization - 196 pages*. PhD thesis, DTU, 1994.
- [145] Jr. Ferguson, P.F., A. Ganesan, and R.W. Adams. One bit higher order  $\Sigma\Delta$  AD converters. In *Proceedings of the IEEE International Symposium on Circuits and Systems*, pages 890–893, 1990.
- [146] O. Oliaei. Design of continuous-time  $\Sigma\Delta$  modulators with arbitrary feedback waveform. *IEEE Transactions on Circuits and Systems II*, Vol. 50 :437–444, 2003.
- [147] L. et al. Hernandez. A jitter insensitive continuous-time  $\Sigma\Delta$  modulator using transmission lines. In *Proceedings of the 11<sup>th</sup> IEEE International Conference on Electronics, Circuits and Systems*, pages 109–112, 2004.
- [148] L. Hernandez, A. Wiesbauer, S. Paton, and A. Di Giandomencio. Modelling and optimization of low pass continuous-time  $\Sigma\Delta$  modulators for clock jitter noise reduction. In *Proceedings of the International Symposium on Circuits and Systems*,, pages 598–602, 2004.
- [149] A. Yahia, P. Benabes, and R. Kielbasa. Influence of the feedback DAC delay on a continuous-time bandpass  $\Sigma\Delta$  converter. In *IEEE International Symposium on Circuits and Systems*,, pages 648 – 651, 2002.
- [150] A. Yahia, P. Benabes, and R. Kielbasa. A new technique for compensating the influence of the feedback DAC delay in continuous-time bandpass  $\Sigma\Delta$  converters. In *Proceedings of the 18<sup>th</sup> IEEE Instrumentation and Measurement Technology Conference*, pages 716–719, 2001.
- [151] E.N. Aghdam and P. Benabes. A new mixed stable DEM algorithm for bandpass multibit  $\Sigma\Delta$  ADC. In *Proceedings of the 10<sup>th</sup> IEEE International Conference on Electronics, Circuits and Systems*, pages pp 962–965, 2003.

- [152] K. Nguyen, A. Bandyopadhyay, B. Adams, K. Sweetland, and P. Baginski. A 108dB SNR, 1.1mW oversampling audio DAC with a 3 levels DEM technique. *IEEE Journal of Solid-State Circuits*, Vol. 43 :2592–2600, 2008.
- [153] M. Keller, A. Buhmann, F. Gerfers, M. Ortmanns, and Y. Manoli. On the implicit anti-aliasing feature of continuous-time cascaded  $\Sigma\Delta$  modulators. *IEEE Transactions on Circuits and Systems I*, Vol. 54 :2639–2645, 2007.
- [154] Gene F. Franklin. *Digital Control of Dynamics Systems - 3<sup>rd</sup> edition - 742 pages - ISBN 0979122600*. Ellis Kagle Press, 1998.
- [155] Robert Alexander Wannamaker. *The Theory of Dithered Quantization - 223 pages*. PhD thesis, University of Waterloo, 2003.
- [156] Hao Peng. Modeling of quantization effects in digitally controlled DC/DC converters. In *Proceeding of 35<sup>th</sup> IEEE Power Electronics Specialists Conference*, pages 142–146, 2004.
- [157] A. V. Peterchev. Quantization resolution and limit cycling in digitally control PWM converter. In *Proceeding of IEEE Transactions on Power Electronics*, pages 126–130, 2003.
- [158] Ming T. Tham. Internal model control. *Introduction To Robust Control - [en ligne] - Disponible sur <<http://lorien.ncl.ac.uk/ming/robust/imc.pdf>> (Consulté le 12.11.2010)*.
- [159] Datta Aniruddha. *Adaptive Internal Model Control - 148 pages - ISBN 3540762523*. Springer, 1998.
- [160] Mallet Joelle Richalet Jacques, Lavielle Guy. *La commande Prédictive - 256 pages - ISBN 2212115539*. Eyrolles, 2005.
- [161] Y.P. Tzividis. Integrated continuous-time filter design : an overview. *IEEE Journal of Solid-State Circuits*, Vol. 29 :166–176, 1994.
- [162] S. Lindfors, K. Halonen, and M. Ismail. A 2.7V elliptical MOSFET only gmC OTA filter. *IEEE Transactions on Circuits and Systems II*, Vol. 47 :89–95, 2000.
- [163] J. Silva-Martinez, M.S.J. Steyaert, and W. Sansen. Design techniques for high-performance full CMOS OTA RC continuous-time filters. *IEEE Journal of Solid-State Circuits*, Vol. 27 :993–1001, 1992.

- [164] S.D. Willingham and K.W. Martin. A BiCMOS low-distortion 8MHz lowpass filter. In *Digest of Technical Papers of the 40<sup>th</sup> IEEE International Solid-State Circuits Conference.*, pages 114 –115, 1993.
- [165] W. Sansen. Distortion in elementary transistor circuits. *IEEE Transactions on Circuits and Systems II*, Vol. 46 :315 –325, 1999.
- [166] B. Razavi. CMOS technology characterization for analog and RF design. *IEEE Journal of Solid-State Circuits*, Vol. 34 :268 –276, 1999.
- [167] B. Song. CMOS RF circuits for data communications applications. *IEEE Journal of Solid-State Circuits*, Vol. 21 :310 – 317, 1986.
- [168] F. Gerfers, M. Ortmanns, and Y. Manoli. A 1.5V 12bits power-efficient continuous-time 3<sup>rd</sup> order  $\Sigma\Delta$  modulator. *IEEE Journal of Solid-State Circuits*, Vol. 38 :1343–1352, 2003.
- [169] Texas Instrument. Noise analysis in operational amplifier circuits - [en ligne] - Disponible sur <<http://focus.ti.com/lit/an/slva043b/slva043b.pdf>> (consulté le 03.08.2009).
- [170] W. Laker, K. ; Sansen. *Design of Analog Integrated Circuit And System* - 898 pages - ISBN 0071134581. 1994.



# Publications scientifiques du doctorant

## Articles de conférence nationale

**R. Cellier**, G. Pillonnet, N. Abouchi and M. Chiollaz, "Amplificateur classe D à entrée numérique pour la téléphonie mobile". Journées nationales du réseau doctoral en microélectronique, Lyon, France, 6-8 mai, 2009.

**R. Cellier**, G. Pillonnet and N. Abouchi, "Amplificateur de Classe D à entrée numérique et contrôle numérique pour l'application téléphonie mobile". Journées nationales du réseau doctoral en microélectronique, Montpellier, France, 7-9 juin, 2010.

S. Hacine **R. Cellier**, G. Pillonnet and N. Abouchi, "Amplificateur de Classe D auto-oscillant à hystérésis". Journées nationales du réseau doctoral en microélectronique, Montpellier, France, 7-9 juin, 2010.

**R. Cellier**, "Intégration d'amplificateur de Classe D à commande numérique". Colloque national du GdR SocSiP, Lyon, France, 15-17 juin, 2011.

## Articles de conférence internationale

G. Pillonnet, **R. Cellier**, N. Abouchi and M. Chiollaz, "A High Performance Switching Audio Amplifier using Sliding Mode Control". *Joint IEEE North Est Workshop on Circuit And System, NEWCAS-TAISA*, Montreal, Canada, 22-25 juin, 2008.

G. Pillonnet, **R. Cellier**, N. Abouchi and M. Chiollaz, "An Integrated Class D Audio Amplifier based on Sliding Mode Control" *IEEE International Conference on Integrated Circuit Design and Technology*, ICICDT, Grenoble, France, 2-5 juin, 2008.

G. Pillonnet, **R. Cellier**, E. Allier and N. Abouchi, "A Topological Comparison of PWM and Hysteresis Controls in Switching Audio Amplifiers". *IEEE Asia Pacific Conference on Circuit and System*, APCCAS, Macao, Chine, 1-3 décembre, 2008.

G. Pillonnet, **R. Cellier**, A. Nagari and N. Abouchi, "A 0.01% THD, 70dB PSRR Single Ended Class D using Variable Hysteresis Control for Headphone Amplifiers". *IEEE International Conference on Circuit and System, ISCAS*, Taipei, Taiwan, 24-27 mai, 2009.

**R. Cellier**, G. Pillonnet, A. Nagari and N. Abouchi, "A Review of Fully Digital Audio Class D Amplifiers Topologies". *Joint IEEE North Est Workshop on Circuit And System, NEWCAS-TAISA*, Toulouse, France, 29-01 juillet, 2009.

**R. Cellier**, E. Allier, C. Crippa, G. Pillonnet, A. Nagari and N. Abouchi, "A Fully Differential Digital input Class D with EMI Spreading Method for Mobile Application". *37th International AES Conference*, Hillerod, Danemark, 27-29 août, 2009.

## Brevets

**R. Cellier**, F. Amiard, "Anti Glitch System Using Two Power Stage For Linear Audio Amplifier". WO2010136520A1.

**R. Cellier**, F. Amiard, "Offset Cancellation For Linear Audio Amplifier Using Auto Zero Comparator". WO2010136578A1.

G. Pillonnet, **R. Cellier**, "Switching Amplifier". EP N° 2096753 A1, US N° 20100290646 A1.

**R. Cellier**, G. Pillonnet, "Self Oscillating Modulator". *pending* PCT, déposé le 5 mai 2010.

## Autres

Participation au **Student Research preview**, ISSCC 2011, section *Analog and Mixed Signal*, San Fransisco, Etat Unis, 20-24 février 2011.

Intervention au **Topic of Microelectronic** IEEE SSCS, Intitulé du cours donné : *Fundamentals and Practical Considerations on Audio Class D Design*, Pavia, Italie, 26 avril 2010.

Programme disponible à l'adresse suivante :

<http://www.microelectronicsevents.com/TOM/Downloads/ToMCourses2010.pdf>

Travaux présentés dans un article consacré aux problématiques actuelles de la technologie

"*Class D Amplifier*", journal de l'AES Volume 57, Numéro 12 - Décembre 2009. Pages 1060-1067 et 1089-1090.





## FOLIO ADMINISTRATIF

Thèse soutenue devant l'institut national des sciences appliquées de Lyon

CELLIER Rémy

Doctorat

Numéro d'ordre : XXXXXXXXXXXXX

Ecole doctorale EEA - Spécialité : Micro-électronique

**TITRE : CONTRÔLE ET INTÉGRATION D'AMPLIFICATEURS DE CLASSE D À COMMANDE NUMÉRIQUE**

### Résumé :

L'intégration de nombreuses fonctions complexes dans les systèmes embarqués, tels que les téléphones portables, conduit à optimiser la consommation d'énergie pour maintenir l'autonomie de fonctionnement. Concernant la chaîne de reproduction sonore, la consommation a été réduite par l'utilisation d'amplificateurs de classe D analogique, mais la nature numérique de la source audio impose encore un convertisseur numérique analogique en amont. La forte consommation de ce CAN et la qualité de reproduction sonore de l'amplificateur sont actuellement les principales limitations de cette approche. Ce travail de recherche, réalisé en quatre phases, a donc pour objectifs d'apporter des améliorations et de proposer de nouvelles architectures pour réduire ces limitations. Concernant l'amplificateur de classe D analogique, une boucle d'asservissement analogique basée sur un modulateur auto-oscillant à hystérésis a été développée pour réduire la consommation et augmenter sa qualité de reproduction. Cette étude a été validée par la réalisation d'un circuit en technologie CMOS 130 nm. La possibilité de piloter l'amplificateur de classe D directement par un signal de commande numérique a ensuite été envisagée. Le train d'impulsions nécessaire à la commande de l'étage de puissance est obtenu par modulation numérique de la source audio. L'utilisation en boucle ouverte de l'étage de puissance ne permet néanmoins pas d'obtenir un signal audio de sortie insensible aux variations de l'alimentation. Un asservissement analogique local autour de l'étage de puissance est donc nécessaire. La réalisation en technologie CMOS 130 nm de cette architecture a permis la validation des études effectuées (fonctionnement, stabilité, bande passante, modélisations des éléments non linéaires,...). L'interface entre le modulateur numérique et la partie analogique est très sensible aux perturbations. Un asservissement numérique global de l'amplificateur de classe D à commande numérique a donc été étudié pour contrôler cette interface. Un prototype de cet asservissement est en cours de réalisation.

**Mots clés :** Amplificateur de classe D, Contrôle, Modélisation, Conception analogique

**Laboratoire de recherche :** Institut des Nanotechnologies de Lyon - INL

**Directeur de thèse :** Pr Nacer Abouchi

**Président du Jury :** Pr Daniel Barbier

**Composition du Jury :** Pr Daniel Barbier, Pr Nacer Abouchi, Pr Yann Deval, Pr Pascal Nouet, Dr Gael Pillonnet, Dr Caryl Condemine, Mr Angelo Nagari