



HAL
open science

Nouveaux concepts pour l'intégration 3D et le refroidissement des semi-conducteurs de puissance à structure verticale

Kremena Vladimirova

► **To cite this version:**

Kremena Vladimirova. Nouveaux concepts pour l'intégration 3D et le refroidissement des semi-conducteurs de puissance à structure verticale. Autre. Université de Grenoble, 2012. Français. NNT : 2012GRENT049 . tel-00738000v2

HAL Id: tel-00738000

<https://theses.hal.science/tel-00738000v2>

Submitted on 17 Jul 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Génie électrique**

Arrêté ministériel : 7 août 2006

Présentée par

Kremena VLADIMIROVA

Thèse dirigée par **Christian SCHAEFFER** et
codirigée par **Jean-Christophe CREBIER** et **Yvan AVENAS**

préparée au sein du **Laboratoire de Génie Electrique de
Grenoble (G2Elab)**
dans l'**École Doctorale « Electrotechnique Electronique
Automatique et Traitement du Signal »**

Nouveaux concepts pour l'intégration 3D et le refroidissement des semi-conducteurs de puissance à structure verticale

Thèse soutenue publiquement le **11 mai 2012**,
devant le jury composé de :

M. Thierry LEBEY Directeur de recherche, CNRS Toulouse,	Président
M. Hervé MOREL Directeur de recherche, CNRS Lyon,	Rapporteur
M. Henri SCHNEIDER Maître de conférences, INP-Toulouse,	Rapporteur
M. Laurent DUPONT Chargé de recherche, IFFSTAR, Versailles	Membre
M. Olivier LESAIN Directeur de recherche, CNRS Grenoble,	Membre
M. Christian SCHAEFFER Professeur des universités, INP-Grenoble,	Membre
M. Yvan AVENAS Maître de conférences, INP-Grenoble,	Membre
M. Jean-Christophe CREBIER Chargé de recherche, CNRS Grenoble,	Membre



Remerciements

Remerciements

Sur cette page dédiée aux remerciements je souhaite m'adresser à toutes les personnes qui m'ont aidé à grandir dans l'univers des sciences et des technologies durant ces trois années de thèse.

Je tiens tout d'abord à remercier l'ensemble des membres de mon jury de thèse ; Thierry Lebey d'avoir accepté d'être le président de ce jury ; Hervé Morel et Henri Schneider d'avoir accepté d'être rapporteurs de mon travail de thèse ; Laurent Dupont et Olivier Lesaint d'avoir accepté de faire partie de ce jury en tant qu'examineurs.

Un grand merci à mon directeur de thèse Christian Schaeffer pour la confiance qu'il m'a accordé, pour son honnêteté et ses compétences scientifiques et humaines.

J'adresse ma profonde reconnaissance et mes sincères remerciements à mes encadrants Jean-Christophe Crebier et Yvan Avenas – mes maîtres Jedi qui guidaient avec tant de dynamisme leur jeune padawan vers la lumière de la science. Je n'oublierai jamais nos réunions au cours desquelles des propositions, des solutions et des idées ruisselaient telle une source inépuisable née par leur passion envers la recherche. Merci !

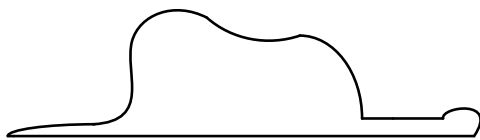
Je remercie infiniment Claude Brun (Djidji) pour son aide précieuse pour la construction du banc de caractérisation expérimental. Merci Djidji pour ta patience, ta précision et tes compétences que tu partages si généreusement avec nous – les débutants dans le monde de la mécanique.

Je souhaite aussi remercier toutes les personnes du laboratoire qui m'ont apporté des conseils ou d'aide au cours de ma thèse – permanents, doctorants et également les stagiaires avec lesquels j'ai travaillé – mention spéciale pour mes stagiaires Julian, Fabien, Siyana, Nicolay et Georgy. Je tiens à remercier très spécialement Eric Vagnon pour son optimisme, ses idées précieuses et son implication dans les dernières mesures expérimentales.

Je voudrais adresser mes remerciements à tout le personnel du CIME – Nanotech, Stéphane Litaudon pour m'avoir confié tous les secrets d'utilisation de la DRIE, Delphine Constantin, Jean-Michel Terrot et Bruno Gonzalez pour leurs conseils et aides en salle blanche, Irene Pheng pour la découpe des wafers et les bondings de mes prototypes, Alexandre Chagoya pour son aide particulière concernant les outils de design, Loïc Vincent pour sa disponibilité, sa bonne humeur et pour avoir supporté pendant toutes ces années toutes mes descentes en piqué dans son bureau pour lui poser des questions plus ou moins vitales.

C'est à l'homme avec qui j'ai partagé cette aventure mais d'un point de vue plus personnel à qui je souhaite témoigner mes remerciements les plus profonds. Merci Chris de m'avoir donné la force nécessaire pour repousser mes propres limites et d'avoir apporté tant de chaleur, de douceur et d'équilibre dans mon petit monde.

Un merci chaleureux à toute ma famille et plus particulièrement à ma mère qui m'a toujours soutenue et encouragée et qui dès l'âge de 3 ans en me montrant l'image suivante :



(l'original se situe dans mon livre fetich) m'a appris qu'il est essentiel de savoir voir au delà des apparences.

Table des matières

Introduction générale..... 15

Chapitre I. Le packaging et le refroidissement en électronique de puissance

1. Introduction	21
2. Packaging des modules de puissance actuels.....	22
2.1. Packages 2D.....	22
2.2. Packages 3D.....	24
3. Solution innovante du composant à tenue en tension verticale adapté à son package.....	29
3.1. Tenue en tension périphérique des composants de puissance.....	29
3.2. Le concept des terminaisons en tension verticale.....	33
3.3. Terminaisons planar versus terminaisons verticales pour une mise en œuvre 3D.....	33
3.4. Evolution et mise à profit de l'approche - puces muticomposants de puissance.....	38
4. Les techniques de refroidissement en électronique.....	39
4.1. Mécanismes de transfert de chaleur.....	40
4.2. Refroidissement des modules de puissance.....	41
4.3. Refroidissement direct	43
4.4. Conclusion.....	48
5. Solution innovante du refroidisseur intégré dans le composant.....	48
5.1. Présentation du concept.....	49
5.2. Structure du composant de puissance avec DRIM Cooler.....	50
5.3. Choix du fluide diélectrique.....	51
5.4. Analyse des performances des composants avec DRIM Cooler.....	54
5.5. Analyse des contraintes des composants avec DRIM Cooler.....	59
5.6. Perspectives conceptuelles.....	62
6. Conclusion.....	63

Chapitre II. Développements, choix technologiques et réalisations des prototypes

1. Introduction	67
2. Procédé technologique pour la réalisation pratique des diodes de puissance à terminaisons en tension verticales.....	67
2.1. Réalisation des masques.....	68
2.2. Diagramme de cheminement	68
2.3. Gravure profonde du silicium (DRIE).....	69
2.3.1. Généralités.....	69
2.3.2. Particularités de la gravure DRIE.....	70
2.3.3. Gravure des tranchées verticales.....	72
2.4. Contact ohmique et amenée de courant	74
2.5. Passivation des tranchées verticales.....	77

3.	Procédé technologique pour la réalisation pratique des diodes de puissance avec DRIM Cooler	79
3.1.	Dimensionnement et réalisation des masques	79
3.2.	Diagramme de cheminement	80
3.3.	Lithographie double face.....	81
3.4.	Particularités du procédé DRIE pour la réalisation des canaux traversants.....	82
3.5.	Passivation	84
4.	Conclusion.....	85

Chapitre III. Analyse et validation pratique des performances électriques

1.	Introduction	89
2.	Dimensionnement.....	90
3.	La jonction plane.....	96
4.	Performances électriques des diodes de puissance à terminaisons en tension verticales	98
4.1.	Analyse théorique de la tenue en tension	99
4.2.	Validation expérimentale.....	105
4.2.1.	Réalisation du package.....	105
4.2.2.	Caractérisation statique.....	107
4.2.3.	Caractérisation dynamique.....	116
5.	Performances électriques des diodes de puissance avec DRIM Cooler.....	120
5.1.	Analyse théorique de la tenue en tension.....	120
5.2.	Validation expérimentale	125
5.2.1.	Réalisation du package.....	125
5.2.2.	Caractérisation statique.....	127
6.	Conclusion.....	132

Chapitre IV. Etude et validation pratique des performances thermiques des diodes de puissance avec DRIM Cooler

1.	Introduction	135
2.	Rappel des notions de transfert de chaleur lors de l'écoulement d'un fluide.....	135
2.1.	Nombre de Reynolds.....	135
2.2.	Nombre de Prandtl.....	136
2.3.	Longueurs d'établissement hydraulique et thermique.....	136
2.4.	Nombre de Nusselt.....	137
2.5.	Pertes de charge et coefficient de frottement.....	138
3.	Analyse théorique des performances thermiques du concept de refroidissement DRIM Cooler.....	139
3.1.	Modélisation analytique.....	140

Table des matières

3.2. Modélisation numérique.....	143
3.3. Comparaison des résultats	148
4. Validation expérimentale des performances thermiques du concept de refroidissement DRIM Cooler.....	149
4.1. Présentation du banc de caractérisation expérimentale.....	150
4.2. Résultats obtenus.....	151
4.3. Problèmes rencontrés.....	153
5. Conclusion	154
Conclusion générale.....	159
Références bibliographiques.....	163
Publications.....	171

Introduction générale

Notre société est en pleine mutation énergétique avec d'un côté l'épuisement des ressources fossiles et de l'autre l'urgence en matière de maîtrise énergétique. Cela se traduit par diverses évolutions qui, globalement, favorisent ou convergent vers le vecteur électricité. D'une part, l'électricité tend à remplacer les énergies fossiles et d'autre part, des travaux importants visent à optimiser l'utilisation de l'énergie électrique. C'est par exemple le cas au niveau des transports avec depuis longtemps le transport ferroviaire et plus récemment avec l'émergence des véhicules hybrides et électriques ou encore de l'avion plus électrique. On retrouve également les énergies renouvelables dont la production permet dans certaines conditions de réduire le recours aux énergies fossiles. Enfin, des efforts importants sont engagés pour mieux utiliser l'énergie électrique dans l'industrie ou dans l'habitat. Tous ces exemples ont un point commun, l'électronique de puissance, discipline à part entière, interface de contrôle et de conditionnement de l'énergie électrique permettant d'adapter, le plus idéalement possible la source à la charge. On parle aussi souvent d'électronique de commutation car l'approche mise en œuvre pour associer source et charge consiste à découper, cadencer puis filtrer les grandeurs électriques pour en contrôler les formes, amplitude, phase et fréquence. Ce qui caractérise l'apport de l'électronique de puissance est la nécessité d'adapter par exemple l'énergie alternative fournie par le réseau électrique de distribution en une tension continue à même d'alimenter un ordinateur portable et ceci en offrant le meilleur compromis en termes de rendement, de fiabilité et de coût. Si le rendement est longtemps resté le principal objectif de conception en électronique de puissance, la très forte augmentation et diversification des applications et des contraintes de fonctionnement de ces dernières années ont fait évoluer cette discipline qui restait quelque peu marginale. Aujourd'hui, l'électronique de puissance est en pleine mutation matérielle, technologique et conceptuelle. Des matériaux aux propriétés exceptionnelles apportent un renouveau tant au niveau des composants actifs qu'au niveau des composants passifs de filtrage. De nouvelles technologies de packaging et d'intégration permettent de généraliser la mise en œuvre des composants, simplifiant et fiabilisant les interconnexions électriques mais aussi mécaniques. Enfin, de nouveaux concepts émergent pour mieux tirer profit des structures de conversion, des caractéristiques de tel ou tel composant. De nouvelles topologies optimisant les moyens de filtrage voient le jour, de nouveaux systèmes d'alimentation et de pilotage des transistors sont mis au point, des techniques de pilotage astucieuses sont imaginées. Cette mutation bouscule l'approche traditionnelle de la conception et de la fabrication en électronique de puissance, l'objectif restant d'obtenir des rendements de conversion élevés mais cette fois-ci dans des contextes et avec des niveaux de contraintes technico économiques beaucoup plus exigeants.

On retrouve parmi les travaux importants et en cours dans ce processus d'évolution la mise en œuvre des composants de puissance actifs, les transistors et les diodes de puissance. La mise en œuvre de ces composants a subi il y a une quinzaine d'années environ une très forte évolution avec l'arrivée du module de puissance. Les modules de puissance avaient pour caractéristiques principales le regroupement dans un objet unique de plusieurs composants actifs de puissance, pré-assemblés et pré-interconnectés. Basés sur le report des puces sur un substrat paterné isolant d'un côté, interconnectables selon un plan de câblage systématique, offrant passivation et protection aux éléments sensibles, les modules de puissance ont particulièrement structuré la conception des convertisseurs statiques. En traitant d'un coup les interconnexions électriques des semi-conducteurs, leur refroidissement et leur encapsulation, les modules de puissance ont offert une réponse globale et générique aux concepteurs. Les performances des composants ont évolué et de nouvelles générations de contraintes ont également vues le jour. La montée en fréquence, la montée en température de fonctionnement des puces, la robustesse des assemblages ont permis de pousser les modules aux limites de leurs possibilités. Depuis quelques années, de nouvelles générations de modules de puissance voient le jour. Celles-ci intègrent par exemple davantage de fonctionnalités comme des capteurs, des drivers avec les IPeM (Integrated ou Intelligent Power Electronic Module), des moyens de filtrage, etc... L'une des évolutions les plus fortes concerne probablement l'assemblage en 3D des puces qui remet très fortement en cause les fondements

mêmes du module de puissance, basé sur un agencement 2D des puces et des interconnexions entre puces. La structuration en 3D des modules de puissance regroupant par exemple une pluralité de cellules de commutation ouvre de nouveaux degrés de liberté mais pose également de nouvelles contraintes.

- comment gérer les contraintes thermomécaniques des empilements ?
- comment évacuer le flux de chaleur généré au sein de ces empilements ?
- comment gérer les amenées de courant, sans pénalité pour la tenue en tension des composants de puissance basés sur des terminaisons planar ?

C'est de ces nouvelles problématiques qu'est né le travail de recherche décrit dans ce manuscrit. L'intégration 3D, avec son cortège de nouveaux degrés de libertés apporte aussi de nouvelles contraintes et problématiques dont la communauté scientifique devait se saisir. Au G2Elab, depuis quelques années, des travaux avaient été initiés dans cette thématique avec comme angle de vue la conception couplée entre le composant de puissance et son environnement. L'idée retenue dans cette approche consistait à s'autoriser à remettre en question non seulement le packaging des composants de puissance mais également la structure même de ceux-ci, le compromis idéal pouvant logiquement apparaître si des efforts étaient faits des deux cotés du problème. Fort d'un accès aux technologies de fabrication des composants de puissance et fort d'une connaissance système multi-physiques importante, il devenait possible d'imaginer également de modifier et/ou adapter le composant de puissance, non pas dans sa structure fonctionnelle interne, semi-conductrice, mais plutôt au niveau de ses interfaces avec son environnements, que les échanges aux interfaces soient électriques, thermiques ou encore mécaniques. Les travaux concernant le nouveau concept de packaging des composants de puissance nommé Power Chip-on-Chip (PCoC) avaient clairement fait apparaître tout l'intérêt de l'empilement 3D des puces de puissance constituant les cellules de commutation des convertisseurs statiques mais ils avaient aussi fait ressortir deux problématiques essentielles :

- quelles finitions de surface les composants doivent avoir pour favoriser l'empilement des puces, intercalées entre les terminaux de puissance du convertisseur ?
- comment évacuer la chaleur produite par les puces situées au milieu de l'empilement ?

Ce travail de thèse se situe précisément dans ce contexte et a pour objectif d'offrir une ou des réponses à ces nouvelles questions. C'est un travail à la frontière de l'état de l'art en électronique de puissance qui marie nouveaux concepts, matériaux et technologies. Il est focalisé sur la conception couplée composant-package de puissance, remettant en cause la finition aux interfaces du composant de puissance et créant, en son sein de nouvelles interfaces et de nouveaux chemins de propagations des grandeurs physiques.

Le premier chapitre de la thèse s'attachera avant tout à mieux formaliser et mieux positionner la problématique. Nous verrons avec plus de détails ce qu'est le rôle d'un module de puissance, ses principales caractéristiques et enfin ses limitations. Nous verrons alors comment l'intégration 3D a modifié la vision du concepteur tant au niveau des interconnexions électriques, qu'au niveau des moyens de refroidissement pouvant être mis en place. Sur la base de ces analyses, nous présenterons l'approche explorée dans le cadre de la thèse visant à découpler, pour mieux les optimiser, les chemins suivis par l'énergie électrique et l'énergie thermique. Le concept nommé DRIM Cooler pour Drift Region Integrated Micro Channel Cooler sera alors présenté.

Une telle approche reposant sur la réalisation de composants de puissance avec refroidisseur intégré, le second chapitre sera consacré à l'introduction et la présentation du travail technologique qu'il fut nécessaire de mettre en place pour développer un tel concept. La prise en main de la filière de puissance et son évolution pour intégrer les étapes critiques à la nouvelle approche seront présentées. Les difficultés liées à la mise au point d'un procédé permettant de

réaliser le composant spécifique seront abordées. Des solutions pragmatiques seront proposées pour non seulement fabriquer les composants mais également rendre fonctionnelles les différentes évolutions proposées dans le premier chapitre.

La thèse étant orientée sur deux volets l'un électrique et l'autre plus thermique, le troisième chapitre sera consacré au premier des deux points laissant au quatrième et dernier chapitre le soin de présenter puis conclure sur les aspects thermiques de l'approche.

Au niveau électrique, l'enjeu du troisième chapitre sera de présenter la pertinence de l'approche d'un point de vue fonctionnel, l'objectif étant de décrire le développement d'une technique de terminaison en tension verticale à même de faciliter la mise en œuvre en 3D des composants de puissance mais également de rendre possible l'intégration de canaux au sein même du composant de puissance. Appuyé par des simulations numériques, des validations expérimentales et des mises en œuvre concrètes, ce troisième chapitre permettra au lecteur de peser les atouts et les contraintes du concept développé dans la thèse.

Le quatrième chapitre sera focalisé sur la modélisation et la caractérisation du dispositif avec refroidisseur intégré dans le composant de puissance. Appuyé d'une part sur des travaux de simulations numériques puis sur des travaux de caractérisations pratiques, le lecteur pourra mieux appréhender l'enjeu fonctionnel recherché durant ce travail de thèse. D'une part l'intégration du refroidisseur au sein même de la zone active du composant de puissance permet de limiter les interfaces entre le lieu des pertes et le fluide caloporteur, offrant un maximum de performances thermiques au système, mais également, une telle approche permet d'envisager le découplage des chemins électriques et thermiques et l'optimisation des gradients de température à la surface de la puce. Les limitations du concept seront également développées dans ce dernier chapitre pour donner au lecteur une vision claire et transparente de celui-ci.

Chapitre I. Le packaging et le refroidissement en électronique de puissance

Sommaire :

1.	Introduction	21
2.	Packaging des modules de puissance actuels.....	22
2.1.	Packages 2D.....	22
2.2.	Packages 3D.....	24
3.	Solution innovante du composant à tenue en tension verticale adapté à son package.....	29
3.1.	Tenue en tension périphérique des composants de puissance.....	29
3.2.	Le concept des terminaisons en tension verticales.....	33
3.3.	Terminaisons planar versus terminaisons verticales pour une mise en œuvre 3D.....	33
3.4.	Evolution et mise à profit de l'approche - puces muticomposants de puissance.....	38
4.	Les techniques de refroidissement en électronique.....	39
4.1.	Mécanismes de transfert de chaleur.....	40
4.2.	Refroidissement des modules de puissance.....	41
4.3.	Refroidissement direct	43
4.4.	Conclusion.....	48
5.	Solution innovante du refroidisseur intégré dans le composant.....	48
5.1.	Présentation du concept.....	49
5.2.	Structure du composant de puissance avec DRIM Cooler.....	50
5.3.	Choix du fluide diélectrique.....	51
5.4.	Analyse des performances des composants avec DRIM Cooler.....	54
5.5.	Analyse des contraintes des composants avec DRIM Cooler.....	59
5.6.	Perspectives conceptuelles.....	62
6.	Conclusion.....	63

1. Introduction

L'électronique de puissance est un domaine en croissance constante avec des demandes exigeantes concernant la gestion de l'énergie électrique avec le meilleur rendement, en proposant en permanence des solutions plus performantes, moins volumineuses et plus fiables, et tout cela à des coûts réduits. Ces ambitions constituent les principales motivations des développements technologiques visant à fabriquer des composants plus petits et plus puissants, augmentant le niveau des densités de pertes à évacuer. Ainsi, la gestion des contraintes thermiques et le choix d'un refroidissement efficace des modules ayant des densités de puissance élevées sont devenus des enjeux majeurs pour les électroniciens de puissance. Néanmoins, les systèmes de refroidissement proposés et utilisés aujourd'hui restent très traditionnels et leurs performances sont fortement conditionnées par la constitution du module.

Aujourd'hui les modules les plus « matures » et largement employés sont les modules « planaires » ou 2D dont la limitation la plus importante provient du fait que le refroidissement des composants ne peut être effectué que sur une seule face. Des solutions alternatives, motivées par le désir d'exploiter les deux faces du composant de puissance pour assurer son refroidissement, sont proposées avec les modules 3D. Toutefois, de nombreux verrous s'opposent à cette évolution naturelle comme par exemple le besoin d'adapter les matériaux fonctionnels ou d'interfaces utilisés, que ce soit au niveau des propriétés électriques, thermiques, mécaniques, thermomécaniques, ou encore le besoin de développer de nouvelles techniques de prise en contact avec la face avant du composant. Au delà de ces approches, on peut citer aussi le travail au niveau de la puce elle-même afin de « l'adapter » au package prévu. C'est dans ce contexte que se situe ce travail de thèse. En effet, celui-ci s'inscrit dans une optique globale d'optimisation, d'adaptation et « d'évolution » du composant de puissance pouvant aller jusqu'à remettre en cause sa propre structure. La première solution innovante que nous proposons consiste à revoir l'agencement du composant en face avant pour simplifier sa mise en œuvre dans les assemblages 3D ce qui permet d'améliorer ses performances et son vieillissement. Une deuxième approche nous a mené vers une autre solution innovante permettant d'assurer un excellent refroidissement de la puce de puissance.

Aujourd'hui la conception des puces, de leurs packages et de leurs systèmes de refroidissement est faite séquentiellement et leurs études sont donc traitées indépendamment. Avec ces travaux de recherche nous proposons une approche couplée puce/package/refroidissement associé visant à optimiser la mise en œuvre des composants de puissance dans un package 3D tout en prenant en compte simultanément les contraintes thermiques et CEM.

Dans ce chapitre nous allons d'abord présenter la conception des modules 2D et 3D afin d'introduire l'approche couplée de dimensionnement du composant de puissance et de son package. Le concept que nous proposons repose sur une technique de terminaison en tension de type tranchées profondes verticales réalisées en périphérie du composant permettant de modifier la répartition des potentiels en face avant de celui-ci afin de favoriser la mise en œuvre des prises de contact massives en face avant de la puce. Nous allons aussi présenter les degrés de liberté supplémentaires offerts par ce concept vis-à-vis de l'assemblage et des interconnexions de plusieurs composants dans le même substrat en silicium à l'échelle du wafer. Ensuite nous présenterons les principaux systèmes conventionnels de refroidissement associés aux modules de puissance en essayant de nous focaliser sur leurs forces et leurs faiblesses. Cette présentation nous permettra ensuite d'introduire le concept innovant de la puce intégrant une structure de refroidissement. Tout les intérêts de la démarche en termes de gain, de découplage des chemins de propagation thermique et électrique, de capacité de refroidissement, de densité d'intégration, de degrés de liberté vis-à-vis de la conception du refroidisseur et de nouvelles perspectives pour

l'assemblage des modules et des architectures en l'électronique de puissance seront aussi présentés et discutés.

2. Packaging des modules de puissance actuels

Le package des composants actifs de puissance a de multiples fonctions [BUT10]. Il doit permettre :

- les interconnexions électriques entre le ou les composants (dans le cas où plusieurs composants sont montés dans le même module) et le circuit extérieur,
- l'évacuation de la chaleur hors du module lorsque le ou les composants sont en fonctionnement,
- la tenue mécanique et la protection de l'ensemble,
- l'isolation électrique interne et externe.
- une connectique aussi peu inductive que possible, des couplages électrostatiques et électromagnétiques les plus faibles possible.

Tous les packages doivent répondre à ces exigences. Toutefois, le choix du package optimal pour une application donnée est une étape cruciale puisqu'il va fortement influencer le comportement électrique, thermique ainsi que la fiabilité du composant ou du module.

2.1. Packages 2D

Les packages 2D sont aujourd'hui les plus utilisés dans les applications électroniques. Ce type de package, appelé aussi packaging planaire, consiste à reporter la ou les puces sur un empilement composé de plusieurs couches de matériaux différents (conducteurs et isolants électriques) que l'on appelle substrat (figure I.1.). Différents types de substrats isolés sont utilisés en électronique de puissance – il s'agit par exemple des SMI (substrats métalliques isolés), des substrats DBC (Direct Bonded Copper) et AMB (Active Metal Brazed) [MEN10]. Même si les technologies sont différentes, le rôle du substrat dans le module est toujours le même - le substrat assure les connections électriques des composants, la tenue mécanique et fournit les moyens pour l'assemblage avec le système de refroidissement. Sur l'exemple de la figure I.1., la face arrière du substrat est brasée sur une semelle (spreader) qui assure l'épanouissement du flux de chaleur pour favoriser l'évacuation des pertes et qui est elle-même fixée sur un dissipateur thermique.

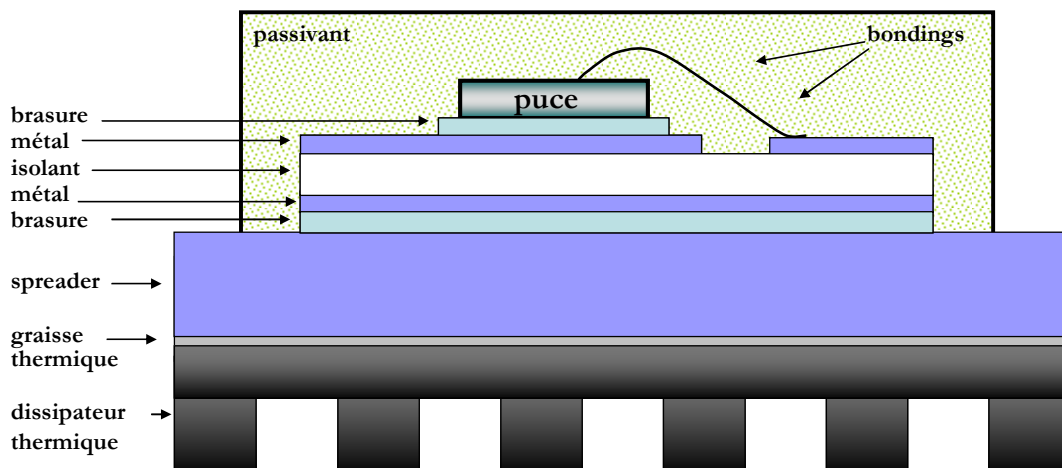


Fig. I.1. - Vue schématique d'un module de puissance 2D.

Les connections électriques en face avant de la puce sont réalisées par des fils de bonding tandis que les connections en face arrière sont assurées par des brasures sur le substrat. Ainsi, le refroidissement du module ne peut être réalisé que sur une seule face puisque la présence des fils

de bonding ne permet pas d'utiliser la face avant des puces pour améliorer les échanges thermiques.

- Intérêts de l'assemblage 2D

Aujourd'hui, l'assemblage 2D (figure II.2.) domine le marché couvrant une gamme de puissances allant de quelques centaines de W à quelques MW. De fait, la technologie est bien connue et maîtrisée. La production massive de ces modules a ainsi atteint un niveau de maturité et même de standardisation [IEC99].

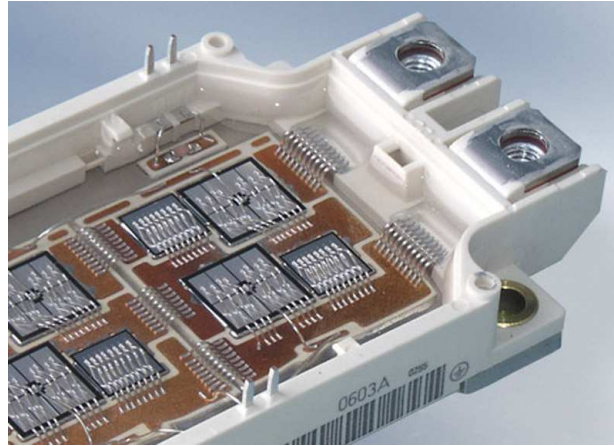


Fig. I.2. - Exemple d'un module de puissance 2D [INF11].

Un autre point fort des packages 2D est la possibilité d'insérer le module directement au niveau du bus barre qui relie directement les transistors et les diodes de puissance aux condensateurs de découplage (figure I.3.). Cela permet de réduire les inductances parasites du câblage et d'améliorer significativement la structure du module d'un point de vue électromagnétique.

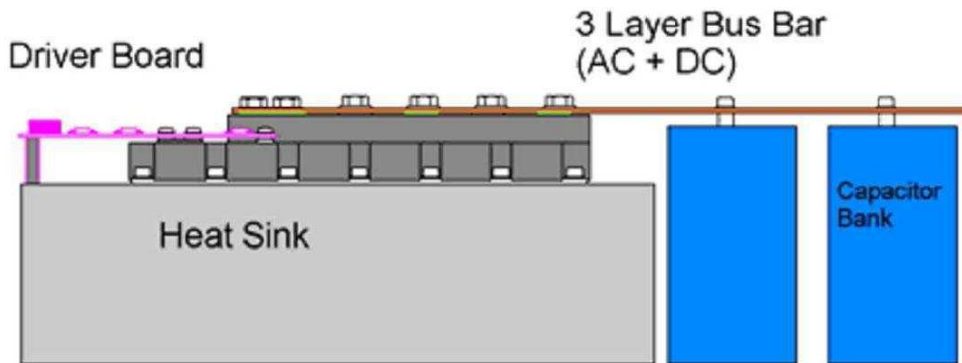


Fig. I.3. - Module de puissance 2D associé à un bus barre [SCH05].

- Limites de l'assemblage 2D

La technologie 2D présente plusieurs points limitant ses performances. Comme nous l'avons déjà mentionné, ce type d'assemblage constitue un ensemble de plusieurs matériaux comme le cuivre, la céramique, l'aluminium et le silicium ayant des coefficients de dilatation (CTE) assez différents. Ils subissent ainsi de forts stress et de fortes déformations pendant les cyclages thermiques. Ces contraintes thermomécaniques peuvent causer des fissures et des délaminages dans les brasures [MEN10] ou le substrat. Elles sont aussi la cause du décollement ou de la rupture des fils de bonding. Les variations brusques de température et les cyclages thermiques limitent la durée de vie et les performances de ce type de modules de puissance.

D'un point de vue électrique la limitation des packages 2D est due en particulier à leur susceptibilité aux contraintes électromagnétiques. En effet, les fils de bonding, les lyres de puissance et les pistes en cuivre du substrat induisent des inductances parasites de câblage qui provoquent des surtensions au niveau des interrupteurs lors des commutations. Cela peut aussi avoir comme effet de perturber le signal de commande de ces interrupteurs de puissance et de modifier les dynamiques de commutation. Ceci provoque en conséquence l'augmentation des pertes par commutation ce qui vient limiter la fréquence de découpage [MEN08]. Afin de réduire le caractère inductif de la maille de commutation, les puces doivent être placées au plus près les unes des autres ce qui induit une nouvelle contrainte pour le refroidissement du module qui d'autre part exige que les puces soient éloignées les unes des autres afin de pouvoir extraire plus facilement les calories produites lors de leur fonctionnement. Par conséquent pour chaque design d'un package 2D un compromis vis-à-vis des contraintes CEM/thermique doit être trouvé afin de garantir les performances désirées du module.

D'un point de vue thermique, la présence des fils de bonding en face avant de la puce de puissance signifie que l'extraction des calories ne peut être réalisée que par la face arrière qui sert à la fois au passage du courant et du flux de chaleur. Un tel couplage induit des contraintes au niveau électro-thermique qui imposent la réalisation d'un bon contact électrique et thermique sur la face arrière de la puce. Or, une comparaison de l'influence des résistances thermique et électrique de contact puce/substrat montre que la résistance thermique est la plus contraignante [VAG10]. Si le contact n'est pas bon, les performances thermiques du module sont mauvaises ce qui conduit à un déclassement important au niveau électrique car le pouvoir de dissipation est trop faible. Une approche qui propose le découplage des chemins de propagation électrique et thermique peut donc s'avérer particulièrement intéressante en ouvrant la voie vers de nouvelles structures d'assemblage des composants de puissance. Ce concept sera présenté plus loin dans ce chapitre.

Enfin, pour améliorer le refroidissement et la signature électromagnétique des modules de puissance, il paraît évident que l'une des pistes importantes consiste à revisiter la prise de contact en face avant des puces en passant d'une intégration 2D à une intégration 3D. Le paragraphe suivant est dédié à la description des modules 3D et à l'adaptabilité des puces de puissance afin de permettre un tel assemblage.

2.2. Packages 3D

Dans le but d'obtenir des modules de puissance compacts avec une densité de puissance élevée tout en ayant une température de fonctionnement raisonnable, l'évolution naturelle des modules de puissance consiste en une approche tridimensionnelle (3D) qui permet d'améliorer les performances électromagnétiques mais aussi les échanges thermiques en utilisant la face avant des puces pour assurer un refroidissement double face.

La figure I.4. montre le principe de l'assemblage 3D qui consiste à réaliser le même empilement brasure, substrat, système de refroidissement que celui utilisé dans les packages 2D mais cette fois sur les deux faces du composant de puissance.

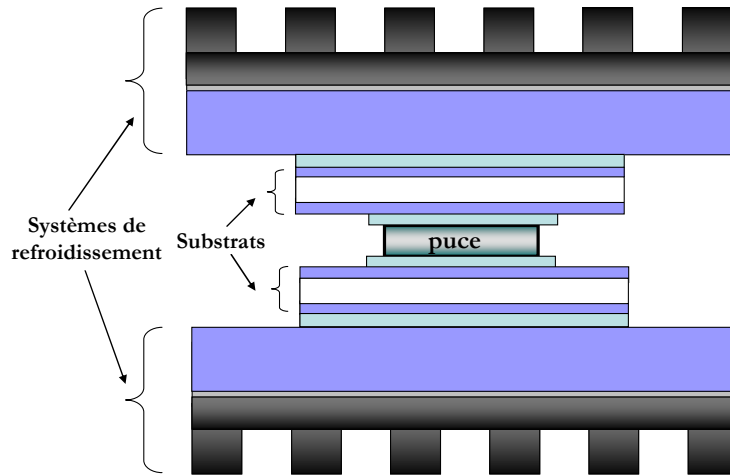


Fig. I.4. - Vue schématique d'un module de puissance 3D.

Une telle configuration de prise en sandwich de la puce entre deux substrats permet d'améliorer significativement le refroidissement du module en favorisant l'extraction de la chaleur à travers une surface d'échange plus élevée que dans le cas des modules 2D. L'autre bénéfice des structures 3D est la réduction de l'inductance parasite issue des interconnexions entre les composants grâce à la suppression des fils de bonding en face avant des puces et la réduction de la taille des mailles de commutation.

Afin de permettre l'assemblage des puces de puissance dans un package 3D, plusieurs familles d'interconnexions en face avant des puces ont été développées – contacts brasés, pressés, par ressorts, etc...Celles-ci sont très bien décrites dans la thèse de Ludovic Menager [MEN08] et dans [MEN10], et nous n'allons donc pas aborder ce point en détails. Ce que nous retiendrons c'est que dans tous les cas un traitement supplémentaire de la puce de puissance est obligatoire afin de l'adapter au package 3D prévu et de permettre la réalisation des interconnexions en face avant. Les zones d'interconnexion des composants de puissance sont métallisées en fonction de la technique de prise de contact. La plupart des composants de puissance produits industriellement aujourd'hui sont optimisés et fabriqués avec des finitions d'aluminium de faibles épaisseurs qui sont particulièrement adaptées aux interconnexions par fils d'aluminium. Toutefois, la métallisation d'aluminium ne permet pas la brasure directe et, dans le cas où l'on veut réaliser un contact brasé, la métallisation en face avant de la puce doit subir des étapes technologiques supplémentaires afin de la recouvrir avec d'autres métaux (Under Bump Metallisation) compatibles avec la brasure. En ce qui concerne les contacts pressés et par ressorts, la métallisation des puces doit être de plus forte épaisseur pour garantir une équipotentielle de qualité afin de ne pas altérer la distribution du courant à la surface du composant de puissance. Le métal et son épaisseur sont également optimisés pour "encaisser" la rugosité de surface des conducteurs électriques. Enfin, mentionnons seulement que d'autres travaux académiques sont aujourd'hui menés visant de faciliter les assemblages 3D comme par exemple la technologie nanoscratch, développée au laboratoire LAPLACE, en France, permettant de faire le report et l'interconnexion d'un composant de puissance grâce à la présence de nanopoteaux de cuivre sur le substrat et sur la puce [LUA08].

Ainsi, une optimisation couplée du composant de puissance et de son package est nécessaire afin d'obtenir un optimum global satisfaisant. Cela concerne les interconnexions mais aussi les géométries en face avant des puces qui peuvent être plus ou moins complexes. Pour illustrer cet aspect la figure I.5. montre un exemple de la géométrie d'un IGBT Infineon de référence SIGC121T60NR2C 600V /150 A [INF03] dimensions 11*11mm, utilisé dans un assemblage 3D durant les travaux de thèse de Eric Vagnon [VAG10].

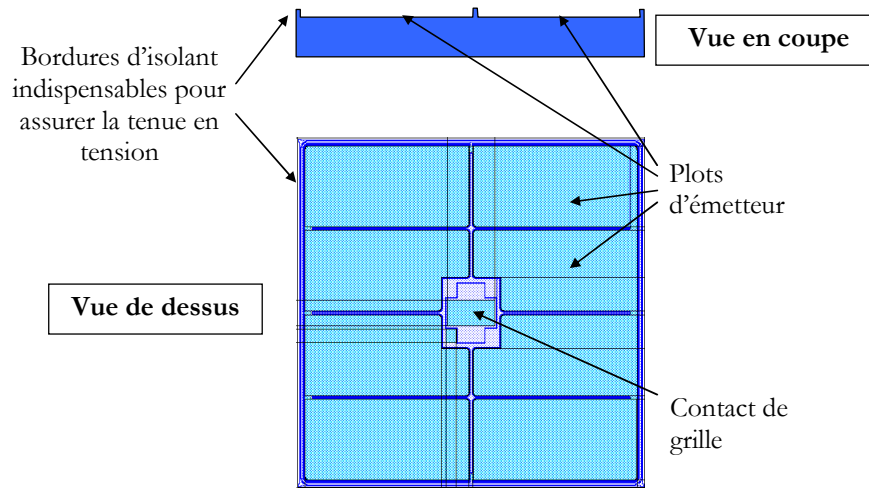


Fig. I.5. - Vue de dessus et vue en coupe d'un IGBT Infineon SIGC121T60NR2C 600V/150A [INF03].

Dans cet exemple, la face avant (vue de dessus) est composée de 8 plots de contact d'émetteur et d'un plot de contact de grille. L'isolant situé à la périphérie du composant et délimitant les plots de contact est en relief par rapport aux métallisations. Cette structuration, favorable au placement de fils d'aluminium, est très peu adaptée à celle d'une brasure massive qui offrirait une surface d'échange importante. Ainsi, la mise en œuvre de ce type de composant dans un empilement 3D est complexe à plusieurs titres [VAG10]. Il est clair qu'une optimisation de la géométrie (réalisation d'un seul plot d'émetteur et positionnement du contact de grille en bordure de la puce) est nécessaire pour simplifier la prise de contact en face avant. Le relief de l'isolant qui recouvre, en périphérie, les terminaisons en tension, indispensables pour assurer la tenue en tension du composant, ne facilite non plus les interconnexions 3D. Les terminaisons sont dans ce cas de type planar - adaptées à la connectique par wire bonding sur la face avant mais assez contraignantes pour une intégration 3D des semi-conducteurs de puissance. En effet, la distribution des équipotentielles, induite par les terminaisons planar, ne doit pas être perturbée par la présence de conducteurs à proximité de celles-ci. Ainsi dans le cas des assemblages et interconnexions 3D avec des conducteurs massifs, afin de ne pas dégrader la tenue en tension du semi-conducteur, la distance entre le conducteur et la zone périphérique de la puce doit être ajustée. Des solutions à cette problématique sont proposées par les technologies d'interconnexion basées sur l'insertion d'une couche supplémentaire entre la puce et le substrat supérieur comme les techniques de prise de contacts par métallisations électrodéposées par exemple [WYK05] qui consistent à recouvrir les métallisations (en général en aluminium) des puces avec des métallisations en cuivre électrodéposé. Nous pouvons encore citer ici les technologies *Metal Post Interconnection* [CAT05] basée sur la brasure de poteaux de cuivre entre la puce et le substrat, *Metal Bump Interconnection* [MER06] basée sur la brasure de cylindres de cuivre entre la puce et le substrat (figure I.6.), *Solder Bump Interconnection* [RIN97] qui repose sur l'insertion de billes de brasure entre la puce et le substrat. D'autres travaux académiques sont aujourd'hui menés dans le but d'adapter la métallisation en face avant des composants de puissance afin de faciliter la prise de contact 3D. Citons par exemple la technologie des micropoteaux de cuivre (figure I.7.) développée en France au laboratoire AMPERE permettant, comme les bumps, de surélever les contacts électriques afin de permettre un assemblage plus aisé [MEN08]. Ces techniques se différencient principalement par le développement d'étapes "packaging" à l'échelle du wafer et par la mise en place de procédés collectifs spécifiques et adaptés.

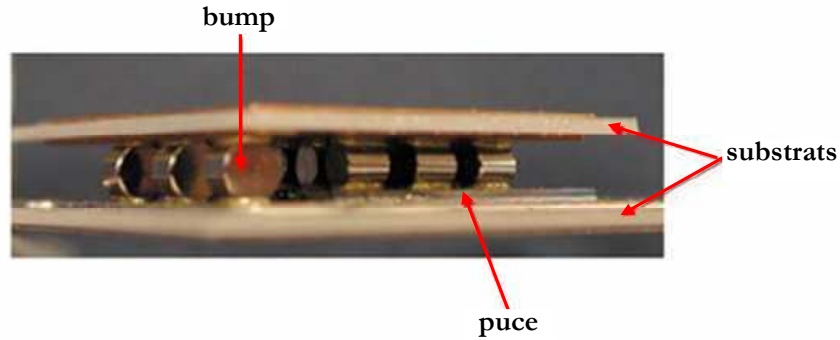


Fig. I.6. - Vue schématique de la technologie d'interconnexion 3D *Metal Bump Interconnection* [MER06].

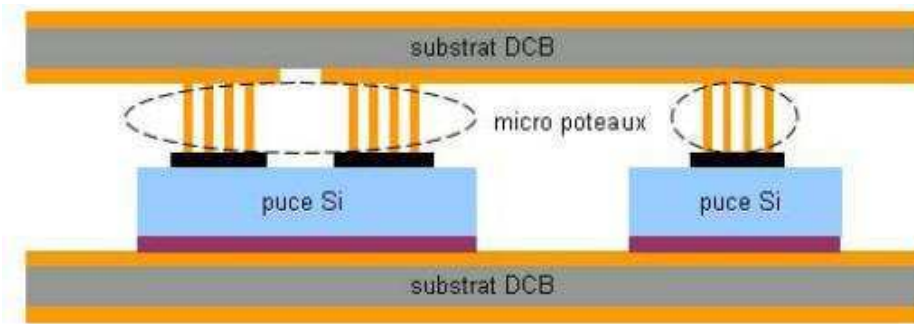


Fig. I.7. - Vue schématique de la technologie d'interconnexion 3D basée sur des *micro poteaux de cuivre* [MEN08].

Une autre piste prometteuse qui permet la prise de contact massive en surface des composants semi-conducteurs sans que cela affecte leur tenue en tension est d'aller encore plus loin dans la modification et l'adaptation de la face avant de la puce en remplaçant les terminaisons planar par des terminaisons plus appropriées aux interconnexions 3D. Ce concept sera présenté plus loin dans ce chapitre.

- Le module Power Chip-on-Chip (PCoC)

Comme nous l'avons déjà mentionné, l'utilisation de la troisième dimension dans la conception et la réalisation des modules de puissance permet un refroidissement double face des composants de puissance mais offre aussi un gain important en terme de comportement électromagnétique grâce au remplacement des fils de bonding en face avant par des interconnexions 3D. Toutefois, il a été démontré [VAG10] que ce ne sont pas les fils de bondings qui sont responsables de la plus grande valeur de l'inductance parasite de la maille de commutation mais les lyres de connexion avec le bus barre. Le laboratoire G2Elab contribue depuis quelques années à l'effort de mise en œuvre plus performante des composants semi-conducteurs de puissance en proposant des topologies originales qui donnent une nouvelle vision de la gestion de l'environnement électro-thermo-mécanique (ETM). Dans ce cadre, le concept Power Chip-on-Chip (PCoC) a été proposé et validé durant les travaux de thèse de Eric Vagnon [VAG10]. Ce concept innovant concerne la réalisation d'un module de puissance compact dans lequel la troisième dimension est utilisée pour placer les puces de puissance les unes sur les autres. L'empilement des électrodes et des puces est tel que l'assemblage peut être inséré au plus près voire dans le bus barre (figure I.8.). Il en résulte un gain important en termes de comportements électrique et électromagnétique. Toutefois, le bénéfice du point de vue thermique d'une structure PCoC par rapport aux modules 3D classiques est moindre. Le refroidissement double face redevient limité à une seule face lorsque deux puces sont empilées l'une sur l'autre pour former une cellule de commutation idéale du point de vue électromagnétique comme représenté sur la

figure I.8. Ainsi, un concept innovant du refroidissement direct, au plus près des composants de puissance, trouvera une application très originale dans ce type d'assemblage d'empilement des puces de puissance. Le résultat sera optimal d'un point de vue CEM et thermique également. Ce concept sera présenté plus loin dans ce chapitre.

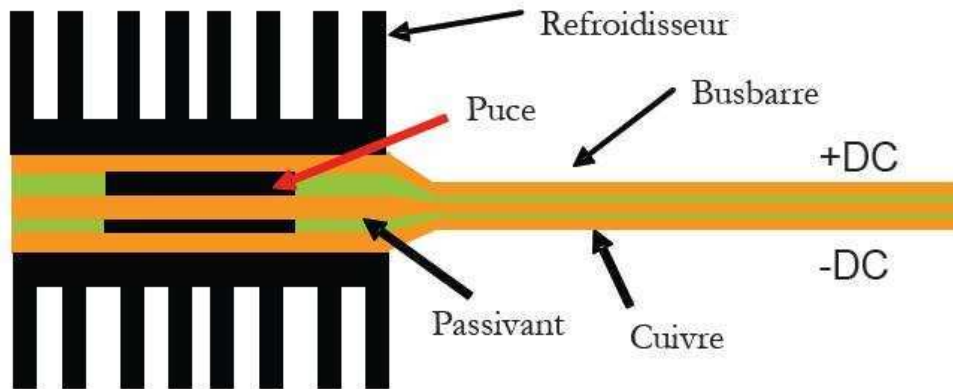


Fig. I.8. - Vue schématique du concept PCoC – une cellule de commutation au plus près du bus barre [VAG10].

L'application du concept Power Chip-on-Chip pour la réalisation d'une cellule de commutation est représentée sur la figure I.9. La technologie de réalisation des interconnexions de l'empilement des électrodes et des puces est dans cet exemple de type contact pressé - la prise de contact des deux faces du composant est effectuée par pression de plaques massives en métal.

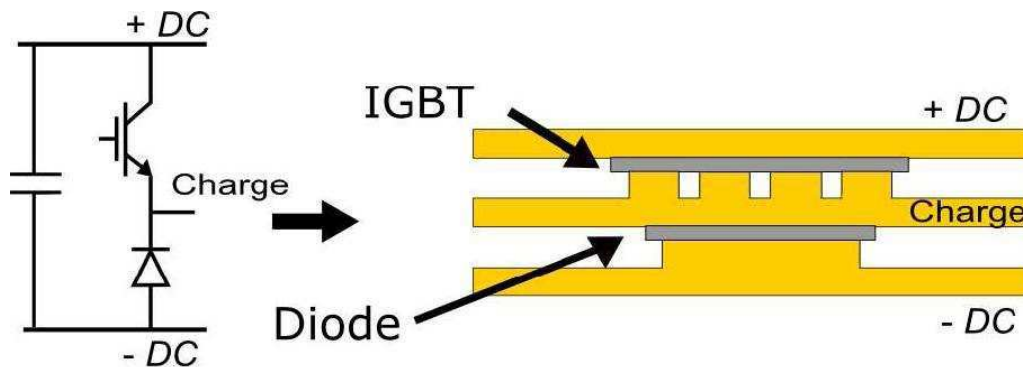


Fig. I.9. - Cellule de commutation suivant le concept PCoC [VAG10].

Afin de simplifier la mise en œuvre, un des objectifs recherchés avec le concept PCoC consiste à réduire la force de serrage nécessaire pour la réalisation de l'assemblage Chip-on-Chip par rapport à un boîtier Press-Pack classique. Il a été démontré durant les travaux de recherche de Eric Vagnon que pour une faible force de serrage (1kN) le contact réalisé est de bonne qualité. Un autre point fort du concept PCoC est le gain important, en terme de comportement électromagnétique, qui est d'autant plus élevé que la distance entre les électrodes est petite et donc dépend de la hauteur finale de l'assemblage. Toutefois, comme nous l'avons mentionné, une distance minimale entre la surface de la puce et l'électrode doit être respectée afin de ne pas affecter la tenue en tension du composant. On se retrouve ainsi de nouveau face à la problématique de l'adaptabilité des puces de puissance produites aujourd'hui et leur mise en œuvre dans des assemblages originales et innovantes.

Le paragraphe suivant sera dédié à la description de la solution que nous avons étudiée, analysée puis testée durant ces travaux de thèse afin de simplifier la mise en œuvre des composants de puissance à structure verticale dans les packages 3D.

3. Solution innovante du composant à tenue en tension verticale adapté à son package

Nous avons vu dans le paragraphe précédent que les packages 3D reposent sur des connexions sur les deux faces du composant de puissance ce qui permet d'optimiser le comportement électromagnétique du module. Dans ce cas, la prise de contact sur les deux faces du composant est effectuée par des plaques "larges" en métal. Toutefois, la plupart des composants produits industriellement aujourd'hui comportent des terminaisons en tension périphériques de type planar qui ne sont pas adaptées à de telles interconnexions. La distribution des équipotentielles, induite par les terminaisons planar, ne doit pas être perturbée par la présence de conducteurs à proximité de celles-ci afin de ne pas pénaliser le fonctionnement électrique du composant. Ainsi, la zone de contact en face avant doit être éloignée de la zone périphérique. Une autre manière d'aborder cette problématique consiste en une approche couplée de la conception et de la réalisation du composant de puissance et de son package afin de pouvoir optimiser l'ensemble. Ainsi, si l'on souhaite insérer le composant de puissance entre deux plaques conductrices faisant office de bus barre et débordant du périmètre du ou des composants de puissance, il devient nécessaire de revoir le mode de gestion des périphéries de jonction des composants de puissance à structure verticale afin de maintenir optimale et minimale la distance inter conducteurs du bus barre.

3.1 Tenue en tension périphérique des composants de puissance

Deux contraintes principales apparaissent à la périphérie des jonctions des semi-conducteurs de puissance et nécessitent des précautions particulières afin de garantir la tenue en tension optimale des structures physiques [ARN92, LEF04]. La première est liée aux effets de bords et aux défauts cristallins en surface et au niveau des chemins de découpes qui peuvent réduire la tenue en tension du dispositif si l'intensité du champ électrique n'est pas significativement réduit et si une passivation adéquate n'est pas réalisée. La deuxième contrainte concerne la courbure des équipotentielles de la jonction polarisée en inverse qui peut entraîner le claquage prématuré du composant pour une tension plus faible que la tension optimale de la jonction plane équivalente. De nombreuses solutions technologiques qui permettent de contrôler ce claquage en surface existent [ARN92, LEF04, BAL08]. Elles sont toutes basées sur le principe de l'étalement de la zone de charge d'espace en périphérie de la jonction polarisée en inverse afin de distribuer le potentiel sur une plus grande surface de silicium et ainsi de réduire la valeur du champ électrique en surface et dans le volume du silicium sous la surface et en périphérie de la jonction (régions de courbures 2D ou 3D). Les technologies de tenue en tension périphérique peuvent être divisées en deux grandes familles – les technologies planar (anneaux de garde, passivation seule, jonctions implantées, électrode de champ, techniques RESURF, etc.) qui concernent les jonctions réalisées avec masque et les technologies qui concernent les jonctions réalisées sans masque (terminaisons en biseau, méso, etc.).

- **Terminaisons en tension des jonctions réalisées avec masque**

L'émergence de technologies de terminaisons en tension périphériques de type planar a permis de réduire le coût de fabrication des composants tout en simplifiant leur réalisation et en se rapprochant efficacement de la tenue en tension optimale.

Toutes les solutions technologiques planar, dont certaines ont déjà été citées plus haut, sont très bien décrites dans [ARN92, LEF04, BAL08, LET00]. Nous ne ferons donc pas une description exhaustive de leurs principes. Nous allons seulement présenter le principe des anneaux de garde puisque c'est la technologie la plus répandue. Elle nous servira de point de comparaison avec la technique de terminaisons du composant adapté à son package que nous allons proposer par la suite.

La technique des anneaux de garde ou anneaux flottants est l'une des plus anciennes [KAO67]. Le principe de cette technique est basé sur la réalisation d'un ou plusieurs anneaux, réalisés en même temps que la diffusion centrale des cellules de MOS ou IGBT, entourant la jonction principale. La figure. I.10. représente l'application de la technique des anneaux de garde pour une diode PIN.

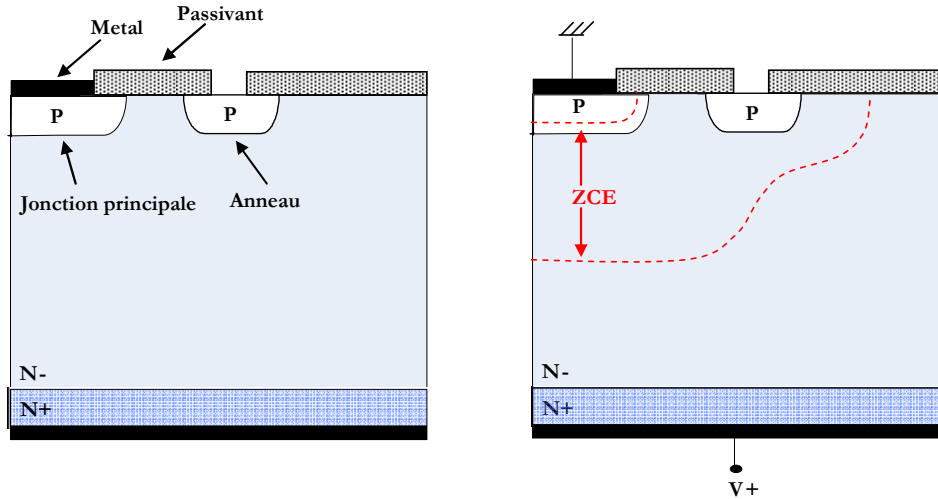


Fig. I.10. - Terminaisons planar- anneaux de garde [LEF04].

Lorsque la jonction principale est polarisée en inverse la zone de charge d'espace (ZCE) qui se développe au sein de la structure rencontre l'anneau, fortement dopé, ce qui allonge la courbure des équipotentielles. Cela a comme effet de réduire le champ électrique en surface du composant en lui permettant de cette manière de « tenir » la tension optimale pour laquelle le composant a été dimensionné. Le nombre d'anneaux est d'autant plus grand que la tension de claquage est élevée. Les inter distances entre la jonction principale et le premier anneau puis entre les anneaux sont aussi des paramètres qui doivent être soigneusement dimensionnés afin de garantir les performances recherchées.

Enfin, ce que nous devons encore une fois souligner c'est que la technique de terminaison périphérique est un des facteurs qui conditionne beaucoup la mise en œuvre des composants dans les modules de puissance. Comme nous l'avons dit, les terminaisons planar sont adaptées aux interconnexions de type wire bondings mais sont très contraignantes pour la réalisation des interconnexions 3D. D'une part la présence d'un conducteur en proximité de la surface du composant de puissance risque de modifier la distribution des équipotentielles et d'affecter la tenue en tension du composant. D'autre part toutes les techniques de terminaisons de jonctions réalisées avec masque nécessitent le dépôt d'une couche de passivation en surface du composant comme représenté sur la figure I.11. Cette couche constitue la surépaisseur d'isolant qui complexifie la réalisation d'interconnexions 3D, comme nous l'avons déjà évoqué dans le paragraphe 2.2.

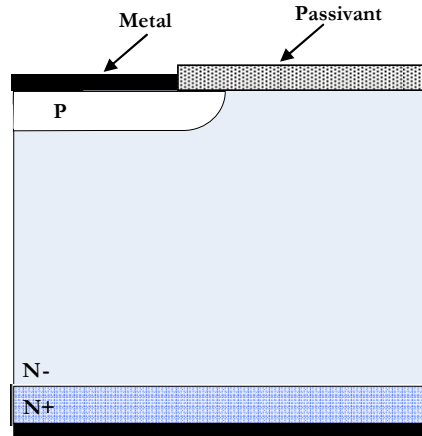


Fig. I.11. - Jonction réalisée avec masque pour une diode PIN [LEF04].

- **Terminaisons en tension des jonctions réalisées sans masque**

Les terminaisons de type « mesa » ou biseautées sont connues de longue date et leur utilisation est aujourd'hui réservée pour les dispositifs de très forte puissance (diodes de redressement et thyristors principalement) [BAL08, LET00]. Un intérêt considérable est porté ces derniers temps envers cette technologie de terminaisons en tension puisqu'elle s'avère être très adaptée aux composants grand gap en carbure de silicium [ZHA10, WOL06].

Le principe de cette technique (figure I.12.) consiste en la réalisation d'une découpe appropriée sur les bords du substrat semi-conducteur. La réalisation des terminaisons en biseau est basée sur des moyens mécaniques (sablage, ultrasons, etc) tandis que les terminaisons mesa sont basées sur des procédés de sillonnage suivis d'attaque chimique. Aujourd'hui, le développement des procédés technologiques de gravure sèche de silicium DRIE (pour Deep Reactive Ion Etching) permet la gravure de motifs avec grand facteur de forme et cela indépendamment de l'orientation cristalline. Ils sont donc aussi utilisés pour la réalisation de ce type de périphéries en tension que l'on retrouve dans la littérature sous le nom de terminaisons en tranchées profondes (deep trench terminations) [PAR02, PAR03, DRA99, KAM10, THE09]. Le principe reste toujours le même – réduire la composante tangentielle du champ électrique en surface afin de profiter de la tension de claquage de la jonction plane. Un avantage majeur de la technique de terminaisons en tranchées est que la réalisation de ce type de terminaisons périphériques permet une consommation de silicium fortement réduite par rapport aux techniques traditionnelles comme les anneaux de garde – une réduction de 30% de la surface totale du substrat a été démontrée dans les travaux de [PAR03] pour un transistor bipolaire avec tension nominale de 700V et calibre en courant de 4A.

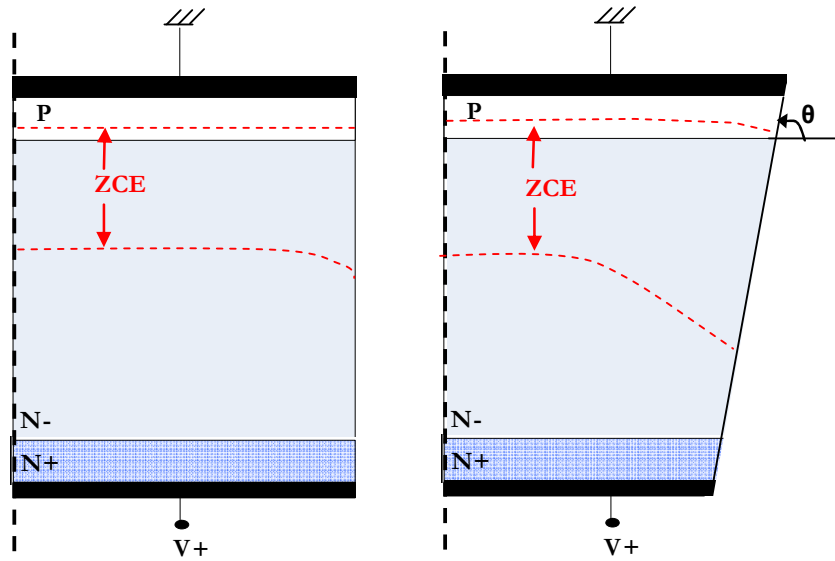


Fig. I.12. - Terminaisons pour jonctions réalisées sans masque.

Un avantage de cette technique de terminaisons vient du choix possible d'un angle θ approprié en périphérie du composant (figure I.12.). Différents angles – positif, négatif, double biseau, etc, chacun présentant ses avantages vis-à-vis de l'application finale, peuvent être réalisés en périphérie des dispositifs. Les mécanismes physiques mis en jeu lors de l'utilisation des différents angles sont décrits dans [BAL08, LEF04, LET00] et nous allons seulement nous intéresser à l'angle de découpe positif puisqu'il s'avère être le plus approprié pour notre application.

L'angle est dit « positif » lorsque la section du composant diminue de la région P vers la région N comme représenté sur la figure I.12. Un tel angle est très favorable pour la tenue en tension du dispositif car il permet de réduire fortement le champ électrique en surface par rapport au champ électrique en volume. La raison pour cela est que pour maintenir l'équilibre de charges positives et négatives de part et d'autre de la jonction PN, suite à la diminution de la section du composant en périphérie, la zone de charge d'espace s'élargit vers les bords du composant en lui permettant de profiter de la tenue en tension optimale pour laquelle le composant a été dimensionné. Dans ce cas, la diminution du champ électrique en surface (E_{max_surf}) par rapport au champ électrique en volume (E_{max_vol}) peut être déterminé suivant la relation suivante:

$$E_{max_surf} = E_{max_vol} \left(\frac{\sin(\theta)}{1 + \cos(\theta)} \right) \quad \text{I.1.}$$

D'après la relation (I.1.) plus l'angle est faible, plus le champ électrique en surface est réduit. Il est démontré dans l'ouvrage [BAL08] que l'angle positif optimal est dans la gamme de 30° à 60° . Les angles plus faibles sont à proscrire puisqu'ils nécessitent une trop grande consommation du silicium.

Néanmoins, nous devons mentionner qu'un paramètre très important lorsqu'on considère ce type de terminaison est la présence d'imperfections le long des parois des tranchées qui peuvent provoquer le claquage prématuré en surface. Ainsi, une attention particulière est portée sur le traitement des parois, la réalisation d'une passivation adéquate et le choix du matériau diélectrique afin de permettre le fonctionnement stable du composant en garantissant sa tenue en tension. La passivation des terminaisons des jonctions réalisées sans masque consiste à remplir complètement la tranchée ou de déposer une fine couche de diélectrique le long de la paroi. Selon la littérature

une large gamme de matériaux diélectriques peut être utilisée dans ce cas - nitrure, oxyde ou PSG (pour Phosphosilicate Glass). Des travaux académiques menés au laboratoire LAAS en France [THE09] montrent que d'autres matériaux présentant de bonnes propriétés comme le polymère BenzoCycloButene (BCB) peuvent être utilisés pour la protection diélectrique des tranchées profondes des composants haute tension.

3.2 Le concept des terminaisons en tension verticales

La mise à profit de la technique de terminaison périphérique des jonctions réalisées sans masque peut simplifier énormément la mise en œuvre des package 3D. Ainsi dans notre approche de conception couplée puce-package, nous avons été inspiré par cette technique afin "d'adapter" le composant pour une mise en œuvre originale et performante. La technique que nous proposons de mettre en place est celle des terminaisons en tension verticales via la création de tranchées profondes en périphérie du composant. Une telle configuration permettra la prise en sandwich du composant entre deux plaques métalliques – comme dans le cas du package PCoC que nous avons présenté dans le paragraphe 2.2. La figure I.13 représente l'application du concept des terminaisons verticales en prenant comme exemple une diode PIN.

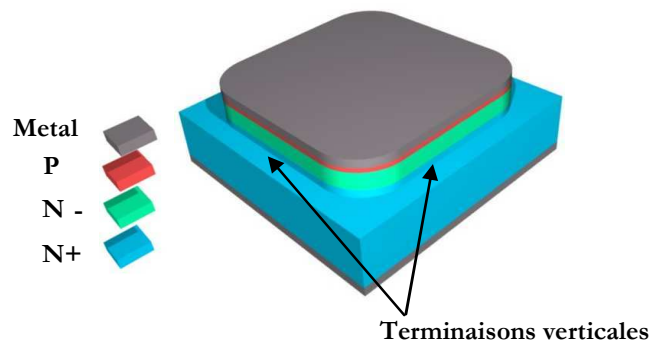


Fig. I.13. - Technique de terminaisons en tension verticales pour une diode de puissance à structure verticale.

La technique de réalisation des tranchées verticales consiste en une étape de gravure ionique réactive profonde (DRIE), jusqu'à l'obtention de la profondeur et de l'angle désirés, complétée par une étape de passivation des tranchées et du composant lui-même. Dans un second point, la finition en surface de la puce, et plus particulièrement la métallisation et ses caractéristiques doivent également être adaptées.

3.3 Terminaisons planar versus terminaisons verticales pour une mise en œuvre 3D

Afin de démontrer l'intérêt de la technique des terminaisons verticales pour une mise en œuvre 3D, nous avons mené une étude basée sur des simulations numériques avec le logiciel Silvaco. L'objectif était d'évaluer les effets de proximité entre la zone de tenue en tension et le conducteur massif. Les résultats qui concernent la technique que nous proposons de mettre en place ont été comparés avec la technique planar la plus répandue, celle des anneaux de garde (figure I.14.).

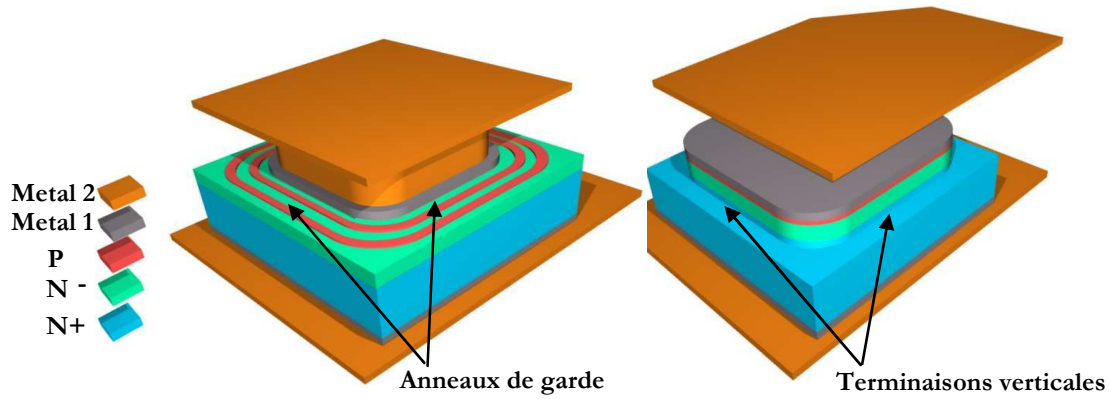


Fig. I.14. - Mise en œuvre 3D d'une diode PIN avec terminaisons en tension verticales et avec anneaux de garde.

Dans le premier cas, la structure simulée correspond à une diode de puissance à structure verticale polarisée en inverse avec une tension de claquage de 700V qui comporte une périphérie en tension de type anneaux de garde et une plaque large en métal de prise de contact en face avant. La distance entre la surface de la puce et la partie inférieure du conducteur est variable, réglée ici par un poteau d'épaisseur variable (figure I.15.). Le matériau diélectrique utilisé dans les simulations a une permittivité diélectrique $\epsilon=3$ afin de représenter le cas du matériau de passivation utilisé plus tard pour la passivation des prototypes fabriqués, c'est-à-dire le gel silicone. Plus de détails sur les paramètres des simulations ainsi que les conditions aux limites sont données dans le chapitre III.

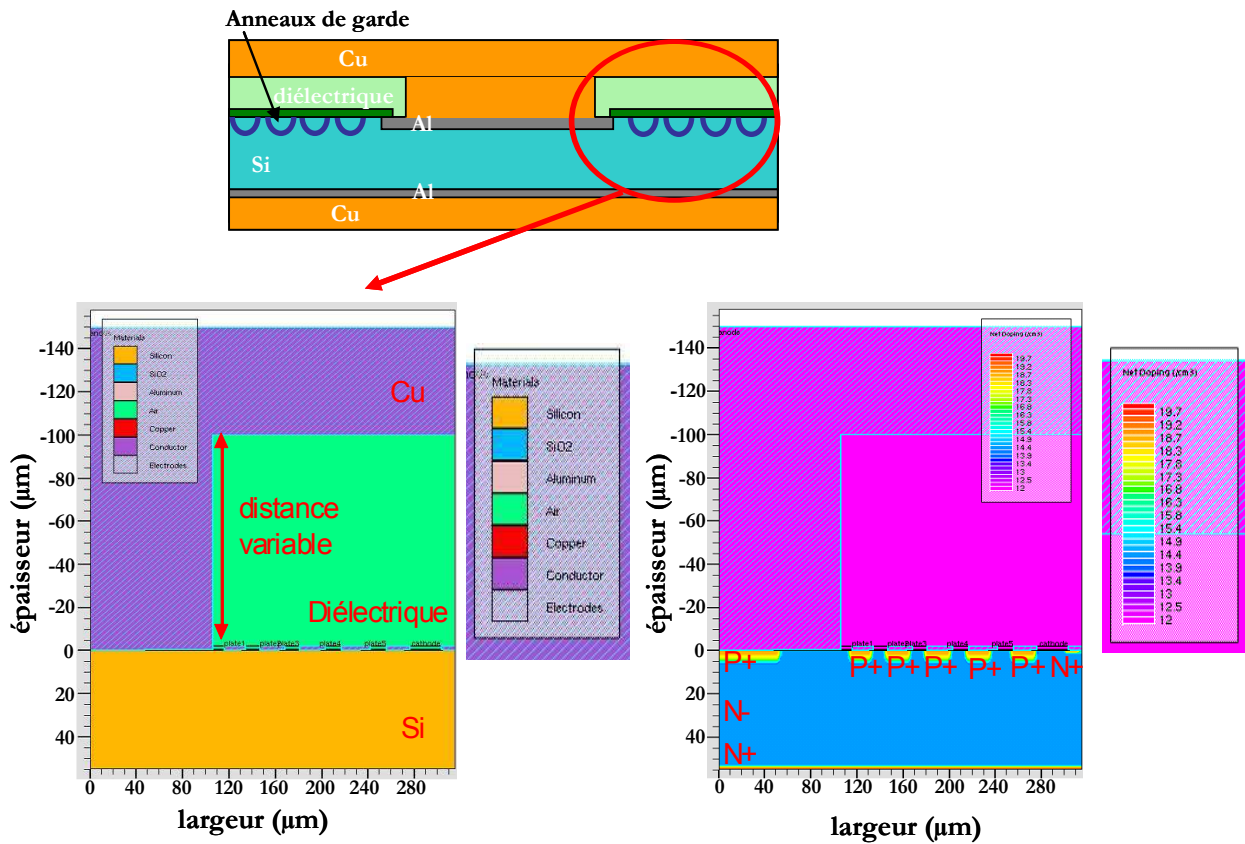


Fig. I.15. - Structure étudiée - diode PIN avec anneaux de garde.

Nous avons fait varier la distance entre la plaque massive de prise de contact et la surface du composant de 100µm à 5µm. Nous avons constaté qu'en dessous de 20µm, la proximité de la

plaque en métal affecte la distribution des équipotentiels en surface et induit une augmentation locale du champ électrique en surface, d'autant plus considérable plus la distance diminue.

Pour illustrer le phénomène, la figure I.16.a) représente les résultats obtenus pour la distribution du champ électrique et des lignes équipotentiels lorsque la plaque massive en métal est placée à $10\mu\text{m}$ de la surface du composant.

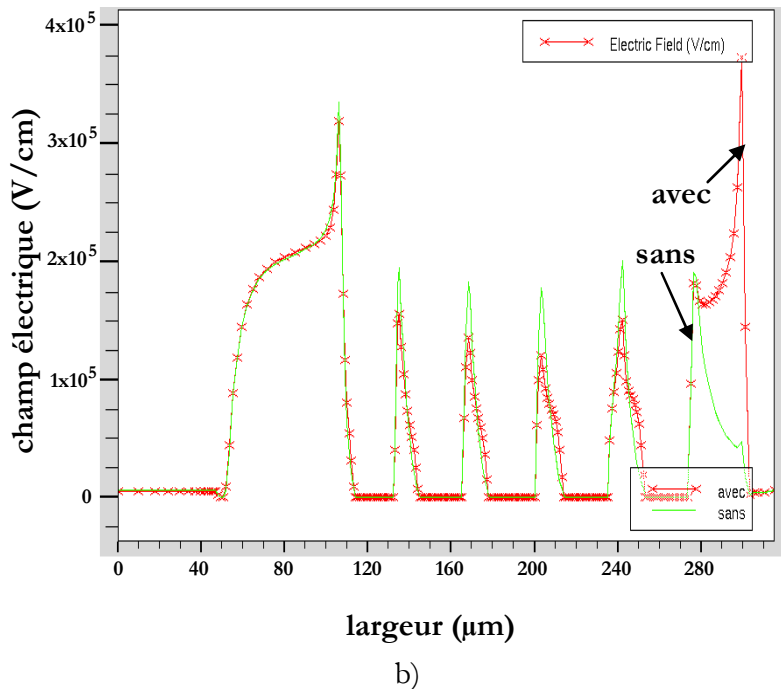
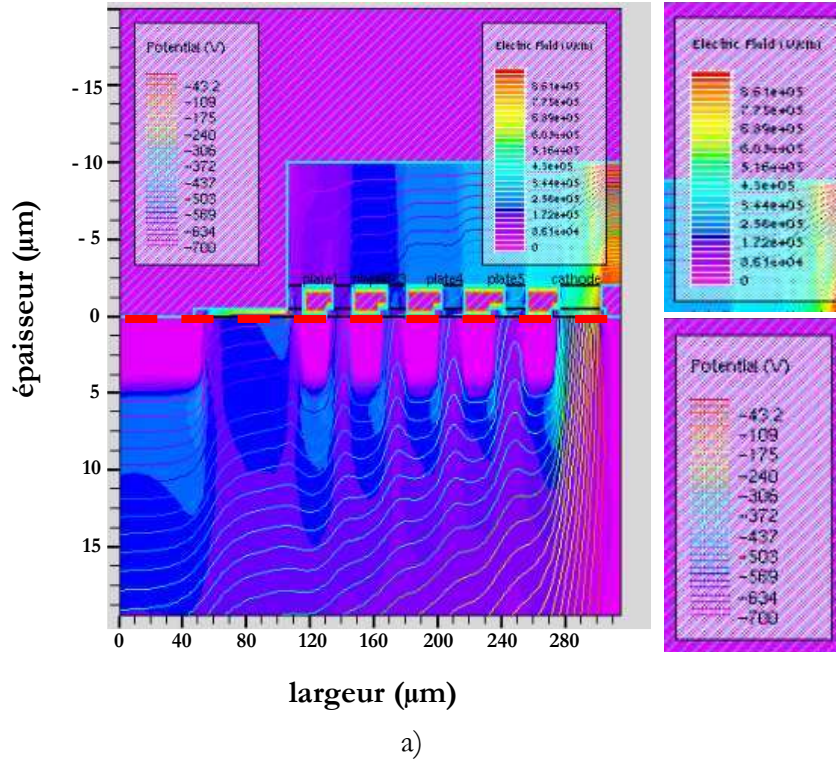


Fig. I.16. - Diode de puissance avec anneaux de garde a) Contours du champ électrique et lignes équipotentiels et b) Evolution du champ électrique à la surface (vue en coupe le long de la ligne rouge pointillée) avec et sans présence d'une électrode de contact recouvrant les anneaux de garde

On peut remarquer sur la figure I.16.a) que suite à la proximité de la plaque en métal et de la surface du composant les anneaux de garde ne conservent plus leurs effets positifs sur l'étalement des équipotentielles à la surface et en périphérie de la puce. Les lignes équipotentielles sont très concentrées et resserrées à la surface. Un composant soumis à ces conditions de fonctionnement perdra ses performances électriques en termes de tenue en tension.

La figure I.16.b) représente la comparaison entre la vue en coupe du champ électrique (vue en coupe du champ électrique le long de la ligne rouge figure I.16 a)) en surface sans électrode de contact recouvrant les anneaux et avec électrode de contact placée à $10\mu\text{m}$ de la surface. On peut remarquer sur la figure I.16 que la proximité de la plaque métallique et la surface du composant induit un pic important du champ électrique en surface au niveau du dernier anneau. Le champ électrique en surface augmente encore plus lorsque la distance diminue au delà de $10\mu\text{m}$.

La figure I.17. représente la même diode de puissance à structure verticale mais, cette fois, avec la technique de terminaisons en tension verticales. Le contact en face avant est massif et débordant au-delà de la zone de tenue en tension.

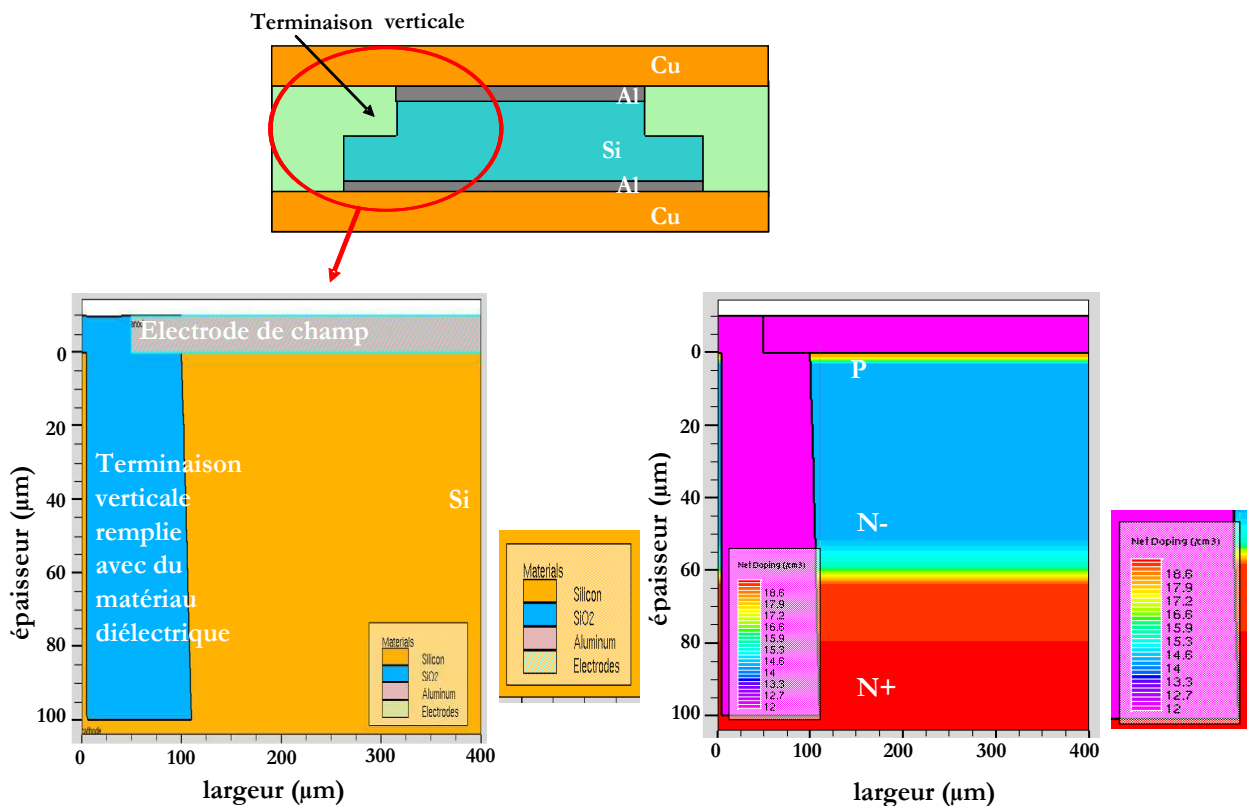
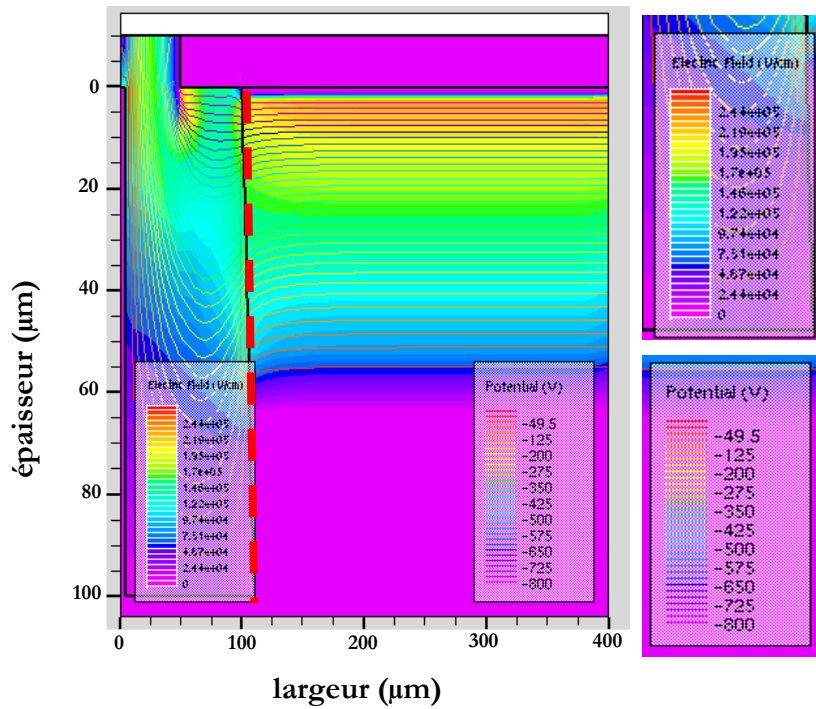
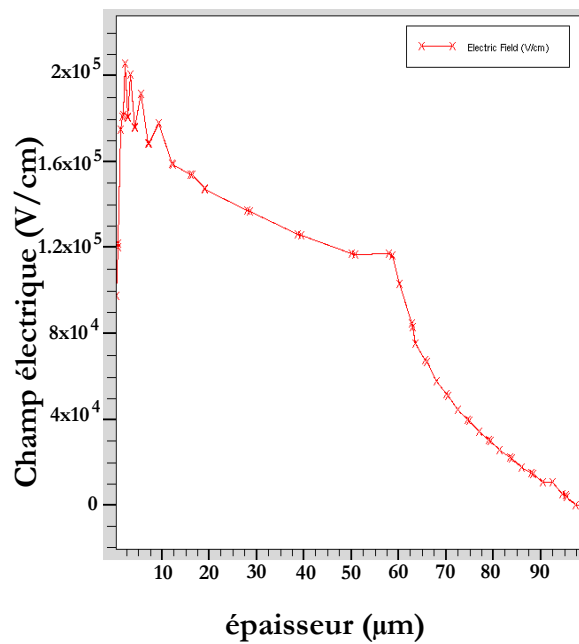


Fig. I.17. - Structure étudiée - diode PIN avec terminaisons en tension verticales.

La figure I.18. représente la distribution du champ électrique et des lignes équipotentielles lorsque la diode est polarisée en inverse avec une tension de 800V.



a)



b)

Fig. I.18. - Diode de puissance avec terminaisons en tension verticales a) Contours du champ électrique et lignes équipotentielles et b) Vue en coupe (le long de la ligne rouge pointillée) du champ électrique à l'interface Si/diélectrique.

On peut remarquer sur la figure I.18b) qui présente la vue en coupe du champ électrique le long de l'interface Si/diélectrique (ligne rouge figure I.18.a)) qu'avec cette technique de terminaison en tension, l'ajout d'une plaque massive en surface du composant n'a pas d'effets négatifs pour le champ électrique. Au contraire, la plaque massive joue le rôle d'une plaque de champ qui permet de réduire encore davantage le champ électrique à l'interface Si/passivant. La figure I.18.a) montre que, dans ce cas, l'allure et la courbure des lignes équipotentielles représentent une

condition favorable pour la tenue en tension du composant de puissance comme cela sera présenté plus précisément dans le chapitre III. On peut aussi voir sur la figure I.18.a) une forte augmentation du champ électrique au niveau de l'angle de l'électrode. Cette forte augmentation du champ électrique ne devrait pas poser de problèmes si au niveau du matériau diélectrique le champ critique de claquage est plus élevé que celui du silicium. On peut aussi imaginer qu'un passivant diélectrique est déposé au niveau de l'électrode.

3.4 Evolution et mise à profit de l'approche – puces multicomposants de puissance

Un avantage majeur de la technique des terminaisons en tension verticales est qu'elle permet de créer des séparations au niveau de la zone active du composant et, de cette manière, on peut envisager l'intégration de plusieurs composants dans la même puce. L'idée consiste à utiliser la périphérie en tension non seulement pour réduire le champ électrique en surface mais aussi pour "iloter" chaque composant. La tranchée qui sépare les zones actives de chaque composant est ensuite remplie avec du matériau diélectrique ce qui permet de garantir l'isolation électrique de chaque composant avec son voisin. De cette manière on peut envisager l'intégration de plusieurs composants de puissance sur le même substrat commun, métallique ou semi-conducteur dégénéré [CRE09]. La figure I.19. montre une vue schématique du concept de mise en œuvre de plusieurs composants dans le même substrat en silicium. L'exemple représente des diodes de puissance à structure verticale dont la surface est intégralement occupée par plusieurs anodes et une cathode commune en face arrière.

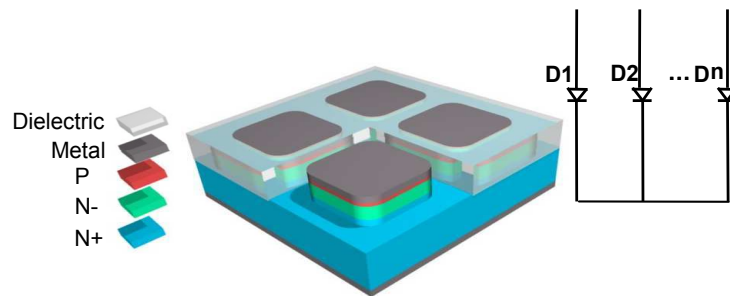


Fig. I.19. - Vue schématique d'une puce multidiodes de puissance intégrées sur le même substrat en silicium avec la technique des terminaisons verticales.

Cette configuration permet l'assemblage et le package partiels de nombreux composants au niveau du wafer avec un minimum d'étapes supplémentaires de back end. La réduction significative du nombre d'interconnexions est un des avantages conséquents de cette technique. Plusieurs composants sont interconnectés pendant le procédé technologique ce qui rend l'assemblage reproductible, très fiable et réduit le coût final du package. Ces architectures pourraient avantageusement être bénéfiques dans des applications modernes d'électronique de puissance telles que les structures de conversion polyphasées [FOR07, LAB08, KER12].

Un avantage majeur de cette technique d'intégration monolithique de plusieurs diodes sur le même substrat est que la distinction des différents éléments semi-conducteurs peut être réalisée par l'étape finale de gravure ce qui simplifie le procédé technologique. L'approche que nous présentons a été développée sur un substrat semi-conducteur épitaxié mais elle peut facilement être appliquée sur des substrats homogènes reportés sur semelle en métal. Dans ce cas, la gravure du silicium doit être réalisée jusqu'au substrat commun en métal. La figure I.20 représente une vue schématique du concept. Le support mécanique des composants « ilotés » doit être assuré dans ce cas par la couche de métal. Pour ce faire, la couche de métal doit être suffisamment épaisse (quelques centaines de μm). Les techniques envisageables dans ce cas sont le collage moléculaire cuivre-cuivre entre une couche de cuivre électrodéposée en face arrière du wafer et une plaque épaisse en métal (cuivre ou molybdène) [BEN12] ou l'électrodéposition du cuivre en forte épaisseur.

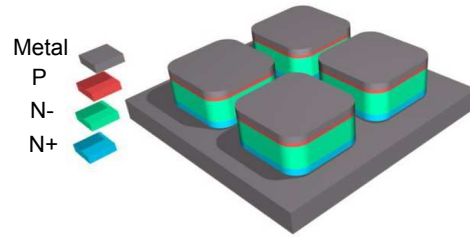


Fig. I.20. - Vue schématique de la technique des terminaisons verticales dans le cas d'un substrat semi-conducteur homogène.

Comme nous l'avons déjà présenté avec la technique de terminaisons en tension verticales, les composants peuvent bénéficier des interconnexions 3D où les fils de bonding sont remplacés par des interconnexions massives en cuivre. Les terminaisons en tension verticales permettent la réalisation de plusieurs composants à l'échelle de la puce mais nous pouvons aussi envisager leur empilement les uns sur les autres pour concevoir une structure 3D afin de réduire l'influence des interconnexions entre les composants et de simplifier leur mise en œuvre dans les structures polyphasées ou multiniveaux. La figure I.21. représente une vue schématique de cette perspective conceptuelle dans une configuration Power Chip-on-Chip.

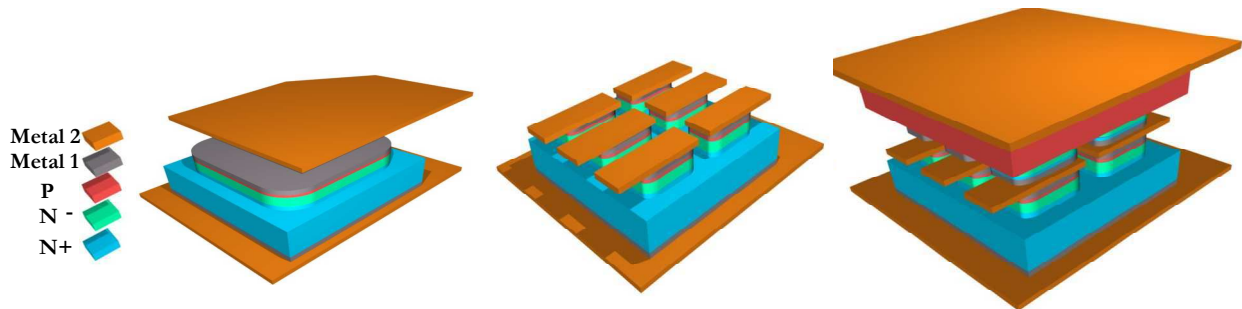


Fig. I.21. - Vue schématique du package Power Chip-on-Chip à l'aide des terminaisons en tension verticales - exemple d'une diode, de six diodes à cathode commune et d'un redresseur polyphasé à six bras.

Par ailleurs, comme nous l'avons déjà mentionné, un des points forts des packages 3D est qu'ils autorisent le refroidissement double face. Or, dans une configuration où deux composants sont empilés l'un sur l'autre, le refroidissement devient de nouveau limité à une seule face. Une telle configuration offre des bénéfices considérables du point de vue comportement électromagnétique mais d'un point de vue thermique ses performances restent limitées. Nous allons présenter par la suite dans ce chapitre une approche originale qui s'adresse à cette problématique. Le concept consiste à revoir la structure même du composant de puissance afin de réaliser un découplage entre les zones de tenue mécaniques, les prises de contact électrique et les surfaces d'échange thermique. Le concept innovant pour le refroidissement direct des composants de puissance offre les degrés de liberté nécessaires afin de pouvoir réaliser des assemblages optimaux d'un point de vue électromagnétique tout en ayant des performances thermiques élevées.

4 Les techniques de refroidissement en électronique

Un composant de puissance doit supporter de hautes tensions et laisser passer de forts courants d'où une certaine puissance électrique à dissiper sous forme de chaleur. Les densités de flux de chaleur des puces de puissance peuvent atteindre plusieurs centaines de $W.cm^{-2}$. En même temps, les composants de puissance ont une température de jonction maximale à ne pas dépasser. Leur refroidissement efficace est donc vital afin de garantir les conditions de fonctionnement et les performances optimales. Ainsi ils nécessitent des systèmes de refroidissement adéquats pour

maintenir leur température de jonction en dessous des températures critiques de fonctionnement. Le choix du système de refroidissement dépend du niveau de pertes à évacuer et son efficacité est estimée en termes de résistance thermique équivalente et de pertes de charge. Nous allons décrire dans le paragraphe suivant quelques techniques utilisées pour le refroidissement en électronique en commençant par quelques rappels sur les mécanismes de transfert de la chaleur

4.1 Mécanismes de transfert de chaleur

D'une manière générale le transfert de chaleur s'effectue par trois mécanismes : conduction convection et rayonnement.

- **Conduction**

La conduction est le mode de transfert de chaleur dû aux écarts de température entre deux points d'un solide ou d'un fluide par propagation de proche en proche de l'énergie thermique des atomes, des molécules ou des électrons libres. Le flux thermique Φ [W] traversant un objet de surface S [m²] et d'épaisseur L [m] est exprimé dans le cas 1D par la relation suivante :

$$\Phi = k \cdot \frac{S}{L} \cdot \Delta T \quad (I.2.)$$

où k [W/m.K] est la conductivité thermique et ΔT [K] est l'écart de température entre les deux faces de l'objet.

Ainsi les différents paramètres qui interviennent dans le phénomène de conduction sont la nature et la géométrie des matériaux conducteurs de la chaleur ainsi que les interfaces thermiques qui les séparent.

- **Convection**

Le transfert de chaleur par convection apparaît dans les fluides. Il est dû aux mouvements des particules qui facilitent le transfert de chaleur. Dans le cas où un fluide est en contact avec une paroi, l'échange de chaleur entre la paroi et le fluide peut être déterminé suivant la relation :

$$\Phi = h \cdot S \cdot (T_p - T_f) \quad (I.3.)$$

où h [W/m².K] est le coefficient d'échange de transfert de la chaleur entre la paroi et le fluide, T_p [K] est la température de la paroi et T_f [K] est la température de mélange du fluide. Lorsque le mouvement du fluide est imposé par une source externe (pompe, ventilateur) la convection est dite forcée. Dans le cas contraire la convection est dite libre (ou naturelle).

Le problème thermique de la convection est très complexe et nécessite la résolution d'équations de la thermique et de la mécanique des fluides. Un électronicien qui envisage la conception d'un système de refroidissement par convection devra identifier plusieurs paramètres comme le coefficient d'échange, les pertes de charge etc. qui sont dépendants du type de fluide utilisé, de la géométrie, du régime d'écoulement etc. Pour cela il sera amené à utiliser des corrélations (formules valables pour des formes géométriques particulières sous certaines conditions) et des nombres sans dimension que nous allons présenter plus en détails dans le chapitre IV.

- **Rayonnement**

Les transferts thermiques par rayonnement s'effectuent entre deux corps séparés par le vide ou par un milieu transparent aux rayonnements thermiques par l'intermédiaire d'ondes électromagnétiques. Le flux transféré par rayonnement entre deux plans parallèles (paroi1 et paroi2) est défini suivant la relation:

$$\Phi = \varepsilon_{12} \cdot \sigma_s \cdot S (T_1^4 - T_2^4) \quad (I.4)$$

où ϵ_{12} est l'émissivité équivalente et σ_s est la constante de Stefan.

- **Notion de résistance thermique**

L'analogie faite entre les phénomènes de conduction de la chaleur (loi de Fourier) et de conduction électrique permet d'introduire la notion de résistance thermique R_{th} (K/W) qui quantifie la résistance que les matériaux opposent au passage du flux de chaleur. La résistance thermique s'exprime suivant la relation suivante:

$$R_{th} = \frac{\Delta T}{\Phi} \quad (I.5)$$

Si le transfert de la chaleur est effectué par conduction en 1D, la résistance thermique est $R_{th}=L/k$. Si le transfert de la chaleur est effectué par convection entre un fluide et une paroi, la résistance thermique est $R_{th}=1/h.S$.

Comme nous l'avons déjà mentionné, la résistance thermique est le paramètre essentiel pour le concepteur et pour l'utilisateur de tout système de refroidissement. Nous allons maintenant présenter quelques uns des systèmes de refroidissement utilisés couramment en électronique en essayant de nous focaliser sur leurs points forts et faibles afin de démontrer l'intérêt du concept de refroidissement innovant que nous allons proposer par la suite.

4.2 Refroidissement des modules de puissance

Les refroidisseurs à air couplés avec un ventilateur (convection forcée) ou sans (convection libre) sont les plus utilisés lorsque les densités de pertes à évacuer au niveau de l'échangeur ne sont pas très élevées, généralement pour des densités de flux de chaleur inférieures à $100W/m^2.K$ au niveau de la puce. La figure I.22. représente une vue schématique du module standard 2D (module à substrat isolé) que nous avons déjà présenté dans le paragraphe 2.1.

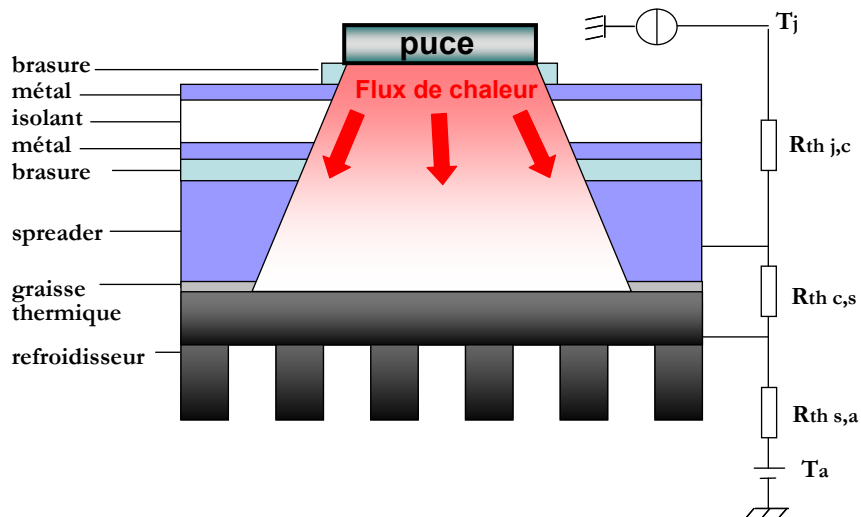


Fig. I.22. - Refroidissement à air d'un module à substrat isolé – schéma électrique équivalent et phénomène de l'épanouissement du flux de chaleur.

La figure I.22. montre le gros avantage de cette technique de refroidissement – un tel assemblage qui permet d'insérer un spreader (semelle métallique assez épaisse) sous le composant. Cela offre une grande surface d'échange en permettant l'épanouissement du flux de chaleur ce qui facilite énormément son évacuation. En général, le spreader est réalisé en cuivre mais des travaux de recherche sont menés afin d'utiliser des matériaux composites plus légers et

ayant des meilleures propriétés thermiques [VIN08]. Il est également possible d'obtenir des spreader très efficaces en utilisant des caloducs miniatures ayant une conductivité thermique très élevée [AVE10].

Le gros inconvénient de cette technique de refroidissement concerne l'assemblage de plusieurs couches d'épaisseurs et de conductivités thermiques différentes – le flux de chaleur devra traverser tout l'empilement sur son chemin de la source de chaleur jusqu'à l'ambient alors que chaque couche oppose une résistance thermique à son passage (figure I.23) auxquelles il faut ajouter les résistances thermiques de contact à chaque interface. Ainsi la résistance thermique totale du système est assez élevée. Elle peut être déterminée suivant la relation suivante :

$$R_{th} = \frac{T_j - T_a}{\Phi} \quad (I.6.)$$

où T_j [K] est la température de jonction de la puce et T_a [K] est la température ambiante (figure I.22.). Il est commun que la résistance thermique totale soit représentée par trois résistances thermiques distinctes comme représentées sur la figure I.22 : $R_{th\ j,c}$ – la résistance thermique entre la puce et le boîtier, $R_{th\ c,s}$ – la résistance thermique entre le boîtier et le refroidisseur, $R_{th\ j,c}$ – la résistance thermique du refroidisseur.

Les avantages de cette technique de refroidissement concernent sa facilité de mise en œuvre et son coût pas très élevé. Afin d'améliorer ses performances les travaux de recherche menés ces dernières années concernent l'utilisation de matériaux avec des meilleures propriétés thermiques. En ce qui concerne la couche d'isolant en céramique, des matériaux tels que le nitrure d'aluminium (AlN) et l'alumine ont été introduits afin de réduire la résistance thermique du substrat. Une attention particulière est aussi portée sur l'amélioration de la conductivité thermique des métaux qui constituent le substrat afin de diminuer les gradients de température [THE]. Dans certains cas il peut être avantageux de fixer le substrat directement sur le refroidisseur (élimination du spreader et de la couche de brasure avec le substrat). Néanmoins, le refroidissement à air reste réservé aux faibles densités de puissance à évacuer puisque ses performances sont limitées par la résistance thermique du système très élevée. Comme nous l'avons déjà mentionné la résistance thermique totale du système est la somme de toutes les résistances thermiques des différentes couches qui constituent le module comme représenté sur la figure I.23.

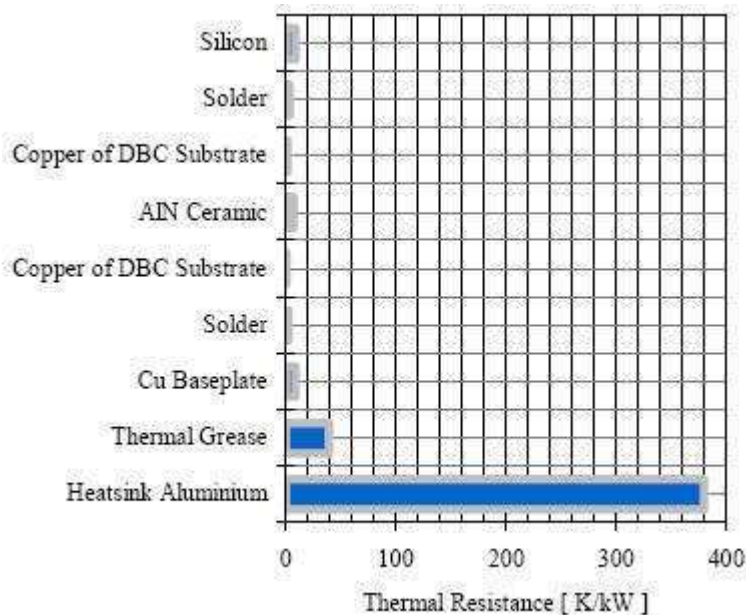


Fig. I.23. - Résistance thermique de chaque couche du module à substrat isolé refroidi par air [SCH08].

Ainsi, il paraît évident que les moyens pour améliorer les performances thermiques de ce système de refroidissement doivent passer par l'élimination partielle (refroidissement indirect – figure I.24.a)) ou totale (refroidissement direct – figure I.24.b) des couches et interfaces thermiques mais aussi par le remplacement de l'air dont la conductivité thermique est assez faible avec un autre fluide ayant des meilleures propriétés thermiques.

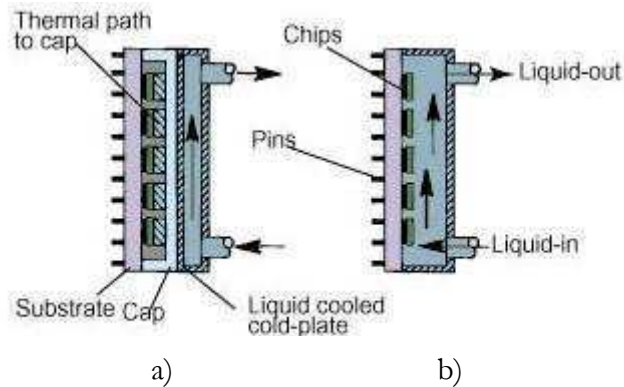


Fig. I.24. - Vue schématique des techniques de refroidissement a) indirect et b) direct [SIM96].

Enfin, lorsque l'on cherche à extraire un flux de chaleur intense, les solutions de refroidissement direct offrent une approche performante d'où leur intérêt accru ces derniers temps. Le paragraphe suivant est dédié à la description des différentes techniques de refroidissement direct

4.3 Refroidissement direct

Les concepts de refroidissement qui permettent l'élimination des différentes couches et interfaces thermiques entre la puce et le fluide sont appelés des solutions de « refroidissement direct » - le fluide caloporteur est alors en contact direct avec le ou les composants. Néanmoins, nous devons mentionner que travailler en amont, c'est à dire près de la source de chaleur, n'est pas toujours un concept favorable puisque, dans une telle configuration, l'effet positif induit par le spreader et n'est plus utilisé et ainsi on ne profite plus de l'épanouissement du flux de chaleur. Ainsi l'apport de la diminution des interfaces reste limité puisque l'on ne profite plus de l'épanouissement de la chaleur dans le système et la surface d'échange est alors réduite. Pour compenser ce point limitant, les techniques de refroidissement direct doivent offrir un coefficient d'échange très élevé. La figure I.25. représente l'ordre de grandeur du coefficient d'échange convectif pour différents fluides caloporteurs qui peut être obtenu dans les systèmes de refroidissement à convection naturelle ou forcée – avec et sans changement de phase.

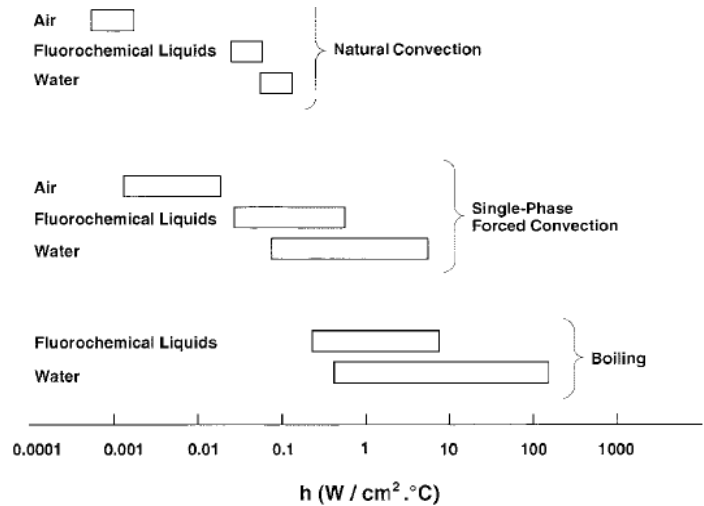


Fig. I.25. - Coefficients d'échange pour différents fluides caloporteurs en fonction des différents moyens de transfert de la chaleur [MUD01].

Il est important de noter que, dans le cas du refroidissement direct, le fluide caloporteur doit être un diélectrique et le choix du fluide est une étape critique puisqu'il va conditionner énormément les performances du système de refroidissement. Les fluides fluorocarbonés sont en général les plus utilisés puisqu'en plus de leurs bonnes propriétés thermiques, ils sont chimiquement compatibles avec les matériaux avec lesquels ils sont en contact dans les systèmes de refroidissement des composants électroniques [SIM94].

Le refroidissement direct de composants électroniques peut être réalisé par immersion des composants dans le fluide diélectrique, par jets impactant la surface des composants ou par microcanaux réalisés directement sur la face arrière des composants. Chacune de ces techniques peut être réalisée avec ou sans changement de phase du fluide diélectrique. En raison de la complexité de mise en œuvre et du coût accru des systèmes de refroidissement par rapport aux techniques plus traditionnelles, les recherches concernant ce type de refroidissement ont été surtout investies dans le domaine de la microélectronique.

- Refroidissement direct par immersion

Le refroidissement par immersion consiste à plonger le ou les composants électroniques dans le fluide diélectrique – en général un fluide fluorocarboné [SIM94]. Deux configurations peuvent être utilisées – refroidissement par immersion passif ou actif (figure I.26). Dans le cas de l'immersion passive, le composant est enfermé dans un "réservoir" rempli de fluide dans lequel les échanges sont effectués par convection naturelle. Dans le cas de l'immersion active, le fluide est mis en mouvement sous l'action d'une pompe.

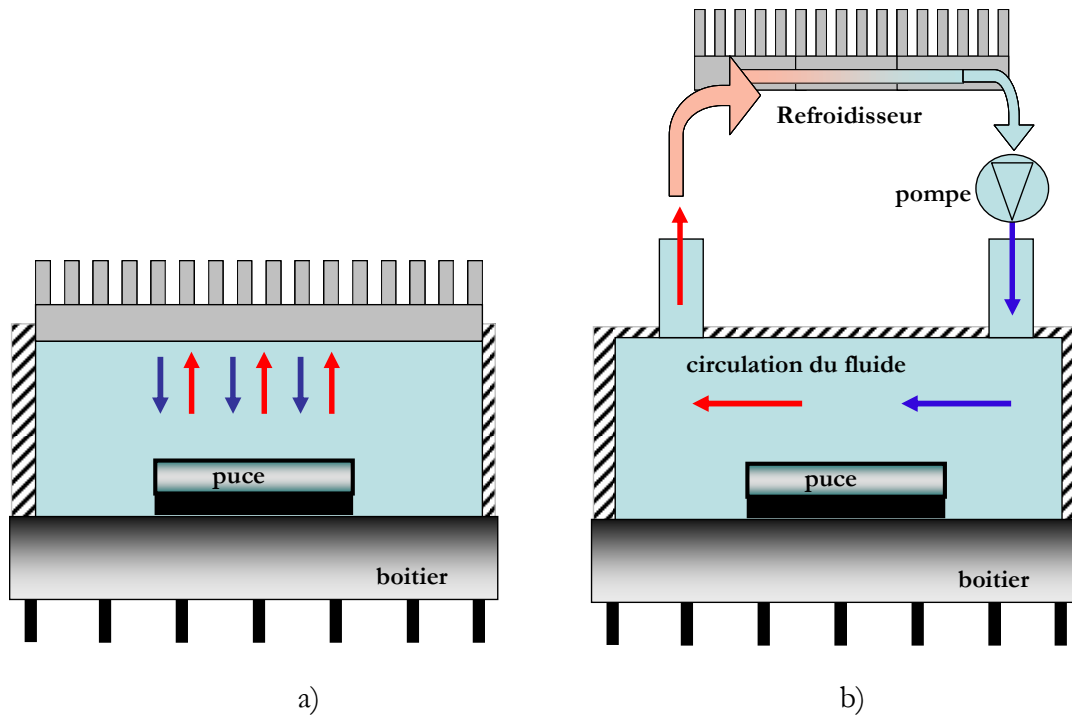


Fig. I.26. - Vue schématique du refroidissement par immersion a) passif et b) actif.

De nombreuses études ont été menées afin d'identifier les performances de cette technique de refroidissement – en utilisant de la convection naturelle ou forcée sans et avec changement de phase [BER90, INC90]. Le cas du refroidissement passif par immersion est bénéfique surtout lorsqu'il est accompagné du changement de phase du fluide diélectrique – dans ce cas lorsque le flux de chaleur augmente, la température de la puce augmente moins rapidement que dans le cas sans changement de phase. A flux de chaleur donné, la température de la puce est ainsi significativement moins élevée par rapport au cas sans changement de phase [MUD92].

A part l'avantage de l'élimination des parois physiques qui séparent la puce et le fluide caloporteur, la technique de refroidissement par immersion présente plusieurs points limitants parmi lesquels la surface d'échange réduite. De plus, l'accès aux composants est impossible et en cas de problème il faut remplacer tout le système. Par ailleurs, les fluides fluorocarbonés sont très chers. Néanmoins, cette technique de refroidissement s'avère être très prometteuse puisque des coefficients d'échange très élevés peuvent être obtenus en convection forcée ou en ébullition (pool boiling). Ainsi les exemples d'application de ce type de refroidissement concernent surtout le refroidissement de composants microélectroniques. Nous pouvons citer le module LEM (pour Liquid Encapsulated Module) de IBM [SIM95] utilisant de l'immersion passive en ébullition du fluide fluorocarboné FC-72. Avec cette approche il a été possible de refroidir un module dissipant 300W [SIM96]. En effet, d'après la littérature, cette technique de refroidissement est très prometteuse mais reste peu développée puisqu'elle est complexe à mettre en œuvre et nécessite un système complètement étanche dont l'entretien est très délicat. Enfin, le seul ordinateur commercialisé et utilisant du refroidissement direct par immersion est le superordinateur CRAY-2 [CRA]. Avec de la convection forcée d'un fluide fluorocarboné, il a été démontré la possibilité de refroidir un empilement 3D composé de plusieurs circuits imprimés. Dans cet exemple, la puissance dissipée par un module, composé de 8 circuits imprimés, est égale à 600W [SIM96].

- Refroidissement direct par jets

Le principe du refroidissement par jets est représenté sur la figure I.27. Une plaque à orifices est placée en vis-à-vis de la surface à refroidir (la puce dans ce cas). Les orifices servent à accélérer le fluide avant son impact avec la surface de la puce. Ils existent des jets libres, immergés confinés

(figure I.27.) ou non confinés, chacun ayant ses avantages vis-à-vis de l'application finale. Les jets immergés sont en général les plus utilisés puisque le coefficient d'échange obtenu est plus élevé que dans le cas des jets libres [GAR95, TON11].

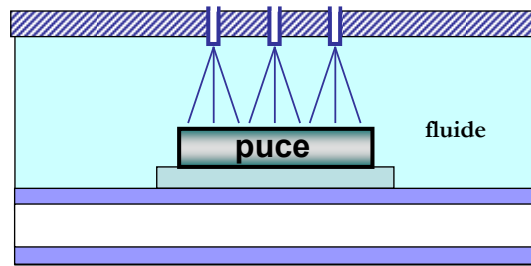
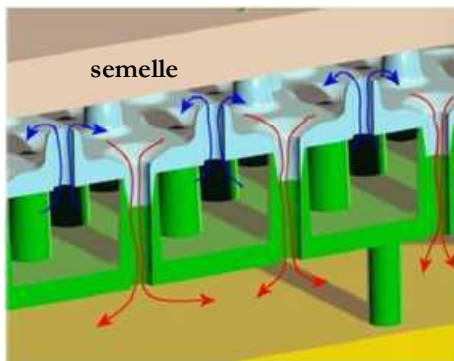


Fig. I.27. - Vue schématique du refroidissement par jets immergés confinés.

La popularité des techniques de refroidissement par jets provient du fait qu'ils permettent d'obtenir des coefficients d'échange nettement plus élevés (des milliers de $W/m^2/K$ en utilisant de l'eau) que dans le cas du refroidissement par immersion. Néanmoins, pour atteindre de telles valeurs du coefficient d'échange le débit du fluide doit être très important. Pour illustrer cela nous allons prendre l'exemple du concept de refroidissement de modules de puissance par jets impactant commercialisé par Danfoss Silicon Power [DAN]. Leur solution, appelée Shower Power [OLE06], concerne le refroidissement direct au niveau du module et non des semi-conducteurs et consiste à pulvériser le fluide au niveau de la semelle du module (figure I.28). Ensuite le fluide est drainé hors du système avant qu'il n'ait le temps de se réchauffer et de créer des gradients de température le long du module. Il résulte une température du module beaucoup plus homogène comparée avec d'autres techniques conventionnelles de refroidissement comme les plaques à eau par exemple.



a)



b)

Fig. I.28. - Concept Shower Power a) jets impactant la semelle du module et b) canaux sinueux [OLE06].

Dans le cas du Shower Power le refroidissement au niveau du module permet l'utilisation de l'eau comme fluide caloporteur. Le concept Shower Power permet d'obtenir des coefficients d'échange de $12500W/m^2K$ ce qui permet de refroidir un module de puissance, de taille standard, dissipant $1kW$ mais pour cela le débit total de l'eau doit être de $10l/min$! Maintenant si on imagine que le fluide caloporteur est un diélectrique qui a des propriétés thermiques moins bonnes que celles de l'eau, le débit devra être encore plus important pour atteindre des coefficients d'échange suffisants. Le concept Shower Power permet aussi d'avoir de faibles pertes

de charge en divisant l'écoulement du fluide dans des petits compartiments (figure I.28.b)). Ainsi pour un débit de 6l/min les pertes de charge sont seulement de 11.5kPa.

- Refroidissement direct par microcanaux

Le concept de refroidissement par microcanaux n'est pas nouveau et de nombreuses solutions industrielles sont disponibles sur le marché. Des solutions existent en simple ou double face, plus ou moins « intégrées » près de la puce – que ce soit des microcanaux intégrés dans une plaque à eau, au niveau de la semelle ou directement réalisés dans le substrat DBC [SCH08]. L'intérêt envers ces types de refroidissement est très grand puisqu'ils permettent d'obtenir à la fois une grande surface d'échange et un coefficient d'échange élevés. Cependant cela ne peut être réalisé qu'au détriment des pertes de charge qui, en général, sont élevées. La raison pour cela est que le diamètre hydraulique des microcanaux est faible et le régime d'écoulement est en général laminaire. Les concepteurs d'échangeurs à microcanaux ont démontré que, lorsque l'écoulement est laminaire, le coefficient d'échange est inversement proportionnel au diamètre hydraulique du canal - c'est à dire que plus le canal est fin, plus le coefficient d'échange est grand mais plus les pertes de charge sont élevées aussi.

Les techniques de refroidissement direct par microcanaux consistent à réaliser les canaux directement en face arrière des puces électroniques (des microcanaux latéraux - dans le sens parallèle du plan de la jonction) ou sur une plaque séparée en silicium qui est ensuite rapportée en face arrière des puces (figure I.29.). Elles permettent de réduire la résistance thermique par rapport aux techniques classiques [KUM07].

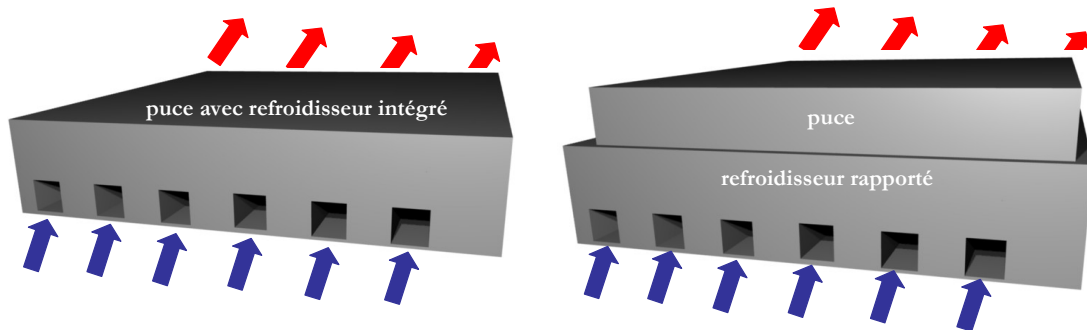


Fig. I.29. - Vue schématique du refroidissement direct par microcanaux.

Tuckerman et Pease [TUC81] ont été les premiers à démontrer l'intérêt du refroidissement direct par microcanaux pendant les années 80. Pour cela ils ont réalisé un échangeur de 1cm² de silicium composé de plusieurs microcanaux en parallèle de 50µm de largeur, de 300µm de hauteur et de 50µm de distance entre les canaux. En utilisant de l'eau comme fluide caloporteur, cet échangeur était capable d'évacuer des densités de flux de chaleur de 790W/cm² avec une R_{th}=0.09°C.cm²/W ce qui correspond à une élévation de la température du composant électronique de 71°C par rapport à la température d'entrée de l'eau. Le débit de l'eau nécessaire pour atteindre ce résultat était de 0.5L/min et les pertes de charge obtenues 214kPa.

Au laboratoire G2Elab, l'intérêt du refroidisseur « tout silicium » a été étudié pendant les travaux de recherche de Corinne Perret [PER01]. Le concept de son étude consistait en la réalisation de microcanaux sur un support en silicium qui était ensuite reporté en face arrière du composant électronique. Une fine couche d'oxyde de silicium est réalisée entre le composant et le microrefroidisseur afin de réaliser l'isolation électrique et ainsi l'eau était utilisée comme fluide caloporteur. Un des prototypes réalisés de cette manière concernait des canaux rectangulaires de largeur 90µm, profondeur 315µm et séparés de 80µm, soit 117 canaux réalisés sur un support en silicium de 2x2cm², donc longueur des canaux de 2cm. La caractérisation pratique de ce refroidisseur a démontré la possibilité de dissiper jusqu'à 240W/cm² avec une

$R_{th}=0.25K.cm^2/W$, soit une élévation de la température du composant de $60^{\circ}C$ par rapport à la température d'entrée de l'eau. Pour atteindre de telles performances le débit de l'eau nécessaire était de $1.2L/min$ et les pertes de charge mesurées valaient $120kPa$.

Les micro-refroidisseurs tout silicium permettent, comme nous l'avons déjà mentionné, d'éliminer les interfaces thermiques (brasures et soudures) que l'on retrouve habituellement dans les modules de puissance et ainsi de s'affranchir des problèmes de fatigue thermique. Un autre avantage des micro-refroidisseurs en silicium est qu'ils sont bien plus légers que les échangeurs en cuivre. Un micro-refroidisseur en silicium permet la réalisation de canaux avec des dimensions critiques (largeurs, profondeurs) ce qui permet de considérablement augmenter la surface d'échange entre le composant électronique et le fluide caloporteur. La réalisation de canaux très fins permet d'obtenir des coefficients d'échange très élevés mais les pertes de charge dans ce cas sont aussi non négligeables ce qui implique l'utilisation d'une pompe délivrant une pression importante. Un autre point limitant le refroidissement par microcanaux latéraux est que la température le long du substrat en silicium ou le long du module n'est pas uniforme [HET01]. Les canaux latéraux sont en général longs et le fluide circulant à travers ces canaux longs a le temps de se réchauffer ce qui crée des gradients de température le long du substrat ou du module.

4.4. Conclusion

Nous avons présenté dans les paragraphes précédents le besoin de prendre en compte les contraintes thermiques afin de garantir le fonctionnement optimal des composants électroniques. Aujourd'hui nous pouvons distinguer des métiers bien distincts entre les constructeurs des composants semi-conducteurs, ceux des modules et les constructeurs de refroidisseurs ce qui se traduit, dans les boîtiers électroniques actuels, par une partie réservée aux composants électroniques et une surface réservée à leur refroidissement. Or, mener une approche couplée de la conception puce/package/refroidisseur permettrait un gain important en termes de densités d'intégration, de performances électriques, de comportement électromagnétique et de refroidissement. Ainsi nous proposons de remettre en cause les techniques de refroidissement actuelles.

Pour cela, notre approche consiste à réaliser un découplage entre les zones de tenue mécanique, les prises de contact électrique et les surfaces d'échange thermique. Pour cela, nous avons fait le choix de ne pas nous limiter à améliorer le chemin thermique entre la puce et le fluide caloporteur mais également de travailler sur la structure même de la puce pour améliorer son refroidissement voire améliorer sa fiabilité dans le temps. En tenant compte des limitations et contraintes induites par les techniques de micro-refroidissement présentées précédemment, nous proposons d'intégrer le refroidisseur directement dans la zone active du composant et selon une orientation différente des canaux. Ce concept est présenté dans le paragraphe suivant.

5. Solution innovante du refroidisseur intégré dans le composant (DRIM Cooler)

Les techniques de refroidissement direct apportent le bénéfice de la réduction de la résistance thermique totale du système de refroidissement. Néanmoins, pour profiter de cet avantage il faut accepter les inconvénients que ces techniques induisent. Les techniques les plus prometteuses étant le refroidissement par jets et par microcanaux, une étude comparative des deux a été effectuée par Lee et Vafei [LEE99]. Ils ont conclu que, pour les petites dimensions, ce sont les microcanaux qui permettent d'obtenir des densités de flux de chaleur les plus élevées, même si une vraie comparaison entre les deux techniques n'est pas vraiment possible puisqu'elles sont fondamentalement différentes. Dans le cas des du refroidissement par jets, un débit important est nécessaire pour atteindre des coefficients d'échange élevés par contre les pertes de charge sont faibles. Dans le cas des microcanaux, les pertes de charge sont très grandes même pour un faible

débit. De plus, comme nous l'avons mentionné plus haut, la température n'est pas homogène du tout.

Le concept du refroidisseur intégré que nous allons présenter par la suite permet de coupler tous les points positifs des techniques de refroidissement direct précitées – faible résistance thermique, grande surface d'échange, coefficient d'échange élevé mais cette fois pour un débit faible, faibles pertes de charge et une température du semi-conducteur homogène.

5.1 Présentation du concept

Le concept innovant pour le refroidissement des composants de puissance que nous proposons consiste en la création de plusieurs microcanaux perpendiculaires au plan de la jonction PN du semi-conducteur de puissance à structure verticale. Ils sont ainsi intégrés directement dans la zone active du composant de puissance, au plus près des régions où sont dissipées les pertes. Nous avons appelé ce concept DRIM Cooler (pour Drift Region Integrated Micro channel Cooler). La figure I.30. montre une vue schématique du concept en prenant une diode PIN comme exemple.

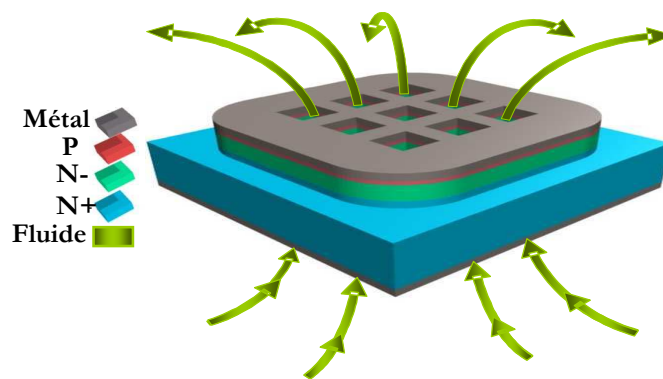


Fig. I.30. - Vue schématique du refroidisseur intégré (DRIM Cooler) dans la zone active d'une diode PIN.

Les microcanaux servent de via thermiques pour le passage du fluide diélectrique caloporteur qui absorbe la chaleur et la transporte jusqu'à un échangeur avec l'ambient. Les microcanaux verticaux ont une très faible longueur égale à l'épaisseur du substrat en silicium (entre 50 μ m et 500 μ m) ce qui permet d'avoir des pertes de charges bien plus faibles que dans le cas des canaux latéraux présentés dans la partie précédente. Par ailleurs, les microcanaux ainsi disposés offrent une grande surface d'échange. Le faible diamètre hydraulique qu'il est possible d'obtenir avec cette technique et la faible longueur des canaux (qui permet de bénéficier des effets d'entrée et des longueurs d'établissement thermique) sont des facteurs importants pour avoir des coefficients d'échange très élevés (plus que 10000W/m²/K dans le cas canaux ayant des diamètres hydrauliques de 50 μ m). Comme nous le verrons, un autre bénéfice de ce concept est la distribution homogène de la température dans le composant qui est due à la répartition homogène des microcanaux et à la conductivité thermique élevée du silicium. Enfin, un avantage principal du concept DRIM Cooler consiste à découpler les chemins électriques et thermiques ce qui favorise l'optimisation de chacun d'eux (découplage du compromis CEM - thermique, optimisation des contacts électriques indépendamment des aspects thermiques). Ainsi, les composants avec DRIM Cooler peuvent bénéficier des techniques de prise de contact 3D en offrant une solution pour la gestion thermique de plusieurs composants mis en série dans une configuration Chip-on-Chip (figure I.31.).

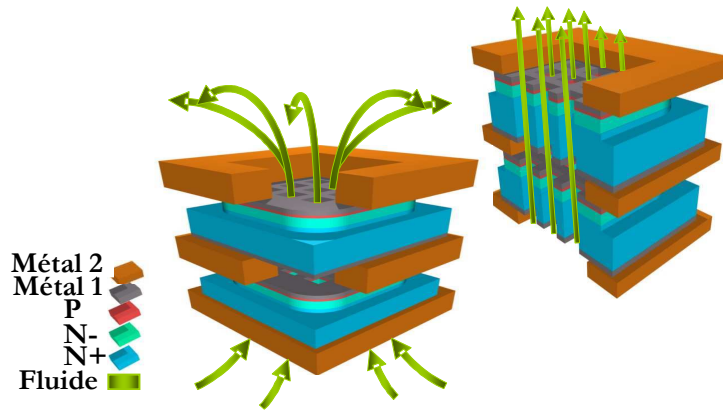


Fig. I.31. - Application du concept DRIM Cooler pour des diodes PIN dans un assemblage Chip-on-Chip.

Néanmoins, en plus de tous ces avantages, le concept DRIM Cooler induit plusieurs limitations possibles comme : la prise de contact électrique en périphérie de la puce de puissance et la distribution du courant - la nécessité de réaliser des métallisations adéquates, des effets sur la densité du courant suite à la réduction de la surface active des composants, des effets sur la tenue en tension et le courant de fuite suite à l'introduction de nonlinéarités au niveau du plan de jonction, le choix critique du fluide diélectrique. Dans les paragraphes suivants, nous allons analyser plus en détails chacun de ces points.

5.2 Structure du composant de puissance avec DRIM Cooler

Afin d'illustrer l'application du concept DRIM Cooler nous allons prendre comme exemple une diode de puissance à structure verticale (figure I.32).

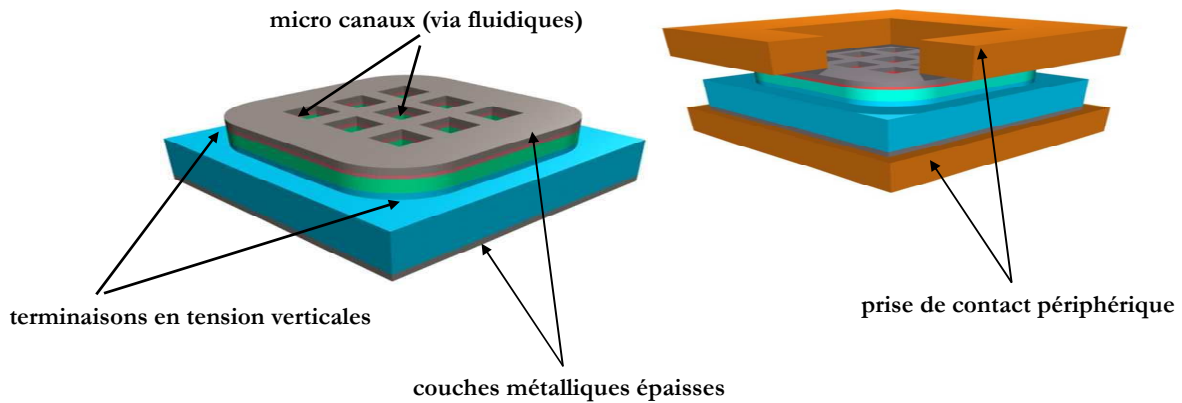


Fig. I.32. - Vue schématique de la structure d'une diode PIN avec DRIM Cooler.

Les particularités qui différencient la structure d'un composant avec DRIM Cooler de la structure d'un composant typique concernent la réalisation par gravure profonde (DRIE) des microcanaux traversants la zone active du composant – dans le sens perpendiculaire au plan de la jonction tenant la tension lorsque le composant de puissance, une diode ou un transistor, est à l'état bloqué. La réalisation technologique des composants avec DRIM Cooler sera traitée plus en détails dans le chapitre II. Cette technologie permet d'envisager des réalisations multiples. En effet, les microcanaux peuvent avoir des sections et des formes différentes (par exemple des carrés, des cercles ou des rectangles), des diamètres variables (de 50 μm à 400 μm dans nos expériences – cf. Chapitre IV), un angle différent et un nombre différent de canaux en parallèle.

Dans une telle configuration, il est nécessaire de prévoir des zones non occupées par les microcanaux traversants afin de réaliser la prise de contact avec les électrodes. Dans un premier temps, nous avons fait le choix de réaliser la prise de contact électrique en périphérie du

composant comme représenté sur la figure I.32. Dans ce cas, un anneau métallique peut être pressé pour assurer un contact électrique de bonne qualité. S'il a été mis en évidence que le contact pressé n'est pas très satisfaisant pour le transfert de la chaleur, il a, en revanche, été démontré que la qualité du contact électrique était importante [VAG10]. Dans une telle configuration, il est nécessaire d'assurer la distribution homogène du courant dans toute la section de la puce puisqu'une telle prise de contact peut impliquer une concentration locale du courant à la périphérie. Ainsi, afin de drainer le courant jusqu'au centre de la puce, la solution consiste à déposer des couches métalliques épaisses sur les deux faces du composant.

Enfin, la tenue en tension des composants avec DRIM Cooler est assurée par la technique de terminaisons en tension verticales que nous avons présentée plus tôt dans ce chapitre. La terminaison périphérique est réalisée en même temps que les microcanaux qui bénéficient ainsi des avantages des terminaisons verticales (angle des parois légèrement positif) afin de garantir une gestion efficace du champ électrique à l'interface de la zone active du composant et du fluide diélectrique.

5.3 Choix du fluide diélectrique

Le choix du fluide caloporteur pour le concept DRIM Cooler est essentiel pour garantir à la fois les performances thermiques de la technique de refroidissement mais aussi le fonctionnement électrique des composants. Ainsi le fluide caloporteur doit avoir des bonnes propriétés thermo-physiques (conductivité thermique élevée, chaleur massique élevée, faible viscosité etc.) mais aussi des bonnes propriétés diélectriques (rigidité diélectrique élevée et permittivité diélectrique faible) puisque le fluide va passer à l'intérieur des microcanaux où le champ électrique sera assez important. Ce point est même critique puisque le fluide va traverser le plan de la jonction PN du composant de puissance, lieu au niveau duquel règne le champ électrique maximal dans le composant. Aussi, dans notre cas il s'agit de refroidissement par convection forcée sans changement de phase, le fluide doit aussi avoir un point d'ébullition élevé. La tenue diélectrique du fluide doit donc être au moins égale aux contraintes apposées par le semi-conducteur.

Par ailleurs, le fluide doit aussi être chimiquement compatible avec tous les matériaux avec lesquels il va être en contact – la puce et tous les éléments du circuit. Enfin le fluide doit être non toxique et respectueux de l'environnement.

Une description détaillée des différents fluides (diélectriques et non diélectriques) utilisés dans des applications de refroidissement de composants électroniques est présentée dans [MOH06]. Le choix des fluides caloporteurs candidats pour une application de refroidissement donnée peut être effectué en utilisant le nombre de Mouromtseff qui est défini par la relation suivante :

$$Mo = \frac{\rho^a k^b c_p^d}{\mu^e} \quad (I.7.)$$

où ρ [kg/m³] est la masse volumique, k [W/m*K] est la conductivité thermique, C_p [J/kg*K] est la chaleur spécifique et μ [kg/m*s] la viscosité dynamique du fluide. Les coefficients a , b , d , et e dépendent du mode de transfert de chaleur et sont déterminés à partir des corrélations correspondantes [SIM06].

La signification du nombre de Mouromtseff réside dans le fait que pour une géométrie donnée et pour une vitesse spécifiée, le fluide avec le plus grand nombre de Mouromtseff va avoir le taux de transfert de chaleur le plus élevé. Une étude comparative basée sur le nombre de Mouromtseff afin d'estimer le taux relatif de transfert de chaleur pour différents fluides a été réalisée par [SIM06]. La figure I.33. montre la comparaison du taux relatif de transfert de chaleur pour différents fluides à 20°C dans le cas d'un écoulement interne laminaire complètement développé figure I.33.a) et pour un écoulement laminaire non développé figure I.33.b) - les deux couleurs représentent deux cas de prise en compte de corrélations différentes.

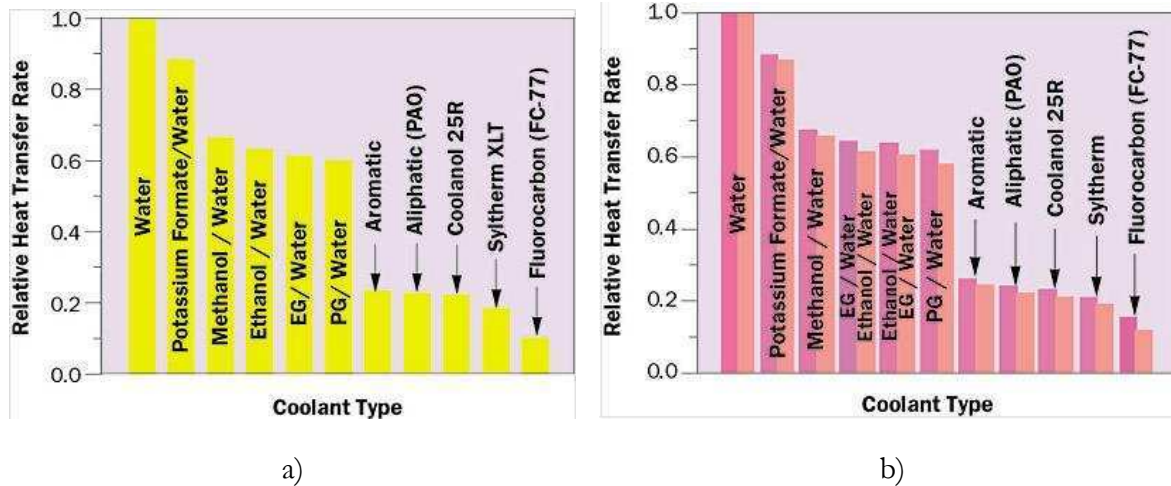


Fig. I.33. - Comparaison du taux relatif de transfert de chaleur pour différents fluides à 20°C, a) écoulement interne laminaire complètement développé et b) non développé [SIM06].

Comme on peut le voir sur la figure I.33., les performances thermiques des fluides diélectriques (dans cet exemple – Aromatic, Aliphatic, Coolanol, Syltherm, Fluorocarbon) sont bien plus faibles que celles de l'eau. Cela est dû en particulier à leur conductivité thermique plus faible qui affecte le coefficient d'échange (égale à 0.6W/mK pour l'eau et comprise entre 0.1 et 0.2W/mK pour les fluides diélectriques). Un aspect intéressant représenté dans la figure I.33. est le constat que dans le cas de l'écoulement laminaire les performances thermiques des fluides fluorocarbonés, qui sont les plus utilisés dans les applications électroniques, sont les plus faibles. Ainsi, dans notre application, il paraît plus bénéfique d'utiliser d'autres fluides diélectriques comme le Coolanol25R par exemple.

Ainsi, sur la base de ces résultats et sur les critères cités plus haut, nous avons fait le choix d'utiliser l'ester silicate Coolanol 25R [EXX] pour valider le concept DRIM Cooler. Il est important de noter que notre choix s'est porté sur le Coolanol 25R par rapport aux autres fluides diélectriques candidats puisque le fluide Coolanol a une viscosité dynamique bien plus faible que les autres fluides diélectriques et ainsi les pertes de charge obtenues avec le Coolanol comme fluide caloporteur doivent être plus faibles. Pour illustrer cela, le tableau I montre une comparaison des propriétés physiques de l'eau, du Coolanol 25R et d'un autre fluide diélectrique – Midel compatible avec l'application DRIM Cooler.

TABLEAU I: COMPARISON DES PROPRIETES PHYSIQUES DE COOLANOL25R, MIDEL ET EAU

	T(°C)	Cp(J/kg*K)	ρ (kg/m ³)	μ (kg/m/s).10 ⁻³	k(W/m/K)
eau	20	4183	998.3	1	0.602
Coolanol		1968	920	6	0.132
Midel		1880	970	68	0.144
eau	60	4185	983.1	0.5	0.653
Coolanol		2177	880	2.1	0.129
Midel		1994	941	13	0.141
eau	80	4198	971.7	0.5	0.669
Coolanol		2220	860	2	0.127
Midel		2023	926	7	0.139

Ce tableau nous permet de montrer que les fluides diélectriques ont une conductivité thermique environ 4 fois plus faible que celle de l'eau. Par ailleurs, le produit $\rho.C_p$ est approximativement deux fois plus petit pour les fluides diélectriques, l'échauffement de ces derniers est donc plus important lorsqu'ils passent dans un système comportant une dissipation thermique. Les fluides diélectriques sont donc de moins bons fluides caloporteurs que l'eau. Nous voyons toutefois que ces propriétés sont quasiment identiques pour les deux fluides isolants. Le choix du Coolanol s'effectue donc plus spécifiquement par rapport à sa viscosité qui est environ 10 fois plus petite que celle du Midel à température ambiante. De plus, comme l'eau, le Coolanol a une viscosité qui varie relativement peu en fonction de la température. Ainsi, l'utilisation du Coolanol permet d'avoir des pertes de charge relativement réduites et permet également un démarrage du système à faible température beaucoup plus aisé.

En ce qui concerne les propriétés diélectriques de Coolanol 25R, sa constante diélectrique à 25°C est égale à 2.6 et sa rigidité diélectrique à 40kV pour un intervalle entre électrodes de 2,4mm. Néanmoins, les petits diamètres hydrauliques des microcanaux du DRIM Cooler doivent permettre une amélioration significative de la rigidité diélectrique du fluide et laissent espérer son utilisation possible largement au dessus de ses limites habituelles. Pour illustrer cette hypothèse nous pouvons citer une étude antérieure [LES02] qui montre que le champ local d'apparition des décharges sous tension impulsionnelle dans un liquide isolant (huile minérale de transformateur) diminue lorsque la dimension de l'électrode augmente (rayon de courbure d'une pointe ou d'une tige à extrémité arrondie) comme le montre la figure I.34.

Dans notre cas, les phénomènes de claquage vont probablement être différents puisqu'il existe une interface solide/liquide et le champ électrique dans le cas du DRIM Cooler est imposé par le semi-conducteur mais nous n'avons pas pu trouver dans la littérature de cas d'étude s'approchant de cette configuration.

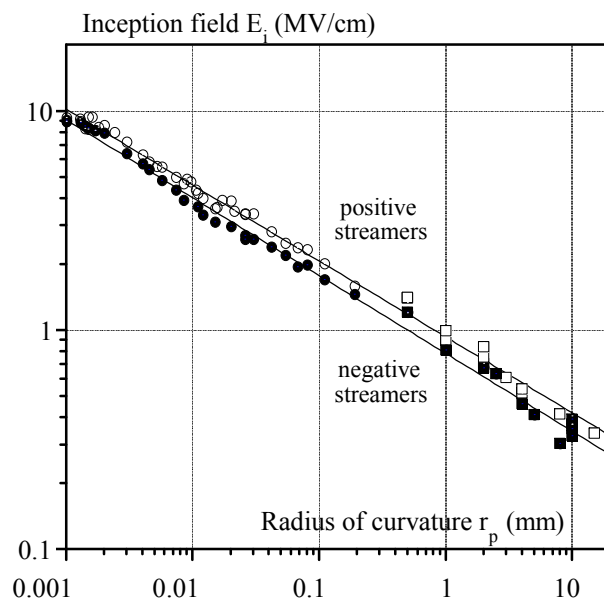


Fig. I.34. – Champ local d'apparition de décharges positives (symboles blancs) et négatives (symboles noirs) en fonction du rayon de courbure de l'électrode de polarisation [LES02].

Comme on peut le voir sur la figure I.34., lorsqu'on considère des petites tailles allant de plusieurs dizaines à plusieurs centaines de μm , le champ de claquage dans le matériau diélectrique devrait être de plusieurs MV/cm. Ce sujet ne fera pas l'objet d'une analyse plus approfondie dans le cadre de cette thèse mais cela peut représenter un sujet de recherche futur très intéressant des points de vue mécanismes de claquage, puisque dans notre cas on connaît précisément et on fixe

la répartition du champ, alors que dans le cas de la figure I.34. lorsqu'on considère un isolant seul, c'est la géométrie des électrodes (bien connue) plus la présence de charges d'espaces (de répartition généralement très mal connue) qui fixent le champ.

5.4 Analyse des performances des composants avec DRIM Cooler

Afin de pouvoir comparer et optimiser les performances des composants avec DRIM Cooler, plusieurs prototypes différents ont été imaginés. Le choix des motifs des canaux intégrés au sein du composant de puissance a été fait en envisageant différentes formes géométriques, dimensions et taux d'occupation :

- différentes formes géométriques pour la section des canaux : carrés, rectangles, cercles
- différents diamètres hydrauliques des canaux : allant de $50\mu\text{m}$ jusqu'à $400\mu\text{m}$
- la surface totale d'une puce est de $14\times 14\text{mm}^2$, dont $10\times 10\text{mm}^2$ sont occupés par les canaux. La périphérie est laissée libre afin de réaliser le contact électrique avec les électrodes. La largeur des zones de contact est très importante avec 2mm sur toute la périphérie et pourrait être optimisée par la suite.
- le pourcentage de surface de silicium occupé par les canaux (taux d'occupation des canaux par rapport à la surface totale de la puce, périphérie de contact non incluse) varie de 6% à 25%
- l'épaisseur des wafers, donc la longueur des canaux peut varier selon l'application – dans notre cas ce sont des wafers épitaxiés d'environ $500\mu\text{m}$ d'épaisseur

Compte tenu de ces paramètres, nous avons réalisé plusieurs modèles analytiques que nous avons ensuite comparés avec des simulations numériques afin de valider l'intérêt en terme de performance de refroidissement de l'approche DRIM Cooler. L'analyse détaillée des résultats obtenus sera présentée dans le chapitre IV. Dans ce paragraphe nous allons présenter rapidement les points forts du concept c'est-à-dire une grande surface d'échange entre le fluide et le semi-conducteur, un coefficient d'échange élevé, une faible différence de température entre la paroi et le fluide, une distribution homogène de la température dans le semi-conducteur, des pertes de charge faibles. Cela nous permettra de justifier le choix de l'intégration des microcanaux directement dans la zone active de la puce.

- Surface d'échange

La réalisation des microcanaux permet d'obtenir une grande surface d'échange qui dépend bien sûr de la taille des canaux et du taux d'occupation – par exemple pour un composant de surface 1cm^2 avec $500\mu\text{m}$ épaisseur du substrat dont 10% de la surface totale est occupée par des microcanaux de $100\times 100\mu\text{m}^2$, la surface d'échange est égale à 2cm^2 et pour une occupation de 25%, la surface d'échange est égale à 5cm^2 .

- Coefficient d'échange

Comme nous l'avons déjà mentionné, dans le domaine des écoulements laminaires (le régime d'écoulement étant caractérisé par le nombre de Reynolds dans le cas des microcanaux du DRIM Cooler son ordre de grandeur est souvent $\text{Re} < 10$), le coefficient d'échange est d'autant plus grand que le diamètre hydraulique est petit. Un autre paramètre géométrique qui affecte considérablement les valeurs du coefficient d'échange est la longueur des canaux – lorsque les canaux sont longs, les effets d'entrée de l'établissement du profil thermique dans le fluide peuvent être négligés alors que dans le cas où les canaux sont courts, comme dans le cas du DRIM Cooler, ces effets d'entrée ont un impact important sur les valeurs du coefficient d'échange. En effet, le nombre de Nusselt, qui est directement proportionnel au coefficient d'échange, a des valeurs très

élevées dans la zone où les effets d'entrée sont dominants et sa valeur diminue jusqu'à une valeur constante pour le régime établi [BEJ03, SHA78].

La figure I.35 représente l'évolution du nombre de Nusselt moyen et du coefficient d'échange moyen en fonction de la longueur du canal, dans le cas de la corrélation fournie par Bejan [BEJ03] basée sur des données de Shah et London [SHA78] lorsque le développement est hydrauliquement établi et thermiquement en cours d'établissement (cela sera le cas du DRIM Cooler comme nous le verrons dans le chapitre IV). Pour cet exemple nous avons considéré une puce de 1cm^2 qui comporte 1400 canaux circulaires de $100\mu\text{m}$ de diamètre hydraulique (soit une occupation de $1/9$ de la surface totale de la puce). La puissance dissipée par la puce est de 500W et l'élévation de la température entre l'entrée et la sortie du fluide est fixée à 10°C . Le fluide utilisé est le Coolanol 25R. Comme nous pouvons le voir sur la figure I. 35, le nombre de Nusselt moyen et le coefficient d'échange moyen diminuent quand la longueur du canal augmente. Dans notre cas, c'est-à-dire pour une longueur de $500\mu\text{m}$, l'ordre de grandeur du coefficient d'échange est de $20000\text{W}/\text{m}^2\text{K}$.

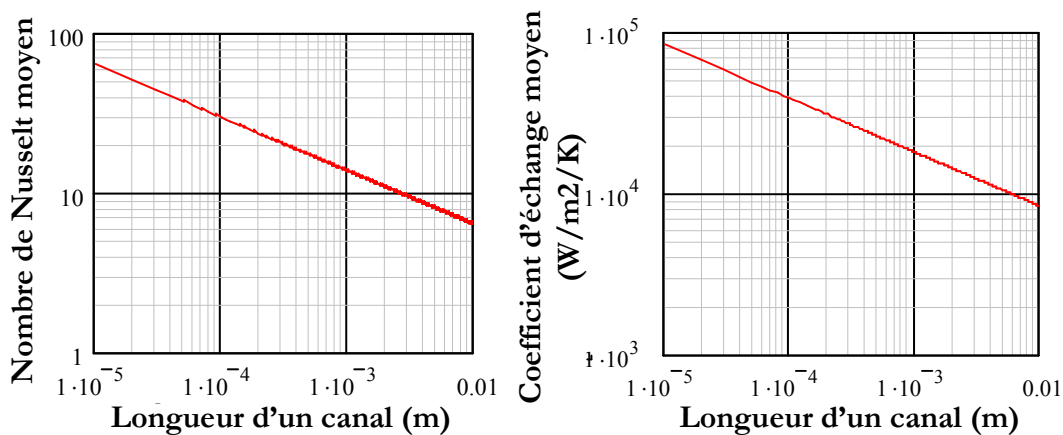


Fig. I.35. – Nombre de Nusselt moyen et coefficient d'échange moyen en fonction de la longueur du canal.

La figure suivante montre l'évolution du coefficient d'échange dans le même cas d'étude en faisant varier le diamètre hydraulique des canaux (occupation $1/9$ diamètres hydrauliques - $50\mu\text{m}$, $100\mu\text{m}$, $200\mu\text{m}$, $400\mu\text{m}$) en fonction de la température moyenne du fluide.

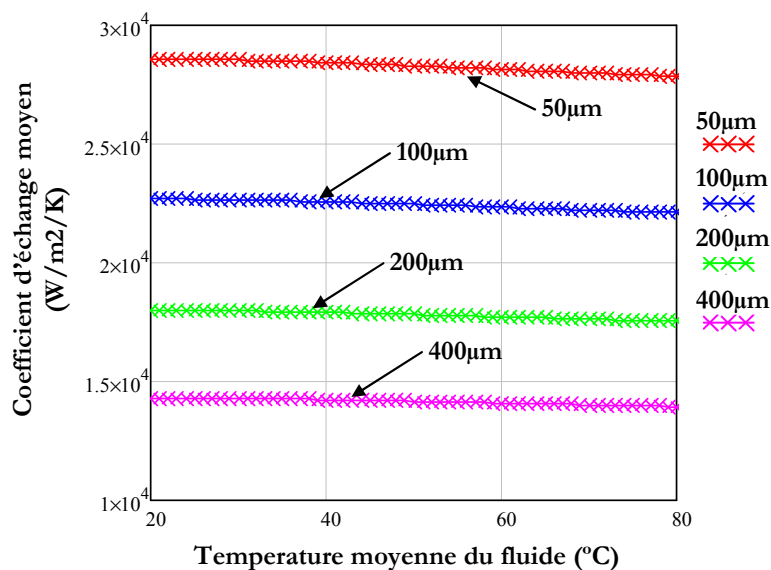


Fig. I.36. – Coefficient d'échange moyen pour différents diamètres hydrauliques en fonction de la température moyenne du fluide.

Comme attendu, le coefficient d'échange est d'autant plus élevé que le diamètre hydraulique est faible. Toutefois, un diamètre hydraulique faible va induire des pertes de charges élevées. Une solution simple qui permet de réduire les pertes de charge dans ce cas consiste à augmenter le nombre de canaux en parallèle avec, en contrepartie, une diminution légère du coefficient d'échange. Ainsi, pour un débit donné, la vitesse moyenne par canal diminue et les pertes de charge sont amoindries. Une augmentation du taux d'occupation des microcanaux permet aussi d'améliorer l'échange thermique comme présenté sur la figure I.37 qui montre la différence de la température paroi-fluide en fonction de la température moyenne du fluide. Le cas présenté sur la figure I.37. concerne les canaux de 50 μm en faisant varier l'occupation – 1/4, 1/9 et 1/16 de la surface totale 1cm² de la puce (hors zones périphériques). Comme représenté sur la figure I.37., pour une puissance dissipée de 500W et une différence de température entrée – sortie du fluide de 10°C (soit un débit total du Coolanol de 1.6L/min) la différence de température paroi-fluide T_{pf} est de seulement quelques dizaines de degrés Celsius.

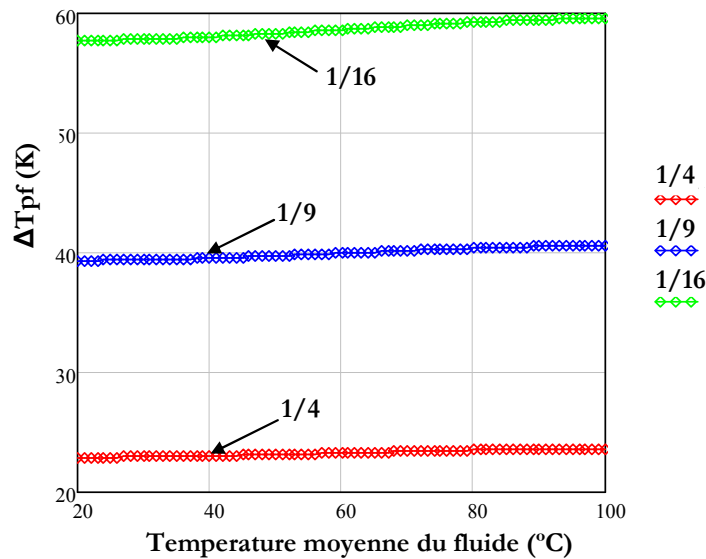


Fig. I.37. – Différence de température paroi-fluide pour des différentes occupations - 1/4, 1/9 et 1/16 en fonction de la température moyenne du fluide.

- Pertes de charge

L'un des principaux intérêts du concept de refroidissement DRIM Cooler est la possibilité de considérablement diminuer les pertes de charge par rapport aux techniques de refroidissement par microcanaux classiques. Afin de démontrer cet aspect, nous avons comparé les pertes de charge pour les canaux perpendiculaires à la jonction PN (le cas du DRIM Cooler) par rapport aux pertes de charge dans les canaux parallèles à la jonction PN (cas des microcanaux classiques réalisés en face arrière de la puce). Les valeurs des pertes de charge présentées dans l'exemple suivant sont calculées en considérant le fluide Coolanol comme fluide de refroidissement pour un débit constant de 1.6L/min, déterminé comme dans le cas présenté dans le paragraphe précédent pour une puissance dissipée de 500W et une élévation de la température du fluide de 10°C. Le taux d'occupation des microcanaux est fixe (10% de la surface totale de la puce) et c'est la taille de la puce qui est variable (5mm, 10mm et 15mm de côté pour une épaisseur constante de 500 μm). La figure I.38. montre l'évolution des pertes de charge en fonction du diamètre hydraulique des canaux dans le cas du DRIM Cooler et des microcanaux classiques.

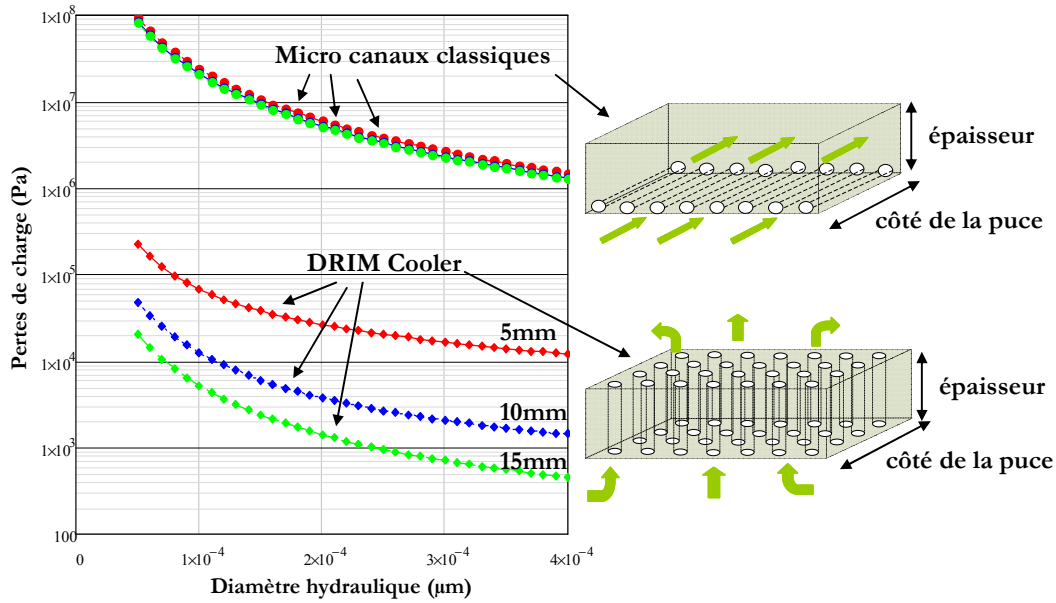


Fig. I.38. – Comparaison des pertes de charge dans le cas du DRIM Cooler et dans le cas des microcanaux classiques en fonction du diamètre hydraulique pour une variation du côté de la puce (5mm – courbe en rouge, 10mm- courbe en bleu, 15mm-courbe en vert).

Une variation du côté de la puce dans le cas des microcanaux classiques induit une variation du nombre de canaux mais aussi une variation de la longueur des canaux et, dans ce cas, les pertes de charges sont identiques comme représenté sur la figure I.38. Au contraire, dans le cas du DRIM Cooler, le nombre des canaux varie et leur longueur reste identique et égale à l'épaisseur de la puce. Dans ce cas, les pertes de charge diminuent avec l'augmentation du nombre de canaux. Dans tous les cas, comme on peut le voir sur la figure I.38., les pertes de charge dans le cas du DRIM Cooler sont significativement plus faibles (plusieurs centaines de fois) que dans le cas classique.

- Répartition de la température dans le semi-conducteur

Un point fort du concept de refroidissement DRIM Cooler par rapport aux techniques classiques de refroidissement sont les faibles gradients de températures dans le semi-conducteur. Pour illustrer cet aspect nous allons prendre l'exemple du refroidissement des modules à substrat isolé (figure I.39.). Comme nous l'avons mentionné, dans ce cas l'évacuation de la chaleur est facilitée par l'insertion d'un spreader au-dessous du composant qui permet l'épanouissement du flux de chaleur. Dans une telle configuration les gradients de température le long de l'axe y sont dus aux différentes interfaces thermiques. Par ailleurs, l'épanouissement du flux de chaleur selon l'axe x induit des gradients de température à la surface de la puce. La répartition de la température sur la surface de la puce prend alors une forme de cloche avec des variations importantes pouvant atteindre plusieurs dizaines de degrés Celsius.

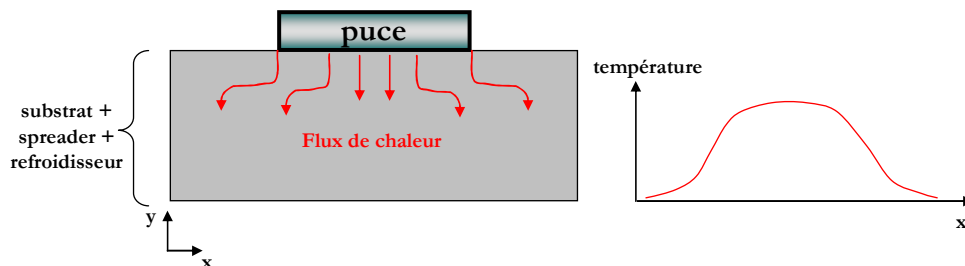


Fig. I.39. - Gradients de température le long d'un module de puissance suite à l'épanouissement du flux de chaleur.

Dans le cas du refroidissement par DRIM Cooler, la chaleur est prélevée par contact direct entre le fluide et le composant (figure I.40.). Dans ce cas il n'y a pas d'épanouissement de la chaleur selon l'axe x et donc de gradients de température. Pour affirmer cela, nous faisons toutefois l'hypothèse que les échanges thermiques entre la périphérie du composant et le système extérieur sont nuls c'est à dire que tout le flux de chaleur est directement transmis du composant au fluide qui passe dans les microcanaux. Dans ce cas, la température le long de l'axe y est quasiment uniforme grâce à la haute conductivité thermique du silicium. Cet aspect est présenté avec plus de détails dans le chapitre IV.

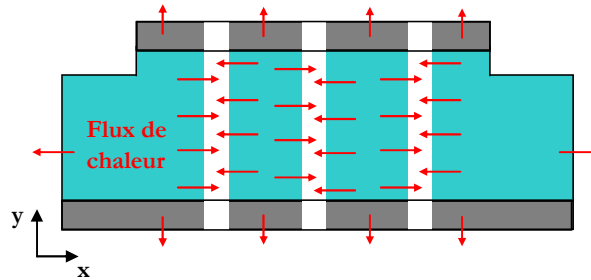


Fig. I.40. - Flux de chaleur dans un composant avec DRIM Cooler.

Connaissant le package de ce composant, une étude plus approfondie sera nécessaire pour évaluer les échanges thermiques en périphérie de la puce qui pourraient selon les caractéristiques géométriques et thermiques de cette région créer un profil en cloche.

En ce qui concerne l'uniformité de la température le long de l'axe x, celle-ci sera fortement dépendante de la qualité des métallisations en surface et de la distribution du courant dans le composant. Si dans un premier temps nous faisons l'hypothèse que la densité de pertes est homogène et nous avons une distribution uniforme de microcanaux alors les seuls gradients de température qui peuvent être présents seront localisés dans la partie silicium entre deux canaux voisins.

Une manière classiquement utilisée pour faire l'hypothèse d'uniformité de température est le calcul du nombre de Biot. Ce nombre sans dimension est le rapport entre la résistance thermique interne à un corps solide et la résistance thermique due à l'échange convectif en surface de ce corps. Il peut être défini par la relation suivante:

$$Bi = \frac{h.V}{k.S} \quad (I.8.)$$

où h est le coefficient d'échange, V le volume du semi-conducteur, S est la surface d'échange et k la conductivité thermique du silicium. Un nombre de Biot faible signifie que le gradient thermique est principalement situé entre la paroi et le fluide. Au contraire, un nombre de Biot élevé signifie que le gradient de température est situé majoritairement dans le solide.

Dans le cas de l'exemple cité plus haut - puce de 1cm², d'épaisseur 500 μm dont 25% de la surface totale est occupée par des canaux carrés de 50μm de côté, puissance à dissiper 400W et élévation de la température du fluide de 50°C, le coefficient d'échange moyen estimé est h=9*10³W/m²/K (voir chapitre IV pour l'estimation de ce coefficient d'échange) et le nombre de Biot est inférieur à 10⁻². Le gradient thermique dans le silicium peut donc être largement négligé. Comme nous le verrons dans le chapitre IV, l'uniformité de la température dans le silicium sera aussi validée par les résultats des simulations numériques.

5.5 Analyse des contraintes des composants avec DRIM Cooler

Comme nous l'avons mentionné plus haut, la réalisation des microcanaux directement dans la zone active du composant de puissance induit plusieurs contraintes pour le fonctionnement électrique du composant. Dans le paragraphe suivant nous allons analyser quelques unes de ces difficultés.

- Répartition du courant dans le semi-conducteur

Lorsqu'on considère la réalisation de composants avec DRIM Cooler un aspect important concerne la réalisation des interconnexions électriques de qualité et l'analyse de la distribution du courant dans le semi-conducteur. Comme nous l'avons mentionné, la prise de contact peut être réalisée en périphérie de la puce (figures I.32 et I.41). Une autre solution peut être de réserver des zones de contact en surface du composant comme représenté sur la figure I.41. où des interconnexions de type bumps ou micro poteaux peuvent par exemple être utilisées. Dans tous les cas, il est nécessaire de s'assurer de la distribution homogène du courant dans le composant en réalisant des métallisations épaisses sur les électrodes afin de créer des équipotentielles de qualité. L'influence de l'épaisseur de la métallisation sur la distribution homogène du courant dans la puce a été étudiée pendant les travaux de recherche de Eric Vagnon [VAG10] en vue de la réalisation d'une prise de contact pressée. Son étude a démontré que, plus la résistance de la métallisation est importante, plus les écarts de distribution de courant dans la puce sont importants. Une telle analyse souligne l'intérêt de la conception couplée de la puce et de son package suivant la méthode de prise en contact.

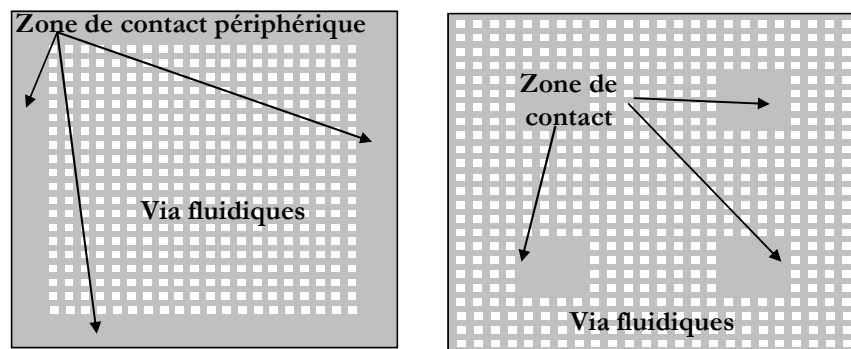


Fig. I.41. - Vue de dessus des électrodes d'interconnexion d'un composant avec DRIM Cooler.

Les couches de métal épaisses sur les deux faces des puces avec DRIM Cooler peuvent être soit déposées via le procédé technologique de réalisation des composants soit reportées en fin de process (par exemple collage moléculaire d'un matériau adapté qui comporte également des trous, un peu comme un grillage, pour le passage du fluide et dont le CTE est proche de celui du silicium comme le molybdène) [AVE10-2].

- Tenue en tension et courant de fuite

La tenue en tension des composants avec DRIM Cooler n'est théoriquement pas affectée par l'introduction des microcanaux directement dans la zone active. Une analyse détaillée basée sur des simulations numériques ainsi que quelques validations pratiques seront présentées dans le chapitre III.

En ce qui concerne l'augmentation du courant de fuite dans le cas où la zone active du composant est traversée par plusieurs microcanaux, cette dernière peut avoir lieu dans le cas où les canaux ne sont pas proprement passivés ou dans le cas où le matériau diélectrique utilisé pour leur passivation favorise l'accumulation de charges de surface. Cela est le cas des supercondensateurs où deux électrodes poreuses sont séparées par une couche isolante poreuse qui est utilisée pour l'accumulation des charges nécessaires pour emmagasiner de l'énergie. La figure I.42.a) illustre ce phénomène en montrant que les charges sont accumulées aux deux interfaces des parties

conductrices – isolant quand un champ électrique radial est appliqué. Quand les charges sont accumulées, cela peut modifier significativement la distribution du champ électrique ce qui aurait des conséquences dramatiques dans le cas des semi-conducteurs avec DRIM Cooler. Toutefois, dans notre cas, nous allons faire l'hypothèse que l'apparition de charges sur les parois des microcanaux ne peut avoir lieu que durant la réalisation des canaux, ce qui peut être optimisé voir éliminé. En effet, la direction du champ électrique appliqué est, dans notre cas, parallèle aux microcanaux. De fait, si le fluide devait transporter des charges, celles-ci ne pourraient en aucun cas s'accumuler au niveau de l'interface des canaux à cause du champ important régnant en parallèle de celle-ci.

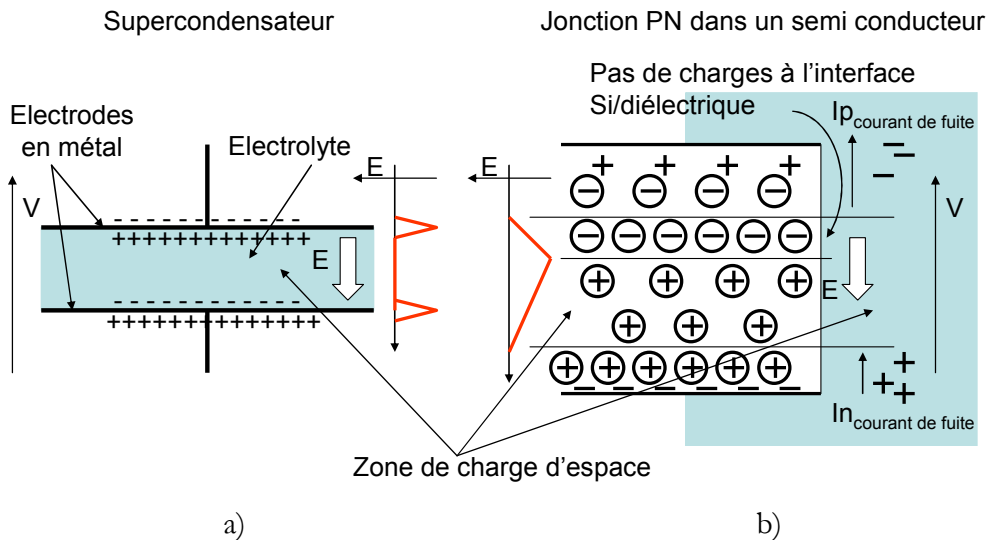


Fig. I.42. – Charges de surface dans a) un supercondensateur et b) un semi – conducteur.

La zone de charge d'espace créée dans le semi-conducteur se prolonge aussi dans le matériau diélectrique. Ce phénomène est illustré sur la figure I.42.b). Enfin, le champ électrique dans le matériau diélectrique est imposé par le semi-conducteur. Ainsi des courants de fuite élevés peuvent être attendus si la concentration intrinsèque en impuretés ionisées dans le diélectrique est élevée, ce qui ne devrait pas être le cas des fluides diélectriques avec des propriétés physiques convenablement choisies. De nombreuses études ont été menées pour démontrer que pour les composants semi-conducteurs avec des tranchées profondes en périphérie, le traitement imparfait des parois peut influencer le fonctionnement électrique des composants [OBE02]. Il est bien connu de la physique des semi-conducteurs que les charges de surface dues aux états d'interfaces ou à des ions fixes induisent une zone de charges de surface à la surface du semi-conducteur. Lorsqu'une jonction périphérique « exposée » est créée et lorsque peu d'importance est portée sur le traitement de la jonction périphérique alors des régions de forte inversion ou accumulation adjacentes de l'interface Si-diélectrique sont formées. Ces régions affectent fortement le fonctionnement du composant lors de sa polarisation en inverse puisqu'elles affectent la zone de charge d'espace développée dans le substrat en favorisant l'augmentation locale de l'intensité du champ électrique ce qui a des effets néfastes sur la tenue en tension du dispositif. Dans certains cas ces zones d'accumulation ou d'inversion peuvent agir comme un shunt pour le passage du courant inverse en augmentant considérablement sa valeur. Cependant dans le cas où le traitement des parois et la passivation sont considérées "parfaits", cette zone de charges de surface n'est plus qu'une zone de déplétion qui normalement ne devrait pas affecter les performances électriques des dispositifs. Toutefois, dans notre cas concret aucun traitement des flancs des motifs n'a pas été réalisé et comme cela va être exposé dans le chapitre III des conséquences sur les caractéristiques des composants n'ont pas été observés. Enfin, cette question ne sera pas abordée avec plus en détails dans ce document car cela exige des compétences et des études plus approfondies sur les matériaux diélectriques qui sont hors du contexte de cette thèse.

- Densité du courant et chute de tension à l'état passant

En ce qui concerne la densité de courant et la chute de tension à l'état passant, nous n'avons pas effectué de simulations numériques pour évaluer les conséquences possibles de la réduction de la surface active suite à l'intégration des microcanaux dans la zone active du composant. Cela dépend bien sûr du taux de remplissage des microcanaux qui d'autre part induit des gains importants au niveau du refroidissement des composants avec DRIM Cooler. Bien sûr, plus la résistance à l'état passant est faible plus les pertes seront faibles et plus l'évacuation de la chaleur sera facilitée. Il est bien connu que, pour les composants de puissance, le calibre en courant est limité d'une part par les caractéristiques physiques et électriques du matériau mais surtout par les performances du système de refroidissement associé. En considérant que pour les composants en silicium c'est principalement la limitation de température maximale de fonctionnement qui détermine le calibre en courant du composant, l'introduction de plusieurs microcanaux en parallèle directement dans la zone active du composant et même au niveau de la jonction PN (au plus près de la source de chaleur), l'uniformité de la température dans le substrat peut être garantie et le refroidissement du composant peut être considéré optimal car presque sans interface entre la zone de chauffe et le liquide de refroidissement. Par conséquent, un composant de puissance avec DRIM Cooler peut avoir un calibre en courant plus élevé, même si la section du passage du courant est réduite, comparé avec un composant de puissance de la même taille sans DRIM Cooler.

Pour illustrer cet aspect nous allons donner un exemple. La figure I.43. montre la résistance normalisée en fonction de la température d'un transistor MOS de puissance. Nous voyons sur la figure qu'à 25°C la résistance normalisée vaut 1 et à 125°C la résistance vaut approximativement 2. Nous allons considérer que la surface du MOS est égale à 1. Si maintenant on imagine que 1/4 de sa surface est occupée par les microcanaux alors sa résistance sera égale à 4/3 à 25°C et égale à $1,4 \cdot 4/3 = 2$ à 75°C. Si nous faisons l'hypothèse que les pertes par commutation sont négligeables, que le MOS avec DRIM Cooler a une résistance thermique 2 fois plus faible que le MOS sans DRIM Cooler et que ce dernier a une température de 125°C lors de son fonctionnement, la température du MOS avec DRIM Cooler sera de 75°C dans les mêmes conditions de dissipation (même valeur de résistance normalisée) Ainsi pour le même niveau de pertes, l'élévation de la température serait divisée par 2. Dans le cadre de cette thèse l'hypothèse reste seulement qualitative et une analyse plus approfondie devra être menée dans le futur afin de la valider.

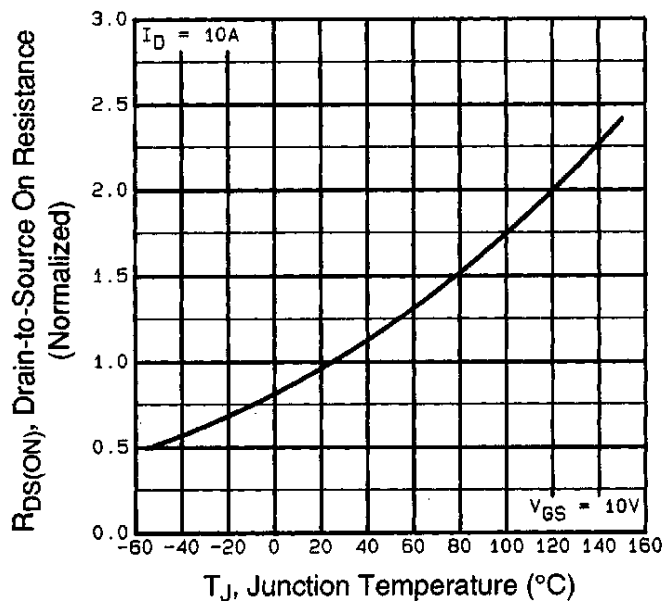


Fig. I.43. – Résistance normalisée en fonction de la température pour un MOS de puissance.

5.6 Perspectives conceptuelles

Le concept de refroidissement DRIM Cooler permet de différencier les chemins de propagation thermique et électrique ce qui permet d'imaginer des nouvelles topologies originales de modules de puissance. Dans le cas du refroidissement par DRIM Cooler la surface d'échange thermique est localisée à l'intérieur du composant et ainsi les faces supérieures et inférieures de la puce ne servent plus qu'à l'amenée du courant (par opposition de l'état de l'art actuel où au moins une des deux faces du composant sert à la fois pour le passage du flux de chaleur et du courant). La particularité du concept de refroidissement DRIM Cooler concerne le passage du fluide caloporteur dans le sens perpendiculaire à la section de la puce ce qui donne une vision aisée de la mise en série de plusieurs puces en les empilant les unes sur les autres. Figure I.44. représente une vision artistique de cette possibilité d'empilement des puces et des électrodes.

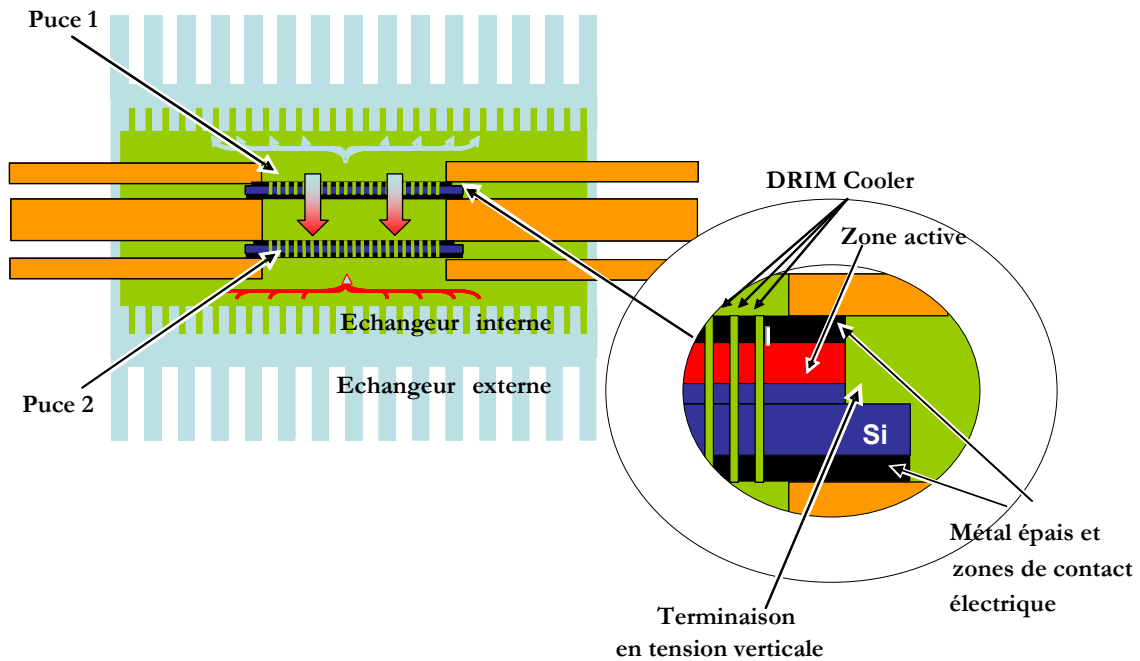


Fig. I.44. – Empilement de puces de puissance avec DRIM Cooler.

Nous pouvons imaginer que les deux puces (figure I.44.) sont soit deux diodes afin d'augmenter le calibre en tension soit une diode et un transistor afin de former une cellule de commutation. La prise de contact électrique entre les puces et les électrodes peut être réalisée par pression, brasure, etc... Dans ce type de mise en œuvre, le fluide circule à travers les puces les unes après les autres dont il prélève la chaleur et la distribue vers une partie plus facile à refroidir avec une surface d'échange plus grande (échangeur interne et externe dans la figure I.44.). L'analyse des performances thermiques dans ce cas peut être réalisée en considérant l'empilement comme une succession de modèles élémentaires pour lesquels la température d'entrée du fluide pour la puce 2 est égale à la température de sortie du fluide de la puce 1 (figure I.44.). Nous pouvons imaginer dans ce cas que la puce 2 sera moins bien refroidie que la puce 1 suite à l'échauffement du fluide. Une solution à ce problème pourrait être le décalage des canaux traversants des deux puces comme représenté sur la figure I.45. Dans une telle configuration la puce du bas sera refroidie par les microcanaux traversants mais également grâce à des jets impactants dus à l'accélération du fluide lorsqu'il passe dans les canaux de la puce du haut. Cela peut améliorer considérablement l'échange thermique et les effets du refroidissement intégré.

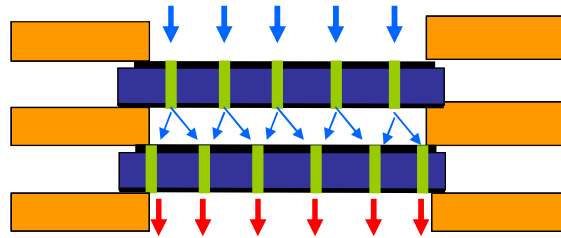


Fig. I.45. – Empilement de puces de puissance avec DRIM Cooler – les microcanaux sont décalés afin d'améliorer le refroidissement.

Enfin, la figure I.46. présente une vision de la cellule de commutation avec refroidissement complètement intégré au sein du module de puissance. Une pompe met en mouvement le fluide diélectrique qui récupère la chaleur dissipée dans la capacité de découplage intégrée au module (donc au plus près de la cellule de commutation pour diminuer l'inductance de maille) et dans les composants semi-conducteurs. La chaleur est ensuite transportée jusqu'au radiateur qui effectue son évacuation vers le milieu ambiant.

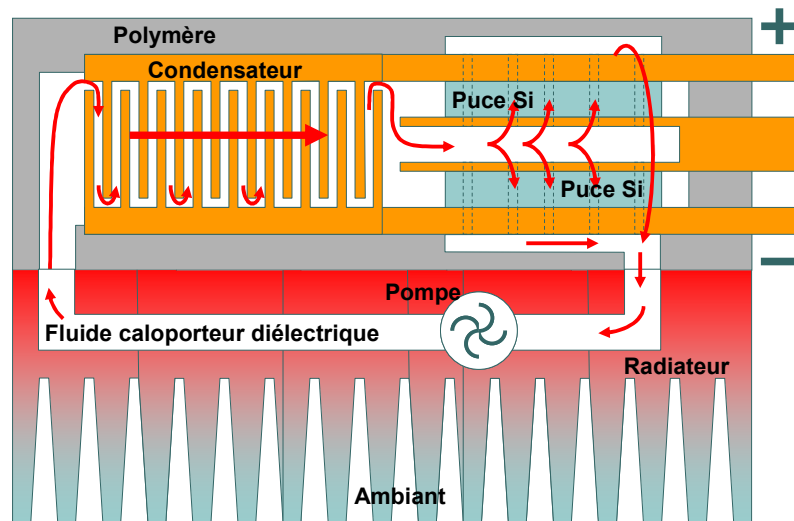


Fig. I.46. – Cellule de commutation avec refroidissement intégré.

6. Conclusion

Nous avons présenté dans ce chapitre les grandes lignes de la conception des modules de puissance 2D et 3D avec leurs points forts et faibles. Nous avons souligné les verrous qui s'opposent à l'évolution des modules de puissance vers des topologies plus originales et performantes et notamment la nécessité de développer des nouvelles technologies de prise de contact en face avant des puces. Nous avons ensuite entrepris une tout autre démarche qui consiste à mener une approche couplée de la conception puce/package afin de cette fois « adapter » la puce pour son package. La solution que nous avons proposée, nommée technique de terminaisons en tension verticales, consiste à revoir la gestion de la tenue en tension périphérique des composants de puissance afin de garantir leurs caractéristiques électriques optimales tout en facilitant la prise de contact en face avant des puces. La technique de terminaisons en tension verticales qui consiste à créer des tranchées profondes en périphérie des composants a été comparée avec la technique planar des anneaux de garde vis-à-vis d'un assemblage 3D et l'intérêt des terminaisons verticales a été démontré. Nous avons ensuite présenté la mise en profit de l'approche des terminaisons en tension verticales qui permet l'assemblage de plusieurs composants dans le même substrat en silicium à l'échelle du wafer –

puces multicomposants de puissance. Ce concept, qui consiste à « îloter » plusieurs composants dans le même substrat via la technique de terminaisons verticales, trouve une application très originale dans les structures polyphasées ou multiniveaux.

Ensuite nous avons présenté la gestion thermique des modules de puissance en nous focalisant sur leurs forces et faiblesses. Nous avons présenté les principaux paramètres caractérisant les performances thermiques des techniques de refroidissement actuelles et nous avons démontré que plus on travaille proche de la source de chaleur – la puce elle-même plus l'effet peut être bénéfique. Pour cela, nous avons fait le choix de ne pas limiter au chemin thermique entre la puce et le fluide caloporteur mais de travailler directement sur la puce pour améliorer les conditions des échanges thermiques. Ayant accès à la structure du composant de puissance et en profitant des travaux conduits au niveau des terminaisons en tension verticales, nous avons opté pour une structuration originale du composant de puissance permettant de faire transiter le fluide caloporteur à travers la puce de puissance par des microcanaux traversants directement la zone active du composant – concept DRIM Cooler. Les avantages offerts par le concept DRIM Cooler concernent la surface d'échange, le coefficient d'échange, les pertes de charge et la température du semi-conducteur ont aussi été discutés. Enfin nous avons présenté les nouvelles perspectives d'assemblage et de mise en œuvre des puces de puissance offertes par le concept DRIM Cooler grâce au découplage des chemins de propagation thermique et électrique.

Dans les chapitres qui suivent nous allons présenter la réalisation technologique des prototypes, l'étude numérique et la validation pratique des performances électriques et thermiques des deux concepts - composants de puissance avec terminaisons en tension verticales et avec DRIM Cooler.

Chapitre II. Développements, choix technologiques et réalisations des prototypes

Sommaire :

1. Introduction	67
2. Procédé technologique pour la réalisation pratique des diodes de puissance à terminaisons en tension verticales.....	67
2.1. Réalisation des masques.....	68
2.2. Diagramme de cheminement	68
2.3. Gravure profonde du silicium (DRIE).....	69
2.3.1. Généralités.....	69
2.3.2. Particularités de la gravure DRIE.....	70
2.3.3. Gravure des tranchées verticales.....	72
2.4. Contact ohmique et amenée de courant	74
2.5. Passivation des tranchées verticales.....	77
3. Procédé technologique pour la réalisation pratique des diodes de puissance avec DRIM Cooler	79
3.1. Dimensionnement et réalisation des masques	79
3.2. Diagramme de cheminement	80
3.3. Lithographie double face.....	81
3.4. Particularités du procédé DRIE pour la réalisation des canaux traversants.....	82
3.5. Passivation	84
4. Conclusion.....	85

1. Introduction

Dans le chapitre précédent nous avons proposé et présenté les deux concepts innovants du composant de puissance adapté à son package et du composant de puissance avec refroidisseur intégré. Dans le premier cas le dispositif est « équipé » avec des terminaisons en tension périphériques de type terminaisons en tranchées profondes verticales ce qui permet d'intégrer plusieurs composants de puissance dans le même substrat mais aussi d'assembler dans un package 3D un ou plusieurs composants pour améliorer le refroidissement et la CEM des composants de puissance [VAG10]. Dans le deuxième cas, des microcanaux traversants sont intégrés dans la zone active du composant de puissance, dans le sens perpendiculaire de la jonction PN, pour offrir un chemin de passage pour un fluide diélectrique caloporteur ce qui permet un refroidissement performant et efficace du composant. Il faut maintenant nous intéresser à la faisabilité technologique de ces deux composants et aux modifications de la structure qui doivent être effectuées tout en garantissant aux composants de puissance une intégrité structurelle et fonctionnelle et un niveau de performance équivalent.

Le deuxième chapitre de ce mémoire de thèse présente le développement d'une filière technologique post process pour la fabrication de diodes de puissance 600V à structure verticale avec terminaisons en tension verticales et avec refroidisseur intégré. Nous allons décrire rapidement les différents procédés et moyens technologiques de la microélectronique qui nous ont permis d'atteindre nos objectifs en nous concentrant sur les étapes un peu plus spécifiques que sont la gravure profonde de silicium, la passivation des tranchées verticales, la réalisation de couches épaisses de métal et la photolithographie double face. L'objectif de cette présentation n'est pas de faire un état des lieux des technologies existantes mais tout simplement de présenter les procédés que nous avons étudiés et utilisés et de sensibiliser le lecteur aux enjeux de la fabrication de nos composants. Nous présenterons le diagramme de cheminement pour la fabrication des diodes avec un accent sur les avantages de la filière post procés, sur les problèmes rencontrés et les choix technologiques que nous avons faits. L'ensemble des développements technologiques conduits garde à l'esprit la nécessaire maîtrise des coûts avec un minimum d'étapes supplémentaires et/ou modifications du procédé déjà établi qui est fiable et utilisable pour la conception des futurs composants.

2. Procédé technologique pour la réalisation pratique des diodes de puissance à terminaisons en tension verticales

Le G2Elab contribue depuis plusieurs années à l'effort d'intégration de puissance et dans ce sens une filière technologique de type VDDMOSFET (pour Vertical Double Diffused Metal Oxyde Silicon Field Effect Transistor) a été définie, développée et stabilisée [MIT05, CRE06]. La réalisation technologique de nos prototypes sera basée sur les paramètres technologiques (comme la dose et l'énergie d'implantation, les cycles des recuits thermiques etc.) déterminés dans la filière technologique VDDMOSFET développée au G2Elab en partenariat avec le CIME Nanotech. Ainsi, la filière post procés de réalisation de composants de puissance avec terminaisons en tension verticales que nous avons développée pourra facilement être appliquée sur les composants fabriqués dans le futur avec la filière VDDMOSFET. Une seule étape de photolithographie en fin du procés permettra de remplacer les terminaisons planar des composants fabriquées avec la filière VDDMOSFET par des terminaisons de type tranchées profondes verticales.

Des diodes de puissance à terminaisons en tension verticales et avec refroidisseur intégré ont été fabriquées dans les salles blanches de CIME (Centre Interuniversitaire de Microélectronique) Nanotech et de la Plateforme Technologique Amont (PTA) du CEA/CNRS à Grenoble. Nous nous sommes concentrés sur la réalisation de diodes car c'est le composant le plus simple à réaliser technologiquement et car il est suffisamment représentatif pour démontrer l'intérêt des

deux concepts proposés dans le premier chapitre. Etant donné les possibilités des équipements à notre disposition, nous avons adopté un standard de wafers de silicium 4 pouces (100mm de diamètre).

2.1 Conception des masques

La conception des tranchées nécessaires à la réalisation de nos diodes avec terminaisons en tension verticales a été réalisée en tenant compte des paramètres suivants:

- la surface totale d'une puce est de $8 \times 8 \text{mm}^2$ (calibre en courant 100A); ainsi lorsqu'on parle de plusieurs diodes (4, 9 et 16) intégrées dans le même substrat de silicium leur surface sera divisée par le nombre de diodes dans les $8 \times 8 \text{mm}^2$ de surface totale du substrat
- la largeur de la terminaison verticale est $250 \mu\text{m}$
- des terminaisons avec des rayons de courbure différents ont été conçues afin de pouvoir estimer l'effet de ce paramètre sur la tenue en tension des composants

Un seul niveau de masquage, comme cela est présenté dans le paragraphe suivant, est nécessaire pour la réalisation de nos prototypes. La figure II.1 représente le layout du masque des diodes de puissance avec terminaisons en tension verticales où on peut distinguer les motifs avec différents rayons de courbure.

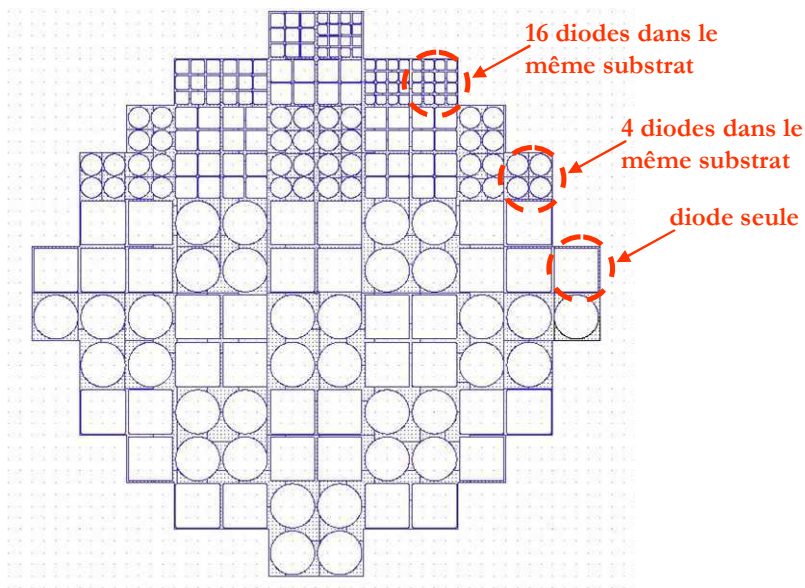


Fig.II.1. – Layout du masque des diodes de puissance avec terminaisons en tension verticales.

Après la phase de conception des masques sous Cadence, leur réalisation a été effectuée en sous-traitance par FEMTO ST.

2.2 Diagramme de cheminement

La fabrication des composants semi conducteurs de puissance à partir d'une plaquette « vierge » de silicium repose sur plusieurs étapes technologiques – implantation des impuretés, diffusion des dopants, dépôt de couches conductrices et de couches diélectriques, gravures humides et sèches, photolithographies [SZE01]. Le nombre des étapes technologiques est dépendant de la complexité des composants à réaliser. Le déroulement, étape par étape, ainsi que les paramètres spécifiques de toutes les étapes délicates mais aussi des étapes intermédiaires (comme le marquage, le nettoyage du substrat etc.) sont regroupés dans un document appelé

« diagramme de cheminement ». La définition du diagramme de cheminement est une étape très délicate qui relie l'ensemble des caractéristiques physiques de la filière technologique au procédé de fabrication des composants et assure la compatibilité de chaque étape vis-à-vis des autres.

La figure II.2. représente une vue simplifiée du diagramme de cheminement pour la réalisation des diodes de puissance avec terminaisons en tension verticales.

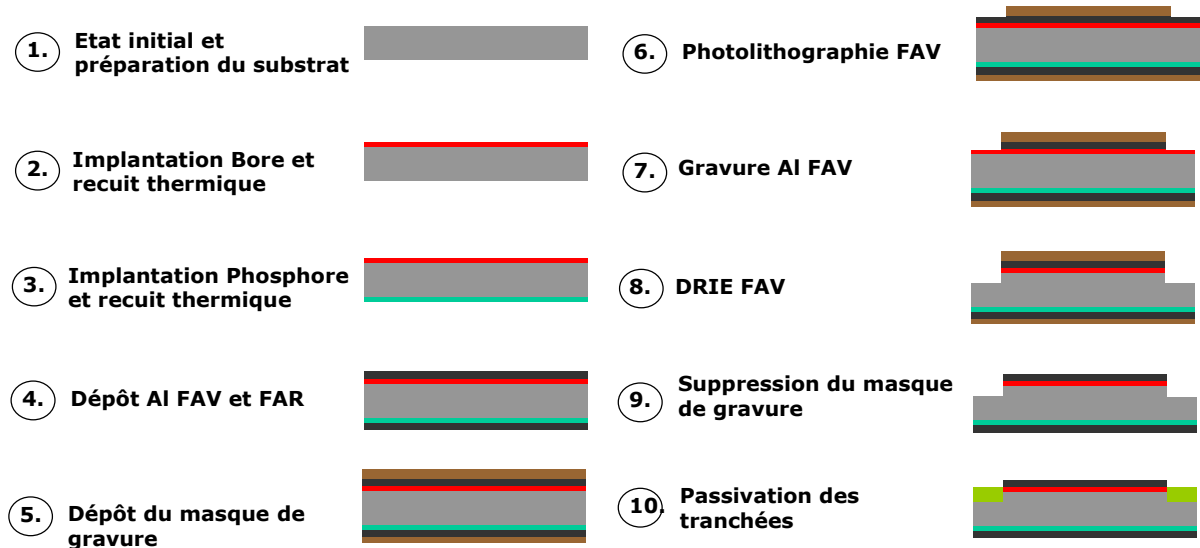


Fig.II.2. – Diagramme de cheminement simplifié pour la réalisation des diodes de puissance avec terminaisons en tension verticales.

Dans notre cas le substrat de départ est un wafer de silicium de type N (100) d'épaisseur 500 μ m dont 55 μ m de couche epitaxiée faiblement dopée (20 Ω .cm). Comme représenté sur la figure II.1., le procédé technologique présente l'avantage de pouvoir effectuer toutes les étapes pleine tranche avec un minimum d'étapes de photolithographie. Une seule étape (6) de photolithographie est nécessaire pour déterminer les motifs de gravure humide du métal en surface (7) et pour la gravure profonde de silicium (8) qui résultent en la différenciation des différentes zones actives des différents composants. De cette manière, l'assemblage de plusieurs composants de puissance peut être réalisé à l'échelle du wafer avec un minimum d'étapes supplémentaires de back end. Dans ce cas concret, aucune étape supplémentaire de traitement de surface ou des parois des tranchées n'a pas été réalisée.

Plusieurs paramètres et contraintes technologiques doivent être pris en compte pour garantir le fonctionnement optimal des composants avec terminaisons en tension verticales. Comme nous l'avons exposé dans le chapitre I, l'épaisseur des métallisations des puces, l'angle et la passivation des tranchées profondes vont jouer des rôles importants dans les caractéristiques électriques des composants. Il paraît alors nécessaire de présenter plus en détail les procédés de la microélectronique spécifiques et les choix technologiques que nous avons faits pour atteindre nos objectifs.

2.3 Gravure profonde du silicium (DRIE)

2.3.1. Généralités

La gravure profonde de silicium ou DRIE (pour Deep Reactive Ion Etching) est une technique de gravure du silicium qui attaque la matière de manière indépendante de son orientation cristalline. Elle trouve un vaste champ d'application dans les domaines des

microsystèmes, des composants semi-conducteurs et dans la micro fluidique [PER01, THE09, DEL09, KAU09].

Le principe de cette technique de gravure est basé sur l’alternance de phases de gravure et de passivation ce qui permet de graver des motifs avec de grands aspects de forme sur plusieurs centaines de micromètres de profondeur (rapport pouvant aller jusqu’à $1/40^{\text{ème}}$ et plus). Les exigences envers ce type de gravure sont une vitesse de gravure élevée, une bonne sélectivité de la gravure par rapport au masque de gravure, une uniformité de la gravure sur toute la plaquette de silicium et une bonne anisotropie des motifs gravés.

Le procédé de gravure que nous avons utilisé est illustré sur la figure II.3. Il est basé sur une séquence de gravure de silicium par plasma SF_6 suivie d’une phase de passivation - formation et dépôt de polymère par plasma C_4F_8 , suivi d’une nouvelle phase de gravure etc. La couche de passivation (polymère fluoro-carboné CF_x) est déposée sur toute la surface du substrat – sur le masque de gravure, les parois mais aussi sur le fond de la tranchée du silicium. En appliquant une polarisation au substrat (pour accélérer l’effet du bombardement ionique du plasma SF_6), lors de la phase de gravure la couche du polymère et le silicium sont gravés d’une manière préférentielle dans le sens vertical ce qui confie le caractère anisotrope de la gravure – les flancs des motifs restent protégés par la couche mince de polymère alors qu’au fond de la cavité le polymère est enlevé et il s’en suit la gravure du silicium à cet endroit. Ce procédé a été développé par Robert Bosch et est connu comme “procédé Bosch” [BOS94].

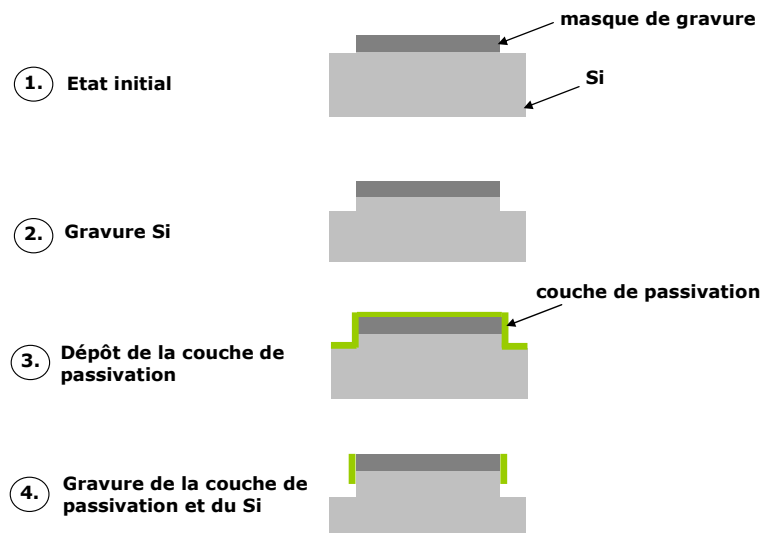


Fig.II.3. – Etapes de la gravure DRIE suivant le procédé Bosch.

2.3.2. Particularités de la gravure DRIE

Lors de la gravure DRIE, les cycles de gravure/dépôt (quelques secondes chacun) continuent jusqu’à l’obtention de la profondeur voulue. Toutefois pendant la phase de gravure les flancs nouvellement mis à nus par la gravure du silicium ne sont pas protégés et une gravure isotrope a lieu à cet endroit. Cela conduit à des irrégularités des parois des motifs – des structures dentelées appelées « scalloping » (figure II.4.a)). Pour certaines applications les « scalloping » peuvent être très contraignants et en général on cherche à les minimiser le plus possible. Cela peut être atteint en modifiant certains paramètres de la recette technologique comme diminuer la pression de travail ou diminuer la composante de gravure ou augmenter la composante de passivation (temps/puissance/débit). Toutefois, cela va aider à minimiser les scalloping et non à les supprimer complètement. Pour cela d’autres méthodes de traitement des parois post procès ont

été proposées comme l'oxydation sacrificielle [PAR03] qui nécessite cependant un traitement à haute température ou un traitement par plasma NH_3 [PHA04] qui est pour l'instant un procédé seulement utilisé au niveau académique. Dans notre cas concret aucun traitement des flancs des motifs n'a été réalisé.

Une autre spécificité de la gravure profonde de silicium est que si pendant la phase de gravure l'énergie de bombardement des ions n'est pas suffisamment grande la couche de passivation n'est pas uniformément enlevée du fond de la cavité ce qui conduit à la formation de pics de silicium non gravés appelés « effet d'herbe » (figure II.4.b)). Cet effet peut se produire aussi si des impuretés viennent se déposer au fond de la cavité servant alors de masque pour la gravure. Dans le cas des terminaisons en tension verticales, la présence de ces poteaux de silicium peut avoir des conséquences néfastes puisque cela peut induire des remontées de potentiel dans la zone de passivation qui peuvent altérer la distribution du champ électrique et créer des singularités conduisant à une forte réduction de la tenue diélectrique de l'ensemble. Pour minimiser la présence de cet « effet d'herbe » on peut diminuer la puissance pendant la phase de dépôt ou augmenter le temps de la phase de gravure ou augmenter le débit de SF_6 . Cependant cela va avoir des conséquences sur d'autres phénomènes comme par exemple les « scalloping », le profil vertical de la paroi, etc..., et un bon compromis entre les différents paramètres doit donc être trouvé.

Tout l'art de ce procédé de gravure consiste à ajuster les paramètres technologiques afin d'atteindre le résultat final recherché. Une bonne maîtrise de l'équipement et une connaissance des différents aspects physiques mis en jeu lors de la gravure sont nécessaires pour pouvoir créer ou modifier les recettes technologiques. Par exemple, la vitesse de gravure peut varier selon la disposition des motifs sur la plaquette de silicium. Dans ce cas on parle d'uniformité de la gravure. C'est un paramètre très difficile à maîtriser et auquel il faut veiller puisque en général, la gravure a tendance à être plus rapide sur les bords du substrat qu'au centre. La vitesse de gravure dépend aussi du taux d'occupation des motifs à graver sur tout le wafer – en considérant le nombre d'espèces réactives constant pour un procédé de gravure donné, moins il y aura de motifs à graver plus la vitesse de gravure sera élevée. Finalement la vitesse de gravure dépend aussi de la taille des motifs à graver (figure II.4.c)) – la vitesse de gravure est plus faible pour les motifs avec grand facteur de forme. Ceci peut être expliqué par le fait que moins d'espèces réactives peuvent atteindre le fond des motifs plus petits. Pour cette même raison la vitesse de gravure varie aussi en fonction de la profondeur des motifs – plus la profondeur augmente, plus la vitesse diminue. En général pour augmenter la vitesse de gravure il faut augmenter le nombre des espèces réactives et pour cela il faut soit augmenter la puissance nécessaire pour générer le plasma soit augmenter le débit de SF_6 . Cependant l'augmentation de la puissance a comme effet secondaire l'augmentation de la vitesse de gravure du masque puisque le nombre d'ions dans le plasma augmente aussi, il en résulte donc une détérioration de la sélectivité de la gravure. Quand à l'augmentation du flux de SF_6 cela est bénéfique jusqu'à un certain point puisque pour un écoulement particulier il y a un point de saturation à partir duquel il faut augmenter la puissance pour ioniser le gaz et si cette puissance n'est pas fournie, le gaz en excès ne sera pas ionisé en espèces réactives. Aussi, il apparaît clair que chaque paramètre de ce procédé technologique est à optimiser en fonction des caractéristiques souhaitées pour les tranchées, de la diversité de leurs motifs et bien sûr du pourcentage de surface gravée sur le wafer. Cela signifie que l'étape doit être callée pour chaque nouveau masque de gravure.

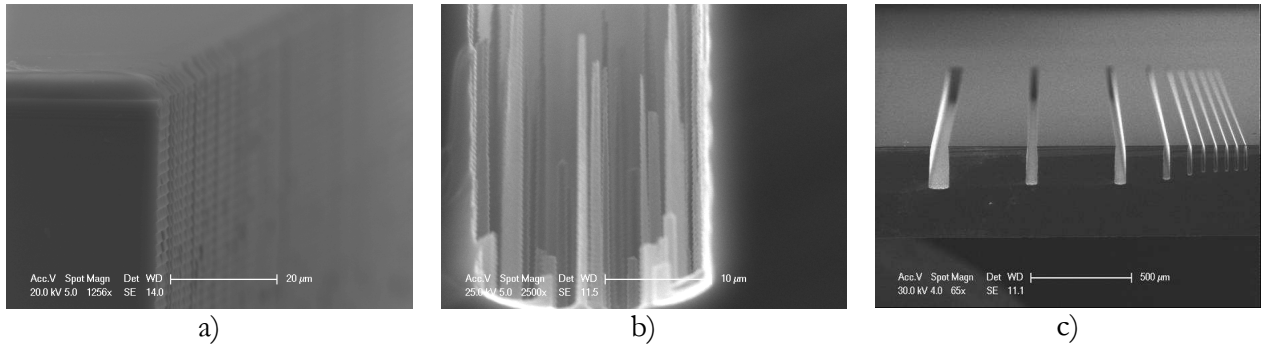


Fig.II.4. – Photos MEB de gravures par DRIE :

a) « scalloping », b) « l'effet d'herbe », c) dépendance de la vitesse de gravure en fonction de la taille des motifs.

Une spécificité importante de la gravure DRIE à laquelle nous avons porté une attention particulière est la possibilité d'influencer la verticalité des flancs des tranchées afin de créer un angle. Cela peut être réalisé en augmentant le débit de SF_6 , en augmentant la pression de travail, en augmentant le temps de la phase de gravure ou en augmentant la puissance de la source de polarisation du substrat. Comme nous l'avons vu dans le chapitre I un angle positif, provenant de la diminution de la section de la région dopée P vers la région dopée N, dans le cas des terminaisons en tension verticales peut s'avérer très avantageux. Cet aspect sera l'objet d'une étude plus approfondie présentée dans le chapitre III.

2.3.3. La gravure des tranchées verticales

L'optimisation des paramètres de la gravure profonde a été obtenue en réalisant la gravure sur plusieurs plaques successives et en effectuant la mesure de la profondeur et l'observation au microscope MEB (microscope électronique à balayage) du profil des flancs des tranchées. La recette technologique que nous avons utilisée permet d'obtenir une vitesse moyenne de gravure du silicium de presque $11\mu\text{m}/\text{min}$ (mesure faite pour $100\mu\text{m}$ de profondeur). Etant donné ce paramètre, 9min de gravure étaient suffisantes pour obtenir les $100\mu\text{m}$ de profondeur voulus de nos tranchées verticales avec une uniformité de 4% sur tout le substrat. L'angle d'inclinaison moyen mesuré est de 87° comme le montre la figure II.5. ce qui correspond complètement à notre objectif.

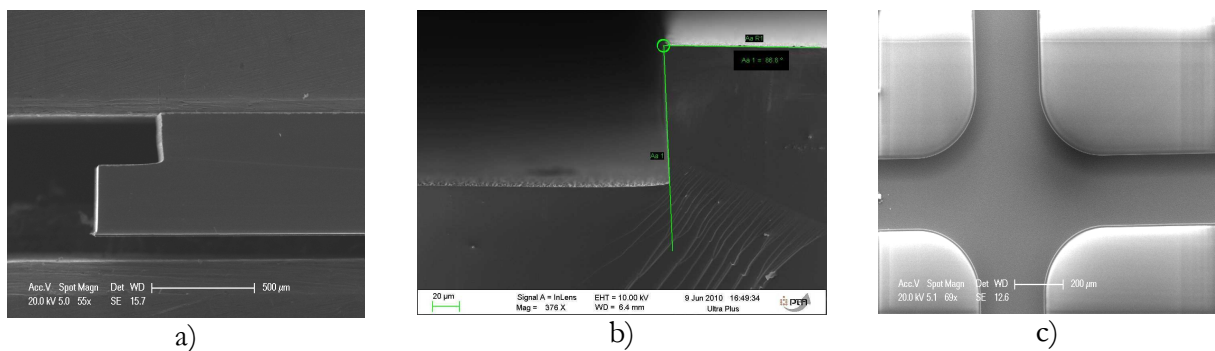


Fig.II.5. – Photos MEB des tranchées verticales a) vue en coupe, b) mesure de l'angle, c) vue à la surface au milieu de 4 composants intégrés dans le même substrat.

Pour la réalisation de nos premiers prototypes nous avons utilisé comme matériau de masquage la résine positive SPR220. Un procédé spécial, offrant la possibilité de déposer une couche épaisse de $9\mu\text{m}$ et dédié précisément à l'utilisation de cette résine comme masque pour la DRIE a été mis au point. Les spécificités consistent en la relaxation de la résine pendant 40min après l'insolation, la pré cuisson à 110°C pendant 2min avant l'étape de développement et le

durcissement de la résine pendant 4min à 100°C. La mise au point de tous ces paramètres permet de garantir le bon déroulement de l'étape de DRIE puisqu'avec le procédé standard nous avons observé des craquelures de la résine suite à la DRIE.

- **Difficultés rencontrées**

Une des difficultés technologiques récurrentes auxquelles nous nous sommes confrontés était de trouver le masque adéquat pour la DRIE. La première solution présentée dans le paragraphe précédent, si elle apporte une réponse à nos premiers besoins ne permettait pas de garantir les caractéristiques de tenue en tension des composants pour les applications de puissance. Un tel masque doit répondre aux exigences suivantes : haute sélectivité (vitesse de gravure du silicium par rapport à celle de gravure du masque), stabilité thermique, pas de craquelures suite à la préparation du masque pour la gravure ou suite à la gravure elle-même, bonne adhérence du masque sur le substrat, possibilité de supprimer le masque après le procédé de gravure, pas d'effets secondaires (comme présence d'effet d'herbe). Les matériaux envisageables sont la résine photosensible, l'oxyde de silicium (SiO_2), le nitrure de silicium (Si_3N_4) et l'aluminium. Pour choisir le masque le mieux adapté pour la fabrication de nos prototypes nous avons essayé comme matériaux de masquage la résine épaisse positive SPR220 (la sélectivité silicium/résine était d'environ 70:1) et l'aluminium (dont la sélectivité est quasi infinie). Les deux matériaux sont compatibles avec le procédé technologique et avec les consignes d'utilisation de l'équipement de gravure profonde de silicium. Cependant le problème majeur auquel nous nous sommes confrontés était lié à l'utilisation de résine épaisse comme masque de la gravure. Nous avons constaté un problème de tenue en tension lors des caractérisations électriques des composants ainsi réalisés. Les observations au MEB que nous avons effectuées pour identifier le problème ont montré que des structures assez spécifiques et « inhabituelles » sont présentes en surface des tranchées sur toute la périphérie des tranchées profondes comme présenté sur la figure II.6.

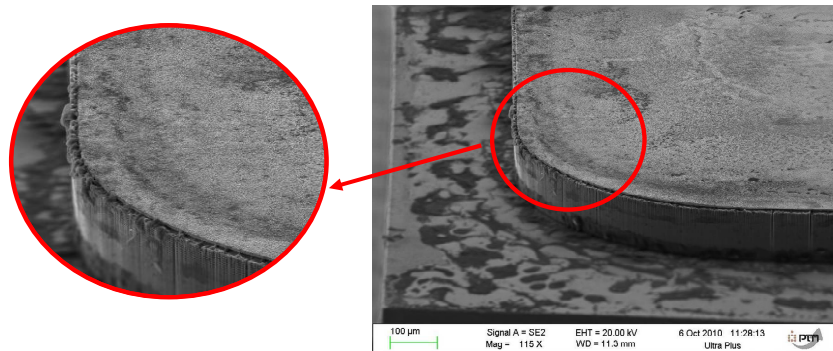


Fig.II.6. – Image MEB représentant les tranchées verticales avec zoom sur les structures « inhabituelles » présentes sur toute la périphérie en surface des tranchées.

Pour mieux comprendre la nature de ces structures nous avons effectué des caractérisations EDX (pour Energy Dispersive X-ray Spectroscopy) – technique qui permet d'identifier les éléments constituant l'échantillon caractérisé. Les résultats de cette analyse sont représentés sur la figure II. 7. Les structures « inhabituelles » sont constituées principalement de silicium.

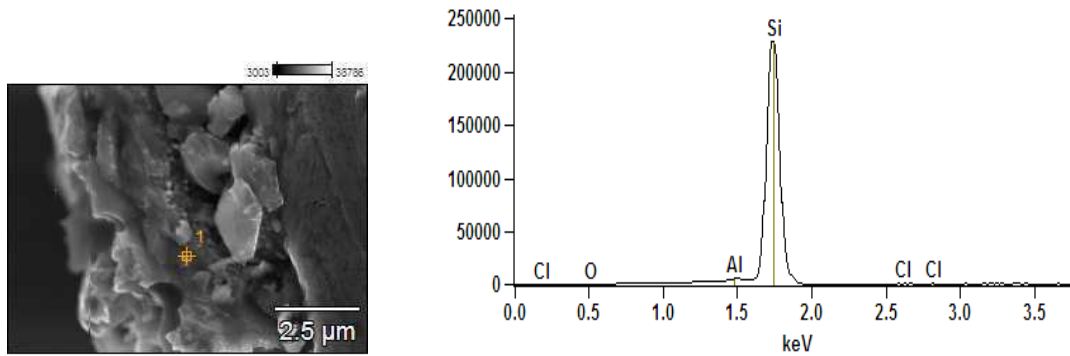


Fig.II.7. – Résultat des caractérisations EDX.

L'origine de ce problème provient très probablement de la surgravure de l'aluminium comme montré sur figure II.7. lors de l'étape de gravure humide de celui-ci pour ouvrir les zones destinés à la gravure profonde. Cela signifie qu'au début de la gravure profonde c'est la résine épaisse qui protège la surface du bombardement ionique. Comme l'épaisseur de la résine en périphérie des motifs est moins importante que celle au centre des motifs après un certain temps de gravure la couche de résine est complètement gravée en laissant l'aluminium au dessous comme masque de protection. En même temps la couche d'aluminium étant en retrait par rapport à la résine (suite à la surgravure) aucun matériau de masquage ne protège le silicium en surface et il subit les phases de gravure et passivation à cet endroit ce qui donne lieu à la formation des structures « inhabituelles » qui affectent la tenue en tension du composant.

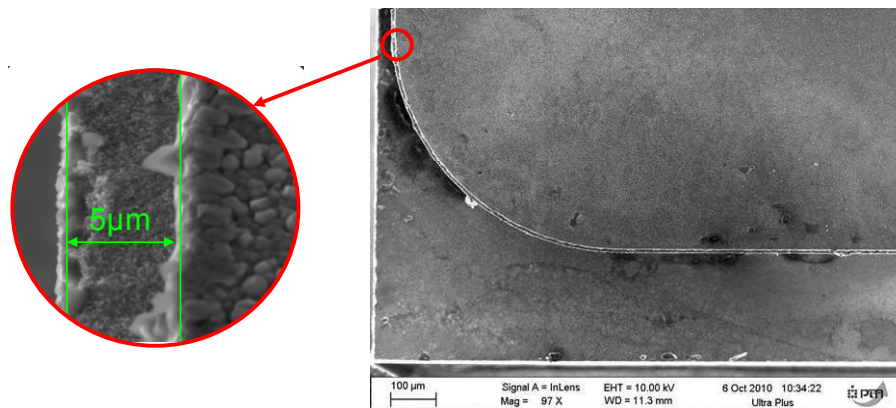


Fig.II.8. – Image MEB de la surgravure de l'aluminium en surface.

La solution la plus simple pour s'affranchir de ce problème est de supprimer la résine avant l'étape de gravure profonde et de garder l'aluminium en surface comme masque de la gravure. Par la suite tous nos composants étaient fabriqués en prenant en compte cette contrainte. Les résultats de la caractérisation pratique des composants ainsi réalisés seront présentés dans le chapitre III.

2.4 Contact ohmique et amenée de courant

Les couches de métallisation servent à prendre contact avec les différentes électrodes du composant et sont réalisées en fonction de la technique de prise de contact prévue. Les finitions en aluminium ou en argent de faibles épaisseurs sont particulièrement adaptées aux interconnexions par fils d'aluminium (les bondings). Dans notre cas concret la prise de contact pouvant être pressée, cela nécessite des finitions plus épaisses de l'amenée de courant pour offrir une équipotentielle de qualité et pour garantir la répartition homogène du courant [VAG09].

Plusieurs procédés technologiques permettent le dépôt de couches conductrices comme l'évaporation sous vide, la pulvérisation cathodique et l'électrodéposition. Pour la métallisation de nos prototypes le choix de la technique la mieux adaptée est basé sur des contraintes comme l'épaisseur maximale qui peut être déposée, la compatibilité du métal vis-à-vis du procédé technologique (compatibilité avec la gravure DRIE) et la qualité du contact ohmique réalisé.

- **Evaporation sous vide**

C'est une technique de métallisation qui consiste à chauffer le matériau à déposer par bombardement d'un faisceau d'électrons ou par effet Joule jusqu'à sa fusion. Les atomes de métal s'évaporent alors dans toutes les directions et ceux qui atteignent le substrat s'y déposent. Dans un environnement où règne un vide secondaire de l'ordre de 10^{-6} mbar, le substrat sur lequel on veut réaliser le dépôt est placé face au métal à déposer qui est contenu dans un creuset. L'uniformité du dépôt peut être améliorée en mettant en rotation le porte substrat par rapport à la source d'évaporation. Le principe est montré sur la figure II. 9.

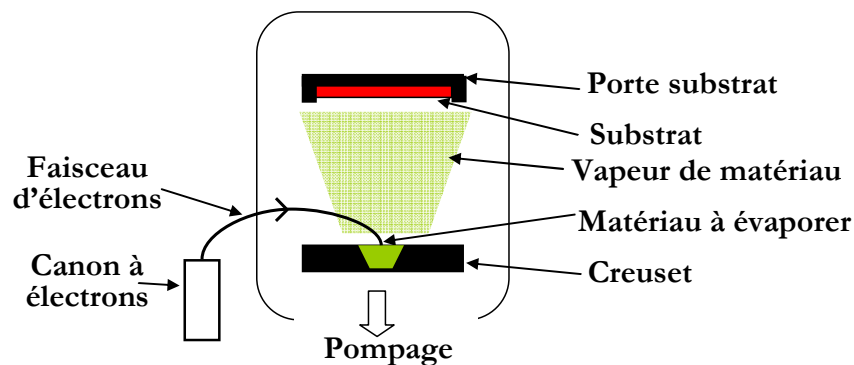


Fig.II.9. – Procédé d'évaporation sous vide par bombardement d'électrons.

Ce type de dépôt PVD (pour Physical Vapor Deposition) est relativement simple puisqu'il ne nécessite pas l'utilisation d'un gaz pour créer un plasma. En outre, la vitesse de dépôt est assez élevée et le dépôt réalisé par cette technique est très directionnel. L'inconvénient majeur de cette technique est que l'adhérence du matériau déposé n'est pas très élevée (en comparaison avec les autres techniques de dépôt PVD comme la pulvérisation cathodique par exemple) et le matériau évaporé ne se dépose pas d'une manière uniforme sur les surfaces irrégulières ce qui conduit des fois à des dépôts poreux et non uniformes.

- **Pulvérisation cathodique**

C'est une technique de dépôt qui consiste à bombarder une cible massive contenant le matériau à déposer avec des particules accélérées sous l'action d'une haute tension (en général entre 1kV et 3kV). Dans une enceinte sous vide, de l'ordre de 10^{-2} mbar, une haute tension est appliquée entre deux électrodes anode et cathode – sur la première est placé le substrat sur lequel on veut effectuer le dépôt et sur la deuxième la cible du matériau à déposer. Un gaz neutre (l'Argon) introduit dans l'enceinte est ionisé par le fait de la différence de potentiel et les ions positifs attirés par la cathode la bombardent en expulsant des atomes de la cible. Ceux-ci vont se déposer sur les parois de l'enceinte mais aussi sur le substrat disposé sur l'anode. Ce principe est illustré sur la figure II.10.

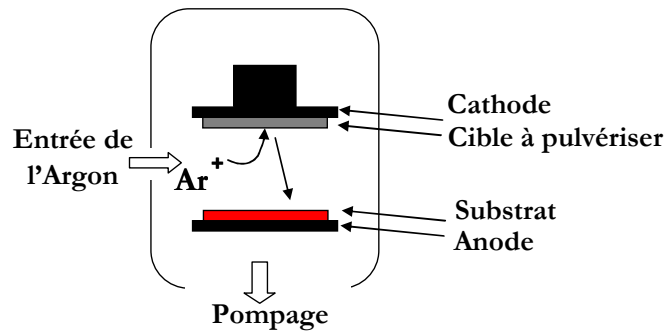


Fig.II.10. – Procédé de pulvérisation cathodique.

Les principaux avantages de cette technique sont qu'elle permet de déposer presque tous les matériaux inorganiques – conducteurs ou diélectriques en offrant une meilleure adhérence du dépôt suite à l'énergie élevée des atomes pulvérisés. L'inconvénient majeur de cette technique est la possibilité d'endommager la surface du substrat à cause de la forte énergie des atomes expulsés de la cible.

- **Dépôt électrochimique (ou électrodéposition)**

Le principe de dépôt de couches métalliques par électrodéposition est représenté sur la figure II.11. en prenant comme exemple le cuivre. Il consiste à plonger dans une solution aqueuse, contenant le métal à déposer sous forme ionique, deux électrodes – l'une étant le substrat sur lequel on veut effectuer le dépôt (cathode) et l'autre (anode) représentant une électrode constituée par le même métal présent dans la solution aqueuse. Ainsi lorsqu'un courant électrique est appliqué à ces deux électrodes, les ions métalliques de la solution aqueuse étant positivement chargés sont attirés par la cible (cathode) alors que l'anode recharge la solution en ions métalliques. La vitesse à laquelle les ions métalliques sont accumulés sur la cathode est égale à la vitesse à laquelle les ions métalliques sont dissous par l'anode.

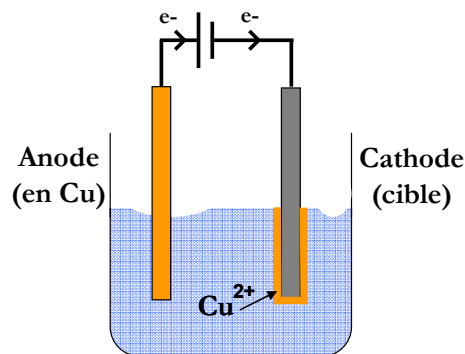


Fig.II.11. – Principe de l'électrodéposition de cuivre.

Du point de vue de l'épaisseur maximale de dépôt de la couche de métal, c'est la technique d'électrodéposition qui s'avère être la plus adaptée dans notre cas puisqu'elle permet de réaliser des dépôts de quelques dizaines à quelques centaines de micromètres. Des travaux de développement et de réalisation de l'électrodéposition de cuivre ont été menés en même temps que la fabrication de nos prototypes par T. Simonot lors de ses travaux de thèse [SIM11]. Cependant l'accès à cette technologie de back end s'est avéré être difficilement compatible avec le procédé technologique de réalisation de nos prototypes – l'introduction dans la salle blanche de tous métaux « exotiques » tels que le cuivre, l'or etc... était strictement limité par risque de contamination métallique des équipements. Et comme la métallisation des électrodes dans notre cas n'est pas l'étape finale de fabrication des composants avec terminaisons en tension verticales, pour répondre à notre cahier de charges nous avons décidé d'utiliser soit le procédé de

pulvérisation cathodique soit le procédé d'évaporation sous vide pour déposer de l'aluminium, le seul métal compatible avec tous les équipements en salle blanche. Comme les deux techniques de dépôt donnent des résultats assez similaires, notre choix s'est porté sur la pulvérisation cathodique en raison de la meilleure adhérence de la couche de métal sur le substrat. Des couches épaisses de $3\mu\text{m}$ d'aluminium ont été déposées sur les deux faces du wafer contenant nos diodes à structure verticale. Cette épaisseur de dépôt maximale nous a été dictée par des contraintes liées au procédé technologique.

En ce qui concerne la qualité du contact ohmique réalisé, en général on réalise un bon contact ohmique en dopant très fortement le silicium en surface [SZE01]. En pratique, on effectue aussi un recuit thermique. Ainsi certains de nos prototypes ont subi un traitement thermique à basse température (recuit à 400°C pendant 20min dans une atmosphère azotée). Cela provoque la diffusion des atomes d'aluminium dans le silicium ce qui conduit à un surdopage de ce dernier et améliore la qualité du contact ohmique. Les conséquences de ce recuit sur les caractéristiques électriques des dispositifs sont présentées dans le chapitre III.

2.5 Passivation des tranchées verticales

La passivation est une des dernières et des plus délicates des étapes de la fabrication des composants semi-conducteurs. Elle a pour rôle de protéger le composant contre toute contamination et humidité pouvant engendrer le dysfonctionnement dans le temps du composant mais aussi de neutraliser l'état des charges en surface pouvant modifier la distribution des équipotentielles lorsque le composant est polarisé en inverse et donc de réduire le risque de claquage de la structure. La réalisation de la couche de passivation doit être compatible avec le procédé technologique. Les exigences envers le matériau de passivation sont : une forte rigidité diélectrique et une grande résistivité électrique, stable électriquement, thermiquement et mécaniquement dans le temps, compatible avec le semi-conducteur. La couche de passivation peut être réalisée avant ou après l'étape de métallisation des électrodes [PAR03], en fonction du matériau de passivation choisi et de la température nécessaire à son application. Ainsi deux types de passivation peuvent être distingués – "dure" (hard passivation) et "tendre" (soft passivation) [LEC94]. La passivation "dure" est réalisée à très hautes températures (entre 650°C et 1000°C) avant l'étape de métallisation et les matériaux utilisés sont des verres, plus rarement l'oxyde de silicium ou des multicouches à base de silicium polycristallin. La passivation "tendre" est réalisée à des températures voisines de 300°C et les matériaux utilisés sont l'oxyde de silicium (SiO_2), le nitrure de silicium (Si_3N_4) déposés par CVD (pour Chemical Vapor Deposition) ou des matériaux organiques polymérisés, tels que le gel silicone.

En ce qui concerne notre cas concret, la passivation des composants avec terminaisons en tranchées profondes a été réalisée après l'étape de métallisation des électrodes et dans notre cas la passivation dure à haute température n'était plus envisageable à cause de la profondeur des tranchées et des difficultés que cela représente pour les remplir avec nos moyens technologiques. De plus, le choix du matériau et de la technologie de passivation que nous avons fait était dicté par des contraintes de fiabilité et de faisabilité que sont l'accès à la technologie de passivation, l'ajout de minimum d'étapes technologiques supplémentaires et la compatibilité thermomécanique de la couche de passivation compte tenu de notre état de surface particulièrement "mouvementé". Pour le matériau de passivation des tranchées profondes de nos prototypes notre choix s'est porté sur le gel silicone [SYL]. C'est un matériau qui possède d'excellentes propriétés physiques comme une conductivité thermique faible et une tenue diélectrique élevée. La technologie de passivation avec du gel silicone est bien connue et maîtrisée et largement utilisée pour l'encapsulation de modules de puissance.

La passivation de nos prototypes est réalisée une fois que la réalisation technologique des composants fonctionnels est complètement terminée. Le substrat de silicium entier est alors découpé. Après la séparation des différents motifs, les composants sont montés dans des

packages « maison » réalisés à partir de substrats PCB ou SMI dont le design sera traité plus en détail dans le chapitre III. La face arrière (cathode) est soudée sur le substrat et des bondings sont réalisés en face avant pour avoir accès à l'anode ou aux anodes lorsqu'il s'agit de plusieurs composants intégrés dans le même substrat de silicium. Il s'en suit la passivation des tranchées verticales qui est composée de trois étapes. La première comprend le remplissage du package par le gel silicone. La deuxième phase consiste à introduire l'ensemble dans une atmosphère sous vide pour le dégazage du gel et de tout le package. Cette phase a pour objectif d'enlever les bulles d'air résiduelles qui sont des lieux propices aux décharges partielles et peuvent provoquer la réduction de la tenue en tension du composant ou le vieillissement prématuré du module. Cela permet également de garantir le remplissage des tranchées par le gel siliconé. La dernière phase est celle de la polymérisation – les packages remplis et dégazés sont mis dans une chambre thermique à 65°C pendant 4h. Le résultat final de passivation de nos prototypes est présenté sur la figure II.12.

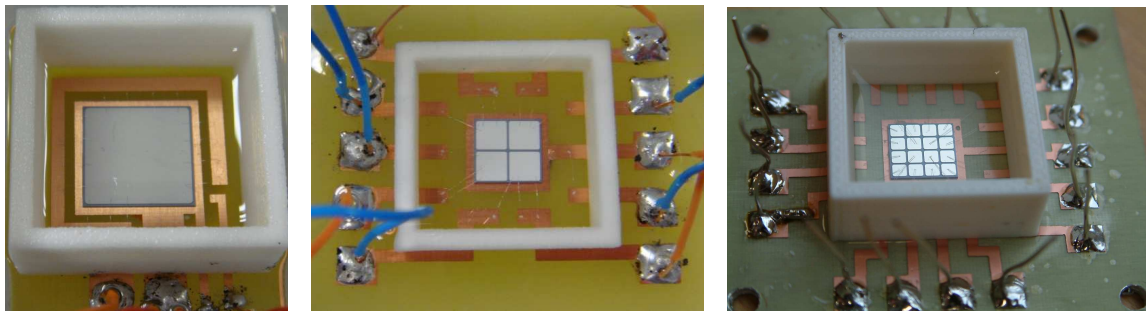


Fig.II.12. – Diodes de puissance à terminaisons en tranchées verticales passivées avec du gel silicone (1, 4 et 16 diodes intégrées dans le même substrat).

Notons toutefois que d'autres matériaux de passivation des composants avec tranchées profondes peuvent être utilisés comme par exemple le Benzo Cyclo Butene (BCB) [THE09]. Cependant la technologie de remplissage des tranchées par cette méthode nécessite la maîtrise d'équipements spécifiques et l'ajout de quelques étapes technologiques supplémentaires qui sont le remplissage très spécifique des tranchées, le recuit thermique du passivant et la planarisation du substrat pour enlever la surcouche de BCB. Par ailleurs, si ces étapes sont faites de manière collective, le problème de la découpe des motifs se pose dans ce cas avec la nécessité de prévoir des zones spécifiques sans passivant. Cette piste reste néanmoins prometteuse et pourra être adaptée dans le futur pour le développement de la passivation à l'échelle du wafer dans le cadre d'une démarche de packaging à l'échelle du wafer.

La passivation des diodes mesa avec des verres est aussi une technique très répandue et utilisée dans l'industrie. Cependant un fait important que l'on doit mentionner c'est que dans notre cas les terminaisons verticales font office à la fois à des chemins de découpe. Cela signifie que si le matériau de passivation est un solide il doit avoir une bonne stabilité mécanique pour ne pas craqueler suite au passage de la scie diamantée. Là encore, cette spécificité doit être prise en compte au niveau du masquage pour réserver des chemins de découpe spécifiques.

Nous allons présenter dans le chapitre III la mise en œuvre et les caractéristiques électriques des diodes à terminaisons en tension verticales réalisées avec le procédé technologique que nous venons de décrire. Nous allons maintenant discuter des moyens technologiques utilisés pour la réalisation des diodes avec refroidisseur intégré.

3. Procédé technologique pour la réalisation pratique des diodes de puissance avec refroidisseur intégré (DRIM Cooler)

Comme pour les composants précédents, nous verrons que le procédé technologique de réalisation des diodes de puissance avec refroidisseur intégré présente l'avantage d'être simple à mettre en œuvre et de pouvoir effectuer toutes les étapes pleine tranche. Toutefois, les différences du procédé de réalisation technologique se situent au niveau de la lithographie qui, dans ce cas, doit être une lithographie double face. Comme nous le verrons, ceci est dû à l'utilisation de la DRIE pour réaliser à la fois les canaux de refroidissement traversant toute l'épaisseur du substrat et les tranchées périphériques de tenue en tension. Par ailleurs, la passivation est critique car les canaux traversent aussi la jonction en surface qui se retrouve ainsi exposée à de nombreux endroits. Les paragraphes suivants seront donc dédiés aux points critiques que sont la lithographie double face, la DRIE pour réaliser des trous traversants et la passivation. L'objectif de cette présentation est aussi de décrire les difficultés que nous avons rencontrées et les solutions que nous avons apportées.

3.1 Dimensionnement et réalisation des masques

Le dimensionnement des microcanaux nécessaires pour la réalisation de nos diodes avec refroidisseur intégré a été réalisé en tenant compte de plusieurs paramètres :

- l'épaisseur des wafers et donc la longueur des canaux peut varier selon l'application – dans notre cas ce sont des wafers epitaxiés d'environ 500 μ m d'épaisseur
- la surface totale d'une puce est de 14x14mm² ; dans ce cas, 28 composants différents peuvent être réalisés sur un wafer 4" (100mm de diamètre)
- la nécessité de réserver une zone non occupée par des microcanaux pour réaliser le contact électrique avec les électrodes et la tenue mécanique de la puce une fois mise en œuvre – 2mm sur toute la périphérie sont laissés libres
- la forme géométrique des canaux – carrés, cercles, rectangles (rapport des côtés 1/10)
- la largeur des motifs traversants – de 50 μ m jusqu'à 400 μ m
- le nombre total des canaux en parallèle (taux d'occupation des canaux par rapport à la surface totale de la puce) – de 6% jusqu'à 25%
- la largeur des terminaisons verticales est dans ce cas 300 μ m

Pour tenir compte de ces différents paramètres, trois jeux de masques consécutifs ont été conçus et réalisés. Le premier s'est avéré problématique du point de vue compatibilité technologique par manque d'informations et de connaissances liées aux contraintes du procédé DRIE à ce stade. Notre ambition étant de réaliser le plus rapidement possible, le plus de prototypes avec refroidisseur intégré, notre premier jeu de masques faisait cohabiter dans le même substrat de silicium des motifs avec une grande différence de taille - de 50 μ m jusqu'à 400 μ m. Cependant, comme nous l'avons déjà mentionné et comme cela sera présenté plus en détails dans le paragraphe 3.4, la gravure profonde commune des motifs avec de telles différences de tailles est un vrai défi. Compte tenu de cette contrainte nous avons restreint le choix des motifs présents sur le même support de silicium jusqu'à une taille ne dépassant pas 50 μ m pour le deuxième jeu de masques et 100 μ m pour le troisième, puisque du point de vue des performances thermiques offerts par le DRIM Cooler ce sont ces deux diamètres hydrauliques qui offrent les résultats les plus intéressants. Chacun des jeux de masques comporte deux niveaux de layouts

différents pour la face avant et pour la face arrière (figure II.13) ainsi que les croix d'alignement pour pouvoir aligner l'une par rapport à l'autre. Le layout de la face avant comporte les périphéries en tension, pour lesquelles nous avons repris les mêmes dimensions que pour les diodes à terminaisons en tension verticales, en ajoutant les motifs des microcanaux. Le layout de la face arrière ne comporte que les motifs des microcanaux.

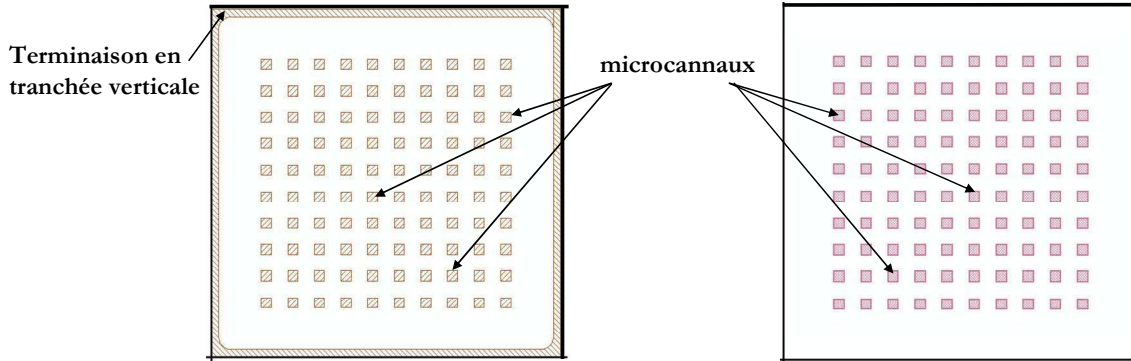


Fig.II.13.- Layout des masques Face avant (à gauche) et Face arrière (à droite).

Les masques comportent aussi des motifs de test avec des ouvertures de différentes tailles afin de pouvoir estimer la vitesse de la gravure selon la taille des motifs (figure II.14.)

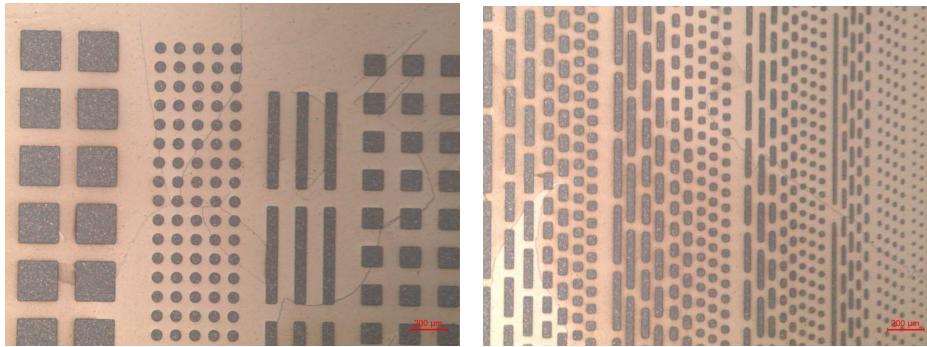


Fig.II.14.- Images microscope des motifs de test.

Quelques motifs ont été également prévus pour réaliser des diodes avec seulement des terminaisons verticales et sans DRIM Cooler pour pouvoir comparer les caractéristiques des deux concepts alors qu'ils sont issus du même run. Après la phase de conception des masques sous Cadence, leur réalisation a été effectuée en soustraction par FEMTO ST.

3.2 Diagramme de cheminement

La figure II.15 représente une vue simplifiée du diagramme de cheminement pour la réalisation des diodes de puissance avec refroidisseur intégré – composants avec DRIM Cooler. Dans ce cas, les composants sont aussi terminés par la technique des terminaisons en tension verticales qui peuvent être réalisées au même moment que la gravure profonde des microcanaux en face avant. Le diagramme de cheminement représenté ci-dessous tient compte cette fois de la contrainte imposée par le masquage de la gravure du silicium et l'approche avec aluminium présentée dans la partie précédente.

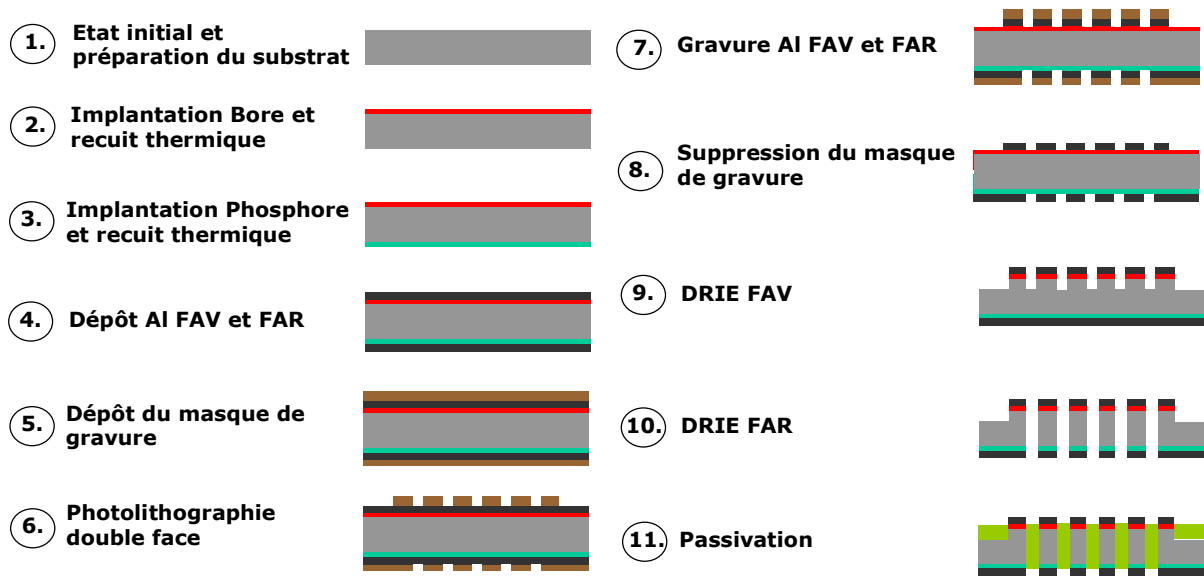


Fig.II.15.- Diagramme de cheminement simplifié pour la réalisation des diodes de puissance avec refroidisseur intégré.

3.3 Lithographie double face

La lithographie double face est utilisée dans le cas où on a besoin de réaliser un alignement critique entre les deux faces du substrat [FRA04]. Cela signifie que la face avant et la face arrière du substrat comportent des fonctions qui sont fortement dépendantes du positionnement précis de l'une par rapport à l'autre. Tel est le cas de nos diodes avec refroidisseur intégré – la lithographie face avant permet de localiser les terminaisons en tension et les microcanaux alors que la lithographie face arrière permet de localiser seulement les microcanaux mais surtout d'aligner précisément les uns par rapport aux autres.

L'équipement spécifique disponible au CIME (aligneur Karl Suss MA6/BA6) permet de réaliser un alignement double face avec une précision de $2\mu\text{m}$, $3\mu\text{m}$. Le mode opératoire dans notre cas est représenté sur la figure II.16. Il consiste à d'abord effectuer la lithographie sur une des faces. Une attention spécifique doit être portée à cette étape puisque la face du substrat traitée précédemment sera mise en vacuum contact avec la tournette. Ensuite la face précédemment insolée doit être alignée par rapport au masque de la face courante. Pour cela on insère le masque dans l'équipement et en absence du substrat de silicium on repère les croix d'alignement du masque par le biais de deux binoculaires se trouvant sous le porte substrat. Ensuite on enregistre la photographie des croix de centrage et on introduit le substrat (la face précédemment insolée est posée face au porte substrat) entre le masque et les binoculaires en face arrière. L'alignement se fait entre la photo précédemment enregistrée et l'image en temps réel envoyée par les binoculaires en face arrière.

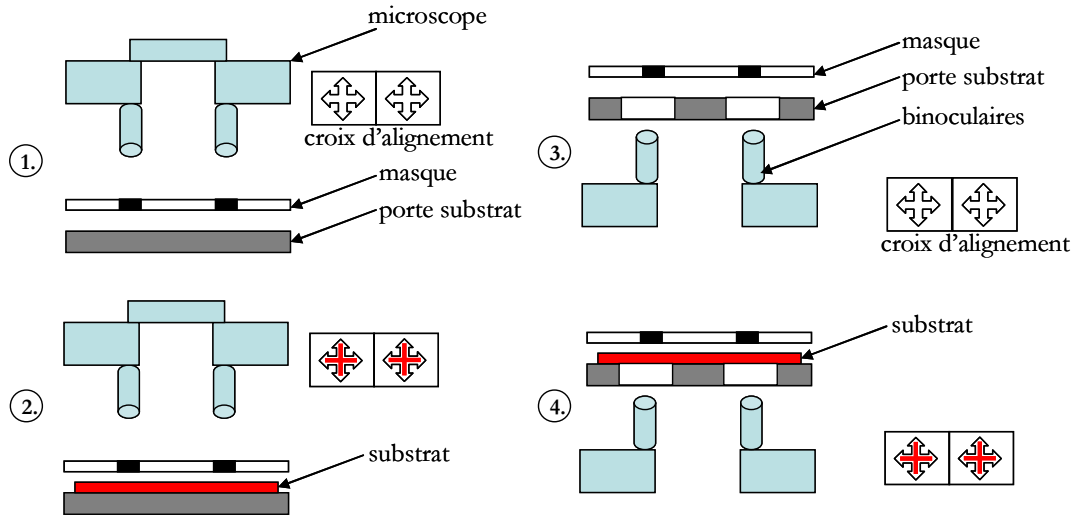


Fig.II.16.- Principe de la lithographie double face.

3.4 Particularités du procédé DRIE pour la réalisation des canaux traversants

Dans le cas des diodes avec refroidisseur intégré, l'étape de DRIE va nous servir à la fois pour créer les terminaisons verticales et pour réaliser les microcanaux traversant toute l'épaisseur du substrat. Pour cette raison la gravure profonde a été divisée en deux étapes – une première de gravure du silicium en surface pour réaliser les tranchées verticales et pour commencer la gravure des microcanaux et une deuxième phase de gravure du substrat en face arrière jusqu'à l'obtention des canaux traversants. En ce qui concerne la recette technologique et le masque de gravure nous nous sommes inspirés des résultats précédemment obtenus lors de la réalisation des diodes avec terminaisons en tranchées profondes et nous avons utilisé la même recette de gravure ainsi qu'un masque dur en aluminium. Cependant la gravure des trous traversants s'est avérée assez contraignante du point de vue compatibilité technologique et conditions optimales de fonctionnement de l'équipement de DRIE. Ce paragraphe est donc dédié aux problèmes de gravure profonde du silicium en vue de la réalisation de trous traversants toute l'épaisseur du wafer et des solutions que nous avons apportées pour atteindre nos objectifs.

Le premier problème auquel nous nous sommes confrontés avait pour origine la gravure simultanée de motifs avec une très grande différence de taille. Comme nous l'avons déjà mentionné notre premier jeu de masques comportait des motifs de gravure allant de $50\mu\text{m}$ jusqu'à $400\mu\text{m}$. La vitesse de gravure étant plus élevée pour les plus grands motifs on obtient des canaux traversants le substrat de silicium d'une manière non uniforme. Les figures II.17 et II.18. représentent nos mesures expérimentales de profondeur et de vitesse de gravure DRIE en fonction de l'ouverture des motifs à graver. Comme on peut le voir sur la figure II.17 45min de gravure résultent en la traversée de tout le substrat de silicium ($520\mu\text{m}$) pour les motifs de $400\mu\text{m}$ alors qu'au même moment les motifs de $50\mu\text{m}$ n'ont atteint qu'une profondeur de $320\mu\text{m}$. Par ailleurs, la vitesse de gravure n'est pas constante tout au long de la gravure, elle est plus élevée au début et diminue plus la profondeur des motifs augmente, comme le montre la figure II.16 ce qui ne facilite pas la résolution du problème d'uniformité de la gravure sur tout le substrat.

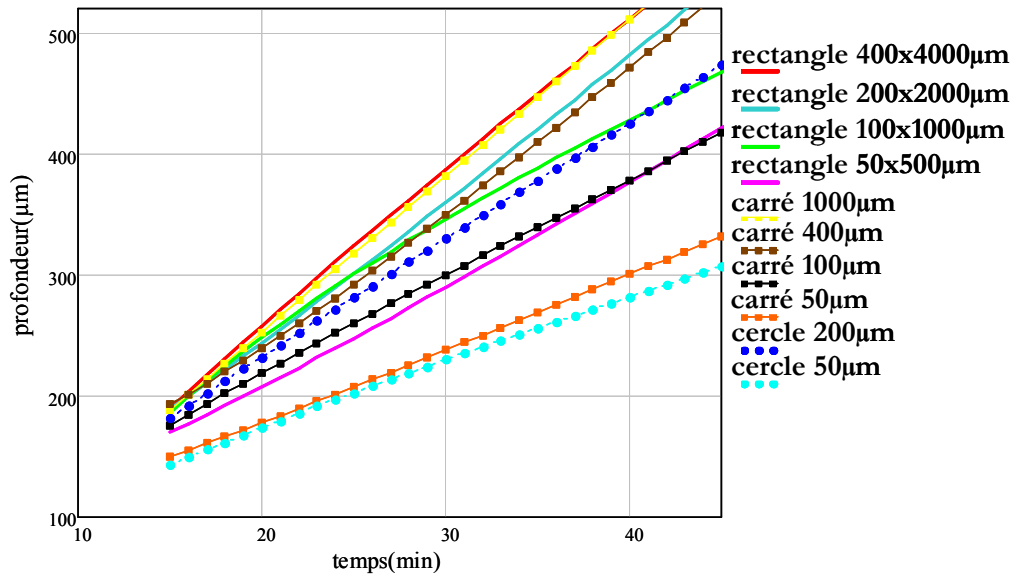


Fig.II.17.- Profondeur de la gravure DRIE en fonction du temps pour différentes tailles des motifs à graver.

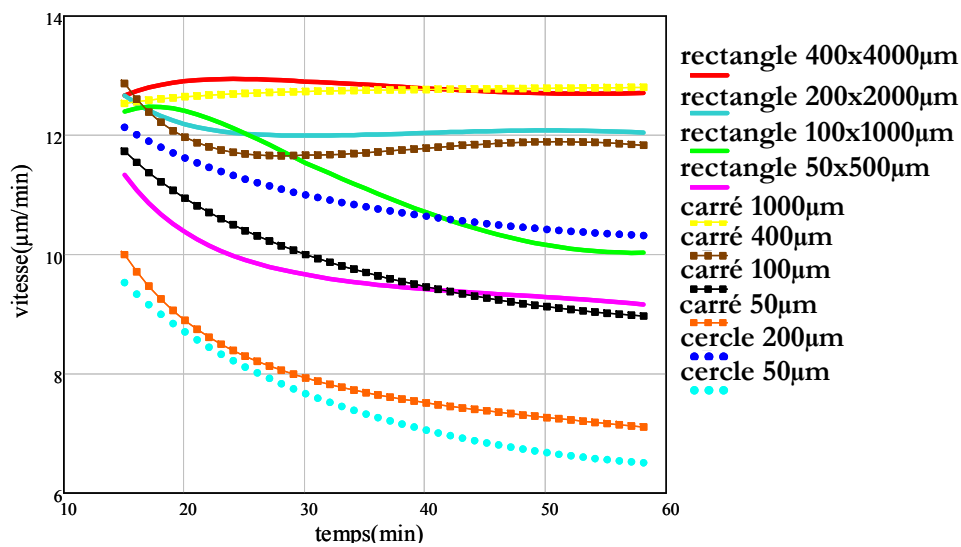


Fig.II.18.- Vitesse de la gravure DRIE en fonction du temps pour différentes tailles des motifs à graver.

Il est possible d'atteindre les 520µm de profondeur pour les motifs de 50µm cependant pour cela il faut faire fonctionner la machine très longtemps (plusieurs dizaines de minutes) ce qui dans ce cas concret s'est avéré impossible du point de vue fonctionnement de la machine. En effet, pendant la DRIE, le substrat de silicium doit être refroidi (à 10°C) pour garantir les conditions optimales de déroulement du procédé. Pour cela de l'hélium est envoyé en face arrière du substrat pendant que la face avant subit les plasmas de SF6 et de C4F8. Tant que le substrat n'est pas "percé" les conditions optimales de gravure sont garanties. A l'instant où le substrat est traversé par une ou plusieurs ouvertures, les gaz qui arrivent en face avant et en face arrière se mélangent et, dans ce cas, ni l'efficacité de la gravure en face avant, ni le bon refroidissement en face arrière sont garantis. La machine enclenche alors une série d'alarmes de sécurité qui arrêtent complètement le procédé en cours même si tous les motifs n'ont pas fini d'être gravés. Une autre contrainte concerne également le clampage de la machine qui dans notre cas est mécanique, c'est-à-dire, que lors de la gravure le substrat est « pincé » entre des petits picots qui serrent le wafer en

périphérie. Ainsi lors du « perçage » du substrat à un endroit et suite au débit élevé d'arrivée des gaz des contraintes mécaniques sévères sont créés au sein du substrat pouvant aller jusqu'à sa destruction totale.

La solution pour continuer la gravure d'un substrat déjà percé est de coller le wafer déjà traité sur un autre support étanche. Pour cette raison nous avons effectué la gravure en deux phases : la gravure en face avant jusqu'à l'obtention de la profondeur voulue pour les tranchées puis le collage de la face déjà traitée sur un autre wafer de silicium pour continuer la gravure en face arrière jusqu'à l'obtention des canaux traversants. Le collage des deux substrats de silicium a été réalisé en appliquant une fine couche de résine (cela peut aussi être effectué avec d'autres techniques de collage comme le cristal bond par exemple) sur le wafer servant comme support et ensuite en durcissant la résine à 130°C sur plaque chauffante lorsque les deux wafers sont en contact. Après la phase de DRIE, les deux substrats sont séparés en éliminant la résine dans un bain chimique approprié. Un tel collage n'est toutefois pas conseillé pour des gravures très longues puisque le refroidissement du substrat dans ce cas est beaucoup moins performant. Une nouvelle contrainte apparaît aussi lors de la séparation des deux substrats – suite au mauvais refroidissement, la résine entre les deux substrats est très dure et difficile à enlever. Dans ce cas il faut prévoir quelques dizaines de minutes dans le bain chimique pour pouvoir attaquer la résine et séparer les deux wafers. La solution d'attaque de la résine doit être bien choisie pour garantir que l'aluminium en surface ne sera pas affecté aussi. Par exemple dans les procédés standards de suppression de la résine on utilise une solution chimique appelée « remove » qui cependant s'est avéré ne pas être compatible dans notre cas puisqu'avant d'arriver à séparer les deux wafers l'aluminium était déjà attaqué par le « remove ». Ainsi c'est l'acétone s'est avéré être le bain chimique le plus approprié.

Le résultat final de la DRIE en vue de la réalisation de composants avec refroidisseur intégré est illustré sur la figure II.19.

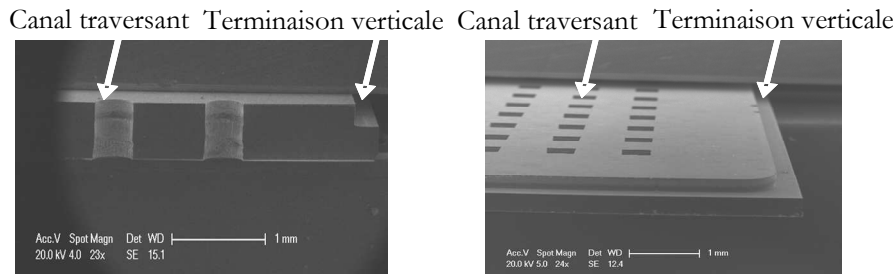


Fig.II.19.- Images MEB des prototypes avec terminaisons verticales et avec refroidisseur intégré.

3.5 Passivation des tranchées verticales des diodes avec DRIM Cooler

En ce qui concerne la passivation des diodes avec DRIM Cooler des packages spécifiques ont aussi été conçus pour permettre la passivation des tranchées verticales mais aussi des microcanaux puisque la jonction en surface se retrouve exposée à de nombreux endroits. Les PCB dans ce cas comportaient des ouvertures spécialement réalisées pour garantir que le passivant remplirait tous les microcanaux en descendant jusqu'au fond du package. Un capot transparent à l'arrière du package permet de visualiser l'homogénéité de la passivation (figure II.20.). Dans un premier temps les prototypes étaient passivés avec de l'huile silicone, matériau présentant les mêmes propriétés diélectriques que le gel silicone à la différence près que l'huile est beaucoup moins visqueuse mais aussi qu'elle ne polymérise pas. Le procédé de remplissage avec l'huile est très semblable à celui avec du gel silicone. Il est donc composé de deux phases – remplissage du package avec de l'huile et dégazage dans une atmosphère sous vide pour enlever l'air.

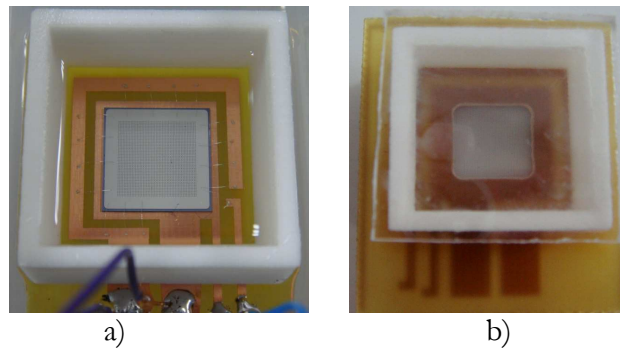


Fig.II.20.- Photos du package des diodes avec DRIM Cooler passivées avec de l'huile silicone
a) face avant et b) face arrière.

4. Conclusions et perspectives

L'objectif de ce chapitre était de démontrer la faisabilité technologique des diodes de puissance à terminaisons en tension verticales et avec refroidisseur intégré et de présenter les choix qui ont été faits pour leur réalisation. Nous avons ainsi discuté les procédés technologiques qui nous ont permis d'atteindre nos objectifs en détaillant les possibilités ainsi que les limites de chacune d'elles vis-à-vis de la filière post-procès que nous avons développée. Nous avons mis en évidence une série d'étapes spécifiques à cette filière post procès, notamment la gravure profonde du silicium, la passivation des tranchées et la métallisation des électrodes. Certains des choix que nous avons faits, comme la technologie et le matériau de passivation des tranchées verticales mais aussi l'épaisseur du métal en surface et le procédé de dépôt de ce métal, ont été dictées par des contraintes de disponibilité, faisabilité, compatibilité technologique et durée des travaux de développement technologique durant cette thèse et ne prétendent pas être des choix optimaux. Cependant, le fait d'avoir fait ces choix nous a permis d'avoir une vision globale de l'ensemble des problèmes qui peuvent se poser et de pouvoir proposer des améliorations futures compatibles avec le procédé technologique.

Une première perspective pour les futurs travaux technologiques serait la possibilité de découper les composants durant la phase DRIE. En effet, comme le wafer contenant nos prototypes quitte l'atmosphère protégée et propre de la salle blanche sans être passivé et comme les terminaisons verticales sont aussi l'office de chemins de découpe, toute particule qui se dépose dans la tranchée peut affecter le comportement électrique des composants. Et le passage de la scie diamantée dans la tranchée privilège fortement l'apparition de telles impuretés. Une solution possible pourrait alors être de s'en servir de la lithographie double face et de la DRIE pour réaliser des tranchées sur les deux faces du substrat, une sorte de « barre de chocolat » ce qui permettrait de simplifier la découpe des composants en séparant les différents motifs par ce biais ou en réalisant ensuite un sorte de clivage.

Une autre perspective qui pourrait aider à améliorer la fiabilité de nos prototypes pourrait être d'envisager la passivation de la tranchée ou tout simplement de la jonction exposée en surface avant la sortie du wafer de l'atmosphère protégée en salle blanche.

Une dernière possibilité future peut concerner la réalisation de couches conductrices plus épaisses afin de simplifier la prise de contact pressé. Deux techniques peuvent être envisagées – la première consiste en le collage moléculaire de plaques massives de métal avec le substrat de silicium et la deuxième l'électrodéposition de couches épaisses de cuivre.

Enfin, comme nous l'avons mentionné au début de ce chapitre la réalisation des terminaisons verticales peut être facilement appliquée aux transistors MOS réalisées avec la filière VDDMOSFET en gardant toutes les étapes inchangées et en rajoutant une étape de lithographie

et de DRIE supplémentaires en fin de procès afin de remplacer les terminaisons planar par des terminaisons verticales.

En ce qui concerne la réalisation du DRIM Cooler dans des transistors MOS par exemple (figure II.21.) on peut imaginer de remplacer une cellule tous les quatre ou une cellule tous les dix, suivant l'occupation voulue, par des microcanaux traversants. Une optimisation du layout en surface sera nécessaire dans ce cas.

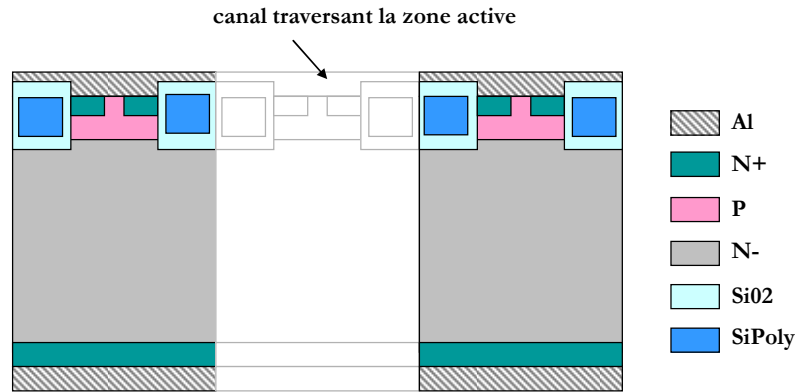


Fig.II.21.- Vue schématique de la réalisation du concept DRIM Cooler dans un transistor MOS.

Chapitre III. Analyse et validation pratique des performances électriques

Sommaire :

1. Introduction	89
2. Dimensionnement.....	90
3. La jonction plane.....	96
4. Performances électriques des diodes de puissance à terminaisons en tension verticales	98
4.1. Analyse théorique de la tenue en tension	99
4.2. Validation expérimentale.....	105
4.2.1. Réalisation du package.....	105
4.2.2. Caractérisation statique.....	107
4.2.3. Caractérisation dynamique.....	116
5. Performances électriques des diodes de puissance avec DRIM Cooler.....	120
5.1. Analyse théorique de la tenue en tension.....	120
5.2. Validation expérimentale	125
5.2.1. Réalisation du package.....	125
5.2.2. Caractérisation statique.....	127
6. Conclusion.....	132

1. Introduction

On a vu dans le premier et le second chapitres que les techniques de terminaisons en tension verticales permettent de co-intégrer plusieurs composants de puissance à structure verticale dans la même puce tout en ouvrant des perspectives intéressantes vis-à-vis l'encapsulation, des interconnexions en 3D et de l'extraction de la chaleur. Pour cela, elles doivent offrir une protection périphérique du dispositif en évitant son claquage prématuré en surface. Toutefois, pour garantir une tenue en tension optimale plusieurs paramètres concernant la terminaison verticale doivent être analysés et optimisés. C'est par exemple le cas de la profondeur ou de la largeur de la tranchée, de l'angle d'inclinaison moyen des parois et de la présence ou pas d'une électrode champ à la surface. Quant aux diodes avec refroidisseur intégré, nous devons aussi analyser les possibles effets concernant l'intégration des microcanaux traversants la zone active du dispositif – cela ne doit en aucun cas altérer ni sa tenue en tension, ni le niveau du courant de fuite, ni son calibre en courant à l'état passant.

En conséquence, ce chapitre présente la synthèse de nos efforts en termes d'analyse théorique du comportement électrique des diodes de puissance à terminaisons en tension verticales et avec DRIM Cooler. Le chapitre contient également un ensemble de résultats pratiques des caractérisations électriques qui permettent de valider en partie les résultats de cette analyse.

L'analyse théorique que nous avons conduite est basée sur des résultats obtenus en simulations numériques 2D avec le logiciel Silvaco - un simulateur de modélisation bidimensionnelle de type éléments finis. Les deux modules de Silvaco que nous avons utilisé sont Atlas et Athena. Atlas permet de prédire le comportement électrique des composants semi-conducteurs en donnant un aperçu sur les mécanismes physiques internes liés au fonctionnement du dispositif et en fournissant aussi des informations concernant les lignes de courant, le champ électrique, le potentiel électrique etc. Athena- permet de modéliser les procédés technologiques utilisés pour la fabrication des composants semi-conducteurs comme l'implantation, la diffusion, l'oxydation, les gravures, les photolithographies etc. en prédisant de cette manière la structure physique qui résulte du procédé technologique défini. Le modèle physique du dispositif obtenu avec Athena peut ensuite être utilisé comme donnée d'entrée pour Atlas qui va prédire ses caractéristiques électriques. La combinaison des deux modules de Silvaco permet de déterminer l'impact des paramètres technologiques sur les caractéristiques électriques du composant. Ainsi, pour rendre nos modèles précis nous avons basé notre étude en simulations numériques sur les paramètres exacts que nous avons utilisés ensuite pour la fabrication de nos prototypes. Pour cela les composants ont été au préalable dimensionnés. Cela a permis par la suite d'identifier les paramètres et le cheminement technologiques de réalisation des prototypes que nous avons déjà présentés dans le chapitre II. Enfin les résultats obtenus en simulations numériques sont comparés avec les caractéristiques pratiques des prototypes dont la réalisation a été présentée dans le chapitre II. La validation pratique repose sur deux temps forts – la caractérisation électrique statique avec réalisation du package spécifique destiné à la mesure quatre pointes avec un traceur de caractéristiques et la caractérisation dynamique - la mise en œuvre des composants dans des structures d'électronique de puissance. L'étape finale de validation des performances de nos prototypes concerne leur mise en œuvre dans un package de type Power Chip-on-Chip [VAG10].

Ce chapitre présente d'abord le dimensionnement des diodes de puissance 600V qui vont par la suite être « équipées » avec des terminaisons en tensions verticales et avec refroidisseur intégré. Vient ensuite la présentation de l'étude conduite en simulations éléments finis Silvaco qui s'appuie sur la définition de la structure d'une diode de puissance à structure verticale. Les modèles des simulations numériques que nous avons développés et les résultats de l'optimisation de la terminaison verticale et l'analyse des performances électriques des diodes avec refroidisseur intégré sont comparés avec le cas de la jonction plane infinie qui correspond au

dimensionnement initial de nos prototypes. Enfin les résultats obtenus en simulations numériques sont comparés avec des mesures pratiques.

2. Dimensionnement

Le composant de puissance que nous avons choisi comme support d'analyse et de validation des concepts des terminaisons en tension verticales et du refroidisseur intégré est la diode de puissance à structure verticale. C'est le composant actif de puissance dont la structure et donc le cheminement technologiques sont les plus simples – une jonction PN associée à une zone de tenue en tension, une zone périphérique de terminaison en tension et deux contacts métalliques. Ce composant présente l'avantage d'être plus facilement réalisable avec un procédé technologique relativement simple à mettre en œuvre et à maîtriser (comparé à ceux des transistors MOSFET ou IGBT par exemple). Il est aussi suffisamment représentatif en terme de fonctionnement pour pouvoir être le démonstrateur des deux concepts puisque les phénomènes physiques liées à l'association de deux zones semi – conductrices de dopages opposés, jonction PN, se retrouvent dans tous les autres composants semi-conducteurs.

La diode de puissance est un composant non commandable, à amorçage et à blocage spontanés en fonction des conditions de polarisation. Une diode « idéale » doit répondre aux exigences suivantes :

- Bonne tenue en tension à l'état bloqué (tension élevée, courant de fuite faible)
- Faible chute de tension à l'état passant
- Vitesse de commutation élevée

La caractéristique « idéale » de la diode est représentée sur la figure III.1.a). Le courant I_D est nul lorsque la tension V_D est négative et, inversement, lorsque le courant I_D est non nul la tension est zéro. En réalité la caractéristique de la diode ressemble plutôt à celle illustrée sur la figure III.1.b) où l'on peut distinguer l'apparition d'un courant de fuite I_L à l'état bloqué et la chute de tension ($V_F + R_{ON} * I_D$) à l'état passant. Au delà d'une tension inverse V_{BR} la diode part en avalanche.

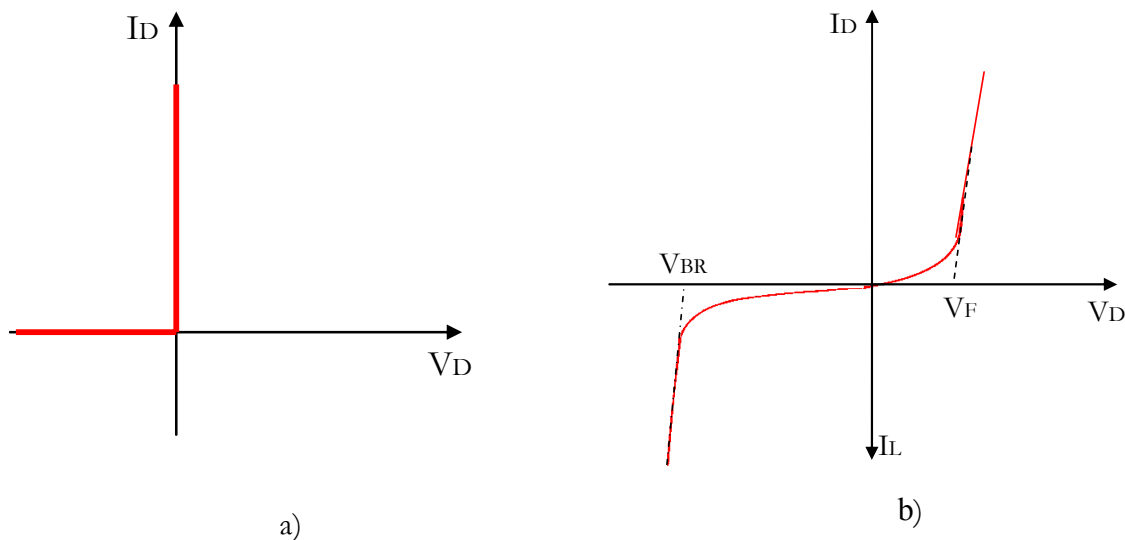


Fig.III.1. - Caractéristique statique d'une diode a) Caractéristique idéale, b) Caractéristique plus réaliste.

La conception et le dimensionnement d'une diode consistent à établir le compromis entre les exigences de tenue en tension en inverse, de chute de tension à l'état passant et de vitesse de commutation. En général, la zone de tenue en tension est de forte épaisseur et faiblement dopée ce qui induit une zone fortement résistive pour le passage du courant. Sous l'effet de la polarisation directe, la résistivité de cette région peut être fortement diminuée – modulation de la résistivité sous l'effet de l'injection de porteurs ce qui permet de diminuer la chute de tension à l'état passant. Cependant dans ce cas, la charge stockée dans la région devra être retirée au blocage ce qui résultera en une faible vitesse de commutation [LEF04].

La fonctionnalité de la diode est assurée par l'association de deux zones de dopages opposés qui forment une jonction PN. Les diodes en électronique de puissance comportent aussi une zone intrinsèque N- (zone de tenue en tension) de faible concentration insérée entre les deux régions P et N, nécessaire pour assurer la tenue en tension du dispositif. Les caractéristiques physiques des trois régions PN-N sont optimisées en fonction des caractéristiques électriques recherchées. En particulier, les caractéristiques de la zone centrale sont dimensionnées en fonction du calibre en tension du composant alors que les caractéristiques des zones extrêmes P et N sont choisies pour rabattre le champ électrique aux extrémités de la zone de tenue en tension (en polarisation inverse) ainsi que pour faciliter la prise de contact métallique et la conduction (en polarisation directe) en réalisant une bonne « injection » de porteurs majoritaires [LEF04]. Eventuellement, les composants peuvent comporter une région fortement dopée, dite dégénérée qui permet d'accroître l'épaisseur totale de la puce pour la rendre plus facile à manipuler durant sa fabrication mais également lors de sa mise en œuvre.

Pour satisfaire notre cahier des charges, les diodes doivent avoir une tenue en tension de 600V. Dans le cas des diodes avec terminaisons verticales, la surface d'une puce est $8 \times 8 \text{mm}^2$ (le calibre en courant étant dépendant de la surface active du composant il va varier en fonction du nombre de diodes, deux ou plusieurs, intégrées dans le même substrat en silicium dont la surface totale reste la même - $8 \times 8 \text{mm}^2$) avec un calibre en courant de l'ordre de la centaine d'ampère. Dans le cas des diodes avec DRIM Cooler la surface d'une puce est $14 \times 14 \text{mm}^2$ dont $10 \times 10 \text{mm}^2$ sont occupés par des microcanaux. Les paragraphes suivants vont nous permettre de présenter dans un premier temps le calcul de la tenue en tension afin de satisfaire notre cahier des charges (calibre en tension de 600V). Dans un deuxième temps nous présenterons d'une manière générale l'état passant des composants bipolaires.

- Tenue en tension

La tenue en tension est une caractéristique essentielle des composants de puissance qui conditionne la structure verticale des composants de puissance. Cette fonction est assurée par une jonction PN sous polarisation inverse comme représentée sur la figure III.2.

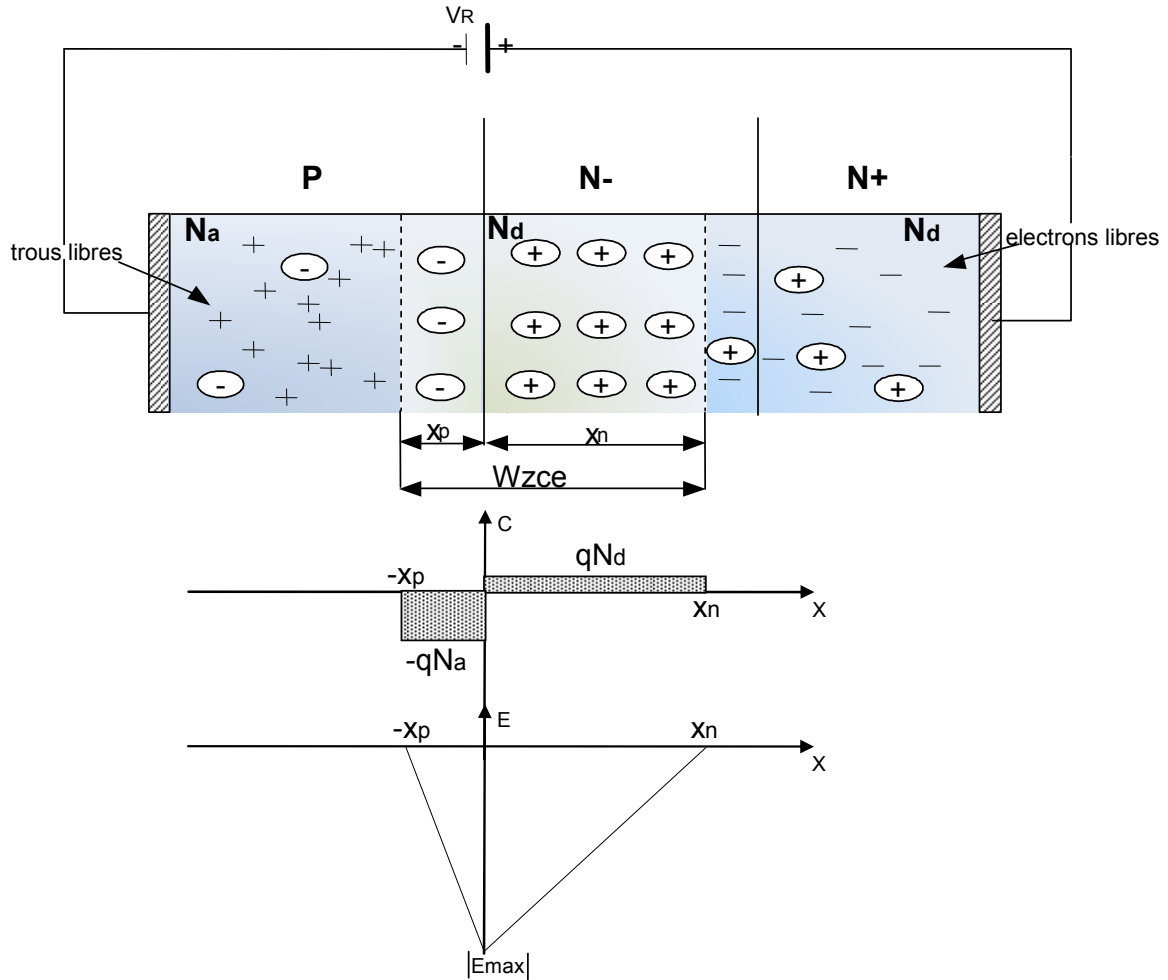


Figure III.2. - Jonction PN polarisée en inverse.

La jonction est polarisée en inverse sous l'application d'une tension externe V_R de manière à ce que le potentiel du côté P soit négatif par rapport au potentiel du côté N. En polarisation inverse les porteurs majoritaires – les trous du côté P et les électrons du côté N sont repoussés de part et d'autre de la jonction. Ainsi, la zone de charge d'espace (ZCE) s'élargit et le champ électrique y régnant devient plus élevé. Le champ maximal E_{max} au niveau du plan de jonction peut être déterminé suivant la relation suivante (III.1) :

$$q \frac{Na}{\xi_0 \xi_{Si}} x_p = E_{max} = q \frac{Nd}{\xi_0 \xi_{Si}} x_n \quad (III.1)$$

$$\text{d'où} \quad Na.x_p = Nd.x_n \quad (III.2)$$

où q est la charge élémentaire ($1,6.10^{-19}C$), Na et Nd respectivement les dopages des régions N- et P, ξ_{Si} est la permittivité relative du silicium (11.7), ξ_0 est la permittivité du vide ($8.85 \cdot 10^{-12} F.m^{-1}$), x_n et x_p étant respectivement la profondeur de la ZCE développée côté N et P.

Dans le cas d'une jonction abrupte non tronquée, on obtient le niveau de tension tenue V_{ak} par la jonction par intégration du champ électrique le long de la zone de charge d'espace (équation III.3).

$$V_{ak} = - \int_{-x_p}^{x_n} E_{max}(x) dx \quad (III.3)$$

La ZCE s'étend d'avantage dans la région avec une concentration plus faible qui est généralement faiblement dopée N. Les dopages et les profondeurs des deux régions P et N doivent être convenablement choisis de façon à éviter le perçage en permettant à la zone de charge d'espace de s'éteindre suffisamment et principalement dans la région N- afin de permettre au dispositif de "tenir" une tension élevée.

La structure des diodes dans notre cas est basée sur la diode de structure d'un composant MOS vertical, issu de la filière technologique VDDMOSFET. Ainsi le dimensionnement de nos prototypes respecte les choix des valeurs des différents paramètres déjà définis dans cette filière.

En ce qui concerne la région P, il faut rabattre le champ électrique à zéro avant le contact métallique ou une éventuelle autre jonction PN en surface. En sachant que pour les composants de puissance le champ critique est peu différent de 200kV/cm, l'équation III.4 permet d'identifier la profondeur x_j de la région P à définir afin d'éviter son perçage.

$$\int_0^{x_j} Na(x) > \frac{E_{crit} \cdot \xi_0 \cdot \xi_{Si}}{q} = 10^{12} \text{ at/cm}^2 \quad (\text{III.4})$$

La profondeur x_j de la région P doit être supérieure de la profondeur de la zone de charge d'espace développée côté P. Dans la filière VDDMOSFET [MIT05] la profondeur minimale de la jonction a été définie entre 2,5 μm et 3 μm pour des dopages allant de 2.10¹⁶at/cm³ et 1.10¹⁷at/cm³. D'après l'équation III.4, il est clair que dans notre cas une telle profondeur résultera en une dose par unité de surface beaucoup plus élevée que 10¹²at/cm² mais encore une fois ce choix a été fait compte tenu de nombreux paramètres de la filière VDDMOSFET (profondeur de la région de porte canal dans ce cas). Nous avons également fait le choix de ne pas modifier cette profondeur afin de garantir la compatibilité de la filière post process que nous avons développée avec la filière VDDMOSFET.

L'exigence pour la concentration Na de la région P concerne aussi la réalisation d'un bon contact ohmique en surface du composant. Des abaques donnant la résistivité du contact en fonction du dopage permettent de déterminer que la concentration de la région P doit être comprise entre 1.10¹⁸at/cm³ et 5.10¹⁸at/cm³ pour avoir un bon contact ohmique. Le dopage en surface de la région P dans notre cas sera Na=5.10¹⁸at/cm³. Coté N+, on peut conduire une analyse similaire mais, cette fois, avec un dopage plus élevé pour assurer la qualité du contact ohmique avec des concentrations en surface de l'ordre de 5.10¹⁹at/cm³.

En ce qui concerne l'optimisation de la région N-, son épaisseur et sa concentration sont fonction de la tension de claquage recherchée. La jonction PN polarisée en inverse représentée sur la figure III 2. représente le cas d'une jonction abrupte non tronquée – abrupte pour désigner la variation brusque des dopages des deux côtés de la jonction et non tronquée pour désigner que la ZCE s'étend librement dans la région faiblement dopée jusqu'à l'annulation du champ électrique dans cette même région (l'épaisseur de la zone de charge d'espace étant inférieure à l'épaisseur de la région N-). Cependant pour les composants de puissance (tels que le MOS, l'IGBT, le transistor bipolaire, la diode PIN etc.), on optimise la zone de tenue en tension en utilisant une jonction abrupte tronquée [ARN82, LEF04]. C'est une région fortement dopée (N+), insérée après la région (N-) et qui permet de diminuer l'épaisseur de la région N- en permettant à la zone de charge d'espace de déborder de cette région en pénétrant dans la zone N+ où le champ électrique est ramené à zéro sur une très courte distance du fait de la forte concentration. La figure III.3. représente l'optimisation de la zone de tenue en tension avec une troncature à 75%.

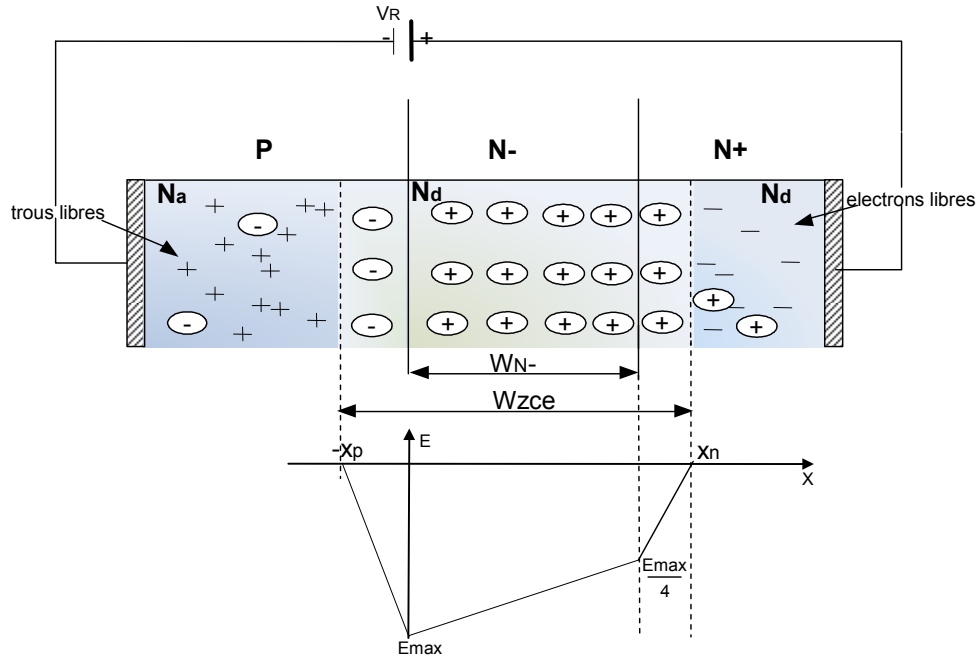


Figure III.3. - Jonction tronquée PN-N+ polarisée en inverse.

L'épaisseur optimisée de la zone de tenue en tension W_{N-} dans ce cas peut être déterminée suivant l'équation III.5 :

$$V_{BR} = \frac{\left(E_{max} + \frac{E_{max}}{4} \right) W_{N-}}{2} \quad (\text{III.5})$$

L'épaisseur W_{N-} est égale à $50\mu\text{m}$ en prenant $V_{BR}=600\text{V}$, et $E_{max}=200\text{kV/cm}$.

La concentration $N_d=2.10^{14}\text{at/cm}^3$ de la zone de tenue en tension est calculée d'après la relation III.6 :

$$E_{max} - \frac{E_{max}}{4} = \frac{qNd}{\xi_0 \cdot \xi_{Si}} W_{N-} \quad (\text{III.6})$$

Etant données ces valeurs pour les trois couches P+,N-,N+, l'épaisseur totale du composant de puissance est trop faible pour en faciliter sa mise en œuvre. Aussi, les wafers de silicium que nous avons utilisés pour la fabrication de nos prototypes avaient une épaisseur totale de $500\mu\text{m}$ dopage N+ de 10^{20}at/cm^3 avec une couche épitaxiée faiblement dopée N- de 2.10^{14}at/cm^3 d'épaisseur $50\mu\text{m}$. Ce choix technologique nous a été imposé par les possibilités et maîtrises technologiques dont nous disposons, l'amincissement des tranches en fin de procédé étant dans notre cas hors d'atteinte. Par ailleurs, et c'est là un des points conceptuels importants de ce travail, l'approche monopuce/multicomposants, repose sur le partage d'une électrode commune qui fait également office de tenue mécanique. Si cette électrode commune peut être métallique, elle est ici constituée de matériau silicium dégénéré donc faiblement ohmique pour simplifier le procédé.

- Etat passant

La jonction PN est polarisée en direct sous l'application d'une tension externe V_R de manière à ce que le potentiel du côté P soit positif par rapport au potentiel du côté N. En polarisation directe, les champs électriques et les épaisseurs des ZCE au niveau et de part et d'autre des plans de la jonction ou de la pseudo jonction P+/N- et N+/N- sont beaucoup moins importants qu'en

absence de polarisation, ce qui facilite la diffusion des porteurs majoritaires à travers les plans des jonctions.

La région P injecte des trous en grands nombres dans la région centrale N- tandis que la région N+ injecte des électrons en grands nombres dans la même zone. Une fois franchi la zone de tenue en tension les porteurs majoritaires du cote P arrivent en tant que porteurs minoritaires dans la région N- et/ou N+ où ils vont se recombiner peu à peu avec les électrons. De la même manière, les électrons majoritaires du côté N+ vont transiter dans la région où ils sont moins concentrés, pour éventuellement arriver dans la zone P en tant que porteurs minoritaires. Durant ce parcours, ils vont se recombiner peu à peu avec les trous qui diffusent également dans la région N- ou qui sont présents en quantité dans la région P+. Il en résulte des courants de diffusion des porteurs "minoritaires" responsables pour une partie du courant direct qui traverse la diode et qui dépend du niveau de polarisation, du courant de charges et de la longueur de diffusion des porteurs déterminée d'après l'équation III.7.

$$L = \sqrt{D \cdot \tau} \quad (\text{III.7})$$

où L est la longueur de diffusion, D est le coefficient de diffusion et τ est la durée de vie des porteurs.

Pour les diodes de puissance, les courants de diffusion sont complétés par des courants de conduction qui peuvent véhiculer des quantités de charges importantes sous une faible chute de tension. En effet, lors de la mise en conduction de la diode, des trous et des électrons sont injectés et "stockés" en grands nombres dans la zone de tenue en tension ce qui a comme conséquence de considérablement faire chuter la résistivité de cette zone – phénomène de modulation de la résistivité qui permet de réduire considérablement la chute de tension à l'état passant des composants bipolaires. La résistivité de la zone N- sans modulation de la résistivité est $\rho_{N-} = 21\Omega.cm$ déterminée d'après l'équation III.8.

$$\rho_{N-} = \frac{1}{q \cdot Nd \cdot \mu_n} \quad (\text{III.8})$$

où q est la charge élémentaire ($1,6 \cdot 10^{-19}C$), Nd le dopage de la région N- ($2 \cdot 10^{14}at/cm^3$) et μ_n est la mobilité des électrons ($1450cm^2/V.s$ pour les faibles concentrations en dopants).

Dans le cas où il y a modulation de résistivité $\rho_{N-} = 3.3\Omega.cm$ puisque dans ce cas:

$$\rho_{N-} = \frac{1}{q \cdot n_0 \cdot (\mu_n + \mu_p)} \quad (\text{III.9})$$

où cette fois n_0 est la charge volumique des porteurs en excès que l'on considère constante sur toute l'épaisseur de la région N- et qui est égale dans cet exemple à $p_0 = n_0 = 10^{15} at/cm^3$. μ_p est la mobilité des trous ($450cm^2/V.s$ pour les faibles concentrations en dopants).

Du point de vue de la chute de tension en direct, la modulation de la résistivité a un intérêt très important. Cependant, pour cela, il faut lors de la mise en conduction apporter les charges et lors du blocage retirer les charges stockées dans la zone de tenue en tension ce qui ne se fait pas instantanément et conditionne la rapidité de la diode. Pour gérer ce problème, il existe des techniques pour contrôler l'injection et/ou la durée de vie des porteurs décrites dans [ARN97, LEF04]. Le concepteur de composants bipolaires est toutefois amené à trouver le bon compromis entre et la chute de tension en direct et la vitesse de commutation du composant. Les caractéristiques de la structure semi-conductrice ne pouvant être optimisées au niveau des commutations, nous ne rentrerons pas davantage dans la présentation de la partie dynamique des composants de puissance bipolaires.

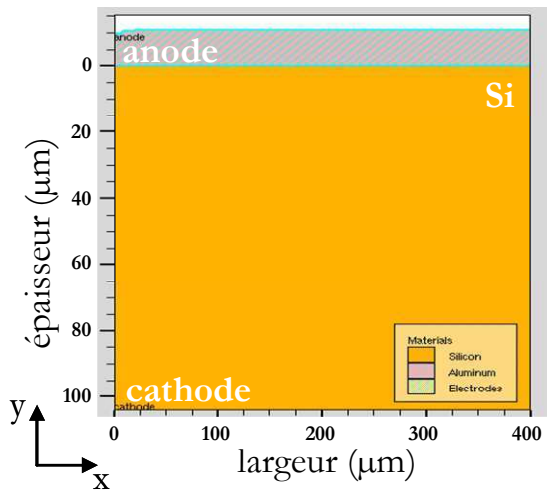
3. La jonction plane

Une fois l'étape de dimensionnement terminée les valeurs des paramètres ainsi définis forment la base et les spécifications de la structure de la diode à simuler. Les paramètres des simulations sont les suivants :

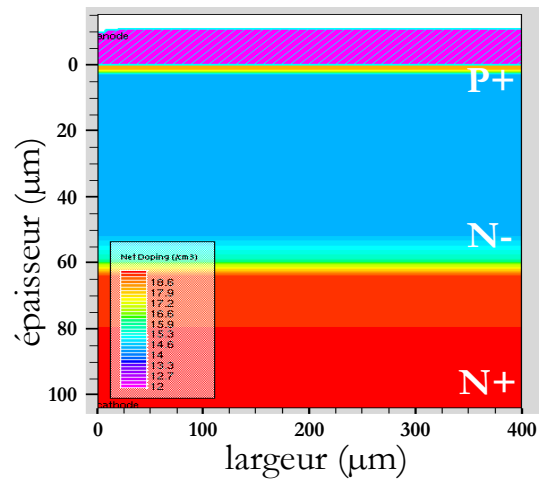
- 0-110 μm épaisseur du substrat silicium :
 - région P+ : de 0 à 3 μm avec une concentration de 1.10^{18} at/cm³
 - région N- : de 3 à 50 μm avec une concentration de 2.10^{14} at/cm³
 - région N+ : de 50 à 110 μm avec une concentration de 1.10^{19} at/cm³
- électrodes :
 - cathode : face arrière du composant (le métal en face arrière n'est pas visible sur les simulations parce qu'il n'a pas d'importance dans ce cas et n'affecte pas les résultats finaux)
 - anode : 10 μm épaisseur de la couche de métal – face avant du composant

En ce qui concerne les conditions limites pour chaque simulation, les bordures du domaine d'étude (ou de la fenêtre de simulation) présentent une symétrie de plan (la simulation 2D considère en effet une profondeur de 1 μm). Ces conditions peuvent être modifiées si l'on impose des potentiels ou des courants en bordure du domaine d'étude. Par exemple, au niveau de l'axe des abscisses, les conditions limites sont imposées par la définition des potentiels des électrodes – 0V pour l'anode en surface et -800V pour la cathode en face arrière.

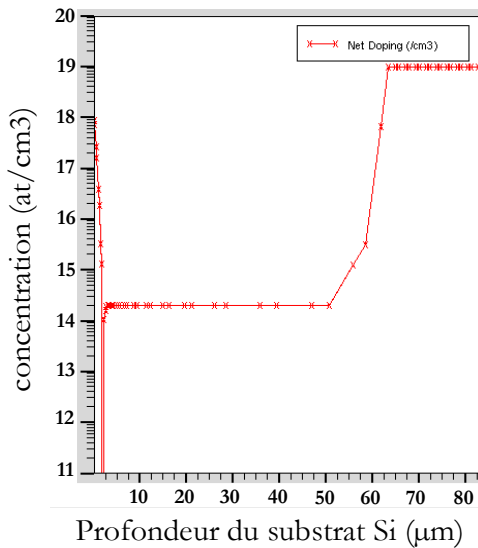
Notre analyse a débuté par la définition du cas de référence – celui de la jonction plane qui représente les conditions optimales de tenue en tension dans le silicium pour les paramètres physiques donnés. Les figures III.4.a), b) et c) représentent la structure et les profils des dopages de la diode verticale dans le cas de la jonction plane. La diode est polarisée en inverse avec une tension de 800V et les figures III.4.d), e) et f) représentent respectivement les contours du champ électrique et les lignes équipotentiels au sein de la diode ainsi que la vue en coupe du champ électrique tout au long de l'épaisseur du substrat et enfin la caractéristique de la diode en inverse. Le dispositif tient une tension inverse de 800V.



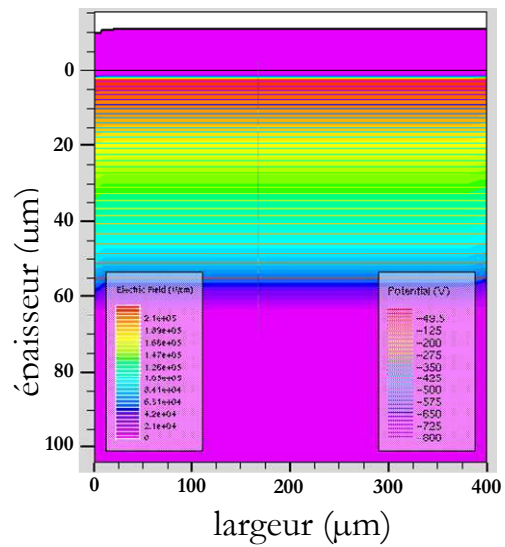
a) Structure verticale de la diode



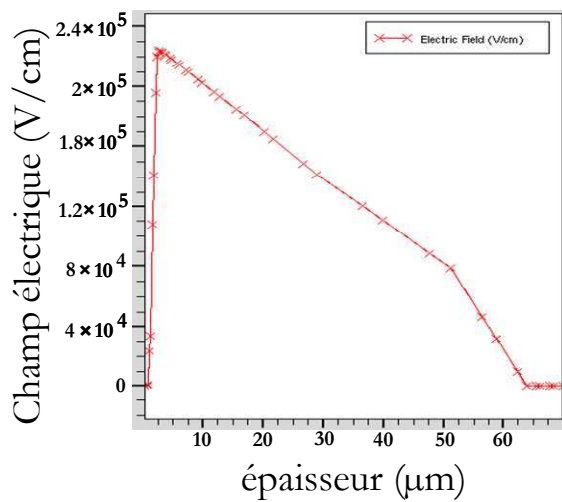
b) Concentration



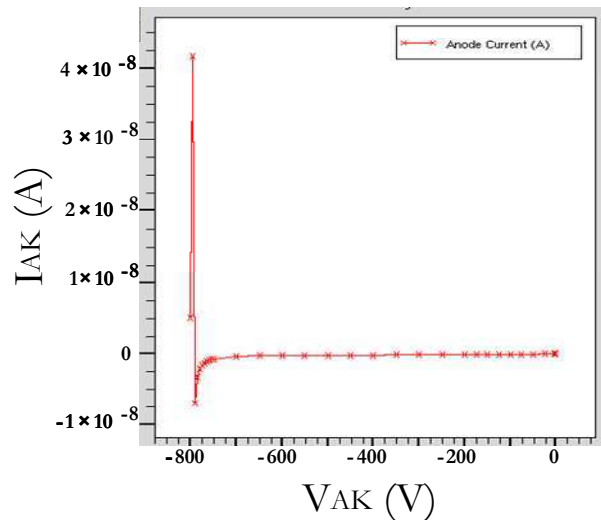
c) Profils des dopages



d) Contours du champ électrique et lignes équipotentielles



e) Vue en coupe du champ dans l'épaisseur de la diode



f) Caractéristique en inverse

Fig. III.4. – Simulations Silvaco de la jonction plane.

4. Performances électriques des diodes de puissance à terminaisons en tension verticales

Afin de permettre au composant de puissance qui a des dimensions finies de tenir une tension de calquage proche de celle de la jonction plane infinie, le champ électrique en périphérie de celui-ci doit être réduit. Or, la périphérie du composant présente une forte discontinuité des concentrations ce qui se traduit par des effets bi ou tridimensionnels pouvant provoquer de fortes augmentations du champ électrique sur les bords du composant de puissance. Comme nous l'avons évoqué dans le chapitre I, de nombreuses techniques existent, telles que les anneaux de garde, l'électrode de champ, les poches implantées, les terminaisons méssa etc... L'état de l'art présente les avantages et les inconvénients que chacune d'elles offre vis-à-vis de l'application ou du procédé de fabrication du composant. Comme nous l'avons déjà évoqué dans le chapitre I, exception faite des terminaisons méssa, aucune des techniques actuelles ne présente les degrés de liberté nécessaires pour notre application vis-à-vis du package du composant. La technique de terminaisons en tension périphériques que nous proposons est dans ce cas celle des terminaisons en tension verticales. Les terminaisons mesa ou les terminaisons en biseau sont une pratique courante et bien connue pour les composants haute tension – diodes de redressement et thyristors [BAL08]. Cependant les techniques de création des terminaisons mesa basées sur le sillonnage et la découpe chimique appropriée sont assez différentes de la technique des terminaisons verticales que nous proposons.

La technique des terminaisons verticales consiste à créer des tranchées profondes périphériques basées sur le procédé de DRIE. Cette technique a aussi été largement étudiée [PAR02, THE09] pour démontrer l'intérêt de son utilisation comme technique offrant une tenue en tension « idéale » tout en étant très compacte – cette technique permet de consommer moins de surface active comparée aux autres techniques [PAR03]. L'originalité de cette technique dans notre cas, repose aussi sur le concept non seulement de terminer les composants en périphérie mais aussi de séparer leurs zones actives. Ainsi l'isolation électrique efficace entre les différents composants est garantie en permettant l'intégration monolithique de plusieurs composants dans le même support électrique et mécanique à base de silicium dégénéré ou de métal épais. Pour garantir les performances recherchées, l'efficacité de cette technique doit être analysée et les terminaisons verticales doivent être optimisées. Le paragraphe suivant est dédié à cette étude par simulations numériques afin d'évaluer l'effet de la variation de différents paramètres comme :

- L'angle de la terminaison verticale – en modifiant l'angle (donc la pente des parois) de la terminaison verticale, on peut améliorer les performances en terme de tenue en tension, diminuer le champ électrique en surface et analyser l'effet de la courbure des équipotentielles
- La profondeur de la terminaison verticale – évaluer l'effet en terme de variation du champ électrique maximal à l'interface Si/diélectrique quand la profondeur est au-dessus, au-dessous et à la limite de la pseudo jonction N-/N+
- La distance entre la terminaison verticale et l'autre extrémité de Si qui représente la remontée de potentiel en face arrière – évaluer les résultats en terme de variation du champ électrique suite à l'interaction des potentiels face avant et face arrière
- La taille de l'électrode en face avant (qui joue le rôle d'électrode du champ) - évaluer les résultats en terme de variation du champ électrique, la courbure et le resserrement des équipotentielles suite au changement de la taille de l'électrode de champ (prise en compte du cas particulier sans électrode du champ)

A la fin de ce paragraphe, nous présenterons aussi la validation expérimentale du concept des diodes de puissance à terminaisons en tension verticales en détaillant les résultats pratiques

obtenus lors des caractérisations électriques statiques et dynamiques des prototypes dont la réalisation a été présentée dans le chapitre II.

4.1. Analyse théorique de la tenue en tension

Afin d'étudier les divers effets physiques et géométriques sur le comportement d'une diode avec terminaisons en tension verticales le même modèle de diode que celui utilisé pour l'étude de la jonction plane a été utilisé. La modification de la structure que nous avons effectuée afin de représenter la terminaison périphérique est la gravure de silicium en périphérie du dispositif comme représenté sur la figure III.5.

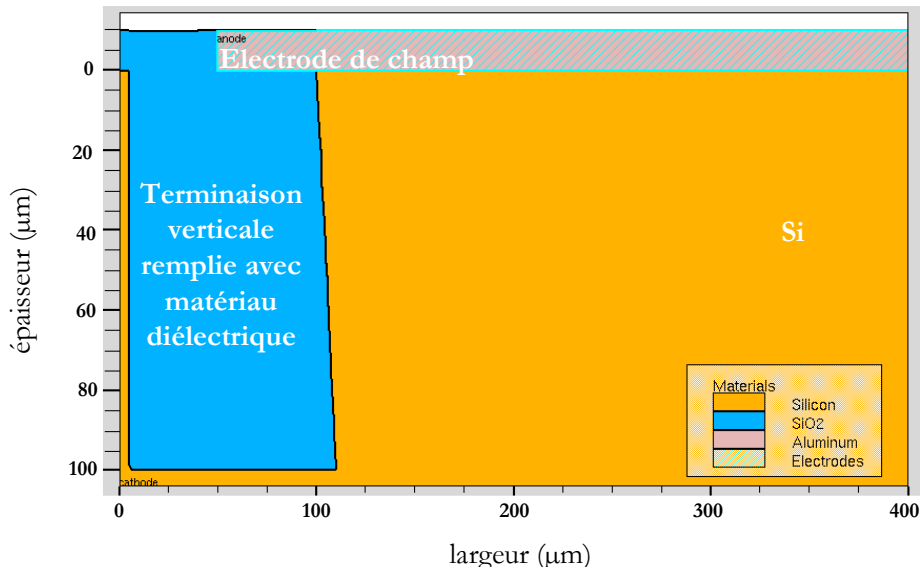


Fig. III.5. – Diode de puissance avec terminaison en tension verticale.

On retrouve sur la figure III.5. une vue en coupe présentant la zone active de la diode (à droite), à l'extrémité gauche la remontée de potentiel de la face arrière (pour représenter la proximité du composant voisin éventuellement passant) et une électrode de champ en surface (permettant de diminuer le stress du champ électrique en surface dans le silicium). La région en bleu représente la terminaison verticale remplie avec un matériau diélectrique – SiO₂ sur l'image dont nous avons modifié la permittivité diélectrique pour représenter le cas du matériau de passivation utilisé plus tard pour la passivation des prototypes fabriqués - $\epsilon=3$ dans ce cas comme pour le gel silicone.

- Angle de la terminaison verticale

La figure III.6. représente les contours du champ électrique et la distribution des lignes équipotentielles pour une diode PIN sous une polarisation inverse de 800V. La structure simulée comporte une terminaison en tension verticale (angle de 90°) avec une profondeur de 100µm et une largeur de 100µm.

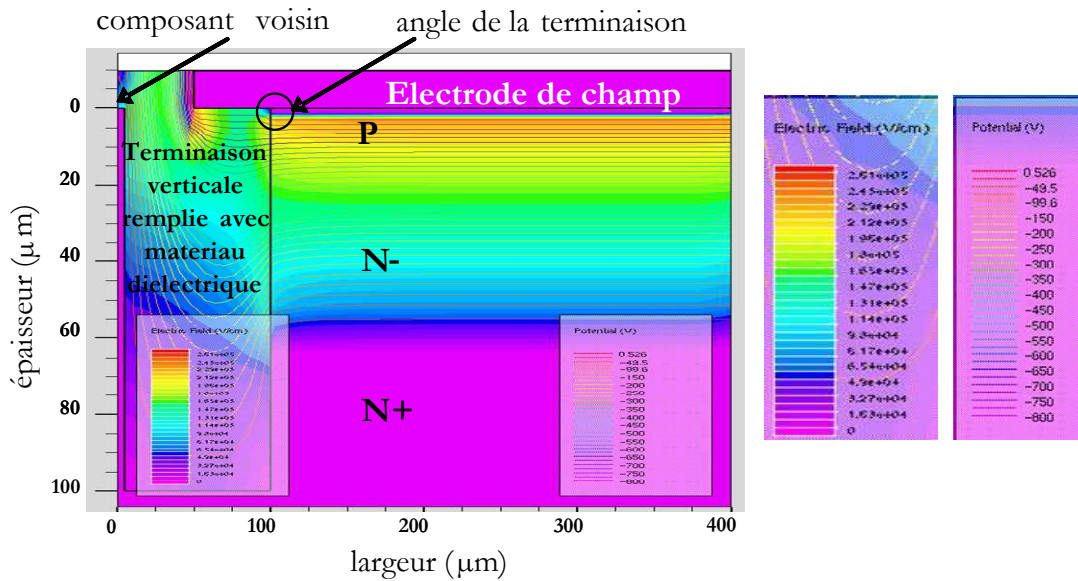


Fig. III.6. – Diode de puissance avec terminaison en tension verticale (angle de 90°) - champ électrique et lignes équipotentielles pour une polarisation inverse de 800V.

Les résultats montrent que la terminaison verticale permet de maintenir voire de diminuer le champ électrique en surface du silicium ($<225\text{kV/cm}$) par rapport au champ électrique dans le volume du composant (225kV/cm). Il semble donc possible d'utiliser la terminaison verticale pour favoriser une meilleure distribution des équipotentielles à l'interface Si/diélectrique à la périphérie du composant. La présence de l'électrode de champ, en prolongeant le potentiel en surface permet d'encore plus diminuer le stress du champ électrique dans le silicium. Toutefois, comme on peut le voir sur la figure, cela se traduit par une augmentation très forte du champ à l'angle de cette plaque de champ ce qui risque de soumettre le matériau diélectrique à des contraintes importantes. La figure III.7. montre la caractéristique de tenue en tension de la structure simulée.

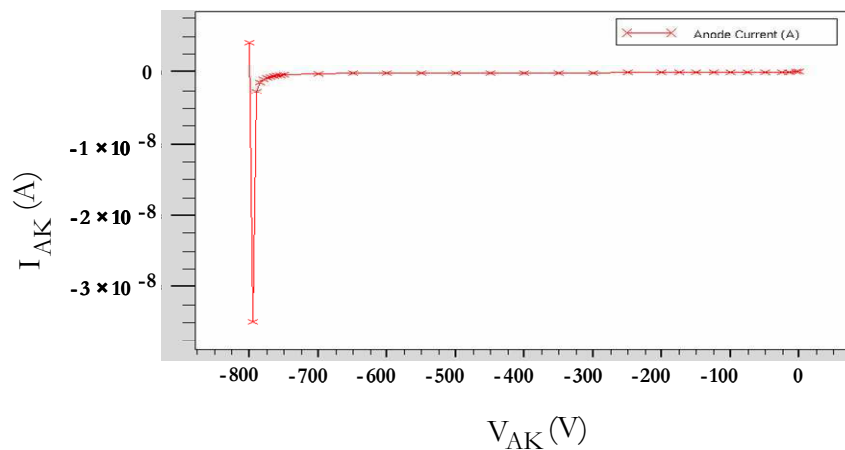


Fig. III.7. – Tenue en tension de la diode avec terminaison en tension verticale.

La diode avec terminaison verticale atteint la tension requise de 800V qui est aussi la tension de claquage nominale de la diode dans le cas de la jonction plane.

Un des avantages les plus importants de la terminaison verticale est la possibilité d'étaler au mieux la zone de charge d'espace de la jonction polarisée en inverse en réalisant un angle approprié de la paroi verticale. C'est là un atout fort de cette technologie qui, sans découpe complète du matériau, permet de façonner l'angle de la terminaison en tension. La figure III.8.

représente les résultats des simulations d'une diode avec terminaison verticale avec 100µm profondeur, 100 µm largeur et un angle de 60° de la paroi qui résulte de la diminution de la section du composant de la région P vers la région N.

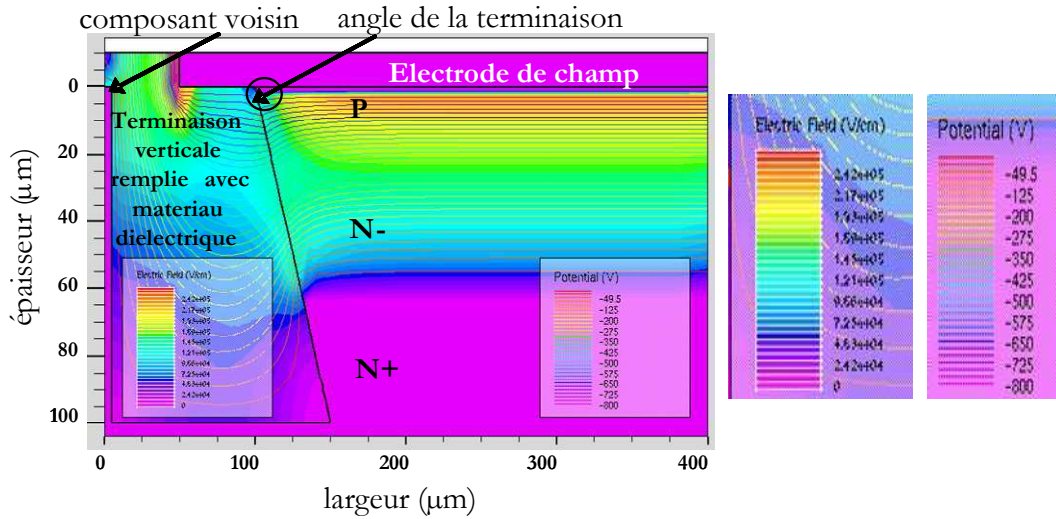


Fig. III.8. –Diode de puissance avec terminaison en tension verticale (angle à 60°)- champ électrique et lignes équipotentielles pour une polarisation inverse de 800V.

On peut remarquer sur la figure III.8. que l'effet de l'angle au niveau de la paroi provoque une courbure des lignes équipotentielles vers le bas due à la diminution de la section du composant. La ZCE s'étale d'avantage dans la zone N- pour compenser le manque de charges positives qui résulte de la diminution de la section du composant de la région P vers la région N. Cela a comme effet de répartir les équipotentielles sur une plus grande surface ce qui réduit l'amplitude du champ électrique en surface par rapport au champ électrique en volume et permet au dispositif de tenir la tension de claquage nominale.

La figure III.9. montre la comparaison de la vue en coupe du champ électrique à l'interface Si/diélectrique pour différents angles de la terminaison verticale. Plus l'angle est petit, plus le champ électrique diminue. Cependant des angles trop petits (inférieurs à 45°) ne sont pas couramment utilisés puisqu'ils exigent une trop grande consommation de silicium. Par ailleurs, ils sont technologiquement beaucoup moins faciles à obtenir ! On peut voir que, lorsque l'angle devient faible, il y a une légère augmentation du champ électrique au niveau de la pseudo jonction N-/N+ ce qui est normal compte tenu de la mauvaise orientation de l'angle dans ce cas. Toutefois, compte tenu de la faible amplitude du champ dans cette région, cela est sans conséquence sur la tenue en tension du composant de puissance.

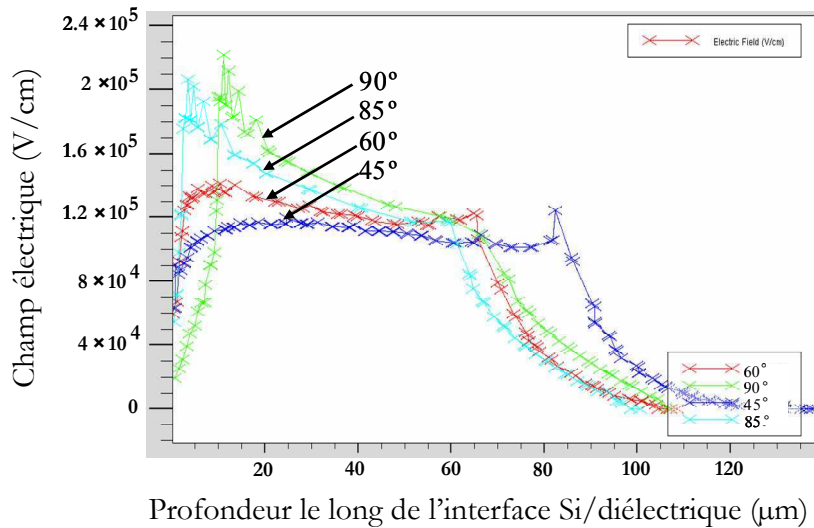


Fig. III.9. – Comparaison du champ électrique à l'interface Si/diélectrique pour différents angles.

- Profondeur de la terminaison verticale

Nous avons aussi analysé la profondeur optimale de la terminaison en faisant varier ce dernier paramètre pour une diode avec terminaison verticale avec un angle à 45° comme représenté sur la figure III.10. Dans tous les cas, seule la profondeur de la tranchée fut modifiée, la profondeur de la zone de tenue en tension N- étant fixée pour une tenue en tension optimale de la jonction plane.

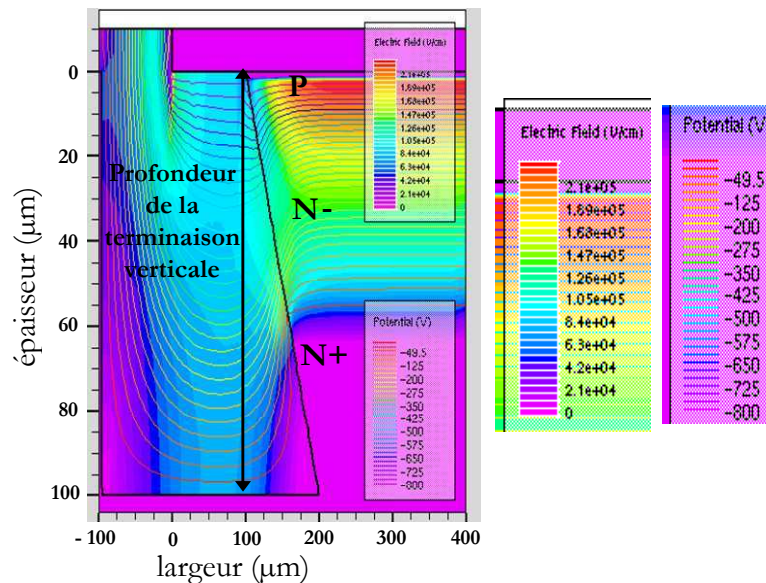


Fig. III.10. – Variation de la profondeur de la terminaison verticale - 100µm dans cet exemple.

Les résultats ont montré que la terminaison a des performances optimales dès lors que sa profondeur dépasse la pseudo jonction N-/N+. Comme nous l'avons déjà mentionné dans notre cas, la zone de tenue en tension est une couche épitaxiée de profondeur 50µm. Les résultats des simulations en faisant varier la profondeur de la terminaison verticale de 40µm (10µm au dessus de la pseudo jonction N-N+), 50µm (à la limite de la pseudo jonction N-N+), 60µm (10µm au dessous de la pseudo jonction N-N+) et 100µm (50µm au dessous de la pseudo jonction N-N+) ont montré qu'en dépassant la profondeur de la pseudo jonction N-N+ le champ électrique à l'interface Si/diélectrique diminue significativement. Le tableau III.1. résume les résultats du champ électrique maximal à l'interface Si/diélectrique.

TABLEAU III.1. CHAMP ELECTRIQUE POUR DIFFERENTS PROFONDEURS DE LA TRANCHEE

Profondeur de la tranchée (μm)	Champ électrique maximal (kV/cm)
100	120
60	120
50	280
40	350

Pour une variation de la profondeur de la tranchée au delà de la pseudo jonction, le champ électrique maximal à l'interface Si/diélectrique garde les mêmes valeurs (même pour une profondeur de la tranchée supérieure à $100\mu\text{m}$). Une profondeur de la tranchée supérieure à $100\mu\text{m}$ résultera en une consommation non justifiée du silicium (et donc d'une diminution de la section du passage du courant) sans apporter d'avantages pour la tenue en tension du composant. La profondeur optimale est alors de $60\mu\text{m}$. Lors des tests pratiques, la profondeur a été fixée à environ $100\mu\text{m}$ pour ne pas avoir à stabiliser le procédé à ce stade et éviter tout risque de production de prototypes non satisfaisants.

- Largeur de la terminaison verticale

Nous avons aussi réalisé une étude sur la largeur optimale de la terminaison verticale (en faisant varier la distance entre le bord du composant et le composant voisin représenté sur figure III.5.), la variation de ce paramètre étant comprise entre $50\mu\text{m}$ et $400\mu\text{m}$. Il apparaît une très faible différence au niveau du champ électrique à l'interface Si/diélectrique 106kV/cm pour une largeur de la tranchée de $50\mu\text{m}$ et 102kV/cm pour une largeur de la tranchée de $400\mu\text{m}$ dans le cas d'une terminaison verticale avec angle à 45° . En ayant toujours l'objectif de ne pas consommer de la surface du silicium sans raison justifiée tout en gardant un peu de marge de sécurité, la largeur de la tranchée représentée dans les jeux de masques sera de $250\mu\text{m}$ lors de nos réalisations pratiques. La largeur de la tranchée est un paramètre qui n'a pas été vraiment optimisé dans le cadre de cette thèse et il serait intéressant dans le futur d'étudier plus en détails l'influence de ce paramètre afin de déterminer la largeur optimale minimale.

- Taille de l'électrode de champ

Une étude portant sur la présence de l'électrode de champ (plaque massive en métal rapportée en surface du composant) en surface du composant a aussi été réalisée. Les résultats pour la variation de la taille de cette électrode de $50\mu\text{m}$ à $400\mu\text{m}$ (figure III.11) pour une structure avec terminaison verticale avec angle à 45° ont montré qu'il n'y a pas de différences sur la répartition et la valeur (125kV/cm dans tous les cas) du champ électrique suite à l'extension de l'électrode de champ.

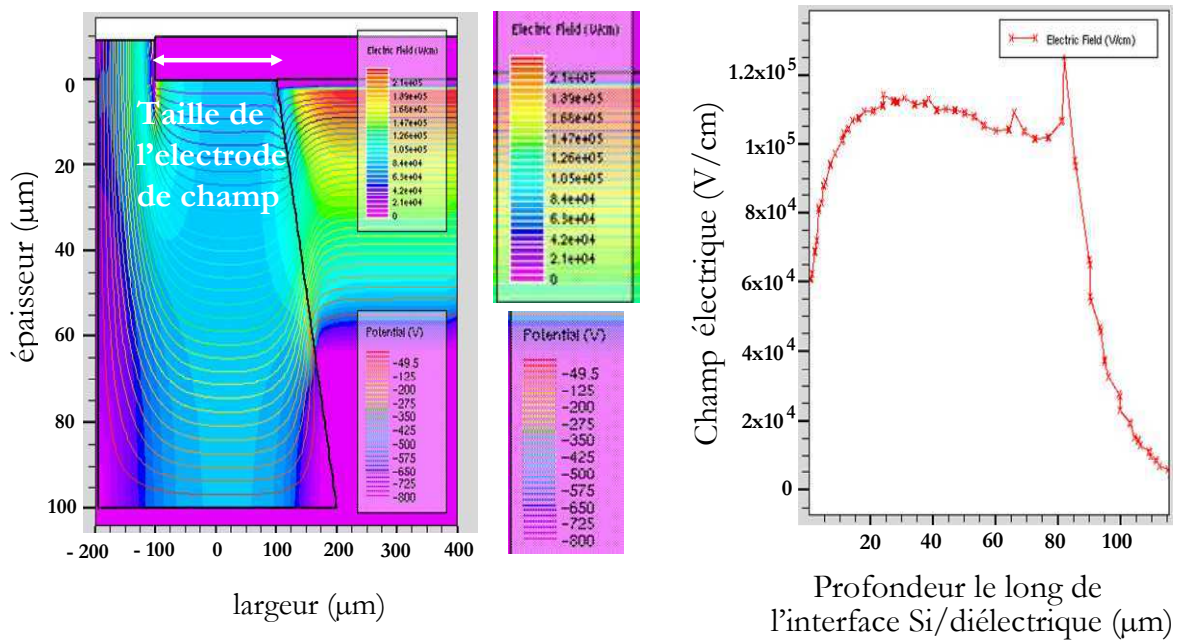


Fig. III.11. – Taille de l'électrode de champ - 200µm dans cet exemple et évolution du champ électrique à l'interface.

La figure III.12. représente le cas particulier où il n'y a pas de plaque de champ. On peut voir que cela amène à une forte augmentation du champ électrique maximal à la surface du composant. Même si dans ce cas le champ électrique garde des valeurs ne dépassant pas la valeur du champ critique, il est clair que la présence de l'électrode de champ permet une forte diminution du stress dû au champ électrique en surface. Les profits de cet aspect seront mis en valeur dans notre application une fois le package PCoC réalisé où le rôle de l'électrode de champ sera joué par une plaque massive de cuivre de prise en contact en surface du composant. Dans ce cas, la plaque de champ sera rapportée en post process et l'épaisseur de la couche de métallisation pourra jouer un rôle significatif pour la tenue en tension de l'ensemble en décalant vers le haut la plaque de champ. Cet aspect doit être analysé plus en détails dans le futur.

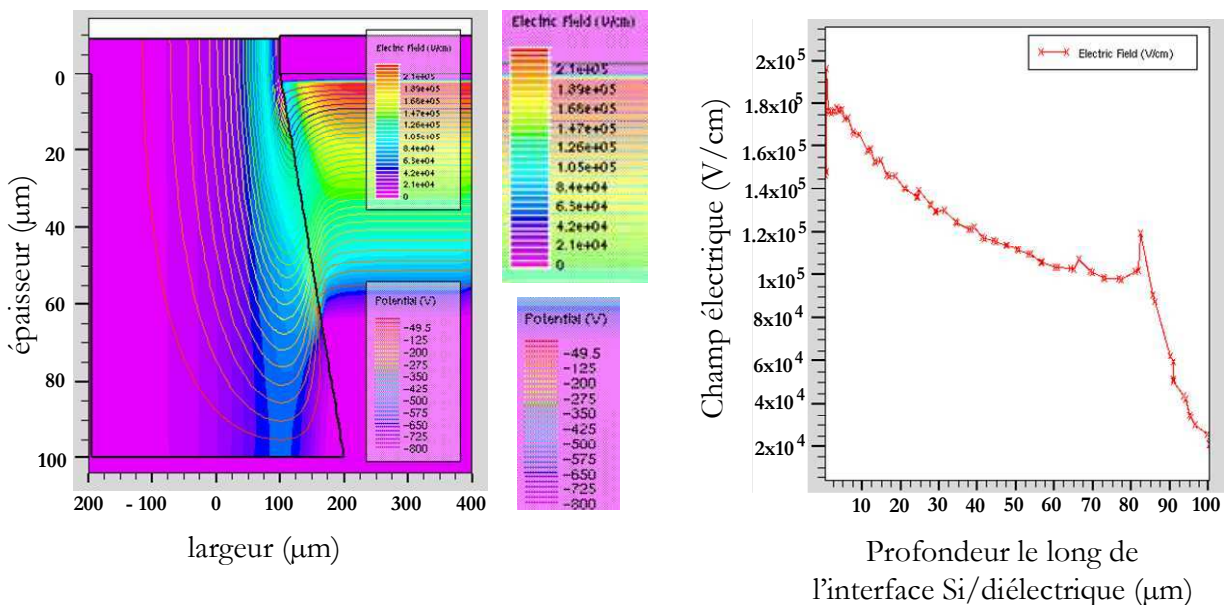


Fig. III.12. – Diode avec terminaisons verticales sans électrode de champ.

- Variation de la permittivité relative du matériau diélectrique

Nous avons aussi analysé les effets de la variation du champ électrique à l'interface Si/diélectrique suite à la variation de la permittivité relative du matériau diélectrique (valeurs entre 1 et 20) qui remplit la tranchée. Peu de différences sur les résultats ont été observées compte tenu du fait que le champ se développe de manière radiale à l'interface silicium/isolant.

4.2. Validation expérimentale

Afin de valider les résultats de cette analyse théorique, les prototypes dont la réalisation a été présentée dans le chapitre II ont été caractérisés en pratique avec des tests électriques statiques et dynamiques.

4.2.1. Réalisation du package

La caractérisation statique a été menée en deux temps – d'abord des mesures sous pointes avec un traceur de caractéristiques (Tektronix Sony High Power Curve Tracer HP 371A) en utilisant le wafer non découpé. Cette mesure consiste à placer le wafer sur un porte substrat relié à une pompe à vide - la connexion avec la face arrière est réalisée en mettant en contact le wafer et le porte substrat en métal qui est relié à la source de polarisation tandis que la connexion en surface est effectuée à l'aide de pointes (figure III.13.).

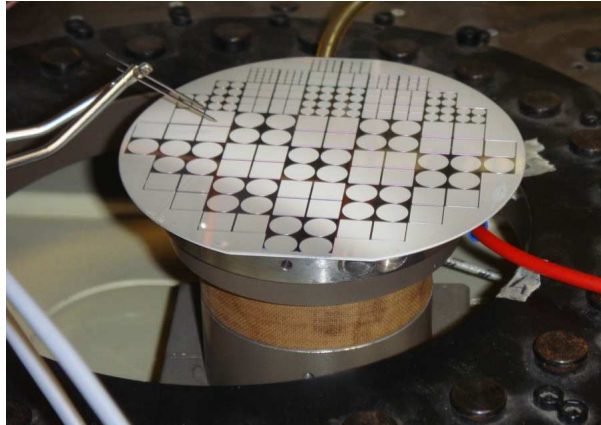


Fig. III.13. – Photographie du wafer des diodes avec terminaisons verticales en cours de caractérisation sous pointes.

Cette première mesure nous permet de vérifier la fonctionnalité des dispositifs même si leurs performances sont encore à ce stade peu démonstratives puisque leur caractérisation est effectuée avant la passivation des composants. Les tests sous pointes nous ont aussi permis d'identifier les conséquences sur les caractéristiques des composants suite à la découpe – nous avons constaté que la tenue en tension chez certains dispositifs a été fortement affectée par le passage de la scie diamantée dans la tranchée verticale. Toutefois d'autres n'en ont pas souffert. Il fut donc conclu que la découpe pouvait introduire des impuretés dans les régions périphériques et qu'il faudrait en tenir compte dans le futur avec un procédé de découpe plus "propre".

Dans un deuxième temps les dispositifs découpés ont été packagés dans des boîtiers spécialement conçus et réalisés en substrat PCB (pour Printed Circuit Board) et SMI (pour Substrat Métallique Isolé). Le package consiste à coller la face arrière (cathode) du composant sur le substrat avec de la pâte conductrice tandis que l'accès à l'anode ou aux anodes, dans le cas de plusieurs diodes intégrées dans le même substrat de silicium, est réalisé avec des fils de bonding. Les étapes de découpe et de report furent conduites au CIME-Nanotech avec l'aide de Irène Pheng. Une fois la connexion électrique réalisée, les composants sont passivés avec du gel silicone. La figure III.14 représente ce package pour une, quatre et neuf diodes avec terminaisons verticales et intégrées dans le même substrat de silicium.

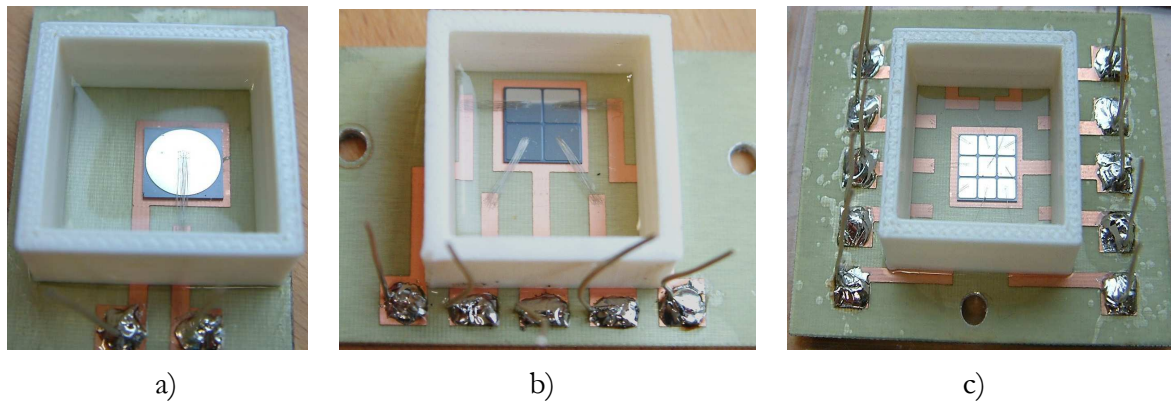


Fig. III.14. – Photographies du package de a) une, b) quatre et c) neuf diodes intégrées dans le même substrat de silicium avec la technique d'ilotage et de terminaisons en tension verticales.

Par la suite, le design du package a évolué avec l'ajout d'électrodes de mesure en plus des électrodes de puissance afin d'optimiser la qualité des mesures et de réaliser la caractérisation en polarisation directe avec quatre pointes (méthode Kelvin). Une vue schématique et une photographie du nouveau package sont représentées sur la figure III.15.

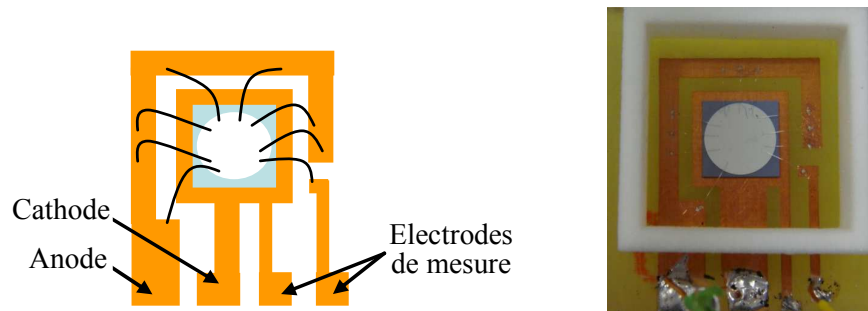


Fig. III.15. – Vue schématique et photo du package dédié à la caractérisation en directe des diodes avec terminaisons en tension verticales.

Une attention particulière a aussi été portée sur les fils de bonding et leur emplacement sur la puce. Comme l'équipement dont nous disposons peut seulement réaliser des bondings de $33\mu\text{m}$ de diamètre, il est très important de souder plusieurs fils mais aussi de les étaler sur toute la surface du composant afin de garantir la distribution homogène du courant dans toute la section du composant. On peut voir sur la figure III.15. que l'une des pistes métalliques entoure presque entièrement le composant, permettant de cette manière de souder plusieurs fils de bondings en les étalant sur toute la surface du composant. Ainsi, la distribution du courant de puissance peut être considérée comme étant uniforme à la surface du composant de puissance même si les bondings ne sont pas complètement adaptés pour le calibre en courant utilisé dans cette expérience.

Même si des bondings ont été utilisés comme interconnexions pour les premières caractérisations électriques, l'étape de validation finale des diodes avec terminaisons en tension verticales consiste en leur mise en œuvre dans des packages de type Power Chip-on-Chip [VAG10]. Malgré nos essais et tentatives de montage dédié, la fonctionnalité du concept avec ce package n'a pas pu être validée au cours de cette thèse. La raison la plus probable est que l'épaisseur de la couche de métal en surface que nous avons pu réaliser reste insuffisante pour cette application. Ce travail reste à poursuivre dans des travaux de recherche futurs.

La mise en œuvre du concept couronne la caractérisation en particulier au niveau des composants dits "complexes" intégrant plusieurs fonctions comme plusieurs diodes indépendantes. Ce concept trouve une application originale dans les structures multiphasées ou entrelacées avec des transformateurs intercellulaires ou avec des inductances entrelacées [FOR07,

LAB08]. L'intérêt important porté sur ces structures est motivé par les multiples avantages qu'elles offrent comme l'augmentation de la fréquence apparente et l'amélioration de la réponse dynamique du système tout en réduisant considérablement la taille des éléments passifs ce qui permet de réduire le volume total du convertisseur. Toutefois pour ce faire, plusieurs bras de commutation sont nécessaires ce qui implique l'augmentation du nombre de composants actifs et des interconnexions utilisés. Cela rend la mise en œuvre de ces structures compliquée et peut induire des problèmes de fiabilité. Une solution possible est l'intégration monolithique des composants actifs et de leurs fonctions associées [CRE09]. Cela réduit le nombre de puces et d'interconnexions et simplifie la mise en œuvre. La technique de terminaison et d'isolation par des terminaisons verticales peut être appliquée sur des composants actifs tels que les MOSFET ou les IGBT. Cependant, pour la démonstration du concept nous avons travaillé dans un premier temps sur les diodes de puissance à structure verticale. Ces dernières ont été mises en œuvre dans un convertisseur entrelacé comme cela sera présenté dans le paragraphe suivant.

4.2.2. Caractérisation statique

- **Tenue en tension**

Tous les résultats qui seront présentés dans les paragraphes suivants concernent la caractérisation expérimentale des prototypes une fois le package et la passivation réalisés. En ce qui concerne les caractéristiques en inverse des diodes de puissance avec terminaisons en tension verticales, nous avons étudié et analysé trois aspects principaux :

- la tenue en tension d'une diode seule ou de plusieurs diodes intégrées dans le même substrat en silicium terminées et isolées avec la technique de terminaisons en tension verticales,
- le courant de fuite, à température ambiante, d'une diode seule ou de plusieurs diodes intégrées dans le même substrat en silicium,
- le courant de fuite (qui ne peut pas être bien estimé en simulations mais qui peut bien être visualisé en caractérisations pratiques), à température élevée (jusqu'à 100°C), d'une diode seule.

La figure III.16. représente un de nos meilleurs résultats de tenue en tension d'une diode seule avec terminaisons en tension verticales. Le composant tient une tension inverse de 720V avec un courant de fuite de 1.7μA à 600V à température ambiante.

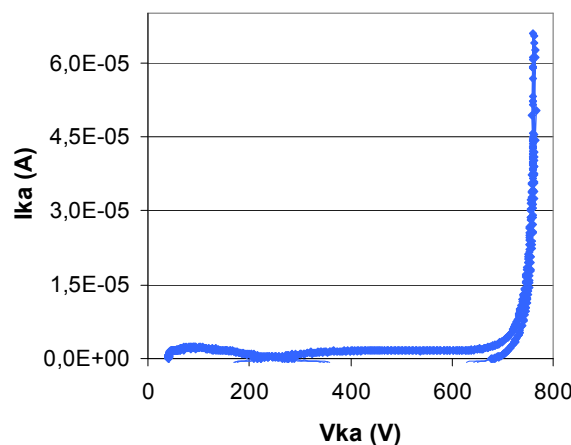


Fig. III.16. – Caractéristique en inverse d'une diode seule avec terminaisons en tension verticales.

La figure III.17 représente quelques résultats représentatifs de la tenue en tension pour diverses géométries de diodes avec terminaisons en tension verticales. Comme pour la figure III.16, chaque courbe correspond à la tenue en tension d'une diode seule.

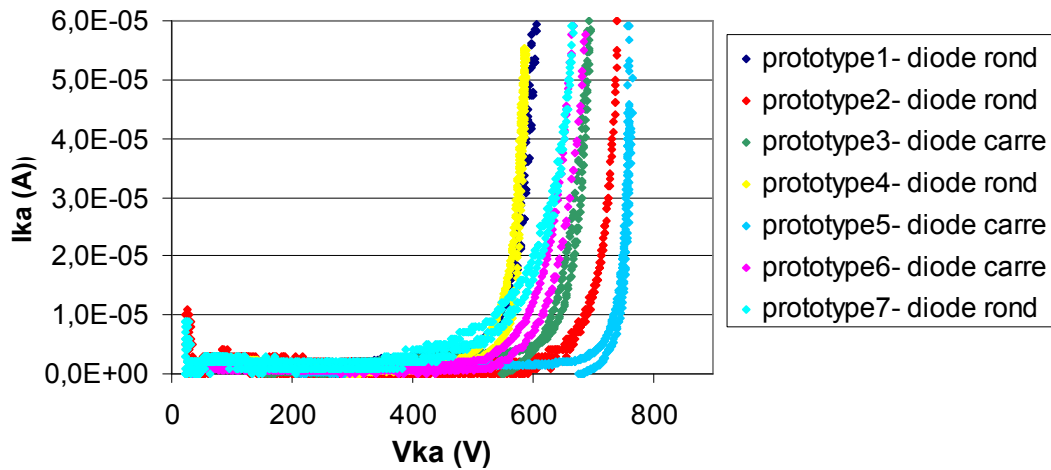


Fig. III.17. – Caractéristiques en inverse de plusieurs diodes seules avec terminaisons en tension verticales.

Hormis les caractéristiques de prototypes 1 et 4 qui ont une tenue en tension légèrement inférieure à 600V, les autres dispositifs remplissent les spécifications définies dans le cahier de charges avec un courant de fuite faible (figure III.18.) et une tension de claquage de 600V avec des tensions d'avalanches proches de celles attendues en théorie. Peu de différence de la tenue en tension entre les dispositifs avec grand (cercles) et avec petit rayon de courbure (carrés) des angles des terminaisons verticales ont été observées pendant les mesures pratiques ce qui confirme que le rayon de courbure minimal choisi identique à celui usuel dans la conception des périphérie en tension planar est satisfaisant mais reste encore trop grand (ch chapitre II). Dans le futur il faudrait analyser quel est le rayon de courbure minimal qui affecte la tenue en tension des composants avec terminaisons en tension verticales.

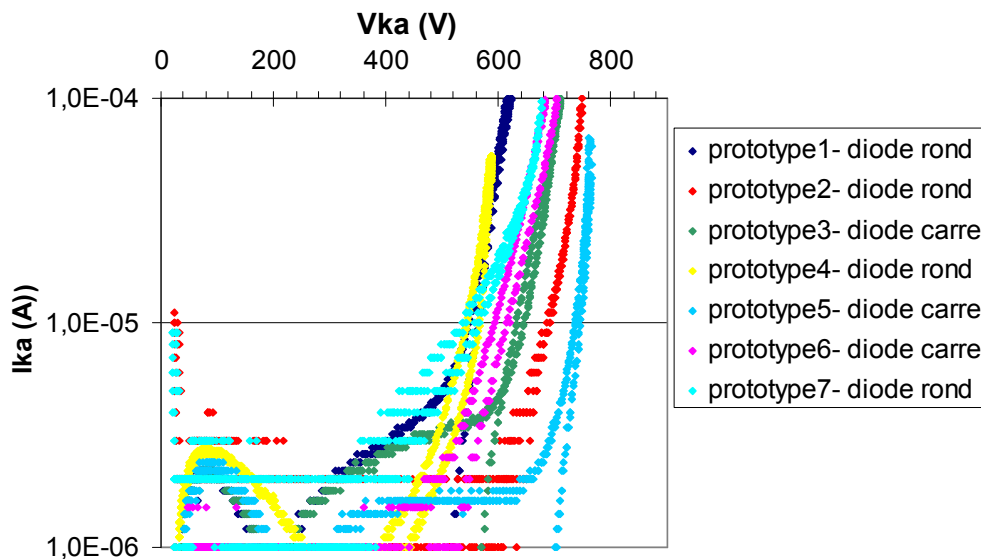


Fig. III.18. – Courant de fuite des diodes seules avec terminaisons en tension verticales.

Nous devons cependant mentionner que le pourcentage des composants issus du même run qui remplissent nos exigences pour la tenue en tension et le courant de fuite représentent au total 80% de tous les dispositifs réalisés dans le même substrat en silicium. Les autres 20% ont soit une tenue en tension inférieure à la tension nominale demandée (figure III.19.) soit un courant de fuite beaucoup plus élevé qui atteint rapidement des centaines de μA (figure III.20).

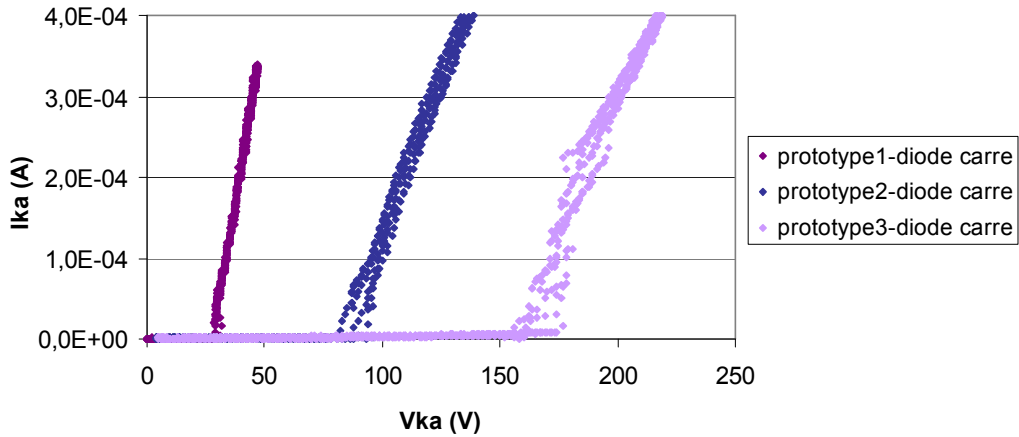


Fig. III.19. – Faible tenue en tension des diodes seules avec terminaisons en tension verticales.

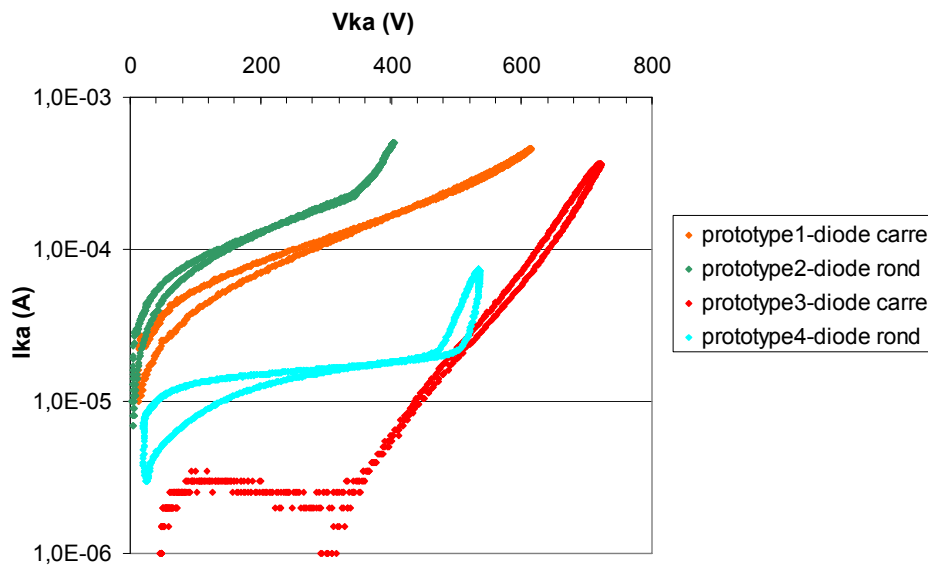


Fig. III.20. – Courants de fuites élevés des diodes seules avec terminaisons en tension verticales.

Les composants avec terminaisons en tranchées profondes sont souvent cités comme souffrant de courants de fuite élevés [WOL06, KUH98] puisque la jonction PN en périphérie est exposée et même un défaut minimal peut être à l'origine du dysfonctionnement des dispositifs. Cependant, dans notre cas, les diodes avec terminaisons verticales ayant des courants de fuite comme ceux représentés sur la figure III.20. représentent une fraction négligeable de tous les prototypes fabriqués. Ces résultats n'ont pas été observés d'une manière répétitive ou démonstrative et nous considérons que les raisons les plus probables de cet écart sont dû soit au procédé technologique soit aux particules de poussière provenant de la découpe faite avant la passivation des tranchées. Afin de démontrer cette hypothèse, nous avons effectué des mesures du courant de fuite à haute température (jusqu'à 100°C). Pour cela nous avons mis les dispositifs sur une plaque chauffante et nous avons suivi la montée en température des dispositifs avec une caméra infrarouge et, une fois la température de consigne atteinte, la mesure du courant de fuite a été effectuée avec le même traceur de caractéristiques que précédemment. La figure III.21. montre l'allure du courant de fuite à 25°C, 75°C, 50°C et 100°C d'une diode seule avec terminaison en tension verticale.

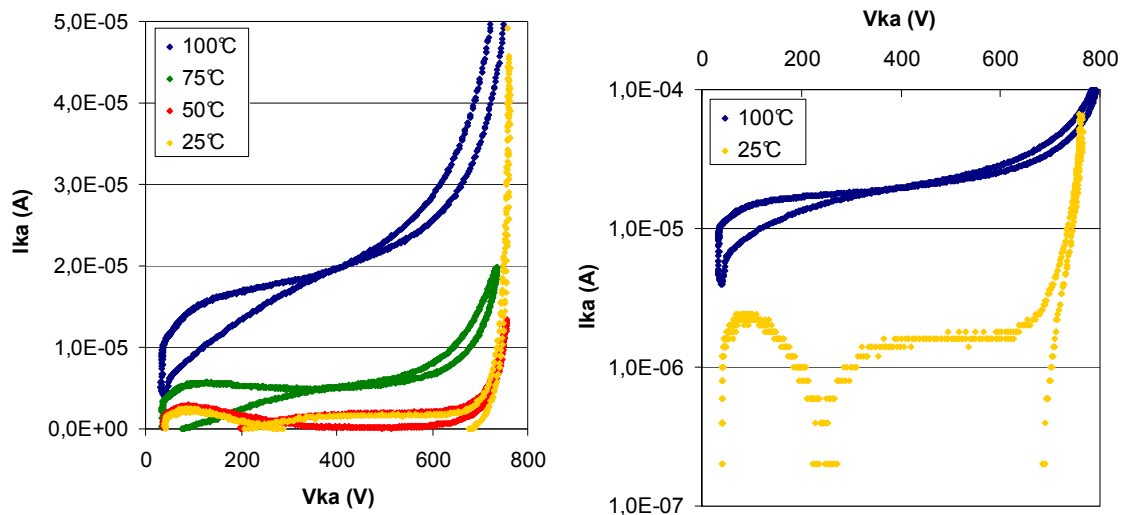


Fig. III.21. – Mesures du courant de fuite à haute température d'une diode seule avec terminaison en tension verticale.

Le niveau du courant de fuite des diodes avec terminaisons verticales est plus élevé que celui pour les composants planar. Afin d'illustrer cet aspect nous donnons l'exemple d'une diode ultra rapide 600V 100A de Fairchild [FAI02] (figure III.22.). La dépendance du courant de fuite en fonction de la température pour nos diodes avec terminaisons verticales est d'un facteur 10 plus élevé que pour la diode planar de commerce. Néanmoins, la mesure de courant que nous avons réalisée rentre aussi dans l'erreur de mesure de l'appareil que nous avons utilisé et il se peut que les courants de fuite soient encore plus faibles que les courants mesurés (une échelle minimale de l'appareil $1 \mu\text{A}$). Enfin, les dispositifs méso sont souvent classifiés comme ayant des courants de fuite plus élevés que les composants planar. A titre d'exemple nous pouvons citer la diode mesa 600V 1A commercialisée par Fagor Electronica [FAG09] dont la fiche technique indique que le courant de fuite maximal mesuré à 25°C est de $5 \mu\text{A}$.

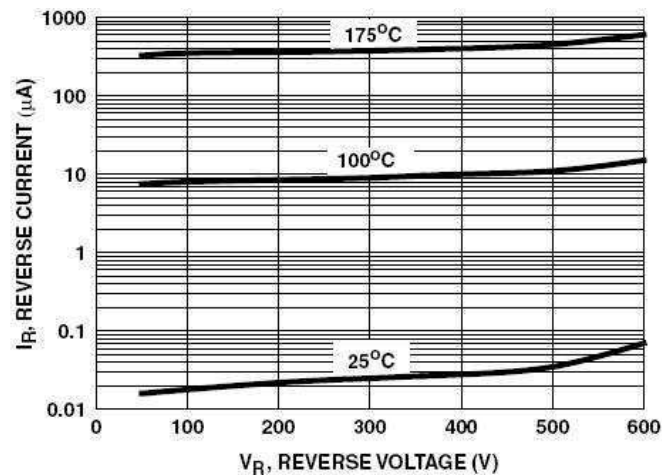


Fig. III.22. – Courant de fuite en fonction de la température pour une diode de commerce [FAI02].

En ce qui concerne la tenue en tension de plusieurs diodes avec terminaisons en tension verticales intégrées dans le même substrat en silicium la figure III.23. représente les caractéristiques en inverse de quatre diodes carrés avec cathode commune.

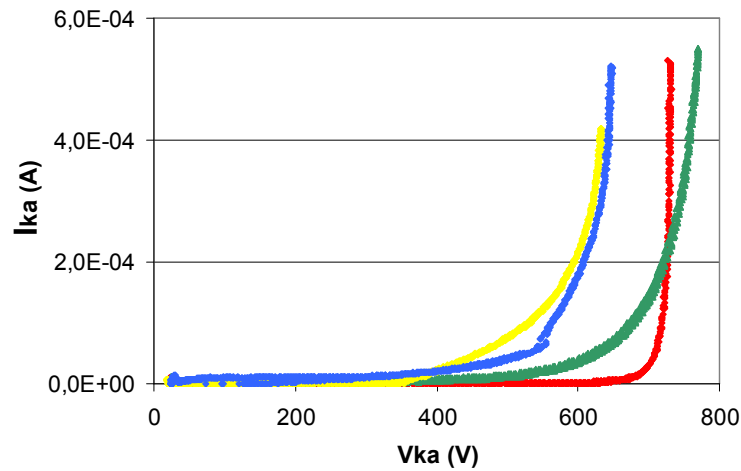


Fig. III.23. – Caractéristiques en inverse d'une puce multidiodes avec terminaisons en tension verticales.

Dans ce cas, tous les composants accomplissent l'exigence définie dans le cahier de charges en terme de tenue en tension de 600V. Cependant les résultats montrent clairement que les diodes ont des comportements en inverse assez différents – à 600V une des diodes a un courant de fuite de $3\mu\text{A}$, la deuxième de $40\mu\text{A}$ et les deux dernières de $200\mu\text{A}$. D'après [PAR03] l'origine de ce courant de fuite plus élevé est reliée au traitement imparfait des parois de la tranchée verticale (suite au procédé de gravure DRIE) au niveau de la jonction métallurgique en surface qui se retrouve exposée dans ce cas. Toutefois, dans notre cas nous considérons que la raison la plus probable qui est à l'origine de cette différence de comportement électrique des diodes est le fait que leur passivation a été réalisée dans une atmosphère non protégée ce qui augmente énormément la possibilité du dépôt de particules de poussière dans les tranchées verticales. La figure III.24. représente un autre cas de caractérisation de la tenue en tension d'une puce multidiodes carrés avec terminaisons verticales.

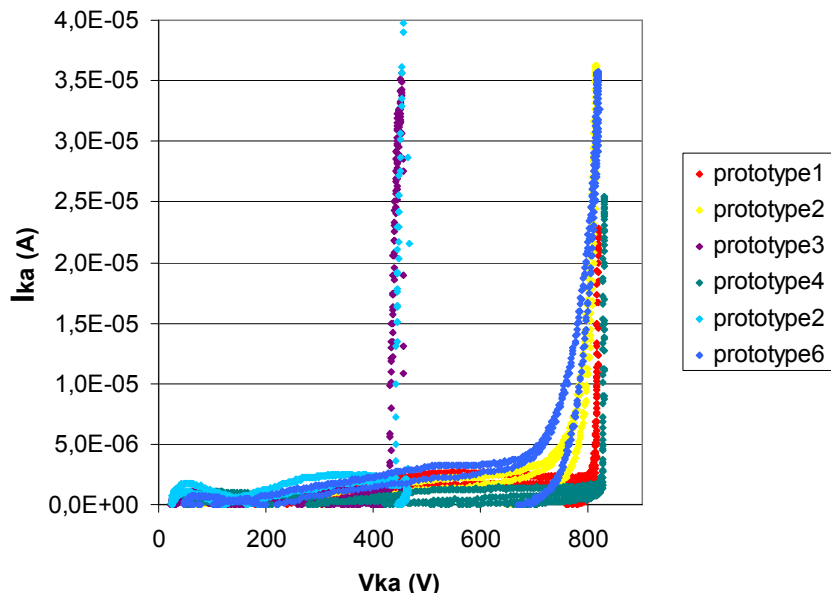


Fig. III.24. – Caractéristiques en inverse d'une puce multidiodes (prototypes de 1 à 6) avec terminaisons en tension verticales.

Dans le cas représenté sur la figure III.25. seulement 4 des 6 dispositifs atteignent la tension de claquage nominale de 600V avec un courant de fuite cette fois ci inférieur à $4\mu\text{A}$ à 600V comme représenté sur la figure III.25.

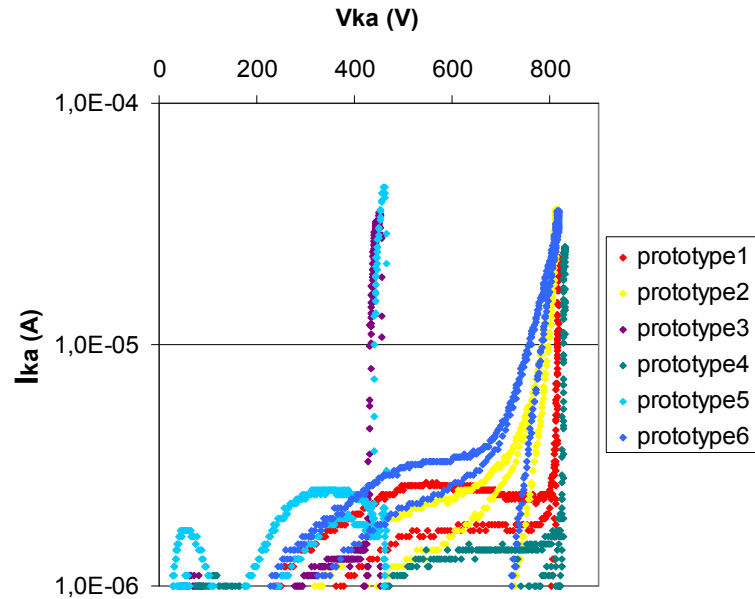


Fig. III.25. – Courant de fuite de la puce multidiodes (prototypes de 1 à 6) avec terminaisons en tension verticales.

Ces résultats tendent à confirmer notre hypothèse que ce sont des particules de poussière déposées avant la passivation des tranchées qui sont à l'origine du grand courant de fuite et à la différence des caractéristiques de tenue en tension dans notre cas puisque tous les prototypes dont la caractérisation a été présentée dans ce paragraphe ont subi le même procédé technologique et aucun traitement des parois des tranchées ni des efforts de passivation de la jonction exposée en surface des dispositifs n'ont pas été réalisés avant la sortie des prototypes de la salle blanche.

- **Caractérisations en polarisation directe**

En ce qui concerne la caractérisation en directe des diodes avec terminaisons verticales plusieurs séquences de mesures ont aussi été effectuées afin d'estimer leurs chutes de tension en direct. Nos premières mesures deux pointes nous ont permis de nous rendre compte qu'il était nécessaire de tenir compte du fait que la connectique et plus spécialement les bondings en surface ne sont pas tout à fait adaptés à nos expériences. Nous avons donc essayé d'améliorer le package afin d'optimiser la distribution du courant dans les dispositifs et aussi de rendre plus précise la mesure en utilisant cette fois la méthode de mesure quatre pointes.

La figure III.26. montre un de nos meilleurs résultats de caractérisation d'une diode seule avec terminaisons en tension verticales. Le package (contact massif en face arrière et plusieurs bonding en face avant) du prototype testée est celui représenté sur la figure III.14.

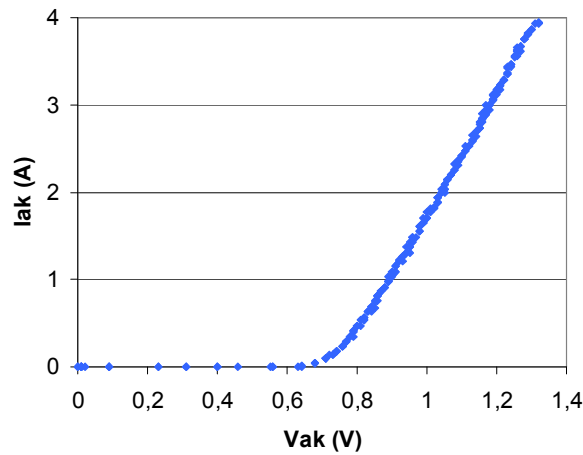


Fig. III.26. – Caractéristique en direct d'une diode seule avec terminaison en tension verticale.

La résistance équivalente en direct, représentée sur la figure III.27., est de l'ordre de 0.1Ω ce qui est un résultat satisfaisant même si l'on pourrait être en droit d'atteindre des états passant de meilleure qualité.

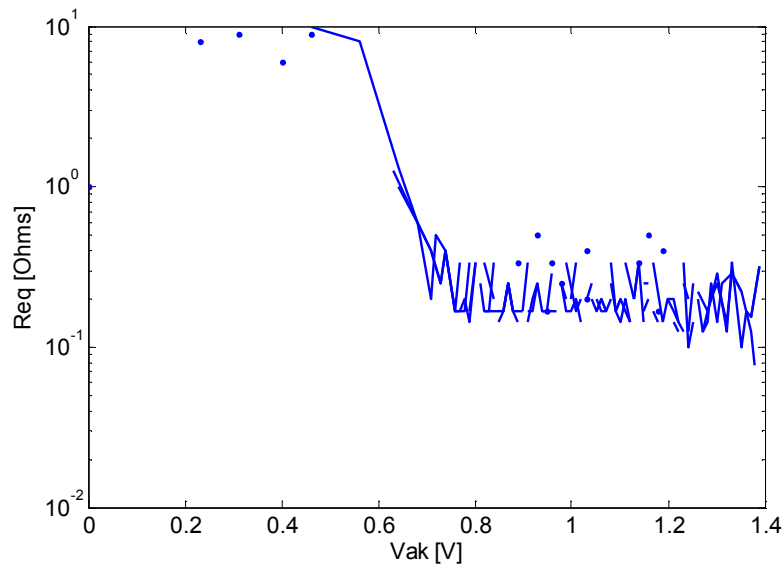


Fig. III.27. – Résistance équivalente en direct.

La figure III.28. représente les caractéristiques en direct de quatre diodes carrés avec cathode commune. Le comportement en direct des quatre diodes est caractérisé par une variation de la résistance équivalente de 0.17Ω à 0.23Ω .

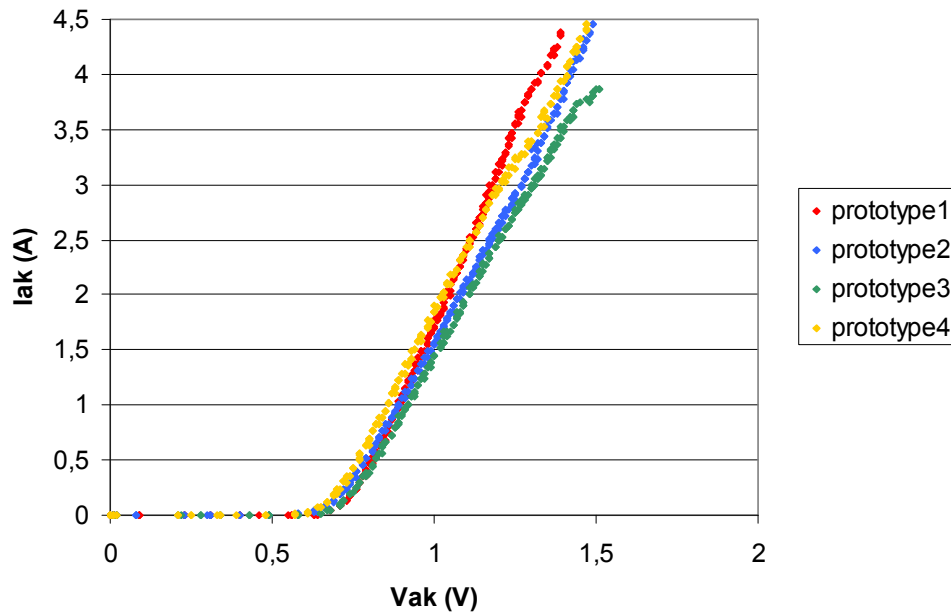


Fig. III.28. – Caractéristique en directe de quatre diodes cathode commune avec terminaisons en tension verticales.

Toutefois, nous devons mentionner que dans certains cas les caractéristiques des diodes en directe ne correspondaient pas à nos exigences. Cela est montré sur la figure III.29.

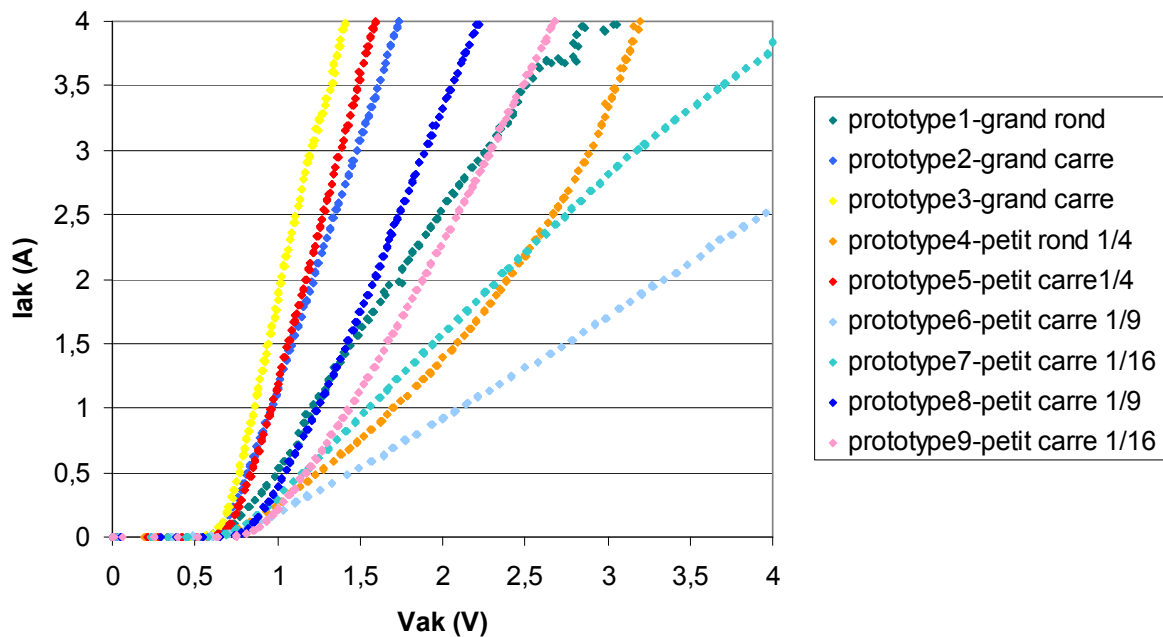


Fig. III.29. – Caractéristique en directe de plusieurs diodes avec terminaisons en tension verticales

Comme la figure III.29. le présente, dans certains cas (prototypes 6 et 7) la résistance à l'état passant est d'environ ou voire plus de 1Ω . Aussi ces résultats montrent qu'il n'y pas de dépendance de la résistance en direct suivant la surface active des diodes (les prototypes 1,2 et 3 ont une surface de $8 \times 8 \text{mm}^2$, les prototypes 4 et 5 ont une surface de $4 \times 4 \text{mm}^2$, les prototypes 6 et 8 ont une surface de $2.6 \times 2.6 \text{mm}^2$, les prototypes 7 et 9 ont une surface de $2 \times 2 \text{mm}^2$). Ces résultats nous ont amené à supposer que la différence dans leurs caractéristiques était due soit à un contact ohmique non parfait entre le semi-conducteur et la métallisation, soit à une mauvaise qualité de la connectique en surface, soit à la faible précision de la méthode de mesure que nous effectuons.

Nous avons tout d'abord essayé d'améliorer la qualité du contact ohmique en effectuant un recuit de l'aluminium en basse température (400°C). En effet, une surface de silicium nue s'oxyde superficiellement très rapidement. Lors de la métallisation, l'aluminium réalise donc un contact de mauvaise qualité avec le Si et durant le recuit cette couche d'oxyde est réduite.

Cependant, nous devons mentionner que pour avoir un effet optimal le recuit de l'aluminium doit être effectué dans une atmosphère réductrice – le Forming gaz étant un mélange d'hydrogène 10% et d'azote 90%. Toutefois, par manque d'équipement spécifique dédié à ce besoin, nous avons effectué le recuit de l'aluminium dans un four sous atmosphère d'azote. Pour cette raison, l'amélioration du contact ohmique suite au recuit de l'aluminium n'a pas été très concluante dans le cadre de cette thèse. Une faible amélioration de l'état passant chez seulement quelques prototypes a pu être observée. Des essais complémentaires et des travaux plus approfondis devront être effectués dans le futur afin d'estimer plus précisément l'importance sur les caractéristiques des composants suite au recuit de l'aluminium.

La figure III.30. représente les caractéristiques en directe d'une diode seule (cercle) avant et après le recuit d'aluminium.

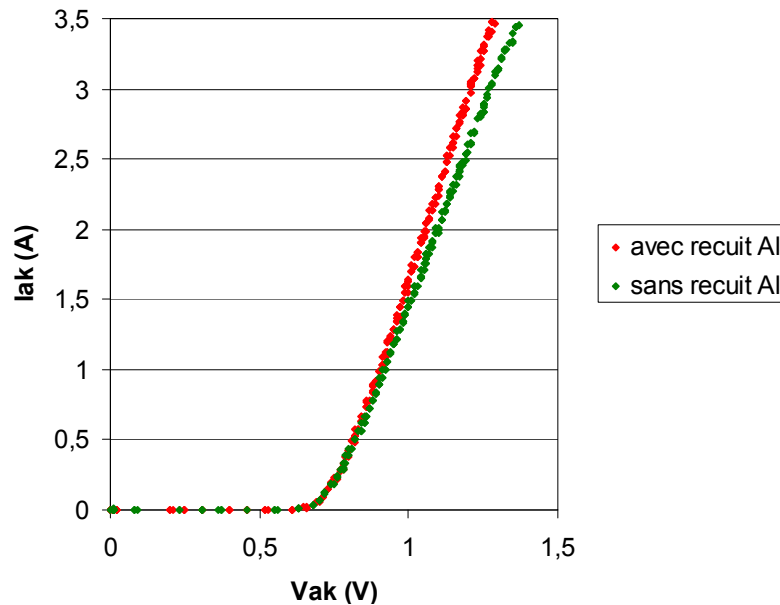


Fig. III.30. – Caractéristique en directe d'une diode seule avant et après le recuit de l'aluminium.

Notre dernière tentative pour améliorer les caractéristiques en directe des diodes avec terminaisons en tension verticales consistait à concevoir et à réaliser un nouveau package pour ces composants qui nous permettrait d'homogénéiser la distribution du courant mais aussi d'effectuer une mesure plus précise. La caractéristique en directe d'une diode seule avec surface active de 14x14mm² (prototype figure III.15.) est représenté sur la figure III.31. ci-dessous. Un courant de 40A avec une chute de tension de 1V a pu être mesurée dans cette configuration. La résistance équivalente est dans ce cas de 0.01Ω. Ce résultat correspond complètement à nos attentes, nous permettant de démontrer la qualité des dispositifs fabriqués mais aussi la technique de mesure que nous avons utilisée.

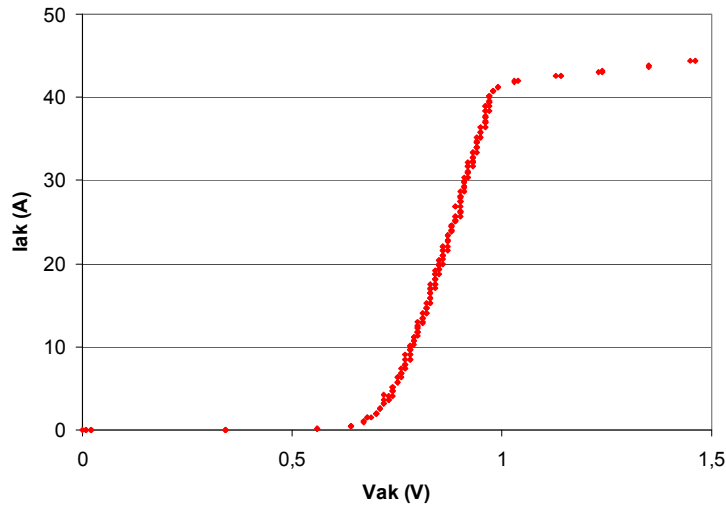


Fig. III.31. – Caractéristique en directe d'une diode seule avec terminaisons en tension verticales.

Néanmoins, comme on peut le voir sur la figure III.31. au dessus d'un certain niveau de courant (40A) la caractéristique en directe devient fortement dégradée. Des tests supplémentaires et plus approfondis devront être menés afin d'identifier la raison de ce comportement non attendu qui cache probablement aussi un mauvais comportement dynamique. Par manque de temps dans le cadre de cette thèse, nous n'avons pas pu creuser ce problème plus en détails et ce travail reste à poursuivre dans le futur.

4.2.3. Caractérisation dynamique

La caractérisation dynamique des diodes avec terminaisons en tension verticales avait deux objectifs principaux :

- valider la capacité de blocage dynamique d'une diode avec terminaisons en tension verticales et évaluer son comportement sous un dV/dt élevé.
- évaluer le comportement dynamique des puces multidiodes qui partagent le même substrat en silicium, terminées et isolées les unes des autres avec la technique des terminaisons en tension verticales, en effectuant leur mise en œuvre dans une structure entrelacée.

Pour valider la tenue en tension des diodes avec terminaisons en tension verticales, un des tests de caractérisation comportait leur mise en œuvre dans un convertisseur de puissance de type hacheur série. L'objectif de ce test était d'exciter la diode avec un dV/dt élevé créé par la cellule de commutation du convertisseur mais sans utiliser la diode comme un interrupteur actif dans le convertisseur. Pour cela, la diode avec terminaisons verticales a été connectée en antiparallèle avec l'interrupteur principal (un transistor MOSFET) et donc a été excitée avec les mêmes formes d'ondes en tension que le transistor. La figure III.32. montre une photo du montage expérimental.

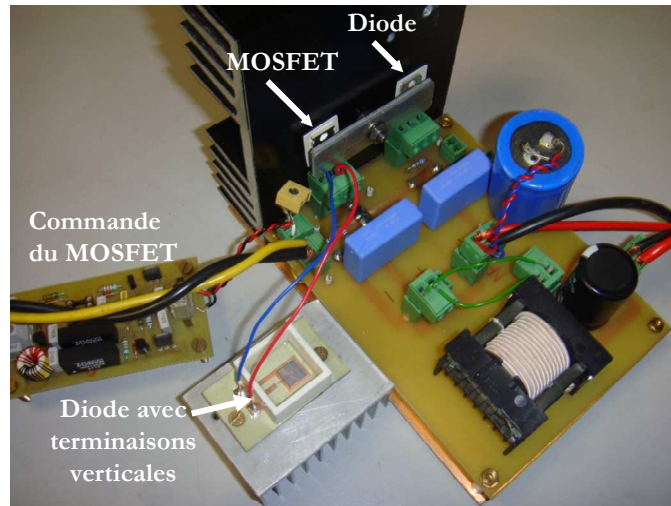


Fig. III.32. – Diode avec terminaison en tension verticale "excitée" par la tension aux bornes du MOSFET d'un hacheur série.

L'objectif de ce test était d'évaluer si la diode avec terminaison verticale était capable de maintenir la dynamique de commutation et la capacité de blocage du transistor de puissance. La figure III.33. représente les résultats obtenus de la tenue en tension (V_{AK}) et du courant (I_{AK}) à travers la diode sous test.

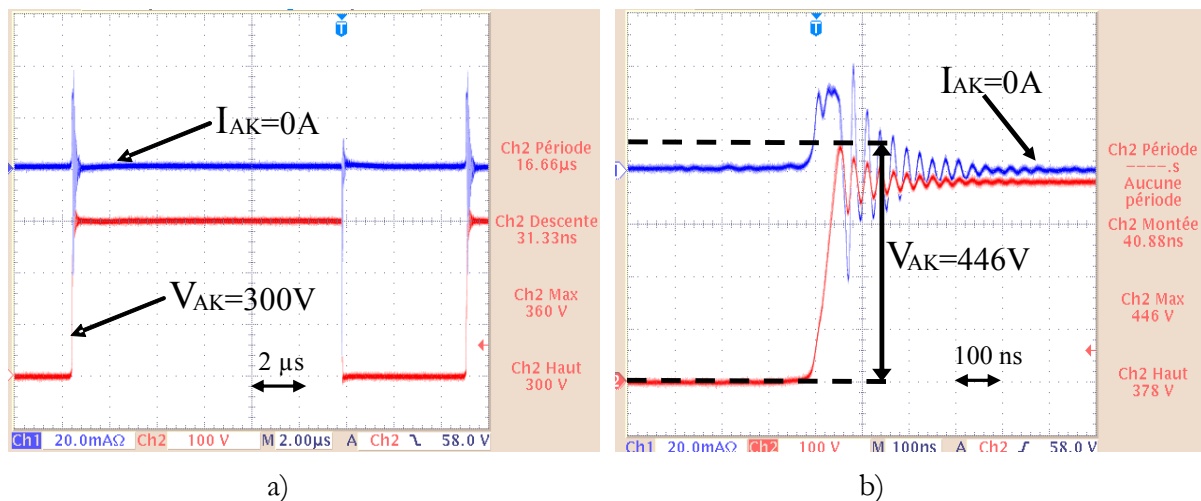


Fig. III.33. – Caractéristiques dynamiques de la diode avec terminaison verticale a) I_{AK} (20mA/div) courant et V_{AK} (100V/div) tension aux bornes de la diode, b) zoom à l'ouverture avec $dV/dt=450V/40ns=11,25kV/\mu s$.

Seuls des courants HF créés par les comportements dynamiques capacitifs de la diode peuvent être observés sur la figure III.33 puisque, dans cette configuration, aucun courant de puissance ne peut circuler à travers la diode sous test. La diode a démontré un excellent comportement opérationnel de $11kV/\mu s$ (dV/dt).

L'étape suivante de validation pratique du concept des diodes avec terminaisons verticales concerne plus précisément les modules multidiodes intégrées dans le même substrat de silicium. Pour cela nous avons envisagé leur mise en œuvre dans un convertisseur d'électronique de puissance de type hacheur parallèle entrelacé. Cette validation reste partielle puisque le convertisseur était conçu pour des composants 200V avec une fréquence de 100kHz mais montre toutefois des résultats intéressants pour le fonctionnement de plusieurs diodes ingérées dans le même substrat. La topologie considérée comporte trois cellules de commutation et trois

inductances. Le schéma et la photo du convertisseur réalisé sont représentés sur la figure III.34. Ce prototype de démonstration partageait deux technologies d'intégration développées au laboratoire G2ELab, celle des puces multidiodes et celle des drivers intégrés durant la thèse de T. Simonot [SIM11]. Pour information, cette structure fut réalisée par T. Simonot puis exploitée pour valider le bon fonctionnement des diodes.

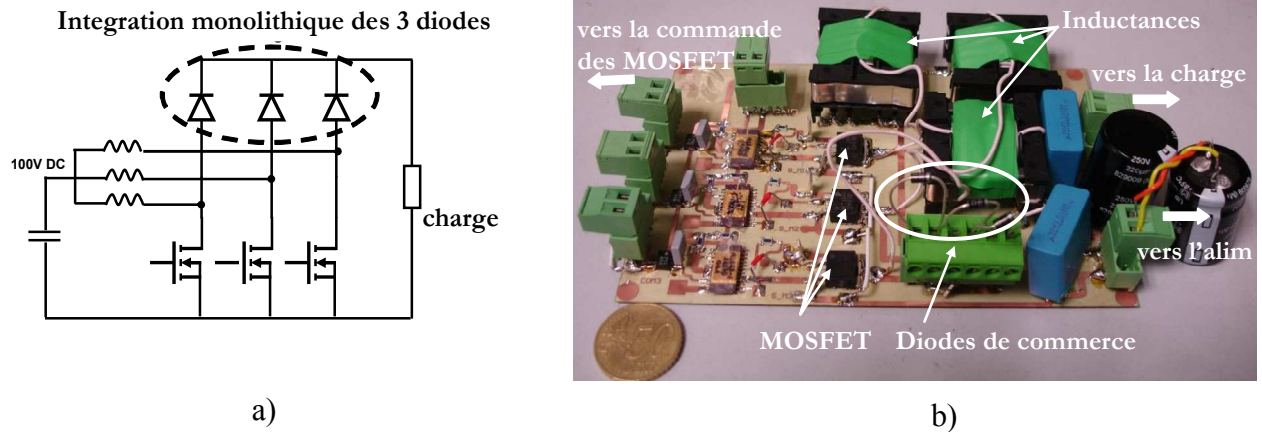


Fig. III.34. – Convertisseur Boost entrelacé a) schéma, b) photo du convertisseur.

La figure suivante montre le fonctionnement du convertisseur qui a été testé dans un premier temps avec des diodes du commerce. Elle montre la tension V_{DS} aux bornes de l'un des interrupteurs et les courants I_{L1} , I_{L2} , I_{L3} dans les trois inductances. Les rapports cycliques sont déphasés de 120° afin de profiter des avantages de la structure du point de vue du filtrage.

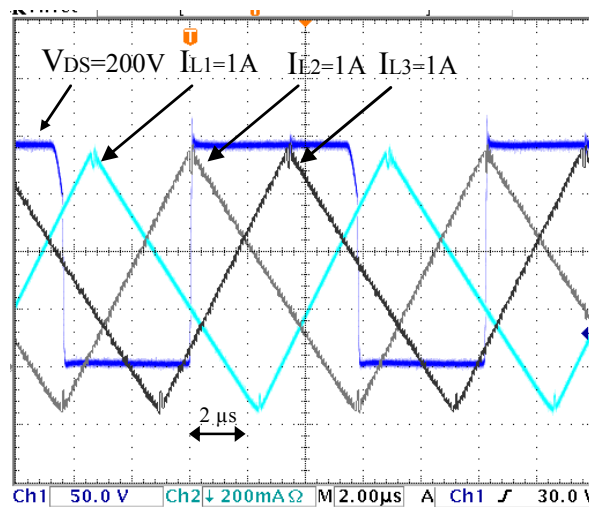


Fig. III.35. – Résultats expérimentaux du fonctionnement du convertisseur Boost entrelacé.

Une fois le fonctionnement du convertisseur validé, nous avons remplacé les trois diodes de commerce par nos puces multidiodes avec terminaisons verticales. La figure III.36. montre la photo du convertisseur dans ce cas.

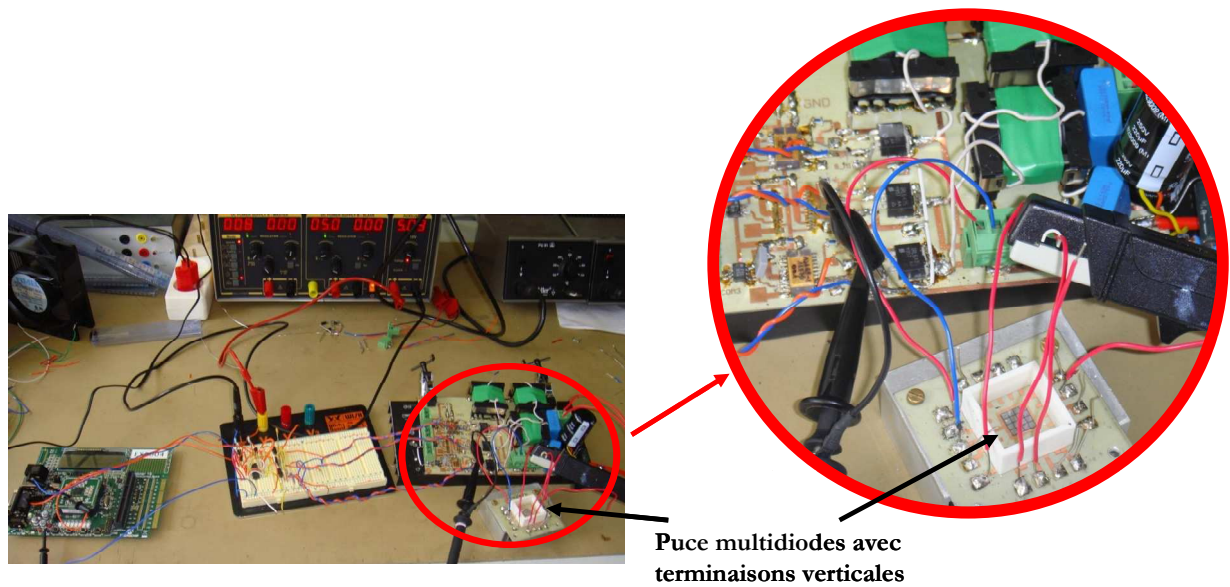


Fig. III.36. – Photo du convertisseur Boost entrelacé avec une puce multidiodes lors de la caractérisation.

La figure III.37. montre les résultats pratiques sur lesquels on peut distinguer la tension V_{DS} de l'un des transistors, les signaux du courant dans les trois diodes (I_{AK1} , I_{AK2} , I_{AK3}) et le courant de l'une des inductances (I_L). Les perturbations des signaux pendant la période de commutation sont du à la mauvaise qualité des interconnexions électriques et aux forts couplages électromagnétiques qui en résultent.

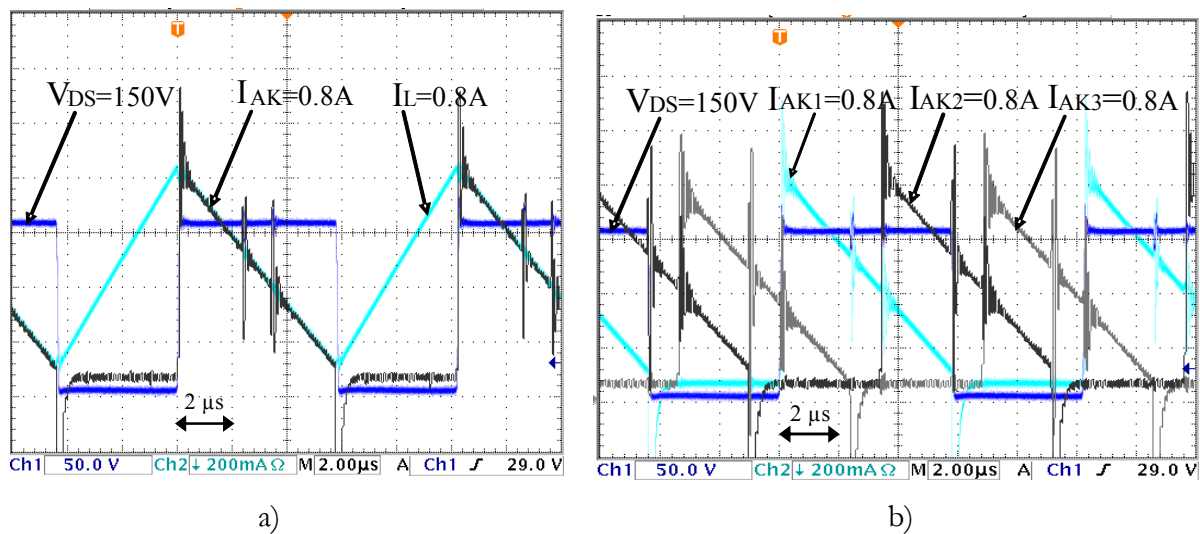


Fig. III.37. – Résultats expérimentaux de a) une cellule de commutation - V_{DS} tension aux bornes du transistor, I_L courant de l'une des inductances et I_{AK} courant dans la diode correspondante et b) V_{DS} tension aux bornes du transistor, I_{AK1} , I_{AK2} , I_{AK3} courants des diodes de la puce multidiodes.

Le fonctionnement du convertisseur a été validé cette fois jusqu'à 150V. Les résultats correspondent à ce que l'on pourrait attendre du convertisseur. Le fonctionnement correct des trois cellules de commutation montre qu'elles sont très compatibles avec cette approche puisque le courant est équitablement reparti dans les trois branches alors qu'aucun régulateur de courant n'est utilisé dans le convertisseur. C'est un point positif de cette approche d'intégration qui tend à

homogénéiser la température des composants des structures multiphasées pouvant rendre plus simple leur mise en œuvre et leur équilibrage.

5. Performances électriques des diodes de puissance avec DRIM Cooler

Pour rappel, le concept innovant DRIMCooler pour le refroidissement direct des composants de puissance est basé sur l'intégration de plusieurs microcanaux directement dans la zone active du composant dans le sens perpendiculaire à la jonction PN lorsqu'il s'agit de composants de puissance à structure verticale. Ce concept offre plusieurs avantages importants mais induit aussi probablement quelques limitations. Dans le paragraphe qui suit nous allons présenter notre étude basée sur des simulations numériques en vue d'analyser les effets possibles sur les performances électriques des diodes de puissance à structure verticale de la présence des microcanaux dans la zone active. Dans le paragraphe précédent, nous avons vu que la réalisation des tranchées périphériques profondes est favorable à l'optimisation de la tenue en tension du composant. Cependant, la réalisation de plusieurs microcanaux directement dans la zone active du dispositif doit être soigneusement analysée et étudiée afin de garantir qu'elle n'induit pas de contraintes pour son fonctionnement. L'augmentation de la longueur de la jonction due à la multiplication des zones de tenue en tension causée par l'intégration des microcanaux peut accroître considérablement le courant de fuite mais aussi modifier la distribution du champ électrique à l'intérieur du composant. Les simulations numériques qui seront présentées par la suite nous permettront d'évaluer l'importance des effets physiques qui concernent les caractéristiques électriques d'une diode de puissance à structure verticale lorsque sa zone active est traversée par plusieurs microcanaux. Les paramètres géométriques et physiques que nous analyserons sont les suivants :

- La largeur des canaux - évaluer les conséquences vis-à-vis des effets 2D du champ électrique lorsque la largeur du canal varie.
- Le facteur de remplissage (rapport entre la section totale occupée par les microcanaux et la surface active du composant) – évaluer les conséquences vis-à-vis de la tenue en tension du composant lorsque le nombre de canaux en parallèle varie. Ce paramètre aura aussi des conséquences pouvant intervenir sur la section du semi-conducteur et le calibre en courant. Nous ferons cependant l'hypothèse que la réduction de la surface active du dispositif sera compensée par le refroidissement performant et donc aucun changement du calibre en courant du composant ne devrait avoir lieu.
- Effet de l'angle des parois des microcanaux – évaluer les conséquences vis-à-vis du champ électrique à l'interface Si/diélectrique lorsque l'angle des parois varie

Ensuite, nous présenterons le package destiné à la caractérisation statique des diodes avec DRIM Cooler. Les premiers résultats de la validation expérimentale en termes de caractéristiques statiques des diodes avec DRIM Cooler seront présentés à la fin du paragraphe.

L'optimisation des parties électriques et thermiques d'une manière couplée ne seront pas abordées dans ces premiers travaux de démonstration du concept. Notons que l'intérêt du concept en termes de performances thermiques sera présenté dans le chapitre IV.

5.1. Analyse théorique de la tenue en tension

Comme nous l'avons déjà présenté dans le chapitre I, la tenue en tension périphérique des diodes avec DRIM Cooler sera aussi de type terminaisons en tension verticales. Dans ce paragraphe, nous allons présenter les résultats des simulations Silvaco afin d'étudier divers effets physiques et géométriques sur la tenue en tension d'une diode de puissance lorsqu'un canal traverse sa zone active sans toutefois revenir sur la tenue périphérique de la même diode puisque cela a été étudié dans la partie précédente de ce chapitre.

Afin d'étudier les divers effets physiques et géométriques du concept DRIM Cooler sur le comportement d'une diode nous avons utilisé les mêmes paramètres physiques que ceux qui ont été utilisés pour le modèle de la diode avec jonction plane. La modification de la structure que nous avons effectuée afin de représenter le microcanal est la gravure profonde jusqu'à l'obtention du canal qui traverse tout le substrat de silicium comme représenté sur la figure III.38. Les conditions limites sont aussi les mêmes que dans l'étude précédente. Par ailleurs, la remontée de potentiel n'intervient plus dans cette géométrie puisque les deux cotés du canal sont au même potentiel.

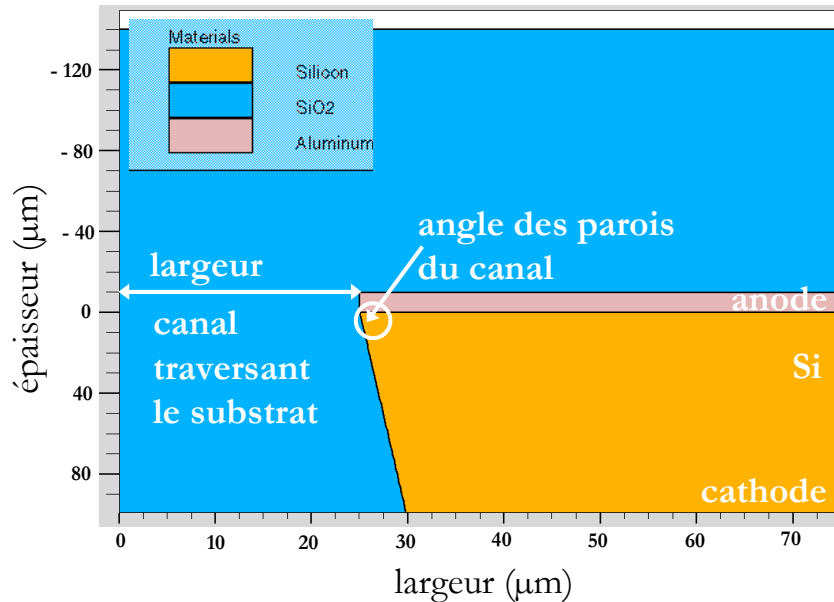


Fig. III.38. – Vue en coupe de la structure de la diode de puissance avec DRIM Cooler.

On retrouve sur la figure III.38. une vue en coupe présentant la zone active de la diode (à droite) avec le canal traversant tout le substrat de silicium (à gauche) et rempli avec un matériau diélectrique (la région en bleu). Avec les plans de symétrie définis pour la simulation, on retrouve bien la structure d'un demi canal et d'une demi région semiconductrice (cas différent par rapport à la partie précédente). La constante diélectrique du matériau diélectrique est égale à 3 afin de représenter le comportement de l'huile silicone qui sera utilisée pour la passivation du composant lors des caractérisations pratiques.

La tenue en tension de la structure est de 800V comme dans le cas optimal de la jonction plane ce qui montre que l'intégration du canal traversant toute la zone active de la diode n'altère pas ses caractéristiques en inverse (figure III.39.).

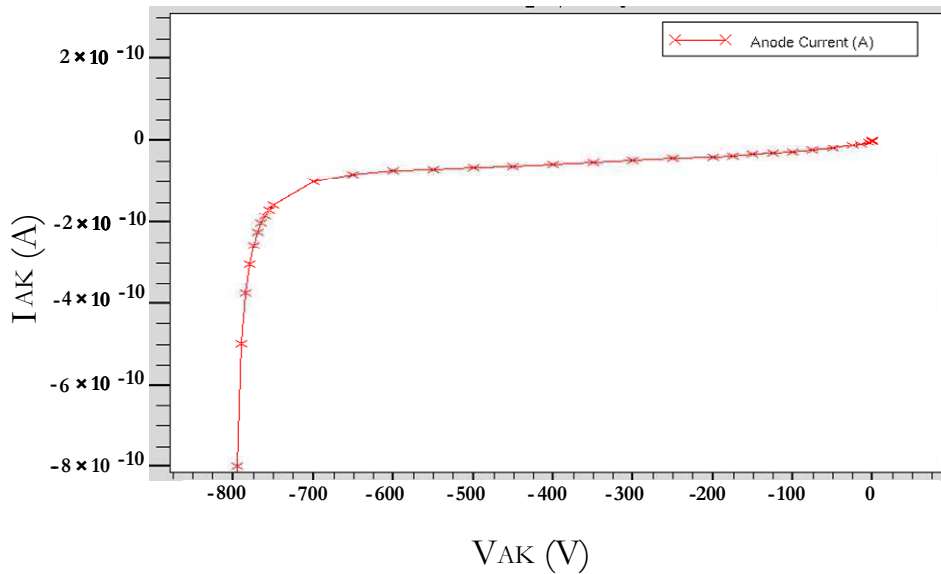


Fig. III.39. – Tenue en tension de la diode avec DRIM Cooler (canal de largeur $50\mu\text{m}$).

- Effet de l'angle des parois des microcanaux

Comme dans le cas des terminaisons verticales, la non verticalité des parois des microcanaux a des conséquences sur la distribution du champ électrique – plus l'angle est important plus le champ électrique à l'interface Si/diélectrique se retrouve réduit (dans le cas où l'angle provient de la réduction de la section du composant de la région P vers la région N). La figure III.40. montre ce cas d'étude.

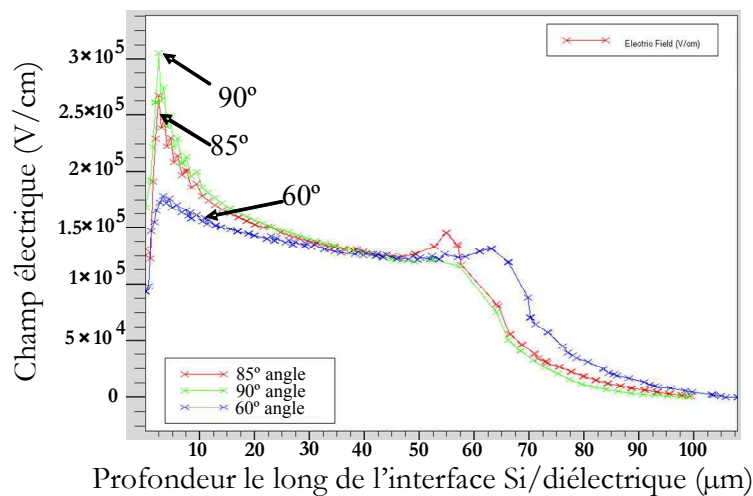


Fig. III.40. – Comparaison du champ électrique à l'interface Si/diélectrique pour différents angles des parois des microcanaux de largeur $50\mu\text{m}$.

- Largeur du canal traversant le substrat

Nous avons mené une étude concernant la variation de la largeur du canal de $50\mu\text{m}$ à $400\mu\text{m}$ avec un angle des parois des microcanaux de 85° . La figure suivante représente la vue en coupe du champ électrique à l'interface Si/diélectrique lorsque la diode est polarisée en inverse avec une tension allant de 0 à 800V.

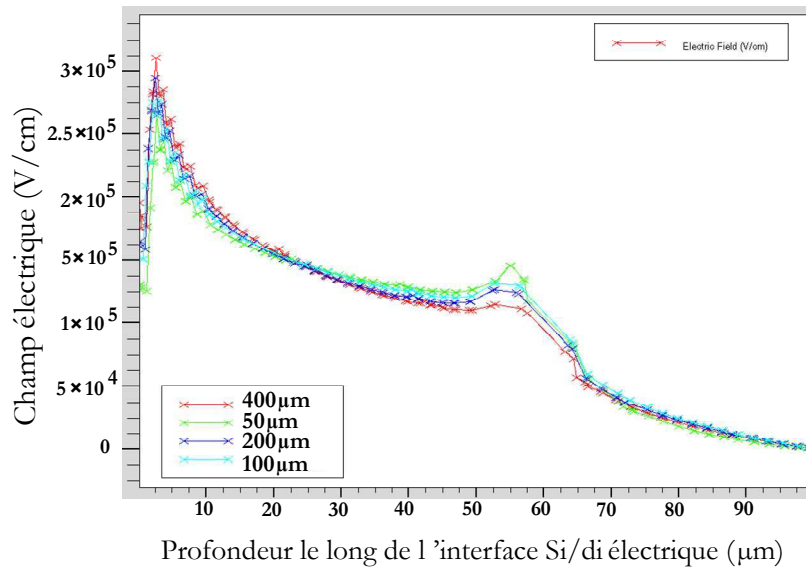


Fig. III.41. – Comparaison du champ électrique à l'interface Si/diélectrique pour différentes largeurs du canal de 50μm à 400μm (85° angle de la paroi).

Comme on peut le voir sur la figure III.41. la valeur du champ maximal est de 275kV/cm pour la largeur du canal de 50μm et 310kV/cm pour la largeur du canal de 400μm. Cette remontée significative du champ électrique à l'interface Si/diélectrique tend à montrer que l'angle de la paroi du canal n'est pas suffisamment optimisé! Ainsi la variation de la largeur du canal induit une différence du champ électrique à l'interface Si/diélectrique. En effet, l'augmentation de la largeur du canal favorise les effets 2D du champ électrique qui résultent en une remontée des équipotentielles en surface. Ainsi la tenue en tension théorique est d'autant plus garantie que la largeur du canal est faible principalement dans le cas où l'angle des parois n'est pas optimisé comme dans le cas représenté sur la figure III.41.

La figure III.42. représente la comparaison du champ électrique à l'interface Si/diélectrique pour la même étude de variation de la largeur du canal mais cette fois avec un angle des parois de 60°.

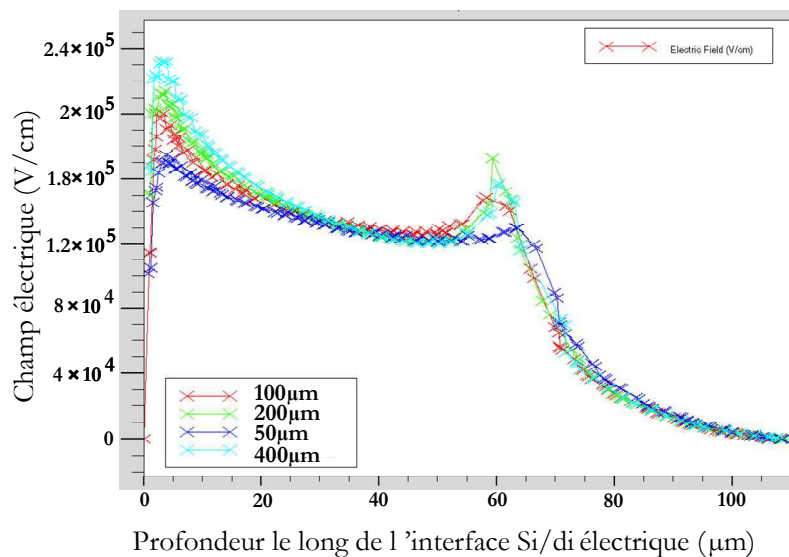


Fig. III.42. – Comparaison du champ électrique à l'interface Si/diélectrique pour différentes largeurs du canal de 50μm à 400μm (60° angle de la paroi).

Comme attendu, la réalisation d'un angle plus important des parois a des conséquences considérables au niveau du champ électrique à l'interface Si/diélectrique (figure III.42.). Le champ électrique à l'interface est beaucoup moins élevé que dans le cas avec angle à 85°.

- Facteur de remplissage

Le principe de cette étude consiste à garder la même largeur du canal (50µm dans ce cas) et de faire varier la largeur du substrat de silicium - distance de 50µm, 100µm et 200µm entre deux canaux voisins. Cela correspond à la variation de l'occupation totale, section totale des canaux/section de silicium de 1/4, 1/10 et 1/25 (25%, 10% et 4%) comme montré sur la figure III.43. La structure simulée possède 87° angle des parois des microcanaux.

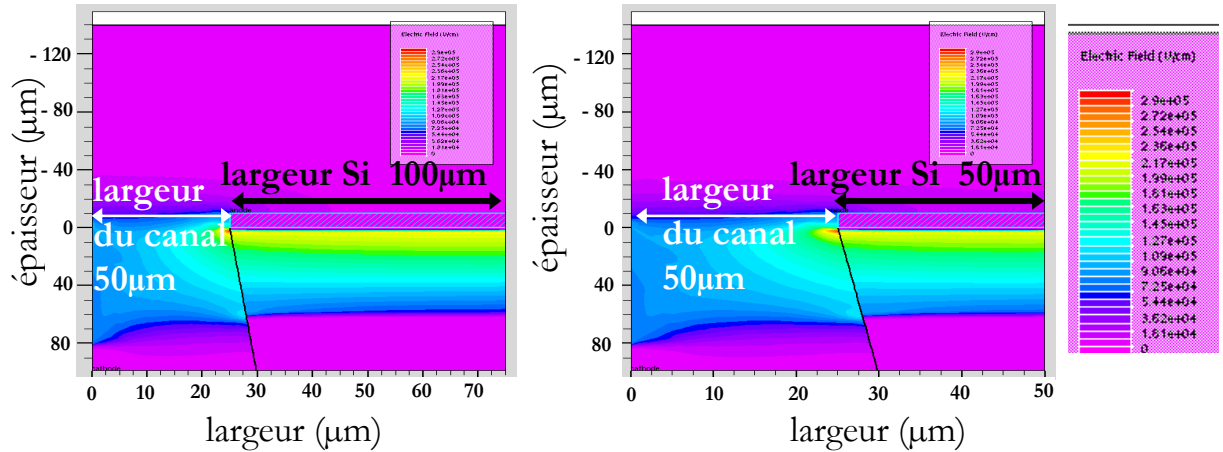


Fig. III.43. – Variation de l'occupation totale Si/canaux de 1/10 (à gauche) et 1/4 (à droite).

La figure III.44. montre la comparaison des résultats obtenus pour le champ électrique à l'interface Si/diélectrique pour différents facteur d'occupation. On peut remarquer que les trois courbes sont quasiment identiques et qu'il n'y a pas de variations du champ électrique en fonction de ce facteur.

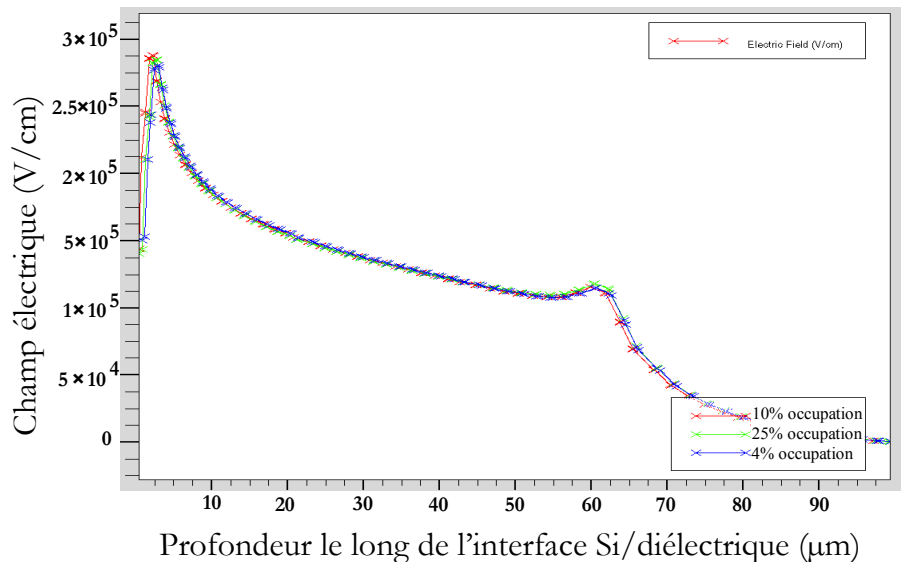


Fig. III.44. – Comparaison du champ électrique à l'interface Si/diélectrique pour une largeur du canal de 50 µm et facteur de remplissage 25%, 10% et 4%.

La tenue en tension de la diode dans les trois cas d'occupation des microcanaux est représentée sur la figure III.45. La structure tient une tension inverse de 800V comme dans le cas

de la jonction plane. On peut voir que le coude d'avalanche se décale vers la tension plus élevée lorsque le taux d'occupation des canaux augmente ce qui revient à réduire sensiblement la section des régions semi-conductrices et ainsi la tenue en tension des composants est légèrement améliorée.

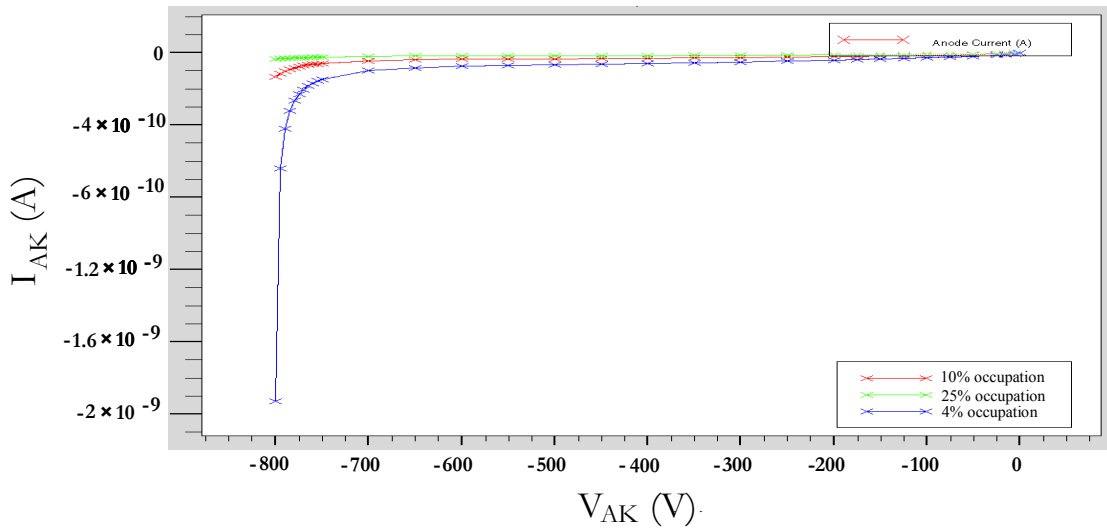


Fig. III.45. – Caractéristiques en inverse de la diode avec DRIM Cooler pour les occupations des microcanaux de 25%, 10% et 4%.

Une faible différence au niveau du courant de fuite peut être observée sur la figure III.45., toutefois ce résultat ne peut pas être considéré démonstratif puisque la simulation ne prend en compte que le bord du composant et la variation du courant de fuite est due à la variation de la section de la diode simulée. En réalité la surface de la diode est beaucoup plus importante et cette variation sera beaucoup moins dominante.

5.2. Validation expérimentale

Afin de valider les résultats de cette analyse théorique, nous avons réalisé des caractérisations électriques statiques des diodes avec DRIM Cooler. Les tests expérimentaux ont été réalisés avec le même traceur de caractéristiques que précédemment. Par manque de temps, le fonctionnement dynamique de ces diodes n'a pas pu être abordé dans le cadre de cette thèse et ce travail reste à poursuivre dans le futur.

Avec la caractérisation statique des diodes avec DRIM Cooler, nous avons cherché à étudier deux points principaux :

- la tenue en tension et le courant de fuite des diodes avec DRIM Cooler terminées avec la technique de terminaisons en tension verticales
- les effets concernant la densité de courant suite à la réduction de la surface active des diodes avec DRIM Cooler

5.2.1. Réalisation du package

Comme précédemment, la caractérisation statique a été menée en deux temps. Dans un premier temps, nous avons effectué des mesures sous pointes avec le traceur de caractéristiques (Tektronix Sony High Power Curve Tracer HP 371A) du wafer non découpé et non passivé (figure III.46.).

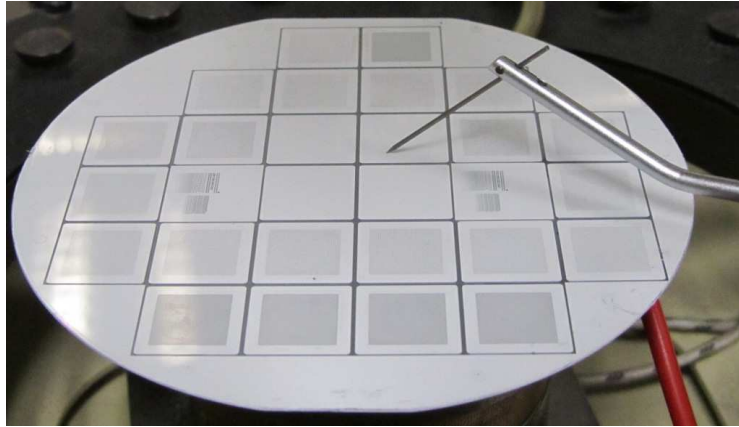


Fig. III.46. – Photographie du wafer des diodes avec DRIM Cooler en cours de caractérisation sous pointes.

Forts de l'expérience précédemment obtenue sur la caractérisation des diodes avec terminaisons en tension verticales, nous avons utilisé le même package. Pour rappel, il permet la distribution uniforme des bondings sur toute la périphérie du dispositif afin d'homogénéiser le passage du courant et l'ajout de bonding supplémentaires afin d'effectuer des mesures quatre pointes. La périphérie de la cathode, laissée non occupée par les microcanaux a été collée au substrat PCB avec de la pâte conductrice tandis que des multiples bondings ont été réalisés sur toute la périphérie de l'anode. La seule modification effectuée au package, présenté précédemment, est la réalisation d'une ouverture dans le substrat PCB au niveau des microcanaux des dispositifs pour s'assurer que l'huile diélectrique pénètre uniformément et passive tous les microcanaux (figure IV.47.).

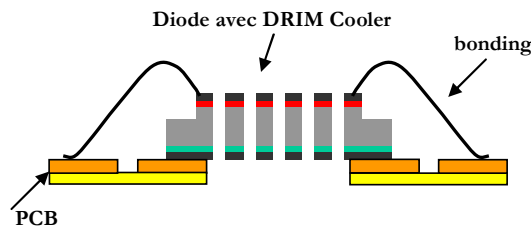


Fig. III.47. – Vue schématique du package des diodes avec DRIM Cooler.

La figure III.48. montre des photos du package des diodes avec DRIM Cooler.

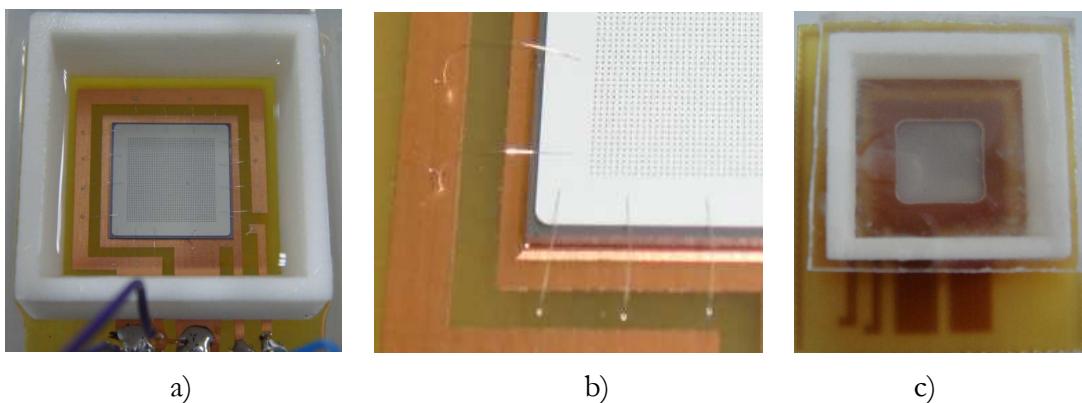


Fig. III.48. – Photographies du package des diodes avec DRIM Cooler a) face avant, b) zoom sur la face avant, c) face arrière.

5.2.2. Caractérisation statique

- Tenue en tension

Les premiers résultats de tenue en tension d'une diode avec DRIM Cooler (prototype avec des canaux traversants carrés de 50 μ m avec occupation de 1/9) comparés avec la tenue en tension d'une diode sans canaux, issue du même wafer sont représentés sur la figure III.49. Les mesures ont été réalisées sous pointes avant la découpe et la passivation des composants.

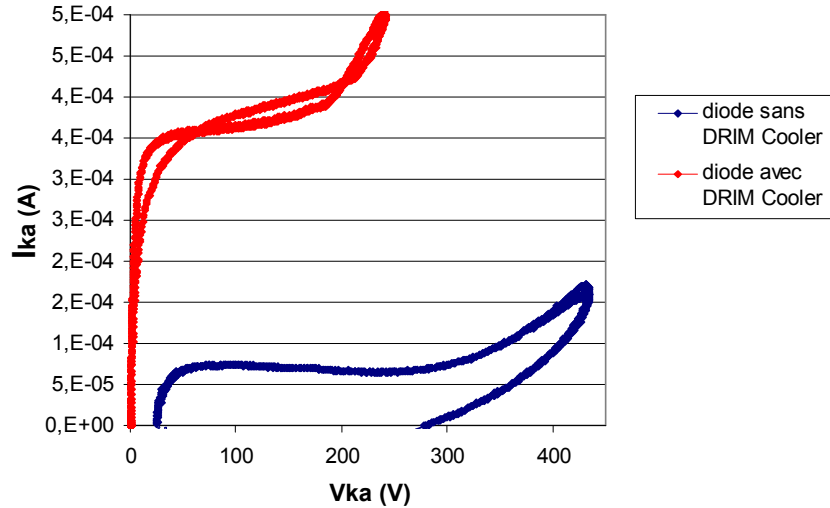


Fig. III.49. – Comparaison de la tenue en tension d'une diode avec DRIM Cooler et d'une diode sans DRIM Cooler.

Les deux composants ont une tenue en tension plus basse que celle attendue. Ce résultat est plutôt encourageant puisqu'il prouve que la tenue en tension dégradée dans ce cas ne provient pas de la réalisation des microcanaux. La taille des dispositifs étant beaucoup plus grande que dans le cas des composants avec terminaisons en tension seules, le risque de défauts dus au procédé technologique est beaucoup plus grand. Ainsi la diode avec DRIM Cooler présente un courant de fuite beaucoup plus élevé que la diode sans microcanaux comme le montre plus précisément la figure III.50. Les raisons de ce comportement dégradé peuvent être nombreuses mais nos espoirs se sont portés sur l'hypothèse que la passivation correcte des tranchées verticales et des microcanaux ne permettra que d'améliorer cette caractéristique.

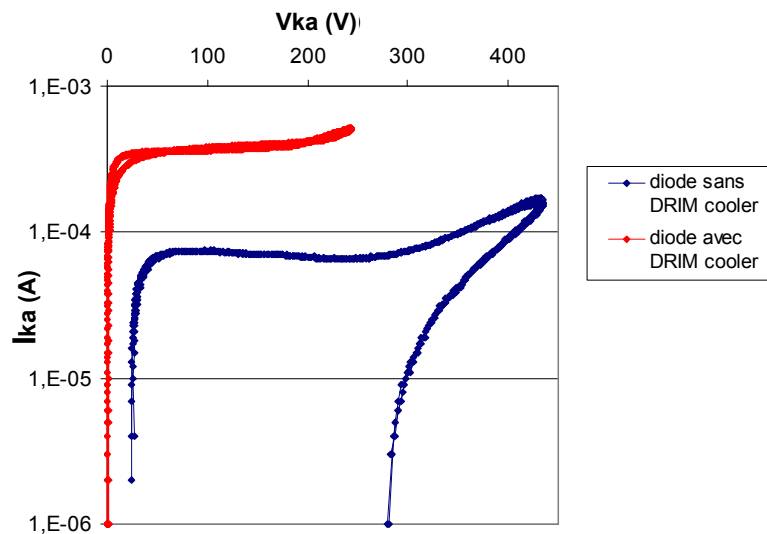


Fig. III.50. – Comparaison du courant de fuite d'une diode avec DRIM Cooler et d'une diode sans DRIM Cooler.

La figure III.51. représente le meilleur résultat obtenu à ce stade concernant la tenue en tension d'une diode avec DRIM Cooler (prototype avec des canaux traversants carrés de $50\mu\text{m}$ avec occupation de $1/9$) toujours avant la réalisation du package et de la passivation.

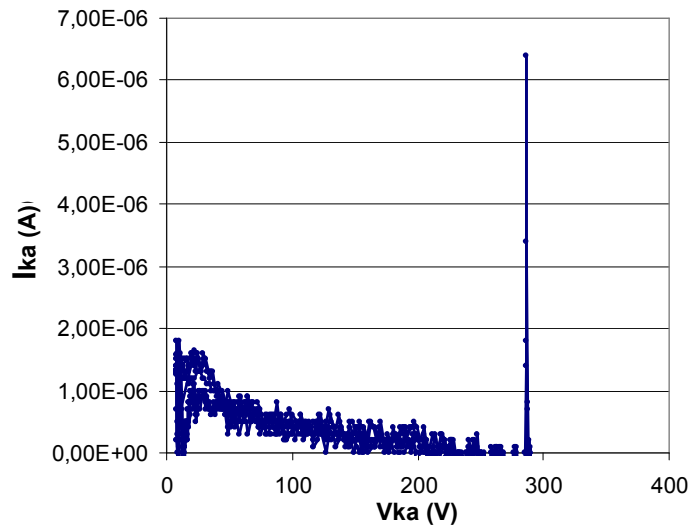


Fig. III.51. –Tenue en tension d'une diode avec DRIM Cooler.

Le dispositif a atteint une tension de claquage de 300V avec un courant de fuite de $1\mu\text{A}$. Même si ce résultat montre une amélioration de la caractéristique en inverse, par rapport au cas précédent, cela reste un résultat partiel puisque les diodes avec DRIM Cooler ont été conçues avec une tension de claquage théorique de 600V . L'absence de passivation des tranchées verticales et des microcanaux peut justifier ce claquage prématuré mais des travaux d'analyse et de mesures expérimentales supplémentaires doivent être effectués afin de donner plus de clarté à ce problème. Nous avons pu passiver certains de nos prototypes avec DRIM Cooler mais cela n'a malheureusement pas donné de meilleurs résultats. Les dispositifs fonctionnels, même avec de mauvaises caractéristiques, ne l'étaient plus du tout après la découpe. Nous avons considéré que le problème provenait des poussières de silicium suite à la découpe et qui se déposent dans les tranchées verticales ou les microcanaux. Cela prouve encore une fois que la découpe est une étape critique qui affecte énormément le fonctionnement des dispositifs réalisés de cette manière et il sera nécessaire d'envisager une autre méthode pour la séparation des motifs. Ainsi, nous avons essayé de réaliser une protection du wafer pendant la découpe en rajoutant un film sensible au rayonnement UV sur la face avant. Cependant en enlevant le film de protection, les métallisations des composants ont été fortement endommagées.

A ce stade il nous a paru nécessaire d'envisager quelques modifications concernant le procédé technologique. Il s'agissait en particulier de l'étape de gravure DRIE et plus précisément de réaliser les microcanaux traversants et les terminaisons verticales sans l'étape de collage de la face avant sur le support (avant l'étape de DRIE comme cela est présenté dans le chapitre II.) afin d'éviter tout traitement critique supplémentaire.

Suite aux modifications apportées dernièrement aux procédés technologiques, la figure suivante montre notre meilleur résultat de tenue en tension d'une diode avec DRIM Cooler (prototype avec des canaux traversants carrés de $50\mu\text{m}$ avec occupation de $1/16$). La mesure était effectuée avant la découpe et la passivation des composants. Le dispositif a atteint une tension de claquage de 450V avec un courant de fuite assez faible. Ce résultat montre une amélioration significative de la caractéristique en inverse, par rapport au cas précédent.

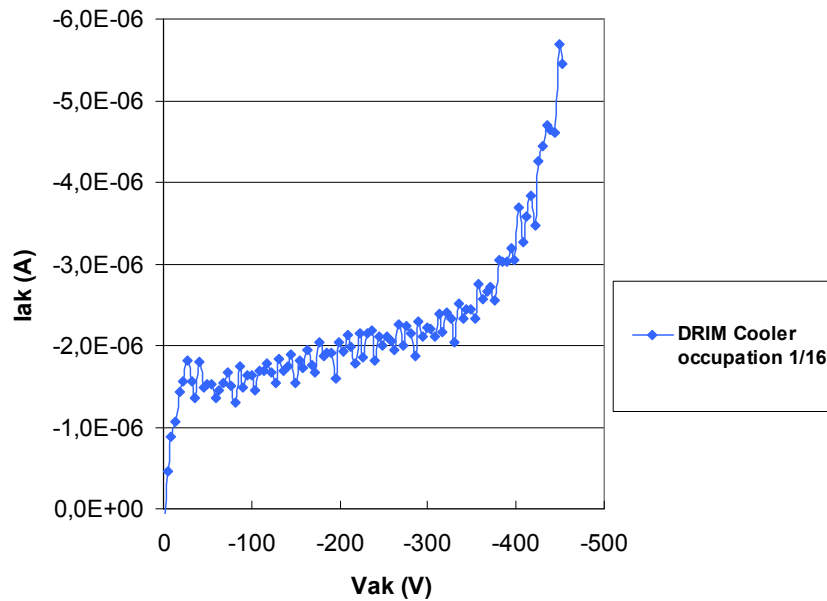


Fig. III.52. – Tenue en tension d’une diode avec DRIM Cooler (canaux carrés de $50\mu\text{m}$ avec occupation 1/16).

La comparaison de la tenue en tension d’une diode sans DRIM Cooler et de quelques diodes avec DRIM Cooler avec des occupations différentes (tous ces composants sont issus du même wafer de silicium) est représentée sur la figure III.53.

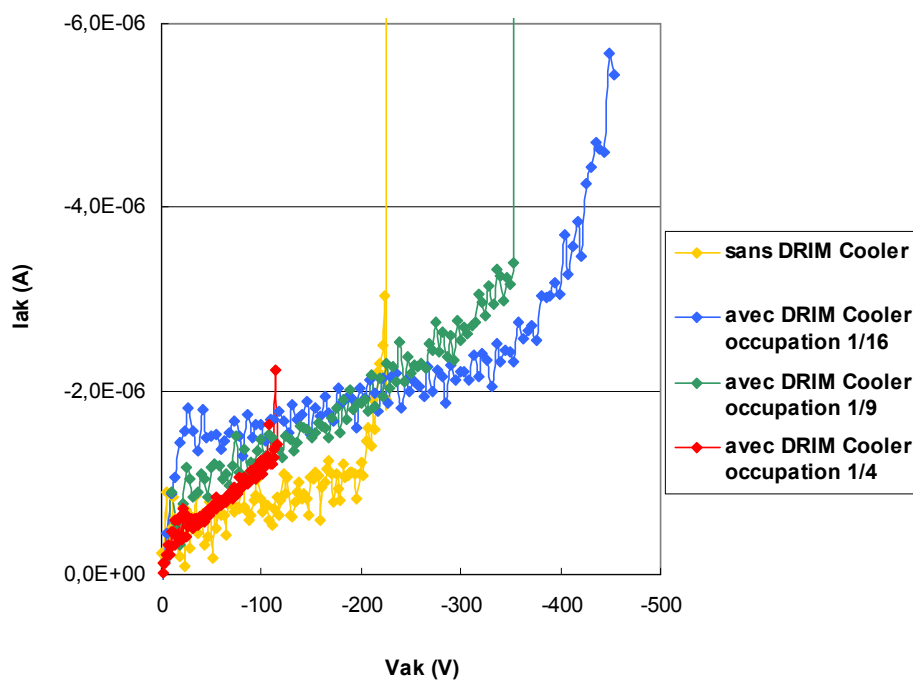


Fig. III.53. – Comparaison de la tenue en tension d’une diode sans DRIM Cooler et de trois diodes avec DRIM Cooler (canaux carrés de $50\mu\text{m}$ avec occupation 1/16, 1/9 et 1/4).

Les résultats présentés sur la figure III.53. montrent que la différence entre la tension de claquage théorique et pratique ne provient pas de la réalisation des microcanaux puisque la diode sans DRIM Cooler a cette fois une tenue en tension plus faible que les diodes avec DRIM Cooler (prototypes avec canaux carrés de $50\mu\text{m}$ avec occupation 1/16 et 1/9).

Au final, la validation des caractéristiques électriques n'a pas pu être validée parce qu'encore une fois, la phase de découpe a eu comme résultat final une forte dégradation de la tenue en tension des composants comme le montre la figure III.54. Il sera nécessaire d'envisager cette phase de manière différente dans le futur.

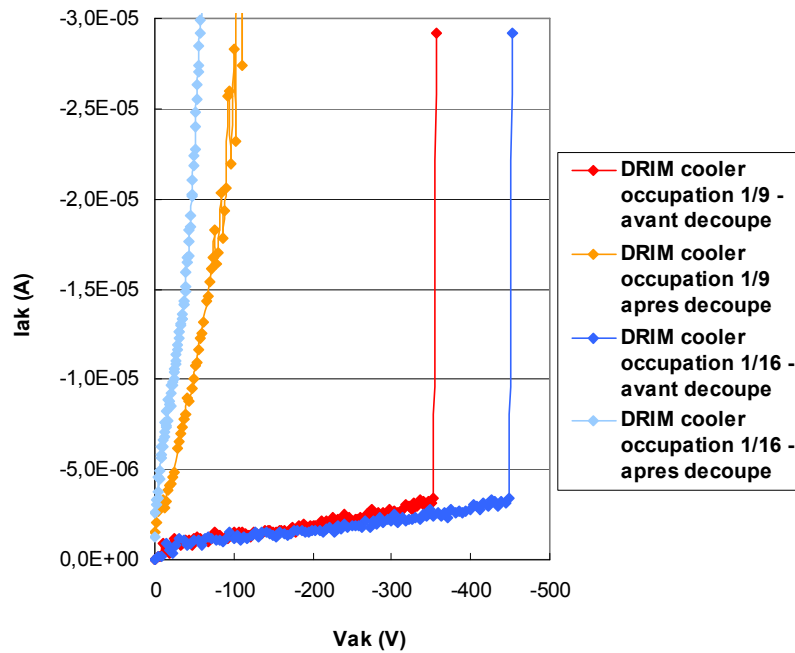


Fig. III.54. – Comparaison de la tenue en tension des diodes avec DRIM Cooler avant et après la découpe des composants.

- **Caractérisations en directe**

La figure III.55. montre une comparaison des caractéristiques en directe d'une diode sans DRIM Cooler et de trois diodes avec DRIM Cooler (canaux traversants carrés 50 μ m avec différentes occupations) issues du même wafer avant la découpe de ce dernier. La chute de tension des diodes avec DRIM Cooler est légèrement plus élevée comparée à la chute de tension de la diode sans microcanaux traversants. Toutefois, cette tendance d'augmentation de la chute de tension ne correspond pas à l'augmentation du nombre des microcanaux et donc à la réduction de la surface active – le prototype avec le moins de canaux (occupation 1/9) a une chute de tension plus élevée que le prototype avec le plus de canaux (occupation 1/4). Ainsi il est difficile de conclure sur la raison de l'augmentation de la chute de tension à l'état passant des composants avec DRIM Cooler.

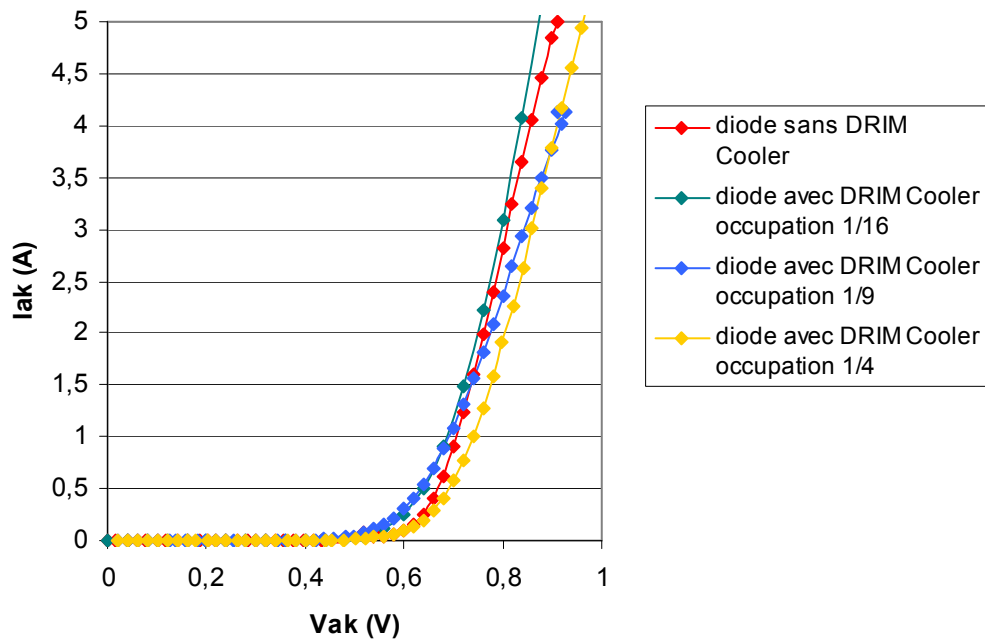


Fig. III.55. – Comparaison des caractéristiques en directe d'une diode sans DRIM Cooler et de trois diodes avec DRIM Cooler (canaux traversants carrés $50\mu\text{m}$ avec différentes occupations).

La figure suivante représente les caractéristiques en directe, après découpe et passivation avec de l'huile silicone, d'une diode avec DRIM Cooler (prototype avec des canaux traversants carrés de $50\mu\text{m}$ avec occupation de 1/9). Malgré les mesures quatre pointes ce résultat ne correspond pas à nos attentes. En effet, la chute de tension à l'état passant attendue était 1.5V pour $I_{AK}=20\text{A}$ au lieu des 3V obtenus en pratique. Encore une fois du travail supplémentaire doit être effectué pour étudier plus en détails ce problème. Tout de même, nous devons mentionner que la différence importante entre les chutes de tension théorique et pratique ne peut pas être associée à la perte de surface active suite à l'intégration des microcanaux car cela représente moins de 10% de la surface active du dispositif.

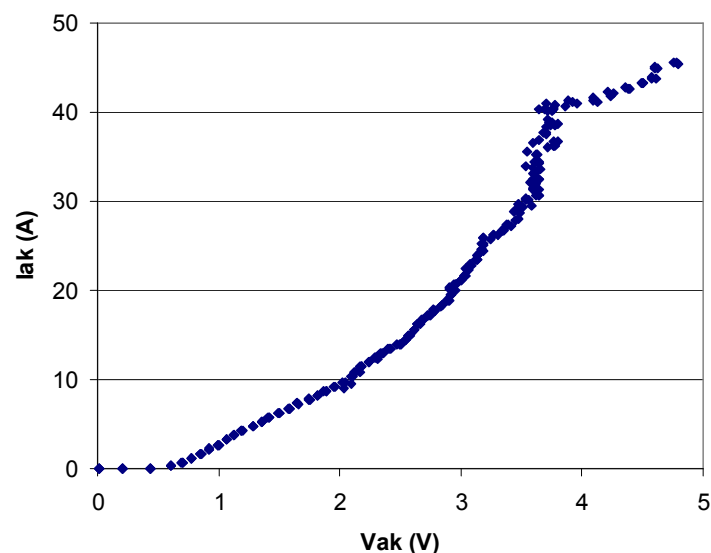


Fig. III.56. – Caractéristique en directe d'une diode avec DRIM Cooler.

Comme pour les diodes avec terminaisons en tension verticales passivées avec de l'huile silicone l'évolution de la chute de tension à partir d'un certain niveau de courant (40A) a démontré une dégradation significative de la caractéristique en directe. Des tests supplémentaires

doivent être réalisés afin d'identifier la raison de ce comportement. Par manque de temps cette question n'a pas pu être abordée plus en détails et ce travail reste à poursuivre dans le futur.

6. Conclusions et perspectives

Nous avons présenté dans ce chapitre les résultats de l'analyse théorique et de la validation pratique des performances électriques des diodes de puissance avec terminaisons en tension verticales et avec DRIM Cooler. Après l'étape de dimensionnement des diodes nous avons réalisé plusieurs modèles basés sur des simulations numériques Silvaco afin d'évaluer l'influence de la variation de différents paramètres. Cela nous a permis de démontrer que la réalisation d'un angle au niveau de la paroi des tranchées verticales non débouchantes et des microcanaux traversants permet d'améliorer la tenue en tension des composants semi-conducteurs. Si les techniques mesa avaient déjà fait leurs preuves en ce sens, l'approche technologique présentée dans ce manuscrit permet d'iloter partiellement des petits composants. Nous avons aussi évalué l'intérêt de l'ajout d'une électrode de champ en surface des composants afin de réduire davantage le stress dû au champ électrique. A terme, on peut imaginer qu'une telle électrode de champ puisse être réalisée par un conducteur massif qui serait pressé ou brasé en surface de la puce au niveau de laquelle ne règne plus de champ électrique, celui-ci étant reporté sur la tranchée profonde en périphérie des composants. La profondeur optimale de la terminaison verticale a aussi été étudiée – en vue de la réalisation d'une isolation efficace lorsque plusieurs composants de puissance sont intégrés dans le même substrat en silicium dégénéré. Elle doit être supérieure à l'épaisseur de la zone de tenue en tension. Enfin, l'étude par simulations numériques des diodes avec DRIM Cooler nous a permis de démontrer qu'il n'y a pas d'effets négatifs vis-à-vis de la tenue en tension du composant lorsque sa zone active est traversée par un microcanal.

En ce qui concerne la caractérisation pratique des diodes avec terminaisons en tension verticales, les résultats statiques et dynamiques obtenus valident l'approche. La fonctionnalité de plusieurs composants intégrés dans le même substrat a aussi été validée. Néanmoins, nous avons constaté certaines différences au niveau de leur comportement en inverse - courant de fuite et tenue en tension. Ces résultats restent à évaluer dans le futur mais à ce stade nous avons constaté que l'approche rend nécessaire la mise en boîtier dans un environnement salle blanche avec un back end plus propre. Comme perspectives, il sera intéressant d'envisager la phase de découpe d'une autre manière - par exemple la séparation des différents motifs peut être réalisée pendant la phase de gravure profonde de silicium. Aussi la réalisation d'une passivation plus « adaptée » des terminaisons verticales sera nécessaire avant la sortie des composants de l'atmosphère de la salle blanche. La passivation des flancs avec un "bourré" vers la jonction là où le champ est le plus élevé avec par exemple de l'oxyde de silicium peut être une possibilité.

La validation des caractéristiques statiques électriques des composants avec DRIM Cooler a aussi été abordée dans ce chapitre. Les résultats obtenus à ce stade ont démontré que l'intégration de microcanaux traversants la zone active des diodes de puissance affectait leur tenue en tension. La tension de claquage obtenue en pratique était de 450V environ ce qui reste inférieur à la tension de claquage théorique (600V). Toutefois, les nombreux tests ont mis en évidence la criticité du procédé technologique sur les caractéristiques des composants. Les caractéristiques des composants n'intégrant pas de DRIM Cooler, issus du même wafer que les composants avec DRIM Cooler, étaient encore plus mauvaises laissant entrevoir des perspectives intéressantes pour l'approche. Ainsi, ils restent certains phénomènes à analyser dans le futur surtout au niveau du procédé technologique qui pour l'instant n'est pas stabilisé. En ce qui concerne les caractéristiques en direct des composants avec DRIM Cooler, les résultats obtenus sont conformes à nos attentes. Au final les résultats obtenus sont très encourageants pour la validation des performances thermiques du concept qui suit dans le chapitre IV.

Chapitre IV. Etude et validation pratique des performances thermiques des diodes de puissance avec DRIM Cooler

Sommaire :

1. Introduction	135
2. Rappel des notions de transfert de chaleur lors de l'écoulement d'un fluide.....	135
2.1. Nombre de Reynolds.....	135
2.2. Nombre de Prandtl.....	136
2.3. Longueurs d'établissement hydraulique et thermique.....	136
2.4. Nombre de Nusselt.....	137
2.5. Pertes de charge et coefficient de frottement.....	138
3. Analyse théorique des performances thermiques du concept de refroidissement DRIM Cooler.....	139
3.1. Modélisation analytique.....	140
3.2. Modélisation numérique.....	143
3.3. Comparaison des résultats	148
4. Validation expérimentale des performances thermiques du concept de refroidissement DRIM Cooler.....	149
4.1. Présentation du banc de caractérisation expérimentale.....	150
4.2. Résultats obtenus.....	151
4.3. Problèmes rencontrés.....	153
5. Conclusion	154

1. Introduction

Nous avons vu dans le premier chapitre que le concept de refroidissement DRIM Cooler, basé sur l'intégration du refroidisseur directement dans la zone active des composants de puissance, offrait des avantages en termes de mise en œuvre et de performances thermiques. Dans ce chapitre nous allons présenter l'analyse théorique et la validation pratique des performances thermiques du concept de refroidissement DRIM Cooler. L'analyse théorique que nous avons menée repose sur deux méthodes – analytique et numérique. La méthode analytique est basée sur des corrélations afin d'estimer le coefficient d'échange, la différence de température entre la paroi des microcanaux et le fluide et les pertes de charge. Ainsi nous commençons ce chapitre par un rappel des lois et des nombres sans dimension qui nous ont permis de calculer ces paramètres et de caractériser les échanges de chaleur et les pertes de charge. Afin de valider les résultats issus de ces modèles théoriques, nous allons ensuite présenter les modèles numériques basés sur des simulations réalisées avec le logiciel FloTHERM - logiciel qui permet la construction de modèles 3D afin d'analyser les aspects thermiques mais aussi hydrauliques dans des applications de refroidissement variées. Les avantages du logiciel sont nombreuses: possibilité de connaître le flux thermique, la température, la vitesse et la pression du fluide à chaque point du domaine d'étude, prise en compte des aspects hydrauliques (régime turbulent, laminaire ou transitoire) etc. La construction de ces modèles numériques permet d'analyser les performances du concept en faisant varier différents paramètres – géométriques (diamètre hydraulique, longueur du canal), thermiques (puissance à dissiper, propriétés physiques des corps, vitesse etc). Enfin, nous présentons le banc de caractérisation expérimentale que nous avons conçu et réalisé afin de valider en pratique les performances du concept de refroidissement DRIM Cooler. Les premiers résultats des mesures effectuées sont aussi présentés et discutés.

2. Rappel sur les notions de transfert de chaleur en convection forcée dans une conduite

Comme cela a été présenté dans le chapitre I, le concept de refroidissement DRIM Cooler concerne l'écoulement interne d'un fluide diélectrique en convection forcée sans changement de phase. Dans une telle configuration l'objectif principal est de déterminer la résistance thermique du système et la puissance de pompage nécessaires pour respecter un cahier des charges donné. Les transferts thermiques d'un fluide qui circule dans un canal dépendent de la géométrie du canal, du régime d'écoulement, des propriétés thermo physiques du fluide, de la vitesse et de la température du fluide. Afin de déterminer ces paramètres, une solution couramment utilisée consiste à utiliser des corrélations définies à partir de nombres sans dimension (analyse dimensionnelle). Nous allons maintenant décrire les nombres qui sont utilisés dans le cas de la convection forcée dans une conduite.

2.1. Nombre de Reynolds

Le nombre de Reynolds permet de déterminer le régime de l'écoulement – laminaire, turbulent ou transitoire. Il peut être déterminé suivant la relation suivante :

$$\text{Re} = \frac{\rho \cdot v \cdot Dh}{\mu} \quad (\text{IV.1.})$$

où ρ [kg/m³] est la masse volumique du fluide, μ [kg/m.s] est la viscosité dynamique du fluide, v [m/s] est la vitesse du fluide, $Dh = \frac{4S}{P}$ est le diamètre hydraulique du canal où S est la section et P le périmètre mouillé de ce dernier.

Pour des faibles nombres de Reynolds ($\text{Re} < 2000$) le fluide s'écoule sous forme de filets parallèles aux parois – le régime d'écoulement est laminaire. Pour les grands nombres de

Reynolds ($Re > 6000$) l'écoulement du fluide prend un aspect désordonné et le régime d'écoulement est alors turbulent. Pour les nombres de Reynolds intermédiaires, le régime d'écoulement est transitoire.

2.2. Nombre de Prandtl

Le nombre de Prandtl caractérise la rapidité des phénomènes thermiques et hydrodynamiques lors de l'écoulement d'un fluide. Il dépend uniquement des propriétés physiques du fluide et peut être déterminé avec la relation suivante :

$$Pr = \frac{\mu \cdot C_p}{k} \quad (IV.2.)$$

où μ [kg/m.s] est la viscosité dynamique du fluide, C_p [J/kg.K] est la chaleur spécifique du fluide et k [W/m.K] est la conductivité thermique du fluide.

Un nombre de Prandtl ($Pr \geq 1$) élevé indique que le profil de température dans le fluide sera fortement dépendant du profil de vitesse (dans ce cas les profils de vitesse se développent plus rapidement que le profil de température). Pour les nombres de Prandtl faibles ($Pr < 1$), le profil de vitesse a peu d'effets sur le profil de température.

Le tableau suivant représente le nombre de Prandtl en fonction de la température pour le fluide diélectrique Coolanol 25R, que nous avons choisi pour la validation du concept DRIM Cooler.

TABLEAU I: NOMBRE DE PRANDTL POUR LE FLUIDE COOLANOL 25R

T (°C)	Pr
20	89.46
40	46.97
60	33.75
100	23.31

D'après le tableau I, nous voyons que le nombre de Prandtl est très grand devant 1 ce qui signifie que, dans le cas de notre application, la longueur d'établissement hydraulique est plus courte que la longueur d'établissement thermique. Nous allons évoquer cela dans le paragraphe suivant.

2.3. Longueurs d'établissement hydraulique et thermique

Dans le cas d'un écoulement laminaire, la vitesse est quasiment uniforme sur les sections proches de l'entrée du conduit et, au fur et à mesure que l'on s'éloigne de l'entrée du canal, le profil de vitesse prend une forme parabolique – on dit alors que l'écoulement est en régime établi. On observe le même phénomène au niveau du développement de la couche limite thermique. La connaissance des longueurs d'établissement hydraulique et thermique est importante afin de choisir le modèle ou la corrélation appropriée pour chaque application particulière. Néanmoins, les corrélations ne donnent pas une valeur précise puisque la transition d'un écoulement en cours de développement en un écoulement développé se fait d'une manière uniforme. Les corrélations permettent simplement d'avoir un ordre de grandeur de ces longueurs d'établissement et ainsi de nombreuses corrélations avec des formulations différentes peuvent être trouvées dans la littérature. Ci-dessous nous présentons les relations pour les longueurs d'établissement hydraulique (L_{hy}) et thermique (L_{th}) que nous avons utilisées [MUZ99].

$$L_{hy} \approx 0.05 Re Dh \quad (IV.3)$$

$$L_{th} \approx 0.05 Re Dh Pr \quad (IV.4)$$

A titre d'exemple nous pouvons citer le cas où une puce de 1cm^2 est traversée par 4400 canaux carrés de diamètre hydraulique $50\mu\text{m}$ (occupation 1/9 de la surface totale de la puce), le débit est de $0.27\text{L}/\text{min}$ ce qui correspond à une puissance dissipée de 400W et une élévation de la température entrée/sortie du fluide de 50K . Dans ce cas (pour une température du fluide de 40°C), le nombre de Reynolds vaut 3.1 ce qui montre que l'écoulement est en régime laminaire. Notons que ce nombre de Reynolds est très faible à cause du petit diamètre hydraulique des canaux. Ainsi, dans tous les exemples qui seront traités par la suite, le régime d'écoulement sera laminaire. Dans ce cas, nous pouvons calculer la longueur d'établissement hydraulique qui vaut ici $8\mu\text{m}$ alors que la longueur d'établissement thermique vaut $700\mu\text{m}$. Ainsi les profils de vitesse sont établis dès le début du canal alors que le profil de température reste non établi tout le long du canal (pour rappel, la longueur du canal est $500\mu\text{m}$).

Il est important de noter que ces effets d'entrée sont très bénéfiques pour les échanges thermiques puisque dans cette zone les gradients de température (et donc les coefficients d'échange convectif locaux) sont plus forts. Ainsi le coefficient d'échange est très élevé à l'entrée du canal et sa valeur diminue jusqu'à atteindre une valeur fixe lorsque le régime est établi thermiquement.

2.4. Nombre de Nusselt

Le nombre de Nusselt caractérise l'échange thermique entre la paroi et le fluide. Il est directement lié au coefficient d'échange thermique et peut être défini par la relation suivante :

$$Nu = \frac{h.Dh}{k} \quad (IV.5)$$

où h [$\text{W}/\text{m}^2.\text{K}$] est le coefficient d'échange, Dh [m] est le diamètre hydraulique du canal et k [$\text{W}/\text{m.K}$] est la conductivité thermique du fluide.

En régime laminaire, le nombre de Nusselt est fortement dépendant de la géométrie du conduit et de la nature du régime d'écoulement. Lorsque le régime d'écoulement est thermiquement et hydrauliquement établi et que les géométries sont simples, le nombre de Nusselt est constant et peut être facilement calculé de manière exacte avec des formules analytiques (par exemple pour un canal circulaire $Nu=4.36$ dans le cas du flux de chaleur uniforme et $Nu=3.66$ dans le cas des parois isothermes [BEJ03]). Dans le cas des canaux circulaires en régime d'écoulement établi hydrodynamiquement et en cours d'établissement thermique, la corrélation (IV.6.) fournie par Bejan [BEJ03] avec des données de Shah et London [SHA78] permet de déterminer le nombre de Nusselt moyen dans le cas de parois isothermes et la corrélation (IV.7.) dans le cas du flux de chaleur uniforme :

$$Nu = \begin{cases} 1.615x_*^{-1/3} - 0.7 \rightarrow x_* \leq 0.005 \\ 1.615x_*^{-1/3} - 0.2 \rightarrow 0.005 < x_* < 0.03 \\ 3.657 + 0.0499/x_* \rightarrow x_* > 0.03 \end{cases} \quad (IV.6.)$$

$$Nu = \begin{cases} 1.953x_*^{-1/3} \rightarrow x_* \leq 0.03 \\ 4.364 + 0.0722/x_* \rightarrow x_* > 0.03 \end{cases} \quad (IV.7.)$$

où x_* est une longueur caractéristique sans dimension défini par $x_* = \frac{L/Dh}{Re.Pr}$ où L [m]-la longueur

du canal, D_h [m] le diamètre hydraulique, Re et Pr les nombres de Reynolds et de Prandtl respectivement.

Pour les géométries plus complexes tels que les rectangles, le calcul du nombre de Nusselt est moins aisé et est en général basé sur des formulations empiriques. Ainsi dans notre cas pour les canaux de sections carré ou rectangulaire et suivant les hypothèses imposées (régime d'écoulement laminaire hydrodynamiquement établi et thermiquement en cours d'établissement, conditions aux limites – température des parois imposée), nous avons basé nos modèles sur des tableaux et des abaques de valeurs expérimentales fournis par Shah et London [SHA78]. Le choix de la condition limite de type température de paroi imposée est dû au fait que le canal est court est que les gradients thermiques dans le silicium parallèlement au canal sont très faibles. Cela sera montré lorsque nous présenterons les résultats de simulations numériques.

2.5. Pertes de charge et coefficient de frottement

Les pertes de charge régulières désignent la différence de pression entre l'entrée et la sortie du canal. Cette différence de pression est due aux forces de viscosité (forces de frottement interne) qui apparaissent lorsqu'une couche du fluide se déplace par rapport à une autre. Les pertes de charge régulières peuvent être calculées d'après l'équation IV.8. :

$$\Delta P = f \frac{4L}{D_h} \left(\frac{\rho \cdot v^2}{2} \right) \quad (IV.8.)$$

où ρ (kg/m^3) est la masse volumique du fluide, v (m/s) est la vitesse moyenne du fluide, D_h (m) est le diamètre hydraulique du canal, L (m) est la longueur du canal et f est le coefficient de frottement. Le coefficient de frottement dépend du nombre de Reynolds. En régime établi, il vaut $f = 16/Re$ pour un cercle et $f = 14.2/Re$ pour un carré [BEJ03]. Dans le cas d'un rectangle, il peut être calculé en utilisant la relation suivante [SHA78] :

$$f = 24 \left(1 - 1.3553\alpha + 1.9467\alpha^2 - 1.7012\alpha^3 + 0.9564\alpha^4 - 0.2537\alpha^5 \right) \quad (IV.9.)$$

où α est le rapport entre le petit et le grand côté du rectangle. Dans notre cas (ch. chapitre II.), ce rapport est égal à $1/10$ et $f = 21.2/Re$.

Néanmoins, les pertes de charge régulières ne sont pas les seules à devoir être prises en compte. Il existe également des pertes de charge liées aux accidents de parcours (coudes, rétrécissements et élargissements) appelés pertes de charge singulières. Dans le cas du concept DRIM Cooler, le composant de puissance peut être vu comme une grille à travers laquelle s'écoule le fluide. La section totale des canaux étant plus faible que la section totale du composant, le fluide aura une vitesse plus élevée dans les canaux qu'aux abords de la puce. Ainsi, l'entrée dans le canal s'accompagnera d'un rétrécissement de la section de passage du fluide et donc d'une augmentation de sa vitesse. La sortie du canal sera un élargissement. Ces deux phénomènes introduiront des pertes de charge singulières qui s'ajouteront aux pertes de charge régulières dans le canal. Dans ce cas les pertes de charge peuvent être estimées avec la relation IV.10. proposée par Idel'cik [IDE60]:

$$\Delta P = \xi \frac{\rho V^2}{2} \quad \text{avec} \quad \xi = \xi_\varphi + \varepsilon_0 \cdot \xi_0 + f \frac{L}{D_h} \quad (IV.10)$$

où ξ_φ et $\varepsilon_0 \cdot \xi_0$ sont des coefficients permettant de calculer les pertes de charges respectivement à l'entrée et à la sortie du canal. Ces coefficients sont fonction de l'occupation des canaux et du nombre de Reynolds et peuvent être identifiés à partir d'abaques. Cependant, les courbes ne sont pas disponibles pour des nombres de Reynolds inférieurs à 25, alors que dans la plupart de nos cas d'étude, notre écoulement est caractérisé par un Reynolds de l'ordre de l'unité. Ainsi la prise

en compte des effets d'entrée et de sortie des pertes de charge ne sera pas réalisée pour tous les modèles présentés par la suite dans ce chapitre.

Les diverses notions nécessaires à la modélisation thermo-hydraulique de nos dispositifs étant présentées, nous allons maintenant procéder à l'évaluation de leurs performances thermiques.

3. Analyse théorique des performances thermiques du concept de refroidissement DRIM Cooler

Dans ce paragraphe nous allons présenter les modèles analytiques qui nous ont permis d'estimer les performances thermiques qui peuvent être obtenus avec le concept DRIM Cooler. Nous allons ensuite présenter la campagne de simulations numériques que nous avons conduite afin de valider les résultats analytiques. L'étude menée concerne la définition d'un modèle simplifié qui représente une puce de silicium qui comporte des microcanaux traversants son épaisseur en vue de la réalisation du DRIM Cooler (figure IV.1.). Dans cette étude, les canaux sont de forme carrée sauf lorsque c'est indiqué le contraire.

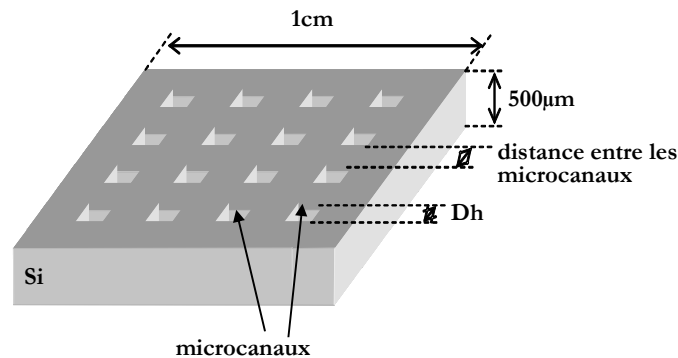


Fig.IV.1. – Géométrie de la puce Si comportant le DRIM Cooler.

Les données concernant cette étude sont les suivantes :

- la surface de la puce est 1cm^2
- la longueur des microcanaux est égale à l'épaisseur de la puce $500\mu\text{m}$
- le nombre des canaux en parallèle et la distance entre eux dépend de l'occupation surface totale de la puce/surface des microcanaux qui est variable : $1/4, 1/9, 1/16$
- le diamètre hydraulique (D_h) des microcanaux est variable de $50\mu\text{m}$ à $400\mu\text{m}$
- les formes géométriques des microcanaux sont : carrés, cercles et rectangles (avec un rapport de $1/10$ des côtés)
- la puissance dissipée par la puce est 400W
- l'élévation de la température du fluide entre l'entrée et la sortie du canal est 50K
- le fluide de refroidissement est Coolanol 25R
- température d'entrée du fluide 40K

En connaissant les propriétés thermo-physiques du Coolanol 25R (ch. chapitre I.) et en utilisant l'équation (IV.11.), nous pouvons calculer qu'un débit $Q=0.27$ litre/min sera nécessaire dans notre cas afin d'évacuer une puissance $P=400\text{W}$ avec une élévation de la température entrée/sortie du fluide $\Delta T_{es}=50\text{K}$.

$$Q = \frac{P}{\rho \cdot C_p \cdot \Delta T_{es}} \quad (\text{IV.11})$$

où ρ [kg/m³] est la masse volumique et C_p [J/kg.K] est la chaleur spécifique du fluide.

3.1 Etude analytique

En utilisant les corrélations et les relations définies dans le paragraphe précédent nous avons réalisé des modèles analytiques avec pour objectif de déterminer le coefficient d'échange h [W/m²/K], la différence de température ΔT_{pf} [K] entre la paroi du semi-conducteur et le fluide et les pertes de charge ΔP [Pa] en faisant varier différents paramètres géométriques comme le diamètre hydraulique, le nombre de microcanaux en parallèle (i.e. le taux de remplissage), la forme géométrique des microcanaux etc... Certains de ces résultats ont été présentés dans le premier chapitre. Dans les paragraphes qui suivent nous allons donner plus de détails sur cette étude. Le coefficient d'échange a été calculé en utilisant le nombre de Nusselt moyen tel que défini au §2.4 (écoulement en cours d'établissement thermique et établi hydrauliquement). La valeur du coefficient d'échange donnée est donc pour chaque cas un coefficient d'échange moyen. Pour le calcul des pertes de charge, seules les pertes de charge régulières ont été prises en compte.

- **Influence de la variation du diamètre hydraulique**

La figure IV.2. présente la variation du coefficient d'échange en fonction du diamètre hydraulique des microcanaux de 50 μ m à 400 μ m en gardant la même occupation surface totale des microcanaux/surface totale de silicium de 1/4. C'est sans surprise que nous remarquons que le coefficient d'échange est plus élevé pour les diamètres hydrauliques plus faibles. Comme nous l'avons mentionné, pour les écoulements laminaires (faibles nombres de Reynolds) le coefficient d'échange est inversement proportionnel au diamètre hydraulique du canal. Ainsi, lorsque le diamètre hydraulique augmente, le coefficient d'échange diminue.

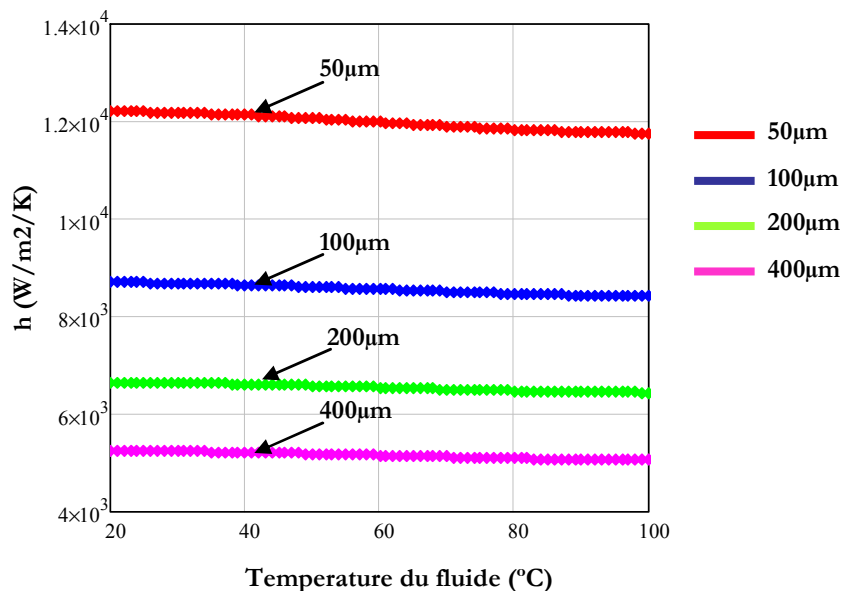


Fig.IV.2. – Coefficient d'échange en fonction de la température du fluide pour différents diamètres hydrauliques avec la même occupation (25%).

On peut remarquer sur la figure IV.2. que le coefficient d'échange diminue avec l'élévation de la température du fluide. La raison pour cela est la diminution de la conductivité thermique du fluide avec l'augmentation de la température. Le coefficient d'échange étant directement

proportionnel à la conductivité thermique du fluide, il diminue aussi avec l'élévation de la température.

Les échanges thermiques par convection sont fortement dépendants du coefficient d'échange mais aussi de la surface d'échange – la surface des parois des microcanaux en contact avec le fluide. Ainsi pour le même taux d'occupation de microcanaux lorsque le diamètre hydraulique augmente la surface d'échange diminue (par exemple pour une occupation de 25% et un diamètre hydraulique de 50 μm la surface d'échange vaut 10 cm^2 alors que pour la même occupation et pour un diamètre hydraulique de 100 μm la surface d'échange est 5 cm^2). Ainsi la diminution de la surface d'échange et la diminution du coefficient d'échange résultant de l'augmentation du diamètre hydraulique ont des conséquences drastiques pour la température de la paroi. La figure IV.3. représente la différence de température entre la paroi et le fluide pour différents diamètres hydrauliques.

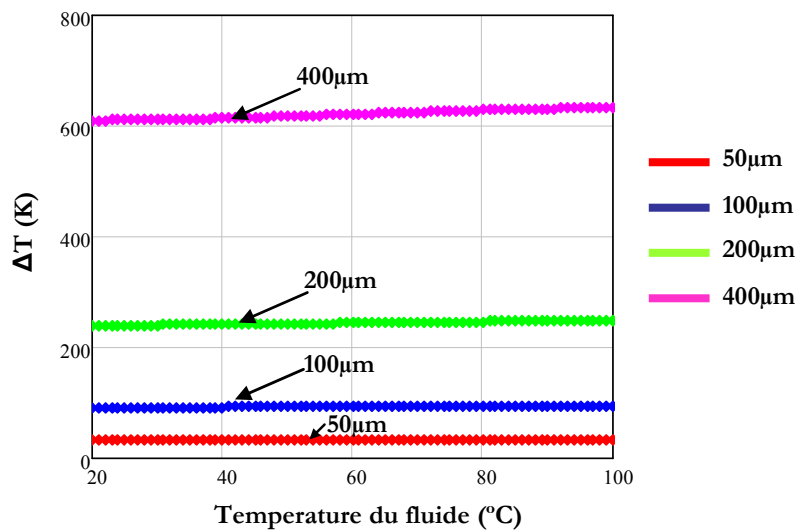


Fig.IV.3. – Différence de température paroi/fluide en fonction de la température du fluide pour différents diamètres hydrauliques avec la même occupation (25%).

On peut voir sur la figure IV.3. qu'à partir des diamètres hydrauliques supérieurs à 100 μm , la température de la puce est supérieure à la température maximale admissible par les composants semi-conducteurs en silicium. Ainsi le choix du diamètre hydraulique des microcanaux intégrés dans une puce en silicium en vue de la réalisation d'un DRIM Cooler doit être restreint à des valeurs inférieures à 100 μm .

La figure IV.4. présente les pertes de charge dans le même cas d'étude. Les pertes de charge étant inversement proportionnelles au diamètre hydraulique elles sont d'autant plus faibles que le diamètre hydraulique est grand. Il est intéressant de remarquer sur cette figure la forte dépendance des pertes de charge de la température du fluide. Comme nous l'avons mentionné dans le chapitre I, la faible viscosité dynamique du Coolanol25R était un des critères pour le choix de ce fluide dans notre application. Nous pouvons remarquer sur la figure IV.4. que, plus la température augmente, plus les pertes de charge diminuent. Cela est dû au fait que la viscosité dynamique diminue avec l'augmentation de la température – pour le diamètre hydraulique de 50 μm les pertes de charge sont environ 4kPa pour 20 $^{\circ}\text{C}$ et diminuent jusqu'à 2kPa à 40 $^{\circ}\text{C}$.

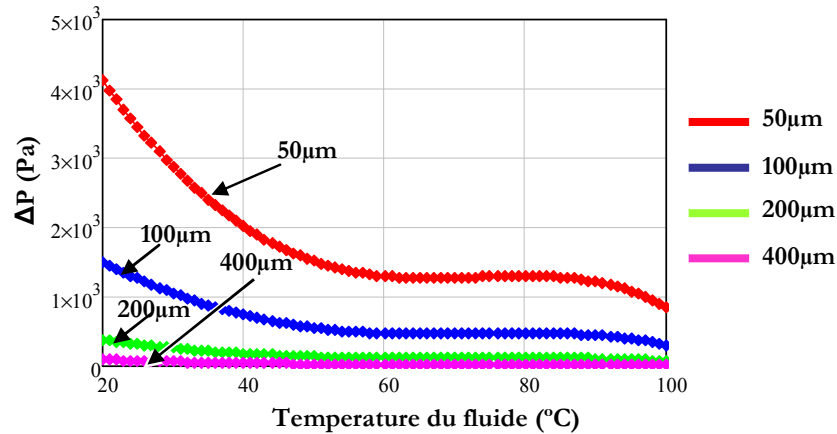


Fig.IV.4. – Pertes de charge en fonction de la température du fluide pour différents diamètres hydrauliques avec la même occupation (25%).

- **Influence de la forme géométrique**

Dans ce paragraphe, nous allons nous intéresser aux conséquences sur les performances du concept de refroidissement DRIM Cooler en considérant différentes formes géométriques des microcanaux – carré de côté 50 μm , cercle de diamètre 50 μm et rectangle avec des côtés de 50 μm et 500 μm avec la même occupation dans toutes les trois cas.

La figure IV.5. montre l'évolution du coefficient d'échange en fonction de la température du fluide dans les trois cas énoncés plus haut. Nous remarquons que le coefficient d'échange obtenu avec les corrélations utilisées est le plus élevé pour les canaux circulaires.

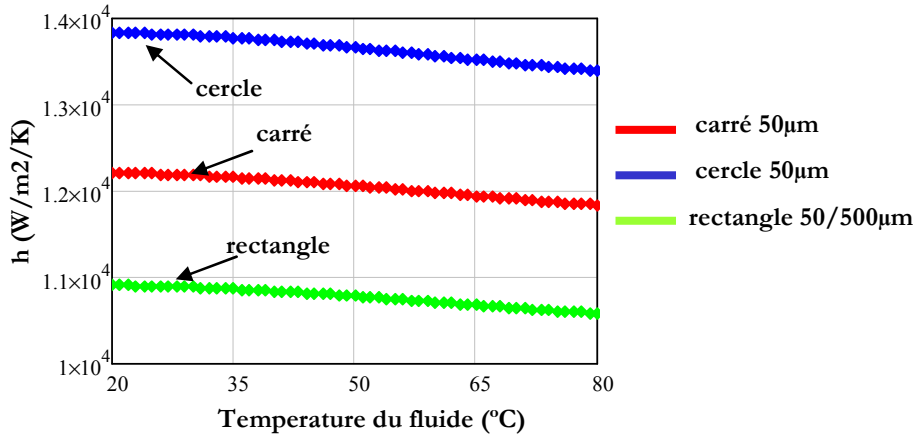


Fig.IV.5. – Coefficient d'échange en fonction de la température du fluide pour différentes formes géométriques des microcanaux avec la même occupation (25%).

En ce qui concerne la variation de la différence de température paroi/fluide dans les trois cas cette dernière est représentée sur la figure IV.6. La différence au niveau de la température dans les trois cas est due à la différence au niveau du coefficient d'échange.

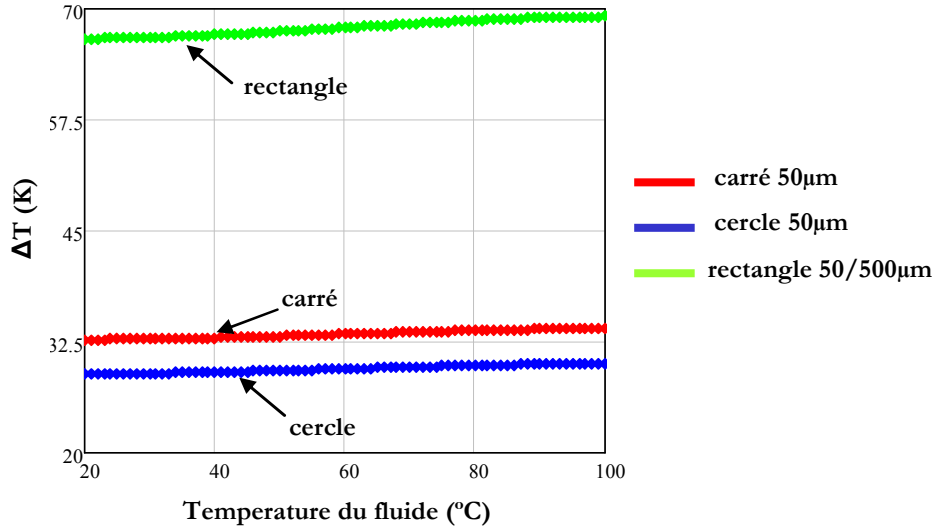


Fig.IV.6. – Différence de température paroi/fluide en fonction de la température du fluide pour différentes formes géométriques des microcanaux avec la même occupation (25%).

Enfin la figure IV.7. présente les pertes de charge pour les canaux carrés, cercles et rectangles. Le diamètre hydraulique dans le cas des canaux rectangulaires étant presque deux fois plus grand que dans les autres cas, les pertes de charge y sont plus faibles.

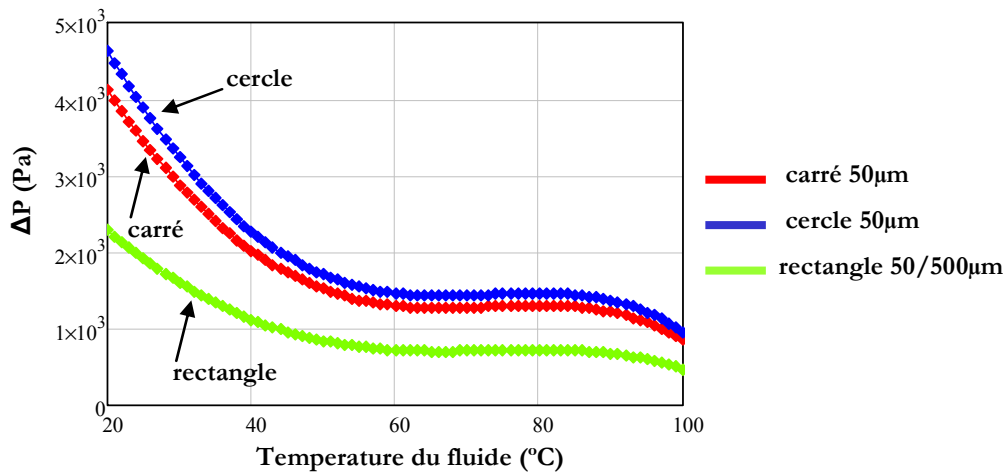


Fig.IV.7. – Pertes de charge en fonction de la température du fluide pour différentes formes géométriques des microcanaux avec la même occupation (25%).

3.2 Simulations numériques

Comme nous l'avons vu avec les modèles analytiques, ce sont les canaux avec des diamètres hydrauliques faibles qui présentent les performances thermiques les plus intéressantes. C'est pour cette raison que nous allons restreindre notre étude numérique aux canaux carrés avec un diamètre hydraulique de $50\mu\text{m}$ et une occupation de $1/4$. L'étude a été réalisée avec le logiciel FloTHERM en régime permanent. Certains des résultats qui vont être présentés dans ce paragraphe sont issus du stage de 2^{ème} année de Fabien Leboucq [LEB10].

Dans notre étude nous supposons que la vitesse du fluide est identique dans chaque canal. Ainsi la géométrie modélisée peut être simplifiée comme représenté sur la figure IV.8. En prenant en compte les symétries du domaine d'étude nous avons modélisé seulement $1/4$ d'un microcanal.

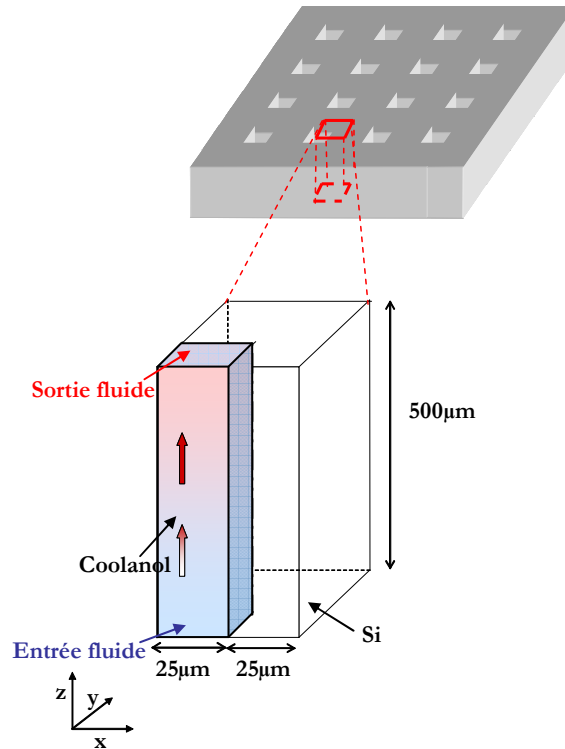


Fig.IV.8. – Géométrie modélisée avec FloTHERM (1/4 d'un microcanal).

Les conditions aux limites pour les simulations sont les suivantes:

- la température du fluide à l'entrée du canal est donnée : $T_e=40^\circ\text{C}$,
- la température du fluide à la sortie T_s du canal est calculée par le simulateur,
- toutes les autres surfaces sont adiabatiques,
- la puissance dissipée de 400W est uniformément répartie dans le silicium,
- la pression à la sortie du fluide du canal est 0Pa,
- la vitesse v_e du fluide à l'entrée du canal est uniforme et parallèle à l'axe z dans le sens indiqué par les flèches (figure IV.8),
- les propriétés du fluide définies dans les simulations sont prises pour une température: $T_{fluide} = \frac{T_e + T_s}{2}$

Les données nous allons chercher à déterminer sont :

- les pertes de charge calculées par le simulateur,
- la température moyenne de la paroi définie suivant les coordonnées z avec :

$$\overline{T_p(z)} = \frac{1}{l_m} \int_0^{l_m} T(x, l_m, z) dx + \frac{1}{l_m} \int_0^{l_m} T(l_m, y, z) dy \quad (\text{IV.12.})$$

- le coefficient d'échange est déterminé le long de l'axe z avec la relation suivante :

$$h(z) = \frac{\overline{\varphi(z)}}{\overline{(T_p(z) - T_f(z))}} \quad (\text{IV.13.})$$

$$\text{où } \overline{\varphi(z)} = \frac{1}{l_m} \int_0^{l_m} (\vec{\varphi}(x, l_m, z) \cdot \vec{y}) dx + \frac{1}{l_m} \int_0^{l_m} (\vec{\varphi}(l_m, y, z) \cdot \vec{x}) dy \quad (\text{IV.14.})$$

est la densité du flux de chaleur moyenne normale à la paroi et

$$\overline{T_f(z)} = \frac{\iint_S T(x, y, z) v(x, y, z) dx dy}{\iint_S v(x, y, z) dx dy} \quad (\text{IV.15.})$$

est la température de mélange du fluide. La grandeur l_m représente la taille des parois du canal suivant les coordonnées x ou y . $T(x, y, z)$ et $v(x, y, z)$ sont respectivement la température et la vitesse du fluide suivant les coordonnées x , y et z .

Comme dans le cas des modèles analytiques, nous allons fixer la puissance dissipée à 400W et l'élévation de la température entrée/sortie du fluide à 50°C. A la différence des modèles analytiques, le modèle construit avec FloTHERM nous permet de prendre en compte les effets d'entrée sur les performances du concept DRIM Cooler.

La figure suivante montre l'évolution du coefficient d'échange le long du microcanal. Comme nous l'avons déjà mentionné, l'un des avantages du concept DRIM Cooler est la faible longueur des canaux dans lesquels l'écoulement est thermiquement non établi et ainsi les transferts de chaleur sont meilleurs que dans le cas des canaux plus longs avec le même diamètre hydraulique.

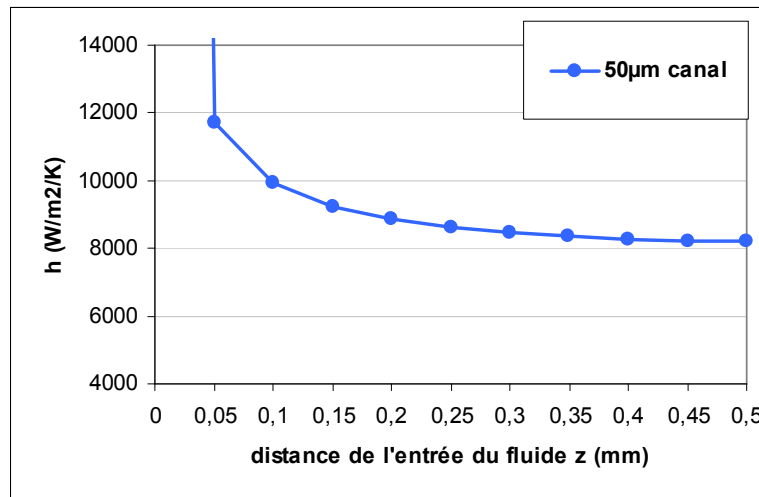


Fig.IV.9. – Evolution du coefficient d'échange le long du canal (diamètre hydraulique 50µm occupation 1/4).

On peut remarquer sur la figure IV.9. que le coefficient d'échange est maximal à l'entrée du canal (il est théoriquement infini) et que sa valeur diminue en approchant la sortie, restant toutefois supérieure à 8000W/m²/K.

Les pertes de charge le long du canal dans ce cas sont représentées sur la figure IV.10. Leur valeur est assez faible, seulement 2kPa, et leur évolution est linéaire ce qui montre que l'écoulement est hydrodynamiquement établi.

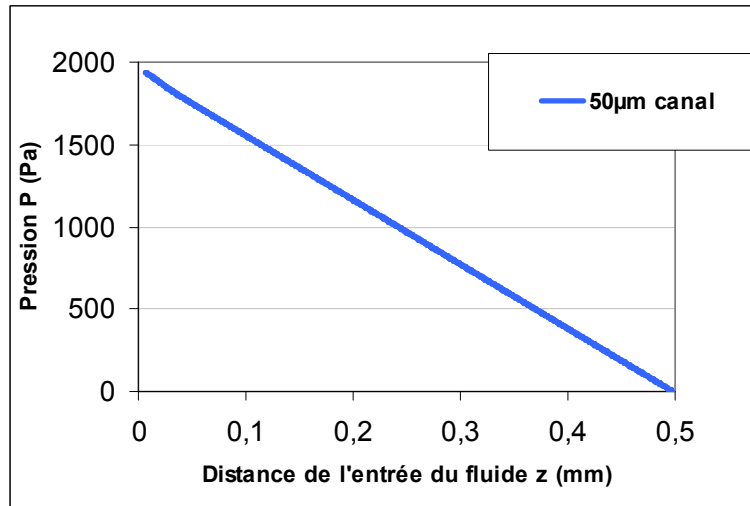


Fig.IV.10. – Pertes de charge le long du microcanal (diamètre hydraulique 50µm occupation 1/4).

- Répartition de la température dans le semi-conducteur

Comme mentionné dans le chapitre I un des avantages du concept DRIM Cooler est que la distribution de la température dans le semi-conducteur est très homogène. Afin de vérifier cet aspect, la figure suivante représente l'évolution de la température le long des trois lignes L_1 ($x=y=25\mu\text{m}$), L_2 ($x=y=35\mu\text{m}$) et L_3 ($x=y=45\mu\text{m}$) présentées à droite de la figure IV.11. Comme on peut le voir sur la figure de gauche, pour une coordonnée z donnée, les trois courbes correspondent parfaitement, à l'exception de la zone très proche de l'entrée du fluide, et la température dans le silicium est très homogène. La variation de la température du silicium entre l'entrée et la sortie du fluide dans le microcanal est aussi assez faible (inférieure à 5°C dans cet exemple).

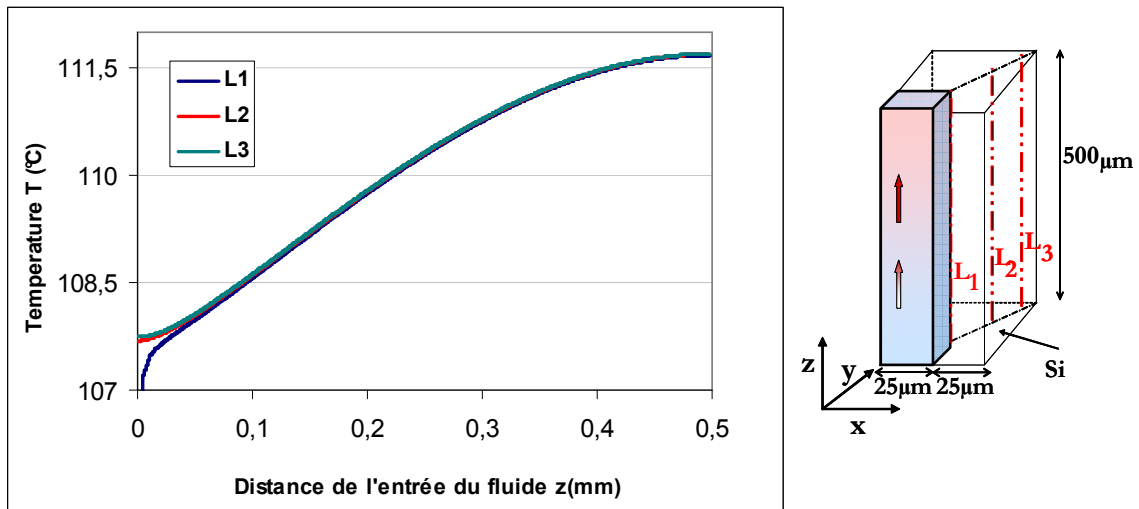


Fig.IV.11. – Répartition de la température dans le semi-conducteur.

Néanmoins, dans le modèle ainsi créé, nous considérons que la puissance dissipée est uniforme alors qu'en réalité la densité de puissance est surtout concentrée au niveau de la jonction en surface du composant. Ainsi il est intéressant d'analyser l'influence de la répartition du flux de chaleur dissipé sur la température dans le semi-conducteur. La figure IV.12. présente une comparaison de la température moyenne de la paroi le long de l'axe z dans trois cas différents. Dans le premier cas (courbe rouge), la distribution de la puissance est homogène.

Dans le deuxième (courbe bleue), tout le flux est dissipé dans une région de 50 μm d'épaisseur à l'entrée du fluide. Pour le troisième cas (courbe verte), nous gardons la même localisation de la dissipation mais le sens de l'écoulement est inversé. La source de dissipation se situe alors à la sortie du canal.

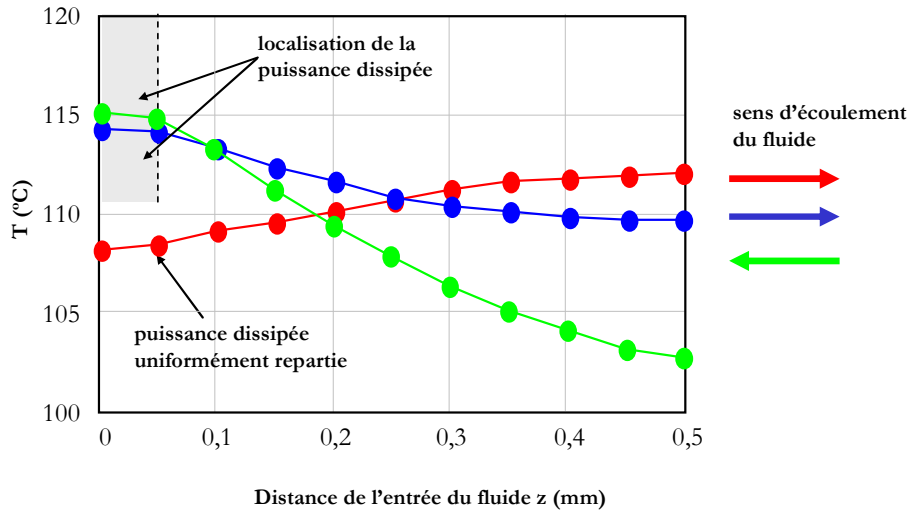


Fig.IV.12. – Evolution de la température le long de la paroi du microcanal pour plusieurs distributions de puissance dissipée.

A cause de la forte conductivité thermique du silicium la température le long de la paroi est très peu différente dans les trois cas. Nous pouvons toutefois remarquer que, dans le cas de densités de pertes concentrées en surface du composant, le changement du sens de l'écoulement du fluide n'induit pas de grandes différences au niveau de la température maximale de fonctionnement du dispositif même si nous voyons que la répartition de la température est plus uniforme dans le cas où la dissipation est effectuée du côté de l'entrée du fluide. Cela donne des degrés de liberté pour la future optimisation du concept DRIM Cooler.

Notons que le modèle étudié dans ce paragraphe était simplifié car il ne prenait pas en compte les effets d'entrée et de sortie du fluide dans les microcanaux dus au rétrécissement et à l'élargissement de l'écoulement. Comme nous l'avons mentionné plus haut dans ce chapitre, ces singularités vont avoir des conséquences sur la valeur finale des pertes de charge. Elles vont aussi induire une réduction de la température de la puce puisque la surface d'échange sera plus grande. Cette étude est présentée dans le paragraphe suivant.

- **Prise en compte des effets d'entrée**

Afin de prendre compte des effets d'entrée et de sortie, la géométrie simulée a été modifiée comme représenté sur la figure IV.13. La géométrie initiale a été prolongée suivant l'axe z afin de représenter l'entrée et la sortie du fluide dans le microcanal. Les conditions aux limites des simulations dans ce cas sont les mêmes comme dans le cas général précédemment présenté.

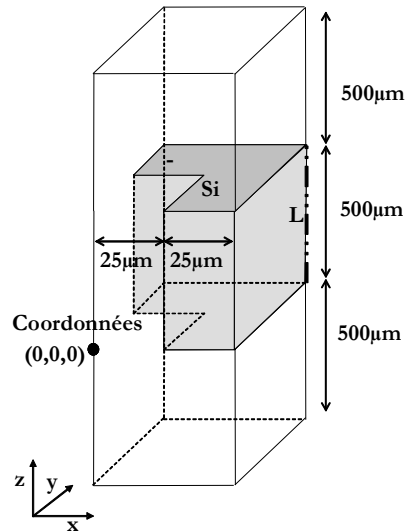


Fig.IV.13. – La géométrie simulée avec effets d'entrée et de sortie du fluide dans le microcanal.

La comparaison sur la répartition de la température le long du microcanal et des pertes de charge dans les cas avec et sans effets d'entrée est représentée sur la figure IV.14. La température est de quelques degrés plus faible lorsqu'on prend en compte les effets d'entrée. Les pertes de charge sont aussi légèrement plus élevées dans le cas avec effets d'entrée.

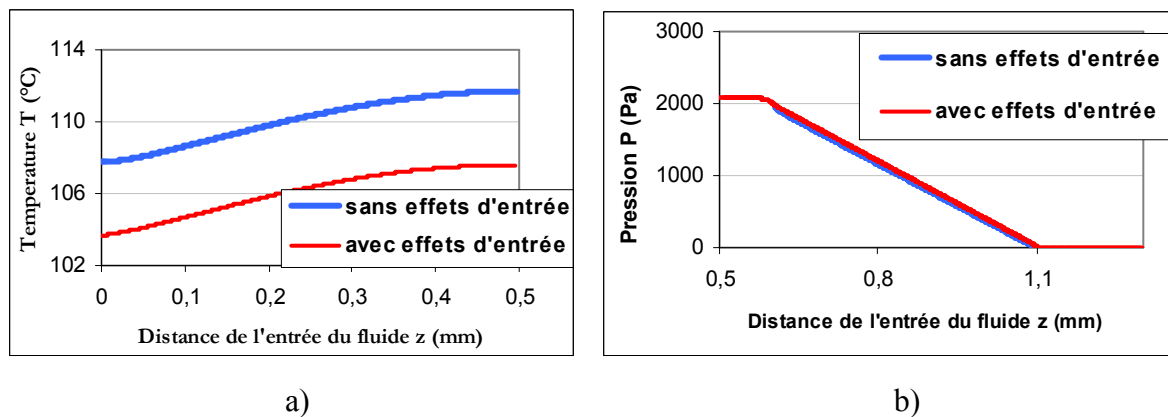


Fig.IV.14. – Conséquences des effets d'entrée sur a) la répartition de la température le long de la paroi du microcanal et b) les pertes de charge.

Dans cet exemple la prise en compte des effets d'entrée n'induit pas de conséquences importantes au niveau des pertes de charge et de la température du semi-conducteur. Toutefois, les effets d'entrée ne doivent pas être négligés surtout si la longueur des microcanaux est faible comme par exemple si l'on envisage l'application du concept DRIM Cooler pour des composants semi-conducteurs de puissance à substrat aminci.

3.3 Comparaison des résultats de l'étude analytique et des modèles numériques

Le tableau II. donne un récapitulatif des résultats obtenus (le coefficient d'échange moyen $h_{\text{moy}} [\text{W}/\text{m}^2/\text{K}]$, les pertes de charge $\Delta P [\text{kPa}]$, la température moyenne de la paroi $T_{\text{j moy}} [^{\circ}\text{C}]$, la différence de température entre la température moyenne de la paroi et la température d'entrée du fluide $\Delta T_{\text{ja}} [\text{K}]$, la résistance thermique $R_{\text{th}} [\text{K}/\text{W}]$) de l'étude analytique et des modèles numériques dans le cas d'un composant de puissance avec DRIM Cooler – microcanaux carrés de diamètre hydraulique $50 \mu\text{m}$ avec différentes occupations. La puissance dissipée étant 400W et l'élévation de la température du fluide 50°C (débit total de $0.27 \text{ l}/\text{min}$) avec température d'entrée du fluide de 40°C .

TABEAU II: COMPARAISON DES MODELES ANALYTIQUES ET NUMERIQUES

Occupation	Modèle	h_{moy} [W/m ² /K]	ΔP [kPa]	T_{jmoy} [°C]	ΔT_{ja} [K]	Rth [K/W]
1/4	analytique	1,2x10 ⁴	2.24	104	64	0.16
	numérique	9x10 ³	2.08	110	70	0.18
	Erreur %	25	7	9		9
1/9	analytique	1,5x10 ⁴	5.1	128	88	0.22
	numérique	1.05x10 ⁴	4.7	144	104	0.26
	Erreur %	33	8	15		15
1/16	analytique	1,7x10 ⁴	8.9	161	121	0.3
	numérique	1.2x10 ⁴	8.2	179	139	0.35
	Erreur %	29	8	13		13

Les résultats obtenus des deux modèles sont assez conformes comme on peut le voir sur le tableau I. La plus grande erreur obtenue concerne l'estimation du coefficient d'échange. En effet, un écart de l'ordre de 30% est estimé. Ceci n'est certes pas très étonnant puisque les corrélations sont en général assez imprécises et des erreurs de l'ordre de 25% sont très facilement atteignables. Le calcul des pertes de charge dans les deux cas a été effectué en prenant en compte les effets d'entrée et de sortie du fluide dans les microcanaux. L'erreur dans ce cas est assez faible (<10%). Cela montre que les corrélations et les formulations empiriques utilisées pour l'étude analytique sont assez précises. En ce qui concerne la résistance thermique, l'erreur entre les deux modèles est aussi assez faible. Enfin, les résistances thermiques dans les trois cas ont des valeurs assez faibles ce qui démontre l'intérêt du concept DRIM Cooler – une densité de pertes de environ 400W/cm² peuvent être évacués pour une température moyenne de la paroi de 110°C avec l'exemple du prototype avec des microcanaux carrés de diamètre hydraulique 50µm occupation de 1/4.

4. Validation expérimentale des performances thermiques du concept de refroidissement DRIM Cooler

La caractérisation thermique du concept DRIM Cooler consiste d'une part à mesurer les pertes de charge et d'autre part à mesurer la température du composant comportant les microcanaux afin de déduire sa résistance thermique. Dans un premier temps, nous avons conçu et réalisé un premier banc de caractérisation ne comportant que la partie hydraulique – mesure des pertes de charge en fonction du débit. Suite aux résultats obtenus de cette première expérience nous nous sommes rendu compte qu'il était nécessaire non seulement d'enlever tout l'air contenu dans le circuit hydraulique mais également d'effectuer le dégazage du fluide afin d'enlever l'air dissout dans ce dernier. Cet aspect a été pris en compte lors de la conception et la réalisation du deuxième banc de caractérisation qui, cette fois, comportait aussi la partie électrique. La description de ce banc de caractérisation complet ainsi que les résultats obtenus et les problèmes rencontrés sont décrits dans les paragraphes suivants.

4.1. Présentation du banc de caractérisation expérimentale

La figure IV.15. montre une photographie du banc de caractérisation expérimentale des composants avec DRIM Cooler.

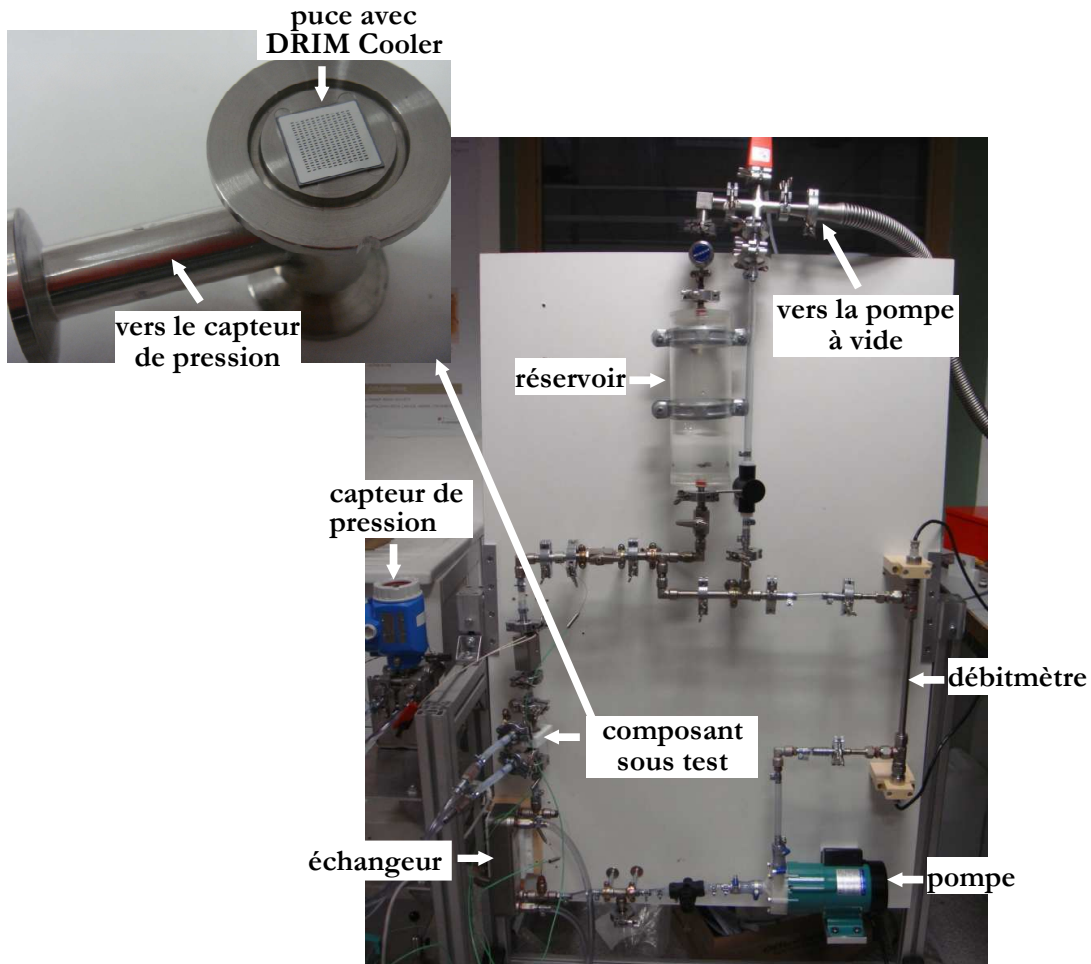


Fig.IV.15. – Photo du banc de caractérisation expérimentale des composants avec DRIM Cooler.

La boucle hydraulique est montée sur un support rotatif afin de faciliter le remplissage et le vidage du circuit. Le remplissage du circuit est effectué après le dégazage du circuit et du fluide. Pour cela, une pompe à vide est connectée à la fois au circuit hydraulique mais également au réservoir qui contient le fluide. Une fois le niveau du vide atteint (environ 10^{-1} mbar), le remplissage du circuit est réalisé. Afin d'éviter la pénétration de l'air dans le circuit, la plupart des raccords utilisés (en inox) sont soudés. Le fluide est mis en mouvement sous l'action d'une pompe à engrenages et la mesure du débit est réalisée avec un débitmètre à ultrasons. Le circuit comporte aussi un échangeur à plaques à eau afin de refroidir le fluide sortant du composant avec DRIM Cooler. La mesure de la température du fluide à l'entrée et à la sortie du composant avec DRIM Cooler est effectuée par des thermocouples introduits directement dans le fluide. La pièce qui maintient le composant avec DRIM Cooler est réalisée en aluminium puisque c'est la même pièce qui permet la prise de contact électrique avec les électrodes de la diode. Tous les autres raccords et conduits entourant la pièce qui maintient la puce sont en plastique haute température afin de réaliser l'isolation électrique du reste du circuit. Le contact électrique réalisé en périphérie du composant avec DRIM Cooler est effectué en appliquant une pression. La pièce qui maintient la puce est composée de deux parties identiques (séparées par un joint isolant) qui comportent deux conduits circulaires – un premier pour le passage du fluide par les microcanaux et un

deuxième pour la connexion avec le capteur de pression. La mesure des pertes de charge est réalisée avec un capteur de pression différentielle (plage de mesure -30 à 30kPa) connecté à l'entrée et à la sortie du dispositif de maintien du composant comportant le DRIM Cooler. Suite à nos premières mesures lors desquelles nous avons pu observer un encrassement rapide de nos microcanaux, le circuit a aussi été équipé avec un filtre (diamètre de la membrane 30 μ m) intégré juste avant la pièce qui maintient la puce.

En ce qui concerne la mesure de la température de la puce, nous n'avons pas d'accès direct avec la puce pour pouvoir utiliser par exemple une caméra infrarouge et donc la mesure de la température doit être réalisée d'une manière indirecte – comme par exemple en utilisant un paramètre thermosensible électrique (PTS). En effet, pour les composants semi-conducteurs, la variation de température a un impact très important sur leurs caractéristiques électriques, le composant peut donc lui-même être le capteur de température. Nous avons choisi d'utiliser la chute de tension en direct avec injection d'un faible courant car cette méthode est généralement très robuste et simple à mettre en œuvre. En effet, cette méthode permet de réaliser la mesure avec une faible tension (quelques centaines de mV) et avec un courant injecté de faible valeur (quelques mA à quelques centaines de mA) ce qui permet de limiter l'auto-échauffement de la puce lors de l'étalonnage du paramètre thermosensible. La carte électronique qui permet de mesurer la température des diodes avec DRIM Cooler a été conçue, réalisée et son fonctionnement a été validé (avec des diodes de commerce) lors du stage de Master Recherche de Julian Fernandez [FER10].

Afin de mesurer la température de la diode, nous devons tout d'abord effectuer l'étalonnage du paramètre thermosensible. Cette étape consiste à mesurer la chute de tension de la diode en injectant un courant de mesure de très faible valeur et, cela, en fonction de la température dont la valeur est bien connue – par exemple en mettant la puce dans un four. De cette manière il est possible de tracer la courbe de dépendance $V_d(T_i)$ pour plusieurs températures.

Ensuite la procédure de mesure de la température de la diode est composée de deux étapes – une étape de dissipation thermique et une deuxième étape de mesure (figure IV.16.).

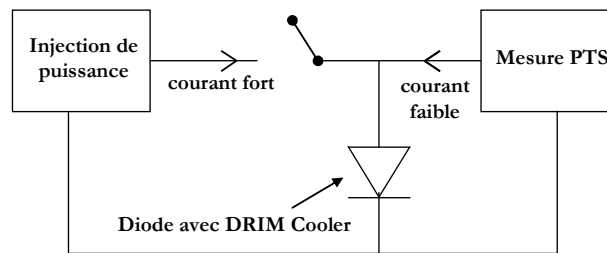


Fig.IV.16. – Vue schématique du montage permettant la mesure de la température de la diode avec DRIM Cooler avec PTS.

Pendant l'étape de dissipation thermique, l'interrupteur (figure IV.16.) est fermé et la diode est parcourue par un fort courant (quelques A à quelques 10A). Pendant un instant très court (100 μ s) l'interrupteur est ouvert (rapport cyclique de 99%) et la diode est parcourue par un courant très faible, identique à celui pour l'étape d'étalonnage – dans notre cas 1mA. Ensuite, on procède à la mesure de la chute de tension. La température correspondante est alors déterminée suivant la courbe de dépendance $V_d(T_i)$ préalablement définie.

4.2. Résultats obtenus

La figure IV.17. montre les résultats obtenus pour les pertes de charge en fonction du débit d'une diode avec DRIM Cooler microcanaux carrés 50 μ m occupation 1/16. La figure montre également la variation des pertes de charge pour plusieurs valeurs de la température du fluide et la comparaison des valeurs pratiques et analytiques (prise en compte des effets d'entrée). La figure

IV.17. montre une bonne conformité des résultats avec erreur entre les valeurs mesurées et les valeurs calculées d'environ 25%, les valeurs calculées étant plus élevées que les valeurs mesurées. Les erreurs peuvent venir entre autre du diamètre des canaux qui est sensiblement différent de celui initialement prévu mais nous n'avons pas eu le temps de vérifier cette donnée. En tout cas, les modèles permettent d'obtenir de très bons ordres de grandeur ce qui est suffisant pour valider l'intérêt du concept présenté en termes de pertes de charge.

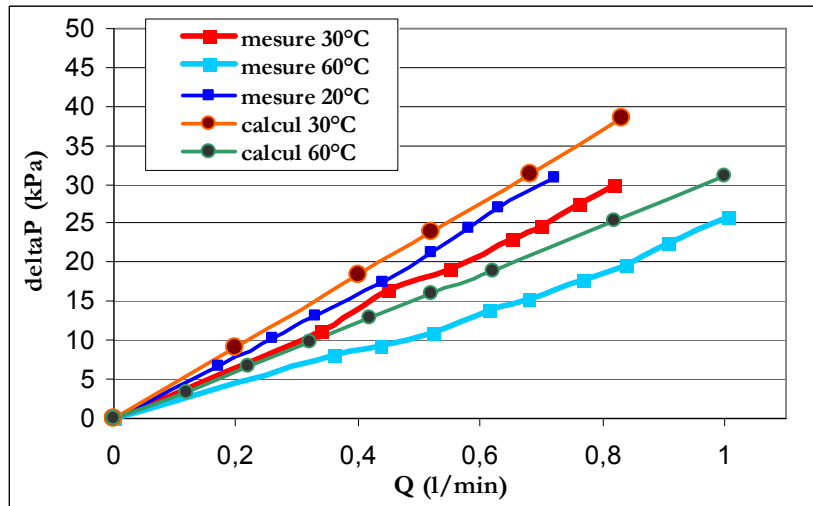


Fig.IV.17. – Pertes de charge en fonction du débit pour différentes températures du fluide (comparaison mesure et calcul) pour des canaux carrés 50 μ m occupation 1/16.

La figure IV.18 montre les résultats de l'échantillonnage du PTS d'une diode avec des canaux carrés 50 μ m occupation 1/16. A part le premier point de mesure à 20°C, la courbe de dépendance de la chute de tension en direct en fonction de la température est assez linéaire avec une sensibilité très proche de -2mV/°C.

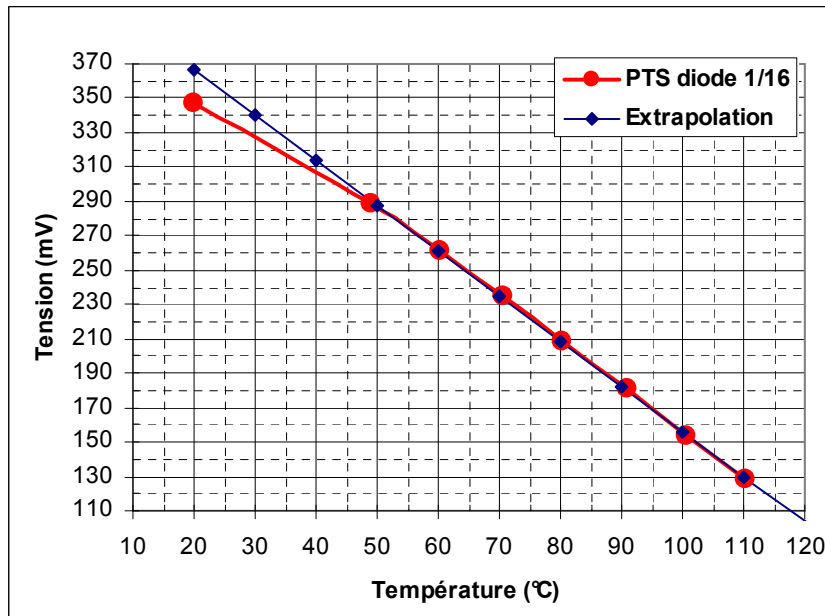


Fig.IV.18. – Chute de tension en direct en fonction de la température pour une diode avec des canaux carrés 50 μ m occupation 1/16.

Pour la mesure de la température du composant avec dissipation, le débit du Coolanol était de 0,535litre/min avec une température d'entrée dans le composant de 22°C (l'écart entre l'entrée et la sortie n'était pas significatif dans ce cas). La puissance dissipée était de 22,3W pour un courant de puissance injecté de 8.77A.

La Figure IV.19. représente la chute de tension aux bornes de la diode pendant la fenêtre de mesure (avec un courant <1mA).

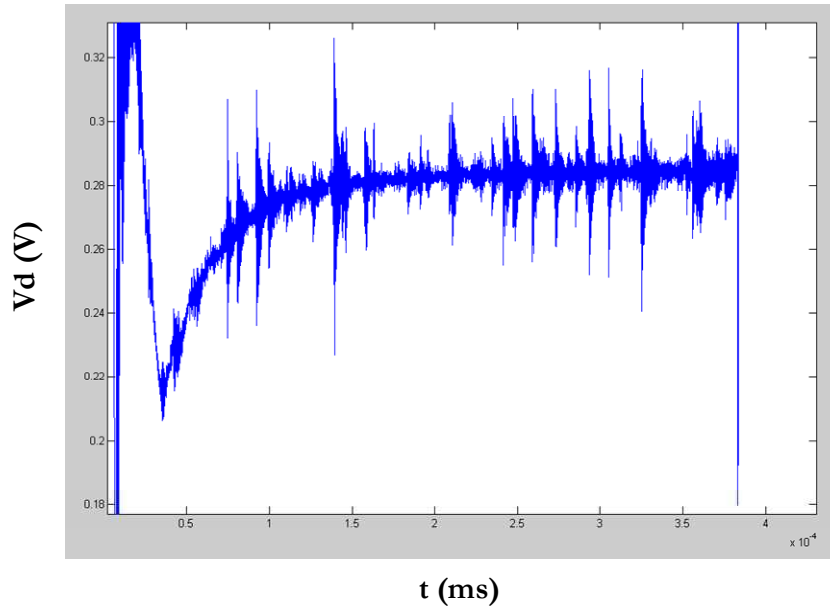


Fig. IV.19. - Chute de tension aux bornes de la diode pendant la mesure du PTS.

Dans ce cas, la chute de tension aux bornes de la diode était de 0,28V soit une température de la puce de 52°C. La résistance thermique dans ces conditions était $R_{th_{mes}}=1.4^{\circ}C/W$, valeur largement supérieure à celle attendue $R_{th_{cal}}=0.22^{\circ}C/W$. De nombreuses mesures supplémentaires ont été effectuées ne donnant malheureusement pas de meilleurs résultats. Les valeurs de la résistance thermique mesurée restant toujours dans le même ordre de grandeur. Nous avons tenté de trouver une explication à ces résultats assez décevants. Ils sont présentés dans le paragraphe suivant.

4.3. Problèmes rencontrés

Une forte dégradation de l'état de surface sur certaines diodes avec DRIM Cooler a été observée après leur démontage du banc de caractérisation thermique (figure IV.20.).

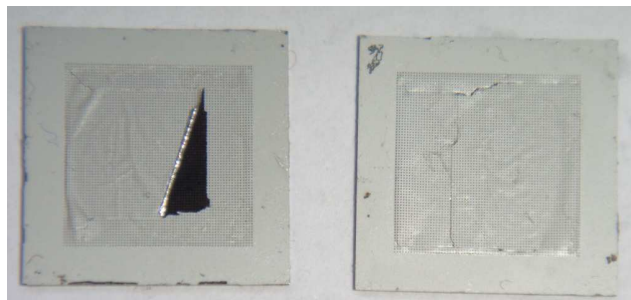


Fig. IV.20. – Dégradation de l'état de surface de deux diodes avec DRIM Cooler.

La figure IV.20. montre une photo de la métallisation en face arrière de deux puces où l'on peut voir que l'aluminium est très abîmé – avec de nombreuses craquelures et décolllements au

niveau des microcanaux. Cette forte dégradation de la métallisation implique une distribution non homogène du courant dans le composant qui peut expliquer la valeur élevée de la résistance thermique dont la mesure a été présentée plus haut.

Afin d'essayer d'estimer l'influence de la métallisation sur les performances de notre système, nous avons mis au point un nouveau dispositif expérimental simple. Pour cela, nous avons collé un composant avec DRIM Cooler sur une plaque de cuivre refroidie sur sa face arrière pour pouvoir dissiper de la puissance dans le composant. Après le collage, plusieurs fils de bonding ont été réalisés sur la périphérie. Avec ce dispositif, nous avons tenté d'observer la non homogénéité de la distribution du courant dans le composant en effectuant une visualisation de la température en surface des puces avec une camera infrarouge. Les essais ont été réalisés en augmentant progressivement le niveau du courant injecté jusqu'à 15A. Sur certains des prototypes les résultats n'étaient pas très concluants puisque la qualité du collage en face arrière de la puce a aussi un grand impact sur l'homogénéité de la température dans le composant. Néanmoins, les résultats représentés sur la figure IV.21. montrent que la température maximale mesurée n'est pas toujours au même endroit !! Ceci est très étonnant et montre probablement que le contact entre la métallisation en face avant et le semi-conducteur n'est pas parfait, voire se modifie en fonction des contraintes thermiques apportées au dispositif. Même si aucune échelle de température n'est indiquée sur nos images, notons que le gradient de température maximal représenté sur la figure IV.21.c) est supérieur à 150°C avec un niveau de puissance restant très faible (proche de 25W) !!

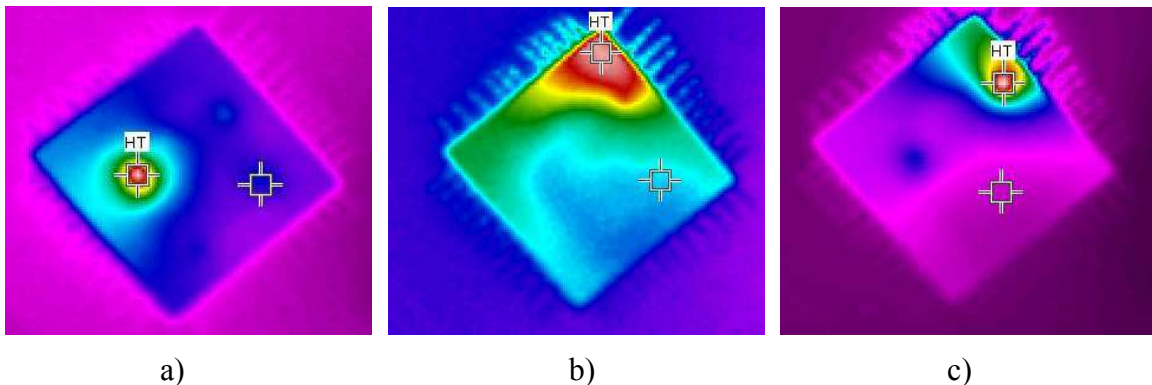


Fig. IV.21. – Mesures avec une camera infrarouge de la température en surface d'une diode avec DRIM Cooler a) $T_{max} = 84.4^{\circ}\text{C}$ et $T_{min} = 41.3^{\circ}\text{C}$, b) $T_{max} = 51.7^{\circ}\text{C}$ et $T_{min} = 35^{\circ}\text{C}$ et c) $T_{max} = 215^{\circ}\text{C}$ et $T_{min} = 44.2^{\circ}\text{C}$.

Suite à ces résultats, nous avons réalisé quelques modifications du procédé technologique de réalisation des diodes avec DRIM Cooler. Un meilleur état de surface a été atteint mais par manque de temps dans le cadre de cette thèse, nous n'avais pas pu obtenir de résultats plus pertinents que ceux déjà présentés plus haut.

5. Conclusion et perspectives

Nous avons présenté dans ce chapitre l'analyse des performances thermiques du concept de refroidissement DRIM Cooler. Avec des modèles théoriques et numériques, nous avons démontré que le concept proposé offrait la possibilité d'évacuer un flux de chaleur très élevé avec une faible augmentation de la température de la puce. La conformité des résultats obtenus avec les modèles analytiques et numériques prouve que l'approche de dimensionnement menée est assez précise. Nous avons aussi présenté l'influence de différents paramètres géométriques et des effets d'entrée sur les performances thermiques du concept DRIM Cooler. Comme conclusion de ces résultats, nous pouvons dire que le dimensionnement d'un DRIM Cooler nécessite la connaissance précise de la distribution des pertes et du courant dans le composant. Une future optimisation du DRIM Cooler sera nécessaire surtout si l'on envisage son utilisation pour des

composants réalisés sur des substrats avec une plus faible épaisseur – substrats uniformes ou amincis, ce qui va avoir comme résultat des microcanaux de plus faible longueur que ceux que nous avons traités dans ce document de thèse.

En ce qui concerne les résultats pratiques, des mesures des pertes de charge ont été conformes à nos attentes, voire même inférieures à celles calculées. La mesure pratique de la température du composant avec DRIM Cooler a aussi été discutée dans ce chapitre et les premiers résultats obtenus ont été présentés. Toutefois, les valeurs de résistance thermique obtenues ont été cette fois largement supérieures à celles estimées théoriquement. La qualité des métallisations en surface est certainement la cause la plus probable de ce désaccord entre résultats obtenus et attendus car il semble peu probable que les résultats de simulation fournissent des résultats aussi éloignés de la réalité. En perspectives il sera nécessaire de travailler sur l'optimisation du procédé technologique et de proposer des solutions plus adaptées à la prise de contact avec les électrodes des composants afin de garantir une bonne équipotentielle en surface et donc une distribution homogène du courant dans le composant.

Conclusion générale

Le travail de thèse présenté dans ce manuscrit a porté sur l'étude et l'analyse d'un nouveau concept de refroidissement intégré pour composants de puissance à structure verticale. Le document contient également des recherches et travaux conduits en vue de co-intégrer plusieurs composants de puissance indépendants dans la même puce semi-conductrice et présentant une électrode commune en face arrière. Il ressort de ces deux points que l'effort d'intégration repose essentiellement sur une bonne connaissance des caractéristiques et principes de fonctionnement des composants, des technologies mises en œuvre pour leur fabrication auquel il faut associer une certaine audace pour remettre en cause des états de fait. L'intégration d'un refroidisseur, au sein même de la zone active d'un composant de puissance, perpendiculaire au plan de jonction ne tombait pas sur le sens. Le champ électrique qui règne dans cet environnement, associé aux risques importants de voir les caractéristiques du composant être dégradées ne laissaient que peu de place à une telle approche. Aujourd'hui, s'il est encore difficile de conclure sur l'intérêt et la pertinence de cette approche, il est intéressant de se pencher sur l'activité de recherche qui fut conduite durant cette thèse de doctorat. C'est le travail d'équipe reliant des compétences scientifiques et techniques en physique du semi-conducteur, en thermique, en électronique de puissance, en procédés technologiques pour la réalisation de composants microélectroniques de puissance qui a rendu possible l'émergence de ce concept original. Si d'un point de vue théorique, de telles approches peuvent être mises en avant, ce travail est caractérisé par un effort d'investigation et de caractérisation expérimentale, de plus en plus difficile à conduire tant les moyens technologiques à mettre en place deviennent complexes et contraignants. Si 50% du document sont consacrés à la présentation de résultats de simulation, 75% du temps effectif de la thèse fut consacré aux développements technologiques, à la mise en œuvre et la caractérisation expérimentale des dispositifs et systèmes conçus et réalisés. Certes, la thèse ne permet pas de conclure sur la possibilité de mise en œuvre du concept mais les résultats sont encourageants. Au delà des résultats intrinsèques obtenus dans le cadre de la thèse, ce travail ouvre des perspectives conceptuelles autour des composants d'électronique de puissance, mariant physique, technique et technologie. C'est précisément à l'interface de ces disciplines et compétences que l'activité de recherche se développe. C'est en prenant le risque de faire quelques pas vers d'autres thèmes, d'autres sujets et d'autres sensibilités que peut naître l'activité de recherche.

La thèse a présenté comment, sur la base d'une technique de terminaisons en tension verticales, il était possible de co-intégrer plusieurs composants de puissance indépendants. Elle a permis de mettre en place les briques technologiques essentielles à ajouter aux procédés de fabrication initiaux pour pouvoir fabriquer des matrices de composants susceptibles d'être reportés et interconnectés de manière collective. C'est également cette même technique de terminaison en tension qui, mise en œuvre à l'intérieur même du composant de puissance, a permis d'envisager la création de canaux traversant le plan de jonction. C'est le contexte particulier des petites dimensions, propice aux caractéristiques originales des matériaux diélectriques, qui a permis d'envisager de faire circuler un fluide diélectrique caloporteur dans une région où le champ électrique pouvait atteindre plusieurs centaines de kilovolt par centimètre. Il reste pourtant encore du chemin pour valider la démarche.

Dans le cas des composants multiples, comment finaliser la passivation des composants au niveau des tranchées. Cela peut-il, doit-il être fait à l'échelle du wafer? Est-il réaliste d'envisager cette étape au moment du packaging? Cette approche permettant d'intégrer plusieurs composants de puissance à structure verticale dans la même puce semble propice à

l'intégration de structures multicellulaires par empilement de puces selon l'approche Power Chip-on-Chip PCoC mais présente-t-elle un réalisme technologique suffisant?

Au niveau du refroidisseur intégré, les résultats, s'ils sont encourageants, restent des résultats partiels. En effet, nous n'avons pu produire que des démonstrations par morceaux, sous entendu en mettant en œuvre plusieurs composants dans plusieurs conditions différentes. Par exemple, nos composants mis en œuvre et utilisés pour évaluer les performances thermiques du concept n'ont jamais tenu la tension au delà de 50V. Aussi, allons nous- être capable dans le futur de mettre en œuvre le composant intégrant un DRIM Cooler qui pourra à la fois tenir la tension et passer un courant satisfaisant ? Pourrons-nous maîtriser la technologie de réalisation puis celle de mise en œuvre (découpe, remplissage, circulation) pour rendre technologiquement et économiquement viable cette approche?

Ce sujet de thèse, bien loin d'avoir apporté des réponses, a plutôt soulevé de nouvelles questions, toutes plus complexes les unes que les autres. Elles sont certes toutes intéressantes mais comment y répondre, de quels moyens pourrions-nous disposer pour les aborder?

L'ambition initiale pourra être atteinte ou bien devrons nous nous rendre à l'évidence d'une belle idée de chercheur mais, tout de même bien loin des réalités économiques et technologiques de la discipline?

Nous pensons qu'il faut garder en mémoire le fait que l'électronique de puissance est en pleine mutation et qu'elle va subir une profonde révolution conceptuelle et technologique. Les ingrédients de cette mutation reposent sur des remises en question profondes. Celles que nous avons tentées ici ne sont peut être pas les bonnes mais nous sommes persuadés que c'est grâce à de telles initiatives que pourront naître des ruptures technologiques et conceptuelles dans ce domaine.

Références bibliographiques

Références bibliographiques

- [ARN92] J. Arnould, P. Merle, *Dispositifs de l'électronique de puissance*, vol. 1, Edition Hermes, 1992.
- [AVE10] Y. Avenas, *Gestion thermique des composants actifs de puissance: vers une intégration du système de refroidissement au sein du module*, Habilitation à Diriger des Recherches, Juin 2010.
- [AVE10-2] Y. Avenas, J.-C. Crébier, L. Clavalié, K. Vladimirova, J. Widiez, *Puce électronique, composants électroniques et bras de commutation incorporant cette puce électronique*, Brevet, Partenariat G-INP/CNRS/CEA, brevet N° 10/54315, juin 2010.
- [BAL08] B. Jayant Baliga, *Fundamentals of Power Semiconductor Devices*, Edition Springer, 2008.
- [BEN12] L. Benaissa, N. Rouger, J. Widiez, J.C. Crébier, J. Dafonseca, D. Lafond, V. Gaude, K. Vladimirova, *A Vertical Power Device Conductive Assembly at Wafer Level using Direct Bonding Technology*, ISPSD 2012, à paraître.
- [BEJ03] A. Bejan, D.K. Kraus, *Heat Transfer Handbook*, Edition John Wiley and Sons, 2003
- [BER90] A.E. Bergles, A. Bar-Cohen, *Direct Liquid Cooling of Microelectronic Components*, Advances in Thermal Modeling of Electronic Components and Systems, Vol. 2, ASME Press, NY, pp.233-342, 1990.
- [BOS94] R.Bosch GmbH, Patents 4855017USA ,4784720USA, 4241045Germany, 1994.
- [BUT10] C. Buttay, *Modules et boîtiers de puissance (packaging)*, Techniques de l'Ingénieur, D3116, 2010.
- [CAT05] J.-N. Catala, J.-G. Bai, X. Liu, et al, *Three dimensional packaging for power semiconductor devices and modules*, IEEE Transactions on Advanced Packaging, vol.28, no.3, pp. 404-412, August 2005.
- [CRA] www.cray.com
- [CRE06] J.-C. Crébier, *Composants de puissance et intégration fonctionnelle*, Habilitation à Diriger des Recherches, INPG, Mai 2006.
- [CRE09] J.-C. Crébier, Demande de dépôt de brevet français en juillet 2009 intitulé *Module d'électronique de puissance*, Brevet CNRS, N°0903366.
- [DAN] www.danfoss.com
- [DEL09] O. Deleage, *Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC*, Thèse de l'Université Joseph Fourier de Grenoble, 2009.

Références bibliographiques

- [DRA99] D. Dragomirescu, G. Charitat, F. Moraïicho, P. Rossel, *Novel concepts for high voltage junction termination using very deep trenches*, IEEE Proceedings of CAS, vol.1, pp. 67-70, 1999.
- [EXX] www.exxonmobil.com, Brouchure *Coolanol Silicate Ester Dielectric Heat Transfer Fluids*
- [FAG09] Fagor electronica, *1A Glass Passivated Ultrafast Recovery Rectifier 600V*, Datasheet FUF4005, 2009.
- [FAI02] Fairchild semiconductor, *Ultrafast diode 600V / 100 A*, Datasheet RURU10060, 2002.
- [FER10] J. Fernandez, *Caractérisation thermique de composants de puissance avec structure de refroidissement intégrée à la puce*, Rapport de Mastère de Recherche, Grenoble-INP/UJF, 2010.
- [FOR07] F. Forest, E. Labouré, T. Meynard, J. -J. Huselstein, *Multicell interleaved flyback using intercell transformers*, IEEE Transactions on Power Electronics, vol. 22, no. 5, pp. 1662-1671, Sept. 2007.
- [FRA04] S. Franssila, *Introduction to Microfabrication*, Edition 1 Wiley, June 2004.
- [GAR95] S. V. Garimella, R. A. Rice, *Confined and Submerged Liquid Jet Impingement Heat Transfer*, ASME Journal of Heat Transfer, Vol. 117, No. 4, pp. 871-877, 1995.
- [HET01] G. Hetsroni, A. Mosyak, Z. Segal, *Nonuniform temperature distribution in electronic devices cooled by flow in parallel microchannels*, IEEE Transactions on CPT, vol. 24, pp. 16 – 23, 2001.
- [IDE60] I. Idel'cik, Handbook traduit de Russe, *Spravotchnik po gidravlicheskim soprotivleniam*, Moscou, Gosenergoizdat 1960
- [IEC99] International Standard IEC 60191-2, *Mechanical standardization of semiconductor devices – Part 2: dimensions*.
- [IGI06] P. Igit, P. Holland, S. Batcup, R. Lerner, A. Menz, *Technology for Power Integrated Circuits with Multiple Vertical Power Devices*, IEEE Proceedings of the International Symposium on Power Semiconductor Devices and ICs, ISPSD, pp. 1-4, 2006
- [INC90] F.P. Incropera, *Liquid Immersion Cooling of Electronic Components*, Heat Transfer in Electronic and Microelectronic Equipments, edition Hemisphere, NY, pp. 407-444, 1990.
- [INF03] Infineon datasheet, *IGBT SIGC121T60NR2C 600V / 150 A*, 2003
- [INF11] Infineon, *Module EconoDual3/FF600R12ME4*, 2011

- [KAM10] R. Kamibaba, K. Takahama, I. Omura, *Design of Trench Termination for High Voltage Devices*, IEEE Proceedings of the International Symposium on Power Semiconductor Devices and ICs, ISPSD, pp. 107-110, 2010.
- [KAO67] Y. C. Kao, E.D. Wolley, High Voltage Planar p-n Junctions, Proceedings of the IEEE, vol.55, no.8, pp. 1409-1414, August 1967.
- [KAU09] P. Kauffman, *Lévitiation diamagnétique sur micro-aimants : applications à la microfluidique digitale et à la biologie*, Thèse de L'Institut polytechnique de Grenoble, 2009.
- [KER12] L. Kerachev, K. Vladimirova, V. Gaude, J. Widiez, J.C. Crebier, N. Rouger, Y. Lembeye, *Implementation of monolithic multiple vertical power diodes in a multiphase converter*, IEEE APEC 2012. Feb 2012 - Orlando FL
- [KUH98] R.D. Kuhne, E. Kasper, *Reduction of Leakage Currents in Silicon Mesa Devices*, IEEE Transactions on Microwave Theory and Techniques, pp. 719-722, May 1998.
- [KUM07] N. Kumari, S. Krishnan, S. V. Garimella, *Analysis and Performance Comparison of Competing Cooling Technologies for a Desktop Application*, The ASME/Pacific Rim Technical Conference and Exhibition on Integration and Packaging of Micro, Nano, and Electronic Systems (InterPACK '07), Canada, vol.2, pp.1018-1027, July 2007.
- [LAB08] E. Labouré, A. Cunière, T. Meynard, F. Forest, E. Sarraute, *A Theoretical Approach to Intercell Transformers, Application to Interleaved Converters*, IEEE Transactions on Power Electronics, vol. 23, no. 1, pp. 464-474, Jan. 2008.
- [LEB10] F. Leboucq, *Etude thermique de refroidisseurs pour l'électronique de puissance*, Rapport de stage de 2ème année, Grenoble-INP, ENSE3, 2010.
- [LEC94] J. Leclercq, *Electronique de puissance: elements de technologie*, Techniques de l'Ingénieur, D3220, 1994.
- [LEE99] D.Y. Lee, K. Vafai, *Comparative analysis of jet impingement and microchannel cooling for high heat flux applications*, International Journal of Heat and Mass Transfer, vol.41, pp. 1555-1568, 1999.
- [LET00] P. Leturcq, *Tenue en tension des semi-conducteurs de puissance*, Techniques de l'Ingénieur, D3104, 2000.
- [LEF04] S. Lefebvre, F. Miserey, *Composants à semi-conducteur pour l'électronique de puissance*, Edition Lavoisier, 2004.
- [LES02] O. Lessaint, T.V. Top, *Streamer Initiation in Mineral Oil Part I: Electrode Surface Effect Under Impulse Voltage*, IEEE Transactions on DEI, vol.9, no.1, pp. 84-91, 2002.

- [LUA08] Q.H. Luan, V. Bley, T. Lebey, B.Schlegel, L. Menager, *Nano copper wires interconnection for three dimensional integration in power electronics*, IEEE PESC, 2008.
- [MAN05] C. Manasterski, *La pulvérisation cathodique industrielle*, Lausanne : Presses polytechniques et universitaires romandes, 2005.
- [MEN08] L. Menager, *Contribution à l'intégration des convertisseurs de puissance en 3D*, Thèse de L'Institut National des Sciences Appliquées de Lyon. 2008.
- [MEN10] L. Menager, B.Allard, V. Bley, *Conditionnement des modules de puissance*, Techniques de l'Ingénieur, E3385, 2010.
- [MER06] M. Mermet- Guyenet, New structure of power integrated module, IEEE International Conference on Integrated Power Systems, June 2006
- [MIT05] R. Mitova, *Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant*, Thèse de L'Institut Polytechnique de Grenoble, 2005.
- [MOH06] S. C. Mohapatra, *An Overview of Liquid Coolants for Electronics Cooling*, Electronics Cooling Magazine, Vol. 12, No. 2, February 2006.
- [MUD92] I. Mudawar, *Direct immersion cooling for high power electroic chips*, IEEE InterSociety Conference on Thermal Phenomena in Electronic Systems, pp. 74-84,1992.
- [MUD01] I. Mudawar, *Assessment of High-Het-Flux Thermal Management Schemes*, IEEE Transactions on Components and Packaging Technology, vol. 24, June 2001.
- [MUZ99] Y.S. Muzychka, *Analytical and Experimental Study of Fluid Friction and Heat Transfer in Low Reynolds Number Flow Heat Exchangers*, PhD thesis University of Waterloo, 1999.
- [OBE02] V.N. Obreja, *An Experimental Investigation on the Nature of Reverse Current of Silicon Power pn-Junctions*, IEEE Transactions on Electron Devices, vol. 49, no. 1,pp. 155-163, January 2002.
- [OLE06] K. Olesen, R. Bredtmann, R. Eisele, *"ShowerPower" New Cooling Concept for Automotive Applications*, Automotive Power Electronics, Paris, June 2006.
- [PAR02] C. Park, N. Hong, D. J. Kim, K. Lee, *A New Junction Termination Technique Using ICP RIE for Ideal Breakdown Voltages*, IEEE ISPSD, pp.257-260, 2002.
- [PAR03] C.Park, J. Kim, T. Kim, D. J. Kim, *Deep Trench Terminations Using ICP RIE for Ideal Breakdown Voltages*, IEEE Proceedings of the International Symposium on Power Semiconductor Devices and ICs, ISPSD, pp.199-202, 2003
- [PER01] C. Perret, *Réalisation et optimisation de refroidisseurs à microcanaux en technologie silicium*, Thèse de L'Institut polytechnique de Grenoble, 2001.

Références bibliographiques

- [PHA04] H. Pham, C. de Boer, P. Sarro, *Roughness Treatment of Silicon Surface after Deep Reactive Ion Etching*, Proc in SAFE Prorisc, pp.535-538, 2004.
- [SHA78] R.K. Shah, A.L. London, *Laminar flow forced convection in ducts: A Source Book for Compact Heat Exchanger Analytical Data*, Advances in Heat Transfer, Edition Academic Press, New York, 1978.
- [SCH05] O.Schilling, and al., *Properties of a New PrimePACK™ IGBT Module Concept for Optimized Electrical and Thermal Interconnection to a Modern Converter Environment*, PCIM Europe 2005.
- [SCH08] J. Schulz-Harder, *Review on Highly Integrated Solutions for Power Electronic Devices*, IEEE International Conference on Integrated Power Electronic Systems CIPS, pp. 1-7, 2008.
- [SIM94] R.E. Simons, *Microelectronics cooling and SEMI-THERM: a look back*, IEEE Semiconductor Thermal Measurement and Management Symposium, pp. 1-16, February 1994.
- [SIM95] R.E. Simons, *The evolution of IBM high performance cooling technology*, IEEE Transactions on Components Packaging and Manufacturing Technology, vol. 18, issue 4, pp. 805-811 December 1995.
- [SIM96] R.E. Simons, *Direct liquid immersion cooling for high power microelectronics*, Electronics Cooling Magazine, May 1996.
- [SIM11] T. Simonot, *Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale*, Thèse de L'Institut Polytechnique de Grenoble, 2011.
- [SYL] Sylgard, Datasheet *Sylicone dielectric gel 527 parts A and B*
- [SZE01] S.M. Sze, *Semiconductor devices: Physics and Technology*, 2nd Edition Wiley, September 2001.
- [THE] www.thermacore.com
- [THE09] L. Théolier, H. Mahfoz-Kotb, K. Isoird, F. Morancho, S. Assié-Souleille, N. Mauran, *A New Junction Termination Using a Deep Trench Filled With Benzocyclobutene*, IEEE Electron Device Letters, vol.. 30, no. 6, pp. 687-689, June 2009.
- [TON11] H. C. Tong, *Advanced Materials for Thermal Management of Electronic Packaging*, Edition Springer, January 2011.
- [TUC81] D.B. Tuckerman, and R.F. Pease, *High-performance heat sinking for VLSI*, IEEE Electron Device Letters, vol.2, no.5, pp. 126-129, 1981.

Références bibliographiques

- [RIN97] G.-A. Rinne, *Solder bumping methods for flip chip packaging*, vol. 24, IEEE Electronic Components and Technology Conference, pp. 240-247, May 1997.
- [VAG09] E. Vagnon, Y. Avenas, J.-C. Crebier, P.O. Jeannin, I. Al Batta, A. Besri, *Electrical characterization of a pressed contact between a power chip and a metal electrode*, IEEE I2MTC, pp. 1738-1743, 2009.
- [VAG10] E. Vagnon, *Solutions innovantes pour le packaging de convertisseurs statiques polyphasés*, Thèse de L'Institut Polytechnique de Grenoble, 2010.
- [VIN08] C. Vincent, *Composites fonctionnels à base de nanofibres de carbone: élaboration et propriétés thermiques*, Thèse ICMCB, 2008.
- [WOL06] M. Wolborski, M. Bakowski, A. Schoner, *Analysis of bulk and surface components of leakage current in 4H-SiC PiN MESA diodes*, Journal of Microelectronic Engineering, vol.83, issue 1, pp.75-78, January 2006.
- [WYK05] J.-D. Wyk, Z. Liang, *New technologies for passive and active integrated power modules*, CPES Power Electronic Conference, May 2005.
- [ZHA10] Q. Zhang, A. Agarwal, *Mesa termination structures for power semiconductor devices and methods of forming power semiconductor devices with mesa termination structures*, Patent No. US2010/0032685 A1, February 2010

Publications

Brevets:

Y. Avenas, J.-C. Crébier, L. Clavalier, K. Vladimirova, J. Widiez, Dépôt de brevet européen en juin 2010 intitulé : " *Puce électronique, composants électroniques et bras de commutation incorporant cette puce électronique* ", Partenariat G-INP/CNRS/CEA, brevet N° 10/54315

Publications dans des revues internationales avec comité de lecture :

K. Vladimirova, J. -C. Crébier, Y. Avenas, C. Schaeffer, " *Single die multiple 600V power diodes with deep trench terminations and isolation* ", **IEEE Transactions on Power Electronics 2011**, volume 26, issue 11, pages: 3423-3429, Novembre 2011.

J. -C. Crébier, Y. Avenas, K. Vladimirova, P.-O. Jeannin, C. Schaeffer, E. Vagnon, B. Thollin, D. Constantin, S. Lithaudon, " *Composants actifs de puissance et architectures 3D pour une meilleure gestion du contact ETM* ", pages: 617-633, **Revue internationale de génie électrique (RIGE) 2011**.

K. Vladimirova, J. -C. Crébier, Y. Avenas, C. Schaeffer, " *Drift Region Rntegrated Mcrochannels for Direct Cooling of Power Electronic Devices: Advantages and Limitations* ", **IEEE Transactions on Power Electronics 2012**, article accepté.

K. Vladimirova, Y. Avenas, J. -C. Crébier, C. Schaeffer, " *Characterization of Power Devices with Drift Region Integrated Microchannel Cooler* ", **Special issue of The Microelectronics Journal 2012**, article proposé.

Publications dans des congrès internationaux avec comité de lecture:

L. Kerachev, K. Vladimirova, V. Gaude, J. Widiez, J.C. Crebier, N. Rouger, Y. Lembeye, " *Implementation of monolithic multiple vertical power diodes in a multiphase converter* ", **IEEE APEC 2012**, Orlando FL, Feb 2012.

K. Vladimirova, J. -C. Crébier, Y. Avenas, C. Schaeffer, " *Drift region integrated microchannel structure for direct cooling of power electronics* ", **IEEE ECCE'11**, Phoenix, USA, pages: 44-51, 17-22 Septembre 2011.

K. Vladimirova, Y. Avenas, J. -C. Crébier, C. Schaeffer, " *Characterization of Power Devices with Drift Region Integrated Microchannel Cooler* ", **IEEE THERMINIC'11**, Paris, France, pages: 1-6, 27-29 Septembre 2011.

K. Vladimirova, J. -C. Crébier, C. Schaeffer, D. Constantin, " *The vertical voltage termination technique - characterizations of single die multiple 600V power devices* ", **IEEE ISPSD'11**, San Diego, USA, pages :204-207, 23-26 Mai 2011.

K. Vladimirova, J. -C. Crébier, Y. Avenas, C. Schaeffer, S. Litaudon, " *Innovative heat removal structure for power devices – the Drift Region Integrated Microchannel Cooler* ", **IEEE ISPSD'11**, San Diego, USA, pages :332-335, 23-26 Mai 2011.

K. Vladimirova, J. -C. Crébier, Y. Avenas, C. Schaeffer, T. Simonot, " *Single die multiple 600V power diodes with vertical voltage terminations and isolation* ", **IEEE ECCE'10**, Atlanta, USA, pages : 2200-2205, 12-16 Septembre 2010.

Publications dans des congrès nationaux avec comité de lecture:

J. -C. Crébier, Y. Avenas, K. Vladimirova, P.-O. Jeannin, C. Schaeffer, E. Vagnon, B. Thollin, " *Composants actifs de puissance et architectures 3D pour une meilleure gestion du contact ETM* ", **EPF'10**, Saint Nazaire, France, 30juin-2 juillet 2010.

Nouveaux concepts pour l'intégration 3D et le refroidissement des semi-conducteurs de puissance à structure verticale

Résumé: L'électronique de puissance est en pleine mutation matérielle, technologique et conceptuelle. Cette évolution bouscule l'approche traditionnelle de la conception et de la fabrication des convertisseurs statiques avec pour objectif de proposer des solutions plus performantes, plus fiables et plus compactes et tout cela dans un contexte technico économique de plus en plus exigeant. Cette thèse analyse et expérimente un concept innovant de terminaisons en tension verticales ouvrant la voie vers l'intégration en 3D des composants de puissance mais également l'intégration, au sein même de la zone active d'un échangeur thermique. En s'appuyant sur la technique de réalisation des tranchées profondes issue de la micro électronique, ce document présente une approche permettant la co-intégration de plusieurs composants de puissance indépendants partageant la même électrode et le même substrat en face arrière. L'autre volet de ce travail de thèse est focalisé sur le concept DRIM Cooler (Drift Region Integrated Microchannel Cooler), un réseau de microcanaux perpendiculaires au plan de jonction du composant de puissance permettant son refroidissement direct. Les analyses numériques sont complétées par de nombreuses réalisations, caractérisations et mises en œuvre des approches précitées.

Mots clés: concept DRIM Cooler, intégration 3D, refroidissement direct, puces multicomposants de puissance, terminaisons en tension verticales

New concepts for the 3D integration and cooling of vertical power semiconductor devices

Abstract: The power electronics field is struggling for new material, technological and conceptual evolutions. These changes induce breakthrough in the conventional design and fabrication of static power converters with the aim to offer more efficient, reliable and compact solutions in an increasingly demanding techno economical context. This PhD thesis presents the results obtained by analyzing, realizing and characterizing an innovative concept based on vertical voltage terminations that opens the way towards the 3D integration of power devices. Moreover, the proposed concept authorizes the integration of a microchannel cooler directly into the drift region of the power device. Based on the realization of deep trench terminations, a technique initially developed for the microelectronics field, this PhD thesis presents an approach allowing the integration of multiple power devices in the same die, all sharing the same backside electrode. This document also focuses on the DRIM Cooler (Drift Region Integrated Microchannel Cooler) concept that allows the direct cooling of the device through multiple parallel microchannels integrated perpendicular to the plane of the device's PN junction. The analytical analysis is completed with numerous realizations, characterizations and practical implementations of the above mentioned concepts.

Keywords: DRIM Cooler concept, 3D integration, direct cooling, single die multiple power devices, vertical voltage terminations