



HAL
open science

Propriétés et stabilité de l'interface isolant-pentacène dans les transistors organiques à effet de champ

Romain Macabies

► **To cite this version:**

Romain Macabies. Propriétés et stabilité de l'interface isolant-pentacène dans les transistors organiques à effet de champ. Autre. Ecole Nationale Supérieure des Mines de Saint-Etienne, 2011. Français. NNT : 2011EMSE0628 . tel-00740173

HAL Id: tel-00740173

<https://theses.hal.science/tel-00740173>

Submitted on 9 Oct 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

NNT : 2011 EMSE 0628

THÈSE

présentée par

Romain MACABIES

pour obtenir le grade de
Docteur de l'École Nationale Supérieure des Mines de Saint-Étienne

Spécialité : Microélectronique

PROPRIETES ET STABILITE DE L'INTERFACE ISOLANT- PENTACENE DANS LES TRANSISTORS ORGANIQUES A EFFET DE CHAMP

soutenue à Gardanne, le 24 octobre 2011

Membres du jury

Président et Rapporteur :	Khalifa AGUIR	Professeur, Université Paul Cézanne
Rapporteur :	Christine VIDELOT-ACKERMANN	Chargée de recherche au CNRS, Université de la Méditerranée
Examineur :	Yvan BONNASSIEUX	Maître de conférences, Ecole Polytechnique
Directeur de thèse :	Philippe COLLOT	Professeur, Ecole Nationale Supérieure des Mines de Saint-Etienne
Co-encadrant :	Sébastien SANOUR	Maître-assistant, Ecole Nationale Supérieure des Mines de Saint-Etienne

Spécialités doctorales :

SCIENCES ET GENIE DES MATERIAUX
 MECANIQUE ET INGENIERIE
 GENIE DES PROCEDES
 SCIENCES DE LA TERRE
 SCIENCES ET GENIE DE L'ENVIRONNEMENT
 MATHEMATIQUES APPLIQUEES
 INFORMATIQUE
 IMAGE, VISION, SIGNAL
 GENIE INDUSTRIEL
 MICROELECTRONIQUE

Responsables :

J. DRIVER Directeur de recherche – Centre SMS
 A. VAUTRIN Professeur – Centre SMS
 F. GRUY Professeur – Centre SPIN
 B. GUY Maître de recherche – Centre SPIN
 J. BOURGOIS Professeur – Fayol
 E. TOUBOUL Ingénieur – Fayol
 O. BOISSIER Professeur – Fayol
 JC. PINOLI Professeur – Centre CIS
 P. BURLAT Professeur – Fayol
 Ph. COLLOT Professeur – Centre CMP

Enseignants-chercheurs et chercheurs autorisés à diriger des thèses de doctorat (titulaires d'un doctorat d'État ou d'une HDR)

AVRIL	Stéphane	MA	Mécanique & Ingénierie	CIS
BATTON-HUBERT	Mireille	MA	Sciences & Génie de l'Environnement	Fayol
BENABEN	Patrick	PR 1	Sciences & Génie des Matériaux	CMP
BERNACHE-ASSOLLANT	Didier	PR 0	Génie des Procédés	CIS
BIGOT	Jean-Pierre	MR	Génie des Procédés	SPIN
BILAL	Essaïd	DR	Sciences de la Terre	SPIN
BOISSIER	Olivier	PR 1	Informatique	Fayol
BORBELY	Andras	MR	Sciences et Génie des Matériaux	SMS
BOUCHER	Xavier	MA	Génie Industriel	Fayol
BOUDAREL	Marie-Reine	PR 2	Génie Industriel	DF
BOURGOIS	Jacques	PR 0	Sciences & Génie de l'Environnement	Fayol
BRODHAG	Christian	DR	Sciences & Génie de l'Environnement	Fayol
BURLAT	Patrick	PR 2	Génie industriel	Fayol
COLLOT	Philippe	PR 1	Microélectronique	CMP
COURNIL	Michel	PR 0	Génie des Procédés	SPIN
DAUZERE-PERES	Stéphane	PR 1	Génie industriel	CMP
DARRIEULAT	Michel	IGM	Sciences & Génie des Matériaux	SMS
DECHOMETS	Roland	PR 1	Sciences & Génie de l'Environnement	Fayol
DESRAYAUD	Christophe	MA	Mécanique & Ingénierie	SMS
DELAFOSSÉ	David	PR 1	Sciences & Génie des Matériaux	SMS
DOLGUI	Alexandre	PR 1	Génie Industriel	Fayol
DRAPIER	Sylvain	PR 2	Mécanique & Ingénierie	SMS
DRIVER	Julian	DR 0	Sciences & Génie des Matériaux	SMS
FEILLET	Dominique	PR 2	Génie Industriel	CMP
FOREST	Bernard	PR 1	Sciences & Génie des Matériaux	CIS
FORMISYN	Pascal	PR 1	Sciences & Génie de l'Environnement	Fayol
FRACZKIEWICZ	Anna	DR	Sciences & Génie des Matériaux	SMS
GARCIA	Daniel	MR	Sciences de la terre	SPIN
GIRARDOT	Jean-Jacques	MR	Informatique	Fayol
GOEURIOT	Dominique	MR	Sciences & Génie des Matériaux	SMS
GRAILLOT	Didier	DR	Sciences & Génie de l'Environnement	Fayol
GROSSEAU	Philippe	MR	Génie des Procédés	SPIN
GRUY	Frédéric	MR	Génie des Procédés	SPIN
GUY	Bernard	MR	Sciences de la Terre	SPIN
GUYONNET	René	DR	Génie des Procédés	SPIN
HERRI	Jean-Michel	PR 2	Génie des Procédés	SPIN
INAL	Karim	PR 2	Microélectronique	CMP
KLÖCKER	Helmut	DR	Sciences & Génie des Matériaux	SMS
LAFOREST	Valérie	CR	Sciences & Génie de l'Environnement	Fayol
LERICHE	Rodolphe	CR CNRS	Mécanique et Ingénierie	SMS
LI	Jean-Michel	EC (CCI MP)	Microélectronique	CMP
MALLIARAS	George Grégory	PR 1	Microélectronique	CMP
MOLIMARD	Jérôme	MA	Mécanique et Ingénierie	SMS
MONTHEILLET	Frank	DR 1 CNRS	Sciences & Génie des Matériaux	SMS
PERIER-CAMBY	Laurent	PR 2	Génie des Procédés	SPIN
PIJOLAT	Christophe	PR 1	Génie des Procédés	SPIN
PIJOLAT	Michèle	PR 1	Génie des Procédés	SPIN
PINOLI	Jean-Charles	PR 0	Image, Vision, Signal	CIS
STOLARZ	Jacques	CR	Sciences & Génie des Matériaux	SMS
SZAFNICKI	Konrad	MR	Sciences & Génie de l'Environnement	Fayol
THOMAS	Gérard	PR 0	Génie des Procédés	SPIN
TRIA	Assia		Microélectronique	CMP
VALDIVIESO	François	MA	Sciences & Génie des Matériaux	SMS
VIRICELLE	Jean-Paul	MR	Génie des procédés	SPIN
WOLSKI	Krzysztof	DR	Sciences & Génie des Matériaux	SMS
XIE	Xiaolan	PR 1	Génie industriel	CIS

Glossaire :

PR 0	Professeur classe exceptionnelle
PR 1	Professeur 1 ^{ère} classe
PR 2	Professeur 2 ^{ème} classe
MA(MDC)	Maître assistant
DR	Directeur de recherche
Ing.	Ingénieur
MR(DR2)	Maître de recherche
CR	Chargé de recherche
EC	Enseignant-chercheur
IGM	Ingénieur général des mines

Centres :

SMS	Sciences des Matériaux et des Structures
SPIN	Sciences des Processus Industriels et Naturels
Fayol	Institut Henri Fayol
CMP	Centre de Microélectronique de Provence
CIS	Centre Ingénierie et Santé

Remerciements

Je tiens tout d'abord, à remercier Sébastien Sanaur, mon encadrant, qui a su me conseiller et a permis que ces travaux de recherches se déroulent dans de bonnes conditions. Je le remercie aussi pour la grande patience dont il a fait preuve envers moi (surtout pendant la période de rédaction !) et pour la confiance dont il m'a témoigné tout au long de ces travaux.

Je remercie aussi Philippe Collot, mon directeur de thèse et directeur du Centre Microélectronique de Provence.

Je remercie Christine Videlot-Ackermann et Khalifa Aguir qui m'ont fait l'honneur de rapporter ce manuscrit, pour les remarques constructives et Yvan Bonnassieux pour l'intérêt qu'il a porté à mon travail. Je remercie, de plus, Khalifa Aguir d'avoir accepté de présider mon jury.

Je remercie également Patrick Benaben pour m'avoir accueilli au sein du département Packaging et Supports Souples.

Je voudrais aussi adresser mes remerciements à l'équipe salle blanche, sans qui cette étude n'aurait pas pu se faire : Thierry, toujours prêt pour m'aider quand j'avais un problème ; Cyril, pour son aide sur les bâtis d'évap ; Gaëlle, pour la photolitho ; Jacques, pour le MEB et Sylvain.

J'adresse mes remerciements également toutes les personnes qui m'ont aidé durant ces travaux à commencer par Abdel pour les impressions, Romuald pour les premières caractérisations électriques, Mylène et Jessica pour les découpes au PECS et les images MEB, Sylvain et Mohamed pour les simulations sur les capas, Mathieu qui a partagé avec moi les débuts difficiles des impressions sur MicroFab, Jean-Michel pour son aide sur le prober de Morandat.

Je remercie également tous les autres membres (passés ou présents) du département PS2 : François, Thomas, Man, Aurélie, Karim, Alex, Xavier, Eloïse, Mathieu, Véronique, Mathieu, Aline, Pierre ...

Je remercie particulièrement mes collègues doctorants du bureau D204, qui ont partagé cette aventure avec moi durant ces quatre années, à commencer par Romain, qui a toujours été là quand ça n'allait pas et qui a été le meilleur des voisins de bureau ; Etienne, Bassem et Brice, avec qui j'ai partagé la période de rédaction : la bonne humeur qu'ils ont fait régner dans le bureau tout au long de cette période difficile pour tous les doctorants, m'a été d'un grand soutien et je ne saurais que trop les remercier ; les « anciens », Pierre-Yves, Renaud, Mamadou ; et les « nouveaux », Amina, Clément et Malika qui commencent (ou vont commencer) cette longue aventure de la thèse.

Je tiens aussi à remercier toutes les personnes des fonctions supports du CMP ; en particulier Véronique et Barbara, pour leur aide sur toutes les questions administratives, Sabine à qui j'ai commandé beaucoup (parfois trop !) d'articles et qui est capable de trouver

des références introuvables jusqu'à la bibliothèque nationale du Danemark et Gracien, toujours disponible pour régler les différents problèmes informatiques.

Mais n'oublions pas les amis : Mag et Hervé (et mon filleul, Lilian !), Annick, Marion, Muriel, Lamine, qui sans toujours comprendre ce que je faisais, m'ont toujours soutenu. Un grand merci, aussi, à Annick pour la correction des fautes d'orthographe !

Et je finirai par remercier ma famille, en tout premier lieu ma sœur, Marie-Ange, et mon beau-frère, Séb, qui ont été mes premiers soutiens et qui ont su me reconforter dans les moments difficiles ; mais aussi, mes oncles et tantes : Dadou et Jean-Michel, qui ont veillé à ce que je me nourrisse bien au moins un soir dans la semaine, Odile et Paul, Marie-Jo et Jacques ; et enfin ma grand-mère.

Table des matières

Introduction générale	1
Bibliographie	4
Chapitre I Les transistors organiques à effet de champ : fonctionnement, interfaces et matériaux – Etude bibliographique et positionnement de ces travaux	5
Introduction	8
I Fonctionnement du transistor organique à effet de champ.	9
1.1 Le transistor à effet de champ	9
1.2 Le transistor organique à effet de champ.....	10
1.2.1 Principe physique	10
1.2.2 Architectures	13
1.2.3 Caractéristiques électriques.....	15
1.2.4 Extraction des paramètres	16
1.3 Conduction dans les semi-conducteurs organiques	21
1.3.1 Semi-conducteurs π -conjugués.....	21
1.3.2 Transport de charges dans les semi-conducteurs organiques	23
2 Phénomènes d’interface dans les transistors organiques	25
2.1 Interface métal-semi-conducteur organique.....	25
2.1.1 Physique du contact	25
2.1.2 Voies d’amélioration du contact métal-semi-conducteur	26
2.2 Interface isolant-semi-conducteur	28
2.2.1 Rugosité.....	28
2.2.2 Energie de surface.....	29
2.2.3 Dipôles d’interface.....	31
2.2.4 Piégeage des charges	33
2.3 Conclusion.....	37
3 Phénomène d’hystérésis dans les OTFT	38
3.1 Définition	38
3.2 Nature et origine	38
3.2.1 Phénomènes d’interface entre le diélectrique et le semi-conducteur organique... 38	
3.2.2 Phénomènes dans le diélectrique.....	41
3.2.3 Mémoires non volatiles	43
4 Les diélectriques de grille dans les transistors organiques	45

4.1	Capacité de la couche isolante	45
4.2	Isolants inorganiques	47
4.3	Isolants polymères	50
4.4	Monocouches auto-assemblées	55
4.4.1	Diélectrique de grille.....	55
4.4.2	Couche intermédiaire entre le semi-conducteur et le diélectrique	56
4.5	Isolants bicouches	59
4.6	Conclusion.....	60
5	Le fluorure de calcium : structure et propriétés électriques.....	62
5.1	Propriétés structurales	62
5.2	Propriétés électriques.....	64
5.2.1	Conduction ionique.....	64
5.2.2	Propriétés isolantes.....	65
5.2.3	Le fluorure de calcium comme diélectrique de grille dans les transistors organiques à effet de champ	66
5.3	Conclusion.....	67
6	Le pentacène : morphologie et performances	69
6.1	Croissance	69
6.1.1	Phases cristallines.....	70
6.1.2	Influence des paramètres de dépôt sur la morphologie.....	71
6.1.3	Nature du substrat.....	73
6.2	Morphologie et paramètres transistors.....	76
6.2.1	Mobilité des porteurs de charges	76
6.2.2	Autres paramètres transistor	79
6.3	Vieillessement des transistors à base de pentacène	79
6.3.1	Dégradations à l'air.....	80
6.3.2	Dégradations sous champ.....	82
6.4	Conclusion.....	84
	Bibliographie.....	86

Chapitre 2 Technologie de fabrication des transistors organiques en couches minces **93**

Introduction..... **93**

1 Procédé d'évaporation thermique sous vide **96**

1.1 Principe de l'évaporation sous vide

1.2 Description de l'équipement.....

2 Substrat, grille et diélectrique..... **98**

2.1	Descriptif.....	99
2.2	Caractéristiques de l'isolant de grille	99
2.2.1	Rugosité.....	99
2.2.2	Capacité	100
2.2.3	Courants de fuites et champ de claquage	101
3	Couche tampon.....	102
4	Semi-conducteur.....	104
5	Electrodes source et drain	105
5.1	Contacts bas.....	105
5.2	Contacts hauts.....	106
5.2.1	Procédés de fabrication du masque par ombrage.....	106
5.3	Comparaison des deux architectures	109
5.3.1	Technologies	109
5.3.2	Performances	112
	Conclusion.....	117
	Bibliographie	118
	Chapitre 3 Caractérisation structurale et électrique de l'interface pentacène-fluorure de calcium	119
	Introduction	122
I	Propriétés de la couche tampon	123
1.1	Propriétés électriques.....	123
1.1.1	Capacité	123
1.1.2	Courant de fuites et champ de claquage.....	125
1.2	Epaisseur des échantillons.....	128
1.3	Propriétés structurales	128
1.3.1	Energie de surface.....	128
1.3.2	Morphologie.....	132
1.4	Morphologie de la couche de pentacène	136
1.4.1	Sur oxyde de silicium	136
1.4.2	Sur fluorure de calcium	139
1.5	Conclusion.....	141
2	Propriétés électroniques de l'interface isolant-pentacène	143
2.1	Structures MIS	143
2.2	Caractéristiques des transistors avec et sans couche tampon	145
2.2.1	Allure générale des courbes.....	147

2.2.2	Mobilité	148
2.2.3	Rapport I_{on}/I_{off}	149
2.2.4	Tension de seuil.	149
2.2.5	Hystérésis	150
2.2.6	Conclusion.....	153
2.3	Vieillessement des transistors avec et sans couche tampon	153
2.3.1	Mobilité	155
2.3.2	Rapport I_{on}/I_{off}	157
2.3.3	Tension de seuil	158
2.3.4	Hystérésis	160
2.3.5	Conclusion.....	162
2.4	Encapsulation par CaF_2	164
2.4.1	Mobilité	164
2.4.2	Rapport I_{on}/I_{off}	164
2.4.3	Tension de seuil	165
2.4.4	Hystérésis	166
2.4.5	Conclusion.....	166
2.5	Dérive sous champ	167
2.5.1	Stress à l'état passant ($V_G = -80$ V)	167
2.5.2	Stress à l'état bloquant ($V_G = +80$ V).....	168
2.5.3	Ajustement des courbes d'évolution de la tension de seuil en fonction du temps	169
2.5.4	Conclusion.....	171
2.6	Conclusion.....	171
Bibliographie.....		174
 Conclusion générale		177
 Bibliographie.....		181
 Annexe Développement d'une technologie de fabrication de transistors organiques en architecture grille haute		183
1	Transistors en architecture grille haute.....	184
2	Développement d'une technologie de fabrication de transistors en architecture grille haute.....	185

Introduction générale

La mise en évidence du caractère conducteur du polyacétylène dans le courant des années 1970 par A. J. Heeger, A. G. MacDiarmid et H. Shirakawa [1] puis, par la suite, du caractère semi-conducteur des polymères π -conjugués sous leur forme non dopée a permis un véritable développement de l'électronique organique. Cependant, compte tenu de la faible conductivité des semi-conducteurs organiques, cette nouvelle catégorie d'électronique ne prétend pas atteindre les performances électriques de la microélectronique classique pour rivaliser un jour avec cette dernière. L'électronique organique vise, plutôt, à développer de nouvelles applications bas coûts, portables, flexibles et voire même jetables, irréalisables en microélectronique inorganique ou pour des coûts plus élevés. En effet, la faculté des matériaux utilisés dans les dispositifs d'électronique organique à pouvoir être mis en solution, autorise l'utilisation de méthodes de fabrication moins onéreuses que dans la microélectronique classique comme, par exemple, les techniques d'impression telles que le jet de matière ou la sérigraphie. Les propriétés mécaniques des polymères permettent, de plus, de réaliser une électronique sur supports souples, ouvrant la voie à de nouvelles applications portables non réalisables ou pour des coûts très élevés en microélectronique classique comme, par exemple, les textiles intelligents ou les écrans flexibles.

L'électronique organique repose essentiellement sur trois dispositifs développés pour la première fois dans les années 1980 : les diodes électroluminescentes organiques (OLED) (1987) [2], les cellules solaires organiques (1986) [3] et les transistors organiques à effet de champ (OTFT) (1986) [4]. Si d'un point de vue industriel, les OLED sont les dispositifs les plus proches d'une commercialisation à grande échelle (les premiers écrans réalisés uniquement à base d'OLED sont déjà commercialisés), les transistors constituent la brique de base essentielle au développement de circuits plus complexes. Depuis les premiers transistors organiques développés en 1986, de nombreux progrès ont été réalisés tant du point de vue des performances électriques que de la fiabilité. Ces progrès ont été possibles grâce à la synthèse de nouveaux semi-conducteurs organiques stables à l'air ayant des mobilités de plus en plus élevées. Ainsi, de nos jours, ces dispositifs atteignent des mobilités comparables à leurs homologues en silicium amorphe (Figure 1), ce qui permet d'envisager leur industrialisation à court ou moyen termes pour constituer des matrices actives d'écran à base d'OLED, des circuits radiofréquences d'étiquettes intelligentes (RFID) ou encore des capteurs (gaz, biologiques, ...).

Cette thèse relève de la thématique de recherche « Electronique imprimée » du département Packaging et Supports Souples (PS2) du Centre Microélectronique de Provence de L'Ecole Nationale Supérieure des Mines de Saint-Etienne qui s'intéresse notamment au développement de briques technologiques pour la réalisation de dispositifs électroniques imprimés notamment par jet de matière. Dans ce domaine, ce n'est pas la performance de la fonction électronique qui est visée mais plutôt, le coût de fabrication et la compatibilité de

mise en forme avec les supports souples de grande surface. En d'autres termes, les contraintes technologiques concernent moins la résolution que l'aptitude à réaliser sur de grandes surfaces, à basse température et à la pression atmosphérique des dispositifs à moindre coût (typiquement 0,01 \$/cm², en rapport aux 10 \$/cm² pour la filière silicium).

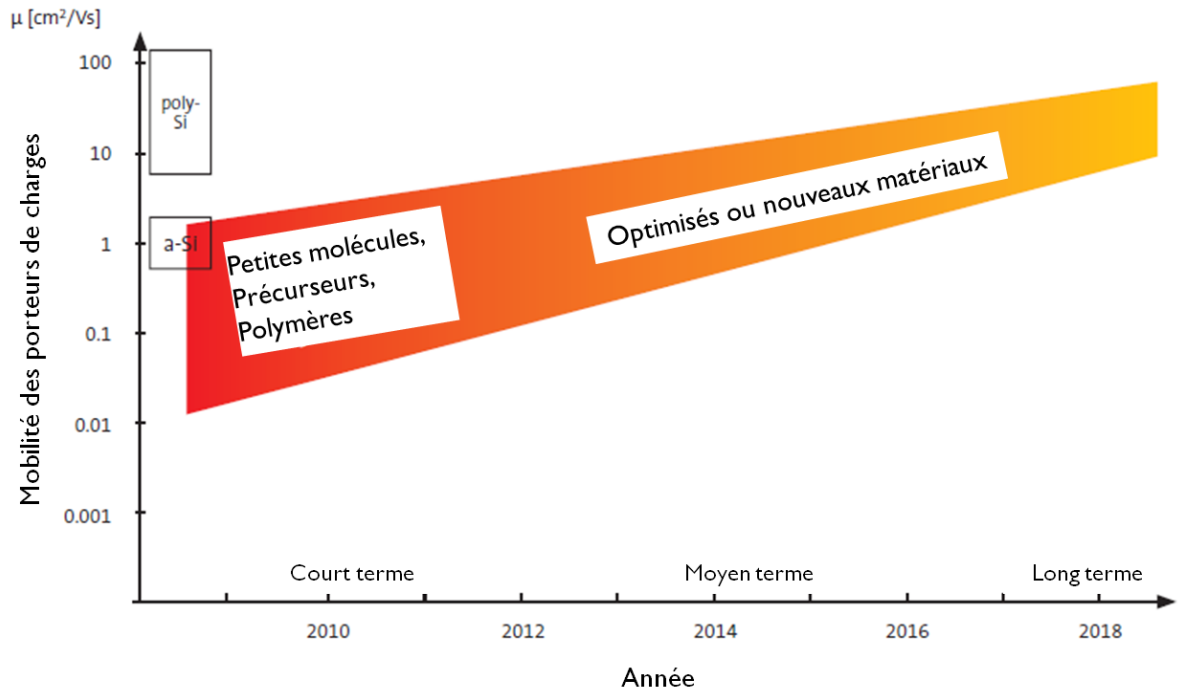


Figure 1 : Evolution envisagée de la mobilité des porteurs de charges dans les semi-conducteurs organiques durant les prochaines années. Les mobilités du silicium amorphe et du silicium polycristallin sont données à titre de comparaison [5].

Toutefois, l'amélioration des caractéristiques du semi-conducteur n'explique pas à elle seule les progrès effectués ces dernières années. En effet, à ceci s'est associée une meilleure compréhension des mécanismes régissant le transport de charges dans les transistors organiques. Toutefois, de nombreux phénomènes restent encore à éclaircir, notamment au niveau des interfaces entre le semi-conducteur organique et les autres matériaux constitutifs du transistor. En effet, alors que la qualité de l'interface entre les électrodes source et drain et le semi-conducteur est déterminante dans l'injection des charges dans le canal du transistor, celle de l'interface entre le semi-conducteur organique et le diélectrique est cruciale au niveau du transport de charges dans ce même canal. Cette thèse se propose donc d'étudier l'interface entre le semi-conducteur organique et le diélectrique et s'inscrit ainsi, dans la suite de celle de Mickaël Barret [6] qui s'est focalisée sur l'étude de l'interface entre les contacts source et drain et le semi-conducteur organique et plus particulièrement sur l'injection de charges à travers cette dernière.

Dans un transistor organique à effet de champ, le principal phénomène limitant le transport de charges à l'interface entre le semi-conducteur organique et le diélectrique est le piégeage des charges qui peut être notamment à l'origine d'hystérésis ou d'instabilités de la tension de seuil. Ce phénomène a lieu principalement dans les transistors en configuration grille basse car le semi-conducteur est déposé sur le diélectrique de grille. Dans cette architecture, il apparaît que les groupements polaires attracteurs d'électrons comme les groupements hydroxyles, présents sur la surface du diélectrique en sont les principaux responsables. C'est notamment ce qui est observé au niveau de l'interface avec l'oxyde de silicium (principal diélectrique utilisé dans les transistors organiques).

Dans ce cadre, ces travaux entendent apporter une contribution à l'étude et au contrôle de ces mécanismes d'interface qui sont à l'origine de fortes instabilités de fonctionnement des OTFT en l'occurrence, ici à base de pentacène. On propose notamment d'examiner l'effet d'une couche interfaciale diélectrique passivante, pauvre en groupements polaires, sur les caractéristiques d'un OTFT SiO₂/pentacène. On s'est orienté sur le fluorure de calcium (CaF₂) car, il ne comporte pas de groupements attracteurs d'électrons, est hydrophobe et peut être évaporé en même temps que le semi-conducteur. Ce dernier point a été déterminant dans notre choix afin de permettre la formation d'une interface active isolant/pentacène sous vide.

Ce mémoire s'articule en trois parties :

Le premier chapitre a pour but à travers une étude bibliographique, de positionner ces travaux. Il commence ainsi par exposer le fonctionnement des OTFT puis expose les spécificités des interfaces dans ces dispositifs et les limitations qui en découlent. La suite se focalise sur le couple isolant-semi-conducteur organique à travers, notamment, l'exposition des différents mécanismes conduisant à un phénomène lié à ce couple que constituent les hystérésis mais aussi à travers, les différents diélectriques utilisés dans les transistors organiques avec leurs avantages et leurs inconvénients afin de dégager les caractéristiques d'un diélectrique de grille idéal. La fin de ce chapitre s'intéresse aux matériaux utilisés pour réaliser ces travaux : le fluorure de calcium et le pentacène. Elle met en avant les propriétés structurales et isolantes du premier et s'intéresse à l'impact de la morphologie du second ainsi que de son vieillissement sur les différents paramètres d'un transistor organique.

Le deuxième chapitre s'intéresse aux différentes étapes nécessaires à la réalisation des transistors organiques utilisés dans ces travaux et expose les procédés technologiques utilisés pour réaliser chaque élément de ces transistors. Il commence ainsi par expliciter le principal procédé technologique utilisé que constitue l'évaporation thermique sous vide puis décrit les différentes couches constituant les transistors : le substrat, l'électrode et l'isolant de grille, la couche tampon, le semi-conducteur et enfin les électrodes source et drain. Pour ces dernières, le choix de l'architecture adoptée est exposé à travers une comparaison des deux configurations possibles.

Le troisième et dernier chapitre présente les résultats de ces travaux. Il concerne la caractérisation tant structurelle qu'électrique de l'interface entre le pentacène et la couche tampon. Il s'articule en deux parties. La première a pour but de caractériser les propriétés de la couche tampon et son impact sur la croissance de la couche de pentacène. La deuxième vise à évaluer l'impact de la couche de fluorure de calcium sur le fonctionnement d'un transistor à base de pentacène à travers l'étude des modifications des différents paramètres du transistor mais aussi lors de son vieillissement en fonction des conditions atmosphériques (sous vide ou à l'air) mais aussi sous contrainte électrique. Différents phénomènes sont ainsi observés et discutés afin d'évaluer l'impact de cette couche sur la stabilité des transistors.

Bibliographie

- [1] C. K. Chiang, C. R. J. Fincher, Y. W. Park, A. J. Heeger, H. H. Shirakawa, E. J. Louis, S. C. Gau, and A. G. MacDiarmid, *Phys. Rev. Lett.* **39**, 1098 (1977).
- [2] C. W. Tang and S. A. VanSlyke, *Appl. Phys. Lett.* **51**, 913 (1987).
- [3] C. W. Tang, *Appl. Phys. Lett.* **48**, 183 (1986).
- [4] A. Tsumura, H. Koezuka, and T. Ando, *Appl. Phys. Lett.* **49**, 1210 (1986).
- [5] Organic Electronic Association (OE-A), *Organic and Printed Electronics*, VDMA, 3rd edition, 2009.
- [6] M. Barret, *Impression par jet de matière de transistors organiques sur support souple*, PhD thesis, Ecole Nationale Supérieure des Mines de Saint-Etienne, 2007.



Les transistors organiques à effet de champ : fonctionnement, interfaces et matériaux – Etude bibliographique et positionnement de ces travaux

Introduction	8
I Fonctionnement du transistor organique à effet de champ.	9
1.1 Le transistor à effet de champ	9
1.2 Le transistor organique à effet de champ.....	10
1.2.1 Principe physique	10
1.2.1.1 Capacité MIS organique.....	10
1.2.1.2 Diagrammes de bandes	11
1.2.1.3 Régimes de fonctionnement	12
1.2.2 Architectures	13
1.2.3 Caractéristiques électriques.....	15
1.2.4 Extraction des paramètres	16
1.2.4.1 Mobilité (μ)	17
1.2.4.2 Tension de seuil (V_T).....	19

1.2.4.3	Tension de démarrage (V_{so}).....	20
1.2.4.4	Rapport I_{on}/I_{off}	20
1.2.4.5	Pente sous le seuil (S).....	20
1.3	Conduction dans les semi-conducteurs organiques	21
1.3.1	Semi-conducteurs π -conjugués.....	21
1.3.1.1	Notion de conjugaison.....	21
1.3.1.2	Structure de bandes.....	22
1.3.2	Transport de charges dans les semi-conducteurs organiques	23
2	Phénomènes d'interface dans les transistors organiques.....	25
2.1	Interface métal-semi-conducteur organique.....	25
2.1.1	Physique du contact	25
2.1.1.1	Contact ohmique.....	25
2.1.1.2	Barrière de potentiel	26
2.1.2	Voies d'amélioration du contact métal-semi-conducteur	26
2.2	Interface isolant-semi-conducteur	28
2.2.1	Rugosité.....	28
2.2.2	Energie de surface.....	29
2.2.3	Dipôles d'interface.....	31
2.2.4	Piégeage des charges.....	33
2.3	Conclusion.....	37
3	Phénomène d'hystérésis dans les OTFT.	38
3.1	Définition	38
3.2	Nature et origine	38
3.2.1	Phénomènes d'interface entre le diélectrique et le semi-conducteur organique... 38	
3.2.1.1	Piégeage des porteurs de charges	39
3.2.1.2	Réaction lente des porteurs de charges mobiles.....	40
3.2.2	Phénomènes dans le diélectrique.....	41
3.2.2.1	Polarisation lente du diélectrique.....	41
3.2.2.2	Injection de charges à partir de la grille.....	43
3.2.3	Mémoires non volatiles	43
3.2.3.1	Ferroélectriques	44
3.2.3.2	Piégeage de charges dans le diélectrique.....	44
4	Les diélectriques de grille dans les transistors organiques.....	45
4.1	Capacité de la couche isolante	45
4.2	Isolants inorganiques	47
4.3	Isolants polymères	50
4.4	Monocouches auto-assemblées.	55
4.4.1	Diélectrique de grille.....	55
4.4.2	Couche intermédiaire entre le semi-conducteur et le diélectrique	56
4.5	Isolants bicouches	59

4.6	Conclusion.....	60
5	Le fluorure de calcium : structure et propriétés électriques	62
5.1	Propriétés structurales.....	62
5.2	Propriétés électriques.....	64
5.2.1	Conduction ionique.....	64
5.2.2	Propriétés isolantes.....	65
5.2.3	Le fluorure de calcium comme diélectrique de grille dans les transistors organiques à effet de champ	66
5.3	Conclusion.....	67
6	Le pentacène : morphologie et performances.....	69
6.1	Croissance	69
6.1.1	Phases cristallines.....	70
6.1.2	Influence des paramètres de dépôt sur la morphologie.....	71
6.1.2.1	Température du substrat	71
6.1.2.2	Vitesse de dépôt.....	72
6.1.2.3	Épaisseur de la couche.....	73
6.1.3	Nature du substrat	73
6.1.3.1	Isolant.....	73
6.1.3.2	Métal.....	75
6.2	Morphologie et paramètres transistors.....	76
6.2.1	Mobilité des porteurs de charges	76
6.2.2	Autres paramètres transistor	79
6.3	Vieillessement des transistors à base de pentacène	79
6.3.1	Dégradations à l'air.....	80
6.3.1.1	Mobilité.....	80
6.3.1.2	Tension de seuil.....	81
6.3.1.3	Tension de démarrage et pente sous le seuil.....	82
6.3.1.4	Rapport I_{on}/I_{off}	82
6.3.2	Dégradations sous champ.....	82
6.4	Conclusion.....	84
	Bibliographie.....	86

Introduction

Depuis la réalisation en 1986 du premier transistor avec un semi-conducteur organique par des chercheurs japonais de Mitsubishi [1], les transistors organiques connaissent un véritable essor. Ces dispositifs sont basés sur une technologie largement développée dans le domaine de l'industrie microélectronique que constituent les transistors à effet de champ. Toutefois ces transistors présentent des spécificités propres aux semi-conducteurs organiques. Même si les mécanismes de conduction dans ces matériaux peuvent paraître similaires sous certains aspects à ceux de leurs homologues inorganiques avec notamment une structure de bande comparable, le transport des charges est régi par des règles qui sont propres aux matériaux organiques. La première partie de ce chapitre s'intéressera donc à décrire le fonctionnement de ces transistors et à expliciter les mécanismes de conduction dans les semi-conducteurs organiques.

Le développement de cette nouvelle technologie a cependant mis en évidence de nouvelles problématiques liées à la nature de ces dispositifs. L'étude des interfaces dans les transistors organiques s'est ainsi révélée être de première importance pour comprendre le fonctionnement de ces dispositifs. C'est pourquoi, la deuxième partie exposera les spécificités de ces interfaces.

De même, comprendre l'impact de la nature du diélectrique de grille sur les performances des transistors organiques est essentiel car de nombreux phénomènes observés dans ces dispositifs sont directement ou indirectement liés à cet élément. Les hystérésis constituent ainsi un parfait exemple car elles sont la manifestation de phénomènes qui ont lieu soit directement dans le diélectrique soit à son interface avec le semi-conducteur organique. La troisième partie s'attachera donc à décrire les différents mécanismes conduisant à leur formation.

La quatrième partie de ce chapitre sera consacrée à présenter les différents matériaux utilisés comme diélectrique de grille dans un transistor organique, en montrant quels sont leurs avantages et leurs inconvénients en vue de déterminer les caractéristiques du diélectrique de grille idéal.

Les deux dernières parties concerneront les matériaux qui ont été choisis pour réaliser ces travaux. La cinquième partie s'intéressera donc au diélectrique de grille, le fluorure de calcium, à ses propriétés structurales ainsi qu'à ses propriétés isolantes. La dernière partie traitera, elle, du semi-conducteur organique, le pentacène. L'impact de sa morphologie sur les paramètres du transistor ainsi que les effets engendrés par son vieillissement y seront développés.

I Fonctionnement du transistor organique à effet de champ.

I.1 Le transistor à effet de champ

Le transistor à effet de champ, appelé MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est un dispositif dont le but est de moduler le courant circulant entre deux électrodes, la source (S) et le drain (D) grâce à une troisième électrode, la grille (G), isolée du reste du composant grâce à une couche isolante. Même si du point de vue du régime de fonctionnement, le transistor organique à effet de champ, appelé OFET (Organic Field Effect Transistor) ou OTFT (Organic Thin Film Transistor) est différent de son équivalent inorganique – un transistor organique fonctionne en régime d'accumulation tandis qu'un MOSFET inorganique fonctionne en régime d'inversion - leurs principes de fonctionnement sont semblables. C'est pourquoi, dans un premier temps, on prendra l'exemple d'un transistor inorganique pour décrire le fonctionnement des transistors à effet de champ.

On considère un substrat inorganique, du silicium dopé P, dans lequel sont implantées les deux électrodes source et drain. Lorsqu'une tension, V_D est appliquée entre ces électrodes, une zone conductrice se forme entre elles dans le silicium. Dans cette zone, appelée canal, de longueur L et de largeur W , va alors circuler un courant, appelé courant de drain, I_D . La troisième électrode du transistor, la grille, va alors avoir pour rôle de faire varier la densité de porteurs à l'intérieur du canal, en fonction de sa polarisation, le rendant ainsi plus ou moins conducteur, modulant ainsi le courant à l'intérieur de celui-ci. En l'absence de polarisation entre la source et le drain, l'ensemble Grille-Isolant-Substrat forme une capacité Métal-Isolant-Semi-conducteur (MIS). Ainsi lorsque le transistor n'est pas polarisé, il est bloqué, la capacité MIS étant en déplétion (Figure 1 (a)). Si une tension positive supérieure à la tension de seuil du transistor est appliquée à la grille, la capacité MIS fonctionne en régime d'inversion. Un canal conducteur de type n est alors créé entre la source et le drain. Si un potentiel est appliqué sur le drain, une différence de potentiel est alors créée entre la source et le drain, un courant peut alors circuler entre eux, le transistor devient alors passant. Mais cette polarisation plus importante du côté du drain, va entraîner une couche d'inversion plus importante du côté de la source. Ainsi la conductance du canal va varier en fonction de la polarisation entre la source et le drain ce qui entraînera une variation non linéaire du courant de drain en fonction de cette même tension drain-source.

On peut alors distinguer deux régimes de fonctionnement pour un transistor à effet de champ :

- Le régime linéaire : la tension de drain, V_D est faible, par conséquent la conductance dans le canal varie peu. I_D varie donc linéairement avec V_D (Figure 1 (b)).
- Le régime de saturation : V_D augmente, la couche d'inversion diminue du côté du drain, par conséquent la conductance dans le canal diminue. I_D varie alors de façon sous-linéaire en fonction de V_D . Lorsque V_D augmente jusqu'à une certaine tension,

notée V_{Dsat} , la capacité n'est plus en inversion du côté du drain. Par conséquent, la conductivité du canal est nulle aux alentours du drain, il y a alors pincement du canal. Pour des tensions de drain supérieures à V_{Dsat} , une zone de déplétion se crée entre le point de pincement et le drain. La tension aux bornes du canal reste alors constante et égale à V_{Dsat} . I_D va alors saturer et être égal à I_{Dsat} (Figure 1 (c)) [2].

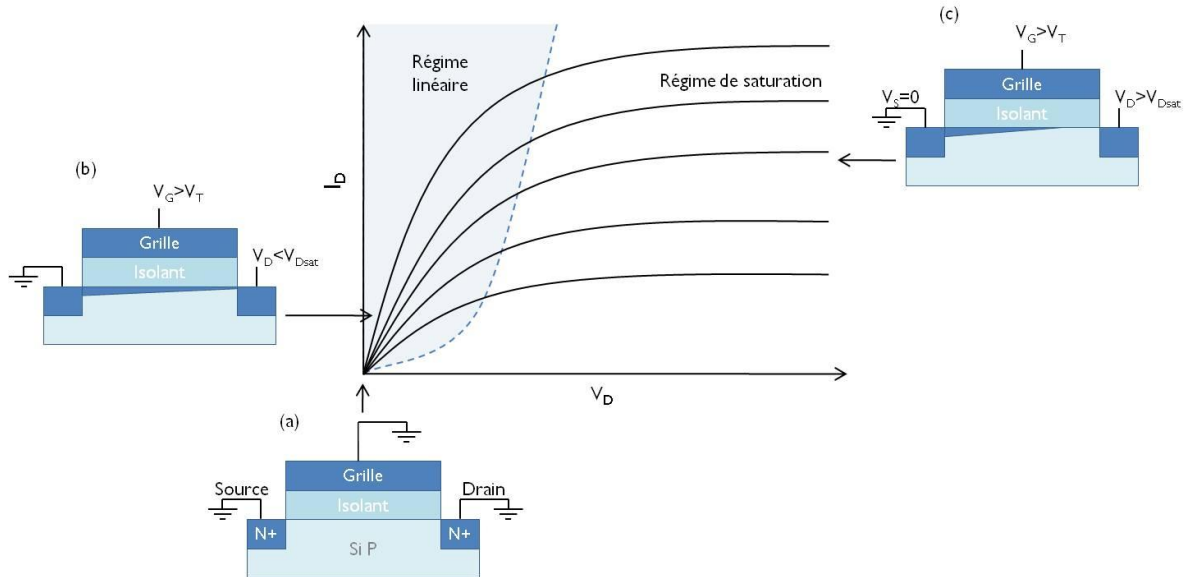


Figure 1 : Caractéristique d'un transistor MOSFET silicium. (a) état bloqué, (b) régime linéaire, (c) régime de saturation.

1.2 Le transistor organique à effet de champ

1.2.1 Principe physique

1.2.1.1 Capacité MIS organique

Comme précisé dans la partie précédente, à la différence du MOSFET inorganique qui fonctionne en régime d'inversion de porteurs minoritaires, le transistor organique à effet de champ fonctionne en régime d'accumulation de porteurs majoritaires. Ces porteurs peuvent être préférentiellement des trous, on parle alors de transistor à canal p, ou des électrons, on parle alors de transistor à canal n. Lorsque le transistor fonctionne avec les 2 types de charges, on parle de transistor à transport ambipolaire. Comme on l'a vu dans le cas du transistor MOSFET inorganique, lorsqu'aucune polarisation n'est appliquée entre la source et le drain, le transistor peut être considéré comme une capacité MIS.

On considère un semi-conducteur organique conduisant préférentiellement à un transistor à canal p. Avec un tel semi-conducteur, lorsqu'une capacité MIS organique est polarisée négativement, des trous s'accumulent à l'interface isolant-semi-conducteur. La capacité est en régime d'accumulation (Figure 2 (b)). Le nombre de charges accumulées va alors dépendre de la capacité de l'isolant et du potentiel appliqué sur l'électrode de la capacité. Lorsqu'une polarisation inverse est appliquée, c'est-à-dire une polarisation positive,

la capacité est en régime de déplétion (Figure 2 (a)), l'interface entre l'isolant et le semi-conducteur va au contraire se dépeupler de trous.

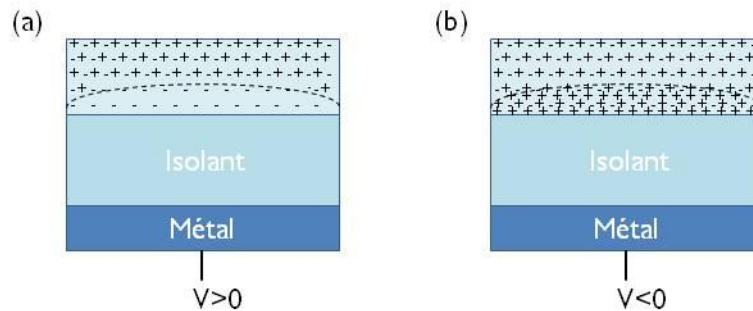


Figure 2 : Capacité MOS organique. (a) régime de déplétion, (b) régime d'accumulation.

A l'inverse, si on considère un semi-conducteur conduisant préférentiellement à un transistor à canal n, le régime d'accumulation aura lieu pour une polarisation positive, tandis que le régime de déplétion va s'établir pour une polarisation négative.

1.2.1.2 Diagrammes de bandes

A la différence de leurs homologues inorganiques, on ne parlera pas de bande de valence et de bande de conduction dans un semi-conducteur organique mais de HOMO (Highest Occupied Molecular Orbital) qui correspond au sommet de la bande d'énergie des orbitales π liantes et de LUMO (Lowest Unoccupied Molecular Orbital) qui correspond au bas de la bande d'énergie des orbitales π^* anti-liantes (cf. paragraphe 1.3.1.2).

Dans un cas idéal, pour avoir une injection de charges efficace, le niveau de Fermi du métal constituant les électrodes source et drain doit être au même niveau que la HOMO du semi-conducteur pour un transistor à canal p et au niveau de la LUMO pour un transistor à canal n. En réalité, ces niveaux sont toujours décalés. En l'absence d'une polarisation de la grille, la conduction entre la source et le drain est très faible voire inexistante étant donné la très faible quantité de charges mobiles initialement présentes dans le semi-conducteur (Figure 3 (a)). Lorsqu'un potentiel est appliqué sur la grille, sous l'effet du champ électrique ainsi créé, les niveaux HOMO et LUMO du semi-conducteur vont se décaler vers les plus hautes énergies si cette polarisation est négative (transistor à canal p) et vers les plus basses énergies si cette polarisation est positive (transistor à canal n). Ainsi, à partir d'une certaine tension dont la valeur va dépendre de la hauteur de la barrière de potentiel entre le niveau de Fermi du métal des électrodes et le niveau HOMO (ou LUMO) du semi-conducteur, ce dernier va se retrouver à la même hauteur que le niveau de Fermi des contacts source et drain permettant ainsi l'injection de charges par la source dans le semi-conducteur (Figure 3 (b)). Si un potentiel est maintenant appliqué sur le drain, une conduction de trous (ou d'électrons) va s'établir depuis la source vers le drain, créant ainsi le courant de drain (Figure 3 (c)) [3].

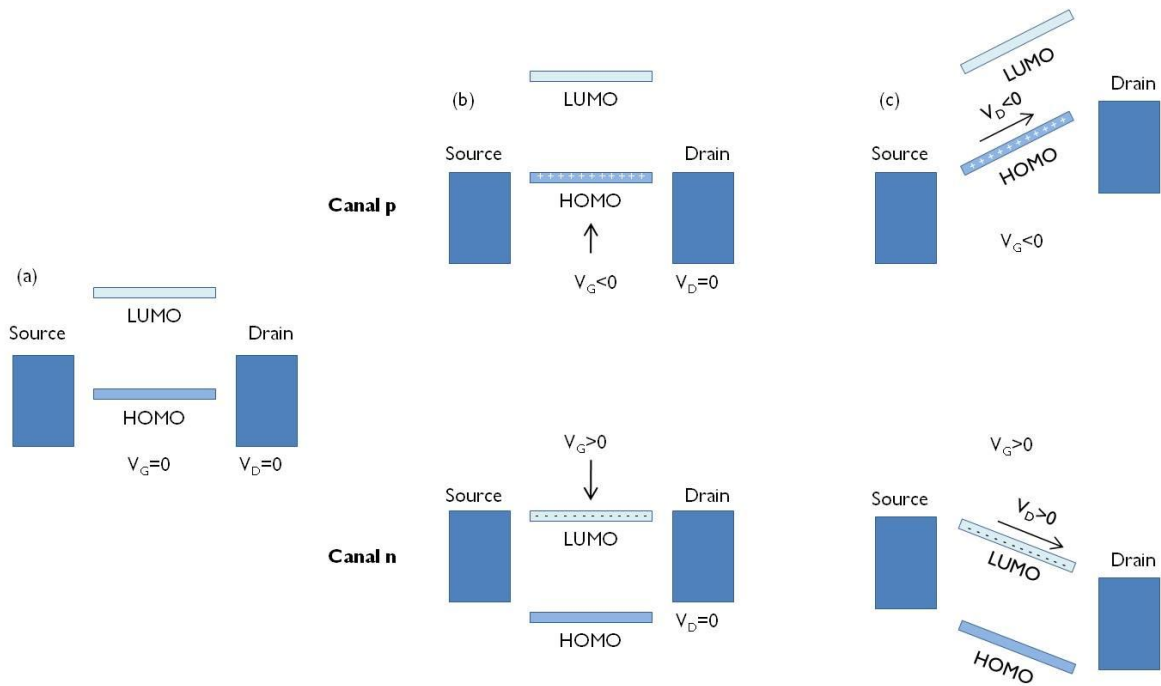


Figure 3 : Diagramme de bandes d'un transistor organique. (a) au repos, (b) injection des charges, (c) conduction des charges (adaptée de [3]).

Ceci est un modèle simplifié de l'injection de charges dans un transistor organique, en réalité, d'autres paramètres vont rentrer en jeu, rendant l'injection de charges plus complexe. Ainsi on a longtemps cru que les semi-conducteurs organiques ne pouvaient conduire qu'un seul type de charge, alors qu'il s'est avéré qu'intrinsèquement ils sont capables, dans le canal d'un transistor en fonctionnement, de conduire aussi bien les électrons que les trous [4].

1.2.1.3 Régimes de fonctionnement

Les régimes de fonctionnement du transistor organique à effet de champ sont similaires de son équivalent inorganique. Ainsi, si on prend l'exemple d'un transistor à canal p, comme on l'a vu dans le cas d'une capacité MIS, pour une polarisation de grille positive, le transistor va être en régime de déplétion. La conduction entre la source et le drain sera très faible voire inexistante. Le transistor est alors dans l'état bloqué (Figure 4 (a)). En théorie, on pourrait croire que l'accumulation de trous va débiter dès qu'un potentiel négatif sera appliqué sur la grille. Or, dans la réalité, ce n'est pas le cas. Un potentiel supplémentaire peut parfois être nécessaire. En effet, il existe dans la couche semi-conductrice de nombreux pièges qui peuvent être assez profonds pour rendre immobiles les charges qui y sont piégées. De plus, des impuretés peuvent rendre le canal conducteur même pour une polarisation de grille positive [3]. Ainsi, le basculement entre le régime de déplétion et le régime d'accumulation ne se fera pas à $V_G = 0$ mais à un certain potentiel appelé tension de seuil, V_T . Selon les impuretés et les pièges présents dans le semi-conducteur, cette tension pourra être positive ou négative. L'accumulation de charges ne commencera alors qu'à partir de cette tension.

La densité de charges accumulées dans le canal n'est uniforme que lorsque le potentiel appliqué sur le drain est nul. Lorsqu'une tension est appliquée sur le drain, la source étant à la masse, un gradient linéaire de concentration de charges va se former entre la source et le drain. Le transistor fonctionne alors dans son régime linéaire (Figure 4 (b)) et le courant de drain varie linéairement avec la tension de drain appliquée. Le transistor va fonctionner dans ce régime lorsque $|V_D|$ est inférieur à $|V_G - V_T|$ [3].

Lorsque $|V_D| = |V_G - V_T|$, il y a pincement du canal. Une zone de déplétion se forme au voisinage de l'électrode de drain. Lorsque $|V_D|$ devient supérieur à $|V_G - V_T|$, le point de pincement va s'éloigner du drain, la région de déplétion va alors s'agrandir. Le fort champ électrique latéral présent dans la zone de déplétion va permettre au courant de drain de continuer à atteindre le drain. Toutefois, le potentiel au niveau du point de pincement reste constant et égal à $|V_G - V_T|$. Ainsi, la différence de potentiel entre la source et le point de pincement va rester inchangée. Par conséquent, le courant de drain ne variera plus et atteindra une valeur de saturation, I_{Dsat} . On est alors dans le régime de saturation du transistor (Figure 4 (c)) [3].

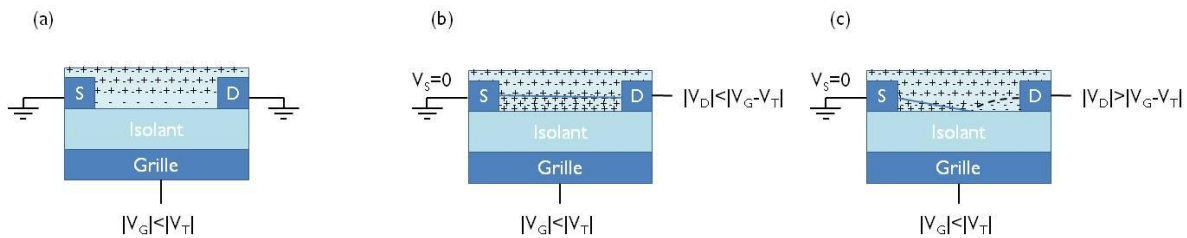


Figure 4 : Régimes de fonctionnement d'un transistor organique. (a) état bloqué, (b) régime linéaire, (c) régime de saturation.

1.2.2 Architectures

Le transistor organique à effet de champ, étant un transistor en couches minces, va pouvoir présenter plusieurs configurations selon l'ordre dans lequel ces couches vont être déposées. Ainsi, on peut distinguer les architectures grille haute et grille basse en fonction de la position de la grille et de l'isolant par rapport au semi-conducteur. Comme son nom l'indique, la configuration grille haute (Figure 5 (a), (b)) désigne un transistor où la grille et l'isolant sont déposés sur le semi-conducteur. A l'inverse l'architecture grille basse (Figure 5 (c), (d)) fera référence à un transistor où la grille et le diélectrique sont situés en dessous du semi-conducteur. La position des électrodes source et drain va aussi donner lieu à 2 architectures différentes. On distinguera alors la configuration contacts hauts (Figure 5 (b), (d)) où les électrodes source et drain sont déposées après le semi-conducteur et la configuration contacts bas (Figure 5 (a), (c)) où les contacts sont situés sous la couche semi-conductrice. Quatre architectures seront donc possibles : grille haute / contacts bas (Figure 5 (a)), grille haute / contacts hauts (Figure 5 (b)), grille basse / contacts bas (Figure 5 (c)) et grille basse / contacts hauts (Figure 5 (d)).

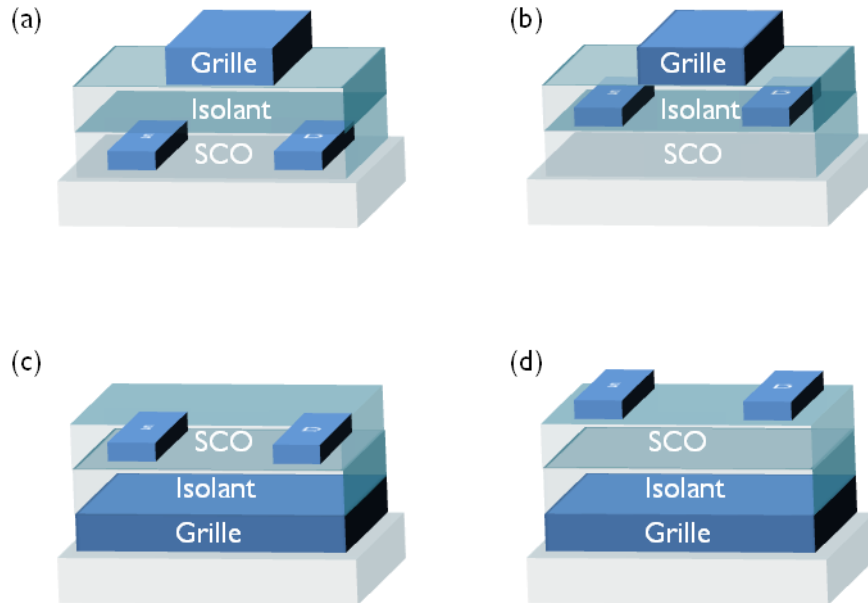


Figure 5 : Architectures d'un transistor organique. (a) grille haute / contacts bas, (b) grille haute / contacts hauts, (c) grille basse / contacts bas, (d) grille basse / contacts hauts.

D'autres dénominations sont possibles. Ainsi, on parlera de configuration coplanaire (Figure 5 (b), (c)) pour des transistors où les contacts seront dans le même plan que l'interface isolant-semi-conducteur. Dans la configuration inverse, on parlera de structure non coplanaire (Figure 5 (a), (d)).

Toutes ces architectures ne sont pas équivalentes du point de vue des performances mais aussi des procédés de réalisation. En effet, dans une configuration grille haute, un semi-conducteur organique étant très sensible à toute pollution extérieure, les technologies employées pour déposer les couches suivantes peuvent l'endommager. Ainsi une configuration grille haute peut s'avérer délicate à mettre en place. On peut par exemple citer la nécessité d'employer des procédés basse température pour éviter l'endommagement du semi-conducteur, ou l'orthogonalité des solvants nécessaire lorsque le diélectrique et le semi-conducteur sont déposés par voie en solution, ... L'architecture grille basse va s'avérer moins contraignante du point de vue des procédés de réalisation mais va présenter l'inconvénient d'exposer le semi-conducteur à l'air en l'absence d'encapsulation. Dans la configuration grille haute, l'isolant peut servir d'encapsulant de la couche semi-conductrice, la protégeant ainsi des pollutions extérieures. Du point de vue des contacts source et drain, l'architecture la plus aisée à mettre en place est la configuration contacts bas. En effet, les contacts étant déposés avant le semi-conducteur, tout risque d'endommagement est écarté. Mais dans cette configuration le semi-conducteur va devoir croître sur des matériaux ayant des propriétés de surface différentes : l'isolant (ou le substrat) et les contacts. Ainsi, le semi-conducteur peut ne pas avoir la même structure au niveau des contacts que dans le reste du canal, ce qui peut être néfaste pour l'injection de charges [5]. La configuration contacts hauts a pour principal inconvénient, pour les mêmes raisons que l'architecture grille haute, de déposer les contacts

source et drain sur la couche semi-conductrice. On peut aussi distinguer les architectures non coplanaires. En effet dans cette configuration, la surface d'injection est bien plus importante que dans la configuration coplanaire, permettant ainsi une meilleure injection de charges [6].

Comme on peut le voir, chaque architecture présente des avantages et des inconvénients. Le choix d'une configuration par rapport à une autre se fera donc principalement en fonction des choix technologiques associés à la réalisation du transistor.

1.2.3 Caractéristiques électriques

Un transistor est en général caractérisé par deux types de caractéristiques : les courbes de sortie (Figure 6 (a)), pour lesquelles le courant de drain est tracé en fonction de la tension de drain pour différentes valeurs de la tension de grille et les courbes de transfert (Figure 6 (b), (c)) qui montrent l'évolution du courant de drain en fonction de la tension appliquée sur la grille pour une polarisation de drain donnée. Comme on a pu le voir précédemment, les principes physiques de fonctionnement du transistor vont être différents selon le régime dans lequel on se place. Ainsi, les caractéristiques de transfert présentent en général, une courbe mesurée en régime linéaire et une courbe mesurée en régime de saturation.

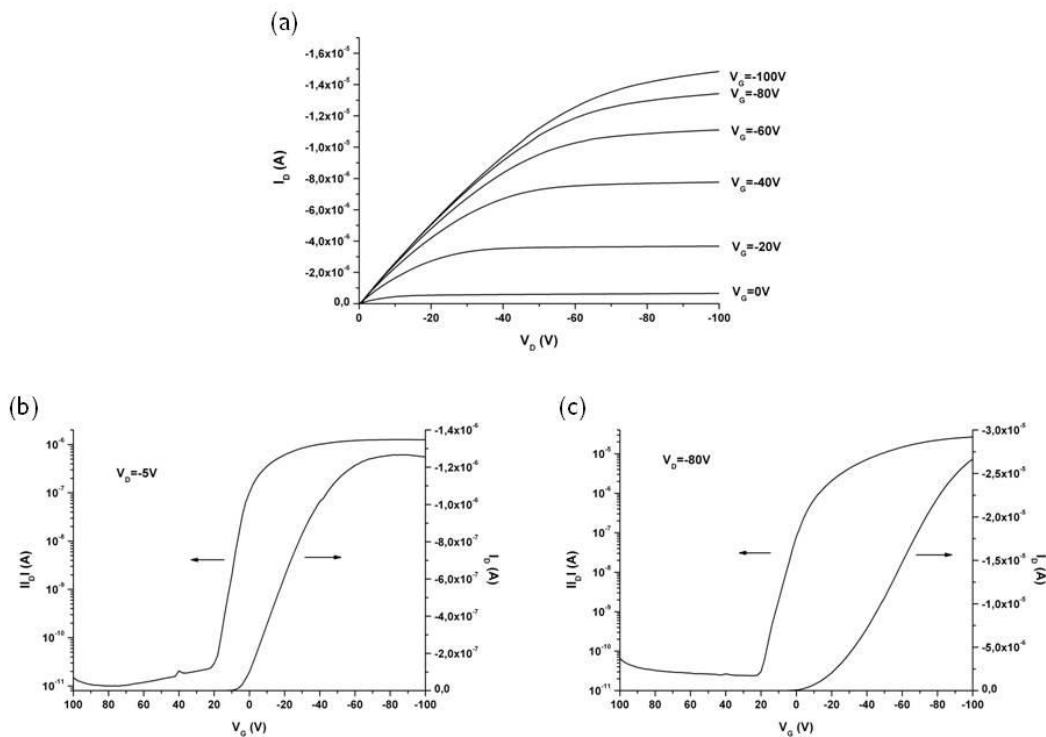


Figure 6 : Caractéristiques électriques d'un transistor organique à canal p. (a) courbes de sortie, courbes de transfert (b) régime linéaire, (c) régime de saturation (transistor à base de PQT-12 réalisé durant ces travaux).

La caractéristique de sortie va essentiellement permettre de distinguer les régimes de fonctionnement du transistor (Figure 1). Elle va aussi s'avérer utile pour déterminer les résistances de contacts.

On peut décrire les courbes de transfert selon trois parties bien distinctes. Pour un transistor à canal p, lorsque la polarisation de grille est fortement positive, le transistor est bloqué, le canal est complètement déplété. Par conséquent, un très faible courant circule entre la source et le drain. Ce courant est appelé courant off, I_{off} . Ce courant est quasiment constant jusqu'à une certaine valeur de V_G à partir de laquelle les charges commencent à s'accumuler dans le canal. Le courant va alors fortement augmenter. En effet, après remplissage des pièges profonds, la queue de la HOMO qui a une allure exponentielle se remplit. Ainsi, une faible augmentation de V_G va entraîner une forte augmentation de la densité de charges dans le canal et donc une forte croissance du courant. Lorsque le potentiel appliqué sur la grille devient fortement négatif, l'accumulation de trous est alors très importante, ce sont maintenant les niveaux énergétiques situés au centre de la gaussienne formée par la densité d'états qui sont remplis. Ainsi le courant va croître linéairement ou quadratiquement en fonction de V_G selon le régime dans lequel on se trouve (linéaire ou en saturation).

Les caractéristiques de transfert sont en général présentées sous forme logarithmique et sous forme linéaire. On utilisera l'une ou l'autre de ces formes en fonction des paramètres du transistor que l'on veut extraire.

1.2.4 Extraction des paramètres

La mise en équation du fonctionnement du transistor organique nécessite la prise en compte de certaines hypothèses issues des modèles de fonctionnement des transistors inorganiques :

- les électrodes source et drain forment des contacts ohmiques idéaux avec le semi-conducteur organique (barrière de potentiel entre métal et semi-conducteur nulle),
- La mobilité des porteurs est constante dans tout le canal et indépendante des potentiels de grille et de drain.

Dans la réalité, ces hypothèses ne sont souvent pas vérifiées. Le contact entre les électrodes source et drain et le semi-conducteur n'est jamais parfait. Une barrière de potentiel ou des résistances de contact peuvent limiter l'injection de charges dans le semi-conducteur. La mobilité va varier en fonction de la densité de porteurs dans le canal. Ainsi, elle va diminuer en fonction de la distance à laquelle on se trouve de l'interface entre le semi-conducteur et le diélectrique et va dépendre de la polarisation appliquée sur la grille.

1.2.4.1 Mobilité (μ)

De manière simplifiée, la mobilité des porteurs de charges peut être définie comme la facilité avec laquelle ces porteurs de charges peuvent se déplacer dans un semi-conducteur sous l'effet d'un champ électrique. Ainsi, on comprend aisément que le degré de cristallinité du semi-conducteur va avoir une grande importance. Un transistor à base de monocristaux de petites molécules va atteindre de fortes valeurs de mobilité pouvant rivaliser voire même dépasser la silicium amorphe tandis qu'un transistor à base de polymère amorphe sans aucune organisation atteindra de faibles mobilités de l'ordre de 10^{-5} cm²/Vs voire même inférieures.

On considère la densité de charges mobiles par unité de surface induites à une position x dans le canal, $q_{ind}(x)$ (C/cm²) :

$$q_{ind} = N(x)et = C_i(V_G - V(x)) \quad (1)$$

où $N(x)$ est la concentration de charges dans le canal à la position x (cm⁻³), e la charge élémentaire ($1,6.10^{-19}$ C), t l'épaisseur du canal formé par les charges et C_i la capacité de l'isolant (F/cm²).

En prenant en compte la tension de seuil définie précédemment (cf. paragraphe 1.2.1.3), la densité de charges devient :

$$q_{ind} = C_i(V_G - V_T - V(x)) \quad (2)$$

Le courant de drain s'écrit alors :

$$I_D = W\mu q_{ind} \frac{dV}{dx} \quad (3)$$

où W est la largeur du canal (μm) et μ est la mobilité des porteurs (cm²/Vs).

Si on remplace la densité de charges par sa définition de l'équation (2), on obtient alors :

$$I_D dx = W\mu C_i (V_G - V_T - V(x)) dV \quad (4)$$

Si on intègre maintenant cette équation sur toute la longueur du canal, c'est-à-dire entre la source ($x=0$) et le drain ($x=L$), en tenant compte de l'hypothèse selon laquelle la mobilité ne varie pas le long du canal, on obtient :

$$I_D = \frac{W}{L} \mu C_i \left[(V_G - V_T) V_D - \frac{V_D^2}{2} \right] \quad (5)$$

Dans le régime linéaire, la tension est assez faible ($|V_D| \ll |V_G - V_T|$), par conséquent le terme $\frac{V_D^2}{2}$ devient négligeable. Ainsi l'équation (5) devient :

$$I_D = \frac{W}{L} \mu_{lin} C_i (V_G - V_T) V_D \quad (6)$$

De cette équation (6), on peut déduire la transconductance (g_m) qui va permettre le calcul de la mobilité dont la définition est :

$$g_m = \left(\frac{\partial I_D}{\partial V_G} \right)_{V_D} = \frac{W C_i \mu_{lin} V_D}{L} \quad (7)$$

On peut ainsi en déduire la mobilité en régime linéaire :

$$\mu_{lin} = g_m \frac{L}{WC_i V_D} \quad (8)$$

Ainsi pour calculer la mobilité en régime linéaire, il suffit de calculer la pente de la partie linéaire de la courbe de transfert qui correspond donc selon l'équation (7) à la transconductance, g_m (Figure 7).

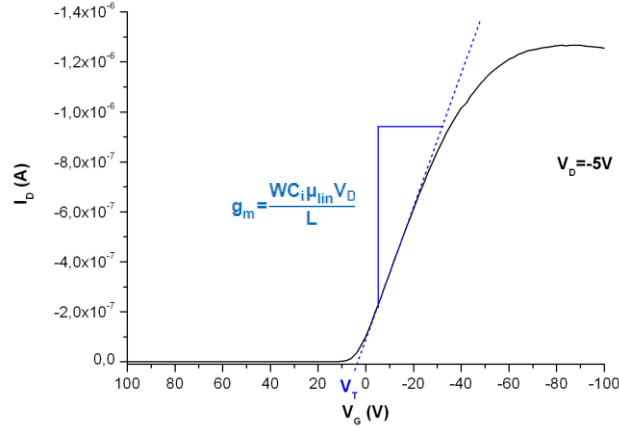


Figure 7 : Détermination de la mobilité (μ) et de la tension de seuil (V_T) en régime linéaire sur une courbe de transfert d'un transistor organique à canal p (transistor à base de PQT-12 réalisé durant ces travaux).

Dans le régime de saturation, $|V_D| \geq |V_G - V_T|$, le canal est pincé. La différence de potentiel dans le canal reste constante quelle que soit la polarisation appliquée sur le drain et a la valeur de $|V_{Dsat}| = |V_G - V_T|$. Par conséquent, on peut substituer V_D par $V_G - V_T$ dans l'équation (5), on obtient alors :

$$I_D = \frac{W}{2L} \mu_{sat} C_i (V_G - V_T)^2 \quad (9)$$

Comme dans le cas du régime linéaire, on peut déduire de cette équation, la transconductance, g_m :

$$g_m = \left(\frac{\partial I_D}{\partial V_G} \right)_{V_D} = \frac{W}{L} \mu_{sat} C_i (V_G - V_T) \quad (10)$$

Cette expression de la transconductance ne nous permet pas de calculer de manière simple la mobilité comme dans le régime linéaire. Par contre, si on considère la dérivée de la racine carrée de I_D , on obtient :

$$\left(\frac{\partial \sqrt{|I_D|}}{\partial V_G} \right)_{V_D} = \sqrt{\frac{W \mu_{sat} C_i}{2L}} \quad (11)$$

On peut de cette expression (11), en déduire facilement la mobilité en régime de saturation :

$$\mu_{sat} = \frac{2L}{WC_i} \left(\frac{\partial \sqrt{|I_D|}}{\partial V_G} \right)^2 \quad (12)$$

Par conséquent pour calculer cette mobilité, il suffit de tracer $\sqrt{|I_D|}$ en fonction de V_G . A partir de ce graphe, on calculera la pente de la partie linéaire de la courbe, $\left(\frac{\partial \sqrt{|I_D|}}{\partial V_G} \right)$ et ainsi on pourra en déduire aisément la mobilité en régime de saturation.

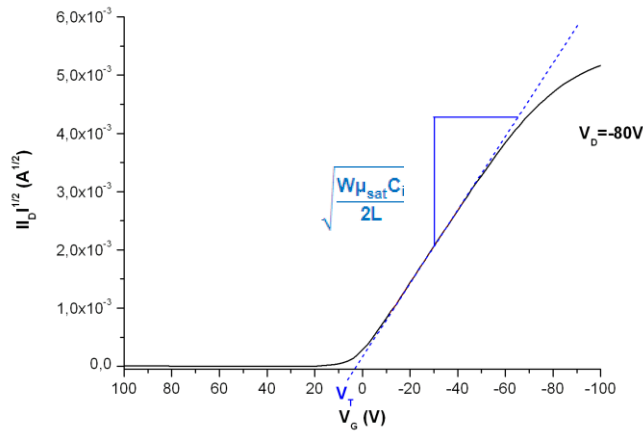


Figure 8 : Détermination de la mobilité (μ) et de la tension de seuil (V_T) en régime de saturation sur une courbe $\sqrt{|I_D|} = f(V_G)$ d'un transistor organique à canal p (transistor à base de PQT-12 réalisé durant ces travaux).

1.2.4.2 Tension de seuil (V_T)

La tension de seuil, V_T peut être définie comme la tension à partir de laquelle les charges commencent à s'accumuler dans le canal. Dans les transistors MOSFET inorganiques, cette tension correspond au potentiel de grille nécessaire pour former le canal d'inversion. Dans les transistors organiques, il se forme une zone d'accumulation et non une zone d'inversion. Ainsi, on pourrait s'attendre, pour un transistor à canal p, à ce que l'accumulation commence dès que la polarisation de la grille passe des valeurs positives aux valeurs négatives et donc à ce que la tension de seuil soit nulle. Or dans la réalité, de nombreux éléments vont influencer cette tension de seuil, qui ne sera que très rarement nulle. On peut citer par exemple, la présence d'impuretés qui vont doper involontairement le semi-conducteur. La tension de seuil étant directement liée au taux de dopage, N (cm^{-3}) par la relation (13).

$$V_T = \frac{Net}{C_i} \quad (13)$$

Un autre élément pouvant influencer la tension de seuil est la présence de pièges dans le semi-conducteur ou à l'interface entre le semi-conducteur et l'isolant (cf. paragraphe 2.2.4).

Plusieurs méthodes existent pour déterminer la tension de seuil. La plus couramment répandue consiste à déterminer la valeur de l'intersection de la droite issue de la partie linéaire de la courbe $\sqrt{|I_D|}$ en fonction de V_G avec l'axe des abscisses. Une autre reprend le même principe mais cette fois-ci sur la courbe de transfert en régime linéaire. On déterminera alors la tension de seuil grâce à l'intersection entre l'axe des abscisses (V_G) avec la régression linéaire issue de la partie linéaire de la courbe (Figure 7). La méthode d'extrapolation de la transconductance peut aussi être employée. Elle consiste dans le régime linéaire, à tracer la transconductance, g_m , en fonction de la tension de grille. Comme dans les méthodes précédentes, la tension de seuil va correspondre à l'intersection de la droite correspondant à la partie linéaire de la courbe avec l'axe des abscisses. Une dernière méthode est basée sur la dérivée seconde du courant (ou dérivée de la transconductance). La tension de seuil va correspondre au maximum de cette dérivée seconde en fonction de V_G [7].

1.2.4.3 Tension de démarrage (V_{SO})

Comme on vient de le voir, la tension de seuil est un paramètre qui va dépendre de nombreux autres éléments. Ainsi, il peut s'avérer délicat de l'utiliser comme moyen de comparaison entre différents transistors. Certains préfèrent utiliser un autre paramètre appelé tension de démarrage, V_{SO} . Cette tension ne va dépendre que des charges fixes dans l'isolant ou à l'interface entre l'isolant et le semi-conducteur. Elle est définie comme le potentiel de bandes plates [8]. C'est donc la tension à partir de laquelle le courant de drain commence à augmenter dans les courbes de transfert sous forme logarithmique (Figure 9). En général, la tension de seuil et la tension de démarrage ont des valeurs très différentes.

1.2.4.4 Rapport I_{on}/I_{off}

Le rapport I_{on}/I_{off} correspond au rapport des courants de drain de l'état passant (état on) et de l'état bloquant (état off) du transistor. On le détermine en mesurant le courant maximum (I_{on}) et le courant minimum sur les courbes de transfert (Figure 9). Le courant off va dépendre directement des courants de fuite du diélectrique de grille mais aussi du taux de dopage résiduel dans le semi-conducteur qui vont créer un courant alors qu'aucune charge n'est encore accumulée dans le canal. Le courant on va, lui, dépendre de la mobilité des porteurs et donc de la quantité de porteurs présents dans le canal.

Ce paramètre est très important car l'état passant et l'état bloquant du transistor vont déterminer les niveaux 0 et 1 des circuits logiques. Ainsi un bon rapport I_{on}/I_{off} va être déterminant pour avoir des niveaux 0 et 1 bien distincts.

1.2.4.5 Pente sous le seuil (S)

La pente sous le seuil indique la vitesse à laquelle le transistor passe de l'état passant à l'état bloquant. Sa valeur correspond à l'inverse de la pente d'une zone située entre la tension

de démarrage et la tension de seuil dans les courbes de transfert sous forme logarithmique, elle s'exprimera donc en V/décade (Figure 9). Ce paramètre est fortement lié aux défauts dans le semi-conducteur et à l'interface entre le semi-conducteur et l'isolant. Ainsi une pente sous le seuil élevée sera l'indication d'un nombre de pièges important.

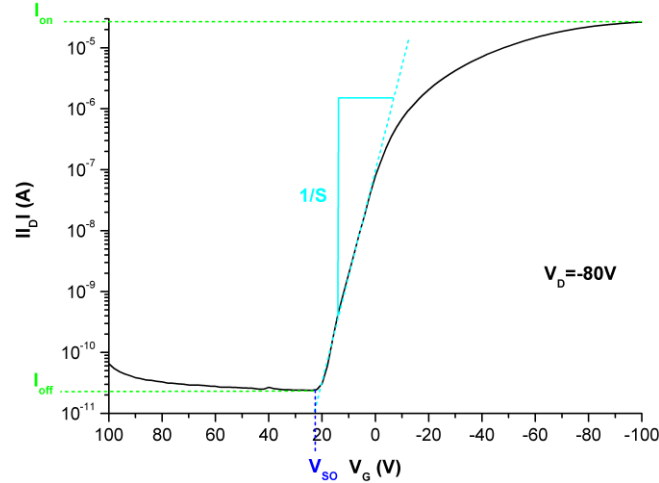


Figure 9 : Détermination de la tension de démarrage (V_{SO}), du rapport I_{on}/I_{off} et de la pente sous le seuil (S) sur une courbe de transfert sous forme logarithmique d'un transistor organique à canal p (transistor à base de PQT-12 réalisé durant ces travaux).

I.3 Conduction dans les semi-conducteurs organiques

I.3.1 Semi-conducteurs π -conjugués

I.3.1.1 Notion de conjugaison

Le phénomène de conjugaison observé dans les composés organiques provient de la chimie particulière de l'atome de carbone. En effet, du fait de sa configuration électronique ($(1s)^2 (2s)^2 (2p)^2$), il va pouvoir former des simples, des doubles ou des triples liaisons avec un autre atome. Pour cela ses orbitales atomiques 2s et 2p vont se combiner et former de nouvelles orbitales sp , sp^2 et sp^3 dites hybrides.

L'hybridation sp^3 correspond à la combinaison de l'orbitale 2s et des trois orbitales 2p qui vont former quatre nouvelles orbitales sp^3 séparées l'une de l'autre par un angle de $109,5^\circ$. Dans ce cas l'atome de carbone pourra former des liaisons avec quatre autres atomes. Ces liaisons sont des liaisons simples dites covalentes aussi appelées liaisons σ où les électrons sont fortement localisés autour de chacun des noyaux.

Lorsque la combinaison ne concerne que deux des orbitales 2p, l'atome est dans un état d'hybridation sp^2 . Les trois nouvelles orbitales sp^2 vont être situées dans un même plan et seront séparées par un angle de 120° . L'orbitale $2p_z$ restante sera quant à elle occupée par un seul électron et orientée perpendiculairement au plan dans lequel se trouvent les trois autres orbitales. Un atome de carbone ainsi hybridé sp^2 a la possibilité de se lier avec un autre atome hybridé sp^2 pour former des doubles liaisons. Le recouvrement des orbitales sp^2 de

chacun de ces atomes va alors donner naissance à une liaison σ . Les électrons de cette liaison seront très localisés et peu mobiles. Les orbitales $2p_z$ vont elles se recouvrir pour former une orbitale moléculaire liante π dans laquelle se situeront les électrons et une orbitale anti-liante π^* , formant ainsi une liaison π . Au contraire des électrons des liaisons σ , les électrons de cette liaison π seront partagés par les deux noyaux atomiques et seront donc délocalisés. Si ces atomes liés par une double liaison sont voisins d'atomes possédant eux aussi une orbitale $2p_z$, alors les orbitales non hybridées de chacun de ces atomes vont se recouvrir avec celles de ses deux voisins. Ainsi les électrons π seront partagés entre tous les atomes. Il se forme alors un système d'électrons π délocalisés sur l'ensemble la chaîne ainsi constituée. Ce phénomène de conjugaison est l'élément fondamental permettant la conduction intramoléculaire dans les systèmes π -conjugués. Les électrons étant délocalisés le long de la chaîne carbonée, ils peuvent ainsi passer d'un atome à un autre. Toutefois, pour minimiser leur énergie, les molécules ainsi constituées vont avoir tendance à localiser leurs électrons à une certaine distance privilégiant l'alternance de simples et de doubles liaisons.

Une dernière combinaison des orbitales de l'atome de carbone est possible. Il s'agit de l'hybridation sp . L'orbitale $2s$ va se combiner avec une des orbitales $2p$ pour constituer deux nouvelles orbitales sp disposées linéairement de part et d'autre du noyau atomique. Les deux orbitales restantes, contenant chacune un électron, seront placées quant à elles perpendiculairement aux deux autres. Lorsque cet atome hybridé sp se lie avec un autre atome lui aussi hybridé sp , leurs orbitales sp se recouvrent, donnant lieu à la création d'une liaison σ . Leurs orbitales $2p$ restantes vont, elles, se recouvrir pour donner deux liaisons π . Il se forme ainsi une triple liaison.

1.3.1.2 Structure de bandes

Le concept de structure de bandes d'énergie sert à décrire le comportement électrique d'un matériau. En effet, il permet de déterminer le caractère métallique, semi-conducteur ou isolant d'un matériau. Dans les matériaux inorganiques cristallins où règne un ordre à grande distance, les électrons sont délocalisés dans tout le volume. Les orbitales moléculaires ont des niveaux d'énergie tellement proches qu'elles deviennent indiscernables et constituent ainsi des bandes d'énergie continues. La structure de bande d'un matériau est toujours constituée d'une bande de valence et d'une bande de conduction séparées par une bande interdite. Le remplissage de ces bandes va alors déterminer les propriétés électriques du matériau. Dans un métal, la bande interdite est inexistante, la bande de conduction est partiellement remplie ce qui lui confère son caractère conducteur. Les isolants eux possèdent une bande de valence remplie et une bande de conduction vide séparées par une large bande interdite rendant impossible le passage des électrons de la bande de valence dans la bande de conduction. Les semi-conducteurs possèdent la même structure de bandes que les isolants. Mais leur bande interdite est inférieure à 2 eV. Ainsi sous l'effet d'un apport d'énergie

correspondant à la largeur de cette bande interdite, les électrons de la bande de valence vont pouvoir passer dans la bande de conduction.

Dans les matériaux organiques, comme on l'a vu dans le paragraphe précédent, la formation d'une liaison donne lieu à la formation de deux orbitales moléculaires ayant des niveaux d'énergie différents, une orbitale anti-liante π^* qui sera vide et une orbitale liante π , pleine qui aura une énergie plus faible. Dans une molécule π -conjuguée, formée par l'alternance de simples et doubles liaisons, le recouvrement des doubles liaisons entre elles va donner lieu à des orbitales π (ou π^*) ayant des niveaux d'énergie différents, légèrement décalés les uns par rapport aux autres. Ainsi dans une grande molécule de type polymère où l'alternance de simples et doubles liaisons sera considérée comme infinie, les niveaux énergétiques ne seront plus discrets et deviendront indiscernables, constituant ainsi des bandes continues. Le sommet de la bande d'énergie engendrée par les orbitales liantes π constitue le niveau HOMO. Le niveau le plus bas de la bande correspondant aux orbitales anti-liantes π^* sera lui appelé LUMO. Leur énergie par rapport au niveau du vide sera déterminée par l'affinité électronique et le potentiel d'ionisation du matériau, respectivement. Ces bandes liantes et anti-liantes sont équivalentes aux bandes de valence et de conduction dans les semi-conducteurs inorganiques (Figure 10). Par abus de langage, l'appellation HOMO désignera souvent la bande liante dans son ensemble et LUMO, la bande anti-liante.

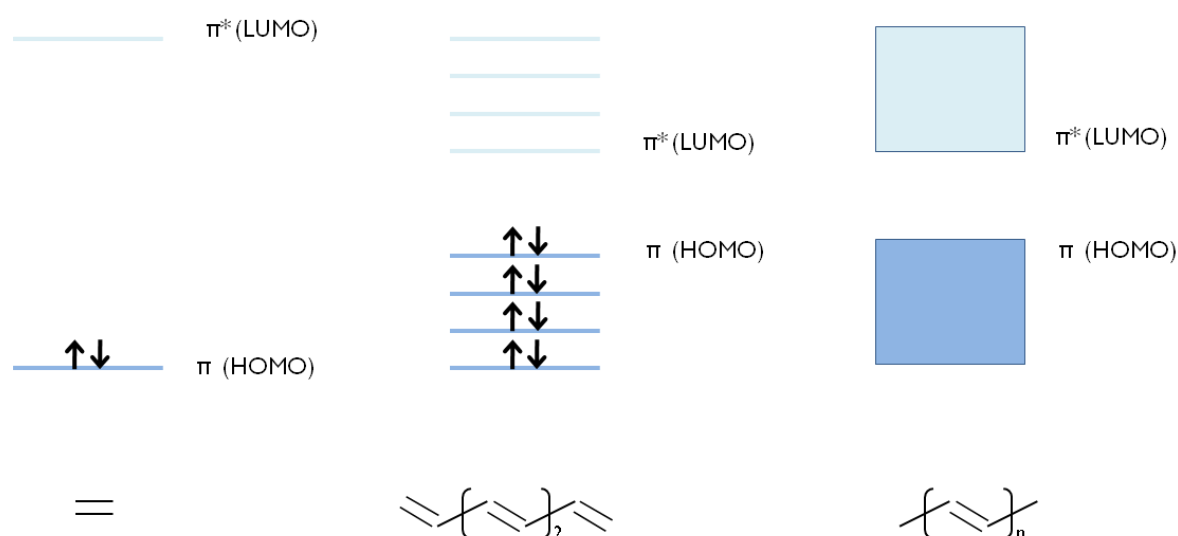


Figure 10 : Evolution des niveaux d'énergie discrets au diagramme de bandes en fonction de la longueur de conjugaison de la chaîne carbonée.

1.3.2 Transport de charges dans les semi-conducteurs organiques

La densité de porteurs de charges dans un semi-conducteur organique est en général très faible. Il en est de même dans les semi-conducteurs inorganiques intrinsèques. Toutefois

dans ces derniers, l'introduction de quelques ppm d'impuretés (ou dopants) va augmenter sensiblement la densité de porteurs, pouvant même les rendre conducteurs, on parlera alors de semi-conducteurs extrinsèques. Dans les semi-conducteurs organiques, un dopage est aussi possible par l'introduction d'impuretés mais cette fois-ci dans des proportions bien plus importantes (10 à 30 %). En général, ce dopage est réalisé par réactions chimiques ou électrochimiques pour obtenir des polymères conducteurs. La photogénération de charges par l'absorption de photons est une autre méthode pour générer des charges dans un semi-conducteur organique. Ce phénomène est principalement utilisé pour réaliser des cellules photovoltaïques. Une dernière méthode pour générer des porteurs de charges dans un semi-conducteur organique est d'en injecter directement depuis un métal. C'est ce phénomène qui permet la conduction dans les transistors organiques [9].

L'introduction d'une charge dans une chaîne π -conjuguée ne va pas conduire directement à l'ajout d'un trou dans la HOMO ou d'un électron dans la LUMO et à sa délocalisation sur l'ensemble de la chaîne. En effet, énergétiquement il est plus favorable de localiser la charge et de créer une déformation locale de la chaîne π -conjuguée afin de relaxer les contraintes générées. Cette charge et la distorsion de chaîne qu'elle engendre est appelée polaron. La présence de ce polaron va se traduire par l'apparition de niveaux d'énergie localisés (un niveau provenant de la HOMO et un niveau provenant de la LUMO) dans la bande interdite [9]. Sous l'effet d'un champ électrique, ce polaron va pouvoir se déplacer le long de la chaîne. L'ajout d'une seconde charge va se traduire par la formation d'un état doublement chargé. Cet état se manifestera soit par la présence d'un nouveau polaron sur la chaîne conjugée, formant ainsi une paire de polarons soit par la formation d'un bipolaron issu de l'association du polaron déjà présent et de la charge introduite. La prédominance de l'une ou l'autre de ces espèces fait encore débat [10]. L'introduction de charges supplémentaires va donner lieu à un recouvrement des niveaux énergétiques de la bande interdite, créant ainsi des bandes de polarons (ou de bipolarons). La création de ces bandes montre que l'introduction de charges dans un semi-conducteur organique ne va pas le rendre métallique, la HOMO restant pleine et la LUMO restant vide, le caractère semi-conducteur est préservé [9].

2 Phénomènes d'interface dans les transistors organiques

Comme on a pu le voir dans la partie précédente, le transport de charges dans les transistors à effet de champ organiques est un phénomène complexe. Cependant en plus de la complexité du transport dans le semi-conducteur, d'autres phénomènes propres à la structure du transistor vont aussi limiter ses performances. Ainsi il apparaît que les interfaces du semi-conducteur avec les autres matériaux composant le transistor vont être des zones critiques. Comme on peut le voir sur les différentes configurations des transistors de la figure 5, le semi-conducteur va être en contact essentiellement avec deux éléments du transistor : les électrodes source et drain et le diélectrique. Ainsi, l'interface métal-semi-conducteur au niveau des contacts va jouer un rôle majeur dans l'injection de charges dans le semi-conducteur alors que la qualité de l'interface entre le semi-conducteur et l'isolant va s'avérer déterminante dans le transport des charges dans le canal.

2.1 Interface métal-semi-conducteur organique

L'étude de l'interface métal-semi-conducteur et donc de l'injection de charges dans un transistor organique est un vaste sujet sur lequel travaillent de nombreuses équipes de recherche. Elle ne constitue pas l'objet de cette thèse mais est toutefois importante pour comprendre les limitations des transistors organiques. Ainsi, cette partie aura pour but de décrire brièvement la physique de l'injection de charges et d'exposer les limitations dues aux contacts dans les transistors ainsi que les solutions qui y sont apportées.

2.1.1 Physique du contact

2.1.1.1 Contact ohmique

Dans tout transistor, le caractère ohmique des contacts est essentiel pour que le courant circulant dans le canal ne soit uniquement influencé que par les propriétés du semi-conducteur et non par celles des contacts. Or, le processus de conduction dans le canal, entre les électrodes source et drain d'un transistor peut être modélisé par trois résistances en série, une résistance au niveau de chaque contact et une résistance au niveau du canal, R_{canal} . Les résistances au niveau des contacts sont en général regroupées et constituent ce qui est communément appelé la résistance de contact, R_c . Ainsi, pour que la conduction dans le canal ne soit affectée que par les propriétés du semi-conducteur et donc pour qu'un contact soit ohmique, il est nécessaire que la résistance du canal soit nettement plus importante que la résistance de contact. Il est important de noter que la résistance du canal va dépendre de sa longueur, alors que la résistance de contact est, elle, constante. Ainsi pour une largeur de canal donnée, un contact peut être parfaitement ohmique et la conduction, être affectée uniquement par les propriétés du semi-conducteur mais celle-ci peut être limitée par les contacts pour une longueur plus faible [11].

2.1.1.2 Barrière de potentiel

L'injection de charges par les électrodes source et drain dans le semi-conducteur dépend de la position du niveau HOMO, pour l'injection de trous, et du niveau LUMO, pour l'injection d'électrons, du semi-conducteur par rapport au niveau de Fermi du métal constituant les contacts. A l'interface métal-semi-conducteur, selon la loi de Mott-Schottky, les niveaux du vide du métal et du semi-conducteur sont les mêmes [11]. Ainsi, pour l'injection de trous, la différence entre le niveau de Fermi du métal et le niveau HOMO du semi-conducteur sera donnée par la différence entre le travail de sortie du métal, W et le potentiel d'ionisation du semi-conducteur, IP . Dans le cas idéal d'un contact ohmique parfait, cette différence est nulle. En réalité, cette différence n'est jamais nulle, ce qui crée une barrière de potentiel, ϕ pour l'injection de trous dans le semi-conducteur (Figure 11 (a)). Toutefois si un potentiel est appliqué sur le métal, des trous pourront alors franchir cette barrière par effet thermoïonique, et par effet tunnel. Il en est de même pour l'injection d'électrons, en considérant cette fois, le niveau LUMO du semi-conducteur. Ceci est cependant un modèle simplifié de l'injection de charges à travers l'interface métal-semi-conducteur. Souvent la loi de Mott-Schottky n'est pas vérifiée. Il existe, en réalité, un dipôle d'interface entre le semi-conducteur et le métal qui va déplacer le niveau du vide du semi-conducteur par rapport à celui du métal (Figure 11 (b)). L'origine de ce dipôle peut être multiple. Une des plus couramment évoquée est l'adsorption d'une couche organique sur la surface du métal qui peut en modifier son travail de sortie [11].

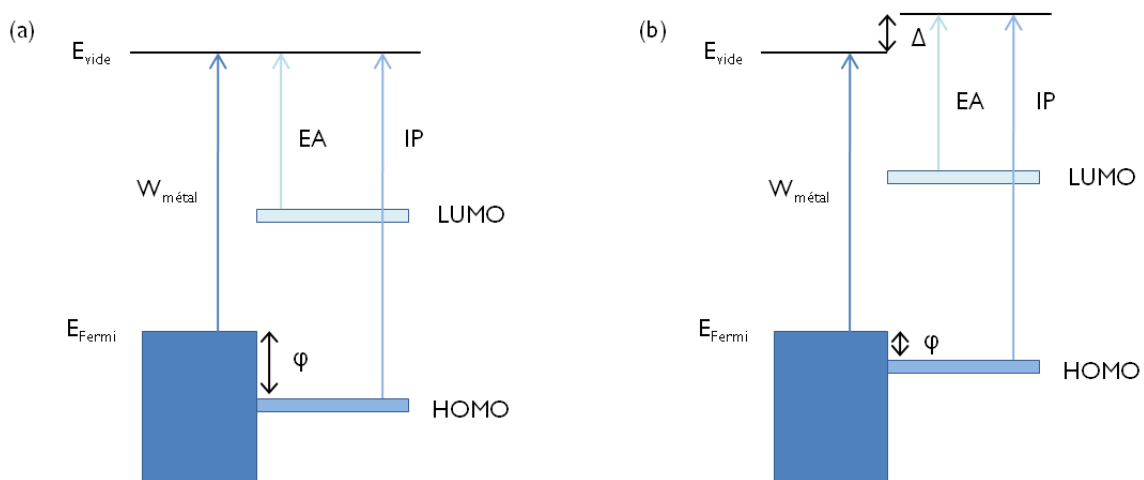


Figure 11 : Diagramme de bande de l'interface métal-semi-conducteur. (a) loi de Mott-Schottky, (b) dipôle d'interface.

2.1.2 Voies d'amélioration du contact métal-semi-conducteur

Le meilleur moyen pour réduire la barrière de potentiel au niveau de l'interface entre le métal et le semi-conducteur est de choisir un métal dont le travail de sortie est le plus proche du potentiel d'ionisation pour l'injection de trous ou de l'affinité électronique pour l'injection d'électrons, du semi-conducteur. Ainsi, pour l'injection de trous, les métaux à fort travail de

sortie seront privilégiés, alors que pour l'injection d'électrons, ce seront les métaux à faible travail de sortie. Toutefois un des problèmes majeurs de ces derniers est qu'ils sont facilement oxydables, ce qui rend leur utilisation délicate. Ils ne seront donc utilisés que pour des transistors maintenus sous une atmosphère exempte d'humidité et d'oxygène ou encapsulés. Ce phénomène d'oxydation des électrodes est une des raisons pour laquelle l'observation de transistors à canal n à l'air ambiant s'avère très difficile.

Un autre inconvénient, dans la configuration contacts bas, provient de la morphologie différente du semi-conducteur au niveau des contacts. En effet, dans cette configuration, le semi-conducteur est déposé sur les électrodes source et drain et sur le diélectrique de grille dans une architecture grille basse ou le substrat dans une configuration grille haute. Or ces surfaces peuvent avoir des énergies très différentes. Ainsi, le semi-conducteur ne va pas croître de la même façon sur les électrodes et sur l'isolant ou le substrat et peut donc ne pas avoir la même orientation cristalline [12]. Cette différence d'orientation va être néfaste pour l'injection de charges dans le semi-conducteur. Ce phénomène est évité dans la configuration contacts hauts car le semi-conducteur est déposé sur une seule surface. Toutefois, dans cette configuration, le dépôt des électrodes peut endommager le semi-conducteur. Néanmoins, du fait de l'organisation plus homogène du semi-conducteur et d'une plus grande surface disponible au niveau des contacts pour injecter les charges, les résistances de contact sont en général plus faibles dans la configuration contacts hauts que dans la configuration contacts bas. La plus grande contribution à la résistance de contact dans l'architecture contacts hauts est la résistance d'accès. En effet, les contacts et le canal n'étant pas au même niveau, les charges doivent traverser la couche semi-conductrice pour atteindre le canal, ce qui se matérialise par la présence d'une résistance d'accès. Cette résistance va donc augmenter avec l'épaisseur du semi-conducteur. Cependant sa valeur reste assez faible en comparaison de celle de la résistance de contact dans la configuration contacts bas [6].

Le greffage d'une monocouche auto-assemblée sur la surface des électrodes source et drain est un moyen de solutionner les deux problèmes précédents. En effet, en configuration contacts bas, le choix d'une monocouche appropriée va permettre de modifier l'énergie de surface des électrodes de telle sorte que le semi-conducteur va croître de la même façon sur les électrodes et sur le diélectrique ou le substrat, permettant ainsi d'éliminer le désordre morphologique au niveau des contacts et donc de réduire la résistance de contact [13]. Certaines monocouches auto-assemblées vont aussi permettre d'améliorer l'alignement des niveaux énergétiques. En effet, la présence d'une couche organique sur les électrodes crée un dipôle d'interface qui va moduler la barrière de potentiel entre les contacts et le semi-conducteur (cf. paragraphe précédent). Ainsi, une monocouche auto-assemblée va agir de la même façon et va permettre de modifier le travail de sortie des électrodes [5, 13]. La barrière de potentiel est alors réduite et l'injection de charges améliorée.

2.2 Interface isolant-semi-conducteur

Dans un transistor organique, l'interface entre le diélectrique de grille et le semi-conducteur joue un rôle prépondérant dans ses performances. En effet, elle est le lieu où se forme le canal de conduction. Par conséquent, sa qualité est primordiale pour avoir une bonne conduction dans le canal. Ainsi, elle va notamment influencer deux paramètres parmi les plus importants du transistor : la mobilité et la tension de seuil.

Dans une configuration grille basse, ce sont les propriétés de surface de l'isolant qui vont déterminer la qualité de l'interface. En effet, sa rugosité ou son énergie de surface vont influencer la croissance du semi-conducteur. En configuration grille haute, le semi-conducteur est déposé avant le diélectrique, c'est donc de lui que va dépendre la qualité de l'interface. Néanmoins, celle-ci sera moins sensible dans cette architecture. Ainsi la plupart des études réalisées sur le sujet se placent en configuration grille basse. Toutefois, d'autres paramètres propres à l'interface comme le piégeage de charge ou la présence de dipôles vont aussi être déterminants.

2.2.1 Rugosité

En configuration grille basse, la rugosité de la couche isolante détermine la morphologie du semi-conducteur. Dans le cas de polymères déposés par voie en solution, la rugosité va favoriser la nucléation. Par exemple, le pBTTC (poly(2,5-bis(3-alkylthiophen-2-yl)thieno[3,2-b]thiophene)) est un polymère qui forme de larges terrasses sur des surfaces lisses d'oxyde de silicium [14]. Par contre, sur des surfaces rugueuses, la formation de terrasses n'est plus observée, il se forme alors de plus petits grains. L'orientation des chaînes polymères et l'empilement des systèmes π au niveau moléculaire semblent quant à eux ne pas être modifiés. Toutefois, il semble qu'à l'échelle d'un grain, des défauts d'empilement apparaissent. Ainsi, sur une surface rugueuse, il se formera plutôt de petits grains avec des défauts d'empilement, séparés par des joints de grains où les chaînes seront désordonnées. Donc, plus la surface de l'isolant sera lisse, plus la taille des grains va augmenter et plus le nombre de défauts à l'intérieur d'un grain va diminuer.

Cette influence de la rugosité de l'interface entre le diélectrique et le semi-conducteur sur la morphologie du semi-conducteur se matérialise par une dépendance de la mobilité des porteurs de charges dans le transistor avec cette rugosité. En effet, lorsque l'interface est rugueuse, les charges vont avoir des difficultés pour se déplacer à l'intérieur d'un grain à cause des défauts d'empilement. De plus, la conduction entre les grains sera difficile à cause de la présence de joints de grains. Ainsi, comme la taille et la qualité des grains augmentent lorsque la rugosité diminue, la conduction des porteurs dans le canal sera favorisée par une interface lisse et par conséquent, une augmentation de la mobilité sera observée.

Pour des transistors à base de petites molécules comme le pentacène, déposées par évaporation, le même phénomène est observé. En effet, la taille des grains et par conséquent,

la mobilité des porteurs, diminue lorsque la rugosité de l'interface augmente [15-18]. Cette diminution de la taille des grains est expliquée comme dans le cas des polymères par une promotion de la nucléation mais aussi par une réduction de la longueur de diffusion des molécules de pentacène sur la surface du substrat. Ainsi, comme dans le cas du pBTTT, la diminution de la mobilité peut-être interprétée par la présence plus importante de joints de grains mais Steudel *et al.* [15] expliquent ce phénomène par le piégeage de charges dans les vallées créées par la rugosité. En effet, le champ électrique appliqué entre la source et le drain permet aux charges de circuler à la surface de l'isolant. Mais, pour sortir d'une vallée, les charges doivent s'éloigner de l'interface, ce qui s'oppose à l'action du champ électrique de grille qui les localise à l'interface. Le champ entre la source et le drain est alors insuffisant pour leur permettre de sortir. Les charges se retrouvent alors piégées dans la vallée et ne participent plus au courant. De plus, Suemori *et al.* [16] estiment que la présence plus importante de joints de grains ne permet pas à elle seule d'expliquer la décroissance de la mobilité. Pour eux, la distorsion du réseau de pentacène induite par la rugosité joue aussi un rôle.

Steudel *et al.* [15] montrent que la tension de seuil ne semble pas affectée par la rugosité. Toutefois, Suemori *et al.* [16] observent un décalage plus important de cette tension de seuil lors de mesures de vieillissement sous champ électrique de grille avec une interface rugueuse que lors d'une mesure avec un isolant plus lisse. Le décalage de la tension de seuil lors de mesures de vieillissement sous champ est fréquent et est en général associé au piégeage des charges. Suemori *et al.* expliquent donc ce phénomène par un nombre plus important de pièges lorsque l'interface isolant-semi-conducteur est rugueuse, la distorsion du réseau engendrée par la rugosité de l'isolant permettant l'apparition de sites pièges supplémentaires.

2.2.2 Energie de surface

Comme on vient de le voir, la mobilité des porteurs de charges est fortement influencée par la morphologie de la couche semi-conductrice. Ainsi, un autre paramètre pouvant influencer la croissance du semi-conducteur est l'énergie de surface de la couche sur laquelle celle-ci a lieu, soit en configuration grille basse, la couche isolante.

Yoshida *et al.* [19] ont étudié la croissance du pentacène sur de fines couches polymères de type poly(vinyl alcohol) (PVA), poly(methyl methacrylate) (PMMA), polystyrene (PS) ou encore poly(vinylidene fluoride) (PVdF) ayant des énergies de surface différentes. Ils ont constaté une augmentation de la taille des grains de pentacène ainsi que de la mobilité lorsque l'énergie de surface de la couche polymère diminue. Toutefois, sur la couche de PVA qui a pourtant une énergie de surface supérieure aux autres couches, le pentacène forme des grains plus petits. La mobilité observée est alors plus faible. Ce phénomène est expliqué par la présence plus importante de groupements polaires sur la surface de PVA. Ces groupements vont entraîner une fluctuation de l'énergie de surface sur toute la surface de PVA, favorisant ainsi la nucléation du pentacène et donc la formation de petits grains. Toutefois, cette étude

ne tient pas compte de la rugosité des couches polymères. Ainsi, les variations de croissance de grains et de mobilité peuvent aussi être liées à des variations de rugosité.

Pour distinguer les effets dus à l'énergie de surface de ceux dus à la rugosité, Yang *et al.* [20] utilisent un seul diélectrique de grille, le poly(imide-siloxane). En effet, l'énergie de surface de cet isolant peut varier en fonction de la quantité de groupements siloxanes présents dans la couche de polyimide mais la rugosité elle, reste la même. Contrairement à ce qu'avaient observé Yoshida *et al.*, la taille moyenne des grains de pentacène diminue avec l'énergie de surface de la couche isolante. Par contre, la mobilité augmente comme dans le cas précédent (Figure 12). Ce phénomène est expliqué par un mode de croissance différent des grains de pentacène en fonction de l'énergie de surface. Ainsi, pour une énergie de surface de 48 mJ/m^2 , la couche de pentacène est composée de gros grains ayant une structure dendritique, chaque grain étant formé par une série de terrasses, alors que pour une énergie de surface de 30 mJ/m^2 , la couche se compose de petits grains. La mobilité plus faible, observée dans le transistor où l'énergie de surface du diélectrique est la plus élevée, s'explique par la croissance incomplète des premières couches de pentacène. En effet, la seconde couche commence à croître alors que la première monocouche n'est pas complètement remplie. Les couches suivantes vont ensuite croître de la même manière. Le canal de conduction se formant dans les premières monocouches de la couche semi-conductrice, le fait que les premières couches de pentacène soient incomplètes va être néfaste pour la conduction des charges et donc pour la mobilité des porteurs. A l'inverse, la couche de pentacène croît sous forme d'îlots en trois dimensions lorsque l'énergie de surface du diélectrique est la plus faible. Ce mode de croissance permet de constituer des premières monocouches beaucoup plus denses avec une meilleure connexion entre les grains. Ainsi, malgré une taille de grains plus faible, la conduction entre les grains sera facilitée et donc la mobilité des porteurs sera plus élevée [20].

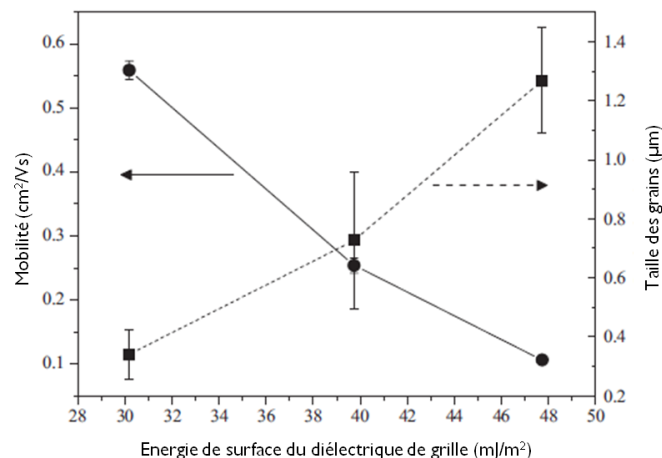


Figure 12 : Mobilité (●) et taille des grains de pentacène (■) en fonction de l'énergie de surface du diélectrique [20].

Chou *et al.* suggèrent qu'une énergie de surface de 38 mJ/m^2 est optimale pour atteindre de fortes mobilités car celle-ci coïncide avec l'énergie de surface de la phase orthorhombique du pentacène [21]. Gao *et al.* observent la même tendance sur des films de phtalocyanine de cuivre (CuPc) [22]. La taille des grains et la mobilité sont maximales lorsque l'énergie de surface de la couche diélectrique correspond à celle du semi-conducteur déposé.

Ces modes de croissance différents vont aussi influencer l'épaisseur optimale de la couche semi-conductrice pour obtenir la mobilité la plus élevée. Pour Mun *et al.*, l'épaisseur optimale de la couche de pentacène sur un isolant polymère hydrophobe, donc ayant une faible énergie de surface, de type poly-4-vinylphenol (PVP) est de 50 nm alors que sur une surface hydrophile, donc ayant une forte énergie de surface de type SiO_2 , elle est de 15 nm. Cette épaisseur optimale correspond à l'épaisseur à partir de laquelle la couche de pentacène ne présente plus d'espaces vides entre les grains [23]. Toutefois cette interprétation semble en contradiction avec celle de Yang *et al.* car, pour eux, les premières monocouches de pentacène sont plus denses sur une surface hydrophobe que sur une surface hydrophile [20].

En conclusion, l'énergie de surface de la couche isolante va donc essentiellement influencer la mobilité des porteurs de charges car elle détermine le mode de croissance de la couche semi-conductrice, notamment lorsque celle-ci est évaporée. Toutefois, des surfaces différentes présentant la même énergie de surface ne vont pas forcément conduire à la même morphologie de la couche semi-conductrice. La rugosité et la nature chimique de cette couche isolante vont aussi entrer en jeu.

2.2.3 Dipôles d'interface

Comme on vient de le voir, la mobilité des porteurs semble fortement influencée par la rugosité et l'énergie de surface de la couche isolante. Cependant, un autre paramètre peut aussi la modifier. La présence de dipôles à l'interface entre le diélectrique et le semi-conducteur est tout aussi importante. En effet, Jang *et al.* ont étudié l'effet de trois monocouches auto-assemblées possédant des groupements fonctionnels et donc des moments dipolaires, différents sur les performances d'un transistor à base de pentacène [24]. Les groupements fonctionnels présents sur ces monocouches vont créer un dipôle permanent à l'interface isolant-semi-conducteur. Ce dipôle va alors engendrer une variation du travail de sortie de la couche isolante. Ainsi, malgré une énergie de surface et une morphologie des grains similaires, la mobilité des porteurs observée va varier jusqu'à un facteur 20 en fonction du groupement fonctionnel de la monocouche auto-assemblée et donc du dipôle d'interface. La présence des dipôles d'interface déplace la courbure de bande vers les plus hautes énergies permettant ainsi l'accumulation d'une plus grande quantité de trous dans le canal et donc une plus importante mobilité des porteurs (Figure 13 (b)) [24]. A l'inverse, Celle *et al.* ne notent aucune modification de la mobilité avec l'ajout de monocouches auto-assemblées à l'interface [25]. Ainsi, les dipôles d'interface permettent de

modifier la quantité de charges accumulées dans le canal mais ne permettent pas nécessairement d'améliorer la conduction dans la couche semi-conductrice.

Ces dipôles d'interface n'influencent pas que la mobilité. La différence de travail de sortie au niveau de l'interface entre l'isolant et le semi-conducteur qu'ils induisent va aussi donner lieu à un déplacement de la tension de seuil (et de la tension de démarrage). Stadler *et al.* ont montré par une étude de photoémission que l'ajout d'une fine couche de divinyltetramethyldisiloxane-bis(benzocyclobutene) (BCB) entre l'isolant et le semi-conducteur dans un transistor à base de C_{60} avec un diélectrique de type alumine (Al_2O_3), induit un dipôle à l'interface qui va conduire à une variation de la tension de seuil [26]. En effet, l'étude de photoémission montre une différence entre les travaux de sortie à l'interface avec C_{60} avec et sans couche de BCB qui correspond au décalage de la tension de seuil. Cette différence des travaux de sortie permet un meilleur alignement des niveaux électroniques dans les transistors où la couche de BCB est présente. En effet, la présence de dipôles à l'interface induit un champ électrique supplémentaire au champ de grille qui modifie le potentiel de surface de l'isolant [27].

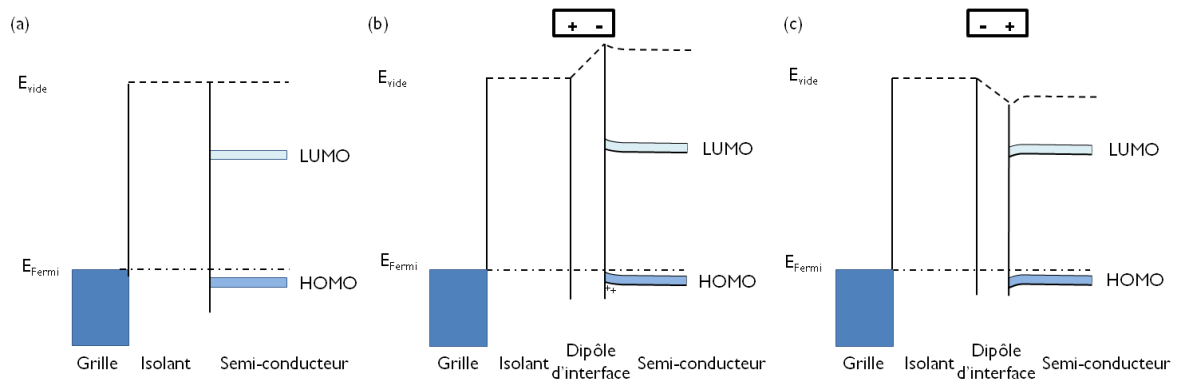


Figure 13 : Diagrammes des niveaux d'énergie d'un transistor organique. (a) sans dipôle d'interface, avec dipôle (b) accepteur d'électrons, (c) donneur d'électrons.

En l'absence de dipôle, les niveaux de vide du semi-conducteur et de l'isolant sont alignés, les bandes du semi-conducteur se courbent uniquement lorsqu'un potentiel est appliqué sur la grille (Figure 13 (a)). En présence d'un dipôle d'interface, si le dipôle rend la surface de l'isolant plus accepteuse d'électrons, les bandes du semi-conducteur vont se courber vers les plus hautes énergies induisant donc un décalage de la tension de seuil vers les tensions de grille positives (Figure 13 (b)), tandis que si la surface est donneuse d'électrons, la courbure de bande se fera dans le sens inverse, la tension de seuil se déplacera alors vers les tensions de grille négatives (Figure 13 (c)). Ainsi, il est possible de maîtriser la tension de seuil en fonction des dipôles présents à l'interface.

On vient donc de voir que les dipôles induits par l'ajout d'une couche supplémentaire (fine couche polymère ou monocouche auto-assemblée) entre le diélectrique et le semi-conducteur modifient la tension de seuil d'un transistor organique. Or, Celle *et al.* relie cette modification de la tension de seuil avec la densité de charges à la surface du

diélectrique, calculée à partir du moment dipolaire des molécules formant cette couche supplémentaire. Ainsi, la tension de seuil varie linéairement avec la quantité de charges présentes à l'interface isolant-semi-conducteur (Figure 14) [25].

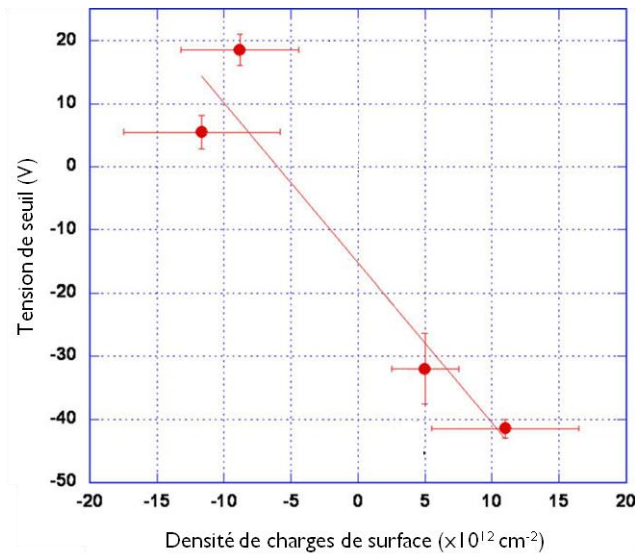


Figure 14 : Tension de seuil en fonction de la densité de charges présentes à l'interface [25].

Ceci montre donc que les dipôles d'interface vont générer un champ électrique supplémentaire à l'interface qui va uniquement modifier la quantité de charges présentes à l'interface. C'est cette modification de densité de charges qui va induire les variations de mobilité et de tension de seuil observées dans les transistors possédant une fine couche polymère ou une monocouche auto-assemblée.

2.2.4 Piégeage des charges

Les dipôles d'interface génèrent une variation de la quantité de charges à l'interface isolant-semi-conducteur. Dans un transistor à canal p, si ces dipôles sont induits par des groupements accepteurs d'électrons, une plus grande quantité de trous va être accumulée dans le canal du transistor. A l'inverse, si les groupements sont donneurs d'électrons, c'est une plus grande quantité d'électrons qui sera accumulée. Ainsi, les groupements fonctionnels présents à l'interface entre le diélectrique et le semi-conducteur jouent un rôle sur la nature des charges accumulées à l'interface entre le semi-conducteur et l'isolant [28]. Mais ces groupements sont aussi à l'origine de phénomènes de piégeage de charges.

Les groupements fonctionnels les plus connus pour être des pièges pour les charges sont les groupements hydroxyles. Chua *et al.* ont révélé leur implication dans le piégeage des électrons et donc dans les difficultés rencontrées pour réaliser des transistors à canal n. En effet, sur l'oxyde de silicium, par exemple, les électrons du canal vont réduire ces groupements, présents sur la surface du diélectrique sous forme de groupements silanols, SiOH, en SiO⁻ selon la réaction de la figure 15 [4].

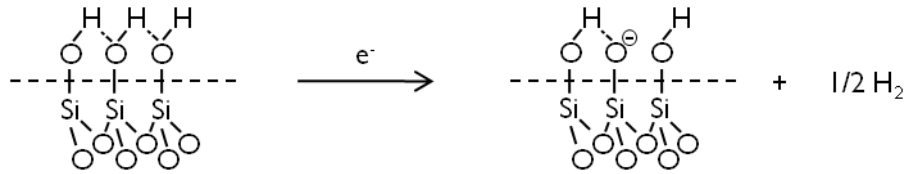


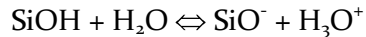
Figure 15 : Mécanisme de piégeage des électrons. Transformation électrochimique par les électrons du canal des groupements silanols en ions SiO^- immobiles [4].

Ces groupements SiO^- vont alors constituer une couche d'ions immobiles chargés négativement. Par conséquent, dans le cas de transistor à canal n, pour accumuler des électrons dans le canal, la polarisation positive à appliquer sur la grille devra être plus importante pour compenser les charges piégées, ce qui se matérialisera par un déplacement de la tension de seuil vers des tensions de grille encore plus positives. Ainsi, l'absence de conduction de type n longtemps observée dans les transistors organiques sur oxyde de silicium provient de la quantité trop élevée de groupements silanols sur la surface de cet oxyde. En effet, ces groupements peuvent être en nombre supérieur à la quantité de charges accumulées dans le canal sous l'effet des tensions de grille généralement utilisées dans les transistors organiques. Ainsi, tous les électrons présents à l'interface isolant-semi-conducteur se retrouvent piégés et la tension à appliquer pour commencer à accumuler des charges dans le canal devient plus importante que les tensions maximales généralement utilisées. Par conséquent, dans la gamme de tensions couramment utilisée dans les transistors organiques, aucune conduction de type n ne pouvait être observée.

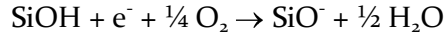
Dans les transistors à canal p, à l'état off, lorsqu'une polarisation positive est appliquée sur la grille, les électrons présents dans le semi-conducteur vont réduire les groupements silanols en SiO^- . La couche d'ions négatifs ainsi formée va alors créer un champ électrique qui s'oppose au champ induit par la grille, permettant ainsi d'accumuler des trous même avec une polarisation de grille positive. Ceci se matérialise donc, comme dans les transistors à canal n, par un déplacement de la tension de seuil vers les tensions de grille positives.

Chua *et al.* montrent l'implication des groupements hydroxyles dans le piégeage des charges même lors de mesures sous atmosphère contrôlée. A l'inverse, Kumaki *et al.* [29] n'observent aucun déplacement de la tension de seuil lors de mesures répétées sous vide, même pour un transistor à canal n, mais, par contre, notent un fort décalage lors de mesures à l'air. Ils mettent ainsi en évidence le rôle de l'oxygène et de l'humidité de l'air dans la réduction des groupements silanols. En effet, lors de mesures à l'air ambiant et sous air sec, un décalage de la tension de seuil est observé avec toutefois un déplacement plus marqué lors des mesures à l'air ambiant. De plus, un décalage est observé même lorsque le transistor est simplement stocké à l'air ambiant alors que lors d'un stockage sous air sec, la tension de seuil reste la même. Ceci montre que l'humidité présente dans l'air n'agit pas de la même façon que l'oxygène. Ainsi, après diffusion à travers le semi-conducteur jusqu'à l'interface,

l'humidité réduit les groupements silanols même lorsque le dispositif n'est pas sous tension selon la réaction [29] :



Alors que l'oxygène ne réagit avec ces groupements que lorsque le transistor est sous tension, selon la réaction électrochimique [29] :



La différence de comportement observée par rapport à Chua *et al.* provient que les dispositifs de Kumaki *et al.* sont placés sous vide avant le dépôt du semi-conducteur, permettant ainsi l'élimination des molécules d'eau et d'oxygène adsorbées sur la surface de l'oxyde.

L'effet des groupements hydroxyles sur le piégeage des charges et donc sur le fonctionnement du transistor ne se limite pas aux dispositifs utilisant un diélectrique en oxyde de silicium. Ce type de comportement est aussi observé sur des transistors avec d'autres isolants de grille inorganique comme l'alumine (Al_2O_3) [30] ou l'oxyde de tantale (Ta_2O_5) [31] mais aussi avec des diélectriques polymères tels que le PMMA, PVA ou PVP. Ces groupements hydroxyles ne sont pas les seuls à constituer des pièges à électrons. Les groupements carbonyles, par exemple, constituent des pièges encore plus efficaces. La figure 16 donne ainsi une échelle de l'efficacité du piégeage d'électrons en fonction de quelques groupements fonctionnels présents en surface du diélectrique [32].

Dans de nombreuses études, le piégeage des charges par les groupements hydroxyles semble avoir des effets presque uniquement sur la tension de seuil du transistor, les variations de mobilités parfois observées lors de mesures à l'air étant principalement dues à l'oxydation du semi-conducteur. Lee *et al.* ont toutefois constaté un effet de ces groupements hydroxyles sur la mobilité des porteurs [33]. En effet, ils ont observé une augmentation de la mobilité avec la quantité de groupements hydroxyles présents dans un diélectrique polymère composé d'un mélange d'unités maleimido phenols et vinyl phenols. Cette variation de la mobilité ne semble pas liée à la morphologie de la couche semi-conductrice, toutefois un meilleur arrangement des premières monocouches du semi-conducteur peut expliquer cette augmentation. Une autre explication évoquée est l'ajout de sites de sauts supplémentaires pour les charges apportées par les groupements hydroxyles.

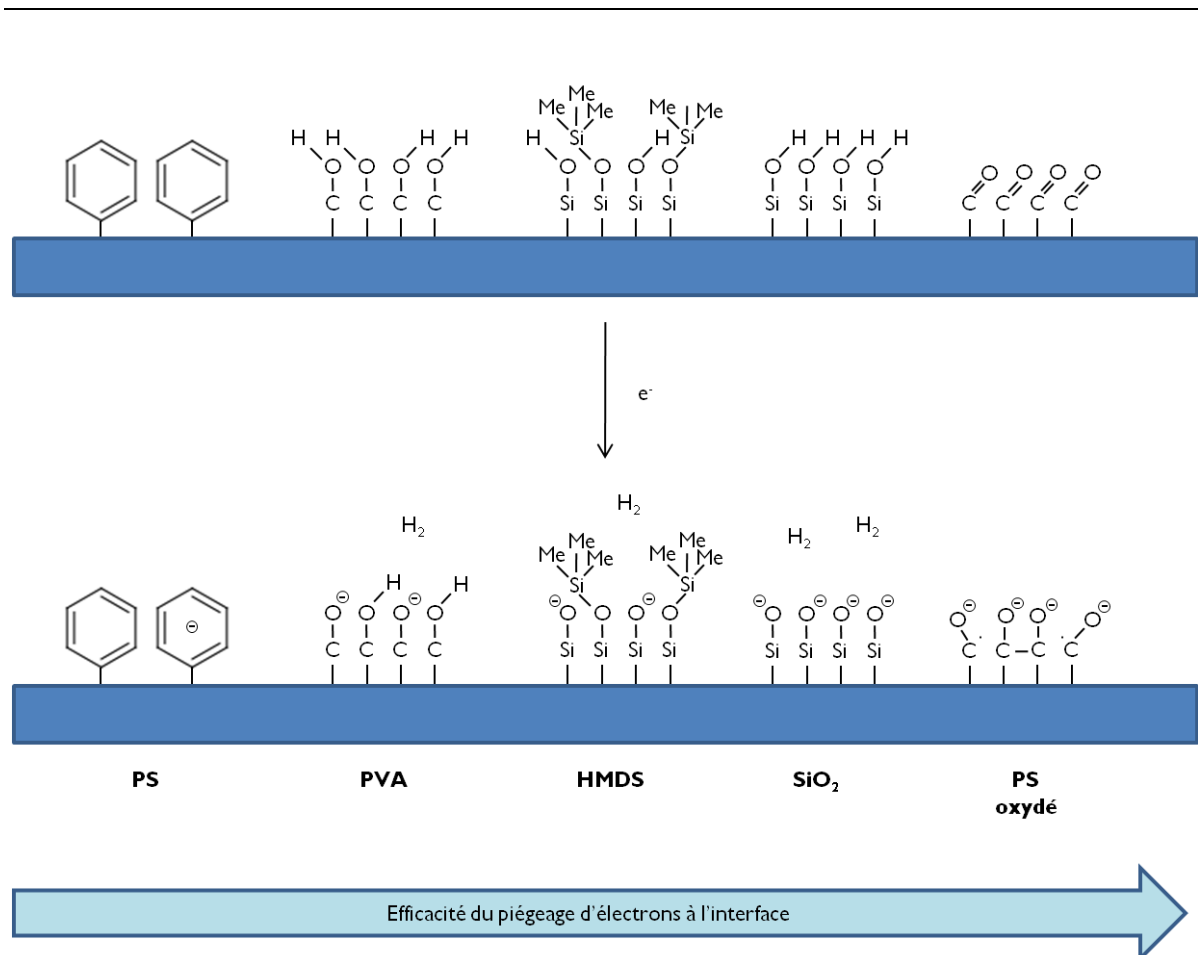


Figure 16 : Efficacit  du pi geage d' lectrons en fonction des groupements fonctionnels de surface [32].

Le pi geage des charges par les groupements hydroxyles du di lectrique est un ph nom ne couramment rapport  dans les transistors organiques. Mais, la facult  de ces groupements   r agir avec l'humidit  et l'oxyg ne est li e en r alit    leur polarit . Ainsi, d'autres groupements polaires vont avoir les m mes effets que ces groupements hydroxyles. C'est ce qu'ont constat  Kim *et al.* [34] en observant un d calage de la tension de seuil vers les tensions de grille positives et une augmentation de l'hyst r sis – dont une des causes est le pi geage de charges (cf. paragraphe 3.2.1.1) – en fonction des groupements fonctionnels de la couche polym re utilis e comme di lectrique. Ces polym res sont le poly(4-vinyl pyridine) (PVP), le polystyr ne (PS) et le poly(4-hydroxy styrene), (PHS) (ou poly(vinyl phenol), PVP). Ces trois isolants poss dent des groupements fonctionnels diff rents, ph nyles pour le PS, pyridines pour le PVP et ph nols pour le PHS, qui ont des polarit s diff rentes. Les groupements ph nyles sont des groupements non polaires, ils ne vont donc que tr s peu interagir avec les mol cules d'eau pr sentes dans l'air. Tandis que les groupements pyridines et ph nols sont connus pour  tre des groupements polaires, interagissant avec les mol cules d'eau   travers des liaisons hydrog ne, cr ant ainsi des pi ges soit accepteurs, soit donneurs d' lectrons. Par cons quent, les transistors avec di lectrique de grille en PS ne pr sentent aucun d calage de la tension de seuil ni d'hyst r sis lors de mesures   l'air, alors que les

transistors avec couche isolante en PVP ou PHS montrent un important décalage de la tension de seuil ainsi qu'une forte hystérésis.

2.3 Conclusion

Les interfaces constituent donc des éléments essentiels au bon fonctionnement d'un transistor organique. L'interface métal-semi-conducteur est importante du point de vue de la qualité de l'injection de charges dans le canal. Les contacts source et drain dans un transistor doivent être ohmiques. La résistance de contacts apparaît alors comme le paramètre le plus limitant. Toutefois, des voies d'amélioration sont possibles. Le greffage de monocouches auto-assemblées sur les électrodes source et drain, par exemple, en permettant une meilleure organisation du semi-conducteur au niveau des contacts et en diminuant la barrière de potentiel, permet de réduire fortement la résistance des contacts, et ainsi, améliore l'injection de charges.

L'interface entre le diélectrique et le semi-conducteur constitue la seconde zone critique d'un transistor organique. Elle est essentielle au bon transport de charges dans le canal. La qualité de cette interface va dépendre de nombreux paramètres. Par exemple, la rugosité ou l'énergie de surface de l'isolant de grille sont déterminantes du point de vue de la mobilité des porteurs de charges car elles déterminent la morphologie du semi-conducteur. L'environnement électronique de cette interface s'avère aussi être essentiel. Ainsi, les dipôles d'interface constituent un élément clé du point de vue de la stabilité de la tension de seuil. Leur présence va induire selon qu'ils soient donneurs ou accepteurs d'électrons, des déplacements de la tension de seuil qui peuvent être bénéfiques ou néfastes selon le sens de ce déplacement. Toutefois, les pièges pour les charges à l'interface, créés notamment à partir des groupements hydroxyles présents sur la surface de nombreux isolants de grille, s'avèrent être le paramètre le plus limitant pour le transport des charges dans le canal. En effet, les groupements hydroxyles mais aussi d'autres groupements polaires réagissent avec les molécules d'eau et d'oxygène présentes dans l'air et constituent d'importants pièges à électrons. La présence de ces pièges est un des éléments expliquant la difficulté à générer un canal n dans un transistor organique, mais ces pièges ont aussi des effets sur les transistors à canal p car ils sont les principaux responsables de l'instabilité de la tension de seuil. Par conséquent, comprendre comment ce type de pièges est généré et comment ils agissent sur le transport des charges est essentiel pour comprendre les mécanismes de conduction de charges dans les transistors organiques et pour améliorer leurs performances.

3 Phénomène d'hystérésis dans les OTFT.

3.1 Définition

Le phénomène d'hystérésis observé dans les caractéristiques statiques des transistors s'apparente généralement à une accumulation plus ou moins rémanente de porteurs de charges dans leur canal lors d'un cycle de balayage en tension au niveau de leur grille.

Pour une tension de grille, V_G , donnée, le courant de drain, I_D , mesuré va être différent entre l'aller (transistor à l'état off passant à l'état on) et le retour (transistor à l'état on passant à l'état off) du cycle. C'est un phénomène en général réversible, observable dans la plupart des transistors organiques dont la nature et l'intensité va dépendre du diélectrique de grille et de son interface avec le semi-conducteur organique.

3.2 Nature et origine

On peut distinguer deux types d'hystérésis selon la localisation des phénomènes qui sont à leur origine. Pour un V_G donné, si I_D retour est inférieur à I_D aller, l'origine de l'hystérésis provient de phénomènes qui ont lieu à l'interface entre le diélectrique et le semi-conducteur organique. L'hystérésis tourne alors dans le sens des aiguilles d'une montre (Figure 17) [35]. Si I_D retour est supérieur à I_D aller, l'hystérésis est causée par des phénomènes qui ont lieu dans le diélectrique. Elle tourne, alors, dans le sens inverse des aiguilles d'une montre [35]. Ce paragraphe va donc s'attacher à décrire les différents mécanismes conduisant à ces deux types d'hystérésis ainsi que l'origine de ces deux sens de rotation.

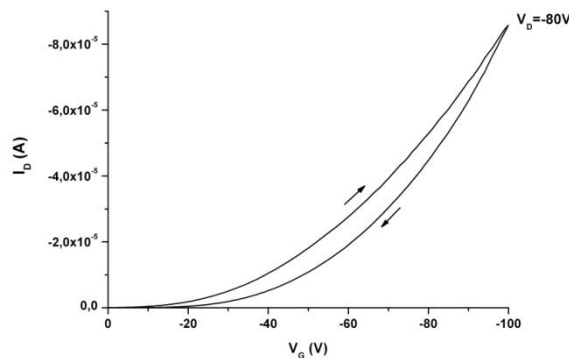


Figure 17 : Exemple d'hystérésis (transistor à base de pentacène réalisé durant ces travaux).

3.2.1 Phénomènes d'interface entre le diélectrique et le semi-conducteur organique

Plusieurs phénomènes se déroulant à l'interface entre le semi-conducteur et le diélectrique peuvent conduire à une hystérésis tournant dans le sens des aiguilles d'une

montre. Les deux les plus fréquemment reportés sont le piégeage des porteurs de charges et dans le cas des polymères, la formation de bipolarons.

3.2.1.1 Piégeage des porteurs de charges

On se place dans le cas d'un transistor à canal p. Les porteurs majoritaires sont donc les trous et les porteurs minoritaires, les électrons.

Gu *et al.* [36] proposent un mécanisme basé sur le piégeage de porteurs minoritaires dans le cas de transistors à base de pentacène (Figure 18). Lorsque la grille est polarisée à des tensions pour lesquelles le transistor est off (V_G fortement positif), des électrons sont accumulés à l'interface entre l'isolant de grille et le semi-conducteur et piégés dans des pièges à longue durée de vie (> 1 s). Lorsque la tension de grille diminue progressivement jusqu'à la tension de seuil, le nombre d'électrons piégés diminue. Au-delà de la tension de seuil (V_G fortement négatif), le transistor passe à l'état on, des trous sont accumulés dans le canal. Mais la constante de temps de libération des pièges étant plus longue que la vitesse de balayage de V_G , les électrons piégés à l'état off sont toujours présents. Il faut donc une quantité de trous supplémentaire à la quantité induite par l'effet combiné du champ électrique de grille et de la capacité du diélectrique pour compenser ces électrons et que la relation charge-tension soit respectée. Cet excès de trous mobiles va alors participer au courant. On aura donc un courant de drain plus important.

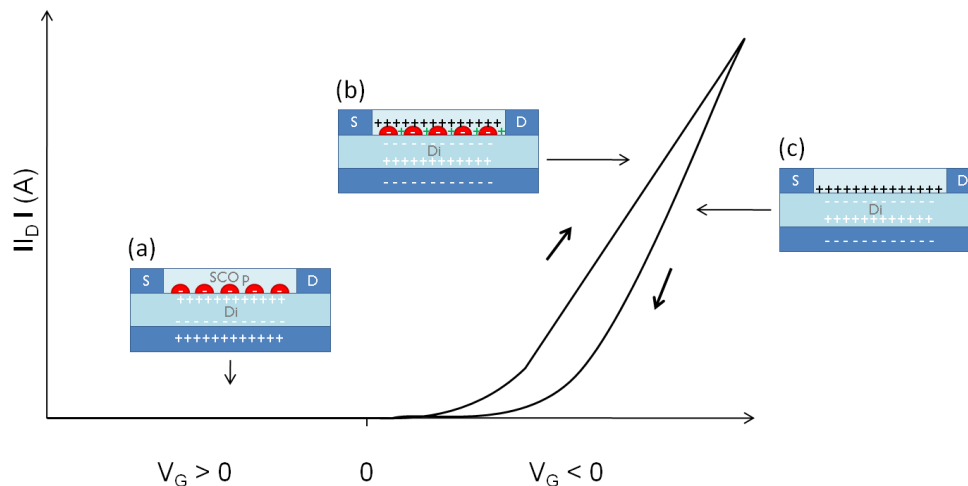


Figure 18 : Hystérésis causée par le piégeage des porteurs de charges minoritaires pour un transistor à canal p, (a) piégeage des électrons à l'état off, (b) trous supplémentaires dans le canal lors du balayage aller, (c) accumulation normale de trous lors du balayage retour [35].

Dans le sens contraire, la grille est polarisée à des tensions pour lesquelles le transistor est déjà à l'état on (V_G fortement négatif), les trous sont accumulés normalement dans le canal. Les pièges à électrons sont vides. Lors du balayage en V_G , ils se remplissent plus rapidement que la vitesse de balayage. Par conséquent, les quantités d'électrons et de trous sont toujours en équilibre. Il n'y a donc pas besoin de trous supplémentaires pour compenser. Pour une

même tension de grille, le courant de drain va donc être plus faible qu'à l'aller. L'hystérésis va donc tourner dans le sens des aiguilles d'une montre.

Les porteurs majoritaires, les trous peuvent aussi être piégés. Dans ce cas, à l'état off les sites pièges à trous sont vides. Lors du balayage en V_G vers l'état on, ils se remplissent rapidement de telle sorte que les quantités de trous piégés et de trous mobiles dans le canal restent à l'équilibre tout au long du balayage. Le courant de drain n'est donc pas affecté. Dans le sens contraire, le transistor est à l'état on, les pièges à trous sont remplis. Lorsque la tension de grille diminue progressivement vers l'état off, les trous piégés sont libérés plus lentement que la vitesse de balayage. Par conséquent, il y a moins de trous mobiles présents dans le canal et donc le courant de drain sera plus faible qu'à l'aller [37, 38].

Comme on peut le voir, la vitesse de balayage en V_G va avoir un rôle déterminant sur l'intensité de l'hystérésis car ce mécanisme de formation d'hystérésis apparaît lorsque la vitesse de balayage est plus rapide que le temps de libération des charges. Ainsi, plus la vitesse de balayage est rapide, plus le nombre de charges piégées entre le balayage aller et retour est important et donc, plus l'hystérésis est importante.

3.2.1.2 Réaction lente des porteurs de charges mobiles

Ce mécanisme n'est valable que pour les transistors à base de semi-conducteur polymère (Figure 19). Il est complémentaire du mécanisme précédent. En effet, des simulations ont montré que le piégeage de charges dans le semi-conducteur ne pouvait être l'unique mécanisme à l'origine des hystérésis dans les transistors polymères. Il modifierait seulement un autre processus qui serait lui, à l'origine de l'hystérésis.

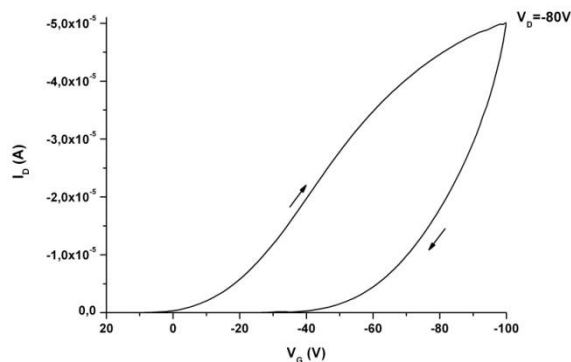


Figure 19 : Hystérésis sur un transistor PQT-12 réalisée durant ces travaux.

On a vu dans le paragraphe 1.3.2 qu'un porteur de charge (dans le cas de transistors à canal p, un trou) sur une chaîne polymère, associée avec la distorsion de chaîne qu'elle engendre est appelé polaron. Lorsqu'une nouvelle charge s'approche de ce polaron, ils peuvent former un bipolaron et constituer un état doublement chargé. L'origine de cet état doublement chargé par la formation de bipolarons fait débat. Un autre mécanisme basé sur la création de paires de polarons est aussi envisagé. Toutefois, dans une couche

d'accumulation, on ne peut distinguer la nature des espèces créant l'état doublement chargé [10]. On parlera donc, par la suite, simplement de bipolarons, tout en sachant que ce terme fera référence aussi bien à des bipolarons qu'à des paires de polarons.

L'hystérésis dans les transistors à semi-conducteur polymère (Figure 19) peut être expliquée par la cinétique de formation et de dissociation des bipolarons [10]. On se place dans le cas d'une capacité MIS avec un semi-conducteur conduisant les trous. On effectue un balayage en tension, des tensions positives vers les tensions négatives. Pour une polarisation fortement positive, la couche semi-conductrice est complètement déplétée, la capacité augmente au fur et à mesure du remplissage de cette couche déplétée, la concentration de polarons est inférieure au dopage du semi-conducteur et la constante de temps de formation de bipolarons est élevée. Lorsque la polarisation passe dans les valeurs négatives, on passe dans le régime d'accumulation, la capacité sature et la concentration en polarons augmente jusqu'à devenir supérieure au dopage. La constante de temps de formation de bipolarons diminue fortement, ce qui favorise la formation de bipolarons. Leur concentration devient plus importante que celle en polarons. Les charges sont ainsi piégées dans les bipolarons majoritaires immobiles. Lors du balayage inverse, les polarons mobiles sont déplétés de suite, par conséquent, la capacité diminue vers la capacité de déplétion dès le début du balayage. La vitesse de dissociation des bipolarons temporairement fixes de la couche d'accumulation va donc déterminer la largeur de l'hystérésis. Pour Kirova et Brazovskii [39], la formation de bipolarons est impossible à cause de la répulsion coulombienne. Un mécanisme de complexation avec des ions mobiles (des impuretés) dans le polymère qui stabilisent les bipolarons et ont donc une influence sur l'hystérésis, peut alors être envisagé [10].

3.2.2 Phénomènes dans le diélectrique

Dans ces mécanismes, c'est la polarisation dans le volume du diélectrique qui rentre en jeu. Cette polarisation peut être permanente, lorsque l'isolant de grille est un ferroélectrique, ou dynamique, dans le cas d'un diélectrique possédant des dipôles résiduels ou dont le courant de fuite est important, permettant l'injection de charge à partir de la grille dans le diélectrique. Ce type d'hystérésis est surtout observé lorsque le diélectrique est un isolant polymère.

3.2.2.1 Polarisation lente du diélectrique

Ce mécanisme est basé sur une lente réorientation des dipôles mobiles à l'intérieur du diélectrique [40]. Ces dipôles peuvent être des impuretés ioniques piégées dans le volume de l'isolant de grille lors du procédé de dépôt ou des groupements polaires dans le polymère. Lorsqu'une tension est appliquée sur la grille, ceux-ci vont se déplacer ou se réorienter sous l'effet du champ électrique engendré. Lors du balayage en V_G retour, ces dipôles mobiles vont rester orientés dans le sens du champ, l'empêchant, ainsi, de diminuer avec la polarisation de grille. Il y aura donc plus de charges accumulées à l'interface entre le semi-conducteur et le

diélectrique que sous l'action du seul champ dû à la grille. Le courant de drain, lors du balayage retour sera donc supérieur au celui du balayage aller. On aura donc une hystérésis dans le sens inverse des aiguilles d'une montre (Figure 20).

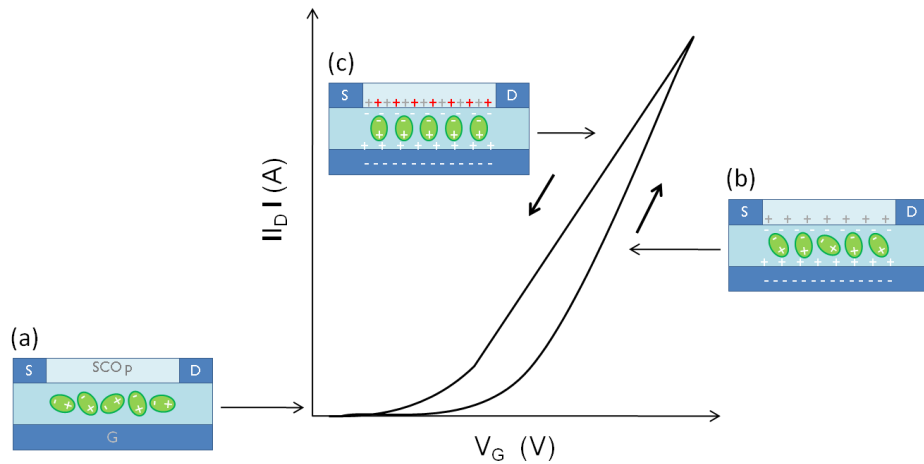


Figure 20 : Hystérésis causée par une polarisation lente du diélectrique, (a) transistor à l'état off, (b) lente réorientation des dipôles mobiles sous l'effet du champ dû à la grille, (c) accumulation supplémentaire de charges sous l'effet des dipôles restés orientés dans le sens du champ [35].

La vitesse de balayage joue un rôle important dans l'amplitude de l'hystérésis. En effet, si celle-ci est faible, la réorientation (ou les déplacements) des dipôles étant assez lente, un plus grand nombre d'ions ou de groupements polaires pourra se réorienter et ainsi l'hystérésis sera plus importante. Au contraire, si le balayage est rapide, les dipôles n'ont pas le temps de se réorienter, l'hystérésis est alors beaucoup plus faible.

L'épaisseur de la couche diélectrique va aussi être déterminante. En effet, une couche épaisse va contenir au total plus de dipôles mobiles qu'une couche fine. Ainsi, une couche d'épaisseur importante va induire une plus grande hystérésis qu'une couche fine [41].

Un exemple d'isolant polymère contenant des groupements polaires est le PVP (poly-4-vinyl phenol). Une interprétation pouvant expliquer l'hystérésis observée dans les transistors organiques l'utilisant comme diélectrique est la présence de groupements hydroxyles dans la couche de PVP. En effet, Hwang *et al.* [42] ont montré qu'un recuit permettant une plus grande réticulation de la couche polymère permet de diminuer, voire d'éliminer ces groupements hydroxyles et ainsi de réduire, voire de supprimer l'hystérésis.

Le PVA (poly(vinyl alcohol)) est un exemple d'isolant polymère qui possède des impuretés ioniques issues de sa synthèse. Selon Egginger *et al.* [43], une hystérésis est observée quand cet isolant est utilisé comme diélectrique dans des transistors à canal n à base de C₆₀ sans nettoyage après la synthèse. Lorsqu'un nettoyage par dialyse est effectué après la synthèse aucune hystérésis n'est observée. Ceci met en évidence le rôle joué par les résidus ioniques dans la présence ou non d'hystérésis.

D'autres isolants polymères, notamment les électrolytes polymères aussi connues sous le nom de gels ioniques [44] vont aussi avoir une réorganisation des ions qui les composent

sous l'effet d'un champ électrique, générant des hystérésis dans les transistors dans lesquels ils sont utilisés comme diélectrique de grille.

3.2.2.2 Injection de charges à partir de la grille

Les diélectriques polymères sont souvent considérés comme des isolants ayant des courants de fuite importants. Lorsqu'ils sont utilisés comme diélectriques de grille, des charges peuvent être injectées par la grille directement dans la couche isolante. Lors du balayage aller en V_G , des charges vont donc être injectées dans l'isolant. Elles vont alors rester piégées dans le volume du diélectrique. Lors du balayage retour, elles sont toujours présentes et vont alors créer un « retard » dans la décroissance du courant de drain. En effet, les charges piégées dans le diélectrique stabilisent celles accumulées dans le canal dont la quantité diminue alors, plus lentement que le champ imposé par la grille. Le courant de drain, lors du balayage retour, sera donc supérieur à celui du balayage aller et on aura donc une hystérésis dans le sens inverse des aiguilles d'une montre [35].

La présence des charges injectées par la grille dans le diélectrique est, en général, de courte durée [35]. Ainsi, si le balayage est assez lent, la quantité de charges présentes dans le diélectrique durant le balayage retour est faible voire même inexistante. L'hystérésis sera alors fortement diminuée voire même éliminée. Dans le cas contraire, lorsque la vitesse de balayage est élevée, le nombre de charges présentes dans le diélectrique lors du balayage retour est important et donc l'hystérésis sera d'autant plus grande [35]. On peut noter que la vitesse de balayage sur l'hystérésis, dans ce cas, a un effet contraire à celui observé lors d'une polarisation lente du diélectrique due à des dipôles résiduels. Ainsi l'influence de la vitesse de balayage sur l'amplitude de l'hystérésis sera un moyen de différencier ces deux phénomènes à l'origine de la formation d'hystérésis.

L'ajout d'une couche isolante inorganique entre la grille et le diélectrique polymère est un moyen d'éviter ce phénomène d'injection de charges par la grille [33, 41, 45, 46]. Par exemple, l'oxyde de silicium thermique est connu pour être un isolant avec de très faibles courants de fuite. Cette couche va alors avoir pour rôle de bloquer les charges injectées par la grille. L'efficacité de cette technique a été démontrée par Hwang *et al.* [41] et par Lee *et al.* [33] pour bloquer l'injection de charges dans le PVP et par Orgiu *et al.* [45] et Lee *et al.* [46] dans le PVA. Toutefois, tous les isolants inorganiques ne vont pas avoir la même efficacité selon leur méthode de dépôt ou leur épaisseur. Ainsi, par exemple, Hwang *et al.* [41] ont montré qu'une couche d'oxyde d'aluminium de 100 nm déposée par pulvérisation cathodique va laisser passer les charges et ne va donc pas permettre d'éliminer l'hystérésis.

3.2.3 Mémoires non volatiles

L'hystérésis est en général un phénomène que l'on cherche à éviter. En effet, elle occasionne une instabilité de la mobilité et de la tension de seuil qui est un problème majeur

pour les applications potentielles des transistors organiques. On peut, toutefois, en tirer partie, notamment pour réaliser des mémoires [47-49]. De telles applications vont alors nécessiter des modifications dans l'architecture des transistors organiques classiques. On peut citer par exemple, l'emploi d'un matériau ferroélectrique à la place du diélectrique ou encore l'ajout d'un matériau piégeant les charges dans le diélectrique.

3.2.3.1 Ferroélectriques

Les ferroélectriques polymères dont un des plus connus est le P(VDF-TrFE) (poly(vinylidene fluoride/trifluoroéthylène)) sont des isolants possédant une polarisation rémanente sous l'effet d'un champ électrique externe. Cette polarisation va ajouter un champ supplémentaire à celui exercé par la grille créant ainsi une hystérésis. Le mécanisme de formation de l'hystérésis est similaire à celui de la polarisation lente du diélectrique. Mais, avec ce type de matériau, elle va être permanente. Cette propriété va permettre d'utiliser ce type d'isolant pour réaliser des mémoires non volatiles [47].

3.2.3.2 Piégeage de charges dans le diélectrique

Certains types de transistors peuvent posséder un élément dans le diélectrique qui piège assez facilement des charges. Cet élément peut être un métal [48], on parle alors de transistors à grille flottante ou un électret [49] qui est en général un polymère isolant pouvant être facilement polarisé. Lors d'un balayage en V_G , des charges du semi-conducteur peuvent passer dans le diélectrique et y être piégées dans le métal ou dans l'électret. Ces charges sont ensuite stockées et ne sont libérées que lors du balayage en sens inverse. Ceci va donc créer une hystérésis dont le mécanisme est similaire à celui de piégeage des porteurs de charges. La différence entre ces deux mécanismes provient de la localisation des charges piégées dans le diélectrique, dans le cas présent, ou à l'interface entre le diélectrique et le semi-conducteur, dans le cas du piégeage des porteurs. Ce type de dispositifs permet d'atteindre des temps de rétention de charges qui en font de bons candidats pour réaliser des mémoires.

4 Les diélectriques de grille dans les transistors organiques

Dans un transistor organique, l'élément le plus étudié est le semi-conducteur car il en constitue la couche active et de nombreuses études sont menées afin d'améliorer sa stabilité, sa morphologie, etc... Toutefois, la couche isolante, tout en étant un élément passif, joue un rôle prépondérant dans le fonctionnement du transistor. On a vu dans la partie précédente à quel point sa nature chimique ainsi que la topographie de sa surface dans les transistors en configuration grille basse, sont déterminantes pour la qualité de l'interface entre le diélectrique et le semi-conducteur et donc pour le transport de charges dans un transistor organique. Mais, le diélectrique de grille en lui-même est aussi essentiel car c'est grâce à lui qu'il peut y avoir accumulation de charges à l'interface avec le semi-conducteur.

Différents types de matériaux isolants sont utilisés en tant que diélectrique de grille dans les transistors organiques. On peut les classer en trois catégories : les isolants inorganiques, les isolants polymères et les monocouches auto-assemblées. Cette partie a donc pour objectif de présenter ces matériaux en montrant leurs avantages et leurs inconvénients. Mais, une des données fondamentales liée au diélectrique est sa permittivité. Elle a une importance particulière car elle détermine la capacité de la couche diélectrique qui influence les principaux paramètres du transistor comme la mobilité des porteurs ou la tension de seuil mais aussi la quantité de charges accumulées dans le canal. Cette partie commencera donc par expliciter l'importance de la capacité de la couche isolante et par montrer comment elle peut être optimisée.

4.1 Capacité de la couche isolante

Un des buts de l'électronique organique est de réaliser des dispositifs à faible consommation d'énergie. Pour parvenir à cela, un transistor organique doit fonctionner avec de basses tensions mais avoir un courant qui circule dans son canal assez important. Or, le courant de drain dans un transistor dépend directement de la quantité de charges accumulées dans le canal. Mais, dans le cas idéal d'une interface isolant-semi-conducteur exempte de pièges et sans dipôles d'interface, la quantité de charges accumulées, Q , ne va dépendre que de la capacité du diélectrique de grille, C_i et de la tension appliquée sur la grille, V_G corrigée par la tension de seuil, V_T : $Q=C_i (V_G-V_T)$. Par conséquent un des moyens pour augmenter cette quantité de charges est d'augmenter la capacité du diélectrique qui est définie par :

$$C_i = \frac{\epsilon_0 k S}{d} \quad (14)$$

où ϵ_0 est la permittivité du vide, k est la constante diélectrique relative de la couche isolante, S est sa surface et d , son épaisseur. Pour cela, seuls deux paramètres peuvent être modifiés, à

savoir, l'épaisseur de l'isolant qui devra donc être la plus faible possible et sa constante diélectrique qui au contraire devra être la plus élevée.

La diminution de l'épaisseur de la couche diélectrique s'accompagne en général d'une perte de ses propriétés isolantes. En effet, lorsque la couche isolante est trop fine, les charges injectées par la grille peuvent la traverser et arriver jusqu'à l'interface avec le semi-conducteur, générant ainsi un courant de fuites. Ce courant est néfaste pour le fonctionnement du transistor car il constitue un courant parasite au courant de drain [50]. De plus, diminuer l'épaisseur de l'isolant implique un abaissement de la tension à partir de laquelle il y a claquage du diélectrique. Lorsqu'un diélectrique est « claqué », il ne joue plus son rôle d'isolant car un chemin de conduction y est créé, permettant aux charges de circuler librement entre la grille et les autres électrodes du transistor. La tension de claquage ne doit jamais être atteinte car c'est un processus irréversible, le transistor devient alors inutilisable. L'épaisseur optimale sera donc celle pour laquelle la capacité sera maximale tout en maintenant un niveau de fuites acceptable ainsi qu'une tension de claquage assez élevée.

L'autre moyen pour augmenter la capacité du diélectrique est d'utiliser un isolant à forte permittivité. Toutefois, même si l'emploi de tels isolants s'avère efficace du point de vue des tensions de fonctionnement du transistor [51], leur forte constante diélectrique peut engendrer une localisation des porteurs de charges à l'interface qui va avoir des effets néfastes sur la mobilité. En effet, Veres *et al.* [52] ont montré qu'une augmentation de la permittivité de la couche isolante s'accompagne en général d'une forte dégradation de la mobilité. Cette dégradation n'est pas liée à des changements morphologiques ou d'orientation du semi-conducteur, le phénomène est observé que le transistor soit en configuration grille haute ou grille basse (Figure 21 (c)). Elle n'est pas liée non plus à la nature cristalline du semi-conducteur. La mobilité est dégradée dans des semi-conducteurs polycristallins de type pentacène (Figure 21 (a)) tout comme dans des semi-conducteurs polymères de type poly(3-hexylthiophène) (P3HT) (Figure 21 (b)). Cette perte de mobilité des porteurs de charges semble plutôt due à la forte polarité du diélectrique qui localise les charges et les rend ainsi moins mobiles.

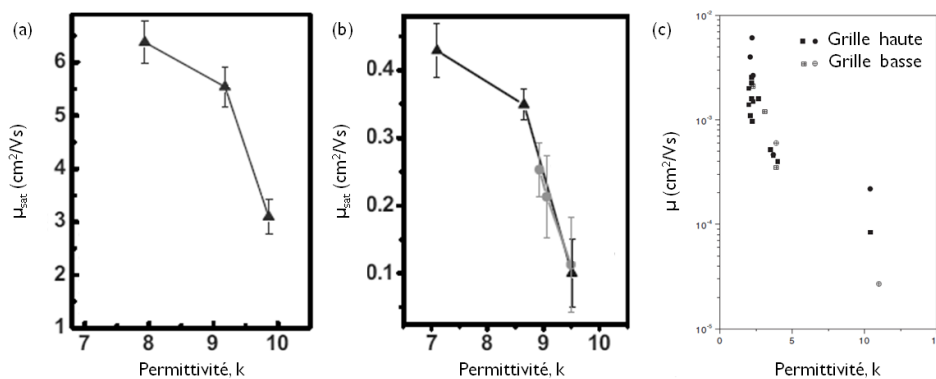


Figure 21 : Décroissance de la mobilité en fonction de la permittivité du diélectrique. Transistors (a) pentacène et (b) P3HT [53]. (c) Comparaison des configurations grille haute et grille basse [52].

La tension de seuil d'un transistor organique (dans le cas d'une structure idéale) est directement liée à la quantité de charges, $Q_{\text{pièges}}$ nécessaires pour remplir les niveaux énergétiques correspondant aux pièges présents à l'interface entre l'isolant et le semi-conducteur. Par conséquent, elle dépend uniquement de cette quantité et de la capacité de la couche isolante : $V_T = Q_{\text{pièges}}/C_i$. Ainsi, en augmentant la capacité de l'isolant, une plus grande quantité de porteurs de charges est accumulée. Les pièges inhibant le transport de charges vont alors pouvoir être remplis plus rapidement, c'est-à-dire pour une polarisation de grille moins importante, permettant donc une diminution de la tension de seuil [30].

Les hystérésis observées dans certains transistors organiques se traduisent par un décalage de la tension de seuil entre le balayage en tension aller et le balayage retour. Par conséquent, une modification de la capacité du diélectrique va aussi avoir des conséquences sur l'amplitude d'une hystérésis. Ainsi, une augmentation de la capacité entraîne une diminution de l'hystérésis [30]. En effet, lorsqu'elle est provoquée par le piégeage des porteurs majoritaires, la différence entre le courant aller et le courant retour est due à des vitesses de piégeage et de libérations des charges différentes. A l'aller, les charges sont piégées rapidement alors qu'au retour elles sont libérées plus lentement que la vitesse de balayage (cf. paragraphe 3.2.1.1). Or, la quantité de charges accumulées à l'interface augmente avec la permittivité du diélectrique, mais la quantité de pièges elle, reste constante. Par conséquent, lorsque la permittivité de la couche isolante est faible, lors du balayage retour, la quantité de charges restant piégées est plus importante que lorsque la permittivité est élevée. La quantité de charges piégées à l'interface peut alors être estimée en traçant l'amplitude de l'hystérésis, autrement dit la différence de tension de seuil en fonction de l'inverse de la capacité de l'isolant. Ainsi, un isolant de grille avec une constante diélectrique élevée est bénéfique, car il permet de réduire l'amplitude des hystérésis provoquées par le piégeage des porteurs majoritaires.

4.2 Isolants inorganiques

Le diélectrique le plus communément utilisé dans les transistors organiques est l'oxyde de silicium ou silice, SiO_2 . Ce matériau largement utilisé en microélectronique, présente d'excellentes propriétés isolantes et un champ de claquage élevé permettant l'utilisation de fortes tensions sans risques d'être endommagé. Toutefois, sa constante diélectrique est de 3,9, ainsi pour une épaisseur de 300 nm, la capacité de la couche isolante est d'environ 10 nF/cm², ce qui implique des tensions de fonctionnement assez élevées. Cet oxyde est le plus souvent fabriqué à partir de l'oxydation thermique d'un substrat de silicium. Les oxydes produits de cette façon sont de bonne qualité avec des courants de fuite peu élevés, de l'ordre de 0,1 $\mu\text{A}/\text{cm}^2$ pour une épaisseur de 300 nm et une rugosité de surface de l'ordre atomique. Cependant, lorsque son épaisseur est réduite à quelques nanomètres, la capacité est fortement augmentée mais le niveau de fuites passe à 0,1 A/cm² [54], ce qui le rend inutilisable dans un transistor. De plus, même si l'utilisation d'un oxyde thermique s'avère

pratique car le substrat silicium oxydé cumule les fonctions de support, d'électrodes de grille et de diélectrique, cette méthode de fabrication n'est pas transposable sur supports souples. D'autres méthodes de fabrication comme la pulvérisation cathodique ou le dépôt de nanoparticules par voie en solution, ont alors été étudiées mais elles se sont révélées moins performantes que l'oxydation thermique [54].

Afin d'augmenter la quantité de charges accumulées dans le canal du transistor, des isolants inorganiques avec une constante diélectrique plus élevée que celle de l'oxyde de silicium peuvent être utilisés. Le nitrure de silicium, par exemple, Si_3N_4 a une constante diélectrique de 6-7. Il peut être déposé par pulvérisation cathodique ou par PECVD (Plasma Enhanced Chemical Vapor Deposition) qui sont des méthodes de dépôt à basse température et donc compatibles avec les substrats souples [55]. Ces techniques peuvent générer des nitrures pas nécessairement stœchiométriques. Leurs propriétés de surface et leurs qualités diélectriques vont alors varier en fonction de leur composition, autrement dit, de la proportion d'azote par rapport au silicium. Ainsi, plus un nitrure est riche en silicium, plus sa constante diélectrique et son champ de claquage vont être faibles et plus sa surface va avoir un caractère hydrophobe [56]. Les performances des transistors vont alors être dépendantes de cette composition. Ainsi, il semblerait qu'un transistor utilisant un nitrure riche en silicium comme diélectrique présentera une meilleure mobilité des porteurs de charges et une tension de seuil plus faible, mais un rapport $I_{\text{on}}/I_{\text{off}}$ plus faible étant donné un courant de fuites plus important [56].

Un autre isolant inorganique dont les techniques de fabrication sont compatibles avec les supports souples est l'oxyde d'aluminium ou alumine, Al_2O_3 . Sa permittivité est d'environ 9. Il peut être réalisé par pulvérisation cathodique ou anodisation d'une couche d'aluminium. Une couche d'alumine déposée par pulvérisation cathodique présente de faibles courants de fuite même pour une épaisseur d'une cinquantaine de nanomètres. Par contre, comme dans le cas du nitrure de silicium, son champ de claquage va être dépendant de sa stœchiométrie : un oxyde d'aluminium riche en oxygène va avoir un champ de claquage beaucoup plus faible (de l'ordre de 0,3 MV/cm) qu'un oxyde quasi-stœchiométrique (2,1 MV/cm) [57]. Une couche réalisée par anodisation va présenter, elle, un champ de claquage supérieur à 3 MV/cm et des niveaux de fuite de l'ordre de quelques $\mu\text{A}/\text{cm}^2$ (pour une épaisseur de 130 nm) [58]. L'emploi d'alumine comme diélectrique de grille va donc permettre d'atteindre des capacités d'isolant plus élevées mais sans traitement de surface particulier, ses propriétés isolantes (courants de fuite, champ de claquage) sont comparables à celles de l'oxyde de silicium [58].

D'autres oxydes tels que les oxydes de titane, tantale, hafnium, zirconium ou en encore de gadolinium sont utilisés comme isolants de grille du fait de leur forte constante diélectrique [59].

L'oxyde de titane, TiO_2 a une permittivité qui varie selon sa structure cristalline et la technique selon laquelle il est fabriqué. Déposé par pulvérisation cathodique, sa constante diélectrique est de 41. Dans un transistor, une telle constante diélectrique permet de basses

tensions de fonctionnement, cependant, la mobilité des porteurs est détériorée par rapport à l'oxyde de silicium et le rapport I_{on}/I_{off} n'est que de 10^2 à cause d'importantes fuites de grille [60]. Lorsqu'il est fabriqué par anodisation ou par voie sol-gel, les courants de fuites s'avèrent aussi très élevés. Ainsi, l'oxyde de titane permet de réaliser des transistors fonctionnant à des tensions assez faibles (1 ou 2 V) mais il ne peut être considéré comme un bon diélectrique de grille du fait de ses importants courants de fuites.

L'oxyde de tantale, Ta_2O_5 , a une constante diélectrique proche de 23. Il peut être fabriqué par anodisation ou par évaporation sous faisceau d'électrons. A la différence de l'oxyde de titane, les courants de fuites y sont très faibles (10^{-7} - 10^{-8} A/cm²). Toutefois, selon la méthode de fabrication, l'énergie de sa surface va être différente, conduisant ainsi à une croissance du semi-conducteur différente dans une configuration grille basse et donc à des mobilités différentes [61].

L'oxyde d'hafnium, HfO_2 , est un isolant ayant une permittivité proche de celle de l'oxyde de tantale. Il peut être fabriqué par anodisation ou par voie sol-gel. La fabrication par anodisation conduit à des surfaces assez rugueuses ce qui va avoir des effets néfastes sur la mobilité des porteurs de charges et conduire à des hystérésis. Le dépôt par voie sol-gel donne lieu à de meilleures mobilités mais a besoin d'un recuit à 450°C ce qui le rend incompatible avec les supports souples et l'architecture grille haute. Dans les deux cas les tensions de fonctionnement sont de l'ordre de 1 V [62].

L'oxyde de zirconium, ZrO_2 , est très peu utilisé comme diélectrique de grille dans les transistors organiques. Il est déposé par évaporation sous faisceau d'électrons et a une constante diélectrique comprise entre 15 et 22. Des transistors à base de pentacène sur support souple ont été réalisés, présentant des performances quelque peu inférieures à l'oxyde de silicium pour des tensions de fonctionnement assez élevées [63].

Tout comme l'oxyde de zirconium, l'emploi de l'oxyde de gadolinium, Gd_2O_3 , comme isolant de grille dans un transistor organique n'a été rapporté que par un seul groupe. Sa permittivité ($k \approx 7$) est inférieure aux autres oxydes, à l'exception de l'oxyde de silicium. Le transistor à base de pentacène réalisé avec cet isolant présente une mobilité et un rapport I_{on}/I_{off} inférieurs à ceux de transistors réalisés sur oxyde de silicium mais avec une tension de seuil toutefois beaucoup plus faible [64].

De nombreux isolants inorganiques ont été utilisés comme diélectrique de grille dans les transistors organiques afin de remplacer l'oxyde de silicium. Toutefois, même si une réduction des tensions de fonctionnement est obtenue avec des isolants à forte permittivité, ceux-ci ne peuvent pas, la plupart du temps, être utilisés seuls comme isolants de grille. Un traitement de surface, l'ajout d'une couche d'un isolant polymère ou même d'une fine couche d'oxyde de silicium est nécessaire afin d'optimiser les performances des transistors. Un isolant à forte permittivité inorganique ne va donc être utilisé, la plupart du temps, qu'uniquement comme une couche permettant d'augmenter la capacité totale de la couche diélectrique du transistor.

4.3 Isolants polymères

L'autre grande catégorie de matériaux couramment employés comme diélectriques de grille dans les transistors organiques est constituée par les isolants polymères. Ces matériaux possèdent l'avantage de pouvoir la plupart du temps être déposés par voie en solution, ce qui est donc compatible avec l'un des objectifs de l'électronique organique qui est de réaliser des dispositifs à bas coûts. De plus, ce type de matériaux ne nécessite pas en général d'importantes températures de recuit, ce qui permet une utilisation de supports souples mais aussi, à condition que leurs solvants soient orthogonaux avec celui du semi-conducteur autrement dit que le semi-conducteur soit insoluble dans le solvant de l'isolant et inversement, de réaliser des transistors en configuration grille haute. Cependant, la plupart de ces isolants ont une constante diélectrique assez faible ce qui va avoir des effets néfastes sur l'accumulation de charges. Mais un des plus importants atouts de ces diélectriques provient de la propriété qu'ont certains d'entre eux de pouvoir réaliser une interface entre l'isolant et le semi-conducteur exempte de pièges. Il existe, cependant, une très grande variété d'isolants polymères. Le but de cette partie est, donc, de présenter les plus fréquemment utilisés dans les transistors organiques.

L'alcool poly(vinyle), PVA (Figure 22 (a)) et le poly(vinyl phenol), PVP (Figure 22 (b)) sont les polymères isolants les plus fréquemment utilisés dans les transistors organiques [54]. Ils sont solubles dans des solvants peu dangereux comme l'eau ou l'éthanol qui sont orthogonaux avec la plupart des solvants des semi-conducteurs. Leurs permittivités sont relativement élevées et ont pour valeurs 10 et 6,4 respectivement. Toutefois, les transistors réalisés avec ces polymères présentent de fortes hystérésis dont l'origine est principalement due à une lente réorientation des groupements polaires ou des impuretés ioniques présents dans la couche isolante [42, 43] (cf. paragraphe 3.2.2.1). Une réticulation de ces polymères avec des agents comme par exemple la mélamine-co-formaldéhyde, va permettre de diminuer le nombre de ces groupements ou de ces impuretés et donc d'éliminer l'hystérésis [42]. Un film de PVP réticulé présente de bonnes propriétés isolantes avec un courant de fuites de l'ordre de 10^{-7} A/cm² et un champ de claquage supérieur à 1,5 MV/cm pour une épaisseur de 650 nm. Mais la réticulation a pour effet de diminuer la constante diélectrique de la couche isolante – pour le PVP, elle diminue à 3,9 – et donc sa capacité [65].

Un autre polymère isolant fréquemment rencontré est le poly(méthyl méthacrylate), PMMA (Figure 22 (c)). Il est soluble dans de nombreux solvants comme le chlorobenzène ou le toluène. Sa constante diélectrique, dont la valeur varie entre 3,2 et 3,6, est proche de celle de l'oxyde de silicium. Comme le PVP, le PMMA réticulé présente de meilleures propriétés isolantes que le PMMA non réticulé. Son champ de claquage est alors supérieur à 3 MV/cm et son courant de fuites est de l'ordre de 10^{-5} - 10^{-6} A/cm² pour une couche de 30 nm alors que le niveau de fuites d'une couche de 100 nm non réticulée s'élève à 10^{-2} - 10^{-3} A/cm² [66]. Du point de vue des performances en configuration transistor, les transistors à base de pentacène ayant un isolant de grille en PMMA présentent des mobilités inférieures et des tensions de

seuil supérieures aux transistors dont la couche isolante est à base de PVP. Kang *et al.* lient cette différence de comportement à une meilleure croissance des grains de pentacène sur PVP et à un piégeage des charges plus importants à l'interface entre le PMMA et le semi-conducteur [67]. Le PMMA est un polymère comportant des nombreux groupements carbonyles alors que le PVP contient lui, des groupements hydroxyles. Or, on a vu dans la partie précédente, que les groupements carbonyles piégeaient plus fortement les électrons que les groupements hydroxyles, ainsi il est normal d'observer une tension de seuil plus importante avec une couche de PMMA comme diélectrique.

Le polystyrène, PS (Figure 22 (d)) est un polymère isolant dont la structure est proche de celle du PVP. En effet, dans le polystyrène, le groupement hydroxyle du groupement phényle est remplacé par un atome d'hydrogène qui est beaucoup moins réactif avec les électrons. Ainsi un transport de charges ambipolaire a été observé avec du rubrène, semi-conducteur conduisant préférentiellement les trous, sous atmosphère inerte. Toutefois, à l'air le transistor perd son caractère ambipolaire. Une accumulation d'impuretés à l'interface entre le rubrène et le polystyrène ou dans le film de rubrène semblerait être responsable de la perte de conduction d'électrons [68]. Par contre, du fait de sa surface non réactive, les transistors à canal p utilisant le polystyrène comme isolant de grille présentent une grande stabilité à l'air avec une tension de seuil qui reste inchangée lors de la mise à l'air du dispositif ainsi qu'une hystérésis quasi-inexistante [32, 34]. Du point de vue des propriétés isolantes, comme pour les isolants polymères vus précédemment, la réticulation du polystyrène permet une amélioration. Ainsi, un film de polystyrène de 150 nm non réticulé a des courants de fuites de l'ordre de 10^{-4} - 10^{-7} A/cm² alors qu'une couche de 10-20 nm de PS réticulé présente des courants de fuites assez faibles de l'ordre de 10^{-7} - 10^{-8} A/cm² [69]. Il a cependant une constante diélectrique assez faible de 2,6.

Un autre polymère isolant présentant des propriétés intéressantes pour être utilisé comme isolant de grille dans un transistor organique est le polyimide, PI (Figure 22 (g)). Il peut être déposé par voie en solution dans du N-méthylpyrrolidone et ne nécessite pas de recuit à des températures trop élevées, à la différence de PVP réticulé par exemple, qui doit être recuit à des températures de l'ordre de 170-200°C pour permettre une bonne réticulation. Le polyimide est ainsi plus compatible avec des applications sur supports souples ou des architectures grille haute. Des transistors à base de 6,13-bis(triisopropylsilylethynyl)pentacène (TIPS-pentacène) ayant une couche de polyimide comme diélectrique présentent des mobilités supérieures à ceux utilisant du PVP réticulé avec des tensions de seuil comparables. Sim *et al.* expliquent ces performances par une meilleure résistance du polyimide au solvant utilisé pour déposer le semi-conducteur [70]. Le polyimide présente aussi de bonnes propriétés d'isolation avec notamment un courant de fuite de l'ordre de 10^{-8} A/cm² et un champ de claquage de 3 MV/cm [71].

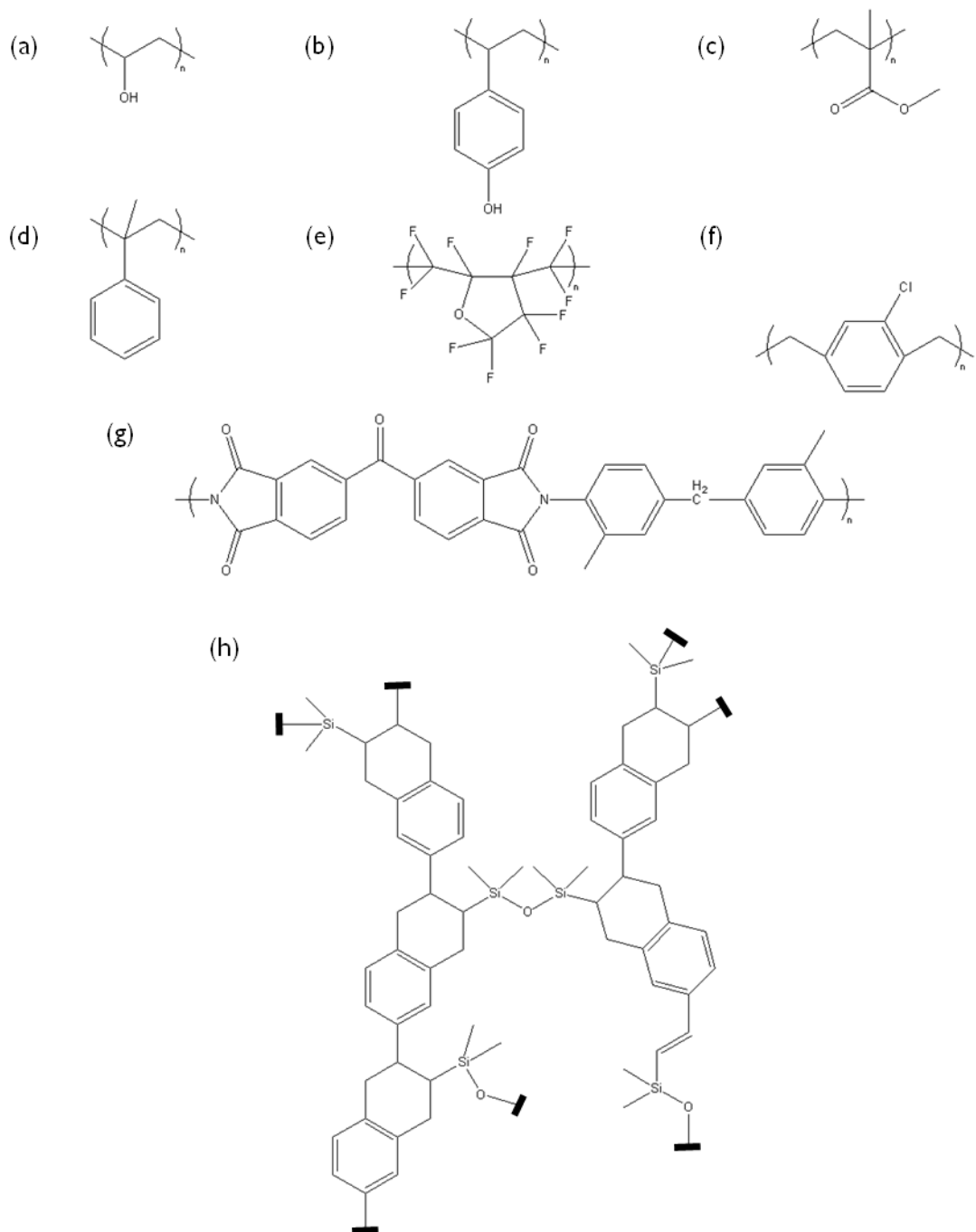


Figure 22 : Structures chimiques des principaux polymères utilisés comme diélectrique dans un transistor organique. (a) PVA, (b) PVP, (c) PMMA, (d) polystyrène, (e) Cytop, (f) parylène C, (g) polyimide, (h) BCB.

Le divinyltetramethyldisiloxane-bis(benzocyclobutène), BCB (Figure 22 (h)) est un polymère isolant connu notamment grâce aux travaux de Chua *et al.* montrant que les électrons pouvaient se déplacer dans la plupart des semi-conducteurs organiques et non seulement dans les semi-conducteurs dits « de type n » comme on le croyait précédemment [4]. Sa constante diélectrique est de 2,65 ce qui le classe dans la catégorie des isolants à faible permittivité mais il peut être déposé par voie en solution sous forme de couches de quelques dizaines de nanomètres, quasiment exemptes de défauts. Son champ de claquage est

supérieur à 3 MV/cm. Le niveau de fuites dans cet isolant est relativement correct, de l'ordre de 10^{-5} A/cm² [72]. L'intérêt de cet isolant polymère provient de sa capacité à former une interface entre le diélectrique et le semi-conducteur exempte de groupements hydroxyles et plus généralement de groupements polaires aptes à piéger les électrons. Une conduction de type n est ainsi possible dans la plupart des semi-conducteurs organiques. Toutefois une atmosphère inerte est nécessaire.

Un isolant polymère suscite aujourd'hui un intérêt grandissant : le polyperfluoroalkenyl vinyl ether, Cytop (Figure 22 (e)). C'est un polymère fluoré ayant une permittivité assez faible de 2,1-2,2. Son champ de claquage est très élevé, de l'ordre de 9,8 MV/cm et son courant de fuites est de l'ordre de 10^{-6} A/cm² pour une épaisseur de couche comprise entre 430 et 700 nm [73]. Le Cytop est un matériau présentant un fort caractère hydrophobe. Son angle de contact avec l'eau est compris entre 109 et 116°. Cette forte hydrophobicité rend son utilisation délicate. Par exemple, la photolithographie qui est une technique fréquemment utilisée pour réaliser les électrodes source et drain en configuration contacts bas, s'avère inutilisable sauf traitement de surface particulier [74]. Le dépôt du semi-conducteur par voie liquide en architecture grille basse peut aussi s'avérer problématique. En configuration grille haute, c'est le dépôt de l'électrode de grille qui sera affecté. Mais ce qui rend ce diélectrique attractif c'est la qualité de l'interface isolant-semi-conducteur dont il est à l'origine. En effet, la rugosité de sa surface est comparable à celle de l'oxyde de silicium thermique, c'est-à-dire quelques angströms, permettant ainsi une conduction optimale des charges à l'interface [73]. De plus, le Cytop ne possède aucun groupements fonctionnels susceptibles de piéger les électrons ce qui va permettre une plus grande stabilité des transistors à canal n [75]. En effet, dans des transistors à base de fullerène, C₆₀, semi-conducteur connu pour conduire préférentiellement les électrons, avec un isolant de grille en oxyde de silicium, un courant d'électrons n'est observable qu'uniquement lorsque le transistor est mesuré sous atmosphère inerte. Par contre, lorsque le diélectrique est constitué de Cytop, le transistor fonctionne à l'air avec toutefois une diminution de la mobilité au cours du temps. Le même phénomène étant observé sur les transistors avec isolant de grille en oxyde de silicium sous atmosphère inerte. Jang *et al.* estiment que la densité de pièges dans les deux dispositifs est la même. Ainsi, l'exposition à l'air génère des pièges profonds dans les deux dispositifs. Avec l'oxyde de silicium ces pièges viennent s'ajouter à ceux déjà présents sur la surface de l'oxyde (cf. partie 2.2.4) inhibant toute conduction dans le canal du transistor. Avec le Cytop, la surface du diélectrique est initialement exempte de pièges, les pièges créés par l'exposition à l'air vont alors perturber le transport des électrons mais ne vont pas être assez nombreux pour le supprimer. Mesuré sous atmosphère inerte, le transistor utilisant le Cytop comme diélectrique présente une remarquable stabilité, avec aucun changement significatif au bout de 2000 h [75]. Dans les transistors à canal p, l'usage du Cytop comme isolant de grille augmente la stabilité à l'air des dispositifs. Ainsi, un transistor à base de pentacène connu pour présenter une hystérésis et un décalage de la tension de seuil lors de mesures sous

contraintes électriques lorsque l'isolant de grille est en silice, ne présente aucune hystérésis ni décalage de la tension de seuil avec du Cytop même lors de mesures à l'air [76]. La nature hydrophobe du Cytop explique ce comportement. En effet, en plus de ne pas présenter de groupements polaires sur sa surface, l'hydrophobicité du Cytop ne permet pas aux molécules d'eau présentes dans l'atmosphère de s'adsorber et de diffuser dans la couche de polymère isolant. Ainsi, alors que sur d'autres isolants inorganiques, comme la silice, ou polymères comme le PVP, les molécules d'eau adsorbées créent de nouveaux sites pièges, sur le Cytop, aucun nouveau piège n'est créé [77]. C'est pour cela que les transistors dont le Cytop constitue l'isolant de grille présentent une grande stabilité, même lors de mesures à l'air. Le Cytop constitue aussi un excellent diélectrique de grille en architecture grille haute [78]. Etant soluble dans un solvant fluoré, orthogonal avec la plupart des solvants de semi-conducteur, il peut être facilement déposé par voie en solution sur un semi-conducteur sans risque de l'endommager. De plus, de par son caractère hydrophobe, il constitue un excellent encapsulant pour la couche semi-conductrice, car il repousse les molécules d'eau présentes dans l'air.

Le parylène C ou poly(chloro-p-xylylene) (Figure 22 (f)), est un polymère isolant qui contrairement aux isolants évoqués précédemment ne peut être déposé par voie en solution. Son dépôt se fait par dépôt chimique en phase vapeur (CVD, Chemical-Vapor Deposition). Dans cette technique le substrat sur lequel est déposé le parylène reste à température ambiante. L'isolant polymère se forme alors par condensation des précurseurs sur la surface du substrat. Ainsi dans le cas de transistors organiques, le parylène peut être déposé sur supports souples ou en configuration grille haute sur le semi-conducteur sans risque de l'endommager. Le parylène C a une permittivité assez peu élevée de 2,9-3,1, mais son niveau de fuites à travers une couche de $1\ \mu\text{m}$ est relativement faible, de l'ordre de $10^{-9}\ \text{A}/\text{cm}^2$ [79]. Comme le Cytop, le parylène C en configuration grille basse améliore la stabilité des transistors. Dans des transistors à base de picène, une très faible, voire inexistante hystérésis est observée lors de mesures à l'air grâce à la nature hydrophobe de la surface de parylène [80]. Les transistors à base de picène peuvent être utilisés comme capteur d'oxygène, toutefois sur oxyde de silicium, la forte décroissance du courant de drain lors de mesures sous contraintes électriques rend leur utilisation impossible. Avec le parylène C, cette diminution est beaucoup plus lente du fait de la faible quantité de molécules d'eau présentes sur sa surface permettant ainsi la détection d'oxygène [80]. De même avec un semi-conducteur conduisant préférentiellement les électrons de type fullerène, comme on l'a vu, à l'air, aucun courant d'électrons n'est observable sur oxyde de silicium, alors que sur du parylène C, une mobilité de $0,41\ \text{cm}^2/\text{Vs}$ est relevée. Toutefois, comme sur Cytop, elle diminue au cours de son utilisation à l'air [81]. En configuration grille haute, la couche de parylène ne va cependant pas se révéler être un bon encapsulant car il semblerait qu'elle ne soit pas une barrière efficace à la diffusion des molécules d'eau [82].

Ces matériaux constituent les isolants polymères les plus fréquemment utilisés dans les transistors organiques. De nombreux autres ont été étudiés. Cependant, en établir la liste s'avèrerait vain. On peut toutefois citer par exemple des matériaux comme la mélamine [83], le nylon, le téflon [84] ou encore un polymère ferroélectrique comme le poly(vinylidène fluorure-trifluoroéthylène), P(VDF-TrFE).

4.4 Monocouches auto-assemblées.

Un moyen couramment utilisé pour améliorer les performances des transistors est l'emploi de monocouches auto-assemblées, SAM (Self-Assembled Monolayers). Ces monocouches peuvent être utilisées directement comme isolant de grille ou comme couche intermédiaire entre un diélectrique inorganique et le semi-conducteur [85]. Dans le premier cas, le but est de créer une couche isolante de très fine épaisseur afin de d'augmenter la capacité du diélectrique et donc l'accumulation de charges. Dans le second, le but est plutôt de passiver la surface des isolants inorganiques afin de diminuer la quantité de pièges à l'interface et d'améliorer la croissance du semi-conducteur.

4.4.1 Diélectrique de grille

Le dépôt d'une monocouche auto-assemblée correspond en général au greffage de molécules organiques sur la surface d'un matériau. Dans le cas des monocouches servant d'isolant de grille, ce greffage devrait se faire directement sur l'électrode de grille. Or ce type de molécules a besoin de groupements hydroxyles pour pouvoir se greffer [85]. Pour cela, un traitement plasma O_2 est appliqué sur le métal afin de créer une fine couche d'oxyde, d'une épaisseur de 2-3 nm, qui permet l'accrochage des molécules. Cette technique est en général employée lorsque les dispositifs sont réalisés sous atmosphère contrôlée [86]. Lorsque le transistor est réalisé à l'air, une couche d'oxyde natif se forme instantanément sur la surface de l'électrode de grille lors de mise en contact du métal avec l'air. Une telle couche d'oxyde est alors suffisante pour réaliser le greffage. L'épaisseur de ces monocouches est de l'ordre de 2 nm donc, du même ordre de grandeur que la couche d'oxyde. Par conséquent, considérer que la monocouche auto-assemblée constitue à elle seule le diélectrique du transistor n'est pas totalement correct. Toutefois, elle permet de fortement améliorer les propriétés isolantes de ces oxydes qui sont en général très mauvaises. Par exemple, l'oxyde de silicium à de telles épaisseurs a des courants de fuites de l'ordre de 10^{-1} - 10^{-3} A/cm². De tels niveaux de fuites sont totalement incompatibles avec le fonctionnement d'un transistor. Le greffage d'une monocouche de (18-phénoxyoctadécyl)trichlorosilane, PhO-OTS permet par exemple, de diminuer ces fuites à des niveaux beaucoup plus faibles de l'ordre de 10^{-8} A/cm² [87]. Cependant, toutes les monocouches auto-assemblées ne vont pas avoir la même efficacité sur la réduction du courant de fuites. L'acide n-octadécylphosphonique, par exemple, réduit d'un ordre de grandeur supplémentaire, par rapport au n-octadécyltrichlorosilane, OTS, le

courant de fuites à travers un oxyde d'aluminium de 3,6 nm [86]. Ces monocouches améliorent aussi fortement le champ de claquage de ces diélectriques et permettent même d'atteindre des valeurs supérieures aux meilleurs isolants utilisés avec des épaisseurs pourtant beaucoup plus élevées [88]. Ainsi, le champ de claquage d'un oxyde natif d'oxyde de silicium atteint jusqu'à 7 MV/cm après greffage successif d'une multicouche composée de chaînes hydrocarbonées α,ω -difonctionnalisées, de stilbazolium fortement polarisable et d'octachlorotrisiloxane d'une épaisseur de 5,5 nm [88]. Ce champ peut même atteindre la valeur de 14 MV/cm après greffage d'une monocouche de PhO-OTS [87]. La permittivité de ces monocouches est en général assez faible de l'ordre de 2,5, mais grâce à leur faible épaisseur, une capacité de 700 nF/cm² est atteinte pour une couche de 2,1 nm d'acide n-octadecylphosphonique greffée sur 3,6 nm d'alumine [89] et jusqu'à 900 nF/cm² pour une couche de 2,5 nm de PhO-OTS greffée sur oxyde de silicium [87]. Avec de telles capacités, les tensions de fonctionnement des transistors réalisés avec ce type de diélectriques sont inférieures à 2 V. Les mobilités des porteurs dans ce type de transistors sont relativement élevées. Ainsi une mobilité de 0,6 cm²/Vs est relevée pour des transistors à canal p à base de pentacène. Il en est de même pour les transistors à canal n avec une mobilité de 0,02 cm²/Vs pour des dispositifs à base de phthalocyanine de cuivre hexadécafluorée, F₁₆CuPc, mobilité parmi les meilleures pour ce type de semi-conducteur [89]. Un des paramètres le plus efficacement amélioré par ce type de diélectriques est la pente sous le seuil. Ainsi des transistors pentacène avec une monocouche auto-assemblée de PhO-OTS présentent une pente sous le seuil de 100 mV/décade, valeur relativement faible qui est synonyme d'une interface entre le diélectrique et le semi-conducteur de bonne qualité [87]. On notera aussi, l'existence de nanodiélectriques auto-assemblés qui sont constitués de plusieurs monocouches auto-assemblées, superposées les unes sur les autres. Ces multicouches peuvent être utilisées en tant que tel comme diélectrique [85].

4.4.2 Couche intermédiaire entre le semi-conducteur et le diélectrique

Les monocouches auto-assemblées sont toutefois principalement utilisées comme traitement de surface sur des oxydes plus épais afin de modifier l'interface entre l'isolant et le semi-conducteur. Les plus connues sont l'octadecyltrichlorosilane, OTS et l'hexamethyldisilazane, HMDS, déjà utilisées en microélectronique inorganique pour rendre une surface plus hydrophobe ou comme promoteur d'adhérence. Le greffage de ces monocouches sur la surface d'un oxyde modifie son énergie de surface et lui donne un caractère plus hydrophobe. Comme on l'a vu dans la partie 2.2.2, la morphologie de la couche semi-conductrice est fortement influencée par l'énergie de la surface sur laquelle elle croît. Or, ces monocouches ne vont pas avoir le même impact sur la croissance de la couche semi-conductrice selon qu'elle soit composée de petites molécules de type pentacène ou de polymères.

Ainsi, il semblerait qu'une monocouche d'OTS ou de HMDS ne modifie pas la taille des grains d'une couche de pentacène mais permet toutefois une amélioration de la mobilité des porteurs [90]. Au contraire, Kalb *et al.* observent une croissance différente des grains de pentacène sur une surface d'alumine traitée par une monocouche auto-assemblée d'acide eicosanoïque par rapport à une surface non traitée [91]. Sur l'alumine non traitée, le pentacène croît en deux dimensions de façon dendritique alors que sur la surface traitée par la monocouche auto-assemblée, il croît plus densément en trois dimensions sous forme de plus petits grains. Cette morphologie va conduire à une mobilité plus élevée et une dépendance de cette mobilité avec la tension appliquée sur la grille moins importante lorsque la surface d'alumine n'est pas traitée par la monocouche auto-assemblée. En effet, la couche de pentacène sur l'alumine traitée présente plus de défauts aux joints de grains à cause des plus petits grains, mais les grains eux-mêmes sont plus homogènes, permettant ainsi une meilleure mobilité des porteurs [92]. Virkar *et al.* observent eux, une croissance différente des premières couches de pentacène et de fullerène en fonction de la cristallinité de la monocouche d'OTS sur laquelle ils sont déposés. Une croissance en trois dimensions de ces premières couches est observée sur une monocouche d'OTS désordonnée alors qu'un mode de croissance en deux dimensions est privilégié lorsque la monocouche est cristalline. Contrairement aux conclusions de Kalb *et al.*, il semblerait que la croissance en deux dimensions en permettant la formation d'une couche semi-conductrice plus dense, serait plus favorable au transport de charges et permettrait donc d'atteindre de meilleures mobilités [93]. Kim *et al.* observent eux une meilleure croissance du pentacène et donc une meilleure mobilité sur des monocouches auto-assemblées formées par de courtes chaînes alkyles. Toutefois, ces monocouches sont désordonnées alors que les chaînes plus longues sont elles, plus ordonnées. C'est ce désordre qui permettrait qu'il y ait moins de site de nucléation lors la croissance du pentacène et donc favoriserait la formation de plus gros grains dès les premières couches du dépôt [94]. Ces conclusions semblent toutefois en contradiction avec celles de Virkar *et al.* L'effet des monocouches auto-assemblées sur la croissance du pentacène reste donc encore à clarifier.

Dans le cas des polymères, la monocouche auto-assemblée va influencer l'orientation des chaînes polymères. Des monocouches d'OTS ou d'HMDS favorisent ainsi une orientation lamellaire de l'empilement π - π . Cette orientation permet un meilleur transport entre les chaînes et améliore la mobilité. Toutefois ces monocouches ne vont pas avoir la même influence selon la longueur des molécules qui les composent. Wu *et al.* ont ainsi montré qu'une monocouche d'octylchlorosilane, OTS-8 sur oxyde de silicium, induit une meilleure orientation des chaînes de poly(3,3''-didodecylquarterthiophene), PQT-12, par rapport à une monocouche d'octadecyltrichlorosilane, OTS ou de HMDS. Ces molécules ont des longueurs de chaîne différentes, la plus longue étant l'OTS et la plus courte le HMDS. Il semblerait donc qu'une monocouche soit la plus efficace lorsque les molécules qui la composent ont

une longueur de chaîne ni trop longue comme l'OTS, ni trop courte comme le HMDS mais plutôt une longueur intermédiaire comme l'OTS-8 [95].

On vient de voir que le dépôt d'une monocouche de HMDS sur une surface d'oxyde de silicium améliore la mobilité des porteurs dans des transistors à base de pentacène même si aucun changement morphologique n'est observé [90]. Yagi *et al.* montrent quant à eux, que cette couche de HMDS permet une diminution du courant off. En effet, dans leur dispositif la surface de l'oxyde subit un traitement plasma O_2 avant dépôt du semi-conducteur ou de la monocouche auto-assemblée. Ce traitement de surface crée de nombreux sites pièges sur la surface de l'oxyde. Le traitement par HMDS permet donc, de réduire la densité d'états de pièges à l'interface et donc, de fortement diminuer le courant off [96]. Chua *et al.* montrent pour leur part, une conduction d'électrons dans un semi-conducteur conduisant préférentiellement les trous comme le poly(9,9'-dioctylfluorene-co-benzothiadiazole), F8BT, grâce au greffage de monocouches auto-assemblées sur la surface d'un oxyde de silicium [4]. Toutefois, comme pour l'orientation des chaînes polymères, ces monocouches n'ont pas la même efficacité selon la longueur de la molécule qui les constitue. Ainsi, il apparaît qu'une monocouche auto-assemblée formée de longues chaînes d'OTS passive plus efficacement les groupements hydroxyles présents sur la surface de l'oxyde, qu'une monocouche composée de molécules plus courtes comme le HMDS. Cependant, cette passivation des groupements hydroxyles n'est pas complète, ce qui induit un décalage de la tension de seuil vers les tensions de grille positives lors de balayages successifs en V_G . Ce décalage est d'autant plus important que la monocouche auto-assemblée est composée de chaînes courtes. Mais cette passivation des groupements hydroxyles par les monocouches auto-assemblées va aussi avoir des conséquences sur les hystérésis observées dans les transistors à canal p. En effet une cause d'hystérésis dans ces transistors est le piégeage d'électrons lors du balayage aller qui nécessite un courant de trous plus important afin de contrebalancer les charges négatives piégées (cf. paragraphe 3.2.1.1). Or, si le piégeage d'électrons est diminué grâce à la présence d'une monocouche auto-assemblée, l'amplitude de l'hystérésis engendrée par le piégeage de ces charges négatives doit également diminuer. Ce phénomène a été observé par Fumagalli *et al.* avec toutefois une efficacité variable en fonction de la longueur des molécules composant la monocouche [97]. Cette passivation plus ou moins efficace et incomplète des groupements hydroxyles en fonction de la longueur de la molécule employée, peut s'expliquer par le fait que les molécules, pour se greffer sur la surface de l'oxyde, réagissent avec un certain nombre de groupements hydroxyles mais pas avec tous, laissant ainsi des groupements résiduels susceptibles de piéger les électrons. Les chaînes plus longues étant plus denses et plus compactes réagissent avec une plus grande quantité de ces groupements, laissant ainsi, moins de groupements hydroxyles susceptibles de piéger les électrons.

Les monocouches auto-assemblées ont aussi une influence sur la tension de seuil des transistors en fonction des groupements terminaux des molécules qui les composent. Kobayashi *et al.* ont observé des tensions de seuil différentes sur des transistors à base de

pentacène et de fullerène comportant une monocouche auto-assemblée se terminant par des groupements fluorés, amines et méthyles [28]. Ainsi, les monocouches présentant des groupements fluorés en surface, induisent un décalage de la tension de seuil vers les polarisations positives par rapport à l'oxyde de silicium non traité, alors que les monocouches se terminant par des groupements amines favorisent un décalage vers les tensions négatives. Les monocouches avec des groupements méthyles en surface, quant à elles, induisent seulement un faible décalage vers les tensions positives. Ces déplacements se produisent dans le même sens, que ce soit dans les transistors à canal p ou à canal n. Par conséquent, leur origine provient de porteurs de charges supplémentaires apportés par les monocouches auto-assemblées, les monocouches aminées permettant une accumulation plus importante d'électrons et les monocouches fluorées induisant une quantité supérieure de trous. Cette accumulation supplémentaire de trous sous l'action d'une monocouche auto-assemblée fluorée, serait principalement due au moment dipolaire des molécules formant la monocouche. Les groupements fluorés terminaux de ces molécules induisent un fort moment dipolaire qui a pour effet de générer un champ électrique local supplémentaire qui vient s'ajouter au champ induit par la grille et permet donc, une accumulation plus importante de trous (cf. paragraphe 2.2.3). L'origine du déplacement de la tension de seuil induit par la monocouche dont la surface présente des groupements amines est, par contre, moins claire, car il n'est pas la conséquence d'un moment dipolaire dans les molécules formant la monocouche, ce moment dipolaire étant relativement faible et dans le sens contraire de l'accumulation d'électrons supplémentaires. Une explication possible est un transfert d'électron directement de la monocouche vers le semi-conducteur.

Les monocouches auto-assemblées constituent une voie d'amélioration importante de l'interface entre l'isolant et le semi-conducteur. La plupart du temps leur utilisation induit une augmentation de la mobilité des porteurs, ainsi qu'un déplacement de la tension de seuil, permettant ainsi un meilleur contrôle de cette dernière. Toutefois, leur usage semble limité à des isolants inorganiques, à l'exception des cas où elles constituent à elles seules le diélectrique du transistor. Un greffage de ces monocouches est possible sur des isolants polymères du type PMMA, par exemple, mais leur action semble toutefois très limitée [98].

4.5 Isolants bicouches

Sur le même principe que les monocouches auto-assemblées sur les diélectriques inorganiques, de fines couches polymères peuvent être déposées sur ces isolants. En effet, les isolants inorganiques sont surtout utilisés à cause de leur forte permittivité, à l'exception de l'oxyde de silicium. Toutefois, ils présentent souvent des courants de fuites assez importants selon la méthode par laquelle ils sont fabriqués et possèdent de nombreux groupements hydroxyles sur leur surface. Les isolants polymères présentent eux l'avantage d'avoir des niveaux de fuites assez faibles, du moins lorsqu'ils sont réticulés. De plus, certains d'entre eux ont peu, voire pas, de groupements fonctionnels sur leur surface, susceptibles de piéger

les électrons. La nature hydrophobe de la surface de ces matériaux est aussi un de leurs atouts car elle permet de limiter la diffusion des molécules d'eau à l'interface isolant-semi-conducteur. Mais, ces isolants possèdent en général de faibles permittivités. Le transistor a alors besoin de tensions assez élevées pour fonctionner. Ainsi, utiliser une couche diélectrique composée d'un isolant inorganique et d'un isolant polymère permet de bénéficier des qualités des deux types de matériaux tout en corrigeant une partie de leurs défauts. Par exemple, l'emploi d'une couche de PMMA sur un oxyde de tantale permet d'améliorer fortement le rapport I_{on}/I_{off} , et la mobilité des porteurs d'un transistor à base de pentacène, tous deux étant augmentés de deux ordres de grandeur par rapport à des transistors utilisant l'oxyde de tantale seul. La couche d'oxyde de tantale permet d'augmenter la capacité globale de la couche diélectrique et donc d'atteindre des tensions de fonctionnement plus faibles qu'avec une couche unique de PMMA [99]. L'épaisseur de la couche de PMMA a une importance particulière car une couche trop épaisse écrante totalement la capacité de la couche d'oxyde, ce qui rend alors cette couche inutile. Par conséquent, la couche polymère est en général d'une épaisseur assez faible, on parle alors de couche tampon.

La couche inorganique ne doit pas nécessairement avoir une grande épaisseur pour influencer le comportement d'un transistor. Par exemple, une couche de 5 nm est suffisante pour modifier la constante diélectrique totale d'une bicouche TiO_2 -PS. En effet, la fine couche de polystyrène est employée afin de réduire le niveau de fuites de la couche ultrafine d'oxyde de titane. Etant donnée son épaisseur – 21 nm, donc quatre fois supérieure à celle d'oxyde de titane - la couche de polystyrène devrait écranter totalement la capacité de la couche d'oxyde. Or, la constante diélectrique totale de la bicouche TiO_2 -PS est tout de même de 2,9, donc supérieure à celle du polystyrène seul qui vaut 2,6 [100].

Dans les isolants bicouches comportant une couche d'oxyde de silicium, la couche d'oxyde est en général employée comme substrat pour pouvoir comparer l'effet de différents isolants polymères, tout en bénéficiant des qualités isolantes de cet oxyde, mais aussi en s'affranchissant des groupements hydroxyles présents sur sa surface [101, 102]. De plus, les transistors sur oxyde de silicium étant les plus largement étudiés, ils constituent une base de comparaison avec ces dispositifs bicouches

4.6 Conclusion

Cette partie a permis de mettre en avant les différentes catégories de diélectriques de grille utilisés dans les transistors organiques. Chacune présentant des avantages et inconvénients, leur usage répond à des besoins différents. Ainsi les isolants inorganiques sont principalement utilisés pour leur forte permittivité. Les isolants polymères sont quant à eux utilisés parce qu'ils sont facilement déposables par voie en solution. Ils constituent les principaux isolants de grille dans les transistors en configuration grille haute et dans les

dispositifs sur supports souples. Les propriétés de surface de certains d'entre eux font qu'ils sont souvent utilisés en configuration grille basse pour générer des interfaces entre l'isolant et le semi-conducteur libres de pièges. Un moyen intéressant pour bénéficier des qualités de ces deux familles de matériaux est donc de réaliser des isolants bicouches avec ces deux types de diélectrique. Ainsi, ces isolants ont en général des constantes diélectriques, donc des capacités plus élevées que les isolants polymères et peuvent présenter des surfaces avec une quantité de pièges nettement inférieure aux isolants inorganiques. Les performances des transistors sont alors grandement améliorées. Les monocouches auto-assemblées constituent l'autre voie d'amélioration possible. Même si leur influence sur la croissance de la couche semi-conductrice reste encore à clarifier, surtout pour les petites molécules de type pentacène, leur effet sur la mobilité des porteurs de charges n'est toutefois pas négligeable. Elles s'avèrent de plus être assez efficaces pour réduire les pièges induits par les groupements hydroxyles présents sur les oxydes, toutefois sans les éliminer totalement. Ainsi un décalage de la tension de seuil est tout de même observé lors de plusieurs applications successives d'une polarisation sur la grille, dans les transistors à canal n de même que dans ceux à canal p, toutefois dans des proportions nettement inférieures à l'oxyde de silicium.

Les diélectriques présentés dans cette partie constituent les isolants les plus fréquemment employés dans les transistors organiques. D'autres formes beaucoup moins courantes ont aussi été testées. On peut citer par exemple le cas des électrolytes dans lesquelles un courant ionique va s'établir sous l'effet de la polarisation de grille [44], ou les transistors à double grille, dans lesquels une grille est située au dessus du semi-conducteur et une autre en dessous [103], ou encore les transistors à diélectrique à base d'air dans lesquels la couche isolante est uniquement constituée par l'air présent entre l'électrode de grille et le semi-conducteur [104].

Ainsi, se dessinent les caractéristiques d'un diélectrique de grille idéal pour un transistor organique. Cet isolant peut être inorganique ou polymère mais doit avoir la permittivité la plus élevée possible ainsi qu'une épaisseur assez faible afin d'augmenter sa capacité. Son épaisseur devra toutefois être assez élevée afin de limiter l'amplitude des courants de fuites. Il doit être déposé par une technique n'imposant pas des températures trop élevées au substrat afin d'être compatible avec les supports souples ou pour ne pas endommager le semi-conducteur en configuration grille haute. Sa surface doit être la moins rugueuse possible afin de ne pas générer une quantité trop importante de pièges dans le semi-conducteur. Elle doit être de plus, hydrophobe, afin de limiter la diffusion de molécules d'eau à son interface avec le semi-conducteur. Plus généralement, elle doit avoir une énergie assez faible afin de favoriser une croissance optimale du semi-conducteur. Enfin, sa surface ne doit pas comporter de groupements hydroxyles, carbonyles ou tout autre groupement polaire susceptible de constituer des pièges pour les charges circulant dans le canal.

5 Le fluorure de calcium : structure et propriétés électriques

Le fluorure de calcium, CaF_2 , est un matériau inorganique présent dans la nature sous forme de cristaux de fluorite. Il est principalement utilisé dans la production d'acide fluorhydrique en tant que source de fluor. Son faible indice de réfraction ainsi que sa transparence dans les domaines de l'infrarouge et de l'ultraviolet font que l'optique est un autre de ses domaines d'application. En microélectronique, il est utilisé pour faire croître de façon épitaxiale du silicium microcristallin, le fluorure de calcium et le silicium cristallin ayant la même structure cubique ainsi que des réseaux atomiques assez proches avec un désaccord de maille de l'ordre de 5 % [105]. C'est aussi un isolant dont la constante diélectrique est plus élevée que celle de l'oxyde de silicium. Toutefois celle-ci n'est pas clairement déterminée. Plusieurs valeurs sont rapportées dans la littérature entre 4,1 et 5,2 pour une couche mince de 60 nm [105], 6,81 pour un disque monocristallin [106] ou encore 8,43 [107, 108] ou 2,05 [106]. Il peut de plus, être facilement déposé par évaporation thermique sous vide, technique n'imposant pas de températures trop élevées au substrat sur lequel il est déposé. De part sa composition chimique, sa surface ne comporte pas de groupements hydroxyles mais des atomes de fluor ou de calcium. Le fluor, comme on l'a vu précédemment, ne réagit pas avec les charges présentes dans le canal comme dans le cas du Cytop (cf. paragraphe 4.3) ou induit un champ électrique supplémentaire, permettant une accumulation plus importante de trous, comme dans le cas des monocouches auto-assemblées fluorées (cf. paragraphe 4.4.2). Les atomes de calcium, eux, peuvent s'oxyder au contact de groupements hydroxyles ou de l'humidité. Il a été montré qu'une fine couche de calcium sur oxyde de silicium permet d'annihiler partiellement ou totalement les groupements hydroxyles présents sur la surface de l'oxyde, éliminant ainsi les pièges à électrons et permettant par conséquent une conduction de type n dans le pentacène [109].

Ce sont pour ces raisons, qu'une investigation portant sur l'utilisation du fluorure de calcium en tant que diélectrique de grille dans des transistors organiques à effet de champ, a été décidée dans le cadre de ces travaux. Cette partie s'attachera donc à décrire les propriétés structurales et électriques de ce matériau.

5.1 Propriétés structurales

Le fluorure de calcium est un cristal ionique où les ions Ca^{2+} forment un réseau cubique à faces centrées dans lequel les ions F^- occupent tous les sites tétraédriques (Figure 23). Sur substrat de verre, il croît selon l'orientation $\langle 111 \rangle$. Sur du silicium cristallin $\langle 100 \rangle$, par contre, lorsque le substrat est à température ambiante, sa croissance se fera selon la direction préférentielle $\langle 200 \rangle$ alors que le pourcentage de grains orientés $\langle 200 \rangle$ dans la poudre de CaF_2 n'est que de 1 %. La croissance du fluorure de calcium sur silicium cristallin se fait donc de façon épitaxiale. L'orientation des grains de CaF_2 dépend aussi de la température à

laquelle est le substrat pendant le dépôt. Ainsi sur du silicium cristallin, lorsque le substrat est chauffé à des températures supérieures à 200°C, les grains croissent préférentiellement selon des orientations plus aléatoires avec toutefois une prédominance des directions $\langle 220 \rangle$ et $\langle 111 \rangle$. De même, un recuit après dépôt à des températures comprises entre 400 et 700°C permet une réorientation des grains selon les mêmes orientations que lorsque le substrat est chauffé à des températures supérieures à 200°C pendant le dépôt.

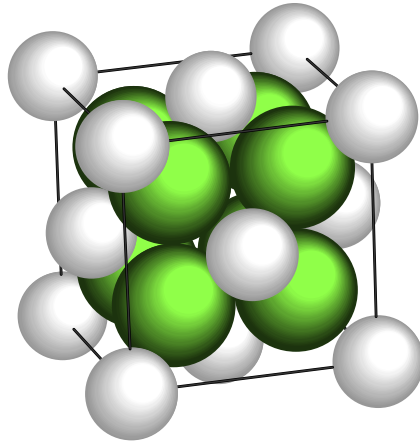


Figure 23 : Structure cristallographique du fluorure de calcium. Les sphères blanches correspondent aux ions calcium, Ca^{2+} ; les vertes aux ions fluorures, F.

La température du substrat influence aussi la rugosité de la couche de CaF_2 déposée. Ainsi, un film déposé sur un substrat de verre à température ambiante présente une rugosité de 54 Å alors que lorsque le substrat est chauffé à 200°C, cette rugosité diminue à 8,4 Å [105]. Par contre, la rugosité du substrat et plus généralement la composition de sa surface, semble ne pas avoir de conséquences sur la croissance des grains de CaF_2 . En effet, un film de fluorure de calcium déposé sur verre, sur or ou sur un oxyde natif de silicium présente la même morphologie, alors que les substrats ont eux des rugosités et des énergies de surface différentes. Ainsi quel que soit le substrat sur lequel il est déposé, le CaF_2 forme un film composé de petits grains séparés par une certaine quantité de pores, formant ainsi une surface rugueuse. Cette rugosité augmente avec l'épaisseur de la couche [110] (Figure 24), mais est indépendante du substrat. Ainsi la rugosité d'une surface de fluorure de calcium est une propriété intrinsèque au CaF_2 lui-même et ne dépend pas des propriétés de la surface sur laquelle il est déposé [111]. La porosité de la couche, par contre, est dépendante du substrat. Le silicium faiblement oxydé induit une couche de CaF_2 avec la porosité assez élevée, le verre permettant, quant à lui, la croissance de couches avec une porosité plus faible [111]. De même, des mesures par ellipsométrie ont montré qu'une fine couche inférieure à 30 nm déposée à température ambiante est plus compacte sur un oxyde thermique de silicium de 120 nm que sur un oxyde natif de quelques nanomètres [112].

Comme la rugosité, la morphologie de la couche de fluorure de calcium est dépendante de son épaisseur. Ainsi, un film d'une épaisseur de 25 nm est essentiellement composé d'une grande densité de petits grains colonnaires. La taille de ces grains augmente avec l'épaisseur

de la couche mais leur densité diminue. Un film de 1 μm est ainsi composé de grains cinq fois plus gros que ceux de la couche de 25 nm, mais avec une densité beaucoup plus faible. Par contre, la surface d'un grain pris individuellement semble assez lisse et non dépendante de l'épaisseur [110].

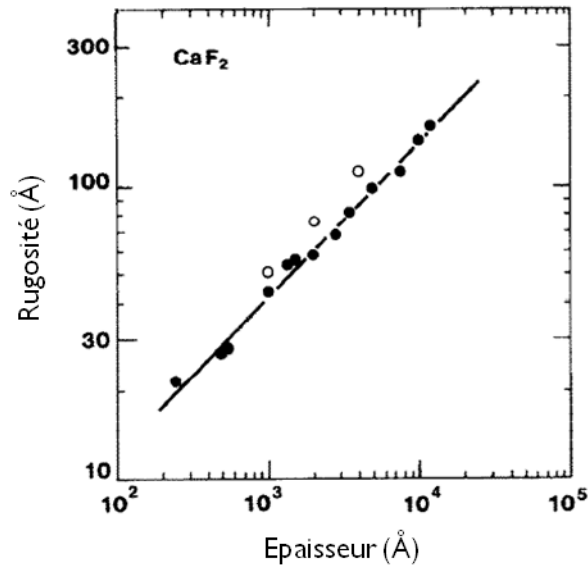


Figure 24 : Variation de la rugosité avec l'épaisseur du film de CaF_2 [110].

5.2 Propriétés électriques

5.2.1 Conduction ionique

A température ambiante, le fluorure de calcium possède de bonnes propriétés isolantes qui seront exposées par la suite. Toutefois, à fortes températures, de part sa nature ionique, une forte conduction ionique est observée. Cette conduction est due à la forte mobilité des ions fluorures, F^- et permet ainsi au CaF_2 de constituer un conducteur superionique, aussi appelé électrolyte solide. Dans ce cas, il est souvent associé au fluorure de baryum, BaF_2 en multicouches afin d'introduire des interfaces, permettre une redistribution des régions de charges d'espace et ainsi augmenter la conductivité ionique [113]. De tels dispositifs trouvent des applications dans les batteries hautes températures ou les piles à combustible [114]. Cependant une telle conductivité n'est observable que dans des fluorures monocristallins avec une croissance épitaxiale, impliquant de fortes températures de fabrication. De plus, étant donné la gamme de températures (supérieures à 500°C) pour laquelle une telle conduction est observée, il est peu probable qu'elle entre en jeu dans une configuration transistor. Toutefois, le mouvement ionique dans le diélectrique ayant des conséquences sur le fonctionnement du transistor organique – il peut être la cause d'hystérésis, par exemple (cf. paragraphe 3.2.2.1) – la mobilité des ions fluorures dans le CaF_2 même faible est un paramètre important à prendre en compte.

5.2.2 Propriétés isolantes

Comme la morphologie et la rugosité, les propriétés isolantes d'une couche de fluorure de calcium sont dépendantes de la température du substrat durant son dépôt. Ainsi le champ de claquage d'une couche d'une épaisseur comprise entre 50 et 60 nm passe de 1,27 MV/cm pour un dépôt où le substrat est à température ambiante à 1,7 MV/cm avec un substrat à 300°C [105]. Ces valeurs de champ correspondent à des dépôts par évaporation thermique sous vide. Lorsqu'une autre méthode de dépôt est employée comme l'épitanie par jets moléculaires (Molecular Beam Epitaxy, MBE), ce champ de claquage peut prendre des valeurs comparables à l'oxyde de silicium, de l'ordre de 5 à 10 MV/cm dans des diodes MIS (Métal-Isolant-Semi-conducteur) où la couche de CaF₂ ne mesure que quelques nanomètres [115]. Dans ce cas, le claquage a la particularité d'être réversible. En maintenant le dispositif à une tension proche du claquage, le courant retrouve sa valeur initiale. Ce phénomène semblerait provenir du « grillage » des points de passage du courant à travers la couche de CaF₂.

La densité de courant de fuites à travers une couche évaporée de 50 nm de fluorure de calcium est de l'ordre de 10⁻⁶ A/cm² [105]. A l'inverse du champ de claquage, les courants de fuites sont les mêmes quelle que soit la température du substrat durant le dépôt. Ce niveau de fuites peut s'expliquer par une composition du film de CaF₂ riche en calcium, avec une concentration totale en calcium représentant 56 % de la concentration totale en fluor. En effet, les ions calcium en excès constituent des porteurs de charges donneurs supplémentaires qui facilitent le passage du courant. Dans les diodes MIS élaborées par MBE, le niveau de fuites va varier en fonction de l'épaisseur de la couche. Ainsi une couche de 1,5 nm permet le passage d'une densité de courant comprise entre 10⁻⁷ et 10⁻⁴ A/cm², alors qu'une couche de 3 nm présente des niveaux de fuites compris entre 10⁻⁹ et 10⁻⁶ A/cm² [115]. Quelle que soit l'épaisseur, ces niveaux de fuites sont de 3 ordres de grandeur inférieurs à ceux de l'oxyde de silicium. Ces performances sont essentiellement dues à la méthode de fabrication du film de CaF₂. L'épitanie par jets moléculaires permettant de réaliser des couches monocristallines en épitanie avec le substrat en silicium, peu de défauts sont présents dans ces couches. Les films de CaF₂ déposés par cette méthode sont ainsi très ordonnés, lui procurant ces qualités d'isolation. Les couches déposées par évaporation, étant nettement moins ordonnées, présentent des propriétés d'isolation inférieures mais néanmoins acceptables.

Des mesures en tension de la capacité de structures Métal-Isolant-Semi-conducteur où le rôle de l'isolant est joué par une couche de fluorure de calcium, montrent l'aptitude du CaF₂ à accumuler les charges à son interface avec un semi-conducteur. Cette propriété est essentielle à son utilisation en tant que diélectrique de grille. Toutefois ces courbes montrent un léger décalage de la tension de bandes plates entre deux balayages en tension de sens opposé, synonyme de piégeage de charges. Ainsi une capacité MIS à base de 50 nm de CaF₂ évaporé comme isolant et de silicium cristallin en tant que semi-conducteur présente un décalage de 0,2 V. Cette valeur correspond à une charge totale de pièges de 10⁻¹¹ C [105].

Comme évoqué précédemment la constante diélectrique du fluorure de calcium est assez difficile à déterminer, variant de 2,05 à 8,43. De plus, il a été montré que la capacité d'une structure Métal-CaF₂-Métal décroît avec la fréquence [116]. La capacité d'un isolant et sa constante diélectrique étant liées, cette décroissance est synonyme d'une diminution de la permittivité en fonction de la fréquence. Ce phénomène est régulièrement observé dans les matériaux ioniques dans lesquels les ions les constituant peuvent se déplacer. En effet, Szigeti a montré que dans un solide ionique cubique, un faible champ électrostatique entraîne une modification de sa réponse diélectrique. La constante diélectrique statique, k_0 , est alors donnée par l'équation (22) :

$$k_0 = k_\infty + \eta + H \quad (15)$$

où k_∞ est la constante diélectrique à hautes fréquences, η est une constante prenant en compte le moment dipolaire linéaire et le potentiel harmonique et H est un terme représentant l'anharmonicité électrique et mécanique, qui dépend de la fréquence [117]. Cette équation montre donc une dépendance en fréquence de la constante diélectrique de ces matériaux. Le fluorure de calcium étant un cristal ionique, il est donc normal que sa permittivité décroisse avec la fréquence.

5.2.3 Le fluorure de calcium comme diélectrique de grille dans les transistors organiques à effet de champ

Dans la littérature, peu d'articles font état de l'utilisation du fluorure de calcium en tant qu'isolant de grille dans des transistors à effet de champ. En microélectronique inorganique, des transistors à base de diamant, présentant une bonne modulation du courant pour des tensions assez faibles, ont toutefois été réalisés. Dans ces transistors, l'emploi du CaF₂ diminue les états d'interface entre le semi-conducteur et le diélectrique par rapport aux oxydes généralement utilisés, ce qui est bénéfique pour le fonctionnement de tels dispositifs [118].

En électronique organique, à notre connaissance, un seul groupe de la Chinese Academy of Sciences a utilisé le fluorure de calcium comme diélectrique de grille dans des transistors. Dans leurs dispositifs, la couche semi-conductrice est constituée de phthalocyanine de cuivre, CuPc et les électrodes source et drain sont en oxyde d'indium étain, ITO. Ces transistors sont en configuration grille haute et ont une mobilité des porteurs qui varie de 10^{-3} à $0,5 \text{ cm}^2/\text{Vs}$ en fonction de la polarisation appliquée sur l'électrode de grille [119]. Ce phénomène n'est pas propre à la présence de CaF₂ comme diélectrique. Il est observé dans la plupart des transistors organiques et est expliqué par le mécanisme de transport limité par piégeages-dépiégeages multiples [120]. Cependant, la constante diélectrique du fluorure de calcium étant assez élevée, le désordre énergétique induit par la couche de CaF₂ est plus important et la mobilité des porteurs peut alors être plus faible dans ces dispositifs que dans ceux utilisant un isolant de grille avec une constante diélectrique moins élevée [84].

Ces transistors présentent des caractéristiques de sortie avec une saturation du courant de drain pour les potentiels de drain élevés, lorsqu'une forte polarisation est appliquée sur la grille, mais pour des tensions de grille plus faibles (entre 0 et 10 V), le courant ne sature pas et augmente avec le potentiel de drain [121]. Ce phénomène est caractéristique d'une injection d'électrons par le drain par effet tunnel. Par conséquent, des électrons sont injectés dans la phthalocyanine de cuivre, semi-conducteur connu pour conduire préférentiellement les trous à l'air ambiant, par les électrodes en ITO malgré la forte barrière de potentiel.

Par contre, le point négatif de ces transistors est leur niveau très élevé de fuites de grille [122]. En effet, le courant de fuites est de l'ordre de 10^{-6} A alors que le courant circulant entre la source et le drain est de l'ordre de 10^{-5} A. Le rapport de ces courants est trop faible. Ainsi, pour de faibles tensions de drain et de fortes polarisations de grille, le courant entre la source et le drain est en réalité largement dominé par le courant circulant entre la grille et la source. Un moyen évoqué pour réduire ces fuites de grille est d'incorporer une fine couche de 10 nm de nylon 6 entre le semi-conducteur et le CaF_2 . Le courant de fuites est ainsi grandement diminué et atteint des niveaux de l'ordre de 10^{-8} A. Cependant, on ne peut plus à proprement parler de transistors avec isolant de grille en fluorure de calcium. Ainsi modifiés, ces dispositifs ont tout de même été intégrés dans des pixels organiques dans lesquels ils activent le fonctionnement de diodes électroluminescentes organiques (Organic Light Emitting Diode, OLED) [122].

5.3 Conclusion

Malgré le peu d'exemples trouvés dans la littérature, plusieurs points se dégagent en faveur de l'utilisation du fluorure de calcium comme diélectrique dans des transistors organiques. Tout d'abord, il a la propriété de pouvoir être facilement évaporé sous vide dans la même enceinte que le semi-conducteur. Son interface avec le semi-conducteur sera ainsi exempte de tout contact avec l'air. En configuration grille basse, la rugosité et la morphologie d'un film de CaF_2 ne dépendent pas du substrat sur lequel il est déposé. Par contre, elles sont fortement influencées par l'épaisseur de cette couche. Ainsi, il semblerait qu'une faible épaisseur soit plus favorable à la formation d'une couche composée de petits grains présentant une surface avec une faible rugosité. Or, la rugosité de surface du diélectrique influence fortement la conduction des charges dans un transistor organique (cf. paragraphe 2.2.1), il serait donc préférable d'utiliser une couche de CaF_2 de faible épaisseur afin de permettre une meilleure conduction dans le canal. Toutefois, une couche de CaF_2 évaporée sur un substrat à température ambiante présente, en général, un courant de fuites assez important qui peut rendre son utilisation délicate dans un transistor organique. Le fluorure de calcium peut alors s'avérer efficace comme couche tampon entre par exemple un diélectrique en oxyde de silicium et le semi-conducteur, en passivant les groupements hydroxyles présents sur la surface de l'oxyde. De plus, l'adsorption de molécules d'eau sur sa surface étant très faible [123], lors de la mise à l'air du transistor, peu de molécules d'eau vont

diffuser jusqu'à son interface avec le semi-conducteur. Ainsi l'interface entre le diélectrique et le semi-conducteur sera en théorie, exempte de tous groupements hydroxyles. En configuration grille haute, la couche de fluorure de calcium devrait servir d'encapsulant au semi-conducteur en le protégeant de toute oxydation à l'air, son caractère hydrophobe limitant la diffusion de molécules d'eau jusqu'au canal. Cette hypothèse semble être confirmée par le seul exemple de transistor organique de la littérature, dans lequel une conduction d'électrons a été observée. Un point négatif cependant est la conduction ionique observée dans ce type d'isolant à hautes températures. Une telle conduction ne devrait pas entrer en jeu dans les transistors organiques, étant donné que ces dispositifs peuvent seulement fonctionner sans être endommagés jusqu'à une température de l'ordre de 120-150°C. Cependant, même si une conduction ionique à proprement parler semble peu probable, un mouvement ionique, influençant la conduction dans le canal du transistor peut toutefois avoir lieu.

6 Le pentacène : morphologie et performances

Le pentacène est un semi-conducteur organique qui a suscité un grand intérêt dès l'avènement de l'électronique organique. Dès 1991, Horowitz *et al.* réalisent le premier transistor à base de pentacène [124]. Depuis, d'importants progrès ont été réalisés. Très vite, en 1997, des mobilités de l'ordre de $1,5 \text{ cm}^2/\text{Vs}$, rivalisant avec celles du silicium amorphe ont été atteintes [125]. Actuellement, ces transistors atteignent des mobilités approchant $5\text{-}6 \text{ cm}^2/\text{Vs}$ [33] en film mince et jusqu'à $35 \text{ cm}^2/\text{Vs}$ pour des monocristaux à température ambiante et même $58 \text{ cm}^2/\text{Vs}$ à 225 K [126]. Ces progrès ont été rendus possibles principalement grâce à une meilleure compréhension des mécanismes de croissance du pentacène ainsi que des relations liant la morphologie et le transport des charges dans ce type de matériaux. Plus généralement, le développement de ces transistors a permis une meilleure compréhension des mécanismes régissant le transport de charges dans un transistor organique (injection, piégeage des charges, ...). Ceci, ajouté à ses excellentes performances, a fait que le pentacène est devenu au cours du temps le semi-conducteur organique le plus étudié. C'est un matériau de référence. Il sert notamment de base de comparaison pour d'autres semi-conducteurs organiques. Il est aussi le principal semi-conducteur utilisé pour étudier de nouveaux matériaux de diélectrique de grille et leur influence sur le transport de charges, mais aussi pour l'étude des phénomènes régissant l'injection de charges.

Toutefois, un des points faibles des transistors à base de pentacène est leur stabilité dans le temps. En effet, le pentacène est un matériau qui subit des dégradations au cours du temps dues à son oxydation à l'air. De plus l'application répétée d'un champ électrique est aussi une cause de détérioration des caractéristiques de ces transistors.

Le pentacène semble, cependant, être le candidat idéal pour étudier le piégeage des charges dans les transistors organiques. En effet, en plus d'être facilement déposable par évaporation thermique sous vide, ce qui permet son utilisation aussi bien en architecture grille haute qu'en architecture grille basse, les nombreuses études menées sur ce semi-conducteur organique constituent des éléments d'interprétation des phénomènes observés. Cette partie s'intéressera donc essentiellement à décrire les mécanismes de croissance du pentacène et les relations liant la morphologie qui en découle avec les propriétés électriques des transistors ainsi que les effets provoqués par leur vieillissement.

6.1 Croissance

Le pentacène est composé de cinq cycles benzéniques fusionnés, constituant une molécule plane (Figure 25). Grâce à ces cinq cycles aromatiques, les électrons π sont délocalisés sur l'ensemble de la molécule, ce qui permet un très bon mouvement de charges intramoléculaire. Par contre, le transport entre molécules de pentacène va dépendre du recouvrement de leurs orbitales π , donc de leur orientation l'une par rapport à l'autre et de

leur organisation. De plus, le transport de charges dans le canal d'un transistor organique a lieu dans quelques monocouches du semi-conducteur, à l'interface avec le diélectrique. Par conséquent, le transport de charges à l'intérieur des grains composant ces monocouches, mais aussi entre ces grains, va être fortement dépendant du mode de croissance des premières monocouches de pentacène.

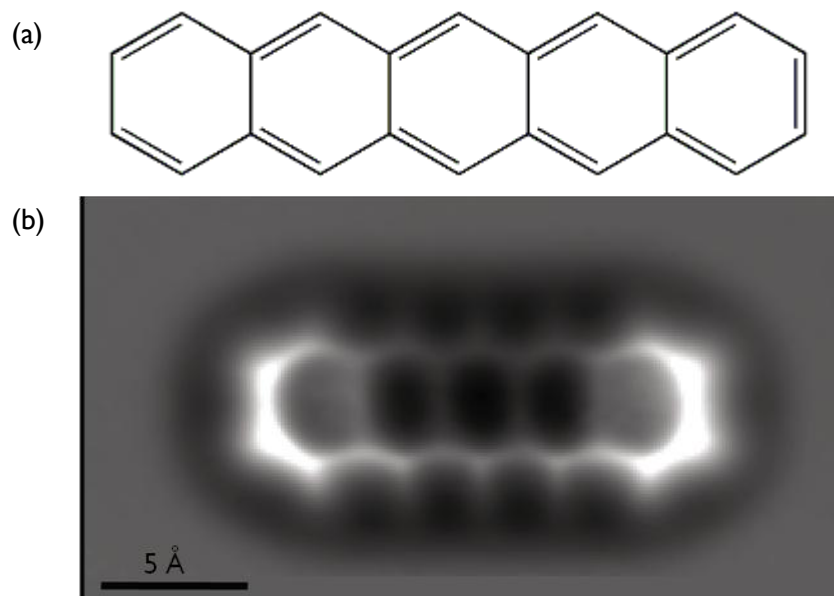


Figure 25 : (a) Structure chimique du pentacène. (b) Image par microscope à force atomique (AFM) d'une molécule de pentacène [127].

6.1.1 Phases cristallines

Le pentacène peut se présenter sous deux phases cristallines : la phase film mince et la phase volumique. La morphologie de ces phases est encore sujette à discussion. Si il semble acquis que la phase film mince se caractérise par une croissance des grains dendritique et en terrasses, la phase volumique aura plutôt tendance à être caractérisée par une forme des grains cubique [128] ou par des structures lamellaires [129]. Toutefois, ces phases sont toutes les deux cristallines et fortement orientées. Ces deux phases se distinguent principalement par la distance entre deux monocouches successives de pentacène. Dans la phase film mince, ces couches sont séparées par $15,5 \text{ \AA}$ et les molécules ont un angle de 17° avec la normale à la surface. Dans la phase volumique, cette distance est légèrement inférieure et est de $14,5 \text{ \AA}$, tandis que l'angle des molécules avec la normale à la surface augmente jusqu'à $25,7^\circ$ [128]. Mais des mesures par diffraction des rayons X en incidence rasante montrent que quelle que soit la phase cristalline dans laquelle se trouve le pentacène, la densité moléculaire et l'assemblage des molécules entre elles sont les mêmes [130]. Ainsi les charges peuvent facilement se déplacer dans les deux phases du pentacène. Par contre, lorsque les deux phases sont présentes dans la couche de pentacène, le transport est perturbé, les charges se

déplaçant difficilement d'une phase à une autre. Les mobilités dans ce cas sont donc inférieures à celles mesurées lorsqu'une seule des deux phases est présente [131].

La prédominance d'une phase par rapport à l'autre dépend de l'épaisseur de la couche de pentacène. Les couches de faible épaisseur sont uniquement constituées de la phase film mince. Au-delà d'une certaine épaisseur, les deux phases coexistent. Cette épaisseur critique dépend de la vitesse de dépôt du pentacène. Plus le dépôt est rapide plus cette épaisseur sera faible.

6.1.2 Influence des paramètres de dépôt sur la morphologie

La morphologie d'une couche de pentacène dépend essentiellement de l'état de la surface sur laquelle elle est déposée et des conditions de son dépôt. Les effets induits par la rugosité et l'énergie de surface du substrat sur la taille et la forme des grains ont déjà été traités dans les paragraphes 2.2.1 et 2.2.2. Cette partie s'attachera donc principalement à lier morphologie et paramètres de dépôt.

6.1.2.1 Température du substrat

Augmenter la température du substrat sur lequel est évaporé un matériau durant son dépôt, augmente la mobilité des espèces déposées, diminue la densité de nucléation et permet ainsi le développement de grains de plus grande taille [132]. Par conséquent, chauffer le substrat pendant le dépôt d'une couche de pentacène va permettre d'accroître la taille des grains (Figure 26) et ainsi d'améliorer le transport de charges dans cette couche. Mais la température du substrat agit aussi sur la formation et la prédominance d'une phase cristalline par rapport à l'autre. Ainsi, dans une couche de 100 nm déposée sur un substrat à température ambiante, seule la phase film mince est présente. Alors que lorsque le substrat est à une température de 115°C, la couche est constituée à part égale de la phase film mince et de la phase volumique [129]. L'épaisseur critique au-delà de laquelle les deux phases coexistent est aussi influencée par la température de substrat. Située entre 100 et 150 nm lorsque le substrat est à température ambiante, elle diminue à 30 nm pour un substrat chauffé à 90°C [132]. A l'inverse, si le substrat est refroidi durant le dépôt à une température inférieure à 0°C, la densité de nucléation devient très élevée. Il se forme alors une grande densité de petits grains et la couche de pentacène peut perdre son caractère polycristallin. Par exemple, pour un substrat refroidi à -196°C, le film de pentacène n'est plus cristallin mais totalement amorphe [131].

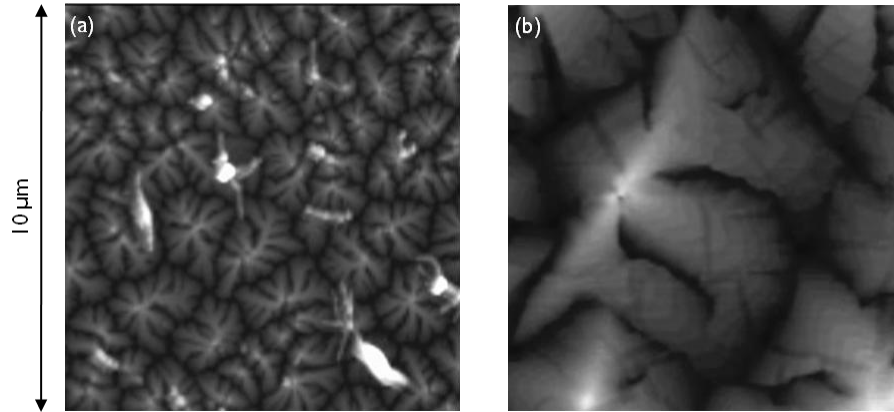


Figure 26 : Images AFM de films de pentacène évaporés sur un substrat à (a) 25°C, (b) 65°C [128].

6.1.2.2 Vitesse de dépôt

Comme le chauffage du substrat, diminuer la vitesse de dépôt d'un matériau évaporé permet de réduire la densité de nucléation et donc d'augmenter la taille des grains. Ainsi une faible vitesse de dépôt conduit à la formation d'une couche de pentacène composée de gros grains (Figure 27). Mais contrairement à la température de substrat, l'influence de la vitesse de dépôt sur l'épaisseur critique à partir de laquelle coexistent les deux phases cristallines du pentacène, reste encore à éclaircir. En effet, pour Knipp *et al.* cette épaisseur est indépendante de la vitesse de dépôt [18] alors que pour Stadlober *et al.*, elle diminue quand la vitesse augmente. Ainsi, une vitesse inférieure à 1 nm/min est nécessaire pour réaliser des films uniquement constitués de la phase film mince. Au-delà, la proportion de la phase volumique dans la couche augmente avec la vitesse [128]. Si cette vitesse n'est pas constante tout au long du dépôt, c'est la vitesse initiale qui aura l'impact le plus significatif sur la taille maximale des grains. La vitesse moyenne semble, elle, avoir un effet plus aléatoire. Ainsi il apparaît que lorsque la vitesse initiale de dépôt est élevée, le pentacène a tendance à former des plus petits grains. Inversement, si elle est faible, le film de pentacène sera composé de grains plus gros [128].

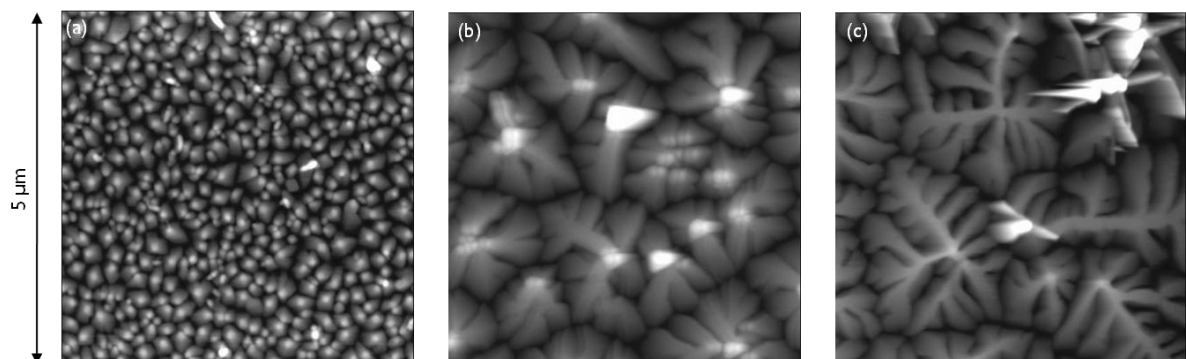


Figure 27 : Images AFM de films de pentacène obtenus avec des vitesses de dépôt différentes : (a) 6 nm/min, (b) 1,1 nm/min, (c) 0,4 nm/min [128].

6.1.2.3 Epaisseur de la couche

On a vu, dans la partie précédente, qu'il existe une épaisseur critique au-delà de laquelle la phase film mince n'est plus l'unique phase cristalline présente dans une couche de pentacène. L'épaisseur joue donc un rôle prédominant dans la structure cristalline d'un film de pentacène. Par contre la taille des grains, elle, en semble indépendante. La morphologie de la couche finale est donc déterminée dès les premières monocouches. Sur oxyde de silicium, la croissance de ces monocouches se fait couche après couche, autrement dit, la couche du niveau supérieur ne commence à croître qu'uniquement lorsque la couche du niveau inférieur est complète. Mais, ce mode de croissance n'est valable que pour les deux premières monocouches [133]. Au-delà, les couches de niveau supérieur commencent à croître alors que celles des niveaux inférieurs ne sont pas complètes. Ainsi, la troisième monocouche n'est complète que lorsque l'équivalent de quatre monocouches de pentacène est déposé, la onzième nécessite l'équivalent de quinze monocouches [134], par exemple. Les sites de nucléation sont fixés dès les deux premières monocouches. Par conséquent, les grains à partir de la seconde monocouche croissent en trois dimensions. Au cours du dépôt, cette croissance en trois dimensions se traduit par la formation d'îlots dont la hauteur augmente au fur et à mesure que l'épaisseur de la couche de pentacène augmente. Par conséquent la rugosité du film de pentacène va elle aussi augmenter en même temps que son épaisseur [18].

6.1.3 Nature du substrat

La morphologie d'une couche de pentacène est donc directement issue des paramètres de son dépôt. Mais la nature du substrat sur lequel cette couche va croître, a aussi une importance particulière. En effet, le pentacène n'a pas le même mode de croissance selon l'énergie de la surface sur lequel il croît. Ainsi, une couche de pentacène ne va pas avoir la même morphologie si elle est déposée sur oxyde de silicium, sur un polymère ou sur un métal. Par contre, l'orientation des molécules de pentacène sera la même sur la plupart des isolants utilisés dans les transistors organiques, avec leur axe le plus long orienté perpendiculairement au substrat [132]. Sur un métal, leur orientation sera différente. Cette partie s'intéressera donc à décrire la morphologie des couches de pentacène en fonction du matériau sur lequel elles sont évaporées.

6.1.3.1 Isolant

Sous vide poussé, l'humidité présente dans la chambre d'évaporation se condense sur la surface de l'oxyde de silicium et crée une fine couche d'eau. Le pentacène croît alors en réalité sur une couche d'eau et non directement sur l'oxyde [133]. Dans la partie précédente, on a vu que la croissance d'une couche de pentacène sur oxyde de silicium se fait sous forme d'une première monocouche suivie par une croissance en îlots des couches suivantes. Ce

mode de croissance en deux dimensions, suivi par une croissance en trois dimensions est caractéristique du mode Stanski-Krastanov et trouve son origine dans les énergies de surface du substrat et de la couche de pentacène déposée. En effet, lors de la croissance de la première monocouche, lorsqu'une molécule de pentacène arrive sur le substrat, elle peut se déposer soit au dessus de la couche formée par les molécules préalablement déposées, soit sur le substrat. Or l'énergie de surface du substrat, c'est-à-dire de la fine pellicule d'eau, est supérieure à celle du pentacène ajoutée à l'énergie de l'interface substrat-pentacène. Il sera donc plus favorable pour cette molécule de se déposer sur le substrat et de compléter la couche en formation, que d'initier un niveau supplémentaire. Il en est de même pour toutes les molécules suivantes tant que la première monocouche de pentacène n'est pas complète. Mais une fois cette monocouche complétée, une molécule arrivant sur cette nouvelle surface ne voit plus le substrat. Il faut alors considérer l'énergie de surface de la monocouche et non celle du substrat. Or celle-ci est inférieure à la somme des énergies de surface du pentacène et de l'interface. Compléter la monocouche en formation n'est donc plus la solution la plus favorable. Une croissance en terrasses, en trois dimensions sur les sites de nucléation va alors commencer et conduire à la formation d'îlots.

La forme de ces îlots est alors variable en fonction des conditions de dépôts. En effet, le nombre de sites de nucléation varie en fonction de la température du substrat et la vitesse de dépôt. Le nombre et la taille des îlots vont alors être variables en fonction de ces paramètres (cf. paragraphes 6.1.2.1 et 6.1.2.2). Cinq types de morphologies ont ainsi été établis (Figure 28) : les grains lamellaires (a), les structures pyramidales (b), les grains inclinés (c), les grains géants (d) et enfin, les grains en forme de dendrites (e) [135]. La forme la plus fréquemment rencontrée est la forme dendritique, elle est liée aux conditions de sursaturation nécessaires à la formation des cristaux de pentacène. Les grains géants ont eux, une forme irrégulière et une taille supérieure à 5 μm . La structure lamellaire n'est observable que si la température du substrat est inférieure à 10°C. Enfin, les structures pyramidales et inclinées sont très proches. Toutefois, les grains pyramidaux ont une plus grande symétrie que les inclinés. On retrouve dans ces morphologies, l'augmentation de la taille des grains avec la température du substrat (cf. paragraphe 6.1.2.1), les formes pyramidales obtenues pour des températures de substrat peu élevées, étant cinq à six fois plus petites que les grains géants, obtenus pour des températures supérieures à 60°C. Il est intéressant de noter que pour des températures de substrat, ainsi que des vitesses de dépôt trop élevées, les conditions de sursaturation ne sont plus établies et la croissance des grains sur la surface du substrat ne peut avoir lieu.

L'orientation des molécules de pentacène est la même sur pratiquement tous les isolants utilisés dans les transistors organiques, à l'exception des diélectriques à forte permittivité [132]. Ainsi, les morphologies observées sur oxyde de silicium se retrouvent sur la plupart des surfaces utilisées pour faire croître la couche de pentacène. Cependant, l'énergie de surface et la rugosité sont différentes d'un isolant à l'autre. Par conséquent, même si la morphologie de

la couche est assez similaire sur la plupart des isolants, la densité et la taille des grains peuvent être très différentes. La croissance d'une couche de pentacène sur une surface d'OTS présentant une rugosité de 4 Å, par exemple, conduit à la formation d'un grand nombre de petits grains. Sur BCB ou polystyrène, les grains ont une taille trois à quatre fois plus élevée, car la rugosité de ces surfaces est deux fois plus faible mais avec une morphologie similaire à ceux qui ont crû sur OTS [136].

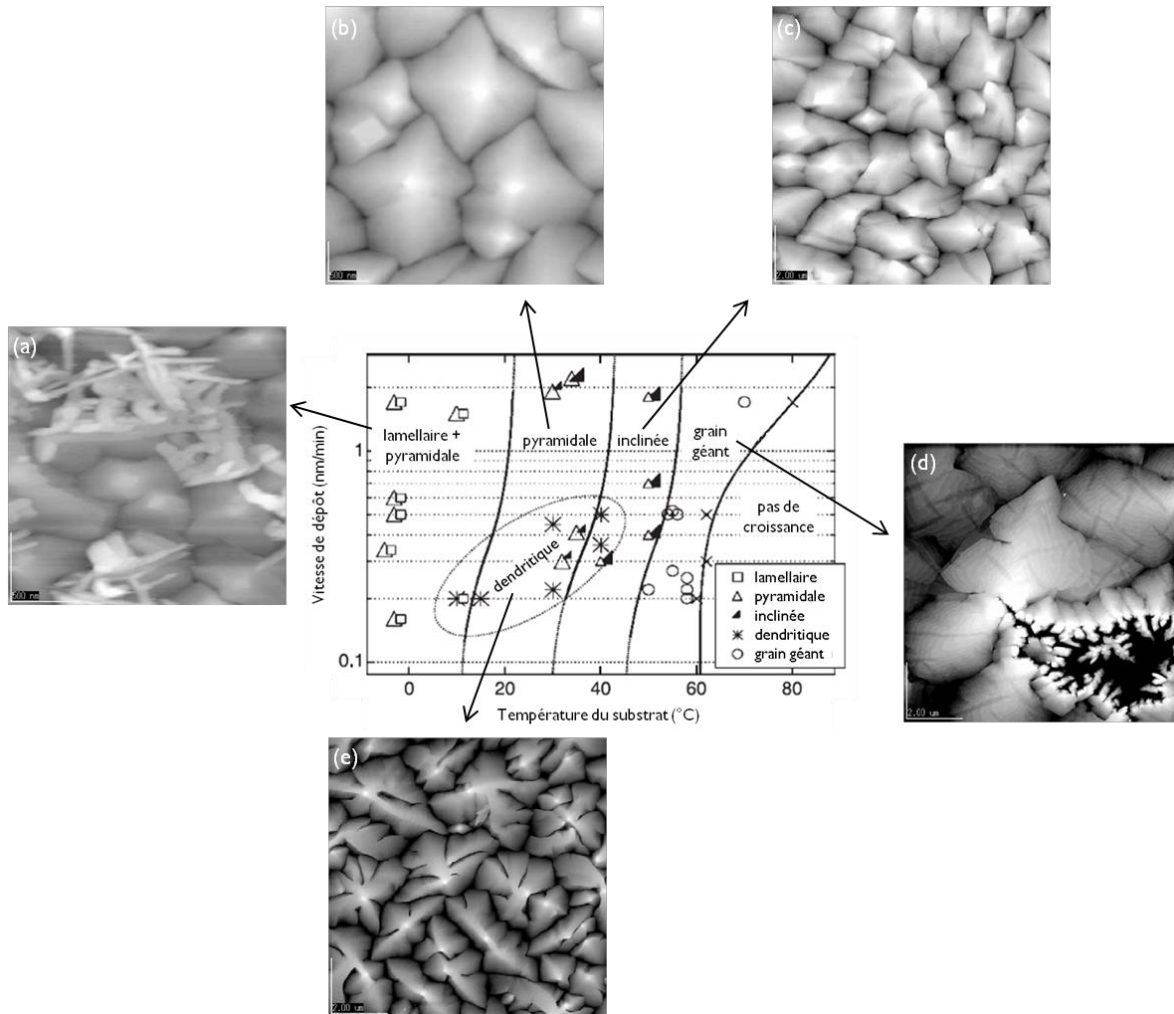


Figure 28 : Morphologies du pentacène sur oxyde de silicium en fonction de la température du substrat et de la vitesse de dépôt. (a) Lamellaire, (b) pyramidale, (c) inclinée, (d) grain géant, (e) dendritique [135].

6.1.3.2 Métal

Dans une configuration contacts bas, la présence des électrodes sur le substrat durant le dépôt de la couche active de pentacène perturbe sa croissance. En effet, l'énergie d'une surface métallique est en général très faible. Alors que sur un substrat isolant, la surface a tendance à repousser les molécules de pentacène, entraînant une orientation quasi-normale à la surface de ces dernières, sur un métal, la faible énergie de la surface la rend attractive. En l'absence de répulsion, les molécules ont alors tendance à se coucher sur la surface. La

couche de pentacène croît alors de manière désordonnée [137]. Toutefois, en architecture grille basse, la surface supérieure des électrodes n'intervient pas dans l'injection des charges dans le canal. Seulement quelques nanomètres sur les bords au niveau de l'interface avec le diélectrique sont réellement actifs. Par conséquent, les différences morphologiques observées au niveau des électrodes dans la couche de pentacène n'ont pas d'incidence sur le fonctionnement du transistor.

Mais si on s'intéresse à la morphologie du pentacène au niveau du canal, la faible énergie de surface des électrodes induit des différences morphologiques sur quelques nanomètres près des électrodes. Ainsi, alors qu'au centre du canal, le pentacène a tendance à former des gros grains bien ordonnés, près des électrodes, sa morphologie devient plus désordonnée et est composée de petits grains microcristallins (Figure 29) [137].

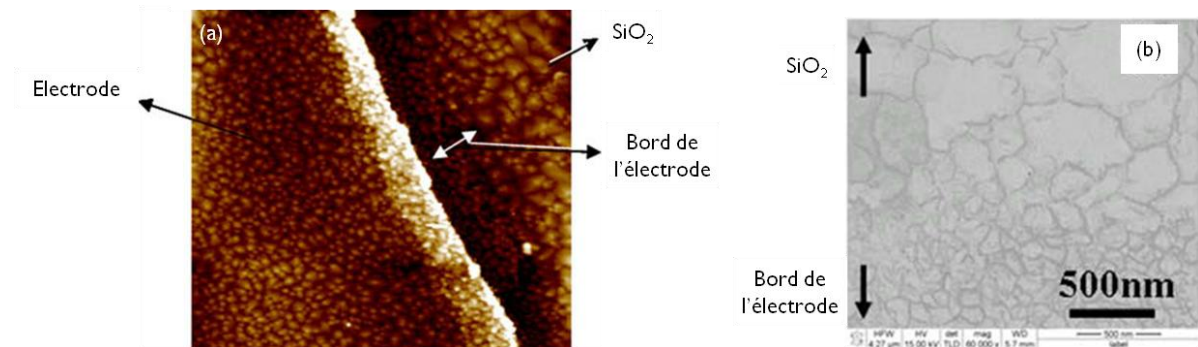


Figure 29 : Images (a) AFM et (b) MEB de la morphologie du pentacène près du bord d'une électrode source ou drain [12].

6.2 Morphologie et paramètres transistors

Comme on vient de le voir, le pentacène peut adopter des morphologies différentes en fonction des paramètres de dépôt et de la surface sur lequel il est déposé. Ces croissances variables induisent une densité, une taille des grains, donc un nombre de joints de grains différents. Par conséquent, en fonction de la morphologie de la couche de pentacène, le transport de charges dans le canal est plus ou moins facilité. La mobilité des porteurs de charges sera donc le paramètre du transistor le plus impacté par la morphologie du pentacène.

6.2.1 Mobilité des porteurs de charges

De nombreuses études traitent de la dépendance de la mobilité des porteurs avec la taille des grains de pentacène. A première vue, on peut penser que la présence de gros grains est plus favorable au transport de charges dans le canal. En effet, plus la taille d'un grain est élevée, plus les charges peuvent se déplacer aisément dans une zone cristalline bien ordonnée, sans rencontrer d'obstacles tels que les joints de grains. Par conséquent, la mobilité des porteurs devrait être la plus élevée quand la couche de pentacène est constituée

de gros grains. Cette hypothèse est vérifiée dans de nombreux cas [101, 128]. Toutefois, il existe un seuil à partir duquel la mobilité est beaucoup plus élevée. Sur oxyde de silicium, il se situe aux alentours de $1 \mu\text{m}$. Avant ce seuil, la mobilité est extrêmement faible (de l'ordre de $10^{-2} \text{ cm}^2/\text{Vs}$). Juste après, elle est six à sept fois plus élevée et a une valeur de l'ordre de $0,3 \text{ cm}^2/\text{Vs}$. Au-delà, elle continue à augmenter avec la taille des grains mais dans des proportions bien moins importantes (Figure 30 (a)). Ce seuil est expliqué si le libre parcours moyen des porteurs de charges est de l'ordre de $1 \mu\text{m}$ [128]. Lorsque les grains ont une taille inférieure à ce libre parcours moyen, la diffusion des porteurs en surface est favorisée, l'impact négatif des joints de grains est beaucoup plus prononcé, ce qui se traduit par une mobilité assez faible.

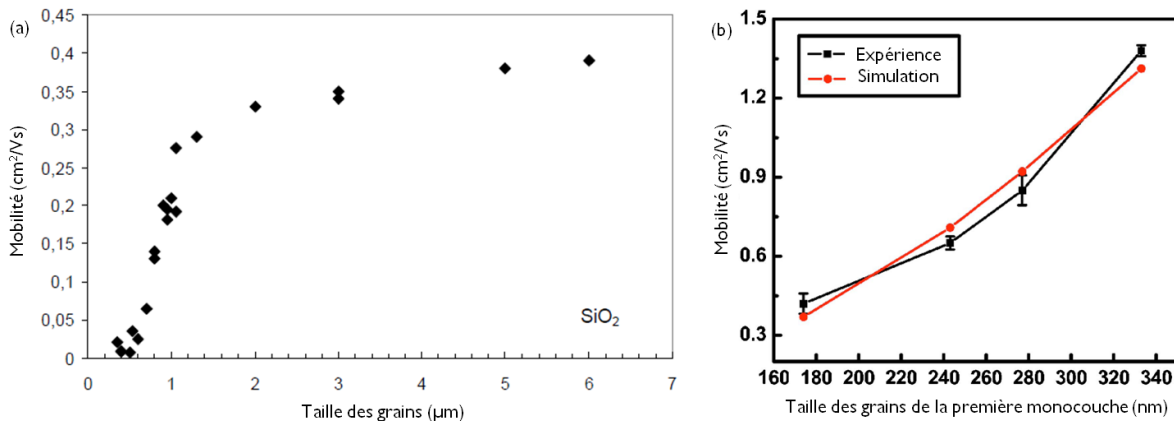


Figure 30 : Corrélation entre la mobilité et la taille des grains dans un transistor à base de pentacène. (a) Sur toute la couche de pentacène avec un diélectrique en oxyde de silicium [128], (b) sur la première monocouche avec différents diélectriques polymères [138].

Dans certains cas toutefois, l'hypothèse précédente n'est pas vérifiée. Une couche composée de petits grains peut parfois permettre une meilleure mobilité des porteurs [20]. En effet, dans une architecture grille basse, le transport de charges dans le canal d'un transistor organique a lieu dans les premières monocouches du semi-conducteur. Ainsi même si en surface, une couche de pentacène peut paraître composée de gros grains bien ordonnés, si l'énergie de surface du substrat est trop élevée, au niveau du canal, les premières monocouches peuvent croître de façon incomplète. Une charge se déplaçant dans le canal aura alors plus de difficultés pour passer d'un grain à un autre. La mobilité des porteurs sera alors assez faible. A l'inverse, une couche composée de petits grains peut être parfaitement structurée dans ses premières monocouches, avec des couches complètes et bien ordonnées, si l'énergie de surface du substrat est assez faible. Une charge se déplaçant dans un tel système va alors rencontrer beaucoup moins d'obstacles. La mobilité des porteurs sera alors assez élevée malgré la relative petite taille des grains. Il apparaît donc, que la morphologie des premières monocouches est prépondérante dans la qualité du transport dans le canal. La mobilité n'est donc pas liée à la taille des grains de la couche de pentacène, mais est directement en relation avec la taille des grains de la première monocouche. Ainsi une monocouche ayant une taille de grains de 340 nm permet d'atteindre des mobilités cinq fois

supérieures à celles obtenues avec une monocouche composée de grains deux fois plus petits (Figure 30 (b)). La mobilité n'augmente donc pas simplement de façon linéaire avec la taille des grains de la première monocouche. Plus les grains sont gros, plus l'augmentation de la mobilité est forte. La présence plus importante de zones peu conductrices que constituent les joints de grains dans les monocouches composées de petits grains semble être à l'origine de ce phénomène [138].

Si on s'intéresse maintenant à la forme des grains constituant la couche de pentacène, toutes les morphologies ne permettent pas d'atteindre les mêmes mobilités [135]. Sur oxyde de silicium, les couches contenant un mélange de structures lamellaires et de grains pyramidaux sont celles où le transport de charges est le plus difficile. Les mobilités obtenues avec ce type de couches sont relativement faibles, de l'ordre de 10^{-6} - 10^{-5} cm²/Vs. Les grains géants ne constituent pas non plus la meilleure morphologie pour le transport de charges, bien que les mobilités soient 3 à 4 ordres de grandeur supérieures à celles observées dans les structures lamellaires. Les formes dendritiques, inclinées et pyramidales sont les morphologies pour lesquelles les plus fortes mobilités peuvent être atteintes. Toutes les trois sont à l'origine de mobilités comprises entre 0,1 et 1 cm²/Vs. Cependant, il est intéressant de noter que dans ce type de grains, les molécules de pentacène ont la même orientation quasi-normale à la surface et sont constituées de la phase film mince, ce qui n'est pas le cas de la forme lamellaire. La mobilité dans ce type de grains est donc directement liée à l'arrangement des molécules entre elles, plus qu'à leur taille ou leur morphologie.

Toutefois, en configuration contacts bas, les électrodes source et drain ont un impact sur la croissance du pentacène et donc sur son organisation. Dans les régions du canal situées dans leur proximité, leur faible énergie de surface provoque une désorganisation de la couche de pentacène ainsi que la croissance de petits grains [12]. Les molécules de pentacène sont alors orientées aléatoirement. Une charge circulant dans ces zones aura donc des difficultés pour se déplacer d'un grain à un autre, en raison du nombre important de joints de grains mais aussi d'une molécule à une autre, l'interaction et le recouvrement de leurs systèmes π étant plus faibles en raison de leur orientation aléatoire. Par conséquent, les régions du canal situées près des contacts constituent des zones à faible mobilité. Ces zones vont alors avoir un impact négatif sur la mobilité globale du transistor. Un moyen pour éviter la formation de ces zones est d'appliquer un traitement de surface, en général des monocouches auto-assemblées [5] sur les électrodes, ou d'utiliser des électrodes polymères qui permettent une meilleure croissance du pentacène. En configuration contacts hauts, ce genre de problèmes ne se pose pas. Les électrodes étant déposées après le semi-conducteur, le pentacène croît sur une seule surface et a donc la même morphologie dans tout le canal. La mobilité n'est donc pas limitée par la morphologie du pentacène au niveau des contacts et est donc la même dans tout le canal.

6.2.2 Autres paramètres transistor

La mobilité est le seul paramètre du transistor à être directement impacté par la morphologie de la couche de pentacène. Les autres paramètres semblent moins dépendants, toutefois certains peuvent être indirectement influencés.

Le courant off d'un transistor organique dépend essentiellement du niveau de fuites de grille de son diélectrique et du dopage résiduel du semi-conducteur. Il n'est pas donc affecté par la morphologie du semi-conducteur. Le courant on par contre, est lié à la mobilité des porteurs. La mobilité étant dépendante de la morphologie, le courant on est donc indirectement lié à la morphologie du pentacène. Par conséquent le rapport I_{on}/I_{off} va lui aussi montrer une dépendance avec la morphologie. Toutefois, la pureté du pentacène semble être plus déterminante dans l'obtention d'un rapport I_{on}/I_{off} élevé [139]. En effet, les impuretés dans la couche du pentacène constituent un dopage résiduel qui a tendance à augmenter la valeur du courant off. Un transistor réalisé avec du pentacène ayant une pureté insuffisante aura donc un mauvais rapport I_{on}/I_{off} . Le pentacène utilisé dans un transistor organique doit donc être le plus pur possible.

La pente sous le seuil est un paramètre dont la valeur est intrinsèquement liée aux défauts présents dans le semi-conducteur mais aussi à la densité d'états d'interface entre l'isolant et le semi-conducteur. C'est donc un paramètre inhérent aux propriétés d'interface plutôt qu'à la morphologie du semi-conducteur.

Enfin, la tension de seuil est un paramètre dépendant essentiellement de la qualité de l'interface entre l'isolant et le semi-conducteur. Elle n'est donc pas dépendante à proprement parler de la morphologie du semi-conducteur. Toutefois, il semblerait que les hystérésis, qui se manifestent par un décalage de la tension de seuil, soient elles, sensibles à la morphologie du pentacène [140]. En effet, dans un transistor à base de pentacène, une cause d'hystérésis est le piégeage d'électrons à l'interface entre l'isolant et le semi-conducteur (cf. paragraphe 3.2.1.1). Or l'humidité présente dans l'air qui est une cause aggravante à ce phénomène, diffuse à travers la couche de pentacène au niveau des joints de grains. Ainsi, dans une couche composée de petits grains et comportant donc un grand nombre de joints de grains, les molécules d'eau diffusent plus facilement. Plus de charges sont alors piégées. L'hystérésis et donc le décalage de la tension de seuil seront alors plus importants. Par conséquent, la tension de seuil d'un transistor à base de pentacène est indirectement liée à la morphologie du semi-conducteur.

6.3 Vieillessement des transistors à base de pentacène

Un des points négatifs des transistors à base de pentacène qui limite leur utilisation à grande échelle, est leur faible stabilité dans le temps. En effet, que ce soit après un stockage à l'air ou lors de mesures répétées, leurs performances se dégradent dans le temps.

6.3.1 Dégradations à l'air

Si on ne tient pas compte des effets inhérents au diélectrique et à son interface avec le semi-conducteur, les transistors à base de pentacène présentent une certaine stabilité de leurs mesures lorsque celles-ci sont effectuées sous vide. En effet, sur un diélectrique exempt de groupements attracteurs ou de dipôles d'interface, les principales propriétés de ces transistors restent stables durant plusieurs jours à condition qu'ils ne soient jamais exposés à l'air, aussi bien lors de leur fabrication que lors de leur stockage ou de leurs mesures [76]. Toutefois, dès qu'ils sont exposés à l'air, ces dispositifs subissent des détériorations dont certaines sont irréversibles. Les causes de ces dégradations sont cependant encore soumises à discussion.

6.3.1.1 Mobilité

De récents travaux de l'« Istituto per la Microelettronica e Microsistemi » de Rome montrent ainsi qu'après plusieurs jours de stockage à l'air, une nette diminution du courant de drain est observée [140]. Cette baisse est causée par une réduction de la mobilité. Après trois semaines, la mobilité mesurée ne représente plus que 45 % de la mobilité initiale. Mais une dégradation encore plus poussée est observée lorsque le dispositif est stocké sous oxygène pur avec une mobilité ne représentant plus que 10 % de la mobilité de départ, mettant en évidence le rôle prédominant de l'oxygène de l'air dans cette perte de mobilité. Toutefois, celle-ci n'est pas liée à la morphologie de la couche de pentacène, la dégradation de la mobilité est la même quelle que soit sa vitesse de dépôt et donc quelle que soit la taille de ses grains. Ainsi, la diffusion aux joints de grains, des molécules d'oxygène, semble ne pas être la responsable de cette diminution. La création d'états de défauts près de la bande de valence par ces molécules d'oxygène semblerait être la cause de cette dégradation. Toutefois pour Benor *et al.*, l'exposition à l'oxygène sec n'a aucune influence sur la mobilité du transistor [141]. Petrović *et al.* attribuent un autre rôle à l'oxygène de l'air [142]. En effet, pour eux, les molécules d'oxygène dopent le pentacène en éliminant des électrons, créant en réaction une densité de trous, libres de se déplacer dans le canal, plus importante. Par conséquent, la conductance dans la couche de pentacène est alors plus importante, ce qui se matérialise par une diminution des résistances de contact au niveau du drain et de la source.

Comme pour l'oxygène, l'impact de l'humidité lors du vieillissement à l'air sur la mobilité reste encore à éclaircir. En effet, Qiu *et al.* relèvent une diminution de la mobilité de 30 % après 500 h de stockage à l'air qu'ils attribuent à un changement morphologique de la couche de pentacène, causé par la diffusion des molécules d'eau dans les crevasses du pentacène [143]. Petrović *et al.* renforcent cette hypothèse, en expliquant cette dégradation de la mobilité, par la création de pièges dans la couche de pentacène sous l'effet de la diffusion des molécules d'eau à travers les joints de grains [142]. Mais récemment d'autres groupes n'ont, eux, observé aucun changement dans la pente des courbes de transfert après exposition à l'air et donc à l'humidité de leurs dispositifs, ce qui est synonyme d'une mobilité inchangée [29,

140]. Cette différence de comportement n'est pas liée à la nature du diélectrique car dans les cas de Petrović *et al.* [142] et de Simeone *et al.* [140], l'isolant de grille utilisé est le même. Toutefois, il est intéressant de noter que dans les dispositifs de Qiu *et al.*, la couche de pentacène est composée de petits grains et donc comporte beaucoup de joints de grains qui peuvent favoriser la diffusion de l'humidité. Dans les transistors de Simeone *et al.*, les grains sont beaucoup plus gros, la densité de joints de grains y est alors beaucoup plus faible, la diffusion des molécules d'eau est donc plus faible, ce qui peut, peut-être, expliquer cette différence de comportement.

6.3.1.2 Tension de seuil

La tension de seuil étant un paramètre très sensible au piégeage des charges, est, elle aussi, sensible à l'exposition à l'air des transistors à base de pentacène. En effet, les molécules d'eau et d'oxygène présentes dans l'air diffusent facilement à travers la couche de pentacène par l'intermédiaire des joints de grains. Lorsque ces molécules arrivent sur la surface d'un diélectrique comportant des groupements hydroxyles ou attracteurs d'électrons, comme l'oxyde de silicium, elles réagissent avec ces derniers pour former des groupements O^- et sont alors responsables du piégeage des électrons (cf. paragraphe 2.2.4). Ainsi Kumaki *et al.* observent un fort décalage de la tension de seuil dans la direction des tensions de grille positives, après exposition à l'air de leurs transistors [29]. Un tel décalage n'est plus observé lorsque la surface du diélectrique est passivée par une monocouche auto-assemblée [29], ou par un isolant polymère inerte comme le Cytop [76], par exemple.

Ce décalage peut donc être causé par la diffusion de molécules d'eau ou d'oxygène à travers la couche de pentacène. Cependant, ces molécules ne vont pas agir dans les mêmes circonstances. En effet, les molécules d'eau réduisent les groupements attracteurs d'électrons dès que le dispositif est exposé à l'air, alors que les molécules d'oxygène ont besoin qu'un courant circule dans le canal pour agir. Ainsi, lors de l'exposition à l'air des transistors à base de pentacène, la diffusion des molécules d'eau induit un décalage de la tension de seuil dès la mise à l'air du dispositif alors que les molécules d'oxygène ne rentrent en action que lorsque le transistor est en fonctionnement (cf. paragraphe 2.2.4).

Le piégeage des électrons par les groupements hydroxyles est aussi un des mécanismes responsables des hystérésis (cf. paragraphe 3.2.1.1). Ainsi, l'exposition à l'air des transistors à base de pentacène a aussi un effet sur les hystérésis dans ce type de dispositifs. La diffusion des molécules d'eau et d'oxygène à travers la couche de pentacène augmente le phénomène de piégeage des électrons. Par conséquent, le nombre de charges piégées non libérées lors du balayage de l'état bloquant vers l'état passant du transistor est plus important. Le nombre de trous supplémentaires nécessaires pour compenser ces électrons piégés est alors lui aussi plus important. Le décalage entre le balayage aller et le balayage retour est alors plus élevé. Ainsi, l'exposition à l'air augmente l'amplitude des hystérésis dans les transistors à base de

pentacène. Ce phénomène est alors lié à la morphologie de la couche de pentacène (cf. paragraphe précédent).

6.3.1.3 Tension de démarrage et pente sous le seuil

Lorsque la surface du diélectrique est traitée par une monocouche auto-assemblée, le décalage de la tension de seuil induit par l'exposition à l'air est en partie, voire en totalité supprimé. Cependant un décalage de la tension de démarrage, V_{SO} vers les tensions de grille positives est tout de même observé [141] lors de l'exposition à de l'oxygène sec. Ce décalage de la tension de démarrage s'accompagne alors d'une augmentation de la pente sous le seuil. La création d'états accepteurs dans la bande interdite du pentacène, évoquée précédemment pour expliquer l'impact de la diffusion des molécules d'oxygène sur la mobilité, semblerait être à l'origine de ce phénomène.

6.3.1.4 Rapport I_{on}/I_{off}

Dans le paragraphe 6.3.1.1, on a vu que le courant de drain diminue nettement après plusieurs jours de stockage à l'air, en conséquence de la diminution de la mobilité. Donc, l'exposition à l'air d'un transistor pentacène diminue son courant on. De plus, une forte augmentation du courant off est aussi observée. En effet, l'humidité présente au niveau des joints de grains, dans la couche de pentacène, augmente la conductivité entre la source et le drain lorsque le transistor est à l'état bloquant. Le courant on diminuant et le courant off augmentant, le rapport I_{on}/I_{off} diminue donc lorsque le transistor est exposé à l'air. Ainsi au bout de 500 h de stockage à l'air, le rapport I_{on}/I_{off} diminue d'un cinquième de sa valeur initiale [143].

6.3.2 Dégradations sous champ

L'étude du vieillissement à l'air des transistors à base de pentacène est essentielle en vue d'améliorer leur stabilité. Mais un autre type de vieillissement, sous champ ou sous contrainte électrique (en anglais « bias stress ») est tout aussi essentiel. En effet, son étude montre l'évolution du comportement du transistor lorsqu'il est soumis à un champ électrique continu durant plusieurs jours.

Les principales dégradations générées par ce type de vieillissement concernent la tension de seuil. Un décalage de cette dernière est ainsi fréquemment observé. Les causes de ce déplacement sont multiples et ont principalement les mêmes origines que celles engendrant les hystérésis. Un parallèle peut alors être établi entre la direction de ce décalage et le sens des hystérésis. Pour les transistors à canal p qui est le régime de fonctionnement le plus courant des transistors à base de pentacène, un déplacement de la tension de seuil vers les tensions de grille négatives, soit un écart entre ses valeurs finale et initiale négatif, correspond ainsi à une hystérésis tournant dans le sens des aiguilles d'une montre.

Inversement, un décalage vers les tensions positives (écart entre les valeurs finales et initiales positif) a les mêmes origines qu'une hystérésis tournant dans le sens inverse des aiguilles d'une montre. Ainsi un décalage négatif est la plupart du temps synonyme d'un piégeage des charges à l'interface entre l'isolant et le semi-conducteur. Un déplacement positif est, lui, généralement causé par un mouvement ionique dans l'isolant de grille. Ces considérations ne sont cependant valables que si le champ électrique appliqué, induit par la polarisation continue de la grille, permet au transistor d'être en permanence en régime d'accumulation. Autrement dit, si la tension appliquée sur la grille est négative. Si cette tension est positive, le transistor est à l'état bloquant. Dans ce cas, la tension de seuil se déplace alors dans le sens opposé.

Dans un transistor pentacène ayant comme diélectrique de grille une couche d'oxyde de silicium, la tension de seuil se décale vers les potentiels de grille négatifs, lorsque la tension appliquée durant le vieillissement est négative. Si, au contraire, cette tension est positive, le déplacement a lieu dans le sens inverse [141]. Dans les deux cas, le déplacement de la tension de seuil semble être causé par le piégeage de charges à l'interface entre l'oxyde et la couche de pentacène. Dans le cas des diélectriques dans lesquels un mouvement ionique est possible, un décalage en sens inverse est observé. Toutefois, il est fréquent qu'un piégeage de charges ait aussi lieu. Dans ce cas, la tension de seuil se déplacera dans le sens du mécanisme dominant [144].

Le piégeage des charges lorsque le transistor est passant, c'est-à-dire pour une polarisation de grille négative, est la conséquence d'états localisés profonds, préexistants ou générés par le stress électrique à l'interface entre le semi-conducteur et l'isolant, ou dans le semi-conducteur lui-même. Une fois piégées, les charges ne peuvent plus participer à la conduction dans le canal. Un potentiel de grille plus important est alors nécessaire pour induire la même quantité de porteurs. Pour obtenir un courant comparable, une tension de grille plus importante est donc nécessaire [145]. Comme en général, la mobilité n'est pas affectée par le stress électrique (une variation de seulement 2 % est observée après plusieurs heures de stress [144]), le décalage observé au niveau de la tension de seuil est le même pour tous les niveaux de courant. Ainsi, l'effet du stress se traduit simplement par une translation de la courbe de transfert initiale. L'écart en tension de ces courbes est alors le même quelle que soit l'intensité, ce qui incite certains groupes à ne pas considérer l'écart de la tension de seuil, mais plutôt l'écart en tension pour une intensité donnée.

Les effets du vieillissement sous contrainte électrique avec une polarisation de grille positive est largement moins étudié que son homologue sous polarisation négative. Toutefois, il semblerait que le piégeage d'électrons soit le principal responsable du décalage positif de la tension de seuil. Comme dans le cas des hystérésis, les électrons piégés à l'interface entre l'isolant et le semi-conducteur lors du stress électrique, restent piégés lors de la mesure du transistor. Ces charges piégées permettent alors, une accumulation plus importante de trous. Le potentiel à appliquer sur la grille pour accumuler le même nombre

de porteurs est alors inférieur à celui qui était nécessaire initialement. Les courbes de transfert vont donc se décaler vers les tensions de grille positives, ce qui implique un écart dans les valeurs de la tension de seuil positif. Ce phénomène est augmenté lorsque la mesure est faite sous illumination. En effet, la lumière photogénère des électrons supplémentaires, qui, à leur tour, se retrouvent piégés à l'interface entre l'isolant et le semi-conducteur et ajoutent donc un nouveau champ électrique supplémentaire à celui déjà imposé par la grille et par les électrons piégés durant le stress. En conséquence, le déplacement de la tension de seuil sera alors plus important [146].

Dans les deux cas, le décalage observé est cependant réversible. Lorsqu'une polarisation de signe opposé est appliquée sur la grille, le retour à l'état initial est plus rapide. Cependant, sans polarisation, ce retour s'effectue dans la même échelle de temps que le stress initial. Cette réversibilité semble indiquer que ce ne sont pas les mêmes types de pièges qui interviennent lors du vieillissement sous champ que lors du vieillissement à l'air.

Comme dans le cas des hystérésis, l'exposition à l'air de ces transistors, accentue le décalage de la tension de seuil. Toutefois, même lorsqu'ils sont fabriqués et mesurés sous vide, un déplacement est observé. Dans ce cas, une cause possible du décalage est la couche d'eau formée par condensation sur la surface de l'oxyde, lorsque celui-ci est placé sous vide. Comme déjà évoqué précédemment, l'exposition à l'air des transistors à base de pentacène s'accompagne de la diffusion des molécules d'eau et d'oxygène de l'air à travers les joints de grains de la couche de pentacène. Les molécules d'oxygène vont alors induire des états de défauts supplémentaires dans la bande interdite du semi-conducteur. Ces états seront alors responsables du décalage plus important de la tension de seuil [147]. Dans le cas des molécules d'eau, un mécanisme évoqué pour expliquer le piégeage des charges est la déprotonation de l'eau. Les trous accumulés dans le canal sous l'effet de la tension de stress négative, peuvent réagir avec les molécules d'eau pour former des protons, H^+ . Ces protons peuvent alors se convertir à nouveau en trous ou diffuser dans la couche d'oxyde, piégeant ainsi, les trous qui ne participent donc plus au courant conduisant, ainsi, à un décalage de la tension de seuil [148].

6.4 Conclusion

La sensibilité au piégeage des charges des transistors à base de pentacène en fait d'excellents candidats pour étudier ce type de phénomène. La nature polycristalline du pentacène permet à ces transistors d'afficher des mobilités de trous assez élevées. Ces mobilités sont toutefois dépendantes de la morphologie de la couche de pentacène qui est elle-même liée à ses paramètres de dépôt. Ainsi, une faible vitesse de dépôt, de même qu'une température de substrat élevée permettent, la croissance de gros grains initiateurs d'une mobilité importante. Cependant, c'est en réalité la morphologie des premières monocouches qui se révèle être déterminante pour avoir une bonne conduction dans le canal. Ainsi, un

transistor pentacène aura une mobilité maximale si l'énergie de la surface sur laquelle est déposée la couche semi-conductrice ainsi que les paramètres de son dépôt permettent d'obtenir une première monocouche contenant le moins de joints de grains possible. L'énergie de surface est aussi la principale responsable des différences morphologiques observées au niveau des électrodes source et drain dans une architecture contacts bas. Cette discontinuité morphologique est défavorable à l'injection de charges et a donc pour effet une augmentation des résistances de contact. Ces zones mal organisées constituent de plus des régions à faible mobilité qui diminuent la mobilité globale du transistor. Des moyens existent cependant pour éviter ce phénomène. Le greffage de monocouches auto-assemblées sur la surface des électrodes, permettant de modifier leur énergie de surface et de la rendre similaire à celle du diélectrique, est une solution. Un autre moyen est de réaliser les transistors dans une architecture contacts hauts, afin de permettre une croissance homogène de la couche de pentacène.

Les transistors à base de pentacène souffrent cependant d'une certaine instabilité dès qu'ils sont exposés à l'air. Leur mobilité ainsi que leur tension de seuil subissent des dégradations irréversibles. L'oxygène de l'air oxyde la couche de pentacène, ce qui y crée des défauts et ajoute des niveaux énergétiques supplémentaires dans sa bande interdite, qui sont responsables en partie de la détérioration de la mobilité. L'humidité agit, elle, principalement par la diffusion des molécules d'eau au niveau des joints de grains. Ces molécules créent des défauts dans le pentacène qui dégradent la mobilité. Mais ce processus étant lié à la présence de joints de grains, est donc dépendant de la morphologie de la couche de pentacène. Une couche composée de gros grains y sera ainsi moins sensible et pourra avoir une mobilité beaucoup plus stable. La diffusion des molécules d'eau et d'oxygène de l'air, à travers les joints de grains, a aussi un impact sur la tension de seuil de ces transistors lorsque celles-ci atteignent l'interface entre l'isolant et le semi-conducteur. En effet, ces molécules accentuent le piégeage de charges, ce qui a donc des effets sur la tension de seuil, mais aussi sur les hystérésis dont l'amplitude est alors plus importante.

Ces transistors subissent aussi d'importantes dégradations lorsqu'ils sont mis sous tension durant de longues périodes. Ces détériorations se manifestent principalement, par un décalage de la tension de seuil dans le temps, la mobilité n'étant, elle, que très peu dégradée. C'est à nouveau le piégeage des charges qui est responsable de ce déplacement de la tension de seuil, mais dans ce cas, le processus est réversible, ce qui semble indiquer qu'une autre catégorie de pièges intervient lors du vieillissement sous contrainte électrique.

Bibliographie

- [1] A. Tsumura, H. Koezuka, and T. Ando, *Appl. Phys. Lett.* **49**, 1210 (1986).
- [2] H. Mathieu, *Physique des semiconducteurs et des composants électroniques*, Dunod, 2004.
- [3] C. R. Newman, C. D. Frisbie, D. A. da Silva Filho, J.-L. Brédas, P. C. Ewbank, and K. R. Mann, *Chem. Mater.* **16**, 4436 (2004).
- [4] L.-L. Chua, J. Zaumseil, J.-F. Chang, E. C.-W. Ou, P. K.-H. Ho, H. Sirringhaus, and R. H. Friend, *Nature* **434**, 194 (2005).
- [5] P. Marmont, N. Battaglini, P. Lang, G. Horowitz, J. Hwang, A. Kahn, C. Amato, and P. Calas, *Org. Electron.* **9**, 419 (2008).
- [6] R. A. Street and A. Salleo, *Appl. Phys. Lett.* **81**, 2887 (2002).
- [7] A. Ortiz-Conde, F. J. García Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, *Microelectron. Reliab.* **42**, 583 (2002).
- [8] E. J. Meijer, C. Tanase, P. W. M. Blom, E. van Veenendaal, B.-H. Huisman, D. M. de Leeuw, and T. M. Klapwijk, *Appl. Phys. Lett.* **80**, 3838 (2002).
- [9] A.-J. Attias, *Tech. Ing., Mater. Fonct.* , E1862 (2002).
- [10] G. Paasch, S. Scheinert, A. Herasimovich, I. Hörselmann, and T. Lindner, *Phys. Status Solidi A* **205**, 534 (2008).
- [11] M. J. Panzer and C. D. Frisbie, *Organic Field-Effect Transistors*, chapter Contact Effects in Organic Field-Effect Transistors, pp. 139–157, CRC Press Taylor & Francis Group, 2007.
- [12] D. Gupta, M. Katiyar, and D. Gupta, *Org. Electron.* **10**, 775 (2009).
- [13] Q. J. Cai, M. B. Chan-Park, Q. Zhou, Z. S. Lu, C. M. Li, and B. S. Ong, *Org. Electron.* **9**, 936 (2008).
- [14] Y. Jung, R. J. Kline, D. A. Fischer, E. K. Lin, M. Heeney, I. McCulloch, and D. M. DeLongchamp, *Adv. Funct. Mater.* **18**, 742 (2008).
- [15] S. Steudel, S. De Vusser, S. De Jonge, D. Janssen, S. Verlaak, J. Genoe, and P. Heremans, *Appl. Phys. Lett.* **85**, 4400 (2004).
- [16] K. Suemori, S. Uemura, M. Yoshida, S. Hoshino, N. Takada, T. Kodzasa, and T. Kamata, *Appl. Phys. Lett.* **93**, 033308 (2008).
- [17] D. Knipp, R. A. Street, and A. R. Volkel, *Appl. Phys. Lett.* **82**, 3907 (2003).
- [18] D. Knipp, R. A. Street, A. Volkel, and J. Ho, *J. Appl. Phys.* **93**, 347 (2003).
- [19] M. Yoshida, S. Uemura, T. Kodzasa, T. Kamata, M. Matsuzawa, and T. Kawai, *Synth. Met.* **137**, 967 (2003).
- [20] S. Y. Yang, K. Shin, and C. E. Park, *Adv. Funct. Mater.* **15**, 1806 (2005).
- [21] W.-Y. Chou, C.-W. Kuo, H.-L. Cheng, Y.-R. Chen, F.-C. Tang, F.-Y. Yang, D.-Y. Shu, and C.-C. Liao, *Appl. Phys. Lett.* **89**, 112126 (2006).
- [22] J. Gao, K. Asadi, J. B. Xu, and J. An, *Appl. Phys. Lett.* **94**, 093302 (2009).
- [23] S.-j. Mun, J.-M. Choi, K. H. Lee, K. Lee, and S. Im, *Appl. Phys. Lett.* **93**, 233301 (2008).
- [24] Y. Jang, J. H. Cho, D. H. Kim, Y. D. Park, M. Hwang, and K. Cho, *Appl. Phys. Lett.* **90**, 132104 (2007).

- [25] C. Celle, C. Suspène, J.-P. Simonato, S. Lenfant, M. Ternisien, and D. Vuillaume, *Org. Electron.* **10**, 119 (2009).
- [26] P. Stadler, A. M. Track, M. Ullah, H. Sitter, G. J. Matt, G. Koller, T. B. Singh, H. Neugebauer, N. Serdar Sariciftci, and M. G. Ramsey, *Org. Electron.* **11**, 207 (2010).
- [27] K. P. Pernstich, S. Haas, D. Oberhoff, C. Goldmann, D. J. Gundlach, B. Batlogg, A. N. Rashid, and G. Schitter, *J. Appl. Phys.* **96**, 6431 (2004).
- [28] S. Kobayashi, T. Nishikawa, T. Takenobu, S. Mori, T. Shimoda, T. Mitani, H. Shimotani, N. Yoshimoto, S. Ogawa, and Y. Iwasa, *Nat. Mater.* **3**, 317 (2004).
- [29] D. Kumaki, T. Umeda, and S. Tokito, *Appl. Phys. Lett.* **92**, 093309 (2008).
- [30] H. Kawaguchi, M. Taniguchi, and T. Kawai, *Appl. Phys. Lett.* **94**, 093305 (2009).
- [31] L. Lan, J. Peng, M. Sun, J. Zhou, J. Zou, J. Wang, and Y. Cao, *Org. Electron.* **10**, 346 (2009).
- [32] M.-H. Yoon, C. Kim, A. Facchetti, and T. J. Marks, *J. Am. Chem. Soc.* **128**, 12851 (2006).
- [33] C. A. Lee, D.-W. Park, K.-D. Jung, B.-j. Kim, Y. C. Kim, J. D. Lee, and B.-G. Park, *Appl. Phys. Lett.* **89**, 262120 (2006).
- [34] S. H. Kim, H. Yang, S. Y. Yang, K. Hong, D. Choi, C. Yang, D. S. Chung, and C. E. Park, *Org. Electron.* **9**, 673 (2008).
- [35] M. Egginger, S. Bauer, R. Schwödäuer, H. Neugebauer, and N. Sariciftci, *Monatsh. Chem.* **140**, 735 (2009).
- [36] G. Gu, M. G. Kane, J. E. Doty, and A. H. Firester, *Appl. Phys. Lett.* **87**, 243512 (2005).
- [37] G. Gu and M. G. Kane, *Proc. SPIE* **6336**, 63360H (2006).
- [38] G. Gu, M. G. Kane, and S.-C. Mau, *J. Appl. Phys.* **101**, 014504 (2007).
- [39] N. Kirova and S. Brazovskii, *Synthetic Metals* **76**, 229 (1996).
- [40] M. Halik, *Organic Electronics, Materials, Manufacturing and Applications*, chapter Gate dielectrics, pp. 132–162, Wiley, 2006.
- [41] D. K. Hwang, M. S. Oh, J. M. Hwang, J. H. Kim, and S. Im, *Appl. Phys. Lett.* **92**, 013304 (2008).
- [42] D. K. Hwang, K. Lee, J. H. Kim, S. Im, J. H. Park, and E. Kim, *Appl. Phys. Lett.* **89**, 093507 (2006).
- [43] M. Egginger, M. Irimia-Vladu, R. Schwödäuer, A. Tanda, I. Frischauf, S. Bauer, and N. S. Sariciftci, *Adv. Mater.* **20**, 1018 (2008).
- [44] J. H. Cho, J. Lee, Y. Xia, B. Kim, Y. He, M. J. Renn, T. P. Lodge, and C. Daniel Frisbie, *Nat. Mater.* **7**, 900 (2008).
- [45] E. Orgiu, S. Locci, B. Fraboni, E. Scavetta, P. Lugli, and A. Bonfiglio, *Organic Electronics* **12**, 477 (2011).
- [46] C. A. Lee, D. W. Park, S. H. Jin, I. H. Park, J. D. Lee, and B.-G. Park, *Appl. Phys. Lett.* **88**, 252102 (2006).
- [47] K. H. Lee, G. Lee, K. Lee, M. S. Oh, and S. Im, *Appl. Phys. Lett.* **94**, 093304 (2009).
- [48] Z. Liu, F. Xue, Y. Su, Y. Lvov, and K. Varshneyan, *IEEE Trans. Nanotechnol.* **5**, 379 (2006).
- [49] K.-J. Baeg, Y.-Y. Noh, J. Ghim, B. Lim, and D.-Y. Kim, *Adv. Funct. Mater.* **18**, 3678 (2008).

-
- [50] K. Suemori, S. Uemura, M. Yoshida, S. Hoshino, T. Kodzasa, and T. Kamata, *Thin Solid Films* **516**, 2739 (2008).
- [51] C. Bartic, H. Jansen, A. Campitelli, and S. Borghs, *Org. Electron.* **3**, 65 (2002).
- [52] J. Veres, S. Ogier, S. Leeming, D. Cupertino, and S. M. Khaffaf, *Adv. Funct. Mater.* **13**, 199 (2003).
- [53] H. S. Tan, N. Mathews, T. Cahyadi, F. R. Zhu, and S. G. Mhaisalkar, *Appl. Phys. Lett.* **94**, 263303 (2009).
- [54] A. Maliakal, *Organic Field-Effect Transistors*, chapter Dielectric Materials: Selection and Design, pp. 229–251, CRC Press Taylor & Francis Group, 2007.
- [55] H. Tan, T. Cahyadi, Z. Wang, A. Lohani, Z. Tsakadze, S. Zhang, F. Zhu, and S. Mhaisalkar, *IEEE Electron Device Lett.* **29**, 698 (2008).
- [56] G.-C. Yuan, Z. Xu, S.-L. Zhao, F.-J. Zhang, X.-Y. Jia, N. Xu, Q.-J. Sun, and X.-R. Xu, *Appl. Surf. Sci.* **255**, 5995 (2009).
- [57] W. H. Ha, M. H. Choo, and S. Im, *J. Non-Cryst. Solids* **303**, 78 (2002).
- [58] L. A. Majewski, M. Grell, S. D. Ogier, and J. Veres, *Org. Electron.* **4**, 27 (2003).
- [59] R. P. Ortiz, A. Facchetti, and T. J. Marks, *Chem. Rev.* **110**, 205 (2010).
- [60] G. Wang, D. Moses, A. J. Heeger, H.-M. Zhang, M. Narasimhan, and R. E. Demaray, *J. Appl. Phys.* **95**, 316 (2004).
- [61] A.-L. Deman, M. Erouel, D. Lallemand, M. Phaner-Goutorbe, P. Lang, and J. Tardy, *J. Non-Cryst. Solids* **354**, 1598 (2008).
- [62] J. Tardy, M. Erouel, A. Deman, A. Gagnaire, V. Teodorescu, M. Blanchin, B. Canut, A. Barau, and M. Zaharescu, *Microelectron. Reliab.* **47**, 372 (2007).
- [63] J.-W. Lee, J.-M. Kim, B.-K. Ju, J.-K. Kim, M.-H. Oh, and J. Jang, *J. Korean Phys.Soc.* **45**, S612 (2004).
- [64] S. Kang, K. Chung, D. Park, H. Kim, Y. Choi, M. Jang, M. Noh, and C. Whang, *Synth. Met.* **146**, 351 (2004).
- [65] D. K. Hwang, J. H. Park, J. Lee, J.-M. Choi, J. H. Kim, E. Kim, and S. Im, *Electrochem. Solid-State Lett.* **8**, G140 (2005).
- [66] Y.-Y. Noh and H. Sirringhaus, *Org. Electron.* **10**, 174 (2009).
- [67] G. W. Kang, K. M. Park, J. H. Song, C. H. Lee, and D. H. Hwang, *Curr. Appl. Phys.* **5**, 297 (2005).
- [68] B. Park, I. In, P. Gopalan, P. G. Evans, S. King, and P. F. Lyman, *Appl. Phys. Lett.* **92**, 133302 (2008).
- [69] M.-H. Yoon, H. Yan, A. Facchetti, and T. J. Marks, *J. Am. Chem. Soc.* **127**, 10388 (2005).
- [70] K. Sim, Y. Choi, H. Kim, S. Cho, S. C. Yoon, and S. Pyo, *Org. Electron.* **10**, 506 (2009).
- [71] S. Pyo, H. Son, K.-Y. Choi, M. H. Yi, and S. K. Hong, *Appl. Phys. Lett.* **86**, 133508 (2005).
- [72] L.-L. Chua, P. K. H. Ho, H. Sirringhaus, and R. H. Friend, *Appl. Phys. Lett.* **84**, 3400 (2004).
- [73] W. L. Kalb, T. Mathis, S. Haas, A. F. Stassen, and B. Batlogg, *Appl. Phys. Lett.* **90**, 092104 (2007).
- [74] M. Uno, Y. Tominari, and J. Takeya, *Org. Electron.* **9**, 753 (2008).
- [75] J. Jang, J. W. Kim, N. Park, and J.-J. Kim, *Org. Electron.* **9**, 481 (2008).

- [76] T. Umeda, D. Kumaki, and S. Tokito, *Org. Electron.* **9**, 545 (2008).
- [77] S. H. Kim, S. Nam, J. Jang, K. Hong, C. Yang, D. S. Chung, C. E. Park, and W.-S. Choi, *J. Appl. Phys.* **105**, 104509 (2009).
- [78] D. Boudinet, M. Benwadih, S. Altazin, R. Gwoziecki, J. Verilhac, R. Coppard, G. Le Blevenec, I. Chartier, and G. Horowitz, *Org. Electron.* **11**, 291 (2010).
- [79] C. R. Newman, R. J. Chesterfield, M. J. Panzer, and C. D. Frisbie, *J. Appl. Phys.* **98**, 084506 (2005).
- [80] N. Kawasaki, W. L. Kalb, T. Mathis, Y. Kaji, R. Mitsuhashi, H. Okamoto, Y. Sugawara, A. Fujiwara, Y. Kubozono, and B. Batlogg, *Appl. Phys. Lett.* **96**, 113305 (2010).
- [81] Y. Kubozono, S. Haas, W. L. Kalb, P. Joris, F. Meng, A. Fujiwara, and B. Batlogg, *Appl. Phys. Lett.* **93**, 033316 (2008).
- [82] D. Simeone, S. Cipolloni, L. Mariucci, M. Rapisarda, A. Minotti, A. Pecora, M. Cuscunà, L. Maiolo, and G. Fortunato, *Thin Solid Films* **517**, 6283 (2009).
- [83] M. Irimia-Vladu, N. Marjanovic, M. Bodea, G. Hernandez-Sosa, A. M. Ramil, R. Schwödiauer, S. Bauer, N. S. Sariciftci, and F. Nüesch, *Org. Electron.* **10**, 408 (2009).
- [84] S. Yu, M. Yi, and D. Ma, *Thin Solid Films* **516**, 3346 (2008).
- [85] S. A. DiBenedetto, A. Facchetti, M. A. Ratner, and T. J. Marks, *Adv. Mater.* **21**, 1407 (2009).
- [86] H. Klauk, U. Zschieschang, J. Pflaum, and M. Halik, *Nature* **445**, 745 (2007).
- [87] M. Halik, H. Klauk, U. Zschieschang, G. Schmid, C. Dehm, M. Schutz, S. Maisch, F. Effenberger, M. Brunnbauer, and F. Stellacci, *Nature* **431**, 963 (2004).
- [88] M.-H. Yoon, A. Facchetti, and T. J. Marks, *Proc. Natl. Acad. Sci. USA* **102**, 4678 (2005).
- [89] H. Klauk, U. Zschieschang, and M. Halik, *J. Appl. Phys.* **102**, 074514 (2007).
- [90] S. C. Lim, S. H. Kim, J. H. Lee, M. K. Kim, D. J. Kim, and T. Zyung, *Synth. Met.* **148**, 75 (2005).
- [91] W. Kalb, P. Lang, M. Mottaghi, H. Aubin, G. Horowitz, and M. Wuttig, *Synth. Met.* **146**, 279 (2004).
- [92] M. Mottaghi and G. Horowitz, *Org. Electron.* **7**, 528 (2006).
- [93] A. Virkar, S. Mannsfeld, J. H. Oh, M. F. Toney, Y. H. Tan, G.-y. Liu, J. C. Scott, R. Miller, and Z. Bao, *Adv. Funct. Mater.* **19**, 1962 (2009).
- [94] D. H. Kim, H. S. Lee, H. Yang, L. Yang, and K. Cho, *Adv. Funct. Mater.* **18**, 1363 (2008).
- [95] Y. Wu, P. Liu, B. S. Ong, T. Srikumar, N. Zhao, G. Botton, and S. Zhu, *Appl. Phys. Lett.* **86**, 142102 (2005).
- [96] I. Yagi, K. Tsukagoshi, and Y. Aoyagi, *Appl. Phys. Lett.* **86**, 103502 (2005).
- [97] L. Fumagalli, D. Natali, M. Sampietro, E. Peron, F. Perissinotti, G. Tallarida, and S. Ferrari, *Org. Electron.* **9**, 198 (2008).
- [98] Y. Sun, X. Lu, S. Lin, J. Kettle, S. G. Yeates, and A. Song, *Org. Electron.* **11**, 351 (2010).
- [99] A.-L. Deman and J. Tardy, *Org. Electron.* **6**, 78 (2005).
- [100] Y. Lu, W. H. Lee, H. S. Lee, Y. Jang, and K. Cho, *Appl. Phys. Lett.* **94**, 113303 (2009).
- [101] C. Kim, A. Facchetti, and T. Marks, *Adv. Mater.* **19**, 2561 (2007).
- [102] F.-C. Chen and C.-H. Liao, *Appl. Phys. Lett.* **93**, 103310 (2008).

-
- [103] F. Maddalena, M. Spijkman, J. Brondijk, P. Fonteijn, F. Brouwer, J. Hummelen, D. de Leeuw, P. Blom, and B. de Boer, *Org. Electron.* **9**, 839 (2008).
- [104] Q. Tang, Y. Tong, H. Li, Z. Ji, L. Li, W. Hu, Y. Liu, and D. Zhu, *Adv. Mater.* **20**, 1511 (2008).
- [105] J. k. Ko, D. y. Kim, J. H. Park, S.-W. Choi, S. H. Park, and J. Yi, *Thin Solid Films* **427**, 259 (2003).
- [106] R. P. Lowndes, *J. Phys. C: Solid State Phys.* **2**, 1595 (1969).
- [107] K. Højendahl, *Mat.-Fys. Medd. - K. Dan. Vidensk. Selsk.* **16**, 2 (1938).
- [108] J. Errera and H. Ketelaar, *J. Phys. Radium* **3**, 239 (1932).
- [109] N. Benson, C. Melzer, R. Schmechel, and H. v. Seggern, *Phys. Status Solidi A* **205**, 475 (2008).
- [110] G. W. Mbise, G. A. Niklasson, and C. G. Granqvist, *Solid State Commun.* **97**, 965 (1996).
- [111] K. Thompson, D. Luhman, and R. Hallock, *Surf. Sci.* **603**, 3249 (2009).
- [112] V. Nguyen Van, S. Fisson, J. Frigerio, J. Rivory, G. Vuye, Y. Wang, and F. Abelès, *Thin Solid Films* **253**, 257 (1994).
- [113] X. Guo and J. Maier, *Adv. Funct. Mater.* **19**, 96 (2009).
- [114] N. Sata, K. Eberman, K. Eberl, and J. Maier, *Nature* **408**, 946 (2000).
- [115] N. S. Sokolov, I. V. Grekhov, S. Ikeda, A. K. Kaveev, A. V. Krupin, K. Saiki, K. Tsutsui, S. E. Tyaginov, and M. I. Vexler, *Microelectron. Eng.* **84**, 2247 (2007).
- [116] S. Bhagwat, A. Bhangale, J. Patil, V. Shirodkar, R. Pinto, P. Apte, and S. Pai, *Braz. J. Phys.* **29**, 388 (1999).
- [117] B. Szigeti, *Proc. R. Soc. London, Ser. A* **252**, 217 (1959).
- [118] Y. Yun, T. Maki, and T. Kobayashi, *Appl. Surf. Sci.* **117-118**, 570 (1997).
- [119] S. Yu, M. Yi, and D. Ma, *Semicond. Sci. Technol.* **21**, 1452 (2006).
- [120] G. Horowitz, R. Hajlaoui, and P. Delannoy, *J. Phys. III France* **5**, 355 (1995).
- [121] S.-Y. Yu, M.-D. Yi, and D.-G. Ma, *Chin. Phys. Lett.* **24**, 2704 (2007).
- [122] S.-Y. Yu, M.-D. Yi, and D.-G. Ma, *Chin. Phys. Lett.* **25**, 755 (2008).
- [123] A. S. Foster, T. Trevelyan, and A. L. Shluger, *Phys. Rev. B* **80**, 115421 (2009).
- [124] G. Horowitz, X.-Z. Peng, D. Fichou, and F. Garnier, *J. Mol. Electron.* **7**, 85 (1991).
- [125] Y.-Y. Lin, D. Gundlach, S. Nelson, and T. Jackson, *IEEE Electron Device Lett.* **18**, 606 (1997).
- [126] O. D. Jurchescu, J. Baas, and T. T. M. Palstra, *Appl. Phys. Lett.* **84**, 3061 (2004).
- [127] L. Gross, F. Mohn, N. Moll, P. Liljeroth, and G. Meyer, *Science* **325**, 1110 (2009).
- [128] B. Stadlober, V. Satzinger, H. Maresch, D. Somitsch, A. Haase, H. Pichler, W. Rom, and G. Jakopic, *Proc. SPIE* **5217**, 112 (2003).
- [129] I. P. M. Bouchoms, W. A. Schoonveld, J. Vrijmoeth, and T. M. Klapwijk, *Synth. Met.* **104**, 175 (1999).
- [130] R. Ruiz, A. C. Mayer, G. G. Malliaras, B. Nickel, G. Scoles, A. Kazimirov, H. Kim, R. L. Headrick, and Z. Islam, *Appl. Phys. Lett.* **85**, 4926 (2004).
- [131] C. D. Dimitrakopoulos, A. R. Brown, and A. Pomp, *J. Appl. Phys.* **80**, 2501 (1996).

- [132] R. Ruiz, D. Choudhary, B. Nickel, T. Toccoli, K.-C. Chang, A. C. Mayer, P. Clancy, J. M. Blakely, R. L. Headrick, S. Iannotta, and G. G. Malliaras, *Chem. Mater.* **16**, 4497 (2004).
- [133] A. C. Mayer, R. Ruiz, R. L. Headrick, A. Kazimirov, and G. G. Malliaras, *Org. Electron.* **5**, 257 (2004).
- [134] R. Ruiz, A. Papadimitratos, A. C. Mayer, and G. G. Malliaras, *Adv. Mater.* **17**, 1795 (2005).
- [135] H. Yanagisawa, T. Tamaki, M. Nakamura, and K. Kudo, *Thin Solid Films* **464-465**, 398 (2004).
- [136] X.-H. Zhang, S. P. Tiwari, and B. Kippelen, *Org. Electron.* **10**, 1133 (2009).
- [137] I. Kymissis, C. Dimitrakopoulos, and S. Purushothaman, *IEEE Trans. Electron Devices* **48**, 1060 (2001).
- [138] Y. Hu, Q. Qi, and C. Jiang, *Appl. Phys. Lett.* **96**, 133311 (2010).
- [139] Y.-Y. Lin, D. Gundlach, S. Nelson, and T. Jackson, *IEEE Trans. Electron Devices* **44**, 1325 (1997).
- [140] D. Simeone, M. Rapisarda, G. Fortunato, A. Valletta, and L. Mariucci, *Org. Electron.* **12**, 447 (2011).
- [141] A. Benor, A. Hoppe, V. Wagner, and D. Knipp, *Org. Electron.* **8**, 749 (2007).
- [142] A. Petrovic and G. Bratina, *Appl. Phys. Lett.* **94**, 123301 (2009).
- [143] Y. Qiu, Y. Hu, G. Dong, L. Wang, J. Xie, and Y. Ma, *Appl. Phys. Lett.* **83**, 1644 (2003).
- [144] T. H. Kim, C. G. Han, and C. K. Song, *Thin Solid Films* **516**, 1232 (2008).
- [145] H. Sirringhaus, *Adv. Mater.* **21**, 3859 (2009).
- [146] M. Debucquoy, S. Verlaak, S. Steudel, K. Myny, J. Genoe, and P. Heremans, *Appl. Phys. Lett.* **91**, 103508 (2007).
- [147] A. Benor, D. Knipp, J. Northrup, A. Völkel, and R. Street, *J. Non-Cryst. Solids* **354**, 2875 (2008).
- [148] A. Sharma, S. G. J. Mathijssen, M. Kemerink, D. M. de Leeuw, and P. A. Bobbert, *Appl. Phys. Lett.* **95**, 253305 (2009).

2

Technologie de fabrication des transistors organiques en couches minces

Introduction	95
1 Procédé d'évaporation thermique sous vide.....	96
1.1 Principe de l'évaporation sous vide	96
1.2 Description de l'équipement.....	97
2 Substrat, grille et diélectrique	98
2.1 Descriptif.....	99
2.2 Caractéristiques de l'isolant de grille	99
2.2.1 Rugosité.....	99
2.2.2 Capacité	100
2.2.3 Courants de fuites et champ de claquage	101
3 Couche tampon.....	102
4 Semi-conducteur.....	104
5 Electrodes source et drain	105
5.1 Contacts bas.....	105
5.2 Contacts hauts.....	106

5.2.1 Procédés de fabrication du masque par ombrage.....	106
5.3 Comparaison des deux architectures	109
5.3.1 Technologies	109
5.3.1.1 Par évaporation thermique sous vide.....	109
5.3.1.2 Par jet de matière : vers une technologie OTFT imprimés	110
5.3.2 Performances	112
Conclusion	117
Bibliographie.....	118

Introduction

L'objet de ces travaux est d'étudier l'influence d'une couche tampon passivante en fluorure de calcium sur le fonctionnement de transistors à base de pentacène. Pour cela différents structures test ont été élaborées : MIM, MOS et OTFT. Ce chapitre s'attachera donc à définir les différentes étapes de fabrication des transistors avec un focus particulier sur l'évaporation thermique sous vide, technique permettant de réaliser « in situ » (c'est-à-dire sans remise à l'air) une interface isolant-pentacène. Cette partie a aussi pour but de caractériser les couches communes à tous ces dispositifs que sont le substrat, la grille et le diélectrique et les électrodes source et drain. Le diélectrique sera ainsi caractérisé électriquement. Les différentes architectures liées à la localisation des électrodes source et drain seront, elles, étudiées à travers une comparaison des procédés technologiques nécessaires à leur mise en place, ainsi qu'une comparaison des performances des transistors qui leur sont associées. Les autres couches, essentielles à cette étude, que constituent la couche tampon et la couche semi-conductrice seront, elles, étudiées plus longuement dans le chapitre suivant.

I Procédé d'évaporation thermique sous vide

La fabrication des dispositifs réalisés dans ces travaux repose essentiellement sur un procédé d'évaporation thermique sous vide. Cette partie a donc pour but de décrire brièvement ce procédé ainsi que l'équipement utilisé pour réaliser nos dispositifs.

I.1 Principe de l'évaporation sous vide

L'évaporation sous vide est une technique très connue et couramment utilisée dans le domaine de dépôt de couches minces [1]. Elle est basée sur le passage en phase vapeur d'un matériau suivi de sa condensation sur un substrat dans une enceinte maintenue sous un vide secondaire (aux alentours de 10^{-6} mbar). Le matériau à évaporer est disposé dans une source qui va être chauffée afin de provoquer son évaporation. Dans les évaporateurs classiques, les sources sont en général chauffées par effet Joule. Lorsqu'un courant est imposé sur une source, celle-ci se met à chauffer, chauffant à son tour le matériau à déposer. Selon sa nature, celui-ci va alors passer en phase vapeur, soit directement par sublimation, soit par fusion suivie d'une vaporisation. Trois types de sources existent (Figure 1) : les filaments (a), les nacelles (b) et les creusets (c). Les filaments sont constitués de plusieurs fils de tungstène torsadés, formant une hélice. Ces sources ont un intérêt limité car elles évaporent dans toutes les directions. Elles sont de plus, limitées à des matériaux massifs qui vont directement se sublimer et non entrer en fusion. En effet, si le matériau passe par une phase liquide, il va couler à travers l'hélice. De même, un matériau pulvérulent ne pourra pas être contenu dans l'hélice. Les nacelles sont constituées d'un rectangle de tungstène, de tantale ou de molybdène dans lequel est créée une cavité. Cette cavité va contenir le matériau à évaporer. Ces sources ont donc pour avantage de pouvoir contenir des matériaux pulvérulents ainsi que des matériaux passant par une phase liquide. Toutefois, elles ne conviennent pas à tous les matériaux. En effet, certains métaux forment un alliage avec le métal de la nacelle, ce qui la rend plus fragile et peut même aller jusqu'à sa rupture. Par exemple, le titane forme assez rapidement un alliage avec les nacelles en tungstène qui va entraîner leur rupture et ainsi arrêter l'évaporation en cours de dépôt. Les creusets peuvent quant à eux, être soit métalliques, soit en céramique. Le chauffage du matériau à évaporer avec ce type de sources est indirect. En effet, le creuset est entouré d'un fil métallique qui joue le rôle d'une résistance chauffante. Par rayonnement, cette résistance chauffe le creuset qui, à son tour, va chauffer le matériau à évaporer. Ce type de sources semble convenir à tous les types de matériaux. Ainsi, sous une forme plus complexe, elles peuvent être utilisées pour évaporer les matériaux organiques.

Une fois le matériau mis sous phase vapeur, ses molécules peuvent se déplacer dans toute la chambre d'évaporation. Lorsqu'elles rencontrent une surface, comme celle du substrat, elles s'y condensent en fonction de l'énergie de cette dernière et de la vitesse d'évaporation. Le dépôt commence. L'épaisseur de la couche déposée est alors suivie en temps réel, grâce à

un quartz placé au niveau du substrat. Un quartz est un oscillateur dont la fréquence propre varie en fonction de sa masse. Lorsqu'un dépôt se forme sur un quartz, sa masse augmente, ce qui entraîne une variation de sa fréquence propre. Ainsi par mesure de cette variation, on peut remonter à la masse déposée. Si on connaît la densité du matériau, on connaît alors la quantité déposée. En appliquant un facteur correctif d'étalonnage, prenant en compte l'écart de position entre le quartz et le substrat, on connaît alors l'épaisseur de la couche déposée.

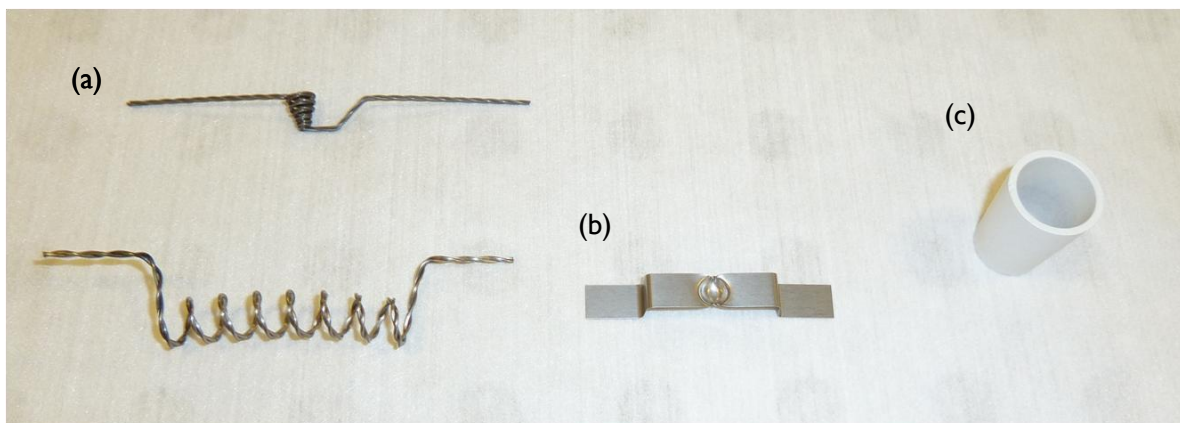


Figure 1 : Différents types de sources d'évaporation : (a) filaments, (b) nacelle, (c) creuset.

1.2 Description de l'équipement

Les différentes couches minces présentes dans les dispositifs de cette étude ont été principalement réalisées dans un évaporateur sous vide Boc Edwards Auto500 (Figure 2). Cet évaporateur comporte quatre sources chauffées par effet Joule. Deux sont des sources classiques avec lesquelles des filaments ou des nacelles peuvent être utilisés. La puissance de chauffage de ces sources est contrôlée grâce au courant qui leur est imposé. Les deux autres sont des sources dont le chauffage est régulé en température. Ces sources fonctionnent sur le même principe que les sources à effet Joule, mis à part que le chauffage du matériau se fait à travers un creuset entouré d'un fil de tungstène beaucoup plus fin que dans les sources à effet Joule classiques. Ce type de sources concerne particulièrement les évaporations qui se déroulent à basses températures, car elles permettent une meilleure régulation de la température de chauffage. La puissance de chauffage de ces sources est d'ailleurs directement contrôlée par une consigne en température. Ces sources sont en général employées pour évaporer les matériaux organiques.

Au dessus de ces sources se trouve un porte-échantillon qui est constitué d'un plateau circulaire de 26 cm de diamètre en aluminium, de 6 mm d'épaisseur. Ce plateau peut être chauffé grâce à une lampe halogène. Pour mesurer l'épaisseur des couches déposées, un quartz est situé au niveau du porte-échantillon, afin d'être au plus près de l'échantillon et ainsi limiter les erreurs lors de la mesure d'épaisseur.



Figure 2 : Photographie de l'intérieur de l'évaporateur Boc Edwards Auto500. Sur la gauche, on peut voir les deux sources à effet Joule classiques, sur la droite les sources contrôlées en température.

Cet évaporateur, où tous les réglages se font manuellement, a été utilisé pour déposer les couches pour lesquelles il était nécessaire de pouvoir agir sur les paramètres d'évaporation en cours de dépôt. Les couches de pentacène et de fluorure de calcium ont donc été réalisées grâce à cet évaporateur.

Pour le dépôt des couches métalliques, pour lesquelles un procédé standard peut être utilisé, un évaporateur plus automatisé lui a été préféré. Cet évaporateur est un Alliance Concept EVA450 qui comporte deux sources à effet Joule classiques ainsi qu'une source par canon à électron. Ainsi les couches d'or déposées au cours de ces travaux ont été réalisées grâce aux sources à effet Joule. Pour le titane et l'aluminium, étant donnée la versatilité de la vitesse d'évaporation lorsque ces matériaux sont évaporés par effet Joule, l'évaporation par canon à électron a été préférée, la vitesse d'évaporation étant plus stable avec ce type de source.

2 Substrat, grille et diélectrique

Afin de limiter les étapes technologiques et maîtriser la rugosité et l'uniformité des échantillons, un substrat de silicium oxydé a été choisi. Un substrat souple aurait pu être envisagé avec dépôt de l'oxyde par pulvérisation cathodique, toutefois, cette option augmentait le nombre d'étapes à réaliser (dépôt de la grille et dépôt de l'oxyde) et la maîtrise de la rugosité et de l'uniformité entre deux échantillons aurait été moindre. Les substrats silicium oxydés étant faciles à réaliser et avec des caractéristiques bien maîtrisées, ils présentent, de plus, l'avantage de cumuler trois fonctions : substrat, grille et isolant de grille.

2.1 Descriptif

Deux substrats différents ont été utilisés pour réaliser nos dispositifs. Tous les deux sont constitués d'un wafer de silicium dopé p, oxydé thermiquement. La résistivité de ces wafers varie. Un premier lot de wafers présente une résistivité inférieure à $0,03 \Omega \cdot \text{cm}$ (fournisseur : Ion Beam Services (IBS)) alors qu'elle est comprise entre 1 et $10 \Omega \cdot \text{cm}$ pour les autres wafers (fournisseur : Centre Interdisciplinaire de Nanoscience de Marseille (CINaM)). Ces résistivités sont suffisantes pour considérer que le silicium dopé est suffisamment conducteur pour constituer l'électrode de grille des dispositifs. Le contact de grille est alors pris sur la face arrière du wafer. Le wafer étant oxydé sur les deux faces lors du processus d'oxydation, l'oxyde de la face arrière est éliminé ponctuellement par gravure mécanique. Un oxyde natif se forme par contact avec l'air mais il est suffisamment fin et de mauvaise qualité pour laisser passer le courant. Les parties du wafer gravées sont alors recouvertes de laque d'argent et les échantillons collés sur une lame de verre, en veillant à ce qu'une partie de la laque d'argent dépasse de l'échantillon afin de constituer le contact de grille (Figure 3).

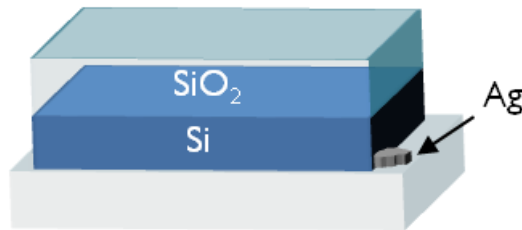


Figure 3 : Structure des substrats silicium oxydés.

L'autre différence entre les deux substrats provient de l'épaisseur de l'oxyde. Les wafers ayant la résistivité la plus forte ont un oxyde d'une épaisseur de 280 nm tandis que ceux dont la résistivité est plus faible ont une épaisseur d'oxyde de l'ordre de 310 nm.

Ces oxydes sont obtenus par oxydation thermique humide. Cette méthode consiste à oxyder le wafer de silicium sous l'effet d'un gaz, ici, de la vapeur d'eau dans un four. Sous l'effet de la chaleur, le phénomène d'oxydation est activé. Une oxydation sèche aurait pu être utilisée, le gaz aurait alors été de l'oxygène, mais cette méthode, même si elle permet d'obtenir des oxydes avec très peu de défauts, est principalement utilisée pour réaliser des oxydes de faible épaisseur. L'oxydation par voie humide lui est préférée pour obtenir des oxydes d'une épaisseur plus importante, comme dans le cas de nos dispositifs, mais ceux-ci présentent en général un plus grand nombre de défauts. Ils constituent cependant d'excellents isolants et peuvent ainsi être utilisés en tant que diélectrique de grille.

2.2 Caractéristiques de l'isolant de grille

2.2.1 Rugosité

Les oxydes réalisés par oxydation thermique sont connus pour leur faible rugosité, de l'ordre de quelques dixièmes de nanomètres. Des mesures par Microscopie à Force Atomique

(AFM) ont permis de vérifier cette valeur avec une rugosité quadratique moyenne d'environ 0,2 nm (Figure 4).

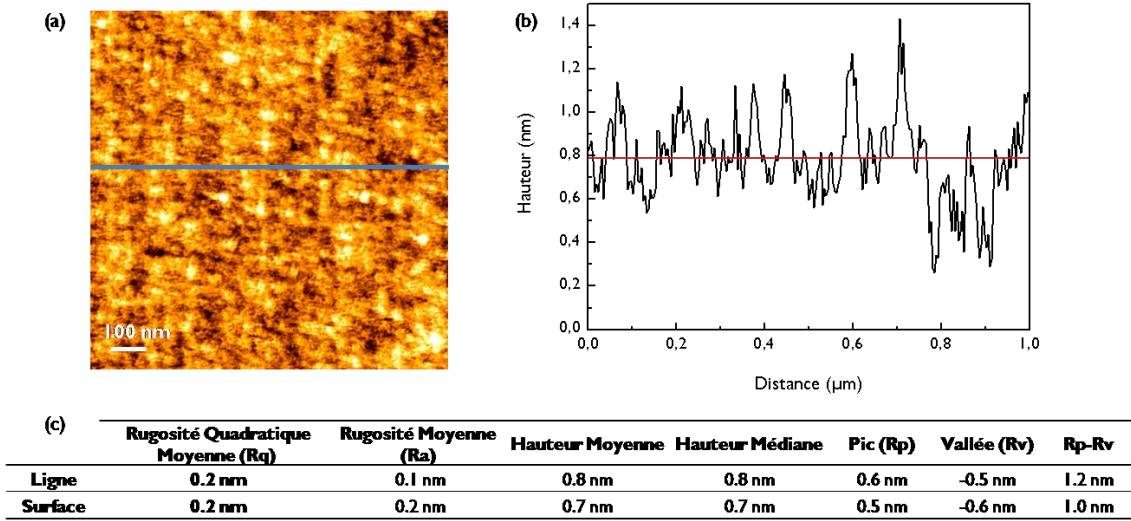


Figure 4 : Rugosité de l'oxyde. (a) Image AFM ($1 \times 1 \mu\text{m}^2$) de la surface de l'oxyde, (b) profil topographique, (c) tableau comparatif des valeurs moyennes de rugosité sur une ligne et sur toute la surface de l'image.

2.2.2 Capacité

L'oxyde de silicium est un diélectrique ayant une permittivité peu élevée ($\epsilon_r, \text{SiO}_2 = 3,9$), avec une épaisseur de 300 nm, la capacité de grille théorique est alors de $11,5 \text{ nF/cm}^2$. La mesure de la capacité d'une structure Métal-Isolant-Métal (MIM) (Figure 5) en fonction de la fréquence permet de déterminer la valeur réelle de cette capacité de grille.

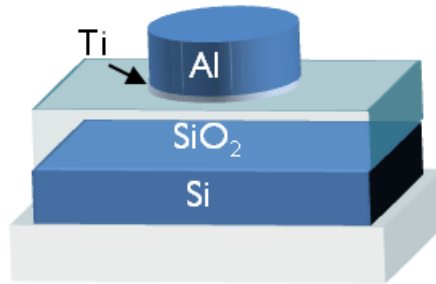


Figure 5 : Structure de la capacité MIM.

La structure MIM constitue en effet, une capacité dont l'électrode inférieure est constituée comme dans le cas des structures transistors par le substrat en silicium dopé. L'électrode inférieure s'étend donc sur toute la surface de l'échantillon. Comme dans les structures transistors le contact est pris à travers une couche de laque d'argent. Un plot circulaire d'aluminium d'un diamètre d'environ $600 \mu\text{m}$ et d'une épaisseur de $1 \mu\text{m}$ constitue l'électrode supérieure. L'aluminium n'accrochant pas directement sur l'oxyde, une couche d'accroche de titane de 5 nm est déposée préalablement à l'aluminium. Cette capacité est réalisée avec un oxyde de 310 nm.

L'analyse des données extraites de cette capacité montre que la capacité de grille dans cette structure est égale à 11 nF/cm^2 (Figure 6). Cette capacité est extraite en hautes fréquences car pour de telles fréquences, les pièges n'ont plus le temps de répondre au signal. La capacité mesurée dépend alors uniquement de la capacité de l'oxyde. Cette valeur ne diffère de la valeur théorique que de 1 % et correspond à une épaisseur d'oxyde de 314 nm, soit une erreur inférieure à 5 % par rapport à l'épaisseur réelle mesurée par réflectométrie. On peut donc raisonnablement considérer que la capacité réelle de l'oxyde est similaire à la capacité théorique. Ainsi, pour les oxydes de 310 nm, on considèrera une capacité de grille de $11,1 \text{ nF/cm}^2$, alors que pour ceux de 280 nm, cette capacité sera un peu supérieure avec une valeur de $12,3 \text{ nF/cm}^2$.

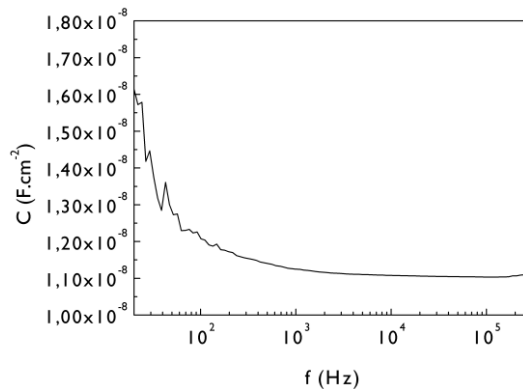


Figure 6 : Capacité en mode série et parallèle de la structure MIM, avec un oxyde de 310 nm, en fonction de la fréquence.

2.2.3 Courants de fuites et champ de claquage

Mesurer le courant circulant à travers une structure MIM permet de déterminer le courant de fuites de l'oxyde. Les oxydes thermiques sont connus pour leurs excellentes propriétés isolantes. Ainsi, la densité de courant de fuites à travers ce type d'oxyde est généralement de l'ordre de 10^{-7} A/cm^2 (cf. chapitre 1 paragraphe 4.2) pour un oxyde de 300 nm d'épaisseur.

La densité de courant mesurée à travers la capacité MIM du paragraphe précédent montre une croissance linéaire en fonction du champ appliqué sur l'électrode inférieure (Figure 7). La résistance associée à l'oxyde déterminée à partir de la pente de la régression linéaire issue des mesures du courant en fonction du potentiel, a une valeur de $6,1 \cdot 10^{11} \Omega$. Cette valeur très élevée montre que les charges ont de grandes difficultés pour se déplacer dans l'oxyde et donc que le niveau de fuites y est très faible. Le tracé logarithmique de la densité de courant confirme cette conclusion. En effet, la densité de courant est de l'ordre de $5 \cdot 10^{-8} \text{ A/cm}^2$ pour un champ électrique appliqué de 3 MV/cm . Par conséquent le niveau de fuites dans l'oxyde est bien très faible et est de l'ordre de 10^{-8} A/cm^2 .

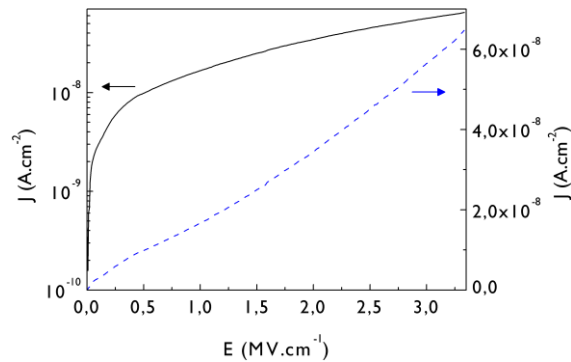


Figure 7 : Densité de courant de fuites à travers l'oxyde de 310 nm en échelles logarithmique (trait continu) et linéaire (trait discontinu).

Il est aussi intéressant de noter que même pour un champ électrique aussi important que 3 MV/cm, aucun claquage de la capacité MIM n'est observé. Ceci souligne la qualité de l'oxyde quasiment exempt de défauts. En effet, dans un oxyde de mauvaise qualité, un chemin de conduction aurait pu facilement se créer par l'intermédiaire des défauts, sous l'effet du champ électrique, provoquant alors le claquage de la capacité pour un champ assez faible. Par conséquent, le champ de claquage de l'oxyde est relativement élevé et supérieur à 3 MV/cm.

En résumé, l'oxyde de silicium utilisé dans nos structures transistors présente de grandes qualités tant du point de vue morphologique qu'électrique. En effet, sa surface présente une rugosité très faible, de l'ordre de quelques dixièmes de nanomètre ce qui est favorable à une meilleure croissance de la couche semi-conductrice et donc à un meilleur transport de charges (cf. chapitre 1 paragraphe 2.2.1). De plus, cet oxyde semble quasiment exempt de défauts, ce qui lui confère d'excellentes propriétés d'isolation. En effet, sa densité de courant de fuite est relativement peu élevée, de l'ordre de 10^{-8} A/cm² et son champ de claquage est supérieur à 3 MV/cm, ce qui permet, étant donné son épaisseur, d'utiliser des polarisations de grille élevées, de l'ordre de 100 V, sans risque de l'endommager.

La modélisation du comportement de la structure MIM a cependant mis en évidence une spécificité du substrat choisi pour réaliser nos structures transistors. En effet, la conductivité du substrat en silicium influence la capacité de grille. Cependant, même si une augmentation de cette capacité a été observée pour les basses fréquences, l'écart engendré par le caractère semi-conducteur du silicium sur la capacité, pour une gamme en tension variant de -40 à 40 V, est relativement faible et peut donc être négligé.

3 Couche tampon

La première étape du processus de fabrication des transistors consiste à déposer une couche tampon de quelques nanomètres d'épaisseur, à base de fluorure de calcium, sur la surface de l'oxyde de silicium (Figure 8). Les propriétés structurales, de surface ainsi qu'électriques, de cette couche tampon seront développées dans le chapitre suivant.

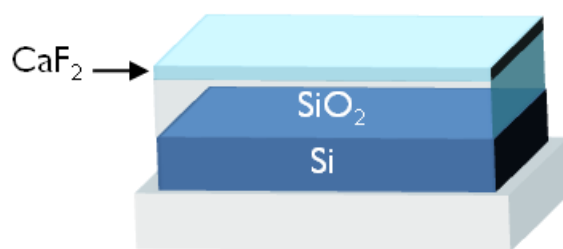


Figure 8 : Structure du substrat après ajout de la couche tampon de CaF_2 .

Préalablement au dépôt de CaF_2 , le substrat est nettoyé dans un bain d'eau désionisée suivi d'un bain d'acétone et, pour finir, d'isopropanol. Les trois étapes sont réalisées sous ultrasons durant 15 minutes. A la fin de chaque étape le substrat est séché sous azote. L'échantillon est ensuite collé sur une lame de verre à l'aide de laque d'argent afin de réaliser le contact de grille, puis recuit à 100°C durant 1 h sous atmosphère ambiante. Ce chauffage, en plus de recuire la laque d'argent, permet une évaporation des restes de solvants. Le substrat est ensuite placé directement dans la chambre de l'évaporateur.

Le fluorure de calcium utilisé pour réaliser nos échantillons est d'une grande pureté, de l'ordre de 99,99 % (donnée fournisseur, Alfa Aesar). Il est donc utilisé directement sans purification supplémentaire. Il se présente sous la forme d'une poudre et nécessite donc l'utilisation d'une nacelle pour pouvoir être évaporé. Des nacelles en tungstène ont donc été utilisées, toutefois, les autres types de nacelles en tantale ou en molybdène auraient aussi permis une bonne évaporation. La chambre est placée sous un vide poussé de l'ordre de $5 \cdot 10^{-7}$ à 10^{-6} mbar, préalablement au cycle d'évaporation. Du fait de sa forme pulvérulente, le fluorure de calcium dégaze de façon importante dès le début du chauffage de la nacelle. Des étapes de préchauffage sont donc nécessaires préalablement à l'étape d'évaporation. Afin d'obtenir un dépôt homogène, l'échantillon est mis en rotation durant tout le dépôt. Le dépôt est de plus effectué sur un substrat à température ambiante, mais la chaleur dégagée par la nacelle lors de l'évaporation peut entraîner une élévation de la température du substrat jusqu'à 70°C .

Le dépôt par évaporation du fluorure de calcium se fait directement par sublimation de la poudre de CaF_2 . Comme il n'y a pas fusion préalablement à l'évaporation, la poudre n'est pas répartie de façon parfaitement homogène dans la nacelle, certaines zones peuvent alors se sublimer plus rapidement que d'autres. Par conséquent, la vitesse d'évaporation n'est pas constante tout au long du dépôt ; elle est toutefois comprise entre 0,01 et 0,1 nm/s.

Etant données les faibles épaisseurs déposées pour réaliser cette couche tampon, le facteur de correction (« tooling factor » en anglais) du quartz qui permet de déterminer l'épaisseur déposée durant le dépôt, doit être finement réglé. Ce facteur de correction prend en compte l'écart entre la position du quartz et de l'échantillon. Celui-ci a donc été déterminé par une mesure de l'épaisseur déposée par profilométrie mécanique, confirmée par une mesure par ellipsométrie.

4 Semi-conducteur

Après le dépôt de la couche tampon, la couche semi-conductrice est elle aussi déposée par évaporation thermique sous vide directement sur l'échantillon, sans ouverture de la chambre (Figure 9). Cette couche est constituée de pentacène, matériau semi-conducteur organique fréquemment utilisé dans les transistors organiques, dont les propriétés et les avantages ont été exposés dans le chapitre 1 paragraphe 6.

La température d'évaporation du pentacène étant assez faible, il est plus favorable de l'évaporer grâce à une source réglée en température plutôt que par une source à effet Joule.

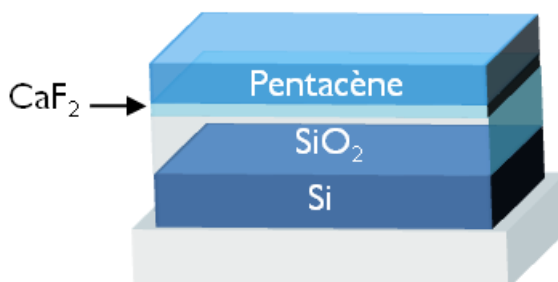


Figure 9 : Structure de l'échantillon après dépôt de la couche de pentacène.

Le pentacène utilisé dans nos dispositifs est d'une très grande pureté, de l'ordre de 99,995 % (purification par triple sublimation, donnée fournisseur, Sigma-Aldrich), il est donc utilisé comme tel. Son évaporation se déroulant juste après le dépôt de la couche tampon, la pression dans la chambre au moment du dépôt est la même qu'au moment de l'évaporation du fluorure de calcium, c'est-à-dire 5.10^{-7} - 10^{-6} mbar. Comme pour ce dernier, l'échantillon est mis en rotation durant tout le dépôt pour obtenir une meilleure homogénéité de la couche déposée. Le substrat est chauffé à 70°C durant tout le dépôt.

La source employée pour évaporer le pentacène étant réglée en température, le chauffage du creuset contenant la poudre de pentacène est suivi grâce à une consigne en température et non en courant, comme dans les sources à effet Joule. Comme dans le cas du fluorure de calcium, plusieurs paliers en température sont nécessaires afin de laisser dégazer la poudre de pentacène. Ainsi un premier palier est effectué à 50°C suivi d'un second à 100°C. La durée du palier dépend du temps au bout duquel la pression dans la chambre aura retrouvé sa valeur avant chauffage, soit 5.10^{-7} - 10^{-6} mbar. L'évaporation du pentacène commence pour une consigne de température de 150°C. Le cache de la source n'est pas ouvert instantanément afin de permettre la régulation de la vitesse de dépôt. Le cache n'est ouvert qu'au bout d'une ou deux minutes. Le dépôt de la couche de pentacène commence alors avec une vitesse de 0,02-0,03 nm/s. Cette vitesse reste constante tout au long du dépôt. Une couche de 40 nm d'épaisseur est ainsi déposée.

5 Electrodes source et drain

Le pentacène est un semi-conducteur connu pour conduire préférentiellement les trous à l'air ambiant. Ainsi pour que l'injection de ces derniers dans la couche de pentacène soit la plus efficace possible, il est nécessaire que la barrière de potentiel entre le pentacène et le métal constituant les électrodes source et drain soit la plus faible possible. Pour cela, il est important de choisir un métal dont le travail de sortie est proche du potentiel d'ionisation du pentacène, afin que le niveau de Fermi du métal coïncide avec le niveau HOMO du pentacène. Or, le potentiel d'ionisation du pentacène est en général compris entre 4,8 et 5,15 eV [2]. Il est donc nécessaire d'utiliser un métal dont le travail de sortie est situé entre ces valeurs. L'or dont le travail de sortie est situé aux alentours de 5 eV [3], apparaît ainsi être le métal le plus approprié. C'est d'ailleurs le métal le plus fréquemment utilisé pour réaliser les électrodes sources et drain dans les transistors à base de pentacène. Une fois le métal des électrodes source et drain choisi, se pose la question de quelle architecture adopter. En effet, on a vu dans le chapitre précédent que les architectures contacts bas et contacts hauts ne sont pas équivalentes du point de vue de l'injection de charges et donc des performances des transistors à base de pentacène (cf. chapitre 1 paragraphes 2.1 et 6.1.3.2).

D'un point de vue technologique, le dépôt d'or s'effectue par évaporation thermique sous vide, quelle que soit la configuration choisie. La configuration « contacts bas » présente l'avantage de pouvoir utiliser des procédés de photolithographie pour réaliser des électrodes source et drain avec une grande précision, ainsi que des espaces inter-électrodes très fins de l'ordre du micromètre. La configuration contacts hauts, elle, interdit l'utilisation de procédés photolithographiques classiques, car les contacts étant déposés directement sur le semi-conducteur, les étapes de recuit nécessaires à cette technique ainsi que les solvants utilisés peuvent endommager le semi-conducteur. Les contacts sont alors le plus souvent déposés à l'aide d'un masque par ombrage, technique qui généralement ne permet pas d'atteindre la même résolution que la photolithographie. Des transistors dans les deux architectures ont donc été réalisés afin de comparer leurs performances et ainsi déterminer quelle est la configuration la plus adaptée à cette étude.

5.1 Contacts bas

La réalisation des transistors en configuration contacts bas repose sur un procédé technologique développé dans le cadre d'une thèse précédente [4] à la Centrale de Technologie Universitaire (CTU) MINERVE de l'Institut d'Electronique Fondamentale (IEF) (Orsay). Sur un substrat identique à celui utilisé pour réaliser ces travaux (cf. paragraphe 1.1), c'est-à-dire un wafer silicium dopé p avec un oxyde thermique de 300 nm d'épaisseur, les électrodes source et drain sont réalisées par photolithographie (Figure 10). Ainsi le substrat est recouvert d'une résine photosensible réversible de type AZ 5214 à l'aide d'une tournette. Après un premier recuit à 110°C, la résine est insolée à travers un masque sur lequel figurent

les motifs des électrodes à déposer. Ce masque qui a une taille de 5", a été réalisé par la société Toppan Photomask, Inc. sur du verre Sodalime avec des motifs en chrome. La résine subit ensuite un nouveau recuit cette fois-ci à 120°C qui permet son inversion. Après une nouvelle insolation mais cette fois-ci sans masque, la résine est développée. Autrement dit, le substrat est mis à nu au niveau des motifs représentant les électrodes source et drain. Une couche d'or de 100 nm est alors déposée par évaporation sur toute la surface après dépôt préalablement d'une couche d'accroche en titane de 3 nm. Il ne reste plus alors qu'à dissoudre la résine dans un solvant approprié, en général l'acétone. Sous l'effet de ce solvant, la résine passe en solution. Le film métallique superflu n'adhère plus ainsi au substrat. Il ne reste plus alors sur le substrat que les électrodes source et drain. Cette technique très connue dans le domaine de la microélectronique est dite du « lift-off » (ou décollage en français).

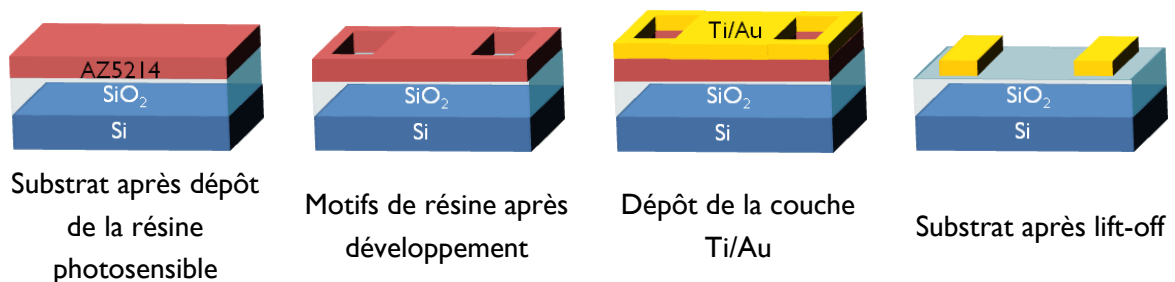


Figure 10 : Étapes de réalisation des électrodes source et drain en configuration contacts bas par lift-off.

Grâce à cette technique, une espace minimum de 2 μm est atteint entre les électrodes source et drain. Plusieurs structures transistors sont ainsi réalisées sur le même échantillon avec des longueurs de canal variant entre 2 et 50 μm . Une couche de pentacène d'une épaisseur de 90 nm est ensuite évaporée directement sur l'échantillon.

5.2 Contacts hauts

Les premières étapes de la réalisation des transistors en architecture contacts hauts sont les mêmes que celles décrites dans les paragraphes 1.1 et 1.3 : une couche de pentacène est déposée directement sur le substrat constitué de silicium dopé et d'une couche d'oxyde de silicium de 300 nm. Les électrodes source et drain en or (aucune couche d'accroche n'est nécessaire car l'or adhère à la couche de pentacène) sont ensuite évaporées directement sur la couche semi-conductrice à l'aide d'un masque par ombrage (« shadow mask » en anglais). Cette technique consiste à masquer les zones de l'échantillon qui ne doivent pas recevoir de dépôt. Par conséquent, un masque par ombrage consiste en un masque plein dans lequel existent des trous correspondant aux motifs que l'on veut déposer.

5.2.1 Procédés de fabrication du masque par ombrage

Le masque par ombrage utilisé dans la fabrication des transistors en architecture contacts hauts a été réalisé à la Centrale de technologie MIMENTO (Microfabrication pour la

MEcanique, les Nanosciences, la Thermique et l'Optique) de l'Institut FEMTO-ST (Franche-Comté Electronique Mécanique Thermique et Optique – Sciences et Technologies) (Besançon). Contrairement aux masques par ombrage traditionnels qui sont en général métalliques et d'une épaisseur importante, ce masque est réalisé dans un wafer de silicium 4", oxydé sur les faces avant et arrière par un oxyde de 1,2 μm d'épaisseur. Utiliser du silicium plutôt qu'un métal permet de recourir aux techniques de photolithographie et de gravure bien connues dans la microélectronique. On peut ainsi atteindre des résolutions et des épaisseurs bien plus faibles que dans les masques métalliques traditionnels, tout en maintenant une certaine rigidité du masque. Une faible épaisseur est nécessaire afin d'éviter des effets d'ombrage par les bords du masque trop importants.

La fabrication de ce masque par ombrage repose sur différentes étapes de photolithographie et de gravure sur les deux faces du wafer (Figure 11).

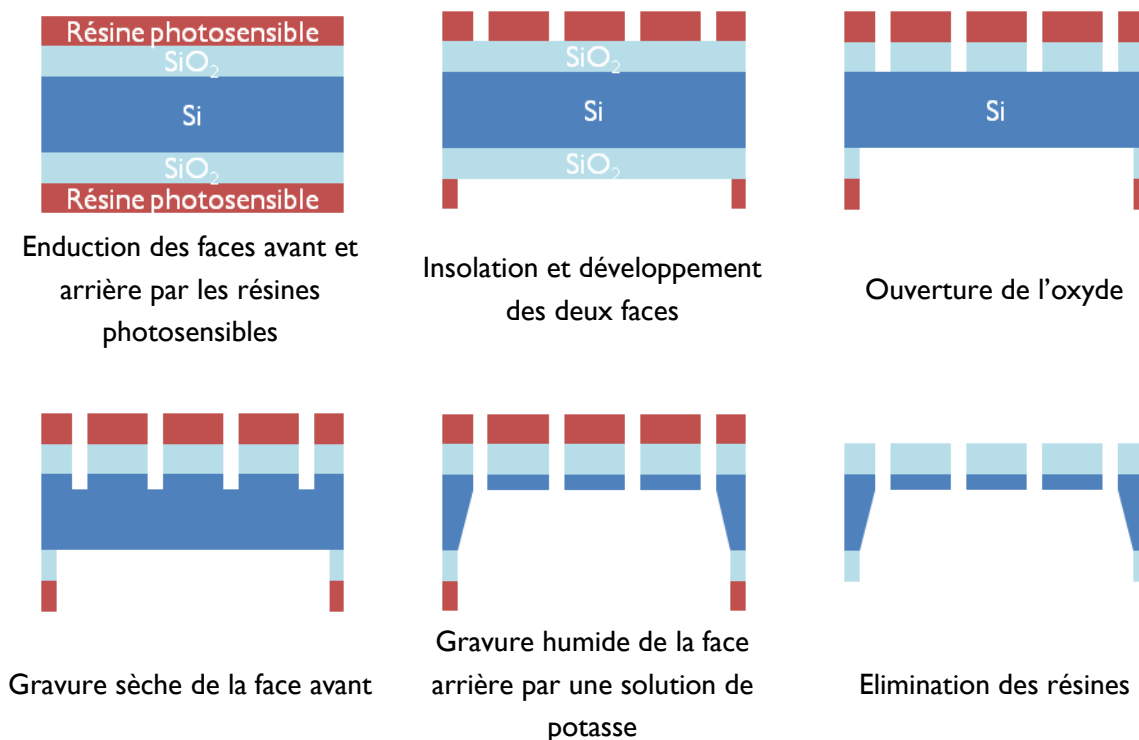


Figure 11 : Etapes de fabrication du masque par ombrage.

Tout d'abord, la face avant du wafer est recouverte d'une résine photosensible négative, de type S1813. Ensuite, la face arrière est recouverte à son tour par une résine cette fois-ci positive, de type SPR220.3.0. Cette résine est utilisée en raison de sa bonne résistance à la gravure. Après recuit, la face avant est insolée à travers le même masque que celui utilisé pour réaliser les structures contacts bas. Etant donnée la surface recouverte par les motifs de ce masque, ceux-ci peuvent être répétés neuf fois sur toute la surface du wafer. La face arrière, elle, est insolée à travers un masque composé uniquement de neufs grands carrés correspondant aux neufs ensembles de motifs. Après développement, l'oxyde est éliminé au niveau des motifs par gravure ionique réactive (Reactive-Ion Etching, RIE en anglais) sur les

faces avant et arrière. Le silicium de la face avant est ensuite gravé par la même méthode sur une faible épaisseur. Sur la face arrière, la gravure du silicium ne nécessite pas une aussi grande précision que sur la face avant. Elle est ainsi réalisée par voie humide à l'aide d'une solution de potasse. Cette technique permet de plus, de générer des bords de motifs inclinés, ce qui permet de limiter les effets d'ombrage lors de l'évaporation. Les résines sont ensuite éliminées et le wafer nettoyé.

On obtient ainsi neuf masques avec un seul wafer. Toutefois la faible épaisseur du masque final qui est de $14\ \mu\text{m}$, rend celui-ci très fragile. Il aurait été alors trop hasardeux de les séparer. Par conséquent, le masque final est ainsi constitué du wafer dans son ensemble et comporte neuf unités de motifs (Figure 12 (a)).

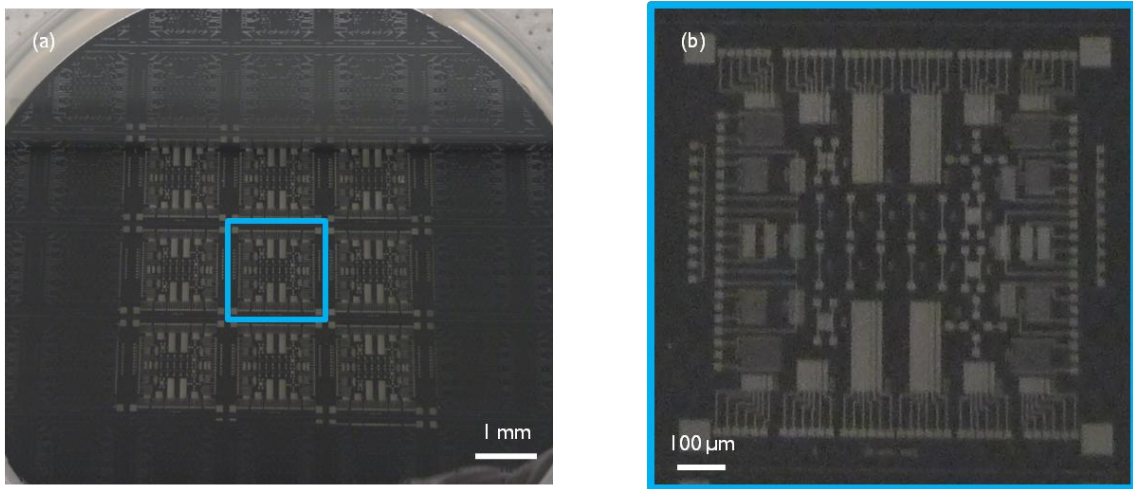


Figure 12 : (a) Photographie du masque par ombrage, (b) agrandissement sur une unité de motifs.

Cependant, il faudra être vigilant lors de son utilisation, car compte tenu de sa grande surface, une certaine déformation est possible. Or, si le masque ne plaque pas parfaitement sur le substrat, la résolution des motifs après évaporation peut être grandement diminuée. De tels défauts peuvent alors engendrer des courts-circuits entre les différentes électrodes et rendre les transistors inutilisables.

Grâce aux techniques employées pour fabriquer ce masque par ombrage, des motifs avec un espacement de l'ordre de $1\ \mu\text{m}$ ont pu être réalisés. La totalité des différents motifs présents sur le masque est visible sur la Figure 12 (b). On peut y distinguer trois familles de structures différentes (Figure 13).

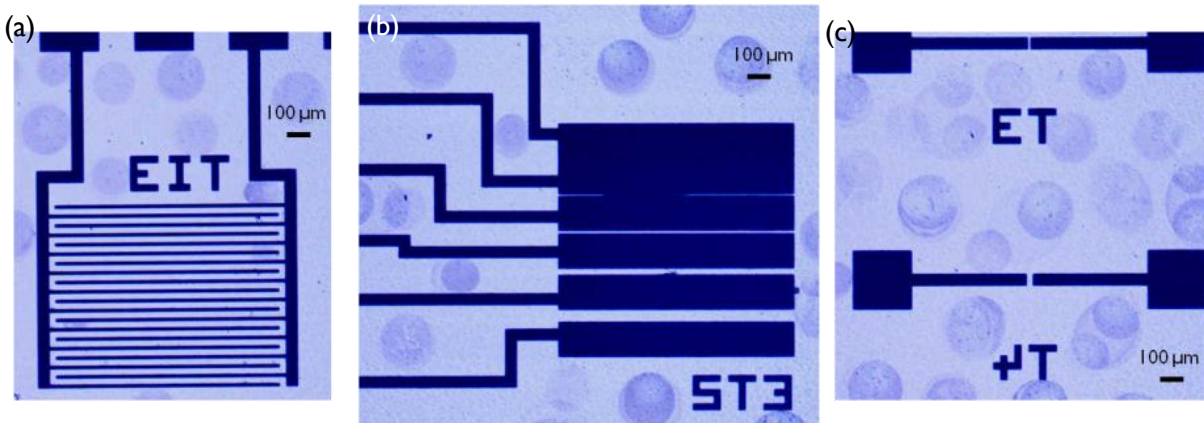


Figure 13 : Images en microscopie optique des différents motifs présents sur le masque par ombrage : (a) transistors avec électrodes interdigitées, (b) échelle de transistors, (c) transistors simples.

La première est constituée de structures de transistors avec des électrodes interdigitées (Figure 13 (a)). Les longueurs de canal (L) de ces structures sont de 21 et 46 μm alors que leur largeur (W) est de 19 μm . Le deuxième groupe de motifs réunit les structures de type échelles de transistors (Figure 13 (b)). Sur une échelle, l'espacement entre électrodes varie alors que leur longueur est la même. Trois types d'échelles sont ainsi présents avec des longueurs d'électrodes (W) de 0,5, 1 et 3 mm et des espacements entre électrodes (L) de 1, 6, 21 et 46 μm . Pour finir, une troisième catégorie rassemble des structures plus simples, constituées seulement de deux électrodes d'une largeur (W) de 50 μm , espacées de différentes longueurs ($L = 2, 6$ et 21 μm) (Figure 13 (c)).

5.3 Comparaison des deux architectures

5.3.1 Technologies

5.3.1.1 Par évaporation thermique sous vide

D'un point de vue technologique, la configuration contacts hauts semble être la plus aisée à mettre en œuvre. En effet, elle ne nécessite que deux évaporations, celle du semi-conducteur et celle des électrodes source et drain à travers le masque par ombrage. Elle peut, de plus, être mise en place sur tout type de substrats, que ce soient des supports flexibles ou rigides car elle ne nécessite pas de recuit. Toutefois, l'utilisation du masque par ombrage peut s'avérer délicate, compte tenu de sa fragilité mais aussi du risque d'endommagement de la couche semi-conductrice provoqué par le contact direct du masque avec cette dernière. De plus, même si le masque par ombrage possède des motifs permettant d'obtenir, en théorie, des longueurs de canal aussi faibles que 1 μm , en dépit de sa faible épaisseur, des effets d'ombrage causés par les bords du masque sont inévitables. Ces effets augmentent la taille des électrodes d'une dizaine de microns. Les motifs dont l'espacement entre les électrodes est inférieur à 10 μm sont alors inutilisables. Les longueurs de canal obtenues avec les autres structures sont diminuées d'une dizaine de microns et passent alors de 21 à 11 μm et de 46 à

35 μm (Figure 14). Ce phénomène est, de plus, accentué si le masque ne plaque pas parfaitement au substrat. Les transistors peuvent alors devenir complètement inutilisables.

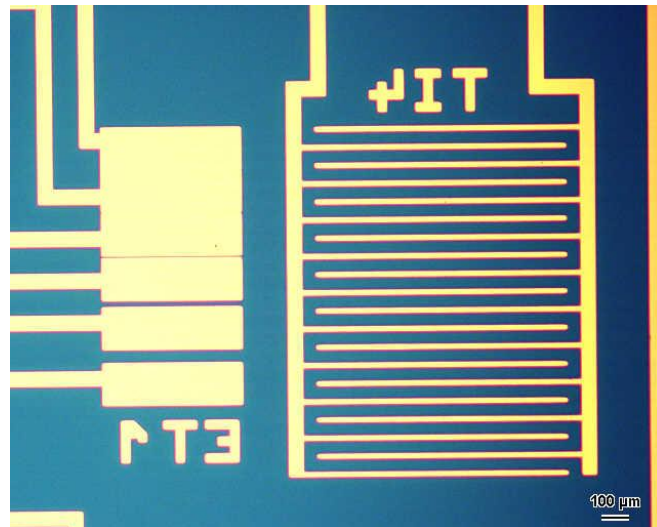


Figure 14 : Image des électrodes obtenues par évaporation à travers le masque par ombrage.

La configuration contacts bas comporte plus d'étapes de réalisation et nécessite plus de temps pour la mettre en place. Toutefois, la résolution des structures transistors est nettement supérieure à celle des structures contacts hauts. En effet, des longueurs de canal de 2 μm peuvent être réalisées. De plus, les techniques nécessaires à sa réalisation sont moins délicates à utiliser. Enfin, le dépôt de la couche active étant la dernière étape du processus de réalisation, il n'y a aucun risque d'endommager cette dernière. Une alternative à l'utilisation de la photolithographie pour la réalisation des électrodes source et drain aurait pu être une évaporation à travers le masque par ombrage. Cependant, dans ce cas, on retrouve les principaux défauts liés à cette technique, rencontrés lors de la réalisation de l'architecture contacts hauts, à savoir, la plus faible résolution des motifs obtenus et la fragilité d'utilisation du masque par ombrage.

5.3.1.2 Par jet de matière : vers une technologie OTFT imprimés

Une alternative à la réalisation des électrodes source et drain par évaporation thermique sous vide a été envisagée. Des transistors avec des électrodes imprimées par jet de matière ont donc été réalisés. La Figure 15 présente différents exemples d'électrodes source et drain imprimées sur différents substrats.

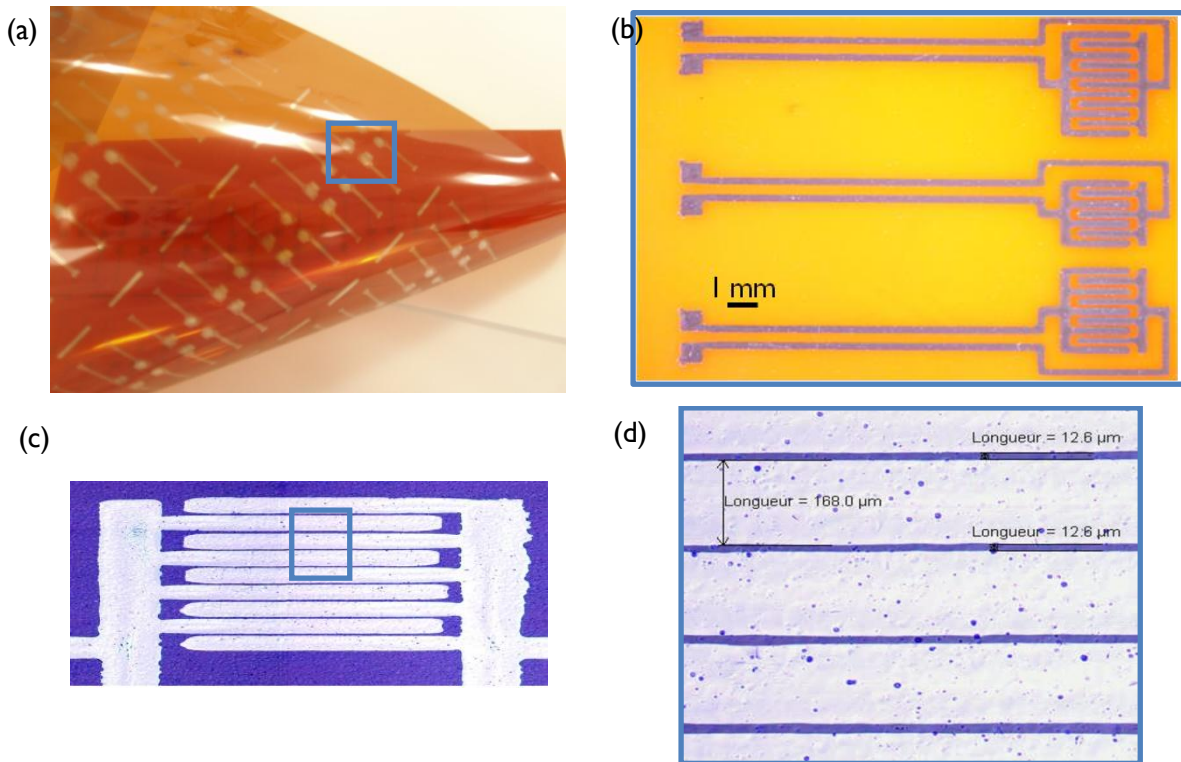


Figure 15 : Exemples d'électrodes source et drain imprimées par jet de matière, durant ces travaux, sur différents substrats : (a) Polyimide, (b) agrandissement sur trois motifs ; (c) oxyde de silicium, (d) agrandissement sur l'espace entre les électrodes.

La première étape de fabrication de ces transistors consiste à imprimer les électrodes source et drain par jet de matière (Figure 16 (a)). Pour cela, une encre à base de nanoparticules d'argent est utilisée. Une fois les électrodes imprimées, un recuit à 200°C pendant 15 minutes est effectué (Figure 16 (b)). Ce recuit permet une évaporation des solvants de l'encre ainsi que la coalescence des nanoparticules d'argent. Pour finir, la couche de pentacène est déposée par évaporation thermique sous vide, selon les mêmes conditions que celles présentées dans le paragraphe 4 (Figure 16 (c)).

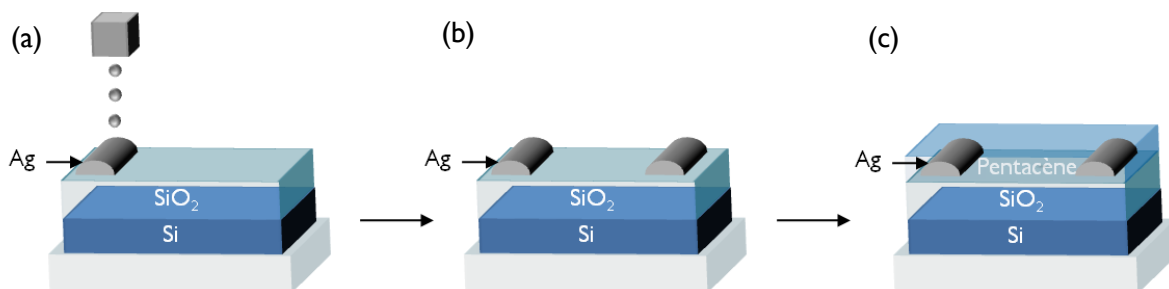


Figure 16 : Etapes de fabrication des transistors avec électrodes source et drain imprimées : (a) impression des électrodes, (b) recuit, (c) évaporation thermique sous vide du pentacène.

Ces transistors présentent des performances intéressantes avec une mobilité moyenne des porteurs de charges de l'ordre de $0,18 \text{ cm}^2/\text{Vs}$, une tension de seuil moyenne de -26 V et un

rapport I_{on}/I_{off} moyen correct de 6.10^3 (Figure 17). Mais, on peut voir sur la caractéristique de sortie (Figure 17) que la résistance de contact est assez élevée, étant donnée la forte barrière d'injection, le contact argent-pentacène étant assez défavorable. Une récente étude a cependant, montré qu'une augmentation du travail de sortie des électrodes imprimées est possible en augmentant la température de recuit après impression [94]. Une étude de la modulation de la barrière d'énergie en fonction de la température de recuit des électrodes imprimées a alors été envisagée. Toutefois, celle-ci n'a pas été menée plus en avant car elle ne s'inscrivait pas dans le contexte de ces travaux.

Cette technologie s'avère délicate à mettre en place en configuration contacts hauts. En effet, le recuit nécessaire ainsi que les solvants de l'encre à base de nanoparticules d'argent peuvent endommager la couche de pentacène. Par conséquent, cette configuration n'a pas été testée. Compte tenu de ce fait, il a alors été décidé de réaliser les électrodes source et drain de nos dispositifs, uniquement par évaporation thermique sous vide.

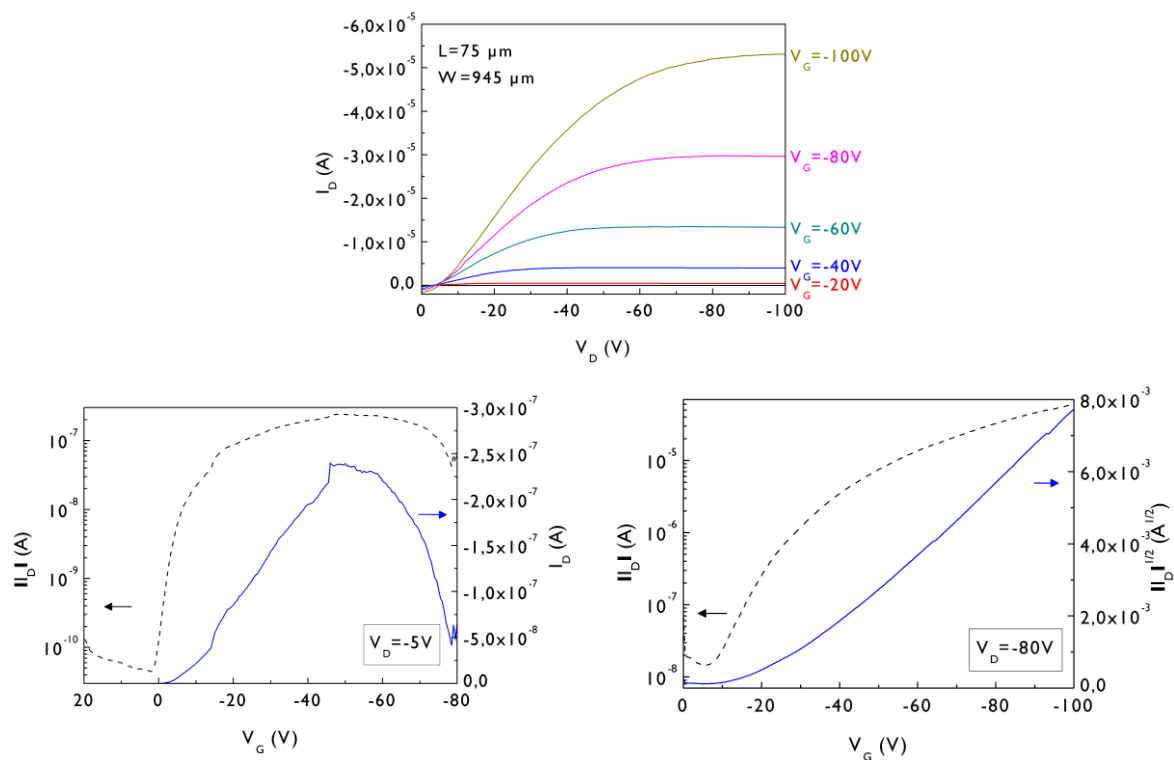


Figure 17 : Caractéristiques de sortie et de transfert (en régime linéaire, $V_D=-5V$ et de saturation $V_D=-80V$) de transistors à base de pentacène avec électrodes S&D imprimées en configuration contacts bas.

5.3.2 Performances

Si du point de vue technologique, les deux architectures présentent des avantages et des inconvénients qui ne permettent pas à l'une ou l'autre de se distinguer, il n'en est pas de même du point de vue des performances (Figure 18 et Figure 19).

Tout d'abord, si on regarde les caractéristiques de transfert de ces transistors, on constate que les transistors en configuration contacts bas sont « normally off », c'est-à-dire qu'aucun courant ne circule dans le canal lorsque qu'aucune polarisation n'est appliquée sur la grille. A l'inverse, les transistors en configuration contacts hauts sont, eux, « normally on », c'est-à-dire qu'ils sont dans leur état passant même lorsqu'aucune tension n'est appliquée sur la grille. Ceci s'explique par la tension de seuil de ces transistors. Les transistors en configuration contacts bas ont une tension de seuil négative (Figure 19), par conséquent, ils sont en déplétion et donc dans leur état bloquant lorsqu'aucune polarisation n'est appliquée sur la grille. Les transistors en configuration contacts hauts ont, eux, une tension de seuil positive, ils sont donc en accumulation et par conséquent, dans leur état passant même lorsque la tension de grille est nulle.

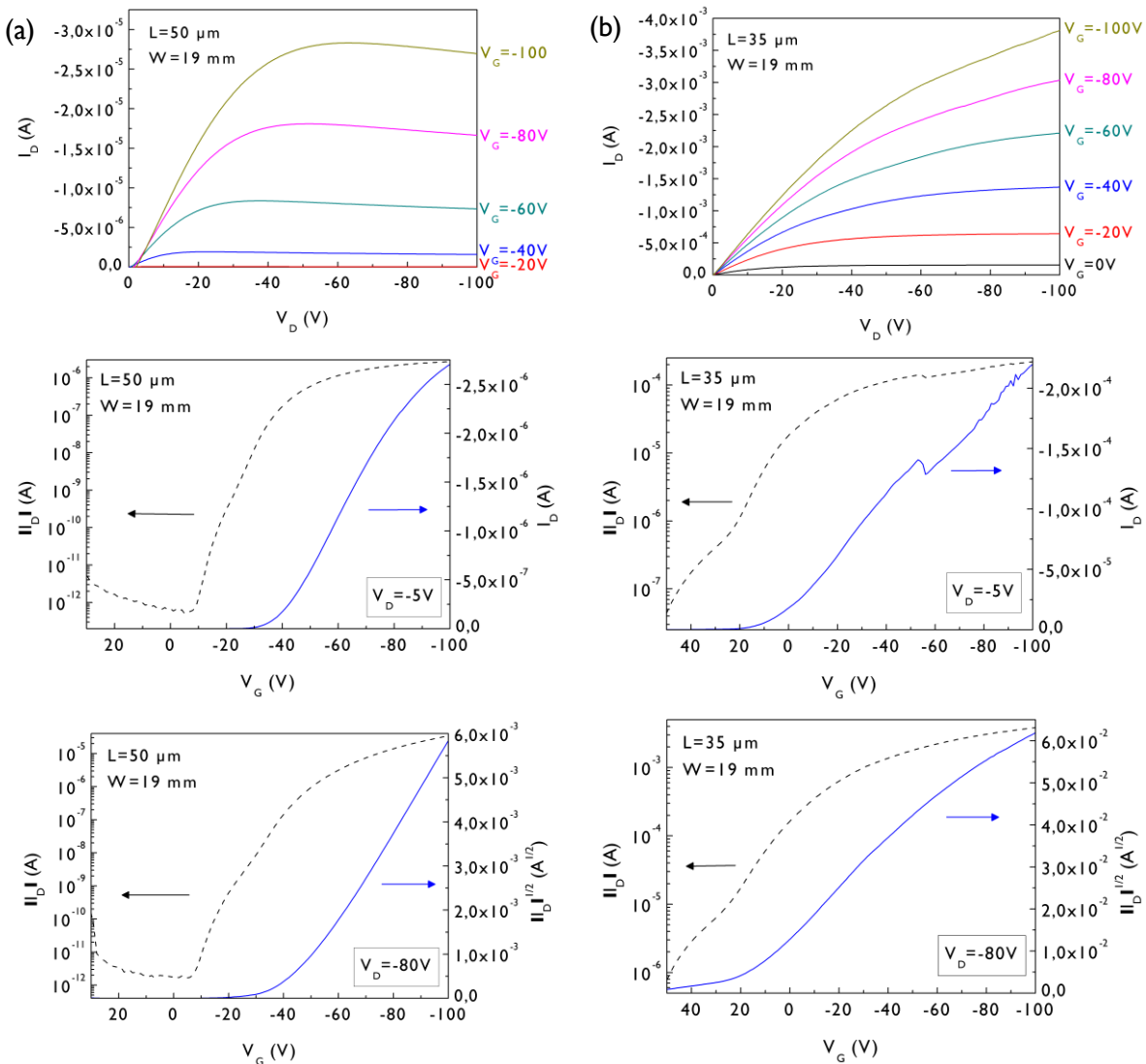


Figure 18 : Caractéristiques de sortie et de transfert (en régime linéaire, $V_D = -5\text{V}$ et de saturation $V_D = -80\text{V}$) de transistors à base de pentacène en configurations contacts bas (a) et contacts hauts (b).

En effet, si on s'intéresse à la mobilité des transistors aussi bien en régime linéaire qu'en régime de saturation, on observe une mobilité des porteurs moyenne 100 à 200 fois plus élevée dans les transistors en configuration contacts hauts que dans ceux avec l'architecture contacts bas (Figure 19). Une telle différence est généralement attribuée à des résistances de contact plus importantes dans la configuration contacts bas (cf. chapitre 1, paragraphe 2.2.1).

Si on regarde leurs valeurs dans les deux architectures, les résistances de contacts sont trois ordres de grandeur plus élevées dans la configuration contacts bas que dans la configuration inverse (Figure 19).

	μ_{lin} (cm ² /Vs)	μ_{sat} (cm ² /Vs)	V_T (V)	I_{on}/I_{off}	R_C (Ω.cm)
Contacts bas	$1,28 \pm 0,87.10^{-3}$	$2,73 \pm 1,58.10^{-3}$	$-34,9 \pm 10,0$	$4,26 \pm 4,76.10^7$	$2,82.10^6$
Contacts hauts	$0,10 \pm 0,04$	$0,14 \pm 0,05$	$30,8 \pm 22,9$	$3,76 \pm 4,97.10^3$	$2,12.10^3$

Figure 19 : Paramètres électriques des transistors à base de pentacène en configurations contacts bas et contacts hauts.

Ces résistances ont été calculées par la méthode TLM (« Transmission Line Method ») [6, 7]. Or, la résistance d'un transistor est constituée par la somme d'une résistance provenant du canal et d'une résistance provenant des contacts source et drain (Equation (1)).

$$R_{OTFT} = \left(\frac{\partial V_D}{\partial I_D} \right)_{V_G, V_D \rightarrow 0} = R_{canal} + R_C = \frac{L}{W \mu_{int} C_i (V_G - V_{T,int})} + R_C \quad (16)$$

où R_{OTFT} est la résistance du transistor, calculée à partir de la pente à l'origine des caractéristiques de sortie du transistor, R_{canal} est la résistance du canal, R_C est la résistance due aux contacts source et drain et μ_{int} est la mobilité intrinsèque dans le canal. Comme on peut le voir dans l'équation (1), la résistance du canal dépend de la longueur du canal, alors que la résistance de contact en est indépendante. La méthode TLM consiste donc, à séparer la contribution de ces deux résistances, en traçant la résistance de plusieurs transistors en fonction de la longueur de leur canal. La résistance du canal sera alors donnée par la pente de la régression linéaire issue de ces données, alors que son ordonnée à l'origine indiquera la résistance de contact (Figure 20).

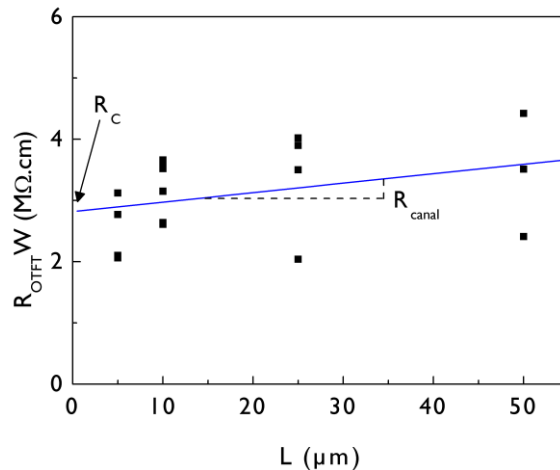


Figure 20 : Détermination de la résistance de contact par la méthode TLM pour les transistors à base de pentacène en configuration contacts bas.

Une explication à une telle différence entre les deux architectures se trouve dans la surface disponible pour l'injection de charges. En effet, lorsque les électrodes source et drain sont situées au dessus de la couche de pentacène, la surface entière des électrodes participe à l'injection de charges. Alors que lorsque les contacts sont situés dans le même plan que le canal, l'injection de charges se fait principalement par les bords des électrodes en contact avec le canal. Ainsi pour un même potentiel, l'injection de charges est plus efficace dans la configuration contacts hauts que dans la configuration inverse. La résistance de contact est alors beaucoup plus faible lorsque les électrodes sources et drain sont situées au dessus de la couche de pentacène que lorsqu'elles sont localisées en dessous.

Une autre explication provient de la morphologie de la couche de pentacène. En effet, on a vu dans le chapitre 1 paragraphe 6.1.3.2 que le pentacène ne croît pas de la même façon sur l'oxyde de silicium que sur l'or, à cause de l'énergie de surface différente de ces deux matériaux. En configuration contacts bas, la couche de pentacène n'a donc pas la même morphologie au niveau des électrodes source et drain. Or cette morphologie au niveau des contacts est plutôt désordonnée, ce qui est néfaste pour l'injection et par la suite le transport de charges. La résistance de contact est alors très élevée. Dans la configuration contacts hauts, la couche de pentacène croît uniquement sur l'oxyde de silicium et a donc une morphologie homogène et plus ordonnée. Au niveau des contacts, la morphologie du pentacène est donc la même que dans le reste de la couche. Les contacts injectent alors les charges directement dans une couche bien ordonnée où le transport de charges est facilité. La résistance de contact est ainsi beaucoup plus faible.

On observe aussi une différence de quatre ordres de grandeur dans les rapports I_{on}/I_{off} entre les transistors en configuration contacts bas et ceux avec l'architecture contacts hauts. Cet important écart provient principalement du courant off qui est nettement plus élevé dans les transistors en configuration contacts hauts. Un tel niveau de courant peut être la conséquence d'un dopage de la couche de pentacène par des impuretés résiduelles (cf.

chapitre 1 paragraphe 6.2.2). Cette hypothèse est confirmée par la valeur positive de la tension de seuil. Cependant, la couche de pentacène ayant été déposée dans les mêmes conditions dans les deux architectures, la contamination par des impuretés de cette dernière dans la configuration contacts hauts ne peut être liée qu'au dépôt des électrodes d'or.

Par conséquent, au vu des performances des transistors dans les deux configurations, on peut conclure que les deux architectures présentent des inconvénients. La configuration contacts bas est synonyme de résistances de contacts élevées, le courant dans le canal n'est plus uniquement dominé par les propriétés du semi-conducteur, mais aussi par celles des contacts. Mais l'architecture contacts hauts, si elle permet de diminuer fortement les résistances de contact, n'est toutefois pas exempte de défauts. En effet, le dépôt des électrodes source et drain au dessus de la couche de pentacène est responsable de la contamination de cette dernière par des impuretés qui induisent un courant off assez important.

La configuration contacts hauts (Figure 21) a cependant été choisie pour réaliser ces travaux, car elle est plus aisée à mettre en place et permet le dépôt des couches tampon et de pentacène successivement sans rupture du vide. Ainsi la contamination de l'interface entre ces deux couches est limitée, ce qui est primordial pour étudier l'effet de la couche tampon.

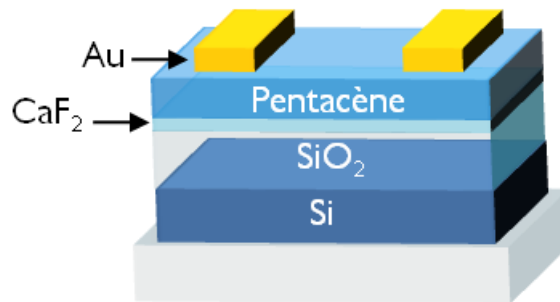


Figure 21 : Structure des transistors en configuration contacts hauts.

En configuration contacts bas, il aurait fallu sortir l'échantillon, afin de réaliser les électrodes source et drain au dessus de la couche tampon. La mise à l'air de l'échantillon aurait alors induit une contamination de l'interface entre la couche tampon et le pentacène. De plus, les procédés utilisés pour créer ces électrodes (photolithographie ou masque par ombrage) auraient probablement, étant donnée sa faible épaisseur, dégradé la couche de fluorure de calcium. La contamination par le dépôt des électrodes dans la configuration contacts hauts sera à prendre en compte, toutefois le processus de dépôt des électrodes étant le même pour tous les échantillons, on peut supposer que le dopage de la couche de pentacène sera le même.

Conclusion

Ce chapitre a permis de mettre en avant les procédés de fabrication des structures transistors nécessaires à la conduction de ces travaux. Les différentes étapes de fabrication des transistors sont ainsi résumées dans la Figure 22.

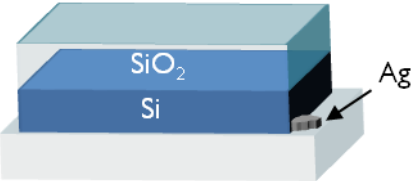
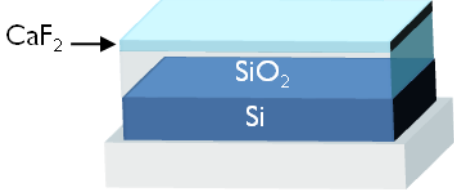
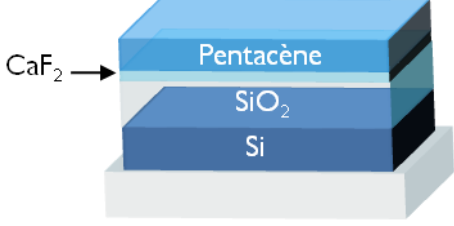
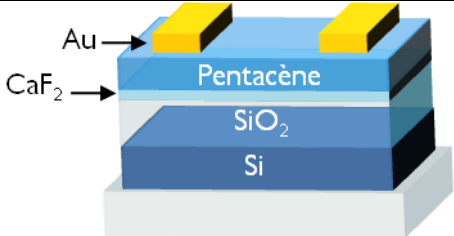
Substrat, Grille et Diélectrique	Oxydation thermique d'un wafer de silicium Reprise de grille sur la face arrière	
Couche tampon	Dépôt par évaporation thermique sous vide d'une couche de fluorure de calcium	
Semi-conducteur	Dépôt par évaporation thermique sous vide d'une couche de pentacène	
Electrodes Source et Drain	Dépôt par évaporation thermique sous vide à travers un masque par ombrage d'une couche d'or	

Figure 22 : Tableau récapitulatif de la chronologie des différentes étapes de fabrication des transistors.

Ces structures transistors constituent les principaux dispositifs utilisés dans cette étude. Cependant d'autres structures ont été nécessaires durant ces travaux, telles que des capacités MIM pour la caractérisation électrique de la couche de fluorure de calcium ou encore, des capacités MOS afin de caractériser l'interface entre le pentacène et l'oxyde de silicium ou la couche tampon. Leur fabrication repose, cependant, sur les mêmes procédés technologiques que ceux évoqués dans ce chapitre, c'est-à-dire le dépôt de couches minces par évaporation thermique sous vide.

Bibliographie

- [1] J.-J. Bessot, Tech. Ing., Metall. , M1655 (1985).
- [2] K. Hong, J. W. Lee, S. Y. Yang, K. Shin, H. Jeon, S. H. Kim, C. Yang, and C. E. Park, Org. Electron. **9**, 21 (2008).
- [3] V. S. Fomenko, *Handbook of thermionic properties: electronic work functions and Richardson constants of elements and compounds*, Plenum Press Data Division, 1966.
- [4] M. Barret, *Impression par jet de matière de transistors organiques sur support souple*, PhD thesis, Ecole Nationale Supérieure des Mines de Saint-Etienne, 2007.
- [5] D. Kim, S. Jeong, H. Shin, Y. Xia, and J. Moon, Adv. Mater. **20**, 3084 (2008).
- [6] P. V. Necliudov, M. S. Shur, D. J. Gundlach, and T. N. Jackson, Solid-State Electron. **47**, 259 (2003).
- [7] J. Zaumseil, K. W. Baldwin, and J. A. Rogers, J. Appl. Phys. **93**, 6117 (2003).

3

Caractérisation structurelle et électrique de l'interface pentacène-fluorure de calcium

Introduction	122
I Propriétés de la couche tampon	123
I.1 Propriétés électriques.....	123
I.1.1 Capacité	123
I.1.1.1 Caractérisation du fluorure de calcium en tant que matériau diélectrique	123
I.1.1.2 Caractérisation du fluorure de calcium en tant que couche tampon.....	124
I.1.2 Courant de fuites et champ de claquage.....	125
I.1.2.1 Caractérisation du fluorure de calcium en tant que matériau diélectrique	125
I.1.2.2 Caractérisation du fluorure de calcium en tant que couche tampon.....	126
I.2 Epaisseur des échantillons.....	128
I.3 Propriétés structurales	128
I.3.1 Energie de surface.....	128
I.3.1.1 Méthode de calcul.....	128
I.3.1.2 Mesures des angles de contact et mise en application du modèle OWRK	129
I.3.2 Morphologie.....	132
I.4 Morphologie de la couche de pentacène	136
I.4.1 Sur oxyde de silicium	136

1.4.2	Sur fluorure de calcium	139
1.4.2.1	CaF ₂ (1 nm).....	139
1.4.2.2	CaF ₂ (5 nm).....	139
1.5	Conclusion.....	141
2	Propriétés électroniques de l'interface isolant-pentacène.....	143
2.1	Structures MIS	143
2.2	Caractéristiques des transistors avec et sans couche tampon	145
2.2.1	Allure générale des courbes.....	147
2.2.1.1	Caractéristiques de sortie.....	147
2.2.1.2	Caractéristiques de transfert.....	147
2.2.2	Mobilité	148
2.2.3	Rapport I_{on}/I_{off}	149
2.2.4	Tension de seuil.	149
2.2.5	Hystérésis	150
2.2.6	Conclusion.....	153
2.3	Vieillessement des transistors avec et sans couche tampon	153
2.3.1	Mobilité	155
2.3.1.1	Stockage sous vide	155
2.3.1.2	Stockage à l'air	156
2.3.2	Rapport I_{on}/I_{off}	157
2.3.2.1	Stockage sous vide	157
2.3.2.2	Stockage à l'air	158
2.3.3	Tension de seuil	158
2.3.3.1	Stockage sous vide	159
2.3.3.2	Stockage à l'air	160
2.3.4	Hystérésis	160
2.3.4.1	Stockage sous vide	161
2.3.4.2	Stockage à l'air	161
2.3.5	Conclusion.....	162
2.4	Encapsulation par CaF ₂	164
2.4.1	Mobilité	164
2.4.2	Rapport I_{on}/I_{off}	164
2.4.3	Tension de seuil	165
2.4.4	Hystérésis	166
2.4.5	Conclusion.....	166
2.5	Dérive sous champ	167
2.5.1	Stress à l'état passant ($V_G = -80$ V)	167
2.5.2	Stress à l'état bloquant ($V_G = +80$ V).....	168
2.5.3	Ajustement des courbes d'évolution de la tension de seuil en fonction du temps	169
2.5.4	Conclusion.....	171

2.6 Conclusion.....	171
Bibliographie.....	174

Introduction

Ces travaux ont pour but d'évaluer l'impact que peut avoir une couche tampon de fluorure de calcium sur le piégeage, des charges dans des transistors à base de pentacène. Mais avant d'étudier l'influence d'une telle couche sur le fonctionnement des transistors, il est essentiel de connaître les propriétés électriques et structurales de cette couche. La première partie traitera donc des propriétés de la couche de fluorure de calcium. Dans un premier temps les propriétés électriques de cette couche seront caractérisées, puis dans un deuxième temps, nous verrons quel impact peut avoir cette couche sur les propriétés isolantes de la couche diélectrique utilisée dans les transistors. La morphologie, ainsi que les propriétés de surface de cette couche, seront ensuite caractérisées. Puis, nous nous intéresserons à l'impact de cette couche sur la croissance et donc, sur la morphologie de la couche de pentacène. La seconde partie traitera, elle, de l'influence de cette couche sur le fonctionnement et la stabilité des transistors. Ainsi, dans un premier temps, une étude sur l'impact de cette couche sur les différents paramètres des transistors sera menée. Nous nous intéresserons ensuite au vieillissement de ces dispositifs à travers une comparaison de ces paramètres en fonction des conditions de stockage. Enfin, la dérive sous champ de ces transistors, ainsi que l'utilisation de fluorure de calcium comme encapsulant seront étudiées.

I Propriétés de la couche tampon

Cette partie a pour but de caractériser les différentes propriétés de la couche tampon de fluorure de calcium, tant sur le plan structural qu'au niveau électrique.

I.1 Propriétés électriques

Dans ce paragraphe, les propriétés électriques du fluorure de calcium seront étudiées tout d'abord en tant que matériau diélectrique à travers des couches « épaisses » de 200 nm, afin de déterminer ses propriétés isolantes. La même démarche sera ensuite effectuée sur du CaF_2 mis en situation, autrement dit utilisé en couches ultraminces de quelques nanomètres, comme lors de son utilisation en tant que couche tampon dans les dispositifs transistors.

I.1.1 Capacité

I.1.1.1 Caractérisation du fluorure de calcium en tant que matériau diélectrique

Le fluorure de calcium est un isolant dont la permittivité n'est pas clairement déterminée (cf. chapitre 1, paragraphe 5). On trouve ainsi différentes valeurs dans la littérature allant de 2,05 à 8,43. Par conséquent pour connaître la permittivité réelle d'une couche de CaF_2 , il est nécessaire, comme pour l'oxyde de silicium, de mesurer cette capacité à travers une structure MIM (Figure 1).

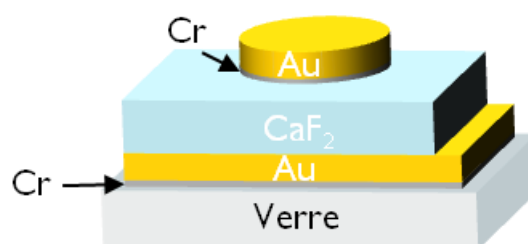


Figure 1 : Schéma de la structure MIM.

L'électrode inférieure de cette capacité est constituée par une couche d'or de 100 nm, déposée par évaporation sous vide sur un substrat en verre, par l'intermédiaire d'une couche d'accroche de 2 ou 3 nm de chrome. La couche de fluorure de calcium est déposée selon le protocole énoncé dans le chapitre 2, paragraphe 3 et a une épaisseur de 200 nm. L'électrode supérieure est, elle, constituée d'un plot circulaire d'or d'un diamètre d'environ 400 μm et d'une épaisseur de 100 nm. Comme pour l'électrode inférieure, une couche d'accroche en chrome de 2-3 nm est déposée préalablement à la couche d'or.

Comme pour l'oxyde de silicium, la capacité de la couche de fluorure de calcium est extraite à partir de mesures de la capacité de la structure MIM en fonction de la fréquence (Figure 2). On retrouve un comportement similaire à celui de l'oxyde, c'est-à-dire une décroissance de la capacité en fonction de la fréquence. Seulement, alors que dans l'oxyde la diminution de capacité n'était que de quelques nanofarads par centimètres carrés, dans le

fluorure de calcium, celle-ci est beaucoup plus importante et est de l'ordre de 30 nF/cm^2 . Une telle décroissance est en général interprétée comme étant liée à une décroissance de la permittivité, due à un déplacement ionique dans le diélectrique (cf. chapitre 1, paragraphe 5.2.2).

Par conséquent, pour éviter de prendre en compte de tels effets, il convient de considérer la capacité en hautes fréquences. En effet, pour de telles fréquences, les termes liés aux mouvements ioniques dans l'équation 15 du chapitre 1 deviennent négligeables, la permittivité est alors un paramètre intrinsèque du matériau. On considèrera donc comme la capacité du diélectrique, la capacité mesurée à 100 kHz . Celle-ci a pour valeur $12,5 \text{ nF/cm}^2$. Or compte tenu de l'épaisseur de la couche de CaF_2 , cela correspond à une permittivité de l'ordre de $2,82$. Une telle valeur paraît quelque peu faible, elle n'est toutefois pas très éloignée de la valeur rapportée par Lowndes qui est de $2,05$ [1].

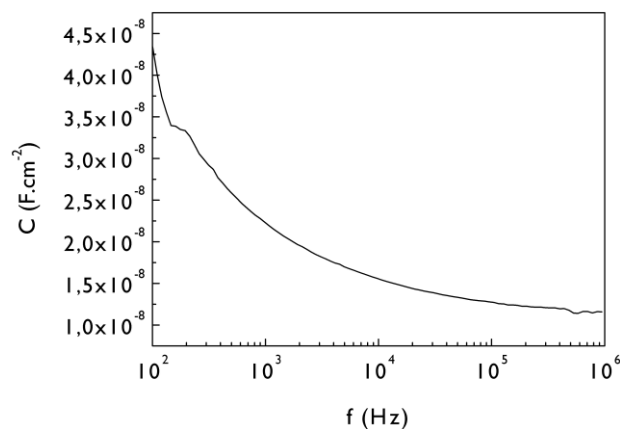


Figure 2 : Variation de la capacité de la structure MIM en fonction de la fréquence.

1.1.1.2 Caractérisation du fluorure de calcium en tant que couche tampon

Afin de connaître l'influence de la couche tampon de fluorure de calcium, une capacité MIM sur le même modèle que celle utilisée pour caractériser l'oxyde de silicium (cf. chapitre 2, Figure 5) a été réalisée, à la différence près, que cette capacité comporte une couche supplémentaire de fluorure de calcium de 1 nm entre l'oxyde et l'électrode supérieure, qui, cette fois-ci, est en or. Il est intéressant de noter que l'or accroche bien sur la couche de CaF_2 de 1 nm sans couche d'accroche. Par conséquent, la précaution prise de mettre une couche d'accroche dans la structure MIM précédente s'avère superflue. De plus, l'or n'accrochant pas sur l'oxyde de silicium, on aurait pu s'attendre à ce que la couche de 1 nm de fluorure de calcium ne soit pas suffisante pour permettre à l'or d'adhérer à l'oxyde. Ce n'est cependant pas le cas, ce qui prouve que cette couche, même aussi fine que 1 nm , modifie la surface de l'oxyde. La mesure de la capacité sur cette structure MIM donne une valeur pour la capacité de la couche isolante similaire à celle de l'oxyde de silicium, c'est-à-dire $11,1 \text{ nF/cm}^2$. Etant donnée, la faible épaisseur de la couche de fluorure de calcium, il est normal que celle-ci ne modifie pas la capacité de l'oxyde. L'ajout d'une couche tampon n'aura

pas d'effet significatif sur la capacité totale de la couche isolante, tant que celle-ci aura une épaisseur assez faible. Les couches tampon utilisées dans ces travaux auront donc une épaisseur de 1 et 5 nm.

1.1.2 Courant de fuites et champ de claquage

1.1.2.1 Caractérisation du fluorure de calcium en tant que matériau diélectrique

On a vu dans le chapitre 1, paragraphe 5.2.3, que les transistors organiques utilisant le fluorure de calcium comme diélectrique de grille, présentent des courants de fuites assez importants (de l'ordre de 10^{-6} A pour une couche de CaF_2 de 300 nm) qui parasitent le courant circulant dans le canal [2]. Même si le fluorure de calcium ne va être employé dans ces travaux que comme couche tampon sur une couche d'oxyde de silicium, il est tout de même intéressant de regarder quels sont les courants circulant à travers la structure MIM du paragraphe précédent, afin de déterminer les courants de fuites circulant à travers la couche de CaF_2 (Figure 3).

On peut voir clairement sur la Figure 3 (échelle linéaire), que le courant augmente fortement pour un champ électrique appliqué de l'ordre de 3-4 MV/cm, que ce soit pour une polarisation négative ou positive. Cette brutale augmentation du courant est synonyme du claquage de la structure MIM. On peut toutefois noter que ce claquage a lieu pour un champ légèrement plus élevé lorsque la polarisation appliquée est négative. Il est intéressant aussi de préciser que la mesure en tensions négatives a été effectuée après celle en polarisations positives. Par conséquent, le chemin de conduction créé par le claquage lors de la première mesure n'est plus actif lors de la mesure suivante. Si tel avait été le cas, un fort courant aurait circulé à travers la couche de fluorure de calcium, même pour un champ électrique faible. Par conséquent, on peut considérer que le claquage de cette structure MIM est réversible.

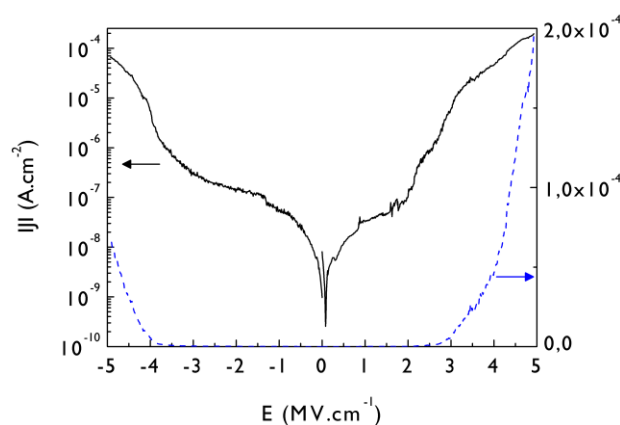


Figure 3 : Densité de courant de fuites à travers une couche de fluorure de calcium de 200 nm en échelles logarithmique (trait noir continu) et linéaire (trait bleu discontinu).

Cette hypothèse est confirmée par la mesure de la densité de courant lors d'un cycle aller-retour en tension (Figure 4). En effet, lorsque le claquage est réversible, la densité de courant redescend lentement lors du retour. Lorsque le claquage est irréversible, elle reste élevée

durant toute la mesure retour et ne diminue que lorsque le champ électrique est proche de zéro [3].

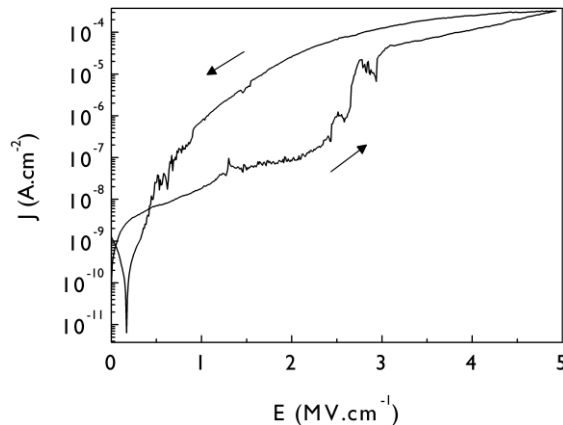


Figure 4 : Densité de courant à travers une couche de fluorure de calcium de 200 nm sur un cycle aller-retour en tension.

Le claquage observé dans cette structure MIM est, de plus, un claquage doux (ou « soft breakdown », en anglais). A la différence du claquage dur (ou « hard breakdown ») qui se caractérise par une brusque augmentation du courant, le « soft breakdown » est caractérisé par une augmentation lente du courant. Le « hard breakdown » est un claquage destructeur, donc irréversible. Un chemin de conduction est créé de façon définitive dans l'isolant, ce qui a pour conséquence de court-circuiter la structure MIM. A l'inverse, le « soft breakdown » est la conséquence d'un courant généré par la connexion des défauts créés dans l'isolant lors du stress électrique [3].

Par conséquent, le fluorure de calcium n'a pas un comportement classique lorsqu'il est soumis à un champ électrique. En effet, si on peut définir un champ de claquage, ici, compris entre 3 et 4 MV/cm, le claquage de la couche de CaF_2 est réversible, ce qui est synonyme de la présence de défauts qui s'organisent dans la couche isolante sous l'effet du stress électrique mais pas de façon permanente.

Le claquage de la couche de CaF_2 , même si il s'avère réversible, se traduit tout de même par une augmentation du courant. Par conséquent, au-delà du champ de claquage, le courant de fuites devient important. Avant claquage, la densité de courant de fuites est de l'ordre de 10^{-7} A/cm². Cette valeur est 10 fois plus importante que celle de l'oxyde de silicium. Par conséquent, même si un tel niveau de fuites paraît suffisant pour utiliser le fluorure de calcium comme diélectrique de grille dans un dispositif transistor, si sa surface est assez importante, cela peut tout de même se traduire par un courant de fuites important.

1.1.2.2 Caractérisation du fluorure de calcium en tant que couche tampon

On vient de voir que le fluorure de calcium, comme cela avait été observé préalablement dans la littérature, peut présenter des courants de fuites importants. Toutefois, utilisé comme couche tampon, ce n'est pas le cas. En effet, le niveau de fuites dans la capacité MIM

constituée par l'oxyde de silicium et la couche tampon de 1 nm de fluorure de calcium est quasiment le même que lorsque l'oxyde est utilisé seul (Figure 5). Cela s'explique par le fait que l'oxyde de silicium seul présente déjà, un niveau de fuites assez faible de l'ordre de 10^{-8} A/cm² (cf. chapitre 2, paragraphe 2.2.3). L'ajout d'une couche isolante supplémentaire, même si celle-ci laisse passer un plus important niveau de courant, ne va pas changer ses qualités d'isolation, sauf si l'oxyde est endommagé durant le dépôt de cette dernière. Etant donnée, la technique utilisée pour déposer la couche tampon, l'oxyde utilisé n'est pas endommagé. Ainsi, le niveau de fuites de la couche isolante, constituée de la couche d'oxyde et de la couche tampon, est le même que celui de l'oxyde seul.

De même, on vient de voir que le fluorure de calcium utilisé seul subit un claquage doux, réversible lorsqu'il est soumis à un stress électrique. Toutefois, lorsqu'il est utilisé comme couche tampon, pour qu'il y ait claquage de la couche isolante, il faut qu'un chemin de conduction soit créé dans la couche de CaF₂ mais aussi dans la couche d'oxyde. Or, on a vu dans le chapitre 2, paragraphe 2.2.3, que même pour un champ supérieur à 3 MV/cm, aucun claquage de la couche d'oxyde n'était observé. Par conséquent, même lorsqu'un champ de 3 MV/cm est appliqué, la couche tampon de CaF₂ est en quelque sorte protégée par la couche d'oxyde, dans lequel aucune charge n'arrive à passer. Le champ de claquage de la couche isolante formée par l'oxyde et la couche tampon de fluorure de calcium, est donc commandé par le propre champ de claquage de l'oxyde, il est donc supérieur à 3 MV/cm.

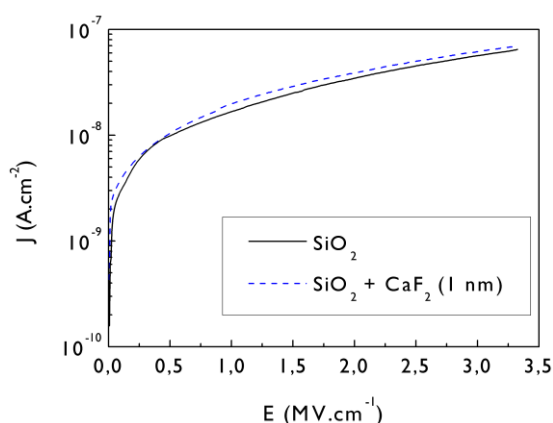


Figure 5 : Densité de courant de fuites à travers l'oxyde de silicium seul (trait noir continu) et avec une couche tampon de CaF₂ de 1 nm (trait bleu discontinu).

On peut donc conclure que l'ajout d'une couche tampon d'une très fine épaisseur, ne dépassant pas 5 nm, ne modifie pas les propriétés électriques de la couche isolante par rapport à l'oxyde de silicium seul. Ces propriétés seront donc les mêmes que celles de l'oxyde, à savoir un niveau de fuites assez faible de l'ordre de 10^{-8} A/cm², un champ de claquage supérieur à 3 MV/cm, ainsi qu'une capacité de 11,1 nF/cm².

1.2 Epaisseur des échantillons

Deux épaisseurs de couches sont ainsi testées : 1 et 5 nm. En effet, on a vu dans le paragraphe 1.1.1.2, que pour que la couche de fluorure de calcium reste une couche tampon, il était nécessaire que son épaisseur soit assez faible. Ces valeurs d'épaisseur sont celles données par le quartz lors du dépôt de la couche de CaF₂. En réalité, étant données les variations d'une évaporation à une autre, ainsi que la marge d'erreur du quartz pour de telles épaisseurs, l'épaisseur réelle de la couche varie autour de ces valeurs. Il s'est de plus, avéré impossible, même à l'AFM, de mesurer de si faibles épaisseurs. Les valeurs de 1 et 5 nm sont donc données à titre indicatif.

1.3 Propriétés structurales

Comme on l'a vu dans le chapitre 1, paragraphe 2.2, les propriétés de surface du diélectrique ont un rôle prépondérant sur la croissance de la couche semi-conductrice et par voie de conséquence, sur le transport de charges. Il est donc essentiel de connaître l'énergie de surface, ainsi que la rugosité du substrat et de la couche tampon.

1.3.1 Energie de surface

1.3.1.1 Méthode de calcul

L'énergie d'une surface est en général calculée à partir de l'angle de contact de différents liquides sur cette surface. En effet, lorsqu'une goutte est déposée sur une surface, l'équilibre des forces obéit à l'équation de Young [4]:

$$\gamma_{sv} = \gamma_{sl} + \gamma_{lv} \cos \theta \quad (17)$$

où γ_{sv} est l'énergie de l'interface solide-vapeur, γ_{sl} est l'énergie de l'interface solide-liquide, γ_{lv} est l'énergie de l'interface liquide-vapeur et θ est l'angle de contact. Dans le cas présent, les interfaces solide-vapeur et liquide-vapeur sont des interfaces solide-air et liquide-air. Par conséquent, les énergies γ_{sv} et γ_{lv} correspondent respectivement, ici, aux énergies de surface du solide, γ_s et du liquide, γ_l . Les liquides utilisés sont choisis de manière à ce que leur énergie de surface soit connue. Ainsi, pour calculer l'énergie de surface du solide, il ne reste plus qu'à connaître l'énergie de l'interface solide-liquide, γ_{sl} . Or plusieurs modèles permettent de déterminer cette énergie. On citera par exemple, les modèles de Zisman, Owens–Wendt–Rabel–Kaelble, ou encore Fowkes. Dans notre cas, le modèle d'Owens–Wendt–Rabel–Kaelble (OWRK) [5, 6] a été choisi. En effet, ce modèle, à la différence des autres, permet de distinguer les parties dispersive et polaire de l'énergie de surface. Or, la contribution polaire de l'énergie d'une surface donne des informations sur la polarité de cette surface. Cette information est très intéressante car elle permet de déterminer la présence ou non de groupements polaires sur une surface, soit dans notre cas, sur la surface de la couche diélectrique. Dans le modèle OWRK, l'énergie de l'interface solide-liquide est donnée par l'équation suivante :

$$\gamma_{sl} = \gamma_s + \gamma_l - 2 \left(\sqrt{\gamma_s^d \gamma_l^d} + \sqrt{\gamma_s^p \gamma_l^p} \right) \quad (18)$$

où γ_s^d et γ_s^p sont les contributions dispersive et polaire de l'énergie de surface du solide et γ_l^d et γ_l^p , celles de l'énergie de surface du liquide. Si on remplace γ_{sl} dans l'équation (1), on obtient l'équation d'une droite de la forme $y = ax + b$:

$$\frac{1 + \cos \theta}{2} \frac{\gamma_l}{\sqrt{\gamma_l^d}} = \sqrt{\gamma_s^p} \sqrt{\frac{\gamma_l^p}{\gamma_l^d}} + \sqrt{\gamma_s^d} \quad (19)$$

Par conséquent, comme les valeurs des énergies de surface des liquides sont connues, de même que leurs contributions dispersive et polaire, en traçant $\frac{1 + \cos \theta}{2} \frac{\gamma_l}{\sqrt{\gamma_l^d}}$ en fonction de $\sqrt{\frac{\gamma_l^p}{\gamma_l^d}}$, pour différents liquides, on obtient une droite dont la pente correspond à la racine carrée de la partie polaire de l'énergie de surface du solide, $\sqrt{\gamma_s^p}$ et l'ordonnée à l'origine correspond à la racine carrée de la partie dispersive, $\sqrt{\gamma_s^d}$.

1.3.1.2 Mesures des angles de contact et mise en application du modèle OWRK

Les angles de contact de trois liquides dont les énergies de surface sont connues sont mesurés sur trois échantillons différents. Le premier vise à caractériser l'énergie de surface du substrat de nos échantillons soit l'oxyde de silicium, seul sans aucun traitement de surface, mis à part le nettoyage évoqué dans le chapitre 2, paragraphe 3. Les deux autres échantillons sont constitués de la même couche d'oxyde sur laquelle est ajoutée la couche tampon, avec les deux épaisseurs étudiées ici, soit 1 et 5 nm. Les trois liquides utilisés sont l'eau désionisée, l'éthylène glycol et le diiodométhane. La Figure 6 présente ainsi les angles de contact sur les différents substrats, mesurés par la méthode de la goutte posée à l'aide d'un goniomètre de mouillabilité. Des mesures ont été effectuées en différents points de ces substrats. Une assez faible dispersion dans les valeurs des angles mesurés est observée à l'exception, toutefois, de l'oxyde de silicium, pour lequel un écart pouvant aller jusqu'à 6,8° est mesuré. Ainsi les couches de fluorure de calcium présentent une certaine uniformité de leur énergie de surface. On remarque de plus, une nette augmentation de cet angle de contact sur les échantillons contenant la couche de fluorure de calcium. Cette augmentation est cependant plus faible avec le diiodométhane. Avec l'eau désionisée, ces valeurs mettent en évidence le caractère hydrophobe du fluorure de calcium. Toutefois, on peut noter que l'hydrophobicité de la surface de CaF₂ augmente avec son épaisseur. On ne peut cependant pas considérer la surface de fluorure de calcium, même pour l'échantillon pour lequel l'épaisseur de la couche est de 5 nm, comme hydrophobe à proprement parler. En effet, une surface est considérée comme hydrophobe lorsque l'angle de contact est supérieur à 90° [7].

Le fluorure de calcium étant un matériau hydrophobe, on aurait pu s'attendre à mesurer des angles de contact supérieurs à 90°. Toutefois, compte tenu de la faible épaisseur des couches considérées, on peut supposer que celles-ci n'écrantent pas complètement les forces d'interaction à la surface d'oxyde de silicium. La couche de 5 nm, plus épaisse et donc plus massive que la couche de 1 nm est ainsi plus efficace, ce qui explique son caractère plus hydrophobe et donc l'angle de contact plus élevé.

	SiO ₂	SiO ₂ + CaF ₂ (1 nm)	SiO ₂ + CaF ₂ (5 nm)
Eau	46,6 ± 6,8°	60,4 ± 0,7°	85,5 ± 0,7°
Ethylène glycol dans eau DI 40 %	29,1 ± 6,3°	51,0 ± 1,4°	76,3 ± 0,4°
Diiodométhane	45,6 ± 2,4°	51,9 ± 0,2°	56,5 ± 0,5°

Figure 6 : Angles de contact mesurés avec les trois liquides tests sur les trois échantillons.

Mais ces angles de contact, en plus de nous renseigner sur le caractère plus hydrophobe de la couche tampon, nous permettent de calculer l'énergie de ces différentes surfaces à partir du modèle OWRK.

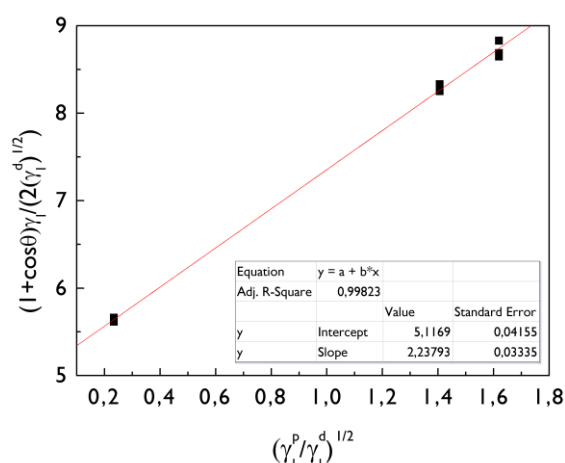


Figure 7 : Détermination de l'énergie de surface de la couche de fluorure de calcium de 5 nm d'après le modèle OWRK ($\gamma_{l, \text{eau}} = 72,10 \text{ mJ/m}^2$; $\gamma_{l, \text{diiodométhane}} = 50,00 \text{ mJ/m}^2$; $\gamma_{l, \text{éthylène glycol}} = 60,29 \text{ mJ/m}^2$).

La Figure 7 montre ainsi l'application du modèle OWRK pour la couche de CaF₂ de 5 nm. Comme attendu, les points expérimentaux décrivent bien une droite. On peut ainsi déterminer grâce à la pente et l'ordonnée à l'origine de cette droite, les parties polaire et dispersive de l'énergie de surface, et en sommant ces deux valeurs, l'énergie de surface totale [6] de la couche de fluorure de calcium de 5 nm. Le même modèle est ainsi appliqué pour les deux autres échantillons. La Figure 8 résume les différentes énergies de surface des différents substrats avec leurs contributions dispersives et polaires.

	γ_s^p (mJ/m ²)	γ_s^d (mJ/m ²)	Energie de surface (mJ/m ²)
SiO₂	29,30	24,06	53,36
CaF₂ (1 nm)	18,85	23,35	42,20
CaF₂ (5 nm)	5,01	26,18	31,19

Figure 8 : Energies de surface avec leurs contributions dispersives et polaires des trois substrats étudiés.

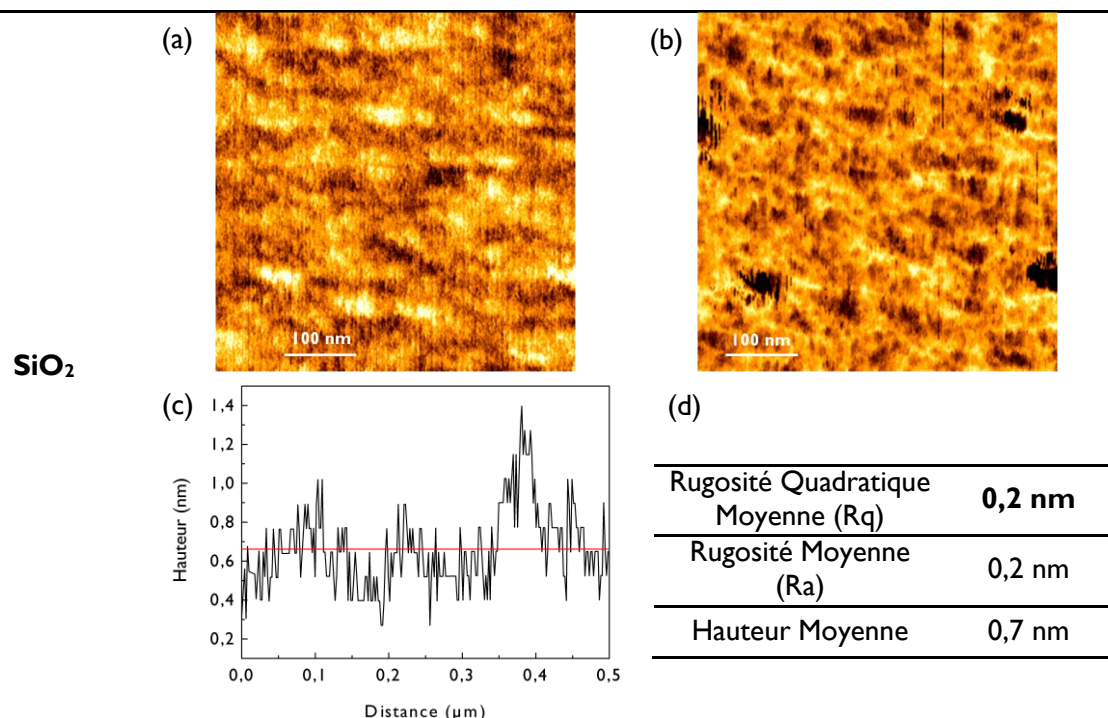
Tout d'abord, intéressons-nous à l'énergie de surface totale des trois échantillons considérés. On note ainsi, d'après la Figure 8, une diminution de cette énergie de l'ordre de 20 % et 40 % sur les surfaces des couches de fluorure de calcium d'épaisseur de 1 et 5 nm, respectivement par rapport à l'énergie de surface de l'oxyde de silicium. Une telle différence met en évidence un changement de l'état de surface des substrats sous l'effet de la couche tampon en fluorure de calcium. Ceci ne va pas être sans conséquence sur la croissance de la couche de pentacène et donc sur le transport des charges dans le canal des transistors réalisés. Ce point sera discuté par la suite à partir d'images en microscopie à force atomique de la surface de la couche de pentacène déposée sur ces différents substrats (cf. paragraphe 1.4).

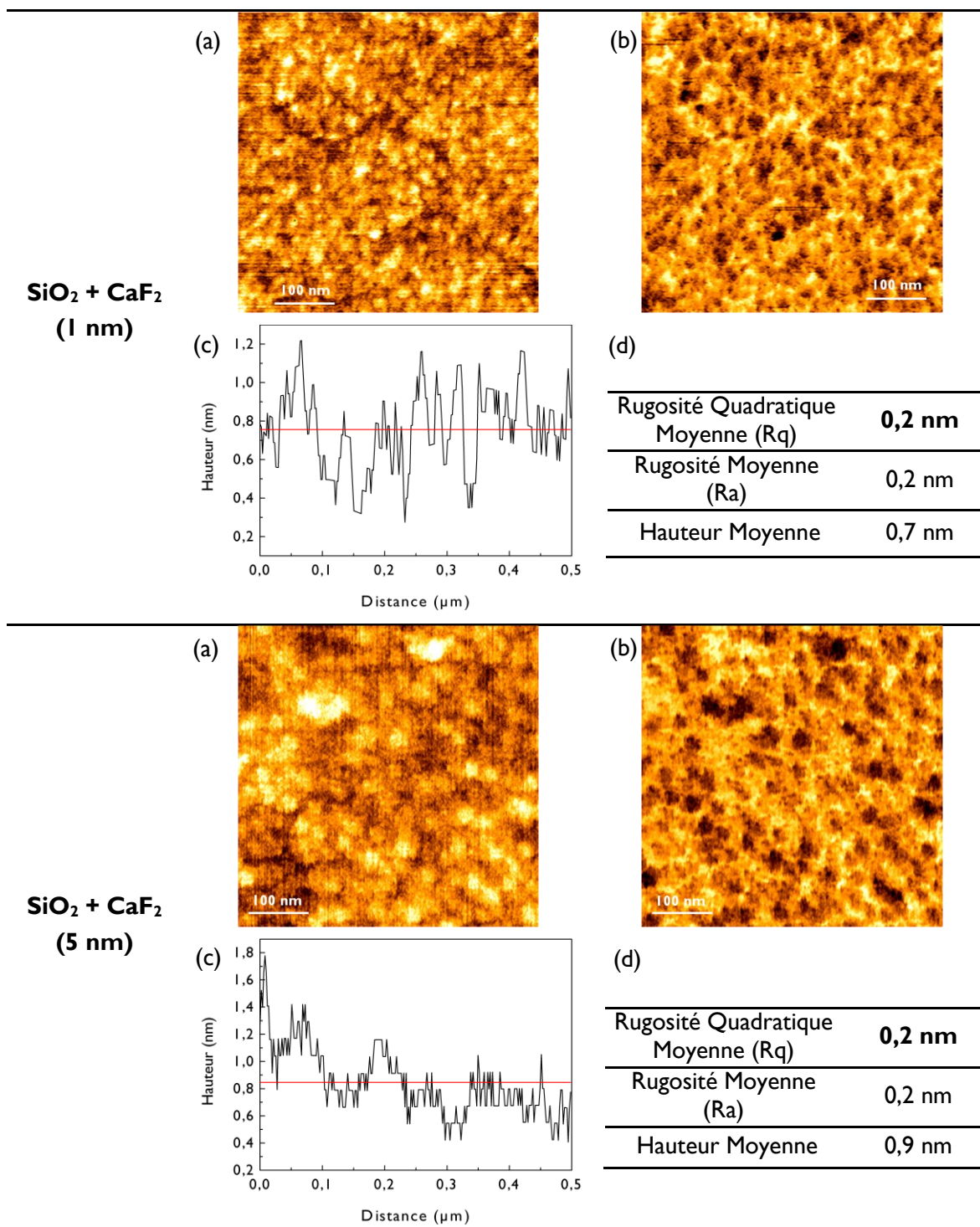
Si on s'intéresse maintenant plus en détail aux contributions dispersives et polaires de ces énergies de surface, on remarque que la partie dispersive semble être à peu près la même pour les trois surfaces considérées. La contribution polaire, par contre, diminue nettement entre l'échantillon d'oxyde de silicium seul et ceux comportant une couche supplémentaire de fluorure de calcium. Sa valeur est ainsi diminuée d'un facteur 6 entre l'oxyde de silicium et la couche de CaF₂ de 5 nm. La contribution dispersive étant inchangée, c'est donc cette forte diminution de la contribution polaire qui est responsable de la diminution de l'énergie de surface de ces échantillons. En général, une forte contribution polaire est synonyme de la présence de forts moments dipolaires sur la surface d'un échantillon, engendrés par des groupements de surface fortement polaires. A l'inverse, une contribution polaire peu importante correspondrait à des groupements à faible polarité, voire même apolaires. Ces hypothèses ont été émises par Janssen *et al.* dans une étude sur l'énergie de surface de différents substrats d'oxyde de silicium, sur lesquels avaient été greffées des monocouches auto-assemblées avec des groupements terminaux de différentes polarités [8]. Cependant, mêmes si ces hypothèses se révèlent être vérifiées pour la plupart des monocouches, elles ne le sont pas pour toutes, ce qui leur fait conclure que les groupements fonctionnels de surface ne peuvent pas, à eux seuls, expliquer la composante polaire de l'énergie de surface. D'autres facteurs sont alors évoqués comme la longueur des chaînes greffées, l'intervention des groupements silanes ou encore des liaisons hydrogène pour expliquer ce comportement [8]. Cependant, de telles hypothèses ne peuvent s'appliquer à notre cas. Ainsi, l'hypothèse selon laquelle la composante polaire de l'énergie de surface est liée aux moments dipolaires engendrés par les groupements chimiques présents sur la surface de l'échantillon, semble

donc être la plus vraisemblable. Par conséquent, l'oxyde de silicium qui est connu pour comporter sur sa surface, de nombreux groupements hydroxyles qui sont des groupements fortement polaires (cf. chapitre 1 paragraphe 2.2.4) présente une contribution polaire très importante. En effet celle-ci représente plus de la moitié de l'énergie de la surface d'oxyde de silicium. La faible contribution polaire des échantillons de fluorure de calcium, semble donc montrer que sur ces échantillons, la quantité de groupements polaires est beaucoup plus faible, mettant ainsi en évidence l'efficacité de la couche de tampon à passiver les groupements hydroxyles sur la surface de l'oxyde. L'efficacité de cette couche varie cependant en fonction de son épaisseur. En effet, la contribution polaire de la couche de fluorure de calcium de 1 nm est inférieure de seulement 1/3 à celle de l'oxyde de silicium. Alors que comme on vient de le voir, celle de la couche de 5 nm est, elle, six fois plus faible. Par conséquent la couche de 1 nm semble être moins efficace pour écranter les groupements polaires présents sur la surface de l'oxyde.

1.3.2 Morphologie

Afin de déterminer la morphologie de surface de deux couches de fluorure de calcium, des images AFM en mode « tapping » ont été réalisées sur ces deux surfaces ainsi qu'à titre de comparaison sur la surface d'oxyde (Figure 9).





celle de 5 nm. Ainsi les grains de la couche de 5 nm d'épaisseur sont donc 2 fois plus gros que ceux de la couche de 1 nm. Cette augmentation de la taille des grains en fonction de l'épaisseur de la couche est cohérente avec la littérature (cf. chapitre 1, paragraphe 5.1). Ainsi Mbise *et al.* [9] proposent une augmentation linéaire du logarithme de la taille des grains en fonction du logarithme de l'épaisseur. Mais si on prolonge la droite issue de leur modèle, la taille des grains pour une épaisseur de couche de 5 nm devrait être de l'ordre de 8 nm. Les grains de l'échantillon comportant une couche de 5 nm ont donc une taille 3 à 4 fois plus importante que celle prédite par le modèle de Mbise *et al.* (Figure 10). Or deux paramètres diffèrent entre les couches de Mbise *et al.* et nos échantillons. Le premier est le substrat sur lequel les couches de fluorure de calcium sont déposées. Dans leur cas, il s'agit de verre et non d'oxyde de silicium. Mais on a vu dans le chapitre 1, paragraphe 5.1 que la nature du substrat n'influence pas la croissance de la couche de CaF_2 . Par conséquent cette différence dans la taille des grains ne provient pas de la nature du substrat utilisé. L'autre différence provient de la vitesse de dépôt de la couche de fluorure de calcium. En effet, leurs couches sont déposées à une vitesse de 1 nm/s, alors que dans notre cas, la vitesse de dépôt est 10 à 100 fois moins importante (cf. chapitre 2, paragraphe 3). Or, généralement une faible vitesse de dépôt favorise la croissance de plus gros grains car elle induit une diffusion plus importante des molécules sur la surface du substrat et diminue la densité de nucléation. Ainsi, la différence observée par rapport au modèle de Mbise *et al.* est vraisemblablement la conséquence de la vitesse de dépôt utilisée lors de la fabrication des échantillons qui favorise la croissance de plus gros grains.

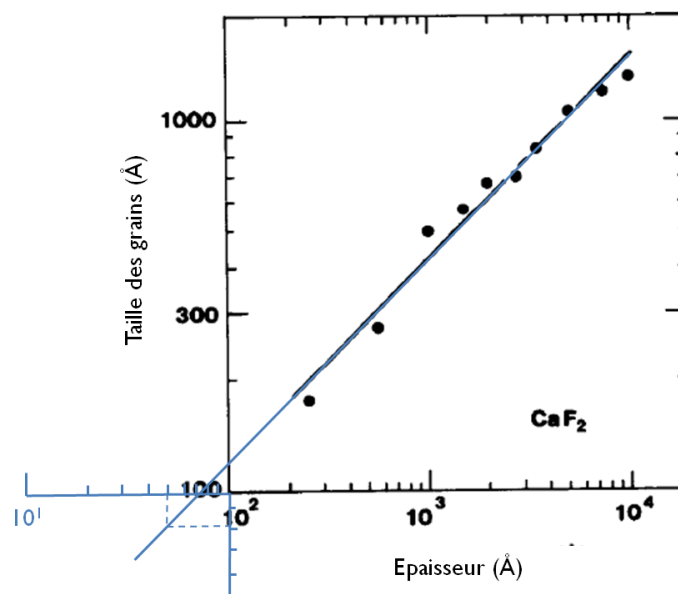


Figure 10 : Relation entre la taille des grains de CaF_2 et l'épaisseur de la couche d'après les données de Mbise *et al.* [9] et extrapolation pour une épaisseur de couche de 5 nm.

De même, Mbise *et al.* ont montré que comme la taille des grains, le logarithme de la rugosité d'une couche de CaF_2 augmente linéairement avec le logarithme de son épaisseur.

Ainsi, comme dans le cas de la taille des grains, si on prolonge la droite issue des données de Mbise *et al.*, on obtient une rugosité pour une couche de 5 nm de l'ordre de 8,5 Å (Figure 11). La rugosité de notre couche de 5 nm est 3,5 fois plus faible que celle prédite par le modèle de Mbise *et al.* Une telle différence peut être la conséquence, comme pour la taille des grains, de la faible vitesse de dépôt utilisée pour réaliser nos échantillons. En effet, la rugosité d'une couche de CaF₂ est une propriété du film lui-même [10] et ne dépend pas du substrat sur lequel elle est déposée (cf. chapitre 1, paragraphe 5.1). Par conséquent la vitesse de dépôt semble être la seule explication possible à cette différence de comportement.

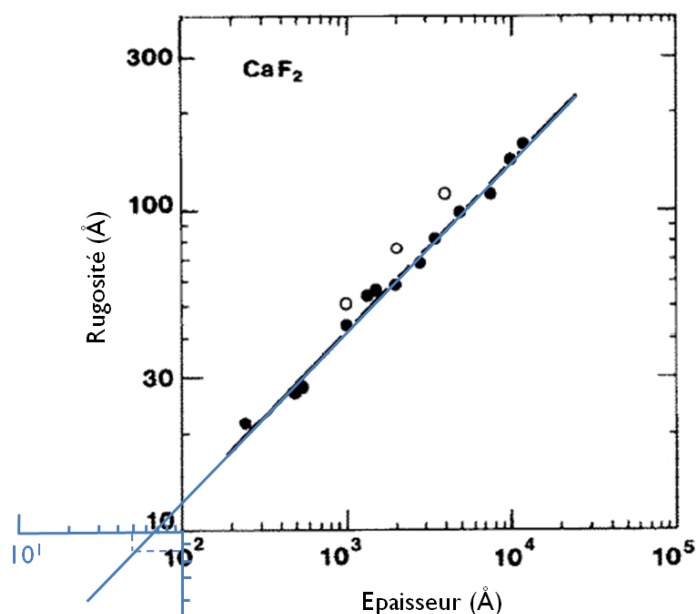


Figure 11 : Relation entre la rugosité de la couche de CaF₂ et son épaisseur d'après les données de Mbise *et al.* [9] et extrapolation pour une épaisseur de couche de 5 nm.

Ainsi, la faible vitesse de dépôt utilisée pour la réalisation de nos dépôts semble être responsable d'une plus grande taille de grains ainsi que d'une rugosité plus faible. Dans ce cas il semblerait donc que les grains de fluorure de calcium aient une croissance en deux dimensions. En effet, la taille des grains plus importante ainsi que la rugosité plus faible observée, laissent penser que lors du dépôt de la couche de CaF₂, lorsqu'une molécule de fluorure de calcium se condense sur le substrat, elle va préférer compléter les monocouches incomplètes, et donc faire croître les grains dans le plan du substrat plutôt que de créer un niveau supplémentaire, et d'être à l'origine d'une croissance des grains dans la direction normale au substrat. Une telle croissance des grains dans le plan du substrat favoriserait ainsi la formation de gros grains en deux dimensions, ce qui conduirait à une faible rugosité. À l'inverse, une croissance des grains dans la direction normale au substrat, favoriserait le développement de petits grains en trois dimensions et serait donc à l'origine d'une rugosité importante. Un tel mode de croissance semble être à l'origine de la morphologie des couches de fluorure de calcium des travaux de Mbise *et al.*. En effet, ceux-ci observent des petits

grains de forme colonnaire, donc en trois dimensions, ainsi qu'une rugosité plus élevée. Par conséquent, la vitesse de dépôt plus élevée utilisée dans ces travaux semble être à l'origine d'une croissance en trois dimensions des grains de fluorure de calcium. A l'inverse, dans notre étude, la faible vitesse de dépôt employée, semble être à l'origine d'une croissance en deux dimensions. Cette hypothèse reste toutefois à confirmer sur des épaisseurs de couches plus importantes. En effet, étant donnée la faible épaisseur considérée, la comparaison avec le modèle de Mbise *et al.* n'a été faite qu'à partir d'une extrapolation de leurs données. Des couches avec des épaisseurs comparables à celles de Mbise *et al.* devraient permettre de confronter directement leur modèle avec nos données expérimentales.

En résumé, l'étude des images AFM de nos couches de fluorure de calcium de 1 et 5 nm a permis de mettre en évidence leur morphologie ainsi que leur rugosité. La couche de 1 nm est composée de grains ayant une taille comprise entre 10 et 15 nm et a une rugosité de 2 Å, semblable à celle de l'oxyde de silicium. La couche de 5 nm est, elle, constituée de grains 2 fois plus gros qui ont une taille comprise entre 25 et 30 nm, mais a une rugosité similaire. La comparaison de ces valeurs avec des données issues de la littérature tend à montrer que la faible vitesse de dépôt utilisée pour réaliser ces couches est responsable d'une croissance particulière en deux dimensions des grains de CaF₂. La taille plus importante des grains dans la couche de 5 nm va dans le sens d'un recouvrement plus efficace des groupements polaires de l'oxyde par cette couche. Cette étude des images AFM ne permet pas toutefois d'affirmer que la couche de 5 nm est plus dense et compacte que celle de 1 nm.

1.4 Morphologie de la couche de pentacène

On vient de voir que les surfaces d'oxyde de silicium et des deux couches de fluorure de calcium n'ont pas la même énergie. Or d'après le chapitre 1, paragraphes 2.2.2, ce paramètre a une influence directe sur la croissance de la couche de pentacène. Le but de cette partie est donc de discuter de l'influence des caractéristiques structurales de la couche de fluorure de calcium sur la croissance et par conséquent, sur la morphologie de la couche de pentacène.

1.4.1 Sur oxyde de silicium

Les échantillons réalisés sur oxyde de silicium constituent des références pour cette étude. En effet, les différents modes de croissance d'une couche de pentacène sur ce type de surface sont connus et expliqués (cf. chapitre 1, paragraphes 6.1.3.1). Ils servent ainsi de base de comparaison pour les échantillons comportant la couche tampon de fluorure de calcium. Il est donc nécessaire dans un premier temps, de caractériser la morphologie de la couche de pentacène sur ce substrat, afin de pouvoir discuter par la suite des seuls effets induits par la couche de CaF₂.

Des images AFM en mode « tapping » de la surface de la couche de pentacène sur oxyde de silicium ont donc été réalisées (Figure 12).

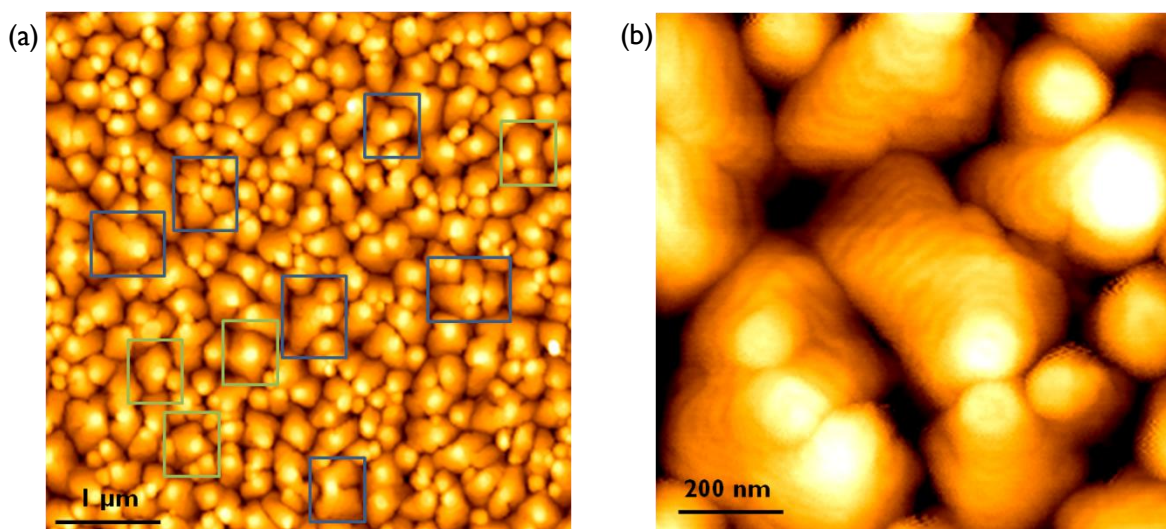


Figure 12 : Images AFM en mode « tapping » de la surface de la couche de pentacène ($e = 40$ nm) déposée sur oxyde de silicium, (a) $5 \times 5 \mu\text{m}^2$, (b) $1 \times 1 \mu\text{m}^2$.

On peut voir sur ces images qu'avec les paramètres de dépôt utilisés dans ces travaux, le pentacène croît sur l'oxyde de silicium en trois dimensions, sous forme d'îlots dont la taille est comprise entre 200 et 700 nm. On retrouve ainsi le mode de croissance en terrasses classique du pentacène sur ce type de substrat (cf. chapitre 1, paragraphe 6.1.3.1). Il est toutefois difficile de déterminer clairement à quel type de morphologie, ces îlots correspondent. En effet, si on peut exclure clairement les formes lamellaires et grains géants, il n'en est pas de même pour les autres morphologies. La forme dendritique ne semble pas correspondre, toutefois certains grains semblent commencer à adopter cette morphologie (grains encadrés en bleu sur la Figure 12 (a)). D'autres semblent avoir une structure pyramidale (grains encadrés en vert). La morphologie qui paraît, cependant, le mieux correspondre est la structure grains inclinés.

Compte tenu des paramètres de dépôt de la couche (cf. chapitre 2, paragraphe 4) et plus particulièrement de la température du substrat de 70°C et de la vitesse de dépôt de $0,02$ - $0,03$ nm/s, d'après la figure 28 du chapitre 1, la couche de pentacène de nos échantillons devrait avoir une structure composée de grains géants. Ce n'est cependant pas le cas. Toutefois, Stadlober *et al.* [11] obtiennent une structure similaire à celle de la Figure 12 (a) pour une température de substrat de 75°C et une vitesse de dépôt semblable à celle utilisée pour réaliser nos échantillons, mais avec, cependant, une taille de grains beaucoup plus importante. Cette différence dans la taille des grains peut provenir de la différence de 5°C dans la température du substrat entre le cas de Stadlober *et al.* et nos échantillons. Toutefois, cette équipe obtient une morphologie et une taille de grains similaires à celle de la Figure 12 (a) avec une vitesse de dépôt beaucoup plus rapide de $0,1$ nm/s, ainsi qu'une température de substrat beaucoup plus faible de 25°C (cf. chapitre 1, figure 27). Il n'est donc pas possible de corrélérer un type de morphologie précis avec une température de substrat et une vitesse de dépôt données. D'autres paramètres rentrent en jeu, notamment la rugosité et l'énergie de

surface du substrat. En effet, deux substrats identiques ont, en théorie, la même énergie de surface. Cependant, si ceux-ci subissent des nettoyages différents, leur énergie de surface peut être largement différente et donc entraîner une croissance différente de la couche de pentacène. De même, selon la technique grâce à laquelle il est fabriqué, un oxyde de silicium peut présenter des rugosités différentes. Comme l'énergie de surface et la rugosité de l'oxyde utilisé dans les travaux de Stadlober *et al.* ne sont pas précisées, on peut supposer que les différences dans les morphologies observées proviennent d'une différence dans ces paramètres. De même, dans les travaux de Yanagisawa *et al.* [12] (chapitre 1, figure 28), l'oxyde est réalisé par oxydation thermique mais possède une rugosité plus importante, de l'ordre de 6 nm. Leur substrat est, de plus, nettoyé par un traitement UV/O₃ à 200°C. Un tel traitement induit une énergie de surface différente de celle de nos échantillons, nettoyés à l'aide de différents solvants. Ainsi la corrélation établie dans leur cas entre la morphologie de la couche de pentacène et la température du substrat, ainsi que la vitesse de dépôt ne peut être appliquée dans notre cas. Pour mieux comprendre le mode de croissance de la couche de pentacène, il est donc nécessaire de prendre en compte la rugosité et l'énergie de surface, qui ne vont pas intervenir uniquement sur la taille des grains, mais aussi sur leur forme.

La surface de l'oxyde de silicium employé dans ces travaux présente une rugosité de 0,2 nm (cf. chapitre 2, paragraphe 2.2.1). Un tel niveau de rugosité est assez faible pour permettre la croissance de gros grains (cf. chapitre 1, paragraphe 2.2.1). En ce qui concerne l'énergie de surface, l'oxyde de silicium utilisé ici, présente une énergie de surface de 53 mJ/m² (cf. paragraphe précédent). Cette valeur d'énergie devrait, d'après la tendance établie par Yang *et al.* (cf. chapitre 1, figure 12), conduire à la formation de gros grains, avec une taille de l'ordre de 1,5 μm, et à une croissance en deux dimensions des premières monocouches, suivie par une croissance en trois dimensions des monocouches suivantes, conduisant à la formation d'îlots [13]. Or dans notre cas, les grains ont une taille comprise entre 200 et 400 nm. Une telle taille de grains correspond dans leur cas à une énergie de surface du substrat bien plus faible, de l'ordre de 30 mJ/m², ainsi qu'à une croissance en trois dimensions dès les premières monocouches. D'après les auteurs, ce mode de croissance permet la formation de premières monocouches plus denses et conduit à une meilleure interconnexion entre les grains. Par conséquent, comme pour les paramètres de dépôt, il n'est pas aisé de faire correspondre une énergie de surface à une morphologie précise de la couche de pentacène. Une tendance peut toutefois être définie : une augmentation de l'énergie de surface du substrat conduit à la formation de plus gros grains (cf. chapitre 1 paragraphe 2.2.2).

On peut donc simplement conclure que la couche de pentacène sur notre échantillon témoin, présente une structure ordonnée, composée de grains inclinés d'une taille comprise entre 200 et 700 nm. Cette couche de pentacène, avec une telle morphologie, présente ainsi de bonnes conditions pour avoir un bon transport de charges dans les structures transistors.

1.4.2 Sur fluorure de calcium

1.4.2.1 CaF₂ (1 nm)

D'après les images AFM en mode « tapping » réalisées sur la couche de pentacène déposée sur la couche de fluorure de calcium de 1 nm (Figure 13), le pentacène a une croissance similaire sur cette couche à celle sur l'oxyde de silicium. On retrouve ainsi une croissance en terrasses des grains de pentacène (Figure 13 (b)). Comme sur l'oxyde, on rencontre trois types de morphologies : les grains pyramidaux (encadrés en vert sur la Figure 13 (a)), les structures dendritiques (encadrées en bleu et Figure 13 (b)) et les grains inclinés. Ce dernier type de morphologie est le plus répandu.

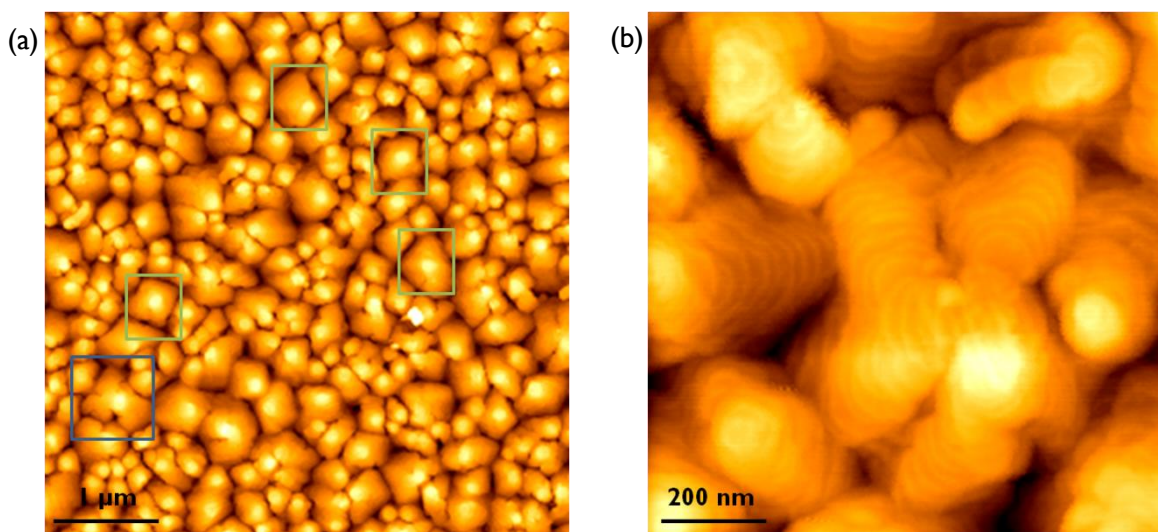


Figure 13 : Images AFM en mode « tapping » de la surface de la couche de pentacène ($e = 40$ nm) déposée sur une couche de fluorure de calcium de 1 nm, (a) $5 \times 5 \mu\text{m}^2$, (b) $1 \times 1 \mu\text{m}^2$.

1.4.2.2 CaF₂ (5 nm)

La morphologie de la couche de pentacène sur la couche de CaF₂ de 5 nm est totalement différente de celle des deux précédents échantillons (Figure 14). En effet, on ne retrouve plus des grains pyramidaux, dendritiques ou inclinés, formant des terrasses, mais des grains plus petits d'une taille moyenne de 200 nm sans forme particulière. Les différents paramètres de dépôt, (température du substrat, vitesse de dépôt) étant les mêmes pour tous les échantillons, les différences de morphologie observées ne peuvent pas provenir des conditions de dépôt de la couche de pentacène. Seule l'énergie de surface du substrat est différente. En effet, celle-ci est diminuée de l'ordre de 40 % par rapport à celle de l'oxyde de silicium et a pour valeur $31,19 \text{ mJ/m}^2$ (Figure 8). Par conséquent, la diminution de la taille des grains peut être liée à cette énergie de surface.

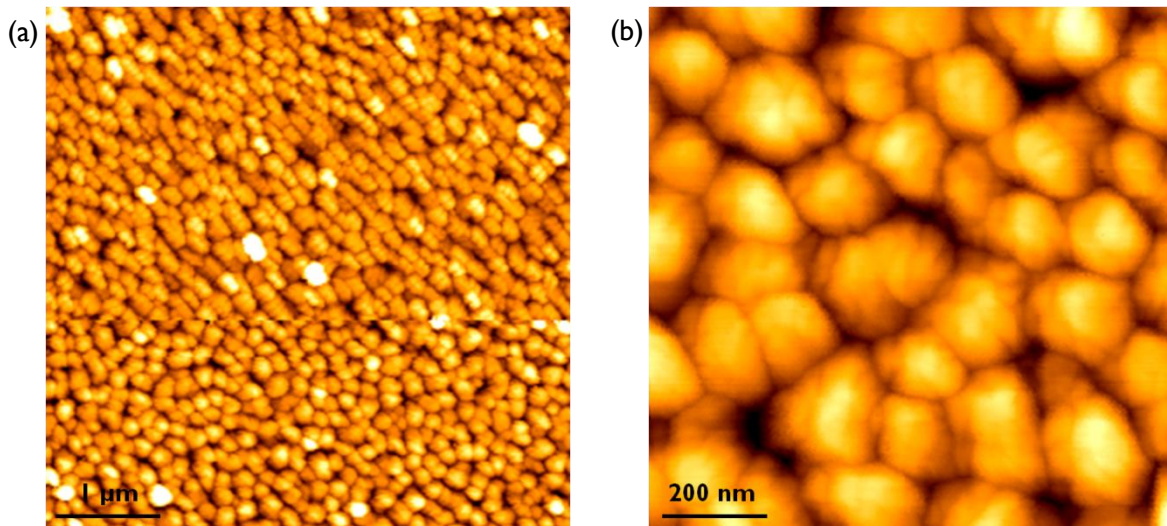


Figure 14 : Images AFM en mode « tapping » de la surface de la couche de pentacène ($e = 40$ nm) déposée sur une couche de fluorure de calcium de 5 nm, (a) $5 \times 5 \mu\text{m}^2$, (b) $1 \times 1 \mu\text{m}^2$.

D'après la figure 12 du chapitre 1, la taille des grains de pentacène diminue avec l'énergie de surface du substrat. Toutefois, la forme des grains observée ne correspond pas pour cette énergie de surface à celle rapportée par Yang *et al.* [13]. En effet, ce groupe obtient pour cette énergie de surface des grains de la même forme et de la même taille que ceux obtenus, dans notre cas, sur oxyde de silicium et sur la couche de CaF_2 de 1 nm. Or, on a vu dans le paragraphe 1.4.1 qu'un type de morphologie ne correspondait pas à une énergie de surface précise, mais dépendait aussi des paramètres de dépôt. Ainsi, les paramètres de dépôt dans les expériences de Yang *et al.* et ceux utilisés dans cette étude étant différents, de même que la nature du substrat (polymère pour Yang *et al.* et oxyde de silicium dans cette étude), il est normal d'observer une morphologie différente. Des grains d'une taille et d'une forme similaires ont été observés par Yoshida *et al.* sur PVDF (poly(vinylidène fluoride)) et sur PVA (poly(vinyl alcohol)), ou par Gundlach *et al.* sur oxyde de silicium [14]. Pour ces derniers, une telle morphologie est synonyme d'un ordre moléculaire faible, mais est la conséquence d'une évaporation flash, donc très rapide, du pentacène sur un substrat à 135°C , ce qui n'est pas le cas dans nos échantillons. Pour Yoshida *et al.*, cette morphologie est liée à l'énergie de surface fluctuante du PVA, engendrée par les nombreux groupements polaires présents sur sa surface. Cette hypothèse ne semble pas applicable pour la couche de fluorure de calcium de 5 nm car on a vu dans le paragraphe 1.3.1.2, que son énergie de surface avait une contribution polaire peu élevée, ce qui pourrait être synonyme d'une faible quantité de groupement polaires présents sur sa surface. Sur PVDF, cette morphologie est liée à la force d'interaction entre le pentacène et la surface du substrat, qui est plus faible que la force conduisant à l'agrégation moléculaire du pentacène. Or un tel type de croissance ressemble au mode de croissance Volmer-Weber. En effet, dans ce mode, l'énergie de surface du substrat est inférieure à celle du matériau déposé, ajoutée à l'énergie d'interface entre ce matériau et le substrat. La nucléation est alors favorisée aux dépens de la diffusion en surface

des molécules déposées, ce qui se traduit par une croissance en trois dimensions des grains, ce qui conduit à une densité importante de petits grains. Une telle hypothèse est possible dans le cas de la couche de fluorure de calcium de 5 nm. En effet, l'énergie de surface du substrat est plus faible que sur les échantillons précédents, alors que l'énergie de surface du pentacène, elle, reste la même. Reste alors, l'énergie d'interface entre le pentacène et le fluorure de calcium. Or on peut penser que celle-ci est assez faible, car sur l'échantillon avec une couche de CaF_2 de 1 nm, le mode de croissance des grains n'est pas changé alors que l'énergie de surface du substrat est, dans ce cas, proche de l'énergie de surface du pentacène qui est proche de 40 mJ/m^2 [13, 15]. Si elle avait été élevée, sa somme avec l'énergie de surface du pentacène se serait retrouvée supérieure à celle du substrat, entraînant une croissance en trois dimensions selon le mode Volmer-Weber des grains de pentacène et la formation d'une grande densité de petits grains, ce qui n'est pas le cas. Par conséquent, on peut considérer que l'énergie de surface de la couche de fluorure de calcium de 5 nm est bien inférieure à celle du pentacène ajoutée à l'énergie de l'interface pentacène- CaF_2 . Une croissance des grains selon le mode Volmer-Weber peut donc avoir lieu, ce qui conduit à la formation d'une grande densité de petits grains comme c'est le cas sur la Figure 14.

1.5 Conclusion

Cette partie a permis de mettre en avant les propriétés électriques et structurales de la couche tampon de fluorure de calcium, ainsi que son influence sur la croissance de la couche de pentacène. Ainsi, le fluorure de calcium est un isolant qui possède un courant de fuite correct de l'ordre de 10^{-7} A/cm^2 jusqu'à ce que son champ de claquage soit atteint, soit vers 4 MV/cm . Au-delà de cette valeur a lieu un claquage doux. Le niveau de fuites à travers l'isolant augmente alors lentement, jusqu'à atteindre des valeurs trop importantes. Mais utilisé comme couche tampon, le fluorure de calcium n'influence quasiment pas les propriétés d'isolation de la couche diélectrique qu'il forme avec l'oxyde de silicium. En effet, les propriétés de cette couche sont celles de l'oxyde de silicium, même capacité, même niveau de fuites (10^{-8} A/cm^2) et même champ de claquage ($> 3 \text{ MV/cm}$).

Du point de vue morphologique, les couches tampons de fluorure de calcium utilisées dans ces travaux sont composées de petits grains d'une taille de l'ordre de 10-15 nm pour celle de 1 nm d'épaisseur et de 25-30 nm pour celle de 5 nm. Ces tailles de grains sont quelque peu supérieures à celles obtenues par extrapolation de données issues de la littérature. De même leur rugosité est moins importante que celle prévue à partir des données de la littérature. De plus, cette rugosité est très proche de celle de la surface de l'oxyde de silicium, ce qui est intéressant en vue de son utilisation en tant que couche tampon. Par contre, l'ajout de cette couche tampon change de manière significative l'énergie de surface du substrat, en la diminuant de 20 et 40 % pour respectivement les couches de 1 et 5 nm. Cette couche va aussi diminuer la polarité de la surface du substrat, ce qui semble mettre en évidence un écrantage efficace, du moins pour la couche de 5 nm des groupements polaires présents sur la surface

de l'oxyde. Mais cette modification de l'énergie de surface du substrat n'est pas sans conséquence sur la croissance de la couche de pentacène. En effet, si celle-ci a la même morphologie composée de grains d'une taille comprise entre 200 et 700 nm, bien ordonnés avec une croissance en terrasses, sur la couche de 1 nm comme sur l'oxyde, il n'en est pas de même sur la couche de 5 nm, où la couche de pentacène est composée de plus petits grains d'une taille de 200 nm qui semblent désordonnés. Cette modification de morphologie de la couche de pentacène semble provenir d'un changement de mode croissance de cette couche, causé par la diminution de l'énergie de surface.

2 Propriétés électroniques de l'interface isolant-pentacène

Cette partie a pour but, d'étudier l'effet d'une couche tampon de fluorure de calcium sur les performances de transistors à base de pentacène et plus particulièrement sur les propriétés de l'interface entre l'isolant et le semi-conducteur, autrement dit sur le piégeage des charges à cette interface. Pour cela, l'évolution des différents paramètres des transistors, tels que la mobilité, le rapport I_{on}/I_{off} , la tension de seuil et l'hystérésis sous l'effet de cette couche tampon sera étudiée et discutée. Une étude sur l'influence de cette couche sur le vieillissement sous vide, ainsi que sur la stabilité à l'air de ces transistors sera ensuite menée. Par la suite, le fluorure de calcium sera utilisé comme encapsulant, afin de voir si ce matériau s'avère être une barrière efficace contre les dégradations subies par les dispositifs à l'air. Et enfin, une étude du comportement de ces transistors lorsqu'ils sont soumis à un champ électrique en continu pendant plusieurs jours, sera réalisée. Mais tout d'abord, intéressons-nous à l'impact de cette couche tampon sur le fonctionnement d'une structure MIS.

2.1 Structures MIS

Afin de s'assurer de la bonne accumulation des charges à l'interface entre la couche tampon de fluorure de calcium et le semi-conducteur, une structure MIS a été réalisée avec une couche de CaF_2 de 1 nm. Cette structure est très similaire aux transistors dont les différentes étapes de fabrication ont été exposées dans le chapitre 2. L'unique différence tient au remplacement des électrodes source et drain par une électrode circulaire unique d'un diamètre de 300 μm (Figure 15).

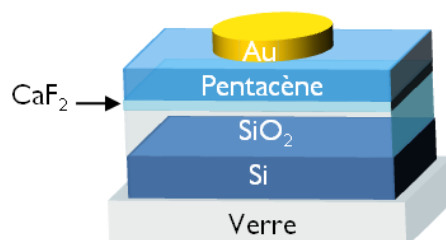


Figure 15 : Schéma de la structure MIS.

Des mesures C-V (capacité-tension) dynamiques ont donc été effectuées sur cette capacité (Figure 16). Pour cela, une rampe en tension comprise entre 5 et 40 V est appliquée sur l'électrode inférieure de la structure MIS à laquelle est superposé un signal alternatif d'amplitude 1 V d'une fréquence de 100 kHz.

La caractéristique C-V mesurée met clairement en évidence un régime d'accumulation (capacité la plus élevée) et un régime de déplétion (capacité la plus faible). L'augmentation de capacité observée entre ces deux régimes (de la déplétion vers l'accumulation, soit un balayage en tension de 40 à 5 V) est significative de la formation d'une couche d'accumulation de trous par effet de champ. La couche tampon de fluorure de calcium n'empêche donc pas l'accumulation des trous à son interface avec le pentacène.

La capacité maximale mesurée (en régime d'accumulation), $12,7 \text{ nF/cm}^2$ est proche de celle de la couche isolante qui est de $12,3 \text{ nF/cm}^2$, ce qui montre qu'une forte accumulation de trous a lieu, même pour la fréquence utilisée ici de 100 kHz .

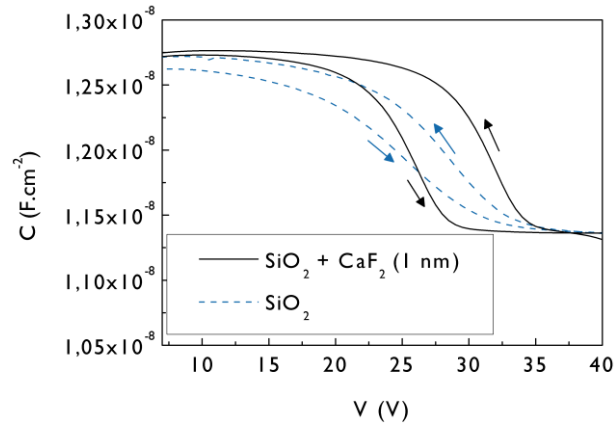


Figure 16 : Caractéristique C-V de la structure MIS-pentacène avec une couche tampon de 1 nm pour une fréquence de 100 kHz . La caractéristique obtenue sans couche tampon figure à titre de comparaison (Ligne discontinue bleue).

En faisant varier le sens de polarisation de l'électrode inférieure, on constate qu'une hystérésis a lieu entre la caractéristique mesurée de la déplétion vers l'accumulation et celle mesurée dans le sens inverse. Un tel comportement est significatif d'un piégeage de porteurs de charges à l'interface entre la couche isolante et le pentacène [16]. L'amplitude de cette hystérésis (ΔV) est directement liée à la densité de charges à l'interface (Q_{int}) selon la relation (4) :

$$\Delta V = \frac{\Delta Q_{int}}{C_i} \quad (20)$$

où C_i est la capacité de la couche isolante soit, $12,3 \text{ nF/cm}^2$. On peut dès lors, calculer la quantité de charges piégées à l'interface, ΔN selon la relation (5) :

$$\Delta N = \frac{\Delta Q_{int}}{e} \quad (21)$$

où e est la charge élémentaire ($1,6 \cdot 10^{-19} \text{ C}$). L'amplitude de l'hystérésis étant de 6 V , cette quantité est donc de $4,6 \cdot 10^{11} \text{ cm}^{-2}$. Si on compare cette quantité à celle obtenue sans couche tampon ($\Delta N = 2,7 \cdot 10^{11} \text{ cm}^{-2}$), on peut noter que la quantité de charges piégées à l'interface avec CaF_2 est quasiment deux fois plus importante. Par conséquent, en dépit de la polarité moins importante de la couche de fluorure de calcium et donc de la présence d'une plus faible quantité de groupements polaires sur sa surface, un piégeage des porteurs de charges dans une proportion plus importante, semble avoir lieu à l'interface entre le diélectrique et le semi-conducteur.

2.2 Caractéristiques des transistors avec et sans couche tampon

Cette partie a pour but de caractériser les transistors ayant une couche tampon de fluorure de calcium de 1 et 5 nm et de comparer leurs paramètres avec ceux des transistors ne possédant pas une telle couche.

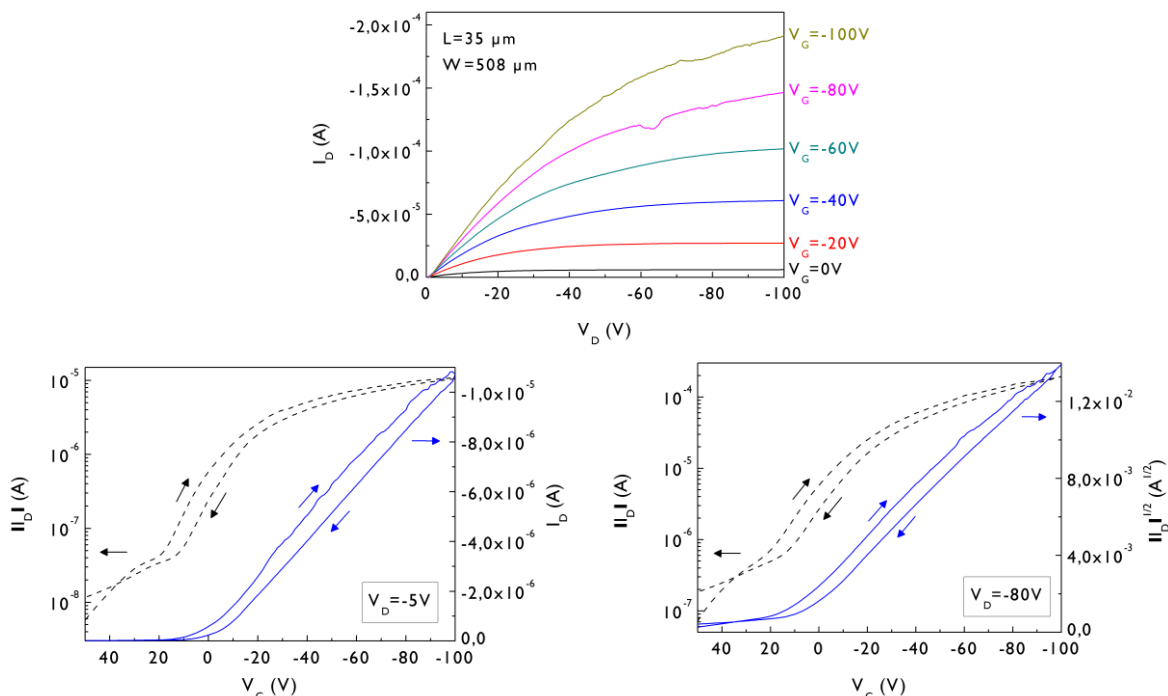


Figure 17 : Caractéristiques de sortie et de transfert (en régime linéaire, $V_D = -5V$ et de saturation $V_D = -80V$) d'un transistor à base de pentacène avec diélectrique SiO_2 .

Les Figures 17, 18 et 19 montrent, ainsi, les caractéristiques de sortie et de transfert de ces transistors, tandis que la Figure 20 expose les valeurs moyennes de leurs paramètres. Tous les transistors étudiés dans ce paragraphe ont été mesurés durant les premières heures qui ont suivies leur fabrication. Lors de l'acquisition des caractéristiques de transfert, une polarisation cyclique sur l'électrode de grille a été appliquée, afin de mesurer les phénomènes d'hystérésis. Une rampe de tensions ascendante, c'est-à-dire partant de l'état bloquant du transistor vers son état passant ($V_G = +100 V \rightarrow -100 V$) suivie par une rampe descendante de son état on vers son état off ($V_G = -100 V \rightarrow +100 V$) ont donc été appliquées sur l'électrode de grille. Il est important de noter que dans les transistors n'ayant pas de couche tampon, la polarisation de la grille à l'état off commence (ou s'arrête) à une tension inférieure ($V_G = +50 V$). Cette différence de polarisation peut avoir des conséquences sur la tension de seuil, l'amplitude de l'hystérésis, ainsi que le courant off des transistors et sera à prendre en compte lors de la comparaison de ces paramètres

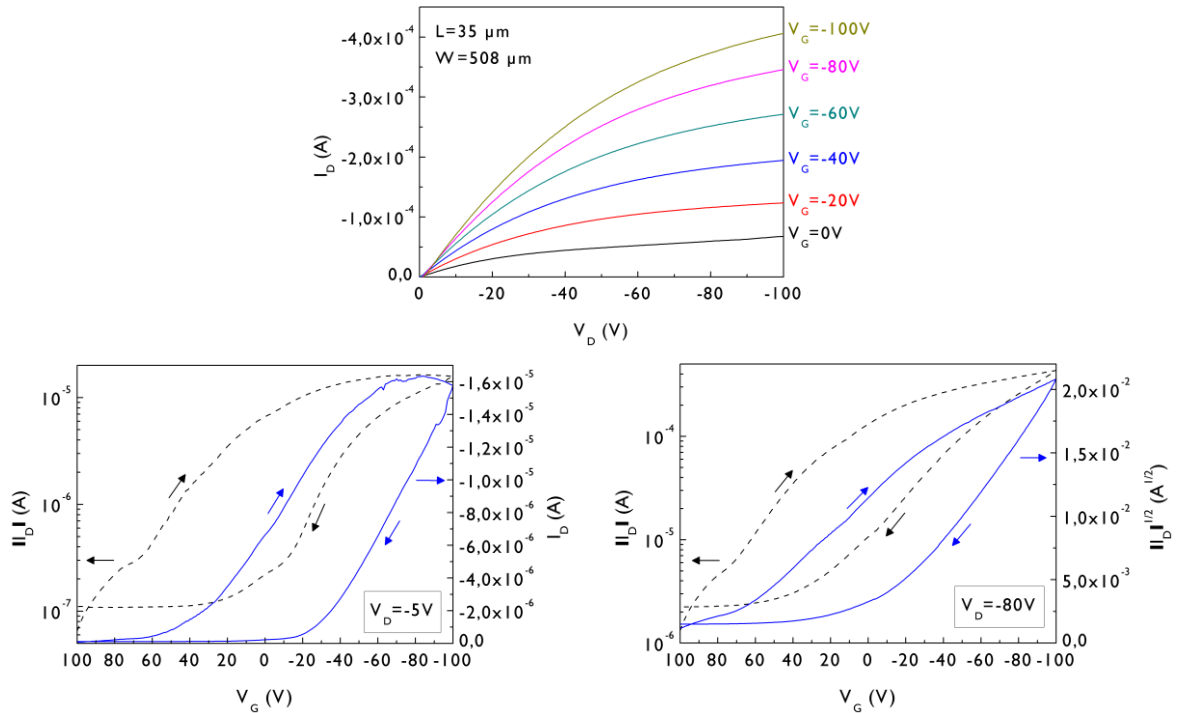


Figure 18 : Caractéristiques de sortie et de transfert (en régime linéaire, $V_D = -5V$ et de saturation $V_D = -80V$) d'un transistor à base de pentacène avec une couche tampon de CaF_2 de 1nm.

La Figure 19 ne présente que la caractéristique de transfert en régime de saturation d'un transistor ayant une couche tampon de 5 nm, car la caractéristique obtenue en régime linéaire n'est pas exploitable. De même, la Figure 20 n'expose pas les valeurs moyennes des différents paramètres de ces transistors car un seul dispositif a réellement fonctionné et a donné des valeurs de tension de seuil et d'hystérésis n'ayant aucune signification physique. Les valeurs de mobilité et de rapport I_{on}/I_{off} , plus acceptables, seront données lors de la comparaison des différents dispositifs.

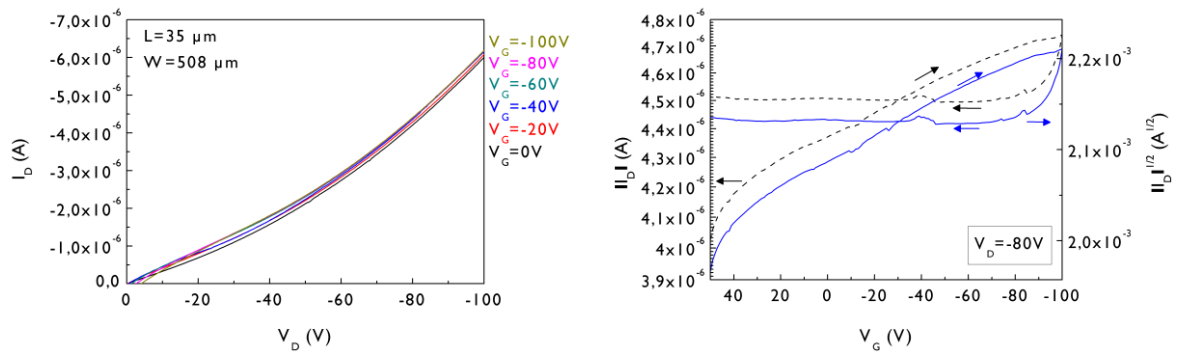


Figure 19 : Caractéristiques de sortie et de transfert (en régime de saturation $V_D = -80V$) d'un transistor à base de pentacène avec une couche tampon de CaF_2 de 5 nm.

	SiO ₂		SiO ₂ + CaF ₂ (1 nm)	
	off → on	on → off	off → on	on → off
μ_{lin} (cm ² /Vs)	0,10 ± 0,04	0,10 ± 0,03	0,06 ± 0,08	0,06 ± 0,09
μ_{sat} (cm ² /Vs)	0,14 ± 0,05	0,13 ± 0,05	0,13 ± 0,09	0,18 ± 0,26
V_T (V)	30,8 ± 22,9	26,1 ± 26,7	79,2 ± 13,9	38,9 ± 58,4
ΔV_T (V)	-4,7 ± 5,1		-47,6 ± 50,5	
I_{on}/I_{off}	3,76.10 ³ ± 4,97.10 ³	1,30.10 ³ ± 1,74.10 ³	380 ± 348	56 ± 93

Figure 20 : Tableau récapitulatif des valeurs moyennes des paramètres électriques obtenus sur les transistors avec et sans couche tampon.

2.2.1 Allure générale des courbes

2.2.1.1 Caractéristiques de sortie

D'une manière générale, on peut constater, en comparant les caractéristiques de sortie des transistors sans et avec une couche tampon de fluorure de calcium de 1 nm, que ces transistors présentent des comportements classiques des transistors organiques à effet de champ avec une croissance linéaire du courant pour les faibles tensions de drain suivie par une saturation lorsque cette tension devient plus importante.

Les transistors ayant une couche tampon de 5 nm ont, eux, un comportement plus inhabituel. En effet, les courbes obtenues pour les différentes polarisations de grille se superposent quasiment parfaitement. Le courant circulant dans le canal ne semble pas (ou très faiblement) être modulé par la grille et aucun régime de saturation ne semble s'établir. Un tel comportement semble montrer que la couche de pentacène se comporte comme une couche peu résistive ou que le canal du transistor est, au contraire très résistif, autrement dit que la résistivité du pentacène massif est plus faible que celle du canal. La tension à appliquer sur la grille pour diminuer cette résistance du canal afin qu'elle devienne inférieure à celle du pentacène massif devient, alors, trop importante. Les charges circulant entre la source et le drain préfèrent alors se déplacer dans le pentacène massif plutôt que dans le canal. Un tel phénomène peut provenir d'un dopage très important de la couche de pentacène qui la rend moins résistive ou d'une mauvaise conduction dans le canal qui le rend plus résistif.

2.2.1.2 Caractéristiques de transfert

Comme pour les caractéristiques de sortie, on peut constater en comparant les caractéristiques de transfert des transistors sans et avec une couche tampon de 1 nm que ces transistors présentent des courbes de même allure avec des courants à l'état passant du même ordre de grandeur. Ces transistors sont dans les deux cas « normally on », autrement dit un courant circule entre la source et le drain lorsqu'aucune polarisation n'est appliquée

sur la grille. Les caractéristiques des transistors ayant une couche tampon de 1 nm présentent toutefois une hystérésis plus importante que ceux sans couche tampon.

Les transistors ayant une couche tampon de 5 nm ont un niveau de courant à l'état passant nettement inférieur. En effet, celui-ci n'est que de l'ordre de quelques 10^{-6} A, alors qu'il est de l'ordre de quelques 10^{-4} A pour les transistors sans couche tampon ou avec une couche tampon de 1 nm, pour des transistors ayant les mêmes dimensions de canal. Ceci semble montrer que pour une même polarisation de grille, un nombre plus faible de charges circulent dans le canal des transistors ayant une couche de fluorure de calcium de 5 nm.

2.2.2 Mobilité

Si on s'intéresse maintenant plus en détail aux paramètres des transistors, on remarque d'après la Figure 20 que la mobilité des porteurs est du même ordre de grandeur dans les transistors sans et avec une couche de fluorure de calcium de 1 nm. Cette mobilité est assez élevée et est probablement liée à la morphologie de la couche de pentacène. En effet, on a vu dans les paragraphes 1.4.1 et 1.4.2.1 que celle-ci présente des morphologies similaires lorsqu'elle est déposée sur oxyde de silicium ou sur la couche de fluorure de calcium de 1 nm. Par conséquent, les porteurs de charges ont la même facilité à se déplacer dans le canal du transistor dans les deux configurations. La mobilité de ces porteurs est donc similaire dans les deux cas. Si on considère maintenant la valeur de cette mobilité, on peut voir sur la Figure 20 que celle-ci est située aux alentours de $0,1 \text{ cm}^2/\text{Vs}$. Cette valeur est légèrement supérieure à celle relevée par Stadlober *et al.* qui est plutôt située aux alentours de $0,05 \text{ cm}^2/\text{Vs}$ (cf. Figure 30 (a) du chapitre 1) pour des grains d'une taille similaire à ceux des couches de pentacène considérées ici [11]. Toutefois, cette valeur coïncide avec les valeurs rapportées par Yanagisawa *et al.* pour ce type de morphologie [12].

Les transistors ayant une couche tampon de 5 nm présentent, eux, une mobilité des porteurs nettement inférieure, située aux alentours de $10^{-5} \text{ cm}^2/\text{Vs}$. Une telle valeur de mobilité est synonyme d'un mauvais transport de charges dans la couche de pentacène. Or on a vu dans le paragraphe 1.4.2.2 que la couche de pentacène déposée sur la couche de fluorure de calcium de 5 nm a une morphologie totalement différente de celles déposées sur oxyde de silicium ou sur la couche de CaF_2 de 1 nm. En effet, celle-ci est composée de plus petits grains sans forme particulière et semble totalement désorganisée. Les porteurs de charges circulant dans une couche ayant une telle morphologie ont plus de difficultés pour passer d'un grain à l'autre et à l'intérieur d'un grain d'une molécule de pentacène à une autre. Leur mobilité dans une telle couche est alors assez faible. Un grand nombre de charges se retrouvent alors piégées et ne circulent pas dans le canal. Le nombre de charges circulant effectivement dans le canal est alors assez faible, ce qui se traduit comme on l'a vu dans le paragraphe précédent par un courant à l'état passant, assez faible.

2.2.3 Rapport I_{on}/I_{off}

Si on compare maintenant, le rapport I_{on}/I_{off} des transistors sans couche tampon et celui des transistors ayant une couche de fluorure de calcium de 1 nm, on constate qu'il est plus de 10 fois plus faible dans les transistors ayant une couche tampon de 1 nm. Pourtant, on a vu dans le paragraphe 2.2.1.2 que le courant à l'état passant est du même niveau dans les deux types de dispositifs. Par contre le courant à l'état bloquant est, lui, 10 fois plus important dans les transistors ayant une couche tampon de 1 nm. Ainsi la différence dans le rapport I_{on}/I_{off} de ces dispositifs est due à un courant off plus important dans le cas des transistors ayant une couche tampon 1 nm. Or, ce courant correspond au courant circulant entre la source et le drain, lorsqu'aucune charge n'est accumulée dans le canal. Dans le cas idéal, il est très faible et correspond au courant de fuites à travers le diélectrique. On a vu, dans le paragraphe 1.1.2.2, que l'ajout d'une couche tampon au dessus de l'oxyde ne modifie pas le niveau de fuites à travers le diélectrique. Ainsi, la valeur plus importante du courant off dans les transistors ayant une couche tampon de 1 nm ne peut provenir d'un courant de fuites plus important à travers le diélectrique. Par conséquent, si un courant plus important circule entre la source et le drain lorsque le transistor est dans son état bloquant, c'est que des charges résiduelles circulent, alors qu'aucune charge n'est accumulée dans le canal sous l'effet de la tension de grille.

Comme on l'a vu dans le paragraphe 2.2.1.1, le courant circulant dans le canal des transistors ayant une couche tampon de 5 nm ne semble pas être modulé par la grille. Ainsi, le rapport I_{on}/I_{off} dans ce type de dispositifs est très faible et est de l'ordre de 1,2. Or, on a vu qu'un tel comportement pouvait provenir du fait que les charges préfèrent circuler dans le pentacène massif plutôt que dans le canal. La conductivité dans la couche pentacène n'est pas modulée par la grille, par conséquent, on ne peut parler d'état bloquant ou passant dans ce cas. Les charges circulent entre la source et le drain de la même manière quelle que soit la tension appliquée sur la grille. Le courant ne dépend pas alors de la polarisation de grille et le rapport I_{on}/I_{off} est alors très proche de 1.

2.2.4 Tension de seuil.

Dans ce paragraphe, on ne comparera que les transistors ayant une couche tampon de 1 nm avec ceux n'en ayant pas, car étant donnée l'allure des courbes de transfert obtenues pour le transistor ayant une couche tampon de 5 nm, les tensions de seuil extraites à partir de ces courbes ont des valeurs incohérentes.

Les tensions de seuil des transistors ayant une couche tampon de 1 nm, sont comme celles des transistors sans couche tampon, largement positives. Une tension de seuil positive peut être le résultat de deux phénomènes. Le premier est un dopage de la couche de pentacène causé par des impuretés présentes dans celle-ci, ces dernières permettant l'accumulation dans le canal du transistor, même lorsque la tension de grille est positive. Le deuxième

phénomène conduisant à une tension de seuil positive est un piégeage d'électrons durant l'état bloquant du transistor. En effet, durant l'état off, aucun trou n'est accumulé dans le canal du transistor, il est en régime de déplétion, les trous sont au contraire, éloignés du canal. Les électrons restants peuvent alors réagir avec les pièges accepteurs d'électrons présents à l'interface entre le semi-conducteur et le diélectrique. Ces électrons ainsi piégés ne réagissent plus au champ électrique imposé par la grille, la quantité d'électrons présents à l'interface ne diminue alors plus en même temps que la tension imposée à la grille. Ces électrons piégés étant chargés négativement vont alors attirer les trous. Ce phénomène va alors s'opposer au champ imposé par la grille et ainsi permettre une accumulation de trous, alors que sous l'effet de la seule polarisation de grille, la couche de pentacène devrait être en déplétion.

Si on s'intéresse à la valeur de cette tension de seuil, on remarque que celle-ci est plus importante dans les transistors ayant une couche tampon de 1 nm que dans ceux sans couche tampon. Une telle différence peut provenir de la rampe de tension employée pour mesurer les deux types de dispositifs. En effet, la rampe de tension utilisée pour mesurer les transistors ayant une couche tampon de 1 nm commence pour une tension de +100 V, alors que dans les transistors sans couche tampon, elle ne commence que pour une tension de +50 V. Or, le nombre d'électrons piégés durant l'état bloquant du transistor est plus important pour une rampe commençant à +100 V, que pour une rampe commençant à +50 V. Par conséquent, le nombre de charges piégées étant plus important, le champ généré par ces charges compense plus rapidement le champ imposé par la grille. L'accumulation de trous peut donc avoir lieu pour des tensions de grille plus positives, ce qui peut donc se traduire par une tension de seuil plus positive.

Toutefois, le piégeage plus important sous l'effet de la plus importante tension de grille initiale n'est pas le seul phénomène pouvant expliquer la tension de seuil plus importante dans les transistors ayant une couche tampon de 1 nm. En effet, on a vu que la présence d'impuretés peut être la cause d'une tension de seuil positive. Mais cette tension de seuil est alors directement liée à la quantité d'impuretés présente dans la couche de pentacène. Ainsi, un dopage plus important de la couche de pentacène résultant de la présence d'une quantité plus importante d'impuretés dans cette couche peut conduire, à une tension de seuil plus importante.

2.2.5 Hystérésis

Pour les mêmes raisons que pour la tension de seuil, les phénomènes d'hystérésis ne seront comparés qu'entre les transistors ayant une couche tampon de 1 nm et ceux n'en ayant pas.

Du point de vue des hystérésis, on peut noter que les transistors ayant une couche tampon de 1 nm présentent une hystérésis dans leurs caractéristiques de transfert, comme les

transistors sans couche tampon. Or, on a vu dans le paragraphe 3 du chapitre 1, que plusieurs mécanismes peuvent être à l'origine d'une hystérésis. Cependant, son sens de rotation localise ces mécanismes. Une hystérésis tournant dans le sens des aiguilles d'une montre est engendrée par des phénomènes à l'interface entre le semi-conducteur et le diélectrique, tandis qu'une hystérésis tournant dans le sens inverse provient de phénomènes se déroulant dans le diélectrique lui-même. Ainsi, on peut remarquer que le sens de rotation de l'hystérésis est le même dans les transistors avec une couche tampon et dans ceux n'en ayant pas. Dans les deux cas, l'hystérésis tourne dans le sens des aiguilles d'une montre. Par conséquent, l'hystérésis observée dans les caractéristiques de transfert des transistors ayant une couche tampon de 1 nm a la même origine que celle observée dans les transistors sans couche tampon et provient de phénomènes à l'interface entre le pentacène et le diélectrique.

Deux phénomènes conduisent principalement à la formation d'hystérésis tournant dans le sens des aiguilles d'une montre : le piégeage des porteurs de charges et la formation de bipolarons [17]. Au vu de la littérature, il semblerait que le mécanisme lié à la formation de bipolarons ne soit observé que dans le cas des transistors à base de polymère [17, 18]. Ainsi les hystérésis observées dans les transistors ayant une couche de fluorure de calcium de 1 nm tout comme celles observées dans les transistors sans couche tampon, serait la conséquence d'un piégeage des porteurs de charges à l'interface entre le diélectrique et le semi-conducteur. Ce mécanisme est basé sur la cinétique de libération des porteurs de charges. Deux cas sont alors envisageables : un piégeage des électrons ou un piégeage des trous.

Dans le cas d'un piégeage d'électrons, ces derniers sont piégés durant l'état bloquant du transistor. La constante de temps de libération des électrons piégés étant plus importante que la vitesse de balayage, ces électrons demeurent piégés alors que l'accumulation de trous commence. Une accumulation de trous supplémentaires a alors lieu, afin de compenser les électrons piégés et de respecter la relation charge-tension. Ces trous mobiles supplémentaires peuvent alors se déplacer dans le canal et participer au courant, ce qui se traduit par un courant de drain plus important. Lors de la rampe en polarisation en sens contraire, le transistor est dans son état passant, aucun électron n'est piégé et la quantité de trous accumulés correspond à celle imposée par le champ électrique de grille. Le courant est alors plus faible (cf. chapitre 1 paragraphe 3.2.1.1). La caractéristique de transfert obtenue dans ce sens de polarisation de la grille correspond donc au cas d'un transistor idéal, sans piégeage d'électrons [19].

Dans le cas d'un piégeage de trous, ces derniers sont piégés durant l'état passant du transistor. Durant l'état off, les pièges à trous sont vides. Lorsque le transistor passe dans son état passant, ces pièges se remplissent rapidement, la quantité de trous piégés reste alors à l'équilibre avec la quantité de trous mobiles durant tout le balayage. Dans le sens contraire, le transistor est dans son état passant, tous les pièges à trous sont remplis. Or la constante de temps de libération des trous piégés est plus importante que la vitesse de balayage. Ainsi les trous sont libérés plus lentement que la vitesse de balayage, la quantité de trous mobiles

circulant dans le canal est donc plus faible que celle imposée par le champ électrique de grille. Le courant est alors plus faible (cf. chapitre 1 paragraphe 3.2.1.1). Cette fois-ci, c'est la caractéristique de transfert obtenue lorsque le transistor passe de son état bloquant vers son état passant qui correspond au cas où le courant de drain n'est pas affecté par le piégeage des porteurs de charges.

La nature des porteurs de charges piégés dans les transistors à base de pentacène ayant comme diélectrique une couche d'oxyde de silicium fait encore débat. En effet, Gu *et al.* ont regardé l'évolution du courant de drain dans le temps, après avoir appliqué différentes tensions sur la grille du transistor préalablement à la mesure. Ils ont constaté que lorsque cette tension était négative, le courant restait constant alors que lorsque cette tension était positive, le courant décroissait avec le temps. Ceci met en évidence un piégeage d'électrons. En effet, s'il y avait eu piégeage de trous, il y aurait eu décroissance du courant après une polarisation négative [19]. A l'inverse, Ucurum *et al.* arrivent à la conclusion opposée, c'est-à-dire à une hystérésis causée par un piégeage de trous [20].

L'amplitude de cette hystérésis est cependant, plus importante dans les transistors ayant une couche tampon de 1 nm. En effet, alors que l'amplitude moyenne de l'hystérésis n'est que de 4,7 V pour les transistors sans couche tampon, elle est 10 fois plus importante pour ceux ayant une couche de fluorure de calcium de 1 nm. Une telle différence met en évidence un piégeage des porteurs de charges 10 fois plus important dans ce type de dispositifs. Plusieurs phénomènes peuvent être à l'origine de cette amplitude d'hystérésis plus importante. Considérons tout d'abord que l'hystérésis est causée par un piégeage d'électrons. On a vu que la caractéristique de transfert influencée par ce piégeage de porteurs de charges est celle mesurée lorsque le transistor passe de son état off à son état on. Or, un piégeage plus important d'électrons décale cette caractéristique vers les potentiels de grille plus positifs. Dans le cas d'un piégeage de trous, au contraire, c'est la caractéristique mesurée lorsque le transistor passe de son état on vers son état off qui est influencée par ce type de piégeage. Dans ce cas, un piégeage plus important de trous entraîne un déplacement de cette caractéristique vers les potentiels de grille négatifs. Expérimentalement, les caractéristiques de transfert des transistors ayant une couche tampon de 1 nm, mesurées de leur état off vers leur état on, présentent un décalage vers les tensions de grille plus positives par rapport à celles des transistors sans couche tampon. Par conséquent, l'hystérésis observée dans les transistors ayant une couche tampon peut être liée à un piégeage plus important d'électrons. Les caractéristiques de transfert mesurées dans le sens inverse présentent, elles, un décalage vers les tensions de grille plus positives. Par conséquent, un plus important piégeage de trous semble exclu.

Cependant, si l'hystérésis plus importante observée dans les transistors ayant une couche tampon de 1 nm semble être liée à un piégeage plus important d'électrons, elle n'est pas forcément liée uniquement à la présence de la couche de fluorure de calcium. En effet, il faut

noter que la rampe de tension utilisée pour mesurer ces dispositifs peut aussi être à l'origine d'un piégeage plus important d'électrons (cf. paragraphe 2.1.4.1).

2.2.6 Conclusion

La comparaison des transistors ayant une couche tampon avec ceux n'en ayant pas, a permis de mettre en avant plusieurs points. Tout d'abord, d'un point de vue général, les transistors avec une couche tampon de 1 nm ont un comportement similaire à ceux sans couche tampon. A l'inverse, les transistors ayant une couche de fluorure de calcium de 5 nm ont, eux un comportement totalement différent. En effet, le courant circulant entre la source et le drain ne semble pas être modulé par la grille. Un tel comportement met en évidence, un mauvais transport de charges dans le canal de ces transistors, probablement causé par la mauvaise organisation de la couche de pentacène. Cette mauvaise conduction se traduit d'ailleurs par une très faible mobilité.

Les transistors ayant une couche tampon de 1 nm ont, eux, une mobilité équivalente à celle des dispositifs sans couche tampon, car la couche de pentacène a une morphologie similaire dans les deux types de dispositifs. Ces transistors présentent toutefois des courants à l'état bloquant, 10 fois plus élevés que ceux sans couche tampon, ce qui met en évidence qu'une certaine quantité de charges continue à circuler dans ces dispositifs, même lorsqu'aucun trou n'est accumulé dans le canal, probablement sous l'effet d'une quantité plus importante d'impuretés dans la couche de pentacène. La comparaison de la tension de seuil de ces dispositifs a permis de mettre en avant un possible piégeage d'électrons ou un dopage plus important de la couche de pentacène dans les transistors ayant une couche tampon de 1 nm. L'amplitude 10 fois plus importante de l'hystérésis dans ces dispositifs vient renforcer l'idée d'un piégeage plus important d'électrons dans les transistors ayant une couche de fluorure de calcium de 1 nm. En effet, l'hystérésis dans ces dispositifs a une amplitude plus importante qui semble être causée par un piégeage plus important d'électrons. L'information la plus importante tirée de la comparaison des transistors est qu'un piégeage d'électrons est toujours possible à l'interface avec le fluorure de calcium, bien que celui-ci présente une surface moins polaire, donc comportant moins de groupements polaires susceptibles d'attirer les électrons.

2.3 Vieillessement des transistors avec et sans couche tampon

Afin de tenter de comprendre l'origine du piégeage des électrons dans les transistors ayant une couche de fluorure de calcium de 1 nm, une étude du vieillissement de ces dispositifs dans des conditions de stockage différentes (à l'air et sous un vide de 1 mbar) a été effectuée. En effet, des études ont montré que le phénomène de piégeage des électrons est activé par l'humidité et l'oxygène de l'air [21]. Les mesures électriques des transistors seront, toutefois, réalisées à l'air ambiant, dans l'obscurité.

Si on regarde les écarts-types des valeurs moyennes obtenues dans le paragraphe précédent (Figure 20), on peut noter que ceux-ci sont assez importants ce qui dénote une certaine dispersion des résultats d'un dispositif à un autre. Cette dispersion peut provenir du fait que les transistors mesurés ont des dimensions (longueur et largeur de canal) différentes. Afin de limiter ces effets, le vieillissement d'un seul type de transistor sera étudié dans ce paragraphe. Ce transistor a une longueur de canal de $35\ \mu\text{m}$ pour une largeur de $508\ \mu\text{m}$.

Pour les deux configurations (avec et sans couche tampon), ce transistor est mesuré cinq fois de suite avec une rampe de tension de grille allant $+100\ \text{V}$ à $-100\ \text{V}$ puis dans le sens inverse. Ces cinq mesures sont réalisées afin d'obtenir une valeur moyenne des paramètres étudiés car on peut voir sur la Figure 21, à titre d'exemple, une légère dispersion de ces paramètres au cours des mesures, du moins au niveau de la mobilité.

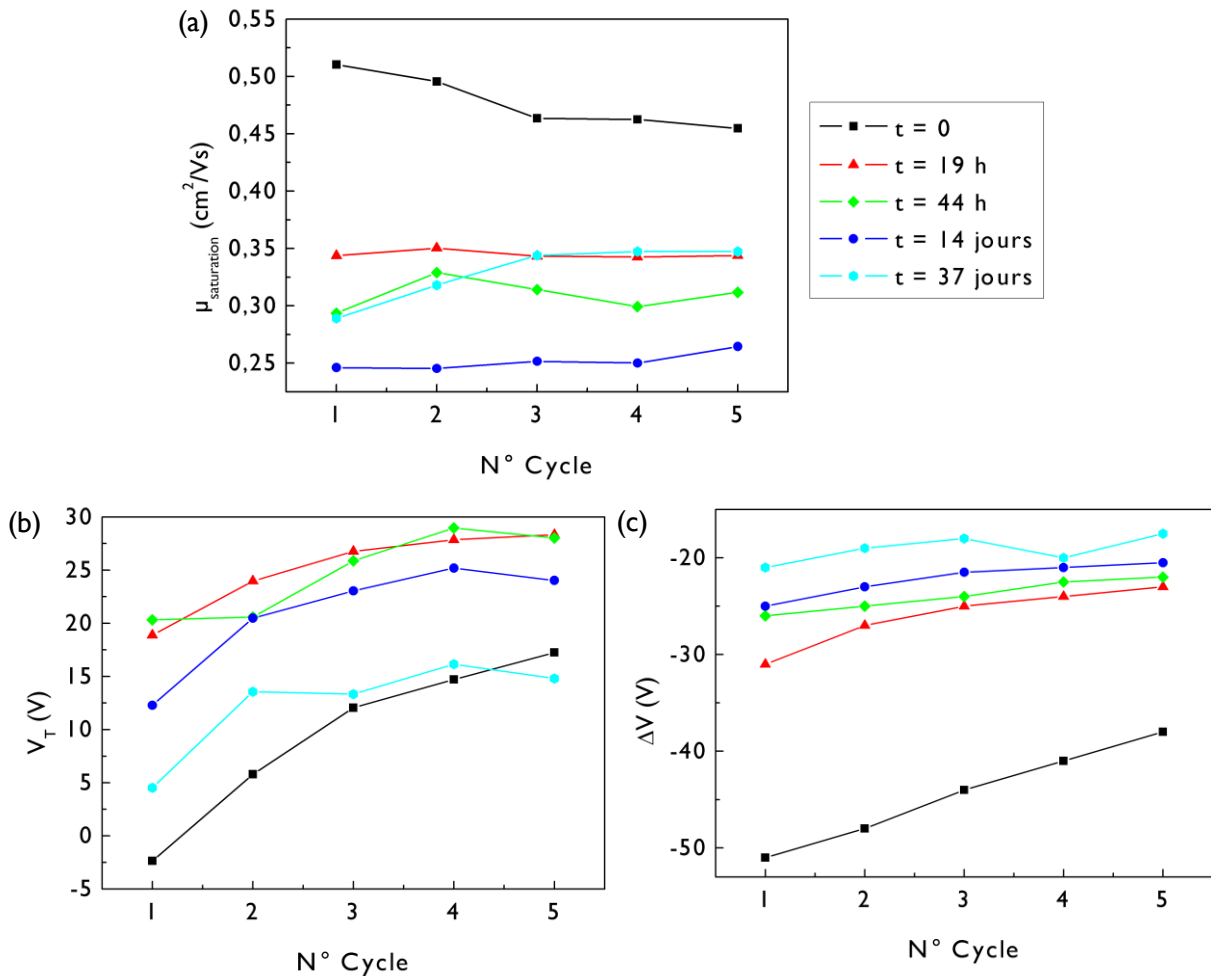


Figure 21 : Evolution au cours de 5 mesures à la suite de la mobilité de saturation (a), de la tension de seuil (b) et de l'hystérésis (c) d'un transistor à base de pentacène avec une couche tampon de CaF_2 de 1 nm.

Pour la tension de seuil et l'amplitude de l'hystérésis, on remarque, plutôt une stabilisation au bout des 5 mesures. Toutefois, on peut voir que ce comportement est indépendant du vieillissement du transistor et engendre des perturbations inférieures à celles générées par la dégradation dans le temps. Par conséquent, on peut prendre les valeurs

moyennes sur ces 5 mesures pour regarder l'évolution des paramètres du transistor dans le temps. Les données dans les graphes étudiés par la suite, correspondront, donc, aux valeurs moyennes des paramètres, normalisées par leur valeur moyenne initiale.

2.3.1 Mobilité

On a vu dans le chapitre 1 paragraphe 6.3.1.1 que la mobilité dans les transistors à base de pentacène peut évoluer dans le temps, en fonction des conditions de stockage de ces dispositifs. La Figure 22 présente ainsi l'évolution dans le temps de la mobilité par rapport à la mobilité initiale des transistors avec et sans couche tampon, en fonction de leur conditions de stockage. Cette figure représente les valeurs moyennes des mobilités mesurée lorsque les transistors passent de leur état passant vers leur état bloquant. Les valeurs obtenues dans le sens inverse de polarisation de grille ne sont pas montrées car elles suivent le même comportement.

On voit clairement un comportement différent en fonction des conditions de stockage. En effet, on peut voir que lorsque les échantillons sont stockés sous vide, la mobilité augmente assez fortement durant les premières heures de stockage du transistor, puis a tendance à rester stable au cours du temps. A l'inverse, elle diminue quand les transistors sont stockés à l'air.

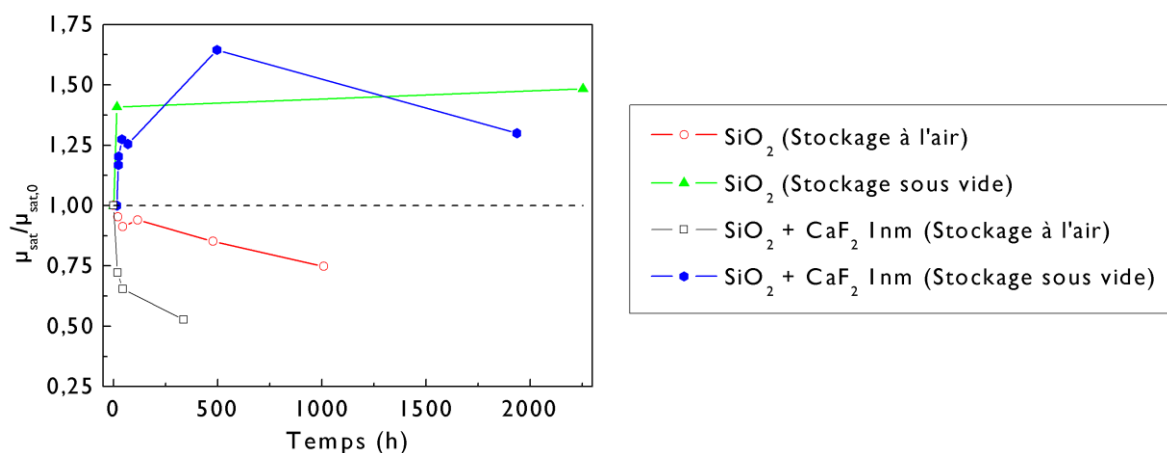


Figure 22 : Evolution au cours du temps de la mobilité par rapport à sa valeur initiale des transistors avec et sans couche tampon, mesurée dans le régime de saturation, en fonction des conditions de stockage des échantillons. (Formes pleines : stockage sous vide, formes vides : stockage à l'air).

2.3.1.1 Stockage sous vide

La mobilité lors du vieillissement du transistor avec une couche tampon semble suivre la même évolution que celle du transistor sans couche tampon. En effet, on peut noter dans les deux cas, une forte évolution de l'ordre de 50 % durant les 100 premières heures, suivie par une certaine stabilité. La mobilité du transistor avec une couche tampon semble cependant être un peu moins stable, avec une augmentation jusqu'à 60 % suivie par une diminution.

On a vu dans le chapitre 1 paragraphe 6.3.1.1, que la diffusion de l'humidité de l'air aux joints de grains de la couche de pentacène, semble être la principale cause de dégradation de la mobilité. Ainsi, lorsque le transistor est stocké sous vide, une telle diffusion ne peut avoir lieu. Par conséquent, la mobilité reste assez stable au cours du temps. Mais, on note tout de même une forte augmentation de la mobilité durant les premières heures de stockage. On peut ainsi penser que le stockage sous vide permet la désorption des espèces adsorbées dans la couche de pentacène durant la fabrication du transistor, permettant ainsi un meilleur transport de charges dans le canal et donc une amélioration de la mobilité.

2.3.1.2 Stockage à l'air

A l'inverse de ce qui est observé lors du stockage sous vide, lors d'un stockage à l'air ambiant, la mobilité des transistors se dégrade nettement. Toutefois, cette fois-ci, la dégradation n'est pas la même dans le transistor avec une couche tampon et dans celui en étant dépourvu. En effet, la mobilité diminue de l'ordre de 50 % au bout de 300 h dans le transistor ayant une couche tampon, alors qu'elle ne diminue que de 25 % au bout d'une durée pourtant 3 fois plus importante (1000 h) dans le transistor sans couche tampon.

Or on a vu dans le chapitre 1 paragraphe 6.3.1.1 que les principaux facteurs de dégradation de la mobilité sont l'humidité et l'oxygène de l'air. En effet, l'oxygène peut créer des états de défauts près de la bande de valence, ce qui a pour effet de dégrader la mobilité [22]. Ce phénomène se produit sur tout le film de pentacène et non uniquement aux joints de grains [22]. Par conséquent, un tel phénomène va être observé quel que soit le dispositif étudié et n'explique pas la différence de comportement observée entre les transistors avec et sans couche tampon. L'humidité est aussi responsable d'une dégradation de la mobilité lors du vieillissement à l'air des transistors à base de pentacène, notamment à travers sa diffusion au niveau des joints de grains de la couche de pentacène [23]. Cette diffusion de l'humidité au niveau des joints de grains est liée à la morphologie de la couche de pentacène (cf. chapitre 1 paragraphe 6.3.1.1). Par conséquent, une couche composée de petits grains, donc, ayant plus de joints de grains, est plus vulnérable à la diffusion d'humidité. Cependant, on a vu dans le paragraphe 1.4, que la morphologie de la couche de pentacène est à peu près similaire dans les deux cas. Par conséquent, une diffusion plus importante d'humidité, liée à une présence plus importante de joints de grains paraît exclue. Par contre, la nature hygroscopique de la couche de fluorure de calcium peut amener une tentative d'explication. En effet, un matériau hygroscopique est un matériau qui a tendance à absorber l'humidité de l'air. On peut donc imaginer que la nature hygroscopique du fluorure de calcium entraîne une diffusion plus importante des molécules d'eau présentes dans l'air à travers la couche de pentacène, ce qui va donc entraîner une dégradation plus importante et plus rapide de la mobilité dans le transistor ayant une couche tampon de cette nature.

2.3.2 Rapport I_{on}/I_{off}

Comme pour la mobilité, un comportement totalement différent est observé au niveau du rapport I_{on}/I_{off} en fonction des conditions de stockage des transistors (Figure 23). En effet, lorsque les transistors sont stockés sous vide (Figure 23 (a)), une forte augmentation de ce rapport est observée, alors qu'au contraire, une forte diminution est observée lorsque les transistors sont stockés à l'air (Figure 23 (b)).

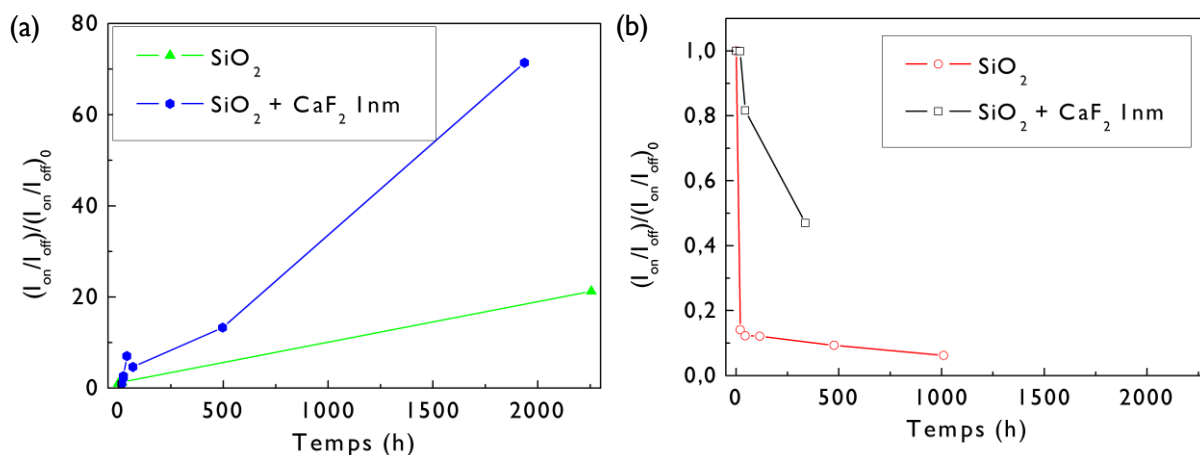


Figure 23 : Evolution au cours du temps du rapport I_{on}/I_{off} par rapport à sa valeur initiale des transistors avec et sans couche tampon, en fonction des conditions de stockage des échantillons. (a) stockage sous vide, (b) stockage à l'air.

2.3.2.1 Stockage sous vide

Lorsque les transistors sont stockés sous vide, une forte augmentation du rapport I_{on}/I_{off} est observée aussi bien dans le transistor ayant une couche tampon, que dans celui en étant dépourvu. Une augmentation de ce rapport peut être engendrée par une augmentation du courant de drain à l'état passant ou une diminution de ce courant à l'état bloquant. Dans les deux configurations, le courant on reste à peu près stable, voire diminue légèrement. Le courant off par contre, diminue lui fortement. Or le courant off est lié au dopage de la couche de pentacène, la présence d'impuretés dans la couche de pentacène permettant à un courant de circuler entre la source et le drain alors que le transistor est dans son état bloquant. Par conséquent, une diminution du courant off est synonyme d'une diminution de la quantité de charges résiduelles présentes dans la couche de pentacène. Il semblerait donc qu'un stockage sous vide permet une désorption des espèces à l'origine de ces charges résiduelles.

Même si une augmentation du rapport I_{on}/I_{off} est observée aussi bien dans le transistor ayant une couche tampon que dans celui en étant dépourvu, on peut remarquer sur la Figure 23 (a) que cette amélioration est 3,5 fois plus importante dans le transistor avec une couche de fluorure de calcium. On peut donc penser que la désorption des espèces induisant les

charges résiduelles responsables du courant off, est plus efficace lorsque la couche tampon est présente.

2.3.2.2 Stockage à l'air

A l'inverse du stockage sous vide, une forte diminution du rapport I_{on}/I_{off} est observée dans les deux types de dispositifs lorsqu'ils sont stockés à l'air ambiant (Figure 23 (b)). Mais à la différence du stockage sous vide où l'évolution du rapport ne dépend essentiellement que du courant à l'état bloquant, la diminution observée lors du stockage à l'air ambiant est liée à une diminution du courant on combinée avec une augmentation du courant off. Une diminution du courant à l'état passant signifie qu'une plus faible quantité de trous circule dans le canal du transistor et par conséquent, qu'une certaine quantité de trous est piégée. Or, la diffusion de molécules d'eau aux joints de grains affecte le transport de charges et génère des pièges pour les trous [24]. Par conséquent, la diminution du courant on observée est probablement due à un piégeage des trous circulant dans le canal, sous l'effet des molécules d'eau diffusant aux joints de grains de la couche de pentacène. Une augmentation du courant off signifie qu'une plus grande quantité de courant circule entre la source et le drain lors de l'état bloquant, donc que la quantité de charges résiduelles présentes dans la couche de pentacène est plus importante et par conséquent, qu'une plus grande quantité d'impuretés est présente dans cette couche. Or, les molécules d'eau dans la couche de pentacène constituent des impuretés, on peut donc penser que l'augmentation du courant off est due à la présence plus importante au cours du temps, de molécules d'eau au niveau des joints de grains de la couche de pentacène.

Mais, si une diminution du rapport I_{on}/I_{off} est bien observée dans les deux transistors, on peut tout de même noter que cette diminution est nettement plus importante et plus rapide dans le transistor sans couche tampon. Cependant, on a vu dans le paragraphe précédent que le dopage initial de la couche de pentacène semble plus important dans le transistor ayant une couche tampon, que dans celui en étant dépourvu. Ainsi, si on considère que le dopage supplémentaire engendré par l'exposition à l'air des dispositifs est le même dans les deux configurations (avec et sans couche tampon), la proportion de ce dopage sur le dopage global de la couche de pentacène sera moins importante, dans le cas d'une couche préalablement plus dopée. Par conséquent, comme il semblerait que le taux de dopage est plus important dans le cas du transistor ayant une couche tampon, l'impact du dopage supplémentaire est moins important dans ce cas et par conséquent, la diminution du rapport I_{on}/I_{off} est moins importante dans ce cas.

2.3.3 Tension de seuil

A la différence des autres paramètres, la tension de seuil des transistors avec et sans couche tampon, n'a pas une évolution totalement différente au cours du temps en fonction

des conditions de stockage. En effet, celle-ci a tendance à se déplacer vers les potentiels de grille négatifs, quelles que soient les conditions de stockage et en présence ou non de la couche de fluorure de calcium (Figure 24) et quel que soit le sens de polarisation de la grille, à l'exception du transistor sans couche tampon stocké sous vide pour lequel elle reste stable.

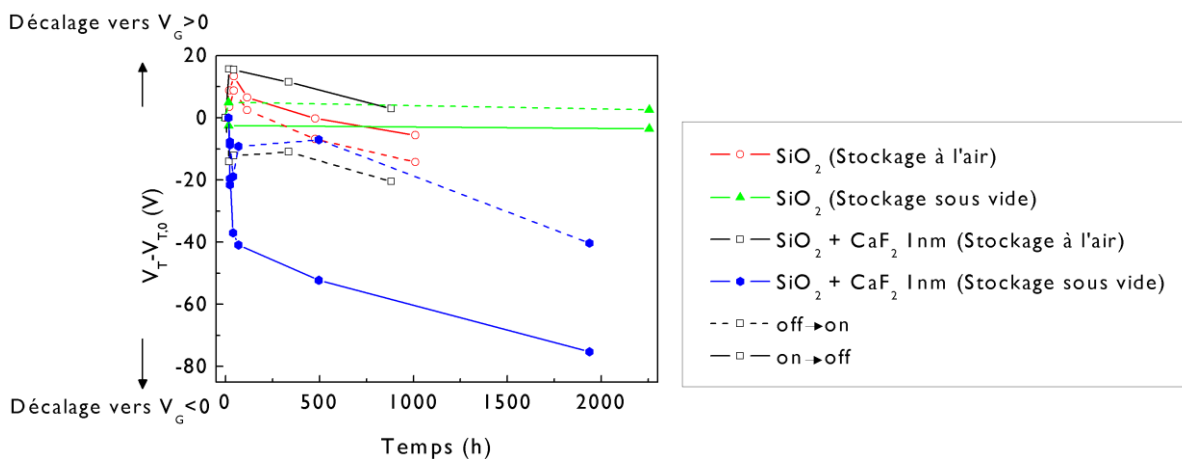


Figure 24 : Evolution au cours du temps de la tension de seuil par rapport à sa valeur initiale, $V_{T,0}$, des transistors avec et sans couche tampon, en fonction des conditions de stockage des échantillons. (Formes pleines : stockage sous vide, formes vides : stockage à l'air) et du sens de polarisation de la grille (trait continu : de l'état on vers off, trait discontinu : de l'état off vers on).

2.3.3.1 Stockage sous vide

Lorsque les dispositifs sont stockés sous vide, la tension de seuil du transistor ayant une couche tampon ne suit pas le même comportement que celle du transistor en étant dépourvu. En effet, alors qu'elle reste stable pour le transistor sans couche tampon dans les deux sens de polarisation de la grille, elle se décale vers les tensions de grille négatives dans le dispositif ayant une couche de fluorure de calcium. Mais l'origine de ce décalage de la tension de seuil vers les potentiels de grille négatifs n'est pas la même en fonction du sens de polarisation de la grille. En effet, on a vu dans le paragraphe 2.1.5.1 que la caractéristique de transfert d'un transistor mesurée de son état passant vers son état bloquant peut être affectée par un piégeage des trous circulant dans le canal, ce qui entraîne un décalage de la tension de seuil vers les potentiels de grille négatifs. A l'inverse, la caractéristique de transfert mesurée de l'état bloquant vers l'état passant peut, elle, être affectée par un piégeage d'électrons durant l'état bloquant qui entraîne un décalage de la tension de seuil vers les potentiels de grille positifs.

Or, dans le transistor ayant une couche tampon, la tension de seuil se décale vers les potentiels de grille négatifs quel que soit le sens de polarisation de la grille. Lorsque le transistor est mesuré de son état on vers son état off, ce décalage peut être interprété par un piégeage plus important des trous circulant dans le canal. Par contre, mesurée dans le sens inverse, la tension de seuil n'est normalement pas affectée par ce type de pièges. Une explication permet, toutefois, d'interpréter ce décalage. En effet, sous l'effet du stockage sous

vide, une désorption des impuretés dopant la couche de pentacène peut avoir lieu. Or, ce dopage peut être la cause d'une tension de seuil positive. Ainsi la désorption d'espèces dopant la couche de pentacène, dans le transistor avec une couche tampon, peut être une explication au décalage de la tension de seuil vers les potentiels de grille négatifs. Ce décalage affecte les caractéristiques de transfert mesurées dans les deux sens de polarisation. Par conséquent, le décalage observé de la tension de seuil vers les potentiels négatifs, lors de la mesure du transistor de son état on vers son état off, peut être interprété par une diminution du dopage de la couche de pentacène au cours du temps. Lors de la mesure du transistor de son état on vers son état off, un piégeage de trous est par ailleurs, possible. Le décalage observé, plus important, peut donc matérialiser un dopage moins important au cours du temps de la couche de pentacène combiné avec un piégeage des trous circulant dans le canal.

2.3.3.2 Stockage à l'air

Stockés à l'air, les transistors avec et sans couche tampon ont le même comportement à long terme. En effet, dans les deux cas, la tension de seuil se décale vers les potentiels de grille négatifs. Cependant, on a vu que la diffusion d'humidité au niveau des joints de grains de la couche de pentacène, peut être la cause d'un piégeage des trous circulant dans le canal [24]. On a aussi vu qu'un tel phénomène affecte uniquement la courbe de transfert mesurée de l'état passant vers l'état bloquant du transistor. Mais, si le piégeage est irréversible, les trous restent piégés entre deux mesures. Le décalage de la tension de seuil est, alors, permanent et peut ainsi, affecter les caractéristiques de transfert mesurées dans les deux sens de polarisation de grille.

2.3.4 Hystérésis

Comme pour la mobilité et le rapport I_{on}/I_{off} , l'amplitude de l'hystérésis évolue d'une manière totalement différente en fonction des conditions de stockage des transistors avec et sans couche tampon (Figure 25).

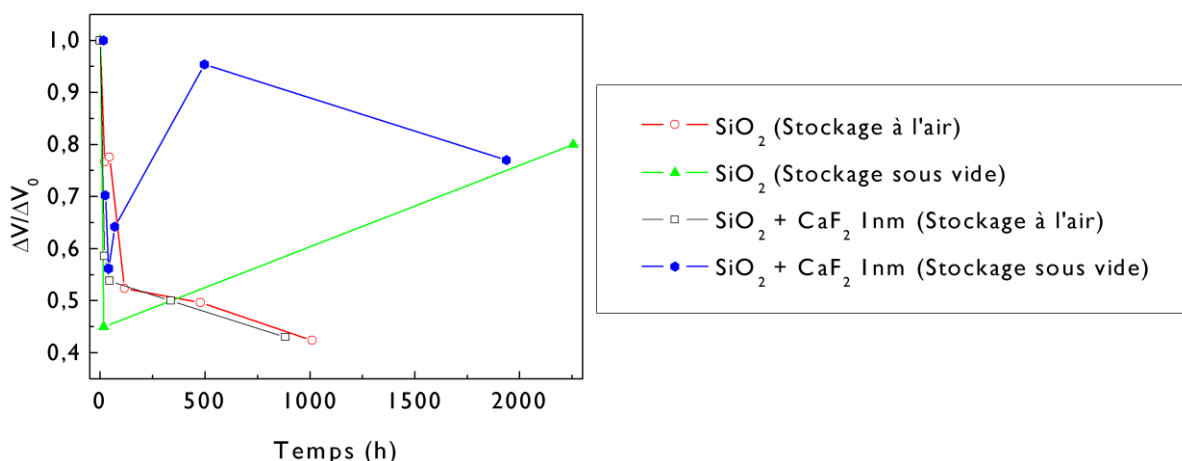


Figure 25 : Evolution au cours du temps de l'amplitude de l'hystérésis par rapport à son amplitude initiale des transistors avec et sans couche tampon, en fonction des conditions de stockage des échantillons. (Formes pleines : stockage sous vide, formes vides : stockage à l'air).

2.3.4.1 Stockage sous vide

L'amplitude de l'hystérésis, lorsque les transistors sont stockés sous vide, suit à peu près la même trajectoire dans les dispositifs avec et sans couche tampon. En effet, dans les deux cas, celle-ci diminue fortement durant les premières heures de stockage, puis augmente par la suite sans toutefois atteindre sa valeur initiale. Ainsi, comme l'origine de l'hystérésis dans ces transistors semble être liée à un piégeage des porteurs de charges à l'interface entre le diélectrique et le semi-conducteur, tout porte à croire que le piégeage diminue durant les premières heures de stockage avant d'augmenter à nouveau. La forte diminution observée durant les premières heures pourrait être liée à une désorption de l'humidité et de l'oxygène adsorbés dans la couche de pentacène. Ces deux espèces étant connues pour activer le piégeage des porteurs de charges, on peut donc s'attendre à ce que le stockage sous vide diminue la quantité de ces espèces et permet donc de diminuer le nombre de porteurs de charges piégés et donc l'amplitude de l'hystérésis. Cependant, une telle hypothèse, si elle permet d'expliquer la diminution observée de l'hystérésis, ne fonctionne pas ici, car une diminution similaire est observée lorsque les transistors sont stockés à l'air. De plus, dans ce cas, l'amplitude de l'hystérésis ne devrait pas augmenter par la suite. A ce stade de la discussion, il paraît donc difficile d'interpréter l'origine de l'évolution de l'amplitude de l'hystérésis lorsque les dispositifs sont stockés sous vide.

2.3.4.2 Stockage à l'air

Lorsque les dispositifs sont stockés à l'air, l'amplitude de l'hystérésis évolue strictement de la même manière dans le transistor avec une couche tampon, que dans celui en étant dépourvu (Figure 25). Durant les 100 premières heures de vie du transistor, l'amplitude de l'hystérésis diminue fortement (de l'ordre de 50 %) par rapport à l'amplitude initiale, puis au fur et à mesure du vieillissement du transistor, celle-ci continue à diminuer mais beaucoup

plus lentement. Elle diminue de 10 % supplémentaires après 1000 h de stockage. Or on a vu dans le paragraphe 2.2.5 que l'origine de l'hystérésis dans ces dispositifs semble être un piégeage des porteurs de charges à l'interface entre le semi-conducteur et le diélectrique. Par conséquent une diminution de l'amplitude de l'hystérésis semble signifier que le piégeage des porteurs de charges diminue au cours du temps. Ceci va à l'encontre de ce qui est en général observé dans la littérature. En effet, l'humidité et l'oxygène de l'air sont connus pour activer les pièges à électrons présents sur la surface du diélectrique (cf. chapitre 1 paragraphe 2.2.4), ce qui conduit donc à une augmentation de l'amplitude de l'hystérésis lorsque les dispositifs sont exposés à l'air (cf. chapitre 1 paragraphe 6.3.1.2). Dans les transistors étudiés, ici, il semble se passer exactement le contraire, l'exposition à l'humidité et à l'oxygène de l'air semble inhiber les pièges responsables de l'hystérésis. Dans les dispositifs stockés sous vide, la même diminution de l'amplitude de l'hystérésis est observée durant les premières heures de vie des transistors, mais celle-ci augmente à nouveau par la suite, ce qui est significatif d'un piégeage à nouveau plus important des porteurs de charges.

De plus, l'évolution de l'amplitude de l'hystérésis étant la même dans le transistor avec une couche de fluorure de calcium, que dans celui sans cette couche, on peut penser que l'évolution du piégeage des porteurs de charges conduisant à l'hystérésis ne dépend pas de la nature de l'interface entre le semi-conducteur et le diélectrique et donc de la présence ou non de groupements polaires sur la surface du diélectrique de grille (cf. paragraphe 1.3.1.2). Par conséquent, la quantité de groupements polaires présents initialement sur la surface du diélectrique ne semble pas affecter l'évolution de l'amplitude de l'hystérésis lors du vieillissement à l'air des dispositifs.

2.3.5 Conclusion

Cette partie a permis de mettre en avant les effets des conditions de stockage sur le vieillissement des transistors à base de pentacène avec et sans couche tampon. De manière générale, les deux types de dispositifs vieillissent de la même façon en fonction de leurs conditions de stockage. La présence de la couche de fluorure de calcium va juste jouer un rôle sur l'ampleur des phénomènes observés.

Ainsi, lorsque les transistors (avec et sans couche tampon) sont stockés sous vide, autrement dit, lorsqu'une désorption des espèces contenues dans la couche de pentacène, comme l'humidité, par exemple, est possible, une augmentation de la mobilité ainsi que du rapport I_{on}/I_{off} est observée. Durant les premières heures de vie des dispositifs, l'augmentation de la mobilité semble être la conséquence d'une amélioration du transport de charges sous l'effet de la désorption des espèces contenues dans la couche de pentacène. Cette amélioration coïncide, dans le temps, avec une diminution de l'amplitude de l'hystérésis qui est synonyme d'un piégeage moins important des porteurs de charges à l'interface entre le diélectrique et le semi-conducteur. Ainsi, l'amélioration du transport de charges dans le canal semble être liée à un piégeage moins important des porteurs de charges

à l'interface diélectrique-semi-conducteur. Par la suite, la mobilité reste à peu près stable alors que l'amplitude de l'hystérésis augmente, ce qui montre qu'un piégeage plus important des porteurs de charges a de nouveau lieu, mais cette fois-ci sans affecter la qualité du transport de charges dans le canal. Ceci semble montrer que la nature des pièges entrant en jeu durant les premières heures de vie des dispositifs est différente de celle des pièges entrant en jeu par la suite. De plus, l'augmentation du rapport I_{on}/I_{off} ainsi que le décalage de la tension de seuil vers les potentiels de grille négatifs (pour le transistor ayant une couche tampon) semblent montrer que la désorption des espèces présentes dans la couche de pentacène initialement permet un dédopage de cette dernière.

Lorsque les transistors (avec et sans couche tampon) sont stockés à l'air, autrement dit lorsque la diffusion d'humidité et/ou d'oxygène à travers la couche de pentacène est possible, une diminution de la mobilité ainsi que du rapport I_{on}/I_{off} est observée, de même qu'un décalage de la tension de seuil vers les potentiels de grille négatifs (pour le transistor ayant une couche tampon). Ces éléments sont significatifs d'une dégradation du transport de charges dans le canal du transistor, probablement liée à un piégeage plus important des porteurs de charges sous l'effet de l'exposition à l'air. Mais étonnamment, cette dégradation de la qualité du transport de charges ne s'accompagne pas d'une augmentation de l'hystérésis qui au contraire diminue, ce qui est significatif d'un piégeage des porteurs de charges moins important.

Enfin, on a pu voir que la présence de la couche tampon de fluorure de calcium dans certains cas augmente les phénomènes observés. Ainsi la mobilité décroît de façon plus importante dans le transistor ayant cette couche, ce qui semble montrer que la diffusion d'espèces dégradant la mobilité est plus importante dans ce dispositif. De même l'augmentation du rapport I_{on}/I_{off} observée lorsque ce dispositif est stocké sous vide, est plus importante. La présence de la couche tampon induit aussi un décalage de la tension de seuil vers les potentiels de grille négatifs lorsque le transistor est stocké sous vide, alors que celle-ci reste stable lorsque le transistor en est dépourvu. Cette amplification du rapport I_{on}/I_{off} et ce décalage de la tension de seuil plus importants semblent montrer que le dopage initial de la couche de pentacène est plus important dans le transistor ayant une couche tampon. Par contre, le fait que la présence de la couche tampon de fluorure de calcium n'engendre pas une évolution différente de l'amplitude de l'hystérésis lorsque les dispositifs sont stockés à l'air semble montrer que, si celle-ci est responsable d'un piégeage plus important des porteurs de charges (cf. paragraphe 2.2.5), l'évolution de la quantité de porteurs de charges piégés ne dépend pas elle de la nature de l'interface entre le diélectrique et le semi-conducteur et plus particulièrement de la polarité des groupements qui y sont présents.

2.4 Encapsulation par CaF₂

Afin de déterminer le comportement du fluorure de calcium vis-à-vis de l'exposition à l'humidité et à l'oxygène de l'air, un transistor à base de pentacène sur oxyde de silicium a été réalisé avec une couche supérieure de CaF₂ de 300 nm afin d'encapsuler la couche de pentacène. Le vieillissement à l'air de ce dispositif a ensuite été suivi au cours du temps et comparé avec un transistor similaire non encapsulé.

2.4.1 Mobilité

On a vu dans la partie précédente que la mobilité d'un transistor à base de pentacène sur oxyde de silicium se dégrade au contact de l'air (cf. paragraphe 2.3.1.2). L'ajout d'une couche de fluorure de calcium comme encapsulant semble protéger dans un premier temps ce dispositif (Figure 26). En effet, la mobilité reste à peu près stable durant les 150 premières heures de vie du transistor, voire même augmente légèrement, mais celle-ci se met à diminuer par la suite. Ainsi, il semblerait que dans un premier temps la couche de fluorure de calcium constitue une barrière efficace à la diffusion de l'humidité et/ou de l'oxygène de l'air à travers la couche de pentacène. Toutefois, au bout de 150 h, la dégradation de la mobilité observée semble montrer qu'à partir d'une semaine, la couche de fluorure de calcium laisse passer les contaminants de l'air.

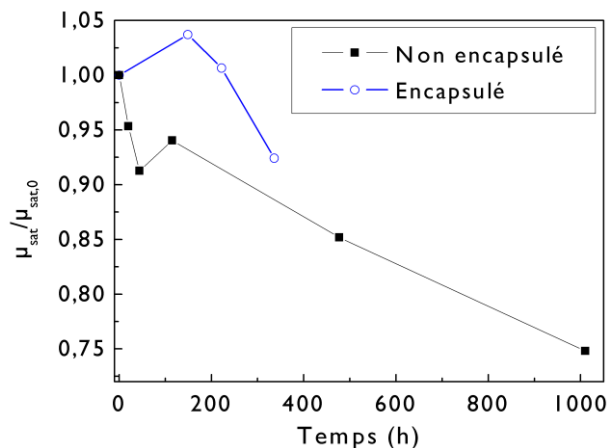


Figure 26 : Evolution au cours du temps de la mobilité mesurée dans le régime de saturation par rapport à sa valeur initiale de transistors à base de pentacène : encapsulé par une couche de fluorure de calcium (ronds bleus vides) et non encapsulé (carrés noirs pleins).

2.4.2 Rapport I_{on}/I_{off}

On vient de voir que l'ajout d'une couche de fluorure de calcium comme encapsulant d'un transistor à base de pentacène n'empêche pas à long terme une dégradation de la mobilité. Il n'en est pas de même du point de vue du rapport I_{on}/I_{off} (Figure 27). En effet, alors que ce rapport diminue au cours du temps lorsque le transistor n'est pas encapsulé, celui-ci augmente lorsque le transistor est encapsulé, ce qui semble montrer que non seulement la

couche de CaF_2 protège le dispositif des espèces dégradant initialement le rapport $I_{\text{on}}/I_{\text{off}}$ mais en plus, permet d'améliorer ce rapport au cours du temps. Cette augmentation du rapport $I_{\text{on}}/I_{\text{off}}$ est essentiellement causée par une diminution du courant à l'état bloquant, le courant on étant lui assez stable. Or, on a vu que le courant off est lié à la présence de charges résiduelles dans la couche de pentacène qui rendent possible le passage d'un courant entre la source et le drain, alors que le transistor est dans son état bloquant (cf. paragraphe 2.1.3.1). Par conséquent, il semblerait que la couche d'encapsulation de fluorure de calcium, en diminuant le courant off, permet de diminuer la quantité de charges résiduelles présentes dans le canal du transistor durant son état bloquant. En prenant pour hypothèse que ces charges résiduelles sont liées à la présence d'humidité dans la couche de pentacène (un tel phénomène est possible car les dispositifs sont exposés à l'air durant leur fabrication avant d'être encapsulés), la nature hygroscopique du fluorure de calcium peut expliquer cette diminution du courant off. En effet, celui-ci peut attirer et absorber les molécules d'eau présentes dans la couche de pentacène, ce qui se traduit par une diminution du courant off.

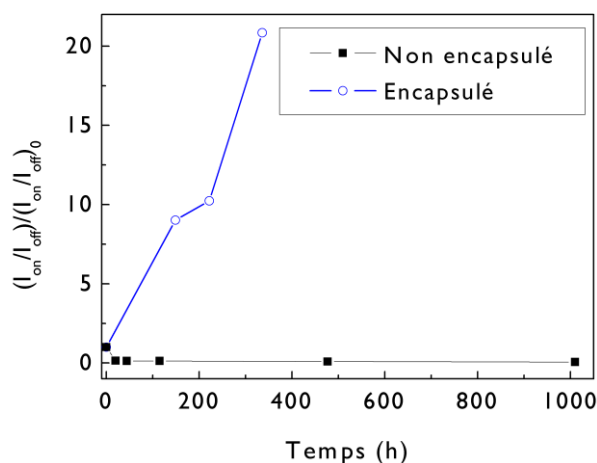


Figure 27 : Evolution au cours du temps du rapport $I_{\text{on}}/I_{\text{off}}$ par rapport à sa valeur initiale de transistors à base de pentacène : encapsulé par une couche de fluorure de calcium (ronds bleus vides) et non encapsulé (carrés noirs pleins).

2.4.3 Tension de seuil

Tout comme la mobilité, la tension de seuil du transistor encapsulé suit la même évolution à long terme que celle du transistor non encapsulé (Figure 28). En effet, si le décalage vers les tensions de grille positives durant les 100 premières heures de vie du transistor semble supprimé par l'ajout de la couche de CaF_2 , à long terme, un décalage de la tension de seuil vers les potentiels de grille négatifs est tout de même observé comme c'est le cas dans le transistor non encapsulé.

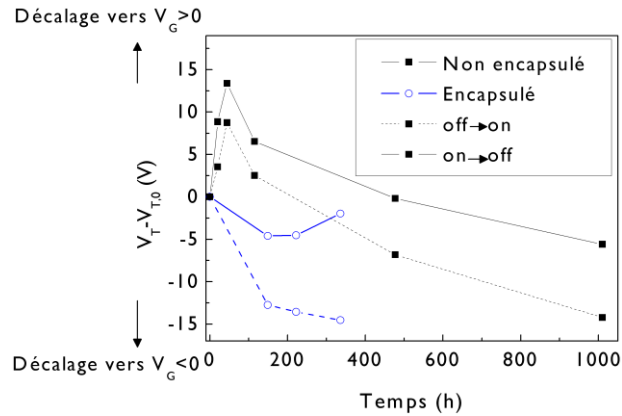


Figure 28 : Evolution au cours du temps de la tension de seuil par rapport à sa valeur initiale de transistors à base de pentacène : encapsulé par une couche de fluorure de calcium (ronds bleus vides) et non encapsulé (carrés noirs pleins).

2.4.4 Hystérésis

Du point de vue de l'hystérésis, l'ajout de la couche de fluorure de calcium comme encapsulant semble n'avoir aucune influence sur son évolution au cours du temps. En effet, l'amplitude de l'hystérésis diminue au cours du temps dans le transistor encapsulé comme dans le dispositif non encapsulé (Figure 29). Ainsi, la couche de fluorure de calcium ne semble pas protéger le transistor de l'adsorption des espèces responsables de la diminution de l'hystérésis au cours du temps.

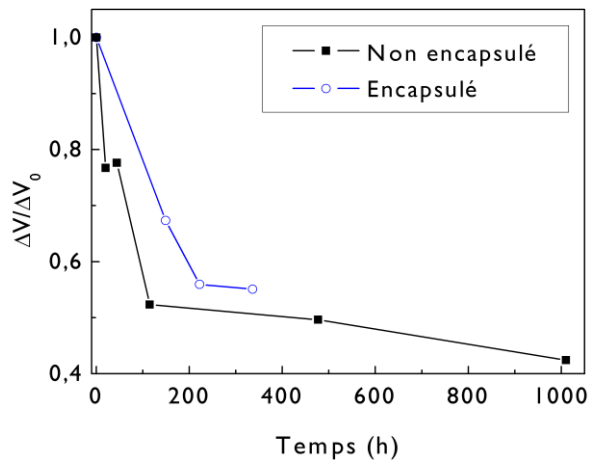


Figure 29 : Evolution au cours du temps de l'amplitude de l'hystérésis par rapport à sa valeur initiale de transistors à base de pentacène : encapsulé par une couche de fluorure de calcium (ronds bleus vides) et non encapsulé (carrés noirs pleins).

2.4.5 Conclusion

L'emploi du fluorure de calcium semble avoir un impact limité sur la dégradation des paramètres de notre transistor à base de pentacène. En effet, si celui-ci permet de maintenir stable la mobilité de ce dispositif dans un premier temps, au bout de 200 h, celle-ci se

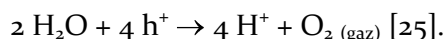
dégrade tout de même. De même, l'évolution de la tension de seuil et de l'hystérésis de ce dispositif ne semble pas modifiée par l'encapsulation par le fluorure de calcium. Ainsi, il apparaît que le fluorure de calcium ne constitue pas un encapsulant efficace, notamment vis-à-vis de l'humidité et de l'oxygène de l'air qui semblent être responsables des modifications observées dans les transistors à base de pentacène lorsqu'ils sont exposés à l'air.

2.5 Dérive sous champ

Afin de confirmer ou d'infirmer les informations récoltées à partir de l'étude du vieillissement à l'air de nos dispositifs, une étude de vieillissement sous champ a été menée. Une telle étude consiste à mesurer les variations de la tension de seuil lorsque le transistor est soumis à un champ électrique de grille continu pendant plusieurs jours. Deux transistors à base de pentacène, l'un ayant une couche tampon de CaF_2 de 1 nm, l'autre pas, ont ainsi été soumis à un potentiel de grille continu pendant 110 h à l'exception du temps durant lequel les mesures des caractéristiques de transfert ont été effectuées. Les polarisations appliquées sur la grille durant le stress ont été choisies afin que les transistors soient dans leurs états passant ($V_G = -80$ V) et bloquant ($V_G = +80$ V). La tension de drain est maintenue à 0 V pendant toute la durée du stress.

2.5.1 Stress à l'état passant ($V_G = -80$ V)

La Figure 30 montre l'évolution des caractéristiques de transfert mesurées en régime de saturation d'un transistor avec et sans couche tampon. On peut voir clairement que sous l'effet de la tension de stress négative, la courbe de transfert de ces transistors se décale vers les tensions de grille négatives que le transistor ait une couche tampon ou pas. Un tel décalage est significatif comme pour les hystérésis tournant dans le sens des aiguilles d'une montre, d'un piégeage des porteurs de charges à l'interface entre l'isolant et le semi-conducteur (cf. chapitre 1, paragraphe 6.3.2). L'origine de ce décalage reste encore à éclaircir. Plusieurs mécanismes sont évoqués dans la littérature pour expliquer ce phénomène. On peut, toutefois, citer, par exemple, les travaux de Sharma *et al.* pour lesquels le décalage observé est occasionné par la déprotonation de l'eau lorsque l'étude de vieillissement sous contrainte électrique est réalisée à l'air. Ainsi lorsque le transistor est soumis à une tension de stress négative, les trous accumulés dans le canal sous l'effet de ce potentiel, peuvent réagir avec les molécules d'eau présentes près de l'interface entre l'oxyde et le semi-conducteur et former des protons selon la réaction suivante :



Ces protons peuvent alors soit se reconvertir en trous ($2 \text{H}^+ \rightarrow 2 \text{h}^+ + \text{H}_2 (\text{gaz})$), soit diffuser dans l'oxyde, en auquel cas les trous se retrouvent alors piégés et ne vont plus pouvoir participer au courant dans le canal. Il faudra dès lors appliquer un potentiel négatif plus fort afin d'accumuler la même quantité de trous dans le canal [25].

On peut aussi noter que le décalage observé des courbes de transfert ne consiste en réalité qu'en une translation de la courbe initiale. Par conséquent la mobilité ne semble affectée par le stress électrique. Un tel comportement est largement rapporté dans la littérature [26, 27].

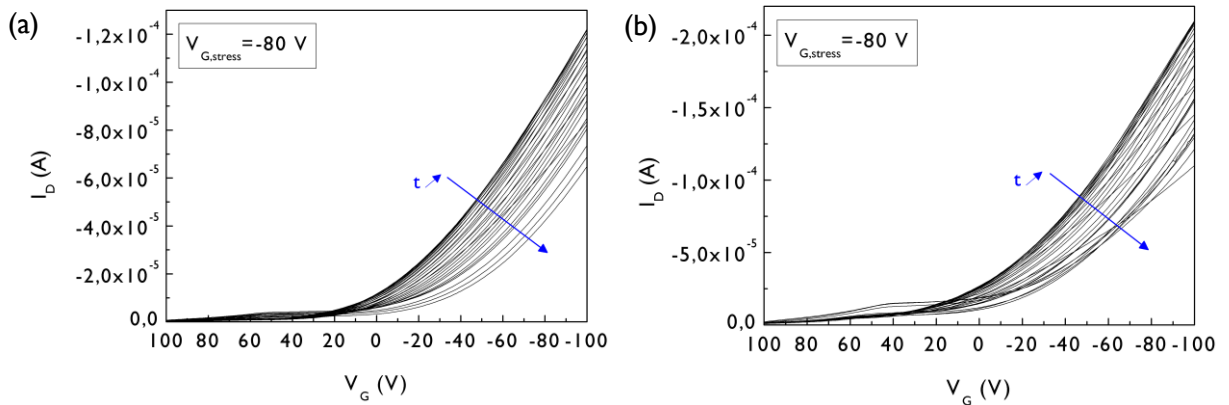


Figure 30 : Evolution des caractéristiques de transfert en régime de saturation d'un transistor à base de pentacène sans (a) et avec couche tampon (b), pendant un stress en V_G de -80 V de 110 h.

Enfin, quelle que soit l'origine du décalage observé, on peut remarquer que celui-ci a lieu dans le même sens que le transistor ait une couche tampon ou non. Par conséquent, les mêmes phénomènes doivent être à l'origine de ce décalage dans les deux dispositifs.

2.5.2 Stress à l'état bloquant ($V_G = +80$ V)

Lorsque les transistors sont soumis à une tension de stress positive, donc dans leur état passant, leurs caractéristiques de transfert se déplacent vers les potentiels de grille positifs que le transistor ait une couche tampon ou non (Figure 31).

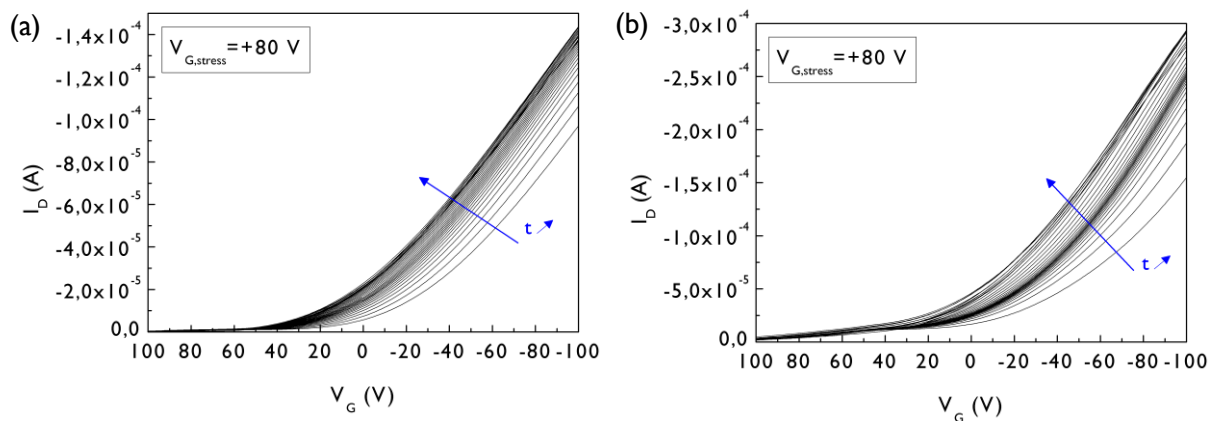


Figure 31 : Evolution des caractéristiques de transfert en régime de saturation d'un transistor à base de pentacène sans (a) et avec couche tampon (b), pendant un stress en V_G de $+80$ V de 110 h.

Comme pour le vieillissement sous tension de grille négative, le décalage observé durant un stress par une tension positive est soumis à plusieurs interprétations. On peut citer par exemple, les travaux de Debucquoy *et al.* pour lesquels le décalage observé vers les potentiels de grille positifs serait lié à un piégeage d'électrons par les groupements hydroxyles présents

à l'interface entre l'oxyde et le pentacène [28], sous l'effet du champ électrique créé par la polarisation positive de la grille. Mais, comme dans le cas des hystérésis, ceux-ci restent piégés durant la mesure du transistor, générant ainsi un champ électrique supplémentaire à celui imposé par la grille, permettant ainsi une accumulation plus importante de trous. Par conséquent le potentiel à appliquer sur la grille pour avoir la même quantité de trous circulant dans le canal devra être plus faible, ce qui entrainera donc un décalage des courbes vers les tensions de grille positives.

Comme pour le stress à l'état passant, on peut remarquer que le décalage des caractéristiques de transfert consiste en réalité en une translation de ces dernières sans changements de forme. Par conséquent, la mobilité ne semble pas non plus affectée par ce type de stress.

De même, on peut noter que ce décalage a lieu dans la même direction que le transistor ait une couche tampon ou non. Par conséquent, comme pour le stress par une tension de grille négative, le décalage observé doit avoir les mêmes origines dans le dispositif avec une couche tampon que dans celui en étant dépourvu.

2.5.3 Ajustement des courbes d'évolution de la tension de seuil en fonction du temps

L'étude de l'évolution des caractéristiques de transfert au cours du stress, nous a permis de mettre en avant des comportements différents en fonction de l'état dans lequel est le transistor durant le stress. Toutefois, afin de pouvoir comparer les transistors avec et sans couche tampon, il convient de tracer, l'évolution du décalage de la tension de seuil en fonction du temps (Figure 32).

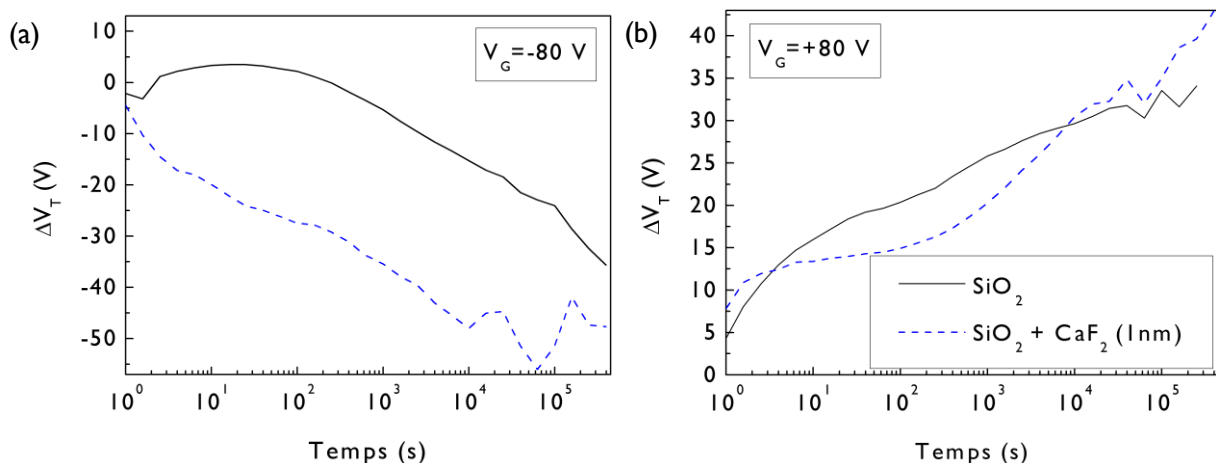


Figure 32 : Décalage de la tension de seuil en fonction du temps pour un transistor à base de pentacène sans couche tampon (trait noir continu) et avec couche tampon (trait bleu discontinu) pour un stress en V_G de -80 V (a) et $+80$ V (b).

On peut remarquer que si le décalage des caractéristiques de transfert a bien lieu dans la même direction dans les transistors avec et sans couche tampon, celui-ci est 2 fois plus important lors du stress par une tension de grille négative dans le transistor avec une couche tampon. Si on prend l'hypothèse que ce décalage est causé par la déprotonation de l'eau présente entre le diélectrique et le semi-conducteur (cf. paragraphe 2.5.1), une plus grande quantité de protons est formée dans le transistor ayant une couche tampon, ce qui peut signifier qu'une grande quantité d'humidité est présente dans ce dispositif.

Lors du stress à l'état bloquant ($V_G = +80$ V), le décalage est sensiblement le même dans les deux dispositifs, ce qui peut signifier que le mécanisme à l'origine de ce décalage n'est pas sensible à la polarité et aux groupements chimiques présents sur la surface du diélectrique.

En règle générale, les courbes de vieillissement sous contrainte électrique peuvent être décrites par une fonction exponentielle étirée (« stretched exponential » en anglais) dont l'équation est de la forme :

$$\Delta V_T(t) = (V_{G, stress} - V_{T, initiale}) \left\{ 1 - \exp \left(- \left(\frac{t}{\tau} \right)^\beta \right) \right\} \quad (22)$$

où $\Delta V_T(t)$ est le décalage engendré par le stress électrique, $V_{G, stress}$ est la tension à laquelle est effectué le stress, $V_{T, initiale}$ est tension de seuil mesurée avant le début du stress, τ est un temps de relaxation et β est un facteur exponentiel compris entre 0 et 1. Ryu *et al.* ont montré qu'au bout d'un certain temps cette fonction sature et que le ΔV_T de saturation est directement lié à la densité de sites pièges dans le canal du transistor [29]. Ainsi, en faisant corrélérer cette fonction avec les données expérimentales issues de nos transistors, on peut directement comparer les densités de sites pièges dans le transistor ayant une couche tampon et dans celui n'en ayant pas. Toutefois, seule la courbe obtenue lors du stress à l'état passant du transistor sans couche tampon peut être approchée par une exponentielle étirée (Figure 33). Les paramètres τ et β obtenus à partir de cet ajustement (2.10^4 s et 0,45) sont proches de ceux rapportés dans la littérature [27, 29].

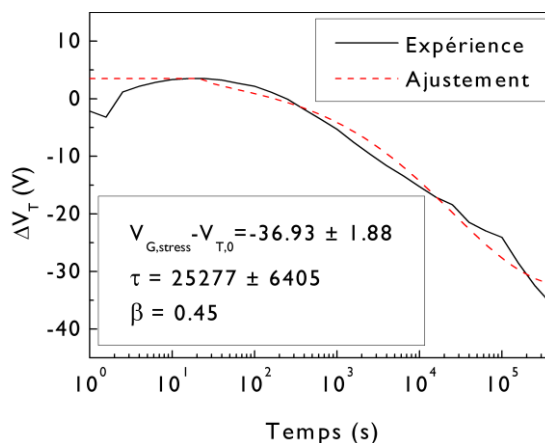


Figure 33 : Ajustement de la courbe représentant le décalage de la tension de seuil en fonction du temps sous l'effet d'une tension de stress négative ($V_G = -80$ V) par une exponentielle étirée du transistor sans couche tampon.

Les autres courbes présentent une allure trop différente d'une exponentielle étirée pour être ajustée par une telle fonction. On peut donc penser que plusieurs mécanismes interviennent dans le piégeage des charges dans les transistors ayant une couche tampon de CaF_2 . Ces mécanismes complexifient alors la courbe obtenue qui ne peut plus ainsi être ajustée par une simple exponentielle étirée.

2.5.4 Conclusion

L'étude du vieillissement sous contrainte électrique des transistors avec et sans couche tampon a permis de mettre en évidence un comportement similaire des dispositifs sous l'effet d'un potentiel de grille continu. En effet, un décalage des caractéristiques de transfert dans la même direction est observé dans les transistors avec et sans couche tampon, que ce soit lors d'un stress dans leur état passant, ou lors d'un stress dans leur état bloquant. On peut donc supposer que les mêmes phénomènes sont à l'origine de ces décalages dans les deux dispositifs. Toutefois, l'intensité de ces phénomènes n'est pas la même dans les deux types de transistor. En effet, si un décalage similaire est observé lors d'un stress par une tension de grille positive, lors d'un stress par un potentiel de grille négatif, le décalage observé dans le transistor avec une couche tampon est deux fois plus important que dans celui en étant dépourvu. Par conséquent, si le décalage est causé par un piégeage des porteurs de charges, deux fois plus de porteurs sont piégés à l'interface entre le diélectrique et le pentacène lorsque la couche tampon de fluorure de calcium est présente. Ainsi, le piégeage des porteurs de charges à l'origine du déplacement des caractéristiques de transfert lors d'un stress par une tension de grille négative est sensible à la polarité et à la composition chimique de la surface du diélectrique. A l'inverse, lors d'un stress par une tension de grille positive, le décalage étant similaire, on peut penser que le phénomène qui en est la cause, y est insensible.

2.6 Conclusion

Cette seconde partie de chapitre a consisté à évaluer l'influence de l'ajout d'une couche tampon de fluorure de calcium sur le fonctionnement de transistors à base de pentacène. Tout d'abord, une étude des caractéristiques C-V d'une structure MIS ayant une telle couche tampon a mis en évidence qu'un piégeage deux fois plus important, des porteurs de charges a lieu dans cette structure à l'interface entre la couche tampon et le pentacène.

Ensuite, une comparaison des performances des transistors, mesurés juste après fabrication, a permis de mettre en avant des comportements différents en fonction de l'épaisseur de la couche tampon. Ainsi, alors qu'une couche de 1 nm de fluorure de calcium n'induit pas de modifications importantes au niveau du comportement général des transistors, lorsque l'épaisseur de cette couche est augmentée jusqu'à 5 nm, il n'en est pas de même. En effet, la mauvaise organisation de la couche de pentacène dans ces dispositifs

semble être responsable d'un mauvais transport de charges, qui se traduit par une faible mobilité ainsi qu'une non modulation du courant circulant entre la source et le drain par l'électrode de grille. Toutefois, si la couche de 1 nm n'induit pas de modifications fondamentales au niveau du fonctionnement du transistor, elle amplifie les phénomènes observés dans les transistors sans couche tampon. En effet, si la mobilité dans ces dispositifs est similaire à celle des transistors sans couche tampon du fait d'une organisation semblable de la couche de pentacène, la tension de seuil V_{th} est nettement plus positive, de même l'amplitude de l'hystérésis ΔV_{th} est plus importante, ce qui tendrait à montrer un piégeage plus important des porteurs de charges dans ces dispositifs. Ainsi, malgré, une possible passivation partielle des groupements polaires présents sur la surface de l'oxyde de silicium, un piégeage plus important des porteurs de charges (probablement des électrons) a tout de même lieu à l'interface entre le pentacène et le fluorure de calcium.

L'étude du vieillissement de ces transistors sous différentes atmosphères de stockage (sous vide et à l'air) a ensuite été réalisée. D'une manière générale, le stockage sous vide permet une amélioration des différents paramètres, à l'exception de l'hystérésis, alors que le stockage à l'air engendre, lui, une dégradation des performances au niveau tout aussi bien des transistors avec une couche tampon que dans ceux en étant dépourvu. Ainsi, lors d'un stockage sous vide, une désorption des espèces adsorbées dans la couche de pentacène est possible, ce qui se traduit par une augmentation de la mobilité ainsi que du rapport I_{on}/I_{off} , un décalage de la tension de seuil vers les potentiels de grille négatifs. A l'inverse, lors d'un stockage à l'air, une diffusion de l'humidité et de l'oxygène de l'air à travers la couche de pentacène est possible ce qui a pour effet de dégrader le transport de charges dans le canal, ce qui se traduit par une diminution de la mobilité et du rapport I_{on}/I_{off} ainsi qu'un décalage de la tension de seuil vers les potentiels de grille négatifs. Le stockage à l'air des dispositifs se traduit par contre, par une diminution de l'amplitude de l'hystérésis ce qui semble montrer que la quantité de porteurs de charges piégés diminue au cours du temps.

La couche tampon de fluorure de calcium a un impact variable sur les variations des différents paramètres des transistors lors des différents stockages. En effet, cette couche est à l'origine d'une dégradation plus importante de la mobilité du transistor stocké à l'air, ainsi qu'une amplification plus importante du rapport I_{on}/I_{off} et d'un décalage de la tension de seuil vers les potentiels de grille négatifs plus important, lorsque le transistor est stocké sous vide. Ceci semble montrer que la diffusion de l'humidité et/ou de l'oxygène est plus importante sous l'effet de la couche tampon et qu'initialement un nombre plus important d'impuretés est présent dans la couche de pentacène de ces transistors. Par contre, l'amplitude de l'hystérésis a la même évolution que dans le transistor sans couche tampon, ce qui semble montrer que l'évolution de l'hystérésis ne dépend pas de l'interface entre l'isolant et le semi-conducteur.

Les propriétés d'encapsulation du fluorure de calcium ont ensuite été étudiées. L'impact d'une telle couche semble limité car si une certaine stabilité de la mobilité est observée

durant les premières heures de vie du transistor, celle-ci se dégrade par la suite. De plus, l'évolution de la tension de seuil et de l'hystérésis n'est pas modifiée par rapport à un transistor non encapsulé, ce qui tend à montrer que la couche de fluorure de calcium laisse passer les espèces responsables de ces modifications.

Une étude du vieillissement sous champ des transistors avec et sans couche tampon a, enfin, été menée. Là, encore, la couche tampon de fluorure de calcium n'induit pas une différence de comportement par rapport au dispositif en étant dépourvu. Les caractéristiques de transfert de ces transistors se décalent vers les tensions de grille négatives lors d'un stress par une tension de grille négative et vers les potentiels positifs pour un stress avec une tension positive. Toutefois, la couche de fluorure de calcium amplifie le décalage lors d'un stress par une tension négative. Par contre, lors d'un stress par une tension positive, les deux dispositifs ont le même comportement, ce qui semble montrer que dans ce cas, la nature de l'isolant n'influence pas le phénomène à l'origine du décalage.

Bibliographie

- [1] R. P. Lowndes, *J. Phys. C: Solid State Phys.* **2**, 1595 (1969).
- [2] S. Yu, M. Yi, and D. Ma, *Thin Solid Films* **516**, 3346 (2008).
- [3] C. Sire, *Propriétés électriques à l'échelle nanométrique des diélectriques dans les structures MIM et MOS.*, PhD thesis, Université Joseph Fourier, 2009.
- [4] T. Young, *Philos. Trans. R. Soc. London* **95**, 65 (1805).
- [5] D. K. Owens and R. C. Wendt, *J. Appl. Polym. Sci.* **13**, 1741 (1969).
- [6] D. H. Kaelble, *J. Adhes.* **2**, 66 (1970).
- [7] D. Quéré, *Images de la physique*, 239 (2005).
- [8] D. Janssen, R. De Palma, S. Verlaak, P. Heremans, and W. Dehaen, *Thin Solid Films* **515**, 1433 (2006).
- [9] G. W. Mbise, G. A. Niklasson, and C. G. Granqvist, *Solid State Commun.* **97**, 965 (1996).
- [10] K. Thompson, D. Luhman, and R. Hallock, *Surf. Sci.* **603**, 3249 (2009).
- [11] B. Stadlober, V. Satzinger, H. Maresch, D. Somitsch, A. Haase, H. Pichler, W. Rom, and G. Jakopic, *Proc. SPIE* **5217**, 112 (2003).
- [12] H. Yanagisawa, T. Tamaki, M. Nakamura, and K. Kudo, *Thin Solid Films* **464-465**, 398 (2004).
- [13] S. Y. Yang, K. Shin, and C. E. Park, *Adv. Funct. Mater.* **15**, 1806 (2005).
- [14] D. Gundlach, Y. Lin, T. Jackson, S. Nelson, and D. Schlom, *IEEE Electron Device Lett.* **18**, 87 (1997).
- [15] W.-Y. Chou, C.-W. Kuo, H.-L. Cheng, Y.-R. Chen, F.-C. Tang, F.-Y. Yang, D.-Y. Shu, and C.-C. Liao, *Appl. Phys. Lett.* **89**, 112126 (2006).
- [16] J. Park and J. S. Choi, *Journal of Information Display* **9**, 1 (2008).
- [17] M. Egginger, S. Bauer, R. Schwödiauer, H. Neugebauer, and N. Sariciftci, *Monatsh. Chem.* **140**, 735 (2009).
- [18] G. Paasch, S. Scheinert, A. Herasimovich, I. Hörselmann, and T. Lindner, *Phys. Status Solidi A* **205**, 534 (2008).
- [19] G. Gu, M. G. Kane, J. E. Doty, and A. H. Firester, *Appl. Phys. Lett.* **87**, 243512 (2005).
- [20] C. Ucurum, H. Goebel, F. A. Yildirim, W. Bauhofer, and W. Krautschneider, *J. Appl. Phys.* **104**, 084501 (2008).
- [21] D. Kumaki, T. Umeda, and S. Tokito, *Appl. Phys. Lett.* **92**, 093309 (2008).
- [22] D. Simeone, M. Rapisarda, G. Fortunato, A. Valletta, and L. Mariucci, *Org. Electron.* **12**, 447 (2011).
- [23] Y. Qiu, Y. Hu, G. Dong, L. Wang, J. Xie, and Y. Ma, *Appl. Phys. Lett.* **83**, 1644 (2003).
- [24] L. Mariucci, S. Cipolloni, D. Simeone, M. Cuscuna, L. Maiolo, A. Minotti, A. Pecora, A. Valletta, and G. Fortunato, *J. Korean Phys. Soc.* **54**, 505 (2009).
- [25] A. Sharma, S. G. J. Mathijssen, M. Kemerink, D. M. de Leeuw, and P. A. Bobbert, *Appl. Phys. Lett.* **95**, 253305 (2009).
- [26] T. H. Kim, C. G. Han, and C. K. Song, *Thin Solid Films* **516**, 1232 (2008).
- [27] S. Cipolloni, L. Mariucci, A. Valletta, D. Simeone, F. De Angelis, and G. Fortunato, *Thin Solid Films* **515**, 7546 (2007).

- [28] M. Debucquoy, S. Verlaak, S. Steudel, K. Myny, J. Genoe, and P. Heremans, *Appl. Phys. Lett.* **91**, 103508 (2007).
- [29] K. Ryu, I. Nausieda, D. He, A. Akinwande, V. Bulovic, and C. Sodini, *IEEE Trans. Electron Devices* **57**, 1003 (2010).

Conclusion générale

Cette thèse avait pour objectif d'étudier les phénomènes physiques se déroulant à l'interface entre l'isolant et le semi-conducteur dans un transistor à base de pentacène.

L'étude bibliographique du premier chapitre a permis de définir la problématique de cette thèse. Il apparaît ainsi, que l'interface entre le diélectrique et le semi-conducteur constitue une des zones les plus sensibles d'un transistor organique. En effet, c'est à cet endroit que se forme le canal du transistor. Cette interface est donc essentielle du point de vue du transport de charges. Dans une configuration transistor où le semi-conducteur est déposé sur le diélectrique, les propriétés de surface de l'isolant jouent alors un rôle prépondérant dans la qualité de ce transport de charges. Elles peuvent notamment, déterminer la morphologie du semi-conducteur et donc, influencer directement la mobilité des porteurs de charges. L'environnement électronique de cette interface est tout aussi important. La présence de dipôles joue ainsi, un rôle dans la stabilité de la tension de seuil. Mais le piégeage des charges à cette interface constitue l'élément le plus limitant de cette interface. En effet, les groupements hydroxyles et autres groupements polaires peuvent réagir avec les molécules d'eau et d'oxygène présentes dans le transistor. Ces groupements constituent, alors, des pièges pour les porteurs de charges circulant dans le canal. Si ces pièges ont une durée de vie élevée par rapport au temps de mesure du transistor, ils vont alors être responsables de phénomènes d'hystérésis dans les caractéristiques des transistors ainsi que d'une instabilité de la tension de seuil.

Ce chapitre a aussi permis de définir les caractéristiques les plus attendues d'un diélectrique de grille dans un transistor organique. Celui-ci doit présenter de bonnes qualités d'isolation (champ de claquage élevé, faibles courants de fuites) et avoir une forte permittivité tout en ayant une épaisseur assez faible afin de maximiser sa capacité. Il doit être déposé par une technique n'imposant pas des températures trop élevées ($< 150^{\circ}\text{C}$) afin d'être compatible avec les supports souples et la configuration grille haute. Sa surface doit être peu rugueuse. Elle doit être, de plus, hydrophobe afin de limiter la diffusion de l'humidité à son interface avec le semi-conducteur. Mais le point le plus important est qu'elle ne doit pas comporter de groupements hydroxyles ou d'autres groupements polaires susceptibles de piéger les porteurs de charges circulant dans le canal.

Notre stratégie a donc, tout d'abord, consisté à trouver un matériau isolant, facilement déposable par évaporation thermique sous vide, afin d'évaporer le diélectrique et le semi-conducteur dans la même enceinte sans rupture du vide. De cette manière, une interface isolant-semi-conducteur exempte de tout contact avec l'air peut être créée ce qui permet d'y limiter la présence d'impuretés. Le fluorure de calcium (CaF_2) permet de mettre en œuvre une telle approche. Ce matériau a la particularité de ne pas comporter sur sa surface de groupements hydroxyles qui sont sources de piégeage des porteurs de charges. Toutefois, la

rugosité de sa surface est dépendante de son épaisseur ce qui implique l'utilisation d'une couche de faible épaisseur. Une telle couche présente alors des courants de fuites assez élevés. Il a donc été décidé d'utiliser le fluorure de calcium en tant que couche tampon sur un oxyde de silicium plutôt qu'en tant qu'isolant de grille unique. En effet, de cette façon, la couche isolante combine les qualités d'isolation de l'oxyde de silicium aux propriétés de surface du fluorure de calcium, c'est-à-dire une surface exempte, en théorie, de groupements hydroxyles.

Le chapitre 2 a permis de définir l'architecture des transistors utilisée dans ces travaux et de développer leur technologie de fabrication. Etant donné que le fluorure de calcium a été utilisé comme une couche tampon sur de l'oxyde de silicium, une configuration grille haute était exclue, une configuration grille basse a donc été choisie. Au niveau des électrodes source et drain, l'architecture contact hauts a été préférée à la configuration contacts bas car les transistors dans cette configuration présentent des résistances de contact, trois ordres de grandeur inférieures à celles de l'architecture contacts bas. Cette configuration est, de plus, plus aisée à mettre en place. En effet, le dépôt des électrodes source et drain dans la configuration contacts bas nécessite plusieurs étapes de photolithographie, alors que dans la configuration contacts hauts, une seule étape d'évaporation à travers un masque par ombrage est suffisante. Un masque par ombrage original, à base de silicium micro-usiné, a ainsi été réalisé. Ce masque permet d'atteindre des longueurs de canal de l'ordre d'une dizaine de micromètres tout en maintenant la rigidité nécessaire à son utilisation. La faisabilité de contacts sources et drain par jet de matière a également été examinée de manière préliminaire. Cette étude présente des premiers résultats très intéressants avec notamment une mobilité des porteurs de charges équivalente à celle obtenue dans des transistors avec électrodes sources et drain en or, fabriquées de manière conventionnelle, c'est-à-dire par photolithographie et évaporation. Les dispositifs imprimés présentent toutefois, des résistances de contacts assez élevées. L'utilisation du jet de matière demandait, alors, un travail de développement important et trop éloigné du sujet de cette thèse, cette voie n'a donc pas été étudiée plus en profondeur.

Le troisième chapitre a permis de caractériser dans un premier temps, la structure et les propriétés électriques de la couche tampon de fluorure de calcium. Utilisée en tant que diélectrique de grille unique, cette couche présente un niveau de fuites de grille de l'ordre de 10^{-7} A/cm² ainsi qu'un champ de claquage assez élevé (4 MV/cm). Utilisé comme couche tampon sur l'oxyde de silicium, le fluorure de calcium ne modifie pas les caractéristiques électriques de l'oxyde étant données les faibles épaisseurs utilisées. La couche tampon modifie par contre, les propriétés de surface de la couche isolante. Si la rugosité de cette couche semble être la même en présence ou non de la couche tampon, l'énergie de sa surface est, elle, totalement modifiée. Elle diminue de 20 et 40 % pour respectivement les couches de

1 et 5 nm. Ceci n'est pas sans conséquence sur la croissance de la couche de pentacène. En effet, alors que celle-ci adopte une morphologie composée de gros grains bien ordonnés, ayant une croissance en terrasse aussi bien sur la couche de CaF_2 de 1 nm que sur l'oxyde ; sur la couche de 5 nm, celle-ci a une morphologie composée de petits grains désordonnés.

Les mesures électriques des transistors ont permis de mettre en avant plusieurs points intéressants. Le premier est que la morphologie de la couche de pentacène est déterminante vis-à-vis du transport de charges dans le canal du transistor. En effet, les couches de pentacène, bien ordonnées, des transistors sans couche tampon et avec une couche de fluorure de calcium de 1 nm permettent un bon transport de charges ce qui se traduit par une mobilité assez élevée (de l'ordre de $0,1 \text{ cm}^2/\text{Vs}$). A l'inverse, la couche désordonnée de pentacène dans les transistors ayant une couche tampon de 5 nm semble être à l'origine d'un mauvais transport de charges, ce qui se traduit par une faible mobilité ainsi que par la non-modulation du courant circulant dans le canal du transistor par l'électrode de grille.

Un autre point mis en avant, est que la présence moins importante de groupements polaires sur la surface du diélectrique ne se traduit pas forcément par une diminution du piégeage des porteurs de charges. En effet, nous avons montré dans ces travaux que l'ajout d'une couche de fluorure de calcium sur l'oxyde de silicium diminue la polarité de surface du diélectrique, ce qui peut être le signe d'un nombre plus faible de groupements polaires sur sa surface. Pourtant, les transistors ayant une couche tampon de fluorure de calcium présentent une tension de seuil plus positive ainsi qu'une hystérésis dans leur caractéristique de transfert d'une amplitude plus importante que les transistors sans couche tampon, ce qui est le signe d'un piégeage des porteurs de charges plus important.

L'étude du vieillissement des transistors sous différentes conditions de stockage (sous vide ou à l'air), a permis de confirmer l'hypothèse selon laquelle leurs performances étaient améliorées par un stockage sous vide alors qu'au contraire, elles se dégradent au contact permanent de l'air. En effet, lorsque les dispositifs ont été stockés sous vide, une augmentation de la mobilité des porteurs ainsi que du rapport $I_{\text{on}}/I_{\text{off}}$, un décalage de la tension de seuil vers les potentiels de grille négatifs ainsi qu'une diminution de l'amplitude de l'hystérésis ont été observés. Lorsque les dispositifs ont été stockés à l'air, une dégradation de la mobilité et du rapport $I_{\text{on}}/I_{\text{off}}$ a été observée, ce qui vient confirmer l'importance de l'air dans la dégradation des performances des transistors à base de pentacène lors de leur vieillissement.

La nature hygroscopique du fluorure de calcium joue un rôle dans la quantité d'humidité adsorbée dans la couche de pentacène. En effet, de par sa nature hygroscopique, le fluorure de calcium attire l'humidité de l'air. Une plus grande quantité d'humidité est alors présente dans la couche de pentacène ce qui se traduit, alors, par une dégradation plus importante de la mobilité dans les transistors ayant une couche tampon. De même, une plus forte augmentation du rapport $I_{\text{on}}/I_{\text{off}}$ ainsi qu'un plus important décalage de la tension de seuil vers les potentiels de grille négatifs sont aussi, observés dans ces dispositifs lorsqu'ils sont

stockés sous vide, ce qui semble montrer qu'initialement un plus grand nombre d'impuretés (probablement de l'humidité) étaient présentes dans la couche de pentacène. Ainsi, même une épaisseur aussi fine qu'1 nm de fluorure de calcium suffit à augmenter la quantité d'eau diffusant dans la couche de pentacène et donc, à modifier le comportement des transistors à base de pentacène.

Enfin, l'utilisation de la couche tampon de fluorure de calcium a permis de mettre en avant que certains phénomènes étaient insensibles à la nature de la surface du diélectrique. C'est le cas, notamment, de l'évolution de l'amplitude de l'hystérésis au cours du temps qui est la même dans les transistors avec et sans couche tampon. Par conséquent, la quantité de porteurs de charges piégés, initialement, dépend de la nature de la surface de la couche isolante mais son évolution au cours du temps par contre, y est insensible. De la même manière, on a pu voir que lorsque les transistors sont soumis à une polarisation de grille positive continue, le phénomène à l'origine du déplacement des caractéristiques de transfert est insensible à la présence de la couche de CaF_2 .

Pour finir, donnons quelques perspectives pour la suite de ce travail.

Comme on l'a vu, le fluorure de calcium amplifie le piégeage des porteurs de charges. Ainsi, afin de savoir si un tel phénomène est provoqué par les groupements chimiques présents sur la surface du fluorure de calcium, des mesures par spectroscopie de photoélectrons induits par rayons X (XPS) seraient utiles. En effet, cette technique permet de caractériser des liaisons chimiques d'une surface et permettrait donc d'obtenir des renseignements quant à la réactivité de la surface de CaF_2 .

Une des voies les plus prometteuses pour améliorer l'interface diélectrique-semi-conducteur est d'utiliser des diélectriques polymères fluorés. Le Cytop, par exemple, suscite un intérêt grandissant car il a l'avantage de ne posséder aucun groupement susceptible de piéger les électrons. En effet, les transistors utilisant le Cytop comme diélectrique de grille présentent ainsi une grande stabilité à l'air, c'est-à-dire aucun décalage de la tension de seuil, ni aucune hystérésis [1]. Toutefois, on vient de voir que le piégeage des porteurs de charges ne semble pas uniquement lié à l'absence de groupements polaires. Par conséquent, des investigations supplémentaires sont nécessaires. Des études sur ce diélectrique sont d'ailleurs en cours au laboratoire.

Durant ces travaux de thèse, des transistors en architecture grille haute, avec diélectrique de grille unique en fluorure de calcium ont été réalisés. Ils présentaient, toutefois, des niveaux de fuites de grille importants. Ces courants de fuites sont la conséquence de l'importante surface de la grille utilisée dans ces dispositifs et de possibles courants parasites circulant entre les différentes couches constituant le transistor, en dehors du transistor à proprement parlé. Une technologie permettant d'isoler le transistor du reste de l'échantillon et de limiter la surface de la grille a été développée (cf. Annexe). Elle n'a cependant pas pu être menée à terme, faute de temps. Ainsi, il serait intéressant de mettre en œuvre cette

technologie afin de réaliser des transistors grille haute avec comme isolant de grille, le fluorure de calcium. De tels dispositifs permettraient de s'affranchir de la couche d'oxyde de silicium et permettraient, ainsi, de déterminer quels sont les effets uniquement causés par le fluorure de calcium sur le fonctionnement des transistors à base de pentacène.

Dans un développement plus avancé, cette technologie pourrait être adaptée au jet de matière, afin de réduire les coûts de fabrication. Sur un support rigide ou souple, les électrodes sources et drain seraient imprimées par jet de matière. Puis le semi-conducteur et le diélectrique de grille seraient déposés sur toute la surface de l'échantillon, à la suite, sans rupture du vide. Ensuite, la grille serait à son tour, imprimée directement par jet de matière sur le diélectrique. Le jet de matière permettrait de réduire la surface de la grille au minimum nécessaire pour recouvrir le canal du transistor. Enfin, pour isoler le transistor du reste de l'échantillon, une ablation laser des couches semi-conductrice et isolante situées en dehors du transistor est envisageable, de même qu'une gravure plasma.

Enfin, ces travaux se sont limités à regarder l'impact de la couche tampon de fluorure de calcium dans des transistors à canal p. Réaliser la même étude sur des transistors à canal n, permettrait de discriminer quels types de porteurs de charges sont piégés sur la couche de fluorure de calcium. En effet, on peut penser que le fonctionnement des transistors à canal n ne va pas être influencé de la même manière par le fluorure de calcium.

Bibliographie

- [1] T. Umeda, D. Kumaki, and S. Tokito, *Org. Electron.* **9**, 545 (2008).

Annexe

Développement d'une technologie de fabrication de transistors organiques en architecture grille haute

I Transistors en architecture grille haute

Des transistors avec un diélectrique unique de fluorure de calcium d'une épaisseur de 200 nm ont été réalisés (Figure A-1). Ces dispositifs présentent une mobilité de $1,28.10^{-2} \text{ cm}^2/\text{Vs}$, une tension de seuil de 0,11 V et un rapport $I_{\text{on}}/I_{\text{off}}$ de l'ordre de 250 pour des tensions de fonctionnement de 5 V. On peut, de plus, remarquer que le niveau de fuites de grille, matérialisé par le courant de drain positif dans la caractéristique de sortie, est très important. Ce courant de fuites, de l'ordre de 10^{-7} A , est comparable et même supérieur, pour les faibles tensions de drain et les fortes tensions de grille, au courant circulant entre la source et le drain. Un tel niveau de fuites n'est pas acceptable et rend le transistor inutilisable.

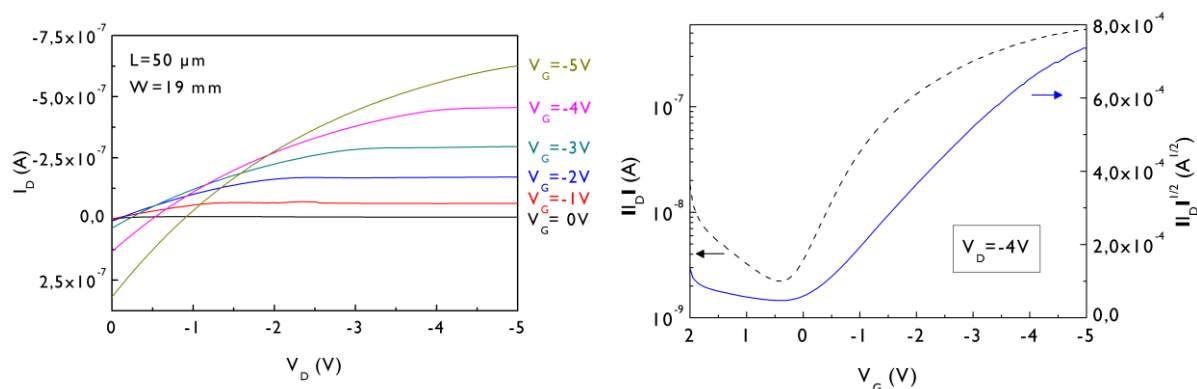


Figure A-1 : Caractéristiques de sortie et de transfert (en régime de saturation, $V_D = -4\text{V}$) d'un transistor à base de pentacène en architecture grille haute avec un diélectrique de grille en fluorure de calcium.

Ces importantes fuites de grille sont principalement la conséquence de la surface importante de la grille ainsi que de la technique de fabrication des transistors. Les premières étapes de fabrication de ces transistors sont les mêmes que celles des transistors contacts bas exposées dans le paragraphe 5.1 du chapitre 2, c'est-à-dire dépôt des électrodes source et drain par photolithographie sur un substrat de silicium oxydé, suivi d'un dépôt de la couche de pentacène sur toute la surface de l'échantillon. L'isolant et la grille sont ensuite déposés par évaporation sous vide, sur toute la surface de l'échantillon. De cette manière, plusieurs transistors sont réalisés sur le même échantillon (Figure A-2). Mais cette technique présente plusieurs inconvénients : les transistors ne sont pas isolés les uns des autres et le dépôt sur toute la surface de l'échantillon des couches constituant les transistors implique une polarisation de la grille de tous les dispositifs lorsqu'un seul transistor est mesuré. Ceci peut

générer des courants parasites dans les différentes couches, ce qui se traduit par des courants de fuites importants.

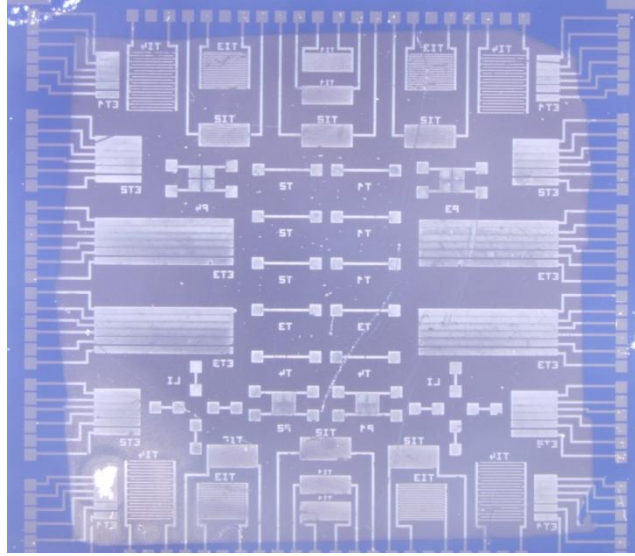


Figure A-2 : Image en microscopie optique des transistors grille haute avec dépôt des couches sur toute la surface de l'échantillon.

2 Développement d'une technologie de fabrication de transistors en architecture grille haute

Afin de limiter la surface de la grille et d'isoler les transistors les uns des autres, un nouveau processus de fabrication des transistors grille haute a été développé. Le principe d'un dépôt des différentes couches constituant les transistors sur toute la surface de l'échantillon, est maintenu afin de réaliser toute une série de transistors en une seule fois. Ce processus est applicable sur différents types de substrats (rigides, souples, organiques ou inorganiques).

La première étape de ce procédé consiste à réaliser les électrodes source et drain par photolithographie. Cette étape est la même que celle présentée dans le paragraphe 5.1 du chapitre 2 (Figure A-3).

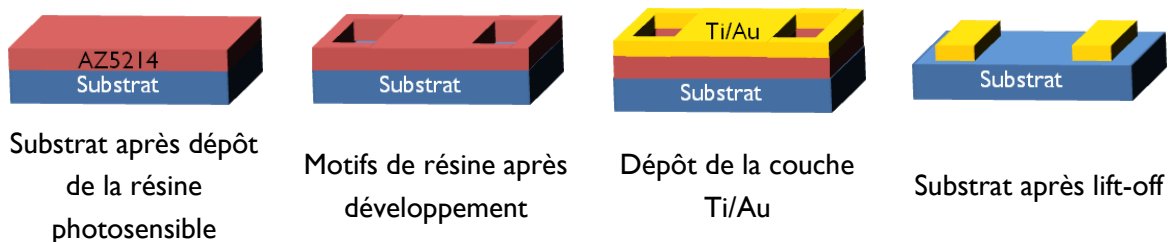


Figure A-3 : Etapes de réalisation des électrodes source et drain en configuration contacts bas par lift-off.

La deuxième étape consiste à déposer une couche de résine photosensible afin d'isoler les transistors les uns des autres (Figure A-4). Une résine négative, de type Si813, est donc déposée sur le substrat à la tournette à une vitesse de 4000 tours/min pendant 45 s. Cette

résine est ensuite, recuite à 115°C pendant 1 min puis insolée à travers un masque sombre sur lequel figure les ouvertures à réaliser au niveau du canal, pendant 3,2 s. Ce masque d'une taille de 5", a été réalisé par la société Toppan Photomask, Inc. sur du verre Sodalime avec des motifs en chrome. La résine est ensuite, développée à l'aide d'un développeur de type MF26A pendant 40 s afin d'ouvrir au niveau des électrodes source et drain (Figure A-5). Enfin, un dernier recuit à 140°C pendant 5 min est effectué pour faire fluer la résine afin d'obtenir des bords de motifs incurvés (Figure A-6).

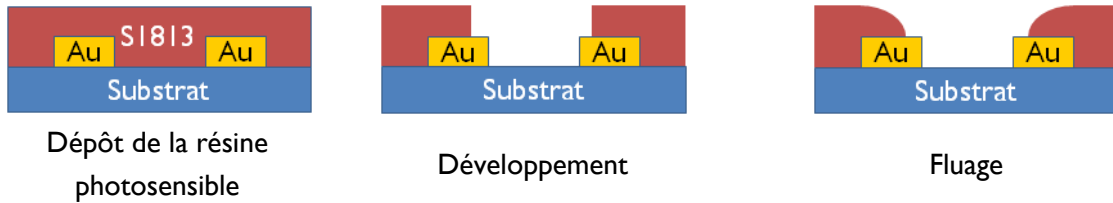


Figure A-4 : Etapes d'isolation des transistors les uns des autres.

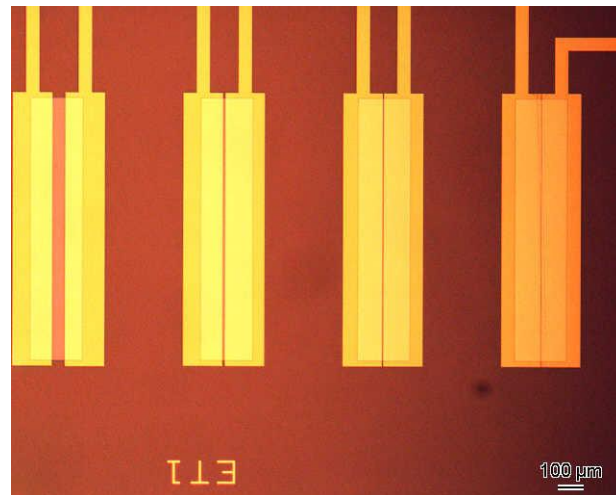


Figure A-5 : Image en microscopie optique de l'ouverture au niveau des électrodes source et drain dans la résine S1813, après développement.

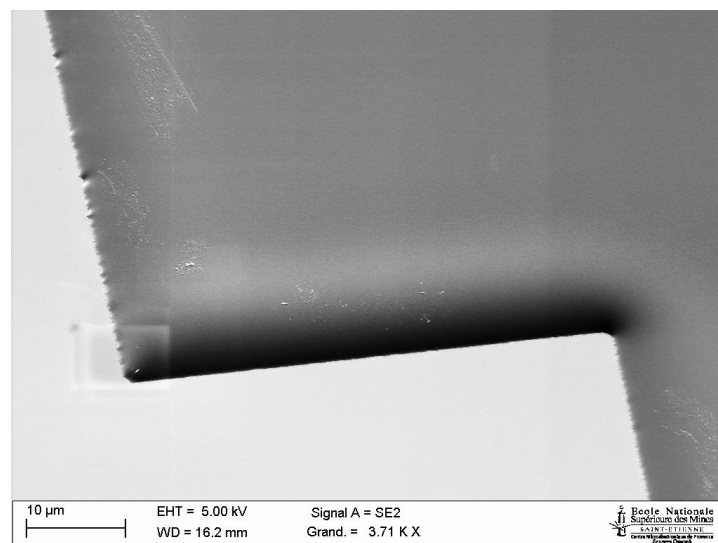


Figure A-6 : Image en microscopie électronique à balayage (MEB) du bord des électrodes après fluage.

Les étapes suivantes concernent le dépôt du semi-conducteur et de l'isolant. Les techniques de dépôt associées leurs sont propres (Evaporation thermique sous vide ou tournette s'ils sont déposables par voie en solution) (Figure A-7).

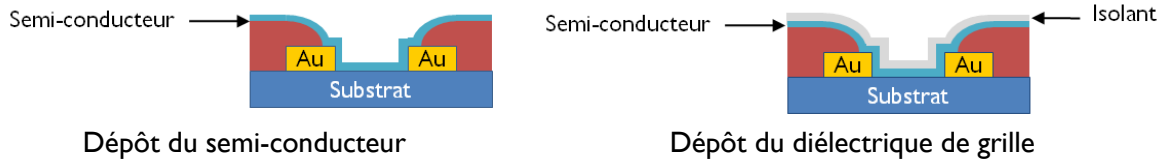


Figure A-7 : Etapes de dépôt du semi-conducteur et de l'isolant de grille.

Le dépôt de la grille est ensuite réalisé par évaporation sous vide à travers un masque par ombrage en nickel dur. De cette manière, des grilles ne recouvrant qu'uniquement le canal des transistors peuvent être réalisées (Figure A-8). Le masque est aligné sur les électrodes source et drain préalablement déposées grâce à des motifs d'alignement avec une erreur de l'ordre de à 10 μm .

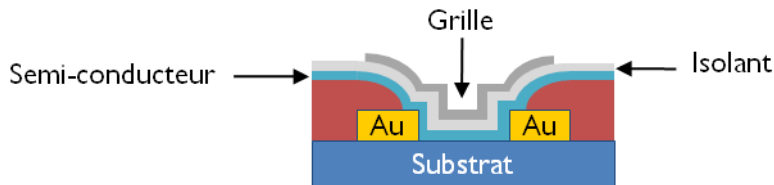


Figure A-8 : Dépôt de la grille.

La dernière étape de ce procédé consiste à éliminer les couches semi-conductrice et isolante superflues afin d'isoler parfaitement les transistors les uns des autres et ainsi, limiter les courants parasites circulant dans ces couches (Figure A-9). Cette étape est réalisée par le biais d'une gravure ionique réactive (RIE, Reactive Ion Etching) par 20 sccm d'hexafluorure de soufre (SF_6) gazeux avec une puissance de 200 W.

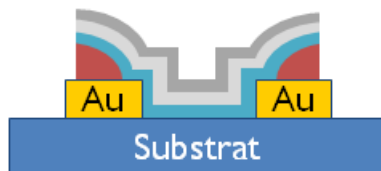


Figure A-9 : Schéma du transistor terminé après gravure des couches semi-conductrice et isolante superflues par RIE.

Toutes ces étapes de fabrication ont été validées (Figure A-10), toutefois, par manque de temps, des transistors opérationnels n'ont pas pu être testés. Néanmoins, le développement de ce procédé se poursuit, au sein du laboratoire.

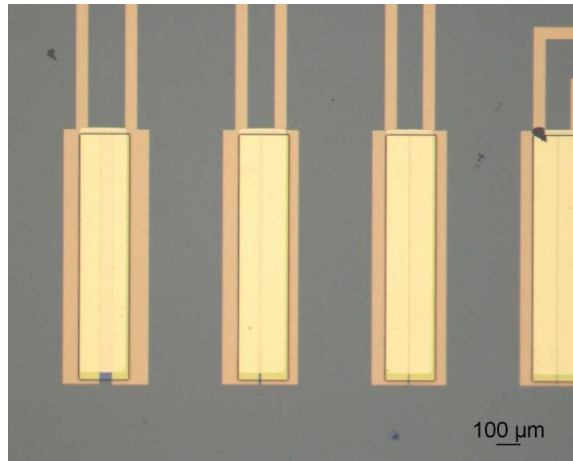


Figure A-10 : Image en microscopie optique, de transistors grille haute à base de pentacène, réalisés grâce au procédé développé durant ces travaux.

NNT : 2011 EMSE 0628

Romain MACABIES

PROPERTIES AND STABILITY OF INSULATOR-PENTACENE INTERFACE IN ORGANIC FIELD-EFFECT TRANSISTORS

Speciality : Microelectronics

Keywords : organic field-effect transistor, pentacene, insulator-organic semiconductor interface, stability

Abstract :

These recent years, Organic Field-Effect Transistor (OFET) development has significantly improved its performances and its stability. This was made possible, through a better understanding of the mechanisms governing charge transport in these devices. However, some phenomena remain unclear, in particular, at the interface between the semiconductor and the dielectric. Charge carrier trapping which is one of the main causes of charge transport disturbance in organic transistors, is one of them. So, this work aims to investigate such phenomena in pentacene-based transistors.

Polar groups and particularly, hydroxyl groups, located at the insulator-semiconductor interface, are the main sources of charge carriers trapping in OFET. To prevent their presence, an OFET fabrication technology based on a passivating dielectric, poor of hydroxyl groups, calcium fluoride-based interfacial layer has been developed. Effect of this layer on pentacene-based transistors operation has been studied, as well as these devices aging under different storage atmospheres (in vacuum and in air) and under electrical stress.

Thus, it has been highlighted that an interfacial layer of calcium fluoride with a too high thickness (around 5 nm) changes pentacene layer morphology which results in a quasi-disappearance of charge transport in pentacene in OFET configuration. Aging studies showed that under the effect of CaF₂ interfacial layer, even with a very thin thickness (a few nanometers), a greater quantity of moisture is induced in pentacene layer probably due to the hygroscopic nature of calcium fluoride.

NNT : 2011 EMSE 0628

Romain MACABIES

PROPRIETES ET STABILITE DE L'INTERFACE ISOLANT-PENTACENE DANS LES TRANSISTORS ORGANIQUES A EFFET DE CHAMP

Spécialité : Microélectronique

Mots clefs : transistor organique, pentacène, interface isolant-semi-conducteur, stabilité

Résumé :

Le développement des transistors organiques, ces dernières années, a permis une nette amélioration de leurs performances et de leur stabilité. Ceci a été possible, notamment, grâce à une meilleure compréhension des mécanismes régissant le transport de charges dans ces dispositifs. Cependant, certains phénomènes restent encore à éclaircir, en particulier au niveau de l'interface entre le semi-conducteur et le diélectrique. Le piégeage des porteurs de charges qui est une des principales causes de perturbations du transport de charges dans les transistors organiques, en est un. Cette thèse se propose donc, d'étudier ce phénomène dans des transistors à base de pentacène.

Les groupements polaires, et plus particulièrement les groupements hydroxyles, présents à l'interface entre l'isolant et le semi-conducteur, sont les principaux responsables du piégeage des porteurs de charges dans les transistors organiques. Afin de limiter leur présence, une technologie basée sur l'emploi d'une couche interfaciale diélectrique passivante, pauvre en groupements hydroxyles, à base de fluorure de calcium, a été mise en place. L'influence de cette couche sur le comportement de transistors à base de pentacène a été étudiée, de même que le vieillissement de ces dispositifs sous différentes conditions de stockage (sous vide et à l'air) et sous contrainte électrique.

Ainsi, il a été mis en évidence qu'une couche de fluorure de calcium d'une épaisseur trop importante (de l'ordre de 5 nm) modifie la morphologie de la couche de pentacène, ce qui se traduit par une quasi-disparition du transport de charges dans le pentacène en configuration de transistor à effet de champ. Les études de vieillissement ont montré que sous l'effet de la couche interfaciale de CaF_2 , même d'une très fine épaisseur (de quelques nanomètres), une quantité plus importante d'humidité est présente dans la couche de pentacène, probablement à cause de la nature hygroscopique du fluorure de calcium.