



Etude de la robustesse de transistors JFET à base de SiC vis-à-vis de stress électriques

Sabrine Moumen

► To cite this version:

Sabrine Moumen. Etude de la robustesse de transistors JFET à base de SiC vis-à-vis de stress électriques. Autre. École normale supérieure de Cachan - ENS Cachan, 2012. Français. NNT : 2012DENS0015 . tel-00744849

HAL Id: tel-00744849

<https://theses.hal.science/tel-00744849>

Submitted on 24 Oct 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**THESE DE DOCTORAT
DE L'ECOLE NORMALE SUPERIEURE DE CACHAN**

Présentée par

Madame Sabrina MOUMEN

**pour obtenir le grade de
DOCTEUR DE L'ECOLE NORMALE SUPERIEURE DE CACHAN**

Domaine :
Electronique, Electrotechnique et Automatique

Sujet de la thèse :

**Etude de la robustesse de transistors JFET à base de SiC vis-à-vis de
stress électriques**

Soutenance de thèse prévue à Cachan le 28 mars 2012 devant le jury
composé de :

Dominique Planson	Professeur	Rapporteur
Frédéric Richardeau	Directeur de recherche	Rapporteur
Kaouther Daoud	Professeur	Examinatrice
Stéphane Azzopardi	Maitre de conférence	Examineur
Radoslava Mitova	Ingénieur	Invitée
Tony Lhommeau	Ingénieur R&D	Invité
Stéphane lefebvre	Professeur	Directeur de thèse
Zoubir Khatir	Directeur de recherche	Directeur de thèse

Nom du Laboratoire SATIE
ENS CACHAN/CNRS/UMR 8029
61, avenue du Président Wilson, 94235 CACHAN CEDEX (France)

A ma fille Alma,

Remerciements

Ce travail de thèse s'est déroulé à l'Ecole Normale Supérieure de Cachan au sein du laboratoire SATIE et à l'Institut Français des Sciences et Technologies des Transports, de l'Aménagement et des réseaux (IFSTTAR) au sein du Laboratoire des Technologies Nouvelles (LTN).

Tout d'abord, je tiens à remercier M. Pascal LARZABAL et M. Gérard COQUERY, directeur du SATIE et du LTN de m'avoir accueilli dans leurs laboratoires.

J'aimerais remercier tout particulièrement mes co-directeurs de thèse, Stéphane LEFEBVRE et Zoubir KHATIR, pour leur encadrement, leur disponibilité et leur savoir-faire scientifique qui m'ont été d'une aide précieuse dans la réalisation des travaux présentés dans ce manuscrit et qui m'ont aussi permis d'évoluer durant ma thèse.

Je voudrais exprimer ma gratitude envers les membres du jury : M. Dominique PLANSON et M. Frédéric RICHARDEAU qui ont rapporté ce travail et la présidente Mme. Kaouther DAOUD et M. Stéphane AZZOPARDI qui l'ont examiné.

Je remercie également Mme Radoslava MITOVA de SCHNEIDER ELECTRIC et M. Tony LHOMMEAU de HISPANO-SUIZA d'avoir accepté de faire partie du jury de ma soutenance en tant que membres invités.

Merci à toute l'équipe du CNAM pour leur aide et l'accueil chaleureux lors de mes passages pour réaliser mes expériences, je pense particulièrement à Jean Claude FAUGIERES, F. Segrétain et G. Rostaing et Manoj Jhilanne, sans oublier les stagiaires que j'ai croisés durant les années de thèse.

Je remercie aussi toute l'équipe du SATIE pour leur accueil et plus particulièrement l'équipe IPEM, en commençant par le directeur, François COSTA, qui a veillé à mon intégration au sein de l'équipe, Eric LABOURÉ et Cyril GAUTIER pour leur coup de main sur Comsol, sans oublier Bertrand REVOL, mais aussi Mounira BOUARROUDJ pour ses conseils lors des essais de court-circuit. Une pensée s'adresse à tous les thésards et jeunes doctorants du SATIE et plus particulièrement à Marwan ALI, Ghania BELKACEM, Dhouaa OTHMAN et Karim ZEHANI pour leur aide et leur soutien.

Mes profonds remerciements vont également à toute l'équipe du LTN et particulièrement à Laurent DUPONT, Ali IBRAHIM et Ludovic MENAGER.

Je tiens également à remercier le Groupe de Physique des Matériaux (GPM) pour avoir désencapsulé nos composants.

Je remercie pour finir toutes les personnes que j'aurais pu oublier et qui ont participé, de près ou de loin, à l'élaboration de ce manuscrit.

Je termine en remerciant mon mari, mes parents, ma sœur, mes frères et mes amies pour leur soutien sans faille, sans lequel je n'en serais pas arrivée là.

Table des matières

Table des figures	11
Introduction Générale	19
Chapitre I. Etat de l'art	23
I. Semi-conducteur Grand Gap	25
I.1 Puces semi-conductrices	25
I.1.1. Propriété du SiC.....	26
I.1.2. Composants en SiC	29
I.1.3. Propriétés du GaN	30
I.1.4. Composants GaN	31
I.2 JFET SiC	32
I.2.1. JFET à canal Vertical (SemiSouth).....	32
I.2.2. JFET à deux canaux (SiCED)	39
II. Comportement en régimes extrêmes de fonctionnement	42
II.1. Régime d'avalanche.....	42
II.1.1. Circuits de tests et résultats	42
II.1.2. Mesure indirecte de la température	45
II.1.3. Analyse des défaillances.....	49
II.2. Régimes de court-circuit.....	51
II.2.1. Circuits de tests	51
II.2.2. Résultats des tests.....	54
II.2.3. Mesure de la température	56
II.2.4. Analyse des défaillances.....	59
III. Packaging haute température	61
III.1. Introduction.....	61
III.2. Eléments constitutifs d'un module de puissance.....	61
III.2.1. Substrats.....	61
III.2.2. Métallisations	62
III.3. Connexions à l'intérieur des modules de puissance	70
III.3.1. Brasure	70
III.3.2. Connexions électriques	72
III.4. L'encapsulation.....	74

IV. Conclusion	75
Chapitre II. Robustesse des JFETs SiC en régimes extrêmes de fonctionnement	79
I. Introduction	81
II. Robustesse en régime d'avalanche	81
II.1. Banc de test expérimental.....	81
II.2. Principe.....	83
II.3. Résultats	85
II.3.1. Essai non destructif : Influence du courant dans l'inductance.....	85
II.3.2. Essai non destructif : Influence de la résistance de grille R_g	86
II.3.3. Essai non destructif : Influence de l'énergie dissipée	88
II.3.4. Avalanche destructive : recherche de l'énergie critique.....	90
II.3.5. Effet de la température sur La robustesse des JFET SiC en avalanche.....	97
III. Robustesse en régime de court circuit	100
III.1. Banc de test expérimental.....	100
III.2. Estimation de l'énergie critique	103
III.3. Effet de la température sur la tenue au court circuit.....	109
IV. Conclusion	112
Chapitre III. Analyse des résultats par simulation thermique	115
I. Modèle 3D du JFET SemiSouth	117
I.1 Symétries.....	119
I.2 Effet du maillage.....	120
I.3 Prise en compte de la température dans les propriétés des matériaux	121
I.4 Effet de la métallisation de la puce	123
I.5 Choix de la zone d'injection de puissance.....	126
II. Caractérisation de l'impédance thermique de l'assemblage	129
II.1. Mesure indirecte de température.....	129
II.1.1. Calibration des indicateurs de température retenus.....	129
II.1.2. Mesure indirecte de la température	132
II.2. Calcul de l'impédance thermique.....	134
II.2.1. Validation numérique du front de puissance retenu pour l'estimation de l'impédance thermique	137
II.2.2. Estimation de l'impédance thermique	138
II.2.3. Intérêt de l'impédance thermique Z_{Th}	139
III. Estimation de la température de jonction en modes extrêmes de fonctionnement	140

III.1.	En mode d'avalanche	141
III.2.	En mode de court circuit	142
IV.	Estimation des courants de fuite en modes extrêmes de fonctionnement	145
IV.1.	Régime d'avalanche.....	145
IV.2.	Régime de court-circuit	149
V.	Conclusion	151
Chapitre IV. Vieillessement accéléré des JFETs SiC en régime d'avalanche répétitif		157
I.	Introduction	159
II.	Caractérisations électriques	159
II.1.	Description des moyens de caractérisations électriques.....	159
II.2.	Caractérisation électrique statique en polarisation direct.....	160
II.2.1.	Courant de saturation I_{DSAT}	160
II.2.2.	Résistance à l'état passant	162
II.3.	Caractéristique de transfert	162
II.4.	Caractérisation électrique de la jonction grille-source	163
II.4.1.	Courant de fuite de grille.....	163
II.4.2.	Résistance « parasite » de la jonction Grille Source	164
II.5.	Courant de fuite de drain	165
III.	Vieillessement accéléré des puces SiC sous des régimes d'avalanche répétitifs	165
III.1.	Protocol des tests répétitifs	165
III.2.	Suivi du vieillissement par avalanche	166
III.2.1.	Evolution du courant de saturation.....	166
III.2.2.	Evolution de la tension de pincement.....	169
III.2.3.	Evolution du courant de fuite de grille.....	170
III.2.4.	Evolution du courant de fuite de drain	171
III.2.5.	Evolution des formes d'ondes en cours de vieillissement	171
III.3.	Analyse des défaillances.....	174
IV.	Conclusion	178
Conclusion & Perspectives		179
Annexe A : Propriétés physiques de la brasure Cusil		183
Annexe B : Propriétés physiques de la céramique Si3N4 Kyocera		184
Annexe C : Propriétés de l'AMB (source : Kyocera)		185
Bibliographie.....		187

Table des figures

Chapitre I

Figure I. 1 : Concentration des porteurs intrinsèques en fonction de la température [Bal08].	26
Figure I. 2: Température maximale d'utilisation en fonction de la tenue en tension pour Si, SiC, GaN et Diamant [Ray10].	27
Figure I. 3 : Distribution du champ électrique et du potentiel dans une jonction PN abrupte [Bal08].	27
Figure I. 4: (a) Champ électrique critique et (b) la tension de claquage en fonction de la concentration du dopage [Bal08].	28
Figure I. 5 : Tension de claquage de différentes technologies en fonction de l'épaisseur de la zone de drift [Bre04].	28
Figure I. 6 : Résistance spécifique en fonction de la tension de claquage [Bal08].	29
Figure I. 7 : (a) Schéma de structure d'un SiC VJFET [AN], (b) Image MEB d'un SiC VJFET [Cas06].	33
Figure I. 8 : mode de fonctionnement d'un VJFET normally-off	34
Figure I. 9 : (a) Image SEM d'une cellule VJFET Semisouth entourée de deux tranchées de grille avec la ZCE et (b) caractéristiques typiques en direct d'un VJFET Normally on [Che09].	35
Figure I. 10: Schéma du modèle du SiC VJFET SemiSouth [Abu10].	35
Figure I. 11 : JFET SiC en cascade avec un MOSFET Si [Dom10].	36
Figure I. 12 : Caractéristiques directes à 25°C pour quatre JFETs avec différentes tension de seuil pour (a) $V_{GS}=2V$ et (b) $V_{GS}= -10V$ [Mer04].	37
Figure I. 13 : (a) Variation du courant de drain pour différents V_{GS} et pour une tension $V_{DS} = 2.05 V$ et $8.7V$ pendant le stockage thermique, (b) Variation du courant de fuite de drain et de grille pour $V_{DS}= 200V$ et $V_{GS}= -27V$ à 200°C [Chexx_3].	38
Figure I. 14 : Comparaison des performances de transistors unipolaires Si et SiC [Cas06].	38
Figure I. 15 : Caractéristique de la jonction grille source du SiC VJFET à température ambiante [Che09].	39
Figure I. 16 : Structure d'un JFET à deux canaux de SiCED [Fri06].	39
Figure I. 17 : Structure d'une demi-cellule du VJFET de SiCED (a) type A et (b) Type B.	40
Figure I. 18 : Evolution de la résistance $R_{DS(on)}$ des SiC VJFETs en fonction de la température.	41
Figure I. 19 : Evolution des pertes par commutation en fonction du courant et de la température pour les SiC VJFETs de SiCED (a) et (b), et de SemiSouth (c) et (d).	41
Figure I. 20 : Rendement des convertisseurs SiC en fonction de la charge de puissance.	42
Figure I. 21 : Circuit de test d'avalanche sans écrêtage de la charge.	43
Figure I. 22 : Formes d'ondes simplifiées pendant la phase d'avalanche.	43
Figure I. 23 : Formes d'ondes pendant une mono-impulsion d'avalanche à une température de jonction initiale égale à, (a) 25°C et (b) 80°C.	44
Figure I. 24: Clamped Inductive Switching.	45
Figure I. 25: Principe de l'émulation de la charge inductive [Gla01].	45
Figure I. 26 : Variation de la tension de Clamp sans modification de la puissance dissipée dans les puces.	45
Figure I. 27 : (a) UIS, magnétisation de l'inductance par transistor auxiliaire, (b) formes d'ondes pendant un test UIS non destructif.	46
Figure I. 28: (a) UIS, magnétisation de l'inductance par transistor auxiliaire, (b) mesure indirecte de la température en cours d'avalanche (début de la phase 5).	46
Figure I. 29: (a) Formes d'ondes de la tension drain source pendant l'avalanche, (b) tension aux bornes de la diode de structure utilisée pour l'estimation de la température.	47
Figure I. 30: Profil de température du transistor pendant (en pointillé) et après (en continu) l'avalanche.	47
Figure I. 31 : Comparaison entre la tension d'avalanche expérimentale et celle calculée à partir du modèle électrothermique.	48

Figure I. 32 : (a) UIS, mesure indirecte de la température par la tension d'avalanche, (b) Formes d'ondes idéalisées pendant la phase d'avalanche.	48
Figure I. 33 : (a) Dégradation de la métallisation de source, (b) cavités dans la métallisation de source liées à la reconstruction de l'aluminium à cause des différences de CTE en aluminium et silicium.	50
Figure I. 34 : Variation de la résistance à l'état passant en cours de cyclage.	50
Figure I. 35: (a) Evolution de $R_{DS(on)}$ normalisée pendant les tests UIS répétitifs, (b) Evolution de la résistance d'électrode pendant les tests UIS répétitifs.	51
Figure I. 36: Circuit de test de court circuit de type I [shu10].	51
Figure I. 37 : Court circuit de type I pour un IGBT 4.5 KV/900 A avec une inductance parasite dans la maille (a) faible, (b) élevée.	52
Figure I. 38 : Circuit de test de court circuit de type II.	52
Figure I. 39: Court circuit de type II pour un IGBT 4.5 KV/900 A avec une inductance parasite (a) faible, (b) élevée.	53
Figure I. 40 : Circuit de test de court circuit de type III.	53
Figure I. 41 : Formes d'ondes lors d'un test du court circuit de type III sur un IGBT 4.5 KV/ 1.2 KA.	54
Figure I. 42 : Transistor MOSFET SiC, formes d'ondes expérimentales de I_D et V_{DS} en régime de court-circuit. ...	55
Figure I. 43 : Dépendance de t_{fail} et $I_{D(MAX)}$ aux paramètres de la cellule du MOSFET.	55
Figure I. 44 : Test de court circuit destructif pour un JFET 300mΩ.	56
Figure I. 45 : Estimation de l'énergie critique pour un JFET de 300mΩ, un temps de court circuit $T_{sc}=800\mu s$ à 25°C.	56
Figure I. 46 : Courant de saturation en fonction de la température du boîtier ($E=400V$) pour un JFET SiC 1200V, 15A.	57
Figure I. 47 : Validation de la température du cristal calculée en fin de court-circuit pour une température ambiante de 25°C.	57
Figure I. 48 : (a) courant de saturation en fonction de la température, (b) Modélisation de la variation du courant de saturation avec la température (JFET 600V 15 A ; $E = 400V$).	58
Figure I. 49 : Estimation de la température max. dans la puce pendant la phase de court-circuit destructif (JFET SiC 600V-2A), $E = 400V$, à 25°C.	58
Figure I. 50 : Résultat de simulation de la température de jonction avec un $TSC=300\mu s$ pour les JFETs 100mΩ et 300mΩ.	59
Figure I. 51 : (a) Effet du vieillissement sur la décroissance du courant de court circuit et l'augmentation de la tension à l'état passant, (b) variation de la tension avec le courant de collecteur après 35000 et 70000 court circuit.	60
Figure I. 52 : a) Reconstruction de l'aluminium après 24600 cycles de court circuit, b) fissure autour du contact du fil de bonding.	60
Figure I. 53 : Structure classique d'un module de puissance.	61
Figure I. 55 : Substrat AlN/Cu avec dimples : (a) vue de dessus, (b) en coupe.	63
Figure I. 56 : (a) Description du procédé du DBC, (b) DCB avec un substrat AlN, (c) DCB avec un substrat Al_2O_3 , [Curamic].	64
Figure I. 57 : (a) Description du procédé AMB, (b) Image d'un substrat AMB Si_3N_4/Cu [Kyocera].	65
Figure I. 58 : (a) Structure de l'assemblage AMB Kyocera, (b) Profil des cycles thermiques expérimentaux.	66
Figure I. 59 : (a) Evolution de l'interface layer 1, (b) évolution de l'interface layer 2, (c) évolution de l'interface layer 3, (Images acoustique Pearl).	67
Figure I. 60 : Modèle thermo-mécanique du substrat Si_3N_4 réalisé.	68
Figure I. 61: Caractéristique contrainte-déformation du cuivre.	69
Figure I. 62: (a) Technologie d'assemblage par frittage de poudre d'argent [Amro 05], (b) Image MEB de la brasure.	71
Figure I. 63 : (a) Comparaison entre une brasure tendre (à gauche) et la brasure par diffusion des intermétalliques, (b) Image MEB de la brasure par diffusion.	72
Figure I. 64: Vue de modules puissance avec connexions par fils de bonding en aluminium.	73

Figure I. 65 : Module IGBT Infineon avec métallisation de puce et fil de bonding en cuivre.	73
Figure I. 66 : Connecteurs Rubans.	74
Figure I. 69 : (a) Vue en coupe d'une connexion par brasage d'insert, (b) répartition des inserts sur une puce IGBT.	Erreur ! Signet non défini.
Figure I. 70 : Module assemblé avec la technique (a) "Power OverLay" et (b) "Embedded Power". Erreur ! Signet non défini.	
Figure I. 71 : a) Coupe d'un module Pressure Pack, b) Structure de connexion par brasage direct.	74
Figure I. 72 : Module IGBT Semikron en boîtier (a) en plastique, (b) en céramique, (c) Exemple de boîtier métallique (fer-nickel-cobalt).	75

Chapitre II

Figure II. 1: Banc de test expérimental pour la caractérisation de la robustesse aux régimes d'avalanche	82
Figure II. 2: Chronologie schématique des états des transistors.	83
Figure II. 3: Formes d'ondes idéalisées en régime d'avalanche, (a) non destructif et, (b) destructif.	84
Figure II. 4: Forme d'onde du courant inductif (rouge) lors d'un test d'avalanche non destructif.	84
Figure II. 5: Formes d'ondes lors d'un test d'avalanche non destructif (l'origine des temps est arbitraire, l'instant de blocage est au début de la phase 2).	85
Figure II. 6: Formes d'ondes des courants et des tensions V_{DS} jusqu'à l'apparition de l'avalanche.	86
Figure II. 7 Phases d'avalanche pour deux valeurs de courant max. (10 et 20A).	86
Figure II. 8: Courant d'avalanche à travers la résistance de grille.	87
Figure II. 9: (a) Allure des tensions V_{GS} et V_{driver} , (b) variation du courant de grille avec la résistance R_G pendant la phase d'avalanche.....	87
Figure II. 10: Evolution de la tension d'avalanche avec la résistance de grille R_G	88
Figure II. 11: Formes d'ondes de V_{GS} , I_G , I_D et V_{DS} en régime d'avalanche pour (a) $L=0.956mH$ et (b) $L=1.3mH$	89
Figure II. 12: Cas 1 - Formes d'ondes, (a) tension grille-source, (b) courant de drain I_D , (c) tension drain-source.	91
Figure II. 13: Cas 2 - Formes d'ondes de (a) la tension grille-source, (b) courant de drain I_D , (c) la tension drain source en régime d'avalanche.....	91
Figure II. 14: Cas 3 - Formes d'ondes de (a) la tension grille-source, (b) courant de drain I_D , (c) la tension drain source en régime d'avalanche.....	92
Figure II. 15: Formes d'ondes pendant la défaillance de court circuit du JFET Normally_On_#2.	93
Figure II. 16: Formes d'ondes à la défaillance du JFET Normally_On_#1.	93
Figure II. 17: Cas 1 - Formes d'ondes de a) la tension grille-source, (b) le courant de grille I_G , (c) le courant de drain I_D , (d) la tension drain source.	94
Figure II. 18: Cas 2 - Formes d'ondes de (a) et (b) la tension grille-source, (c) courant de grille I_G , (d) courant de drain I_D , (e) et (f) la tension drain source en régime d'avalanche(le courant de grille est considéré >0 lorsqu'il sort de la grille Cf Figure II. 8).	95
Figure II. 19: Cas 3- Formes d'ondes de (a) la tension grille-source, (b) le courant de grille I_G , (c) le courant de drain I_D , (d) la tension drain source en régime d'avalanche.....	96
Figure II. 20: Formes d'ondes à la défaillance du JFET Normally Off.	97
Figure II. 21: Evolution de la tension grille source (a et b) et de la tension drain source (c et d) pendant la phase d'avalanche pour des températures ambiantes variant de $25^{\circ}C$ à $175^{\circ}C$ et pour un courant $I_D=15A$	98
Figure II. 22: Evolution de la tension grille source (a), de la tension drain source (b) et du courant de drain (c) pendant la phase d'avalanche pour les températures variant de $50^{\circ}C$ à $150^{\circ}C$ pour un courant $I_D=22A$	99
Figure II. 23: Evolution de la tension grille source (a), du courant de grille (b), du courant de drain (c) et (d) de la tension drain source pendant la phase d'avalanche pour des températures variant de $25^{\circ}C$ à $125^{\circ}C$ pour un courant $I_{LMAX}=24A$	100
Figure II. 24: Banc de test expérimental de court circuit.	101

Figure II. 25: Modification de la sortie du driver.	101
Figure II. 26: Formes d'ondes de courant de drain et de la tension appliquée pendant un test de court circuit.	102
Figure II. 27: Formes d'ondes de V_{GS} avant et après correction.	103
Figure II. 28: Effet de la commande sur le courant de court-circuit.	103
Figure II. 29: Evolution du courant de drain et de la tension grille source au cours du test de court circuit destructif (a) Normally_On_#1, (b) Normally_On_#2.	104
Figure II. 30 : Circulation du courant de fuite entre grille et source pendant la phase de court circuit.	104
Figure II. 31: Protocol de calcul du courant de grille à partir des tensions V_{GS} et V_{DRIVER}	105
Figure II. 32: Evolution du courant I_G maximale avec la durée de court circuit au cours du test de court circuit destructif (a) Normally_On_#1, (b) Normally_On_#2.	105
Figure II. 33 : Evolution du courant de drain et de la tension grille source au cours du test de court circuit destructif (a) Normally_On_#1, (b) Normally_On_#2.	106
Figure II. 34: (a) Evolution du courant de drain et de la tension V_{GS} en raffinant les durées de court circuit entre 15 μ s et 17 μ s pour le JFET Normally_On_#2, (b) Zoom des formes d'ondes, (c) Courant max. de fuite» de drain lors du blocage du JFET en fonction de la durée de court circuit.	107
Figure II. 35: Formes d'ondes des tensions et du courant de drain à la casse du JFET a) Normally_ON_#1, b) Normally_ON_#2.	108
Figure II. 36: Evolution de l'énergie dissipée (courbe rose) dans la puce pendant la phase de court circuit pour les JFETs (a) Normally_ON_#1 et (b) Normally_ON_#2.	108
Figure II. 37: Formes d'ondes des (a) tensions du driver V_{Driver} et (b) tensions grille sources V_{GS} pendant les tests de court circuit pour des températures variant de 25°C à 100°C avec un pas de 25°C.	110
Figure II. 38: (a) Formes d'ondes du courant I_D pendant la phase de court circuit pour des températures variant de 25°C à 100°C avec un pas de 25°C, (b) zoom sur le courant de drain lors du blocage du JFET.	110
Figure II. 39: Formes d'ondes des (a) tensions du driver V_{Driver} et (b) tensions grille source V_{GS} pendant les tests de court circuit pour des températures variant de 30°C à 90°C avec un pas de 10°C.	111
Figure II. 40: (a) Formes d'ondes du courant I_G pendant la phase de court circuit pour des températures variant de 30°C à 90°C avec un pas de 10°C, (b) zoom sur le courant de drain lors du blocage du JFET.	112
Figure II. 41: Formes d'ondes du deuxième JFET à la défaillance à 90°C.	112

Chapitre III

Figure III. 1: Modèle thermique 3D initial du JFET SiC SemiSouth.	117
Figure III. 2: Conditions aux limites appliquées au modèle thermique 3D.	118
Figure III. 3: Formes d'ondes du courant et de la tension utilisées pour calculer la puissance dissipée à injecter dans le modèle thermique 3D en régime de court circuit.	119
Figure III. 4:(a) Maillage libre fin avec 404326 éléments et 558229 nœuds, (b) zoom sur la puce.	120
Figure III. 5: Effet du maillage sur l'évolution de la température maximale.	120
Figure III. 6: (a) Maillage « mapped » avec 29308 éléments et 33375 nœuds, (b) zoom sur la puce.	121
Figure III. 7: Comparaison des solutions d'un maillage libre fin et d'un maillage avec des éléments « mapped ».	121
Figure III. 8: Effet de la température sur la conductivité thermique et la chaleur spécifique du SiC [Bou08].	122
Figure III. 9: Influence de la prise en compte des propriétés thermique du SiC avec la température sur l'estimation de la température maximale en cours de court-circuit.	123
Figure III. 10: Effet de la température sur la conductivité thermique et la chaleur spécifique de l'Aluminium [Var05].	124
Figure III. 11: Modèle thermique 3D avec métallisation et conditions aux limites.	124
Figure III. 12: Effet de la métallisation sur la température de jonction.	125
Figure III. 13: Résultat de simulation en considérant l'AlSi et l'Al avec propriétés thermiques indépendantes (Al et AlSi) et en fonction de la température (Al_T).	126

Figure III. 14: Comparaison entre puissance surfacique et puissance volumique.	127
Figure III. 15: Distribution homogène et spatiale de la puissance dissipée dans un volume de 10 μ m d'épaisseur.	128
Figure III. 16: Effet de la distribution spatiale des pertes sur l'élévation de la température.	128
Figure III. 18 : (a) Banc expérimental de caractérisation, (b) Tensions de commande des transistors T_A et T_B	130
Figure III. 19: (a) Formes d'onde de V_{DS} et I_D pour le calcul de la résistance à l'état passant R_{dson} (b) Protocole de calcul de R_{dson}	130
Figure III. 20 : Variation de la résistance R_{dson} en fonction de la température pour $I_G = 10\mu A, 100\mu A, 1mA, 10mA$ et $100mA$	131
Figure III. 21: Variation de la tension grille-source V_{GS} en fonction de la température pour $I_G = 10\mu A, 100\mu A, 1mA, 10mA$ et $100mA$	132
Figure III. 22 : Schéma d'une cellule du JFET SiC de SiCED avec les résistances internes.	133
Figure III. 23: (a) Tension grille source mesurée pendant la phase d'injection de puissance avant correction (courbe rouge) et (b) après correction (courbe bleu).	133
Figure III. 24 : Allure de l'évolution de la résistance à l'état passant en fonction du temps.	133
Figure III. 25: Variation de la température de jonction en fonction du temps à partir de V_{GS} et R_{dson} à 50°C de température ambiante pour $I_G=1mA$	134
Figure III. 26: Protocol d'estimation de l'impédance thermique à travers l'assemblage.	135
Figure III. 27: Evolution de la puissance dissipée dans le composant après injection d'un échelon de courant ($I_G = 1mA$).	135
Figure III. 28: Les allures de la puissance dissipée et du courant choisi pour estimer Z_{th}	136
Figure III. 29: Allure de la puissance expérimentale comparée à un parfait échelon de puissance.	136
Figure III. 30: Modèle thermique ANSYS par éléments finis du JFET SiCED monté sur un radiateur en cuivre à l'aide d'une interface thermique.	137
Figure III. 31: Comparaison de l'impédance thermique simulée en utilisant la puissance expérimentale et l'échelon de puissance idéal.	138
Figure III. 32: Comparaison entre l'impédance thermique simulée et celle mesurée à partir de l'indicateur de température V_{GS}	138
Figure III. 33: Modèle thermique à l'aide d'un réseau de Cauer	139
Figure III. 34: Comparaison des Z_{th} mesurées en utilisant les différentes interfaces thermiques.	140
Figure III. 35: Allure temporelle des tensions drain source et des courants de drain avant défaillance (bleu) et à la défaillance (rouge).	141
Figure III. 36: Allure temporelle des puissances dissipées dans la puce et injectées comme conditions aux limites dans le modèle 3D (trait plein) et résultats de simulation (trait en pointillé).	142
Figure III. 37: Formes d'ondes du courant de drain I_D et de la tension V_{DS} pour une courte durée de court circuit et à la défaillance pour une durée de court-circuit plus élevée.	143
Figure III. 38: Allure temporelle des puissances dissipées dans la puce et injectées comme conditions aux limites dans le modèle 3D (trait plein) et résultats de simulation thermique (trait en pointillé).	143
Figure III. 39 : Image MEB de la surface de la puce du JFET détruit pendant le test d'avalanche destructif.	144
Figure III. 40 : Schéma de principe du passage du courant de fuite à travers la jonction drain grille et polarisation en directe de la jonction grille source.	146
Figure III. 41: Allure du courant du drain pendant la phase d'avalanche.	147
Figure III. 41: Evolution de la valeur absolue de la tension de pincement en fonction de la température.	148
Figure III. 42: (a) Evolution de la tension de pincement et de la température de jonction en fonction du temps pendant la phase d'avalanche, (b) Comparaison de la tension V_{GS} calculé à la tension V_{GS} expérimentale pendant une phase d'avalanche non destructive.	148
Figure III. 44 : Comparaison du courant de fuite calculé et expérimental pendant une phase d'avalanche non destructive.	149
Figure III. 45: (a) Température de jonction simulée pour plusieurs durées de court circuit jusqu'à la défaillance, (b) Evolution de la température de jonction maximale en fonction de la durée de court circuit.	150

Figure III. 46: (a) Formes d'ondes de courant de grille pour plusieurs durée de court circuit, évolution du courant de grille expérimentale en fonction de (b) la durée de court circuit, (c) la température simulée.	151
--	-----

Chapitre IV

Figure IV. 1: Traceur de caractéristiques Tektronix 371A.	160
Figure IV. 2: Banc de mesure à courants faibles.	160
Figure IV. 3: Schéma de principe de la caractéristique statique directe.	161
Figure IV. 4: La caractéristique statique en directe pour un JFET SiC normally-on (SemiSouth) à $V_{GS}=0V$	161
Figure IV. 5: Zone linéaire de la caractéristique statique directe.	162
Figure IV. 6: Schéma de principe de la caractéristique statique en polarisation inverse.	163
Figure IV. 7 La caractéristique de transfert $I_D=f(V_{GS})$ d'un JFET SiC SemiSouth pour $V_{DS}=30V$	163
Figure IV. 8 : (a) Schéma de principe de la mesure du courant de grille, (b) Courant de fuite de grille en fonction de la tension V_{GS} du JFET SiC SemiSouth.	164
Figure IV. 9: Courant de grille à l'état passant en fonction de la tension V_{GS} du JFET SiC SemiSouth.	164
Figure IV. 10: (a) Schéma de principe de la mesure du courant de fuite de drain, (b) Courant de fuite de drain du JFET SiC SemiSouth en fonction du temps ($V_{DS} = 200 V$).	165
Figure IV. 11: Contexte des tests de vieillissement par avalanche : Courant I_D (bleu) inférieur au courant qui mène à la casse immédiate (rose).	166
Figure IV. 12: Evolution de la caractéristique statique en direct au cours des cycles d'avalanche pour (a) le JFET témoin, (b) le composant sous test (DUT).	167
Figure IV. 13: Courant de saturation normalisé en fonction du nombre des cycles d'avalanche pour le DUT.	167
Figure IV. 14: Evolution de la résistance à l'état passant en fonction des cycles d'avalanche pour (a) le JFET témoin, (b) le DUT.	168
Figure IV. 15: Résistance à l'état passant normalisée en fonction du nombre de cycles d'avalanche.	168
Figure IV. 16: Evolution de la caractéristique de transfert en fonction des cycles d'avalanche pour a) le JFET témoin, b) le DUT.	169
Figure IV. 17: Evolution $I_D=f(V_{GS})$ en fonction des cycles d'avalanche pour le DUT pour des niveaux de courant plus faible (5A max).	169
Figure IV. 18: Evolution de la caractéristique de transfert en fonction du temps de polarisation en inverse de la jonction grille source d'un JFET SiC SemiSouth pour a) des forts niveaux de courant, b) 'des faibles niveaux de courant.	170
Figure IV. 19: Evolution du courant de grille en fonction des cycles d'avalanche pour (a) le JFET témoin, (b) le DUT.	171
Figure IV. 20: Evolution du courant de fuite de drain en fonction des cycles d'avalanche pour le JFET témoin et le DUT.	171
Figure IV. 21: Formes d'ondes du courant et de la tension à 0cycle et à la défaillance.	172
Figure IV. 22: Evolution des formes d'ondes de V_{GS} en fonction des cycles d'avalanche avant et après chaque caractérisation du DUT (a) avant 6000 cycles, (b) après 6000 cycles.	172
Figure IV. 23 : Evolution des formes d'ondes de V_{DS} en fonction des cycles d'avalanche avant et après chaque caractérisation du DUT (a) avant 6000 cycles, (b) après 6000 cycles.	173
Figure IV. 24: Formes d'ondes à la défaillance du DUT lors du vieillissement par avalanche au 9002 ^{ème} cycle. .	174
Figure IV. 25: (a) Image MEB de la puce du VJFET, (b) zoom sur la source (structure en tranchée) et la grille. .	175
Figure IV. 26: Image MEB d'un VJFET neuf (a) métallisation de la source et (b) métallisation de la grille.	175
Figure IV. 27: Vieillissement après 2000 cycles d'avalanche de la couche de métallisation de source (a et b) et de grille (b et d).	176
Figure IV. 28 :Vieillissement après 12000 cycles d'avalanche de la couche de métallisation de source (a) autour du fil de bonding, (b) loin de la périphérie et du fil de bonding.	176

<i>Figure IV. 29: Vieillissement après 9000 cycles d'avalanche de la couche de métallisation de source (a et b) et de grille (c et d).</i>	<i>177</i>
--	------------

Introduction Générale

Le développement de composants à semi-conducteur grand gap tels que le SiC ou le GaN offre de nouvelles perspectives en électronique de puissance. Ces composants permettent en effet d'envisager des applications plus haute tension, à plus haute température de fonctionnement et avec des densités d'intégration supérieures aux limites du silicium.

L'énergie élevée de gap permet en effet le développement de composants de puissance haute tension avec des performances en conduction et en commutation sans commune mesure avec les performances actuelles des composants silicium. La réalisation de composants de tenue en tension supérieure à 10kV est ainsi envisageable ce qui ouvre le champ à de nombreuses applications d'électronique de puissance sur les réseaux de transport et de distribution mais également en traction ferroviaire.

L'énergie élevée de gap permet également d'envisager des applications à plus haute température de jonction ce qui est permis aujourd'hui avec le silicium (limité à des températures de l'ordre de 175°C pour des composants de tenue en tension égale à 600V). La montée en température peut être une nécessité dans des applications particulière (aéronautique, forage) pour lesquelles la température ambiante peut atteindre ou excéder 200°C. Mais de plus, permettre aux puces de travailler à plus haute température doit également permettre de faciliter la conduction de la chaleur vers les dispositifs de refroidissement, ce qui peut s'accompagner d'une réduction du volume des refroidisseurs, et déjà, d'une intégration plus avancée des systèmes de conversion d'énergie.

Enfin, les caractéristiques physiques exceptionnelles des composants à grand gap SiC (mobilité des porteurs élevées, fort champ critique, conductivité thermique élevée...) permettent la conception de composants de dimension plus réduite que celles de composants silicium de performance comparable. Ces propriétés doivent ainsi permettre une plus grande densité d'intégration et donc une augmentation des performances volumiques et massiques des convertisseurs d'énergie. On peut constater que cette intégration plus poussée s'accompagne nécessairement aujourd'hui, avec les technologies actuelles de packaging et de refroidissement, d'une élévation de température.

Cette thèse s'est inscrite simultanément dans les projets SEFORA et SiCHT².

Le projet SEFORA (Smart Ema For Operations in Rough Atmospheres) consistait en la réalisation d'un ensemble convertisseur/actionneur adapté aux applications aéronautiques à haute température de fonctionnement. Ce projet concernait principalement en la mise en œuvre de composants SiC (Transistors JFET) pour des applications à haute température (200°C de température ambiante). Le projet SiCHT² (Composants SiC pour applications Haute Tension et haute Température) adresse la technologie de conception/réalisation de composants SiC haute température et haute tension ainsi que les tests de validation des technologies mais également ceux de robustesse/fiabilité indispensables à toute évaluation d'une technologie de composants.

La thèse s'est effectuée aux seins des laboratoires SATIE de l'ENS de Cachan et LTN de l'IFSTTAR.

Les travaux dont nous avons la charge consistaient en l'étude de robustesse/fiabilité de packaging adapté à la haute température (projet SEFORA, substrat et boîtier Kyocera et assemblage SEMLAB) ainsi que l'évaluation de transistors JFET SiC provenant de SiCED. Dans le cadre de ce projet, c'est principalement sur les aspects packaging que se sont concentrés mes travaux, à savoir évaluation de la robustesse du boîtier proposé par Kyocera, et recherche de la mise en évidence de modes de défaillance.

Dans le cadre du projet SiCHT², nous avons en charge l'évaluation de la robustesse de composants SiC. Mes activités sur ce projet sont principalement les tests des transistors JFETs SemiSouth en robustesse, qu'ils soient Normally on ou Normally off.

Les activités que j'ai eues à mener touchent donc simultanément aux problématiques de validation de packaging mais aussi de puce, en termes de durée de vie et de mise en évidence des modes de défaillance.

La thèse, sans faire abstraction de l'ensemble des activités que j'ai eu à traiter se focalisera toutefois principalement sur la robustesse des JFETs SemiSouth étudiés dans le cadre du projet SiCHT². Pour ce faire, nous avons étudié le comportement de ces dispositifs dans des régimes extrêmes de fonctionnement, et plus précisément en régimes répétitifs ou non, que sont les régimes de court-circuit et d'avalanche. C'est toutefois sur ce deuxième mode de fonctionnement particulier, qui peut être rencontré lors de l'ouverture de circuit fortement inductifs, en protection série, que portera ces travaux.

Les autres activités seront malgré tout résumées dans ce mémoire, que ce soit celles correspondantes à l'étude de la robustesse des boîtiers Kyocera du projet SEFORA (tests de vieillissement et analyse de défaillance), que les essais de diagnostic thermique (mesure d'impédance thermique) pour la détection de défauts de délaminage dans un assemblage de puissance.

Ainsi, dans le premier chapitre, après une présentation des technologies grand gap et leurs propriétés intéressantes pour le développement de nouvelles conceptions de circuits électroniques de puissance, on se focalisera sur la technologie des transistors à effet de champ JFET en carbure de silicium (SiC). Deux types de JFETs seront présentés ; les JFETs à deux canaux fabriqués par SiCED et les JFETs à canal vertical fabriqué par SemiSouth (VJFET).

Nous ferons également un état de l'art du comportement en régimes extrêmes de fonctionnement, avalanche et court circuit, des composants de puissance (en SiC et Si). Différents circuits de test d'avalanche et de court circuit seront présentés. Des méthodes d'estimation indirecte de la température des puces seront exposées ainsi qu'une tentative d'analyse de la défaillance au cours du vieillissement en régimes d'avalanche ou de court circuit répétitifs.

Enfin, les différentes technologies d'assemblage des composants de puissance adaptés aux technologies SiC pour les applications d'électronique de puissance à haute température seront exposées (substrats, métallisation, brasure, connexion...). Les matériaux utilisés pour l'assemblage et les technologies d'interconnexion des différents matériaux impacteront fortement les performances électriques, thermiques et mécaniques des modules de puissance ainsi que leur fiabilité. Nous inclurons dans cette partie l'étude de la fiabilité des modules de puissance Kyocera en montrant les

principaux résultats des tests de vieillissement par cyclage thermique et par modélisation thermomécanique.

Le second chapitre de la thèse se concentre sur l'étude de la robustesse des différents lots des VJFETs SiC de SemiSouth (Normally on et Normally off) en régimes extrêmes de fonctionnement. Nous montrerons l'excellente robustesse des VJFETs en technologie SiC que ce soit en régime d'avalanche ou en régime de limitation de courant en comparaison avec d'autres composants de puissance Si ou SiC.

Dans un premier temps, nous contraindrons en avalanche les transistors VJFET SiC afin de déterminer les énergies que peuvent supporter ces composants dans ces modes de fonctionnement particuliers en cherchant notamment à quantifier l'influence de la température et du courant. Nous chercherons également à mettre en évidence les mécanismes physiques à l'origine de la défaillance.

Dans un deuxième temps, nous étudierons la robustesse des transistors VJFETs SiC en régime de court circuit avec une tension de 540V appliquée entre drain et source. Les énergies critiques que peuvent supporter les VJFETs (énergie minimale amenant à la défaillance lors du premier régime extrême) seront mises en évidence en quantifiant, pour les régimes de court-circuit l'influence de la durée de court circuit et de la température sur l'apparition de la défaillance.

Nous supposerons dans ce chapitre, suite aux variations des formes d'ondes (V_{GS} et V_{DS} en régimes d'avalanche, V_{GS} et I_D en régime de court circuit) observées pendant les tests en régimes extrêmes, que le transistor VJFET passe en régime linéaire de fonctionnement et remet en conduction la jonction drain source. Nous vérifierons cette hypothèse dans le chapitre suivant.

Le troisième chapitre est consacré à l'estimation de la température de jonction du JFET SiC lors des régimes extrêmes et jusqu'à la défaillance afin d'expliquer l'origine de la défaillance. Pour cela, nous développerons un modèle éléments finis thermique 3D. Nous introduisons ensuite les travaux sur la recherche des indicateurs de température à des fins de diagnostic (mesure d'impédance thermique) pour la détection de défauts de délaminage dans un assemblage de puissance.

Les résultats de simulation montreront que la température estimée amenant à la défaillance étant particulièrement élevée, nous supposerons que l'apparition de la défaillance est liée à cette élévation de température.

Afin de mettre en évidence l'importance et les effets de l'évolution de la température interne dans la puce, nous chercherons à estimer, par des calculs analytiques sur Matlab, le courant de fuite entre drain et grille en fonction de la température et de relier ces mesures aux formes d'ondes du courant de drain et des tensions observées lors de la recherche de l'énergie critique en régime de court circuit et d'avalanche, ceci pour mieux comprendre la cause de la défaillance. Nous montrerons que pendant les régimes extrêmes de fonctionnement, la puce atteint des températures très élevées. La conséquence est une génération d'un courant inverse à travers la jonction drain grille qui polarise la jonction grille source pour atteindre des tensions V_{GS} supérieures à la tension de pincement. De ce fait, le transistor se retrouve en mode de conduction pour éviter le claquage de la jonction à haute tension.

Dans le quatrième et dernier chapitre, nous répéterons les régimes extrêmes de fonctionnement (avalanche) de plus faible énergie (inférieure à l'énergie critique) jusqu'à l'apparition de la défaillance

après vieillissement cette fois. Nous chercherons à mettre en évidence les mécanismes physiques à l'origine des dégradations expliquant à terme la destruction.

Nous avons cherché à mettre en évidence de nouveaux indicateurs de vieillissement pertinents en mesurant régulièrement des paramètres électriques initialement caractérisés. Le protocole de mesure des paramètres électriques sera présenté. Dans le même but, des observations des surfaces des puces de JFETs seront faites au microscope électronique à balayage (MEB) après désencapsulation des transistors vieillis par avalanche.

Enfin nous ferons une synthèse des résultats obtenus en essayant d'expliquer les évolutions des paramètres électriques à partir des modifications de la structure des couches de métallisation de grille et de source.

Chapitre I. Etat de l'art

I. Semi-conducteur Grand Gap

I.1 Puces semi-conductrices

Les matériaux, le nitrure de gallium GaN et le carbure de silicium SiC, appartiennent à la catégorie des matériaux grand gap. Ils sont intéressants pour leurs propriétés électroniques et thermiques, Cf. Tableau I. 1. Ils permettent un fonctionnement sur une large gamme de température avec un fort champ électrique critique E_c , une vitesse de saturation des électrons élevée et une grande conductivité thermique.

Les technologies carbure de silicium et nitrure de gallium possèdent des qualités intrinsèques remarquables, et représentent ainsi une véritable rupture technologique avec les technologies Si et III-V conventionnelles. Leur développement offre de nouvelles opportunités en termes de conception de circuits, voire d'architecture de systèmes comme la gestion de l'énergie des systèmes embarqués où l'électronique de puissance est de plus en plus présente. En effet, le secteur automobile prospecte également sur l'énergie électrique pour limiter ses émissions de CO₂ d'où la nécessité d'améliorer les véhicules hybrides et électriques en utilisant des matériaux tels que le GaN et le SiC qui peuvent drainer de forts courants à des températures élevées (plus de 300°C) [Sug07]. L'aéronautique a également besoin de convertisseurs de puissance de grande compacité et de faible masse soumis à des cycles thermiques (faibles/fortes températures). Un autre secteur d'application qui privilégie des composants à grand gap est celui de la distribution de l'énergie électrique qui nécessite des composants de tension de claquage très élevée et robuste. Les dispositifs à grande bande interdite se positionnent très favorablement sur les aspects thermiques, de tenue en tension, de masse et de volume [Tar08].

	Si	3C-SiC	6H-SiC	4H-SiC	GaN
Bande interdite E_g (eV)	1.12	2.3	2.9	3.2	3.39
Mobilité des électrons μ_n (cm².V⁻¹.s⁻¹)	1450	1000	415	950	1000 (bulk)
Mobilité des trous μ_p (cm².V⁻¹.s⁻¹)	450	45	90	115	350
Champ électrique critique E_c (V.cm⁻¹)	3.10^5	2.10^6	$2.5 \cdot 10^6$	3.10^6	5.10^6
Vitesse de saturation V_{sat} (cm.s⁻¹)	10^7	$2.5 \cdot 10^7$	$2 \cdot 10^7$	$2 \cdot 10^7$	$2 \cdot 10^7$
Conductivité thermique (W.cm⁻¹.K)	1.5	5	5	5	1.3
Constante diélectrique	11.7	9.6	9.7	10	8.9
Température d'utilisation max. T_{max} (°C)	125	500	500	500	650
SFM 10^{11} (W.s⁻¹)	2.9	80.8	48.8	123.5	141
Ratio vs silicium	1	27.8	16.8	42.6	48.6
JFM 10^{11} (V.s⁻¹)	4.77	79.5	79.5	95.5	159
Ratio vs silicium	1	16.7	16.7	20	33

Tableau I. 1 : Comparatif des propriétés de certains grands-gaps [Mor07].

Les facteurs de mérite qui apparaissent dans le tableau sont donnés dans [Mor07]:

$$SFM = E_C(\mu_n + \mu_p) \lambda T_{max} \quad (\text{Switching speed Factor of Merit})$$

$$JFM = \frac{E_C v_{sat}}{2\pi} \quad (\text{Johnson's Figure of Merit}) [Joh65]$$

I.1.1. Propriétés du SiC

L'énergie de bande interdite (E_g) du SiC est de l'ordre de 3,2 eV comparativement à celle du silicium qui est de l'ordre de 1,2eV, la concentration intrinsèque est donc très faible par rapport à celle du silicium. Cette concentration dépend à la fois de l'énergie de gap E_g et de la température suivant la relation I.1 et I.2 [Bal08]. La concentration intrinsèque est obtenue en fonction des densités d'états des bandes de conduction (N_c) et de valence (N_v) :

$$n_i = \sqrt{N_c N_v} e^{-E_g/2kT} \quad (I.1)$$

$$n_i(4H - SiC) = 1.7 \times 10^{16} T^{\frac{3}{2}} e^{-\frac{2.08 \times 10^4}{T}} \quad (I.2)$$

Dans cette première relation, k est la constante de Boltzmann, T la température absolue (en K) et n_i est la concentration intrinsèque en cm^{-3} .

La Figure I. 1 montre les variations de n_i avec la température obtenues à l'aide de (I.2) pour le silicium et le carbure de silicium.

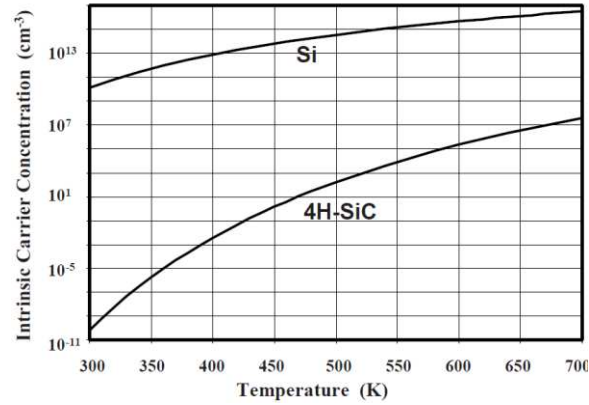


Figure I. 1 : Concentration des porteurs intrinsèques en fonction de la température [Bal08].

Comme nous pouvons le voir, la concentration intrinsèque augmente rapidement avec la température et si elle dépasse celle des impuretés de dopage (N_D) de la région la plus faiblement dopée qui assure la tenue de tension, le composant perd toute capacité de tenue en tension. Ainsi, la température de fonctionnement maximale du SiC est élevée (avec de faibles courants de fuite) et peut être théoriquement supérieure à 1000°C pour des composants basses tensions alors qu'elle est limitée à environ 200°C pour le silicium comme illustré dans la Figure I. 2 [Ray10]. Cette dernière figure présente la limite en température de fonctionnement en fonction de la tenue en tension des composants et de la nature du cristal semi-conducteur. Le silicium est comparé à différents matériaux grands-gaps et présente le plus faible compromis. Le matériau ultime visible dans la figure étant le diamant.

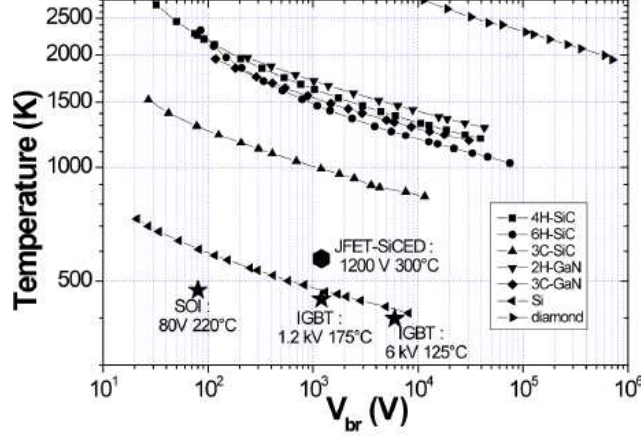


Figure I. 2: Température maximale d'utilisation en fonction de la tenue en tension pour Si, SiC, GaN et Diamant [Ray10].

Si l'on considère une jonction P⁺N abrupte non tronquée sous polarisation inverse, la zone de charge d'espace d'épaisseur W_D est générée dans la région faiblement dopée N. Dans le cadre d'un modèle unidimensionnel, le champ électrique maximal que peut supporter la jonction est le champ critique E_c et s'écrit suivant la relation I.3 pour le 4H-SiC [Bal08]. A ce champ électrique est associée une tension de claquage V_{Br} que peut supporter la jonction et qui s'écrit selon l'équation I.4 et finalement selon I.5 [Bal08]. Les relations I.3 et I.5 sont représentées respectivement sur les Figure I. 4 (a et b).

$$E_c(4H - SiC) = 3.3 \times 10^{14} N_D^{1/8} \quad (I.3)$$

$$V_{Br} = \frac{E_c W_D}{2} = \frac{q N_D}{2\epsilon} W_D^2 \quad (I.4)$$

$$V_{Br}(4H - SiC) = 3.0 \times 10^{15} N_D^{-3/4} \quad (I.5)$$

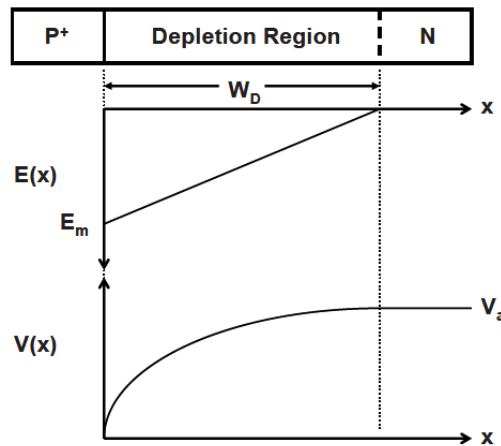


Figure I. 3 : Distribution du champ électrique et du potentiel dans une jonction PN abrupte [Bal08].

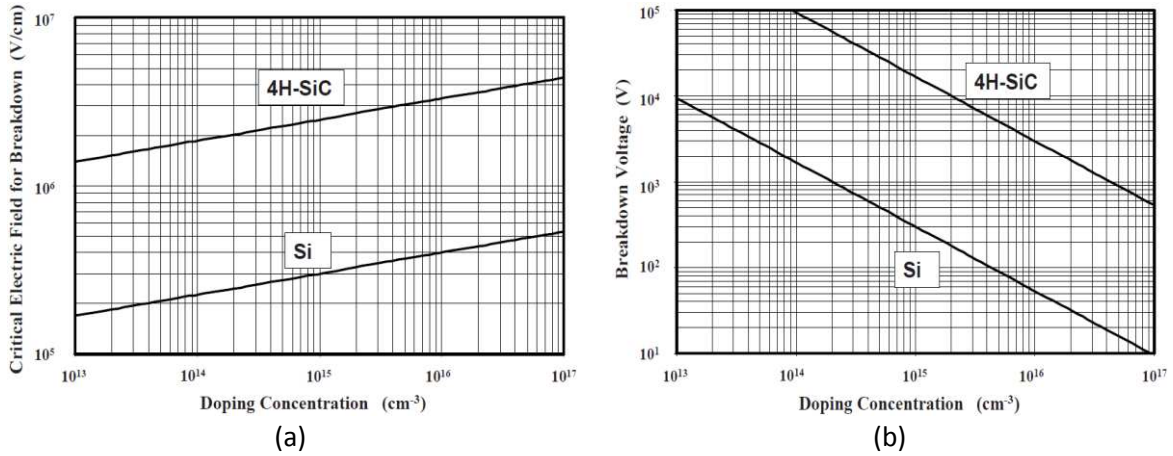


Figure I. 4: (a) Champ électrique critique et (b) la tension de claquage en fonction de la concentration du dopage [Bal08].

Le SiC a un champ électrique critique E_c (2 à 3 MV.cm^{-1}) environ dix fois plus grand que celui du silicium. Ceci permet d'employer des matériaux SiC plus fortement dopés pour une même tension de claquage, que dans le cas du silicium avec donc des épaisseurs de ZCE plus petites. Ainsi, les zones de drift sont moins épaisses et moins résistives et entraînent donc une réduction significative de la résistance spécifique du 4H-SiC en comparaison avec le Silicium. Cela permet donc d'améliorer le compromis entre chute de tension à l'état passant et tenue en tension. La Figure I. 5 [Bre04] compare les tensions de claquage de différentes réalisations de composants Si et SiC en fonction de l'épaisseur de la région de drift qui assure la tenue en tension. Ainsi, la réalisation de composants unipolaires haute tension (de plusieurs kV) est envisageable avec des composants SiC, alors que ce type de composants (transistors MOS et diodes Schottky) étaient limités à des tensions de l'ordre de 500 V pour des composants silicium.

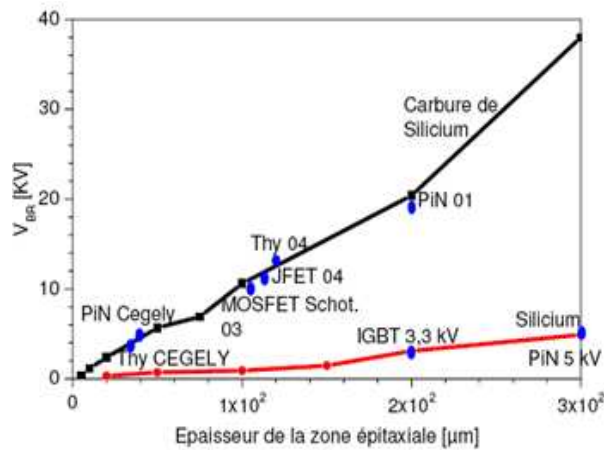


Figure I. 5 : Tension de claquage de différentes technologies en fonction de l'épaisseur de la zone de drift [Bre04].

La résistance spécifique à l'état passant d'un composant unipolaire de type N est donnée par la relation I.6 [Bal08]. Cette résistance spécifique dépend du champ électrique critique E_c , de la mobilité des électrons μ_n et de la concentration de dopage de la région de tenue en tension ou de la tension de claquage de la jonction qui dépend elle-même de cette concentration.

$$R_{ON,sp} = \frac{4V_{Br}^2}{\varepsilon \cdot \mu_n \cdot E_c^3} \quad (I.6)$$

La résistance spécifique dans la région de drift d'un composant 4H-SiC est 2000 fois plus petite que pour les composants silicium pour une même tension de claquage V_{Br} (Figure I. 6). Cette faible résistance spécifique a encouragé le développement des composants unipolaires en 4H-SiC comme les diodes Schottky, les JFETs et les MOSFETs.

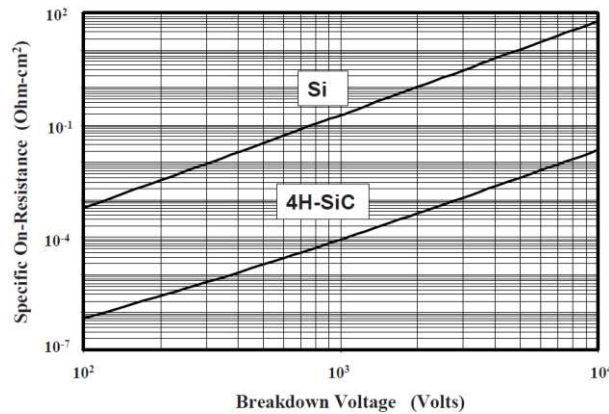


Figure I. 6 : Résistance spécifique en fonction de la tension de claquage [Bal08].

Un autre avantage du SiC est lié à son excellente conductivité thermique qui est de l'ordre de 350 W/m.K [Mem11]. La bonne conductivité thermique du SiC limite l'élévation de la température de la puce et autorise ainsi des densités de puissance plus élevées que pour le silicium. La conductivité thermique (λ_{th}) du SiC est proche de celle du cuivre ce qui en fait un candidat idéal pour des applications de très forte puissance. En plus, le type 4H-SiC se caractérise par une mobilité de porteurs élevée de l'ordre de 800 cm²/V.s. La vitesse de saturation (V_{sat}) des porteurs est environ deux fois supérieure à celle du silicium, ($V_{sat}=0.8 \cdot 10^7$ cm/s pour le Silicium et $V_{sat}=2 \cdot 10^7$ cm/s pour le 4H-SiC). Cette propriété est largement utilisée pour les composants haute fréquence dans les applications de télécommunication.

I.1.2. Composants en SiC

Les composants de puissance en carbure de silicium se placent en concurrent de ceux en silicium et pourraient se substituer à eux à terme pour les applications haute puissance, haute température et haute fréquence grâce à leurs propriétés intrinsèques supérieures dans ces domaines de fonctionnement. Ils doivent présenter au moins les mêmes performances que les composants silicium. Les composants SiC doivent être capable de :

- Bloquer de fortes tensions avec des courants de fuites minimisés.
- Passer de forts courants avec des chutes de tensions minimales.
- Commuter rapidement entre les états passant et bloqué avec des pertes minimales.
- Fonctionner de manière fiable, sans défaillance, pendant la durée de vie du dispositif.

Or les défauts dans les matériaux sont les principales causes des défis technologiques rencontrés par les composants SiC. Ces défauts peuvent engendrer :

- Des courants de fuites élevés.
- Des dégradations de performances à l'état passant.
- Des réductions du champ électrique critique dans les composants.
- Des problèmes de fiabilité intrinsèques.

Tout cela peut nuire à la fiabilité des dispositifs à base de composants SiC. Il est donc nécessaire d'apporter des améliorations à la qualité des substrats en réduisant la densité des micropores et en augmentant le diamètre des wafers (150mm-6" en 2010) [Che06].

De nos jours, les réalisations en laboratoire de composants commutateurs de puissance en SiC concernent :

- des diodes Schottky 3300V/20A [Bro07], des diodes Schottky JBS 10KV/20A [Bre09] et des diodes bipolaires hautes tensions 6500V/25A [Pet10];
- des MOSFETs SiC avec une tension de claquage $V_{Br}=10$ KV et une résistance spécifique $R_{ON,sp}=123$ m Ω .cm² [Ryu04];
- des Thyristors 8kV/600A avec une résistance spécifique de 6 m Ω .cm² [Aga10];
- des IGBTs type N 13 kV/4A avec une résistance spécifique de 22 m Ω .cm² [Mri09];
- des BJTs 1200V/15A qui ne souffrent pas en SiC du phénomène du second claquage comme les transistors BJTs en Si [Lee07];
- et enfin des JFET SiC qui sont des composants contrôlables par effet de champ, sans les difficultés rencontrées dans le cas des composants à grilles isolées ci-dessus et de la fiabilité de la barrière Schottky à haute température [Che06].

Le premier type de composant de puissance en SiC commercialisé était la diode Schottky. Elle a été introduite par Infineon en 2001 et est aujourd'hui disponible chez plusieurs fabricants comme Cree, SemiSouth, IXYS, Microsemi et STMicroelectronics. Les MOSFETs 1200 V/80 m Ω ont été commercialisés plus tard par Cree alors que d'autres MOSFETs avec une résistance à l'état passant un peu plus élevée sont commercialisés par ROHM [Zha09]. Le principal fournisseur de Thyristors 6500 V/80 A est GeneSiC. Parmi les composants cités plus haut, il y a aussi les JFETs 1200 V/50 m Ω commercialisés par Infineon et les JFETs 1200V/45 m Ω par SemiSouth et SiCED. C'est sur des JFETs fabriquées par ces deux derniers fabricants que nous avons réalisés ces travaux de thèse.

I.1.3. Propriétés du GaN

La combinaison remarquable des caractéristiques des matériaux à large bande interdite qui caractérise la technologie GaN en fait naturellement un élément incontournable pour les applications de forte puissance. Les propriétés physiques du GaN sont [Tar08]:

- Une bande interdite (3,4 eV) légèrement plus importante que celle du 4H-SiC (3,2 eV) et qui est bien sûr au-dessus de celle du silicium (1,2 eV).
- Un champ de claquage élevé ($>5 \cdot 10^6$ V/cm) associé à un faible taux d'ionisation par impact.
- La conductivité thermique à température ambiante du GaN (1.3 W.cm⁻¹.K⁻¹) est comparable à celle du silicium (1.4 W.cm⁻¹.K⁻¹) mais reste moins avantageuse que celle du SiC (5 W.cm⁻¹.K⁻¹).
- Des vitesses de saturation relativement importantes (3.10⁷ cm/s) qui favorisent les applications à haute fréquence.

I.1.4. Composants GaN

Les technologies à large bande interdite, et notamment la technologie GaN, introduisent de nouvelles potentialités dans le domaine de l'électronique de puissance et des hyperfréquences grâce à des qualités intrinsèques largement supérieures aux technologies silicium conventionnelles. L'évolution rapide de cette technologie sur les dernières années est due aux progrès considérables réalisés sur les techniques de croissance, les améliorations des matériaux et la conception de nouvelles architectures de composants. Si la technologie autorise désormais la conception de dispositifs bipolaires, les transistors HEMT et MESFET sont les dispositifs les plus répandus pour les applications à haute fréquence telles que la conception de systèmes Radar (large bande jusqu'en bande X) et les pylônes de relais de téléphonie mobile [Tar08].

La croissance des composants peut être réalisée sur différents types de substrats qui ont des coûts variables et par conséquent des performances des dispositifs différentes. Nous citons les substrats saphir et silicium qui offrent un coût modéré tandis que le carbure de silicium et le GaN natif, plus élevé, procurent de meilleures performances. Or, le désordre de maille entre le substrat (surtout Si) et le GaN est important et le nombre d'impureté élevé rend le matériau de qualité médiocre. Au niveau technologie, le dopage de type P et la gravure sèche ne sont pas encore bien maîtrisés ce qui explique la qualité médiocre des contacts ohmiques et l'état de surface et interface oxyde/semiconducteur. Il y a certaines techniques qui permettent d'améliorer les interfaces et de désactiver les pièges. Nous prenons le cas des défauts de transistors HEMT sur substrat saphir, Si et SiC qui sont essentiellement localisés à l'interface AlGaIn/GaN et dans le gaz d'électrons bidimensionnel (2DEG) sous la grille [Tar04]. Une diffusion de Deutérium est alors appliquée à des structures AlGaIn/GaN avant la gravure de la grille et des tests de robustesse en température ont été menés après avoir finalisé les transistors (gravure de la grille, passivation, recuit). Les tests ont montré que les composants deutérés voient leur spectre de bruit BF s'améliorer dans un premier temps (T1 : 5mn à 500°C), dû à un déverminage ou à une meilleure diffusion du deutérium (amélioration des états d'interface AlGaIn/GaN) puis n'évoluant plus pendant l'application de la contrainte thermique (T2 : 15 mn à 500°C) contrairement aux composants n'ayant pas subi de deutération qui voient leur spectre se dégrader fortement dans la seconde phase avec l'apparition quasi-systématique de centres de génération-recombinaison vraisemblablement liés au piège activé à l'interface AlGaIn/GaN [Tar07]. La deutération est donc une piste d'investigation intéressante en vue de l'amélioration de la fiabilité des transistors fonctionnant sous forte contrainte thermique.

Des progrès considérables et rapides ont été réalisés tant sur les matériaux GaN que sur les procédés technologiques et dispositifs à base de GaN dont l'intérêt majeur est d'ordre militaire. Les précurseurs du domaine sont les USA qui possède les trois principales filières commerciales (Cree, Nitronex et RF Micro Devices) et le Japon qui adresse un marché plus mature avec une technologie GaN HEMT (développé par Fijitsu) très fiable en utilisant un cristal de grande qualité (les transistors HEMT sont sensés pouvoir fonctionner sous une température de 200°C pendant plus de 100 ans (grille pincée, sous tension de drain 50 V), ce qui représente un record de cycle de vie pour cette technologie [Ino07]). L'Europe (TIGER, Picogiga et Okmetic) a engagé ses premières études quelques années après les USA et de nombreuses actions à l'initiative de l'ESA et de ses divers MoD (Ministry of Defense) lui ont permis de récupérer son retard sur la filière GaN. Parmi les composants GaN fabriqués, nous citons les composants unipolaires « normally On » comme le HEMT AlGaIn/GaN (1400 V/2.74 mΩ.cm²) et le HEMT AlGaIn/GaN sur substrat Si (1800 V/7 mΩ.cm²) [Ike08] et les

normally Off comme le HEMT 1000V/ 0.62 mΩ.cm² [Yua11] et le HEMT 557 V/ 2.74 mΩ.cm² [Hil11]. Aussi, nous retrouvons les diodes Schottky 450 V/4.65 mΩ.cm², les MOSFETs 730 V/34 mΩ.cm² [Hua09], les transistors hybrides MOS/HEMT 500 V/16.5 mΩ.cm² [Kam10] et les Smart Power [Won09]. Parmi ces composants, peu d'entre eux ont été commercialisés comme les HEMTs pour les applications RF de puissance et les diodes Schottky de puissance (200V-800V). Depuis 2010 toutefois, des transistors basse tension sont disponibles auprès d'EPC.

Jusqu'à présent, presque tous les efforts sur les composants GaN ont été concentrés sur les composants latéraux. Cependant, il est nécessaire de se focaliser sur les structures verticales pour les applications de puissance car d'une part les composants verticaux mènent à des puces de taille plus petite et d'autre part, il est possible de diminuer les pertes de puissance et les dissipations à fort courant.

La technologie GaN offre un potentiel certain pour les applications de forte puissance, à fréquence élevée comme pour les applications faible bruit linéaire et non-linéaire. Cependant des coûts de production élevés ainsi qu'une fiabilité encore perfectible limitent à ce jour la portée du potentiel de cette technologie. Une fois ces problèmes résolus, la technologie GaN apparaîtra comme un acteur incontournable de l'électronique de puissance, vecteur de nouvelles solutions qui bouleverseront les architectures traditionnelles.

I.2 JFET SiC

Le transistor JFET à effet de champ (Junction Field Effect Transistor) est un interrupteur de puissance commandé permettant de commuter entre l'état passant et l'état bloqué selon la polarisation de la jonction grille-source [Mas93]. Le contrôle du courant qui circule le long du canal conducteur entre drain et source se fait par la modulation de la largeur de la zone de charge d'espace (ZCE) de cette jonction à l'aide de la polarisation grille-source. Le JFET est un composant unipolaire car la conduction se fait par un seul type de porteurs, il est dit de type N si le canal est de type N et par conséquent ces sont les électrons qui assurent le passage du courant, il est dit de type P dans le cas contraire. La mobilité des électrons étant supérieure à celle des trous, pour les semiconducteurs de puissance on utilise de préférence les transistors de type N et ça sera le cas de tous les composants que nous testons dans ce mémoire.

Il existe plusieurs types de JFET selon la forme du canal, il y a les JFETs à canal latéral, vertical, symétrique ou asymétrique, etc. Nous n'exposons que les deux premiers types de JFET car c'est eux qui font l'objet de nos travaux.

I.2.1. JFET à canal Vertical (SemiSouth)

Les JFETs verticaux fabriqués par SemiSouth (SiC VJFETs) sont des transistors dédiés aux applications de puissance et de bons candidats pour être utilisés dans des ambiances hautes températures. Ils combinent la commutation rapide des transistors unipolaires (comme les MOSFETs), la capacité de commuter de fortes densités de courants et l'excellente propriété thermique des matériaux en carbure de silicium [Wei96] [Zer03]. Grâce à la structure verticale du canal, les SiC VJFETs permettent une plus grande densité d'intégration, une très faible résistance à l'état passant et une fabrication plus facile avec un faible coût [Che09_2] [Mer04_1]. Contrairement au MOSFET, le SiC VJFET se base

sur la modulation de largeur du canal par la jonction PN ce qui prévient le composant de la dégradation à des températures élevées de l'oxyde de grille des MOSFETs. Les VJFETs sont 100% unipolaires, ils peuvent être connectés en parallèle facilement pour faire des commutateurs de fort courant, de l'ordre de la centaine d'ampères [Che09_2].

Dans le 4H-VJFET de SemiSouth, la zone de drift, la région du canal et la source ont été épitaxiées sur un substrat en carbure de silicium dopé N⁺. La zone de drift est dopée N⁻, elle est suivie par le canal qui est de type N. Le contact de la source est fait par une couche fortement dopée N⁺ sur le dessus du canal. Le courant entre drain et source est modulé par l'implantation des couches dopées P sur les tranchées de grille. Les tranchées sont gravées puis implantées avec de l'aluminium pour former les contacts de grille. Le contact de drain est pris sur la face arrière du substrat N⁺. Les contacts des grilles et sources ont été réalisés avec un procédé d'auto alignement (Figure I. 7). La température de fonctionnement est limitée par les contacts ohmiques des sources et grilles, par les couches de métallisations de contact ainsi que par la brasure de la puce [Che09_1] [Che09_2].

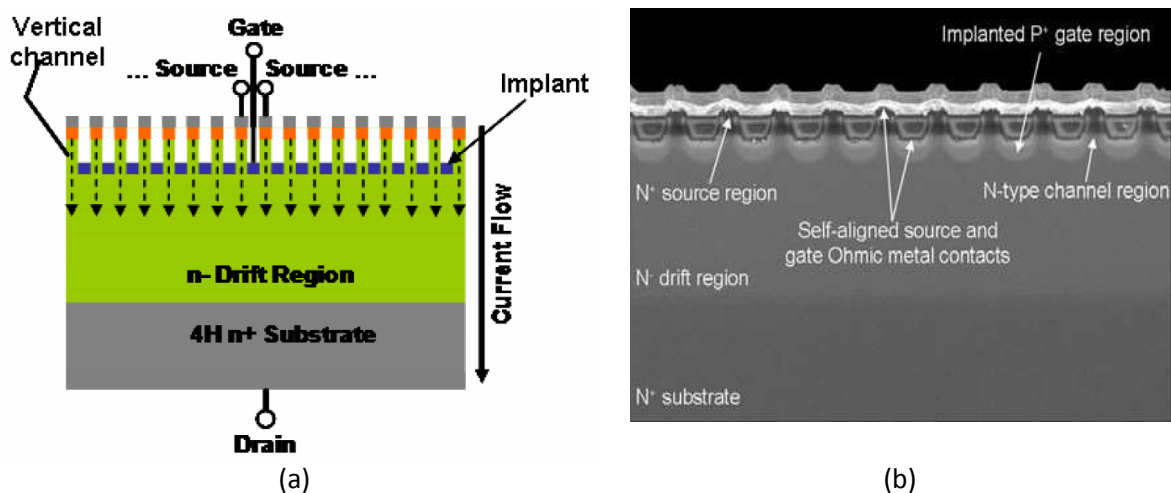


Figure I. 7 : (a) Schéma de structure d'un SiC VJFET [AN], (b) Image MEB d'un SiC VJFET [Cas06].

Un résultat direct de ce design de VJFET est l'absence de courant latéral dans le composant et les fortes densités de puissance qui peuvent être atteintes. Cette conception permet un contrôle précis de la variation de la tension de pincement et a permis la création de JFETs Normally On qui requièrent de faibles polarisations négatives pour les bloquer ainsi qu'un JFET Normally Off ne nécessitant pas de tension négative pour le blocage [AN].

1.2.1.1. Normally OFF

Pour ce type de composant, le canal du JFET est totalement pincé par la zone de charge d'espace formée par les jonctions de grille adjacentes sans polarisation de la jonction grille-source. Aucun courant ne circule donc entre drain et source et une forte impédance est présente aux bornes du composant. En polarisant positivement la jonction grille-source, l'épaisseur de la zone de déplétion se réduit et un canal de conduction se crée entre drain et source. Dans le même temps, la jonction grille-source polarisée en direct devient une diode passante et une injection de porteurs minoritaires est réalisée dans le canal. Un mode d'enrichissement du canal (Enhancement-mode) est ainsi mis en

œuvre. La polarisation V_{GS} doit cependant être limitée à de faibles valeurs positives afin de limiter au maximum le courant direct de la jonction grille-source.

Dans le cas de tensions V_{DS} relativement faibles, les porteurs de charge qui circulent dans le canal du composant proviennent à la fois des électrons naturellement présent dans le canal et des trous (minoritaires) injectés par la jonction grille-source polarisée en direct. Cette charge de minoritaires est injectée de manière assez uniforme dans le canal (Figure I. 8.b) et la caractéristique courant-tension du composant est linéaire avec une faible résistance à l'état passant.

Lorsque la tension V_{DS} augmente, la jonction grille-source voit une polarisation non uniforme, la zone la plus proche de la source est la plus polarisée en direct et est donc la plus injectante de porteurs minoritaires. La charge de trous est alors surtout distribuée au voisinage de la source. Les porteurs majoritaires sont principalement dérivés par le champ électrique dans le canal, c'est la zone de quasi-saturation. Avec une tension de drain plus élevée, le champ électrique obtenu atteint une valeur critique qui résulte en la saturation de la mobilité des porteurs et par conséquent la saturation du courant. Dans ces conditions, le courant drain I_D n'augmente plus avec V_{DS} . Les porteurs de charges se déplacent à leur vitesse limite (ou de saturation) [Abu 10].

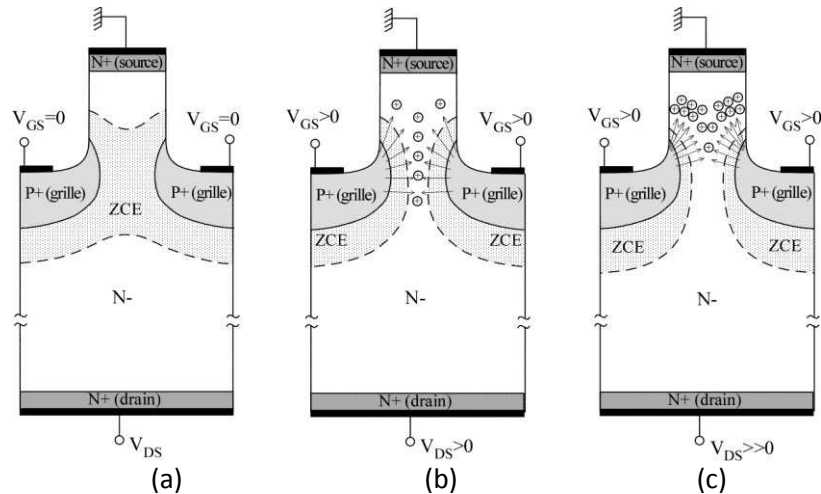


Figure I. 8 : Mode de fonctionnement d'un VJFET normally off

1.2.1.2. Normally ON

Comme pour les autres JFET de SemiSouth, le JFET Normally On est constitué d'un canal vertical le long duquel circule le courant (Figure I. 9). Mais contrairement au Normally Off, sans polarisation de la jonction grille-source, le VJFET est normalement passant. Il faut polariser en inverse la jonction grille-source pour le bloquer. On contrôle la résistance à l'état passant du JFET en jouant sur la largeur du canal, c'est-à-dire sur l'extension de la zone de charge d'espace dans celui-ci [Dim06]. Ce type de fonctionnement est critique dans les convertisseurs de puissance au point de vue sécurité lors de la mise en marche ou l'apparition d'un défaut sur la commande de grille.

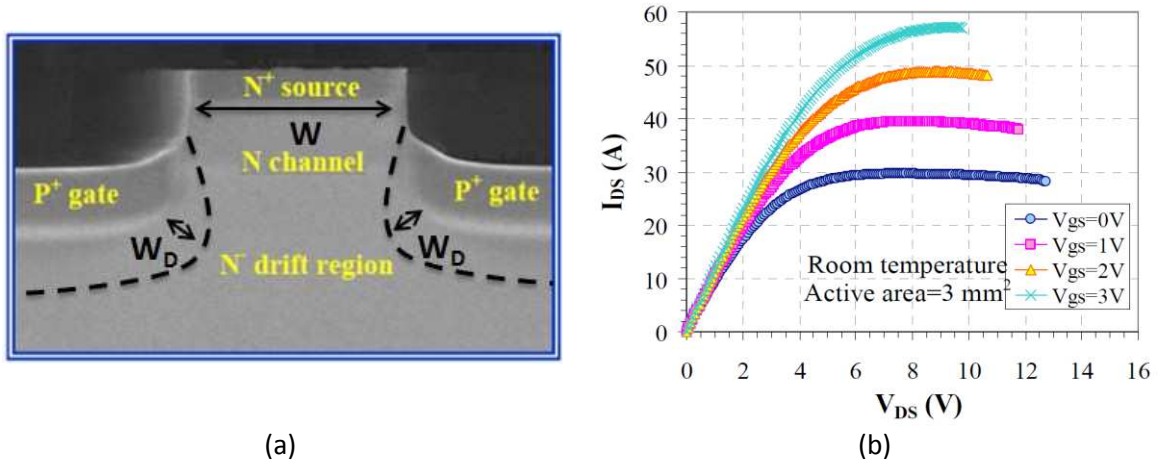


Figure I. 9 : (a) Image SEM d'une cellule VJFET Semisouth entourée de deux tranchées de grille avec la ZCE et (b) caractéristiques typiques en direct d'un VJFET Normally on [Che09].

Le schéma de la Figure I. 10 représente le modèle de la structure électrique du SiC VJFET. Le schéma montre quelques points communs avec les caractéristiques du MOSFET et du BJT. Par similitude avec les MOSFETs ou les composants à grille MOS, les jonctions grille-source, grille-drain et drain-source se comportent comme des capacités non linéaires (de plus faibles valeurs) qui dépendent de la tension appliquée. Une jonction p-n apparaît entre grille et source comme dans le BJT. Ceci indique les conditions requises par le driver pour délivrer une charge dynamique à la capacité de grille pendant la phase de mise en conduction. Par ailleurs, la suppression de ces charges assurera un passage à l'état Off plus rapide. Le JFET SiC SemiSouth n'a pas de jonction p-n entre le drain et la source et n'a donc pas de diode de structure interne.

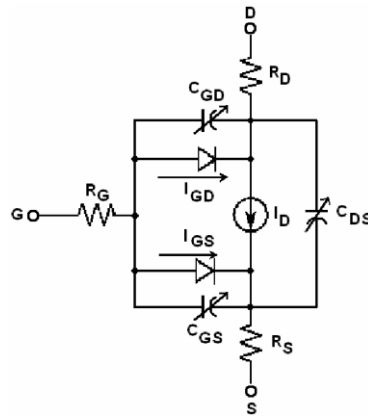


Figure I. 10: Schéma du modèle du SiC VJFET SemiSouth [Abu10].

Pour transformer le JFET Normally On en Normally Off tout en bénéficiant des avantages du premier, une première solution consiste à connecter le JFET SiC en série avec un MOSFET silicium basse tension dans une configuration cascode [Fri06]. A l'état passant, les caractéristiques du montage cascode sont dominées par les caractéristiques du MOSFET-Si où le JFET SiC réagit comme une simple résistance. Par contre, à l'ouverture du MOSFET-Si, la chute de tension à ses bornes augmente pour atteindre la tension de pincement du JFET-SiC. Au-delà de cette valeur, toute augmentation de la tension appliquée aux bornes du cascode est supportée uniquement par le JFET-SiC haute tension.

L'inconvénient de cette configuration est la température maximale de fonctionnement limitée par le MOSFET Si (Figure I. 11). Un exemple de réalisation industrielle est proposé par Infineon qui a combinée un SiC JFET haute tension (stand alone) avec un MOSFET basse tension en cascode pour former un « cascode light » où chaque transistor a sa propre commande ce qui permet d'obtenir un SiC JFET normalement bloqué [Dom10].

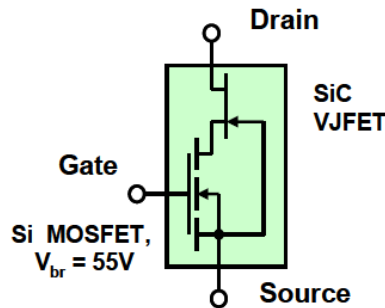


Figure I. 11 : JFET SiC en cascode avec un MOSFET Si [Dom10].

Un compromis entre le Normally On et le Normally Off JFET est le Quasi On JFET. Un composant Quasi On n'est pas pincé totalement pour une polarisation de grille nulle cependant, il a une résistance suffisamment élevée à $V_{GS}=0V$ pour limiter tout courant de drain qui peut apparaître en cas de défaillance de la commande de grille [Maz03].

Les designers des convertisseurs de l'électronique de puissance préfèrent les transistors Normally Off que Normally On. Il serait alors un bon candidat potentiel pour remplacer le Si MOSFET et l'IGBT si son comportement en commutation est parfaitement maîtrisé et si la conception du driver est aussi simple que celle des composants Si à oxyde de grille [Abu10].

1.2.1.3. Quelques travaux sur des VJFETs SemiSouth

[Mer04_2] a étudié des 4H-SiC VJFETs (2A-600V) avec différentes tensions de pincement V_{T0} . Les dispositifs qu'il a étudiés sont tels que la tension de seuil peut être positive ou négative en diminuant ou augmentant la largeur nominale du canal (source finger). En général, plus le JFET est passant (ON), plus faible sera sa résistance spécifique. Par contre, plus la tension de pincement V_{T0} est négative, plus il sera nécessaire d'avoir V_{GS} négatif pour pincer le canal surtout à forte tension de drain. Les JFET Normally Off n'ont besoin que d'une très faible tension de grille pour bloquer la tension mais souffrent en général de plus faibles courants de saturation par rapport aux Normally On pour une même tension grille-source. Ceci est illustré dans la Figure I. 12.a. Par ailleurs, le même auteur a pu également montrer que les dispositifs à V_{T0} les plus positifs ont les plus faibles courants de fuite de drain à mêmes V_{GS} (Figure I. 12.b).

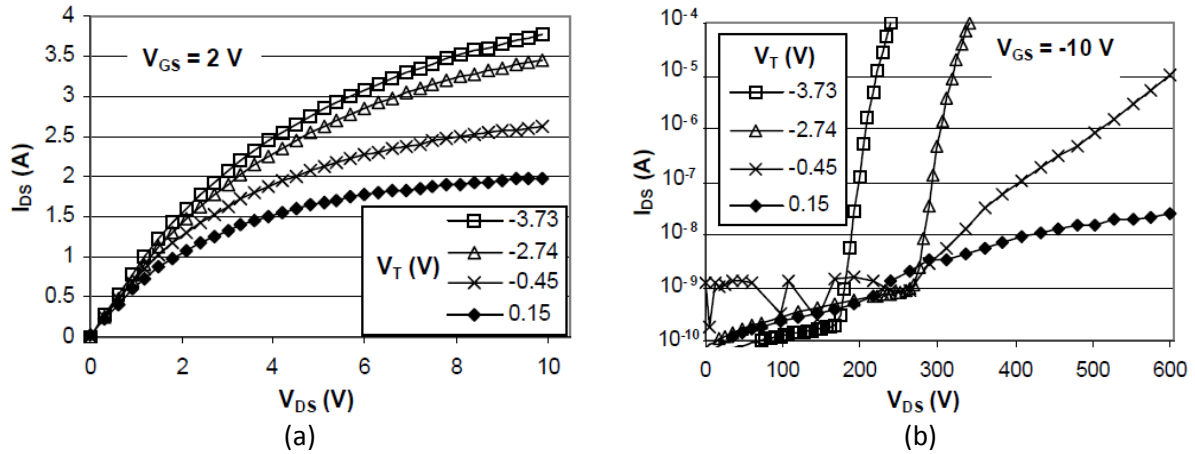


Figure I. 12 : Caractéristiques directes à 25°C pour quatre JFETs avec différentes tension de seuil pour (a) $V_{GS}=2$ V et (b) $V_{GS}= -10$ V [Mer04].

Les composants ont été également testés à haute température jusqu'à 250°C puis les courbes ont été extrapolées jusqu'à 300°C. Il a été observé, comme attendu, que le courant de saturation diminue quand la température augmente à cause de la diminution de la mobilité des électrons avec la température. Les résultats montrent que le courant de drain à 300°C représente 30% de celui à 25°C (en accord avec [Zet03]). Quand au courant de fuite à l'état bloqué, il a doublé de 25°C à 300°C mais reste acceptable même à 600V. Les performances en commutation du JFET ont été testées en fonction de la température.

La stabilité dans le temps des caractéristiques des VJFETs (8A-600V) a été étudiée en les stressant thermiquement à température ambiante de 275°C par [Che06]. Les caractérisations montrent que le courant de drain diminue pendant les premières 144 heures puis reste inchangé jusqu'à 650 heures (Figure I. 13.a). Cette diminution est plus élevée à tension de drain et de grille plus élevées. Ceci peut être lié au fait que les défauts du matériau sont plus stimulés par un fort champ électrique à haute température, ce qui affecte la résistance à l'état passant et la largeur de déplétion du canal. Les mêmes constatations ont été observées pour la variation du courant de drain avec la tension grille source ce qui montre une excellente stabilité de la commande de grille à l'état passant. Un autre test (HTBR : High Temperature Reverse Bias) pour étudier la stabilité des VJFETs à l'état bloqué, sous une polarisation inverse et à haute température (200°C) a été fait dans l'air pendant 2001 heures. Les résultats montrent que ces composants SemiSouth peuvent opérer sans défaillance à l'état bloqué avec un courant de fuite négligeable (Figure I. 13.b). Ce résultat montre l'avantage du JFET par rapport au MOSFET par l'élimination du problème de mouvement des charges de l'oxyde de grille pendant une longue durée d'opération.

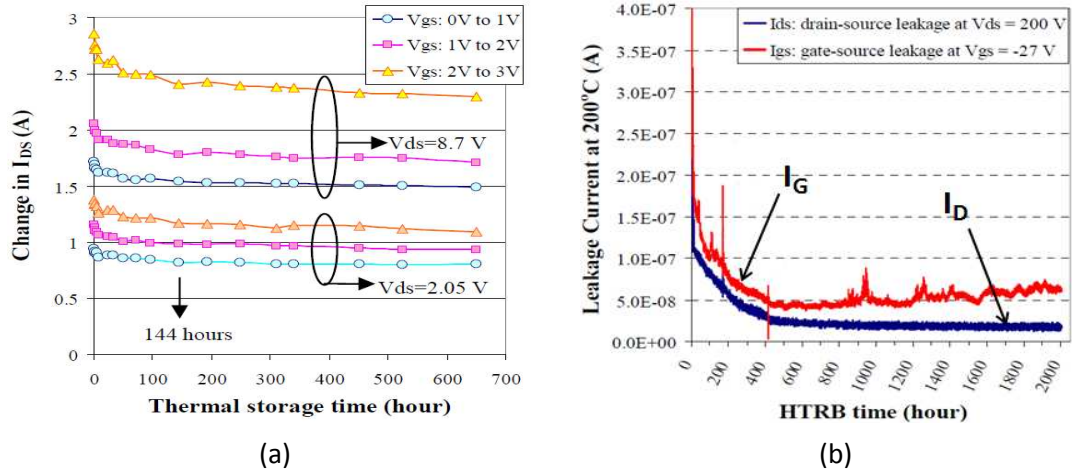


Figure I. 13 : (a) Variation du courant de drain pour différents V_{GS} et pour une tension $V_{DS} = 2.05$ V et 8.7V pendant le stockage thermique, (b) Variation du courant de fuite de drain et de grille pour $V_{DS} = 200$ V et $V_{GS} = -27$ V à 200°C [Che06].

J. Casady a également montré l'intérêt du VJFET par rapport au SiC MOSFET et Si IGBT pour les applications à haute température [Cas06] (Figure I. 14). En effet, beaucoup de problèmes liés à la stabilité thermique et au courant de fuite de la structure du SiC MOS limitent le fonctionnement du MOSFET à une température de jonction inférieure à 175°C. Aussi les IGBTs en silicium ont une température de fonctionnement proche de celle des MOSFETs SiC. En revanche, la température de jonction des VJFETs n'est limitée que par leur packaging et une étude à une température de 450°C pendant 500 heures a confirmé la robustesse de ces derniers à haute température [Maz06]. De plus, L. Cheng montre que ces composants (SiC VJFET) ont un coefficient de température positif dans l'intervalle de fonctionnement $-55^{\circ}\text{C} \leq T_j \leq 225^{\circ}\text{C}$ [Che05] ce qui a été exploité pour remplacer des IGBTs par des VJFET SiC 150A-600V [Maz05].

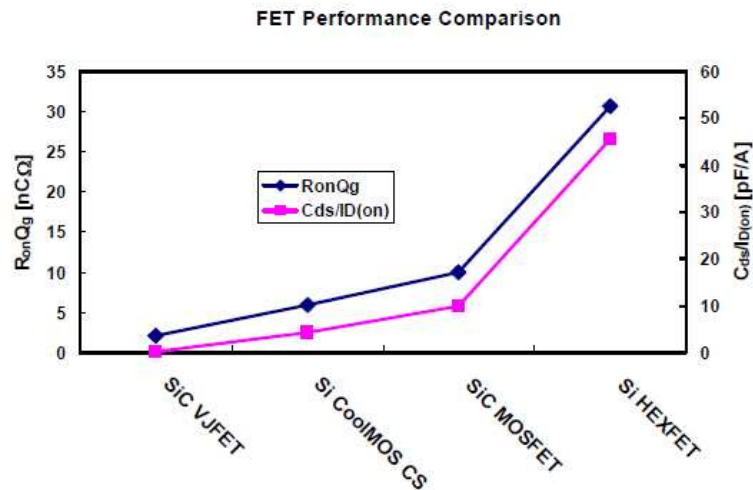


Figure I. 14 : Comparaison des performances de transistors unipolaires Si et SiC [Cas06].

La tension de pincement (punch through) du canal a été définie comme la tension V_{GS} pour laquelle le courant de drain atteint 200μA pour V_{DS} donnée. La tension de pincement est de -12.2V pour les VJFETs 50A-600V [Che09] (Figure I. 15). La capacité de blocage du composant est limitée par le

phénomène de « punch through » du canal plutôt que le claquage diélectrique (ionisation par impact). Un contrôle de grille efficace pour une conduction directe du SiC VJFET demande une jonction PN stable et robuste, donc un courant de fuite de grille négligeable pour des polarisations inverses. Pour ces composants, la jonction grille source est capable de bloquer des tensions supérieures à 30V avec un courant de fuite de grille inférieur à 45μA à température ambiante.

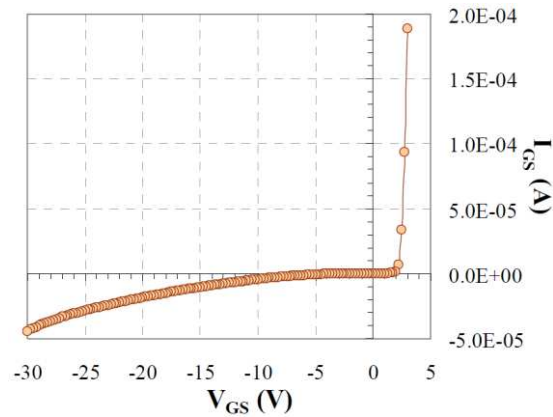


Figure I. 15 : Caractéristique de la jonction grille source du SiC VJFET à température ambiante [Che09_2].

I.2.2. JFET à deux canaux (SiCED)

Dans le processus de conception du VJFET, les propriétés essentielles considérées sont une haute tension de blocage, une densité de courant élevée et la minimisation de la résistance spécifique à l'état passant. Friedrichs a développé le concept du VJFET 4H-SiC contrôlé latéralement et capable de bloquer 1800 V avec une résistance spécifique à l'état passant $R_{\text{DS(on)}}$ de 14.5 mΩ.cm². Le VJFET tient un courant de 15 A avec une chute de tension à l'état passant de 2 V. La technologie est considérée fiable pour des tensions jusqu'à 4.5 kV.

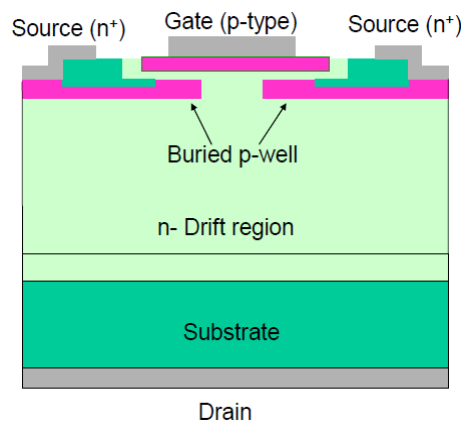


Figure I. 16 : Structure d'un JFET à deux canaux de SiCED [Fri06].

Les JFETs SiCED sont fabriqués sur un substrat 4H-SiC dopé N fournit par Cree avec une résistivité spécifique de 20 mΩ.cm² (Figure I. 16). Une couche enterrée de type P est implantée sélectivement dans la première couche épitaxiée faiblement dopée N⁻. Une deuxième couche épitaxiée N⁻ de 2 μm est déposée sur la couche implantée de type P⁺. Entre cette couche et la seconde couche de type P⁺,

un canal latéral (N^-) est formé qui permettra de contrôler le courant traversant le composant par l'intermédiaire de la tension appliquée entre grille et source. La structure présente également un canal vertical non contrôlable par le potentiel de grille. Cette solution permet ainsi la conception de la région de contrôle du courant, le canal latéral (formée par les deux couches P^+), d'une façon indépendante de la tension de blocage désirée. Cette région détermine la tension de pincement et le courant de saturation du composant (dans le cas où le courant de saturation de ce canal est plus faible que le courant de saturation du canal vertical).

A l'état bloqué, la chute de tension entre la couche enterrée P^+ et le substrat est supportée par la couche faiblement dopée N^- . L'épaisseur du canal vertical et latéral sont les paramètres critiques nécessaires afin d'obtenir une tension de blocage et une densité de courant élevées.

Deux types de structures verticales ont été étudiées dans les recherches réalisées par SiCED sur le développement du JFET-SiC. Les deux structures sont nommées : type A et type B. La structure de type A (Figure I. 17.a) présente une très faible résistance à l'état passant, où le courant circule directement de la région de source à travers le canal vers la région de dérive (N^-). Cette structure présente une large capacité de Miller due à une large surface de la capacité parasite entre grille et drain. Dans la structure du JFET de type B (Figure I. 17.b), la région dopée P^+ est connectée électriquement avec la source ce qui permet de diminuer la capacité Miller et d'augmenter ainsi la vitesse de commutation [Fri01].

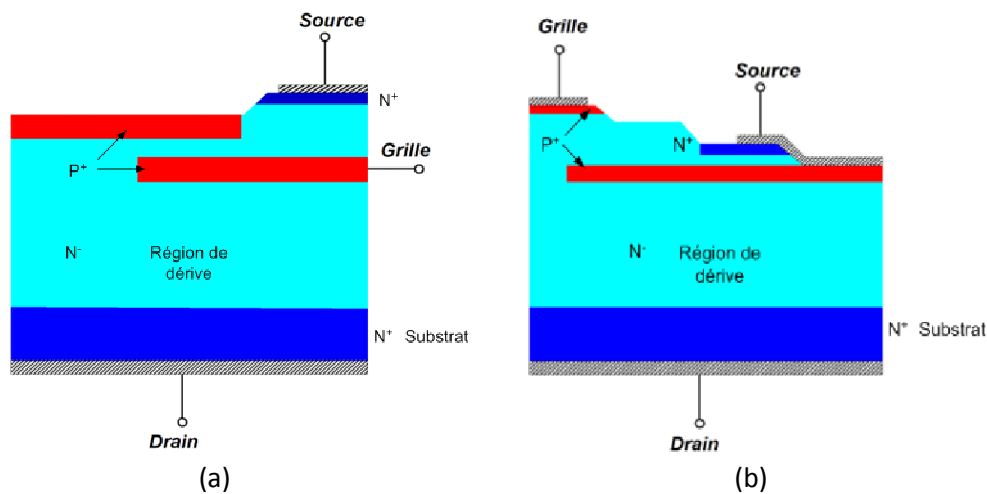


Figure I. 17 : Structure d'une demi-cellule du VJFET de SiCED (a) type A et (b) Type B [Mou09].

H. Zhang a comparé les performances des SiC JFETs 1200V/5A fabriqués par SiCED et SemiSouth [Zha09]. Il a testé un JFET SiC Normally On de SiCED et un JFET SiC Normally Off de SemiSouth en mode statique et dynamique. Les résultats ont montré que les pertes par commutation augmentent avec l'augmentation du courant et restent pratiquement constantes avec l'élévation de la température pour les deux JFETs (Figure I. 18). Une comparaison des pertes par conduction en fonction de la température a montré que les pertes par conduction sont plus faibles à température ambiante pour le JFET SiC de SemiSouth alors que pour les températures supérieures à 150°C le JFET SiC de SiCED est meilleur en termes de pertes par conduction (Figure I. 19).

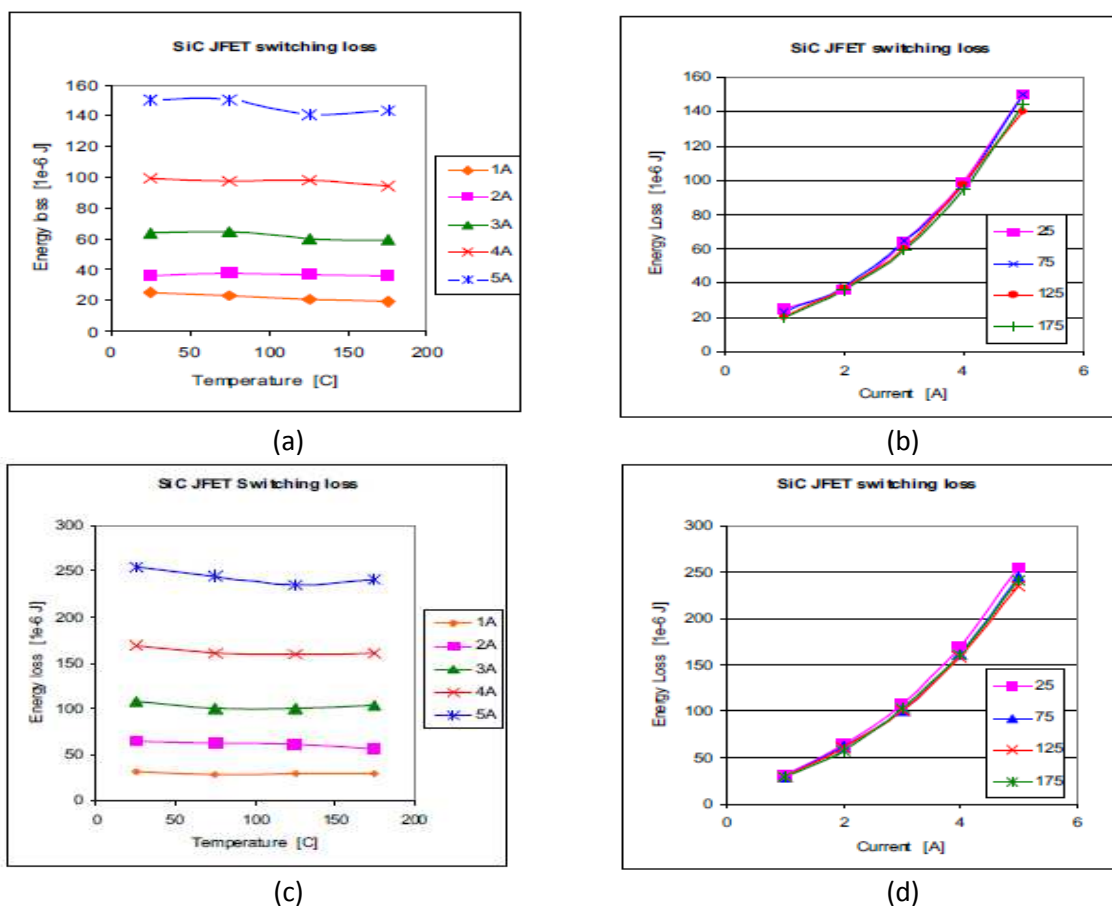


Figure I. 18 : Evolution des pertes par commutation en fonction du courant et de la température pour les SiC VJFETs de SiCED (a) et (b), et de SemiSouth (c) et (d) [Zha09].

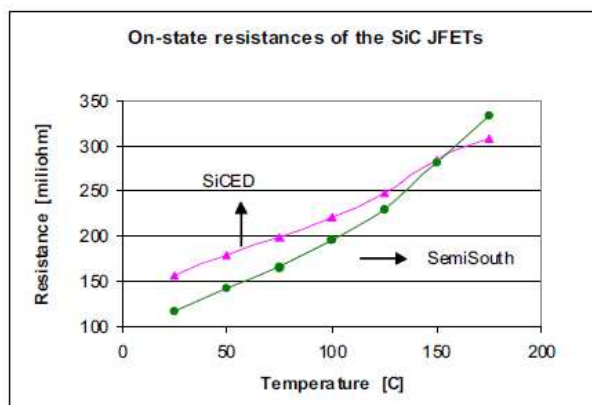


Figure I. 19 : Evolution de la résistance $R_{DS(on)}$ des SiC VJFETs en fonction de la température [Zha09].

L'auteur a montré par des simulations sur Matlab Simulink (Figure I. 20) que le rendement des convertisseurs de puissance, à base des deux types de JFET, augmente avec la puissance de la charge et atteint un maximum de 99% pour le convertisseur avec les JFETs SiCED et 98.8% pour celui avec les JFETs SemiSouth. Alors que pour les convertisseurs à base de silicium, le rendement est compris entre 93% et 97%. En plus, les puissances totales dissipées dans le convertisseur sont en majorité

dues aux pertes dans les JFETs SiC, les pertes par commutation sont supérieures aux pertes par conduction pour les deux types de JFETs SiC. Il a été prouvé également que le rendement des convertisseurs SiC est beaucoup moins sensible à la température (diminue légèrement) que les convertisseurs en Si ce qui permet de simplifier les systèmes de refroidissement.

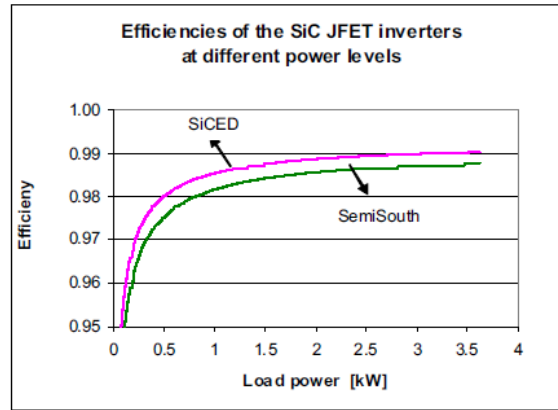


Figure I. 20 : Rendement des convertisseurs SiC en fonction de la charge de puissance [Zha09].

II. Comportement en régimes extrêmes de fonctionnement

II.1. Régime d'avalanche

II.1.1. Circuits de tests et résultats

Les fonctionnements en régime avalanche des composants de puissance peuvent se scinder en deux modes:

1-Avalanche par mono-impulsion : l'énergie dissipée par impulsion d'avalanche peut être très élevée mais la puissance moyenne dissipée par avalanche est faible. C'est dans ce mode de fonctionnement que peuvent être utilisés des disjoncteurs statiques dans des applications automobiles (smart power) ou encore réseau (protection) avec une inductance de maille qui peut être élevée. Les composants sont généralement spécifiés pour être capables de supporter un certain nombre de ces régimes impulsionnels de forte dissipation d'énergie

2-Avalanche répétitive : Ce type de contraintes est rencontré lorsque, pour s'affranchir de circuits écrêteurs, les transistors de puissance fonctionnent en régime d'avalanche à chaque commutation de blocage. L'inductance de la maille de commutation est généralement faible ce qui fait que l'énergie dissipée par impulsion d'avalanche est faible également, mais par contre, la fréquence de commutation pouvant être élevée, la puissance moyenne dissipée par avalanche répétitive peut être une part importante de l'ensemble des pertes.

II.1.1.1. Unclamped Inductive Switching

P.Friedrichs [Fri06] a étudié la limite d'énergie que peuvent supporter des VJFETs en SiC fabriqués par SiCED en mode 1 et leur stabilité dans le temps en mode 2 dans le circuit de test d'avalanche décrit ci-dessous (Figure I. 21).

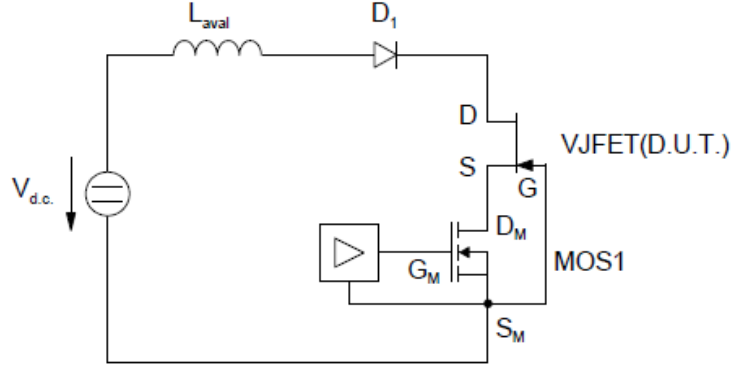


Figure I. 21 : Circuit de test d'avalanche sans écrêtage de la charge [Fri06].

Le circuit de test est constitué par une source de tension $V_{d.c.}$, une inductance L_{aval} , une diode $D1$ pour bloquer le courant de boucle négatif et le SiC VJFET (DUT) dans un montage cascode avec un transistor MOSFET basse tension en Silicium pilotant le transistor JFET. Lorsque le transistor JFET est rendu passant, le courant dans le circuit augmente jusqu'à un maximum limité par la durée de l'état passant et les valeurs respectives de $V_{d.c.}$ et L_{aval} (Figure I. 22). Quand le transistor se bloque, la tension entre drain et source du DUT augmente jusqu'à la tension d'avalanche dynamique (charge non écrêtée) et la vitesse de décroissance du courant est alors contrôlée par la tension d'avalanche que présente le transistor sous test (équation I.7). Il en résulte une forte dissipation d'énergie dans le transistor supérieure à l'énergie max. stockée par l'inductance (équation I.8).

$$\frac{dI_{d_OFF}}{dt} = \frac{(V_{ds_aval} - V_{dc})}{L_{aval}} \quad (I.7)$$

$$E = \frac{1}{2} L_{aval} I_{max}^2 \frac{V_{ds_aval}}{(V_{ds_aval} - V_{dc})} \quad (I.8)$$

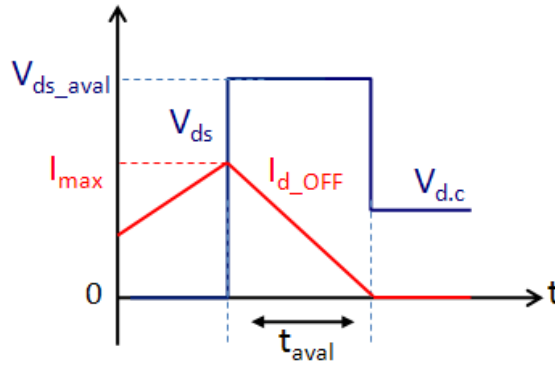


Figure I. 22 : Formes d'ondes simplifiées pendant la phase d'avalanche.

Durant les tests d'avalanche par impulsion unique sur des SiC VJFET (1200V/ 280 mΩ) fabriqués par SiCED en boîtier IXYS ISOPLUS i4-PACTM, le paramètre L_{aval} a été modifié pour faire varier progressivement l'énergie dissipée par le VJFET en régime d'avalanche. Les résultats présentés à la Figure I. 23 montrent que le transistor peut tenir une mono-impulsion d'avalanche avec une énergie dissipée supérieure à 350mJ pour une température de jonction initiale de 25°C et 230mJ à 80°C sans défaillance ou instabilité dynamique. Ces essais ont également montré que la tenue en tension des VJFET en SiC pouvait être supérieure à celle des MOSFET de puissance en Si de même taille de puce.

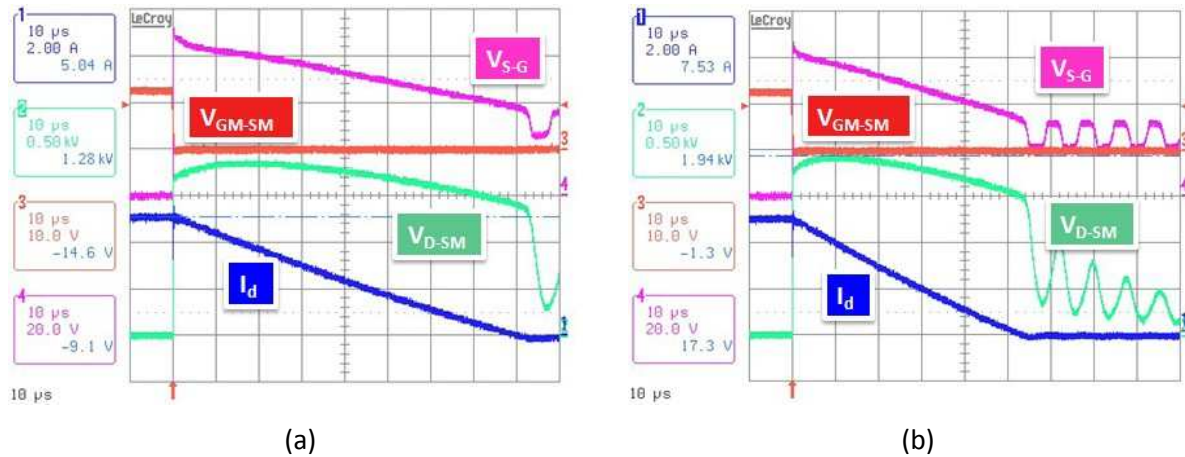


Figure I. 23 : Formes d'ondes pendant une mono-impulsion d'avalanche à une température de jonction initiale égale à (a) 25°C et (b) 80°C [Fri06].

On constate ici clairement que la tension d'avalanche a tout d'abord tendance à croître puis à décroître lorsque le courant est suffisamment faible. On peut supposer ici l'effet antagoniste du courant et de la température sur la tension d'avalanche dynamique. En effet, la tension d'avalanche statique croît avec la température. En régime dynamique, la tension d'avalanche dynamique peut être supérieure à la tension d'avalanche statique, la différence obtenue peut s'expliquer par une chute de tension liée au passage du courant d'avalanche, que l'on relie à une « résistance dynamique ». Ainsi, en phase d'avalanche dynamique, l'augmentation de la température tend à augmenter la tension d'avalanche alors que la décroissance simultanée du courant tend à la réduire.

II.1.1.2. Clamped Inductive Switching

Pour des applications automobiles, des transistors « smart-power » sont régulièrement amenés à interrompre le courant dans une charge inductive (nature de la charge ou câblage). Pour limiter la tension pouvant apparaître aux bornes du transistor MOSFET un écrêteur actif peut être utilisé afin de limiter la surtension au blocage et éviter l'avalanche du transistor. La Figure I. 24 suivante montre le schéma de principe d'un banc d'essais [Smo08] de ce type, représentatif de l'application et permettant de contraindre régulièrement le composant sous test en énergie. Les essais sont appelés « repetitive clamping stress ». L'originalité du circuit de test tient en l'émulation de la charge inductive par des sources de courant actives isolées galvaniquement avec une capacité de 10 A crête.

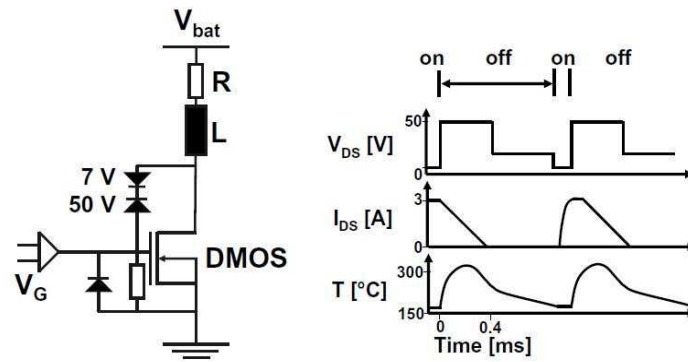


Figure I. 24: Clamped Inductive Switching.

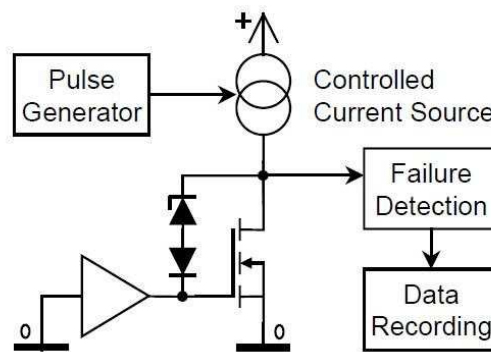


Figure I. 25: Principe de l'émulation de la charge inductive [Gla01].

Les sources de courant actives permettent d'analyser l'effet de la tension de clamp sur le vieillissement des transistors dans des conditions d'échauffement identiques. En variant la tension de clamp (nombre de diodes zener en série), le courant est ajusté de sorte à maintenir la puissance dissipée constante (et par la même occasion l'élévation de température dans la puce).

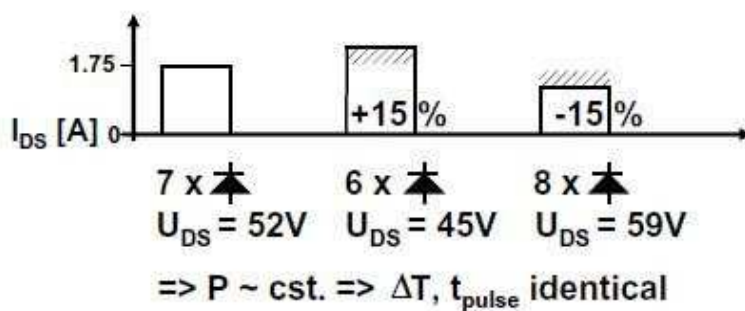


Figure I. 26 : Variation de la tension de Clamp sans modification de la puissance dissipée dans les puces [Gla01].

II.1.2. Mesure indirecte de la température

D'autres travaux ont été récemment menés pour essayer d'estimer la température de jonction en régime d'avalanche, mais sur des transistors MOSFET silicium cette fois. L'objectif de ces travaux

était de valider un modèle électrothermique permettant de vérifier le bon comportement de ces transistors en régime d'avalanche répétitif. L. Dupont [Dup10] propose ainsi une méthodologie expérimentale permettant de mesurer à l'aide d'une caméra thermique IR l'élévation de la température sur la surface supérieure des puces lors d'essais de type « Unclamped Inductive Switching » (UIS) (Figure I. 27.a). Le transistor M1 de tension d'avalanche supérieure au composant sous test sert à la magnétisation de l'inductance. Le composant sous test, continuellement bloqué ne voit que le courant d'avalanche, et la température initiale de la puce peut ainsi être facilement ajustée. Le transistor M2 inséré en série avec le composant sous test permet lorsqu'il est ouvert (juste après la fin d'une phase d'avalanche) d'obtenir une mesure indirecte de la température à l'aide d'un paramètre thermosensible (tension directe aux bornes de la diode de structure du DUT).

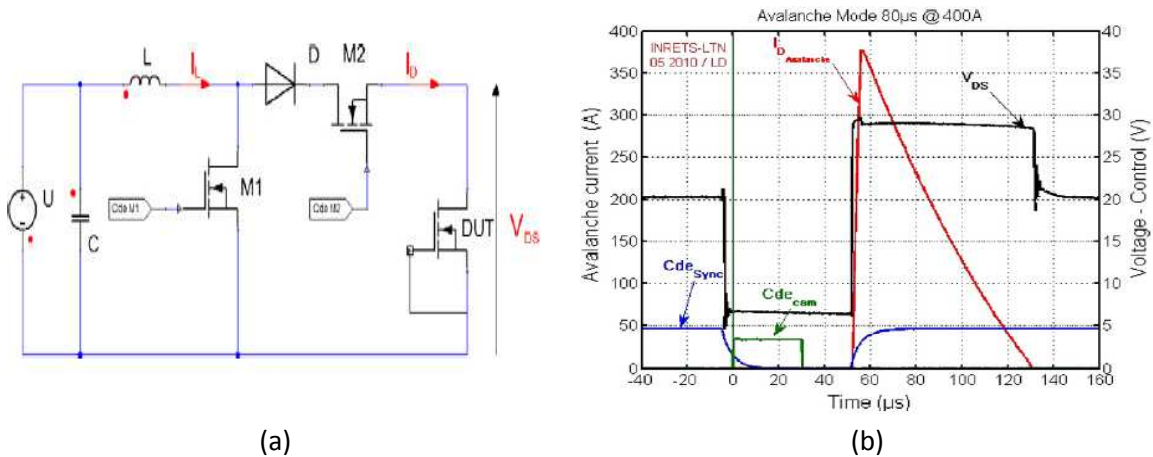


Figure I. 27 : (a) UIS, magnétisation de l'inductance par transistor auxiliaire, (b) formes d'ondes pendant un test UIS non destructif [Dup10].

Un protocole similaire avait également été proposé par [But04], avec cette fois la possibilité de mesurer, de façon indirecte, à l'aide, là encore de la tension aux bornes de la diode de structure, la température au cours de la phase d'avalanche à l'aide d'essais successifs de différentes durées.

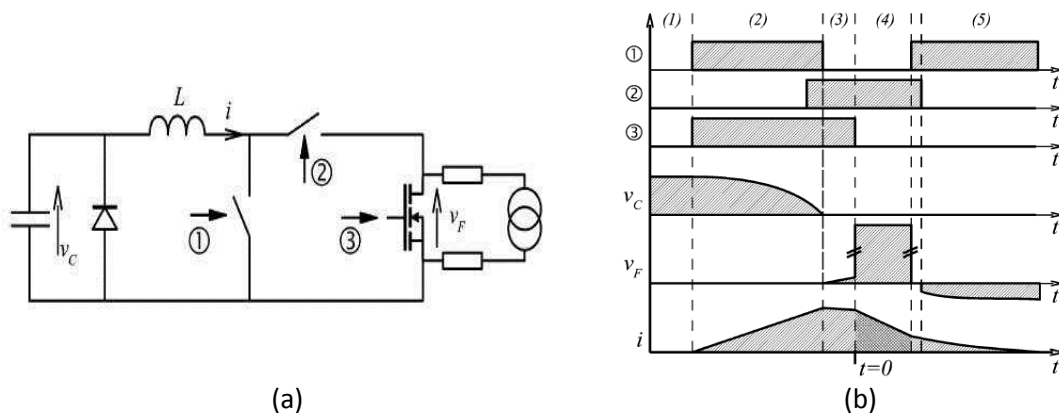


Figure I. 28: (a) UIS, magnétisation de l'inductance par transistor auxiliaire, (b) mesure indirecte de la température en cours d'avalanche (début de la phase 5) [But04].

Pour estimer la température de la puce, la tension à l'état passant de la diode de structure est utilisée comme indicateur de température lorsqu'elle est parcourue par un faible courant (Figure I.

28). Pour cela, la chute de tension directe est préalablement calibrée en fonction de la température. L'évolution de la température pendant toute la phase d'avalanche est obtenue en retardant progressivement le début de la phase 5 (Figure I. 29).

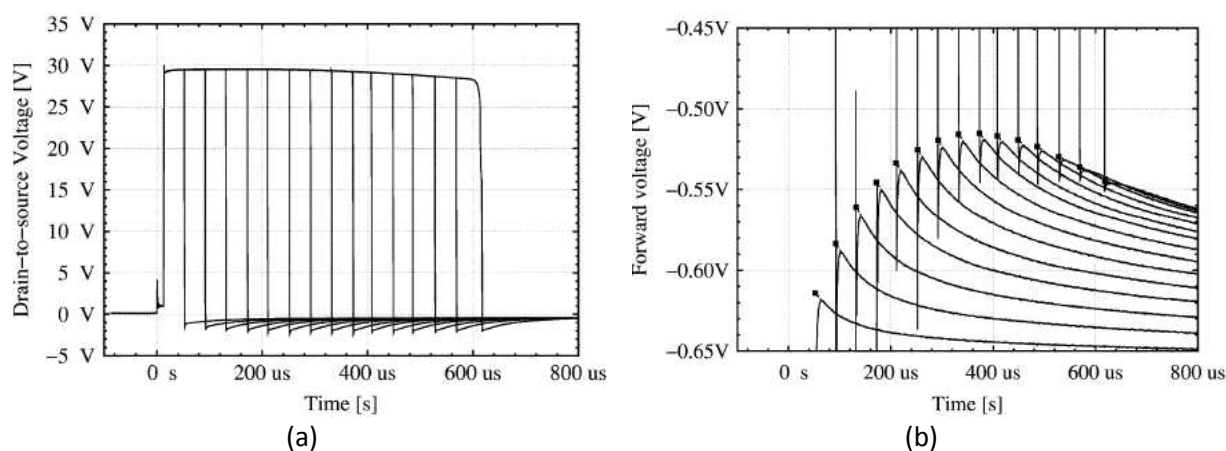


Figure I. 29: (a) Formes d'ondes de la tension drain source pendant l'avalanche, (b) tension aux bornes de la diode de structure utilisée pour l'estimation de la température [But04].

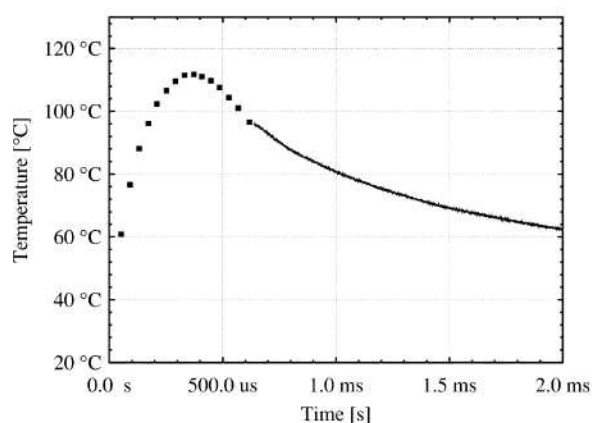


Figure I. 30: Profil de température du transistor pendant (en pointillé) et après (en continu) l'avalanche [But04].

On retrouve bien ici, sur ces formes d'onde, l'effet antagoniste de la température et du courant sur la tension d'avalanche dynamique qui présente un extremum à environ $t=150\mu s$ après le début de la phase d'avalanche (Figure I. 30).

Afin de comprendre ce comportement antagoniste, un modèle électrothermique a été extrapolé à partir de l'approximation linéaire de la tension d'avalanche V_{BR} en fonction de la température $V_{BR}(T) = V_{BR0} + \beta T$ où T est la température du transistor en °C, V_{BR0} représente la tension d'avalanche à 0°C et β est le coefficient qui représente la dépendance de la tension d'avalanche à la température (V/°C). Le modèle électrothermique s'écrit alors selon l'équation I.9 et tient compte de la dépendance de la tension d'avalanche au courant I_D par l'intermédiaire du coefficient R_{BR} qui représente la résistance d'avalanche dynamique.

$$V_{BR}(T, I_D) = V_{BR0} + \beta T + R_{BR} I_D \quad I.9$$

Une identification des paramètres a été faite à l'aide de l'équation I.9 et des données des figures Figure I. 29 et Figure I. 30. Le résultat de comparaison entre le modèle électrothermique et la courbe expérimentale de la tension d'avalanche est représenté sur la Figure I. 31, elle montre une bonne corrélation entre les deux courbes. Ce résultat confirme le comportement résistif du MOSFET pendant la phase d'avalanche. Cette résistance R_{BR} , de l'ordre de 12 m Ω , est largement supérieure à la résistance à l'état passant du transistor (2.6 m Ω) et à la résistance de la diode de structure (1.5 m Ω). Cela peut être expliqué par la faible zone de contact de la métallisation de la diode de structure.

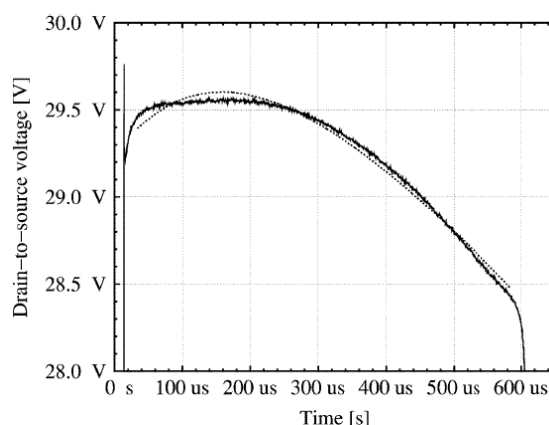


Figure I. 31 : Comparaison entre la tension d'avalanche expérimentale et celle calculée à partir du modèle électrothermique [But04].

Toujours dans un objectif de mesure indirecte de la température, [Don08] propose cette fois d'utiliser la tension d'avalanche sous faible courant pour l'estimation indirecte de la température du cristal après la phase d'avalanche. Un circuit de test d'avalanche (UIS) standard a été utilisé en ajoutant une source de courant de 1mA aux bornes du MOSFET de puissance caractérisé ici (DUT) (Figure I. 32).

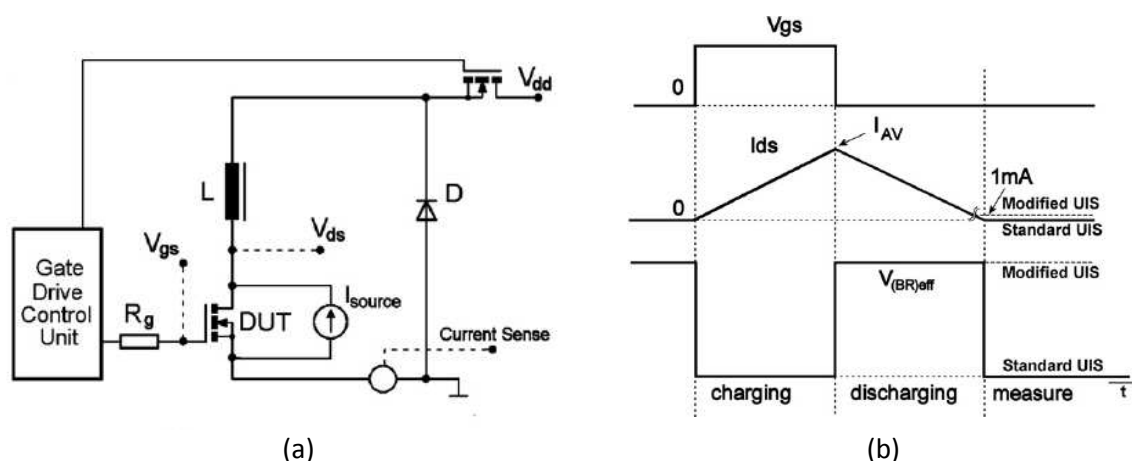


Figure I. 32 : (a) UIS, mesure indirecte de la température par la tension d'avalanche, (b) Formes d'ondes idéalisées pendant la phase d'avalanche [Don08].

La température maximale dans la structure du composant (température de jonction) à un temps donnée $T_j(t)$ a été extraite de la dépendance à la température de la tension d'avalanche $V_{BR(DSS)}$ (indicateur de température) qui s'écrit selon l'équation suivante:

$$T_j(t) = T_j + \frac{[v_{av(dsx)}(t) - V_{BR(DSS)}(T_j)]}{\alpha_{V(BR)}} \quad (I.10)$$

Où T_j correspond à la température de jonction initiale, $V_{BR(DSS)}(T_j)$ est la tension d'avalanche à T_j , $\alpha_{V(BR)}=24.3\text{mV}$ est le coefficient en température de la tension d'avalanche calibré à partir de mesures de $V_{BR(DSS)}$ à différentes température et $v_{av(dsx)}(t)$ est la valeur instantanée de la tension d'avalanche durant la phase d'avalanche.

II.1.3. Analyse des défaillances

[Fri06] a réalisé des tests d'avalanche répétitifs sur les mêmes VJFETs qu'au paragraphe II.1.1 avec les conditions expérimentales suivantes : $V_{d.c.} = 50\text{V}$, $i_{d_off} = 5\text{A}$, $L_{aval} = 22\mu\text{H}$ / $E_{turn_off+aval} = 0.285\text{mJ}$, $f_s = 100\text{kHz}$ et $P_{turn-off+aval} = 28.5\text{W}$. Ces conditions de test sévères sont utilisées ici afin de garantir une marge de sureté suffisante dans des applications plus classiques. Les températures du boîtier et du refroidisseur ont été mesurées en régime stationnaire et les valeurs estimées sont respectivement $T_{case_out}=170^\circ\text{C}$ et $T_{heat_sink}=120^\circ\text{C}$. En considérant la puissance moyenne dissipée par le VJFET SiC, la température de jonction peut être estimée à plus de 210°C . Le DUT a été testé pendant plus de 100 heures sans aucune défaillance ou instabilité.

[Tes10] a également effectué des tests d'endurance par avalanche répétitive pour estimer la durée de vie de MOSFETs de puissance basse tension et expliquer l'origine physique des défaillances. La charge connectée au 0V (comme c'est le cas des applications automobiles) est ici en série avec la source du transistor. La tension de claquage des transistors vaut 60V et les essais sont menés pour des courant max de 70 et 85A. L'article met en évidence les dégradations sur la couche de métallisation liée aux différences de coefficient de dilatation thermique entre le silicium et l'aluminium. Cette dégradation est corrélée à l'élévation de la résistance à l'état passant. La résistance de la métallisation pouvant être une part non négligeable de la résistance à l'état passant des transistors MOSFET basse tension, l'augmentation de la résistance de la couche de métallisation est ici observable sur la résistance à l'état passant (on verra par la suite que ce n'est pas toujours le cas sur des transistors de plus haute tension pour lesquels la résistance de la métallisation est négligeable devant la résistance à l'état passant).

Les figures Figure I. 33 (a et b) ci-dessous montrent la dégradation de la couche d'aluminium avec l'apparition de cavités dans le volume de la métallisation de source et l'augmentation de la résistance à l'état passant $R_{DS(on)}$ qui en découle (Figure I. 34).

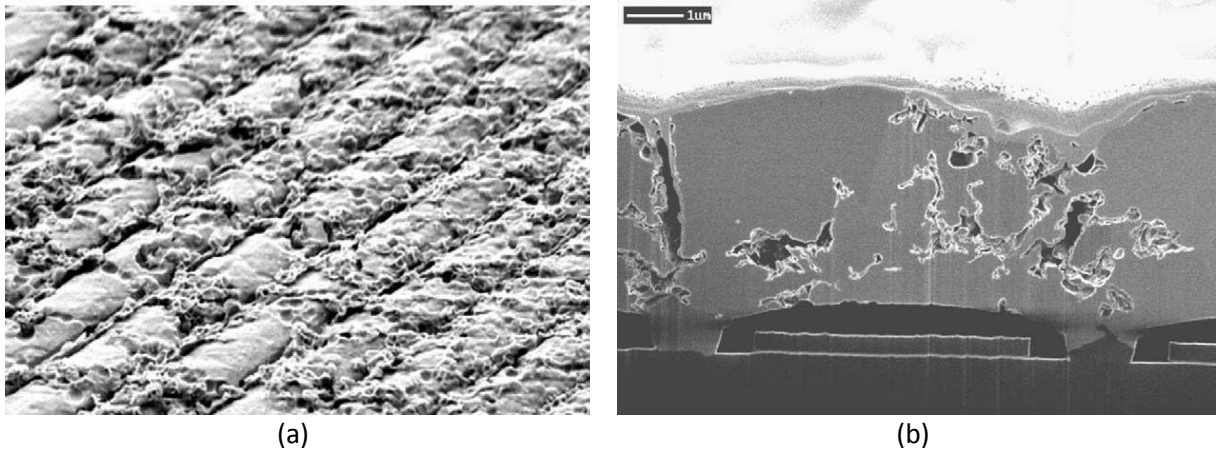


Figure I. 33 : (a) Dégradation de la métallisation de source, (b) cavités dans la métallisation de source liées à la reconstruction de l'aluminium à cause des différences de CTE entre l'aluminium et le silicium [Tes10].

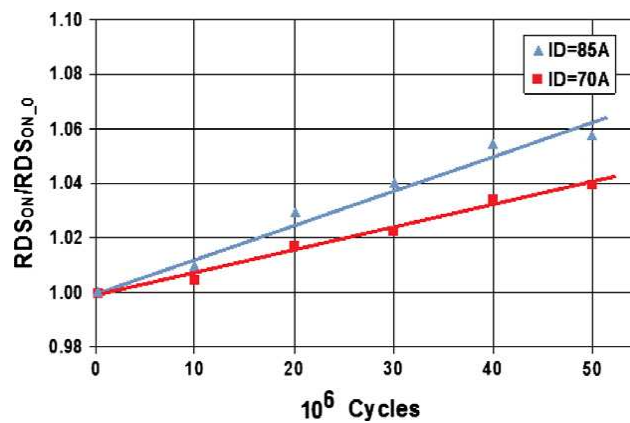


Figure I. 34 : Variation de la résistance à l'état passant en cours de cyclage [Tes10].

B. Bernoux [Bern09] a fait une étude similaire sur des MOSFETs verticaux basse tension. Elle a montré l'effet des tests d'avalanche (UIS) répétitifs avec un fort courant et à température ambiante élevée sur ces composants. Les résultats montrent de façon très surprenante une diminution cette fois de la résistance à l'état passant $R_{DS(on)}$ après plusieurs millions de cycles. Cette résistance est divisée par 2 puis se stabilise autour de 45% de sa valeur initiale jusqu'à la défaillance de la puce. La Figure I. 35 représente de façon normalisée la chute de cette résistance à l'état passant en fonction du nombre de cycles d'avalanche. Dans le même temps une résistance d'électrode de source incluant résistance de fils de bonding et résistance de la métallisation est mesurée. Cette résistance augmente comme attendu avec la répétition des cycles et ce à cause de la dégradation de la métallisation voire du contact entre fils de bonding et métallisation.

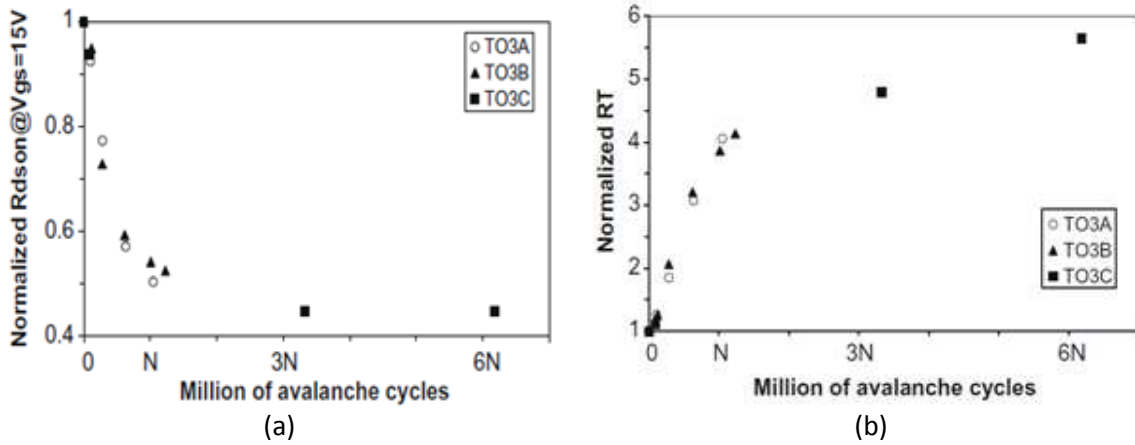


Figure I. 35: (a) Evolution de $R_{DS(on)}$ normalisée pendant les tests UIS répétitifs, (b) Evolution de la résistance d'électrode pendant les tests UIS répétitifs [Bern09].

La diminution de la résistance à l'état passant a été expliquée par Bernoux par une augmentation importante de la résistance de métallisation car dans son protocole, $R_{DS(on)}$ varie de manière inverse à celle de métallisation. D'autre part, la dégradation constatée de la couche de métallisation n'explique pas les défaillances observées.

II.2. Régimes de court-circuit

II.2.1. Circuits de tests

Le court circuit de type I est le cas standard des courts circuits (Figure I. 36). Le court circuit existe déjà quand l'IGBT passe à l'état passant et se retrouve avec la tension V_d à ses bornes. Le scénario typique de ce type de court circuit est la présence d'un court-circuit sur les terminaux de sortie. Mais ce type de court circuit peut se produire aussi dans un bras si un IGBT est détruit lors de son blocage.

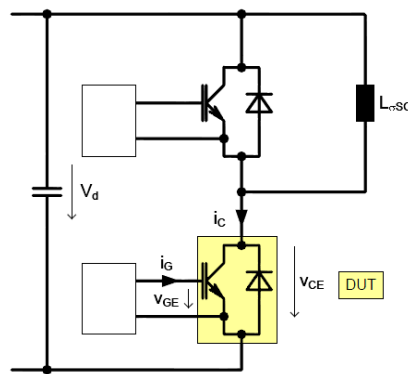


Figure I. 36: Circuit de test de court circuit de type I [shu10].

Il existe deux sous-types selon la valeur de l'inductance parasite L_{oSC} dans le circuit. Si L_{oSC} est faible (Figure I. 37.a), la tension à travers l'IGBT reste élevée et le di/dt sera déterminé par la vitesse du passage de l'IGBT à l'état passant. Si l'inductance parasite de la maille est élevée (Figure I. 37.b), le di/dt sera limité par l'inductance. La tension à travers l'IGBT s'écroule et le courant croît jusqu'à la désaturation du composant sous test. La tension collecteur émetteur V_{CE} augmente de nouveau

entraînant ainsi l'augmentation de la tension de grille V_{GE} par effet Miller. Comme une tension V_{GE} plus élevée conduit à un courant de court circuit plus élevée, la tension V_{GE} doit être limitée (clamped) en réduisant la résistance et l'inductance du circuit de commande.

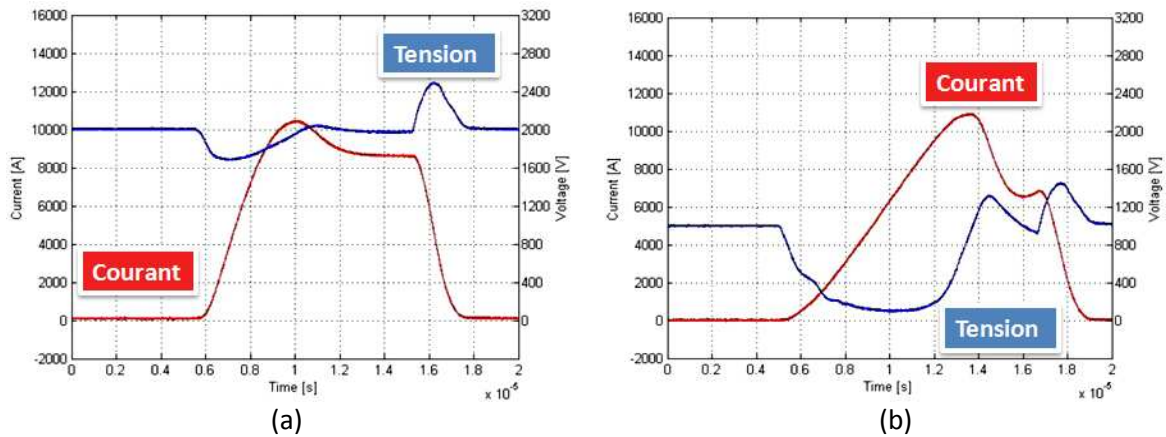


Figure I. 37 : Court circuit de type I pour un IGBT 4.5 kV/900 A avec une inductance parasite dans la maille (a) faible, (b) élevée [shu10].

Dans le cas du court circuit de type II (Figure I. 38), l'IGBT conduit déjà un courant quand le court circuit se produit [Eck 95]. Le composant sous test, s'il s'agit d'un IGBT est dans un état de résistance à l'état passant modulée (charge stockée dans la région de base). La croissance du courant est limitée par l'inductance du circuit. Quand l'IGBT se désature, la tension aux bornes du transistor s'élève rapidement. La rapide variation de tension aux bornes du transistor va induire une élévation de la tension de grille par effet capacitif Miller, qui aura pour conséquence d'augmenter transitoirement la valeur du courant de court-circuit limité par l'IGBT.

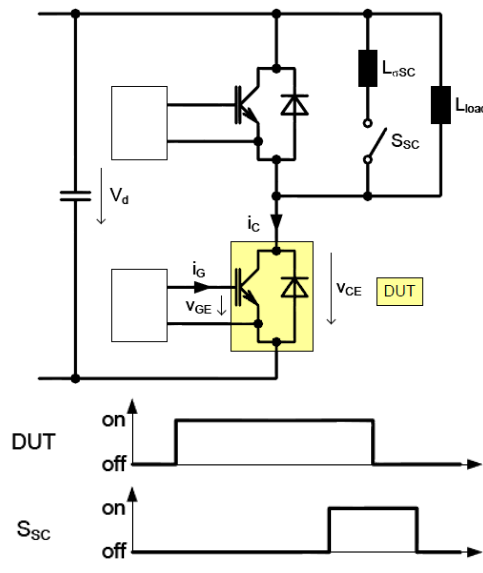


Figure I. 38 : Circuit de test de court circuit de type II [shu10].

Pour une inductance de court circuit élevée (figure I.20.a), l'IGBT se comporte de façon similaire au cas du court circuit de type I. Pour une faible inductance (figure I.20.b), la situation est différente. En

effet, pour le circuit de type I, la tension V_{CE} reste élevée sans contre réaction significative sur la grille. Par contre, lors d'un court-circuit de type II, la tension d'émetteur V_{CE} étant faible quand le court circuit se produit, la phase de désaturation entraînant l'augmentation brutale de la tension aux bornes du transistor et la contre réaction sur la commande se traduira par une surintensité de court-circuit d'autant plus élevée (et donc d'autant plus contraignante) que la maille sera peu inductive.

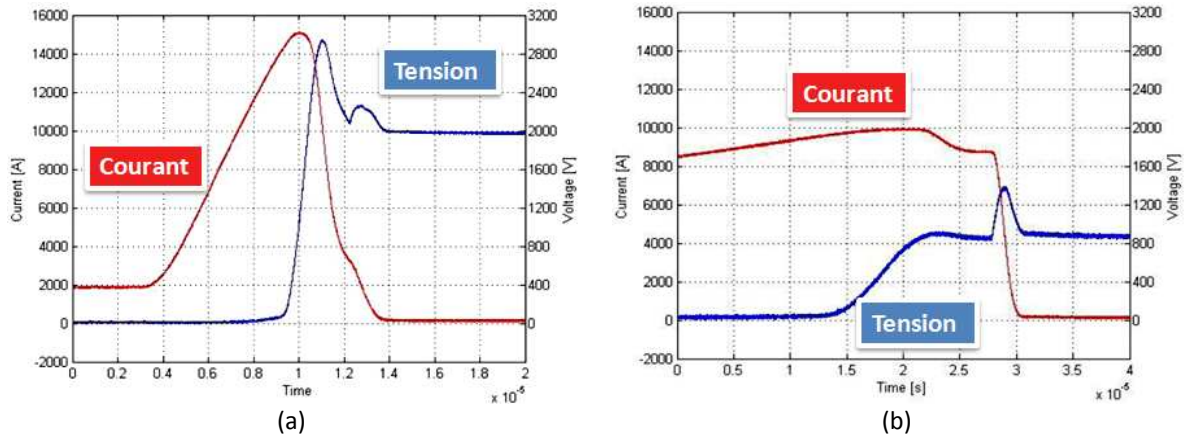


Figure I. 39: Court circuit de type II pour un IGBT 4.5 kV/900 A avec une inductance parasite (a) faible, (b) élevée [shu10].

J. Schumann [Shu10] a réalisé des simulations sur le court circuit de type II pour comprendre l'effet de la commande de grille. Il a vérifié que le pic de courant qui apparait pendant les tests est le résultat de l'augmentation de la tension grille émetteur V_{GE} . Une réduction de la tension entre grille et émetteur pourra diminuer le pic de courant. Pour ce faire, il propose une contre-réaction sur le circuit de commande à travers la chute de tension de l'inductance de source.

Dans le cas d'un court circuit de type III [Lut09], l'IGBT est à l'état passant mais c'est la diode antiparallèle qui conduit le courant de charge quand le court circuit se produit (Figure I. 40).

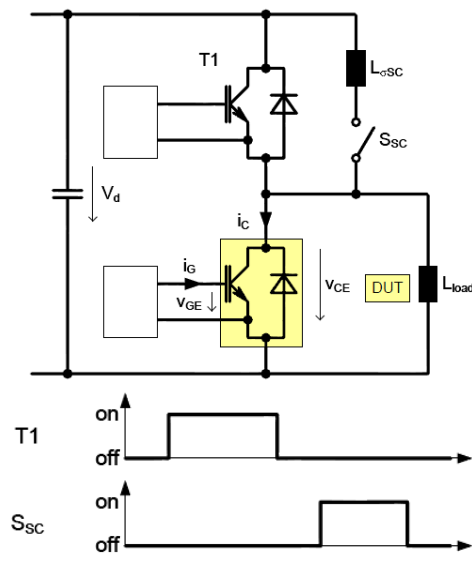


Figure I. 40 : Circuit de test de court circuit de type III [shu10].

L'IGBT subit des contraintes plus élevées en court circuit de type III qu'en type II car il y a des contraintes supplémentaires apportées par le blocage de la diode de roue libre. Un exemple de ce type de court circuit est illustré dans [Lut 09].

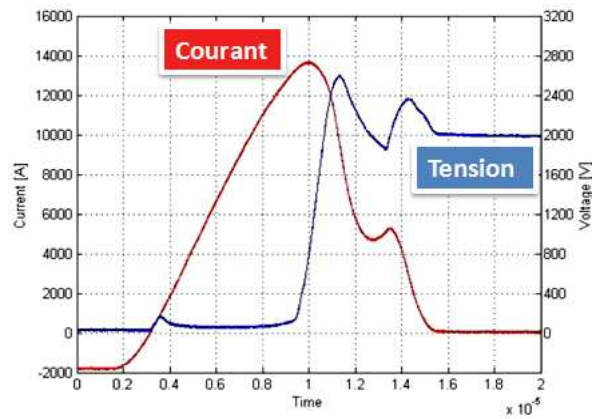


Figure I. 41 : Formes d'ondes lors d'un test du court circuit de type III sur un IGBT 4.5 kV/ 1.2 kA [shu10].

II.2.2. Résultats des tests

Une étude sur des MOSFETs en carbure de silicium a été menée par [Nak07] pour montrer leur fort potentiel pour les applications à forte puissance. Il a testé des prototypes de 4H-SiC MOSFETs avec une surface active de $\sim 1 \times 1 \text{ mm}^2$ et une tension de claquage supérieure à 1.2 kV [Miu06] en régime de court circuit de type I à 25°C et 125°C. La tension d'alimentation V_{DC} vaut 800V et le driver On/Off de la grille varie entre +20/-10 V avec une résistance de grille $R_G=10 \Omega$.

Les formes d'ondes pendant la phase de court circuit sont représentées sur la Figure I. 42 en fonction de la durée de court circuit. Quand le transistor est à l'état passant, le courant I_D augmente rapidement puis diminue doucement suite à l'augmentation de la température interne de la puce. La défaillance apparaît après environ 70µs.

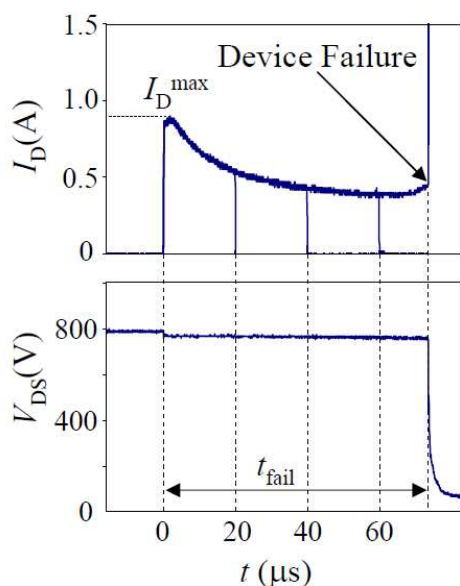


Figure I. 42 : Transistor MOSFET SiC, formes d'ondes expérimentales de I_D et V_{DS} en régime de court-circuit [Nak07].

Sur des transistors MOSFET SiC, Y.Nakao a également étudié l'influence des paramètres géométrique et physique des cellules élémentaires qui constituent la puce sur la durée de court circuit menant à la défaillance t_{fail} et sur le courant de drain maximal I_{Dmax} (courant de court-circuit max.) Les résultats (Figure I. 43) ont montré qu'avec l'augmentation de la longueur du canal, le temps t_{fail} devient plus long et le courant I_{Dmax} plus faible. Cela démontre qu'une grande partie de la résistance à l'état passant est formée par la résistance du canal. Par contre, une très faible dépendance avec la longueur du JFET parasite a été observée, ce qui montre cette fois que la résistance du JFET parasite est négligeable devant les autres résistances. L'effet de la température sur le temps t_{fail} est négligeable. En effet t_{fail} n'étant que faiblement plus court à 125°C qu'à 25°C, cela prouve que la défaillance du MOSFET SiC se produit à des températures largement supérieures à 125°C.

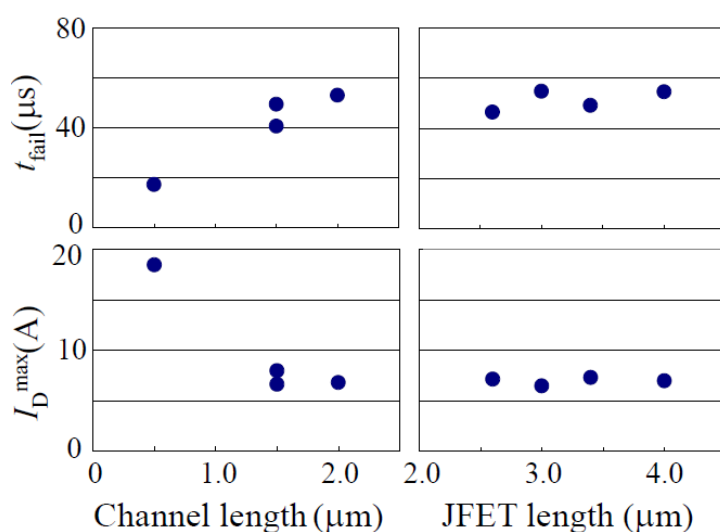


Figure I. 43 : Dépendance de t_{fail} et I_{Dmax} aux paramètres de la cellule du MOSFET [Nak07].

M. Berkani et al. ont étudié le comportement des JFETs SiC fabriqués par SiCED en régime de court circuit au sein de notre laboratoire. [Berk 10] présente les résultats expérimentaux obtenus lors des essais de robustesse puis répétitifs en régime de court-circuit des transistors JFET SiC. Afin d'estimer l'énergie critique, un essai destructif a été réalisé pour une durée de phase de court-circuit égale à $T_{cc}=2$ ms. Deux modifications du comportement du transistor dans l'évolution du courant de drain et de la tension de commande ont été observés (Figure I. 44) : une première pendant la phase 1 (de durée égale à 250 μ s) et une deuxième à la fin de la phase 2 (de durée égale à 700 μ s). Ensuite nous avons estimé l'énergie critique à partir d'essais à différentes durées de court-circuit. Jusqu'à une durée égale à 780 μ s (limite de la fin de la phase 2), le transistor assure l'ouverture du courant de court-circuit. C'est à partir d'une durée de phase égale à 800 μ s que le circuit de commande ne contrôle plus le transistor et ne peut plus ouvrir le courant de court-circuit. La défaillance se manifeste toujours par un emballement thermique après environ 1.5 ms ici, ce qui correspond à une énergie dissipée d'environ 102,5 J/cm² (Figure I. 45).

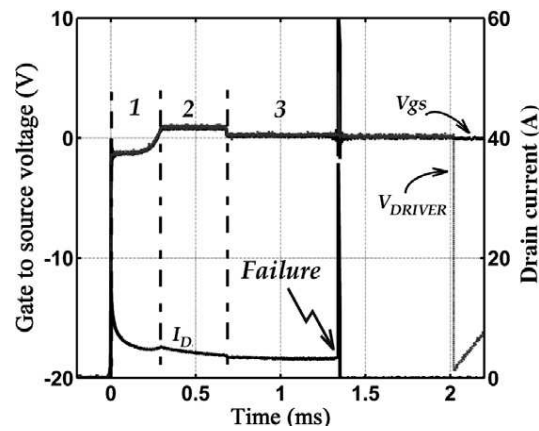


Figure I. 44 : Test de court circuit destructif pour un JFET 300m Ω [Berk10].

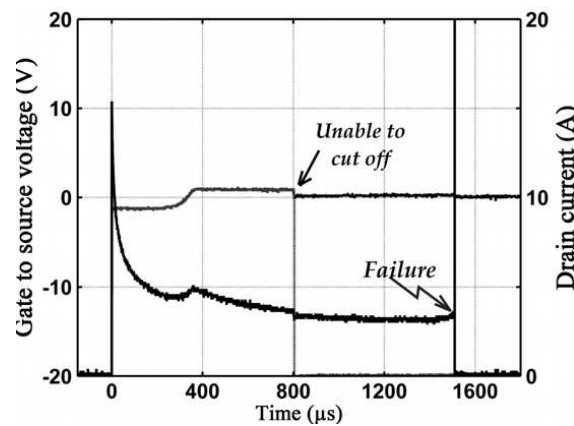


Figure I. 45 : Estimation de l'énergie critique pour un JFET de 300m Ω , un temps de court circuit $T_{sc}=800\mu$ s à 25°C [Berk10].

II.2.3. Mesure de la température

N. Boughrara a essayé d'estimer la température du transistor JFET SiC SiCED à l'aide du courant de court circuit [Bou08]. Elle a caractérisé la variation du courant de saturation avec la température

ambiante, pour une température de boîtier variant entre 25 et 350°C, et une tension d'alimentation de 400V. Les résultats sont présentés à la Figure I. 46 ci-dessous.

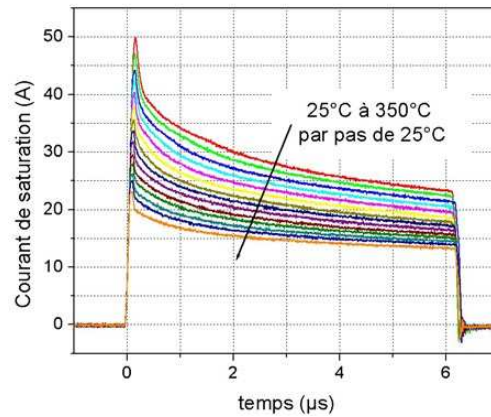


Figure I. 46 : Courant de saturation en fonction de la température du boîtier ($E=400V$) pour un JFET SiC 1200V, 15A [Bou08].

Les résultats montrent une forte dépendance du courant de saturation avec la température, liée à l'échauffement de la puce pendant le régime de court circuit et à la température du boîtier initiale (juste avant la phase de court circuit). Les résultats expérimentaux de la Figure I. 46 obtenus sur une large gamme de température ambiante montrent également par exemple que le niveau du courant de court circuit obtenu à température de 25 °C, 6μs après l'initiation de la phase de court-circuit correspond aux niveaux de courant atteints en début de court-circuit pour des températures ambiantes comprises entre 300 et 350°C comme indiqué sur la Figure I. 47.

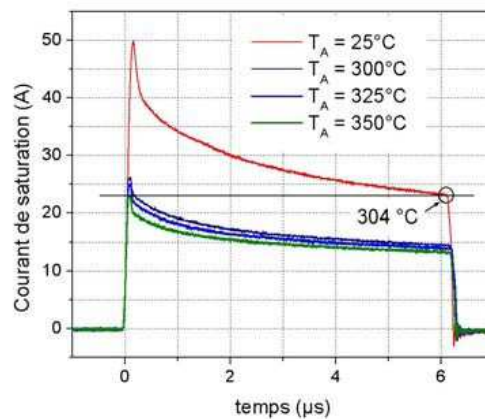


Figure I. 47 : Validation de la température du cristal calculée en fin de court-circuit pour une température ambiante de 25°C [Bou08].

Des simulations thermiques sur Comsol ont ainsi été faites pour relier le courant de saturation à la température du cristal. Pour ce faire, et pour chaque relevé expérimental obtenu entre 25 et 350 °C, l'évolution de la température maximale dans le cristal a été simulée en fonction du temps, et la valeur de l'intensité du courant de saturation a été reliée à la température simulée au point le plus chaud du cristal. Les résultats sont indiqués à la Figure I. 48.a ci-dessous qui montre la variation du courant de saturation en fonction de la température calculée et cela pour l'ensemble des résultats

expérimentaux de la Figure I. 46. La figure montre en début de chaque phase de court circuit une surintensité (charge des capacités de sortie du transistor) qui sera supprimé pour chercher un modèle du courant de saturation avec la température. Ainsi, et de façon totalement arbitraire, un modèle mathématique de la variation du courant de saturation en fonction de la température (°C) a été approximé (Figure I. 48.a) et s'écrit selon l'équation ci-dessous :

$$I_{SAT} = I_{SAT0} \exp\left(\frac{-\theta}{\theta_0}\right) \quad \text{I.11}$$

Avec $I_{SAT0} = 50\text{A}$ et $\theta_0 = 384,17^\circ\text{C}$.

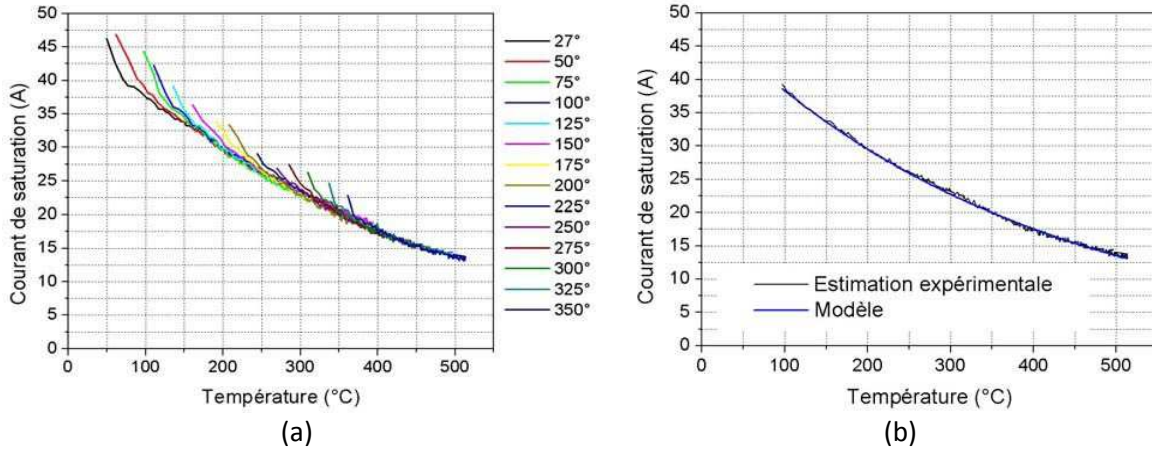


Figure I. 48 : (a) courant de saturation en fonction de la température, (b) Modélisation de la variation du courant de saturation avec la température (JFET 600V 15 A ; $E = 400\text{V}$) [Bou08].

Ces résultats ont permis d'estimer la température de jonction (à partir du modèle obtenu) pendant un test de court circuit destructif d'un JFET 600V-2A avec une tension à ses bornes E de 400V et à température ambiante de 25°C (Figure I. 49). La température maximale estimée en fin de court-circuit est de l'ordre de 800°C.

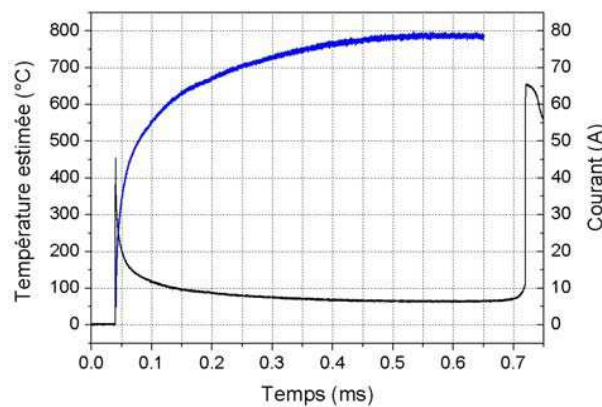


Figure I. 49 : Estimation de la température max. dans la puce pendant la phase de court-circuit destructif (JFET SiC 600V-2A), $E = 400\text{V}$, à 25°C [Bou08].

Une estimation de la température de jonction a été également faite par simulation thermique 3D sur COMSOL [Berk09]. La Figure I. 50 représente les puissances dissipées et les résultats de simulation pour deux types de JFET SiC de SiCED (JFET 1200 V/300mΩ, JFET 1500 V/100mΩ) pour une durée de

court circuit de 300 μ s. La température au point le plus chaud de la puce (au centre) est de l'ordre de 600°C.

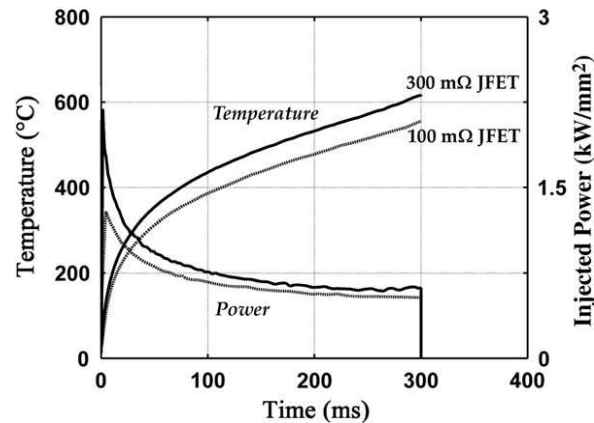


Figure I. 50 : Résultat de simulation de la température de jonction avec un TSC=300 μ s pour les JFETs 100m Ω et 300m Ω [Berk09].

II.2.4. Analyse des défaillances

M. Berkani et al. ont effectués également des tests de vieillissement par courts-circuits répétitifs, dans un premier temps, pour une durée de court-circuit de 200 μ s afin de comprendre l'origine de la défaillance. Le suivi des paramètres électriques a montré des variations importantes du courant de saturation, de la résistance à l'état passant et de la résistance parasite de la jonction grille-source. La tension de seuil V_{to} et le courant de fuite de grille n'ont présenté aucune variation. Ensuite, une étude sur l'effet de la durée de court-circuit sur la robustesse des composants testés a été faite. En effet, lorsque la durée de court-circuit est dans la première phase, les dispositifs testés supportent un nombre important de courts-circuits répétitifs sans défaillance. Cependant, lorsque la durée de court-circuit est plus élevée (dans la deuxième phase), la défaillance des dispositifs testés survient après seulement quelques milliers de courts-circuits. Au-delà, phase 3, la grille est incontrôlable et la défaillance apparaît instantanément, ce qui montre que, chronologiquement, sur un test de longue durée, la grille entre en défaillance avant que le composant ne perde ses capacités de limitation du courant. Un récapitulatif des résultats de vieillissement est présenté sur le Tableau I. 2 ci dessous.

T_x (μ s)	Phase 1		Limit phases 1 and 2	Phase 2		
	100	200		340	400	500
Number of cycles	46k; no failure	77k; no failure	10k; failure	2.5k; failure	2.1k; failure	2k; failure

Tableau I. 2 : Récapitulatif des tests de vieillissement par court circuit sur transistors JFET SiC (SiCED) [Berk09].

Dans le but de comprendre le mécanisme de défaillance en régime extrême de fonctionnement, [Ara08] s'est intéressé à l'étude du vieillissement d'IGBTs Trench 600 V en régime de court circuit répétitif sous une tension de 400 V et une énergie dissipée de 156 mJ (inférieure à l'énergie critique).

L'étude expérimentale a montré la corrélation entre la diminution du courant de court circuit et l'augmentation de la résistance à l'état passant (Figure I. 51).

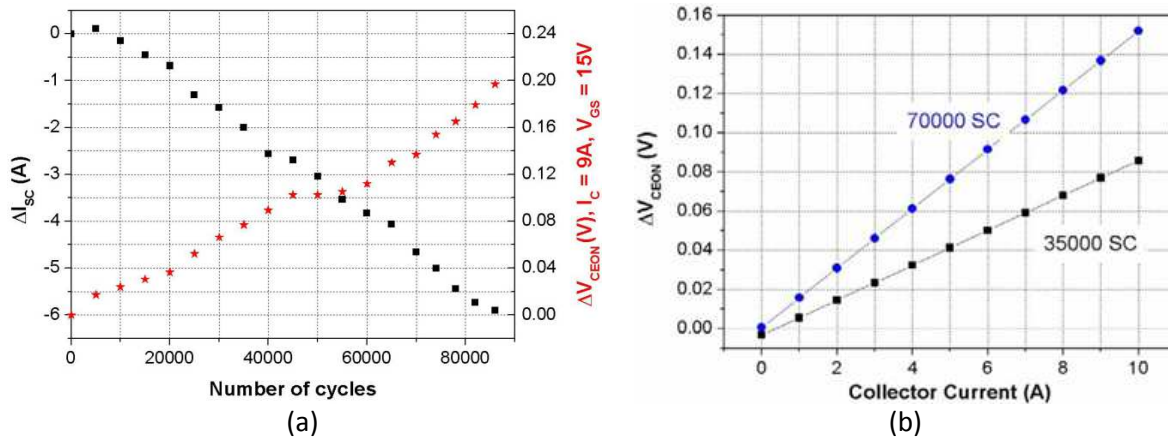


Figure I. 51 : (a) Effet du vieillissement sur la décroissance du courant de court circuit et l'augmentation de la tension à l'état passant, (b) variation de la tension avec le courant de collecteur après 35000 et 70000 court circuits [Berk09].

L'observation au MEB des puces a montré que la défaillance est localisée sous le contact d'émetteur d'un des fils de bonding et une reconstruction significative de la couche de métallisation en aluminium dû à la différence des coefficients de dilatation thermique entre l'aluminium et le carbure de silicium (Figure I. 52.a). Ces dégradations sont responsables de l'augmentation de la résistance de métallisation et de la fragilisation des fils de bonding. Des craquelures (Figure I. 52.b) ont été observées autour des contacts des fils de bonding ce qui pourrait se traduire par une augmentation de la résistance de contact. Les auteurs ont supposé à partir de ces constats une augmentation locale de la température au voisinage du fil. Après répétition de nombreux cycles, dégradation et élévation de la température au point chaud, on peut supposer qu'elle devienne suffisamment élevée pour mettre en conduction le thyristor parasite de l'IGBT et expliquer ainsi par latch-up la destruction.

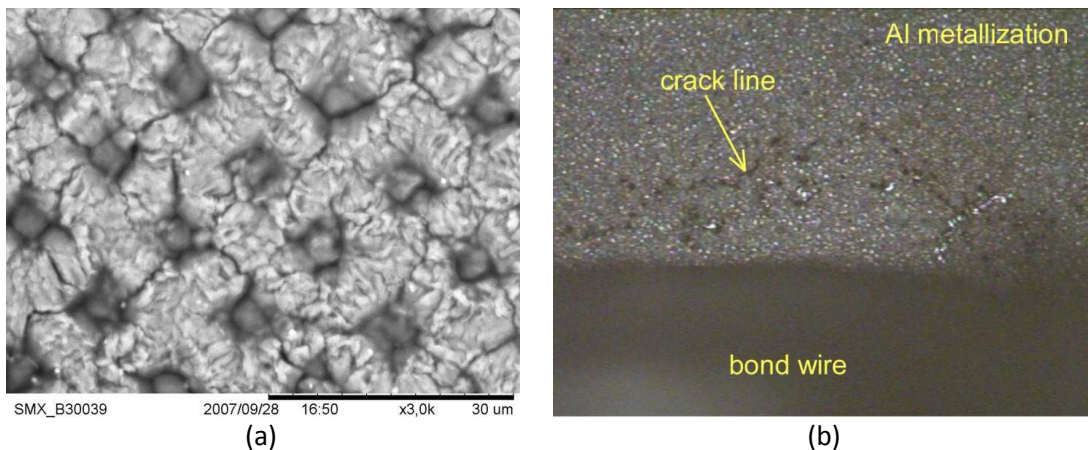


Figure I. 52 : a) Reconstruction de l'aluminium après 24600 cycles de court circuit, b) fissure autour du contact du fil de bonding [Ara08].

III. Packaging haute température

III.1. Introduction

L'assemblage d'un composant de puissance désigne la structure et les procédés technologiques permettant d'interconnecter une ou plusieurs puces de puissance à son environnement immédiat : ses contacts électriques, son substrat d'isolement, son drain thermique, son support mécanique et enfin son encapsulant de protection.

Les modules de puissance sont constitués d'un empilement de différents matériaux. Le premier niveau est constitué des puces qui représentent la partie active du module. L'amenée du courant sur ces puces est assurée en général par des fils de bonding, des rubans, etc. Ces puces sont montées sur un substrat isolant formé d'une céramique isolante métallisée des deux côtés suivant un procédé de type DCB (Direct Copper Bonding) ou AMB (Active Metal Bonding). Le substrat est généralement monté sur une semelle métallique qui sert de maintien mécanique pour fixer le module sur le refroidisseur au travers d'une interface thermique. Enfin, nous trouvons le packaging qui enveloppe le tout afin d'assurer la liaison entre l'assemblage interne du module et son environnement externe (Figure I. 53).

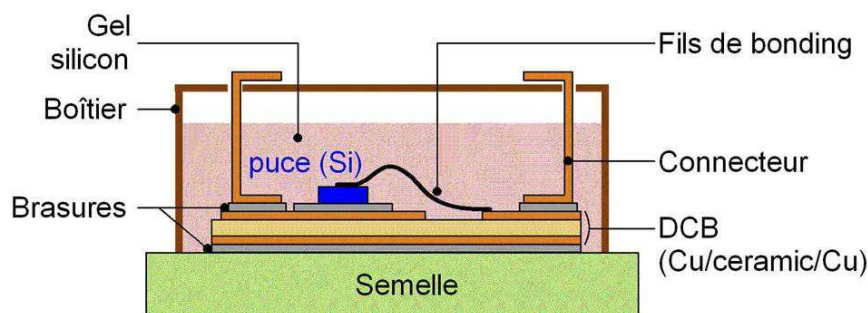


Figure I. 53 : Structure classique d'un module de puissance [Pie10].

Les matériaux utilisés pour l'assemblage et les technologies d'interconnexion des différents matériaux impacteront fortement les performances électriques, thermiques et mécaniques des modules de puissance ainsi que leur fiabilité.

III.2. Éléments constitutifs d'un module de puissance

III.2.1. Substrats

Le substrat est un support isolant métallisé des deux côtés par des pistes conductrices qui assurent la connexion des composants [Sch94]. Son épaisseur dépend de la tension à tenir et est de l'ordre de quelques centaines de microns. Le substrat assure l'isolation électrique et l'évacuation du flux de chaleur dissipé par la puce. Il doit satisfaire quelques conditions comme un coefficient de dilatation thermique (CTE) compatible avec ceux des puces, une rigidité diélectrique élevée pour supporter les tensions appliquées, une faible permittivité afin de minimiser les capacités parasites et une conductivité thermique élevée pour faciliter l'évacuation de la chaleur. Pour l'assemblage des

modules de puissance, les substrats peuvent être répartis en deux catégories : les substrats à base de polymères et les substrats céramiques métallisés.

III.2.1.1. Substrats céramiques métallisés

Les substrats à base de céramique sont les plus employés dans les modules de puissance, en raison de leurs bonnes propriétés diélectriques, et leurs tenues en température particulièrement adaptées au processus d'assemblage. Parmi les substrats les plus intéressants, nous citons le nitrure d'aluminium, AlN, qui présente une très bonne rigidité diélectrique ($10 \text{ kV}^{-1}\text{mm}^{-1}$) [Sch94] mais une résistance mécanique et une tenue aux chocs thermiques relativement faible. De nombreux fournisseurs (Kyocera, Denka) proposent aujourd'hui des substrats en nitrure de silicium Si_3N_4 pour les applications à haute température. C'est un matériau extrêmement dur dont la conductivité thermique est proche du tiers de celle de l'AlN. Son intérêt majeur pour l'électronique de puissance reste son excellente tenue mécanique et son coefficient de dilatation thermique très proche de celui du silicium. Il y a aussi l'alumine Al_2O_3 qui est de moins bonne qualité à cause de sa faible conductivité thermique et l'oxyde de Béryllium BeO qui présente une conductivité thermique environ 15 fois supérieures à celle de l' Al_2O_3 et un coefficient de dilatation thermique plus faible mais qui est toxique. Le Tableau I. 3 résume les données physiques des principaux substrats céramiques utilisés en électronique de puissance.

Matériaux	Conductivité thermique (W/m·K)	Capacité calorifique (J/g·K)	CTE (10^{-6} K^{-1} à 20°C)	Module d'élasticité (GPa)	Rigidité diélectrique ($\text{kV}\cdot\text{mm}^{-1}$)	Masse volumique (g/cm^3)
Al_2O_3	18	0,85	7,7	370	12 à 16	3,7
AlN	150 à 190	0,75	4,5	344	12 à 16	3,3
BeO	270	1	6,3	345	10 à 14	2,9
Si_3N_4	43 à 60	0,8	3,3	310	10 à 13	3,29

Tableau I. 3: Propriétés des céramiques qui peuvent être utilisées comme substrat.

Le choix de l'un ou l'autre de ces matériaux se base sur leurs performances thermiques et mécaniques, en fonction des niveaux de sollicitations estimés pour chaque application et de la nature de leurs métallisations.

III.2.2. Métallisations

Les métallisations des deux côtés des substrats servent essentiellement à connecter les composants entre eux, assurer la liaison mécanique avec la semelle ou le radiateur, diffuser et faciliter le transfert de la puissance dissipée dans les puces vers le refroidisseur. Les principaux matériaux utilisés sont le cuivre et l'aluminium, avec des épaisseurs variant entre 150 et 500 microns, mais les importantes différences de coefficient de dilatation thermique entre ces métaux et les céramiques employées entraînent des ruptures à des nombres de cycles thermiques relativement bas. Une solution développée par la société Curamik® est le concept de métallisations avec épaisseurs réduites sur la périphérie par enlèvement de matière généralement de formes sphériques ("dimples") (Figure I. 54). Cette approche permet une réduction des contraintes sur le contour de la surface de contact entre le

substrat et ses métallisations ce qui augmente la durée de vie des assemblages pendant les cyclages thermiques [Curamik].

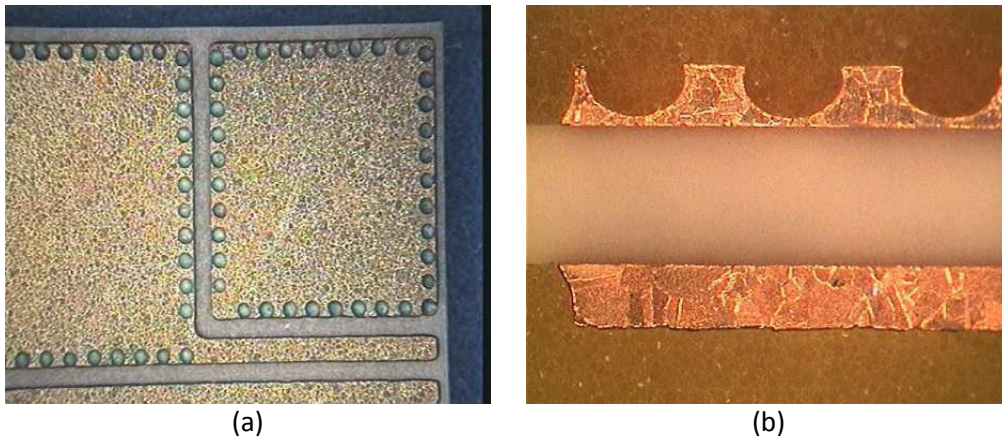


Figure I. 54 : Substrat AlN/Cu avec dimples : (a) vue de dessus, (b) en coupe.

III.3.1.1. Liaisons substrat/métallisation

III.2.2.1.1. Procédé DCB

Dans le domaine de l'électronique de puissance, les premiers assemblages utilisés étaient des substrats Al_2O_3 avec accrochage direct de métallisation en cuivre suivant le procédé DCB (Direct Bond Copper). La technique utilisée (Figure I. 55) consiste dans un premier temps à former par oxydation une couche d'eutectique (Cu_2O) à la surface du cuivre. L'ensemble cuivre/ Cu_2O /alumine est ensuite porté à une température légèrement supérieure au point de fusion de l'eutectique avec apport d'oxygène à l'interface pour former une couche suffisante de Cu_2O en fusion. L'accrochage se produit à la suite de la réaction entre les deux oxydes (Cu_2O et Al_2O_3). Il se forme alors une jonction fine, de forte résistance mécanique et exempte de bulles. Il a fallu attendre le début des années 2000 pour réussir à métalliser l'AlN suivant le procédé du DCB en formant au préalable, par oxydation, une couche d'alumine à sa surface [Joy02].

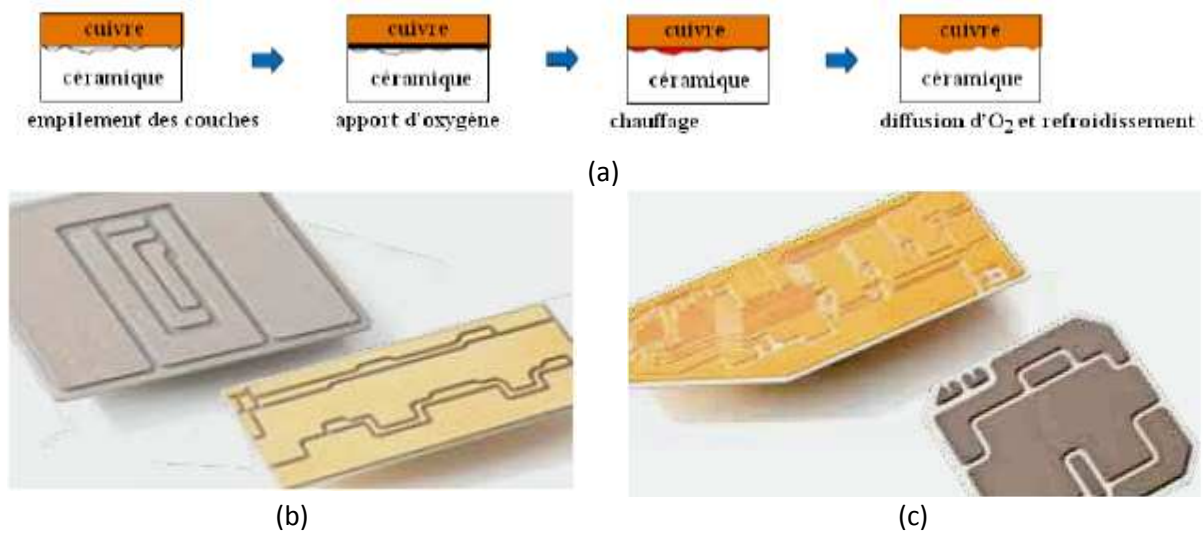


Figure I. 55 : (a) Description du procédé du DBC, (b) DCB avec un substrat AlN, (c) DCB avec un substrat Al₂O₃, [Curamic].

Plus récemment, des solutions d'accrochage direct de l'Al₂O₃ avec l'aluminium ont été mises au point. Ces solutions sont basées sur la propriété de jonction naturelle (liaison covalente) existant entre l'aluminium et son oxyde, au-delà de sa température de fusion [Nin03].

III.2.2.1.2. Procédé AMB

Comme alternative à ces techniques de DCB, des procédés de liaison céramique/métal par brasage ont été développés comme le procédé AMB (Active Metal Brazing). Le principe de la réalisation de cette connexion est basé sur le brasage par refusion, sous atmosphère contrôlée, d'un alliage (brasure) entre le métal et la céramique (Figure I. 56.a). L'alliage Ag-Cu est le plus utilisé en ajoutant un élément actif comme le titane ou l'oxygène pour augmenter sa réactivité. Cette technologie permet la réalisation d'assemblage sans limitation sur l'épaisseur de la métallisation à une température relativement faible (900°C) [Rei01]. Les fournisseurs de substrat Si₃N₄ proposent aujourd'hui des métallisations en cuivre de forte épaisseur (0,5 mm) attachées par AMB et pouvant être directement pressées sur le dissipateur sans semelle (Figure I. 56.b). Cette solution peut à terme remplacer le couple AlN/AlSiC qui a des résistances thermiques globales comparables mais reste plus cher et plus fragile [KYOCERA].

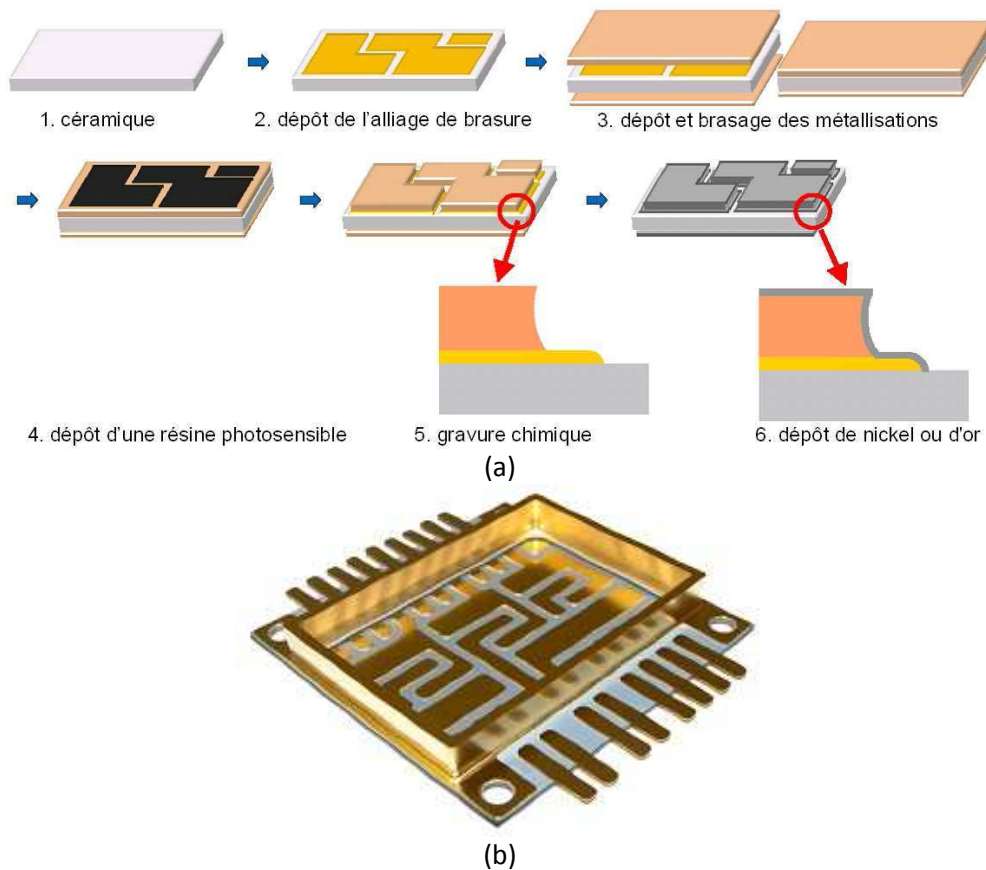


Figure I. 56 : (a) Description du procédé AMB, (b) Image d'un substrat AMB $\text{Si}_3\text{N}_4/\text{Cu}$ [Kyocera].

Nous avons étudié la robustesse de ce type d'assemblage haute température réalisé en sous-traitance par la société SEMELAB à partir de substrats isolants Si_3N_4 fournis par Kyocera. Nous avons caractérisé les dégradations de ces substrats par des analyses acoustiques effectués au LTN et à PEARL après vieillissement par cyclage thermique au SATIE. La structure de l'assemblage étudié est celle de l'image de la Figure I. 56.b et schématisée dans la Figure I. 57.a sans les puces, le couvercle (Case) et le gel. Le module kyocera est constitué de deux substrats AMB collés l'un sur l'autre grâce à une fine brasure CuAg (Cusil). Chaque interface AMB est constituée de deux couches de cuivre séparées par une couche de céramique Si_3N_4 , les couches sont liées entre elles par une très fine couche de brasure CuAg contenant du titane comme élément d'accrochage (Cusil ABA : Active Brasing Alloy). Les cycles thermiques réalisés s'effectuent entre -55°C et $+200^\circ\text{C}$ ce qui correspond au cas extrême pour les applications aéronautiques. Les rampes de température sont fixées à $10^\circ\text{C}/\text{min}$, et les durées de palier à 15mn (Figure I. 57.b). Les cyclages en température sont assurés par un générateur d'air FroidLabo (« Dragon »).

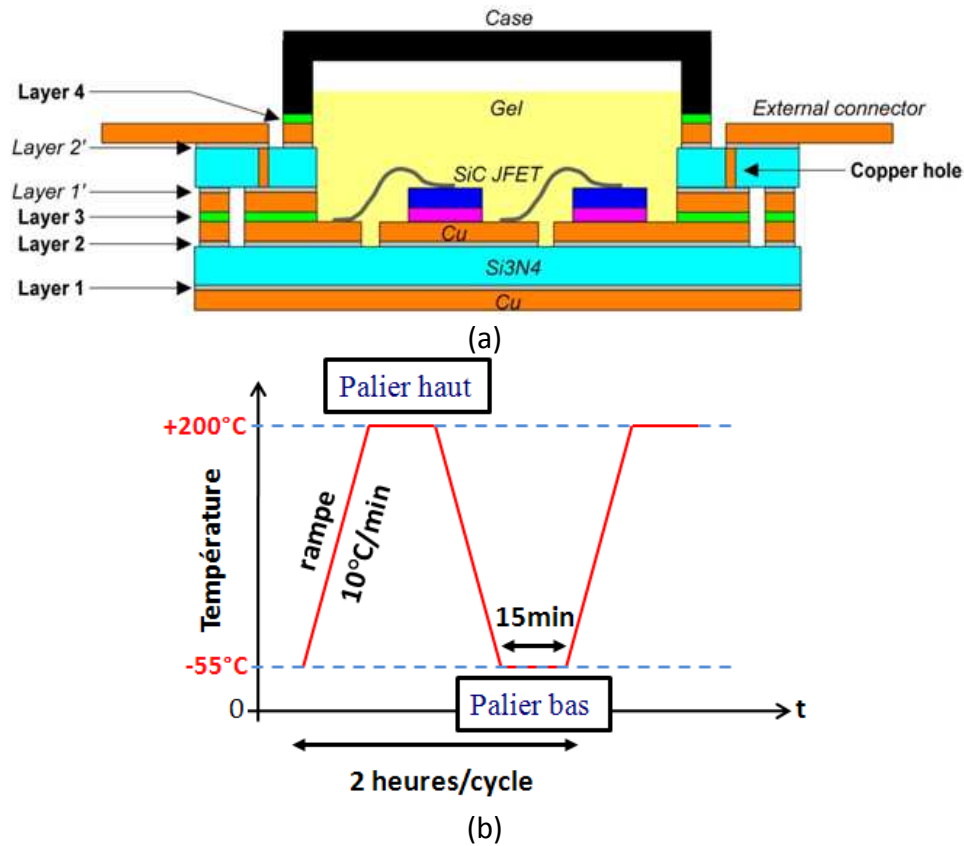


Figure I. 57 : (a) Structure de l'assemblage AMB Kyocera, (b) Profil des cycles thermiques expérimentaux.

Des analyses régulières de dégradation, avant et au cours des cycles ont été faites. En particulier, des analyses au scanner acoustique sont réalisées avec l'aide des moyens du laboratoire PEARL. Le module a subi 1000 cycles sans aucune défaillance. Les résultats de l'analyse acoustique et des analyses RX obtenus durant les 550 premiers cycles thermiques ont montré un certain nombre de lacunes de brasures entre le cuivre et la céramique (layer 1, Cf. Figure I. 57), en particulier dans la zone centrale, qui existaient initialement et qui n'ont pas évolué par cyclage thermique (Figure I. 58.a). Aucune évolution de l'interface « layer 2 » (Cf. Figure I. 57) n'a été constatée également comme illustré dans la Figure I. 58.b. De même, quoique l'on puisse observer quelques trous dans la brasure entre les deux substrats AMB comme montré dans la Figure I. 58.c, ceux-ci n'évoluent pas non plus.

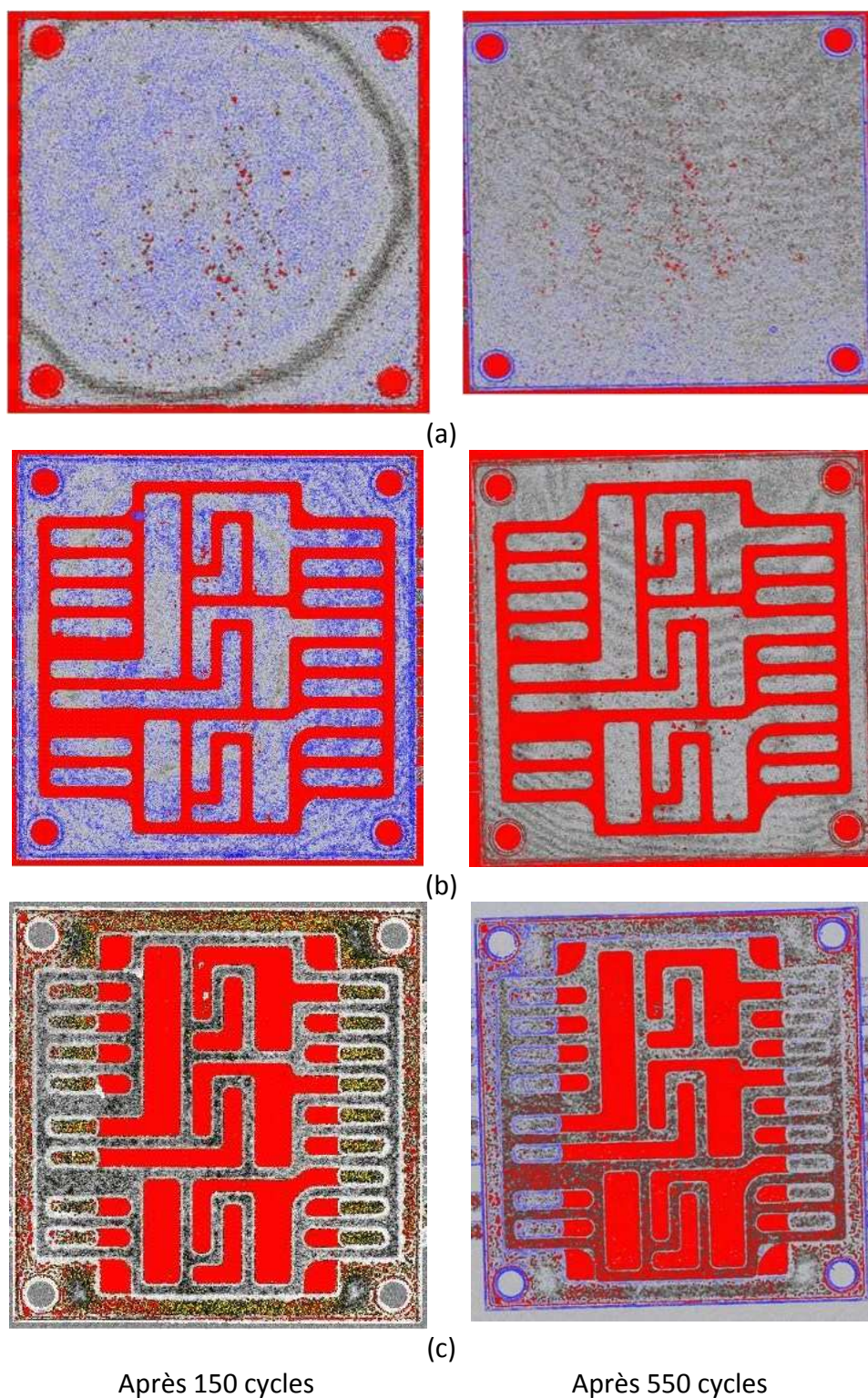


Figure I. 58 : (a) Evolution de l'interface layer 1, (b) évolution de l'interface layer 2, (c) évolution de l'interface layer 3, (Images acoustique Pearl).

En terme de résultats après ces tests expérimentaux de fatigue thermo-mécanique sur un tel assemblage, aucune dégradation à ces interfaces n'a été relevée après plus de 1000 cycles thermiques entre -50°C et 200°C.

Enfin, afin d'effectuer une évaluation théorique de l'assemblage vis-à-vis des cycles expérimentaux subis par le substrat, un modèle éléments finis thermo-mécanique 3D a été réalisé à l'aide du logiciel ANSYS 11 (Figure I. 59). Afin de simplifier le modèle, nous avons émis l'hypothèse de symétries géométriques et seulement le quart du substrat a été représenté. Dans ce premier modèle, seule la brasure de 50 μ m (72%Ag-28%Cu) entre les deux substrats a été prise en compte, les fines brasures actives (AMB) n'étant pas modélisées. Par ailleurs, une connexion avec via à travers le second substrat Si₃N₄ a été prise en compte.

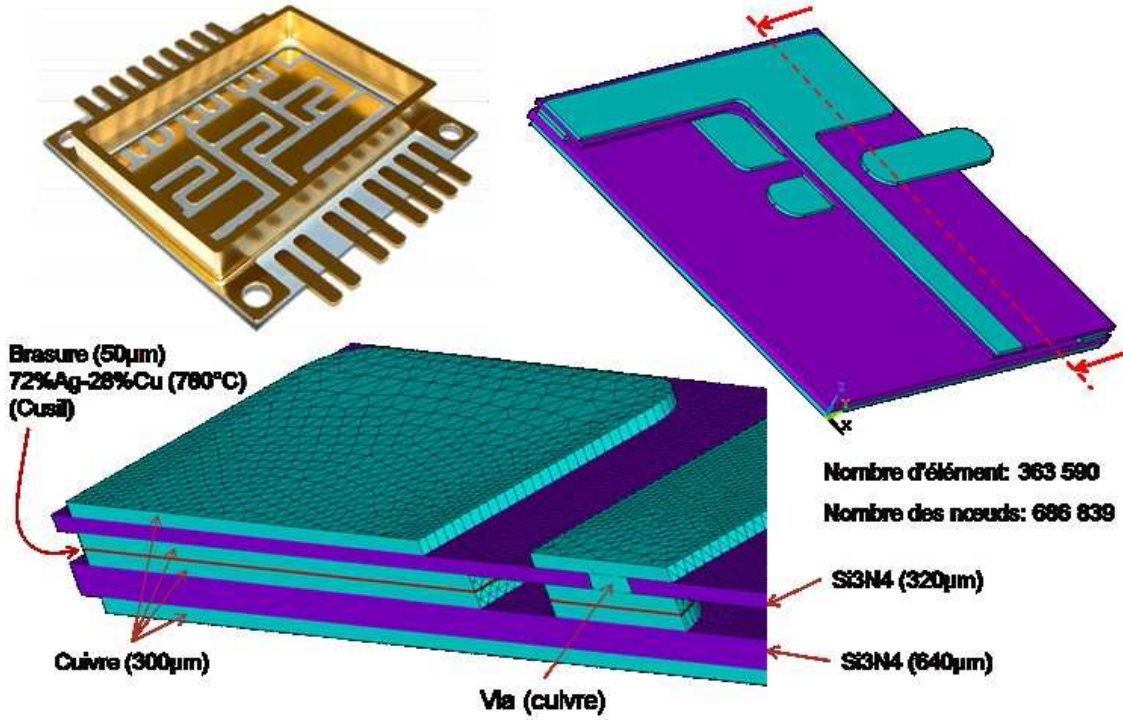


Figure I. 59 : Modèle thermo-mécanique du substrat Si₃N₄ réalisé.

Le modèle a requis environ 365000 éléments et 687000 nœuds. Les propriétés des matériaux sont données dans le tableau ci-dessous où la céramique Si₃N₄ est considérée linéaire, les métallisations de cuivre sont considérées non-linéaires (élasto-plastique) dont la caractéristique est donnée dans la Figure I. 60. Les propriétés physiques de la brasure Cu/Cu entre les deux substrats et de la céramiques Si₃N₄ de Kyocera sont données respectivement dans les annexes A et B. Les propriétés des brasures actives utilisées par Kyocera sont données en annexe C. Concernant la brasure Cu/Cu, nous avons pris en compte des propriétés visco-plastiques modélisées par une loi de Garofallo [Ste96] :

$$\dot{\epsilon}_{cr}(s^{-1}) = 1.07 \times 10^6 [\sinh(3.167 \times 10^{-8} \times \sigma)]^{2.019} e^{-21854/T} \quad (I.12)$$

Où σ est en MPa et T en K. Néanmoins cette relation "fitte" au mieux les données expérimentales de [Ste96] pour des températures comprises entre 250°C et 750°C, il sera donc nécessaire de prendre les résultats avec précautions en dehors de ces températures. D'autres informations sur les brasures Cusil (72%Cu-28%Ag) sont données dans [WES] [GRE].

Materiau	Thickness (μm)	Densité (kg.m^{-3})	CTE (ppm/K)	Module d'Young (GPa)	Coef. Poisson	Non-linéarité
Cu	300	8900	15	130	0.34	Fig.I.9
brasure	50	10000	20	83	0.36	Eq.1
Si_3N_4	3000	3500	2.7	300	0.3	-

Tableau I. 4 : Propriétés des matériaux.

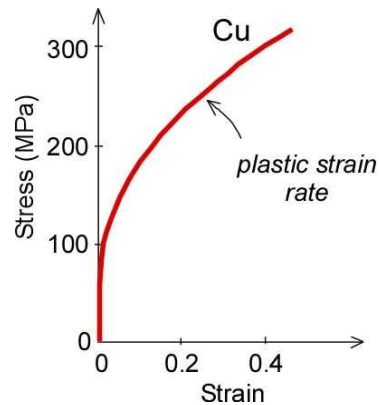


Figure I. 60: Caractéristique contrainte-déformation du cuivre.

Afin d'estimer les contraintes subies par le substrat lors des cycles thermiques présentés plus haut, le profil de chargement de la Figure I. 57 est imposé au modèle éléments finis. Les contraintes initiales de l'assemblage ont été prises en compte pour le calcul des contraintes lors des cycles thermiques ultérieurs. Celles-ci proviennent du procédé de refusion de la brasure et qui existent après la descente en température de 780° à 20°C . Le module de puissance subit quelques cycles thermiques (au nombre de 3) comparables à ceux réalisés expérimentalement. Ceux-ci consistent en des variations de températures entre -55°C et 200°C avec des durées de paliers de 15 minutes et des rampes de températures de l'ordre de $10^\circ\text{C}/\text{min}$ (Figure I. 57.b).

Après analyse des résultats, nous avons noté que les contraintes de Von Mises les plus importantes se situent au niveau du substrat Si_3N_4 . Les valeurs à basse température sont plus importantes qu'à haute température. Les valeurs maximales sont de l'ordre de 1.8 GPa à -50°C (à la fin du palier bas) contre environ 1.4 GPa à 200°C (à la fin du palier haut). Quoique ces valeurs soient relativement importantes, elles restent bien en-deçà des valeurs de rupture ou de la limite élastique qui est de l'ordre de 10 GPa.

Les contraintes de cisaillement, en fin de chaque palier du dernier cycle, respectivement à -50°C et 200°C , sont assez élevées également. Les valeurs maximales sont de l'ordre de 0.4 GPa à froid et 0.3 GPa à chaud. Quant aux déformations de fluage en cisaillement, considérés au bord de la brasure entre les métallisations en cuivre, elles sont de très faibles amplitudes et restent à des valeurs non significatives. Ces résultats corroborent le fait que ces interfaces sont assez peu sujettes à la fatigue thermique. Ce dernier point est confirmé avec les résultats de densité d'énergie inélastique (de fluage) aux mêmes endroits (bord de brasure). Les bords de la brasure étant bien sûr les endroits où les densités d'énergie sont maximales. La variation cyclique de densité d'énergie inélastique est de

l'ordre de $0.15\text{J}/\text{cm}^3$ ce qui est peu comparativement à ce que l'on trouve communément pour des brasures plus classiques, de 10 à 20 fois plus élevées.

En conclusion sur cette partie, les résultats de calculs confirment les résultats obtenus de manière expérimentale, à savoir que cette technologie est prometteuse en terme de robustesse aux cycles thermiques, même élevés (entre -50°C et 200°C), et l'on devrait espérer des durées de vie importantes pour ce type d'assemblage.

III.3. Connexions à l'intérieur des modules de puissance

III.3.1. Brasure

Les jonctions puce/substrat, substrat/semelle ou les connecteurs sur les métallisations des puces sont déterminants pour la durée de vie et la fiabilité des modules de puissance. Ces brasures doivent avoir de bonnes propriétés, de bonnes conductivités électriques et/ou thermiques et des propriétés mécaniques et thermomécaniques compatibles avec la structure des modules. Parmi les solutions utilisées en électronique de puissance, nous citons la connexion par alliages de brasure et par frittage de nano poudres.

III.3.2.1. Connexions par brasage

C'est le procédé le plus utilisé à ce jour pour l'assemblage en électronique de puissance. En raison des températures maximales admissibles pour les composants généralement utilisés dans les modules, les métaux d'apport sont les plus souvent des alliages à points de fusion inférieurs à 450°C . Il s'agit de brasage tendre par refusion d'alliages généralement eutectiques de métaux tels que l'indium, l'étain, le plomb, le bismuth, le cadmium et l'or. A ces derniers sont parfois ajoutées de petites quantités d'argent, de cuivre, de zinc, et d'antimoine suivant les propriétés recherchées. L'expression brasage tendre est employée en opposition à celle du brasage fort ou haute température mettant en œuvre des alliages généralement à base d'argent, de cuivre, de zinc, d'or, de nickel ou de palladium. La tenue mécanique et la fiabilité des assemblages sont fortement dépendantes des propriétés physiques et de la qualité des joints de brasures. Le choix d'un alliage repose en premier lieu sur sa température de fusion et doit aussi tenir compte des finitions des surfaces à braser et du comportement des éventuels intermétalliques possibles.

III.3.2.2. Connexion par frittage de poudres métalliques

Par ailleurs, les technologies d'interconnexions qui permettent d'atteindre les objectifs recherchés dans le domaine de la puissance, notamment le fonctionnement à haute température, sont peu nombreuses et sont en cours d'investigation pour leur tenue à la fatigue thermique. Néanmoins, la technologie qui semble la plus prometteuse est celle du frittage de nano particules d'argent [Hag11][Kis09]. Le procédé utilisé (Figure I. 61) met en œuvre des nanopoudres d'argent, cuites en atmosphère contrôlée à des températures inférieures à 250°C et sous une pression de plusieurs dizaines de Méga Pascals [Sch89]. Les joints de brasure ainsi obtenus peuvent supporter des températures proches du point de fusion de l'argent (960°C).

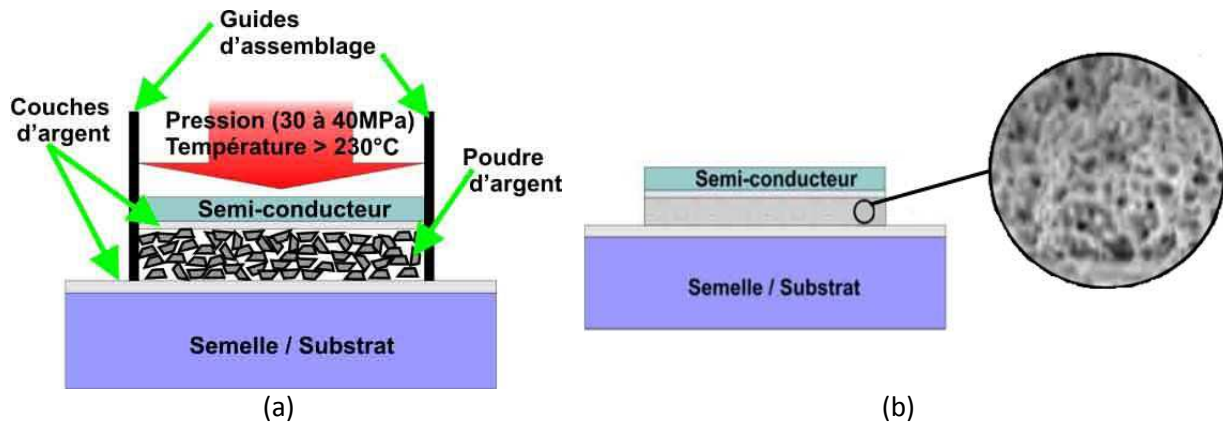


Figure I. 61: (a) Technologie d'assemblage par frittage de poudre d'argent [Amro05], (b) Image MEB de la brasure [Amro05].

Cette technologie d'assemblage, désignée sous le terme "Low Temperature Joining Technique" (LTJT), a déjà démontré sa fonctionnalité jusqu'à 300°C [Mer04] [Dup10], avec des conductivités thermiques et des résistivités électriques de l'ordre de 10 fois supérieures à celles des brasures classiques. Principalement utilisée pour le report des puces sur substrats, des tests réalisés lors d'un cyclage actif avec de fortes variations de la température de jonction (amplitude de 130°C avec un maximum de 170°C) sembleraient confirmer une durée de vie de l'assemblage élevé par rapport à celle obtenue avec un assemblage conventionnel avec brasures [Amr05]. Cependant, la migration de l'argent à haute température est identifiée comme une source potentielle de défaillance de la connexion. D'autre part, les contraintes mécaniques liées au procédé d'assemblage peuvent entraîner des initiations de fissures ou même des ruptures des pastilles de silicium. Des approches de frittage de mélange d'argent et d'or ont été tentées afin de baisser le niveau de pression nécessaire à environ 5 MPa, et permettre le contrôle de la migration d'argent à haute température, mais les performances mesurées en cisaillement mécanique et en cyclage thermique sont pour l'instant très faibles par rapport à celles obtenues avec les brasures conventionnelles [Cal08].

III.3.2.3. Connexion par diffusion des intermétalliques

Le coût élevé des matériaux utilisés, l'incompatibilité avec les techniques de brasage actuelle et les paramètres de procédure extrêmes (haute pression, longue durée) freine l'utilisation de la connexion par LTJT [Lic10] [Amr05]. Une nouvelle technologie plus adaptée aux méthodes de brasages actuelle, a été développée par Infineon et a démontré sa fiabilité sous des cycles thermiques de forte amplitude de température [Gut10]. C'est une brasure par diffusion des intermétalliques utilisée principalement pour braser une puce sur le substrat. En effet, selon la métallisation de la puce et le matériau de la brasure conventionnelle, des intermétalliques Cu-Sn ou Ni-Sn seront formés comme des fines couches d'interfaces pendant le processus de brasage (Figure I. 62.a). Ces intermétalliques ont des températures de fusion beaucoup plus élevées que les brasures tendres à base de Sn. Par exemple, pour le couple Cu-Sn, il sera formé durant le processus du brasage, soit du Cu_3Sn avec une température de fusion supérieure à 673°C, soit du Cu_6Sn avec une température de fusion de l'ordre de 415°C. Cette technologie a permis de braser des puces semiconductrices d'épaisseur variant de 70µm à 600µm et de surface variant de 16mm² à 185mm² sur un substrat céramique sans aucune lacune (void) et semble très prometteuse en terme de fiabilité.

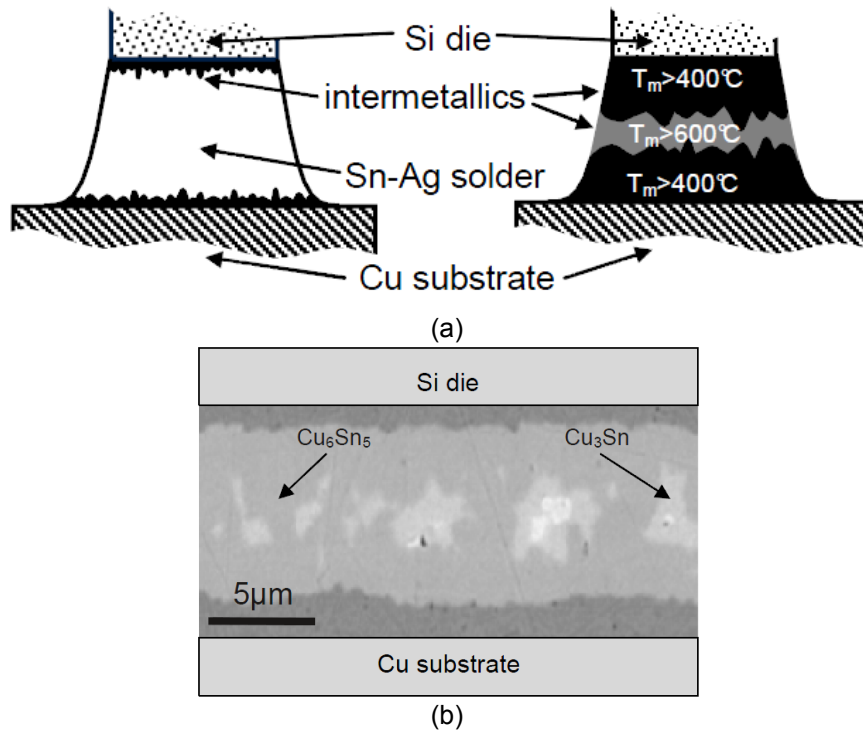


Figure I. 62 : (a) Comparaison entre une brasure tendre (à gauche) et la brasure par diffusion des intermétalliques, (b) Image MEB de la brasure par diffusion [Gut10].

III.3.2. Connexions électriques

IL existe plusieurs technologies d'assemblage et d'interconnexion à l'intérieur des modules de puissance. Dans le domaine des fortes puissances, ces techniques ont évolué vers une intégration plus poussée avec une amélioration de la fiabilité des dispositifs sous des contraintes de fonctionnement sévères. Nous présentons ci-après les principales technologies avec leurs avantages et inconvénients.

III.3.2.1. Assemblages avec connexion par fils de bonding

Pour la plupart des composants de puissance, les connexions entre les puces et le boîtier s'effectuent par l'intermédiaire d'un micro câblage filaire en générale en aluminium (wire bonding) ou plus communément désigné par "fils de bonding" (Figure I. 63). La soudure entre le fil de bonding et la métallisation est obtenue par la combinaison d'une pression et d'une vibration ultrasonore permettant l'abrasion de ces deux éléments (rupture des oxydes) et la réalisation d'une véritable liaison métallurgique.

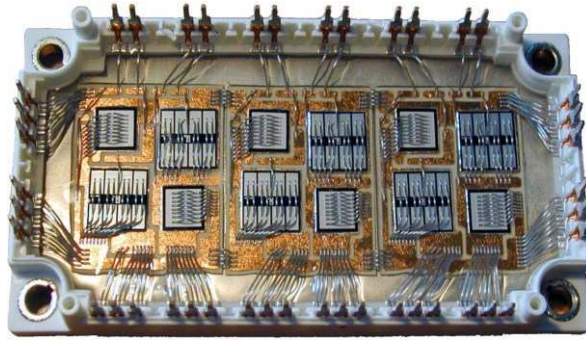


Figure I. 63: Vue de modules puissance avec connexions par fils de bonding en aluminium [Ber08].

Les fils de bonding en aluminium sont très utilisés dans les modules de puissance jusqu'à présent même s'ils sont souvent à l'origine de la défaillance de ces derniers à cause de la grande différence du CTE entre l'aluminium (fil de bonding) et le matériau semiconducteur (puce). Les recherches se sont portées sur le cuivre qui est un bon candidat pour remplacer l'aluminium grâce à ses propriétés mécaniques supérieures et sa conductivité thermique et électrique élevée [Gut10]. Mais le problème pour les fils de bonding en Cu reste la différence des propriétés mécaniques du cuivre et de la métallisation de la puce qui est toujours en aluminium. Par conséquent, une nouvelle métallisation en cuivre a été développée. Les modules IGBT Infineon avec des fils de bonding en Cu de 400 μ m d'épaisseur sur la métallisation en cuivre des IGBTs ont montré des performances comparables à celles de l'aluminium et qui satisfont les conditions pour un fonctionnement à des températures de l'ordre de 200°C (Figure I. 64).

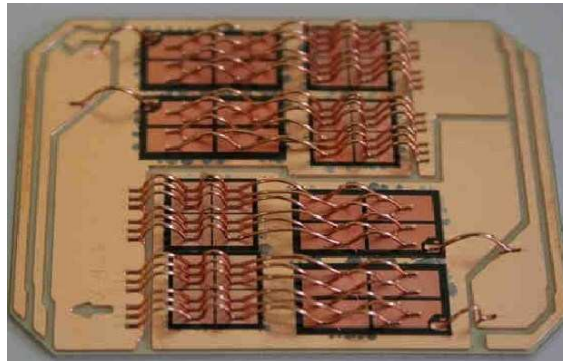


Figure I. 64 : Module IGBT Infineon avec métallisation de puce et fil de bonding en cuivre [Gut10].

En général, les fils de bonding sont responsables d'inductances parasites et sources de problème de fiabilité. Ils entraînent aussi des chutes de tension importantes pour les composants basse tension. Cette technologie présente également l'inconvénient de ne permettre qu'un refroidissement simple face, limitant ainsi ses performances thermiques.

En alternative au fils de bonding, les connecteurs rubans (Figure I. 65) ont la capacité de faire circuler un courant plus important avec des inductances parasites plus faibles [sem04]. Les temps de fabrication et par conséquent le coût diminuent en remplaçant plusieurs fils de bondings par un ruban [Cat02]. Cependant, les rubans sont moins flexibles que les fils de bondings ce qui nécessite la présence d'un support pour résister aux fortes contraintes lors de la réalisation.

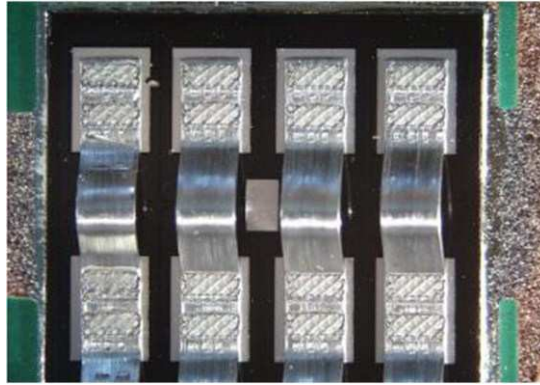


Figure I. 65 : Connecteurs Rubans [Pie10].

III.3.2.2. Assemblage avec connexion par contact pressé

Dans ce genre d'assemblage, la puce est pressée entre deux embases épaisses de molybdène ou de tungstène. Les fils de bonding et les joints de brasure sont supprimés. Les bicouches puce-molybdène (ou tungstène) sont ensuite placés dans un boîtier dont les flasques en cuivre sont appliqués par pression aux zones de contact électrique et thermique (Figure I. 66.a) [Sto08].

Une autre technologie semblable à celle du Press Pack (à la différence que les connexions supérieures et inférieures des composants sont réalisées par des joints de brasures) est la technique de brasage direct (Figure I. 66.b) [Joh07]. Dans les deux cas, La structure autorise un refroidissement double face. Ces types d'assemblage garantissent une grande durée de vie des composants ainsi qu'une excellente fiabilité mais les complexités mécaniques de ces boîtiers entraînent des encombrements, des poids et des coûts plus élevés par rapport aux technologies avec connexions par soudure, par brasage ou par dépôts.

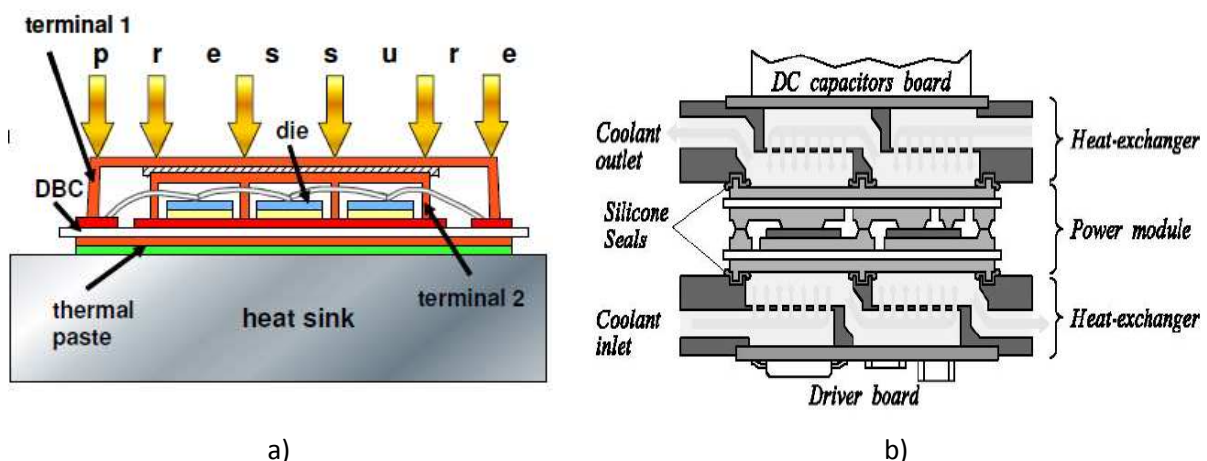


Figure I. 66 : a) Coupe d'un module Pressure Pack, b) Structure de connexion par brasage direct.

III.4. L'encapsulation

L'encapsulation vise principalement à assurer la protection des pièces dans l'assemblage contre les agressions du milieu extérieur. Les solutions employées doivent tenir compte de la tenue mécanique et surtout diélectrique des assemblages. Elle comprend deux étapes principales. La première consiste

en la mise en boîtier (ou package) qui doit permettre les connexions électriques entre le module et les circuits externes et assurer la tenue mécanique de l'ensemble. Le boîtier peut être en plastique, en céramique ou métallique (Figure I. 67). Le boîtier en plastique est plus économique que les deux autres mais moins étanche et très limité en température.

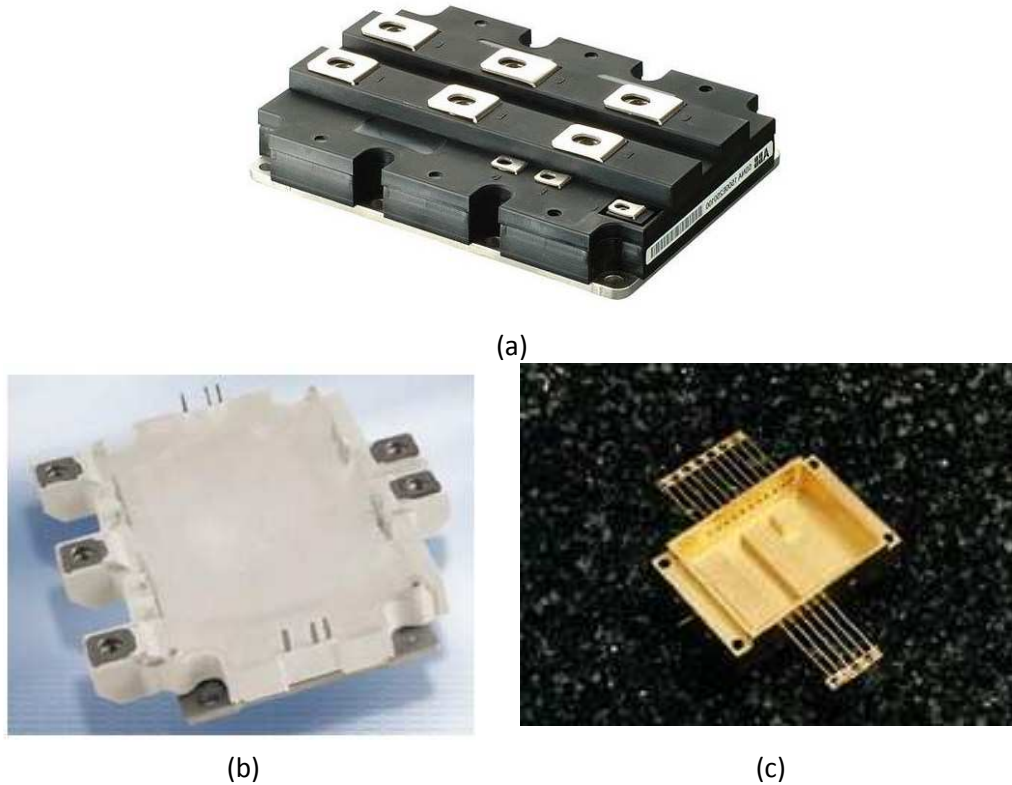


Figure I. 67 : Module IGBT Semikron en boîtier (a) en plastique, (b) en céramique, (c) Exemple de boîtier métallique (fer-nickel-cobalt).

La deuxième étape consiste en la mise en place des gels diélectriques qui a pour but d'assurer la protection des parties actives des modules contre la pollution par une étanchéité satisfaisante et d'isoler électriquement les différentes électrodes du dispositif pour éviter les courants de fuite et les claquages. Les gels silicone sont les plus utilisés grâce à leur bonne résistance à l'humidité et à la température avec des propriétés diélectriques peu sensibles au vieillissement [Wong 89].

IV. Conclusion

Dans ce chapitre bibliographique, nous avons présenté les technologies de composants adaptés aux températures de fonctionnement élevées et plus précisément les composants à base de matériaux carbure de silicium et nitrure de gallium. Ces derniers possèdent des qualités intrinsèques remarquables, et représentent ainsi une véritable rupture technologique avec les technologies Si et III-V conventionnelles. Leur développement offre de nouvelles opportunités en termes de conception de circuits d'électronique de puissance intégrée / haute tension / haute température. Cela concerne notamment les domaines d'application traitant de la gestion de l'énergie des systèmes embarqués où l'électronique de puissance est de plus en plus présente. Dans la suite de ce chapitre nous nous sommes concentrés sur la technologie SiC et avons plus particulièrement présentés les transistors

JFETs à base de SiC. Les deux principaux types de JFETs commercialisés à ce jour ont été présentés ; les JFETs à deux canaux fabriqués par SiCED et le JFETs à canal vertical fabriqué par SemiSouth (VJFET). Les potentialités du JFET vertical ont été mises en évidence. Sa conception permet un contrôle précis de la tension de pincement et a permis la création de JFETs Normally On qui requièrent de faibles polarisations négatives pour les bloquer ainsi que des JFET Normally Off ne nécessitant pas de tension négative pour le blocage [AN].

Par la suite, nous avons fait un état de l'art des travaux concernant le comportement en régimes extrêmes de fonctionnement, avalanche et court circuit, des composants de puissance (en SiC et Si). Différentes méthodologies de tests en avalanche et en court circuit ont été présentées. Des méthodes d'estimation indirecte de la température des puces sont exposées ainsi qu'une tentative d'analyse de la défaillance au cours du vieillissement en régimes d'avalanche ou de court circuit répétitifs.

Enfin, dans la dernière partie, nous avons présenté différentes technologies d'assemblage adaptées aux applications d'électronique de puissance à haute température de fonctionnement. Parmi les solutions de substrats métallisés présentés pour améliorer la durée de vie des modules de puissance, les substrats céramiques à base de nitrure de silicium (Si_3N_4) semblent les plus pertinents en terme de durée de vie dans le cas d'applications sous forte variation de température ambiante. Des fabricants tels qu'Infineon proposent également, en ce qui concerne le packaging, le remplacement des fils de bonding ainsi que la métallisation des puces en aluminium par des fils et métallisation en cuivre. Ce choix semble limiter les phénomènes de reconstruction de métallisation observés sur les métallisations d'aluminium, et également retarder la dégradation des interconnexions fils/métallisations. Des solutions de brasure avec diffusion des intermétalliques pour le report puce / substrat ont également été mises en œuvre afin d'améliorer la durée de vie des composants.

On constate donc que de nombreux travaux sont développés afin de chercher à améliorer la durée de vie des composants de puissance à semi-conducteur, notamment pour des applications nécessitant de plus hautes températures de fonctionnement.

Chapitre II. Robustesse des JFETs SiC en régimes extrêmes de fonctionnement

I. Introduction

Il s'agit dans un premier temps de contraindre en avalanche les transistors VJFET SiC, déterminer les énergies que peuvent supporter ces composants dans ces modes de fonctionnement particuliers en cherchant notamment à quantifier l'influence de la température et du courant. Nous chercherons également à mettre en évidence les mécanismes physiques à l'origine de la défaillance.

Dans un deuxième temps, nous étudierons la robustesse des transistors VJFETs SiC en régime de court circuit avec une tension de 540V appliquée entre drain et source. Les énergies critiques que peuvent supporter les VJFETs (énergie minimale amenant à la défaillance lors du premier régime extrême) seront mises en évidence en quantifiant, pour les régimes de court-circuit l'influence de la durée de court circuit et de la température sur l'apparition de la défaillance.

Dans ce chapitre, nous avons testé 3 lots différents de VJFET SiC fabriqués par SemiSouth, des Normally On et des Normally Off. Les principales caractéristiques de chaque lot sont représentées dans le tableau suivant :

	Normally_On_#1	Normally_On_#2	Normally_Off
$R_{DS(on)}$ (mΩ)	110	85	100
I_D pulsé (A)	30	75	30
V_{BR} (V)	1200	1200	1200
Surface totale (mm ²)	4	4.5	-
Surface active (mm ²)	2.69	3.075	-

Tableau II. 1 : Spécifications des composants JFETs testés.

II. Robustesse en régime d'avalanche

II.1. Banc de test expérimental

Nous avons développé un banc de test d'avalanche classique tel qu'on peut le trouver dans la littérature [StEve04] et dont le schéma de principe est représenté dans la Figure II. 1. La phase d'avalanche est obtenue en ouvrant le transistor JFET sous test à travers une inductance L.

Afin de faciliter les analyses post-mortem, et éviter une trop forte dégradation de la puce après défaillance, nous avons cherché à limiter le courant traversant le transistor sous test après défaillance. Pour ce faire, le circuit principal de test est alimenté par un condensateur préalablement chargé dont la décharge oscillante à travers l'inductance après défaillance du transistor sous test permettra de limiter le courant de défaut.

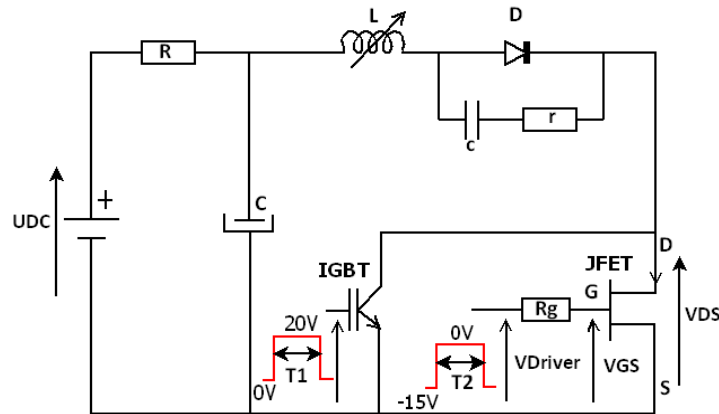


Figure II. 1: Banc de test expérimental pour la caractérisation de la robustesse aux régimes d'avalanche

Ce circuit de test est composé des éléments suivants :

- Une source d'alimentation U_{DC} basse tension qui sert à pré-charger le condensateur C ($740\mu F$).
- Une résistance R ($390\ \Omega$) qui protège la source de tension U_{DC} contre les courts-circuits lors de la destruction du composant sous test.
- L'inductance L réglable permettant de contrôler l'énergie d'avalanche.
- Une diode D de protection contre toute conduction de courant inverse après destruction du composant sous test (qui se retrouve alors en court-circuit). En effet, dans ces conditions de défaillance du composant sous test, une oscillation de courant prend naissance dans la maille de puissance. A la première annulation du courant, la diode D se bloque et interrompt l'oscillation du courant.
- Un circuit RC écrêteur ($1\ k\Omega$, $10\ nF$) chargé de protéger la diode D contre les surtensions inverses excessives à son blocage.
- Un transistor IGBT auxiliaire de tenue en tension ($3.3\ kV$) largement supérieure à celle des composants sous test chargé de la magnétisation de l'inductance. Il est passant pendant une durée $T1$ réglable ce qui permet de contrôler l'énergie que devra dissiper le composant sous test. Ce transistor supplémentaire permet surtout de ne pas avoir à faire conduire le composant sous test avant la phase d'avalanche, donc d'éviter tout échauffement du composant sous test avant l'avalanche et ainsi évaluer le robustesse du composant à température de boîtier contrôlée.
- Le transistor JFET (composant sous test), est rendu passant pendant un court délai $T2$ égal à $20\mu s$, avec une phase d'empiètement de $10\mu s$ pendant laquelle les deux transistors sont simultanément passants. (voir Figure II. 2).

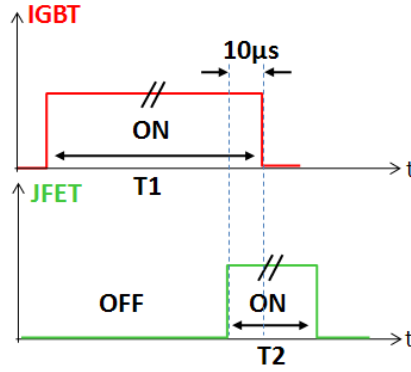


Figure II. 2: Chronologie schématique des états des transistors.

II.2. Principe

La mise en conduction du transistor IGBT pendant la durée variable $T1$ (magnétisation de l'inductance L , réglage de l'intensité max. dans l'inductance L) s'accompagne de la croissance du courant le traversant avec une vitesse limitée par les valeurs de la source de tension d'alimentation et celle de l'inductance. Le JFET sous test (DUT) est ensuite rendu passant pendant le temps $T2$, et l'IGBT est bloqué après la phase d'empiètement.

Au blocage du composant sous test, une forte tension apparaît à ses bornes allant jusqu'à mettre le composant en régime d'avalanche dynamique si le niveau de courant atteint à cet instant est suffisamment élevé. La tension aux bornes du transistor JFET est alors limitée à la tension d'avalanche. Cela a pour conséquence une décroissance du courant dont le taux de variation est fixé par la tension aux bornes du composant, celle de la source (U_{DC}) et l'inductance L :

$$\frac{di}{dt} = \frac{U_{DC} - V_{BR}}{L} \quad (II.1)$$

La tension d'avalanche largement supérieure à la tension d'alimentation du banc permet ensuite l'annulation du courant dans l'inductance. Les formes d'ondes idéalisées sont représentées dans la figure III.3.a. Par contre, si l'énergie à dissiper par le transistor est trop élevée, son échauffement excessif entraînera sa destruction et il se comportera alors comme un court-circuit ne limitant plus l'évolution du courant (Figure II. 3.b).

Pour protéger le transistor sous test, nous avons utilisé un circuit oscillant qui limite naturellement le courant dans la maille après destruction du composant sous test.

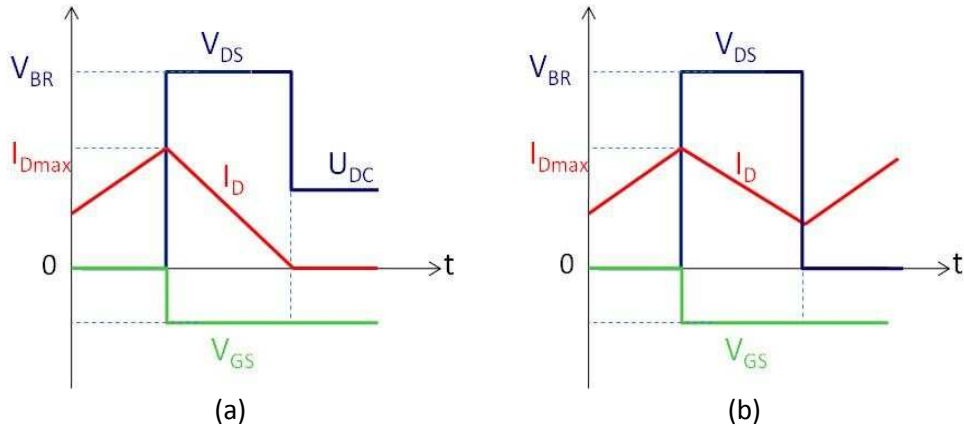


Figure II. 3: Formes d'ondes idéalisées en régime d'avalanche, (a) non destructif et, (b) destructif.

A titre d'illustration, un test d'avalanche non destructif est présenté ci-après avec les paramètres de circuit suivants : $C=740\mu F$, $R_G=47\Omega$, $L=0,964$ mH, $U_{DC}=37V$ et $T1=500\mu s$. Le courant qui s'établit dans le circuit, à l'instant de blocage du JFET, est de l'ordre de 20A.

La Figure II. 4 ci-dessous montre le courant qui circule dans l'inductance pendant cet essai. On y observe la phase de croissance du courant (début de l'oscillation entre le condensateur C et l'inductance L) principalement assurée par le transistor IGBT du circuit de test, puis la phase d'avalanche. C'est cette phase particulière que nous détaillerons par la suite (Figure II. 5).

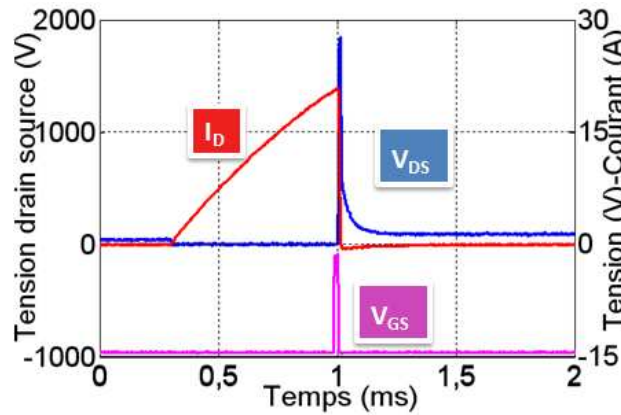


Figure II. 4: Forme d'onde du courant inductif (rouge) lors d'un test d'avalanche non destructif.

Les formes d'ondes observées au blocage du JFET (V_{DS} , I_D , V_{GS} , V_{Driver} , Cf. Figure II. 1) sont représentées dans la Figure II. 5:

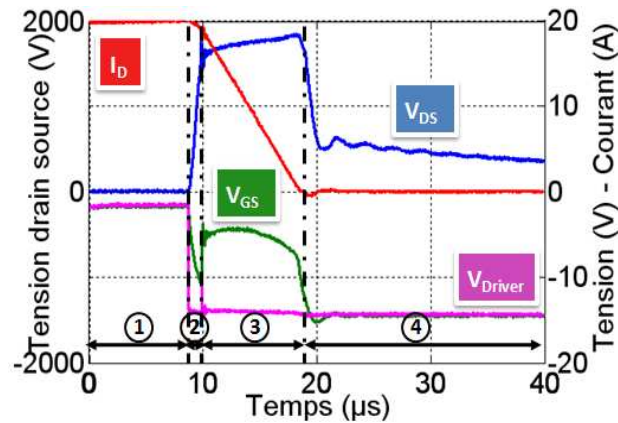


Figure II. 5: Formes d'ondes lors d'un test d'avalanche non destructif (l'origine des temps est arbitraire, l'instant de blocage est au début de la phase 2).

Dans cette figure, nous pouvons distinguer quatre phases distinctes :

- Phase 1 : La tension grille source imposée par le driver est proche de -2V, le JFET est conducteur. A la fin de la phase 1 qui précède le blocage du transistor sous test, le courant de drain est de l'ordre de 20A.
- Phase 2 : Elle correspond au début de la phase de blocage du composant sous test, et à l'application de la tension aux bornes du composant. Alors que la tension issue du driver s'établit quasi-instantanément à -15V, la tension V_{GS} diminue quasi linéairement jusqu'à -10V. Cela traduit l'existence d'un courant à travers la résistance de grille R_G qui peut être lié au couplage capacitif à travers la capacité C_{DG} entre Drain et Grille. La tension V_{DS} s'élève rapidement vers la tension d'avalanche de l'ordre de 1700V.
- Phase 3 : Au tout début de la phase d'avalanche, on observe une ré-augmentation de la tension V_{GS} qui traduit là encore l'existence d'un courant dans la grille et à nouveau un effet de contre-réaction entre drain et grille. On peut supposer que ce courant prend naissance au sein de la jonction drain grille, et nous reviendrons sur ce point ultérieurement. On note également une croissance régulière de la tension V_{DS} pendant toute la phase d'avalanche, et nous chercherons à discuter par la suite de l'origine de cette augmentation et notamment évaluer si elle peut être liée à l'échauffement de la puce. On observe enfin, comme attendu, la décroissance quasi linéaire du courant de drain imposée principalement par la tension V_{DS} qui est largement supérieure à la tension U_{DC} d'alimentation du circuit de test. Le courant s'annule à la fin de cette phase.
- Phase 4 : Pendant cette dernière phase, la tension grille-source $V_{GS} = -15V$, le transistor JFET est parfaitement bloqué. La tension V_{DS} décroît rapidement jusqu'à 500V puis beaucoup plus lentement pour atteindre la valeur d'équilibre U_{DC} .

II.3. Résultats

II.3.1. Essai non destructif : Influence du courant dans l'inductance

Ces essais ont été effectués sur des JFET « Normally On ». Nous avons commencé par une faible valeur de courant (I_{LMAX} de l'ordre de 2A), puis nous l'avons augmenté en faisant croître la tension

d'alimentation U_{DC} , en gardant fixe la durée T_1 de conduction du transistor auxiliaire et sans modifier la valeur de l'inductance ($T_1=500\mu s$ et $L=0.964mH$).

Sur la Figure II. 6 nous observons tout d'abord l'évolution des formes d'ondes du courant et de la tension drain source V_{DS} jusqu'à la mise en évidence du régime d'avalanche qui apparaît à partir d'un courant I_D de 5A.

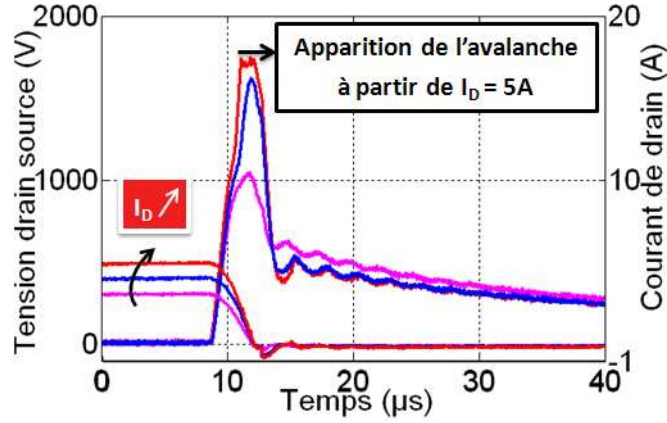


Figure II. 6: Formes d'ondes des courants et des tensions V_{DS} jusqu'à l'apparition de l'avalanche.

Une fois le régime d'avalanche établi, et pour des courants de drain supérieur à 5A, la tension de claquage dynamique BV_{DSS} varie très peu avec le courant (Figure II. 7). Mais pendant la phase d'avalanche, la tension drain source augmente linéairement pendant la phase de décroissance du courant I_D . Cela peut être expliqué par l'évolution de la température à l'intérieur de la puce, ce point sera détaillé dans le chapitre III.

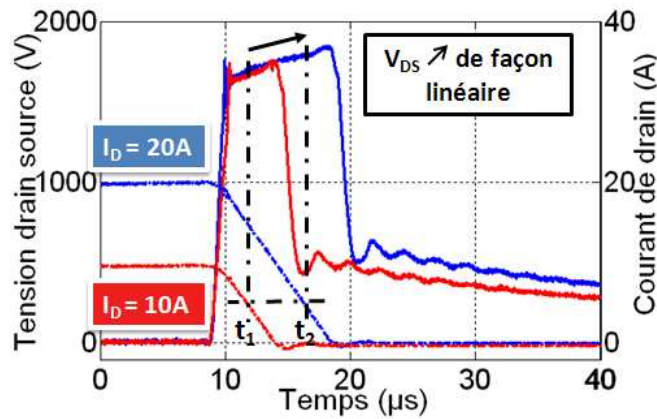


Figure II. 7 : Phases d'avalanche pour deux valeurs de courant max. (10 et 20A).

II.3.2. Essai non destructif : Influence de la résistance de grille R_g

Ayant observé l'existence d'un courant de grille important pendant la phase de réapplication de la tension et celle d'avalanche, nous chercherons dans un premier temps à étudier l'effet de la résistance du circuit de commande de grille R_G sur les formes d'ondes lors de la phase d'avalanche. Pour voir l'effet de R_G sur les grandeurs électriques suivantes I_G , V_{DS} et I_D , nous avons effectué

plusieurs essais pour différentes valeurs de R_G (8 Ω , 21 Ω et 47 Ω), les autres paramètres étant fixés de façon à avoir un courant $I_{max} = 20A$: $L = 0,975$ mH, $U_{DC} = 36,5$ V et $T_2 = 700\mu s$.

Pour chaque résistance, nous calculons le courant de grille I_G en utilisant la relation II.1 suivante :

$$I_G = \frac{V_{GS} - V_{DRIVER}}{R_G} \quad (II.1)$$

La Figure II. 9 montre les tensions V_{GS} , V_{DRIVER} (à gauche) et les courants de grille (à droite) pour les différentes résistances de grille. Pendant la phase d'avalanche, la tension appliquée en sortie du driver est égale à -15V. Le courant traversant la résistance R_G de grille circule également à travers l'étage de sortie (légèrement résistif) du driver. Nous observons que le courant I_G augmente significativement quand la résistance R_G diminue.

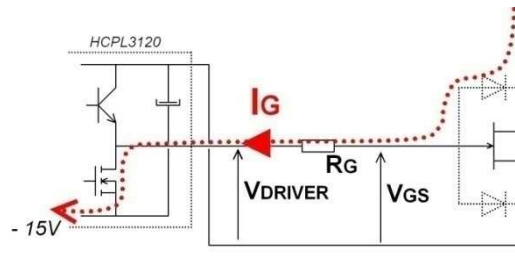


Figure II. 8: Courant d'avalanche à travers la résistance de grille.

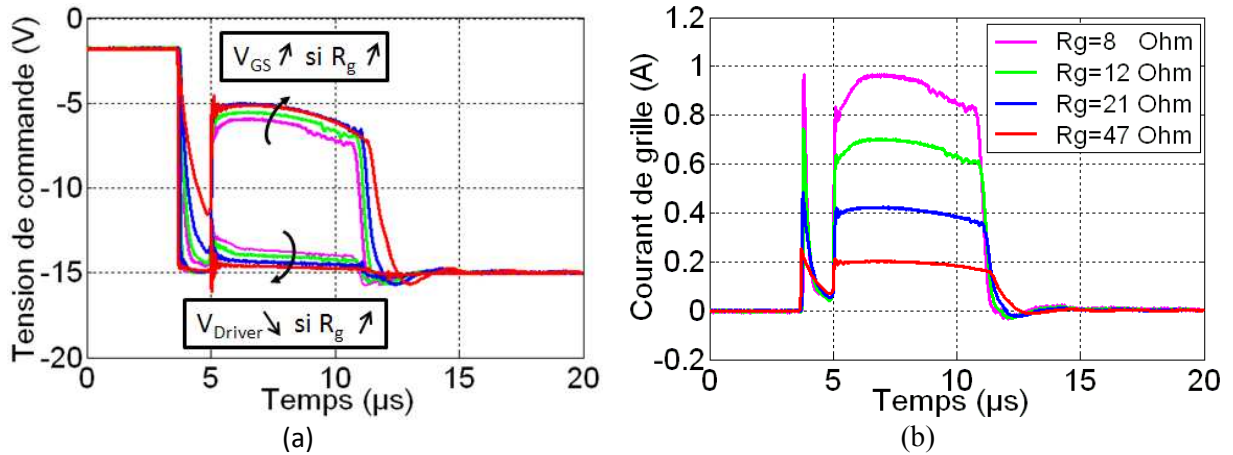


Figure II. 9: (a) Allure des tensions V_{GS} et V_{driver} , (b) variation du courant de grille avec la résistance R_G pendant la phase d'avalanche

La Figure II. 10 ci-dessous nous montre les variations de la tension V_{DS} et du courant I_D avec la résistance de grille. Elle montre que la résistance de grille n'a aucun effet (ou presque) sur la tension d'avalanche et qu'un effet limité sur la tension grille source pendant la phase d'avalanche.

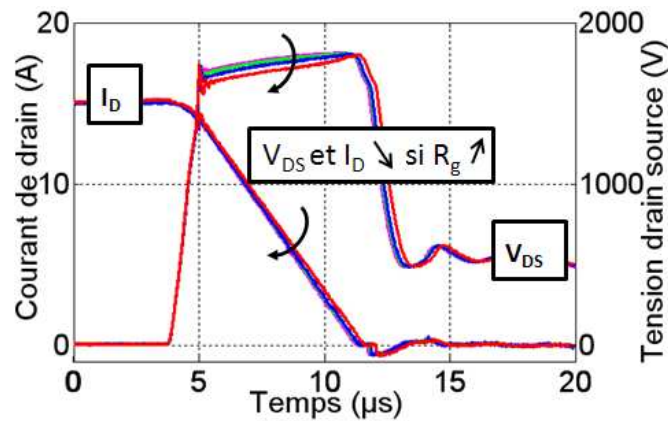


Figure II. 10: Evolution de la tension d'avalanche avec la résistance de grille R_G .

On constate finalement que la résistance de grille modifie de façon considérable le courant de grille, sans toutefois affecter notablement les autres grandeurs. Notamment, la résistance de grille n'a que très peu d'effet sur la tension appliquée entre grille et source pendant la phase d'avalanche. Tout ce passe comme si, pendant la phase d'avalanche, l'avalanche de la jonction entre drain et grille permettait, par l'intermédiaire du faible courant circulant dans la résistance de grille de maintenir la conduction du transistor en régime linéaire (V_{GS} très proche de la tension de pincement). Nous reviendrons sur cette hypothèse par la suite.

II.3.3. Essai non destructif : Influence de l'énergie dissipée

Dans les essais suivants nous présentons une étude de l'influence de la valeur de l'énergie dissipée sur les formes d'ondes pendant la phase d'avalanche et en particulier sur l'allure de la tension drain-source. En effet, la recherche de l'énergie critique nécessite de faire croître l'énergie dissipée dans le transistor jusqu'à l'apparition de la défaillance.

Pour cela nous avons effectué, dans un premier temps, un test dans les conditions expérimentales suivantes : $C = 740 \mu F$, $R_G = 47 \Omega$, $T_1 = 500 \mu s$ et $L = 0.965 mH$. Nous avons alors augmenté l'énergie dissipée en augmentant la valeur du courant dans l'inductance au moment du blocage de 15A à 25A (en faisant varier la tension U_{DC} de 35V à 56V) sans détruire le composant sous test.

Le même protocole a été repris pour une inductance plus élevée (1.3 mH) et en augmentant la durée de conduction de l'IGBT à $T_1 = 700 \mu s$ pour obtenir initialement un courant maximal de 15 A sous une tension U_{DC} de 35V.

Les résultats des deux tests sont représentés sur la Figure II. 11 suivante où nous pouvons comparer les formes d'ondes superposées des tensions de commande grille source et des tensions drain source. La courbe bleu correspondant au régime d'avalanche le plus court et correspond également au courant le plus faible au moment du blocage. L'augmentation progressive du niveau de courant entraine bien entendu une augmentation de la durée d'avalanche mais également une tendance à la réduction de V_{GS} ainsi qu'une légère décroissance anticipée de V_{DS} avec une forme caractéristique. Ces comportements sont certainement dus à la contre-réaction entre drain et grille durant l'avalanche évoquée plus haut et seront discutés plus en détail ultérieurement.

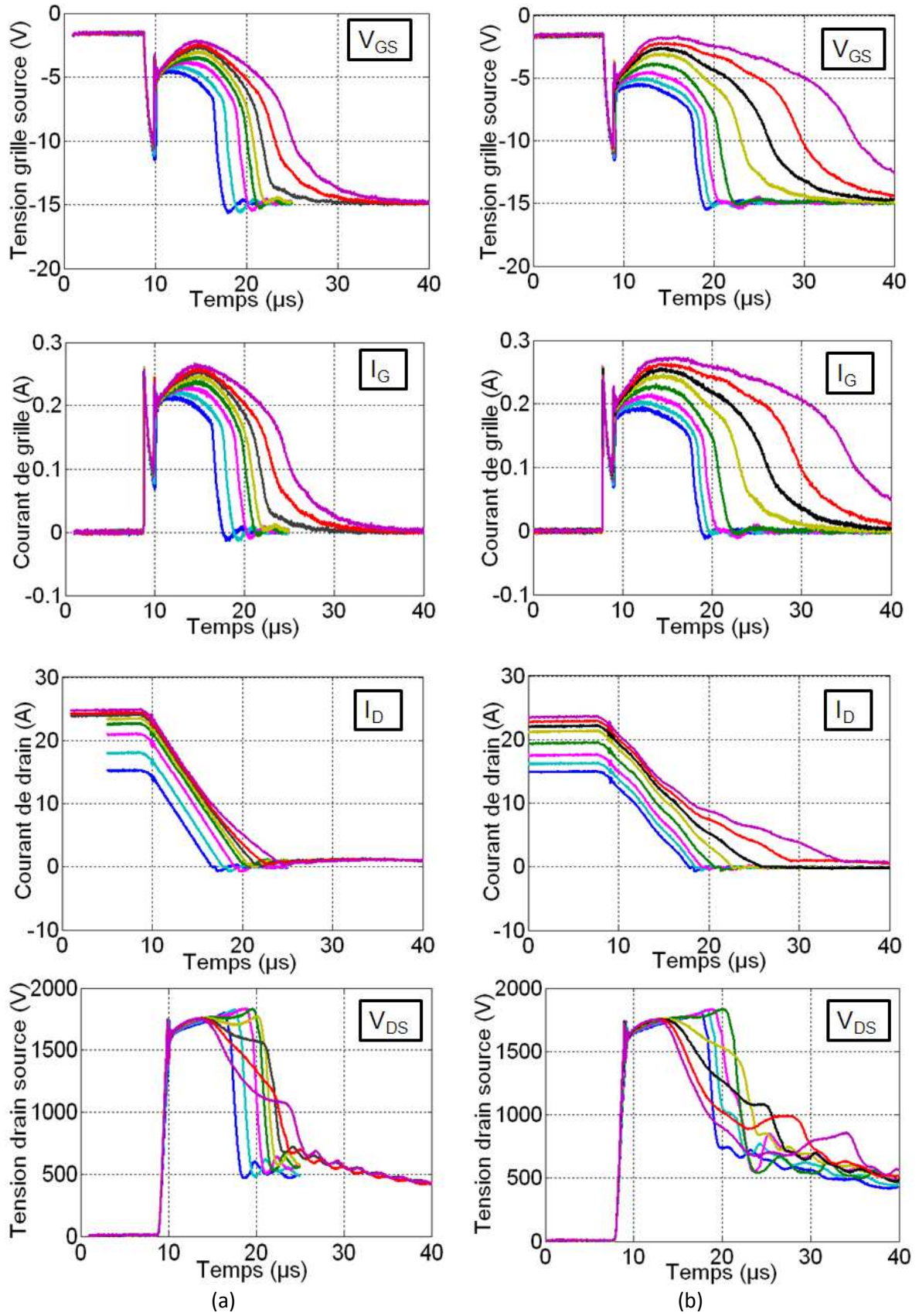


Figure II. 11: Formes d'ondes de V_{GS} , I_G , I_D et V_{DS} en régime d'avalanche pour (a) $L=0.956\text{mH}$ et (b) $L=1.3\text{ mH}$.

On observe, en augmentant l'énergie dissipée dans le transistor, une diminution progressive de la tension aux bornes du transistor. La tension semble initialement limitée par la tension d'avalanche (qui tend à augmenter légèrement avec le temps), puis, à partir d'un instant précis, cette tension s'écroule ce qui tend à montrer que le transistor ne fonctionne plus alors en régime d'avalanche. Nous chercherons dans le chapitre III à expliquer ce phénomène.

II.3.4. Avalanche destructive : recherche de l'énergie critique

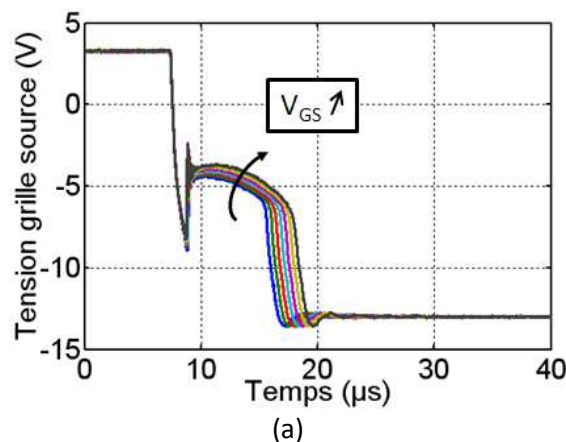
L'énergie dissipée pendant une phase d'avalanche peut mener à la défaillance du composant, à cause de l'augmentation de température au niveau de la puce. C'est donc elle qui limite principalement sa robustesse. On peut définir l'énergie critique comme l'énergie minimale amenant à la défaillance directe, elle dépend pour le régime d'avalanche, de la température du cristal et du courant qui traverse le composant.

Pour estimer cette énergie critique, nous avons choisi de maintenir constante la valeur de l'inductance ($L=0.965\text{mH}$), et d'augmenter progressivement l'énergie dissipée en augmentant le courant maximal dans l'inductance jusqu'à faire apparaître la défaillance. Ceci est réalisé en jouant sur la durée de conduction du transistor auxiliaire IGBT ou sur la tension d'alimentation du banc à température ambiante.

II.3.4.1. JFET SiC Normally ON

Nous faisons évoluer l'énergie dissipée des JFETs Normally_On_#2 pendant le test d'avalanche en augmentant progressivement le courant I_D jusqu'à apparition de la défaillance. Nous avons constaté que les résultats peuvent être séparés en trois cas :

- Cas 1 (courant $I_D \leq 22\text{A}$) : Pour ces niveaux de courant, la tension entre grille et source évolue de -5V à -4V lors de l'apparition de l'avalanche mais reste inférieure à la tension de pincement V_{T0} (-4V). Les taux de décroissance des courbes du courant de drain sont identiques (même di/dt). Dans le même temps, la tension drain-source croît de façon quasi linéaire, et comme indiqué plus haut, nous verrons que cet effet peut être expliqué par l'élévation de la température dans la puce (Figure II. 12).



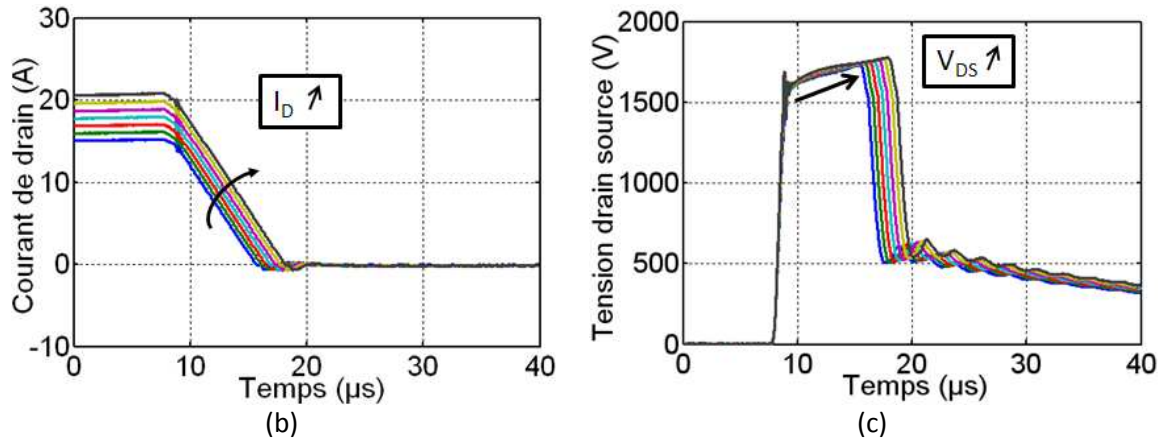


Figure II. 12: Cas 1 - Formes d'ondes, (a) tension grille-source, (b) courant de drain I_D , (c) tension drain-source.

- Cas 2 ($22A < I_D < 24A$) : Pour cette plage de courants, la tension grille source est toujours plus élevée pendant la phase d'avalanche, et à partir d'un certain temps, on semble perdre le régime d'avalanche. Les formes de courant drain I_D restent sensiblement linéaires pendant la phase d'avalanche, mais on constate qu'il subsiste un courant de fuite de drain, d'amplitude maximale de l'ordre de 1A qui traduit certainement un échauffement élevé de la puce (Figure II. 13).

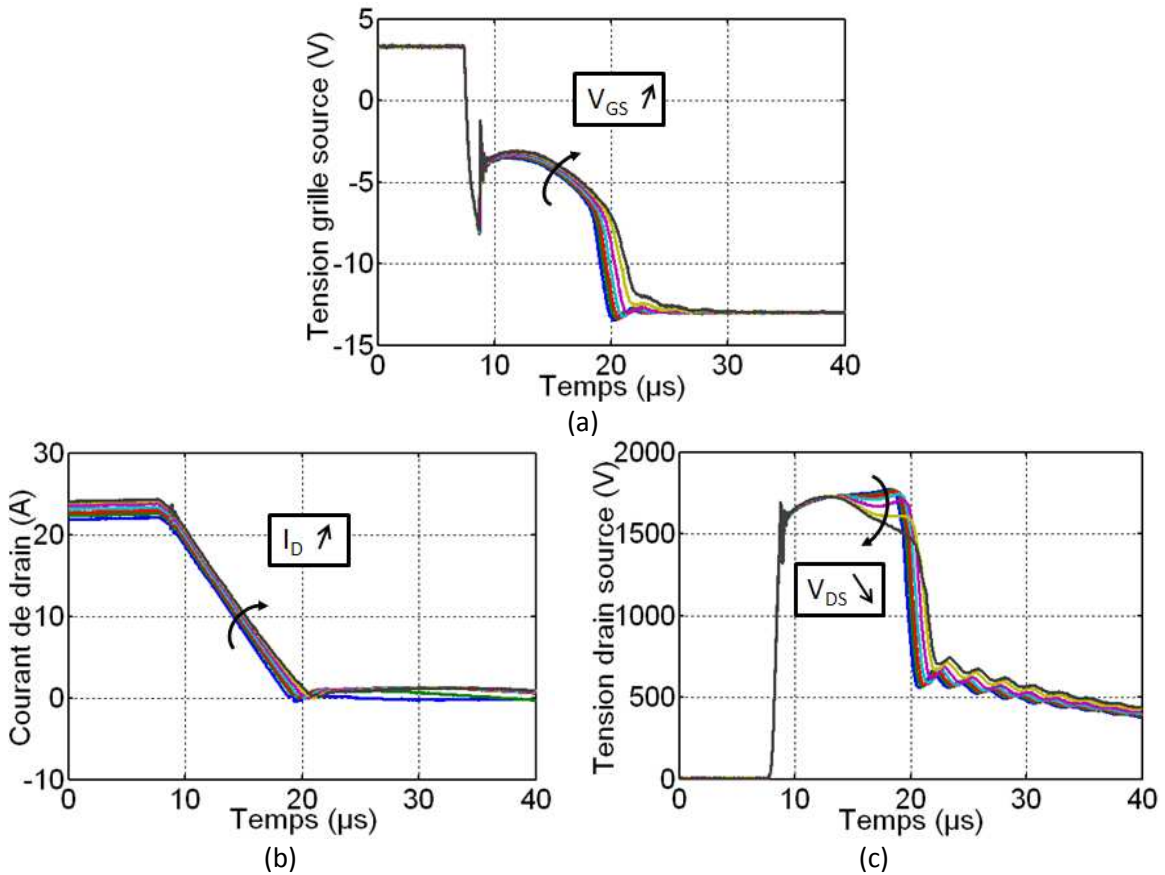


Figure II. 13: Cas 2 - Formes d'ondes de (a) la tension grille-source, (b) courant de drain I_D , (c) la tension drain source en régime d'avalanche.

- Cas 3 ($I_D \geq 24A$) : Pour ces niveaux de courant, nous observons la superposition des courbes de V_{GS} , I_D et V_{DS} jusqu'au milieu de la période d'avalanche pour diverger ensuite. La tension V_{GS} continue à augmenter tandis que V_{DS} s'écroule de plus en plus tôt et à des valeurs de plus en plus faibles jusqu'à l'apparition de la défaillance où nous voyons la tension s'annuler à la fin de la phase d'avalanche et le courant de drain augmenter significativement (part en avalanche). On voit également la défaillance sur la forme d'onde de V_{GS} quand le composant perd le contrôle et ne peut plus suivre la consigne (V_{driver}) pour bloquer le courant. On peut, par ailleurs, remarquer que l'évolution significative de la tension drain source se traduit maintenant sur l'allure du courant pendant sa décroissance (Figure II. 14).

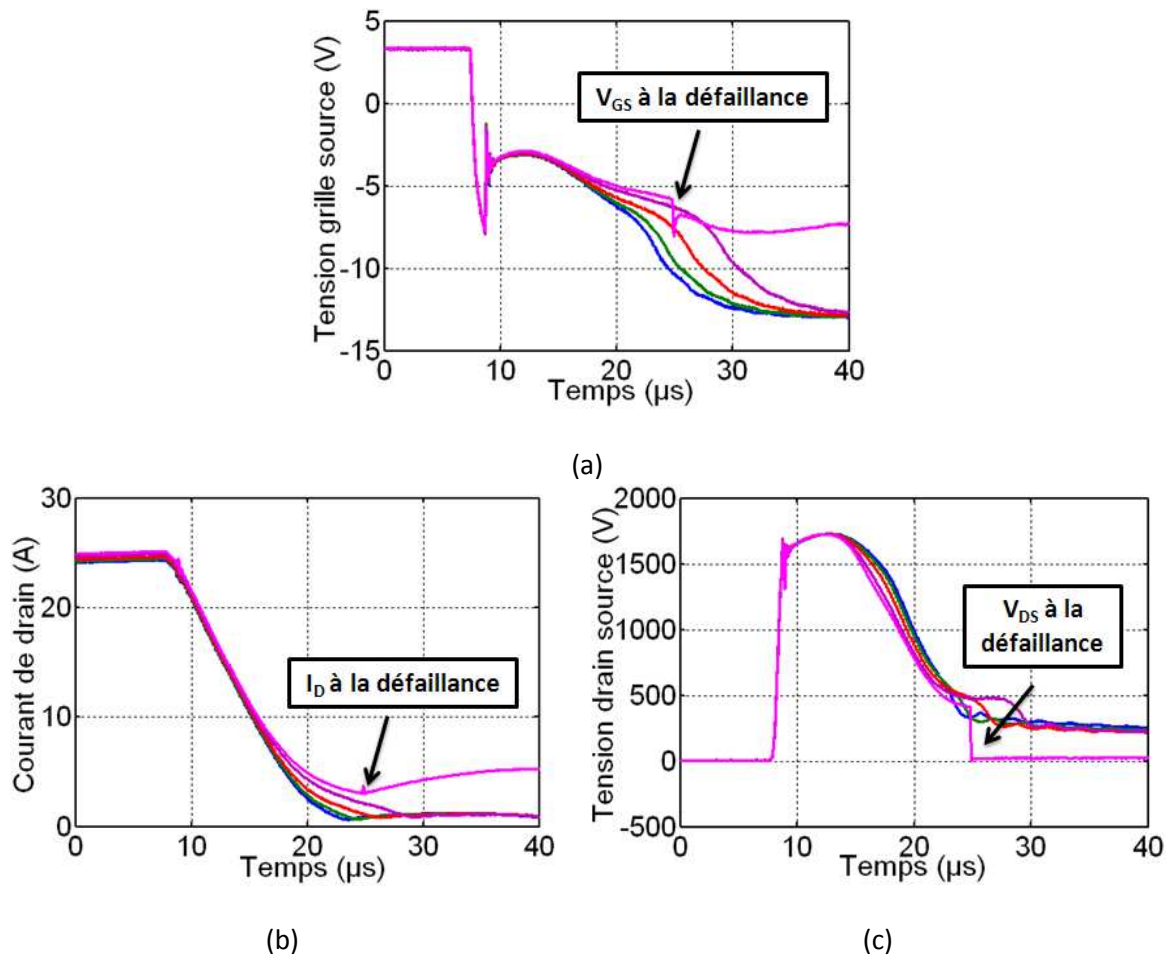


Figure II. 14: Cas 3 - Formes d'ondes de (a) la tension grille-source, (b) courant de drain I_D , (c) la tension drain source en régime d'avalanche.

La défaillance de ce VJFET « Normally On » a eu lieu pour un courant I_{LMAX} de 25A. La densité d'énergie dissipée supportée par le composant jusqu'à la casse est celle que nous définissons comme énergie critique et vaut 8.4 J/cm². La Figure II. 15 ci-dessous montre les formes d'ondes à la défaillance. Nous voyons qu'au moment de la casse, le composant sous test se comporte comme un court-circuit et que l'évolution du courant n'est plus contrôlée.

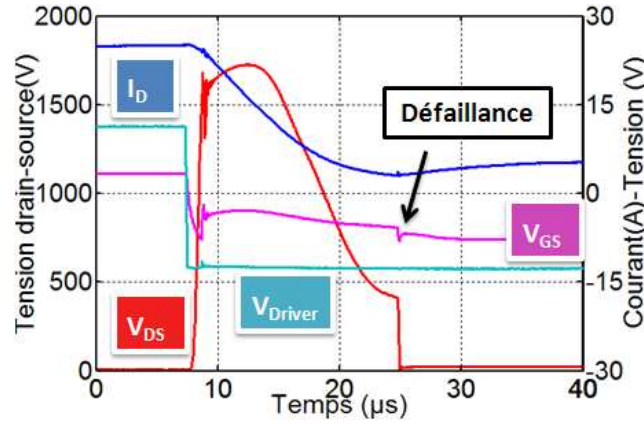


Figure II. 15: Formes d'ondes pendant la défaillance de court circuit du JFET Normally_On_#2.

La figure ci après (Figure II. 16) montre la défaillance d'un JFET d'un calibre en courant différent (Normally_On_#1) qui a eu lieu après 12μs de tenue de tension. La densité d'énergie dissipée pendant ce test destructif est égale à 9.8 J/cm² pour un courant inductif $I_D=22A$, énergie légèrement plus élevée que celle estimée sur le composant précédent (Normally_On_#2) pour un courant $I_D=25A$. On observe également une évolution moins significative de la tension entre drain et source.

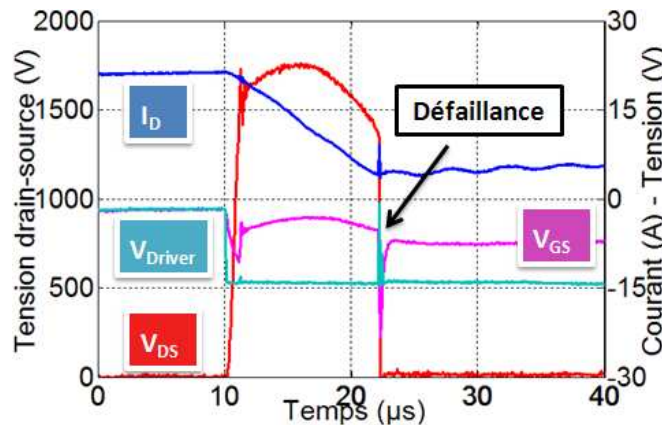


Figure II. 16: Formes d'ondes à la défaillance du JFET Normally_On_#1.

Dans cette figure, le composant semble perdre ses capacités de tenue en tension approximativement au milieu de la phase d'avalanche. Ce comportement à la casse a été observé sur des IGBTs pendant un test CIS (Clumped Unductive Switching) [Tri99]. Des modélisations simplifiées tendent à montrer que la température maximale en surface de la puce est atteinte au milieu de la phase d'avalanche [Fis96]. Nous chercherons donc par la suite à corrélérer la défaillance observée à la température du cristal.

II.3.4.2. JFET SiC Normally Off

Pour tester les JFETs « Normally Off » en régime d'avalanche, nous avons suivi la même démarche que précédemment, et nous avons observé un comportement relativement similaire. De la même façon que pour les composants « normally-on », nous présenterons les résultats en trois étapes.

Dans le premier cas (Figure II. 17), nous augmentons le courant de manière progressive jusqu'à 12A. La tension grille source pendant la phase d'avalanche semble inférieure à la tension de pincement V_{T0} qui est de l'ordre de 1.5V à 25°C. La tension d'avalanche dynamique est constante pendant toute la durée de la phase d'avalanche et ne dépend pas de I_{LMAX} , ce qui n'était pas le cas avec les transistors « Normally On ». On constate également que le niveau de tension grille source pendant la phase d'avalanche est également sensiblement constant.

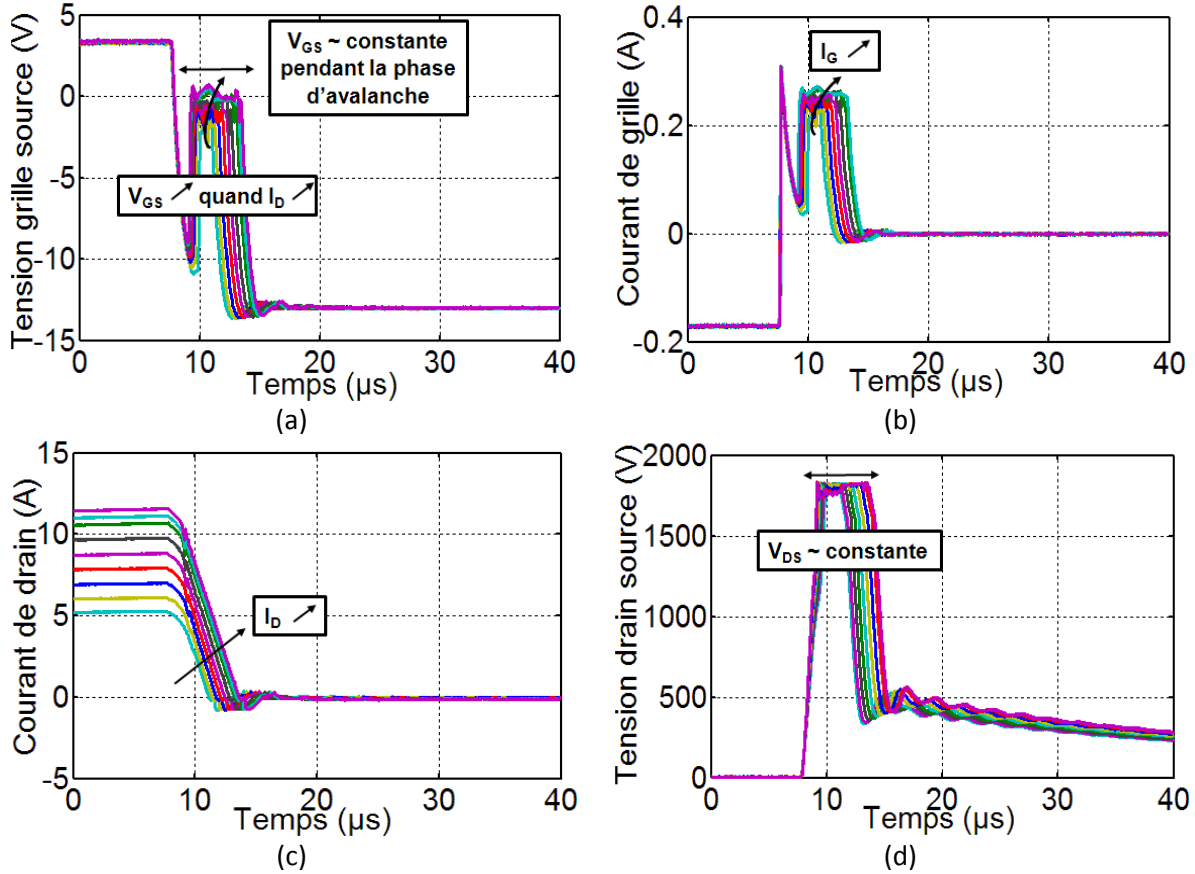


Figure II. 17: Cas 1 - Formes d'ondes de a) la tension grille-source, (b) le courant de grille I_G , (c) le courant de drain I_D , (d) la tension drain source.

Dans le deuxième cas (Figure II. 18), on fait croître le courant (I_{Lmax}) de 13A à 21A. La tension entre grille et source pendant la phase d'avalanche continue à augmenter avec le courant de drain en début de phase d'avalanche mais présente ensuite une dynamique inhabituelle. En effet, la tension grille source évolue en deux temps ; elle augmente tout d'abord très rapidement pendant quelques microsecondes avant d'atteindre un maximum et diminuer. Dans le même temps, la tension drain source évolue elle aussi en deux phases ; elle augmente quasi linéairement pour les faibles valeurs de courant I_{DMAX} (et on retrouve ici un comportement similaire à ce qui a pu être observé sur les composants « normally on »), alors que pour de plus fortes valeurs de courant, elle semble atteindre un plateau sur le reste de la période d'avalanche.

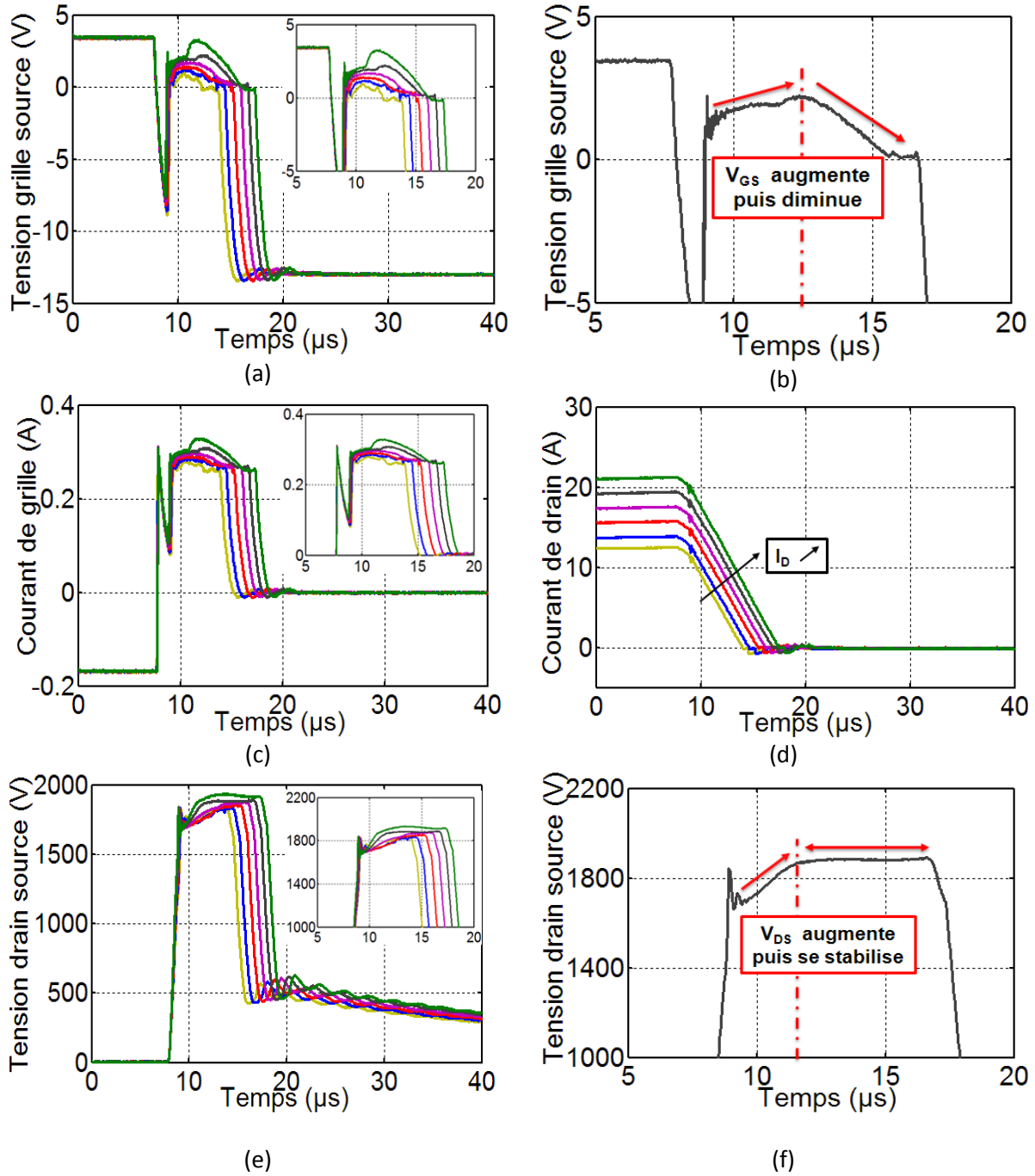


Figure II. 18: Cas 2 - Formes d'ondes de (a) et (b) la tension grille-source, (c) courant de grille I_G , (d) courant de drain I_D , (e) et (f) la tension drain source en régime d'avalanche (le courant de grille est considéré >0 lorsqu'il sort de la grille Cf Figure II. 8).

Dans le dernier cas (Figure II. 19), nous faisons évoluer le courant drain maximum de 22A jusqu'à 24A, qui correspond à la défaillance. On voit, à partir de 22 A de courant maximal dans l'inductance, un courant de fuite après la phase d'avalanche qui subsiste dans le transistor. L'allure de la tension drain-source est assez similaire à celle observée sur les transistors « Normally On », la tension entre grille et source évolue au rythme de la variation du courant de drain, ce qui montre là aussi clairement un fonctionnement du transistor semblable à un fonctionnement en régime linéaire. La tension entre grille et source semble en effet piloter le courant de drain. Plus précisément, le courant

de drain étant imposé par l'inductance (le courant d'avalanche dans la jonction drain-grille est nettement plus faible que le courant de drain) la tension grille source s'adapte par l'intermédiaire du courant d'avalanche dans la jonction drain grille et de la chute de tension correspondante dans la résistance de grille, au courant de drain. On montre là encore la forte contre réaction entre puissance et commande dans ce mode de fonctionnement particulier.

La défaillance apparaît pour un courant de 24A après une phase d'avalanche de 7 μ s, nettement inférieure à celle observée sur les composants « Normally On », avec une énergie critique de l'ordre de 0.22J.

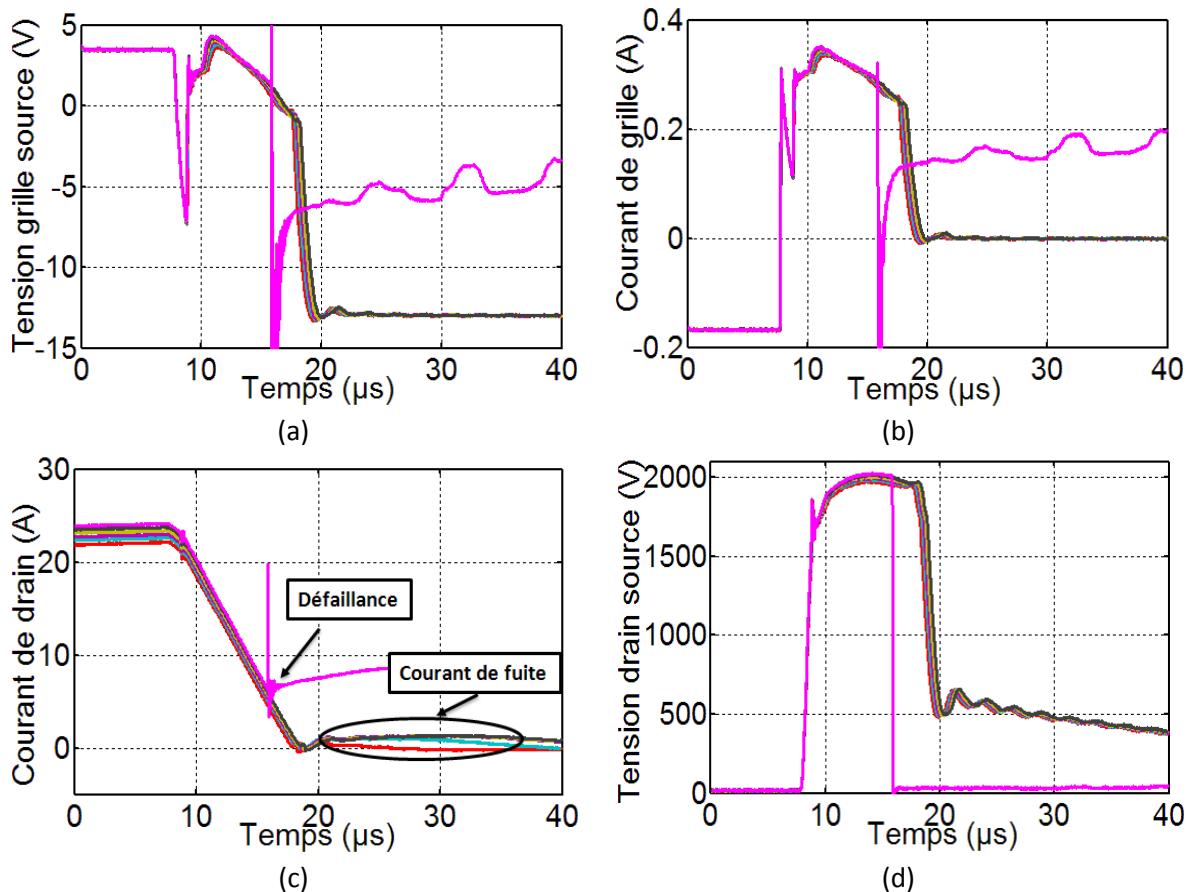


Figure II. 19: Cas 3- Formes d'ondes de (a) la tension grille-source, (b) le courant de grille I_G , (c) le courant de drain I_D , (d) la tension drain source en régime d'avalanche.

Les formes d'ondes à la défaillance du JFET Normally Off sont représentées dans la Figure II. 20. Les allures de V_{DS} et de V_{GS} sont différentes de celles observées sur les transistors Normally On pendant la casse. En effet, pendant la phase d'avalanche, la tension de claquage dynamique augmente puis se stabilise, amorce à peine une diminution avant de s'écrouler très brutalement à cause de la défaillance et de la mise en court-circuit irrémédiable du transistor.

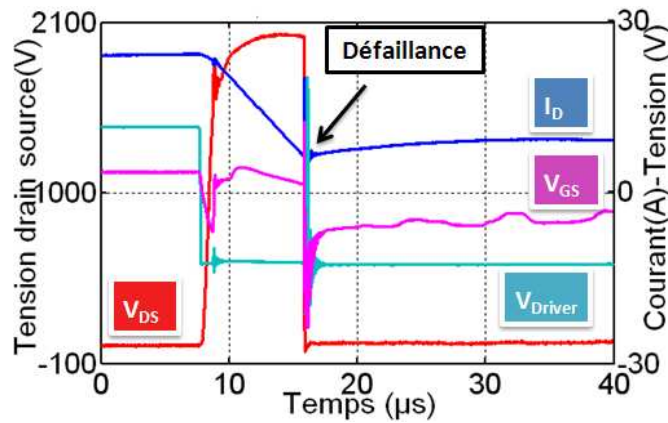


Figure II. 20: Formes d'ondes à la défaillance du JFET Normally Off.

Une comparaison de l'énergie critique, en régime d'avalanche des trois lots de VJFET SemiSouth testés, est résumée dans le Tableau II. 2 suivant.

Référence	Normally_ON_#1	Normally_ON_#2	Normally_Off
$R_{DS(on)}$ (mΩ)	110	85	100
V_{BR} (V)	1200	1200	1200
Surface active S_{act} (mm ²)	2.69	3.075	-
Energie critique E_c (J)	0.263	0.26	0.22
Densité d' E_c (J/cm ²)	9.8	8.4	-

Tableau II. 2: Comparaison des énergies critiques des différents JFET SiC SemiSouth testés.

Les différents lots de VJFETs SiC fabriquées par SemiSouth ont montré une très bonne robustesse face aux tests d'avalanche UIS que nous avons mené. Ils ont pu tenir pendant les phases d'avalanche une tension, de l'ordre de 1700V, largement supérieure à celle citée sur leurs datasheets. Dans les trois cas, l'énergie critique était du même ordre de grandeur et est supérieure aux énergies que peuvent supporter les JFETs SiC fabriquée par SiCED sous les mêmes conditions de test [Fri06]. Ce résultat montre que la technologie de fabrication des JFETs verticaux en carbure de silicium est bien maîtrisée.

II.3.5. Effet de la température sur la robustesse des JFET SiC en avalanche

Dans ce paragraphe, nous étudions l'effet de la température sur le comportement du Normally On VJFET en régime d'avalanche pour chercher à relier les formes d'ondes particulières observées lors de la recherche de l'énergie critique à la température. Nous chercherons notamment à montrer que, partant d'un régime de tenue à l'avalanche, une augmentation de la température ambiante nous entraine dans des modes de fonctionnement semblables à ceux observés après élévation de l'énergie dissipée par augmentation du courant. Nous évaluerons également l'effet de la température sur la robustesse des puces. Les tests seront menés sur des JFETs Normally_On_#2.

Pour ce faire, on se propose, pour un niveau de courant donné, de faire varier la température de 25°C jusqu'à 200°C. Les conditions expérimentales sont telles que : $T_1=500\mu s$, $L=0.964mH$, $C=740\mu F$.

Nous réalisons cette expérimentation pour trois niveaux de courant différents : $I_D=15A$ ($U_{DC}=35V$) (cas 1), $I_D=22A$ ($U_{DC}=45V$) (cas 2) et $I_D=24A$ ($U_{DC}=50V$) (cas 3). Nous supposons que l'élévation de la température de la puce est négligeable pendant la phase de conduction de $10\mu s$ qui précède la phase d'avalanche (Figure II. 2), et par conséquent nous considérons que les températures ambiantes que nous fixons imposeront la température initiale des puces.

❖ $I_D=15A$ (cas 1)

Les résultats du test pour un courant de 15A montrent que l'élévation de la température se traduit par une légère variation de la tension grille source quand la température s'élève (V_{GS} augmente légèrement en début de phase d'avalanche et diminue par contre en fin de phase d'avalanche).

L'effet de la température est plus clairement observable sur la tension drain source. Elle augmente d'environ 5% pour une température variant de 25 à 175°C. Les évolutions de la tension V_{DS} avec la température corrélient bien les résultats du paragraphe II.3.4.1 (Figure II. 21). En effet, ces résultats peuvent permettre également de montrer une élévation de la tension drain-source à courant constant avec le temps. Cette constatation tendrait à montrer que l'élévation de la tension entre drain et source pendant les phases d'avalanche est bien d'origine thermique.

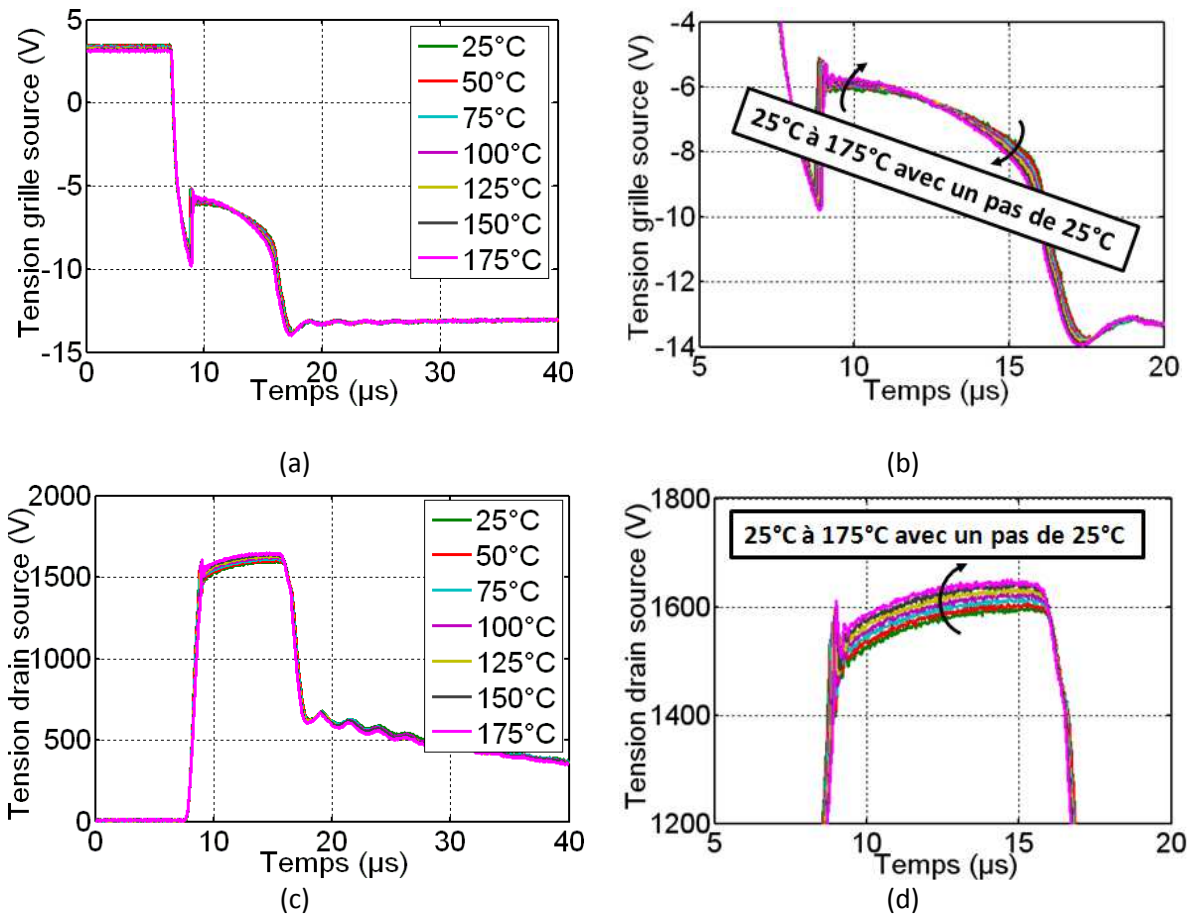


Figure II. 21: Evolution de la tension grille source (a et b) et de la tension drain source (c et d) pendant la phase d'avalanche pour des températures ambiantes variant de 25°C à 175°C et pour un courant $I_D=15A$.

❖ $I_D = 22A$ (cas 2)

A partir ici d'un courant de 22 A (Figure II. 22), la tension « d'avalanche » a tendance à diminuer environ au milieu de la phase d'avalanche. D'après des études simplifiées, le « milieu » de la phase d'avalanche semble correspondre au point de température maximale dans la puce [Bla91] [StEve04]. On peut alors supposer ici, qu'à partir d'un certain niveau de courant, et donc d'une température maximale donnée, le composant commence à perdre sa tenue en tension. Nous rediscuterons de ce point dans le chapitre suivant.

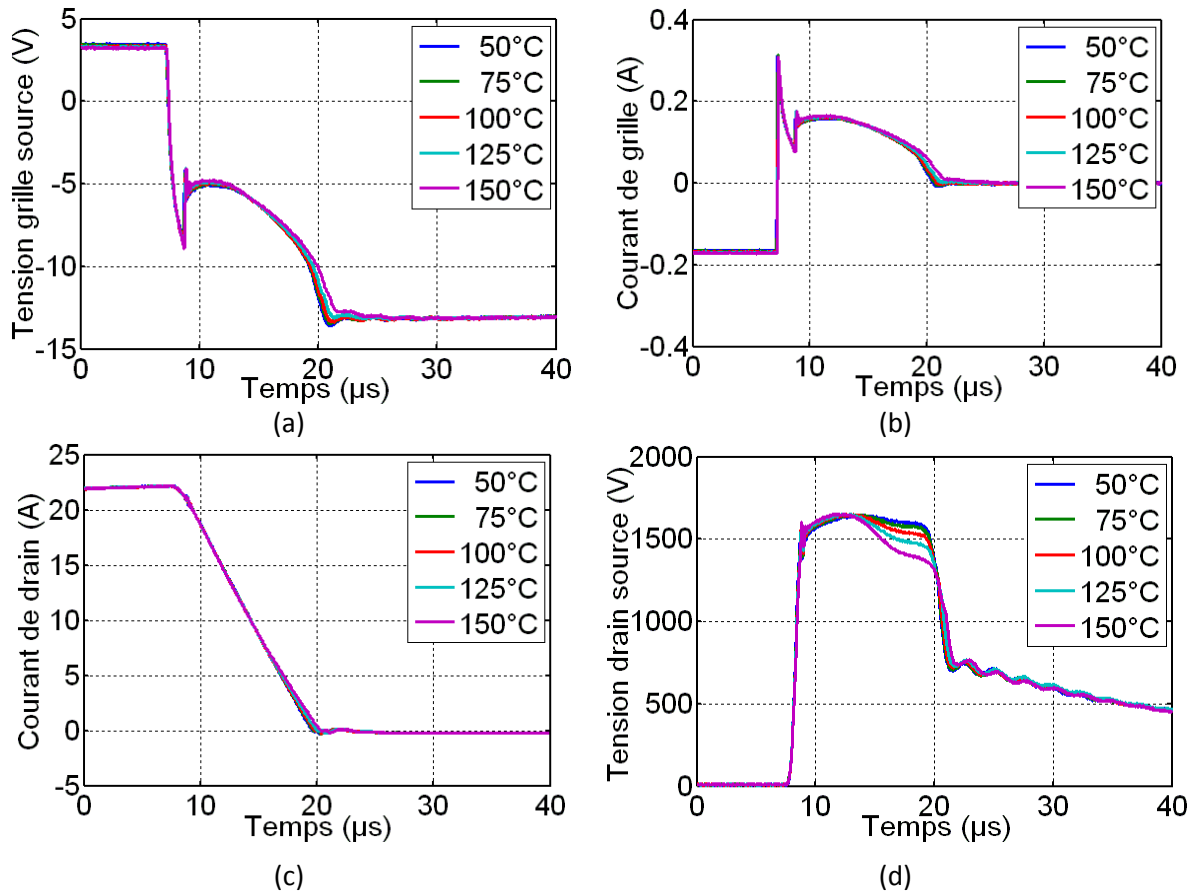


Figure II. 22: Evolution de la tension grille source (a), de la tension drain source (b) et du courant de drain (c) pendant la phase d'avalanche pour les températures variant de 50°C à 150°C pour un courant $I_D = 22A$.

❖ $I_D = 24A$ (cas 3)

Pour un niveau de courant de drain un peu plus élevé (24A), la tension grille source augmente significativement à partir du point d'inflexion de la tension et la tension aux bornes du transistor diminue fortement et ce d'autant plus que la température est élevée (Figure II. 23). La défaillance apparaît en élevant la température ambiante à 125°C. L'énergie dissipée est de 0.18J (5.85J/cm²).

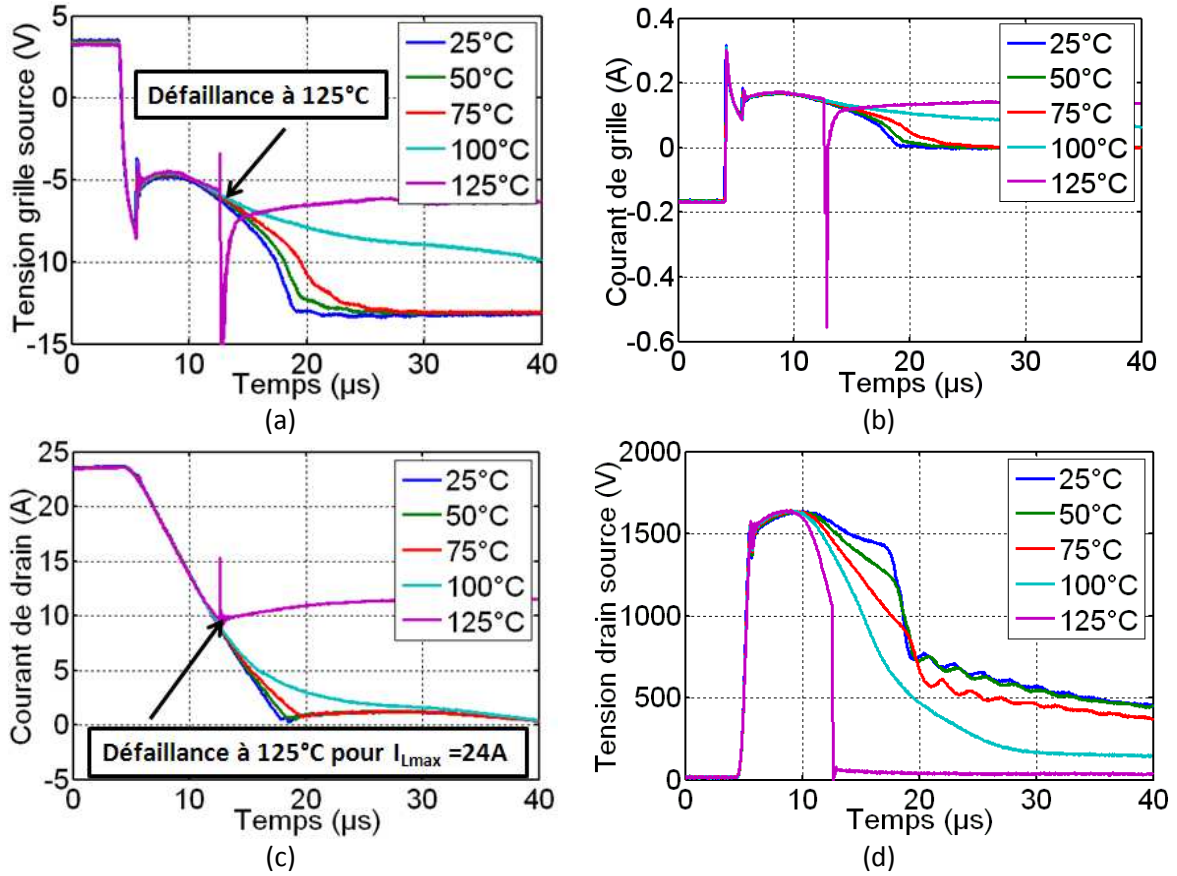


Figure II. 23: Evolution de la tension grille source (a), du courant de grille (b), du courant de drain (c) et (d) de la tension drain source pendant la phase d'avalanche pour des températures variant de 25°C à 125°C pour un courant $I_{LMAX} = 24A$.

Ces essais montrent que les formes d'ondes observées à température ambiante fixe en faisant croître le courant depuis un état de robustesse jusqu'à la défaillance peuvent être retrouvées en travaillant cette fois à courant maximal constant et en augmentant la température. Cela montre que l'origine de la défaillance est probablement thermique, mais aussi que les formes d'ondes particulières précédant la défaillance doivent pouvoir être également reliées à l'élévation de la température.

III. Robustesse en régime de court circuit

III.1. Banc de test expérimental

Le banc de court circuit utilisé dans notre étude est un banc classique comme celui que nous pouvons trouver dans la littérature pour les IGBT [StEve04]. Le schéma de principe du circuit est représenté dans la figure suivante :

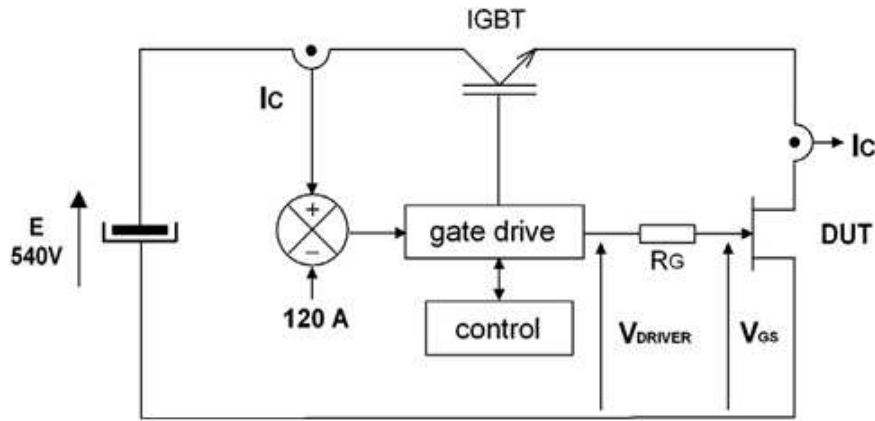


Figure II. 24: Banc de test expérimental de court circuit.

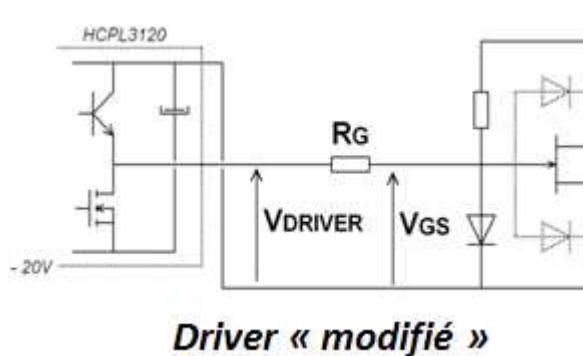


Figure II. 25: Modification de la sortie du driver.

Le banc de test en régime de court circuit est constitué par :

- Une source d'alimentation continue, Metrix AX 502, (0 - 600V). La valeur de la tension est fixée à 540V qui correspond à la valeur de la tension d'un bus continu pour des applications aéronautiques (-270V / +270V).
- Un transistor IGBT 1200V-200A en série avec le composant sous test qui assure la fonction de disjoncteur statique. Lorsque l'intensité du courant dépasse I_{ref} , fixé arbitrairement à 120A, l'IGBT s'ouvre afin d'éviter l'explosion du JFET SiC qui est le dispositif sous test et permettre de confiner la zone physique de défaillance sur le composant sous test afin de permettre éventuellement des analyses post-mortem.
- Une résistance de grille externe, égale à 47Ω. Cette résistance permet de contrôler les vitesses de variation de courant lors des phases de commutation du composant sous test. En particulier, au blocage, elle limite la surtension apparaissant aux bornes du transistor à travers l'inductance parasite de la maille de commutation.
- Deux cartes de commande, une pour commander l'IGBT de protection (entre -15V et +15V) et l'autre pour assurer la commande du JFET SiC. Le circuit de commande délivre une alimentation variant de 0 / -15V à 0 / -30 V afin d'adapter selon le transistor testé, la tension de blocage de grille à la tension de pincement du transistor (qui peut considérablement varier d'un transistor à l'autre).
- L'ensemble du banc est commandé par l'intermédiaire d'une carte d'E/S National Instrument pilotée via un PC par le logiciel LabVIEW.

Les essais sont effectués sur les deux lots de JFETs SiC Normally_On (#1 et #2) fabriqués par SemiSouth. Le transistor est maintenu à l'état passant en imposant $V_{GS}=0V$ pendant toute la durée de court circuit qui est réglable. Le composant est bloqué par une tension de commande $V_{Driver}=-15V$ ou $-20V$ selon le transistor. Une tension de 540V est appliquée entre drain et source.

Nous effectuons un premier essai de court circuit sur un JFET Normally_On_#1 (1200V-85mΩ) avec une faible durée de court circuit (10μs). Les formes d'ondes pendant ce test non destructif sont présentées sur la Figure II. 26. Nous remarquons que les tensions de commande V_{Driver} et V_{GS} sont parfaitement confondus et que V_{GS} n'est pas tout à fait nulle mais égale à $-2V$ pendant la phase de court circuit. Nous observons un courant de saturation maximal d'une valeur de 32A sur la courbe du courant de drain puis une diminution progressive de cette dernière jusqu'à la fin du court circuit. Pendant la phase de court-circuit, l'échauffement de la puce explique la diminution importante du courant (réduction de la mobilité des porteurs) [Mou07] [Ber09].

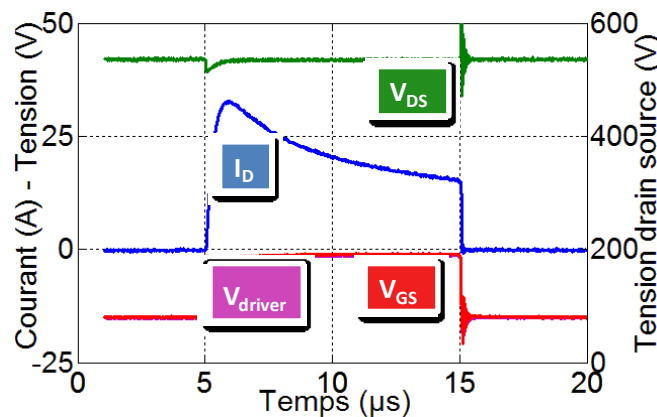


Figure II. 26: Formes d'ondes de courant de drain et de la tension appliquée pendant un test de court circuit.

❖ Remarque : Adaptation de l'étage de sortie du driver intégré

Le circuit de commande est un driver intégré isolé optiquement (Agilent HCPL3120). Ce circuit de commande ne permet pas, en étant alimenté entre 0 et -15 à $-30V$, de fournir $V_{GS}=0V$ en régime de conduction. Il délivre dans ce cas une tension légèrement négative, de l'ordre de $-2V$ à cause de la chute de tension qui apparaît dans le transistor bipolaire « High side » de son étage de sortie (Figure III. 25). Pour limiter cet effet, et chercher à avoir une tension de commande plus élevée en régime de conduction, nous avons cherché à forcer la polarisation en direct de la jonction grille source du JFET en régime de conduction. Pour ce faire, une résistance entre drain-grille est ajoutée afin d'imposer une polarisation légèrement positive de la jonction grille-source. La jonction grille source est toutefois court-circuitée par une diode Schottky limitant la polarisation en directe à une tension de l'ordre de $0,4 V$ (Figure II. 25).

La Figure II. 27 nous montre les formes d'ondes de V_{GS} avant et après la modification du circuit de commande.

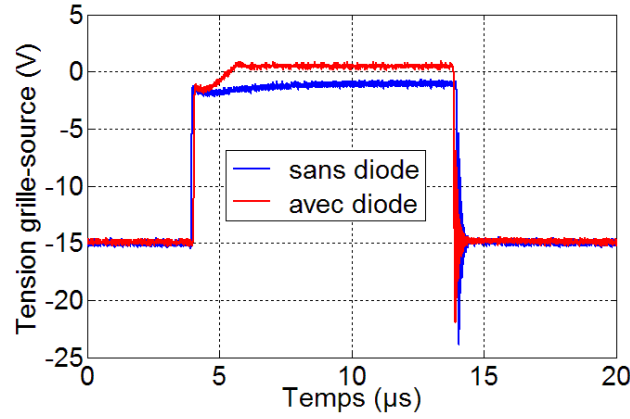


Figure II. 27: Formes d'ondes de V_{GS} avant et après correction.

La conséquence de l'ajout de la diode sur les formes d'ondes du courant de drain est montrée sur la Figure II. 28. On voit clairement que le courant maximal de court-circuit augmente de 32A ($V_{GS}=-2V$) jusqu'à 48A lorsque le JFET est tout à fait passant ($V_{GS}=0V$).

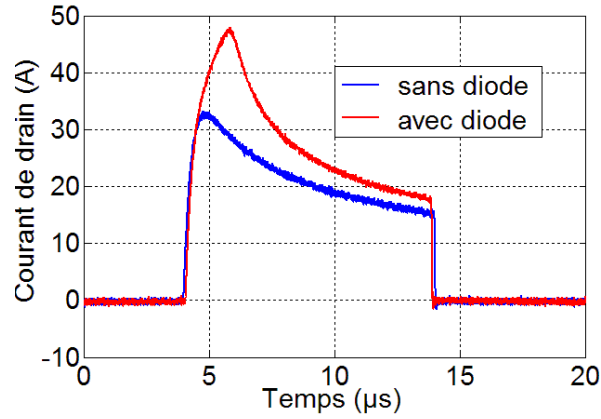


Figure II. 28: Effet de la commande sur le courant de court-circuit.

III.2. Estimation de l'énergie critique

Pour chercher l'énergie critique, énergie à partir de laquelle apparaît la défaillance (la casse du composant caractérisé par un court circuit entre drain et source), nous faisons évoluer progressivement l'énergie dissipée dans la puce jusqu'à apparition de la défaillance. Les formes d'ondes sont régulièrement enregistrées (I_D , V_{GS} , V_{DS} et V_{Driver}). Comme pour le régime d'avalanche, nous avons étudié la robustesse en régime de court circuit des deux lots des JFETs Normally_On_#1 et Normally_On_#2.

Nous avons commencé par déterminer l'énergie critique de chaque lot de composant. Pour ce faire, nous commençons par une faible durée de court circuit (15 μs ou 5 μs selon le JFET) puis nous l'augmentons avec un faible pas de temps de l'ordre de la microseconde. Nous représentons l'évolution de la tension grille source et de la tension drain source avec les durées de court circuit des deux types de JFET sur les Figure II. 29 suivantes.

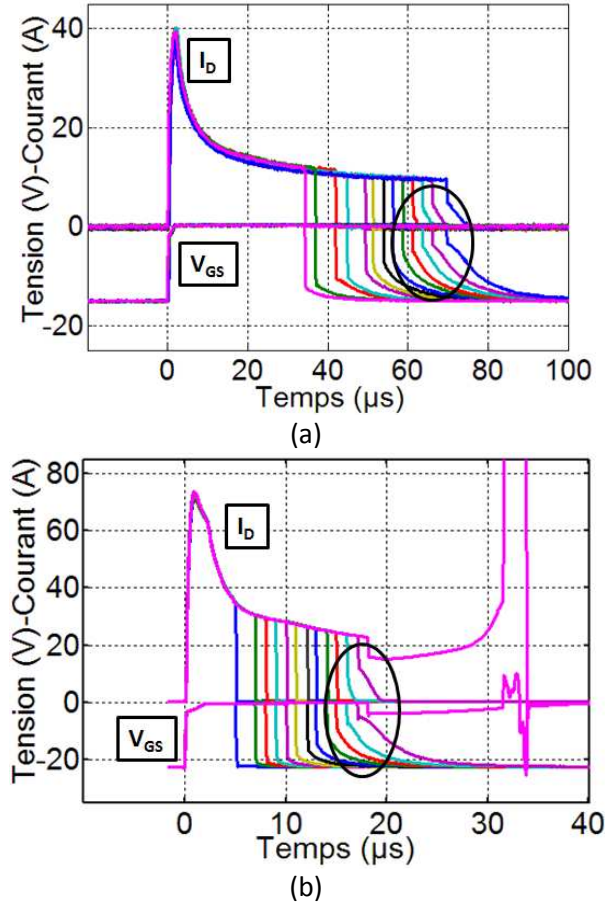


Figure II. 29: Evolution du courant de drain et de la tension grille source au cours du test de court circuit destructif (a) Normally_On_#1, (b) Normally_On_#2.

Nous observons une variation des formes d'ondes de la tension V_{GS} lors du blocage des JFETs. Cette variation traduit l'apparition d'un courant à travers la résistance de grille. Ce courant peut résulter de fuites entre la jonction grille source ou la jonction drain grille. Contrairement aux résultats observés en régime d'avalanche, le courant de fuite n'apparaît qu'à la fin de la phase de court circuit, au blocage du JFET après polarisation inverse de la jonction grille source, donc on peut légitimement supposer cette fois un courant de fuite entre grille et source (Figure II. 30).

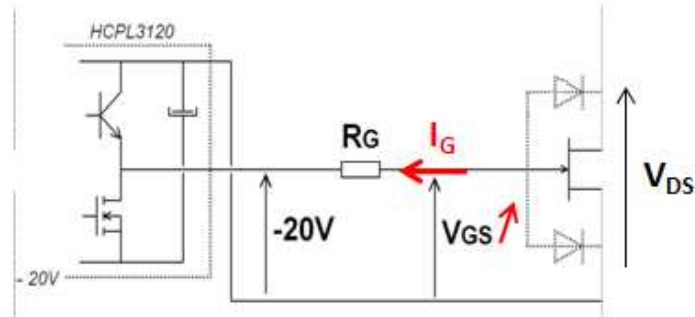


Figure II. 30 : Circulation du courant de fuite entre grille et source pendant la phase de court circuit.

Le courant de grille apparaît de façon remarquable à partir d'une durée de court circuit de 20 μs pour le transistor Normally_On_#1 et de 7 μs pour le transistor Normally_On_#2. Nous avons, à partir des

relevés de la tension de grille et de celle issue du driver, estimé le courant de grille comme nous l'avons fait lors de l'étude du régime d'avalanche (Figure II. 31).

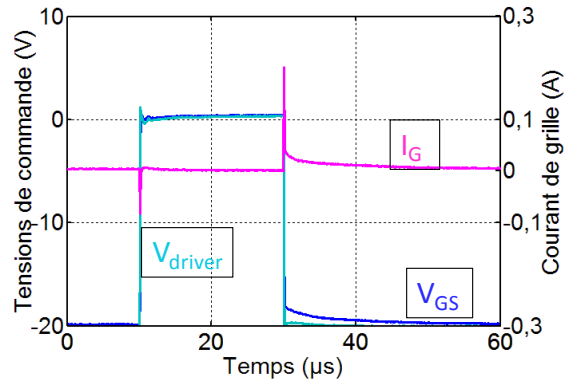


Figure II. 31: Protocol de calcul du courant de grille à partir des tensions V_{GS} et V_{DRIVER} .

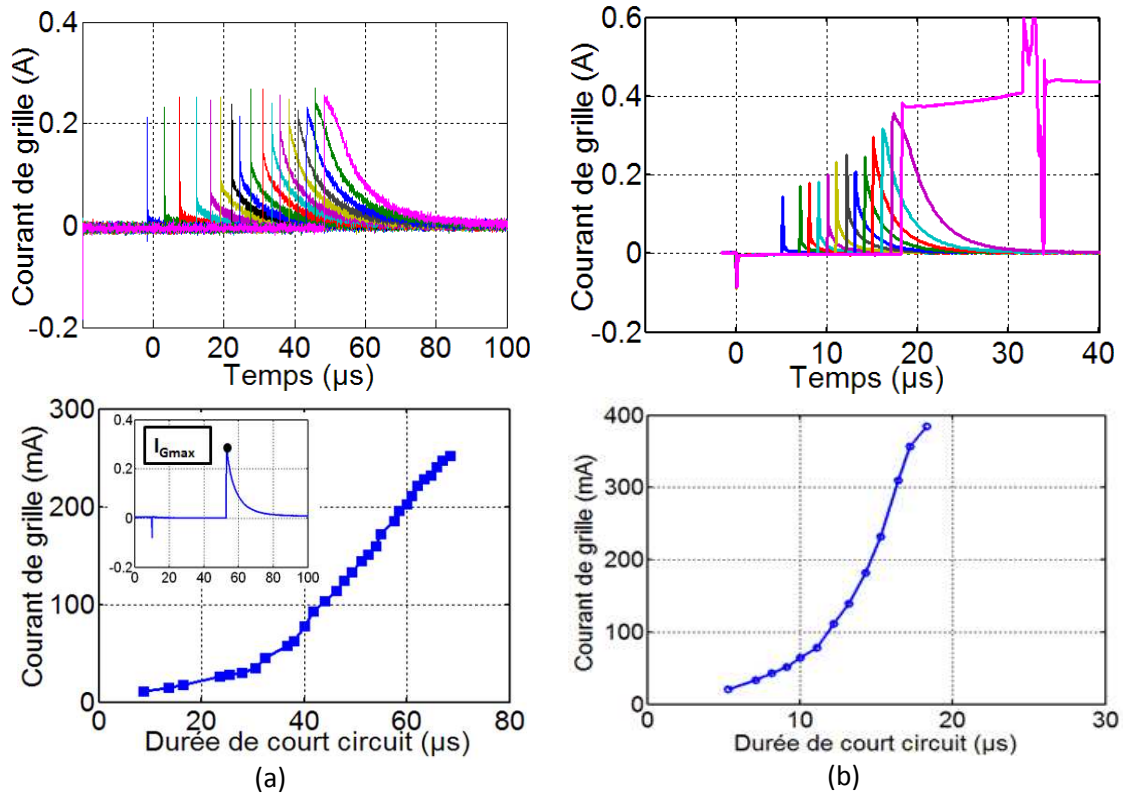


Figure II. 32: Evolution du courant I_G maximale avec la durée de court circuit au cours du test de court circuit destructif (a) Normally_On_#1, (b) Normally_On_#2.

La Figure II. 32 montre l'allure du courant de grille I_G pour les différentes durées de court-circuit pour les deux types de transistors. Nous avons également tracé l'évolution du courant de grille maximal (à l'instant de blocage du transistor) en fonction de la durée de court circuit. Nous observons une évolution très importante de ce courant avec la durée de court-circuit ou l'énergie dissipée dans la puce. Nous présenterons plus en détail ce point dans le dernier chapitre.

L'origine de ce courant de grille peut être expliquée par un courant de fuite au niveau de la jonction polarisée en inverse entre source et grille. Ce courant réinjecté à travers la résistance de grille modifie la tension grille source et l'augmente jusqu'à ce que V_{GS} dépasse la tension de pincement V_{T0} (de l'ordre de -6V à 25°C pour le transistor Normally_On_#2). Nous observons également et de façon corrélée aux évolutions de la tension V_{GS} , une variation des formes d'ondes du courant de drain avec la durée de court circuit (Figure II. 33). En effet, il y a apparition d'un courant que l'on pourrait assimiler à un courant de « fuite » de drain (ou de trainage) lors de la commutation à l'ouverture du JFET. Ces observations nous laissent supposer, une fois de plus, le passage des JFETs en régime linéaire de fonctionnement et la reconduction de la jonction drain-source vers les 60µs pour le transistor Normally_On_#1 et vers les 15µs pour le Normally_On_#2.

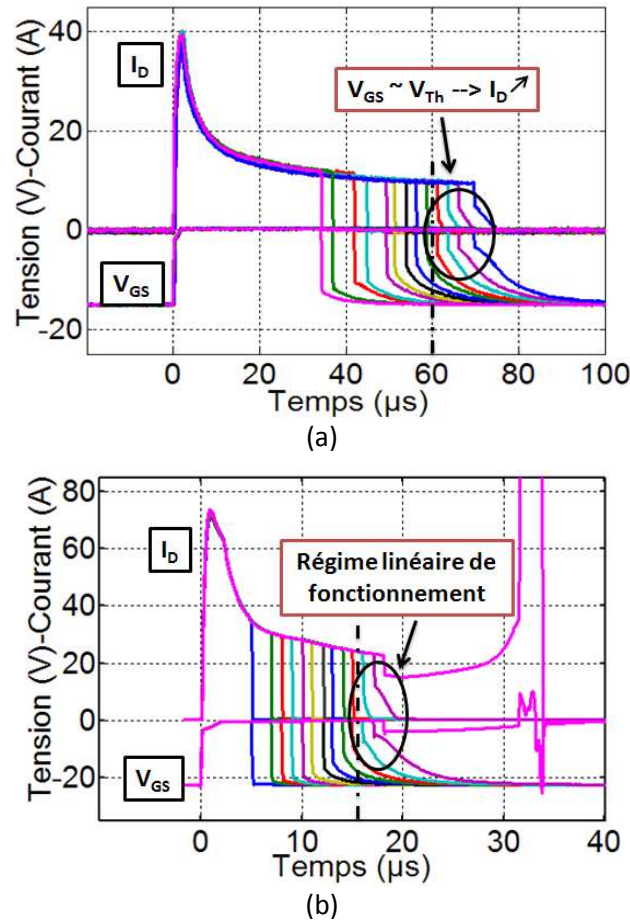


Figure II. 33 : Evolution du courant de drain et de la tension grille source au cours du test de court circuit destructif (a) Normally_On_#1, (b) Normally_On_#2.

Pour suivre de plus près l'évolution de ce courant de fuite de drain pour le JFET Normally_On_#2, nous augmentons progressivement la durée du court-circuit avec un pas de 200ns à partir d'une durée de 15µs. En zoomant sur les formes d'ondes du courant de drain lors du blocage du composant, nous notons l'évolution progressive du courant résiduel de drain à partir de 15.2µs de 2A jusqu'à 12A (Figure II. 34). Ce courant devient important à partir d'une durée de court circuit de 16µs pour le Normally_ON_#2 alors qu'elle est de l'ordre de 60µs pour le Normally_On_#1. Ces résultats coïncident avec les durées à partir desquelles la tension grille source devient de l'ordre de grandeur de la tension de pincement (qui varie avec la température de la puce pendant la phase de

court circuit) ce qui remet les transistors en conduction et les fait rentrer en régime linéaire de fonctionnement.

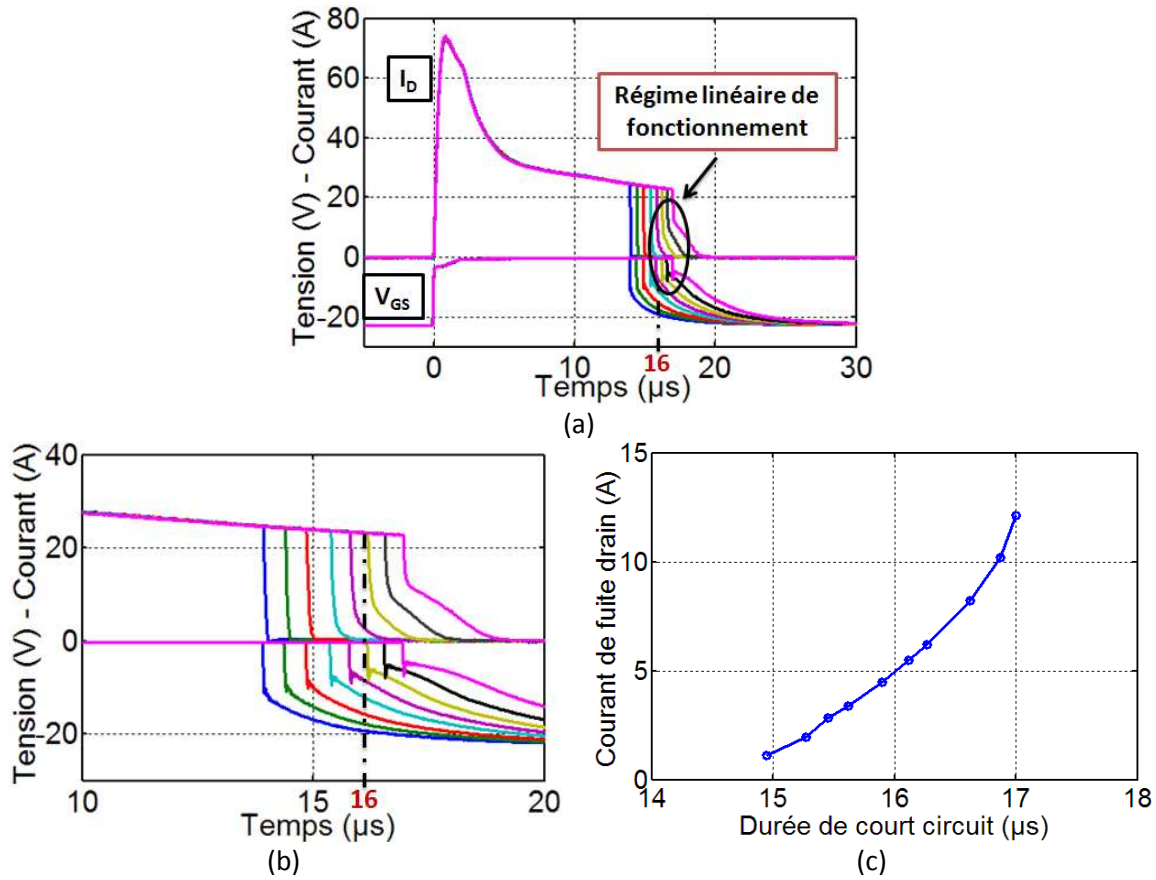


Figure II. 34: (a) Evolution du courant de drain et de la tension V_{GS} en raffinant les durées de court circuit entre 15µs et 17µs pour le JFET Normally_On_#2, (b) Zoom des formes d'ondes, (c) Courant max. de «fuite» de drain lors du blocage du JFET en fonction de la durée de court circuit.

La défaillance du JFET est apparue dans ces conditions d'essai après une durée de court circuit de 90µs pour les JFET Normally_ON_#1 et de 32µs pour le Normally_ON_#2. Sur la Figure II. 35 sont représentées les formes d'ondes à la défaillance. On peut noter la présence de deux phases de fonctionnement bien distinctes pour les deux transistors. La première correspond au régime de court-circuit classique pendant lequel le transistor assure la limitation du courant. Lorsque l'on cherche à ouvrir le transistor, on observe que la tension entre grille et source ne peut être ramenée à -15 V comme c'est le cas pour la tension issue du Driver.

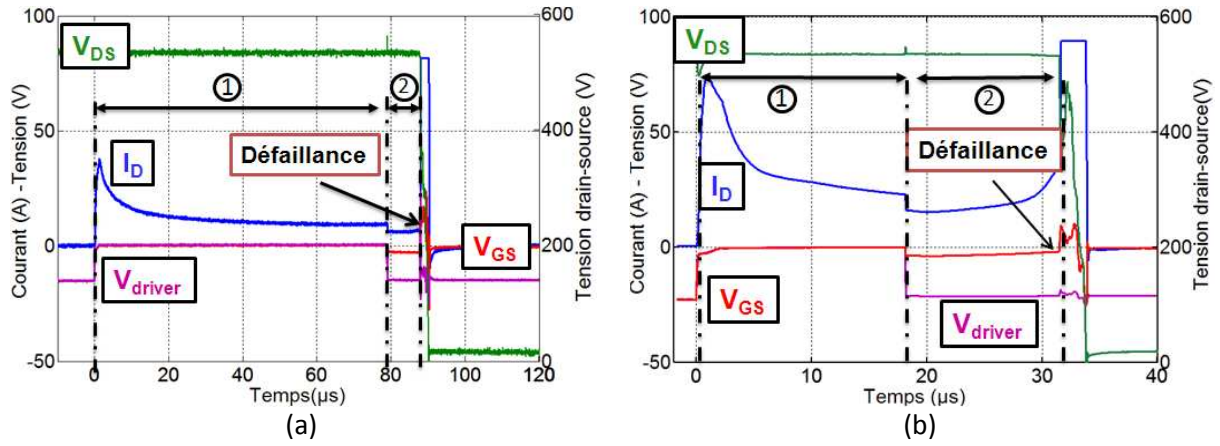


Figure II. 35: Formes d'ondes des tensions et du courant de drain à la casse du JFET (a) Normally_ON_#1, (b) Normally_ON_#2.

La première phase dure $80\mu\text{s}$ pour le Normally_ON_#1 et environ $18\mu\text{s}$ pour le Normally_ON_#2, elle est entièrement contrôlée par le circuit de commande. Pendant cette phase, le transistor est en régime de limitation de courant, le courant de drain décroît progressivement sous l'effet de l'auto-échauffement de la puce. La tension grille-source étant nulle, le JFET assure correctement la limitation du courant. Par contre, pendant la phase 2, lorsque la commande de blocage est appliquée sur la grille et que le composant essaie d'ouvrir le courant, la tension grille source semble être maintenue à une valeur constante de l'ordre ici de -3V pendant un court instant ($8\mu\text{s}$) pour le Normally_ON_#1 et -4V pour le Normally_ON_#2 pendant un temps plus long ($15\mu\text{s}$). Il semble que le courant de fuite à travers la jonction grille source maintienne à travers la résistance R_G le JFET dans un régime de conduction (régime de saturation). Ceci maintient la circulation de courant entre drain source. La température au sein du cristal continue donc à s'élever, ce qui explique certainement l'apparition de la défaillance physique (environ $10\mu\text{s}$ après l'ordre de commande imposé par le driver pour le transistor Normally_ON_#1 et $15\mu\text{s}$ pour le transistor Normally_ON_#2). On peut observer une légère augmentation du courant de drain juste avant la défaillance voire significative pour le transistor Normally_ON_#2 qui peut résulter d'une élévation importante de la température par emballement thermique [Tri96] [Tri98] [Pal00].

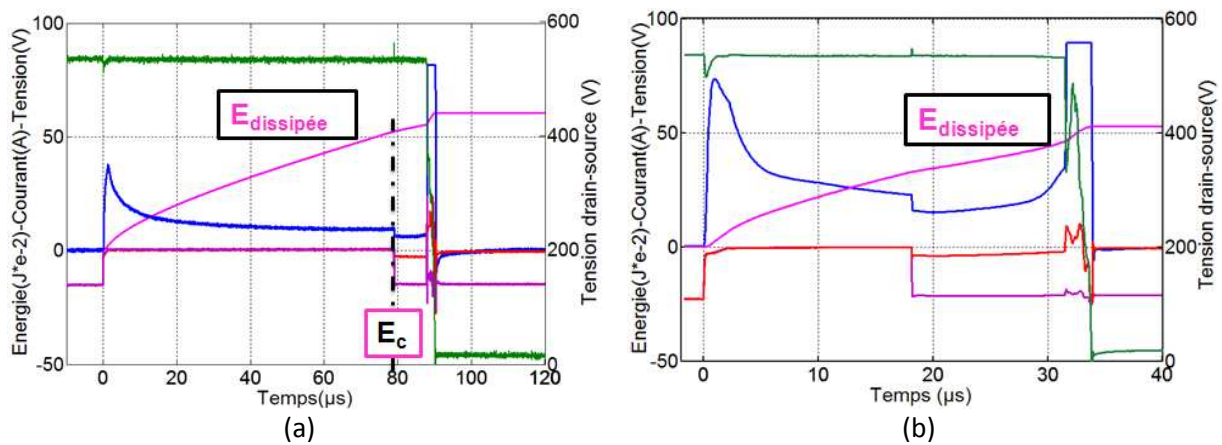


Figure II. 36: Evolution de l'énergie dissipée (courbe rose) dans la puce pendant la phase de court circuit pour les JFETs (a) Normally_ON_#1 et (b) Normally_ON_#2.

La Figure II. 36 ci-dessus montre également l'évolution de l'énergie dissipée dans le transistor pendant la phase de court-circuit destructive. Nous l'avons calculé en intégrant le produit $V_{DS}(t) \cdot I_D(t)$ par rapport au temps. L'énergie critique est donc l'énergie dissipée mais ici calculée de l'instant de la mise en conduction du JFET jusqu'au moment de l'apparition de la perte de contrôle du transistor (impossibilité de couper le courant de court-circuit car la jonction grille source n'est plus fonctionnelle ce que nous voyons sur la forme d'onde de V_{GS} contrairement à V_{driver}). La défaillance apparaît plus tard, lorsqu'un court-circuit physique apparaît entre drain et source. Cette énergie est égale à 0.52 J pour le Normally_ON_#1 et 0.33 J pour le Normally_ON_#2 ce qui correspond respectivement à une densité d'énergie de 19.33 et 10.73 J/cm². Ces énergies critiques des JFETs SemiSouth sont inférieures à celles calculées pour des JFETs SiCED qui sont de l'ordre de 43,7 J/cm² dans des conditions similaires de test [Ber 09].

Référence	Normally_ON_#1	Normally_ON_#2
$R_{DS(on)}$ (mΩ)	110	85
V_{BR} (V)	1200	1200
Surface active S_{act} (mm ²)	2.69	3.075
Energie critique E_c (J)	0.52	0.33
Densité d' E_c (J/cm ²)	19.33	10.73

Tableau II. 3 : Récapitulatif des énergies critiques dissipées pendant les tests de court circuit.

III.3. Effet de la température sur la tenue au court circuit

Nous avons effectué ces tests de court circuit en fonction de la température avec un nouveau lot de VJFET (même référence), toujours le Normally On_#2 de résistance à l'état passant $R_{DS(on)}=85\text{m}\Omega$ et de tension de claquage $V_{BR}=1200\text{V}$, mais ce lot de transistor présente une énergie critique beaucoup plus élevée (0.625J) que le précédent lot testé (0.33J). Ces différences de comportement des différents lots testés ont rendu cette étude extrêmement délicate à mener. Nous n'avons pas connaissance des évolutions technologiques expliquant, par exemple, cette plus grande robustesse. A chaque lot de composants testés, il nous aura fallu reprendre l'ensemble des caractérisations et tests de robustesse présentés précédemment, sans que nous puissions clairement expliquer ou justifier l'origine de ces différences de comportement.

Nous appliquons les mêmes conditions de test de court circuit que dans le paragraphe précédent ($V_{DS}=540\text{V}$). Nous nous plaçons à une durée de court circuit où nous commençons à voir apparaître un courant de fuite de drain lors du blocage du composant puis nous augmentons la température ambiante jusqu'à la casse des JFETs. Ce protocole a pour objectif de mettre en évidence l'influence de la température sur l'origine physique de la défaillance (comme nous avons pu le faire en régime d'avalanche), mais aussi et surtout de chercher à relier les grandeurs caractéristiques qui semblent responsables de la défaillance (comme par exemple le courant de fuite de la jonction grille-source à travers la chute de tension dans la résistance de grille) à la température de la puce.

Avec un premier composant, on fixe la durée de court circuit à 44μs (lorsqu'apparaît un courant de fuite de drain significatif au blocage du transistor) et nous varions la température ambiante de 25°C à 100°C. Nous représentons l'évolution des formes d'ondes des tensions V_{Driver} , V_{GS} , du courant de grille I_G et du courant de drain I_D avec la température (Figure II. 37).

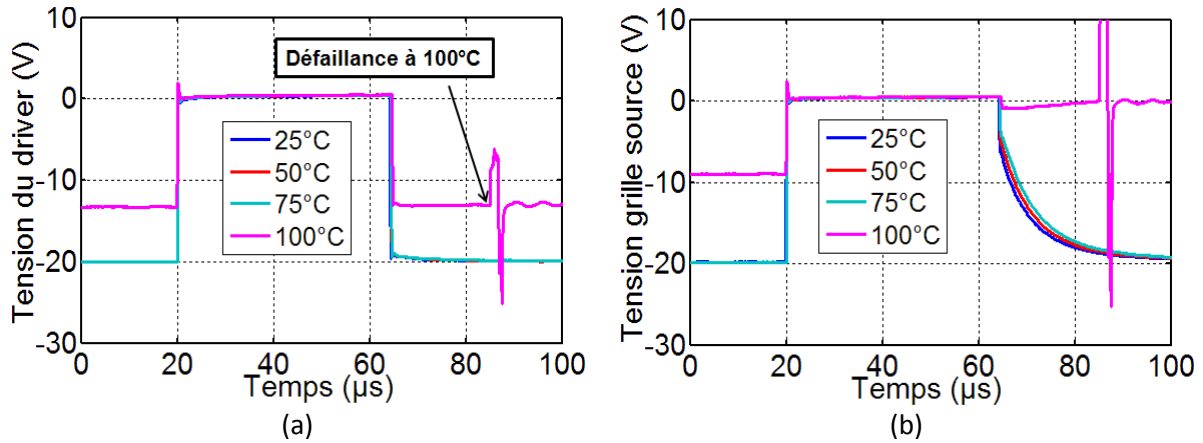


Figure II. 37: Formes d'ondes des (a) tensions du driver V_{Driver} et (b) tensions grille sources V_{GS} pendant les tests de court circuit pour des températures variant de 25°C à 100°C avec un pas de 25°C.

Les formes d'ondes n'évoluent pas significativement lorsque la température ambiante évolue de 25 à 75°C. Toutefois, après l'essai réalisé à 75°C, on observe clairement, pour la température de 100°C que la tension issue du driver avant la phase de court-circuit n'est pas de -20V. Elle est de l'ordre de -13V et la tension entre grille et source de seulement -9V environ. Cela traduit l'existence d'un courant de fuite entre source et grille qui « remonte » à travers la résistance de grille. Ces observations mettent ainsi en évidence une dégradation de la jonction entre source et grille après la phase de court-circuit effectuée à 75°C de température ambiante. Nous ne pouvons conclure sur l'origine physique de cette dégradation qui n'est pas observable juste après la phase de court-circuit à 75°C. Nous ne pouvons que supposer une dégradation lente de la jonction source grille (dégradation de la passivation) après la phase de court circuit à 75°C. La Figure II. 38.a nous montre l'évolution des formes d'ondes du courant de drain avec la température pendant les phases de limitation du courant. Nous notons une légère diminution du courant de saturation et une augmentation du courant de fuite de drain pendant la phase du blocage du JFET (Figure II. 38.b). Ce dernier évolue en valeur maximale, à l'instant de blocage, de 1.7A à 25°C jusqu'à 11A à 100°C où apparaît la défaillance.

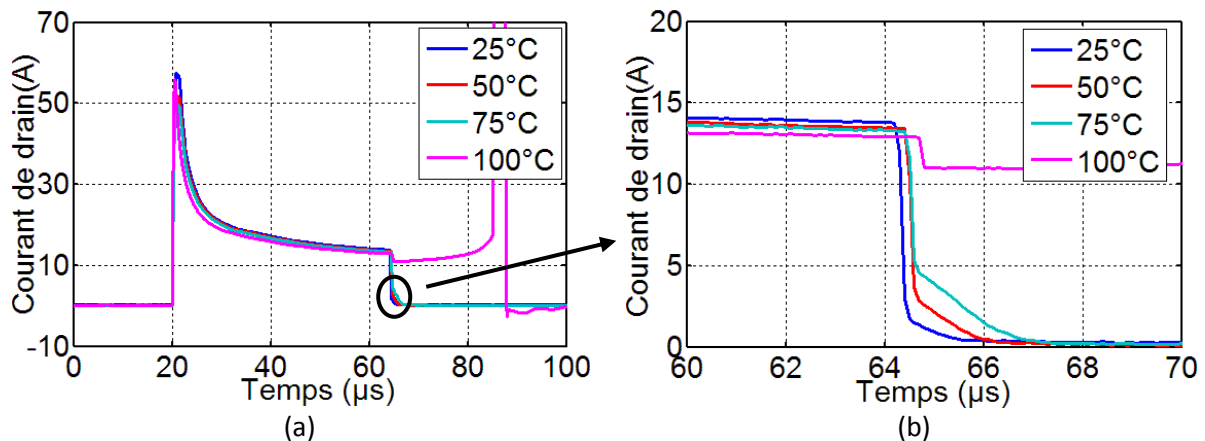


Figure II. 38: (a) Formes d'ondes du courant I_D pendant la phase de court circuit pour des températures variant de 25°C à 100°C avec un pas de 25°C, (b) zoom sur le courant de drain lors du blocage du JFET.

Les mêmes essais ont été effectués sur un deuxième composant du même lot avec une augmentation plus progressive de la température (un pas de 10°C cette fois) jusqu'à l'apparition de la défaillance. Ces essais supplémentaires ont été effectués pour chercher à affiner les résultats obtenus sur le premier composant testé. Sur les formes d'ondes de V_{GS} (Figure II. 39.b) nous notons à nouveau l'apparition d'un courant de fuite significatif de l'ordre de 20 mA avant la phase de court circuit à partir d'une température ambiante de 80°C après l'essai à 70°C. Ce courant de fuite est bien plus significatif à 90°C (80 mA) puisqu'il arrive à modifier la tension délivrée par le driver (à travers la résistance de l'étage de sortie du driver). Ces résultats corroborent ceux observés précédemment mais montrent ici la progressivité du phénomène de dégradation.

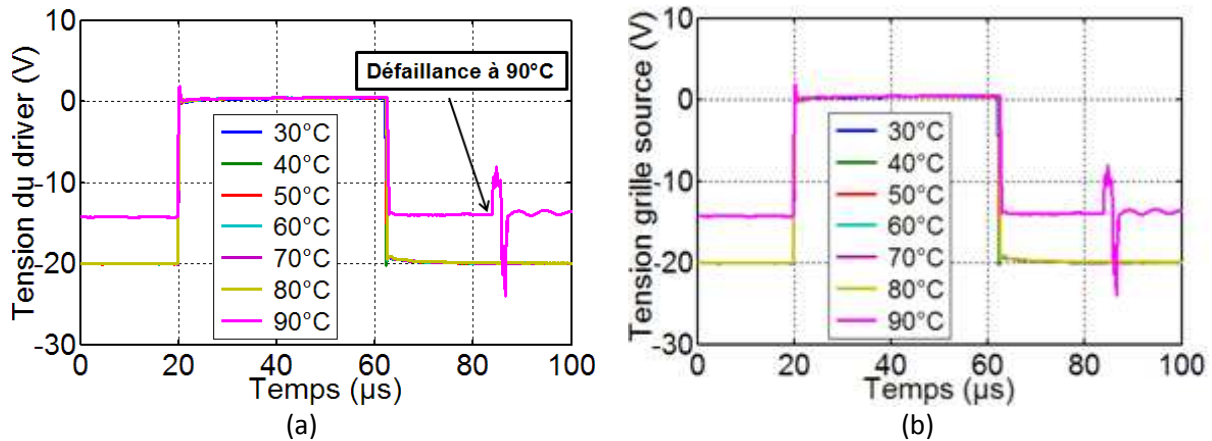


Figure II. 39: Formes d'ondes des (a) tensions du driver V_{Driver} et (b) tensions grille source V_{GS} pendant les tests de court circuit pour des températures variant de 30°C à 90°C avec un pas de 10°C.

L'évolution du courant inverse entre grille et source avec la température avant la phase de court circuit est présentée sur la Figure II. 40.a. Nous constatons également l'augmentation du courant de grille à la fin de la phase de court circuit avec la température (une augmentation totale de 34mA pour une variation totale de température de 60°C). Sur la Figure II. 40.b sont représentées les formes d'ondes du courant de drain lors du passage à l'état bloqué du JFET. Nous observons la croissance du courant de fuite de drain au blocage avec la température de 1.5A à 30°C jusqu'à 10A à 90°C. En effet, le JFET rentre en régime de fonctionnement linéaire sous l'effet de l'augmentation du courant de fuite dans la jonction source grille ce qui polarise la jonction grille-source (V_{GS} augmente) et remet en conduction le transistor.

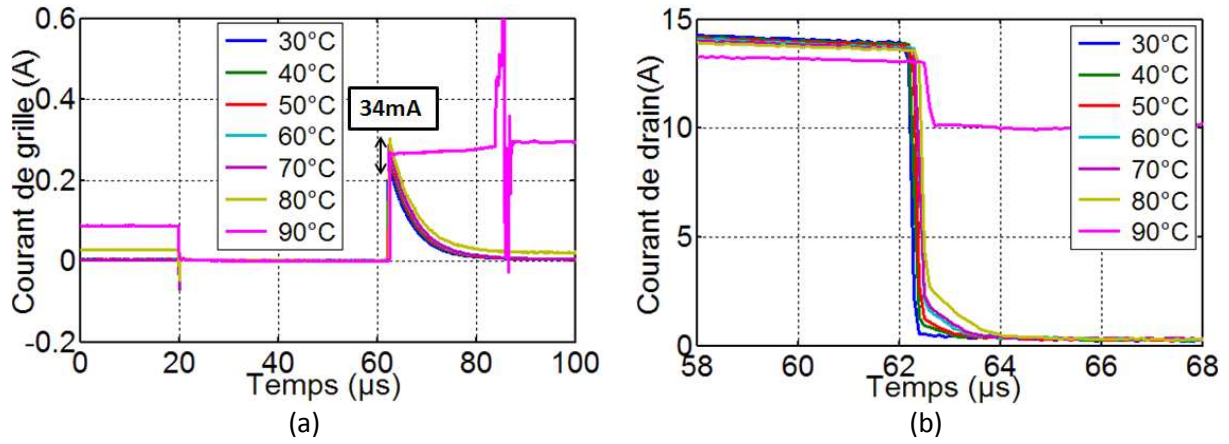


Figure II. 40: (a) Formes d'ondes du courant I_G pendant la phase de court circuit pour des températures variant de 30°C à 90°C avec un pas de 10°C, (b) zoom sur le courant de drain lors du blocage du JFET.

La casse est apparue donc pour le premier composant à 100°C et pour le deuxième à 90°C de température ambiante de la même façon et avec la même énergie de 0.41J. Les formes d'ondes à la défaillance du deuxième composant testé sont représentées sur la figure ci dessous.

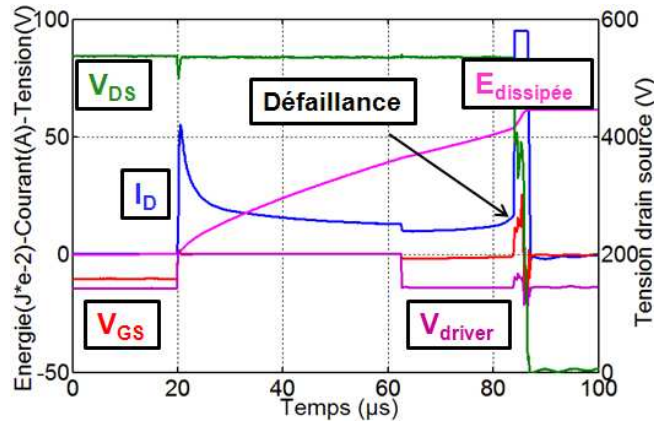


Figure II. 41: Formes d'ondes du deuxième JFET à la défaillance à 90°C.

Nous notons qu'au moment du passage à l'état OFF, la jonction grille source ne peut être polarisée en inverse, la tension V_{GS} reste quasiment inchangée. Cela montre la défaillance de la jonction grille-source qui ne peut être polarisée en inverse à cet instant. Par contre, la fonctionnalité entre drain et source est maintenue, le transistor assure toujours la limitation du courant de drain par ses propres caractéristiques jusqu'à ce qu'un court circuit destructif irrémédiable apparaisse entre drain et grille (probablement par emballement thermique).

IV. Conclusion

Dans ce deuxième chapitre et dans un premier temps, nous avons étudié la robustesse des différents lots des VJFETs SiC de SemiSouth en régime d'avalanche afin de déterminer les énergies que peuvent supporter ces composants dans ces modes de fonctionnement particuliers. Ceci a été fait en cherchant notamment à quantifier l'influence de différents paramètres électriques tels que la

résistance de grille, le courant et la température et à mettre en évidence les mécanismes physiques à l'origine de la défaillance.

Nous avons constaté que la résistance de grille modifie de façon considérable le courant de grille du VJFET Normally On, sans toutefois affecter les autres grandeurs pendant la phase d'avalanche. Tout se passe, comme si, pendant la phase d'avalanche, l'avalanche de la jonction entre drain et grille permettait, par l'intermédiaire du faible courant circulant dans la résistance de grille de maintenir la conduction du transistor en régime linéaire. Ce comportement particulier semble dû à la contre-réaction entre drain et grille durant l'avalanche, qui fait se comporter la jonction drain grille comme un écrêteur actif.

L'étude de l'influence de la valeur de l'énergie dissipée (ou courant d'avalanche) sur les formes d'ondes pendant la phase d'avalanche et en particulier sur l'allure de la tension drain source a montré qu'en augmentant l'énergie dissipée dans le transistor, une diminution progressive de la tension aux bornes du transistor était observée. La tension semble initialement limitée par la tension d'avalanche, qui tend à augmenter légèrement avec le temps, puis cette tension s'écroule, ce qui tend à montrer que le transistor ne fonctionne plus alors en régime d'avalanche.

Quant à l'effet de la température sur le comportement en avalanche du VJFET Normally On en régime d'avalanche, nous avons montré que partant d'un régime de tenue à l'avalanche, une augmentation de la température ambiante nous entraînait dans des modes de fonctionnement semblables à ceux observés après élévation de l'énergie dissipée par augmentation du courant. En effet, les formes d'ondes observées à température ambiante fixe en faisant croître le courant depuis un état de robustesse jusqu'à la défaillance peuvent être retrouvées en travaillant cette fois à courant maximal constant et en augmentant la température. Cela semble bien montrer que l'origine de la défaillance est bien d'origine thermique, mais aussi que les formes d'ondes particulières observées à la défaillance doivent pouvoir être également reliées à l'élévation de la température.

Les différents lots de VJFETs SiC fabriquées par SemiSouth ont montré une très bonne robustesse face aux tests d'avalanche UIS que nous avons mené. Ils ont pu tenir pendant les phases d'avalanche une tension, de l'ordre de 1700V, largement supérieure à la tension de claquage issue des datasheets. L'énergie critique amenant à la défaillance était du même ordre de grandeur pour les différents lots des JFETs testés et semble légèrement supérieure à celle supportée par les JFETs SiC fabriquée par SiCED sous les mêmes conditions de test [Fri06].

Dans un deuxième temps, nous avons étudié la robustesse des transistors VJFETs SiC en régime de court circuit avec une tension de 540V appliquée entre drain et source en cherchant à quantifier l'influence de la durée de court circuit et de la température sur l'apparition de la défaillance.

Nous avons montré qu'en augmentant la durée de court circuit, une variation des formes d'ondes de la tension V_{GS} lors du blocage des JFETs a été observée. Cette variation traduit l'apparition d'un courant de fuite mesurable à travers la résistance de grille. Nous avons observé également et de façon corrélée aux évolutions de la tension V_{GS} , une variation des formes d'ondes du courant de drain avec la durée de court circuit suite à l'apparition d'un courant de fuite de drain lors de la commutation à l'ouverture du JFET. Ces observations nous ont laissé supposer le passage des JFETs en régime linéaire de fonctionnement et la reconduction de la jonction drain source après l'ouverture du courant de court-circuit.

L'augmentation de la température ambiante en gardant fixe la durée de court circuit a mis en évidence une dégradation de la jonction entre drain et grille ou entre grille et source après la phase de court-circuit effectuée à 75°C de température ambiante, ce qui laisse supposer une dégradation lente de cette jonction (dégradation de la passivation) après la phase de court circuit à 75°C.

En conclusion, les résultats obtenus en régime de court-circuit, montrant des énergies critiques supérieures à celles observées en régime d'avalanche nous montrent également l'excellente robustesse des VJFETs en technologie SiC de SemiSouth en mode de limitation de courant. En les comparant avec d'autres composants dans des conditions de tests de court circuit également, nous notons que les VJFETs de SemiSouth sont plus robustes que les IGBTs Silicium [StEve07] mais moins robustes que les JFETs SiC de SiCED [Ber09] [Ber10].

Chapitre III. Analyse des résultats par simulation thermique

I. Modèle 3D du JFET SemiSouth

Afin d'estimer la température de jonction du JFET SiC lors des régimes extrêmes et jusqu'à la défaillance, un modèle éléments finis thermique 3D a été réalisé à l'aide du logiciel Comsol3.5. Les composants dont nous disposons actuellement sont des transistors en boîtier TO247, intégrant une puce SiC, une semelle en cuivre et la brasure puce/semelle (Figure III. 1). Dans un premier temps, nous n'avons pas considéré le boîtier époxy dans notre modèle. Les résultats exposés ci-dessous n'en tiennent donc pas compte et concerne le composant Normally_On_#1.

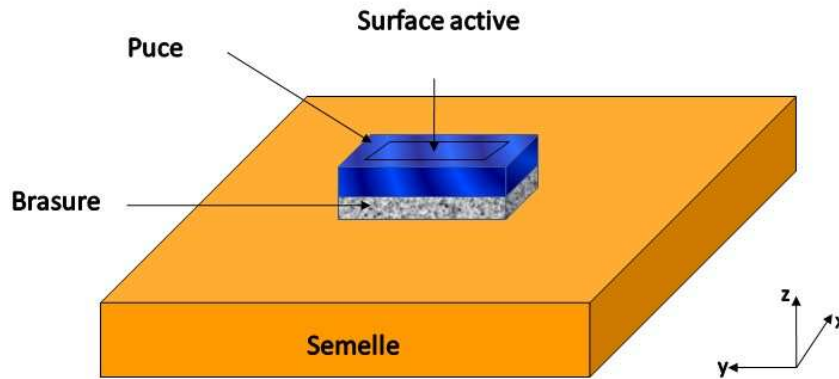


Figure III. 1: Modèle thermique 3D initial du JFET SiC SemiSouth.

Le tableau suivant récapitule les dimensions des différents matériaux utilisés dans ce modèle :

	Puce (SiC)	Brasure (SnAg)	Semelle (Cu)
Surface totale (mm ²)	2*2	2*2	10*10
Surface active (mm ²)	1.64*1.64	—	—
Epaisseur (μm)	300	50	3000

Tableau III. 1: Dimensions de l'assemblage du JFET SemiSouth.

On ne considère ici que les phénomènes de conduction thermique à travers les différents matériaux qui constituent le composant. L'épaisseur du SiC étant très faible devant les dimensions latérales de la puce, si l'on considère que la puissance dissipée est uniformément répartie sur la surface supérieure de la puce, on pourrait faire l'hypothèse d'un flux de chaleur unidimensionnel vertical [Amm98] pour des phases de courtes durées. Dans un cas plus général, nous cherchons à résoudre l'équation de chaleur écrite ci-dessous dans le cas tridimensionnel à travers cet assemblage (équation III.1):

$$\nabla(\lambda \cdot \vec{\nabla} T) + Q = \rho c_p \frac{\partial T}{\partial t} \quad (\text{III.1})$$

Où T est la distribution de température dans la structure, p la densité du matériau, λ la conductivité thermique locale, c_p la chaleur spécifique massique locale, et Q la source de chaleur due à la dissipation de puissance dans la puce en carbure de silicium. Cette source de chaleur (Eq. III.2) est

principalement due à l'effet Joule pendant la phase de court circuit ou d'avalanche par la circulation d'un flux de porteurs $\vec{J}$ à travers la zone de charge d'espace où se trouve un champ électrique important $\vec{E}$ principalement dépendant de la tension drain source $V_{DS}(t)$:

$$Q = \vec{J} \cdot \vec{E} \quad (\text{III.2})$$

J est la densité de courant qui circule dans le JFET durant le court circuit ou l'avalanche. La distribution volumique de chaleur Q dépend d'une part des formes de courant et de tension et d'autre part de la structure interne du composant. Comme nous ne connaissons pas la structure interne exacte des composants étudiés, nous faisons l'hypothèse d'un JFET dont le profil du champ électrique est triangulaire et non influencé par le courant.

Dans un premier temps, nous ferons toutefois l'hypothèse que la puissance est dissipée à la surface supérieure de la puce (ce qui revient à négliger l'épaisseur de la zone de charge d'espace devant la longueur de diffusion de la chaleur en fin de régime extrême) et que toutes les frontières sont adiabatiques (Figure III. 2 et équation III.3) hormis la surface inférieure de la semelle de cuivre qui est considérée isotherme ($T_c=25^\circ\text{C}$) (III.4). Cette dernière hypothèse est faite en considérant d'une part l'épaisseur relativement importante de la structure et d'autre part les impulsions de puissance relativement courtes (quelques μs). Ainsi le flux de chaleur n'a pas le temps de se propager jusqu'à la face arrière et la température à cet endroit n'a pas le temps d'évoluer. Le flux de puissance va donc traverser les différentes strates de l'assemblage pour atteindre la surface de dissipation et nous ferons l'hypothèse simplificatrice d'un flux de chaleur négligeable par le haut (Figure III. 2). Pour les conditions initiales, nous avons fait l'hypothèse d'une température uniforme dans l'ensemble du modèle à la valeur maintenue par la température de semelle initiale T_c (III.5).

$$\lambda \cdot \vec{\nabla} T = 0 \quad (\text{sur les parois latérales et supérieures}) \quad (\text{III.3})$$

$$T(z = W_{SiC} + W_{SnAg} + W_{Cu}, t) = T_c \quad (\text{III.4})$$

$$T(t = 0) = T_c \quad (\text{III.5})$$

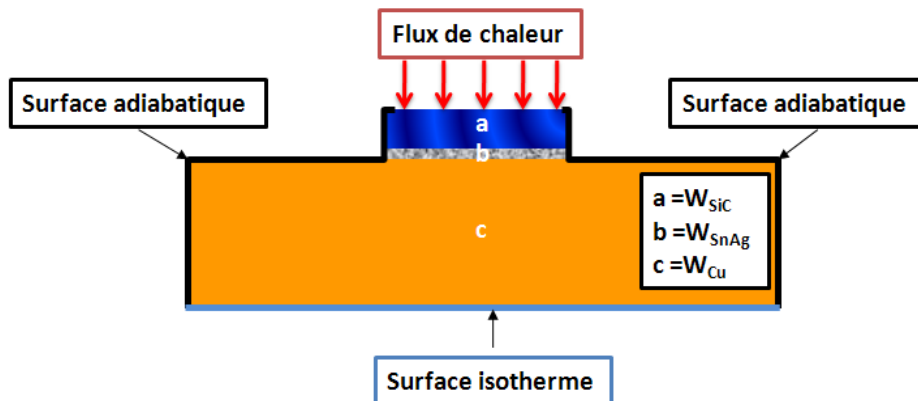


Figure III. 2: Conditions aux limites appliquées au modèle thermique 3D.

Les propriétés des matériaux utilisés pour les premières simulations sont données dans le tableau suivant. Ceux-ci sont considérés isotropes.

	Conductivité thermique (W/m.K)	Chaleur spécifique (J/kg.K)	Densité (kg/m ³)
SiC	380	671	3215
SnAg	55.5	180	7360
Cuivre	385	380	180

Tableau III. 2: Propriétés physiques des matériaux utilisés dans le modèle thermique 3D.

Les formes d'ondes du courant et de la tension utilisées pour le calcul de la puissance dissipée injectée pendant ces calculs numériques sont issues des essais expérimentaux de court circuit et d'avalanche. La Figure III. 3 présente les formes d'ondes (enregistrées pendant un test de court circuit) permettant de calculer la puissance dissipée par la puce et qui est ensuite injectée (sous forme de puissance volumique ou surfacique selon les hypothèses retenues d'une injection dans le volume de la ZCE ou sur la surface active de la puce) dans notre modèle 3D.

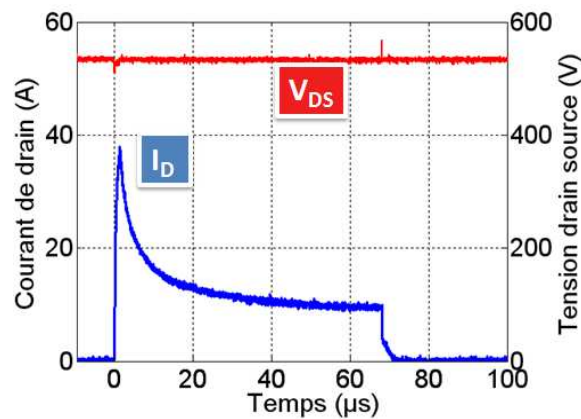


Figure III. 3: Formes d'ondes du courant et de la tension utilisées pour calculer la puissance dissipée à injecter dans le modèle thermique 3D en régime de court circuit.

Dans une première partie, et pour des raisons de simplification, dans les simulations qui suivent, la puissance dissipée est injectée sur la surface active de la puce. Nous chercherons alors dans un premier temps à évaluer l'effet du maillage sur les résultats de simulation puis celui des propriétés physiques des matériaux utilisés. Nous montrerons à cet effet qu'il est ici nécessaire de prendre en compte les variations de conductivité thermique et de chaleur spécifique avec la température. Enfin et dans un dernier temps, nous étudierons l'effet de la zone d'injection de puissance sur l'élévation de température, et ce n'est que dans cette dernière partie que la puissance sera injectée dans le volume de la zone de charge d'espace.

I.1 Symétries

Le composant (Figure III. 1) présente des symétries géométriques et physiques dont nous avons profité pour simplifier le modèle en ne représentant que le quart du dispositif (Figure III. 4).

I.2 Effet du maillage

Comme nous nous attendons à ce que de forts gradients de température apparaissent dans la puce soumise à de fortes puissances dissipées sur des temps très courts, nous devons impérativement prendre soin au maillage en l'affinant dans les zones de fort gradient en température. Un compromis sera toutefois à trouver entre temps de calcul et qualité des résultats de simulation. Afin d'optimiser le maillage, nous avons affiné le maillage jusqu'à obtenir une solution satisfaisante et n'évoluant plus avec des affinements plus importants. La figure IV.5 compare la solution d'un maillage libre normal (354339 éléments tétraédrique) avec un maillage fin (404326 éléments) puis très fin (1203077 éléments). Le maillage normal est celui fourni par défaut par l'outil de simulation.

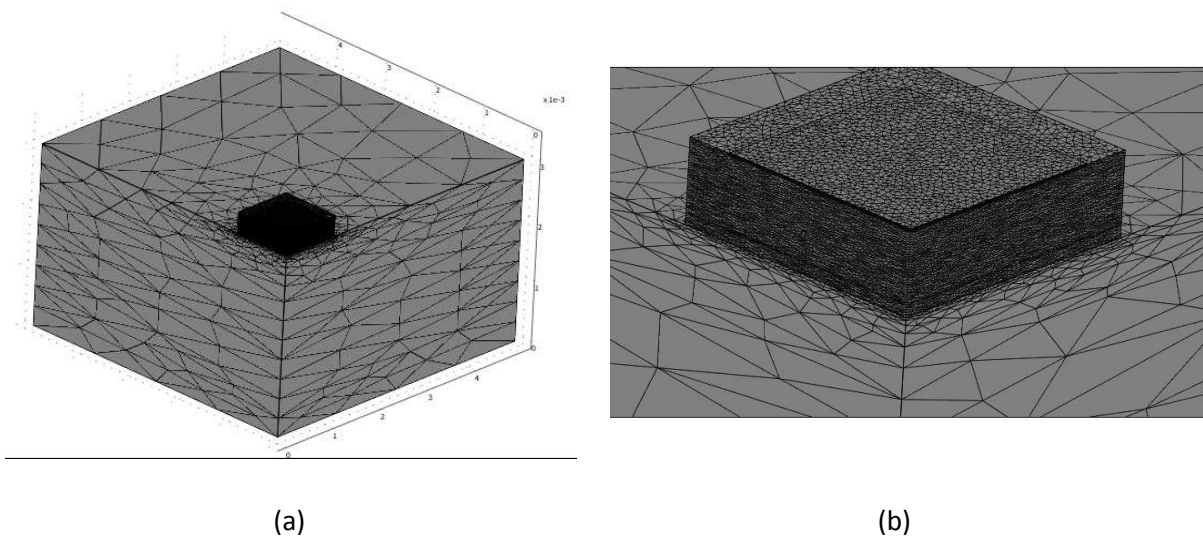


Figure III. 4: (a) Maillage libre fin avec 404326 éléments et 558229 nœuds, (b) zoom sur la puce.

Les résultats de simulation ci-dessous montrent l'évolution de la valeur de température maximale simulée dans la structure lors d'un essai de court-circuit. Le relevé de température s'effectue sur la surface supérieure de la puce dans l'arête verticale du modèle, le long de l'axe central.

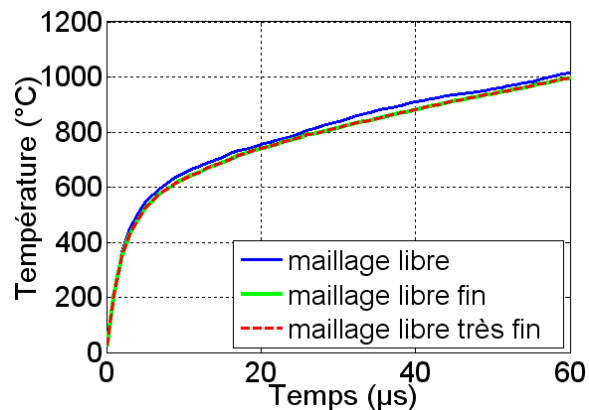


Figure III. 5: Effet du maillage sur l'évolution de la température maximale.

Les résultats d'un maillage fin et très fin sont représentés sur la Figure III. 5 et sont parfaitement confondus. Nous pouvons donc nous satisfaire du maillage fin pour faire nos simulations mais le très

grand nombre d'élément ralentit considérablement le calcul (une journée de calcul). Nous avons donc essayé d'optimiser le nombre d'éléments tout en gardant un maillage fin au niveau de la puce qui est soumise aux plus forts gradients de température. Nous changeons donc le type de maillage (libre avec des éléments tétraédrique) en choisissant un maillage avec des éléments quadrangulaires régulier "mapped" (Figure III. 6). Avec ce type de maillage nous réduisons le nombre d'éléments par 20 et par conséquent le temps de calcul. Afin de juger du gain qu'un tel type de maillage apporte relativement à un maillage "libre" tétraédriques, nous comparons dans la Figure III. 7 les solutions des calculs effectués dans les deux cas. Nous pouvons observer que les solutions sont quasiment confondues, le maillage "mapped" donne des résultats aussi satisfaisants que le maillage fin tout en étant deux fois plus rapide.

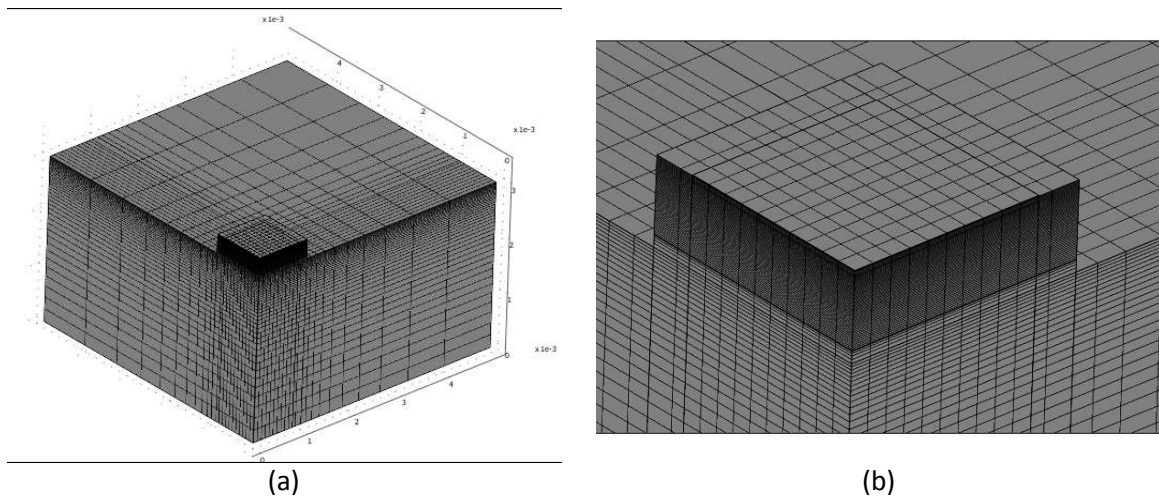


Figure III. 6: (a) Maillage « mapped » avec 29308 éléments et 33375 nœuds, (b) zoom sur la puce.

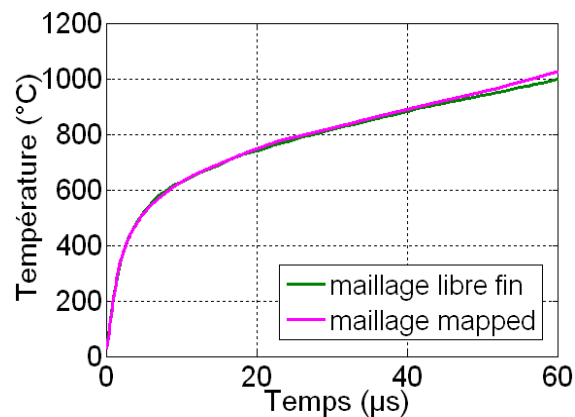


Figure III. 7: Comparaison des solutions d'un maillage libre fin et d'un maillage avec des éléments « mapped ».

I.3 Prise en compte de la température dans les propriétés des matériaux

En raison des élévations de température très importantes estimées au niveau de la surface supérieure de la puce dans la Figure III. 7 ci-dessus, il semble nécessaire de tenir compte des variations des propriétés thermiques des matériaux avec la température.

Nous chercherons à montrer dans ce paragraphe que la prise en compte des variations avec la température des propriétés thermiques du SiC notamment est indispensable à une estimation satisfaisante de la température. Etant donné les conditions aux limites prises dans notre modèle et la durée de l'impulsion relativement brève vis-à-vis des constantes de temps thermiques, seule la puce et la métallisation d'aluminium déposée sur la puce voient leur température s'élever significativement durant un essai de court-circuit. Pour ces raisons, nous ne prendrons en compte les effets de la température que sur les propriétés du cristal semi-conducteur (SiC) et celles de la couche métallisée en aluminium de la puce qui, comme nous le verrons plus loin, joue un rôle non négligeable dans le comportement thermique de la puce dans ce mode de fonctionnement.

Les propriétés thermiques du cristal semi-conducteur sont données dans la Figure III. 8 qui montre les variations de la conductivité thermique λ_{th} et de la chaleur spécifique C_p du SiC avec la température [Sne07].

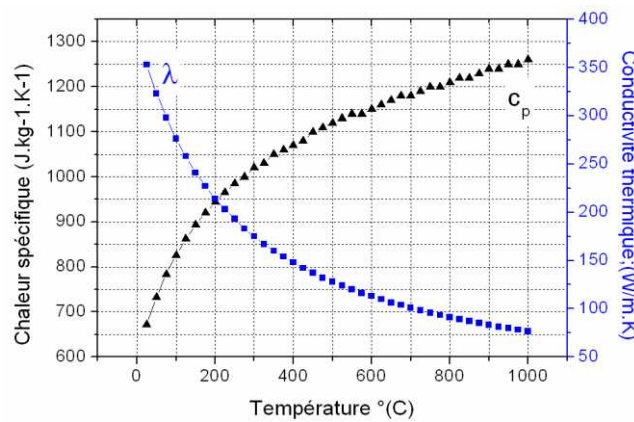


Figure III. 8: Effet de la température sur la conductivité thermique et la chaleur spécifique du SiC [Sne07].

Afin de mieux rendre compte de l'effet non linéaire apporté par ces variations, nous proposons ci-après une comparaison des résultats obtenus dans un cas avec des valeurs constantes des propriétés (celles prises à 25°C) et dans un autre cas avec des propriétés dépendantes de la température. Notons que dans ce paragraphe nous avons considéré la couche de métallisation en aluminium sans toutefois prendre en compte les variations de la conductivité thermique et celle de la chaleur spécifique de l'aluminium avec la température. Le Tableau III. 3 suivant présente les modèles retenus pour les variations des propriétés thermiques du carbure de silicium. Les résultats de simulation obtenus sont indiqués dans la Figure III. 9.

	Conductivité thermique (W/m.K)	Chaleur spécifique (J/Kg.K)
SiC (25°C)	380	671
SiC (T)	$[-0.003+1.05 \times 10^{-5} T]^{-1}$	$925.65 + 0.3772 T - 7.9254 \times 10^{-5} T^2 - 3.1946 \times 10^{-7} T^3$

Tableau III. 3: Propriétés thermiques du carbure de silicium avec la température [Sne07].

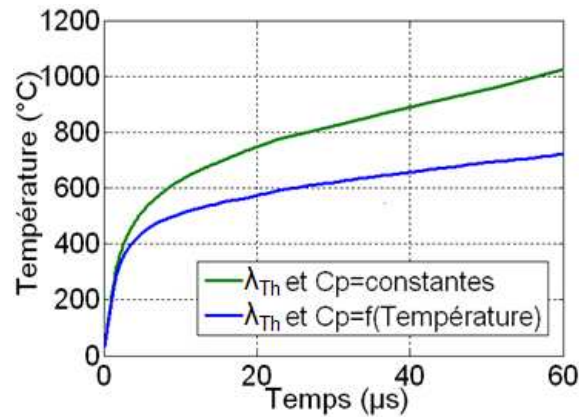


Figure III. 9: Influence de la prise en compte des propriétés thermiques du SiC avec la température sur l'estimation de la température maximale en cours de court-circuit.

Les résultats de simulation montrent l'effet de la prise en compte de la variation des paramètres thermiques de la puce avec la température. L'écart entre les deux courbes est important et atteint environ 300°C à la fin du court-circuit. L'élévation de la température se traduit par une diminution significative de la conductivité thermique du SiC et une augmentation de la chaleur spécifique. Ainsi, la prise en compte de la variation de la conductivité thermique et celle de la chaleur spécifique avec la température se traduit par des températures calculées sensiblement plus faibles.

En conclusion, il est clair que la rapidité des phénomènes et les variations extrêmement importantes des températures dans la puce active imposent de prendre en compte les variations des propriétés thermiques en fonction de la température. Il est cependant important de disposer de lois de variations des propriétés (conductivité thermique et capacité calorifique) valables dans les gammes de température explorées.

I.4 Effet de la métallisation de la puce

Dans ce paragraphe, nous proposons de montrer l'effet de la couche métallisée de la puce sur les valeurs de température atteintes par cette dernière et de justifier sa prise en compte dans le modèle développé plus haut. Le modèle est constitué jusqu'à présent par la puce SiC, avec prise en compte des propriétés thermiques (λ_{th} et C_p) du SiC en fonction de la température, la brasure en SnAg et la semelle en Cu. La métallisation de source a été modélisée en prenant une couche de 3 μm d'épaisseur déposée sur la surface supérieure du cristal SiC. En principe, le matériau déposé est un alliage Al-Si (1%) mais la difficulté réside dans la méconnaissance de la dépendance avec la température des propriétés thermiques de ce matériau. L'étude qui suit a pour objectif de démontrer que les propriétés de l'alliage Al-Si sont quasiment identiques à celles de l'aluminium pur dont la dépendance avec la température des propriétés thermiques est connue. Nous montrerons également que les variations des propriétés thermiques de l'Al avec la température n'affectent pratiquement pas les résultats de simulation.

Le Tableau III. 4 donne les propriétés physiques de l'Aluminium et de l'AlSi à 25°C. Les évolutions des propriétés de l'aluminium en fonction de la température, issues de [Var05], sont présentées sur la Figure III. 10.

	Conductivité thermique (W/m.K)	Chaleur spécifique (J/Kg.K)	Densité
Al	160	900	2700
AlSi	155	960	2700

Tableau III. 4: Propriétés physiques de l'aluminium et de l'AlSi (1%) à 25°C.

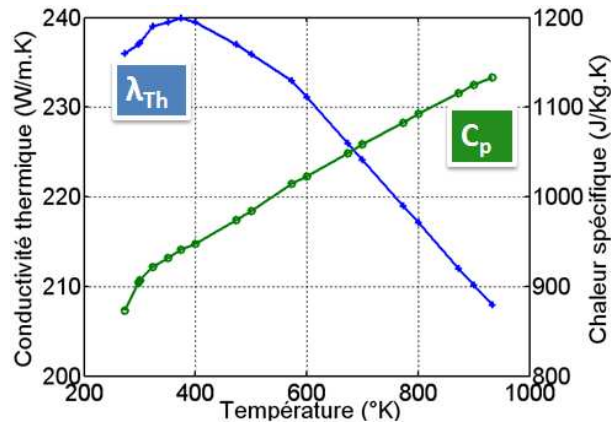


Figure III. 10: Effet de la température sur la conductivité thermique et la chaleur spécifique de l'Aluminium [Var05].

Dans un premier temps, nous considérons un matériau homogène d'alliage Al-Si qui est typiquement le matériau utilisé dans nos composants.

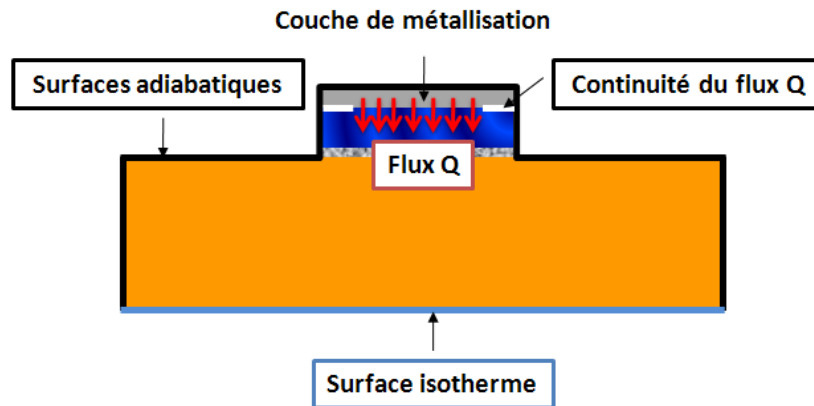


Figure III. 11: Modèle thermique 3D avec métallisation et conditions aux limites.

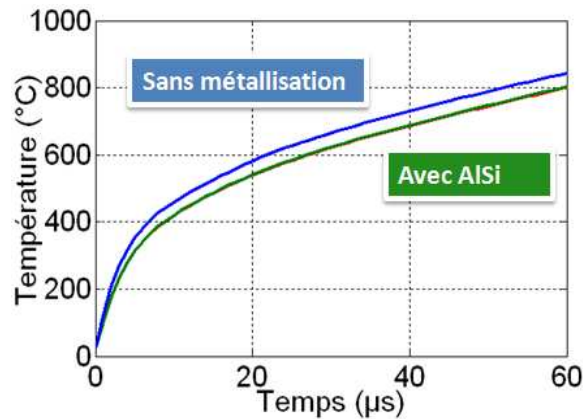


Figure III. 12: Effet de la métallisation sur la température de jonction.

Les résultats de simulation, présentés dans la Figure III. 12 ci-dessus, montrent que la prise en compte de la métallisation (pourtant de très faible épaisseur) résulte en une estimation de température maximale plus faible que sans la prise en compte de cette couche. Cela peut être expliqué par le fait que son échauffement sur la courte durée du court-circuit nécessite un apport d'énergie qui ne participe plus à l'échauffement de la puce et entraîne donc ainsi des températures plus faibles à la surface de la puce.

Comme les propriétés de l'AlSi en fonction de la température ne sont pas disponibles dans la littérature, nous essaierons d'évaluer l'erreur que l'on commettrait en ne les prenant pas en compte. Nous nous servirons du fait que l'alliage en question est à seulement 1% de Si et que de ce fait, nous supposerons que ses propriétés sont proches de celles de l'aluminium pur dont les propriétés en fonction de la température sont elles connues. Pour cela, nous comparons ci-après les résultats de trois simulations, l'une avec une couche en Aluminium pur avec des propriétés thermiques constantes, une deuxième avec des propriétés dépendantes de la température et enfin la dernière avec une couche AlSi avec des propriétés constantes.

La Figure III. 13 montre les résultats obtenus pour les trois simulations. Les courbes (Al, Al_T et AlSi) correspondent aux évolutions des températures maximales, proches de la jonction, respectivement pour la structure avec l'aluminium pur à propriétés constantes, l'aluminium pur à propriétés dépendantes de la température et enfin avec l'alliage AlSi à propriétés constantes. Nous pouvons observer que les trois courbes sont confondues. Cela signifie d'une part que les variations de la conductivité thermique et la chaleur spécifique de l'Al avec la température n'ont pas d'effet visible et d'autre part que l'aluminium faiblement allié de silicium se comporte bien comme de l'aluminium pur. Ce résultat nous permet de faire l'hypothèse qu'il n'est pas utile de prendre en compte la dépendance en température de la métallisation et de faciliter ainsi le calcul numérique.

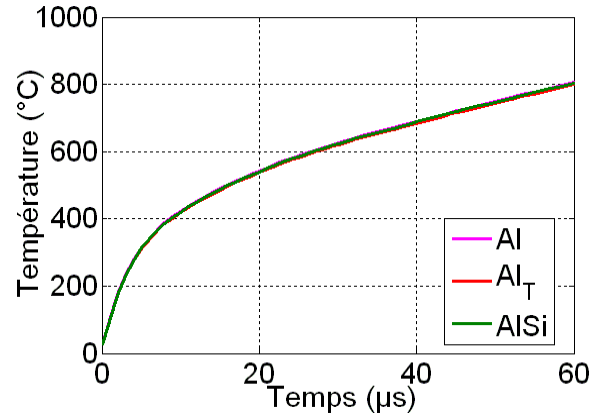


Figure III. 13: Résultat de simulation en considérant l'AlSi et l'Al avec propriétés thermiques indépendantes (Al et AlSi) et en fonction de la température (Al_T).

I.5 Choix de la zone d'injection de puissance

Les composants modélisés sont des JFETs verticaux, les zones actives (le canal et la jonction P⁺/N) sont très proches de la surface supérieure de la puce. Leur épaisseur est de première importance pour modéliser l'élévation de température sur des échelles de temps très courtes (de l'ordre de la dizaine de microsecondes). En effet, plus l'épaisseur des régions de dissipation de puissance est grande, plus la température de jonction maximale diminue (avec une capacité thermique équivalente devenant de fait importante) [Cle93]. Nous ne connaissons pas l'épaisseur de la ZCE de nos composants, donc nous chercherons à estimer la sensibilité de la température maximale avec l'épaisseur de la zone de dissipation de puissance.

Afin d'estimer l'épaisseur de la zone de dissipation de puissance à l'intérieur de la puce et l'influence que peut avoir cette dimension sur les résultats de simulation nous devons dans un premier temps estimer cette épaisseur. Pour le 4H SiC, celle-ci peut être approximée à celle de la zone de charge d'espace autour de la jonction bloquante et calculée à l'aide des équations ci-dessous en faisant l'hypothèse d'une jonction P⁺N abrupte [Bal08].

$$BV = 3 \times 10^{15} N_D^{-\frac{3}{4}} \quad (\text{III. 6})$$

$$W_{ZCE} = 1.82 \times 10^{15} N_D^{-7/8} \quad (\text{III.7})$$

Les composants dont nous disposons ont une tension de claquage théorique de 1200V, mais les tests en avalanche montrent qu'ils sont capables de tenir 1700V (§II.1). Le Tableau III. 5 ci-dessous donne les niveaux de dopage de la zone bloquante ainsi que les épaisseurs maximales des zones de déplétion (dans le cas d'une jonction de type NPT) pour les deux valeurs de tensions (théorique et observée).

BV (V)	1200	1700
N_D (cm ⁻³)	$2 \cdot 10^{16}$	$3.7 \cdot 10^{16}$
W_{ZCE} (μm)	7	10

Tableau III. 5: Estimation de l'épaisseur de ZCE de jonctions de type NPT (non tronquées) pour différentes tensions de claquage BV_{DSS} .

Nous injectons dans notre modèle 3D en prenant en compte la métallisation en Al, dans un premier temps, une puissance dissipée homogène P_0 sur la surface active de la puce puis sur des volumes actifs de différentes épaisseurs, 5μm et 10μm en se référant aux résultats du Tableau III. 5. Les résultats de simulation sont présentés sur la Figure III. 14. La température de jonction diminue de manière significative quand l'épaisseur du volume actif augmente.

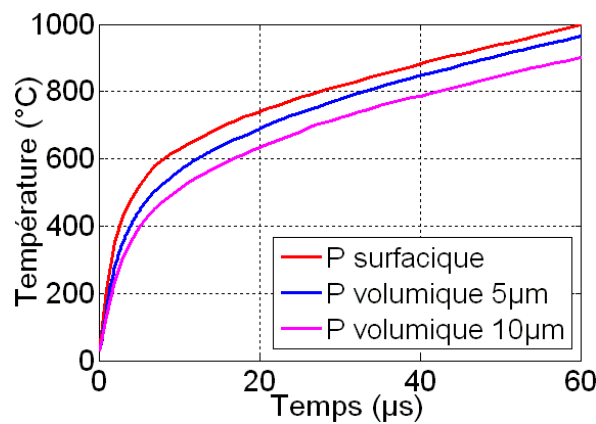


Figure III. 14: Comparaison entre puissance surfacique et puissance volumique.

Ce résultat nous permet de faire l'hypothèse que la puissance se dissipe sur un volume actif d'épaisseur 10μm (qui correspond en effet à la ZCE du transistor conformément au calcul que nous avons effectué) puisqu'il nous donne la température la plus faible par rapport aux autres simulations.

Dans un deuxième temps, nous prenons en compte la distribution spatiale de la puissance volumique moyenne P_0 que nous avons injectée dans un volume d'épaisseur 10μm. Nous supposons que la puissance dissipée varie de façon linéaire en fonction de l'épaisseur de la puce (Figure III. 15). Pour cela, nous avons créé une fonction $P(z)$ tel que :

$$P(z, t) = (7.436 \cdot 10^{15} * z - 2.4836 \cdot 10^{13}) * P(t) \quad \text{III.8}$$

Où $P(z, t)$ est la densité de puissance distribuée dans le volume actif en W/m³ (donnée d'entrée), z est la variable spatiale en m et $P(t)$ est la puissance dissipée en W.

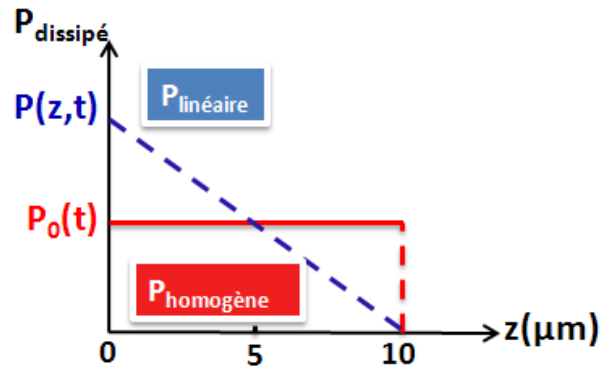


Figure III. 15: Distribution homogène et spatiale de la puissance dissipée dans un volume de $10\mu\text{m}$ d'épaisseur.

Le résultat de cette simulation avec la puissance linéaire $P(z,t)$ est représenté sur la Figure III. 16 en comparaison avec la solution issue d'une injection de puissance P_0 homogène sur toute l'épaisseur. La comparaison montre que le fait de tenir compte de la distribution spatiale de la puissance dissipée a très peu d'effet sur la solution de simulation au moins pendant la phase d'échauffement.

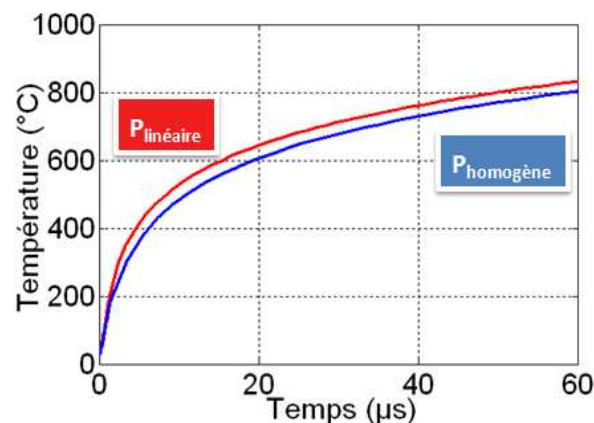


Figure III. 16: Effet de la distribution spatiale des pertes sur l'élévation de la température.

Même si la distribution spatiale de la puissance n'était qu'approximative, il n'y a pas une différence remarquable en comparant avec la puissance homogène tout au long du volume actif. Nous pouvons donc nous contenter d'une injection volumique de puissance sans tenir compte de la distribution spatiale de cette dernière dans la zone de charge d'espace (ZCE).

En conclusion, le modèle thermique 3D que nous validons pour nos prochaines simulations est constitué par une couche de métallisation en aluminium avec des propriétés thermiques indépendantes de la température. Nous prenons toutefois en compte l'évolution de la conductivité thermique et la chaleur spécifique du carbure de silicium avec la température. Finalement l'injection de puissance se fera dans un volume actif d'épaisseur $10\mu\text{m}$ en gardant les conditions aux limites et initiales citées au début. Ce n'est qu'une approximation, mais la méconnaissance du dispositif simulé (dopage et épaisseurs de couches semi-conductrices) ne nous permettent malheureusement pas une meilleure modélisation.

Après nous être intéressé à la réponse thermique des composants sous des temps courts de régime extrême, la partie suivante s'intéressera cette fois au comportement thermique sur des temps plus longs.

II. Caractérisation de l'impédance thermique de l'assemblage

Cette partie concerne donc cette fois des caractérisations effectuées sur des puces JFET SiC fabriquées par SiCED. Nous chercherons ici à mettre en évidence des indicateurs de température de jonction que nous utiliserons pour caractériser l'impédance thermique de l'assemblage. L'objectif étant au final de rechercher un indicateur de dégradation ou de vieillissement d'un assemblage. La démarche est différente de celle présentée précédemment. En effet, dans l'étude précédente, nous nous n'intéressions qu'à l'échauffement de la puce et son environnement proche sur des durées courtes. Ici, nous chercherons, à l'aide d'une mesure d'impédance thermique à analyser des dégradations en profondeur dans l'assemblage, et nous serons amenés à considérer des durées d'injection de puissance considérablement plus élevées. Les deux approches sont donc complémentaires.

Les résultats de simulations présentés sont sur des temps longs (supérieurs à $100\mu\text{s}$) alors que les calculs avec le modèle que nous avons préparé se font sur des temps courts (inférieurs à $100\mu\text{s}$). Ceci nous permettra de valider le modèle au-delà de $100\mu\text{s}$ et d'estimer la température dans tout l'assemblage du composant pendant la phase d'échauffement et de refroidissement.

II.1. Mesure indirecte de température

II.1.1. Calibration des indicateurs de température retenus

Pour estimer à l'aide de mesures la température de jonction du JFET en cours de fonctionnement, nous avons eu recours aux méthodes de mesures indirectes. Nous avons cherché des paramètres électriques sensibles à la température. En caractérisant l'évolution de ces paramètres avec la température nous pourrions les utiliser pour une estimation de température « moyenne » de la puce. Deux paramètres différents, la résistance à l'état passant $R_{\text{DS(on)}}$ et la tension grille source V_{GS} sous faible polarisation de grille, ont été utilisés ici comme indicateurs indirects de température.

Les composants testés sont des JFETs SiC 15A 1200V en boîtier TO220. L'utilisation de paramètres électriques thermosensibles comme indicateurs de température nécessite au préalable une phase de caractérisation fine de l'évolution de ces paramètres avec la température. La Figure III. 17 montre le principe du banc expérimental dédié à la calibration de la résistance à l'état passant $R_{\text{DS(on)}}$ et de la tension grille source en fonction de la température.

Pour ces phases de caractérisation, le composant est maintenu à l'état passant pendant une durée de 3s (T_{b} ON) avec un courant de drain $I_{\text{D}}=8\text{A}$ et sous une faible polarisation en direct de la jonction grille source. Le JFET SiC est alors placé dans une mini-étuve contrôlable en température afin de faire les caractérisations à différentes températures ambiantes. De la graisse silicone est utilisée comme interface thermique entre le composant et le socle en cuivre de l'étuve sur lequel est monté le transistor.

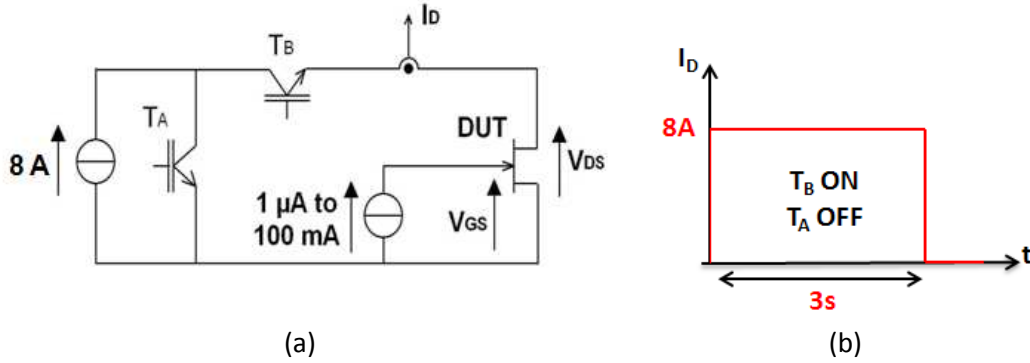


Figure III. 17 : (a) Banc expérimental de caractérisation, (b) Tensions de commande des transistors T_A et T_B .

Un enregistreur numérique de résolution 16 bits avec une fréquence d'échantillonnage de 1MHz (Graphtec) est utilisé pour enregistrer les mesures de I_D , V_{DS} et V_{GS} pendant la phase d'injection de puissance.

Nous avons calibré la tension grille source V_{GS} et la résistance à l'état passant R_{dson} pour différents courants grille-source I_G (10 μ A, 100 μ A, 1mA, 10mA, 100mA) et pour des températures ambiantes variables de 30°C à 100°C.

II.1.1.1. Résistance à l'état passant R_{dson}

Pour calculer la résistance à l'état passant R_{dson} , on fait le rapport V_{DS} sur I_D . Pendant la phase de circulation du courant, la température de la puce s'élève à partir d'une valeur que nous considérerons très proche de la température ambiante. L'élévation de la température se traduit par une augmentation de la résistance à l'état passant. Pour estimer la résistance à la température ambiante contrôlée, cette mesure doit être effectuée le plus rapidement possible après la phase d'injection du courant. La valeur de R_{dson} est ainsi mesurée 40 μ s après l'injection de courant, avant que la puce ne s'échauffe, en faisant la moyenne des acquisitions sur une durée de 60 μ s (Figure III. 18).

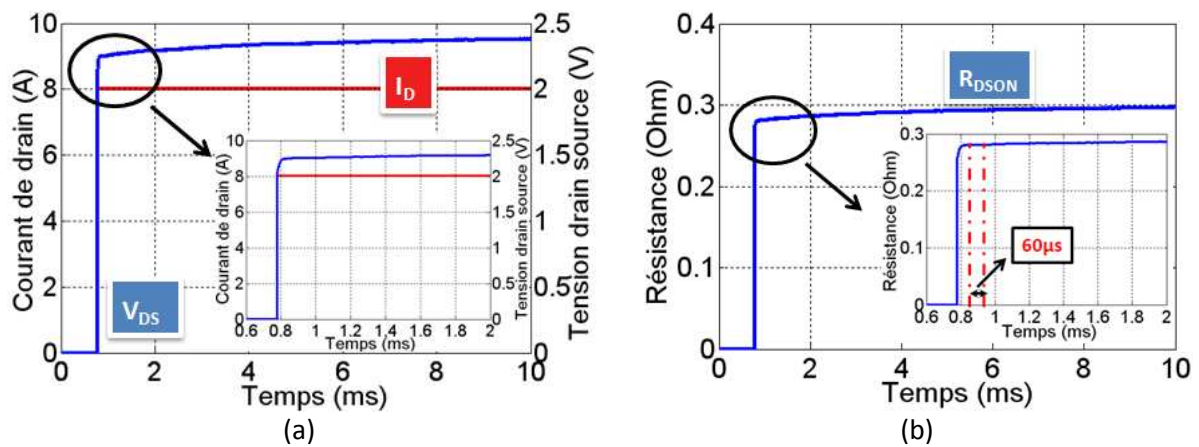


Figure III. 18: (a) Formes d'onde de V_{DS} et I_D pour le calcul de la résistance à l'état passant R_{dson} , (b) Protocole de calcul de R_{dson} avec des zoom sur le début la mise en conduction

Sur la Figure III. 19 ci-dessous, nous constatons une très légère dépendance de $R_{DS(on)}$ avec le courant de grille ; elle décroît quand le courant de grille augmente. La polarisation en directe de la jonction grille source et l'injection de porteurs excédentaires dans la source explique cette dépendance. Par contre, on constate une augmentation beaucoup plus marquée avec la température. Elle augmente significativement (de l'ordre de 50%) quand la température du cristal varie de 20°C à 100°C.

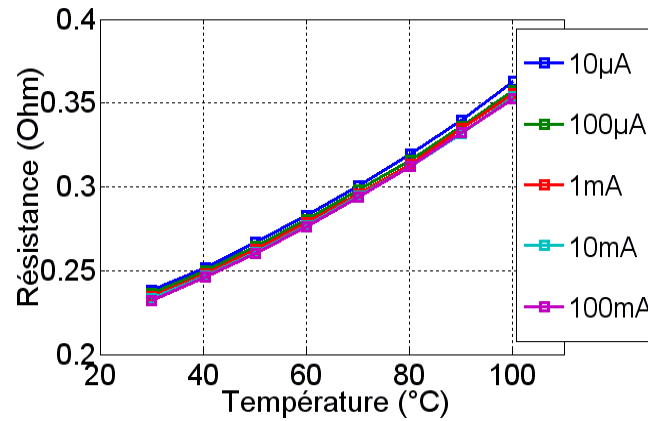


Figure III. 19 : Variation de la résistance R_{dson} en fonction de la température pour $I_g = 10\mu A$, $100\mu A$, $1mA$, $10mA$ et $100mA$.

Des équations quadratiques (aT^2+bT+c) sont utilisées pour modéliser la variation de l'indicateur de température R_{dson} en fonction de la température pour chaque courant de grille. Les valeurs de a , b et c sont résumées dans le tableau ci-dessous, nous les utiliserons par la suite pour estimer la température en fonction du temps à partir des données de la résistance à l'état passant pendant la phase d'injection de puissance.

Coefficients	10 μA	100 μA	1 mA	10 mA	100 mA
a	$7.46 \cdot 10^{-6}$	$6.54 \cdot 10^{-6}$	$6.67 \cdot 10^{-6}$	$6.58 \cdot 10^{-6}$	$6.9 \cdot 10^{-6}$
b	$8 \cdot 10^{-4}$	$8.7 \cdot 10^{-4}$	$8.5 \cdot 10^{-4}$	$8.6 \cdot 10^{-4}$	$8.9 \cdot 10^{-4}$
c	0.207	0.204	0.202	0.201	0.199

Tableau III. 6 : Coefficients des équations quadratiques qui « fittent » les courbes de R_{dson} en fonction de la température pour chaque courant de grille.

II.1.1.2. Tension grille source V_{GS}

Concernant la tension grille source, nous mesurons la tension aux bornes de la jonction grille source, légèrement polarisée par un faible courant, juste avant la phase d'injection de puissance pour chaque courant de grille et en variant la température ambiante de 30°C à 100°C . Les courbes de V_{GS} en fonction de la température sont ainsi tracées pour chaque courant de grille (10µA, 100µA, 1mA, 10mA, 100mA) comme on peut le voir sur la Figure III. 20. On constate que la tension augmente avec le courant de grille I_G et qu'elle décroît cette fois avec la température. On note également que sa sensibilité avec la température augmente légèrement quand le courant diminue.

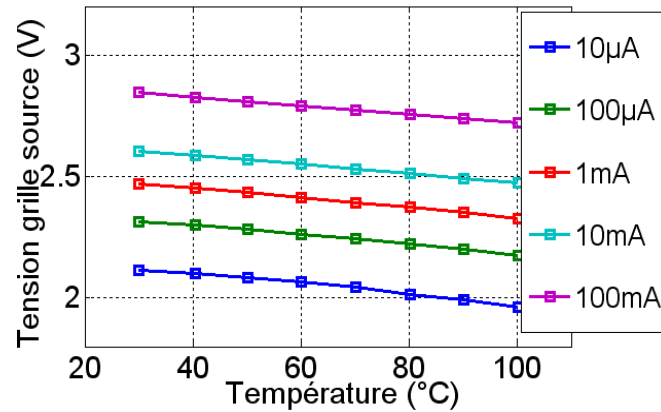


Figure III. 20: Variation de la tension grille-source V_{GS} en fonction de la température pour $I_g = 10\mu A$, $100\mu A$, $1mA$, $10mA$ et $100mA$.

La sensibilité de V_{GS} à la température est moins importante que celle de la résistance à l'état passant. Elle est de l'ordre de 10% sur le même intervalle de température (de 30 à 100°C).

De manière similaire que pour $R_{DS(on)}$, nous utilisons des équations quadratiques (aT^2+bT+c) pour modéliser la variation de l'indicateurs de température V_{GS} en fonction de la température pour chaque courant de grille. Les valeurs de a , b et c sont résumées dans le Tableau III. 7, nous les utiliserons aussi par la suite pour estimer la température en fonction du temps à partir des données de la tension grille source pendant la phase d'injection de puissance.

Coefficients	10 μA	100 μA	1 mA	10 mA	100 mA
a	$-1.26 \cdot 10^{-5}$	$-6.83 \cdot 10^{-6}$	$-3.96 \cdot 10^{-6}$	$-2.18 \cdot 10^{-6}$	$1.45 \cdot 10^{-6}$
b	$-5.1 \cdot 10^{-4}$	$-10.8 \cdot 10^{-4}$	$-15 \cdot 10^{-4}$	$-16 \cdot 10^{-4}$	$-19.5 \cdot 10^{-4}$
c	2.141	2.353	2.52	2.656	2.905

Tableau III. 7: Coefficients des équations quadratiques qui « fittent » les courbes de V_{GS} en fonction de la température pour chaque courant de grille.

II.1.2. Mesure indirecte de la température

Pendant la phase d'injection de puissance, quand le courant I_D circule entre drain et source, une chute de tension apparaît dans le transistor à cause de la résistance interne r_{ch} dans cette jonction (Figure III. 21). La grille étant alimentée par une source de courant, la tension entre grille et source n'est pas imposée. La tension grille source est ainsi modifiée par la circulation du courant entre drain et source à travers la résistance r_{ch} . Cette variation de la tension grille source rend impossible toute estimation de la température sans correction préalable.

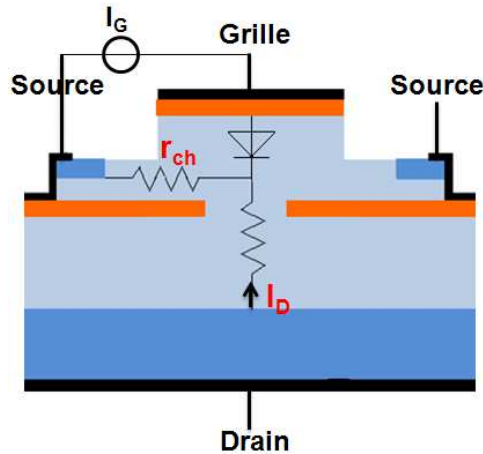


Figure III. 21 : Schéma d'une cellule du JFET SiC de SiCED avec les résistances internes.

La correction retenue consiste à soustraire à partir de l'instant de mise en conduction du transistor une tension proportionnelle au courant ($r_{ch} \times I_D$) et qui supprime toute discontinuité de la tension entre grille et source (Figure III. 22.a). La tension V_{GS} corrigée (courbe bleu) sur la Figure III. 22.b diminue pendant la phase d'injection de puissance à cause de l'échauffement de la puce puis elle réaugmente quand l'injection est finie, ce qui correspond à une phase de refroidissement.

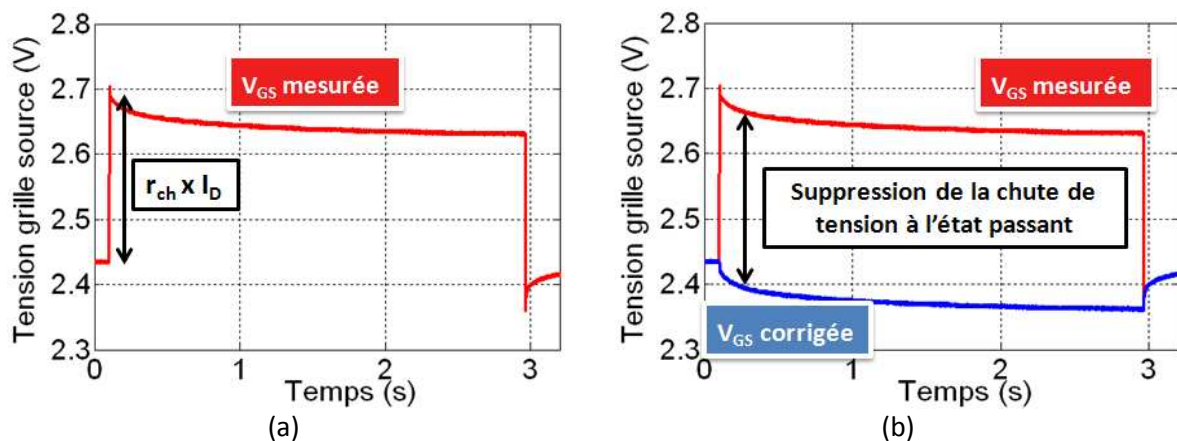


Figure III. 22: (a) Tension grille source mesurée pendant la phase d'injection de puissance avant correction (courbe rouge) et (b) après correction (courbe bleu).

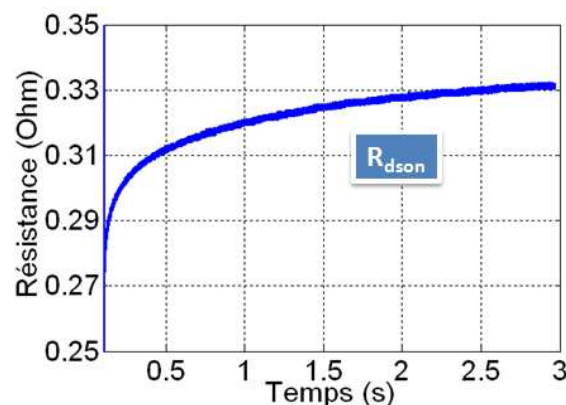


Figure III. 23 : Allure de l'évolution de la résistance à l'état passant en fonction du temps.

A partir des mesures de la tension V_{GS} corrigée (Figure III. 22.b) et de la résistance en fonction du temps (Figure III. 23) pendant la phase d'injection de puissance, et des équations de $R_{DS(on)}$ et de V_{GS} en fonction de la température issues des calibrations, nous avons estimé la température de la puce en fonction du temps pendant la phase d'injection de puissance. La Figure III. 24 ci dessous montre les résultats obtenus pour un courant de grille $I_G = 1\text{mA}$ et à température ambiante de 50°C . Nous voyons que les deux courbes de température à partir des deux indicateurs V_{GS} et $R_{DS(on)}$ se superposent de façon satisfaisante malgré la légère différence au début de la phase d'injection de puissance. Nous pouvons donc utiliser la tension grille source et/ou la résistance à l'état passant comme indicateur pour estimer la température de jonction pendant le fonctionnement de ce type de JFET (SiCED) et de calculer par la suite l'impédance thermique à travers l'assemblage du transistor ce qui nous permettra de comparer les résultats expérimentaux aux résultats de simulation et de valider le modèle thermique 3D.

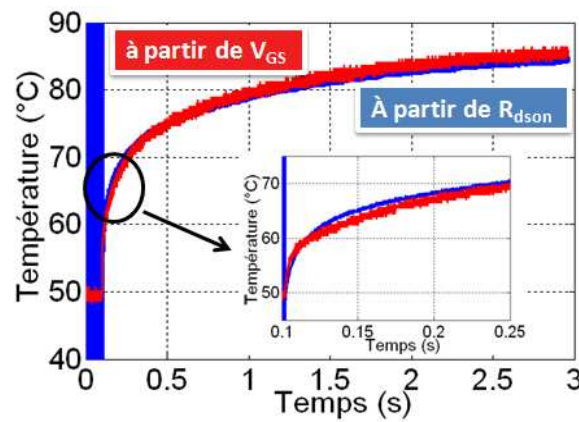


Figure III. 24: Variation de la température de jonction en fonction du temps à partir de V_{GS} et $R_{DS(on)}$ à 50°C de température ambiante pour $I_G = 1\text{mA}$ avec un zoom sur le début des courbes.

II.2. Calcul de l'impédance thermique

Nous avons exploité les résultats des mesures de la température de jonction pour estimer l'impédance thermique de l'assemblage du composant JFET. En effet, l'impédance thermique Z_{th} entre la puce et le dissipateur en cuivre, pour un échelon de puissance P dissipée dans la puce, est donnée par l'expression suivante :

$$Z_{th}(t) = \frac{T_J(t) - T_c(t)}{P} \quad (\text{III.9})$$

Où $T_J(t)$ représente la température de jonction et $T_c(t)$ représente la température de la semelle (ou dissipateur).

Nous avons donc besoin pour estimer l'impédance thermique, en plus de l'évolution temporelle de la température de jonction $T_J(t)$, de celle de la température du dissipateur $T_c(t)$ sous la puce de connaître la puissance dissipée. D'autre part, la relation précédente n'est vraie que si la puissance dissipée correspond à un échelon de puissance idéal.

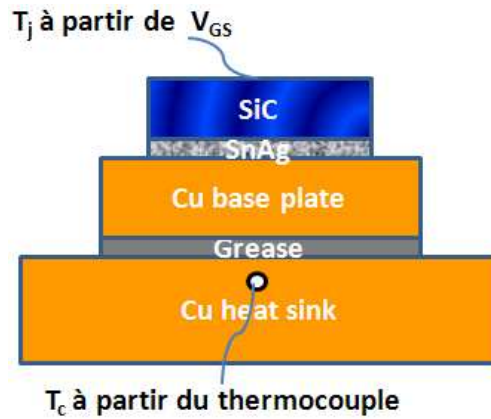


Figure III. 25: Protocol d'estimation de l'impédance thermique à travers l'assemblage.

T_j est estimée de façon indirecte à travers les indicateurs thermiques trouvés précédemment (V_{GS} et $R_{DS(on)}$). Les résultats qui suivent utiliseront principalement la tension V_{GS} comme indicateur de température (car elle corrèle mieux avec les résultats de simulation que nous ferons par la suite). La température T_c est mesurée à partir d'un thermocouple placé dans le dissipateur en cuivre approximativement en dessous du centre de la puce SiC (Figure III. 25). Dans ce cas l'impédance thermique relevée prendra également en compte les caractéristiques de l'interface thermique placée entre le dissipateur et le refroidisseur. Finalement, la puissance P est calculée à partir des mesures de la tension V_{DS} et du courant I_D . Toutefois, l'estimation de l'impédance thermique transitoire nécessite qu'un échelon de puissance soit appliqué sur la puce.

La puissance instantanée dissipée dans la puce (qui ne fonctionne qu'en régime de conduction) est donnée par la relation suivante, $P = R_{DS(on)} \times I_D^2$.

Nous avons appliqué dans un premier temps un courant constant pour chauffer la puce. Or, comme la résistance croît avec la température pendant la phase d'injection de puissance, la puissance dissipée augmente elle aussi (Figure III. 26). Ainsi, en injectant un échelon de courant, nous ne pouvons injecter un échelon de puissance, ce qui rend délicate l'estimation de l'impédance thermique transitoire.

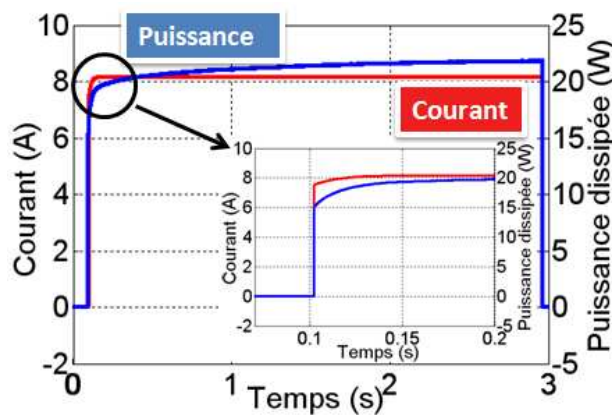


Figure III. 26: Evolution de la puissance dissipée dans le composant après injection d'un échelon de courant ($I_G = 1mA$) avec un zoom sur la partie de mise en conduction.

Pour nous placer dans des conditions satisfaisantes d'injection de puissance proche d'un échelon, nous avons cherché à imposer un courant dont l'amplitude décroît pendant l'échauffement de la puce. La solution retenue a consisté en l'utilisation d'une source de courant à laquelle nous avons ajouté un courant de décharge capacitive. La Figure III. 27 montre l'allure du courant choisi et la forme de la puissance dissipée dans la puce qui en résulte.

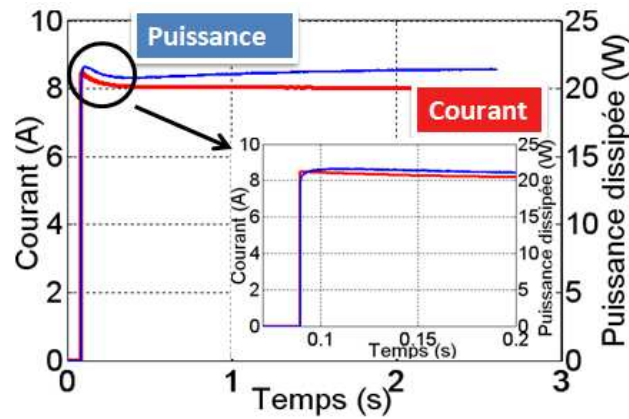


Figure III. 27: Les allures de la puissance dissipée et du courant choisi pour estimer Z_{th} avec un zoom sur la partie de mise en conduction.

Vu la dynamique de la source de courant utilisée dans le banc d'essai, et l'approche retenue (qualitative) il nous a été difficile d'imposer un échelon de puissance idéal. Nous avons toutefois cherché à valider la forme temporelle du front de puissance retenu pour l'estimation de l'impédance thermique transitoire. Pour ce faire, nous avons comparé par simulation numérique la réponse thermique d'un modèle en appliquant d'une part la puissance expérimentale que nous avons obtenu et d'autre part un parfait échelon de puissance. La Figure III. 28: Allure de la puissance expérimentale comparée à un parfait échelon de puissance avec un zoom sur la première durée de 0,4s. suivante montre les deux formes de puissance à injecter dans le modèle thermique.

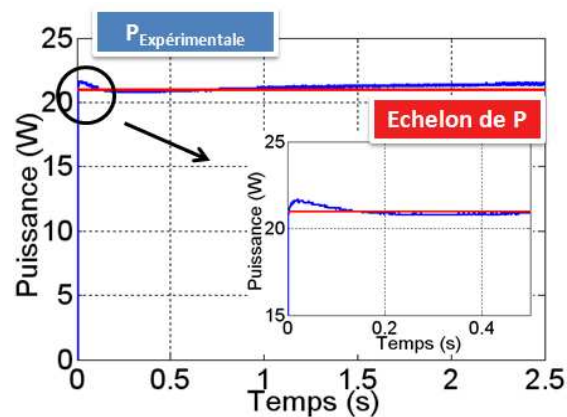


Figure III. 28: Allure de la puissance expérimentale comparée à un parfait échelon de puissance avec un zoom sur la première durée de 0,4s.

II.2.1. Validation numérique du front de puissance retenu pour l'estimation de l'impédance thermique

Le modèle thermique de l'assemblage (Figure III. 29) par élément fini a été développé cette fois à l'aide du logiciel ANSYS. C'est un modèle semblable à celui que nous avons utilisé sous Comsol pour les simulations thermiques des essais de robustesse. Il est ainsi constitué par une puce SiC brasée sur un refroidisseur en cuivre. Dans ce cas toutefois, nous avons également pris en compte le dissipateur en cuivre sur lequel la semelle du composant est montée à travers une interface de graisse thermique. Les symétries permettent de simplifier le modèle, un quart seulement du composant sera simulé. Les conditions aux limites sont telles que : les surfaces latérales sont considérées adiabatiques, la base du dissipateur est isotherme et le flux de chaleur est appliqué dans un petit volume de $20\mu\text{m}$ d'épaisseur sous la surface active de la puce (c'est cette épaisseur que nous considérons pour ce type de JFET fabriqué par SiCED car nous trouvons une meilleure concordance avec les résultats expérimentaux).

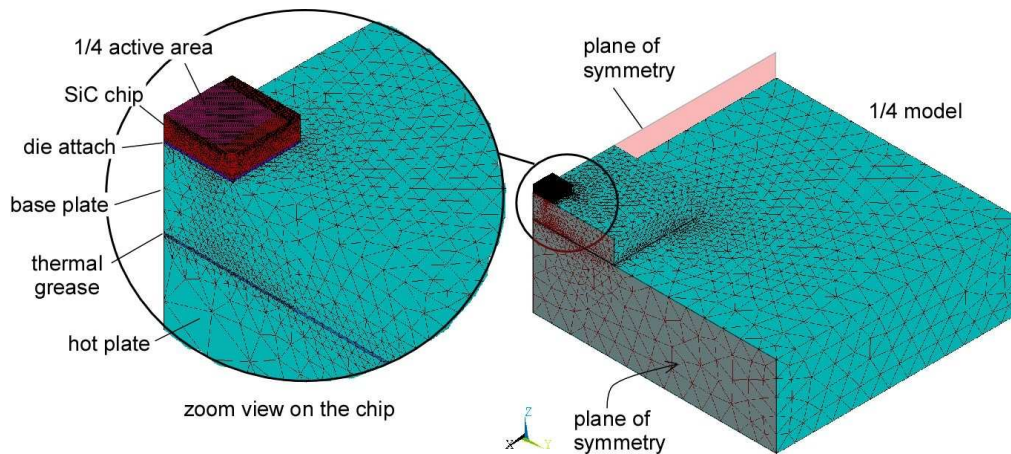


Figure III. 29: Modèle thermique ANSYS par éléments finis du JFET SiCED monté sur un radiateur en cuivre à l'aide d'une interface thermique.

Les résultats de simulation nous permettent de comparer l'impédance thermique simulée avec les deux allures d'injection de puissance (échelon parfait et allure issue de l'expérimentation). Ces résultats sont reportés sur la Figure III. 30 ci dessous. Les deux courbes représentant les impédances thermiques sont confondues sur l'intervalle de temps considéré ici (à partir de $100\mu\text{s}$). Par conséquent la forme de la puissance expérimentale que nous avons retenue semble satisfaisante pour une estimation de l'impédance thermique pour des temps supérieurs à $100\mu\text{s}$.

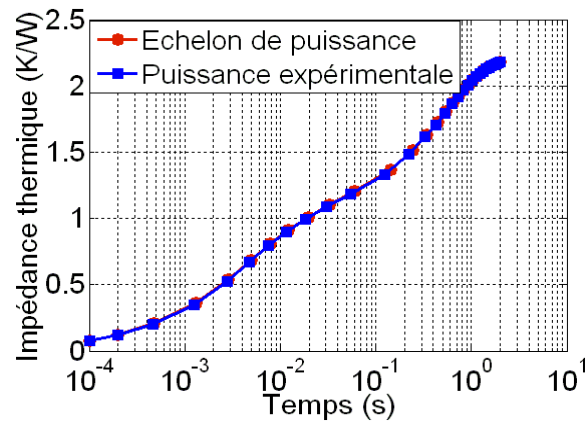


Figure III. 30: Comparaison de l'impédance thermique simulée en utilisant la puissance expérimentale et l'échelon de puissance idéal.

La forme de la puissance étant validée pour le calcul de l'impédance thermique pour des durées supérieures à $100\mu\text{s}$ (largement inférieur à la constante du temps de la puce SiC qui est de l'ordre de $853\mu\text{s}$), nous pouvons désormais comparer l'impédance thermique issue du modèle thermique à celle calculée à partir des données expérimentales.

II.2.2. Estimation de l'impédance thermique

La Figure III. 31 montre une comparaison entre l'impédance thermique estimée à partir des relevés expérimentaux et celle simulée sous ANSYS. On observe une concordance satisfaisante jusqu'à 300ms de durée d'injection de puissance. Au delà, et en s'approchant du régime établi (résistance thermique) les deux caractéristiques s'éloignent l'une de l'autre, ce qui peut être expliqué par la simplicité du modèle retenu.

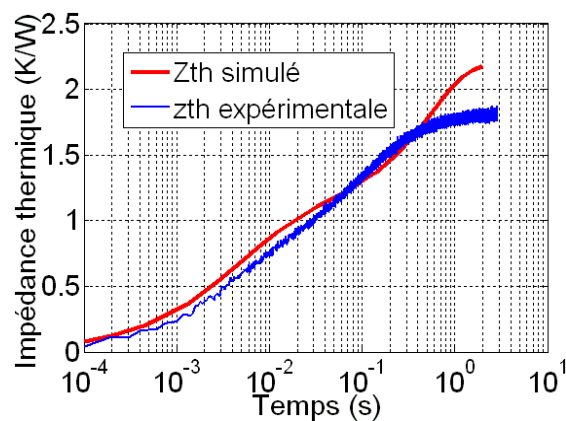


Figure III. 31: Comparaison entre l'impédance thermique simulée et celle mesurée à partir de l'indicateur de température V_{GS} .

En effet, plusieurs paramètres physiques et géométriques ont été fixés arbitrairement. C'est le cas par exemple de la brasure dont la nature n'est pas précisément connue et dont les propriétés physiques, mais aussi géométriques, ne sont pas parfaitement connues. Cette remarque s'applique également à la couche de graisse thermique. D'autre part, nous ne connaissons pas non plus l'emplacement réel de la puce sur la semelle, ce qui rend la localisation de la mesure de la

température du dissipateur T_c très approximative. Toutes ces incertitudes et approximations peuvent être à l'origine de la différence observée entre le calcul numérique et l'expérience.

Nous pouvons toutefois valider le modèle thermique jusqu'à 300ms de durée d'injection de puissance, et pour des durées supérieures à 100 μ s.

II.2.3. Intérêt de l'impédance thermique Z_{Th}

Nous sommes allés au bout de cette étude pour chercher à montrer quel pouvait être l'intérêt de l'estimation de l'impédance thermique dans une démarche de diagnostic des composants ou modules de puissance.

Pour avoir une idée sur le temps de réponse thermique du modèle nous avons pris en compte le régime dynamique dans l'hypothèse d'un flux de chaleur unidimensionnel. Cela peut être obtenu en discrétisant la puce par un réseau de cellules RC de résistances thermiques et de capacités thermiques (Figure III. 32).

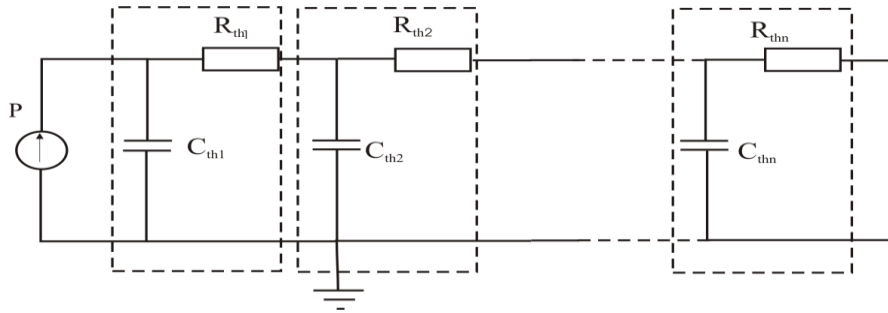


Figure III. 32: Modèle thermique à l'aide d'un réseau de Cauer

R_{thi} désigne la résistance thermique de la couche i et C_{thi} désigne la capacité thermique totale de la couche i . Il vient pour chacune des couches :

$$R_{thi} = \frac{e}{\lambda \cdot S} \quad (III.10)$$

$$C_{thi} = \rho \cdot c_p \cdot S \cdot e \quad (III.11)$$

$$\tau_{thi} = C_{th} \cdot R_{th} \quad (III.12)$$

Où e correspond à l'épaisseur de la couche i , S la section perpendiculaire au flux de chaleur de la couche de matériau considérée, λ la conductivité thermique du matériau ($W.m^{-1}.K^{-1}$) et c_p sa chaleur spécifique ($J.kg.K^{-1}$).

En calculant les valeurs de R_{th} et C_{th} de chaque matériau (ici chaque couche), nous obtenons la constante de temps thermique (équation III.12) de chacune des couches qui constituent l'assemblage. Les données géométriques du composant SiC JFET (SiCED) et les constantes de temps thermiques sont résumées dans le Tableau III. 8.

Matériaux	Surface (mm*mm)	Epaisseur (μm)	Constante de temps thermique (μs)
Puce (SiC)	2.4*2.4	380	853
Brasure (SnAg)	2.4*2.4	50	60
Semelle (Cu)	10*10	3000	81e3
Interface thermique	10*10	100	4.05e3

Tableau III. 8: Dimensions de l'assemblage du JFET SiCED et estimation des constantes de temps de chaque couche.

La mesure de l'impédance thermique peut en effet être utile pour l'évaluation de l'intégrité de l'assemblage. Pour valider son intérêt, nous avons utilisé plusieurs interfaces thermiques avec différentes propriétés thermiques (graisse thermique, film de carbone, film Silpad) et nous comparons l'impédance thermique mesurée avec chaque interface. Nous avons réalisé la même expérience décrite plus haut sur le même banc expérimental à la température ambiante de 30°C, pour $I_D = 8\text{A}$ et $I_G = 1\text{mA}$. Les résultats sont obtenus en utilisant la tension grille source V_{GS} comme indicateur indirect de température.

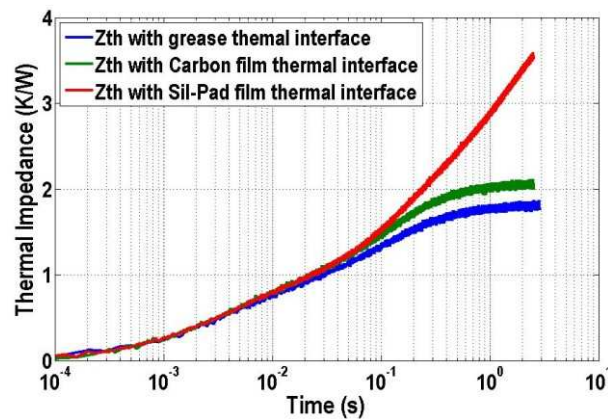


Figure III. 33: Comparaison des Z_{th} mesurées en utilisant les différentes interfaces thermiques.

La Figure III. 33 ci dessus montre trois courbes identiques pour des temps inférieurs à 90ms. En effet, jusqu'à ce temps, c'est la puce, la brasure et la semelle en cuivre du boîtier TO220 qui sont concernés par l'échauffement. En fait, ce temps correspond bien à la somme des constantes de temps de la puce, la brasure et la semelle (Tableau III. 8). Après 90ms, les trois courbes divergent car la température diffuse dans l'interface thermique et nous voyons l'effet de leurs propriétés thermiques sur l'impédance thermique. Ces premiers résultats montrent l'intérêt de l'impédance thermique pour localiser les dégradations dans l'épaisseur d'un module de puissance, ce que ne permet pas la seule mesure de résistance thermique.

III. Estimation de la température de jonction en modes extrêmes de fonctionnement

Pour essayer de comprendre l'origine de la défaillance en régimes extrêmes de fonctionnement, nous avons cherché à estimer la température dans le cristal. Nous ne disposons d'aucun moyen expérimental pour estimer la température de la puce, les composants sont encapsulés, les

températures atteintes extrêmement élevées ne permettent pas l'utilisation d'indicateurs de température indirects, et enfin les régimes d'avalanche et de court circuit sont de courte durée (une dizaine de microsecondes) ce qui rendrait de toute façon la mesure directe (par exemple à l'aide d'une caméra IR) extrêmement délicate. La température sera donc estimée à l'aide d'une modélisation thermique 3D, et nous nous inspirerons pour cela des travaux effectués préalablement au laboratoire [Bou09]. Les résultats de simulation que nous présentons dans cette partie, concernent les JFETs SemiSouth dont les caractéristiques sont représentées dans le Tableau III. 1.

III.1. En mode d'avalanche

Nous supposons que la tenue en avalanche est assurée dans le volume de la puce, et qu'il n'y a pas de claquage en périphérie. Nous utiliserons le modèle 3D décrit dans le paragraphe I.1 de ce chapitre avec les mêmes conditions aux limites et en injectant la puissance dissipée pendant le test d'avalanche dans le volume actif de $10\mu\text{m}$ d'épaisseur en faisant pour cela l'hypothèse que la dissipation se fait dans le volume supérieur de la puce.

La Figure III. 34 ci-dessous montre les formes d'ondes du courant de drain et de la tension d'avalanche utilisées pour calculer les puissances dissipées à injecter comme conditions aux limites dans le modèle 3D pendant la première phase (courbes bleues) et à la défaillance (courbes rouges).

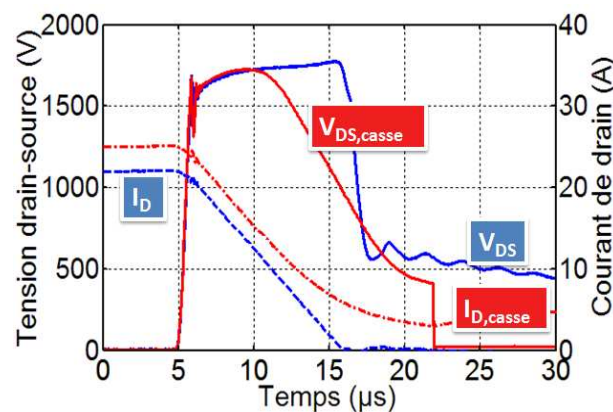


Figure III. 34: Allure temporelle des tensions drain source et des courants de drain avant défaillance (bleu) et à la défaillance (rouge).

Les résultats de simulation montrant l'évolution de la température maximale dans la puce pendant les phases d'avalanche sont représentées sur la Figure III. 35 avec les formes d'ondes de la puissance dissipée dans le cristal et les tensions d'avalanche pour essayer de corréliser la perte de tenue en tension à la température. Avant la défaillance, pour un courant de 22A et une énergie de 0.196J ($6.3\text{J}/\text{cm}^2$), la température de jonction maximale est de l'ordre de 750°C et elle est atteinte approximativement au milieu de la phase d'avalanche. A la défaillance, pour un courant d'avalanche, légèrement supérieur, de 25A et une énergie de 0.26J ($8.4\text{J}/\text{cm}^2$), on estime que la température maximale atteinte est de l'ordre de 880°C . Cette valeur est atteinte là encore approximativement au milieu du régime d'avalanche. Ces résultats corroborent les travaux de Blackburn [Bla91].

La « perte » de la tenue en tension se produit approximativement pour une température maximale de l'ordre de 800°C . Ces résultats, et les formes d'ondes associées peuvent être corrélés aux essais

de tenue à l'avalanche qui ont été effectués en fonction de la température et que nous avons décrits dans le chapitre III.1.4. En effet, ces essais, effectués pour des températures ambiantes variant de 25°C à 150°C ont montré, qu'à partir d'un certain niveau de courant et donc d'une élévation de température donnée, le composant commençait à perdre sa tenue en tension au fur et à mesure que la température ambiante s'élevait. Cette constatation montre l'effet prépondérant de la température de jonction sur la robustesse des composants dans ce mode de fonctionnement.

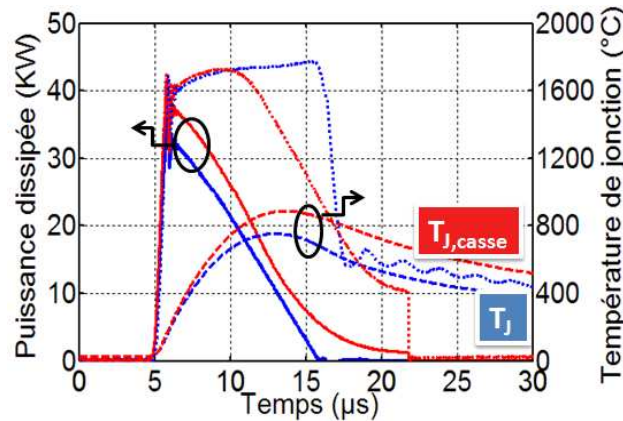


Figure III. 35: Allure temporelle des puissances dissipées dans la puce et injectées comme conditions aux limites dans le modèle 3D (trait plein) et résultats de simulation de la température de jonction (trait discontinu) représentés avec les courbes de V_{DS} (trait en pointillé).

III.2. En mode de court circuit

D'une manière similaire et pour mieux comprendre ce qui se passe pendant les tests de court circuit des JFETs SiC SemiSouth, nous avons commencé par estimer la température de jonction avec le modèle thermique 3D décrit précédemment. Cela nous a permis d'étudier quel peut être l'effet de la température sur l'origine physique des défaillances et sur les formes d'ondes observées en régime de court circuit.

La Figure III. 36 ci-dessous montre les formes d'ondes de la tension appliquée entre drain et source pendant la phase de court circuit et celle du courant de drain qui ont toutes deux été utilisées pour calculer les puissances dissipées dans la puce et que nous avons utilisées comme conditions aux limites dans le modèle 3D pour une courte durée de court circuit (courbes bleues) et à la défaillance (courbes rouges).

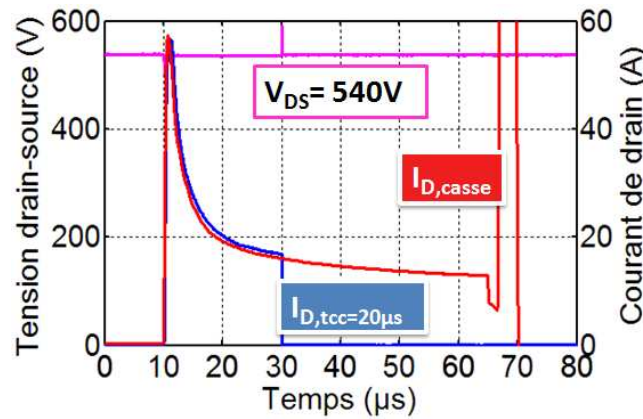


Figure III. 36: Formes d'ondes du courant de drain I_D et de la tension V_{DS} pour une courte durée de court circuit et à la défaillance pour une durée de court-circuit plus élevée.

Les résultats de simulation sont représentés sur la Figure III. 37. Nous notons une diminution de la puissance dissipée suite à la diminution du courant de saturation pendant la phase de court circuit. Dans le même temps nous observons une augmentation de la température dans la puce, ce qui justifie que la diminution du courant de saturation est bien liée à l'élévation de la température. La température de jonction maximale atteinte pour une durée de court circuit de $20\mu s$, correspondant à une énergie dissipée de $0.21J$ ($6.8J/cm^2$), est de l'ordre de $750^\circ C$.

Pour une durée de court-circuit plus élevée, amenant à la défaillance immédiate, l'énergie dissipée est de $0.52J$ ($16.9J/cm^2$) dans ce cas ($t_{cc}=65\mu s$), avec une température maximale simulée de l'ordre de $1000^\circ C$ cette fois.

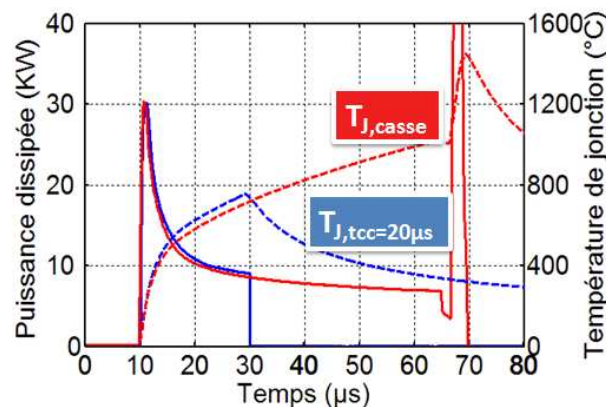


Figure III. 37: Allure temporelle des puissances dissipées dans la puce et injectées comme conditions aux limites dans le modèle 3D (trait plein) et résultats de simulation thermique (trait en pointillé).

Dans les deux régimes de fonctionnement, court circuit et avalanche, la température de jonction estimée lors de la défaillance est du même ordre de grandeur. Elle est supérieure à $800^\circ C$ (entre $900^\circ C$ et $1000^\circ C$ selon le régime extrême considéré), ce qui correspond à une température supérieure à la température de fusion de l'aluminium ($660^\circ C$). Nous restons prudents vis-à-vis de ces estimations car dans notre modèle simplifié nous négligeons de nombreux paramètres. Nous ne tenons pas compte des fils de bonding qui peuvent être une source d'évacuation importante de chaleur. D'autre part, nous avons également considéré la surface supérieure de la métallisation

comme adiabatique. Enfin, les propriétés thermiques des matériaux utilisées sont mal connues à haute température, les résultats de modélisation se trouvent alors nécessairement entachés d'erreur. Cependant, la température estimée amenant à la défaillance étant particulièrement élevée, nous pouvons supposer que l'apparition de la défaillance est liée à cette élévation de température. Une observation MEB de la métallisation d'un VJFET détruit par avalanche puis desencapsulé sans confirmer notre hypothèse montre toutefois un comportement exceptionnel des puces SiC en régime d'avalanche. En effet sur la Figure III. 38 ci-dessous, nous observons une puce détruite suite à un essai en avalanche de trop forte énergie. On constate très clairement une zone de fusion de la métallisation de source sur le coin de la puce éloignée de la périphérie. Cette observation montre que, pour ce composant particulier, la tenue en avalanche est plutôt assurée par le volume de la puce et non simplement par sa périphérie. Le point chaud qui apparaît sur la surface active de la puce entraîne la fusion de l'aluminium mais aussi certainement du matériau semiconducteur.

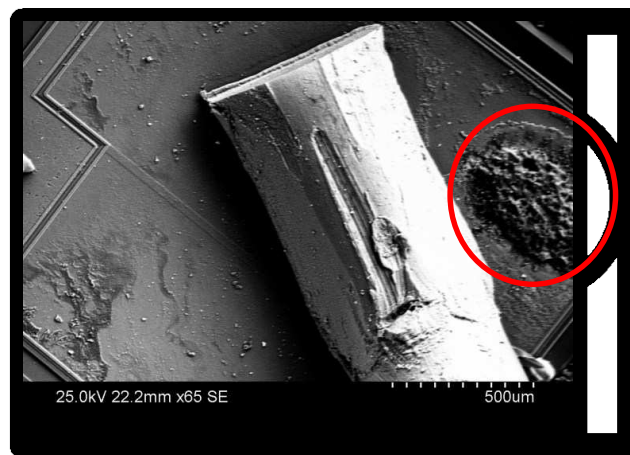


Figure III. 38 : Image MEB de la surface de la puce du JFET détruit pendant le test d'avalanche destructif.

Si les résultats précédents nous montrent le remarquable comportement des puces SiC en régime d'avalanche, les résultats obtenus en régime de court-circuit montrent non seulement des énergies critiques supérieures à celles observées en régime d'avalanche mais aussi l'excellente robustesse des VJFETs en technologie SiC de SemiSouth en mode de limitation de courant. En les comparant avec d'autres composants dans des conditions de tests de court circuit également, nous notons que les VJFETs de SemiSouth sont plus robustes que les IGBTs Silicium [StEve07] mais moins robustes que les JFETs SiC de SiCED [Ber09] [Ber10], comme on peut le voir sur le Tableau III. 9 ci-dessous.

Composants	Surface active (mm ²)	Tension appliquée (V)	Durée de court circuit (µs)	Energie critique (J/cm ²) à 25°C
JFET SiC Normally On SemiSouth (85mOhm)	3.075	540	65	16.9
JFET SiC Normally On SemiSouth (110mOhm)	2.689	540	80	19.33
JFET SiC SiCED (300mOhm)	3.95	540	300	65
IGBT Si (SPW20N60C2)	10.7	405	22	7.6

Tableau III. 9: Récapitulatif de l'énergie critique de différents composants de puissance en SiC [Ber09] [Ber10] et Si [StEve07] pendant les tests de court-circuit.

Ces résultats doivent toutefois être rapportés aux performances à l'état passant des transistors testés. On remarque ainsi clairement que les composants présentant la plus faible chute de tension directe (meilleure performance en conduction) sont ceux qui sont les moins robustes en régime de court-circuit. La densité surfacique d'énergie critique des composants SiC de plus faible chute de tension directe est ainsi relativement assez proche de celles de composants silicium.

Une étude comparative similaire a été effectuée cette fois sur la robustesse en régime d'avalanche. On constate l'exceptionnelle robustesse des VJFETs en carbure de silicium fabriqués par SemiSouth dans ce mode de fonctionnement. L'effet d'écrêtage actif interne décrit précédemment justifie sans doute ces performances remarquables. Nous comparons ici les énergies dissipées de différentes technologies de composants, certains résultats étant issus de la littérature (Tableau III. 10). Nous remarquons que les conditions de test (en courant) sont à chaque fois différentes. Toutefois, il semblerait que les JFETs SiC de SemiSouth soient, à la vue de nos tests plus robustes en régimes d'avalanche que les JFETs SiC de SiCED (un courant d'avalanche beaucoup plus faible mais une tenue en tension similaire) [Fri06] et que les CoolMOS en silicium (un courant d'avalanche à peu près identique mais une tenue en tension ici beaucoup plus faible) [StEve07]. Toutefois, ces comparaisons mériteraient comme pour les essais en court-circuit d'être ramenées à la surface active des puces.

Composants	Courant inductif (A)	Tension d'avalanche (V)	Energie critique (J) à 25°C
JFET SiC Normally On SemiSouth (85mOhm)	25	1700	0.260
JFET SiC Normally On SemiSouth (110mOhm)	21	1800	0.263
JFET SiC Normally Off SemiSouth (100mOhm)	24	2000	0.22
JFET SiC SiCED (300mOhm)	6.6	1700	0.005
Cool MOS Si (SGW15N60)	20	800	1.48

Tableau III. 10: Récapitulatif de l'énergie critique de différents composants de puissance en SiC [Fri06] et Si [StEve07] pendant les tests d'avalanche.

IV. Estimation des courants de fuite en modes extrêmes de fonctionnement

IV.1. Régime d'avalanche

Afin de mettre en évidence l'importance et les effets de l'évolution de la température interne dans la puce, nous avons cherché à mesurer le courant de fuite entre drain et grille en fonction de la température et de relier ces mesures aux formes d'ondes du courant de drain et des tensions observées lors de la recherche de l'énergie critique en régime de court circuit et d'avalanche et ceci pour mieux comprendre la cause de la défaillance.

Nous avons supposé dans le chapitre II que le transistor JFET entrait en régime linéaire pendant la phase d'avalanche ou de court circuit pour justifier les formes d'ondes que nous observions. En effet, nous supposons que dans les deux régimes de fonctionnement, à très haute température, il y avait

un courant inverse qui apparaissait entre drain et grille en régime d'avalanche et entre source et grille en régime de court circuit, qui passait à travers la résistance de grille et qui polarisait la jonction grille source de façon à remettre en conduction le composant (Figure III. 39).

Pour confirmer l'hypothèse que le JFET rentre en régime linéaire pendant la phase d'avalanche, nous nous proposons de calculer la tension V_{GS} à partir de l'équation $I_D = f(V_{GS})$ et de la comparer à la tension expérimentale pendant l'avalanche.

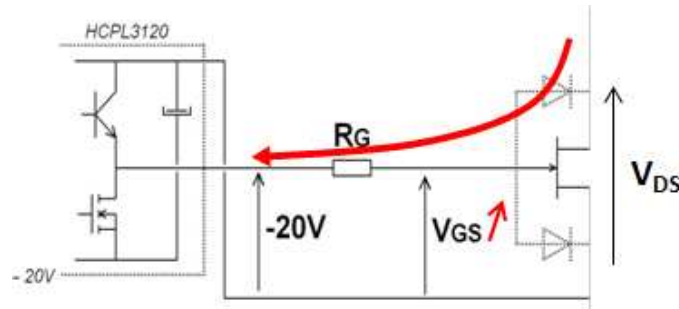


Figure III. 39 : Schéma de principe montrant le passage du courant inverse à travers la jonction drain grille et polarisation en directe de la jonction grille source pendant la phase d'avalanche.

Nous essaierons par un modèle simple de relier les variations de la tension grille source à la température du cristal pendant la durée de la phase d'avalanche. Pour ce faire, nous partons de l'équation III.12 qui lie le courant de drain I_D à la tension V_{GS} , où I_{Dsat} est le courant de saturation du JFET qui s'écrit en fonction de la température selon l'équation III.13, et de l'évolution du courant de drain en fonction du temps pendant la phase d'avalanche qui est une droite linéaire décroissante d'équation III.14 (Figure III. 40). Les paramètres utilisés dans les équations III.12-14 sont tels que :

- C est la capacité surfacique de grille,
- W représente la largeur totale du canal,
- L est la longueur du canal,
- $\mu(T) = 1140 \left(\frac{T}{300} \right)^{-2.7}$ [Bal08], où T est la température de jonction en Kelvin,
- $I_0 = 22A$, correspond au courant de drain au début de la phase d'avalanche,
- t_f représente le temps pour lequel le courant de drain s'annule.

Nous choisissons les trois paramètres C, W et L de façon à ce que les calculs se rapprochent au mieux des valeurs expérimentales, la valeur retenue pour le rapport $\frac{C W}{L}$ est de 160 F/m².

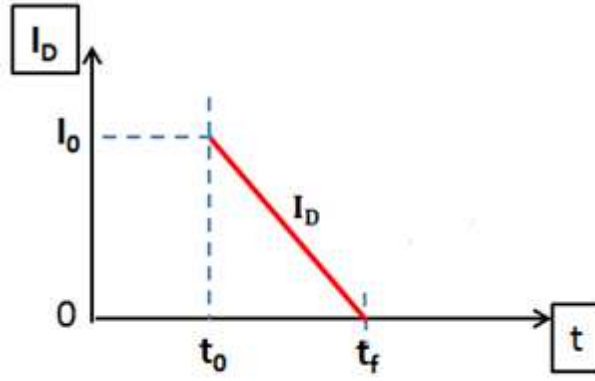


Figure III. 40: Allure du courant du drain pendant la phase d'avalanche.

$$I_D = I_{Dsat} \left(1 - \frac{V_{GS}}{V_P(\theta)} \right)^2 \quad (\text{III.12})$$

$$I_{Dsat}(\theta) = \frac{1}{2} \frac{C W}{L} \mu(T) V_{T0}^2(\theta) \quad (\text{III.13})$$

$$I_D = I_0 \left(1 - \frac{t - t_0}{t_f - t_0} \right) \quad (\text{III.14})$$

Nous avons évalué la variation de la tension de pincement en fonction de la température en utilisant le traceur Tektronix 371A et l'enceinte climatique « Dragon » pour chauffer le DUT de 25°C à 200°C. L'évolution de la valeur absolue de la tension de pincement V_{T0} est représentée sur la Figure III. 41, la courbe est quasi linéaire et nous pouvons l'approximer à une droite d'équation III.15 où θ correspond à la température du composant en °C. Ensuite, nous calculons V_{GS} en fonction du temps d'avalanche en égalisant les deux équations III.12 et III.14 et en remplaçant I_{DSAT} par son expression en fonction de la température à partir de l'équation III.13 et la tension de pincement V_{T0} par son expression en fonction de la température (III.15), l'équation de V_{GS} calculée s'écrit alors selon l'équation III.16. Pour la température, nous utilisons les données de la température simulée en fonction du temps qui correspond à ce cas de figure.

$$V_{T0}(\theta) = -0.0041\theta - 4.2 \quad (\text{III.15})$$

$$V_{GS} = V_{T0}(\theta) \left(1 - \sqrt{\frac{I_0}{I_{DSAT}(\theta)} \left(1 - \frac{t}{t_f} \right)} \right) \quad (\text{III.16})$$

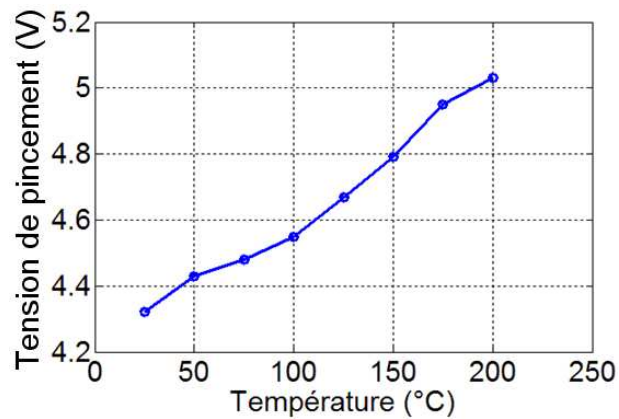


Figure III. 41: Evolution de la valeur absolue de la tension de pincement en fonction de la température.

La courbe de la Figure III. 42.a montre l'évolution de la température de jonction simulée et de la tension de pincement calculée en fonction du temps pendant la phase d'avalanche à partir de la température simulée. Le résultat de calcul de la tension grille source est représenté sur la Figure III. 42.b avec les formes d'ondes expérimentales de I_D et de V_{GS} . On observe une très bonne concordance entre la courbe de V_{GS} expérimentale et celle calculée pendant la phase d'avalanche. Les deux courbes se superposent bien malgré une légère différence à la fin de la phase d'avalanche qui peut être expliqué par les erreurs que nous avons pu commettre en calculant les paramètres ou encore par l'estimation de la température de jonction qui est très approximative (modèle 3D simplifié). Ces résultats valident toutefois bien l'hypothèse que le VJFET rentre en régime linéaire pendant la phase d'avalanche pour remettre en conduction le transistor en faisant passer la tension entre grille et source au dessus de la tension de pincement. Cette remise en conduction partielle du composant assure une dissipation de puissance dans le volume de la puce et non en périphérie, ce qui explique certainement l'excellente robustesse de ces composants en régime d'avalanche.

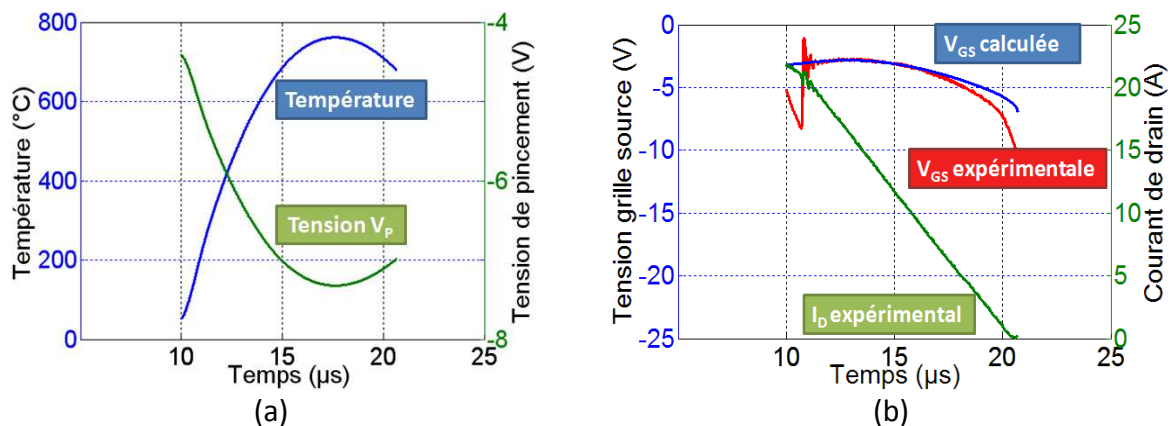


Figure III. 42: (a) Evolution de la tension de pincement et de la température de jonction en fonction du temps pendant la phase d'avalanche, (b) Comparaison de la tension V_{GS} calculée à la tension V_{GS} expérimentale pendant une phase d'avalanche non destructive.

Toujours dans le but de valider notre hypothèse de départ, nous supposons que le courant pendant la phase d'avalanche est la somme d'un courant de drain lié au fonctionnement en régime linéaire du transistor et du courant d'avalanche dans la jonction drain grille. C'est ce courant d'avalanche à

travers la jonction drain/grille à très haute température qui est à l'origine de la remise en conduction partielle du composant sous test. Nous comparons ce courant au courant de grille issu des relevés expérimentaux et qui apparaît pendant les phases d'avalanche.

Pour ce faire, nous supposons que dans les deux régimes de fonctionnement, à très haute température, c'est le faible courant d'avalanche entre drain et grille qui polarise la jonction grille source de façon à remettre en conduction le composant.

Nous avons estimé, par un calcul analytique, le courant inverse entre drain et grille I_{INVDG} pendant la phase d'avalanche en utilisant les équations III.12 et III.13 et en exprimant V_{GS} en fonction de I_{INVDG} tel que :

$$I_L = I_{INVDG} + I_D \quad (III.17)$$

$$V_{GS} = -15 + R_G \times I_{INVDG} \quad (III.18)$$

Où I_L est le courant inductif dans le circuit et R_G est la résistance de grille qui vaut 47 Ω . Nous obtenons une équation de second degré d'inconnu I_{INVDG} qui s'écrit selon III.19 ci-dessous :

$$-\frac{(I_{DSAT}(\theta)R_G^2)}{V_{T0}^2(\theta)}I_{INVDG}^2 + \frac{I_{DSAT}(\theta)(30R_G + 2R_G V_P(\theta))}{V_{T0}^2(\theta)}I_{INVDG} + [I_L - I_{DSAT}(\theta) \left(1 + \frac{225 + 2V_P(\theta)}{V_{T0}^2(\theta)}\right)] = 0 \quad (III.19)$$

La solution de cette équation (III.19) I_{INVDG} est représentée sur la Figure III. 43 en comparaison avec l'enregistrement expérimental du courant de grille (I_{INVDG} expérimental). Les deux courbes de I_{INVDG} calculé et I_{INVDG} expérimental sont d'allure semblable et séparées d'environ 70mA seulement. Ce résultat est satisfaisant et valide de nouveau le fonctionnement du JFET en mode linéaire pendant la phase d'avalanche.

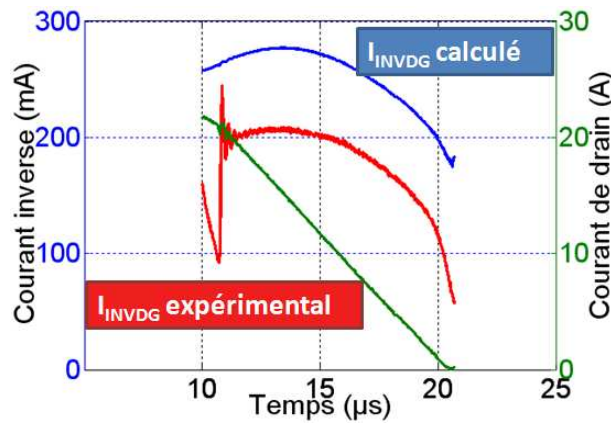


Figure III. 43 : Comparaison du courant d'avalanche entre drain et grille calculé et expérimental pendant une phase d'avalanche non destructive.

IV.2. Régime de court-circuit

Le courant inverse pendant la phase d'avalanche (régime linéaire) étant estimé, nous allons le comparer au courant inverse pendant la phase de court circuit. Nous avons essayé de le relier à la

température en simulant la température de jonction pour plusieurs durée de court circuit jusqu'à la défaillance (Figure III. 44.a). La température de jonction maximale T_{jmax} pour chaque durée de court circuit est tracée en fonction de la durée de court circuit sur la Figure III. 44.b et une caractéristique d'équation (V.9) est obtenue reliant la température à la durée du court-circuit dans ces conditions d'essai.

$$T_{jmax} = -56 \cdot 10^{-6}t^4 + 0.0091t^3 - 0.67t^2 + 31t + 340 \quad (III.20)$$

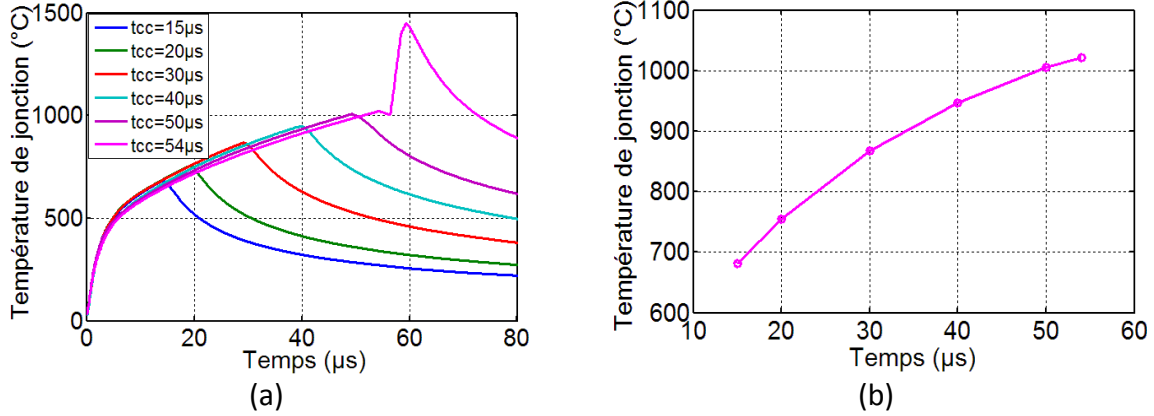
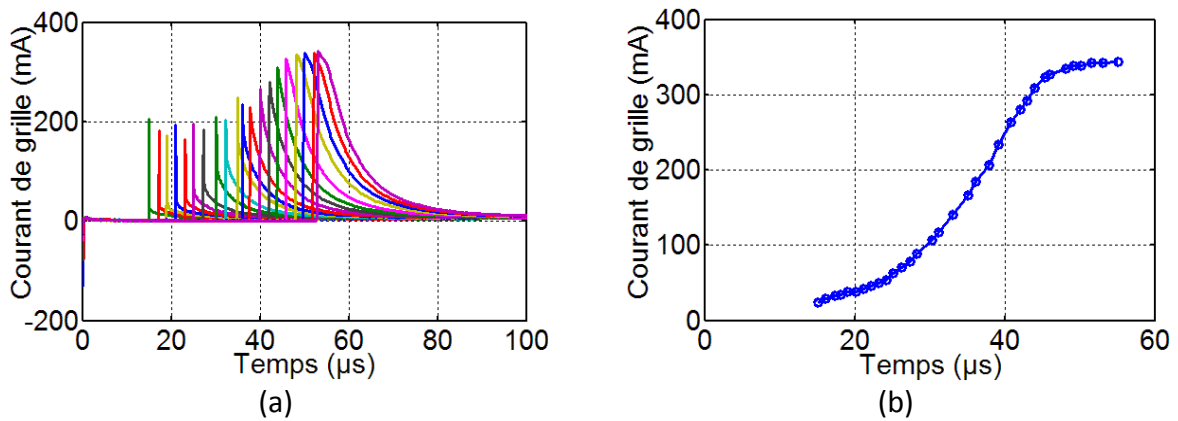


Figure III. 44: (a) Température de jonction simulée pour plusieurs durées de court circuit jusqu'à la défaillance, (b) Evolution de la température de jonction maximale en fonction de la durée de court circuit.

Nous avons tracé dans le deuxième chapitre le courant de grille pendant les tests de court circuit en fonction du temps comme sur la Figure III. 45.a pour le même JFET. A partir de cette dernière caractéristique, le courant de grille maximal est représenté en fonction de la durée de court circuit sur la Figure III. 45.b. Le courant de fuite a tendance à saturer vers la valeur de 300 mA à partir d'une durée de court circuit de 35μs et ce jusqu'à la défaillance. Cette valeur est comparable à celle du courant d'avalanche que nous avons calculé (Figure III. 43). Sur la Figure III. 45.c nous traçons le courant de grille en fonction de la température à partir des données de la Figure III. 45.b et de l'équation III.18.



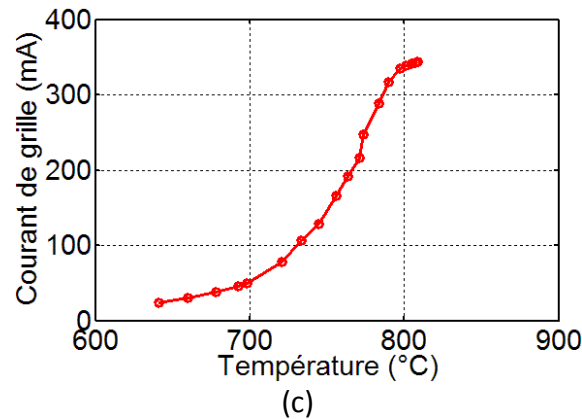


Figure III. 45: (a) Formes d'ondes de courant de grille pour plusieurs durée de court circuit, évolution du courant de grille expérimentale en fonction de (b) la durée de court circuit, (c) la température simulée.

Nous notons que le courant à travers la grille commence à apparaître significativement pour des températures très élevées de l'ordre de 700°C. Ces résultats confirment l'idée que les phénomènes observés pendant la phase d'avalanche et de court circuit et responsables de la remise en conduction du JFET sont de même nature.

En conclusion, pendant les régimes extrêmes de fonctionnement, la puce atteint des températures très élevées ce qui génère, en régime de court-circuit, un courant inverse à travers la jonction entre source et grille au blocage et qui polarise la jonction grille source pour atteindre des tensions V_{GS} supérieures à la tension de pincement (qui elle aussi varie en fonction de la température). De ce fait, le transistor se retrouve en mode de conduction, ce que nous avons vérifié lors de l'ouverture de court-circuit de forte énergie avec une remise en conduction partielle précédant la défaillance.

En régime d'avalanche, un phénomène similaire se produit, avec une remise en conduction partielle du transistor pendant la phase d'avalanche liée à un fonctionnement en régime linéaire. Il est clair que l'avalanche de la jonction entre drain et grille se comporte en régime d'avalanche comme un écrêteur actif et assure un fonctionnement en régime linéaire du transistor. Le faible courant d'avalanche qui traverse ainsi la jonction entre drain et grille explique sans doute l'excellente robustesse de ces composants à ce régime de fonctionnement. Nous ne pouvons toutefois pas dissocier les effets des polarisations inverses des jonctions drain grille et source grille dans ce mode de fonctionnement, et nous pouvons également envisager que la défaillance pourrait être due, à partir d'un niveau de température suffisamment élevé aux fuites dans la jonction entre source et grille (polarisée en inverse) comme cela a été montré en régime d'avalanche.

V. Conclusion

Dans ce troisième chapitre, nous avons développé un modèle éléments finis afin d'estimer la température de jonction du JFET SiC lors des régimes extrêmes de fonctionnement afin de chercher à relier les niveaux de températures simulés aux défaillances observées. Le modèle thermique 3D que nous avons validé est constitué d'une couche de métallisation en aluminium avec des propriétés thermiques indépendantes de la température. Nous prenons toutefois en compte l'évolution de la conductivité thermique et la chaleur spécifique du carbure de silicium avec la température.

Finalement, la dissipation de puissance est faite de manière distribuée dans un volume actif d'épaisseur 10µm correspondant à la zone de charge d'espace. Ce n'est qu'une approximation, mais la méconnaissance du dispositif simulé (dopage et épaisseurs de couches semi-conductrices) ne nous permettent malheureusement pas une meilleure modélisation.

Dans les deux régimes de fonctionnement, court circuit et avalanche, la température de jonction estimée lors de la défaillance est du même ordre de grandeur. Elle est supérieure à 800°C (entre 900°C et 1000°C selon le régime extrême considéré). La température estimée amenant à la défaillance étant particulièrement élevée, nous avons supposé que l'apparition de la défaillance est liée à cette élévation de température. Une observation au MEB de la métallisation d'un VJFET détruit par avalanche puis desencapsulé, sans confirmer notre hypothèse, montre toutefois un comportement exceptionnel des puces SiC en régime d'avalanche. En effet, une zone de fusion de la métallisation de source sur le coin de la puce éloignée de la périphérie a été clairement identifiée. Cette observation montre, pour ce composant testé, que la tenue en avalanche semble effectivement assurée par le volume de la puce et non simplement par sa périphérie. Le point chaud qui apparaît sur la surface active de la puce entraîne la fusion de l'aluminium mais aussi certainement du matériau semiconducteur.

Afin de mettre en évidence l'importance et les effets de l'évolution de la température interne dans la puce, nous avons mesuré le courant de fuite entre drain et grille en fonction de la température et tenter de corréliser ces mesures aux formes d'ondes courants/tensions observées lors de la recherche des énergies critiques en régimes de court circuit et d'avalanche. Ceci a été fait afin d'apporter des éléments de compréhension sur les défaillances. Nous avons constaté que pendant les régimes extrêmes de fonctionnement, la puce atteint des températures très élevées. Cela génère un courant inverse à travers la jonction drain grille et polarise la jonction grille source pour atteindre des tensions V_{GS} supérieures à la tension de pincement (qui elle aussi varie en fonction de la température). De ce fait, le transistor se retrouve en mode de conduction pour éviter le claquage de la jonction à haute tension. Nous pouvons conclure que les VJFETs de SemiSouth ont une excellente robustesse puisqu'ils s'auto protègent en rentrant en régime linéaire de fonctionnement à tension et température élevées contrairement à d'autre composant qui ont besoin d'un dispositif de protection par écrêtage actif ou par émulation de la charge inductive comme les circuits CIS « Clamped Inductive Switching ».

Nous avons aussi fait des essais sur des JFETs SiC fabriqués par SiCED pour estimer, à l'aide de mesures indirectes, la température de jonction du JFET en cours de fonctionnement. Nous avons ainsi cherché des paramètres électriques sensibles à la température et susceptibles d'être utilisés comme indicateurs indirects de la température. En caractérisant l'évolution de ces paramètres avec la température nous avons pu les utiliser pour une estimation de température « moyenne » de la puce. Deux paramètres différents, la résistance à l'état passant $R_{DS(on)}$ et la tension grille source V_{GS} sous faible polarisation de grille, ont été utilisés comme indicateurs indirects de température.

Nous avons exploité les résultats de mesure de la température de jonction pour estimer ensuite l'impédance thermique de l'assemblage du composant JFET. Nous avons toutefois validé le modèle thermique 3D de la puce SiCED simulé sur ANSYS pour des durées supérieures à 100µs après comparaison entre impédance thermique expérimentale et simulée. Pour valider l'intérêt de l'impédance thermique dans le cadre d'un suivi de dégradation des modules de puissance, nous

avons utilisé plusieurs interfaces thermiques avec différentes propriétés thermiques (graisse thermique, film de carbone, film Silpad) et nous avons comparé l'impédance thermique mesurée avec chaque interface. Les résultats ont montré qu'après 90ms, les trois courbes d'impédance thermique de chaque interface divergent. Ce résultat est lié à la durée de la diffusion de la chaleur à travers l'assemblage et aux propriétés thermiques des différentes interfaces.

Chapitre IV. Vieillissement accéléré des JFETs SiC en régime d'avalanche répétitif

I. Introduction

Dans ce chapitre, nous répéterons les régimes extrêmes de fonctionnement (avalanche et court circuit) de plus faible énergie (inférieure à l'énergie critique) jusqu'à l'apparition de la défaillance (quand il apparaît un court circuit entre drain et source) après vieillissement cette fois. Nous chercherons à mettre en évidence les mécanismes physiques à l'origine des dégradations expliquant à terme la destruction. Nous chercherons ainsi à quantifier l'influence de ce mode de fonctionnement répétitif sur la durée de vie et la robustesse des différents composants testés.

Les JFETs Normally On en technologie SiC ont donc été soumis à des tests de vieillissement accélérés. Nous essayerons de trouver de nouveaux indicateurs de vieillissement pertinents en mesurant régulièrement des paramètres électriques initialement caractérisés. Cette étape est nécessaire dans toute étude de fiabilité car elle permet d'observer les modes de dégradation susceptibles d'apparaître et de vérifier par ces tests expérimentaux l'impact que peut avoir la variation d'un paramètre de stress électrique sur les dégradations et les modes de défaillances.

II. Caractérisations électriques

Durant les essais de vieillissement, les formes d'ondes de court-circuit et d'avalanche (V_{GS} , I_D , V_{DS}) seront régulièrement enregistrées et sauvegardées (en moyenne tous les 1000 cycles environ). Toutefois, le suivi des dégradations nécessite des caractérisations plus fines de grandeurs électriques représentatives des performances des composants testés. Il s'agit de relever les caractéristiques électriques du composant susceptibles de varier durant le vieillissement. Les caractéristiques initiales serviront de référence et leur évolution donnera une image des dégradations apparues dans les composants durant la répétition des tests de vieillissement en régime extrême de fonctionnement.

II.1. Description des moyens de caractérisations électriques

Les mesures à fort courant se feront sur un traceur de caractéristiques (Tektronix 371A à l'aide de mesures quatre fils). Ce dernier fonctionne en mode pulsé avec une durée des impulsions de $250\mu s$ et une période de 40ms. Le traceur peut permettre la caractérisation en direct jusqu'à un courant de 400A et une puissance maximale de 3000W. Toutefois, à ces niveaux de courant et/ou de puissance, il y a risque d'auto-échauffement de la puce testée. Les entrées "Force" du traceur permettent l'injection du courant dans le composant et les entrées "Sense" assurent les mesures de tension en s'affranchissant des chutes de tension dans le câblage (Figure IV. 1).

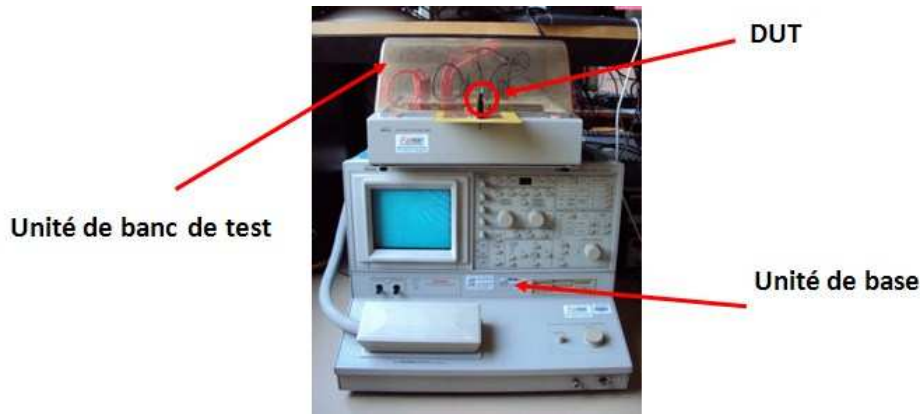


Figure IV. 1: Traceur de caractéristiques Tektronix 371A.

Les mesures à faible courant se feront avec le SMU (Source-Mesure Unit) Keithley 6430. C'est une unité générateur/mesure, qui combine la fonction d'une source de courant/tension et de mesure courant/tension. Le SMU (Figure IV. 2) est ici principalement utilisé pour la mesure d'intensité de très faible valeur (performances : de 10fA à 100mA avec des bruits inférieurs à 0.4fA p-p grâce au préampli bidirectionnel).

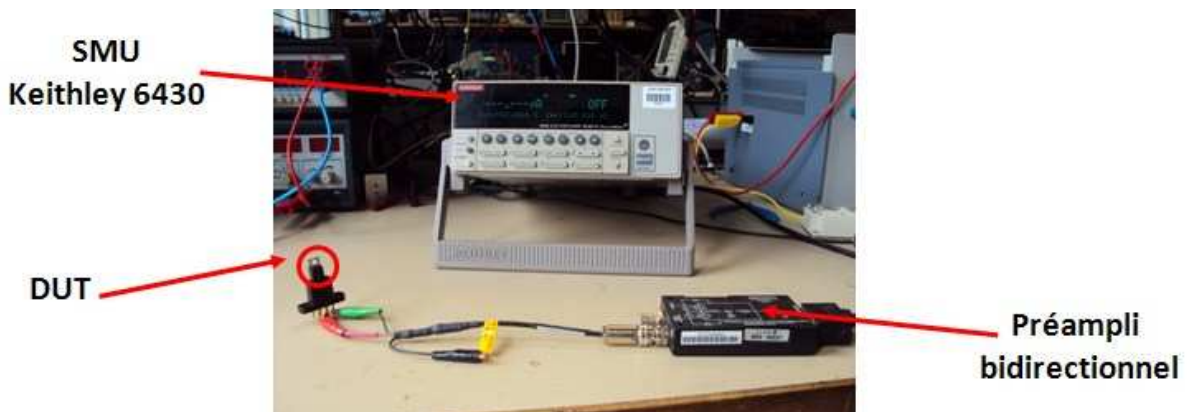


Figure IV. 2: Banc de mesure à courants faibles.

Le traceur Tektronix 371A et le Keithley 6430 sont pilotables à travers des ports GPIB via des programmes LabView et les données sont récupérées sous format texte sur PC.

II.2. Caractérisation électrique statique en polarisation direct

II.2.1. Courant de saturation I_{DSAT}

Le courant de saturation, I_{DSAT} , est caractérisé à partir de la caractéristique statique directe $I_D = f(V_{DS})$ pour V_{GS} constante. Cette caractéristique de sortie représente la variation du courant de drain, I_D , avec la tension d'alimentation V_{DS} , allant de 0 à 30V pour une tension de commande V_{GS} que nous fixons à 0V (DUT à l'état passant dans le cas d'un JFET Normally On) pour toutes les mesures que nous effectuons pendant le suivi du vieillissement. Le schéma de principe est récapitulé sur la Figure IV. 3 ci-dessous.

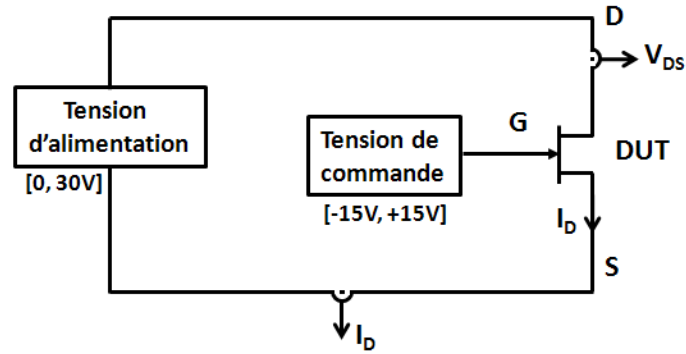


Figure IV. 3: Schéma de principe de la caractéristique statique directe.

Un exemple de relevé de la caractéristique statique directe est représenté sur la Figure IV. 4. La courbe peut être divisée en trois parties ce qui correspond aux trois régimes de fonctionnement du JFET [Mou06];

La première partie, linéaire, correspond à la zone ohmique où le courant de drain évolue de façon quasi linéaire avec la tension entre Drain et Source pour les faibles valeurs de tension V_{DS} et pour un V_{GS} donnée. Dans cette partie, le canal conducteur est quasi uniforme puisqu'il dépend peu de V_{DS} .

La deuxième zone correspond au mode de fonctionnement en régime sous linéaire. En fait, la tension de drain V_{DS} augmente ce qui étale davantage la zone de charge d'espace dans le canal et le rend plus étroit. La déformation du canal devient significative et la conductance diminue ce qui réduit la variation du courant avec la tension V_{DS} .

Pour des valeurs de V_{DS} encore plus élevées, le JFET se retrouve en régime de saturation où le canal est pincé du fait du recouvrement des zones de charge d'espace. La valeur de courant I_D correspond à la valeur maximale du courant de saturation pour un V_{GS} donné.

Le courant de saturation I_{DSAT} se calcule donc en projetant la droite adjacente à la zone de saturation sur l'axe vertical. Pour le JFET étudié, I_{DSAT} est de l'ordre de 57A.

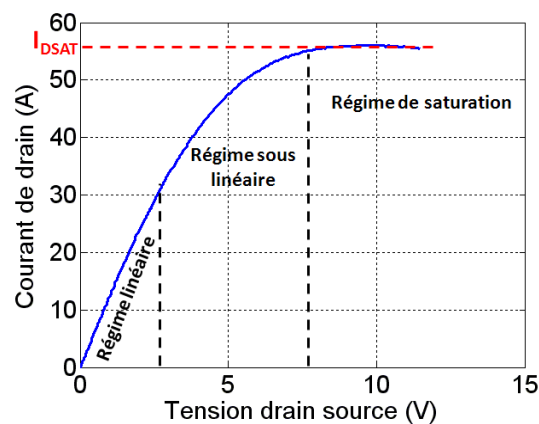


Figure IV. 4: Caractéristique statique en direct pour un JFET SiC Normally On (SemiSouth) à $V_{GS}=0V$.

II.2.2. Résistance à l'état passant

La résistance à l'état passant $R_{DS(ON)}$ se calcule à partir de la zone linéaire de la caractéristique de sortie sur la Figure IV. 4 où le JFET se comporte comme une résistance contrôlée par la tension de grille V_{GS} . La résistance à l'état passant représente l'inverse de la pente du courant de drain à faible tension de drain V_{DS} et peut être calculée à partir de la relation suivante :

$$R_{DS(ON)} = \left(\frac{\Delta V_{DS}}{\Delta I_D} \right)_{V_{GS}=0, V_{DS} \rightarrow 0}$$

Pour plus de précision, la tension V_{DS} a été limitée à 1V, ainsi la courbe $I_D=f(V_{DS})$ obtenue est une droite linéaire dont l'inverse de sa pente représente la résistance à l'état passant. Pour nos composants, $R_{DS(ON)}$ est de l'ordre de 80 mΩ (Figure IV. 5) avant vieillissement.

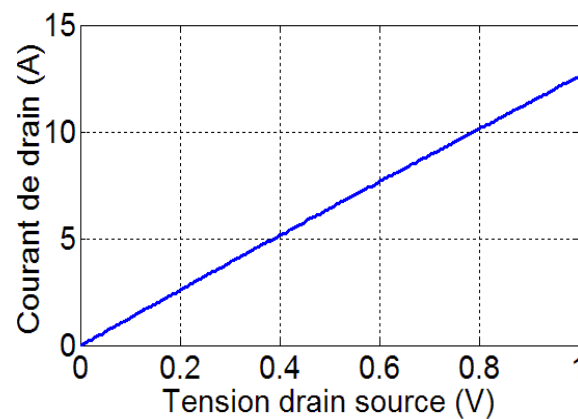


Figure IV. 5: Zone linéaire de la caractéristique statique directe.

Le suivi du courant de saturation et de la résistance à l'état passant au cours de vieillissement du DUT peut nous informer sur l'état de dégradation de la couche de métallisation [Ara08] et/ou sur l'état de dégradation des fils de connexion [Sme10] [Lut09].

II.3. Caractéristique de transfert

La caractéristique de transfert $I_D=f(V_{GS})$ mesurée avec le traceur de caractéristique représente la variation du courant de drain avec la tension de commande pour V_{GS} variant de -10V à 0 V et une tension d'alimentation V_{DS} égale à 30 V. Le traceur a une précision médiocre pour les niveaux de courant très faible mais nous nous contenterons de ce tracé pour estimer approximativement la tension de pincement. Cette dernière est définie comme étant la tension de grille source pour laquelle le courant de drain s'annule. Pour profiter du plus faible calibre en courant du traceur, le courant de drain I_D est limité à 5A lors de l'estimation de la tension de pincement V_{T0} . Les figures Figure IV. 6 et Figure IV. 7 illustrent respectivement le schéma de principe pour l'obtention de la caractéristique de transfert et un exemple des caractéristiques obtenues. La tension de pincement pour ce JFET testé est de l'ordre de -5V.

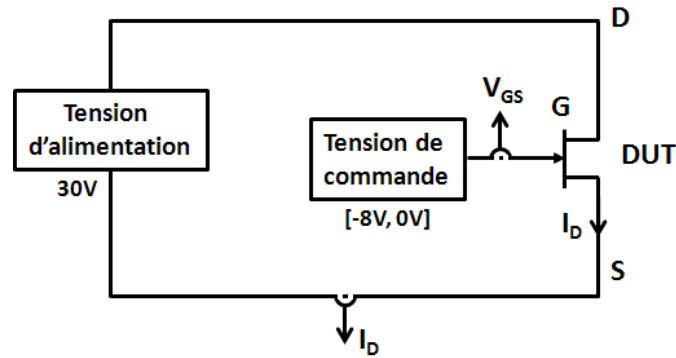


Figure IV. 6: Schéma de principe de la caractéristique statique en polarisation inverse.

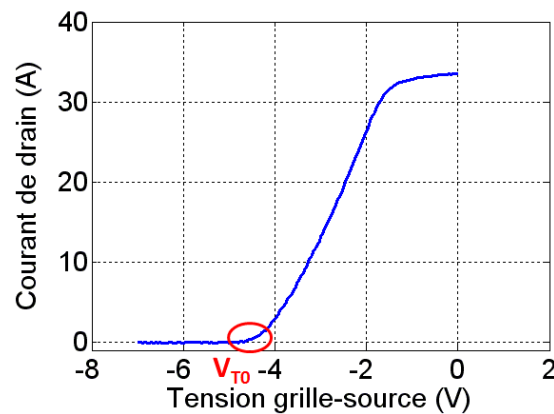


Figure IV. 7 : La caractéristique de transfert $I_D = f(V_{GS})$ d'un JFET SiC SemiSouth pour $V_{DS} = 30V$.

II.4. Caractérisation électrique de la jonction grille-source

Des essais de vieillissement préalables ont montré l'apparition de dégradations possibles sur la jonction grille source. Nous avons donc décidé de suivre les caractéristiques de cette jonction lors des essais de vieillissement. Pour ce faire, nous avons cherché à suivre l'évolution du courant de fuite en inverse de cette jonction, et celle de la résistance que présente cette jonction en direct.

II.4.1. Courant de fuite de grille

Le courant de fuite de grille, I_{GSS} , est mesuré à partir de la caractéristique inverse de la jonction grille source. Cette dernière est assimilée à une diode qu'on polarise en inverse en appliquant une tension V_{GS} variant de -16V à 0V (à l'aide du SMU Keithley). Le schéma de principe du circuit de caractérisation et un exemple de la caractéristique en inverse de la jonction grille/source sont représentés sur la Figure IV. 8 suivante. Le courant inverse a été limité à 100μA max. afin d'éviter tout risque de destruction de la jonction.

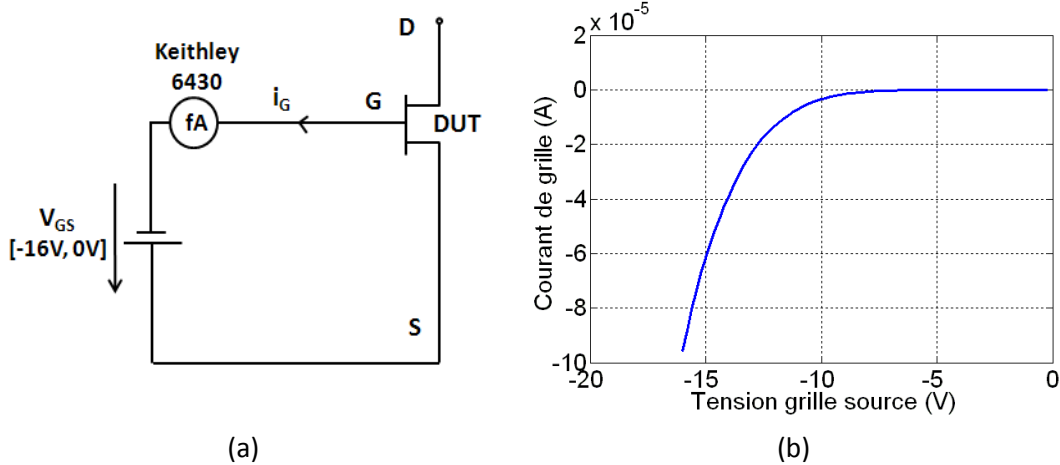


Figure IV. 8 : (a) Schéma de principe de la mesure du courant de grille, (b) Courant de fuite de grille en fonction de la tension V_{GS} du JFET SiC SemiSouth.

Le suivi de l'évolution de I_{GSS} au cours du cyclage du DUT par avalanche ou court circuit peut être un indicateur de vieillissement de la jonction grille source, représentative par exemple, de dégradation des passivations entre métallisation de grille et métallisation de source.

II.4.2. Résistance « parasite » de la jonction Grille Source

Cette résistance est estimée en polarisant cette fois la jonction grille source en direct. Une tension V_{GS} positive variant de 0V à 2.5V est appliqué avec le SMU Keithley. Le courant de grille à l'état passant est mesuré en fonction de V_{GS} . La résistance de grille à l'état passant correspond donc à l'inverse de la pente de la partie linéaire de la courbe $I_G=f(V_{GS})$ (Figure IV. 9).

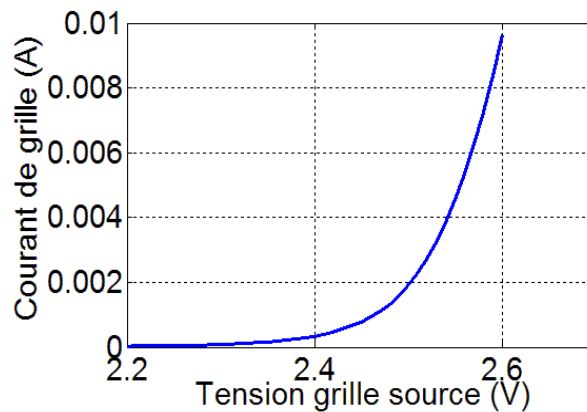


Figure IV. 9: Courant de grille à l'état passant en fonction de la tension V_{GS} du JFET SiC SemiSouth.

Nous avons limité le courant à 10mA lors de ces caractérisations. Cette faible valeur permet d'éviter tout risque de défaillance lors des caractérisations, en revanche, elle ne permet certainement pas d'avoir une image très précise de la résistance parasite.

II.5. Courant de fuite de drain

Il s'agit d'estimer le courant de drain quand le JFET est bloqué. Nous appliquons une tension de -15V aux bornes de la jonction grille source. Afin de pouvoir si besoin mesurer de très faibles intensités, nous avons choisi d'effectuer ces mesures à l'aide du SMU Keithley. La tension appliquée entre drain et source est alors malheureusement limitée à 200V, valeur très inférieure à la tension de claquage entre drain et source. Le courant de fuite de drain est mesuré une fois sa valeur stabilisée. L'évolution du courant de fuite de drain durant le vieillissement du JFET SiC (Figure IV. 10.b) pourrait être un indicateur de vieillissement de la couche de passivation.

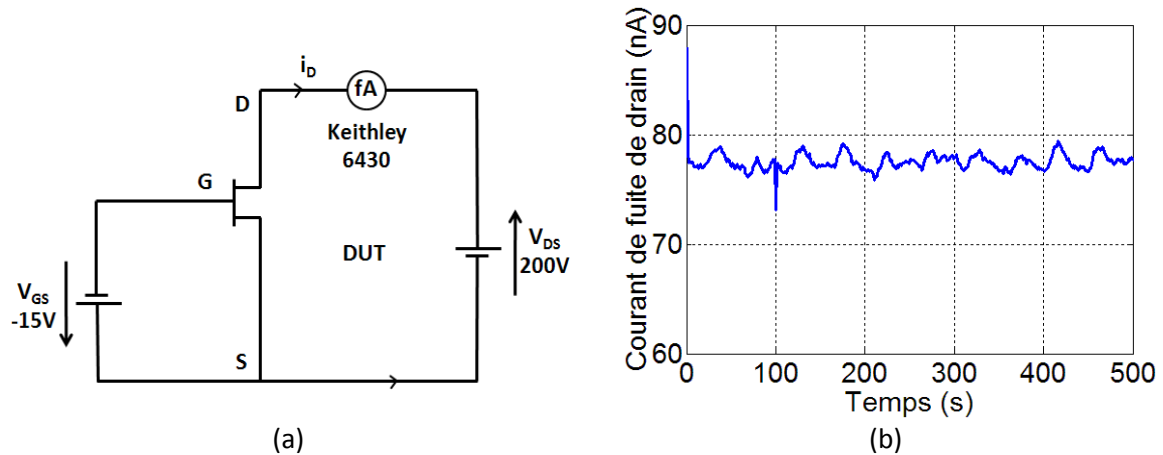


Figure IV. 10: (a) Schéma de principe de la mesure du courant de fuite de drain, (b) Courant de fuite de drain du JFET SiC SemiSouth en fonction du temps ($V_{DS} = 200$ V).

III. Vieillissement accéléré des puces SiC sous des régimes d'avalanche répétitifs

III.1. Protocol des tests répétitifs

Pour les tests répétitifs, l'énergie dissipée par le composant sous test doit être inférieure à l'énergie critique pour permettre au composant de subir plusieurs cycles d'avalanche avant la défaillance. La fréquence des cycles est de 0.3Hz soit un cycle toutes les 3 secondes. Ce temps est supérieur à la constante de temps thermique du composant (de l'ordre de 0,1s) ce qui lui permet de se refroidir totalement entre deux cycles et éviter ainsi tout échauffement moyen et donc tout risque d'emballement thermique.

Nous utilisons le même banc d'avalanche que celui décrit dans le chapitre II avec les mêmes conditions expérimentales : $L=0.96$ mH, $C=740$ μ F, $R_G=47$ Ω et $T_1=700$ μ s. Nous fixons U_{DC} de façon à avoir un courant maximal dans l'inductance inférieur à celui qui mène à la défaillance immédiate (caractérisé par l'annulation brusque de la tension drain source et l'augmentation rapide du courant de drain), et donc un niveau d'énergie un peu plus faible que l'énergie critique.

Afin, dans un premier temps, de limiter la durée des essais de vieillissement, nous chercherons toutefois à nous placer à un niveau d'énergie assez proche de l'énergie critique. Nous nous plaçons donc à un niveau de courant où nous commençons à voir apparaître la perte de tenue de tension sur

la forme d'onde de V_{DS} (Figure IV. 11) ce qui correspond à une énergie dissipée de 0.2J légèrement inférieure à l'énergie critique qui est de l'ordre de 0.26J. Nous gardons fixe la tension U_{DC} et nous lançons les cycles d'avalanche. Les tests sont arrêtés tous les 1000 cycles pour caractériser le composant sous test et suivre les évolutions des paramètres électriques caractérisés au préalable.

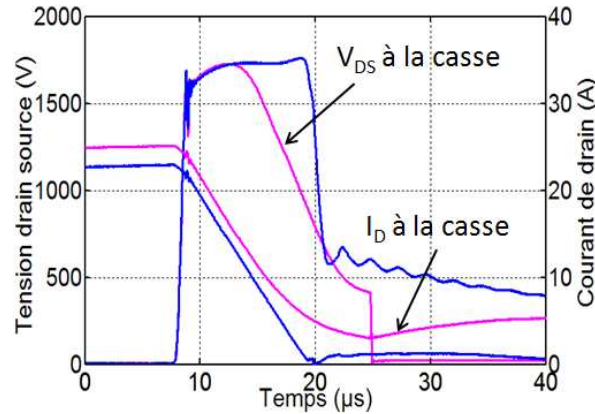


Figure IV. 11: Contexte des tests de vieillissement par avalanche : Courant I_D (bleu) inférieur au courant qui mène à la casse immédiate (rose).

Nous caractérisons en parallèle (tous les 1000 cycles) un autre composant neuf témoin sans le faire vieillir pour s'assurer que les évolutions que nous observons ne seront pas liées à des évolutions des conditions expérimentales de caractérisation ou à celle des appareils de mesure.

Toutes les caractérisations sont effectuées à une température ambiante de 25°C fixée par un générateur d'air. Le générateur d'air « alimente » une enceinte dont la température est régulée (à 25°C +/- 1°C).

III.2. Suivi du vieillissement par avalanche

Les résultats que nous présentons concernent un composant qui a tenu 9000 cycles jusqu'à la défaillance avec un courant maximal dans l'inductance de 22A correspondant à une énergie dissipée de 0.2 J. Tous les 1000 cycles nous avons enregistré les formes d'ondes en avalanche avant et juste après les phases de caractérisations électriques.

III.2.1. Evolution du courant de saturation

Sur la Figure IV. 12 sont représentées les évolutions du courant de saturation I_{DSAT} relevé au traceur de caractéristiques pour le composant témoin (à gauche) et pour le DUT (composant sous test) (à droite). Nous observons, pour le composant sous test, que le courant de saturation ne présente aucune évolution significative durant les premiers 2000 cycles d'avalanche comme cela est illustré sur la Figure IV. 12.b mais à partir de 3000 cycles décroît de façon régulière jusqu'à la défaillance. Le composant témoin a été caractérisé systématiquement à chaque nouvelle caractérisation du composant sous test afin de s'assurer de la reproductibilité des caractérisations.

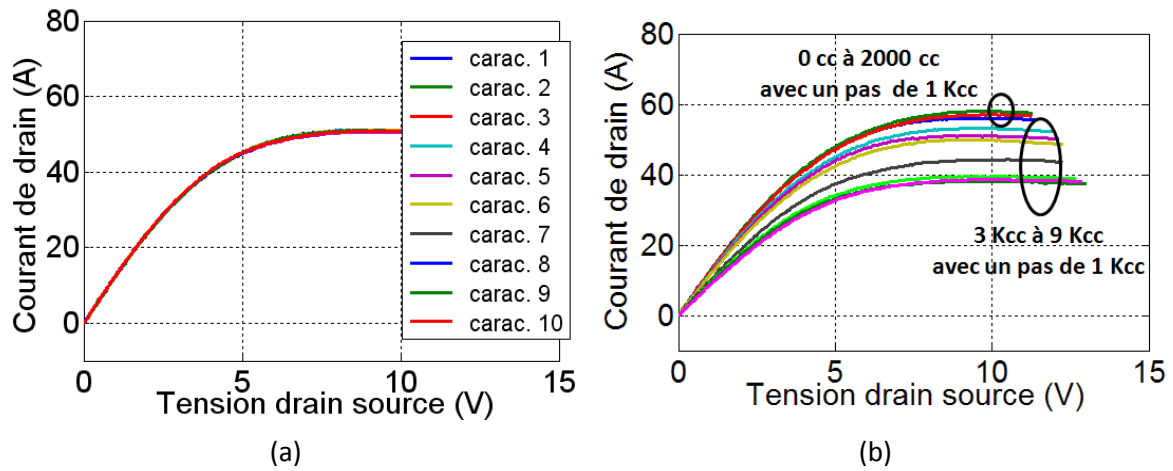


Figure IV. 12: Evolution de la caractéristique statique en direct au cours des cycles (cc) d'avalanche pour (a) le JFET témoin, (b) le composant sous test (DUT).

La Figure IV. 13 présente l'évolution du courant de saturation en fonction du nombre de cycles d'avalanche subi par le transistor testé. Le courant est normalisé par rapport à la valeur du courant de saturation initiale ($I_{0} = 57A$). Ce n'est qu'à partir de 3000 cycles d'avalanche que ce dernier diminue de façon significative. En effet, la figure montre une diminution de 40% de I_{DSAT} normalisé. A partir d'environ 8000 cycles, l'évolution semble se stabiliser.

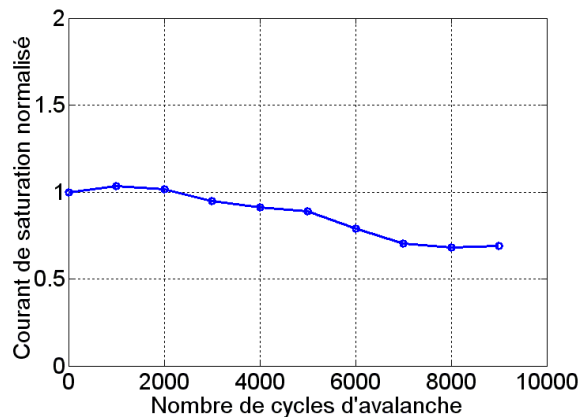


Figure IV. 13: Courant de saturation normalisé en fonction du nombre de cycles d'avalanche pour le DUT.

De façon similaire à ce qui a pu être observé avec l'évolution du courant de saturation, la résistance à l'état passant ne varie pas non plus pendant les 2000 premiers cycles de vieillissement. Elle augmente de façon significative à partir de 3000 cycles d'avalanche (Figure IV. 14.b). Là encore, le composant témoin a été régulièrement caractérisé afin de vérifier une nouvelle fois la reproductibilité des caractérisations effectuées.

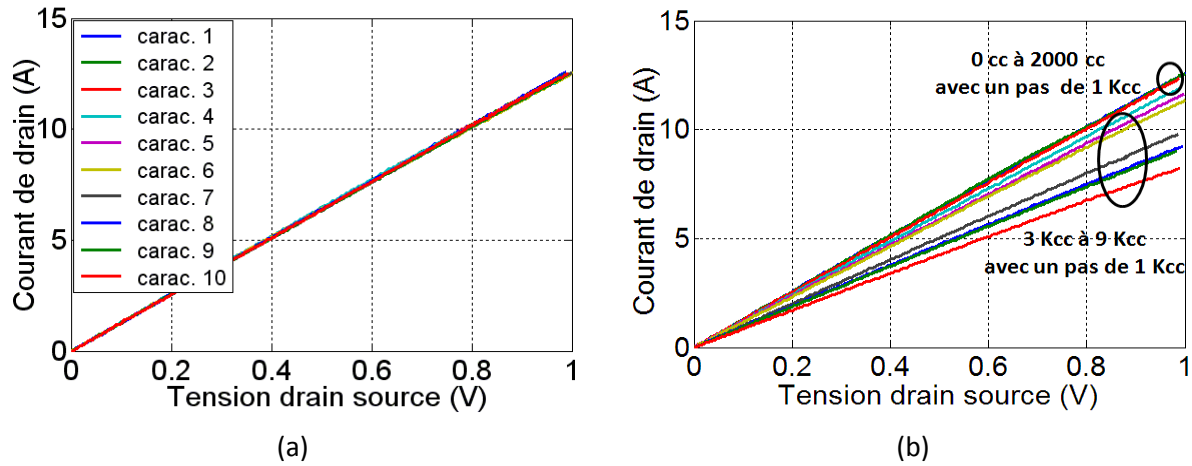


Figure IV. 14: Evolution de la résistance à l'état passant en fonction des cycles d'avalanche pour (a) le JFET témoin, (b) le DUT.

La Figure IV. 15 présente l'évolution de la résistance à l'état passant en fonction du nombre de cycles d'avalanche subit par le transistor testé. La résistance est normalisée par rapport à la résistance $R_{DS(on)}$ initiale (R_0 calculée depuis la caractérisation à l'état zéro qui est égale à 80 m Ω). Nous notons que juste avant la défaillance, après 9000 cycles, la résistance à l'état passant a augmenté d'environ 50% par rapport à sa valeur initiale.

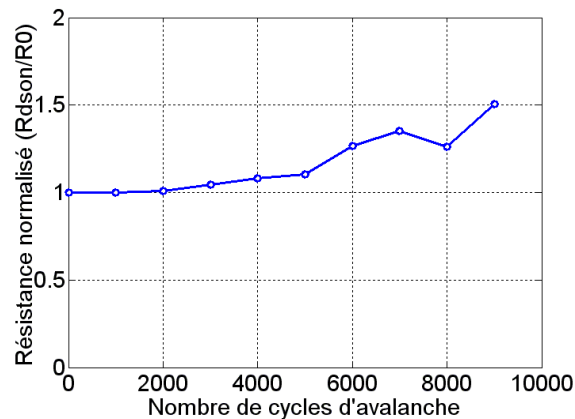


Figure IV. 15: Résistance à l'état passant normalisée en fonction du nombre de cycles d'avalanche.

Bien qu'il soit difficile d'expliquer la corrélation entre l'augmentation de la résistance à l'état passant et la diminution du courant de saturation, des résultats similaires ont été observés sur des composants en silicium soumis à des cycles répétitifs de court-circuit cette fois, et pour lesquels l'augmentation de la $R_{DS(on)}$ était également accompagnée d'une dégradation importante de la métallisation due à la reconstruction de l'Aluminium au cours du vieillissement [Ara08] [Mar09]. Des constatations identiques ont pu être effectuées sur des JFET SiC fabriqués par SiCED et soumis là encore à des essais de court-circuit répétitifs. Là encore, la dégradation de la métallisation de source était envisagée comme possible explication à ces évolutions simultanées du courant de saturation et de la résistance à l'état passant [Ber10].

III.2.2. Evolution de la tension de pincement

La caractéristique $I_D = f(V_{GS})$ a été également régulièrement tracée là encore pour les composants sous test et témoin. Ces réseaux de caractéristiques nous permettent d'estimer par exemple la tension de seuil. La reproductibilité des caractérisations effectuées sur le composant sous test permet de valider les caractérisations effectuées sur le composant ayant été vieilli. En ce qui concerne le composant sous test, nous observons sur la Figure IV. 16.b une évolution très aléatoire de la caractéristique $I_D = f(V_{GS})$ et donc également de la tension de pincement V_{TO} au cours des cycles d'avalanche. On constate une variation erratique de la tension de seuil entre -6V et -5V lors de la répétition des cycles.

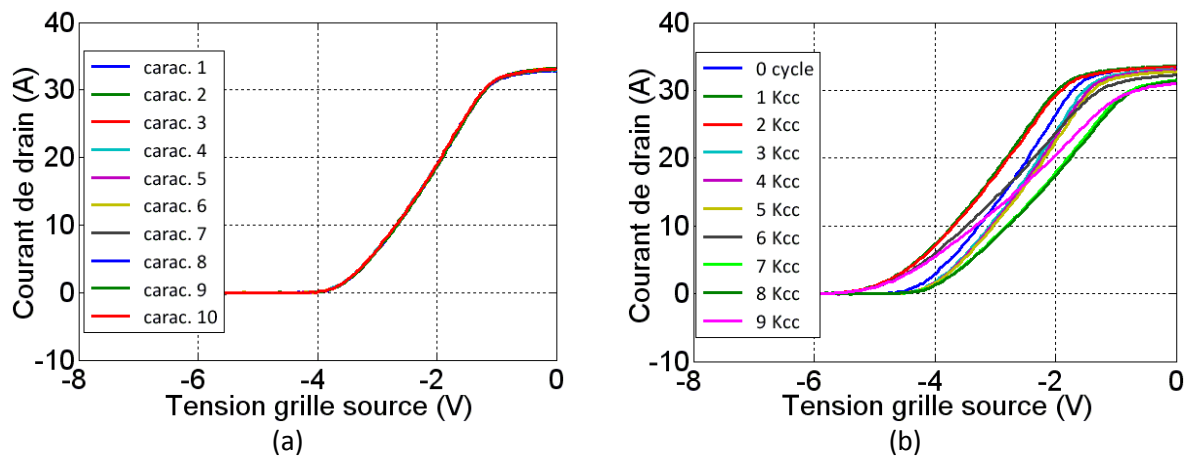


Figure IV. 16: Evolution de la caractéristique de transfert en fonction des cycles d'avalanche pour a) le JFET témoin, b) le DUT.

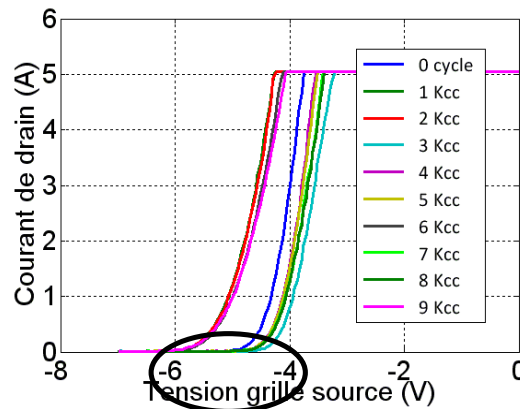


Figure IV. 17: Evolution $I_D = f(V_{GS})$ en fonction des cycles d'avalanche pour le DUT pour des niveaux de courant plus faibles (5A max).

Nous n'avons pu expliquer cette évolution particulière de la caractéristique de transfert. Afin malgré tout de donner quelques éléments de réponse ou du moins d'investigation, nous avons suspecté un piégeage de charge dans l'oxyde de passivation de grille. Pour chercher à vérifier cette hypothèse, nous avons observé l'effet d'une polarisation inverse de longue durée de la jonction grille source d'un composant vieilli en appliquant une tension de -15V et en relevant régulièrement, toutes les 30 minutes la caractéristique de transfert. En traçant l'évolution de la tension de pincement en fonction

du temps (Figure IV. 18), nous nous apercevons qu'après 30 minutes de polarisation, la tension V_{T0} diminue de façon significative par rapport à l'état initial puis plus légèrement par la suite.

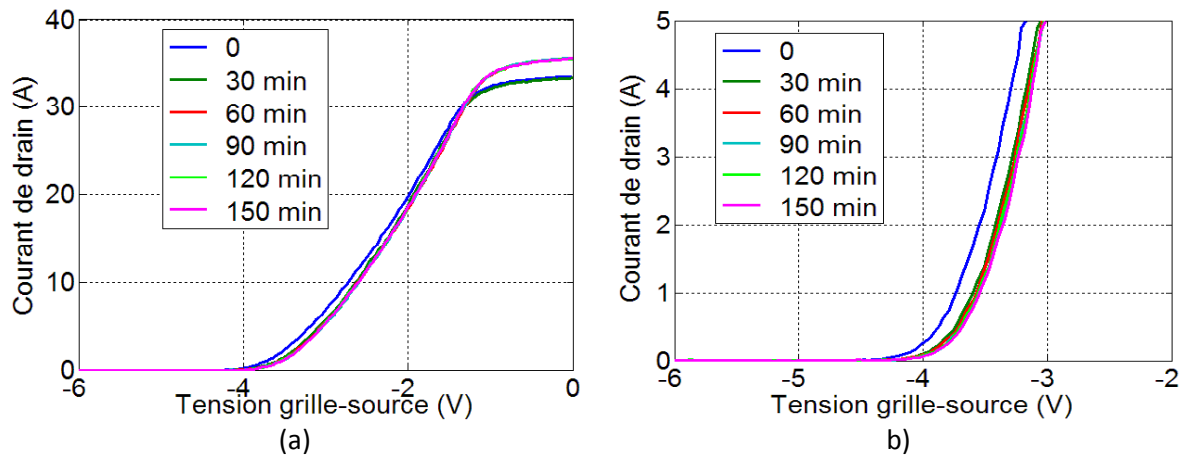


Figure IV. 18: Evolution de la caractéristique de transfert d'un composant vieilli en fonction du temps de polarisation en inverse de la jonction grille source d'un JFET SiC SemiSouth pour a) des forts niveaux de courant, b) des faibles niveaux de courant.

Ce résultat, sans fournir d'explication satisfaisante de la variation erratique de la caractéristique de transfert en cours de vieillissement montre toutefois un effet important de la polarisation en inverse de la jonction grille source sur cette caractéristique pour un composant préalablement vieilli. Sans pouvoir le justifier pour l'instant, nous pourrions incriminer un piégeage de charges (dans l'oxyde de passivation de la jonction grille source) qui seraient progressivement évacuées sous polarisation inverse de la jonction entre grille et source.

III.2.3. Evolution du courant de fuite de grille

Les variations du courant de fuite de grille sont représentées sur les Figure IV. 19 (a et b). Le composant témoin est à nouveau utilisé pour vérifier la reproductibilité des caractérisations effectuées sur le composant sous test. Nous ne constatons heureusement pas d'évolution significative de ses caractéristiques, même si lors de la répétition de ces caractérisations une légère diminution du courant de fuite de grille peut être constatée. Le composant ayant été cyclé présente quant à lui une évolution très importante des caractéristiques en inverse de la jonction entre grille et source. Le courant de fuite de grille diminue de façon très significative après les 1000 premiers cycles, puis de façon beaucoup moins prononcée par la suite (de façon similaire à ce qui a pu être observé sur le composant témoin). Après 8000 cycles, le courant de fuite de grille est à sa valeur minimale. On constate toutefois après 9000 cycles (dernier cycle avant la casse) une très forte augmentation du courant de fuite (40mA à 8000 cycles et 100mA à 9000 cycles pour $V_{GS} = -15V$). Cette brutale augmentation du courant de fuite de grille après 9000 cycles de vieillissement peut être le signe d'une dégradation de la passivation entre grille et source et être éventuellement un indicateur de vieillissement du JFET. Il nous faudrait toutefois pouvoir justifier l'origine physique de cette brutale augmentation du courant de fuite, et la relier à la défaillance observée après 9000 cycles.

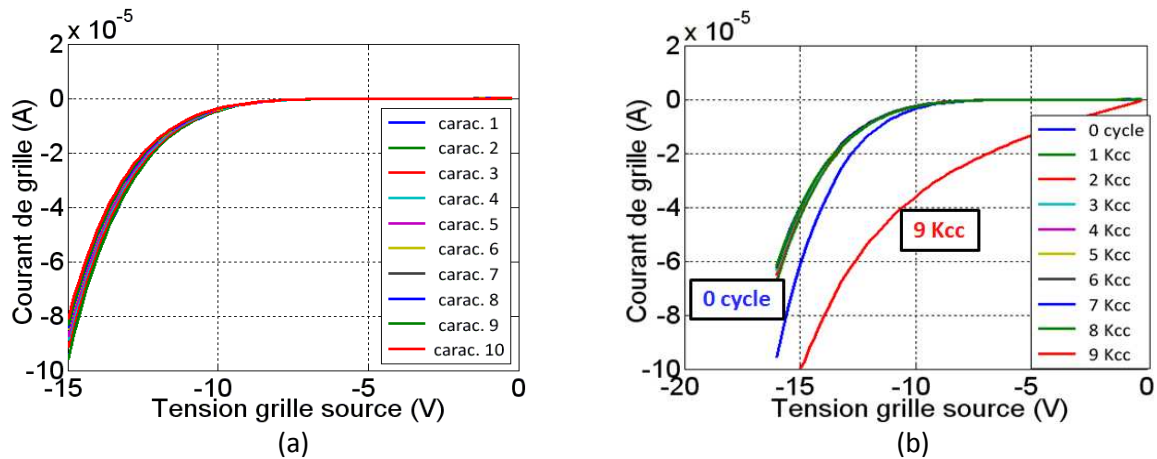


Figure IV. 19: Evolution du courant de grille en fonction des cycles d'avalanche pour (a) le JFET témoin, (b) le DUT.

III.2.4. Evolution du courant de fuite de drain

En ce qui concerne le courant de fuite de drain, nous n'avons observé aucune évolution au cours du vieillissement en avalanche (cf. Figure IV. 20) jusqu'à 8000 cycles. Une légère augmentation de l'ordre de 10% pouvant être toutefois observée à 9000 cycles, observation qu'il nous faudrait toutefois justifier.

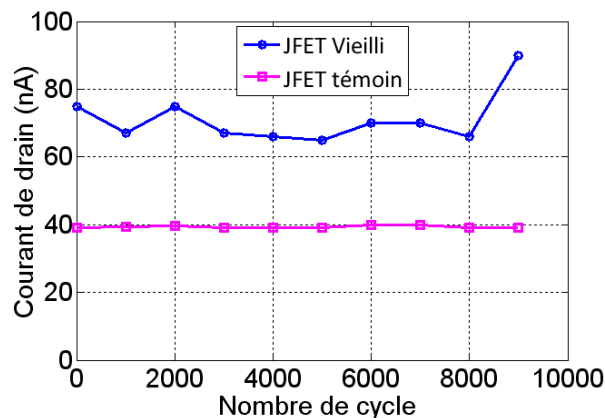


Figure IV. 20: Evolution du courant de fuite de drain en fonction des cycles d'avalanche pour le JFET témoin et le DUT.

III.2.5. Evolution des formes d'ondes en cours de vieillissement

La défaillance apparaît après 9002 cycles de vieillissement, dans un mode de défaillance proche de ceux observé lors des essais de robustesse (Figure IV. 21).

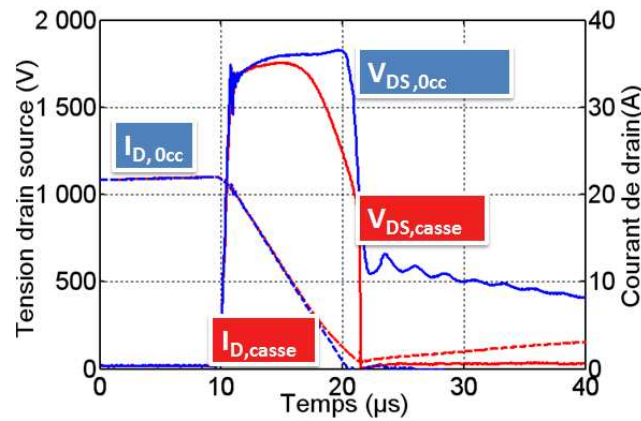


Figure IV. 21: Formes d'ondes du courant et de la tension à 0 cycle et à la défaillance (après vieillissement).

La Figure IV. 22 ci-dessous montre les formes d'onde de la tension grille source au cours des cycles avec à chaque fois le relevé précédent l'arrêt du banc pour la caractérisation et le relevé suivant la remise en route des essais de vieillissement après caractérisation. Nous notons que les allures de la tension V_{GS} obtenues avant et après caractérisation se superposent quasi parfaitement. A partir d'environ 6000 cycles, on constate une évolution des formes d'ondes relevées après les différentes caractérisations effectuées et présentées précédemment. Ces formes d'ondes évoluent toutefois en cours de cyclage pour retrouver leur niveau initial. Après caractérisation à 9000 cycles, deux cycles supplémentaires sont effectués, le premier sans évolution notable des formes d'onde par rapport à ce qui a pu être préalablement observé. Lors du 9002^{ème} cycle, la défaillance apparaît avec, pendant la phase d'avalanche une élévation de la tension entre grille et source.

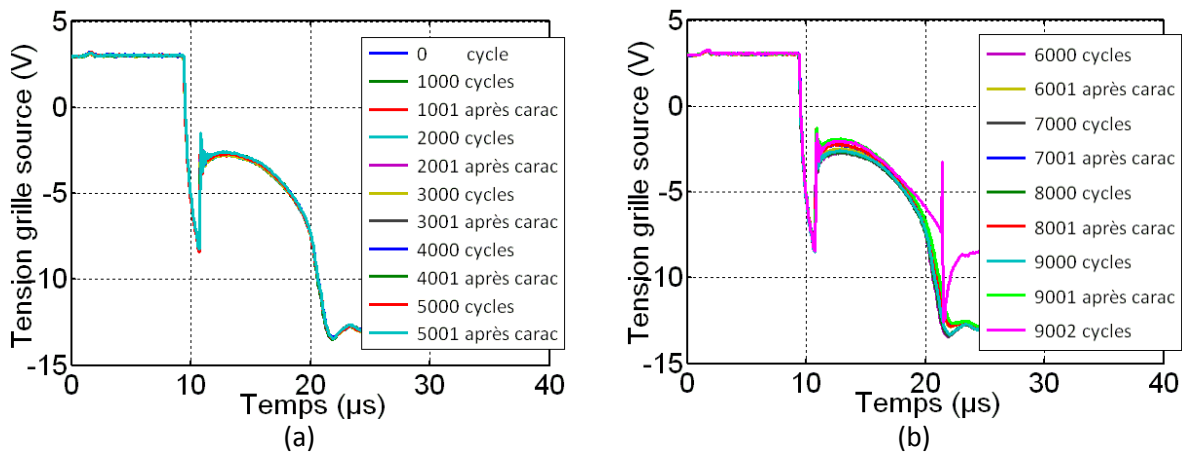


Figure IV. 22: Evolution des formes d'ondes de V_{GS} en fonction des cycles d'avalanche avant et après chaque caractérisation du DUT (a) avant 6000 cycles, (b) après 6000 cycles.

Des observations similaires peuvent être effectuées sur la tension entre drain et source pendant la phase d'avalanche. En effet, les formes d'ondes n'évoluent pas pendant les premiers 6000 cycles, alors qu'à partir de 6000 cycles, on observe une diminution notable de la tension entre drain et source sur les relevés effectués juste après les phases de caractérisation (Figure IV. 23). Lors du tout dernier cycle (9002), la tension pendant la phase d'avalanche est considérablement plus faible.

Il semble donc y avoir une corrélation entre les observations effectuées sur la tension entre grille et source et celles effectuées entre drain et source. La répétition du nombre de cycles semble ainsi s'accompagner d'une augmentation de la tension entre grille et source pendant la phase d'avalanche qui est à corrélérer avec la diminution de la tension, voire d'une remise en conduction partielle.

La similitude entre ces formes d'ondes et celles observées pendant les essais de robustesse nous pousse ici encore à faire l'hypothèse d'une augmentation progressive du courant de fuite ou d'avalanche entre drain et grille en phase d'avalanche qui pourrait expliquer l'augmentation de la tension entre grille et source et ainsi la remise en conduction partielle du transistor (mais ce peut être également lié, comme constaté en régime de court-circuit à une augmentation du courant de fuite entre source et grille, ce que nous ne pouvons justifier pour l'instant).

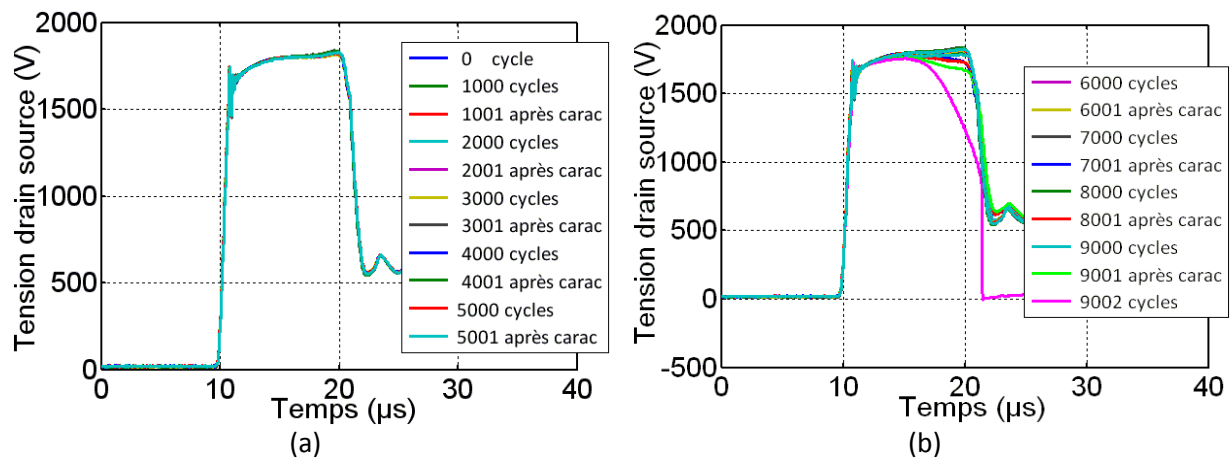


Figure IV. 23 : Evolution des formes d'ondes de V_{DS} en fonction des cycles d'avalanche avant et après chaque caractérisation du DUT (a) avant 6000 cycles, (b) après 6000 cycles.

En effet, des formes d'ondes tout à fait similaires ont été observées lors de la recherche de l'énergie critique en augmentant le courant maximum dans l'inductance (paragraphe II.3.3 du chapitre II) ou lorsqu'en gardant fixe le courant inductif nous augmentons la température (paragraphe II.3.5 du chapitre II).

Les formes d'ondes à la défaillance sont représentées sur la Figure IV. 24 ci-dessous. Ces courbes révèlent que le mécanisme de défaillance est semblable à celui observé lors des essais destructifs (chapitre II § II. 3), avec une perte de tenue en tension du transistor.

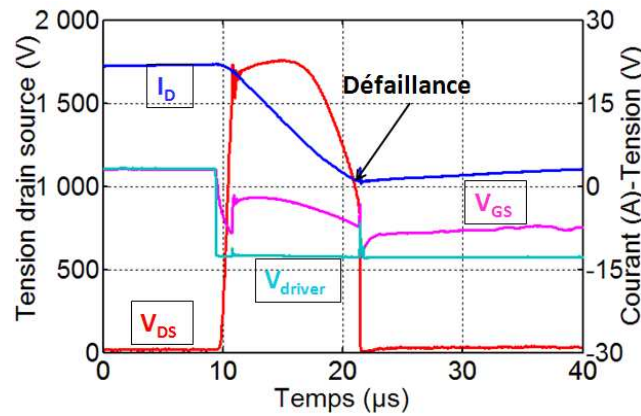


Figure IV. 24: Formes d'ondes à la défaillance du DUT lors du vieillissement par avalanche au 9002^{ème} cycle.

Plusieurs JFETs ont été testés dans les mêmes conditions de cyclage par avalanche (à peu près pour la même énergie dissipée de l'ordre de 0.2J qui est toujours inférieure à l'énergie critique de l'ordre de 0.24J) et la défaillance se reproduit à chaque fois de la même façon, avec les mêmes évolutions des paramètres électriques en cours de vieillissement et des évolutions des formes d'ondes au cours de vieillissement totalement semblables.

Par contre, le nombre de cycle avant défaillance (la casse) peut varier considérablement d'un composant à l'autre. Le tableau ci-dessous résume les résultats des différents tests de vieillissement effectués.

JFET	Nombre de cycle avant défaillance	Energie dissipée (J)
J_89	12000	0.21
J_29	4000	0.2
J_69	9000	0.2
J_68	2000 (apparition d'un fort courant de fuite de grille)	0.2

Tableau IV. 1: Récapitulatif des tests de vieillissement par avalanche.

III.3. Analyse des défaillances

Les JFETs en boîtiers TO47 vieillis par avalanche ont été désencapsulés suivant un protocole d'ablation laser puis d'attaque chimique à l'acide sulfurique dans le laboratoire GPM de l'université de Rouen. La surface des puces de JFETs est observée au microscope électronique à balayage (MEB) afin de trouver quelques indicateurs pouvant expliquer la défaillance. Sur Figure IV. 25 est représentée la puce où nous distinguons les pads de source et de grille avec pour chacun un fil de bonding. Le fil de petit diamètre correspond au contact de grille et le fil de plus grand diamètre est celui de la source. La structure élémentaire est en bande, visible sur la figure III.26.b. On observe également clairement sur cette figure la passivation entre source et métallisation de grille.

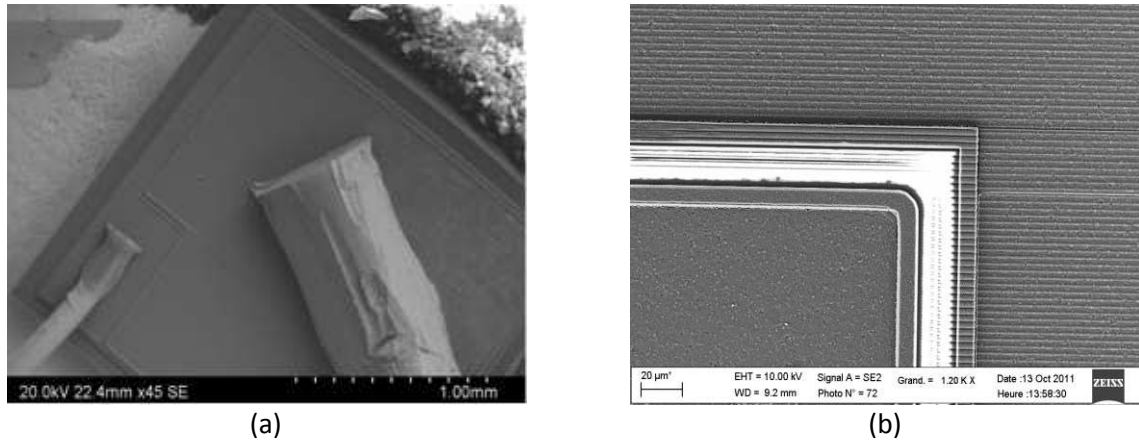


Figure IV. 25: (a) Image MEB de la puce du VJFET, (b) zoom sur la source (structure en tranchée) et la grille.

Nous avons comparé l'état de surface d'un composant neuf avec les composants qui ont subi plusieurs cycles d'avalanche :

- un composant a subi 2000 cycles d'avalanche sans défaillance
- un composant a subi 9000 cycles jusqu'à la casse
- un composant a subi 12000 cycles jusqu'à la défaillance également.

A l'état initial (composant neuf), les cellules élémentaires en forme de bandes que nous distinguons sur la métallisation de la source du JFET sont parfaitement différenciables les unes des autres comme nous pouvons le voir clairement sur la Figure IV. 26.a. La métallisation de la grille est assez homogène et ne présente aucune aspérité (Figure IV. 26.b).

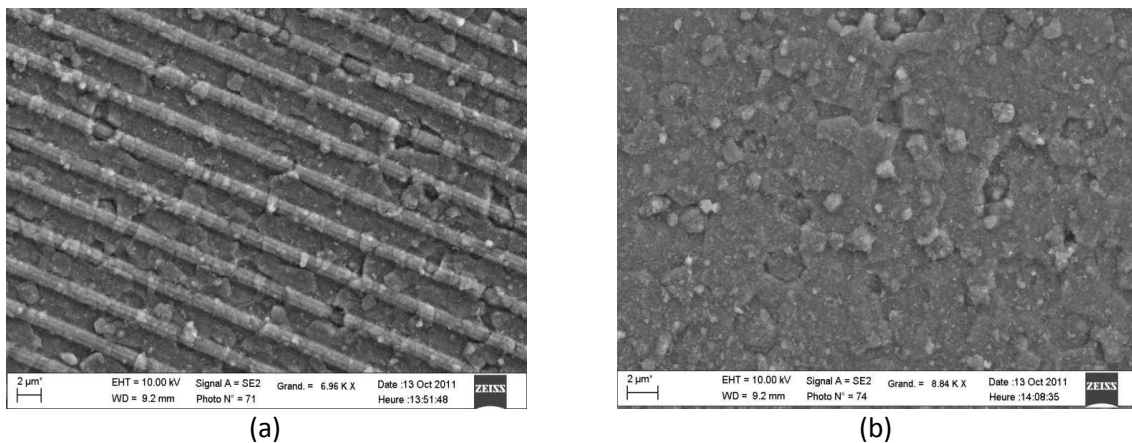


Figure IV. 26: Image MEB d'un VJFET neuf (a) métallisation de la source et (b) métallisation de la grille.

Après 2000 cycles d'avalanche (état intermédiaire), il apparaît quelques fissures dans le coin inférieur de la puce sur la métallisation de la source et autour du fil de bonding. Ces fissures se propagent parallèlement aux bandes (Figure IV. 27 (a et b)). Dans la métallisation de grille, on remarque la présence de micro trous qui peuvent être la conséquence du vieillissement ou de défauts déjà présents dans le matériau. Il y a également apparition de fissures dans la métallisation de grille qui

semblent s'initier dans les trous puis se propager vers l'extérieur (Figure IV. 27 (c et d)). Pour le VJFET qui a subi 12000 cycles d'avalanche, nous voyons, sur la Figure IV. 28, les fissures et les craquelures se propager d'avantage avec apparition là encore de trous dans la métallisation de source (surtout sur la périphérie de la puce et tout autour du fil de bonding de source) et reconstruction de la métallisation de source (il devient alors très difficile de reconnaître la topographie des cellules élémentaires en bandes).

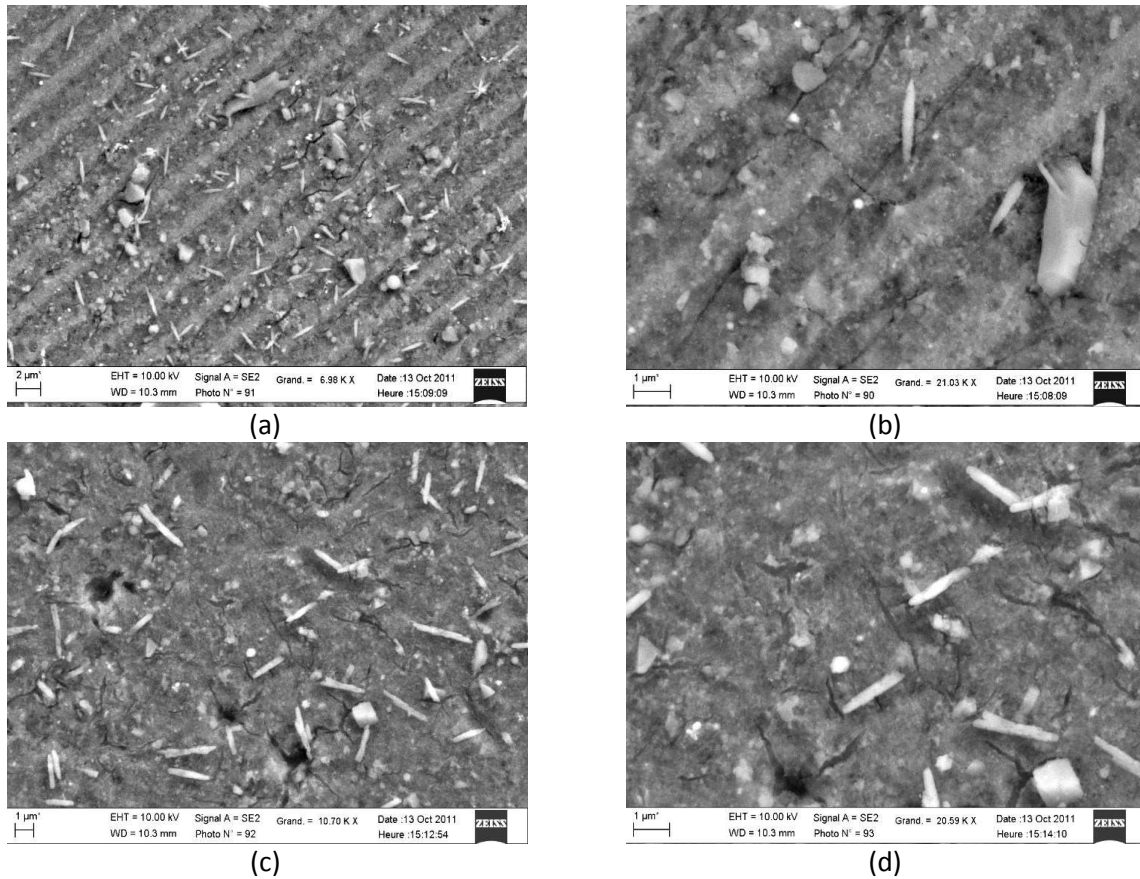


Figure IV. 27: Vieillessement après 2000 cycles d'avalanche de la couche de métallisation de source (a et b) et de grille (b et d).

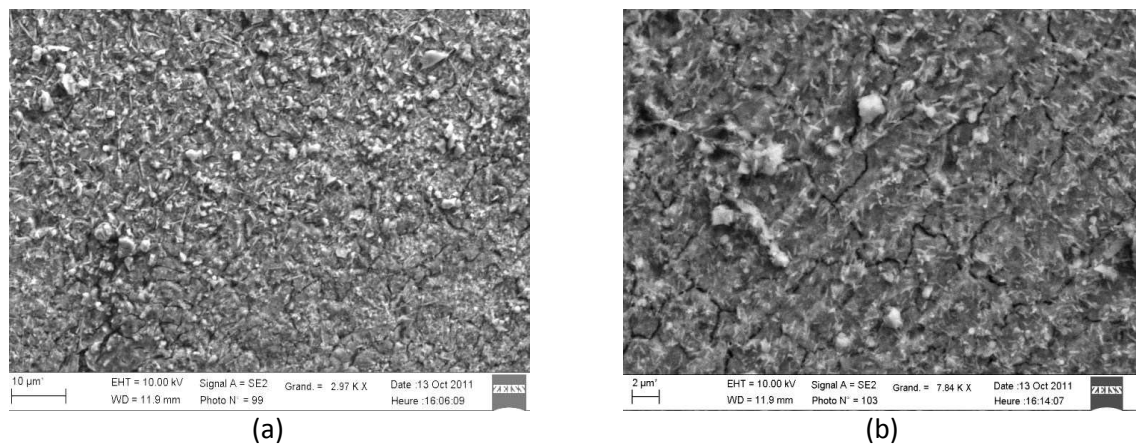


Figure IV. 28 : Vieillessement après 12000 cycles d'avalanche de la couche de métallisation de source (a) autour du fil de bonding, (b) loin de la périphérie et du fil de bonding.

Enfin pour le VJFET vieilli après 9000 cycles d'avalanche, le métal de source est devenu complètement rugueux et il est impossible d'identifier les cellules élémentaires. On constate ainsi une reconstruction très avancée de la couche de métallisation. Pour la métallisation de grille, les fissures se sont multipliées autour du fil de bonding avec la présence d'aspérités donnant un aspect rugueux à la couche d'aluminium (Figure IV. 29).

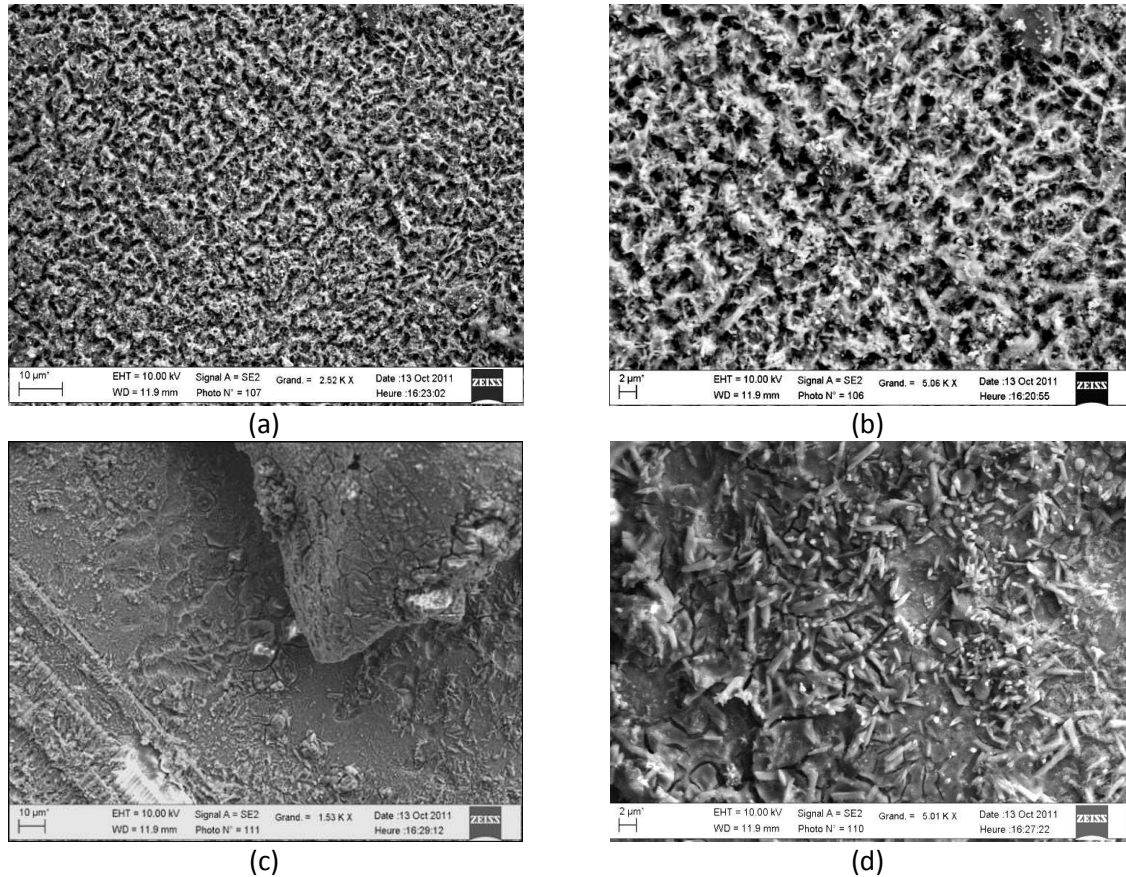


Figure IV. 29: Vieillissement après 9000 cycles d'avalanche de la couche de métallisation de source (a et b) et de grille (c et d).

Ce changement d'aspect de la métallisation est dû aux contraintes mécaniques cycliques engendrées pendant les tests d'avalanche. En effet, lors du cyclage, la couche d'aluminium est soumise à de fortes contraintes thermiques et thermomécaniques liées aux très fortes variations de température (de l'ordre de 800°C d'après des modèles). La différence des coefficients de dilatation thermique entre l'aluminium et le carbure de silicium va ainsi entraîner des contraintes dans la couche de métallisation qui après plastification va se dégrader. Le vieillissement entraîne ainsi la reconstruction de l'aluminium. Cette reconstruction de la métallisation de source peut expliquer l'augmentation de la résistance à l'état passant (50%). Des résultats similaires ont été observés sur des composants en silicium où l'augmentation de la $R_{DS(on)}$ était également accompagnée d'une dégradation importante de la métallisation due à la reconstitution d'Aluminium [Ara08] ou de l'apparition des craquelures entre les grains de la métallisation au cours du vieillissement [Mar09].

IV. Conclusion

Dans ce dernier chapitre, nous avons cherché à mettre en évidence les mécanismes physiques à l'origine des dégradations expliquant à terme la destruction. Nous avons répété le régime extrême d'avalanche, de plus faible énergie que l'énergie critique jusqu'à l'apparition de la défaillance après vieillissement cette fois en relevant les caractéristiques électriques du composant susceptibles de varier durant le vieillissement. La surface des puces de JFETs est observée au microscope électronique à balayage (MEB) après désencapsulation des transistors vieillis par avalanche afin de trouver quelques indicateurs pouvant expliquer la défaillance.

Nous avons constaté que la résistance à l'état passant $R_{DS(on)}$ et le courant de saturation sont restés à peu près constants pendant les 2000 premiers cycles d'avalanche ce qui est en accord avec les observations MEB du JFET, qui a subi 2000 cycles sans défaillance, et pour lequel nous voyons apparaître les toutes premières fissures dans la métallisation de source. La résistance à l'état passant, $R_{DS(on)}$, a ensuite augmenté de 50% et le courant de saturation I_{Dsat} a diminué d'environ 40% juste avant la défaillance ce qui peut être expliqué par la dégradation de la couche d'aluminium de la source.

Nous avons également constaté une augmentation significative du courant de fuite, (40%) juste avant la défaillance. Ces paramètres électriques (résistance à l'état passant, courant de fuite de grille) pourraient donc être des indicateurs de défaillance, mais des études complémentaires devraient toutefois être menées afin de valider leur pertinence au regard des défaillances constatées.

Conclusion & Perspectives

Les travaux présentés dans cette thèse portent principalement sur l'étude de la robustesse des composants SiC de puissance soumis à des régimes extrêmes de fonctionnement dans le cadre du projet SiCHT². Ils portent aussi sur l'étude de la robustesse des boîtiers Kyocera du projet SEFORA et sur des essais de diagnostic thermique pour la détection de défauts de délaminage dans un assemblage de puissance.

Au début de cette thèse, nous avons étudié la robustesse du module de puissance AMB haute température réalisé en sous-traitance par la société SEMELAB à partir de substrats isolants Si_3N_4 fournis par Kyocera. Nous avons caractérisé les dégradations de ces substrats par des analyses acoustiques effectués au LTN de l'IFSTTAR et au laboratoire PEARL après vieillissement par cyclage thermique au SATIE. En termes de résultats après ces tests expérimentaux de fatigue thermomécanique sur un tel assemblage, aucune dégradation à ces interfaces n'a été relevée après plus de 1000 cycles thermiques entre -50°C et 200°C . Ces résultats tendent à montrer la très bonne robustesse des assemblages évalués pendant cette thèse.

En outre, afin de chercher à expliquer le très bon comportement expérimental de l'assemblage sous cyclage en température de forte amplitude, nous avons cherché à modéliser les contraintes mécaniques au sein de l'assemblage. Un modèle éléments finis thermomécanique 3D a ainsi été développé à l'aide du logiciel ANSYS 11. Les résultats de calculs ont confirmé les résultats obtenus de manière expérimentale (faibles contraintes), et montré que cette technologie d'assemblage est prometteuse en terme de robustesse aux cycles thermiques, même d'amplitude très élevée (entre -50°C et 200°C). S'il n'est pas possible aujourd'hui d'estimer la durée de vie d'un tel assemblage sous ces contraintes thermiques, les résultats obtenus, en cyclage, et en simulation montrent clairement son intérêt dans ces conditions extrêmes d'utilisation.

Toujours dans le cadre du projet SEFORA, nous avons fait des essais sur des JFETs SiC fabriqués par SiCED pour estimer, à l'aide de mesures indirectes, la température de jonction du JFET en cours de fonctionnement. Nous avons ainsi cherché des paramètres électriques sensibles à la température et susceptibles d'être utilisés comme indicateurs indirects de la température de puce. En caractérisant l'évolution de ces paramètres avec la température nous avons pu les utiliser pour une estimation de température « moyenne » de la puce. Deux paramètres différents, la résistance à l'état passant R_{dson} et la tension grille source V_{GS} sous faible polarisation de grille, ont été utilisés comme indicateurs indirects de température.

Nous avons exploité les résultats des mesures de la température de jonction pour estimer ensuite l'impédance thermique de l'assemblage du composant JFET. Nous avons toutefois validé le modèle thermique 3D de la puce SiCED simulé sur ANSYS pour des durées supérieures à $100\mu\text{s}$ après comparaison entre impédance thermique expérimentale et simulée. Pour valider l'intérêt de l'impédance thermique dans le cadre d'un suivi de dégradation des modules de puissance, nous avons utilisé plusieurs interfaces thermiques avec différentes propriétés thermiques (graisse

thermique, film de carbone, film Silpad) et nous avons comparé l'impédance thermique mesurée avec chaque interface. Les résultats ont montré l'intérêt de la mesure de l'impédance thermique pour localiser les dégradations dans l'épaisseur d'un module de puissance, ce que ne permet pas la seule mesure de résistance thermique.

Dans le cadre du projet SiCHT², nous avons étudié la robustesse de différents lots des VJFETs SiC de SemiSouth en régime d'avalanche et de court circuit afin de déterminer les énergies que peuvent supporter ces composants dans ces modes de fonctionnement particuliers en cherchant notamment à quantifier la température et à mettre en évidence les mécanismes physiques à l'origine de la défaillance.

Dans un premier temps, nous avons constaté un comportement particulier des VJFETs SiC pendant la phase d'avalanche qui semble dû à la contre-réaction entre drain et grille durant l'avalanche, qui fait se comporter la jonction drain grille comme un écrêteur actif avec remise en conduction partielle du transistor de puissance. Cette propriété intéressante permet de limiter fortement le courant d'avalanche à travers la jonction entre drain et grille, ce qui confère certainement au transistor son excellent comportement dans ce mode de fonctionnement

En étudiant l'effet de la température sur le comportement en avalanche du VJFET Normally On en régime d'avalanche, nous avons montré que partant d'un régime de tenue à l'avalanche, une augmentation de la température ambiante nous entraînait dans des modes de fonctionnement semblables à ceux observés après élévation de l'énergie dissipée par augmentation du courant. Cela semble confirmer l'origine thermique de la défaillance, mais aussi que les formes d'ondes particulières observées à la défaillance doivent pouvoir être également reliées à l'élévation de la température.

Nous nous sommes ensuite intéressés au comportement de ces transistors en régime de court-circuit. Démonstration a été faite, qu'en augmentant la durée de court circuit, on observe une variation des formes d'ondes de la tension V_{GS} lors du blocage des JFETs. Cette variation traduit l'apparition d'un courant important à travers la résistance de grille au blocage dans ces conditions d'essais. De façon corrélée aux évolutions de la tension V_{GS} , nous observons une variation des formes d'ondes du courant de drain avec la durée de court circuit suite à l'apparition d'un courant de fuite de drain lors de la commutation à l'ouverture du JFET. Ces observations nous ont laissé supposer de nouveau le passage des JFETs en régime linéaire de fonctionnement et la remise en conduction de la jonction drain source après l'ouverture du courant de court-circuit d'une façon similaire à ce que nous avons observé pendant la phase d'avalanche.

Cette étude du comportement des VJFETs SiC de SemiSouth en régimes extrêmes de fonctionnement montre une très bonne robustesse de ces composants que ce soit en régime d'avalanche ou de court circuit, notamment lorsque l'on compare ces résultats à ceux obtenus sur d'autres composants de puissance (Si ou SiC).

Nous avons ensuite développé un modèle éléments finis afin d'estimer la température de jonction du JFET SiC lors des régimes extrêmes afin de chercher à relier l'apparition de la défaillance à la température. Les résultats de simulation montrent que dans les deux régimes de fonctionnement, court circuit et avalanche, la température de jonction estimée lors de la défaillance est du même ordre de grandeur (entre 900°C et 1000°C selon le régime extrême considéré). La température

estimée amenant à la défaillance étant particulièrement élevée, nous avons supposé que l'apparition de la défaillance est liée à cette élévation de température.

A l'aide de calculs analytiques et des mesures du courant de fuite entre drain et grille en fonction de la température, nous avons tenté de corrélérer ces mesures aux formes d'ondes courants/tensions observées lors de la recherche des énergies critiques en régimes de court circuit et d'avalanche. Nous avons constaté que pendant les régimes extrêmes de fonctionnement, la puce atteint des températures très élevées. Cela génère un courant (de génération thermique ou de diffusion) à travers la jonction drain grille qui tend à augmenter la jonction grille source et remettre le composant en régime de conduction lorsque V_{GS} devient supérieure à la tension de pincement. De ce fait, le transistor s'« auto-protège » en rentrant en régime linéaire de fonctionnement à tension et température élevées.

Finalement, nous avons cherché à mettre en évidence les mécanismes physiques à l'origine des dégradations expliquant à terme la destruction par vieillissement des transistors en régimes d'avalanche répétitif.

Cette étude a permis de faire une comparaison entre l'évolution des paramètres électriques suivis au cours du vieillissement et les images MEB observées après ouverture des boîtiers des transistors vieillis. Nous avons constaté que la résistance à l'état passant $R_{DS(on)}$ et le courant de saturation sont restés à peu près constants pendant les 2000 premiers cycles d'avalanche ce qui est en accord avec les observations MEB du JFET, qui a subi 2000 cycles sans défaillance, et pour lequel nous voyons apparaître les toutes premières fissures dans la métallisation de source. La résistance à l'état passant, $R_{DS(on)}$, a ensuite augmenté de l'ordre de 50% ce qui peut être en partie expliqué par la reconstruction de la couche d'aluminium de la source. Nous avons également constaté une augmentation significative du courant de fuite entre grille et source, (40%) juste avant la défaillance. Ces paramètres électriques (résistance à l'état passant, courant de fuite de grille) pourraient donc être des indicateurs de défaillance, mais des études complémentaires devraient toutefois être menées afin de valider leur pertinence au regard des défaillances constatées.

Ces travaux sur les VJFETs en technologie SiC en régime extrême de fonctionnement ne sont pas achevés, une étude du vieillissement en régime de court circuit répétitifs est nécessaire pour pouvoir comparer le comportement des transistors dans ce mode de fonctionnement à celui observé en régime d'avalanche et surtout pour voir si les paramètres électriques évoluent de la même façon et si le mécanisme qui mène à la défaillance est le même et ainsi valider les résultats observés au cours du vieillissement par avalanche.

Afin de valider les estimations de températures, il est envisageable d'exploiter les résultats de l'étude de l'impédance thermique menée sur des JFETs SiC de SiCED et faire la même démarche sur des VJFETs SiC de SemiSouth. Ceci permettrait de trouver des indicateurs indirects de températures pour le calcul de l'impédance ou la résistance thermique et valider ainsi le modèle thermique, et de détecter des défauts de délaminage dans un assemblage de puissance avec ces puces.

Annexe A : Propriétés physiques de la brasure Cusil

Wesgo Metals: material properties

Silver/copper brazing alloy

Cusil™

(MAC-Cusil™-WM)

© 2002 Morgan Technical Ceramics, a division of The Morgan Crucible Company plc

Description

High-purity silver/copper alloy for vacuum brazing. Nominal composition by weight: 72% Ag and 28% Cu (both within $\pm 1\%$).

Prime features

- Eutectic alloy.
- Widely used across industry.

Typical applications

High-integrity brazed joint duties in:

- Aero-engines (OEM and repair).
- Aerospace fuel-line assemblies.
- Vacuum tubes.
- Wave guide and Klystron assemblies.
- Power supply surge arrestors.
- Automotive components.

Specifications

- BAg-8
- Quality Assurance to ISO 9002.

Supplied as

- Foil
- Flexibraz
- Wire
- Powder
- Extrudable paste
- Preforms.

Physical properties*

Liquidus temperature, C [°F]	780 [1436]
Solidus temperature, C [°F]	780 [1436]
Density, Mg/m ³ [lb/in ³]	10.0 [0.361]

Thermal conductivity (calculated),

W/m.K [BTU/ft.h.°F] 371 [214]

Thermal expansion coefficient,

@ RT-500C [RT-932°F], 10⁻⁶/C [10⁻⁶/°F] 19.6 [10.9]

Electrical resistivity, 10⁻⁸ohm.m 20.4

Electrical conductivity, 10⁶/ohm.m 49.0

Young's modulus, GPa [lb/in²] 83 [12x10⁶]

Poisson's ratio (calculated) 0.36

Yield strength (0.2% offset), MPa [lb/in²] 272 [39x10³]

Tensile strength, MPa [lb/in²] 372 [54x10³]

Elongation (2in/50mm gage section), % 19

Knoop Hardness, KHN expressed as MPa 1010

Impurity limits

- Zn: less than 0.001%
- Cd: less than 0.001%
- Pb: less than 0.002%
- P: less than 0.002%
- C: less than 0.01%

All other metallic impurities having a vapor pressure **higher** than 10⁻⁷mm Hg at 500C are limited to 0.002% each. Impurities having a vapor pressure **lower** than 10⁻⁷mm Hg at 500C are limited to a total of 0.075%. (This applies to all forms except powder and extrudable paste.)



Morgan Technical Ceramics

www.morgantechnicalceramics.com

Please note that all values quoted are based on test pieces and may vary according to component design. These values are not guaranteed in anyway whatsoever and should only be treated as indicative and for guidance only

29/10/2007

Annexe B : Propriétés physiques de la céramique Si₃N₄ Kyocera



Characteristics of Kyocera Si₃N₄ (SN460)

		UNIT	Materials Properties
Kyocera No.		-	SN460
Main Applications		-	Power Module
Appearance		-	Dense
Color		-	Black
Bulk Density		10 ³ kg/m ³	3.5
Water Absorption		%	0
Thermal Characteristics	Thermal Conductivity	W/mK	60
	Specific Heat	10 ³ J/kgK	0.6
	Thermal Expansion	-65degC~250degC	2.0
		R.T.~400degC	2.7
		R.T.~800degC	3.4
Electrical Characteristics	Dielectric Constant	1MHz	8.0
		100MHz	8.0
		2GHz	8.0
		10GHz	8.0
	Dielectric Loss Angle	1MHz	2.0
		100MHz	2.0
		2GHz	4.0
		10GHz	8.0
	Volume Resistivity	25degC	>10 ¹²
		150degC	>10 ¹²
		300degC	1x10 ¹¹
		500degC	6x10 ⁸
Mechanical Characteristics	Dielectric Strength	MV/m	15
	Flexural Strength	MPa	850
	Vickers Hardness	-	1400
	Fracture Toughness	MPam ^{1/2}	5
	Young's Modulus of Elasticity	GPa	300
	Poisson's Ratio	-	0.3
α-count		DPH/cm2	<0.02

Annexe C : Propriétés de l'AMB (source : Kyocera)

Active Metal Bonding vs. Mo-Mn Metallization Method

	Active Metal Bonding (AMB)	Mo-Mn Metallization Method
Metal	29%Ni - 17%Co - Fe Alloy 42%Ni - Fe Alloy Ti (Non-Magnetic)	29%Ni - 17%Co - Fe Alloy 42%Ni - Fe Alloy Ti, Ni, Mo, OFHC, 70%Cu - Ni
Metallization Material	Ag-Cu-Ti Cu-Ti	Mo-Mn
Brazing Material	72%Ag - 28%Cu (780 degC) 82%Au - 18%Ni (950 degC) 63%Au - 37%Cu (990 degC) Ag (961 degC)	72%Ag - 28%Cu (780 degC) 82%Au - 18%Ni (950 degC) 63%Au - 37%Cu (990 degC) Ag (961degC), Au (1064 degC) Cu (1084 degC)
Adhesion Strength	3.0kgf/mm ² - 5.0kgf/mm ² (Ag-Cu Brazing Process)	5.0kgf/mm ² - 10.0kgf/mm ² (Ag-Cu Brazing Process)
Feature	Excellent Hermiticity Excellent Adhesion Streangth Non-Magnetic (Ti) : w/o Ni Plating	Excellent Hermiticity Excellent Adhesion Streangth w/ Ni Plating
Ceramic	Alumina A440 Good Alumina A459 Good Alumina A473 Good Alumina A476 Good Alumina A479SS Good Sapphire SA100 Good SiN SN-220 Good	Alumina A440 Good Alumina A459 Good Alumina A473 Good Alumina A476 Good Alumina A479SS Good Sapphire SA100 Good SiN SN-220 No Good

Bibliographie

- [Abu10] I. Abuishmais, S. Basi, et T. Undeland, « On driving SiC power JFETs », in Power Electronics and Motion Control Conference (EPE/PEMC), 14th International, 2010, p. T2-134-T2-138.
- [Aga10] A.K. Agarwal, « Large Area >8 kV SiC GTO Thyristors with innovative Anode-Gate designs », Mat. Sci. Forum, Vols 645-648, p. 1021-1024, 2010.
- [Amr05] R. Amro, J. Lutz, « Double-Sided Low-Temperature Joining Technique for Power Cycling Capability at High Temperature », Conférence EPE, Dresden, Allemagne, 2005.
- [AN] Application Note, « Silicon Carbide Enhancement-Mode Junction Field Effect Transistor and Recommendations for Use », disponible sur : <http://semisouth.com/wp-content/uploads/2011/05/AN-SS1rev1.pdf>, consulté le 15/04/2012.
- [Aok06] T. Aoki, Y. Tsuzuki, S. Miura, Y. Okabe, M. Suzuki, et A. Kuroyanagi, « High Performance and Reliability Trench Gate Power MOSFET With Partially Thick Gate Oxide Film Structure (PTOX-TMOS) », in IEEE International Symposium on Power Semiconductor Devices and IC's, 2006. ISPSD 2006, 2006, p. 1-4.
- [Ara08] M. Arab, S. Lefebvre, Z. Khatir, et S. Bontemps, « Experimental investigations of trench field stop IGBT under repetitive short-circuits operations », in IEEE Power Electronics Specialists Conference, 2008. PESC 2008, 2008, p. 4355-4360.
- [Bal08] B.J. Baliga, "Fundamentals of power semiconductor devices", 2008 Springer Science.
- [Ber08] M. Berkani, « Etude de la fatigue thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides », thèse de doctorat de l'ENS de Cachan, 2008.
- [Ber09] M. Berkani, S. Lefebvre, N. Boughrara, Z. Khatir, « Estimation of SiC JFET temperature during short-circuit operations », Microelectronics Reliability, Vol 49, 2009, 1358–1362.
- [Bern09] B. Bernoux, R. Escoffier, P. Jalbaud, et J. M. Dorkel, « Source electrode evolution of a low voltage power MOSFET under avalanche cycling », Microelectronics Reliability, vol. 49, n° 9–11, p. 1341-1345, nov. 2009.
- [Bern10] B. Bernoux, « Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides », thèse de doctorat de l'université de Toulouse, 2010.
- [Bla91] D. Blackburn, « Failure mechanisms and nondestructive testing of power bipolar and MOS gated transistors », Proc. Of EPE 1991, pp 252-256.

- [Bou08] N. Boughrara, S. Moumen, S. Lefebvre, Z. Khatir, P. Friedrichs, « Etude de la robustesse de transistors JFET SiC en régimes de court-circuit », EPF2008, Tours, juillet 2008.
- [Bou09] N. Boughrara, « Influence du régime extrême de fonctionnement sur la durée de vie des composants semi-conducteurs de puissances », Thèse de doctorat, 2009.
- [Bre09] Brett A. Hull, « Development of Large Area (up to 1.5cm²) 4H-SiC 10 kV Junction Barrier Schottky Rectifiers », Mat. Sci. Forum, Vols 600-603, pp 931,934, (2009).
- [Bro04] P. Brosselard, « Conception, réalisation et caractérisation d'interrupteurs (Thyristors et JFETs) haute tension (5kV) en carbure de silicium », Thèse de doctorat de l'INSA de Lyon, France, 2004.
- [Bro07] P. Brosselard, « High voltage SiC JBS performances versus Schottky diodes », 2007 WASMPE workshop.
- [But04] C. Buttay, T. Ben Salah, D. Bergogne, B. Allard, H. Morel, J.P. Chante, « Avalanche Behavior of Low Voltage Power MOSFETs », IEEE Power Electronics Letters, Vol. 2, NO. 3, Septembre 2004.
- [Cal02] J. N. Calata, Guo-Quan Lu, et C. Luechinger, « Evaluation of interconnect technologies for power semiconductor devices », p. 1089-1096.
- [Cal08] J. N. Calata, G.-Q. Lu, T. G. Lei, M. G. Koebke, B. G. Low, « Temperature Sintering of a Nanoscale Silver-Gold Paste for High Temperature Chip Attachment », Proceeding of the International Conference on High Temperature Electronics (HiTEC), 2008.
- [Cas06] J. B. Casady, M. S. Mazzola, « A Comparison Of SiC Power Switches For Hi-Rel Defense Applications », Proceedings of GOMAC Conference, 2006.
- [Che06] L.Cheng, P.Martin, « High-Temperature reliability Of 4H-SiC Vertical-Channel Junction Field Effect Transistors (VJFETs) for Power Conditioning System Applications », HITEC 2006.
- [Che09_1] L. Cheng, « High-Temperature Static and Dynamic Reliability Study of 4H-SiC Vertical-Channel JFETs for High-Power System Applications », Materials Science Forum, vol. 600-603, p. 1051-1054, 2009.
- [Che09_2] L.Cheng, « High-Temperature Operation of 50 A (1600A/cm²), 600 V 4H-SiC Vertical-Channel JFETs for High-Power Applications », Materials Science Forum, vol 600 - 603, 2009.
- [Cho95] R. S. Chokhawala, « A discussion on IGBT short-circuit behavior and fault protection schemes », IEEE Transactions on Industry Applications, Mar/Apr 1995, Vol 31, Issue 2, p. 256 – 263, 1995.
- [Cia02] M. Ciappa, « Selected failure mechanisms of modern power modules », Microelectronics Reliability, vol.42, 2002.
- [Curamic] http://www.curamik.com/fileadmin/user_upload/downloads/Product_information_DB_C_Substrates.PDF, consulté le 15/04/2012.

- [Dim06] E.I.Dimitrova, « Analyse et modélisation du JFET de puissance en carbure de silicium en régime statique », Thèse de doctorat de l'INSA Lyon, 2006.
- [Dom10] D. Domes, X. Zhang, « Cascode Light – normally on JFET stand alone performance in a normally off cascode circuit », PCIM Nuremberg, 2010.
- [Don08] D. Donoval, A. Vrbicky, J. Marek, A. Chvala, P. Beno, « Evaluation of the Ruggedness of Power DMOS Transistor From Electro-thermal Simulation of UIS Behavior », *Solid-State Electronics*, vol.52, p. 892-898, 2008.
- [Dup06] L. Dupont, « Contribution à l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude », Thèse de Doctorat de l'ENS de Cachan, 2006.
- [Dup10] L. Dupont, J. L. Blanchard, R. Lallemand, G. Coquery, J. M. Morelle, G. Blondel, B. Rouleau, « Experimental and numerical results correlation during extreme use of power MOSFET designed for avalanche functional mode », *Microelectronics Reliability* 50 (2010) 1804–1809, 2010.
- [Eck95] H.-G. Eckel, L. Sack, « Optimization of the short circuit behavior of NPT-IGBT by the gate drive », *EPE 95 Sevilla*, p. 213–218, 1995.
- [Fis96] K. Fischer et K. Shenai, « Dynamics of power MOSFET switching under unclamped inductive loading conditions », *IEEE Transactions on Electron Devices*, vol. 43, n°. 6, p. 1007-1015, juin 1996.
- [Fri00] P. Friedrichs et al., « Static and Dynamic Characteristics of 4H-SiC JFETs Designed for Different Blocking Categories », *Materials Science Forum*, vol. 338-342, p. 1243-1246, 2000.
- [Fri06] D. Martineau, T. Mazeaud, M. Legros, P. Dupuy, C. Levade, et G. Vanderschaeve, « Characterization of ageing failures on power MOSFET devices by electron and ion microscopies », *Microelectronics Reliability*, vol. 49, n°. 9–11, p. 1330-1333, nov. 2009.
- [Gla01] M. Glavanovics, « Reliable Smart Power System ICs for Automotive and Industrial Applications - The Infineon Smart Multichannel Switch Family », PCIM 2001, Nuremberg.
- [Gre] N. Gregory, « Comparison of Braze and Solder Materials for Joining Titanium to Composites », disponible sur: <http://www.aws.org/bsmc/wj0307-62.pdf>, consulté le 15/04/2012.
- [Gut03] B. Gutschmann, P. Kanschä, M. Münzer, M. Pfaffenlehner, T. Laska, « REPETITIVE SHORT CIRCUIT BEHAVIOUR OF TRENCH-/FIELD-STOP IGBTs », PCIM 2003.
- [Gut10] K. Guth, D. Siepe, J. Gorlich et al., « New assembly and interconnects beyond sintering methods », PCIM, Nuremberg, 2010.
- [Hag11] P. Hagler, R. W. Johnson, et Liang-Yu Chen, « SiC Die Attach Metallurgy and Processes for Applications up to 500 », *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 1, n°. 4, p. 630-639, avr. 2011.

- [Hil11] O. Hilt, A. Knauer, F. Brunner, E. Bahat-Treidel, J. Würfl, « Normally-off AlGaIn/GaN HFET with p-type GaN Gate and AlGaIn Buffer », Power Semiconductor Devices & IC's, ISPSD 2010.
- [Hua09] W. Huang, T. P. Chow, Y. Niiyama, T. Nomura, et S. Yoshida, « Experimental Demonstration of Novel High-Voltage Epilayer RESURF GaN MOSFET », IEEE Electron Device Letters, vol. 30, n°. 10, p. 1018-1020, oct. 2009.
- [Ike08] N. Ikeda, S. Kaya, Jiang Li, Y. Sato, S. Kato, et S. Yoshida, « High power AlGaIn/GaN HFET with a high breakdown voltage of over 1.8 kV on 4 inch Si substrates and the suppression of current collapse », in 20th International Symposium on Power Semiconductor Devices and IC's, 2008. ISPSD '08, 2008, p. 287-290.
- [Ino07] Y. Inoue, « Degradation-mode analysis for highly reliable GaN-HEMT », IEEE MTT Symposium, 2007, pp. 639-642.
- [Joh07] C. M. Johnson, C. Buttay, S. J. Rashid, F. Udrea, « Compact Double-Side Liquid-Impingement-Cooled Integrated Power Electronic Module », Proceedings of the 19th International Symposium on Power Semiconductor Devices & ICs, Korea, 2007.
- [Joh65] A. Johnson, "Physical limitations on frequency and power parameters of transistors", RCA Review, vol. 26, pp163-177, 1965.
- [Joy02] T. Joyeux, J. Jarrige, J.C. Labbe, J.P. Lecompte, « Amélioration de la dissipation thermique dans les assemblages Cu/AlN », Matériaux, 2002.
- [Kam10] H. Kambayashi, « Over 100 A operation normally-off AlGaIn/GaN hybrid MOS-HFET on Si substrate with high-breakdown voltage », Solid-State Electronics, 2010.
- [Kis09] R. Kisiel, « Die-attachment solutions for SiC power devices », Microelectronics Reliability, vol.49, 2009.
- [Kop09] A. Kopta, M. Rahimo, U. Schlapbach, N. Kaminski, et D. Silber, « Limitation of the short-circuit ruggedness of high-voltage IGBTs », in 21st International Symposium on Power Semiconductor Devices & IC's, 2009. ISPSD 2009, 2009, p. 33-36.
- [KYOCERA] KYOCERA, «Kyocera Power Module Substrate Si3N4 AMB Substrate», Kyocera Corporation, 2004.
- [Lee02] F. C. Lee, J. D. van Wyk, D. Boroyevich, Guo-Quan Lu, Zhenxian Liang, et P. Barbosa, « Technology trends toward a system-in-a-module in power electronics », IEEE Circuits and Systems Magazine, vol. 2, n°. 4, p. 4- 22, 2002.
- [Lho05] T. Lhommeau, R. Meuret, M. Karama, « Technological study of an IGBT module for an aeronautical application in zone engine », 11th European Conference on Power Electronics and Applications (EPE 2005, Dresden), Paper N°895, ISBN: 90-75815-08-5, 2005.
- [Lia04] Z. Liang, « Integrated packaging of a 1 kW switching module using a novel planar integration technology », IEEE Transactions on Power Electronics, 2004.

- [Lic10] Th. Licht, « Sintering technology used for interconnection of large areas: potential and limitation for power modules », CIPS Conference, Nuremberg, 2010.
- [Liu01] X. Liu, « Stacked solder bumping technology for improved solder joint reliability », *Microelectronics Reliability*, vol. 41, 2001.
- [Lut09] J. Lutz, R. Dobler, J. Mari, et M. Menzel, « Short circuit III in high power IGBTs », in 13th European Conference on Power Electronics and Applications, 2009. EPE '09, 2009, p. 1-8.
- [Mar09] D. Martineau, T. Mazeaud, M. Legros, P. Dupuy, C. Levade, et G. Vanderschaeve, « Characterization of ageing failures on power MOSFET devices by electron and ion microscopies », *Microelectronics Reliability*, vol. 49, n°. 9–11, p. 1330-1333, nov. 2009.
- [Mas93] G. Massobrio, « Junction Field-Effect Transistor (JFET) » In : « Semiconductor Device Modeling with Spice », 2nd Ed., New York: McGraw-Hill, Inc., 1993, pp. 131-159. ISBN 0-07-002469-3.
- [Maz03] M.S. Mazzola, « Assessment Of 'Normally On' And 'Quasi On' SiC VJFET's In Half-Bridge Circuits », Proceedings of the International Conference on Silicon Carbide and Related Materials, 2003, Lyon, France, Oct. 6-10 2003.
- [McClu9] P. McCluskey, « Packaging of power electronics for high temperature applications », *Advancing Microelectronics*, pp 19-24, 1998.
- [Mem11] <http://www.memsnet.org/material/siliconcarbidesicbulk/?keywords=SiC>, consulté le 22/10/2011.
- [Mer04] C. Mertens, «Top-Side Chip Contacts with Low Temperature Joining Technique (LTJT) », CIPS, 2004.
- [Mer04_1] J.N.Merrett et al., « Silicon Carbide Vertical Junction Field Effect Transistors Operated at Junction Temperatures Exceeding 300° C », Proceedings of IMAPS International Conference and Exhibition on High Temperature Electronics (HiTECH 2004), May 17-20, 2004, Sante Fe, N. Mex.
- [Mer04_2] J.N. Merrett, « Silicon Carbide Vertical Junction Field Effect Transistors Operated at Junction Temperature Exceeding 300°C », Proceedings of IMAPS International Conference and Exhibition on High Temperature Electronics (HiTEC), May 17-20, 2004, USA.
- [Mer06] M. Mermet-Guyennet, « New structure of power integrated module», Proceedings of the CIPS, Naples, 2006.
- [Mit99] G. Mitic, «Reliability of AlN Substrates and their Solder Joints in IGBT Power Modules », *Microelectronics Reliability*, vol. 39, 1999.
- [Mou07] D. Martineau, T. Mazeaud, M. Legros, P. Dupuy, C. Levade, et G. Vanderschaeve, « Characterization of ageing failures on power MOSFET devices by electron and ion microscopies », *Microelectronics Reliability*, vol. 49, n°. 9–11, p. 1330-1333, nov. 2009.

- [Mou09] R. Mousa, « Caractérisation, modélisation et intégration de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension », Thèse de doctorat de l'INSA Lyon, 2009.
- [Mri09] Mrinal K. Das et. al. « A 13 kV 4H-SiC n-channel IGBT with Low $R_{diff,on}$ and Fast Switching » Mat. Sci. Forum, Vols 600-603 pp 1183-1186 (2009).
- [Nin03] X. S. Ning, « Development of a directly bonded aluminium/alumina power electronic substrate », Materials Science and Engineering, vol. 99, 2003.
- [Pal00] P.R. Palmer, « Behavior of IGBT modules under short circuit conditions », Cambridge University, Proc. Of IAS 2000.
- [Pie10] S. Pietranico, « Analyse de matériaux pour la modélisation des mécanismes de défaillance dans les modules électroniques de puissance », Thèse de Doctorat de l'ENS de Cachan, 2010.
- [Pom05] T. Pompl, « Voltage acceleration of Time Dependent Breakdown of Ultra Thin Gate Dielectric », Microelectronics Reliability, vol. 45, 2005.
- [Ray10] C. RAYNAUD, D. TOURNIER, H. MOREL, D. PLANSON. « Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices ». Diamond & Related Materials vol.19 (2010) 1-6.
- [Rei01] R. Reicher, « A fritless Copper Conductor System for Power Electronic Applications », Microelectronics Reliability, vol. 41, 2001.
- [Riz08] M. Rizzi, « Contribution à l'étude de la fiabilité des modules de puissance pour application automobile », Thèse de Doctorat de l'Université de Bordeaux 1, 2008.
- [Ryu04] S.-H. Ryu et al. « 10-kV, 123 mΩ.cm² 4H-SiC Power DMOSFETs », IEEE Electron Device Letters, 2004, Vol. 25, n°8, pp.556-558.
- [Sch00] J. Schulz-Harder, «The New Standard for Direct Bonded Copper Substrates Feature of DCB is thick solid copper conductors », PCIM, vol. 4, 2000.
- [Sch89] H. Schwarzbauer, «Novel large Area Joining Technique for Improved Power Device Performance», IEEE, vol. 2, 1989.
- [Sch94] S. Schmitt, « Le composant électronique monté en surface, Technologie et Mise en œuvre », 1994.
- [She00] C; C Shen, « Failure Dynamics of the IGBT During Turn-Off for Unclamped Inductive Loading Conditions », IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 36, NO. 2, MARCH/APRIL 2000.
- [Sme10] V.SMET, « Vieillissement et modes de défaillance de modules de puissance IGBT stressés en régime de cyclage actif à hautes températures », thèse de doctorat de l'université Montpellier 2, 2010.
- [Smo08] T. Smorodin, « Investigation and improvement of DMOS switches under fast electro-thermal cycle stress », Solid-State Electronics, Volume 52, Issue 9, September 2008,

Pages 1353-1358.

- [Sne07] Snead, L.L., T. Nozawa, Y. Katoh, T-S. Byun, S. Kondo and D.A. Petti, « Handbook of SiC Properties for Fuel Performance Modeling », Journal of Nuclear Materials, volume 371, p.329-377, 2007.
- [Ste96] J.J. Stephens, « Elevated temperature creep properties for selected active metal braze alloys », 7th international conference on creep and fracture of engeneering materials and structures, 1996.
- [StEve04] F. Saint-Eve, « Influence des régimes extrêmes de fonctionnement sur la durée de vie des composants semi-conducteurs de puissance », Thèse de doctorat, ENS Cachan, 2004.
- [Sto08] T. Stockmeier, «From Packaging to “Un” Packaging - Trends in Power Semiconductor Modules», Power Semiconductor Devices and IC's, ISPSD '08, 2008.
- [Sug07] M. Sugimoto, « Wide-bandgap semiconductor devices for automotive applications », International Journal of High Speed Electronics and Systems, Vol. 17, No. 1 (2007) pp.3-9.
- [Tar04] J.G. Tartarin, « Using low frequency noise characterization of AlGaN/GaN HEMT as a tool for technology assessment and failure prediction ». Fluctuation And Noise, Las Palmas, Spain, May 2004, Noise in Devices and Circuits II, proceedings of SPIE, Vol. 5470, ISBN 0-8194-5396-X, pp.296-306.
- [Tar07] J.G. Tartarin , « Generation-recombination defects in AlGaN/GaN HEMT on SiC substrate, evidenced by low-frequency noise measurements and SIMS characterization », 19th International Conference on Noise and Fluctuations (ICNF'2007), Tokyo (Japan), 9-14 September 2007, AIP Conference Proceedings 922, pp. 163-166.
- [Tar08] J.G.Tartarin, « LA TECHNOLOGIE GAN ET SES APPLICATIONS POUR L'ELECTRONIQUE ROBUSTE, HAUTE FREQUENCE ET DE PUISSANCE »,2008.
- [Tes10] A. Testa, « Reliability of planar, Super-Junction and trench low voltage power MOSFETs », Microelectronics Reliability 50 (2010) 1789–1795.
- [Tri96] M. Trivedi, « Internal dynamics of IGBT during short circuit switching », Bipolar/BiCMOS Circuits and Technology Meeting, 1996.
- [Tri98] M. Trivedi, « Investigation of the short circuit performance of an IGBT », IEEE, Transactions On Electron Devices, Volume: 45, Issue: 1, Jan. 1998, Pages: 313– 320.
- [Tri99] M. Trivedi, « Failure mechanisms of IGBTs under short-circuit and clamped inductive switching stress », IEEE Transactions Power Electronics, Volume: 14, Issue: 1, Jan. 1999, Pages: 108 – 116.
- [Ued06] H.Ueda, « Wide-Bandgap Semiconductor Devices for Automobile Applications », CS MANTECH Conference, April 24-27, 2006, Vancouver, British Columbia, Canada.
- [Var05] C.Vargel, « Propriétés générales de l'aluminium et de ses alliages », technique de l'ingénieur, 2005.

- [Wei96] C.E. Weitzel, J.W. Palmour, C.H. Carter Jr., K. Moore, K.K. Nordquist, S. Allen, C. Thero, and M. Bhatnagar: IEEE Trans. Electron Devices vol. 43 No. 10, pp. 1732-1741, 1996.
- [Wen01] Simon S.Wen, «Design and Thermo-mechanical Analysis of a Dimple-Array Interconnect Technique for Power Semiconductor Devices », IEEE, 2001.
- [Wes] http://www.wesgometals.com/act_br_alloys.htm, consulté le 15/04/2012.
- [Won09] K. Wong, « Integrated voltage reference and comparator circuits for GaN smart power chip technology », Power Semiconductor Devices & IC's, ISPSD 2009.
- [Wong 89] C. P. Wong, « Understanding the use of silicone gels for nonhermetic plastic packaging », IEEE, vol.12, 1989.
- [Yam07] Y. Yamada, « Reliability of wire-bonding and solder joint for high temperature operation of power semiconductor device », Microelectronics Reliability, vol. 47, 2007.
- [Yua11] L.Yuan, « Normally-off nitride semiconductor tunnel junction FET with high drive », Electron Device Letters, IEEE 2011.
- [Zet03] C.-M. Zetterling, S.-M. Koo, E. Danielsson, W. Liu, S.-K. Lee, M. Domeij, H.-S. Lee, M. Ostling « Challenges for High Temperature Silicon Carbide Electronics », Proceedings of the spring meeting of the Materials Research Society, San Francisco, California, 2003, p. C1.4, Vol. 764, USA.
- [Zha09] Hui Zhang et L. M. Tolbert, « Efficiency of SiC JFET-Based Inverters », in 4th IEEE Conference on Industrial Electronics and Applications, 2009. ICIEA 2009, 2009, p. 2056-2059.

